

THESE

Pour l'obtention du grade de

Docteur de l'Université des Sciences et technologie de Lille

Spécialité : MICROONDES ET MICROTECHNOLOGIES

Par

Yvan MORANDINI

Evaluation de nouvelles varicaps en technologie silicium

Thèse dirigée par Christophe Gaquière et J.F. Larchanche

Soutenue le 3 octobre 2008

Membres du jury :

**Mr G. Dambrine
Mr Y. Deval
Mme D. Schreurs
Mr C. Gaquière
Mr J.F. Larchanche
Mr D. Gloria
Mr J.L. Gonzalez
Mr D. Langrez**

**Président du Jury
Rapporteur
Rapporteur
Directeur de thèse
Co-directeur de thèse
Examineur
Examineur
Examineur**

Remerciements

L'ensemble des ces travaux ont été réalisés au sein de la société STMicroelectronics sur le site de Crolles dans le service caractérisation et fiabilité.

J'exprime toute ma gratitude à Monsieur Gilles Dambrine, de me faire l'honneur d'être président de ce jury.

Je remercie Madame Dominique Schreurs et Monsieur Yann Deval d'avoir accepté de juger mon travail en qualité de rapporteurs.

Je remercie Messieurs José-Luis González et Dominique Langrez d'avoir accepté d'examiner ce travail.

Je remercie Daniel Gloria de m'avoir accueilli au sein de l'équipe « Passifs RF » et d'avoir accepté d'être membre de ce jury. Je tiens également à le remercier pour sa disponibilité, son soutien dans les diverses actions menées dans ces travaux et son apport sur l'aspect caractérisation.

Je remercie mon directeur de thèse : Christophe Gaquière. Christophe, merci pour tes remarques constructives et ta disponibilité.

Un grand merci à Jean-François Larchanche, co-directeur de thèse et encadrant industriel. Merci Jean-François de m'avoir supporté au cours de ces trois années. Merci de ta disponibilité, ta clairvoyance, ton expérience, ta bonne humeur,.... Un grand merci simplement !

Je tiens à remercier toute l'équipe RF avec ses membres actuels mais également les anciens : Frédéric, Sébastien, Romain D., Samuel, Michel, Yoann, Carine, Dario, André, Bart, Cécile, Fabienne. Et une dédicace particulière à la « fine équipe du box 32-204 » qui m'a accompagné durant la rédaction : Seb et Romano (bon courage à toi pour cette dernière année).

Je remercie Gérard Morin et Emmanuel Vincent de m'avoir accueilli durant ces trois années au sein du service caractérisation et fiabilité, mais également toutes les personnes du service que j'ai pu côtoyer.

Un grand merci à Christelle, notre assistante et à Ruddy pour tous les problèmes techniques liés au laboratoire.

Je remercie aussi l'ensemble de l'équipe caractérisation du laboratoire central de l'IEMN qui m'a assisté au cours de mes visites furtives à Lille : Damien Ducatteau, Sylvie Lepillet et Elisabeth Delos.

Mes dernières pensées vont à ma compagne Marie-Céline, mes parents Philippe et Mireille et enfin à ma petite sœur jumelle Corinne.

Tables des Matières

TABLES DES MATIERES	1
INTRODUCTION GENERALE.....	4
CHAPITRE I ETAT DE L'ART DES VARICAPS	6
I.A. INTRODUCTION	6
I.B. LES CLEFS DE L'ACCORDABILITE	7
I.B.1. Des caractéristiques électriques des varicaps aux performances dans les circuits	8
I.B.2. Les solutions technologiques	9
I.B.2.a. Les varicaps ferroélectriques.....	9
I.B.2.b. Les varicaps MEMS.....	11
I.B.2.c. Les varicaps semi-conducteurs.....	13
I.B.2.d. Comparaison : de la varicap aux fonctions élémentaires.....	13
I.B.3. Vers les varicaps semiconducteurs.....	15
I.C. LES VARICAPS SEMICONDUCTEURS.....	16
I.C.1. Les varicaps MOS.....	16
I.C.1.a. Les régimes de fonctionnement de la capacité MOS [Mat92].....	16
I.C.1.b. Caractéristique C-V de la structure MOS.....	18
I.C.1.c. La varicap MOS à inversion IMOS.....	20
I.C.1.d. La varicap MOS à accumulation AMOS.....	20
I.C.1.e. Comparaison des varicaps MOS	21
I.C.2. Les varicaps de type diodes	22
I.C.3. L'état de l'art chez STMicroelectronics	22
I.C.3.a. Les varicaps de type N+Poly/Nwell.....	23
I.C.3.b. Les varicaps de type P+Poly/Pwell	26
I.C.3.c. Les varicaps P+/Nwell	29
I.C.3.d. Une offre croissante	31
I.D. EVALUATION DES VARICAPS	32
I.D.1. Les facteurs de mérite	32
I.D.1.a. La capacité surfacique.....	32
I.D.1.b. La gamme de capacité.....	33
I.D.1.c. La fréquence de résonance	33
I.D.1.d. Le facteur de qualité.....	34
I.D.1.e. La linéarité	35
I.D.1.f. Etat de l'art des performances pour les varicaps MOS ou diodes	36
I.D.2. Evaluation d'une famille, d'une technologie	37
I.E. CONCLUSION	42
I.F. BIBLIOGRAPHIE	43
CHAPITRE II EVALUATION DE NOUVELLES STRUCTURES DE VARICAPS.....	47
II.A. INTRODUCTION	47
II.B. DEVELOPPEMENTS DE NOUVELLES ARCHITECTURES DE TYPE MOS ET DIODES	48
II.B.1. Les architectures diodes	48
II.B.1.a. Les varicaps P+/Nwell de type « ilot » ou DOT.....	48
II.B.1.b. Les varicaps diodes P+/Nwell sans STI	51
II.B.2. Les architectures MOS.....	55
II.B.2.a. Travail sur la capacité intrinsèque.....	55
II.B.2.b. Amélioration des performances hyperfréquences	62
II.B.3. Les structures hybrides	65
II.B.3.a. De nouvelles fonctionnalités	65
II.B.3.b. Les structures à commande déportée.....	65
II.B.4. Conclusion	68

Tables des Matières

II.C.	INTRODUCTION DE NOUVELLES VARICAPS BIPOLAIRES EN TECHNOLOGIE BiCMOS ...	69
II.C.1.	Procédé de fabrication et structures de test	69
II.C.1.a.	Procédé de fabrication en BiCMOS7RF	69
II.C.1.b.	Procédé de fabrication en HCMOS9SiGe	70
II.C.1.c.	Les structures de test.....	71
II.C.2.	Comparaison des performances électriques des varicaps HBT SIC entre les technologies HCMOS9SiGe et BiCMOS7RF	72
II.C.2.a.	Le schéma électrique équivalent	72
II.C.2.b.	Les performances de la capacité intrinsèque	72
II.C.2.c.	Le comportement hyperfréquence.....	74
II.C.3.	Développement de varicaps HBT avec différents types collecteurs	75
II.C.4.	Conclusion	77
II.D.	INTRODUCTION D'UNE COUCHE SPECIFIQUE AUX VARICAPS	78
II.D.1.	Définition du plan d'expérience.....	78
II.D.2.	Performances de la capacité intrinsèque	80
II.D.3.	Performances hyperfréquences	82
II.D.4.	Introduction de la couche Nvarac pour les varicaps N+Poly/Nwell	83
II.D.5.	Conclusion	85
II.E.	CONCLUSION	86
II.F.	BIBLIOGRAPHIE	87

CHAPITRE III LES NOUVELLES METHODES DE CARACTERISATION..... 89

III.A.	INTRODUCTION	89
III.B.	LA CARACTERISATION DIFFERENTIELLE	91
III.B.1.	Premiers pas vers la caractérisation différentielle.....	91
III.B.1.a.	Varicap différentielle	91
III.B.2.	Méthodes de mesures	92
III.B.2.a.	Caractérisation avec transformateur inductif intégré [Mor07-A]	92
III.B.2.b.	Caractérisation avec analyseur vectoriel de réseau 4 ports.....	96
III.B.3.	Application à la modélisation de capacités variables différentielles de type N+Poly/Nwell en technologie CMOS 65nm.....	102
III.B.4.	Conclusion	104
III.C.	LA CARACTERISATION « ATTOFARAD ».....	106
III.C.1.	Utilisation d'un circuit référent.....	107
III.C.1.a.	PLL	107
III.C.1.b.	DCO.....	107
III.C.2.	Mesures Basses-Fréquences et Hautes-Fréquences : leurs limites.....	109
III.C.2.a.	Mesures BF	109
III.C.2.b.	Mesures HF	110
III.C.2.c.	Les limites des méthodes classiques	111
III.C.3.	La CBCM.....	111
III.C.3.a.	Principe et implémentation.....	111
III.C.3.b.	Influence des différents paramètres sur l'extraction de la capacité	113
III.C.3.c.	Mise en place et validation de la CBCM.....	116
III.C.3.d.	Application de la CBCM aux varicaps	117
III.C.4.	Perspectives sur la CBCM et les mesures attoFarads.....	119
III.D.	LA CARACTERISATION GRAND SIGNAL.....	121
III.D.1.	Pourquoi une caractérisation grand signal ?.....	121
III.D.2.	Présentation du LSNA	122
III.D.2.a.	L'intérêt du LSNA	122
III.D.2.b.	Structure interne du LSNA.....	123
III.D.2.c.	La procédure de calibrage du LSNA.....	124
III.D.3.	Application à la mesure de varicaps [Mor07-B] [Mor07-C].....	124
III.D.3.a.	Formes d'ondes	124
III.D.3.b.	Epluchage de la structure de test.....	126
III.D.3.c.	Limitation de la gamme de capacité.....	127
III.D.3.d.	Méthode d'extraction de la capacité.....	128
III.D.3.e.	Application à la mesure de varicaps de type N+Poly/Nwell en technologie CMOS 65nm.....	129
III.D.4.	Perspectives pour la caractérisation en grand signal des varicaps	131
III.E.	CONCLUSION	132
III.F.	BIBLIOGRAPHIE	133

Tables des Matières

CHAPITRE IV ETUDE ET CONCEPTION D'UN OSCILLATEUR CONTROLE EN TENSION 5GHZ EN TECHNOLOGIE CMOS 65 NM	136
IV.A. INTRODUCTION	136
IV.B. LES ARCHITECTURES DE VCOS	137
IV.B.1. Les caractéristiques électriques.....	137
IV.B.2. Le VCO : un oscillateur bouclé.....	137
IV.B.3. VCO en anneau	138
IV.B.4. VCO LC	139
IV.B.5. Etude du bruit de phase	140
IV.B.5.a. Le modèle de Leeson	140
IV.B.5.b. Le modèle d'Hajimiri	142
IV.B.5.c. Conclusion entre l'approche d'Hajimiri et de Leeson	143
IV.C. ETUDE ET CONCEPTION	145
IV.C.1. Les choix technologiques et de topologie	145
IV.C.1.a. Le Résonateur LC	145
IV.C.1.b. Réduction du bruit de phase.....	145
IV.C.1.c. L'offre à travers la bibliothèque de composants.....	145
IV.C.2. Les étapes de conception.....	146
IV.C.2.a. Le résonateur.....	146
IV.C.2.b. La structure active.....	150
IV.C.2.c. Les alimentations du VCO	151
IV.C.2.d. L'étage tampon de sortie.....	153
IV.C.2.e. Montage final	154
IV.C.3. Résultats de simulation	155
IV.C.3.a. Simulations HB et PSS.....	155
IV.C.3.b. Simulations du bruit de phase	156
IV.C.3.c. Comparaison avec l'état de l'art.....	157
IV.C.4. La réalisation et les mesures	157
IV.D. CONCLUSION	159
IV.E. BIBLIOGRAPHIE	160
CONCLUSION GENERALE.....	162
ANNEXES	165
ANNEXE A : LA CAPACITE MOS.....	165
ANNEXE B : DE LA JONCTION PN A LA CAPACITE DIODE	167
ANNEXE C : FACTEURS DE MERITE.....	170
ANNEXE D : EXTRACTION DES ELEMENTS SERIES ET DU RESEAU SUBSTRAT	171

Introduction générale

Aujourd'hui, il y a plus de 53 millions de téléphones portables en activité en France, ce qui représente environ 84% de la population française. Le GSM (Global System for Mobile Communications) a su se rendre indispensable et s'est transformé en plateforme multimédia : agenda personnel, appareil photo, poste de radio, courrier électronique, connexion internet et très récemment en télévision portable. Outre la convergence vers un téléphone unique (fixe, mobile et internet) et le développement logiciel, la normalisation (GSM, GPRS, EDGE, UMTS,...) est devenue un enjeu stratégique. Chaque norme de transmission répond à plusieurs critères : le débit de l'information, la fiabilité et la qualité des communications, la consommation électrique. Les spécifications de ces standards nécessitent entre autre une réduction du seuil de détection et une densification des canaux. Plusieurs solutions permettent d'augmenter le débit d'information, soit l'augmentation de la quantité d'informations transportée par la porteuse radio-fréquence (RF), soit la multiplication des porteuses à l'intérieur d'une bande de fréquence. La qualité spectrale des signaux porteurs devient alors un point clé pour garantir l'intégrité de l'information.

L'émergence de nouveaux standards a également sollicité la demande pour des récepteurs radio multi-modes à haut niveau d'intégration et forte flexibilité. Ils ont conduit à se pencher sur les techniques de conception et les architectures des circuits analogiques et radiofréquences. Les approches possibles pour le multistandard sont de type logiciel ou circuit. La solution logicielle est connue sous la dénomination Software Defined Radio (SDR) et consiste à concevoir une chaîne de réception qui soit totalement reconfigurable par logiciel. Au passage d'un schéma de réception radio classique vers une architecture SDR, la majorité du traitement du signal effectuée au niveau de la chaîne de réception est translatée en numérique, ce qui impose des contraintes beaucoup plus sévères sur le convertisseur Analogique/Digitale (large bande, dynamique et taux d'échantillonnage assez élevés). La solution circuit entrevoit deux axes. La première consisterait à introduire des commutateurs permettant la commutation du signal RF vers les différents éléments de la chaîne de réception RF. La deuxième approche serait d'introduire des composants variables (capacités ou inductances) au niveau même des éléments de la chaîne de réception RF, qui modifieraient le fonctionnement de ces circuits en modifiant les caractéristiques des réseaux d'adaptation.

A travers les deux grandes problématiques précédentes, la varicap, capacité variable à commande électrique, est au cœur de la génération ou de la détection des signaux et reste un des éléments prépondérants déterminant les performances de la chaîne de transmission.

Les travaux de cette thèse concernent l'étude de nouvelles varicaps en technologies CMOS (Complementary Metal Oxide Semi-conductor) sub-90nm et BiCMOS (Bipolar Complementary Metal Oxide Semi-conductor) sub-250nm. L'ensemble des études couvre différentes phases de développement : la définition des spécifications pour les nouvelles architectures, l'implémentation sur silicium, la phase de caractérisation et la quantification des performances des varicaps à l'échelle du

Introduction générale

circuit via un véhicule de test. A terme, ce travail fournira une bibliothèque de données techniques et d'architectures permettant de réduire le temps de développement de nouvelles varicaps.

Le premier chapitre sera consacré à l'état de l'art des varicaps. D'abord, nous ferons le lien entre performances des circuits accordables et celles des varicaps intégrées. L'objectif est de dégager les facteurs de mérite clefs entre performances de la capacité intrinsèque et comportement hyperfréquence. Ensuite, nous identifierons les différentes solutions technologiques à travers les matériaux ferroélectriques, MEMS (Micro Electro Mechanical Systems) et semiconducteurs. Puis nous définirons l'ensemble des facteurs de performances des varicaps et des outils qui permettent l'évaluation d'une technologie et d'une famille de varicaps. Cette dernière étude devra permettre d'identifier les pistes d'amélioration des performances à travers les caractéristiques électriques et géométriques.

Le second chapitre s'intéressera à l'évaluation de nouvelles varicaps. Les travaux s'articuleront autour de l'aspect architectural et de la capacité intrinsèque. Nous évaluerons la meilleure façon d'organiser la structure de la capacité afin d'améliorer ses caractéristiques dans le domaine hyperfréquence et de faciliter son implémentation dans les oscillateurs. Pour les recherches sur la structure intrinsèque de la capacité, deux axes de recherche ont été identifiés. D'abord, nous évaluerons les procédés BiCMOS et notamment la caractérisation des jonctions base-collecteur des transistors bipolaires à hétérojonction SiGe. Enfin, une étape d'un procédé de fabrication dédiée aux varicaps sera implémentée. En effet, jusqu'à présent, les varicaps sont réalisées avec les procédés standards CMOS. Des opérations spécifiques aux varicaps sont à présent requises afin d'ouvrir des perspectives de développements technologiques innovants.

Après, l'implémentation de nouvelles structures de varicaps, le troisième chapitre sera consacré à la problématique des techniques de mesures avec pour objectif une caractérisation la plus proche possible du contexte d'utilisation de la varicap dans un système. Nous montrerons que les méthodes traditionnelles ne répondent plus que partiellement aux nouvelles problématiques. Des nouveaux outils de caractérisation seront présentés. Premièrement, nous étudierons la caractérisation différentielle afin de valider la méthodologie choisie. Deuxièmement, nous chercherons à accroître la sensibilité des mesures pour de très faibles valeurs de capacités. Troisièmement, nous évaluerons la caractérisation hyperfréquence en grand signal, dans des conditions proches de la polarisation d'un oscillateur contrôlé en tension.

Le quatrième chapitre sera consacré à l'implémentation d'un oscillateur contrôlé en tension. Les objectifs seront la mise en place d'un véhicule de test afin de quantifier les facteurs de performance à l'échelle du circuit. Nous décrirons les étapes de conception d'un circuit avec des varicaps standards. Cet oscillateur devra servir de référence et présentera une architecture fixe pour l'inductance et les éléments actifs. La finalité à plus long terme sera une comparaison des architectures de varicaps via un circuit comme élément de test final.

Chapitre I Etat de l'art des varicaps

I.A. Introduction

Le développement des circuits multistandards nécessite l'introduction de circuits accordables. Au regard d'une chaîne de transmission/réception RF (radiofréquence), plusieurs éléments requièrent la fonction d'accord : antenne, filtrage, oscillation. La notion d'accordabilité réside essentiellement dans l'aspect fréquentiel. Les différents éléments RF doivent répondre selon leur fonction à un certain nombre de spécifications : gamme de fréquence, qualité spectrale, consommation, tension d'alimentation. Les caractéristiques électriques de ces circuits dépendront essentiellement de l'utilisation des varicaps et de leurs performances intrinsèques.

Premièrement, nous présenterons les besoins en termes de circuits accordables pour ensuite nous focaliser sur les varicaps. Nous parcourrons les diverses solutions technologiques à travers les matériaux ferroélectriques, les MEMS et les semiconducteurs. Deuxièmement une fois notre choix technologique établi nous introduirons les varicaps MOS et diodes et ferons un premier état de l'art des différentes varicaps disponibles dans les technologies CMOS et BiCMOS de STMicroelectronics. Troisièmement, nous présenterons les facteurs de mérite associées aux varicaps.

I.B. Les clefs de l'accordabilité

Pour comprendre les intérêts de l'accordabilité, il suffit d'étudier une chaîne radiofréquence d'émission ou de réception décrite sur la Figure I-1.

Le premier élément de la chaîne de transmission/réception est l'**antenne**. Au regard des applications multistandards, il y a un intérêt croissant pour des antennes accordables. Il est possible de réaliser des antennes à bande fixe dont la fréquence centrale peut être accordée sur une grande plage de fréquence avec des varicaps MEMS RF [Ona04], des diodes Pin [Per05] ou en utilisant des varicaps telles que des diodes [Beh06]. D'autres paramètres peuvent être modifiés tels que le réseau de polarisation ou le diagramme de rayonnement. Ces travaux restent néanmoins au stade de développement car la majorité des antennes utilisées dans les téléphones portables sont des antennes « multi-bandes » comme l'illustre la **Figure I-2**. Ces antennes présentent différentes résonnances aux fréquences des standards visés et offrent des alternatives à moindre coût pour les industriels.

Les **filtres accordables** ont un rôle primordial dans les applications multi-bandes car les surfaces occupées sont non négligeables. Les bandes de fréquences dans un récepteur/émetteur sont souvent très proches entre les bandes de réception et d'émission ce qui rend judicieux l'utilisation de filtres accordables plutôt que d'utiliser un filtre par bande de fréquence.

Le principal élément accordable de la chaîne est l'oscillateur local RF appelé **VCO** (« Voltage Controlled Oscillator » selon les termes anglais). C'est l'élément accordable le plus répandu. Il transforme un signal de commande appliqué sur l'entrée en un signal modulé en fréquence en sortie. Il a plusieurs applications telles que la génération d'une fréquence de référence ou la modulation du signal à émettre. La qualité spectrale dépend en parti des performances intrinsèques de la varicap.

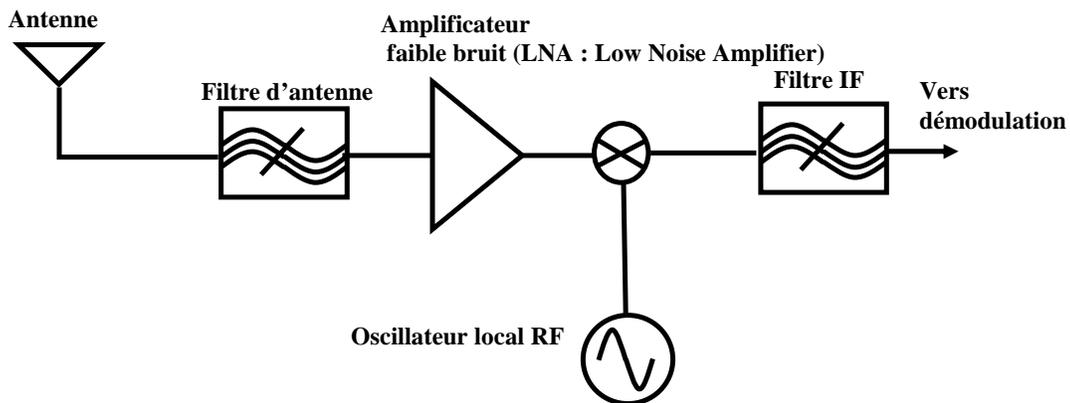


Figure I-1 Structure simplifiée d'un récepteur RF

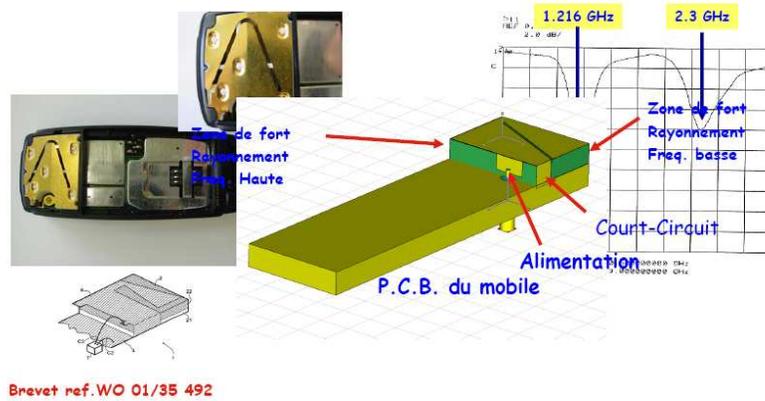


Figure I-2 Exemple de l'antenne « T-ail) Patch » brevetée par le LEST

Nous présenterons les caractéristiques électriques des varicaps et leurs impacts sur les performances des circuits. Puis nous dévoilerons les solutions technologiques permettant de répondre aux spécifications désirées.

I.B.1. Des caractéristiques électriques des varicaps aux performances dans les circuits

Les caractéristiques électriques des varicaps dépendent de la capacité intrinsèque mais aussi des pertes qui traduisent en partie le comportement RF. Ces différents critères influent directement sur les performances des oscillateurs ou filtres accordables comme l'indique le **Tableau I-1**.

	Définition	Filtre	Oscillateur	Critères de Performance
Capacité de la structure	Valeur de la capacité à une fréquence donnée et à une tension de commande donnée	Fréquence de fonctionnement	Fréquence de fonctionnement	Dépend de la fréquence de fonctionnement
Plage de capacité ou TR (« tuning ratio »)	Plage maximum de variation de la capacité en fonction de la tension	Plage d'accord en fréquence	Plage d'accord en fréquence	Maximiser le TR pour maximiser l'accord en fréquence
Linéarité	Tendance à générer des harmoniques	Pertes d'insertion	Bruit de phase	Diminuer les non linéarités pour éviter la génération d'harmoniques
Facteur de Qualité	Coefficient indicateur des performances RF d'un élément passif	Pertes d'insertion	Bruit de phase Consommation	Augmenter le facteur de qualité pour diminuer le bruit de phase, les pertes d'insertion et la consommation

Tableau I-1 Lien entre caractéristiques électriques des varicaps et critères électriques des filtres et oscillateurs

Quelques précisions peuvent être apportées sur le tableau précédent :

- Les caractéristiques électriques des varicaps seront décrites plus précisément dans le paragraphe **I.D**. L'idée est de comprendre le lien entre performance d'un élément (VCO, filtre,...) et les critères de sélection des varicaps;
- La plage de capacité ou TR n'a pas toujours une définition unique. Elle est définie soit comme la capacité maximum sur la capacité minimum soit normalisée par rapport à la capacité maximum comme indiquée dans l'équation **Eq I-1**. Cette formulation englobe à la fois la gamme de capacité synthétisée et l'encombrement. Nous adopterons cette formulation pour le paragraphe **I.B**.

$$TR = \frac{C_{\max} - C_{\min}}{C_{\max}} \quad \text{Eq I-1}$$

Nous ferons un état des lieux des ressources technologiques en vue d'obtenir les varicaps les plus performantes.

I.B.2. Les solutions technologiques

I.B.2.a. Les varicaps ferroélectriques

Les matériaux ferroélectriques possèdent de fortes valeurs de permittivité (ϵ), ce qui les rend potentiellement intéressants pour réaliser des varicaps. Un matériau est dit ferroélectrique lorsqu'il possède une polarisation rémanente, c'est-à-dire un décalage des barycentres des charges négatives et positives. Les matériaux les plus connus pour leurs propriétés ferroélectriques sont le STO (SrTO₃), le PZT (PZTO₃) et le BST (BaSrTiO₃). Mais le matériau le plus prometteur est le BST car étant le plus adapté pour des applications type varicaps, sa permittivité varie d'avantage en fonction du champ appliqué. Les autres montrent leur limitation tant d'un point de vue de la permittivité (STO, [Oua05]) que de l'hystéresis (PZT, [Zin04]). Nous nous bornerons donc à l'étude des varicaps de type BST. Une varicap ferroélectrique est basée sur la variation de permittivité en fonction du champ appliqué. La valeur de capacité (**Eq I-2**) peut alors changer selon la tension de commande comme l'illustre la **Figure I-3**.

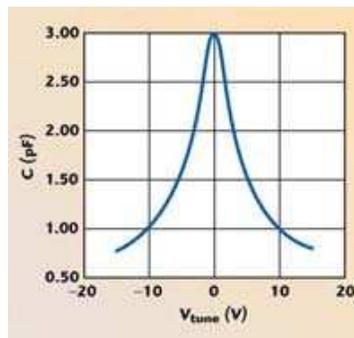


Figure I-3 Courbe de variation de la capacité

$$C = \frac{\epsilon_0 \epsilon_r S}{d} \quad \text{Eq I-2}$$

Avec ϵ_r la permittivité du matériau ferroélectrique, ϵ_0 la permittivité de l'air, S les surfaces des électrodes en regard et d l'épaisseur du film ferroélectrique.

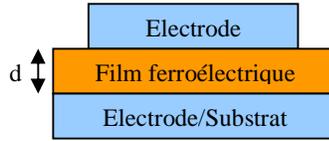


Figure I-4 Vue en coupe d'une capacité ferroélectrique

La difficulté du procédé de fabrication réside plutôt dans le contrôle de l'épaisseur de la couche ferroélectrique. En effet la permittivité est très sensible à l'épaisseur du film ferroélectrique comme le montre la Figure I-5 .

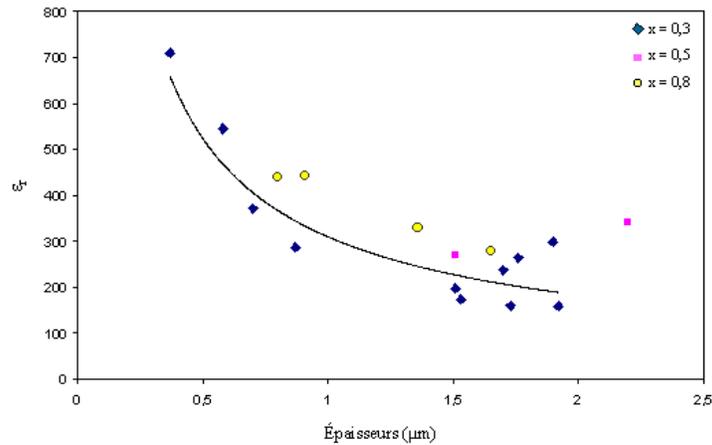


Figure I-5 Evolution de la permittivité diélectrique relative des films de BST $Sr_xBa_{1-x}T$ en fonction de leur épaisseur [Lie03]

Le Tableau I-2 présente une synthèse d'études sur des varicaps à base de films ferroélectriques de type BST.

Références	[Nor04]	[Kim02]	[Tom01]	[Tom02]	[Ahm07]
Gamme de capacité	275%	180%	110%	71%	63%
Tension de polarisation	[0+/-15]V	[0+/-80]V	[0+/-2]V	[0+/-9]V	[0+/-5]V
Facteur de qualité Q	[50-100]@2GHz		50@160MHz	[40-80]@2GHz	50@40GHz
Epaisseur du diélectrique	500nm	450nm	300nm	500nm	400nm

Tableau I-2 Performances des varicaps ferroélectriques à base de BST

A partir de cet état de l'art, il nous faut mettre en relief les avantages et les faiblesses des varicaps ferroélectriques (Tableau I-3).

Avantages	Inconvénients
Réalisation technologique « simple »	Budget thermique important
Encombrement faible	Intégration industrielle de ce type de matériau compliquée
Gamme de capacité	Sensibilité en température importante pour avoir une variation optimum de la permittivité
Facteur de qualité $Q > 50$	Sensibilité au stress
Tenue en fréquence *	Courant de fuite
Vitesse de réponse	Tension de polarisation

Tableau I-3 Avantages et inconvénients des varicaps ferroélectriques

* La tenue en fréquence dépend du comportement de la permittivité du matériau ferroélectrique. Des effets ferroélectriques sont observables jusqu'à 100GHz.

Malgré des performances électriques intéressantes, la dépendance en température et les fortes tensions de polarisation limitent leur utilisation.

I.B.2.b. Les varicaps MEMS

Le développement des varicaps de type MEMS n'a pas été aussi spectaculaire que celui des micro-commutateurs. Un certain nombre de travaux a été néanmoins réalisé ces dernières années. Pour évaluer la valeur de la capacité, nous pouvons reprendre l'équation **Eq I-2**. Dans le cas des MEMS, ϵ_r correspond à la permittivité du diélectrique, ϵ_0 la permittivité du vide, S les surfaces des électrodes en regard et d la distance entre les électrodes (entrefer). Ces varicaps sont donc basées sur la variation d'un de ces 3 paramètres :

- les capacités à variation diélectrique : on retrouve un seul exemple dans la littérature [**Yoo00**] dans lequel le diélectrique est mobile et les électrodes fixes. Avec ce type de structures, des électrodes très épaisses sont obtenues, ce qui permet d'atteindre des facteurs de qualité importants. L'effet limitant de l'utilisation de ce type de structure est la fabrication difficile ;
- Les capacités à variation d'entrefer (**Figure I-7**) [**Yao00**] [**Dec98**] [**Zou01**] [**Dus02**] [**Nie02**] [**Park01**] [**Fen01**] sont basées sur l'application d'une force électrostatique entre les 2 électrodes. Ce type de structure est sensible à la puissance RF et a tendance à claquer quand l'entrefer devient trop fin [**Yao00**] ;
- Les capacités à variation de surface (**Figure I-6**) : ces structures sont basées sur des peignes interdigités avec actionnement électrostatique. Dans ce type de structure, il n'y a pas de limitation théorique au rapport C_{max}/C_{min} . D'un point de vue conception, ces structures offrent une souplesse avec des gammes de capacités réalisables très larges et des tensions d'actionnement très faibles. Les travaux de Robert [**Rob03**] montrent des ratios C_{max}/C_{min} atteignant 8.4:1 (pour une capacité de 1.4pF) avec une tension d'actionnement se limitant à 8V. Par contre, le procédé de fabrication est assez complexe ce qui limite la miniaturisation des composants.

En parallèle de ces développements qui sont des varicaps analogiques sont apparues des capacités digitales. Ce sont des matrices de capacités MIM (Métal Isolant Métal) commandées par des commutateurs MEMS RF. Cette approche permet d'avoir des plages importantes de capacités.

Cependant, ces capacités digitales offrent une variation discrète de la capacité et les inductances séries peuvent être importantes selon la connexion entre les capacités MIM. Les travaux de l'université du Michigan ont permis de développer ce type de structures [Dus02].

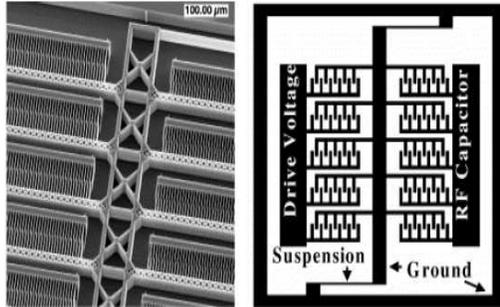


Figure I-6 Structure d'une capacité à variation de surface [Rob03]

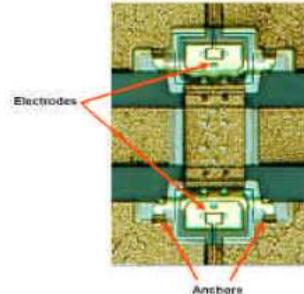


Figure I-7 Structure d'une capacité à variation d'entrefer [Dus02]

Le Tableau I-4 permet de faire une synthèse du type de capacités MEMS disponibles et de leurs performances.

Références	Dimension Moyenne (um*um)	Gamme de capacité (%)	Cmax	Tension d'actionnement (V)	Q	Fréquence de résonance
Capacités à variation diélectrique						
[Yoo00]	300*300	7.7	1.21-1.3pF	17	291@1GHz	
Capacités à variation d'entrefer						
[Yao00]	1mm ²	360	1.3-6pF	5.2		5GHz
[Dec98]	398*398	88	3.4-6.4pF	2*4.5	16@1GHz	
[Zou01]	200*200	70	32fF	17	30@5GHz	
[Dus02]	140*140	58	82-130fF	24	120@34GHz	
[Fan07]			0.792-1pF	15	51.6@1GHz	10GHz
[Lee08]	400*400	41	300-430fF	5.5	34.9@5GHz	
Capacités à variation d'entrefer (actionnement piézoélectrique)						
[Par01]	200*200	210	80-250fF	6	210@1GHz	
Capacités à variation d'entrefer (actionnement thermique)						
[Fen01]	500*500	400	0.5-3.5pF	2 à 3	100@10GHz	
Capacités à variation de surface						
[Rob03]		750	1.4-11.9pF	8	100@0.8GH z	2GHz
Capacités à variation discrète						
[Dus02]					100@34Ghz	

Tableau I-4 Synthèse de l'état de l'art des varicaps MEMS

La synthèse générale sur les varicaps MEMS met en lumière les très forts facteurs de qualité offerts par les varicaps MEMS ainsi qu'une gamme de capacité intéressante.

I.B.2.c. Les varicaps semi-conducteurs

Les varicaps semi-conducteurs sont sûrement les plus répandues et les plus utilisées comme capacités variables du fait de leur faible coût et d'un encombrement réduit. Ces dispositifs sont directement issus des procédés de fabrication des transistors de type MOS. Ils sont essentiellement regroupés en 2 catégories : les varicaps de type MOS et les varicaps de type diodes. Nous ne décrirons pas le principe de fonctionnement de ces varicaps, il sera présenté dans le paragraphe I.C. Le **Tableau I-5** expose un résumé des performances de ces varicaps. Cette synthèse met en relief que les varicaps de type MOS offrent des gammes de capacité supérieures aux capacités diodes. Par contre, elles présentent des coefficients de qualité moindre.

Références	Type	Technologie	Gamme de capacité (%)	Valeur de capacité	Q	Encombrement maximum (um*um)
[Lar04-A]	Diode	BiCMOS 0.25um (STM)	40	2.2 -3.1pF	200-300@2GHz	<40*180
[Lar04-B]	Diode	CMOS 0.13um(STM)	< 40	0.4 -0.6pF	40-160@2GHz	<135*66
[Coo02]	Diode	BiCMOS (IBM)	230	1 -3.3pF	200@2GHz	
[Lar04-A]	MOS type N	BiCMOS 0.25um (STM)	> 230	0.8 -2.5pF	20-140@2GHz	<60*15
[Lar04-B]	MOS type P	CMOS 0.13um (STM)	> 230	0.8-2.5pF	20-80@2GHz	<30*70
[Fon02]	MOS	CMOS 0.13um SOI (IBM)	500	0.18-1pF	95@1GHz	

Tableau I-5 Performances des varactors semi-conducteurs. Références STMicroelectronics et issus de l'état de l'art [Cas05]

I.B.2.d. Comparaison : de la varicap aux fonctions élémentaires

Le **Tableau I-6** dresse un bilan comparatif des différents types de varicaps évoquées.

	Ferroélectriques	Semiconducteurs		MEMS
		Diode	MOS	
Technologie	Simple	Simple	Simple	Complexe
Fiabilité	Non	Oui	Oui	Non
Gamme de capacité TR (%)	70-275	40-230	250-500	10-750
Tension (V)	+/-9 à +/-80	<4	<4	5.5 à 60
Facteur de qualité Q	50-100@2GHz	40-300@2GHz	20-140@2GHz	120@4GHz 53@2GHz 1050@1GHz
Encombrement moyen (um ²)	30*10	140*70	30*70	140*140 à 600*600
Coût	Moyen	Faible	Faible	Moyen à fort
Sensibilité en température	Oui	Oui	Oui	Oui
Linéarité	Bonne	Moyenne	Moyenne	Bonne

Tableau I-6 Synthèse comparative des différentes varicaps [Cas05]

Voici un bilan des caractéristiques de chaque type de varicaps :

- *Capacités ferroélectriques* : simples à réaliser et peu encombrantes. Elles présentent un potentiel en termes de gamme de capacité et de facteur de qualité. Mais le critère le plus limitant reste encore l'intégration de ce type de composant dans un procédé CMOS ou BiCMOS en terme de fiabilité, de compatibilité Front-end/Back-end et de coût ;
- *Capacités MEMS* : elles offrent un potentiel avec des grandes gammes de capacité et des forts coefficients de qualité. Par contre la solution des capacités MEMS reste la plus encombrante et la plus coûteuse. Elles nécessitent encore des études de fiabilité ;
- *Capacités semi-conducteurs* : Pas de coût supplémentaire car réalisées en même temps que le transistor donc entièrement compatibles avec un procédé CMOS ou BiCMOS. La tension de commande est faible mais les performances restent limitées en termes de gamme de capacité et de facteur de qualité.

Les caractéristiques intrinsèques des varicaps sont visibles à travers les performances des filtres ou oscillateurs comme nous l'avons évoqué dans le paragraphe **I.B.1**. La comparaison précédente entre les différentes solutions technologiques transparait à travers des études sur les filtres accordables (**Tableau I-7**) et sur un oscillateur (**Tableau I-8**).

Références	Type de varicaps	Tension (V)	Gamme de fréquence	TR (%)	Pertes d'insertion (dB)
[Fou07]	MEMS	0-40	9.5GHz	17%	5.66-5.95
[Fed08]	MEMS	0-9	0.7-1.33GHz	23%	5.1-7.7
[Tom03]	Ferroélectriques BST	0-12	120-170MHz	30%	0.8
[Bro00]	diode	0-30	1.67-2.13GHz	60%	3-6

Tableau I-7 Performances de différents types de filtres accordables avec différents types de varicaps

	Varicap MEMS RF	Varicap MOS
Fréquence (GHz)	5	[4.25,5.12]
Bruit de phase (dBc/Hz@100kHz)	-94	[-89,-98]
Consommation	3V*2mA	3V*2.5mA
Gamme de tension (V)	0	0.5-4
Facteur de qualité capacité	>50	13

Tableau I-8 Facteurs de performances de deux oscillateurs contrôlés en tension avec des varicaps de type MOS et MEMS technologie [Inn02]

L'ensemble de ces travaux montrent que les filtres présentent de faibles pertes d'insertion, notamment avec des varicaps MEMS. C'est essentiellement du au fait que les capacités MEMS possèdent des facteurs de qualités supérieurs. Néanmoins l'accord en fréquence est plus important avec une varicap de type diodes [Bro00]. Les travaux de [Inn02] ont permis une comparaison entre un oscillateur contrôlé en tension avec des varicaps de type MOS et MEMS RF. Les parties actives sont identiques et réalisées en technologie CMOS 0.35um. L'oscillateur contrôlé en tension à base de MEMS RF

présente des meilleures performances en termes de bruit de phase et consommation. Mais l'écart reste inférieur à 5% dans le cas du bruit de phase. Néanmoins le fait que les capacités MEMS requièrent des tensions de polarisation bien supérieures aux capacités MOS (>10V) entraîne dans cette étude une variation quasi nulle de la fréquence de l'oscillateur. Ces contraintes technologiques font que les capacités MEMS RF restent encore limitées pour un tel secteur d'application.

Ces différentes comparaisons des varicap intrinsèques et des fonctions élémentaires de filtrage et d'oscillation mettent en relief la potentialité des varicaps MEMS. Leurs caractéristiques électriques assurent une très bonne qualité spectrale. Elles restent néanmoins coûteuses à intégrer et qualifier dans les procédés standards de fabrication contrairement aux varicaps semiconducteurs.

1.B.3. Vers les varicaps semiconducteurs

L'accord en fréquence est au centre des systèmes de communication avec les fonctions de filtrage et d'oscillation. Nous avons démontré que la qualité spectrale des signaux nécessite des varicaps performantes. Les développements technologiques ont vu l'apparition de nouvelles varicaps intégrées de type MEMS très performantes. Néanmoins ces solutions restent coûteuse de part leur intégration dans les procédés standards de fabrication. Il y a donc débat entre performances électriques et coût technologique. Mais au-delà de ce questionnement, la demande actuelle pour la synthèse fréquentielle est tournée vers des solutions fiables et totalement intégrées à faible coût (sans ajout d'étapes supplémentaires dans le procédé de fabrications). Les varicaps semiconducteurs sur silicium présentent des coûts de fabrication bien plus intéressants avec des performances électriques toujours en ligne avec les spécifications escomptées. Néanmoins, les besoins des concepteurs de circuits intégrés nécessitent des varicaps de plus en plus performantes qui passent par une phase de développement. Au préalable de cette étude, il nous faut comprendre les différentes structures de varicaps afin de pouvoir les optimiser.

I.C. Les varicaps semiconducteurs

Deux composants électroniques assurent la fonction de condensateur variable: le transistor MOS et la jonction PN. Le développement et l'optimisation des varicaps passent par la connaissance des procédés de fabrication CMOS et BiCMOS pour concevoir des capacités non linéaires. Le transistor de type MOS semble le plus à même de répondre à nos besoins comme l'illustre la **Figure I-8** avec un transistor NMOS. L'empilement substrat de silicium / oxyde de silicium (SiO_2) / grille de polysilicium constitue le système capacitif MOS. Les zones de diffusions appelées source et drain et positionnées aux bords de la capacité forment des jonctions PN. A partir des deux transistors NMOS et PMOS et de différentes combinaisons possibles nous obtenons :

- 4 varicaps MOS : N+Poly/Nwell ,N+Poly/Pwell, P+Poly/Pwell et P+Poly/Nwell
- 2 varicaps diodes (jonction P-N) : P+/Nwell et N+/Pwell

Toutes ces varicaps potentielles ne seront pas retenues de part la limitation de leurs performances.

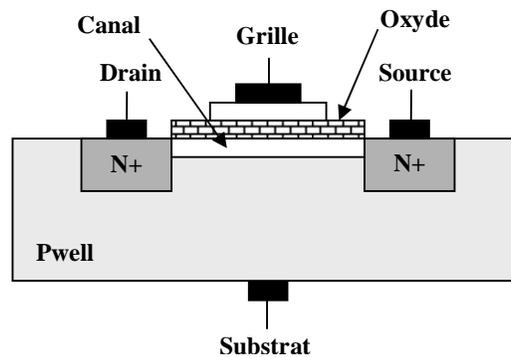


Figure I-8 Schéma en coupe d'un transistor NMOS

Dans un premier temps, nous décrivons le principe de fonctionnement des varicaps MOS et diodes. Cette étude permettra de dégager les meilleurs candidats parmi les six varicaps potentielles. Dans un deuxième temps, nous présenterons un état de l'art des varicaps disponibles chez STMicroelectronics.

I.C.1. Les varicaps MOS

I.C.1.a. Les régimes de fonctionnement de la capacité MOS [Mat92]

La capacité MOS est un dipôle directement issu du transistor MOS dont l'une des bornes est la grille du transistor et l'autre la connexion DSS (drain-source-substrat) comme l'illustre la **Figure I-9**. La tension entre la grille et la connexion DSS détermine la valeur de la capacité C_{mos} .

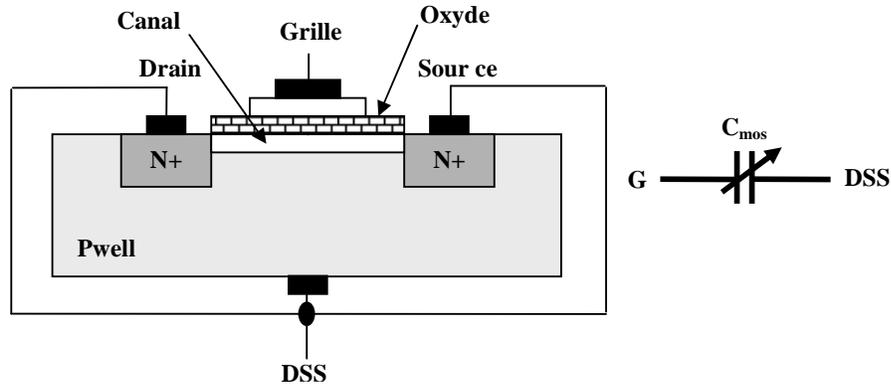


Figure I-9 Schéma en coupe d'une varicap NMOS

L'application d'une différence de potentiel entre la grille et le substrat module la charge dans le silicium. Nous nous plaçons ici dans le cas d'une capacité avec un substrat de type P, mais les raisonnements sont applicables de la même façon à une structure de type N. Les équations physiques sont tirées de la littérature et ne seront pas redémontrées. L'étude de la capacité MOS s'effectue à l'équilibre thermodynamique. C'est le potentiel de surface qui fixe les différents régimes de fonctionnement qui s'expriment par l'expression des densités de porteurs à la surface du substrat :

$$\begin{aligned}
 n_s &= n_0 e^{e\psi_s / kT} = n_i e^{e(\psi_s - \phi_f) / kT} \\
 p_s &= p_0 e^{-e\psi_s / kT} = n_i e^{-e(\psi_s - \phi_f) / kT} \\
 &\text{avec} \\
 e\phi_f &= E_F - E_{Fi}
 \end{aligned}$$

Eq I-3

Tel que :

n_s densité d'électrons à surface du substrat

p_s densité de trous à la surface du substrat

n_0 densité d'électrons dans le substrat

p_0 densité de trous dans le substrat

n_i densité intrinsèque de porteurs

E_F niveau de Fermi du semiconducteur

E_{Fi} niveau de Fermi intrinsèque

ψ_s potentiel de surface

k constante de Boltzmann

T la température

A partir de l'équation **Eq I-3**, nous pouvons déterminer les différents régimes de fonctionnement de la capacité MOS :

- pour $\psi_s < 0$, la densité de trous en surface est plus importante qu'en volume, la structure est donc en **régime d'accumulation** ;

- pour $\psi_s = 0$, la structure est en **régime de bandes plates** ;
- pour $0 < \psi_s < \Phi_F$, la densité d'électrons en surface augmente et la densité de trous diminue, mais le semiconducteur en surface reste de type p. La structure est en **régime de déplétion** ;
- Pour $\psi_s > \Phi_F$, la densité d'électrons en surface devient plus importante que la densité de trous. La structure est en **régime d'inversion**.

Nous remontons à la variation de charge dans le substrat en fonction du potentiel de surface (**Figure I-10**) dans le cas du silicium de type p. Les différents régimes de fonctionnements impliquent diverses variations de cette charge en fonction du potentiel de surface : une variation exponentielle en régime d'accumulation, racine carrée en régime de déplétion et de faible inversion et à nouveau exponentielle en régime de forte inversion. Sur la **Figure I-10**, nous noterons un paramètre important : la tension de bande plate qui peut être définie comme la tension appliquée à la structure et pour laquelle aucune charge n'est accumulée à l'interface de l'oxyde. Elle permet de dissocier le régime de déplétion et d'accumulation.

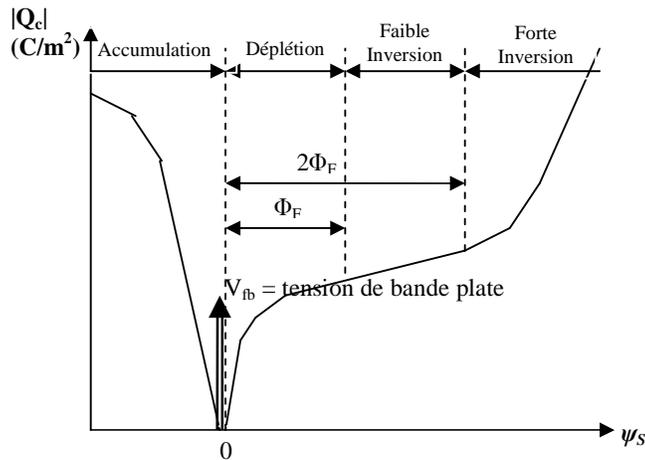


Figure I-10 Charge dans le substrat en fonction du potentiel de surface

Cette première étude a permis d'établir les régimes de fonctionnement de la capacité MOS selon les états d'interface oxyde/silicium. Nous avons décrit les différents types de charge qui apparaissent en surface et qui évoluent en fonction du potentiel. Toutes ces informations vont nous permettre d'évaluer l'évolution de la capacité en fonction de la tension appliquée sur la grille.

I.C.1.b. Caractéristique C-V de la structure MOS

Le calcul de la capacité à partir des charges à l'interface et du potentiel de surface est décrit en **annexe A**. La capacité de la structure MOS est la mise en série de la capacité d'oxyde et la capacité du silicium comme l'illustrent les équations **Eq I-4** et **Eq I-5**.

$$\frac{1}{C_{mos}} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \quad \text{Eq I-4}$$

$$C_{sc} = C_s + C_{dep} \quad \text{Eq I-5}$$

C_s représente la capacité dynamique ($C=dQ/dV$) résultant de la variation de la charge Q_s due aux porteurs libres et C_{dep} la capacité due à la variation de la charge de déplétion.

La caractéristique C-V de la capacité MOS est représentée sur la **Figure I-11**. A travers la capacité nous retrouvons les différents régimes de fonctionnements :

- En régime d'accumulation, la capacité MOS est équivalente à la capacité d'oxyde car la charge d'interface n'est constituée que des porteurs libres et la capacité associée est bien supérieure à la capacité d'oxyde. Ainsi on pourra extraire un paramètre technologique majeur des varicaps MOS qui est l'épaisseur d'oxyde.
- En régime de déplétion et de faible inversion, les charges minoritaires générées à l'interface sont encore compensées par les charges majoritaires du substrat. La capacité C_{sc} n'est donc sensible qu'aux charges fixes Q_{dep} et se résume à la capacité de déplétion. Sur la caractéristique C-V, nous retrouvons la tension de bande plate frontière entre l'accumulation et la déplétion à laquelle nous pouvons associer une capacité de bande plate. Ce paramètre est un indicateur important du profil de dopage du substrat. Plus le profil de dopage est abrupte plus la tension de bande plate est proche de la tension nulle. Ceci se traduit par une transition abrupte sur la caractéristique C-V et influe sur la linéarité de la varicap.
- En régime de forte inversion, le raisonnement est équivalent mais il faut tenir compte de la nature des charges c'est à dire à la fois des charges d'inversion et des charges de déplétion. Les charges de déplétion qui résultent de l'évacuation des porteurs majoritaires répondent quasi-instantanément, la constante de temps étant la constante de temps diélectrique. Les charges d'inversion résultent par contre de la création thermique des porteurs minoritaires et s'établissent avec une constante de temps beaucoup plus importante. La capacité en régime de forte inversion va donc être dépendante de la fréquence du signal dynamique appliqué comme le montre la **Figure I-11**.

En basse-fréquence, la variation de la charge d'inversion suit la variation de tension. La capacité C_{sc} se résume à la capacité des porteurs libres. Dans ce cas la capacité de la structure se restreint à la capacité d'oxyde de la même manière qu'en régime d'accumulation.

En haute-fréquence, la modulation de la charge d'espace du semiconducteur Q_{sc} résulte de la modulation de la charge de déplétion. La capacité C_{sc} dépend uniquement de la modulation de la largeur de la zone de déplétion due aux charges fixes. La capacité C_{dep} liées aux charges est cette fois bien inférieure à celle liée à la capacité d'oxyde C_{ox} . La longueur de la zone de déplétion est bloquée par la charge d'inversion due à la tension appliquée. La capacité de la structure ne dépend plus alors que de cette tension d'où le plateau (**Figure I-11**).

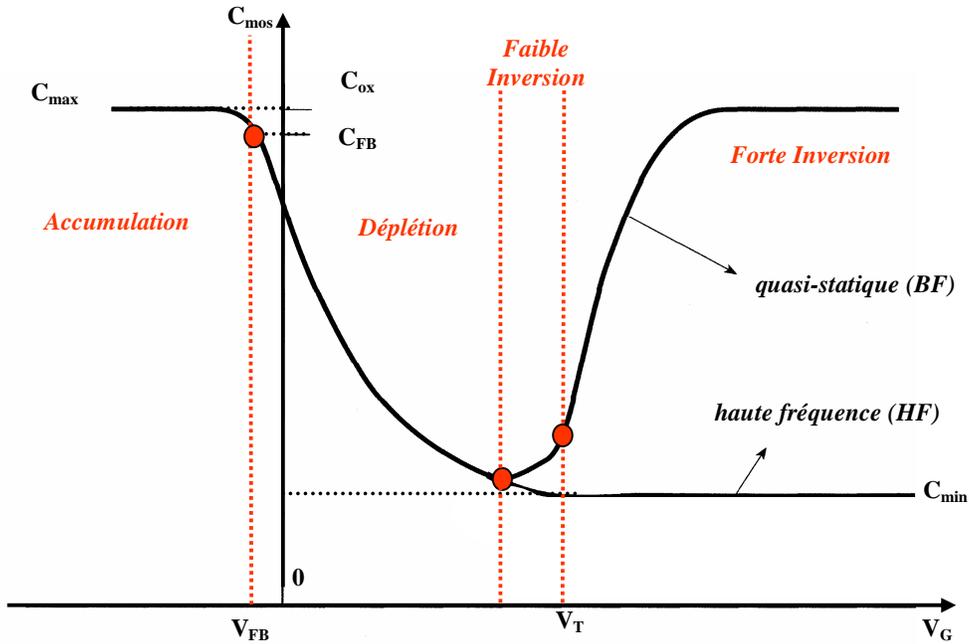


Figure I-11 Caractéristique C-V de la capacité MOS en fonction de la fréquence d'un transistor

Pour le transistor, la fréquence maximale à laquelle l'inversion apparaît est notamment liée à la géométrie de la structure. Pour un VCO, il est préférable d'avoir une caractéristique monotone et donc d'avoir une fréquence la plus petite possible. D'autres solutions peuvent alors être envisagées pour rendre monotone la capacité en fonction de la polarisation appliquée. Nous nous tournerons vers les varicaps à inversion ou à accumulation.

I.C.1.c. La varicap MOS à inversion IMOS

Il faut éliminer le régime d'accumulation, c'est-à-dire éviter les porteurs libres sous l'oxyde de grille (les électrons pour PMOS et les trous pour NMOS). Avec une varicap PMOS, le substrat est mis au plus haut potentiel. Les électrons ne sont donc plus attirés sous la grille. Nous obtenons une caractéristique C-V monotone avec une gamme de capacité plus importante que dans la configuration classique.

I.C.1.d. La varicap MOS à accumulation AMOS

Une autre solution s'offre à nous en cherchant à éliminer le régime d'inversion dû aux apports de porteurs minoritaires sous l'oxyde de grille. Dans le cas d'un PMOS, pour s'affranchir de ce phénomène de diffusion, on remplace les implants P+ par des implants N+ (Figure I-12) (respectivement N+ par P+ dans le cas d'un NMOS).

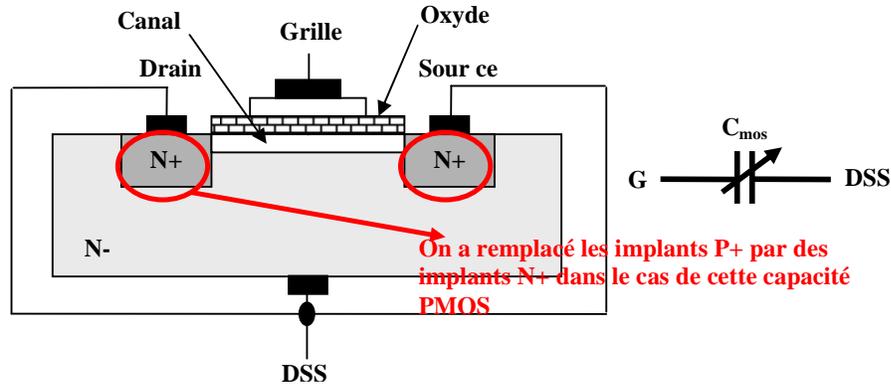


Figure I-12 Schéma en coupe d'une varicap de type AMOS

Une zone d'inversion est présente mais uniquement due à la génération thermique des porteurs minoritaires, elle n'apparaît qu'à très faible fréquence (kHz) comme l'illustre la **Figure I-13**.

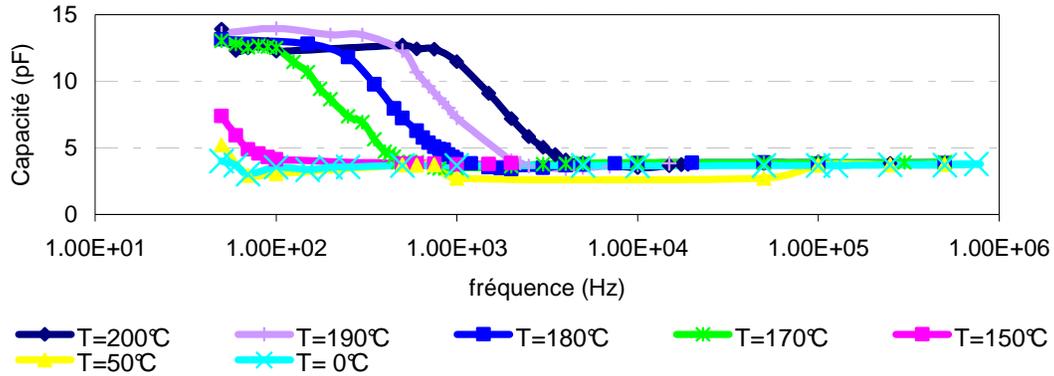


Figure I-13 Capacité en régime d'inversion en fonction de la fréquence pour différentes températures en technologie CMOS 0.13um pour une varicap N+Poly/Nwell avec $V_{gs}=3V$ [Mor05]

I.C.1.e. Comparaison des varicaps MOS

L'étude théorique des varicaps MOS va nous permettre de dégager les avantages et les inconvénients de chacune des structures.

Structure	Type	Avantage	Inconvénient
Classique	NMOS ou N+Poly/Pwell		Non monotonie C-V
	PMOS ou P+Poly/Nwell		Non monotonie C-V
IMOS	NMOS ou N+Poly/Pwell	Monotonie C-V	Résistance parasite importante [And00] par rapport AMOS
	PMOS ou P+Poly/Nwell	Monotonie C-V	Résistance parasite importante par rapport AMOS
AMOS	NMOS ou P+Poly/Pwell	Monotonie C-V	
	PMOS ou N+Poly/Nwell	Monotonie C-V	

Tableau I-9 Avantages et inconvénients des différentes structures de varicaps MOS

Le **Tableau I-9** révèle que le dispositif le plus à même de répondre à nos besoins est la varicap MOS à accumulation avec une caractéristique C-V monotone et des pertes hyperfréquences moindres par rapport à la varicap IMOS. Ce type de structures sera implémenté dans les bibliothèques de varicaps de STMicroelectronics.

I.C.2. Les varicaps de type diodes

Ces varicaps sont issues des procédés de fabrication du transistor comme les capacités MOS. Les diodes utilisent les jonctions source-drain/caisson des transistors comme l'illustre la **Figure I-14**. Elles sont basées sur le principe de fonctionnement de la jonction PN.

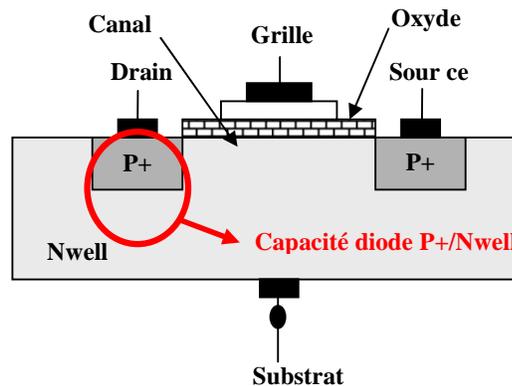


Figure I-14 Schéma en coupe d'un transistor PMOS avec utilisation d'une jonction pour la capacité diode P+/N

La varicap diode est basée sur la variation de la capacité de transition de la jonction PN en fonction de la tension inverse. L'évaluation de la capacité de transition est décrite en **annexe B**. Cette capacité décroît en fonction de la tension inverse appliquée. La linéarité de la caractéristique et la gamme de capacité dépendent du profil de la jonction. La diode est toujours polarisée en inverse pour éviter la mise en conduction de la jonction. L'étude se limite aux diodes du types P+/Nwell car les diodes N+/Pwell présentent des performances hyperfréquences bien moins intéressantes.

I.C.3. L'état de l'art chez STMicroelectronics

Nous pouvons établir un arbre généalogique pour les varicaps. A partir des transistors NMOS et PMOS, nous sommes en mesure de construire des varicaps de type diodes et MOS comme l'illustre la **Figure I-15**.

Les bibliothèques de varicaps de STMicroelectronics sont construites autour des varicaps type AMOS et diodes P+/Nwell. Nous présenterons les différentes structures disponibles avec les architectures associées.

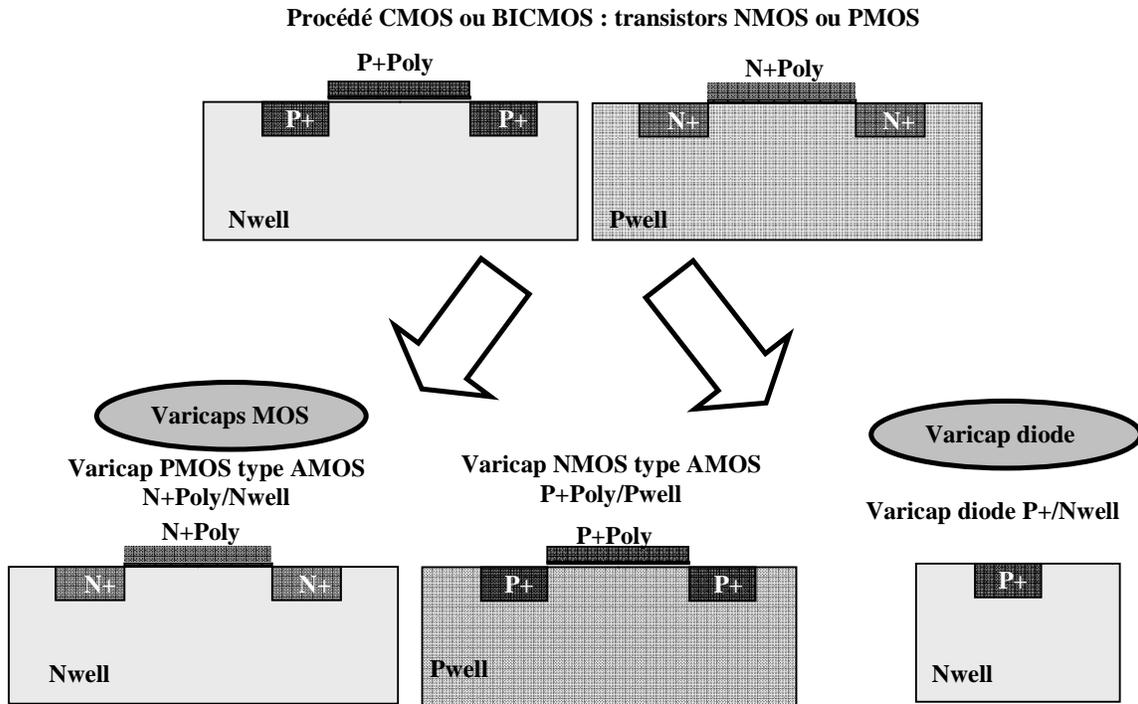


Figure I-15 Généalogie des varicaps MOS et diodes en technologie CMOS et BiCMOS

I.C.3.a. Les varicaps de type N+Poly/Nwell

La capacité N+Poly/Nwell est basée sur une structure PMOS dans laquelle les implants P+ ont été remplacés par des implants N+. Ces capacités possèdent 2 accès et une prise substrat (Figure I-16). Dans les structures de tests (Figure I-17), la prise substrat est connectée à la masse. Ces capacités sont caractérisées par 3 principaux paramètres géométriques qui sont le nombre de doigts de polysilicium (N_{bfp}), la largeur des doigts de polysilicium (W_{fp}) et la longueur de ces doigts de polysilicium (L_{fp}).

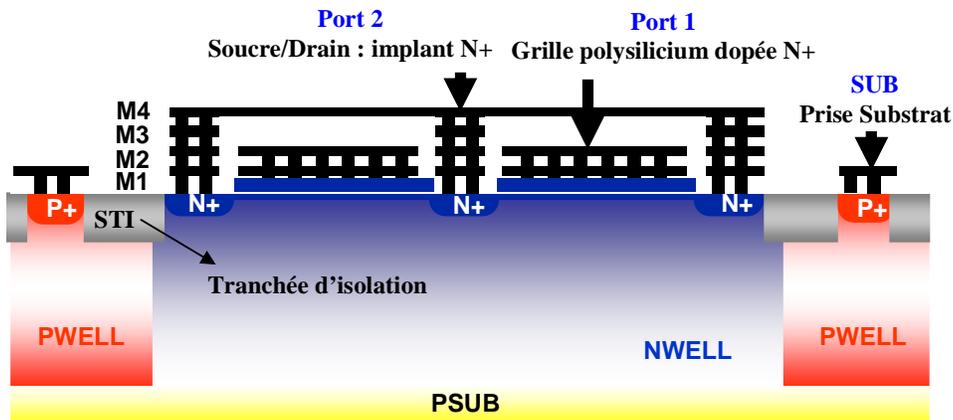


Figure I-16 Coupe transversale d'une structure N+Poly/Nwell en technologie CMOS 65nm

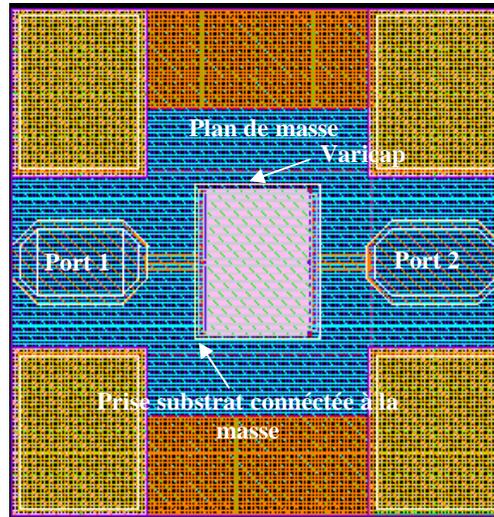


Figure I-17 Structure de test pour la mesure des varicaps avec 2 accès

Selon les technologies disponibles, il est aussi possible de paramétrer le nombre de cellules élémentaires (**Nbcell**). Tous ces paramètres sont illustrés sur la **Figure I-18**. Les modèles sont supportés pour différentes gammes de capacités. Un exemple de chaque paramètre géométrique est donné dans le **Tableau I-10**.

	Wfp (um)	Lfp (um)	Nbfp	Valeur de la capacité
MIN	3	0.35	1	20fF
MAX	40	2	50	10pF

Tableau I-10 Plage de variation des paramètres géométriques pour le modèle paramétré en technologie CMOS 65nm tox=5nm

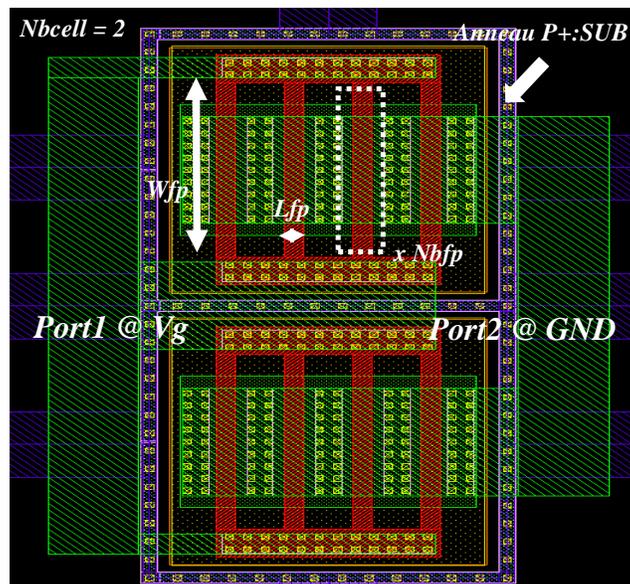


Figure I-18 Dessin d'une structure N+Poly/Nwell en technologie CMOS 65nm

Le modèle est validé de 80 MHz jusqu'à 50 GHz. Le schéma électrique équivalent utilise une cellule en T incluant à la fois la capacité intrinsèque et les éléments parasites dus aux interconnexions.

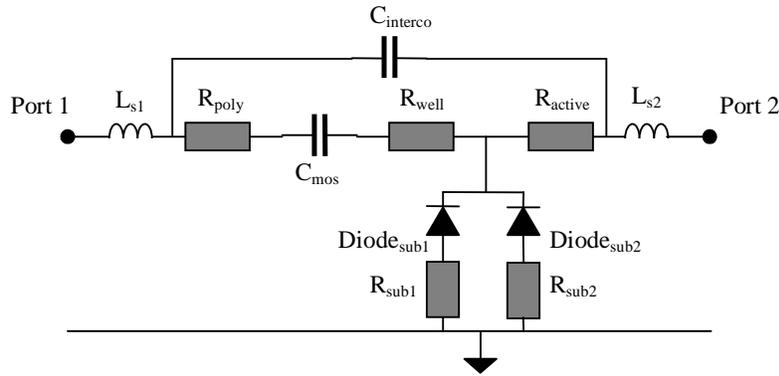


Figure I-19 Schéma électrique équivalent de la varicap de type N+Poly/Nwell

La capacité C_{mos} et la capacité d'interconnexion $C_{interco}$ représentent la capacité série C_s qui tient compte des éléments parasites (Figure I-20). Les résistances R_{well} (résistance non linéaire du caisson Nwell), R_{poly} (résistance du polysilicium et de métallisation) et R_{active} (Résistance de métallisation pour connecter les doigts N+) forment les éléments résistifs induits dans R_s . Les résistances R_{sub1} et R_{sub2} et les jonctions $Diode_{sub1}$ et $Diode_{sub2}$ modélisent le réseau substrat définis par C_{sub} et R_{sub} (2 diodes car il y a à la fois une contribution surfacique et une contribution périmétrique).

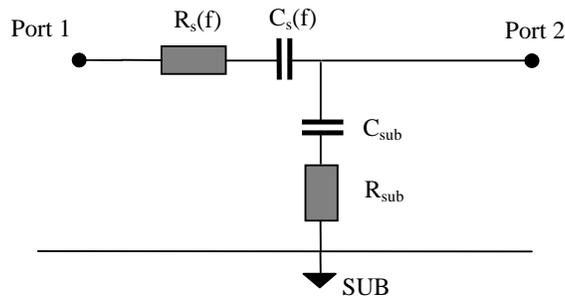


Figure I-20 Schéma électrique équivalent simplifié de la varicap de type N+Poly/Nwell

Des résultats de simulations du modèle des capacités N+poly/Nwell permettent de présenter les caractéristiques de la capacité série C_s , de la résistance séries R_s , de la capacité substrat C_{sub} , de la résistance substrat R_{sub} et du facteur de qualité (défini par l'équation Eq I-12) (Figure I-21). La Figure I-21 a montre l'allure monotone de la caractéristique C-V et les extremums qui fixeront la gamme de capacité. La dépendance de la capacité en fonction des inductances parasites transparait sur Figure I-21 b. La résonance permettra d'extraire ces inductances parasites. La résistance série reflète l'ensemble des pertes dans le polysilicium, le well et le métal (Figure I-21 c). Le facteur de qualité qui est l'image des performances hyperfréquences (comme nous l'expliquerons par la suite) est inversement proportionnel à la fréquence (Eq I-12). Ceci est validé sur la Figure I-21 d. Les

caractéristiques du réseau substrat en fonction de la fréquence sont résumées sur les **Figure I-21 e et f**.
Ce réseau n'est pas visible par une mesure directe entre les ports 1 et 2 en basse-fréquence.

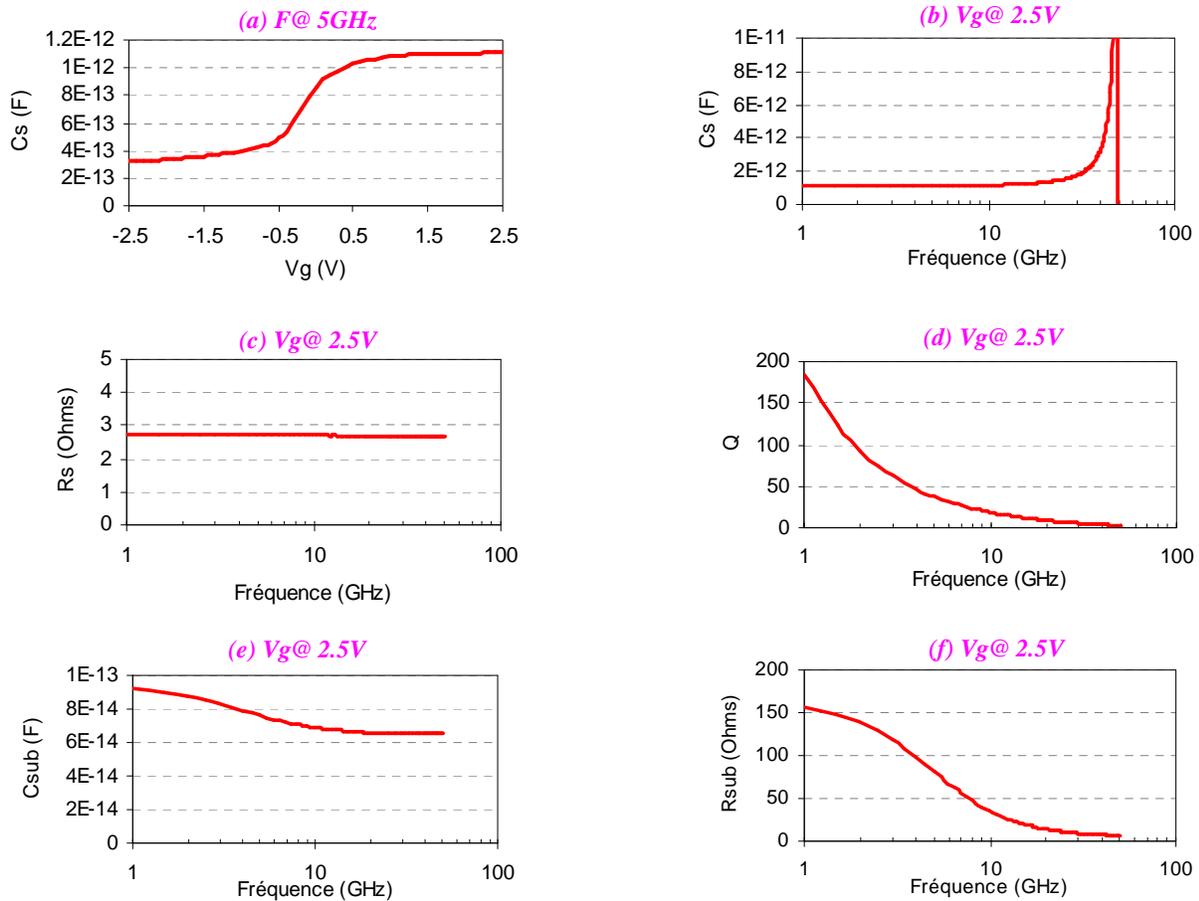


Figure I-21 Résultats de simulation du modèle de la capacité N+Poly/Nwell pour la capacité série $C_s(V_g)$ et $C_s(f)$, la résistance série $R_s(f)$, le facteur de qualité $Q(f)$, la capacité substrat $C_{sub}(f)$ et la résistance substrat $R_{sub}(f)$ en technologie CMOS 65nm $t_{ox}=5nm$ ($L_{fp}=1\mu m$ $W_{fp}=10\mu m$ $N_{fbp}=8$)

L'autre type de capacité MOS proposé chez STMicroelectronics est la capacité de type P+Poly/Pwell.
La structure est la duale de la capacité N+Poly/Nwell.

I.C.3.b. Les varicaps de type P+Poly/Pwell

Ces varicaps nécessitent l'ajout d'une couche d'isolation DNWELL pour la réalisation du Pwell comme l'illustre la **Figure I-22**. En effet, il n'est pas possible de polariser le Pwell indépendamment du substrat lui aussi de type P si cette couche d'isolation n'est pas rajoutée. Les paramètres géométriques sont équivalents aux capacités N+Poly/Nwell. La prise N+ est mise à la masse pour la modélisation du réseau substrat (**Figure I-23**). De manière équivalente à la capacité N+Poly/Nwell, nous pouvons associer une cellule en T à notre structure (**Figure I-24**). Le modèle équivalent de cette varicap est similaire à celui de la structure N+Poly/Nwell pour la résistance et la capacité série. La différence notable se situe au niveau du réseau substrat qui se complexifie avec la

présence de la couche d'isolation. Les performances électriques sont résumées sur la **Figure I-25**. Il est d'intéressant d'établir un point de comparaison entre les varicaps de type N+Poly/Nwell et P+Poly/Pwell pour une même valeur de capacité. Au regard des **Figure I-21** et **Figure I-25**, il apparaît clairement que les capacités P+Poly/Pwell présentent des pertes séries beaucoup plus importantes et donc des facteurs de qualité plus faibles. Elles présentent également un réseau substrat plus complexe.

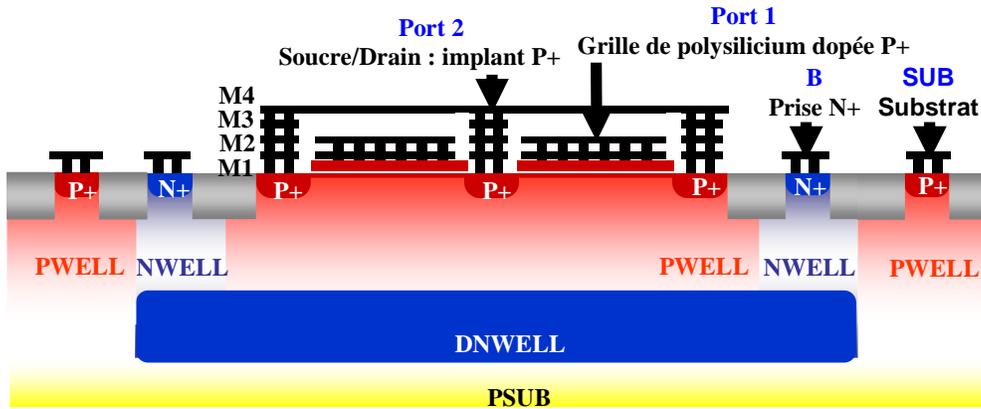


Figure I-22 Coupe transversale d'une structure P+Poly/Pwell en technologie CMOS 65nm

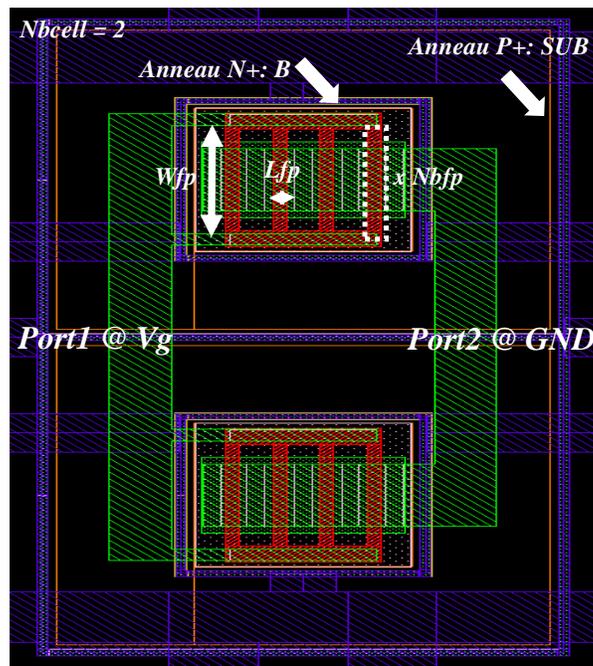


Figure I-23 Dessin d'une structure P+Poly/Pwell en technologie CMOS 65nm

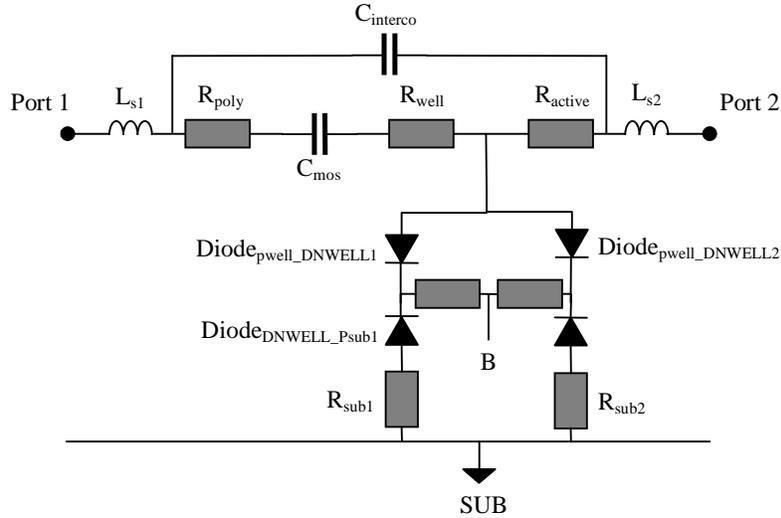


Figure I-24 Schéma électrique équivalent de la varicap de type P+Poly/Pwell

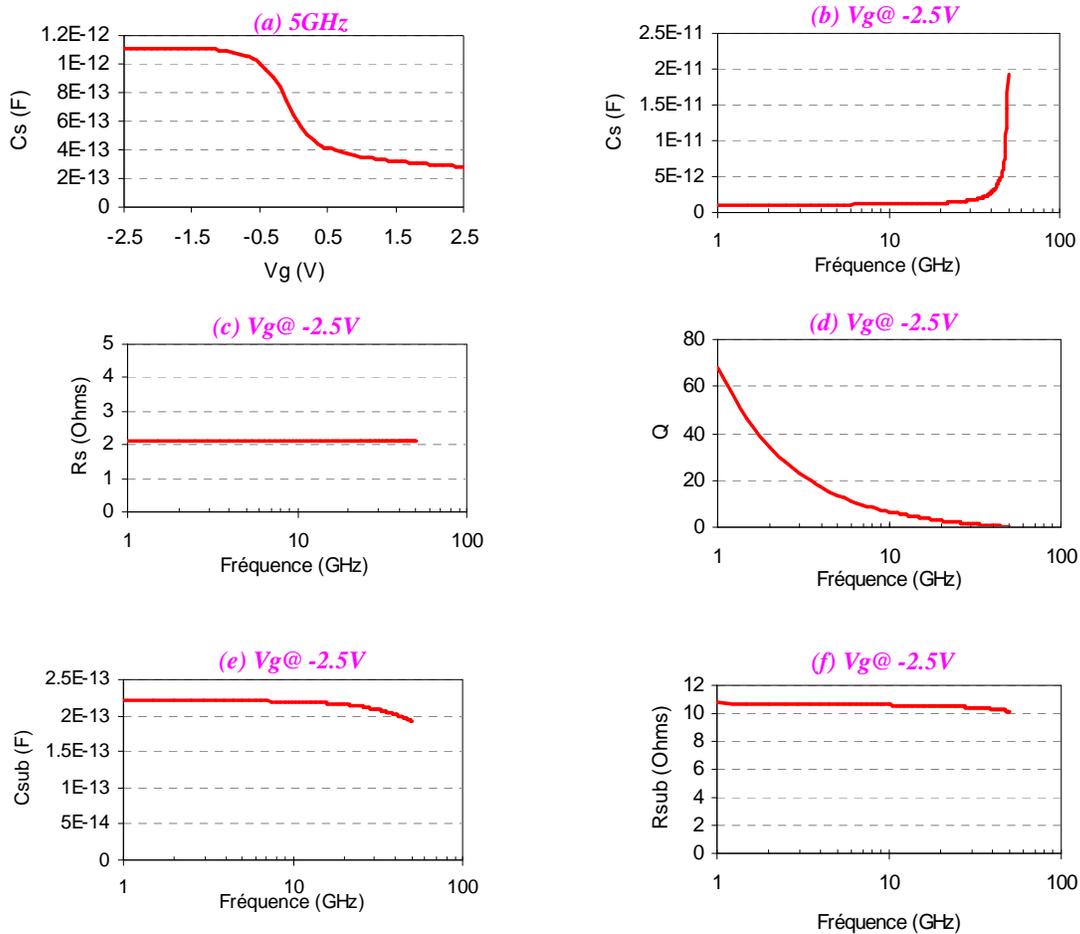


Figure I-25 Résultats de simulation du modèle de la capacité P+Poly/Pwell pour la capacité série $C_s(V_g)$ et $C_s(f)$, la résistance série $R_s(f)$, le facteur de qualité $Q(f)$, la capacité substrat $C_{sub}(f)$ et la résistance substrat $R_{sub}(f)$ en technologie CMOS 65nm $t_{ox}=5nm$ ($L_{fp}=1\mu m$ $W_{fp}=10\mu m$ $N_{fbp}=8$)

I.C.3.c. Les varicaps P+/Nwell

Les varicaps de type diodes sont basées sur les jonctions P+/Nwell du transistor PMOS. La couche DNWELL est utilisée pour réduire la résistance électrique dans le cas de varicaps avec des largeurs de doigts importantes. Nous utilisons 6 niveaux de métaux pour les connexions de la varicap diode contrairement aux capacités MOS (4 niveaux de métaux). Une couche de type EPI est aussi présente pour réduire les effets de capacités parasites dues à la jonction PWELL/NWELL.

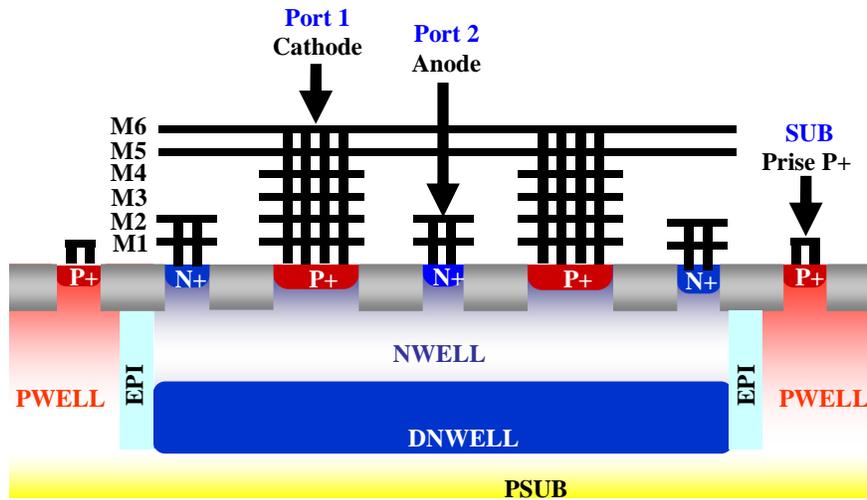


Figure I-26 Coupe transversale d'une structure P+/Nwell en technologie CMOS 65nm

Ces structures sont caractérisées par 3 paramètres géométriques que sont le nombre de doigts P+ (N_{bfp}), la largeur des doigts P+ (W_{fp}) et la longueur des doigts P+ (L_{fp}) (Figure I-27). Les modèles sont supportés pour différentes gammes de capacités. Un exemple d'extrémums de chaque paramètre géométrique est donné dans le Tableau I-11.

La plage de fréquence pour la validation des modèles est identique aux varicaps N+Poly/Nwell et P+Poly/Pwell. Concernant la plage de tension, le modèle est validé lorsque les jonctions P+/Nwell et les jonctions avec le substrat sont polarisées en inverse. Le schéma électrique équivalent (Figure I-28) utilise un modèle de cellule en T incluant à la fois la capacité intrinsèque et les éléments parasites dus aux interconnexions. Les diodes Diode₁ et Diode₂ et la capacité $C_{interco}$ sont incluses dans la capacité série C_s de la structure. Les résistances R_{well} (résistance intrinsèque), R_{totn} (résistance de métallisation de connexion des doigts N+) et R_{totp} (résistance de métallisation de connexion des doigts P+) modélisent la résistance série. La modélisation électrique du réseau substrat est équivalent aux capacités N+Poly/Nwell.

	W_{fp} (um)	L_{fp} (um)	N_{bfp}	Valeur de capacité
MIN	1	15	1	20fF
MAX	14	200	8	16pF

Tableau I-11 Plage de variation des paramètres géométriques pour le modèle paramétré des varactors P+/Nwell en technologie CMOS 65nm

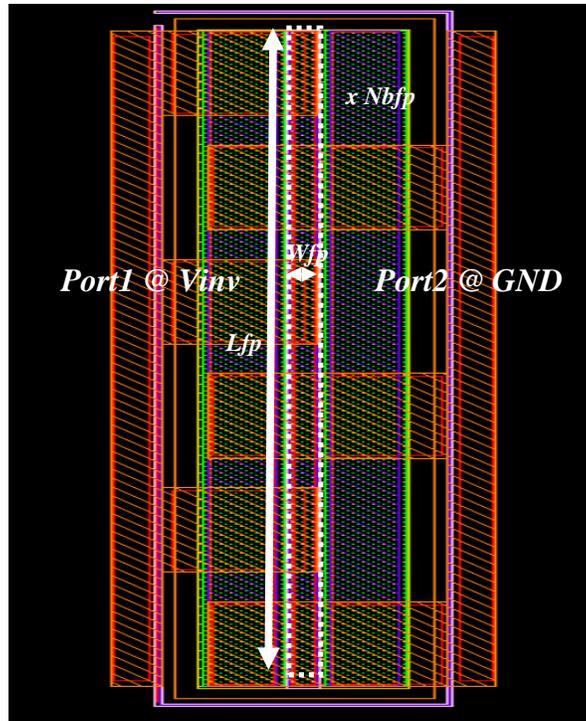


Figure I-27 Dessin d'une structure P+/Nwell en technologie CMOS 65nm

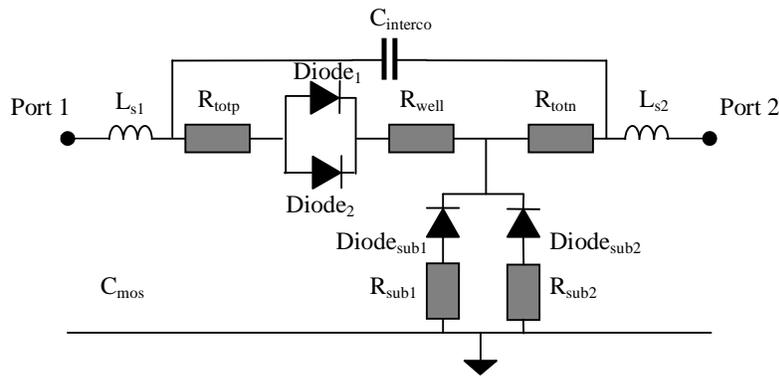


Figure I-28 Schéma électrique équivalent de la varicap de type P+/Nwell

Des résultats de simulation du modèle des capacités P+/Nwell présentent les caractéristiques de la capacité série C_s , de la résistance série R_s , de la capacité substrat C_{sub} , de la résistance substrat R_{sub} et du facteur de qualité (**Figure I-29**). La caractéristique C-V est représentée sur la **Figure I-29 a** et montre la décroissance de la capacité en fonction de la tension appliquée. La forme de la caractéristique dépend du profil de la jonction comme le montrent les équations en **annexe B [Far07]**.

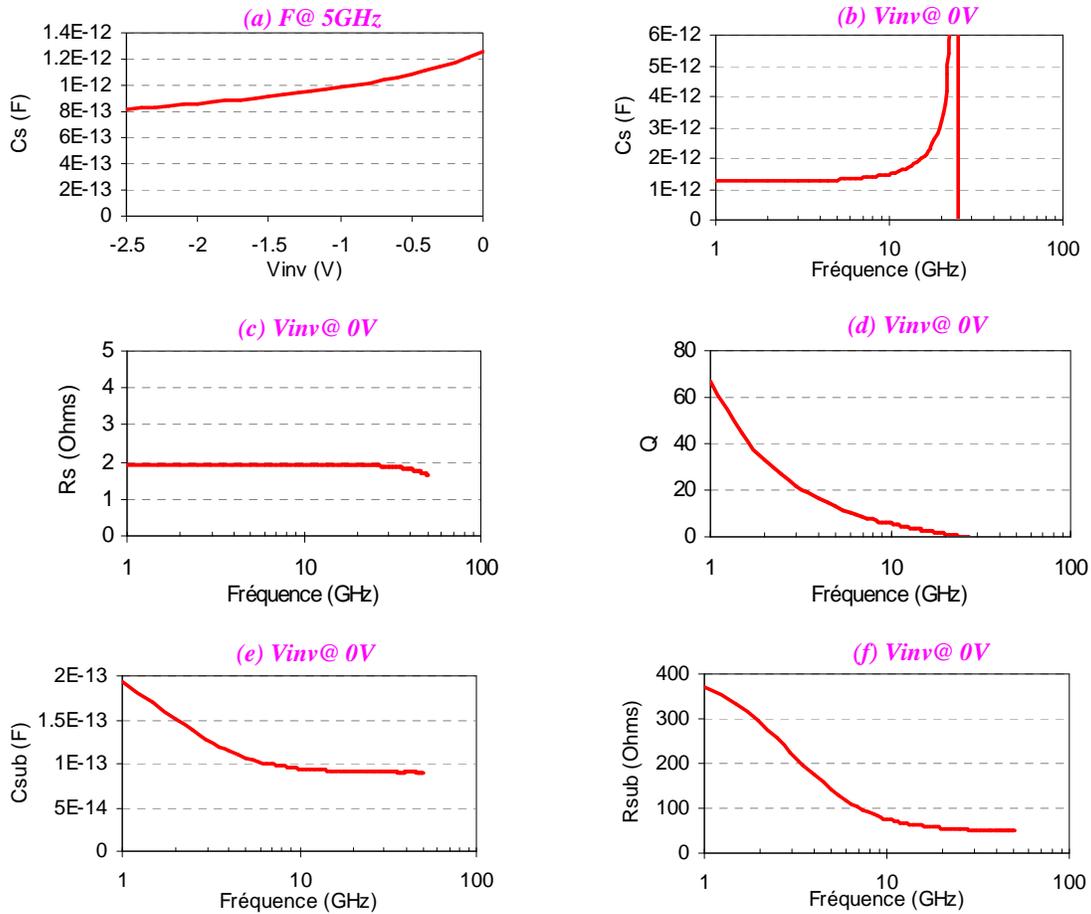


Figure I-29 Résultats de simulation du modèle de la capacité P+ /Nwell pour la capacité série $C_s(inv)$ et $C_s(f)$, la résistance série $R_s(f)$, le facteur de qualité $Q(f)$, la capacité substrat $C_{sub}(f)$ et la résistance substrat $R_{sub}(f)$ en technologie CMOS 65nm ($L_{fp}=100\mu m$ $W_{fp}=8\mu m$ $N_{bfp}=4\mu m$)

I.C.3.d. Une offre croissante

Les varicaps présentées précédemment sont la base de l'offre disponible au sein des bibliothèques de STMicroelectronics. Néanmoins de nouveaux besoins apparaissent continuellement. Nous pouvons citer les varicaps différentielles et les varicaps attoFarad. Ces deux types de structures sont issus des structures de base et feront l'objet d'études particulières dans la suite de nos travaux. Nous devons faire face à une offre croissante des technologies et des varicaps disponibles.

Des critères de performances doivent permettre mieux comprendre la limitation de l'offre actuelle pour appréhender les développements futurs.

I.D. Evaluation des varicaps

La multiplication des technologies et la croissance parallèle de l'offre « varicap » motivent la mise en place d'outils de comparaison. Nous pouvons classer les facteurs de mérite à travers deux grandes familles : les paramètres basses-fréquences (BF) qui sont liés à la capacité intrinsèque et les facteurs de performance qui reflètent le comportement hyperfréquence (HF). Dans la première catégorie, nous pouvons regrouper la capacité surfacique, la variation de capacité et la linéarité. Dans le deuxième groupe, nous trouverons le facteur de qualité et la fréquence de résonance. Nous exposerons un état des lieux des facteurs de mérite. Puis nous présenterons des outils qui ont permis l'évaluation d'une technologie et d'une famille de varicaps.

I.D.1. Les facteurs de mérite

I.D.1.a. La capacité surfacique

La capacité surfacique peut aussi porter le nom de surface efficace, elle est également liée à la notion de coût. La capacité surfacique est définie comme la capacité par unité de surface en fF/um². Cette valeur doit être la plus élevée possible afin d'avoir un encombrement minimum sur le silicium. Ce premier facteur de mérite va être différencié entre les varicaps de type MOS ou diodes car ils ne mettent pas en jeu les mêmes paramètres technologiques. Dans le cas de la varicap MOS, la capacité surfacique est liée à la capacité d'oxyde et donc à l'épaisseur d'oxyde t_{ox} à travers l'équation **Eq I-6**.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \text{Eq I-6}$$

Avec ϵ_{ox} la permittivité de l'oxyde.

Dans le cas d'une capacité de type diodes, la capacité surfacique est définie comme la valeur de la capacité de la jonction à tension nulle comme le montre l'équation **Eq I-7**.

$$C_j(V_{inv}) = \frac{C_{j0} \cdot A_j}{\left(1 - \frac{V_{inv}}{\Phi}\right)^{m_j}} \quad \text{Eq I-7}$$

Avec C_{j0} la capacité de la jonction par unité de surface à tension nulle.

A_j la surface de la jonction

Φ la tension interne de la jonction

m_j qui dépend du profil du dopage

I.D.1.b. La gamme de capacité

La gamme de capacité qui est encore appelée « tuning ratio » ou « tuning range » (TR) est sûrement avec le facteur de qualité un des facteurs de mérite les plus représentatifs d'une capacité non linéaire. Il est le reflet de la fonction des capacités non linéaires. La gamme de capacité ou TR est désignée le plus communément par C_{max}/C_{min} avec C_{max} et C_{min} le maximum et le minimum respectivement. Ces valeurs de capacités sont mesurées aux limites de la gamme de tension de polarisation. Dans la majorité des cas, nous chercherons à avoir le plus grand rapport C_{max}/C_{min} pour optimiser l'accord en fréquence. L'optimisation de TR est possible en diminuant l'influence des capacités parasites et périmétriques comme l'illustre l'équation Eq I-8.

$$TR = \frac{C_{surf,max} + C_{peri} + C_{parasites}}{C_{surf,min} + C_{peri} + C_{parasites}} \quad \text{Eq I-8}$$

I.D.1.c. La fréquence de résonance

La fréquence de résonance est un des indicateurs des performances hautes fréquences de notre dispositif. Cette résonance est fonction de l'inductance parasite et dépendante la géométrie du dispositif comme l'illustre la Figure I-30.

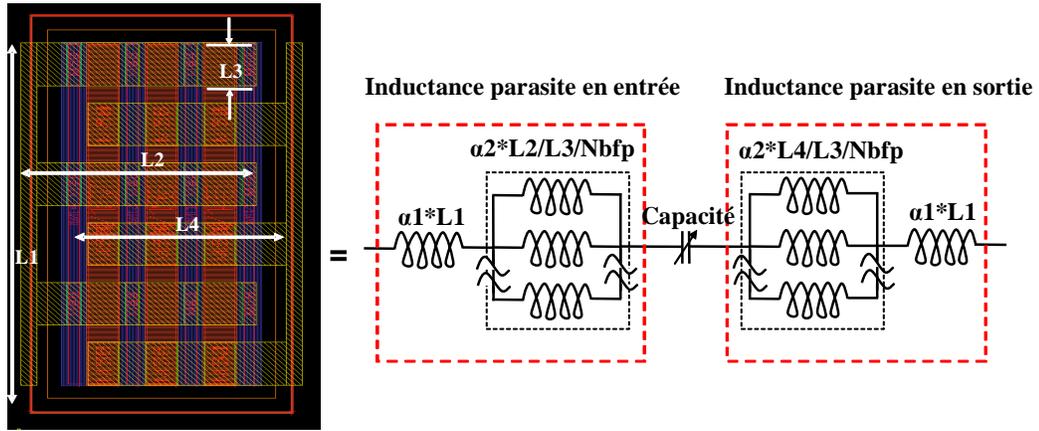


Figure I-30 Modélisations des inductances parasites liées aux paramètres géométriques

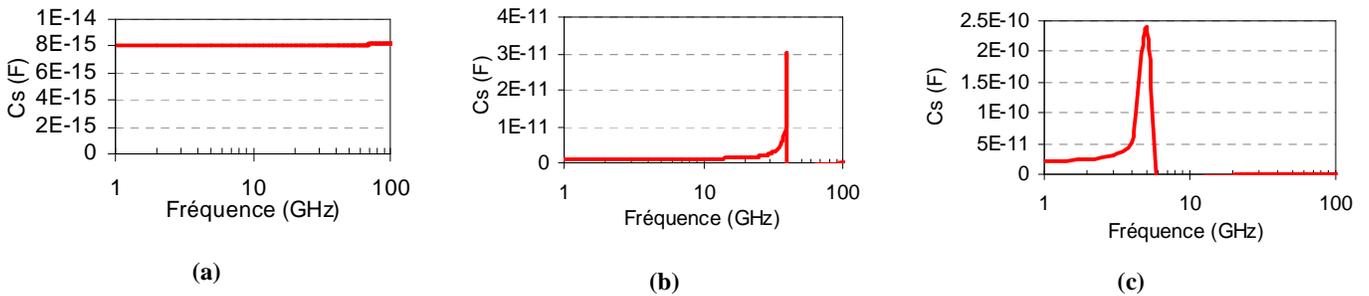


Figure I-31 Capacité série en fonction de la fréquence pour différentes géométries d'une varicap N+Poly/Nwell (a) $L_{fp}=0.35\mu m$ $W_{fp}=3\mu m$ $N_{bfp}=1$ (b) $L_{fp}=1\mu m$ $W_{fp}=20\mu m$ $N_{bfp}=8\mu m$ (c) $L_{fp}=2\mu m$ $W_{fp}=40\mu m$ $N_{bfp}=1$ en technologie CMOS 65nm $t_{ox}=5nm$

Selon la valeur de capacité choisie, il faudra chercher à minimiser l'influence de l'inductance parasite pour éviter d'être proche de la résonance (**Figure I-31**).

I.D.1.d. Le facteur de qualité

Le facteur de qualité est le facteur de mérite le plus révélateur des performances hautes-fréquences d'un composant passif. Conventionnellement, il est défini comme indiqué dans l'équation **Eq I-9**.

$$Q = 2\pi \frac{\text{Puissance stockée moyenne sous forme capacitive}}{\text{Puissance dissipée moyenne sous forme résistive}} = \frac{P_{c,moy}}{P_{dis,moy}} \quad \text{Eq I-9}$$

En régime sinusoïdal, la puissance maximum stockée est décrite par l'équation **Eq I-10**. Nous considérons un circuit équivalent de type série [**Ped01**](**Figure I-32**).

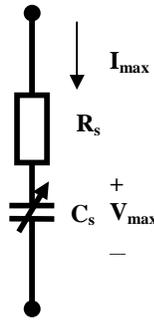


Figure I-32 Schéma équivalent simplifié de type série pour une varicap C_s

$$P_{c,moy} = \frac{1}{2} C_s V_{\max}^2 = \frac{1}{2} C_s \left(\frac{1}{\omega C_s} I_{\max} \right)^2 \quad \text{Eq I-10}$$

De même, la puissance dissipée sous forme résistive s'écrit :

$$P_{dis,moy} = R_s \frac{I_{\max}^2}{2} T = R_s \frac{I_{\max}^2}{2} \frac{1}{f} \quad \text{Eq I-11}$$

Avec T la période du signal.

Au final nous obtenons la formule définie dans l'équation **Eq I-12** pour le facteur de qualité.

$$Q = \frac{1}{\omega R_s C_s} \quad \text{Eq I-12}$$

Afin de présenter de bonnes performances en haute-fréquence, il faut maximiser le facteur de qualité Q et minimiser les pertes de la capacité.

Pour un oscillateur contrôlé en tension, nous définirons le bruit de phase et montrerons l'impact du facteur de qualité sur celui-ci. Le bruit de phase est dû à l'influence du bruit des composants sur le signal utile et est représentatif de la fluctuation de la fréquence instantanée de ce signal utile. Il correspond à un étalement spectral du signal utile, c'est pourquoi il s'exprime en dBc/Hz (puissance de bruit rapportée à la puissance de la porteuse) comme le montre la **Figure I-33**.

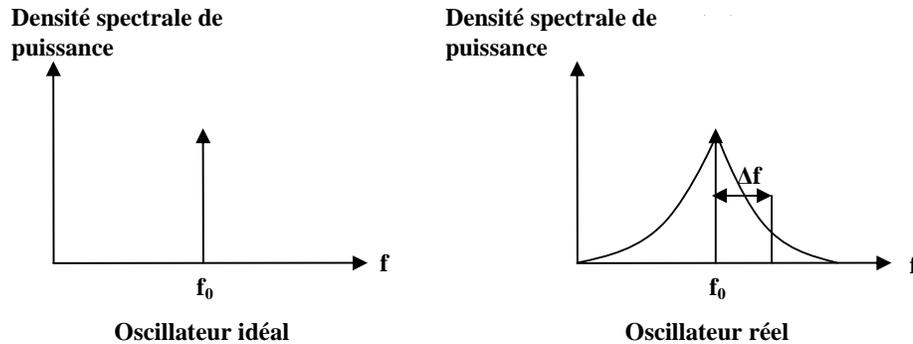


Figure I-33 Schéma simplifié de la densité spectrale d'un oscillateur idéal et réel

L'optimisation du bruit de phase est rendu possible à travers 2 voies. Il est possible d'augmenter la puissance du signal de sortie. L'augmentation de cette amplitude est directement liée à une consommation en courant plus importante. Une autre stratégie consiste à accroître le facteur de qualité du résonateur LC pour réduire l'influence du bruit blanc thermique [Mag02-A]. Il faut optimiser le facteur de qualité Q_L de l'inductance et Q_v de la capacité comme le montre l'équation **Eq I-13**.

$$\frac{1}{Q_{res}} = \frac{1}{Q_L} + \frac{1}{Q_v} \quad \text{Eq I-13}$$

Le même raisonnement est applicable sur la consommation de l'oscillateur. Les pertes dans l'oscillateur sont compensées par une augmentation de la puissance consommée.

L'amélioration du facteur de qualité optimisera la consommation et le bruit de phase de l'oscillateur.

I.D.1.e. La linéarité

Cette notion de linéarité est propre au caractère non linéaire des varicaps. Elle traduit la tendance à générer des harmoniques qui influe sur les performances du bruit de phase dans oscillateurs contrôlés en tension [Bon06]. Cette capacité à générer des harmoniques apparait en injectant de la puissance à l'entrée de la varicap. Plus le dispositif est non linéaire, plus il va générer d'harmoniques. La **Figure I-34** illustre ces propos avec une représentation de la répartition du courant sur les différents

harmoniques. La valeur de capacité est commune afin de présenter la même dynamique aux bornes de la varicap. La fréquence du fondamental est de 1GHz et la répartition est évaluée sur 20 harmoniques.

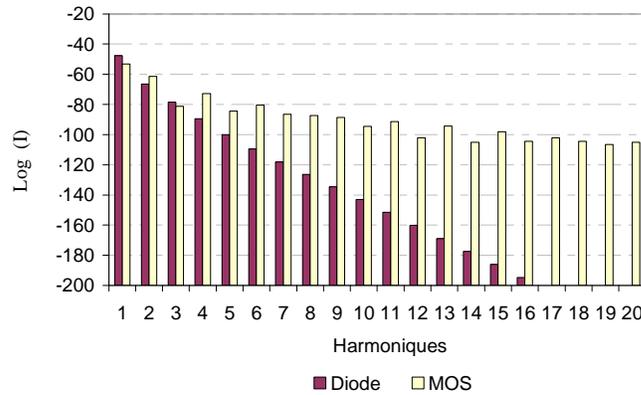


Figure I-34 Résultats de simulation « Harmonic Balance » pour des varicaps N+Poly/Nwell (Wfp=3um Lfp=2um Nbf=1) et P+/Nwell (Wfp=1um Lfp=15um Nbf=4) en technologie CMOS 65nm $t_{ox}=5nm$ Puissance en entrée=10dBm

Les résultats précédents montrent clairement la génération d'harmonique avec les deux types de structures. Néanmoins la varicap MOS génère d'avantage d'harmoniques qu'une diode. Ces non linéarités sont directement issues de l'allure de la caractéristique C(V) de la varicap MOS qui comprend des distorsions plus marquées par rapport à la varicap diode.

I.D.1.f. Etat de l'art des performances pour les varicaps MOS ou diodes

Plusieurs études ([Por05],[Cha07]) font état de la comparaison entre les capacités de type MOS et diodes. Ces travaux mettent en avant que le TR des varicaps MOS est meilleur que celui des diodes. En effet, les varicaps voient leur gamme de capacité limitée par le profil de la jonction PN et leur fonctionnement restreint au régime inverse. Néanmoins, les capacités diodes présentent le plus souvent des facteurs de qualités plus élevés. L'ensemble de ces comparaisons est résumé dans le **Tableau I-12**.

Référence	Type de capacité	Technologie	Capacité	Gamme de tension (V)	TR	Q
[Por05]	Diode P+/Nwell	CMOS 0.5um	0.4fF/um ²	[-1.8;0]	1.4	100@1GHz DC 0V
[Por05]	MOS à accumulation type N+Poly/Nwell	CMOS 0.5um	0.95fF/ um ²	[-1.8;1.8]	2.4	80@1GHz DC 0.4V
[Cha07]	Diode P+/Nwell	CMOS 0.18um	1.33pF@0V	[-1.8;0]	1.8	84@2.4GHz DC -1.8V 53@2.4GHz DC 0V
[Cha07]	MOS à accumulation type N+Poly/Nwell	CMOS 0.18um	1.33pF@0V	[-1.8;1.8]	3	75@2.4GHz DC -1.8V 35@2.4GHz DC 0V 21@2.4GHz DC 1.8V

Tableau I-12 Résumé comparaison varicaps MOS et diodes dans la littérature

Nous avons effectué la même étude avec la bibliothèque de varicaps disponible chez STMicroelectronics de type N+Poly/Nwell et P+/Nwell en technologie 65nm. Nous avons entre autre extrait toutes les géométries possibles pour une capacité de 1pF et sélectionné dans chaque cas le dispositif avec le facteur de qualité optimum. Les résultats sont présentés dans le **Tableau I-13**.

Type de varicap	Géométrie	Capacité @1GHz	Capacité surfacique	Gamme de Tension (V)	TR	Q@1GHz
Diode P+/Nwell	Wfp _{opt} =1um Lfp _{opt} =155um Nbf _{opt} =4	976fF@0V	1.3fF/um ²	[-2.5;2.5]	1.42	Q=236@0V Q=335@-2.5V
MOS N+Poly/Nwell t _{ox} =5nm	Wfp _{opt} =7um Lfp _{opt} =0.35um Nbf _{opt} =26	979fF@2.5V	6fF/um ²	[-2.5;0]	1.79	Q=116@2.5V Q=135@0V Q=281@-2.5V

Tableau I-13 Comparaison Capacités variable N+Poly/Nwell et P+/Nwell en technologie CMOS 65nm t_{ox}=5nm

Nous retrouvons les tendances précédentes à savoir : capacité surfacique et TR nettement supérieures dans le cas de la varicap MOS. Le facteur de qualité est quant à lui bien supérieur dans le cas d'une diode. Celle-ci présentant une capacité surfacique nettement plus faible par rapport aux varicaps N+Poly/Nwell, elle peut être fortement interdigitée (pour synthétiser une même valeur de capacité) ce qui a tendance à réduire la résistance série et donc augmenter le facteur de qualité. La tendance sur les trois principaux facteurs de performance peut être résumée dans le **Tableau I-14**.

	Varicap MOS	Varicap Diode
TR	3-6 (variable selon l'épaisseur d'oxyde)	2
Linéarité	Pas bonne	Bonne
Facteur de qualité	Meilleur pour des capacités au-delà de 5pF	Meilleur pour des capacités en dessous de 1pF

Tableau I-14 Tendance des facteurs de mérite des varicaps MOS et diodes

Aucune tendance ne se dégage sur l'avantage de l'une ou l'autre des structures, tout dépendra de la gamme de capacité visée. Par contre, chacune montre ses limitations tant du point de vue des performances intrinsèques de la capacité que des performances hyperfréquences.

1.D.2. Evaluation d'une famille, d'une technologie

Ces critères vont nous permettre d'orienter nos axes de recherche pour l'amélioration des varicaps actuelles mais ne sont en aucun cas un outil global d'évaluation. Il serait intéressant de fournir un outil d'évaluation d'une famille de capacité ou d'une technologie, soit pour permettre au client de choisir plus rapidement le composant le plus adapté à son application, soit pour fournir aux ingénieurs des données suffisantes à la définition des architectures futures. Pour des concepteurs, il peut être mis en place un facteur de mérite global qui reprend les critères de performances clefs des varicaps. Les travaux de Chan [Cha07] décrits en **annexe C** illustrent ce type d'étude. Nos travaux se

sont plus orientés vers l'évaluation d'une technologie et d'une famille de varicaps pour pouvoir dégager des tendances qui serviront aux futurs utilisateurs.

Prenons l'exemple de la technologie CMOS 65nm. Les varicaps disponibles sont résumées dans le **Tableau I-15**.

Type de capacité	Dénomination	Epaisseur d'oxyde	Tension nominale (V)
Diode	P+/Nwell		2.5
	N+Poly/Nwell G02 50A	5nm	2.5
MOS	N+Poly/Nwell G02 28A	2.8nm	1.8
	N+Poly/Nwell G01	1.8nm	1.2

Tableau I-15 Résumé des dispositifs utilisés pour évaluer la technologie 65nm

Nous présentons 3 capacités de type MOS N+Poly/Nwell avec trois épaisseurs d'oxyde différentes. Dans le cas des capacités N+Poly/Nwell avec les 2 épaisseurs d'oxyde GO2, les règles de dessin fixent la longueur de grille minimale à 0.35um. Dans le cas du GO1, cette règle est étendue jusqu'à 65nm. A travers ces trois types de varicaps MOS, nous chercherons dans un premier cas à évaluer le compromis entre une capacité surfacique minimale (avec une épaisseur d'oxyde maximisée type GO2) et des pertes les plus faibles possibles (longueur de grille minimale avec un oxyde type GO1). Dans un deuxième cas, plus la longueur de grille est faible plus nous pouvons interdigiter les doigts de polysilicium et de ce fait diminuer la résistance série.

La première étape consiste à lancer un jeu de simulation sur les différents modèles pour une valeur de capacité donnée et tracer le facteur de qualité en fonction du nombre de doigts comme l'illustre la **Figure I-35** pour les capacités N+Poly/Nwell GO2 50A.

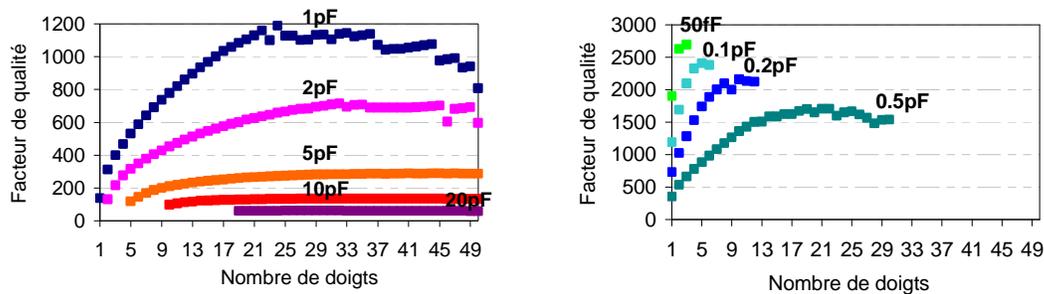


Figure I-35 Facteur de qualité en fonction du nombre de doigts pour une capacité N+Poly/Nwell GO2 50A en technologie 65nm F=100MHz Vgs=2.5V

Les différentes courbes montrent qu'il existe un optimum géométrique pour le facteur de qualité (pour les capacités supérieures à 500fF) car il subsiste un compromis entre la résistance du polysilicium, la résistance du caisson Nwell et la résistance métallique. Dans le cas des capacités inférieures à 500fF, la tendance revient à maximiser le nombre de doigts et descendre la longueur des doigts au minimum.

Les conclusions sont identiques pour les capacités N+Poly/Nwell GO2 28A et N+Poly/Nwell GO1. On peut alors montrer qu'il existe un encadrement du rapport d'aspect optimum Λ défini par l'équation Eq I-14.

$$\Lambda = \frac{W_{opt}}{L_{opt} \cdot N_{bfp_{opt}}} \quad \text{Eq I-14}$$

L'ensemble des résultats est résumé dans le tableau suivant :

Dispositif	Géométrie	50fF	0.1pF	0.2pF	0.5pF	1pF	2pF	5pF	10pF	20pF	Rapport d'aspect Λ
N+Poly/Nwell G02 50A	W_{opt} (um)	3	3.7	3.7	4.4	6.8	11.6	15.4	21.6	32.4	0.6 < Λ < 1
	L_{opt} (um)	0.35	0.35	0.35	0.37	0.35	0.35	0.54	0.94	1.56	
	$N_{bfp_{opt}}$	3	5	10	21	26	32	41	35	29	
N+Poly/Nwell G02 28A	W_{opt} (um)	3.4	3	3	3.2	4.4	7.5	11.1	15.2	25.4	0.4 < Λ < 0.6
	L_{opt} (um)	0.35	0.35	0.35	0.35	0.35	0.35	0.65	1.04	1.52	
	$N_{bfp_{opt}}$	2	5	10	24	35	40	35	32	26	
N+Poly/Nwell G01	W_{opt} (um)	3	3	3	3.2	4.9	7.5	11	15	22	0.65 < Λ < 0.85
	L_{opt} (um)	0.065	0.065	0.065	0.1	0.14	0.2	0.4	0.86	1.35	
	$N_{bfp_{opt}}$	8	16	32	50	50	45	40	30	25	

Tableau I-16 Optimum géométriques pour différentes capacités N+Poly/Nwell et 3 épaisseurs d'oxyde en technologie CMOS 65nm

Ensuite nous comparons ces mêmes dispositifs pour les trois épaisseurs d'oxyde comme le montre la **Figure I-36**. Ceci permettra de choisir le dispositif le mieux adapté selon la gamme de capacité. Pour des capacités au dessus de 5pF, les varicaps de type GO1 présente les facteurs de qualité les plus optimisés car leur capacité surfacique est la plus importante ce qui leur permet de présenter le facteur d'aspect optimum. Pour les capacités de faible et moyenne valeur, les capacités GO1 offrent aussi les meilleurs facteurs de qualité car avec des longueurs de grille descendant à 65nm nous avons la possibilité d'augmenter le nombre de doigts et donc de diminuer la résistance série.

Dans le cas des capacités de faible valeur, le meilleur compromis est d'utiliser une épaisseur d'oxyde plus importante type GO2 50A et de permettre de descendre au minimum technologique pour les règles de dessin. En augmentant l'épaisseur d'oxyde, nous diminuons la capacité surfacique ce qui permet de synthétiser de très faibles valeurs de varicaps. Mais la longueur de grille minimale à 0.35um limite notre degré de liberté sur le nombre de doigts. Avec une règle de dessin plus souple, nous pouvons accroître le nombre de doigts et diminuer la résistance série.

Cette première étude montre qu'il existe un optimum géométrique où le facteur de qualité est maximal. Elle a également mis en valeur que selon la gamme de capacité, le type d'oxyde est prépondérant pour optimiser le facteur de qualité. Le concepteur selon la valeur de capacité visée devra dans un premier temps choisir l'épaisseur d'oxyde qui conduit au meilleur facteur de qualité. Ce choix arrêté, il cherchera le jeu de paramètres géométriques optimum. La probabilité de trouver cet optimum passe par un grand nombre de paramètres géométriques testés. Cette étude passe par la mise en place préalable d'une fonction qui quantifie cette probabilité. L'idée directrice est d'avoir une représentation des capacités synthétisables dans un espace à deux dimensions. Les extremums des capacités

délimitent la surface de recouvrement possible comme l'illustre la **Figure I-37**. Ces bornes sont fixées par la longueur et la largeur de la grille. A partir de la **Figure I-37**, nous définissons un rapport de recouvrement qui est défini dans l'équation **Eq I-15**. Plus ce rapport de recouvrement est important, plus la probabilité de trouver un optimum est grande.

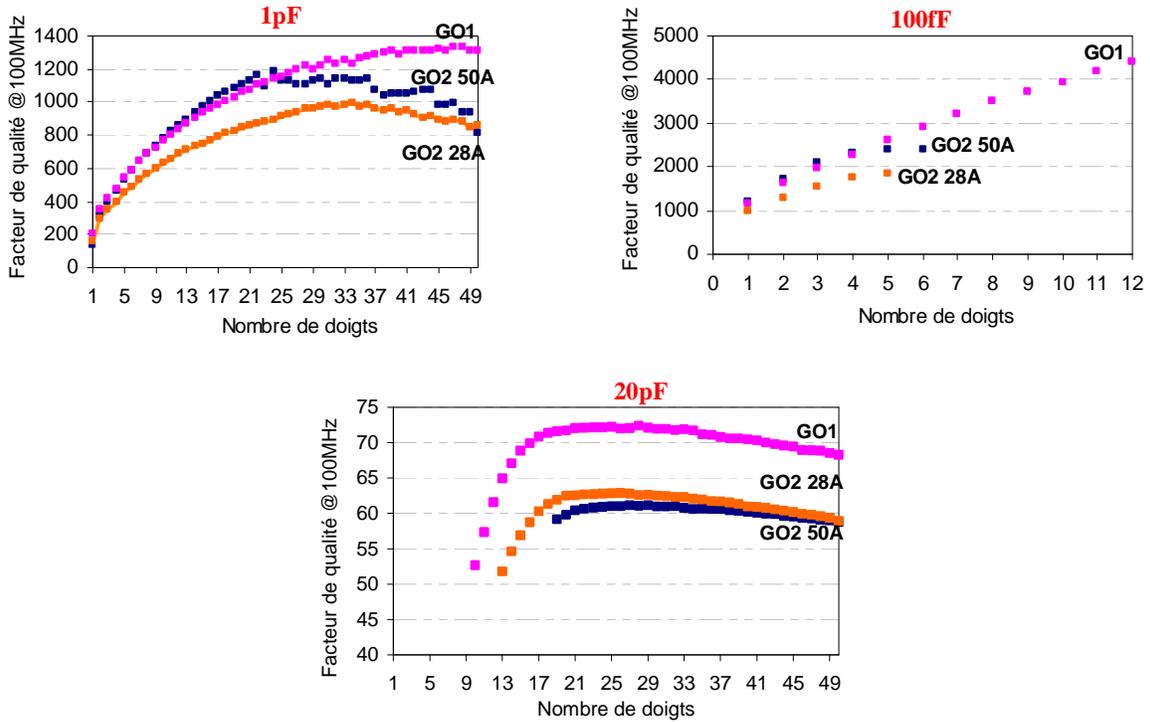


Figure I-36 Facteur de qualité en fonction du nombre de doigts pour trois capacités N+Poly/Nwell 50A en fonction de l'épaisseur d'oxyde en technologie 65nm F=100MHz Vgs=2.5V

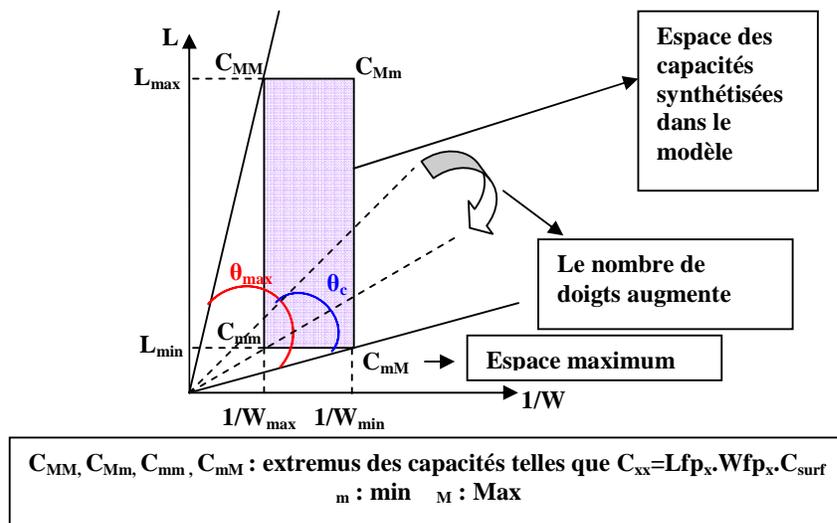


Figure I-37 Schéma de l'espace des capacités modélisées avec ses extremums

$$\beta = \frac{\theta_c}{\theta_{\max}} \cdot \frac{nbfp_x}{nbfp_{\max}} \quad \text{Eq I-15}$$

Nous illustrerons cette probabilité par la représentation du rapport de recouvrement en fonction de la capacité visée pour les trois types varicaps de MOS citées précédemment (**Figure I-38**).

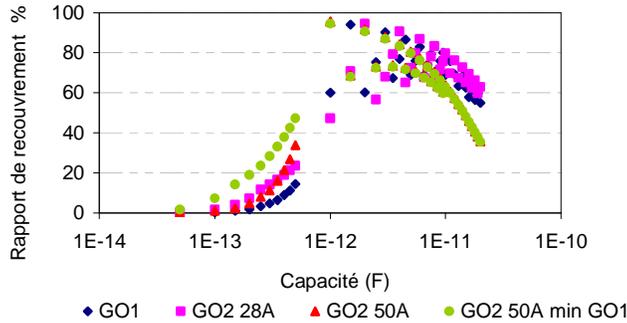


Figure I-38 Rapport de recouvrement en fonction de la valeur de capacité en technologie 65nm pour différents épaisseurs d'oxyde

Pour des valeurs de capacités de 1pF à 10pF, les performances sont similaires entre les 3 épaisseurs d'oxyde. Pour des capacités supérieures à 10pF, un oxyde de type GO1 offre une plus grande possibilité de trouver un optimum. Ce graphe montre surtout le lien entre ce rapport de recouvrement, l'épaisseur d'oxyde et la longueur de grille minimale. L'ouverture du modèle des varicaps de type GO2 à la longueur de grille fixée par un oxyde type GO1 accroît nos chances de trouver un optimum.

Ces études ont montré que les varicaps obéissent à divers critères de performances liés aux caractéristiques électriques. Ces facteurs de mérite serviront de lignes directrices à l'amélioration des composants actuels. Néanmoins l'étude sur l'évaluation d'une technologie et d'une famille de varicaps a démontré qu'une autre voie d'exploration réside dans l'amélioration des caractéristiques géométriques. Les futurs développements doivent prendre en compte les caractéristiques électriques mais également la géométrie de la structure.

I.E. Conclusion

A travers cette étude nous avons démontré que la varicap est au centre des circuits accordables et que des circuits optimisés passent par des varicaps performantes. Nous avons identifié divers choix technologiques et les varicaps semiconducteurs se sont révélées les plus compétitives en ratio coût technologique/performances. Elles présentent l'avantage d'être totalement gratuites et issues des procédés standards. A partir d'un transistor de type MOS et des règles de conception dans une technologie donnée, nous sommes en mesure de synthétiser des varicaps. L'étude de ces varicaps a permis d'identifier les pistes d'amélioration des performances à travers les caractéristiques électriques et géométriques. Les travaux seront axés autour de la capacité intrinsèque pour les facteurs de mérite basses-fréquences et sur les accès résistifs pour le comportement hyperfréquence. Les développements devront donc prendre en compte la structure intrinsèque de la capacité mais également l'aspect architectural. Des outils adaptés à des besoins spécifiques devront également être étudiés comme la caractérisation différentielle ou bien la mesure forte impédance pour les varicaps attoFarad.

I.F. Bibliographie

- [**And00**] Pietro Andreani and Sven Mattisson, "On the Use of MOS Varactors in RF VCO's," IEEE Journal of Solid-State Circuits, Vol. 35, No. 6, pp. 905-910, June 2000
- [**Ahm07**] Al Ahmad M., Brunet M., Payan, S., Michau D., Maglione M., Plana R., "Wide-Tunable Low-Field Interdigitated Barium Strontium Titanate Capacitors," IEEE Microwave and Wireless Components Letters, Volume 17, Issue 11, pp. 769-771, Nov. 2007
- [**Beh06**] Behdad N., Sarabandi K., "Dual-band reconfigurable antenna with a very wide tunability range," IEEE Transactions on Antennas and Propagation, Vol. 54, Issue 2, Part 1, pp. 409-416, Feb. 2006
- [**Bon06**] Bonfanti A., Levantino S., Samori C., Lacaita A.L., "A varactor configuration minimizing the amplitude-to-phase noise conversion in VCOs," IEEE Transactions on Circuits and Systems, Vol. 53, Issue 3, pp. 481-488, March 2006
- [**Bro00**] Brown A.R., Rebeiz. G.M., "A varactor-tuned RF filter," IEEE Transactions on Microwave Theory and Techniques, vol. 48, issue 7, Part 1, pp.1157-1160, July 2000
- [**Cas05**] Casset F., "Variable Capacitor : Bibliographie Study," Rapport Interne STMicroelectronics et CEA-LETI, June 2005
- [**Cha07**] Yi-Jen Chan, Chi-Feng Huang, Chun-Chieh Wu, Chun-Hon Chen, Chih-Ping Chao, "Performance Consideration of MOS and Junction Diodes for Varactor," IEEE Transactions on Application Electron Devices, Vol. 54, Issue 9, pp. 2570-2573, Sept. 2007
- [**Coo02**] Coolbaugh D., Eshun E., Groves R., Hame D., Johnson J., Hammad M., He Z., Ramachandran V., Stein K., St Onge S., Subbanna S., Wang D., Volant R., Wang X., Watson K., "Advanced passive devices for enhanced integrated RF circuit performance," IEEE Radio Frequency Integrated Circuits Symposium, pp.341-344, June 2002
- [**Dec98**] Dec and K. Suyama , "Micromachined Electro-Mechanically Tunable Capacitors and Their Applications to RF IC's ," Trans. on Microwave Theory and Techniques, Vol. 46, No. 12, pp. 2587-2596 , Dec. 1998
- [**Dus02**] Dussopt L., Rebeiz G.M., "High-Q millimeter-wave MEMS varactors: extended tuning range and discrete position designs", IEEE MTT-S International Microwave Symposium Digest, Vol. 2, pp.1205-1208, June 2002

- [**Fan07**] Dong-Ming Fang, Shi Fu, Ying Cao, Yong Zhou, Xiao-Lin Zhao , “Surface micromachined RF MEMS variable capacitor,” *Microelectronics Journal* 38, pp.855-859, 2007
- [**Far07**] Faramarzpour N., Deen M.J., Shirani S., Qiyan Fang Liu L.W.C., de Souza Campos F., Swart J.W., “CMOS-Based Active Pixel for Low-Light-Level Detection: Analysis and Measurements,” *IEEE Transactions on Electron Devices*, Vol. 54, Issue 12, pp. 3229-3237, Dec. 2007
- [**Fed08**] Fedder G. K.; Mukherjee T., “CMOS-MEMS Filters,” *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 110-113, January 2008
- [**Fen01**] Zhiping-Feng, Huantong Zhang, Gupta-KC, Wenge-Zhang, Bright-VM, Lee-YC, “MEMS based series and shunt variable capacitors for microwave and millimeter-wave frequencies,” *Solid-State Sensor and Actuator Workshop*, pp. 256-65, June 2000
- [**Fon02**] Fong N., Tarr G., Zamdmer N., Plouchart J.-O., Plett C., “Accumulation MOS varactors for 4 to 40 GHz VCOs in SOI CMOS,” *IEEE International SOI Conference*, pp. 158-160, Oct. 2002
- [**Fou07**] Fouladi S., Bakri-Kassem M., Mansour R.R., “An Integrated Tunable Band-Pass Filter Using MEMS Parallel-Plate Variable Capacitors Implemented with 0.35um CMOS Technology,” *IEEE/MTT-S International Microwave Symposium*, pp. 505-508, June 2007
- [**Inn02**] Innocent M., Wambacq P., Donnay S., Tilmans H.A.C., De Man H., Sansen W. “MEMS variable capacitor versus MOS variable capacitor for a 5GHz voltage controlled oscillator,” *IEEE Solid-State Circuits Conference*, pp.487-490, Sept. 2002
- [**Kim02**] Dongsu Kim, Yoonsu Choi, Allen M.G., Kenney J.S., Kiesling D., “A wide bandwidth monolithic BST reflection-type phase shifter using a coplanar waveguide Lange coupler,” *IEEE MTT-S International Microwave Symposium Digest*, Vol. 3, May 2002
- [**Lar04-A**] Larchanche J.F., “BiCMOS7 diode varactors 0.13um CMOS process,” *Rapport interne*, STMicroelectronics, France, 2004
- [**Lar04-B**] Larchanche J.F., “HCMOS9 GP/LL diode varactors 0.25um BiCMOS process,” *Rapport interne*, STMicroelectronics, France, 2004
- [**Lee08**] Hyung SukLee, Young Jun Yoon, Dong-Hoon Choi, Jun-Bo Yoon, “High-Q tunable-gap MEMS variable capacitor actuated with an electrically floating plate,” *IEEE 21st International Conference on Micro Electro Mechanical Systems*, pp. 180 – 183, Jan. 2008

- [Lie03] http://www.unilim.fr/theses/2003/sciences/2003limo0052/these_body.html
- [Mag02-A] J. Maget, "Varactors and Inductors for integrated RF Circuits in Standard MOS technologies", Phd. Thesis, Germany, October 2002
- [Mat96] H. Mathieu, "Physique des semiconducteurs et des composants électroniques," Edition Masson 1992
- [Mor05] Y. Morandini, "Etude du comportement en régime transitoire des varicaps de type MOS pour les applications radiofréquences", Rapport de stage DEA Optique Optoélectronique et Microondes INPG, septembre 2005
- [Nie02] Nieminen-H, Ermolov-V, Nybergh-K, Silanto-S, Ryhanen-T, "Microelectromechanical capacitors for RF applications", Journal of Micromechanics and Microengineering, vol. 12, pp. 177-186, March 2002
- [Nor04] Noren Bud, "Thin Film Barium Strontium Titanate (BST) for a new class of tunable RF components," Agile Material&Technology-Goleta, CA, Microwave Journal, May 2004
- [Ona04] Onat. S, Alatan. L, Demir. S., "Design of triple-band reconfigurable microstrip antenna employing RF-MEMS switches," IEEE Antennas and Propagation Society International Symposium, vol. 2, pp. 1812-1815, June 2004
- [Oua05] Ouajji H., Sylvestre A., Defay E., Raouadi K., JomniF., "Dielectric properties in thin film SrTiO/sub 3/ capacitor," Proceedings of 7th Electronic Packaging Technology Conference, Vol. 2, pp. 740-743, Dec. 2005
- [Par01] Park-JY, Yee-YJ, Nam-HJ, Bu-JU, "Micromachined RF MEMS tunable capacitors using piezoelectric actuators ", 2001 IEEE MTT-S International Microwave Symposium Digest., vol.3., pp. 20-25, May 2001
- [Ped01] E. Pedersen, "RF CMOS Varactors for Wireless Applications," Ph.D. Thesis, Denmark, February 2001
- [Per05] D. Peroulis, K. Sarabandi, and L. P. B. Katehi, "Design of reconfigurable slot antennas," IEEE Trans. Antennas Propag., vol. 53, pp. 645–654, Feb. 2005.
- [Por05] Porret A.-S., Melly T., Enz C.C., Vittoz E.A., "Design of high-Q varactors for low-power wireless applications using a standard CMOS process," IEEE Journal of Solid-State Circuits, Vol. 35, Issue 3, pp.337-345, March 2000

- [Rob03] Robert L. Borwick, Philip A. Stupara, Jeffrey DeNatale, Robert Andersona, Chialun Tsaia, Kathleen Garretta and Robert Erlandsonb, "A high Q large tuning range MEMS capacitor for RF filter systems", *Sensors and Actuators A: Physical*, Vol. 103, Issues 1 -2, pp. 33-41, January 2003
- [Tom01] Tombak A., Ayguavives, F.T. Maria, J.-P. Stauf, G.T. Kingon, A.I. Mortazawi , "Tunable RF filters using thin film barium strontium titanate based capacitors," *IEEE MTT-S International Microwave Symposium Digest*, Vol. 3, pp. 1453-1456, May 2001
- [Tom02] Tombak A., Maria J.-P., Ayguavives F., Zhang Jin, Stauf G.T., Kingon A.I., Mortazawi A., "Tunable barium strontium titanate thin film capacitors for RF and microwave applications," *IEEE Microwave and Wireless Components Letters*, Vol. 12, Issue 1, pp. 3-5, Jan. 2002
- [Tom03] Tombak A., Maria J.-P., Ayguavives F.T., Zhang Jin Stauf G.T.; Kingon A.I., Mortazawi A., "Voltage-controlled RF filters employing thin-film barium-strontium-titanate tunable capacitors," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, issue 2, pp. 462-467, Feb. 2003
- [Yao00] J.J. Yao, "RF MEMS from a device perspective," *Journal of Micromechanics and Microengineering*, Vol.10, pp. 9-38, 2000
- [Yoo00] J.-B. Yoon and C. T.-C Nguyen, "A high-Q tunable micromechanical capacitor with movable dielectric for RF applications", *IEEE Int. Electron Devices Meeting*, pp. 489-492, Dec. 2000
- [Zin04] Zinck C., Defay E., Volatier A., Caruyer G., Tanor D.P., Figuiere L., "Design, integration and characterization of PZT tunable FBAR Applications of Ferroelectrics," *14th IEEE International Symposium on ISAF-04.* , pp. 29-32, Aug. 2004
- [Zou01] Jun Zou, Chang Liu and José E. Schutt-Ainé., "Development of a wide tuning range two parallel plate tunable capacitor for integrated wireless communication systems", *John Wiley and sons*, pp. 322-329, 2001

Chapitre II Evaluation de nouvelles structures de varicaps

II.A. Introduction

Les études précédentes ont montré que les varicaps sont des éléments déterminants des fonctions élémentaires RF telles que les filtres et les oscillateurs. Les performances de la chaîne de transmission sont liées en partie aux facteurs de mérite des varicaps telles que la plage de variation de la capacité, la sensibilité à la tension de commande et le coefficient de qualité. Le développement de nouvelles varicaps passe par une étape préalable d'identification entre les facteurs de performances de la varicap et les paramètres d'optimisation de la structure résumés dans le **Tableau II-1**.

	Varicap diode	Varicap MOS
Gamme de capacité	<ul style="list-style-type: none"> • Profil de la jonction PN • Capacités parasites 	<ul style="list-style-type: none"> • Profil du canal • Capacités parasites : interconnexions et périmétriques • Epaisseur d'oxyde
Linéarité	<ul style="list-style-type: none"> • Profil de la jonction PN 	<ul style="list-style-type: none"> • Profil du canal • Epaisseur d'oxyde
Facteur de qualité	<ul style="list-style-type: none"> • Dopage de l'implant N • Architecture et géométrie 	<ul style="list-style-type: none"> • Dopage du canal • Architecture et géométrie

Tableau II-1 Paramètres clefs d'optimisation des varicaps MOS et diodes.

Le **Tableau II-1** met en relief que les voies de développement résident dans :

- La nature de la capacité intrinsèque à travers les profils de la jonction PN ou du canal ;
- L'architecture de la structure.

Les axes de recherche s'orienteront vers la définition de nouvelles spécifications en modifiant les architectures existantes. Nous jouerons également sur la nature des couches imbriquées influençant la capacité intrinsèque.

La première partie du chapitre s'intéressera au développement de nouvelles architectures de varicaps MOS et diodes qui cibleront l'amélioration des différents facteurs de mérite mais aussi l'ajout de fonctions supplémentaires. La deuxième partie évaluera les procédés BiCMOS et notamment la caractérisation des jonctions base-collecteur des transistors bipolaires à hétérojonction SiGe. La dernière partie fera l'objet du développement d'une étape de fabrication spécifique dédiée aux varicaps diodes. L'ensemble de ces travaux devra apporter des solutions plus performantes.

II.B. Développements de nouvelles architectures de type MOS et diodes

Ces travaux viseront à évaluer la meilleure façon d'organiser la structure de la capacité afin d'améliorer ses caractéristiques dans le domaine hyperfréquence et d'ajouter de nouvelles fonctionnalités. L'ensemble de ces études est limité au procédé CMOS standard sans ajout de masque supplémentaire. Nous présenterons les développements de nouvelles architectures diodes et MOS à travers l'amélioration des facteurs de mérite. Puis, nous exposerons l'implantation d'une structure à commande déportée qui permet le découplage de la source continue et du circuit hyperfréquence. Nous noterons au préalable que l'ensemble des dispositifs ont été caractérisés à la fois à travers des mesures basses-fréquences avec une amplitude d'une dizaine de mV pour les signaux alternatifs (100kHz) et des mesures hyperfréquences (jusqu' à 50GHz) avec un niveau de puissance de -10dBm.

II.B.1. Les architectures diodes

Le **Tableau II-1** montre que l'amélioration de la gamme de capacité et de la linéarité passe par une modification du profil de la jonction PN. Comme évoqué précédemment, nous n'avons aucun degré d'action sur le procédé de fabrication standard dicté par les performances des transistors MOS. L'intégration de nouvelles architectures de varicaps diodes s'est donc restreinte à l'amélioration des performances hyperfréquences. Nous dévoilerons deux voies d'études sur l'amélioration de la structure actuelle P+/Nwell.

II.B.1.a. Les varicaps P+/Nwell de type « ilot » ou DOT

Le modèle des pertes dans le caisson Nwell d'une varicap standard nous fournit les pistes d'études pour la réduction de celles-ci. La **Figure II-1** révèle que la résistance liée au caisson est la mise en parallèle de résistances têtes bèches, un seul doigt de P+ partage deux voisins de doigts N+. Cette résistance peut encore être réduite en adoptant une structure sous forme d'ilot comme indiquée sur la **Figure II-2**. Avec ce type d'architecture un ilot de P+ est entouré d'un anneau de N+ et partage quatre voisins. Nous sommes alors en mesure de dupliquer la structure unitaire et de définir les paramètres géométriques de la structure avec :

- Wfp : la largeur et la longueur de l'ilot de P+ ;
- Nbcell : le nombre de cellules.

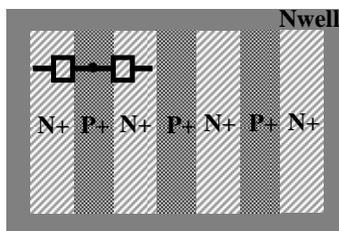


Figure II-1 Vue de dessus d'une varicap P+/Nwell multidoigts (standard)

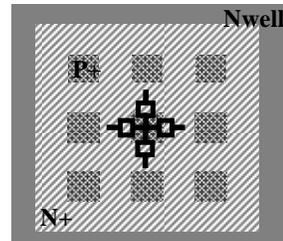


Figure II-2 Vue de dessus d'une varicap P+/Nwell de type DOT

Les interconnexions métalliques (**Figure II-3** et **Figure II-4**) ont dues être adaptées à la nouvelle structure P+/Nwell ce qui a pour conséquence une augmentation des capacités parasites comme le montre la **Figure II-10**.

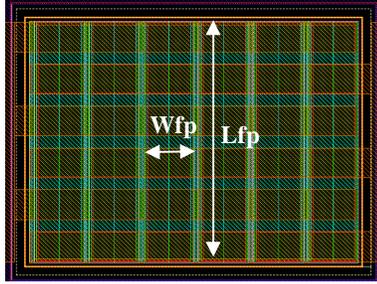


Figure II-3 Layout d'une varicap P+/Nwell multidoigts
Wfp=10um Lfp=50um Nbf=5

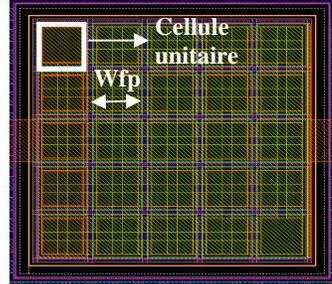


Figure II-4 Layout d'une varicap P+/Nwell DOT
Wfp=10um Nbcell=50

Les spécifications des nouvelles structures de type îlot ont aboutit à la définition d'un plan d'expérience implémenté en technologie CMOS 0.13um. Des composants standards P+/Nwell avec des géométries proches de la varicap étudiée ont été intégrés au plan d'expérience en vue de la comparaison. Les grandeurs caractéristiques sont ensuite extraites à travers la caractéristique C-V de la varicap, la résistance série et le facteur de qualité. Les **Figure II-5** et **Figure II-7** montrent clairement la réduction de la résistance série avec une structure en îlot. Le gain sur les pertes et de ce fait sur le facteur de qualité (**Figure II-6** et **Figure II-8**) s'élève jusqu'à 50%. D'un point de vue capacitif, la varicap à îlot de la **Figure II-10** présente un décalage de sa caractéristique C-V par rapport à une structure multidoigts qui est lié à une augmentation des capacités parasites. Par contre sur la **Figure II-9**, les deux caractéristiques se superposent. Dans ce cas, la géométrie de la varicap ne met en jeu que la capacité surfacique de la structure et les capacités parasites peuvent être négligées. L'extraction des capacités parasites est rendue possible en intégrant des structures de test avec les niveaux métalliques uniquement. Les valeurs de capacités parasites sont reportées dans le **Tableau II-2**. La conséquence directe est une dégradation de la gamme de capacité comme l'illustre le **Tableau II-2**. Plus nous chercherons à matricer la structure, plus nous augmenterons le poids des interconnexions et de ce fait plus nous diminuerons la plage de variation de la capacité.

	Géométries	Capacités parasites	Tuning range
Varicap standard multidoigt	Wfp= 15um Lfp =15um Nbf=1	1 fF	1.64
	Wfp =10um Lfp =50um Nbf=5	2 fF	1.62
Varicap DOT	Wfp =15um Nbcell =1	5 fF	1.48
	Wfp =10um Nbcell =5	44 fF	1.6

Tableau II-2 Extraction des capacités parasites des varicaps P+/Nwell multidoigts et P+/Nwell à îlots

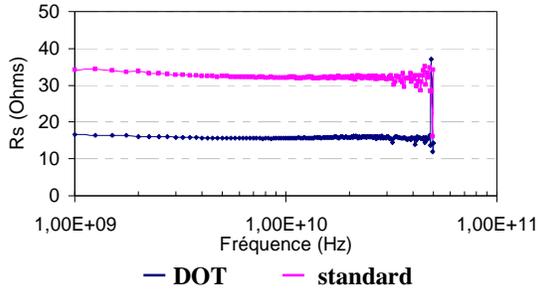


Figure II-5 Comparaison de la résistance série en fonction de la fréquence entre une varicap P+/Nwell standard ($W_{fp}=15\mu m$ $L_{fp}=15\mu m$ $N_{bfp}=1$) et une varicap P+/Nwell DOT ($W_{fp}=15\mu m$ $N_{bcell}=1$) en technologie CMOS 0.13um $V_{pn}=0V$

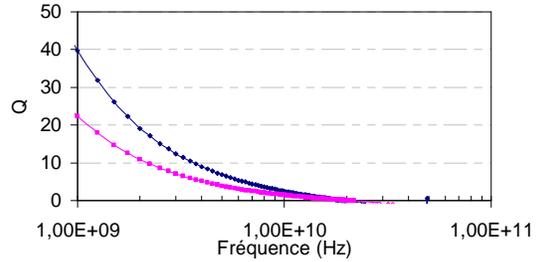


Figure II-6 Comparaison du facteur de qualité en fonction de la fréquence entre une varicap P+/Nwell standard ($W_{fp}=15\mu m$ $L_{fp}=15\mu m$ $N_{bfp}=1$) et une varicap P+/Nwell DOT ($W_{fp}=15\mu m$ $N_{bcell}=1$) en technologie CMOS 0.13um $V_{pn}=0V$

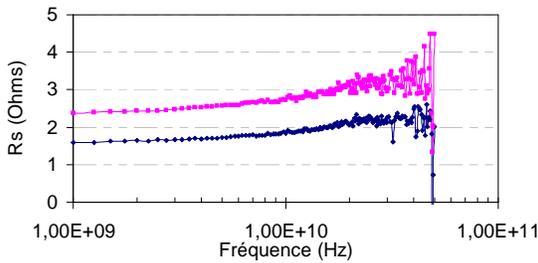


Figure II-7 Comparaison de la résistance série en fonction de la fréquence entre une varicap P+/Nwell standard ($W_{fp}=10\mu m$ $L_{fp}=50\mu m$ $N_{bfp}=5$) et une varicap P+/Nwell DOT ($W_{fp}=10\mu m$ $N_{bcell}=25$) en technologie CMOS 0.13um $V_{pn}=0V$

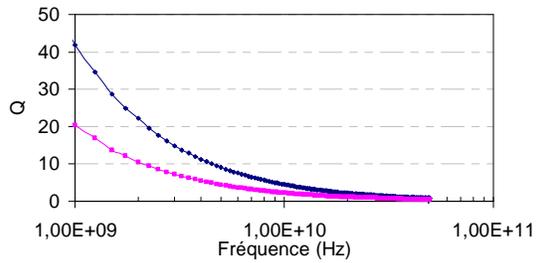


Figure II-8 Comparaison du facteur de qualité en fonction de la fréquence entre une varicap P+/Nwell standard ($W_{fp}=10\mu m$ $L_{fp}=50\mu m$ $N_{bfp}=5$) et une varicap P+/Nwell DOT ($W_{fp}=10\mu m$ $N_{bcell}=25$) en technologie CMOS 0.13um $V_{pn}=0V$

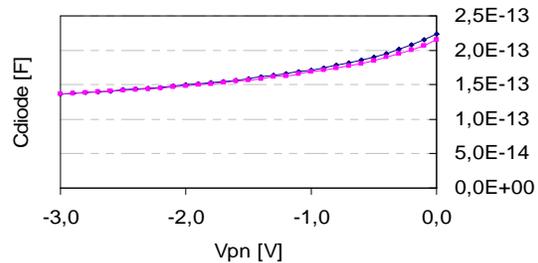


Figure II-9 Comparaison des caractéristiques C(V) entre une varicap P+/Nwell standard ($W_{fp}=15\mu m$ $L_{fp}=15\mu m$ $N_{bfp}=1$) et une varicap P+/Nwell DOT ($W_{fp}=15\mu m$ $N_{bcell}=1$) en technologie CMOS 0.13um Fréquence =500kHz

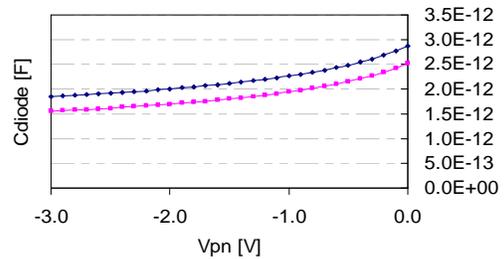


Figure II-10 Comparaison des caractéristiques C(V) entre une varicap P+/Nwell standard ($W_{fp}=10\mu m$ $L_{fp}=50\mu m$ $N_{bfp}=5$) et une varicap P+/Nwell DOT ($W_{fp}=10\mu m$ $N_{bcell}=25$) en technologie CMOS 0.13um Fréquence =500kHz

Cette première voie de recherche a permis de repenser la structure des varicaps P+/Nwell en la transformant en architecture à îlots avec un gain sur le facteur de qualité. Néanmoins des contraintes sur les interconnexions métalliques se traduisent par une augmentation des capacités parasites et une diminution de la gamme de capacité. Le dernier bénéfice concerne une diminution de l'encombrement pour la même surface effective.

Une autre piste pour diminuer les pertes est la réduction du chemin résistif à travers la modification des lignes de champ et de courant.

II.B.1.b. Les varicaps diodes P+/Nwell sans STI

La varicap standard P+/Nwell (**Figure II-11**) induit la présence de STI (« Silicon Trench Isolation » selon les termes anglais). Le STI définit le silicium actif et permet une isolation latérale des composants. Le retrait du STI (**Figure II-12**) devrait permettre la modification du chemin résistif en diminuant la distance entre les doigts N+ et P+ et en présentant des lignes de courant moins courbées. La structure sans STI présente une zone de silicium actif unique comme l'illustre la **Figure II-13** contrairement à la **Figure II-14**. Cependant, l'absence de STI nécessite l'ajout d'une couche de protection dénommée SiPROT (Silicuration protection). Cette couche sert de protection au moment de la silicuration et empêche la création d'un court-circuit entre les doigts N+ et P+.

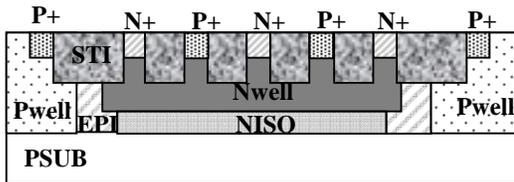


Figure II-11 Coupe d'une varicap P+/Nwell avec STI

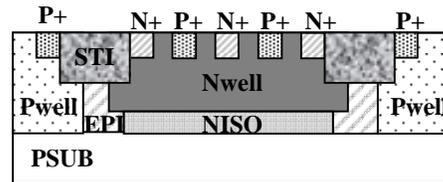


Figure II-12 Coupe d'une varicap P+/Nwell sans STI

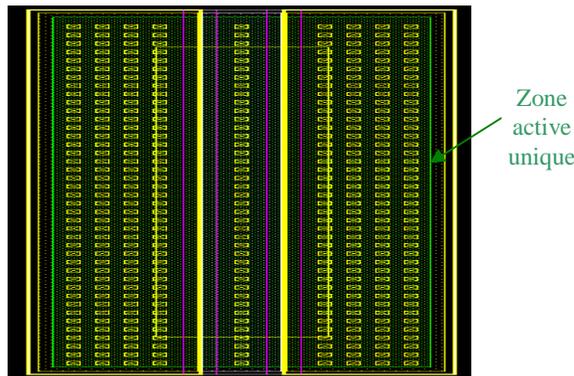


Figure II-13 Layout d'une varicap P+/Nwell sans STI

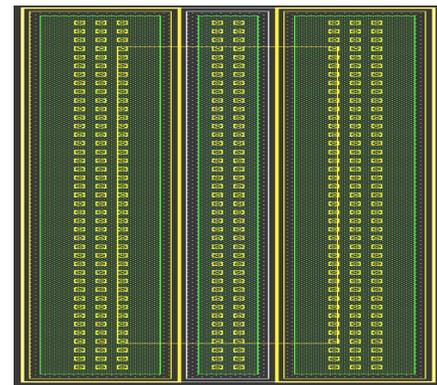


Figure II-14 Layout d'une varicap P+/Nwell avec STI

Nous avons mis en place d'un plan d'expérience implémenté en technologie CMOS 0.13um avec une variation des paramètres de conception indispensables au bon fonctionnement et aux performances des nouvelles structures. Ces paramètres sont illustrés sur la **Figure II-15** et définis dans le **Tableau II-3**. Dans un premier temps, nous avons caractérisé l'ensemble de ces dispositifs en basse-fréquence à travers des caractéristiques I(V). Nous contrôlons les fuites à travers la diode en fonction de l'espacement entre les doigts N+ et P+.

Paramètres	Définition	Min (um)	Max (um)
Spc_NP_PP	Espacement entre les doigts de N+ et P+	0.06	0.62
Enc_NP_siprot	Recouvrement d'un doigt N+ par la couche SiPROT	0	0.285
Enc_PP_siprot	Recouvrement d'un doigt P+ par la couche SiPROT	0	0.285
W_siprot	Largeur de la couche SiPROT	0.43	0.83

Tableau II-3 Définition des paramètres de conception la varicap P+/Nwell sans STI

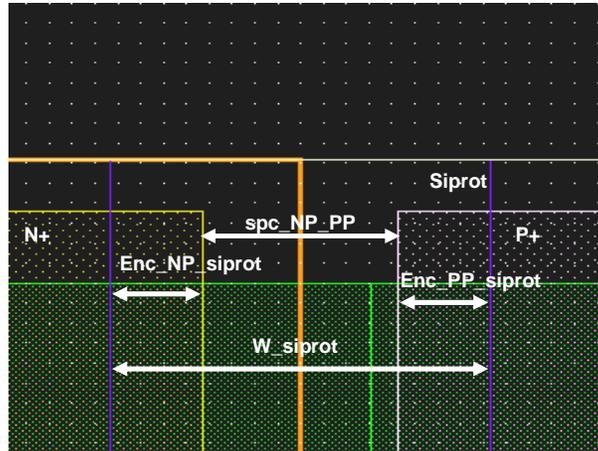


Figure II-15 Paramètres de conception la varicap P+/Nwell sans STI

Les résultats des courants de fuite sont illustrés sur la **Figure II-16**. Nous observons l'effet caractéristique du claquage de la jonction en inverse avec une brusque augmentation du courant en fonction de la tension pour le plus faible espacement. Le claquage inverse peut être obtenu par deux mécanismes différents [Sze69] : l'effet Zener et l'effet d'avalanche. Or le claquage par effet Zener présente un coefficient de température négatif : la tension Zener diminue en valeur absolue quand la température augmente, ce qui est illustré sur la **Figure II-17**.

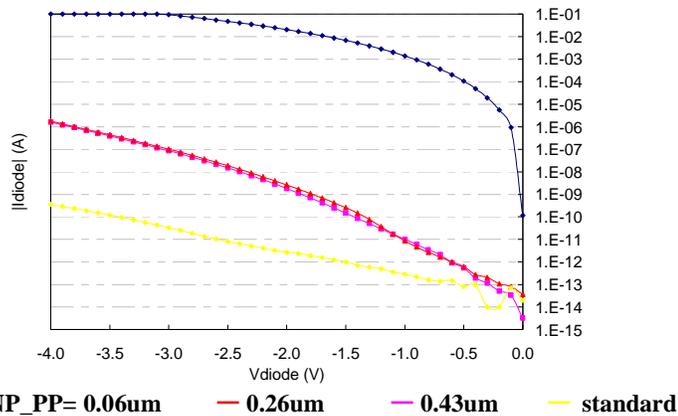


Figure II-16 Comparaison des caractéristiques I(V) en fonction de l'espacement entre les doigts N+ et P+ (Wfp=4um Lfp=100um Nbf=4)

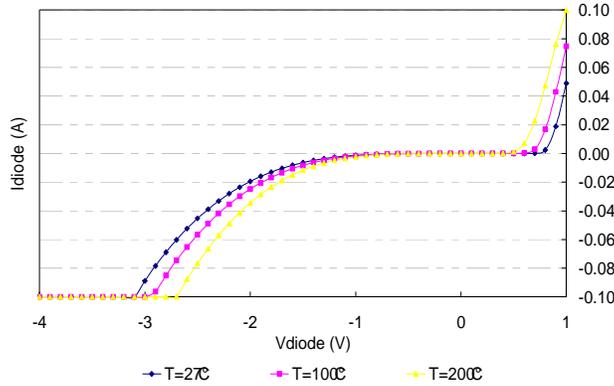


Figure II-17 Caractéristique I(V) en fonction de la température (Wfp=4um Lfp=100um Nbf=4) avec spc_NP_PP= 0.06um

Cet effet Zener se manifeste lorsqu’une jonction possède une zone N fortement dopée et une zone P fortement dopée. La zone désertée est alors très étroite et le champ électrique très intense (10^6 V/cm). Physiquement le champ électrique de la ZCE est suffisamment intense pour arracher un électron de la bande de valence à la bande de conduction.

La **Figure II-16** indique qu’un espacement minimum fixé à 0.26um est nécessaire entre les doigts de N+ et P+ pour éviter le claquage de la diode en inverse

Une autre règle de dessin à prendre en compte lors de la conception de ces nouvelles structures est le recouvrement des doigts N+ et P+ par la couche SiPROT. La **Figure II-18** illustre la sensibilité du courant de la diode en inverse en fonction du recouvrement du SiPROT. Le recouvrement minimum pour présenter des courants de fuite acceptables est de 0.22um.

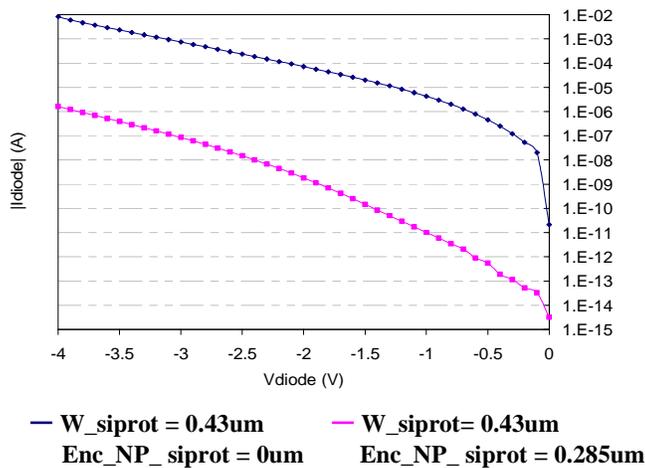


Figure II-18 Caractéristique I(V) en fonction du recouvrement de la couche SiPROT (Wfp=4um Lfp=100um Nbf=4) avec spc_NP_PP= 0.43um

Cette étude a permis de fixer les règles de dessin sur l’espacement entre les doigts N+ et P+ et le recouvrement de la couche SiPROT. Les dispositifs qui répondent à ces spécifications ont été caractérisés en basse et haute fréquence. La **Figure II-19** compare les caractéristiques C(V) et G(V)

(afin de contrôler les fuites à travers la jonction) entre deux varicaps P+/Nwell sans STI avec deux espacements différents entre les doigts N+/P+ et une varicap P+/Nwell standard. Les réseaux de courbes sont très proches malgré un léger décalage dans le cas des diodes sans STI lié à une capacité d'interconnexions légèrement supérieure. L'intérêt de ces travaux réside d'avantage dans l'étude des performances hyperfréquences et l'observation de la résistance série (**Figure II-20**). Les diodes P+/Nwell sans STI montrent clairement leur apport sur la diminution de la résistance série. La réduction des lignes de champ et de courant assure un gain de 30% sur les pertes dans le silicium. La **Figure II-20** justifie de réduire l'écartement entre les doigts N+ et P+ à 0.26 μ m pour éviter d'accroître le chemin électrique.

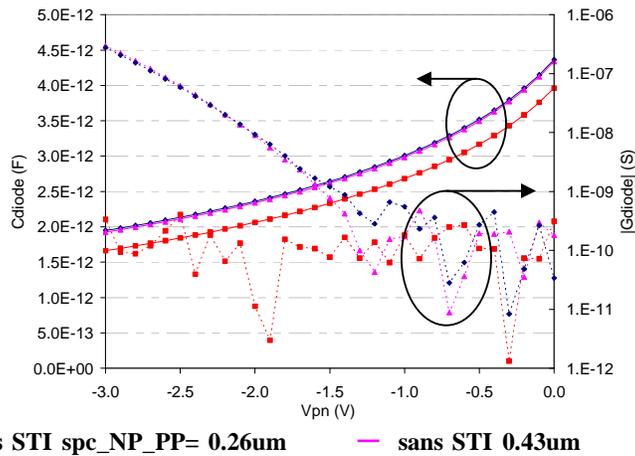


Figure II-19 Comparaison caractéristique C(V) et G(V) entre les varicaps P+/Nwell avec et sans STI ($W_{fp}=4\mu m$ $L_{fp}=100\mu m$ $N_{bfp}=4$)

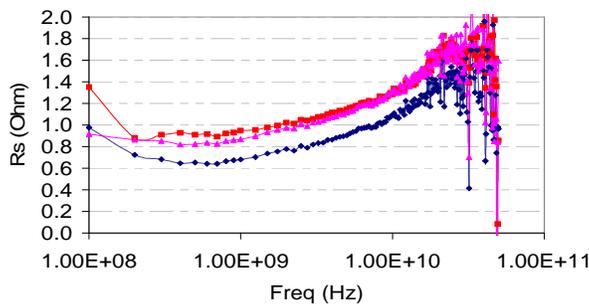


Figure II-20 Comparaison de la résistance série en fonction de la fréquence entre les varicaps P+/Nwell avec et sans STI ($W_{fp}=4\mu m$ $L_{fp}=100\mu m$ $N_{bfp}=4$)

L'étude des varicaps diodes P+/Nwell sans STI a permis de mettre en place un plan d'expérience pour définir les règles de dessin des structures et éviter le claquage de la diode en inverse. Le retrait du STI entraîne une modification des lignes de champ et conduit à une réduction des pertes résistives. Cette nouvelle architecture présente néanmoins plus de fuites de courant que les varicaps P+/Nwell standards. Le bilan de cette étude nous assure une amélioration de la résistance série par rapport à la structure standard sans dégradation du tuning range.

L'implémentation de nouvelles structures de varicaps diodes a conduit au développement de deux nouvelles architectures avec dans chaque cas une modification de la structure de base. Néanmoins ces recherches se sont concentrées sur l'amélioration des pertes et non sur les performances de la capacité intrinsèque. Nous montrerons par la suite que la gamme de capacité et la linéarité peuvent être améliorées avec des profils adaptés telles que des varicaps bipolaires à hétérojonction SiGe ou avec l'ajout d'une couche spécifique dans le procédé de fabrication.

II.B.2. Les architectures MOS

Une structure de type MOS offre plus de degrés de liberté que les varicaps diodes P+/Nwell sur les performances de la capacité intrinsèque d'après le **Tableau II-1**. Les champs d'action sont l'épaisseur d'oxyde, le dopage du canal et les éléments parasites. L'impact de l'épaisseur d'oxyde a déjà fait l'objet d'une étude particulière dans le chapitre 1. Nous nous sommes concentrés sur les deux autres pistes à travers la capacité périmétrique et le dopage du canal. Quant au facteur de qualité, il passe par la réorganisation de l'architecture actuelle comme nous le démontrerons par la suite.

II.B.2.a. Travail sur la capacité intrinsèque

L'amélioration de la gamme de capacité a permis de prendre deux voies distinctes. Dans la première structure, nous avons cherché à modifier le dessin de l'architecture standard en rajoutant du STI sous la grille de polysilicium, ce qui diminue les effets périmétriques. Au niveau de la deuxième structure nous avons profité des différents standards de tension de seuil et de dopage de canal en technologie CMOS 65nm.

(1) Les varicaps N+Poly/Nwell STI

Le premier axe de recherche pour l'amélioration de la gamme de capacité est la diminution des effets périmétriques comme nous l'avons évoqué dans le paragraphe **I.D.1.b** du chapitre I. Les travaux de Judith Maget [Mag01] [Mag02-A] [Mag02-B] se sont intéressés à la réduction des capacités périmétriques illustrées par C_f (capacité « fringing ») et de la capacité de recouvrement C_o (**Figure II-21**). L'influence de ces capacités parasites est amoindrie avec l'ajout de STI.

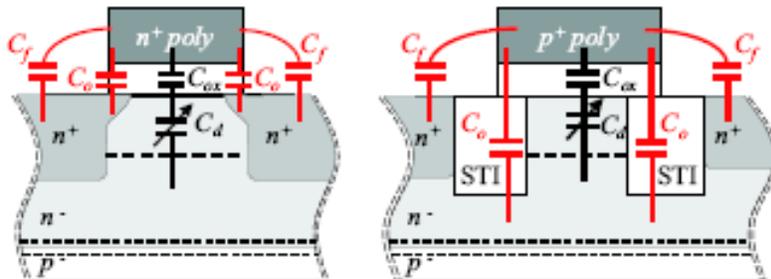


Figure II-21 Vue en coupe d'une structure conventionnelle et d'une structure avec STI pour une varicap MOS [Mag02-A]

Nous avons implémenté cette structure avec un plan d'expérience de façon à mettre en relief les périmétriques. Les vues en coupe des structures avec et sans STI sont illustrées sur les **Figure II-22** et **Figure II-23**.

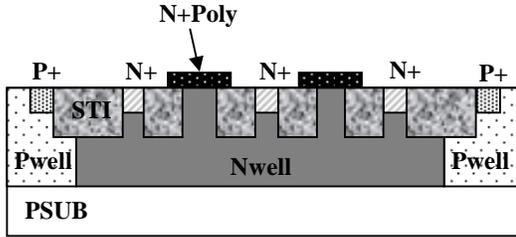


Figure II-22 Vue en coupe d'une varicap N+Poly/Nwell avec STI

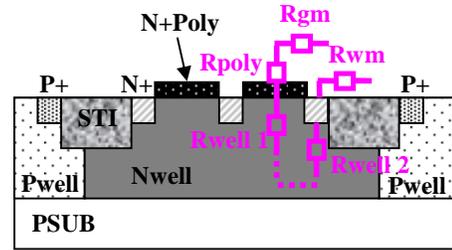


Figure II-23 Vue en coupe d'une varicap N+Poly/Nwell standard

Les règles de dessin de la nouvelle architecture sont proches de la structure standard hormis que la varicap STI présente plusieurs zones de silicium actif. La conséquence directe est le paramétrage de la longueur de grille L . Dans le cas du dispositif STI, nous implémenterons une longueur de grille légèrement supérieure en vue de présenter la même surface effective de silicium actif comparativement à la structure standard comme indiqué sur la **Figure II-24** et l'équation **Eq II-1**.

$$L = L_{eff} + \Delta L_{poly} \quad \text{Eq II-1}$$

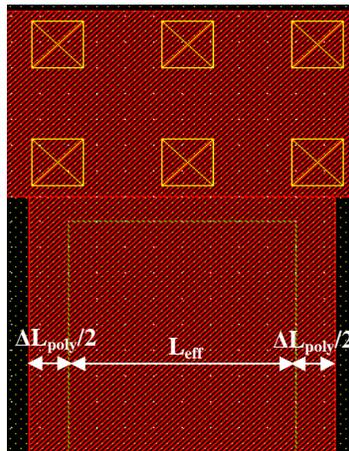


Figure II-24 Dessin de conception d'une varicap N+Poly/Nwell avec STI

Les **Figure II-25** et **Figure II-26** illustrent l'impact de la nouvelle architecture sur la gamme de capacité couverte. La structure avec STI améliore grandement le tuning range notamment avec les varicaps dont les géométries sont les plus révélatrices des effets périmétriques : longueur de grille au minimum ($L=0.3\mu\text{m}$) et nombre de doigts maximum ($N_{bfp}=50$). Le gain sur le tuning range selon la géométrie est illustré dans le **Tableau II-4**.

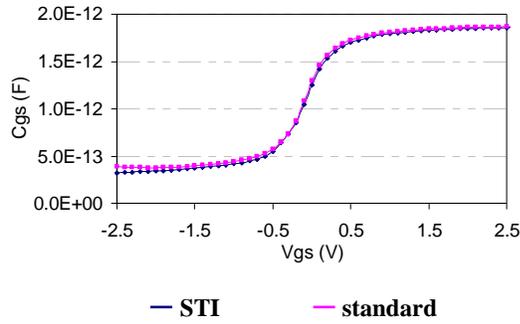


Figure II-25 Comparaison des caractéristiques C(V) entre une varicap N+Poly/Nwell standard ($L=2\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) et une varicap N+Poly/Nwell STI ($L=2.14\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ Fréquence =500kHz

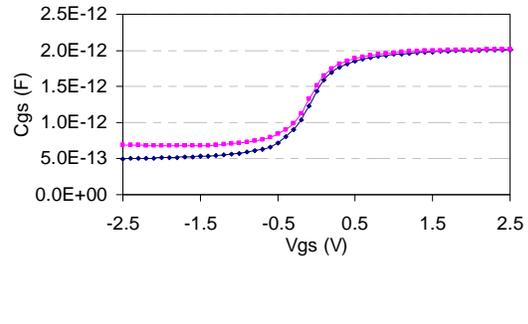


Figure II-26 Comparaison des caractéristiques C(V) entre une varicap N+Poly/Nwell standard ($L=0.3\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) et une varicap N+Poly/Nwell STI ($L=0.44\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ Fréquence =500kHz

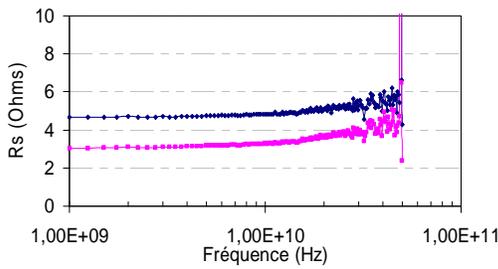


Figure II-27 Comparaison résistance série en fonction de la fréquence entre une varicap N+Poly/Nwell standard ($L=2\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) et une varicap N+Poly/Nwell STI ($L=2.14\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ $V_{\text{gs}}=2.5\text{V}$

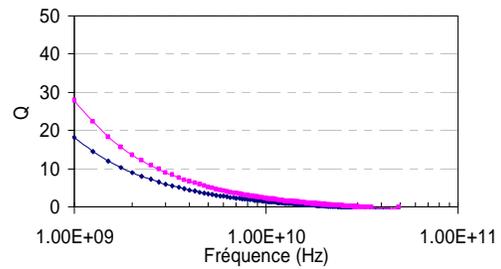


Figure II-28 Comparaison facteur de qualité en fonction de la fréquence entre une varicap N+Poly/Nwell standard ($L=2\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) et une varicap N+Poly/Nwell STI ($L=2.14\mu\text{m}$ $W=15\mu\text{m}$ $N_{\text{bfp}}=10$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ $V_{\text{gs}}=2.5\text{V}$

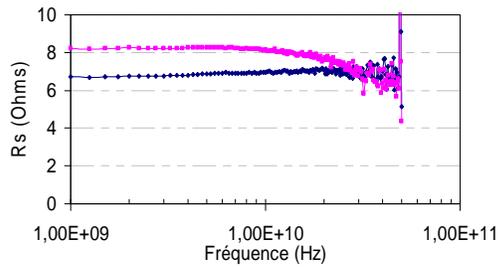


Figure II-29 Comparaison résistance série en fonction de la fréquence entre une varicap N+Poly/Nwell standard ($L=0.3\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) et une varicap N+Poly/Nwell STI ($L=0.44\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ $V_{\text{gs}}=2.5\text{V}$

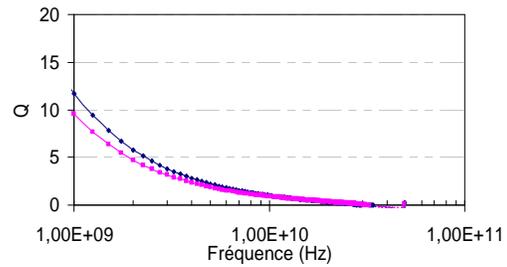


Figure II-30 Comparaison résistance série en fonction de la fréquence entre une varicap N+Poly/Nwell standard ($L=0.3\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) et une varicap N+Poly/Nwell STI ($L=0.44\mu\text{m}$ $W=20\mu\text{m}$ $N_{\text{bfp}}=50$) en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$ $V_{\text{gs}}=2.5\text{V}$

Géométries	TR	TR	Δ TR (%)
	N+Poly/Nwell standard	N+Poly/Nwell STI	
L _{STI} = 0.44μm ; L _{standard} = 0.3μm W = 20μm N _{bf} = 50	2.9	4.1	30
L _{STI} = 2.14 ; L _{standard} = 2μm W = 15μm N _{bf} = 10	4.6	6	24
L _{STI} = 0.44 ; L _{standard} = 0.3μm W = 100 N _{bf} = 80	2.8	4.2	32

Tableau II-4 Comparaison du tuning range entre une varicap N+Poly/Nwell standard et STI avec différentes géométries

Les résultats sur les performances hyperfréquences sont résumés sur les **Figure II-27** à **Figure II-30**. L'idée première serait de penser que la présence de STI a tendance à augmenter la résistance série (chemin résistif plus important au niveau du caisson de Nwell) mais les **Figure II-27** et **Figure II-29** montrent que le STI n'a pas le même effet sur la résistance série selon la géométrie de la structure. Ceci est directement interprétable sachant que la résistance série est la somme des pertes dans le polysilicium (R_{poly}), le caisson Nwell (R_{well}) et le métal (R_{gm}). Selon la géométrie du dispositif le poids de chaque contributeur change d'après les équations **Eq II-2** et **Eq II-3**. La contribution des différents éléments résistifs (**Figure II-23**) sur les pertes totales est illustrée via une simulation sur un ensemble de géométries du modèle des varicaps N+Poly/Nwell en technologie CMOS65 nm (**Figure II-31**).

Pour un faible rapport W/L la résistance de polysilicium devient prédominante sur la résistance du caisson Nwell. La résistance série est alors équivalente à la résistance du polysilicium. La longueur de grille de polysilicium étant supérieure dans la structure avec STI, nous diminuerons alors la résistance de polysilicium et du même coup la résistance série (**Figure II-29**). Sur la **Figure II-27**, la proportion de polysilicium et du caisson Nwell sur les pertes globales sont similaires. Une longueur de grille supérieure ne prédomine plus sur l'augmentation du chemin électrique. La résistance série augmente avec la présence du STI.

$$R_{poly} \propto \frac{W}{N_{bf} \cdot L} \quad \text{Eq II-2}$$

$$R_{well} \propto \frac{L}{W \cdot N_{bf}} \quad \text{Eq II-3}$$

La nouvelle architecture de varicaps N+Poly/Nwell avec STI apporte une amélioration significative sur le tuning range de la capacité en limitant les effets périmétriques. Cette étude a également révélé une dépendance des performances hyperfréquences en fonction de la géométrie adoptée.

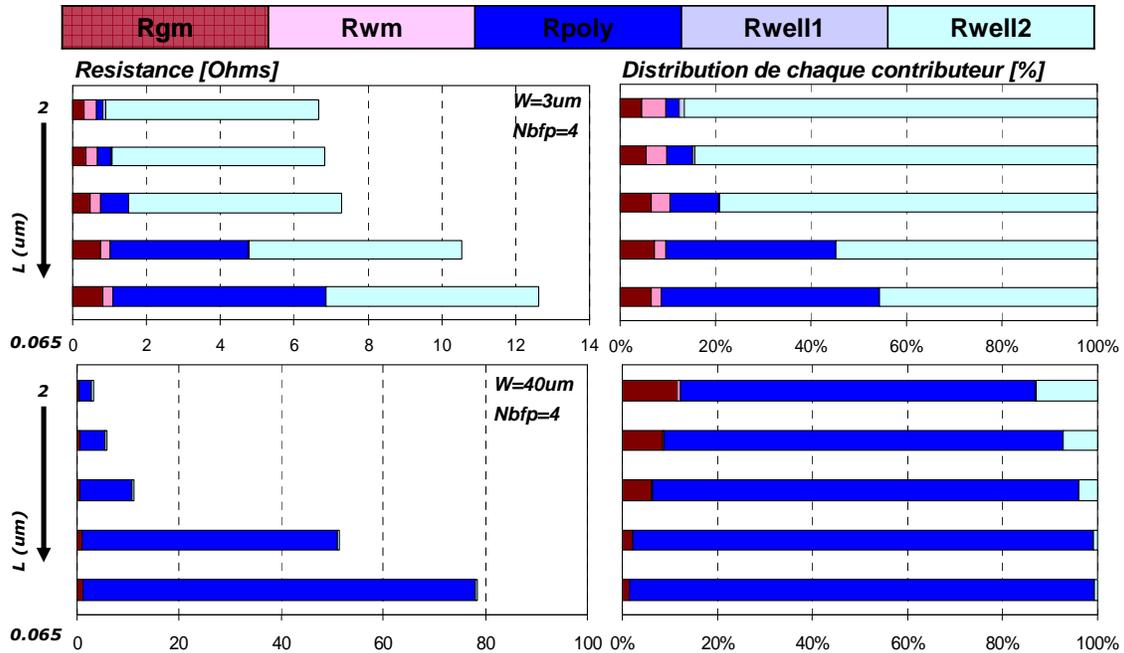


Figure II-31 Contribution de la résistance métallique (Rgm et Rwm), de la résistance du polysilicium (Rpoly) et de la résistance du Nwell (Rwell 1 et Rwell 2) pour différentes géométrie du modèle de varicaps N+Poly/Nwell standard en technologie CMOS 65nm.

Le bilan pour l'architecture N+Poly/Nwell avec STI est un gain sur la gamme de capacité qui devrait être significatif pour les structures fortement intédigitées.

(2) Les varicaps N+Poly/Nwell avec ajustement de la tension de seuil

Aujourd'hui, la consommation est un paramètre clef de conception des circuits intégrés. Outre la consommation dynamique, la consommation statique résultant des courants de fuite joue un rôle prépondérant dans les technologies CMOS avancées. Or ces courants de fuite sont essentiellement dus à la réduction conjointe des tensions d'alimentation et des tensions de seuil des transistors. En effet, le courant de fuite I_{off} dépend exponentiellement des tensions de seuil selon l'équation Eq II-4.

$$I_{off} \propto I_0 \cdot e^{-\alpha \cdot V_t} \tag{Eq II-4}$$

Avec I_0 le courant à $V_g = V_t$

V_t la tension de seuil

α constante

Dans les technologies CMOS submicroniques, les technologues ont cherché à implémenter des transistors avec différents types de tension de seuil selon l'application. L'ajustement de cette tension de seuil est réalisé directement à travers le dopage du canal dans le cas des grilles de type polysilicium comme l'indique l'équation Eq II-5.

$$V_t \propto V_{FB} \propto -kT \ln \left(\frac{N_{gate} N_c}{n_i^2} \right) \quad \text{Eq II-5}$$

Avec N_c dopage du canal

N_{gate} dopage de la grille

n_i densité intrinsèque de porteurs

k constante de Boltzmann

T la température

La varicap N+Poly/Nwell étant issue des transistors MOS, nous avons cherché à profiter des options d'ajustement de la tension de seuil en technologie CMOS 65nm. En effet la modification de la tension de seuil se répercute sur la tension de bande plate et sur l'allure de la caractéristique C(V). Les caractéristiques C(V) sont illustrées sur les **Figure II-33** et **Figure II-34** avec les trois types de tension de seuil implémentés : V_t faible (LVt), V_t standard (SVt) et fort V_t (HVt).

L'ensemble des résultats concernant les varicaps N+Poly/Nwell avec un V_t standard est issu de la simulation du modèle. Les **Figure II-33** et **Figure II-34** montrent clairement l'impact de l'ajustement de la tension de seuil sur la caractéristique dans le cas du dispositif Hvt. Nous obtenons une courbe plus abrupte avec un déplacement de la tension de bande plate. Nous remarquons également une augmentation du tuning range. En effet comme nous l'avons évoqué précédemment, la gamme de capacité et la linéarité sont intimement liées car ces paramètres dépendent du dopage du canal. En diminuant le dopage du canal, nous abaissons la tension bande plate en valeur absolue et modifions la linéarité de la structure. Cet affaiblissement du dopage se traduit par un élargissement de la zone de désertion et une diminution de la capacité en régime de déplétion et un accroissement du tuning range. Nous ne pouvons ajuster indépendamment les paramètres de la capacité intrinsèque pour un dopage uniforme. Concernant le dispositif LVt, il se superpose à la structure SVt. Contrairement aux transistors HVt où la modification de la tension de seuil s'illustre à travers le dopage du caisson de Well, l'ajustement vers des faibles valeurs de V_t s'effectue en retirant les contre implants de type « pockets » (**Figure II-32**) permettant de contre carrer les phénomènes de canaux courts. A la base ces pockets ne sont pas implémentés dans les varactors MOS quelque soit le type d'oxyde. Les résultats sont donc identiques pour les structures SVt et LVt.

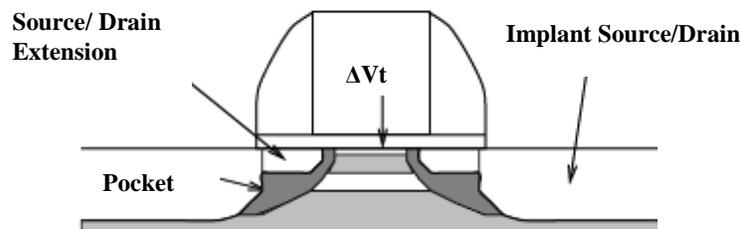


Figure II-32 Vue en coupe d'un transistor MOSFET avec implants pockets

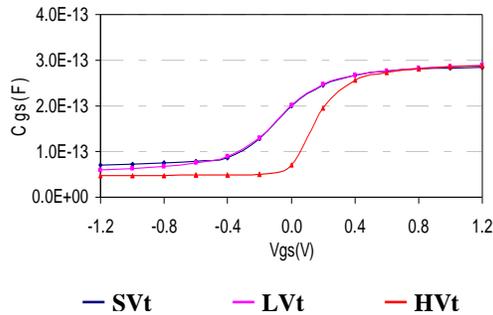


Figure II-33 Comparaison des caractéristiques C(V) selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=0.35um W=5um Nbf=12 Nbc=1) en technologie CMOS 65nm $t_{ox}=1.8nm$ Fréquence =500kHz

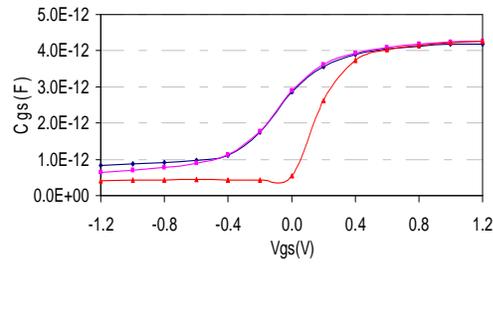


Figure II-34 Comparaison des caractéristiques C(V) selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=1um W=8um Nbf=20 Nbc=2) en technologie CMOS 65nm $t_{ox}=1.8nm$ Fréquence =500kHz

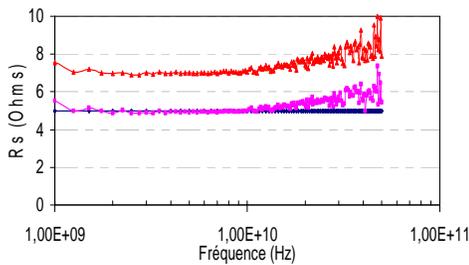


Figure II-35 Comparaison de la résistance série en fonction de la fréquence selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=0.35um W=5um Nbf=12 Nbc=1) en technologie CMOS 65nm $t_{ox}=1.8nm$ Vgs=1.2V

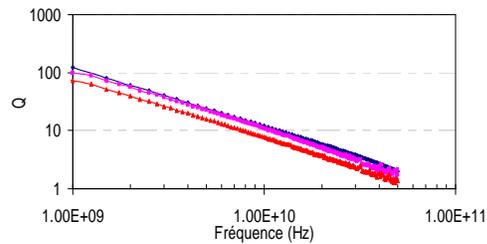


Figure II-36 Comparaison du facteur en fonction de la fréquence selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=0.35um W=5um Nbf=12 Nbc=1) en technologie CMOS 65nm $t_{ox}=1.8nm$ Vgs=1.2V

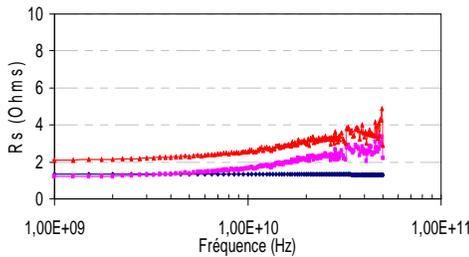


Figure II-37 Comparaison de la résistance série en fonction de la fréquence selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=1um W=8um Nbf=20 Nbc=2) en technologie CMOS 65nm $t_{ox}=1.8nm$ Vgs=1.2V

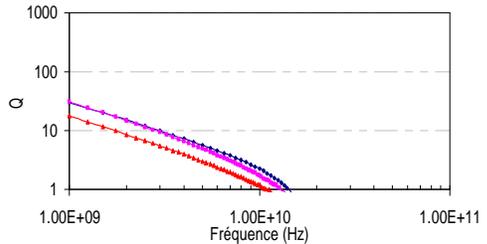


Figure II-38 Comparaison du facteur de qualité en fonction de la fréquence selon la tension de seuil du canal pour une varicap N+Poly/Nwell (L=1um W=8um Nbf=20 Nbc=2) en technologie CMOS 65nm $t_{ox}=1.8nm$ Vgs=1.2V

Les **Figure II-35** à **Figure II-38** illustrent les performances hyperfréquences à travers la résistance série et le facteur de qualité pour les varicaps N+Poly/Nwell SVt, LVt et HVt. Dans le cas des varicaps HVt, l'abaissement du dopage du canal se traduit par une augmentation des pertes et une diminution du facteur de qualité.

L'utilisation des options technologiques telles que l'ajustement de la tension de seuil a ouvert de nouvelles perspectives pour la modification des caractéristiques intrinsèques de la capacité. Les

structures HVt se sont révélées être des candidats potentiels pour des varicaps à 2 états utilisées dans les oscillateurs à commande digitale présentés dans le chapitre 3. Enfin, l'étude a permis de montrer que les varicaps sont insensibles à un ajustement de la tension vers les faibles V_t . Cette dernière remarque est valable pour la technologie CMOS 65 nm mais le procédé d'ajustement des différentes tensions de seuil peut varier d'une technologie à l'autre.

II.B.2.b. Amélioration des performances hyperfréquences

L'amélioration des performances hyperfréquences via le facteur de qualité doit passer par une modification de l'architecture interdigitée unique degré de liberté dont nous disposons. Cependant des études [Mor99] [Vem92] [Wu05] ont montré à travers les transistors MOSFETS que ces architectures se révélaient coûteuses en surface de silicium actif. Une conséquence directe est l'augmentation des capacités parasites du réseau substrat. Nous devons donc implémenter une nouvelle architecture de varicaps MOS dont les deux principaux objectifs étaient les suivants :

- Augmenter le facteur de qualité ;
- Diminuer les capacités parasites du réseau substrat.

Nous avons alors mis en place une nouvelle structure N+Poly/Nwell [Mor08] représentée sur la **Figure II-40** que nous nommerons Waffle (en référence aux transistors de ce même type). Par rapport à la structure standard (**Figure II-39**), la Waffle varicap possède une cellule unitaire matriciée avec quatre zones de silicium actif séparées par une grille de polysilicium horizontalement et verticalement. Une région de silicium actif est donc entourée de deux à quatre grilles voisines de polysilicium. Les bénéfices sont une diminution de la résistance due au Nwell et une diminution de la capacité substrat. La définition de la structure se fera en fonction du nombre de zones de silicium actif et par duplication de la cellule élémentaire dans la direction diagonale. Par exemple la **Figure II-40** représente une structure Waffle 4 par 4. Enfin nous conserverons une forme carrée pour que l'architecture soit toujours de type n par n (avec n entier).

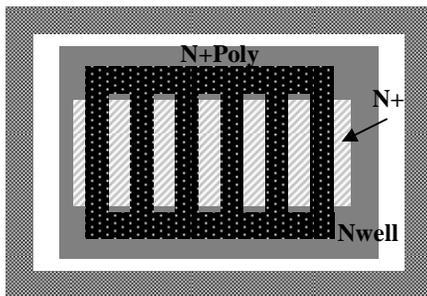


Figure II-39 Vue de dessus de l'architecture multidoigt des varicaps N+Poly/Nwell

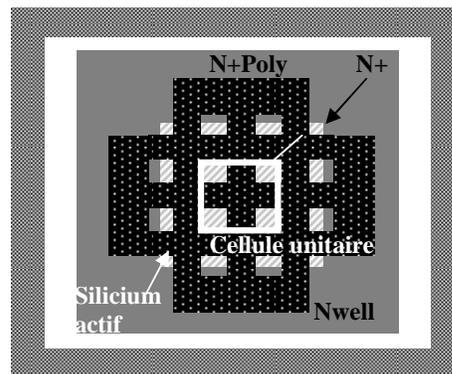


Figure II-40 Vue de dessus de l'architecture de type Waffle des varicaps N+Poly/Nwell

La **Figure II-41** décrit le layout de la structure Waffle avec les paramètres géométriques associés. Il est à noter que la largeur des doigts dans le cas de la structure Waffle n'est pas une grandeur paramétrable mais fixée par l'équation **Eq II-6**.

$$W = 2 \cdot spcf \cdot Nbf_{fp} + L \cdot (Nbf_{fp} - 1) \quad \text{Eq II-6}$$

Avec $spcf$ l'espace entre les doigts de polysilicium

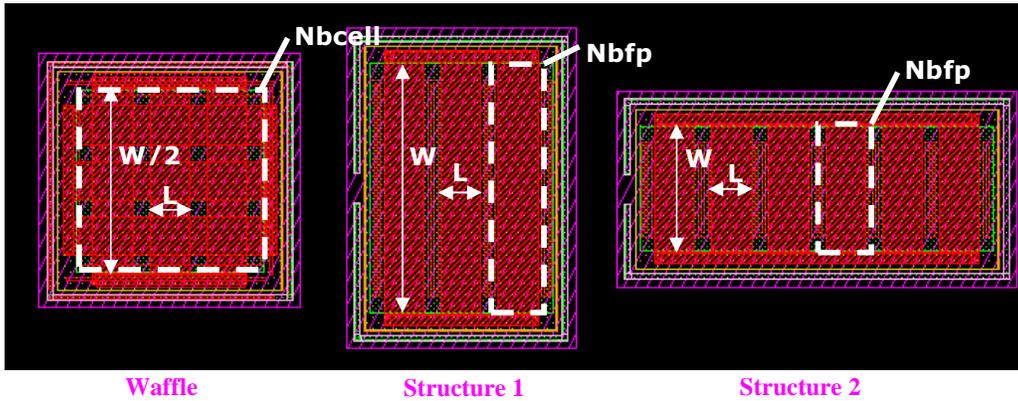


Figure II-41 Dessin de conception d'une varicap N+Poly/Nwell de type Waffle 4 par 4 ($L=1.25\mu\text{m}$ $W=8.08\mu\text{m}$) et de deux varicaps multidoigts N+Poly/Nwell (Structure1 : $L=1.25\mu\text{m}$ $W=8.08\mu\text{m}$ $Nbf=3$ et Structure 2 : $L=1.25\mu\text{m}$ $W=4.04\mu\text{m}$ $Nbf=6$) en technologie CMOS 65nm $t_{ox}=5\text{nm}$

Un plan d'expérience a été implémenté sur silicium en technologie CMOS 65nm pour couvrir une grande gamme de géométries et montrer les bénéfices d'une architecture type Waffle sur une structure interdiguée. L'ensemble des comparaisons avec les structures standards a été réalisé à partir du modèle de celles-ci. Les dispositifs étudiés sont présentés dans le **Tableau II-5**.

	Waffle				Standard Structure 1 ; Structure 2			
	L(um)	Nbcell	W (um)	Surface (um ²)	L (um)	Nbfp	W (um)	Surface (um ²)
A	0.35	32par32	22.7	961	0.35 ; 0.35	31 ; 62	45.4 ; 22.7	1488 ; 1500
B	1.25	4par4	8.08	64	1.25 ; 1.25	3 ; 6	8.08 ; 4.04	90 ; 91

Tableau II-5 Définition des géométries des varicaps étudiées de type N+Poly/Nwell Waffle et multidoigts

Concernant les structures multidoigts, nous avons choisi deux types de géométries pour chaque dispositif. L'idée est de montrer l'impact d'une architecture waffle sur la résistance série avec une prédominance de la résistance du caisson Nwell ou de la résistance du polysilicium (**Tableau II-6**). La structure 2 de l'architecture multidoigts mettra d'avantage en évidence la contribution du caisson Nwell.

	Multidoigts Structure 1		Multidoigts Structure 2	
	A	B	A	B
Rwell	0.32 Ω	14.5 Ω	0.32 Ω	16.5 Ω
Rpoly	5.1 Ω	3.05 Ω	2.5 Ω	1.15 Ω

Tableau II-6 Evolution de la résistance Rwell et Rpoly pour les structure 1 et 2 dans une architecture multidoigts (simulation du schéma électrique) en technologie CMOS 65nm $t_{ox}=5\text{nm}$

Les caractéristiques C(V) des deux dispositifs étudiés avec les trois types d'architectures sont représentées sur les **Figure II-42** et **Figure II-43** et révèlent une superposition des différentes courbes.

L'architecture de type Waffle n'a aucune influence sur le comportement de la capacité intrinsèque malgré le réseau d'interconnexions qui diffère de la structure interdigitée.

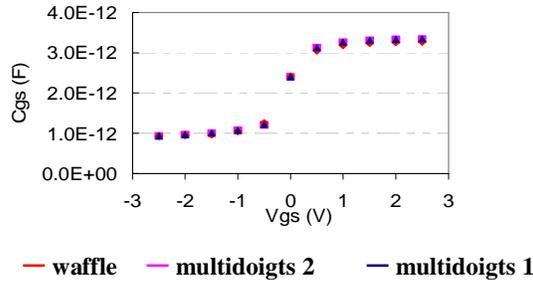


Figure II-42 Comparaison des caractéristiques C(V) du dispositif A entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ Fréquence =500kHz

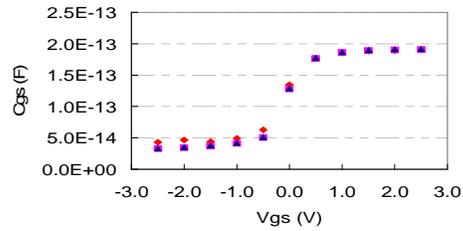


Figure II-43 Comparaison des caractéristiques C(V) du dispositif B entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ Fréquence =500kHz

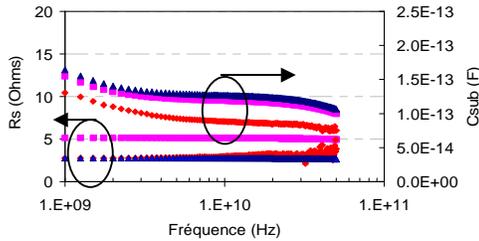


Figure II-44 Comparaison de la résistance série et de la capacité substrat en fonction de la fréquence du dispositif A entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ $V_{gs}=2.5V$

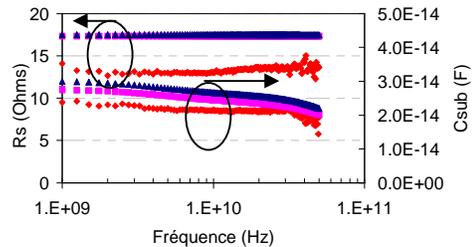


Figure II-45 Comparaison de la résistance série et de la capacité substrat en fonction de la fréquence du dispositif B entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ $V_{gs}=2.5V$

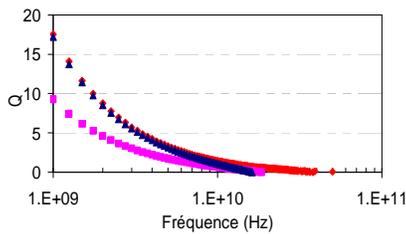


Figure II-46 Comparaison du facteur de qualité en fonction de la fréquence du dispositif A entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ $V_{gs}=2.5V$

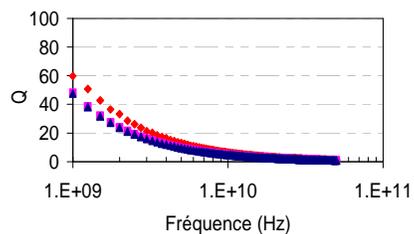


Figure II-47 Comparaison du facteur de qualité en fonction de la fréquence du dispositif B entre une architecture waffle et deux architectures interdigitées en technologie CMOS 65nm $t_{ox}=5nm$ $V_{gs}=2.5V$

Concernant la résistance série, la **Figure II-45** montre l'avantage la structure waffle à celles des deux architectures interdigitées. De ce fait le facteur de qualité de la varicap waffle est supérieur de 30% à la structure standard. Mais les résultats de la **Figure II-44** sont moins évidents. Dans ce cas la résistance série de l'architecture waffle est inférieure à celle de la structure 2 multidoigts mais égale à la

structure1. L'architecture waffle comme indiquée sur les **Figure II-40** et **Figure II-41** présente un entrelacement de grilles de polysilicim et partage quatre zones d'active dans cette région. La résistance du caisson Nwell est divisée par quatre. Il transparaît à travers le **Tableau II-6** que la résistance de polysilicium prédomine sur la résistance du caisson Nwell. L'apport d'une structure waffle n'est donc pas aussi conséquent avec ce dispositif et notamment avec la géométrie de la structure 1. L'impact bénéfique de la varicap waffle par rapport à la structure standard sur le facteur de qualité dépendra de la géométrie.

Comme évoqué en introduction de ce paragraphe, l'architecture waffle est censée diminuer les capacités parasites Drain/Substrat et Source/Substrat pour les transistors MOSFETs. Les **Figure II-44** et **Figure II-45** illustrent la réduction des capacités parasites du réseau substrat des varicaps N+Poly/Nwell Waffle. La diminution de ces parasites est d'autant plus conséquente que le gain en surface de silicium actif est important (**Tableau II-5**). Avec le dispositif A, le gain s'élève à 60% contre 30% avec le dispositif B.

L'ensemble de ces études a montré que l'architecture waffle offre de nouvelles perspectives dans les technologies CMOS avancées avec de très bonnes performances hyperfréquences sans dégradations des facteurs de mérite de la capacité intrinsèque.

II.B.3. Les structures hybrides

II.B.3.a. De nouvelles fonctionnalités

Les structures de type diodes ou MOS évoquées précédemment ont été implémentées pour offrir de meilleurs facteurs de mérite et améliorer les performances des circuits accordables tels que les oscillateurs contrôlés en tension. L'ajout de nouvelles fonctionnalités à l'image des structures différentielles et attoFarad que nous évoquerons au cours du chapitre III. A travers ces travaux, nous avons cherché à apporter de nouvelles fonctionnalités avec une structure à commande déportée de façon à simplifier le dessin de l'oscillateur, en intégrant dans le composant le découplage de la source continue du circuit hyperfréquence.

II.B.3.b. Les structures à commande déportée

Des développements ultérieurs [Won00] [Sve00] ont cherché à ajouter une commande supplémentaire à la varicap de type MOS. Dans les deux cas, le but est d'augmenter la gamme de capacité synthétisée mais les moyens mis en œuvre sont différents. La structure de [Sve00] est illustrée sur la **Figure II-48**. L'architecture de base est un transistor PMOS couplé à une varicap NMOS. Les implants P+ et N+ sont séparés par un caisson Nwell pour prévenir des effets Zener déjà évoqués avec les diodes sans STI. Une couche de protection contre la silicuration est ensuite rajoutée pour empêcher la création d'un court-circuit. Le principe de fonctionnement est basé sur un jeu entre le régime de déplétion de la capacité MOS et le régime inverse de la diode. En régime de déplétion, des porteurs minoritaires apparaissent en surface dus à la création de paires électron-trou et limitent la valeur de la capacité Cmin. Or l'implant P+ est connecté électriquement à cette zone d'inversion et en le polarisant négativement, les trous peuvent être chassés et permettre à la zone de déplétion de s'étendre (**Figure**

II-50). La varicap développée par [Won00] (Figure II-50) est basée sur la varicap N+Poly/Nwell dans laquelle le drain implanté N+ est substitué par un implant P+. La polarisation de la diode P+/Nwell va permettre de moduler la surface effective de la grille de polysilicium et de présenter un réseau de caractéristiques C(V) exposé sur la Figure II-51.

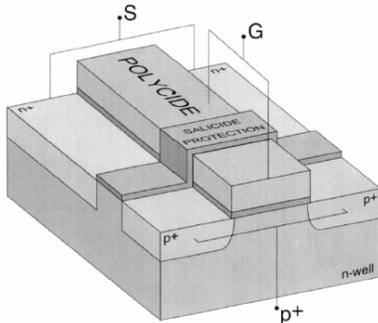


Figure II-48 Vue en coupe d'une structure de varicap à commande déportée [Sve00]

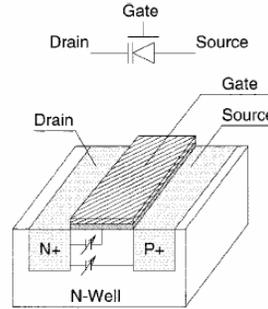
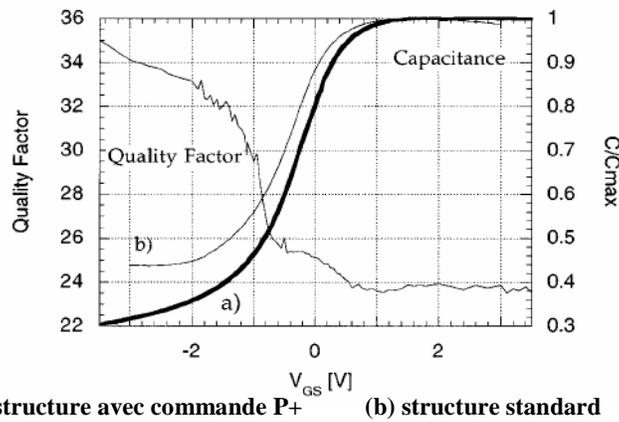


Figure II-49 Vue en coupe d'une structure de varicap à commande déportée [Won00]



(a) structure avec commande P+ (b) structure standard

Figure II-50 Caractéristique C(V) de varicap à commande déportée [Sve00]

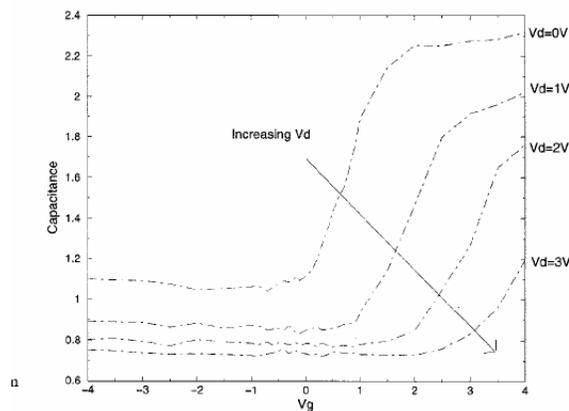


Figure II-51 Caractéristique C(V) de varicap à commande déportée [Won00]

Les deux structures précédentes offrent une augmentation de la gamme de capacité avec un intérêt particulier sur la structure de [Won00] avec un réseau de caractéristique C(V).

Nous avons cherché à implémenter une architecture proche de [Won00] en profitant de structures déjà disponibles dans les technologies de STMicroelectronics. En technologie BiCMOS 0.25um et CMOS 0.13um, nous avons développé des architectures proches des MOS haute tension nommées NLDEMOS et NDRIFT. Les transistors NLDEMOS sont des transistors MOS de puissance à extension de drain qui permettent la tenue en tension. La structure NDRIFT est équivalente à la structure NLDEMOS. Les deux varicaps développées sont représentées sur les **Figure II-52** et **Figure II-53**.

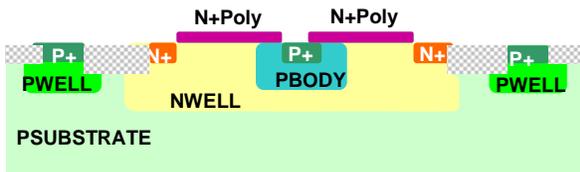


Figure II-52 Vue en coupe de la varicap à commande déportée de type NLDEMOS

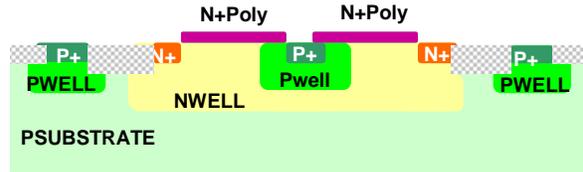
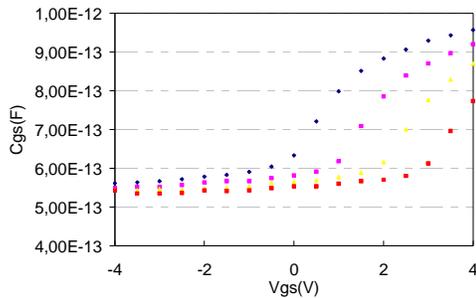


Figure II-53 Vue en coupe de la varicap à commande déportée de type NDRIFT

Les caractéristiques C(V) et Rs(V) des varicaps type Ndrift sont représentées sur les **Figure II-54** et **Figure II-55** en fonction de la tension de polarisation appliquée sur le contact P+.



— Vp+=-3V — Vp+=-2V — Vp+=-1V — Vp+=0V

Figure II-54 Caractéristique C(V) de la varicap à commande déportée de type Ndrift
L=0.35um W=5um Nbfp=24
Fréquence =5GHz

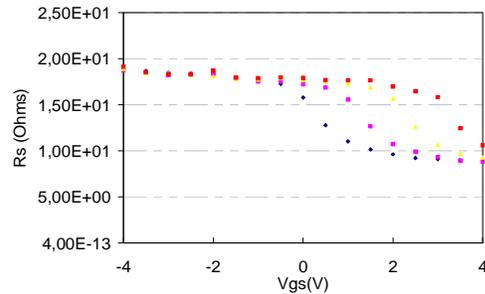


Figure II-55 Caractéristique R(V) de la varicap à commande déportée de type Ndrift
L=0.35um W=5um Nbfp=24
Fréquence =5GHz

Les résultats des **Figure II-54** et **Figure II-55** montrent que ces nouvelles varicaps à commande déportée offre un réseau de caractéristiques C(V) en fonction de la tension de polarisation de la commande déportée. Cette structure promet de nouvelles perspectives sur le découplage de la tension de polarisation et des ports hyperfréquences de la varicap tout en présentant un large réseau de caractéristiques C(V). Mais des mesures 4 ports sont nécessaires afin d'évaluer l'isolation des différentes commandes.

II.B.4. Conclusion

L'ensemble de ces études a montré que des développements étaient possibles à partir des architectures diode et MOS mais également en utilisant des options des procédés de fabrication telles que les implants d'ajustement de seuil ou bien avec des structures de transistors déjà existantes telles que les MOS haute tension à extension de drain. Ces travaux ont conduits à des améliorations des facteurs de mérite de la capacité intrinsèque et du comportement hyperfréquence des structures. D'autres perspectives nous sont aussi offertes avec l'introduction des varicaps à commande déportée qui proposent de nouvelles fonctionnalités.

II.C. Introduction de nouvelles varicaps bipolaires en technologie BiCMOS

Les études précédentes ont montré que de nouvelles architectures de varicaps MOS et diodes offraient un réel potentiel à l'amélioration des facteurs de mérite. Néanmoins, nos degrés de liberté sont restreints dans le cas des varicaps diodes où le seul axe d'amélioration réside dans la modification de l'architecture. La seule voie d'exploration résidait dans l'utilisation des masques des transistors bipolaires à hétéronjonctions nommés HBT (« Heterojunction Bipolar Transistor » selon les termes anglais). Des développements industriels ont notamment vu le jour avec des varicaps basées sur les couches du transistor bipolaire tels que les travaux d'Infineon [Vyt06] ou d'IBM [Orn06]. L'idée est de se servir de la jonction Base/Collecteur de type PN. Nous avons cherché à évaluer des varicaps HBT à partir de deux technologies BiCMOS disponibles chez STMicroelectronics [Mor07]. La première technologie est issue d'un procédé CMOS 0.13um (nommé HCMOS9SiGe) auquel il a été ajouté un nombre restreint de masques pour le transistor HBT. Nous parlerons d'un procédé BiCMOS faible coût. L'autre technologie 0.25um (BiCMOS7RF) possède un nombre plus important de niveaux et conduit à un transistor HBT plus performant (Tableau II-7).

Technologie	f_t	f_{max}	BV_{CEO}
HCMOS9SiGe	45GHz	85GHz	4 V
BiCMOS7RF	70GHz	90GHz	10 V

Tableau II-7 Résumé des performances des deux technologies HCMOS9SiGe et BiCMOS7RF
VCE=1.5V

Dans un premier temps, nous présenterons rapidement les deux technologies BiCMOS avec les structures de test étudiées. Dans un deuxième temps, nous montrerons à travers une comparaison des caractéristiques électriques dans les deux procédés de fabrication l'impact de la technologie sur les performances des varicaps HBT. Dans un troisième temps, nous exposerons les développements effectués en technologie BiCMOS7RF avec trois structures de varicaps HBT. Nous extrairons la structure la mieux adaptée avec un compromis entre performances de la capacité intrinsèque et comportement hyperfréquence.

II.C.1. Procédé de fabrication et structures de test

II.C.1.a. Procédé de fabrication en BiCMOS7RF

Le procédé de fabrication des transistors HBT en technologie BiCMOS7RF est décrit dans les travaux [Bau01-A][Bau01-B]. Après la formation de la couche enterrée par dopage localisé N+ (qui constitue une partie du collecteur faiblement résistif) sur le substrat de type P, l'épithaxie du collecteur faiblement dopé est réalisé. Ensuite des tranchées d'isolation remplies d'oxyde sont formées telles que les tranchées STI du procédé CMOS mais également les tranchées profondes DTI (« Deep Trench

Isolation ») propres aux bipolaires et qui réduisent les capacités parasites Collecteur/Substrat. Il s'en suit la formation du Collecteur avec un implant spécifique nommé SIC ("Specific Implant Collecteur") qui vient surdoper localement le collecteur sous la base et permet d'optimiser la résistance d'accès de la couche enterrée tout en limitant la valeur de la capacité base/collecteur. La zone active émetteur/base est ensuite définie dans une bicouche oxyde/silicium amorphe et servira de protection aux transistors MOS déjà réalisés. Cette étape est suivie par la croissance épitaxiale de la base Si/SiGe représentée sur la **Figure II-56**. Une fois la préparation du substrat terminée (couches enterrées, épitaxie, puits collecteur, SIC), il est possible de passer à la formation de l'architecture double polysilicium de la base. Un oxyde dont l'épaisseur est conditionnée par la base SiGe permet d'assurer une isolation entre les deux polysilicium émetteur et base. La fenêtre émetteur est ouverte en gravant l'isolant puis le polysilicium base et en s'arrêtant au nitrure de la couche d'arrêt de la fenêtre émetteur. Une éventuelle deuxième implantation SIC auto-alignée sur la fenêtre émetteur vient ajuster le dopage de la jonction base/collecteur. Un dépôt de nitrures suivi d'une gravure plasma, permet la formation d'espaces internes qui vont isoler le polysilicium émetteur du polysilicium base. Le polysilicium émetteur est ensuite déposé, dopé arsenic in-situ. Une étape de photolithographie, suivie par la gravure du polysilicium émetteur et de la gravure de l'oxyde inter-poly permet de déterminer la géométrie du transistor. La fin du procédé consiste à silicurer les dispositifs, puis les contacts sont ouverts dans un diélectrique inter-métallique et remplit en tungstène. La structure finale est représentée sur la **Figure II-56**.

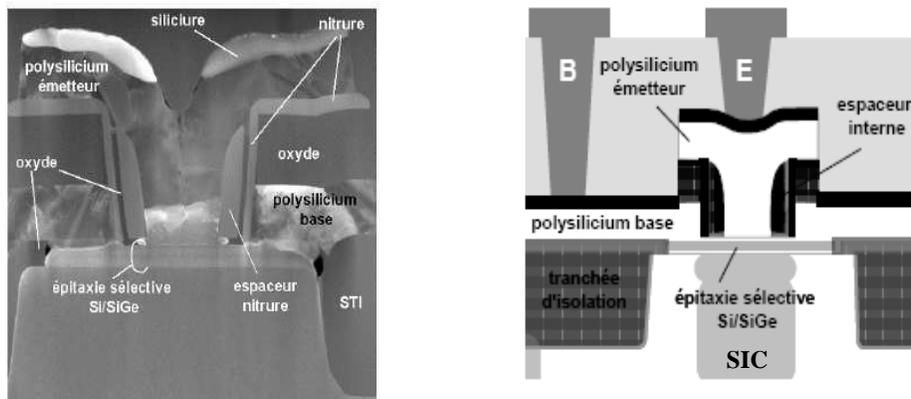


Figure II-56 Observation SEM (avant silicuration) et coupe schématique du transistor HBT NPN en technologie BiCMOS7RF [Bau01-B]

II.C.1.b. Procédé de fabrication en HCMOS9SiGe

Dans le cas de la technologie HCMOS9SiGe, le nombre de niveaux de masques est réduit par rapport aux transistors HBT NPN en technologie BiCMOS7RF. Le module collecteur est remplacé par un collecteur faible coût qui utilise des couches déjà existantes du procédé CMOS comme indiqué dans le **Tableau II-8**.

BiCMOS7RF	HCMOS9SiGe
Couche enterrée N+Buried	NISO
Épitaxie du collecteur	Pas d'épitaxie
Implants Puits collecteur N+sinker	Implants N+ et Nwell
Tranchées Profondes d'Isolation	STI

Tableau II-8 Différences sur le module collecteur entre les technologies BiCMOS7RF et HCMOS9SiGe

Nous montrerons par la suite que ces différences sur le module collecteur influent sur les performances électriques des varicaps HBT entre ces deux technologies.

II.C.1.c. Les structures de test

Les deux structures de tests implémentées en technologie HCMOS9SiGe et BCIMOS7RF sont présentées sur les **Figure II-57** et **Figure II-58**. Le dispositif relatif à la technologie BiCMOS7RF sera nommé varicap HBT SIC pour le différencier des structures étudiées dans le paragraphe **II.C.2**.

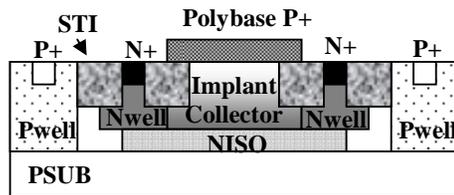


Figure II-57 Vue en coupe de la varicap HBT en technologie HCMOS9SiGe

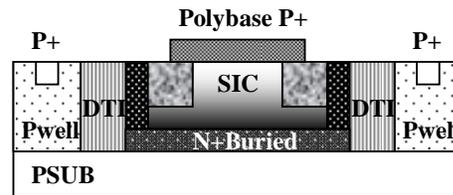


Figure II-58 Vue en coupe de la varicap HBT SIC en technologie BiCMOS7RF

Les **Figure II-57** et **Figure II-58** indiquent que seuls les éléments liés au module base et collecteur sont dessinés.

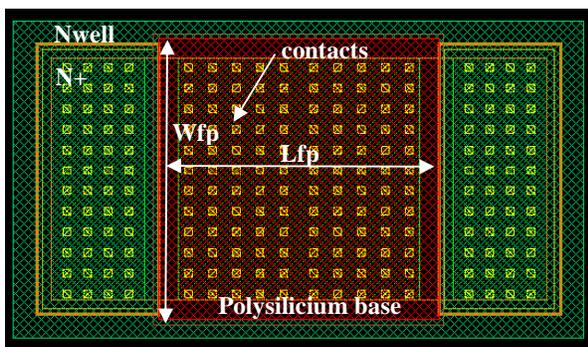


Figure II-59 Schéma de conception de la varicap HBT en technologie HCMOS9SiGe

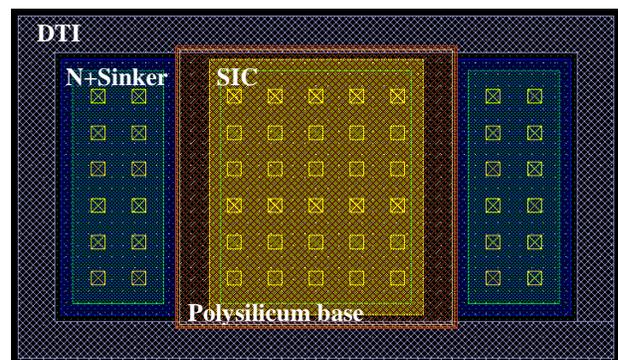


Figure II-60 Schéma de conception de la varicap HBT SIC en technologie BiCMOS7RF

L'émetteur a été retiré car il entraînait des tensions de claquage trop faibles liées à une jonction Emetteur/Base trop fortement dopée [Bur97] [Mhe01]. Sans la fenêtre émetteur, les contacts peuvent être ouverts directement sur le polysilicium de la base et réduire la résistance d'accès comme

l'illustrent les **Figure II-59** et **Figure II-60**. Les paramètres géométriques de la structure sont les suivants :

- W_{fp} = longueur du polysilicium de base
- L_{fp} = largeur du polysilicium de base
- N_{bfp} = nombre de doigts de polysilicium de base

Cette étude a permis de mettre en place un plan d'expérience dont une partie des résultats est présentée dans les **Tableau II-9**.

A travers ce paragraphe, nous avons exposé les étapes de fabrication des transistors HBT SiGeC en technologie HCMOS9SiGe et BICMOS7RF. Nous avons pu différencier les dispositifs entre une technologie avec un nombre de masques restreints et une technologie dédiée. Il nous reste à montrer l'impact sur les performances des varicaps HBT.

II.C.2. Comparaison des performances électriques des varicaps HBT SIC entre les technologies HCMOS9SiGe et BICMOS7RF

II.C.2.a. Le schéma électrique équivalent

Comme nous l'avons présenté dans le chapitre I pour les varicaps N+Poly/Nwell et P+/Nwell, nous associons un schéma électrique équivalent à la varicap HBT (**Figure II-61**). La capacité C_{bc} représente la capacité de la jonction Base/ Collecteur en polarisation inverse et prend en compte les éléments d'interconnexions d'où la dépendance en fréquence (**Figure II-63**). La résistance R_s série reflète les pertes dans le polysilicium base et dans le module collecteur. La capacité C_{sub} et la résistance R_{sub} modélisent le réseau substrat.

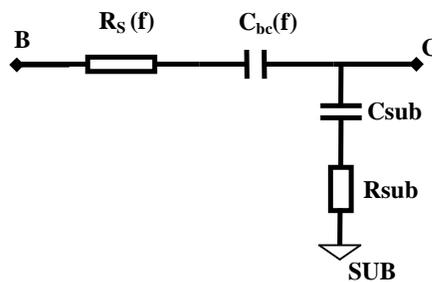


Figure II-61 Schéma électrique simplifié de la varicap HBT

II.C.2.b. Les performances de la capacité intrinsèque

Nous commencerons par comparer des facteurs de mérite liés aux performances basses-fréquences avec :

- La capacité surfacique ;
- Le tuning range ;
- La linéarité.

La linéarité sera définie par l'équation Eq II-7 et devra tendre vers une valeur proche de 1.

$$Linéarité = \frac{C_{bc}(-2V) - C_{bc}(-4V)}{C_{bc}(0V) - C_{bc}(-2V)} \quad \text{Eq II-7}$$

La comparaison des facteurs de mérite des structures HBT entre les technologies HCMOS9SiGe et BiCMOS7RF est résumée dans le **Tableau II-9** et sur la **Figure II-62**. Les structures implémentées dans les deux technologies présentent les mêmes grandeurs géométriques.

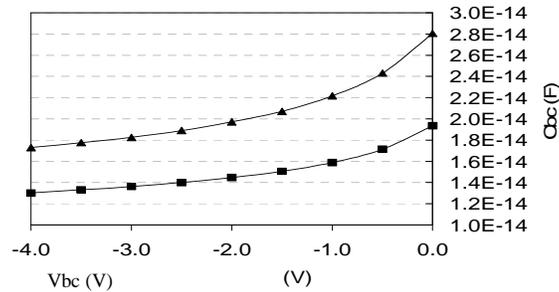


Figure II-62 Comparaison de la caractéristique C(V) d'un varicap HBT SIC en technologie HCMOS9SiGe (▲) et BiCMOS7RF (■)
Fréquence = 500kHz
(Wfp=6um Lfp=6um Nbf=1)

		Wfp (um)	Lfp (um)	Nbfp	Capacité surfacique (fF/um ²)@0V	Tuning ratio	Linéarité	Cbc@5GHz à 0V (fF)	Rs@5GHz à 0V (Ohms)	Q@5GHz
BiCMOS7RF	HBT SIC	2.3	60	1	0.69	1.22	0.25	67	4	116
		2.3	60	10		1.23	0.29	659	0.7	63
		20	20	1		1.61	0.29	254	4	29
		6	6	1		1.59	0.31	19	22	74
HCMOS9SiGe	HBT SIC	2.3	60	1	0.91	1.46	0.22	90	5	80
		2.3	60	10		1.46	0.22	904	0.9	37
		20	20	1		1.74	0.25	324	20	5
		6	6	1		1.73	0.19	27	47	24

Tableau II-9 Comparaison des facteurs de mérite des varicaps HBT SIC entre la technologie HCMOS9SiGe et BiCMOS7RF

Les données extraites montrent que les varicaps HBT SIC en technologie HCMOS9SiGe offrent des performances basses-fréquences bien supérieures aux mêmes composants intégrés en technologie BiCMOS7RF.

En technologie BiCMOS7RF, le profil du SIC implémenté dans le procédé de fabrication doit permettre de réduire fortement la capacité base/collecteur du transistor HBT, néfaste aux performances en fréquence. Dans notre cas, elle compromet les performances de la capacité intrinsèque.

II.C.2.c. Le comportement hyperfréquence

Les performances hyperfréquences des varicaps HBT SIC entre les technologies BiCMOS7RF et HCMOS9SiGe sont résumées sur les **Figure II-63** et **Figure II-64**, puis le **Tableau II-9**.

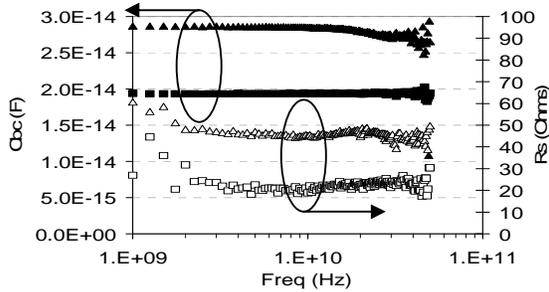


Figure II-63 Comparaison de la capacité et de la résistance série en fonction de la fréquence d’une varicap HBT SIC en technologie HCMOS9SiGe (▲) et BiCMOS7RF (■)
Vbc=0V
(Wfp=6um Lfp=6um Nbf=1)

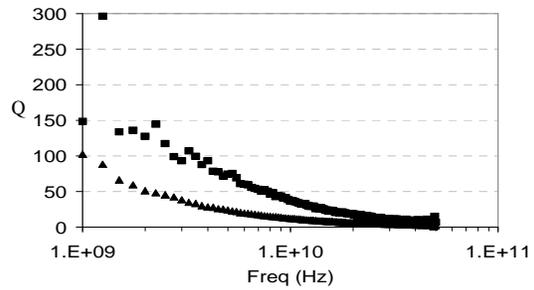


Figure II-64 Comparaison du facteur de qualité en fonction de la fréquence d’une varicap HBT SIC en technologie HCMOS9SiGe (▲) et BiCMOS7RF (■)
Vbc=0V
(Wfp=6um Lfp=6um Nbf=1)

L’ensemble des données révèle que la structure HBT issue de la technologie BiCMOS7RF présente un comportement hyperfréquence bien meilleur que la technologie HCMOS9SiGe. L’ensemble du module collecteur offre une résistivité beaucoup plus faible avec la couche enterrée fortement dopée, l’épitaxie du collecteur, les puits collecteur et l’implant SIC. Cette différence de résistivité est illustrée dans le **Tableau II-10** par les résistances carrées des couches du module collecteur. Les pertes séries en BiCMOS7RF sont donc bien inférieures. Le **Tableau II-9** révèle que l’impact est surtout visible pour des largeurs de P+ importantes. Avec cette configuration, les lignes de champ descendent plus profondément dans le silicium et atteignent la couche enterrée.

BiCMOS7RF (Ohm/□)		HCMOS9SiGe (Ohm/□)	
N+sinker	6.5	Nwell	750
N+Buried +Nepi	26	NISO	220

Tableau II-10 Tableau des résistances carrées des couches du module collecteur en technologie BiCMOS7RF et HCMOS9SiGe

Cette première étude a mis en lumière la potentialité d’utiliser les couches des transistors HBT pour des composants type varicaps. Les technologies mises à disposition au sein de STMicroelectronics nous ont mené vers une comparaison entre deux procédés de fabrication : l’un avec un nombre réduit de masques et l’autre avec des masques dédiés pour le transistor bipolaire. Si les performances de la capacité intrinsèque sont meilleures en technologie HCMOS9SiGe, le comportement hyperfréquence

pèse largement en faveur de la technologie BiCMOS7RF. Nous chercherons une voie d'amélioration des facteurs de mérite basses-fréquences de la varicap HBT SIC en technologie BiCMOS7RF. La solution réside dans la modification du profil de la jonction Base/Collecteur mais sans ajout de masque supplémentaire.

II.C.3. Développement de varicaps HBT avec différents types collecteurs

L'ajustement du profil de la jonction B/C et de ce fait le gain sur les performances de la capacité intrinsèque est réalisé par la substitution de l'implant SIC par un caisson Nwell ou bien par la superposition des deux couches comme illustrée sur les **Figure II-65** et **Figure II-66**. Nous distinguerons alors trois types de varicaps HBT dans cette étude :

- HBT SIC : dispositif d'origine avec l'implant SIC seul
- HBT Nwell : dispositif avec remplacement du SIC par un caisson Nwell
- HBT NWell/SIC : dispositif avec superposition implant SIC et caisson Nwell

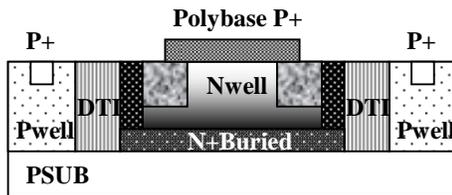


Figure II-65 Vue en coupe de la varicap HBT Nwell en technologie BiCMOS7RF

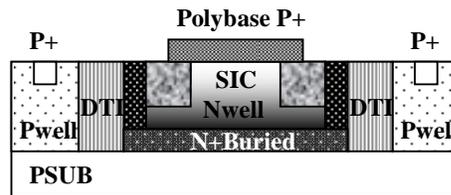


Figure II-66 Vue en coupe de la varicap HBT SIC/Nwell en technologie BiCMOS7RF

Dans un premier temps, les données du **Tableau II-11** et de la **Figure II-68** montrent la modification de la caractéristique capacité-tension avec les deux nouvelles architectures implémentées. Elles présentent des capacités surfaciques trois fois supérieures à l'architecture de départ. Les structures HBT Nwell et Nwell/SIC profitent du profil d'implantation du caisson Nwell beaucoup plus proche de l'interface avec le polysilicium base que l'implant SIC. La **Figure II-67** illustre que les profils de la base SiGeC et de l'implant phosphore du collecteur diffèrent et abaissent la valeur de la capacité surfacique.

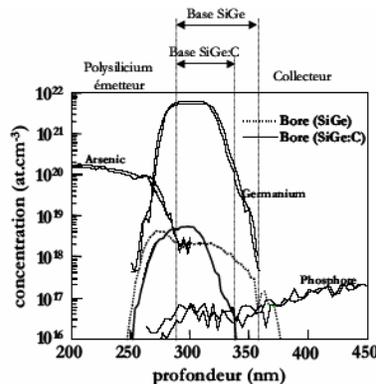


Figure II-67 Superposition des profils SIMS d'un transistor HBT en technologie BiCMOS7RF

Le profil du Nwell garantit un tuning range largement supérieur à celui d'une varicap HBT SIC sans dégradation de la linéarité. Le **Tableau II-11** indique que la gamme de capacité tend vers des valeurs proches de celles de varicaps MOS.

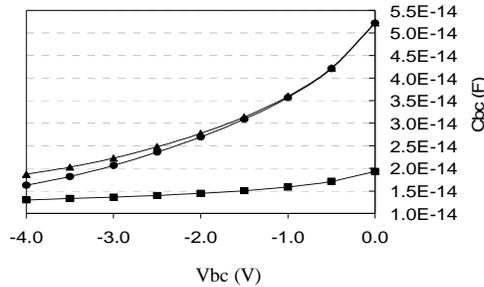


Figure II-68 Comparaison des caractéristiques C(V) des trois varicaps HBT SIC(■), Nwell (▲) et SIC/Nwell (●) en technologie BiCMOS7RF
Fréquence = 500kHz
(Wfp=6um Lfp=6um Nbf=1)

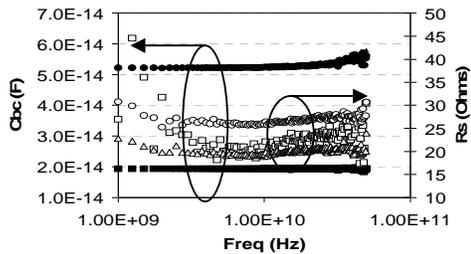


Figure II-69 Comparaison de la capacité et de la résistance série en fonction de la fréquence des trois varicaps HBT SIC(■), Nwell (▲) et SIC/Nwell (●) en technologie BiCMOS7RF
Vbc=0V
(Wfp=6um Lfp=6um Nbf=1)

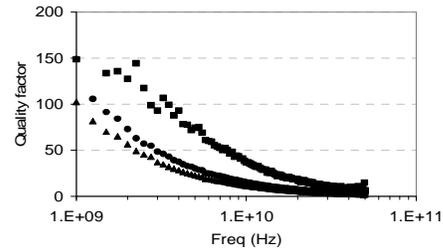


Figure II-70 Comparaison du facteur de qualité en fonction de la fréquence des trois varicaps HBT SIC(■), Nwell (▲) et SIC/Nwell (●) en technologie BiCMOS7RF
Vbc=0V
(Wfp=6um Lfp=6um Nbf=1)

		Wfp (um)	Lfp (um)	Nbfp	Capacité surfacique (fF/um ²)@0V	Tuning ratio	Linéarité	Cbc@5GHz à 0V (fF)	Rs@5GHz à 0V (Ohms)	Q@5GHz	
BICMOS7RF	HBT SIC	2.3	60	1	0.69	1.22	0.25	67	4	116	
		2.3	60	10		1.23	0.29	659	0.7	63	
		20	20	1		1.61	0.29	254	4	29	
		6	6	1		1.59	0.31	19	22	74	
	HBT Nwell	2.3	60	1	2.34	2.13	0.41	123	6	39	
		2.3	60	10		2.13	0.405	1252	0.8	28	
		20	20	1		3.04	0.44	752	5	9	
		6	6	1		3.84	0.42	52	26	23	
	HBT Nwell +SIC	2.3	60	1	2.34	1.96	0.36	124	4	57	
		2.3	60	10		1.94	0.36	1251	0.7	34	
		20	20	1		2.83	0.4	755	4	10	
		6	6	1		3.21	0.37	52	20	30	
		Standard diode P+/Nwell	20	20	1				255	5.76	21

Tableau II-11 Tableau récapitulatif de l'ensemble des résultats obtenus sur les varicaps HBT SIC, HBT Nwell et HBT SIC/Nwell en technologie BICMOS7RF

Dans un deuxième temps, les performances hyperfréquences peuvent être analysées à travers les **Figure II-69**, **Figure II-70** et le **Tableau II-11**.

Dans cette étude, la substitution du caisson Nwell au détriment du SIC entraîne une légère dégradation des pertes dans la structure. Par contre, la superposition du SIC et du Nwell assure le même comportement résistif. L'implantation de ces nouvelles architectures de varicaps HBT démontre qu'il y a un compromis à faire entre facteurs de mérite de la capacité intrinsèque et performances hyperfréquences. Le choix de la structure la mieux adaptée apparaît être la varicap HBT SIC/Nwell car elle assure un bon tuning range sans dégradation des pertes par rapport à une diode standard.

II.C.4. Conclusion

L'ensemble de ces travaux est basé sur l'évaluation des couches des transistors bipolaires appliquées aux varicaps. Tout d'abord, les couches dédiées au collecteur avec de faibles résistivités permettent d'offrir des très bonnes performances hyperfréquences. Néanmoins les spécifications des transistors HBT tels que la réduction de la capacité Base/Collecteur ne sont pas toujours en ligne avec des varicaps HBT. La présence d'un implant spécifique pour le collecteur nous a conduit à intégrer un caisson Nwell à la structure de base. Nous avons désormais une structure HBT SIC/Nwell très performante sans ajout de masque supplémentaire contrairement à une solution adoptée par IBM avec une couche dédiée [Orn06]. Cette nouvelle varicap s'avère comme un compromis entre varicap diode P+/Nwell et MOS N+Poly/Nwell dans une technologie BiCMOS.

II.D. Introduction d'une couche spécifique aux varicaps

Les développements précédents ont montré que les facteurs de mérite pouvaient être améliorés soit par une modification des architectures existantes ou bien par l'utilisation des couches des transistors bipolaires à hétérojonction. L'ensemble de ces études est basé sur les recettes standards de fabrication sans ajout de masques supplémentaires et sans modification des procédés. Nous avons démontré qu'il était difficile d'améliorer les performances de la capacité intrinsèque telle que le tuning et la linéarité sans modification du profil de la jonction PN pour la varicap diode et du canal pour une varicap MOS. Néanmoins, des besoins spécifiques sont apparus pour permettre l'ajout d'un masque supplémentaire et définir une implantation supplémentaire spécifique aux varicaps diodes P+/Nwell. Les objectifs étaient de chercher à accroître les performances intrinsèques à la capacité et les performances hyperfréquences. Ces travaux ont été réalisés en technologie CMOS 0.13um SiGe avec la collaboration des technologues et de la plateforme de modélisation physique.

D'abord, nous présenterons le plan d'expérience à travers les différents tests effectués. Puis nous exposerons les résultats de caractérisation basse et haute fréquence, ce qui nous permettra de dégager le meilleur candidat. Suite à cette étude, nous dévoilerons les résultats de la mise en œuvre sur les varicaps N+Poly/Nwell avec ce même plan d'expérience.

II.D.1. Définition du plan d'expérience

L'amélioration des performances intrinsèques de la capacité passe par une modification du profil de la jonction PN. Nous avons ainsi réalisé deux séries de tests sur la nature et le profil des jonctions. La première série de tests est composée de neuf variantes sur l'implantation des couches enterrées, avec l'introduction d'une implantation supplémentaire appelée NVARAC. La deuxième série de tests prévoit trois variations d'énergie pour l'implantation NVARAC. Elle est complémentaire de la première série et servira à mettre en évidence l'influence de l'énergie d'implantation sur les caractéristiques des varicaps. L'ensemble du plan d'expérience est illustré dans les **Tableau II-13** et **Tableau II-14** et aboutit à trois varicaps diodes :

- P+/ Nwell : la structure standard (**Figure II-71**) ;
- P+/Nvarac (**Figure II-72**) ;
- P+/Nvarac/Nwell (**Figure II-73**).

Cette étude présentera l'ensemble des résultats pour un dispositif dont la géométrie est décrite dans le **Tableau II-12**.

Wfp (um)	8
Lfp (um)	50
Nbfp	4

Tableau II-12 Géométrie du dispositif étudié

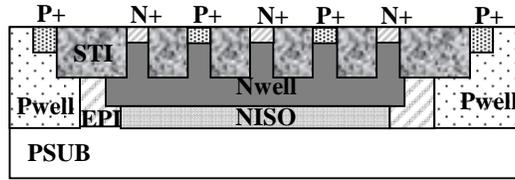


Figure II-71 Vue de profil de la varicap standard P+/Nwell

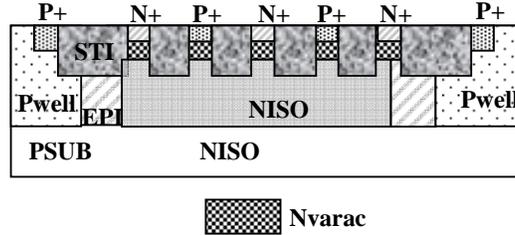


Figure II-72 Vue de profil de la varicap standard P+/Nvarac issue des plaques 3, 5, 7, 9 et 11 du 1er test et 11, 14 et 17 du 2^{ème} test

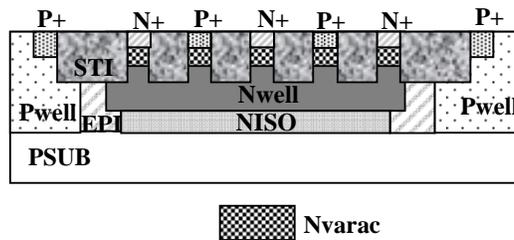


Figure II-73 Vue de profil de la varicap standard P+/Nvarac/Nwell issue des plaques 13, 15 et 17 du 1^{er} test

Description	Conditions d'implantation	1er TEST n° plaque									
		1	3	5	7	9	11	13	15	17	
Implantation NISO	P, 600E13 at/cm ² @ 1,5MeV Tilt = 7°	■			■			■			
	P, 600E13 at/cm ² @ 1,0MeV Tilt = 7°		■		■		■		■		
	P, 600E13 at/cm ² @ 600KeV Tilt = 7°			■			■			■	
	As, 150E13 at/cm ² 210KeV Tilt = 7° (NVARAC avec masque NISO)							■	■	■	
Implantation Nwell	P, 25E13 at/cm ² @ 400KeV	■						■	■	■	
	P, 150E13 at/cm ² 80KeV Tilt = 7° (NVARAC avec masque Nwell)		■	■	■	■	■				
	As, 150E13 at/cm ² 210KeV Tilt = 7° (NVARAC avec masque Nwell)				■	■	■	■			

Procédé std.
Deux implantations : NISO + NVARAC
Trois implantations : NISO + NVARAC + N WELL

Tableau II-13 Plan d'expérience pour la première série de test

Description	Conditions	2ème TEST n° plaque			
		1	11	14	17
Implantation Nwell	P, 25E13 at/cm ² @400KeV				
	As, 150E13 at/cm ² 180KeV Tilt = 7(NVARAC avec masque Nwell)				
	As, 150E13 at/cm ² 210KeV Tilt = 7(NVARAC avec masque Nwell)				
	As, 150E13 at/cm ² 240KeV Tilt = 7(NVARAC avec masque Nwell)				

Procédé std.
 Implantation NVARAC à la place de Nwell :
Trois niveaux d'énergie

Tableau II-14 Plan d'expérience pour la seconde série de test

Dans les plaques de 3, 5, 7, 9 et 11 du premier test, l'implantation Nwell est remplacée par l'implantation spécifique NVARAC. Pour les plaques 3 et 5 cette couche NVARAC est obtenue par l'implantation de phosphore (150E13 atomes/cm² avec une énergie d'implantation de 400KeV), tandis que pour les plaques 7, 9 et 11, la même couche est réalisée avec de l'arsenic (150E13 atomes/cm² avec une énergie de 210KeV). Les plaques 13, 15 et 17 ont reçu l'implantation NVARAC, avec le masque de la couche NISO et s'ajoutant aux couches enterrées Nwell et NISO.

En résumé, nous avons implémenté trois structures de varicaps diodes avec différentes conditions d'implantation des couches Nvarac, NISO et Nwell. L'ensemble des dispositifs doit être caractérisé à travers des mesures basses-fréquences et hautes-fréquences afin de dégager le candidat le plus performant.

II.D.2. Performances de la capacité intrinsèque

La caractérisation basse-fréquence des différents éléments du plan d'expérience nous a permis d'extraire les facteurs de mérite de la capacité intrinsèque à travers la capacité surfacique, le tuning et la linéarité présentés dans les **Tableau II-15** et **Tableau II-16**.

Numéro de la plaque	Dispositif	Capacité surfacique (fF/um ²)	Tuning	Linéarité
1	P+/Nwell	1	1.73	0.29
3	P+/Nvarac	1.12	2.38	0.36
5		1.23	1.96	0.31
7		1.84	2.86	0.44
9		1.86	2.83	0.41
11		1.91	2.41	0.35
13	P+/Nvarac/Nwell	1.96	2.24	0.33
15		1.96	2.22	0.33
17		2.02	2.15	0.32

Tableau II-15 Résultats des facteurs de performances de la capacité intrinsèque pour le premier test

Numéro de la plaque	Dispositif	Capacité surfacique (fF/um ²)	Tuning	Linéarité
1	P+/Nwell	1	1.73	0.29
11	P+/Nvarac	1.64	4.9	0.31
14		1.88	2.79	0.42
17		1.92	2.21	0.36

Tableau II-16 Résultats des facteurs de performances de la capacité intrinsèque pour le deuxième test

D'après les données des **Tableau II-15** et **Tableau II-16**:

- Dans le premier test, les meilleures performances sont obtenues en remplaçant le Nwell par une implantation NVARAC d'Arсениc ;
- Dans le second test, les facteurs de mérite les plus prometteurs sont réalisés avec une implantation NVARAC d'énergie d'implantation 180KeV (plaque 11) ;
- Enfin, le procédé de fabrication est stable car les performances de la plaque 11 du 2ème test égalent les performances de la plaque 7 du 1er test.

Les caractéristiques C(V) des structures du second test sont illustrées sur la **Figure II-74**.

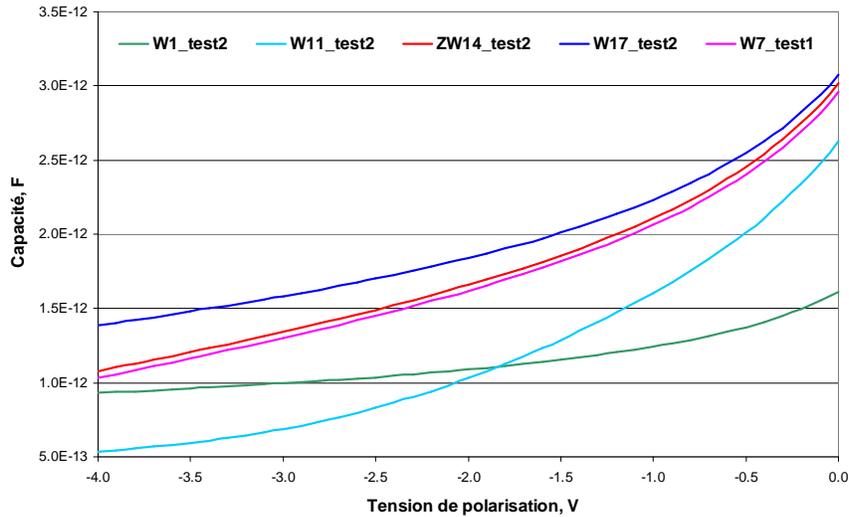


Figure II-74 Comparaison des caractéristiques C(V) des structures du test numéro 2

La définition de la capacité de transition décrite en **annexe B** montre que la capacité surfacique de la structure est étroitement liée à la concentration des dopants à la jonction. Plus les concentrations Nd et Na sont fortes, plus la capacité est grande. L'introduction de la couche NVARAC permet d'obtenir une jonction sur laquelle les concentrations des dopants sont beaucoup plus fortes que dans la jonction P+/Nwell. De ce fait, la couche NVARAC augmente considérablement la valeur C_{max} de la varicap. La concentration décroissante du dopage de la couche NVARAC (**Figure II-75**) favorise l'étalement de la ZCE en profondeur. La couche NISO arrête l'accroissement de la ZCE et limite donc la valeur C_{min} de la varicap (si la tension de claquage n'est pas atteinte). L'ensemble de ces remarques permet

d'expliquer que les facteurs de mérite de la plaque 7 sont les plus performants. Le profil de dopage du Nvarac proche de la surface et une couche NISO implantée profondément (1.5MeV) offre une gamme de capacité relativement élevée.

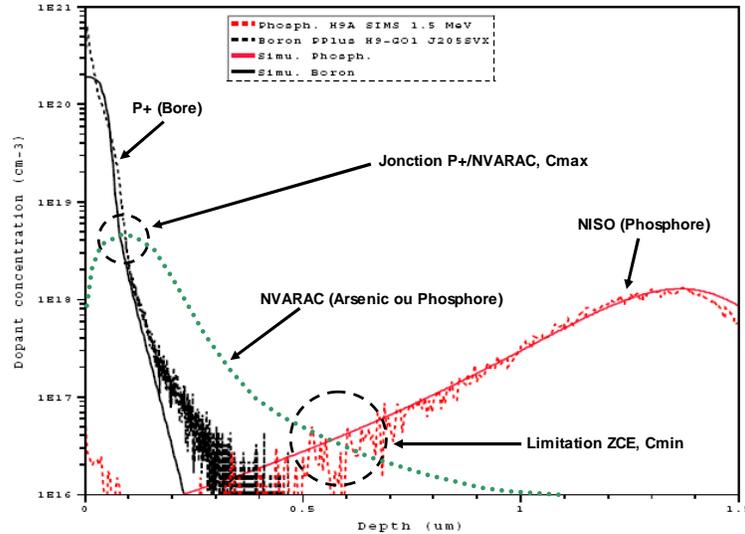


Figure II-75 Profil des implantations en technologie CMOS 0.13 um

L'ensemble des tests montre que l'introduction de la couche NVARAC conduit à une nette amélioration des performances basses-fréquences par rapport aux varicaps diode standards avec un tuning range élevé mais sans dégradation de la linéarité.

Nous devons caractériser les structures en hyperfréquence pour évaluer l'impact de l'implant NVARAC sur les pertes résistives.

II.D.3. Performances hyperfréquences

L'extraction des caractéristiques hyperfréquences des dispositifs du plan d'expérience est résumée sur les **Figure II-76** à **Figure II-77**. Nous avons dissocié les résultats pour les structures de type P+/Nvarac (**Figure II-76**) et les structures P+/Nvarac/Nwell (**Figure II-77**). Concernant les varicaps P+/Nvarac, nous n'avons retenu que les dispositifs présentant les performances basses-fréquences les plus prometteuses, c'est-à-dire pour les plaques 7,9 et 11.

La **Figure II-76** révèle que plus l'énergie d'implantation de la couche NISO augmente, plus les pertes s'accroissent dans la structure. Dans ce cas, la concentration de dopant est située beaucoup plus en profondeur, ce qui a tendance à modifier les lignes de champ et allonger le chemin électrique. Alors que le dispositif de la plaque 7 offre des performances intrinsèques les plus prometteuses, il semble que le meilleur compromis réside dans les conditions d'implantation de la plaque 11.

Sur la **Figure II-77**, nous observons que les dispositifs des plaques 13, 15 et 17 ont pratiquement les mêmes pertes série que le dispositif standard. L'implantation de la couche Nwell limite la résistance série de la diode et rend les pertes insensibles à la profondeur de la couche NISO. Le dernier point de comparaison entre les **Figure II-76** et **Figure II-77** dévoile que la structure P+/Nwell/Nvarac présente

des caractéristiques hyperfréquences plus intéressantes. La superposition des trois couches NVARAC/Nwell /NISO avec des profils adaptés limite les pertes résistives.

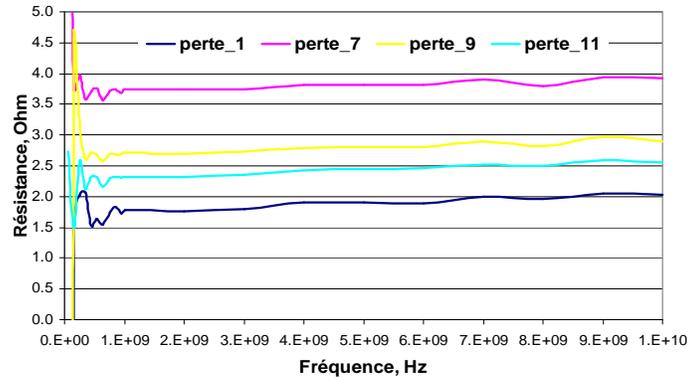


Figure II-76 Comparaison de la résistance série en fonction de la fréquence pour les structures P+/Nvarac des plaques 7,9, 11 et de la structure P+/Nwell du procédé standard de la plaque 1 $V_{diode}=0V$

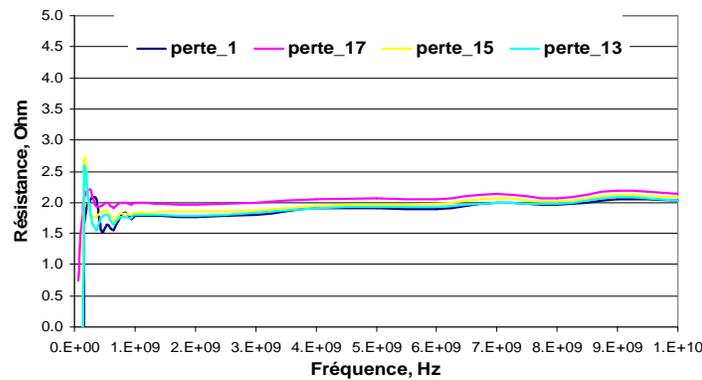


Figure II-77 Comparaison de la résistance série en fonction de la fréquence pour les structures P+/Nvarac/Nwell des plaques 13,15, 17 et de la structure P+/Nwell du procédé standard de la plaque 1 $V_{diode}=0V$

Cette étude a permis de montrer que l'ajout d'une couche avec un profil d'implantation adapté conduit à un gain sur les performances de la capacité intrinsèque. La couche NVARAC fortement dopée assure une gamme de capacité élevée sans dégradation de la linéarité. Néanmoins, l'ajout de la couche de NVARAC en substitution du caisson Nwell est néfaste pour le comportement hyperfréquence. Le meilleur compromis entre performances BF et HF réside dans la superposition de la couche NVARAC et du caisson de Nwell. Nous obtenons alors une nouvelle structure de varicap diode avec des caractéristiques électriques très compétitives.

II.D.4. Introduction de la couche Nvarac pour les varicaps N+Poly/Nwell

Le plan d'expérience décrit précédemment a été mis en place pour dégager un candidat potentiel avec une couche propre aux varicaps diodes. Cependant, nous avons implémenté des varicaps

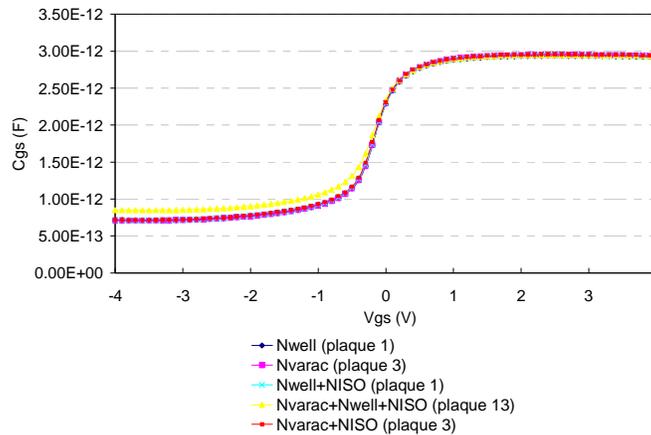
de type MOS N+Poly/Nwell qui ont suivi le même procédé de fabrication. Le jeu des différents masques nous a mené à 7 structures de test décrites dans le **Tableau II-17**.

Structures
N+poly/Nwell
N+poly/Nvarac
N+poly/Nwell/NISO
N+poly/Nvarac/NISO
N+poly/Nvarac/Nwell/NISO
N+Poly/Pwell/NISO
N+Poly/Nvarac/Pwell/NISO

Tableau II-17 Structures de varicaps MOS étudiées en technologie CMOS 0.13um avec les masques Nwell et NISO

L'étude suivante se limitera aux 5 premières varicaps du **Tableau II-17** car les structures avec un caisson Pwell présentent des résistances électriques trop élevées.

L'ensemble des caractéristiques C(V) est exposée sur la **Figure II-78**.



**Figure II-78 Comparaison des caractéristiques C(V) pour les 5 structures de varicaps MOS étudiées en technologie CMOS 0.13um
L=2um W=3um Nbf=40
Fréquence =500kHz**

Les données de la **Figure II-78** indiquent que la structure N+poly/Nwell est insensible à la nature de l'implantation Nwell seule et NVARAC seule. Ceci s'explique par la profondeur de la zone de déplétion et la densité d'atomes d'Arsenic pour la couche NVARAC et de phosphore pour la couche Nwell. A partir de l'équation **Eq II-8**, nous extraiions la largeur de la zone de déplétion pour les varicaps étudiées.

$$h_{dep} \approx 3 \cdot \frac{t_{ox} \cdot \epsilon_{rsi}}{\epsilon_{rox}} \approx 45 \text{ \AA} \quad \text{Eq II-8}$$

Or d'après les données technologiques, la concentration de dopant à cette profondeur est dans les deux cas de 10^{17} atomes/cm³. Le profil de dopage de la couche NVARAC n'est donc pas adapté à une varicap MOS qui voit sa zone de déplétion très proche de la surface. La varicap MOS est donc insensible à l'implant NVARAC.

II.D.5. Conclusion

Ces travaux ont aboutit à la définition d'une nouvelle couche NVARAC adaptée aux varicaps diodes. Elle offre une gamme de capacité élevée avec une meilleure linéarité, mais n'améliore en aucun cas les performances hyperfréquences. Ces développements ont montré que l'implant NVARAC n'était adapté qu'aux structures diodes, la varicap MOS se montrant insensible à l'implant NVARAC.

II.E. Conclusion

L'ensemble de ces études a permis la définition de nouvelles architectures de varicaps et l'investigation d'une étape technologique dédiée. En premier lieu, nous avons modifié les structures de base avec comme objectif l'amélioration d'un facteur de mérite ou l'ajout de nouvelles fonctionnalités. La structure Waffle est apparue comme un candidat potentiel dans les technologies CMOS avancées pour anticiper la réduction de la taille des transistors. De même, les varicaps à commande déportée offrent une solution à la simplification du dessin des oscillateurs. Les degrés de liberté restent néanmoins limités à l'architecture de la varicap sans champ d'action sur le dopage du canal (sauf ajustement de seuil) ou du profil de la jonction PN. En deuxième lieu, nous avons évalué la potentialité des procédés BiCMOS et la caractérisation des jonctions base-collecteur des transistors HBT SiGe. Une structure mixte HBT SIC/Nwell s'est révélée très performante tant d'un point de la capacité intrinsèque et du comportement hyperfréquence. Enfin, une étape technologique dédiée aux varicaps a été étudiée. Ces opérations spécifiques restent néanmoins très coûteuses et doivent être argumentées pour être implémentées (requête client).

Ce travail a permis de fournir une bibliothèque d'architectures (**Tableau II-18**) et de données techniques pour anticiper les évolutions technologiques liées à la diminution de la taille des transistors et la montée en fréquence.

Procédé	Type	Architecture	Tuning	Linéarité	Q	Encombrement	Procédé visé
Sans ajout de masque	Diode	DOT	-	≡	+	+	BiCMOS/CMOS
		Sans STI	≡	≡	+	≡	BiCMOS/CMOS
	MOS	STI	+		+/- (dépendant rapport W/L)	≡	CMOS
		HVt	+		-	≡	CMOS
		Waffle	≡		+/ ≡	+	CMOS
	Hybride	NLDEMOS/NDRIFT	+		≡	+	BiCMOS
	HBT	SiGe SIC/Nwell	+	+	+	+	BiCMOS
Masque dédiée	Diode	P+/Nvarac/Nwell	+	+	≡	≡	BiCMOS

Tableau II-18 Tableau récapitulatif des structures implémentées avec leurs différentes caractéristiques

Une base de développement des varicaps est une étude plus approfondie des modèles. Mais les nouvelles structures sont souvent à la limite des modèles tant d'un point de vue capacitif et fréquentiel. La caractérisation et l'évaluation de nouvelles techniques de mesures viennent alors en renfort.

II.F. Bibliographie

- [Bau01-A] Baudry H.d al., “High performance 0.25-um SiGe and SiGe:C HBT’s using non selective epitaxy,” IEEE Bipolar/BiCMOS Circuits and Technology Meeting, pp. 52-55, Oct. 2001
- [Bau01-B] H. Baudry, “Développement et étude de transistors bipolaires hautes performances silicium-germanium ,” Thèse de doctorat de l’INPG, Novembre 2001
- [Burg99] J.N. Burghartz and al., “Integrated RF Components in a SiGe Bipolar Technology,” IEEE Journal of Solid-State Circuits, vol. 32, no. 9, pp. 1440-1445, August 1999
- [Mag01] Maget J., Tiebout M., Kraus R., “A Varactor with High Capacitance Tuning Range in Standard 0.25um CMOS Technology,” European Solid-State Device Research Conference, pp. 187-190, Sept. 2001
- [Mag02-A] Maget J., “Varactors and Inductors for integrated RF Circuits in Standard MOS technologies”, Phd. Thesis, Germany, October 2002
- [Mag02-B] Maget J. and al., “Influence of Novel MOS Varactors on the Performance of a Fully Integrated UMTS VCO in Standard 0.25-um CMOS technology ,” IEEE Journal of Solid-State Circuits , Vol. 37, No. 7, pp. 953-958, July 2002
- [Mhe02] B. Mheen and al. “Structure dependence of the characteristics of SiGe varactor fabricated by RPCVD,” Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 157-160, Sept. 2001
- [Mor99] E. Morifuji, H. S. Momose, T. Ohguro, T. yoshitomi, H. Kimijima, F. Matsuoka, M. Kinugawa, Y.Katsumata, and H. Iwai, “Future Perspective and Scaling Down Roadmap for RF CMOS,” IEEE VLSI Symposium, pp. 165.166, June 1999
- [Mor07-D] Morandini Y., Larchanche J.-F., Gaquiere C., “Evaluation of SiGeC HBT Varactor using different Collector access and Base-Collector junction Configuration in BiCMOS technologies,” IEEE Bipolar/BiCMOS Circuits and Technology Meeting, pp. 246-249, Oct. 2007
- [Mor08] Morandini Yvan, Larchanche Jean-Francois, Gaquiere Christophe, “High Frequency Characterization of Compact N+Poly/Nwell Varactor Using Waffle-Layout,” IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 167-170, Jan. 2008

Chapitre III Les nouvelles méthodes de caractérisation

III.A. Introduction

Aujourd'hui les concepteurs de circuits intégrés ont besoin de modèles paramétrés toujours plus précis pour répondre aux recommandations sans surdimensionnement. La précision des modèles oblige les concepteurs à compenser ces erreurs par des architectures plus complexes. La modélisation des varicaps obéit donc à un schéma illustré par la **Figure III-1**.

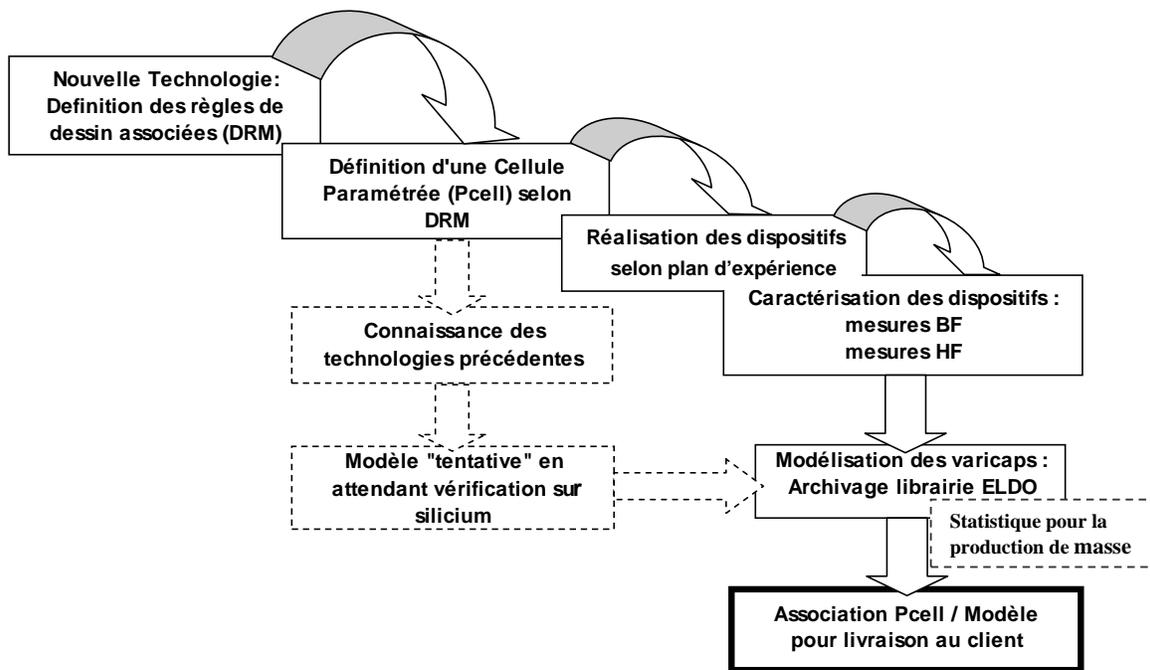


Figure III-1 Schéma de principe de l'enchaînement pour la modélisation des capacités commandées en tension

La validité d'un modèle est soumise à la caractérisation du dispositif. L'étude comportementale des varicaps se fait à travers deux étapes principales : une caractérisation basse-fréquence (100kHz) et haute-fréquence (jusqu'à 110GHz). La mesure basse-fréquence permet de comprendre le comportement intrinsèque du composant. A ces fréquences, les éléments parasites des interconnexions et du substrat ont une faible influence sur la mesure de la capacité. La caractérisation hyperfréquence est assurée à travers la mesure des paramètres [S] de la varicap. Les matrices de transformation adéquates permettent ensuite de se ramener aux paramètres Y, Z, H ou ABCD. Les différents éléments d'un schéma électrique associé sont extraits tels que les inductances parasites, les pertes et les effets du substrat.

Chapitre III : Les nouvelles méthodes de caractérisation

Cependant, d'autres besoins sont apparus car les méthodes traditionnelles de caractérisation ne répondent que partiellement à nos exigences.

Les nouvelles méthodes de caractérisation présentées dans ce chapitre vont tenter de répondre aux nouvelles problématiques apparues :

- La caractérisation différentielle, entièrement liée aux architectures des oscillateurs ;
- L'augmentation de la sensibilité des mesures. Dans notre cas, il s'agira de réduire la capacité minimale détectable ;
- La caractérisation hyperfréquence en grand signal. Ce travail tente d'évaluer la réponse de la varicap dans des conditions proches de la polarisation d'un VCO avec l'utilisation d'un analyseur vectoriel grand signal appelée LSNA (Large Signal Networks Analyseur).

III.B. La caractérisation différentielle

Le développement des dispositifs à topologie différentielle croît de manière significative tirant avantage de la réduction de la sensibilité au bruit pour les composants actifs et de l'augmentation du facteur de qualité pour les composants passifs. La caractérisation en mode purement différentiel de ce type de composants est donc devenue un challenge ces dix dernières années [Boc95]. Premièrement, nous présenterons la théorie sur les aspects différentiels. Deuxièmement, nous aborderons les différents types de mesures réalisées à l'aide de transformateurs inductifs et d'un analyseur vectoriel 4 ports. Cette étude permettra une comparaison entre une analyse différentielle reconstruite et différentielle vraie. Enfin, nous montrerons l'apport de l'analyse différentielle dans l'extraction d'un modèle paramétré.

III.B.1. Premiers pas vers la caractérisation différentielle

III.B.1.a. Varicap différentielle

Les varicaps différentielles présentent une entrée différentielle et une sortie un port (**Figure III-2**). Sous l'hypothèse d'une polarisation en entrée purement différentielle et sous la condition d'un comportement linéaire, le courant total au niveau du nœud Nwell est nul ce qui devrait permettre d'accroître le facteur de qualité de notre composant.

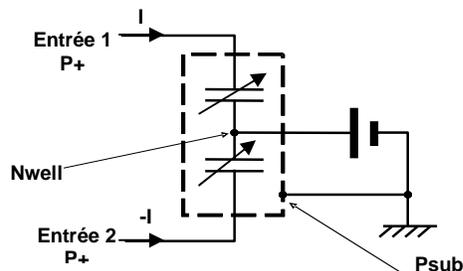


Figure III-2 Schéma électrique équivalent dans le cas d'une varicap différentielle P+/Nwell

Notre composant pourra être caractérisé en présentant à son entrée une excitation mode commun et une excitation mode différentielle. Ceci sera démontré par la suite. En mode différentiel, les signaux d'excitation sont en opposition de phase comme l'illustre la **Figure III-3**. Ceci a pour conséquence la création d'une masse virtuelle le long de l'axe de symétrie du dispositif. En mode commun, ces signaux sont en phase. Ces signaux d'excitation présentent l'avantage de contribuer à un changement de base et à une simplification de la matrice de paramètres [S] par rapport à une excitation simple port (« single-ended »). Ces propos sont illustrés sur la **Figure III-4** avec les relations courant et tension en mode commun et différentiel.

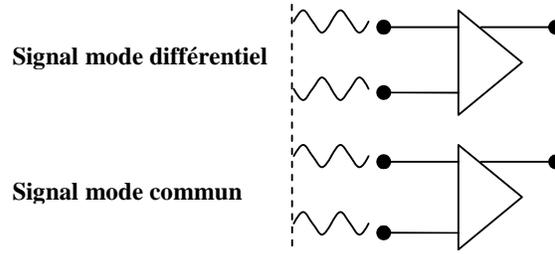


Figure III-3 Schéma de principe des signaux d'excitation mode commun et mode différentiel

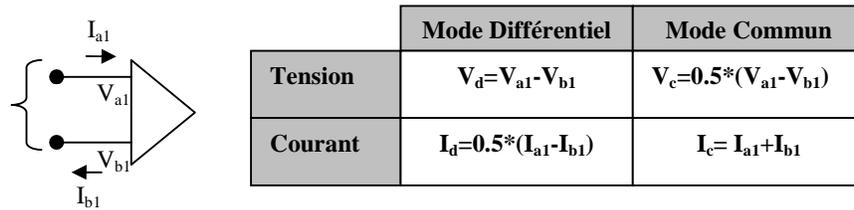


Figure III-4 Relations courant et tension en mode commun et différentiel par rapport au mode « single-ended »

III.B.2. Méthodes de mesures

Aujourd'hui la structure d'analyseur vectoriel de réseau est composée d'une source et d'un commutateur. Il n'y a pas la possibilité d'avoir 2 signaux corrélés. La mesure des varicaps en mode différentiel doit répondre à cette nouvelle problématique. La première solution proposée est basée sur la création d'un signal différentiel via un transformateur inductif type « BalUn ». La deuxième solution est issue de la mesure des paramètres [S] (« single-ended » selon la terminologie anglaise) couplée à des transformations mathématiques pour se ramener à une matrice de paramètres [S] mode mixé (« mixed-mode » scattering parameters selon la terminologie anglaise). Pour finir, nous présenterons des mesures de paramètres [S] mode mixé en utilisant un analyseur vectoriel de réseau différentiel vrai.

III.B.2.a. Caractérisation avec transformateur inductif intégré [Mor07-A]

Le principe de la mesure est basé sur l'intégration d'un transformateur inductif qui génère une excitation purement différentielle et d'une varicap différentielle à caractériser. La caractérisation est assurée par un analyseur vectoriel de réseau 2 ports. L'extraction des paramètres électriques intrinsèques à la varicap est rendue possible grâce à la théorie des réseaux interconnectés [Mon99].

(1) Descriptif de la structure de test

La structure de test est de type P+/Nwell intégrée en technologie BiCMOS 0.25 um. Deux types de structures ont été évalués afin de choisir celle présentant le meilleur facteur de qualité. La première structure différentielle P+/Nwell (Figure III-5) est une structure interdigitée constituée de doigts N+ et P+. La deuxième structure (Figure III-6) diffère de la première par un anneau de N+

entourant les doigts P+. Ces deux structures sont ensuite couplées au transformateur. Nous mesurons l'admittance d'entrée de la structure de test. Nous avons également ajouté une structure de test avec 2 varicaps P+/Nwell type 2 ports (« single-ended ») assemblée en montage différentiel afin de valider l'avantage d'une structure différentielle intégrée. L'ensemble des résultats est présenté sur la **Figure III-8**.

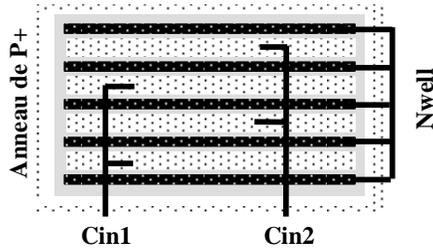


Figure III-5 Vue de dessus de la structure 1

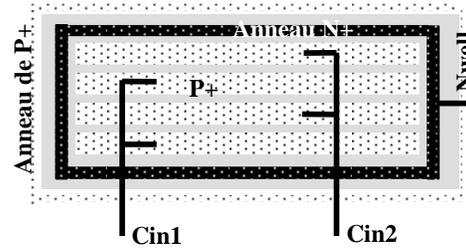


Figure III-6 Vue de dessus de la structure 2

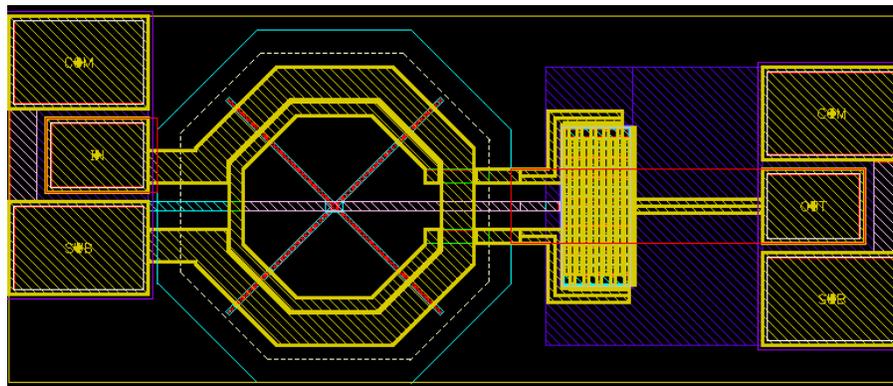


Figure III-7 Dessin de la structure de test intégrant le Balun et la varicap P+/Nwell

Ces résultats illustrent que la structure 2 présente l'admittance la plus élevée (en module) donc le meilleur facteur de qualité (**Eq III-1**). La plus faible admittance de la structure 1 est liée à l'augmentation des pertes entre les doigts N+ et P+.

$$Q = \frac{\text{Re}(Y)}{\text{Im}ag(Y)} \quad \text{Eq III-1}$$

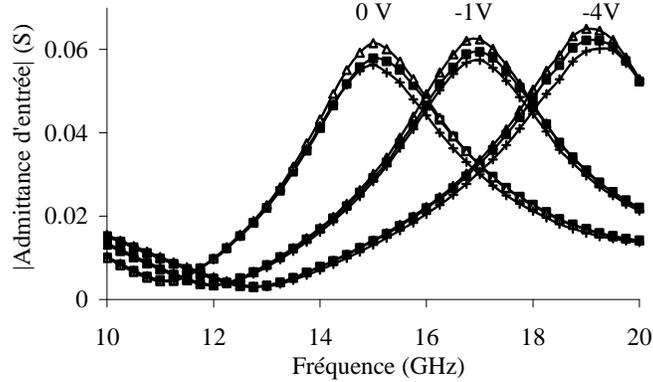


Figure III-8 Module de l'admittance d'entrée du réseau transformateur + varicap en fonction de la fréquence avec la structure 1 (■) et 2 (Δ) de varicap différentielle P+/Nwell et la structure avec les 2 varicaps type 2 ports P+/Nwell (+) pour une capacité de 500fF en technologie BiCMOS 0.25um.

Notre choix de structure différentielle va s'orienter vers des composants à anneau de N+ entourant.

(2) Méthode d'épluchage ("deembedding") du réseau

De part la théorie des réseaux nous pouvons évaluer les coefficients de répartition de la varicap différentielle P+/Nwell à partir de la mesure Balun+varicap différentielle et du transformateur inductif seul. En partant de l'hypothèse d'une structure symétrique et réciproque pour le transformateur inductif et en négligeant l'effet de l'accès point milieu, le coefficient de réflexion à l'entrée de la varicap différentielle peut s'extraire à partir l'équation Eq III-2.

$$\widehat{S}_{11} = \frac{2\widehat{V}_{11}\widehat{B}_{12}^2(1-\widehat{V}_{11}(\widehat{B}_{22} + \widehat{B}_{23}))}{(1-\widehat{V}_{11}\widehat{B}_{22})^2 - \widehat{V}_{11}^2\widehat{B}_{23}^2} + \widehat{B}_{11} \quad \text{Eq III-2}$$

Avec \widehat{S}_{11} le coefficient de réflexion du réseau BalUn+varicap (Figure III-9).

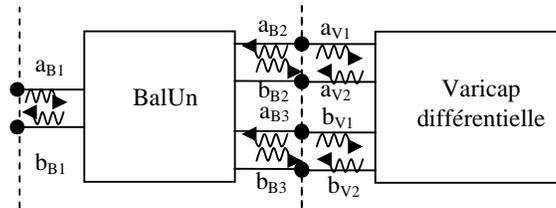


Figure III-9 Diagramme conceptuel BalUn+varicap différentielle

Les matrices de répartition du transformateur inductif $[\widehat{B}]$ et de la varicap différentielle $[\widehat{V}]$ sont décrites dans les équations **Eq III-3** et **Eq III-4** d'après les équations sur les réseaux interconnectés [Mon99].

$$[\widehat{B}] = \begin{bmatrix} \widehat{B}_{11} & \widehat{B}_{12} & -\widehat{B}_{12} \\ \widehat{B}_{12} & \widehat{B}_{22} & \widehat{B}_{23} \\ -\widehat{B}_{12} & \widehat{B}_{23} & \widehat{B}_{22} \end{bmatrix} = \begin{bmatrix} \widehat{S}_{AA} \\ \widehat{S}_{BA} \end{bmatrix} \begin{bmatrix} \widehat{S}_{AB} \\ \widehat{S}_{BB} \end{bmatrix} \quad \text{Eq III-3}$$

Avec $b_{Bi} = \widehat{B}_{ij} a_{Bj}$

$$[\widehat{V}] = \begin{bmatrix} \widehat{V}_{11} & \widehat{V}_{12} \\ \widehat{V}_{21} & \widehat{V}_{22} \end{bmatrix} = \begin{bmatrix} \widehat{S}_{CC} \\ \widehat{S}_{DC} \end{bmatrix} \begin{bmatrix} \widehat{S}_{CD} \\ \widehat{S}_{DD} \end{bmatrix} \quad \text{Eq III-4}$$

Avec $b_{Vi} = \widehat{V}_{ij} a_{Vj}$

(3) Extraction de la capacité

Il est ensuite possible d'extraire la capacité de la structure en fonction de la fréquence et de la tension de polarisation. Les résultats sont résumés sur les **Figure III-10** et **Figure III-11**.

Au-delà de cette fréquence de travail, l'exploitation est limitée par l'hypothèse de départ qui néglige l'impédance du point milieu. Ceci se traduit par une chute de la capacité en fonction de la fréquence. Cette constatation est encore plus visible sur la résistance (non présentée dans ces travaux).

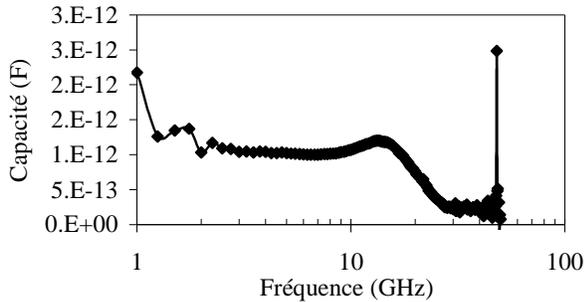


Figure III-10 Extraction Capacité C@0V en fonction de la fréquence Wfp=10um Lfp=70um Nbfp=2 en technologie BiCMOS 0.25 um

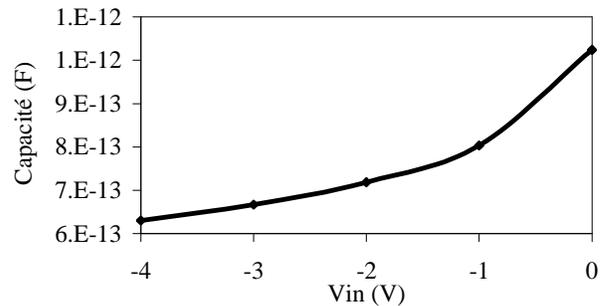


Figure III-11 Extraction Capacité C(Vinv)@5GHz Wfp=10um Lfp=70um Nbfp=2 en technologie BiCMOS 0.25 um

Cette méthode de caractérisation présente l'avantage de générer un signal purement différentiel à l'entrée de la varicap. Néanmoins l'extraction de la capacité et de la résistance série n'est pas chose aisée à partir du réseau transformateur et varicap. Des développements devraient être poursuivis pour pouvoir soustraire l'effet du point milieu du BalUn.

III.B.2.b. Caractérisation avec analyseur vectoriel de réseau 4 ports

Les limitations de la méthode précédente nous ont conduit à exploiter d'autres pistes et notamment l'utilisation d'un analyseur vectoriel de réseau 4 ports. Des développements récents ont aboutit à la réalisation d'analyseurs 4 ports qui permettent de générer un signal purement différentiel [Dun07]. La question qui fait débat est la comparaison entre une méthode reconstruite et une méthode différentielle vraie [Boc97]. La première méthode est basée sur une mesure des paramètres [S] et couplée à des transformations mathématiques afin d'obtenir la matrice mode mixé. La seconde permet de mesurer directement les paramètres [S] mode mixé à partir de l'analyseur vectoriel de réseau. Nous présenterons une comparaison entre ces deux méthodes.

(1) La méthode reconstruite est-elle suffisante ?

Les travaux de Bockelman et Eisenstadt ont démontré que pour les composants passifs et actifs opérant dans leur région linéaire, il était suffisant de mesurer les paramètres [S] et de combiner les résultats mathématiquement pour obtenir la réponse en mode différentiel [Boc95] [Boc97]. Dans la région linéaire, le signal est assez faible pour que le comportement du composant ne change pas avec le niveau du signal d'excitation. Cependant, plusieurs dispositifs notamment actifs ne suivent pas ce modèle. Par exemple, le courant de polarisation d'un amplificateur peut changer entre un fonctionnement en grand signal et en petit signal. Les premières études ont révélé que dans le cas des amplificateurs différentiels les vrais modes purs (S_{dd} et S_{cc} qui seront explicités par la suite) présentaient une plus forte incertitude avec un analyseur vectoriel différentiel vrai, due aux résidus des erreurs de calibration [Boc99]. Les équipements de tests doivent donc être capables de générer des signaux modulés, en mode commun et différentiel sans changer les conditions d'entrée et de sortie du dispositif de test. Un tel appareillage a été présenté par Dunsmore [Dun04] [Dun07] permettant de mesurer le gain d'amplificateurs différentiels.

(2) Descriptif de la structure de test

Dans le cadre de cette étude, le composant utilisé est une varicap différentielle N+Poly/Nwell type GO1 (cf chapitre1) en technologie CMOS 65nm comme l'illustrent les Figure III-12 et Figure III-13.

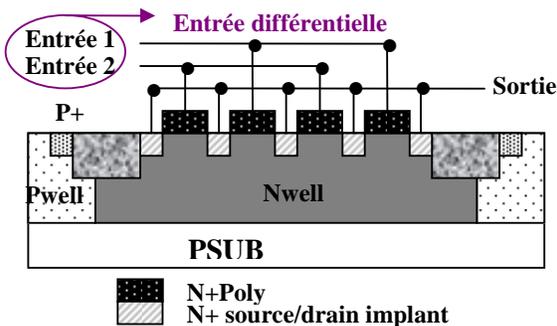


Figure III-12 Schéma de la vue en coupe de la varicap N+Poly/Nwell en technologie CMOS 65 nm

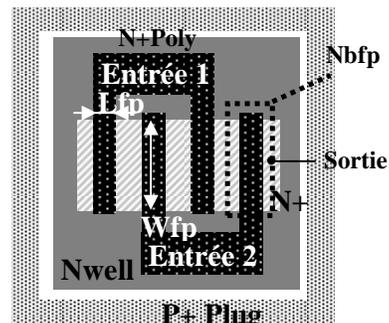


Figure III-13 Vue de dessus de la varicap N+Poly/Nwell en technologie CMOS 65 nm

Dans l'optique d'une mesure type 4 ports les capacités sont intégrées dans la structure de test décrite **Figure III-14**.

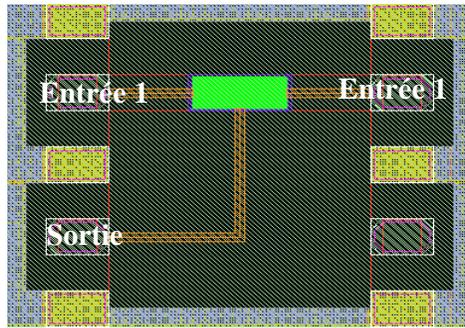


Figure III-14 Dessin de la structure de test en technologie CMOS 65nm

L'analyseur vectoriel de réseau est un PNA-X (10MHz-26.5GHz) distribué par Agilent qui offre l'avantage de pouvoir combiner une analyse type 4 ports (« single-ended ») et mode mixé pure. Les sondes utilisées sont du type GSGSG 50GHz distribuées par Cascade Microtech illustrée sur la **Figure III-15** avec le substrat de calibration associé. La méthode de calibration est de type SOLT (« Short », « Open », « Load », « Thru ») et utilise 2 types de connexions directes et adaptées (« Thru ») pour pouvoir tenir compte des erreurs de transmissions de l'analyseur.

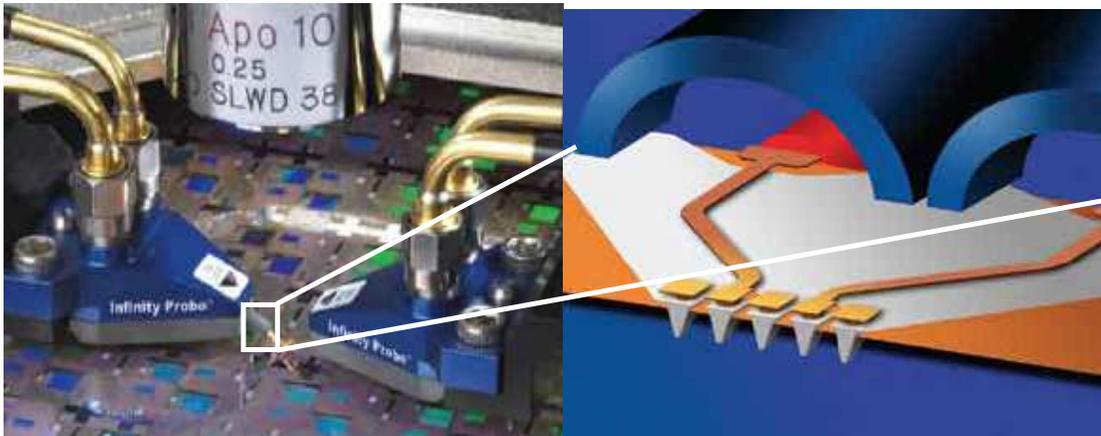


Figure III-15 Vue structurelle d'une sonde type GSGSG [Cas08]

(3) Description de la méthode reconstruite

La méthode reconstruite est basée sur une mesure de paramètres [S] type « single-ended » et combiné à des matrices de transformation afin d'obtenir la matrice de paramètres mode mixé. Les matrices de transformation sont décrites dans diverses publications [Boc95]. La matrice de dispersion mode mixé est organisée de manière équivalente à une matrice de paramètres [S], dans laquelle chaque colonne représente un mode d'excitation et chaque ligne la réponse à un mode d'excitation comme l'illustre (**Figure III-16**). Les termes croisés dans la matrice correspondent aux modes de conversion.

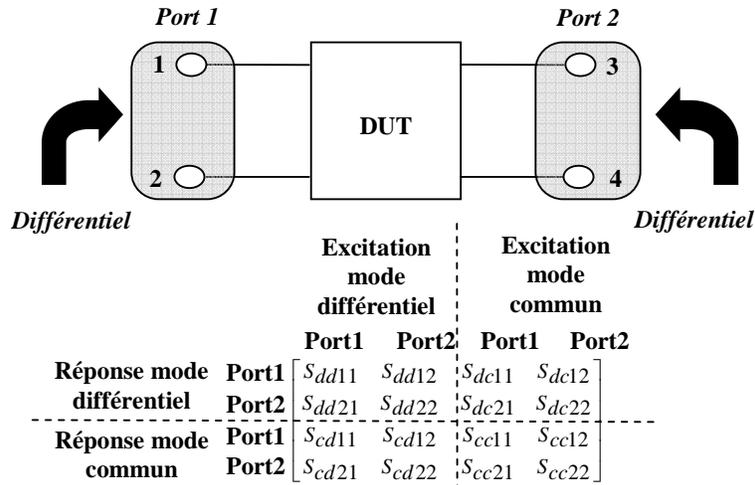


Figure III-16 Matrice mode mixée dans le cas d'une structure avec 2 ports différentiels

Dans le cas des capacités différentielles seuls les deux ports d'entrée sont excités par un signal différentiel. Le port de sortie est de type « single-ended ». La matrice de paramètres [S] mode mixé est alors décrite comme indiquée dans la Figure III-17.

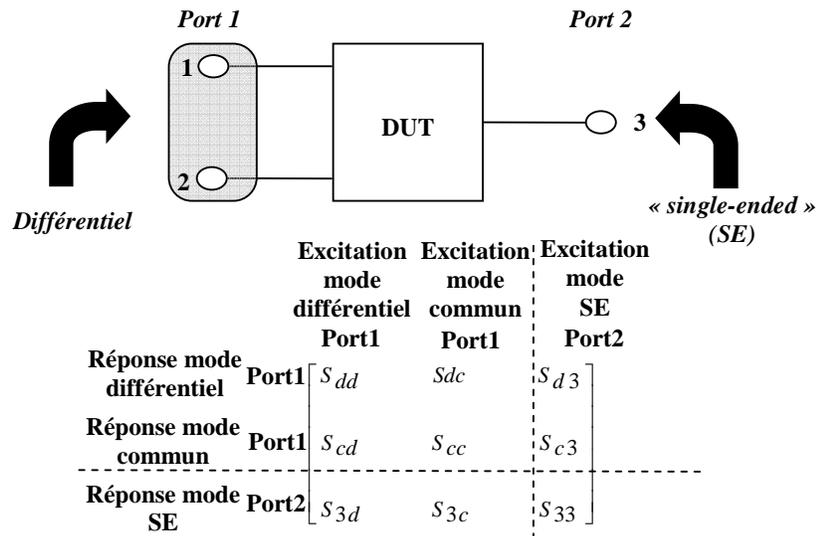


Figure III-17 Matrice mode mixée dans le cas d'une structure type varicap différentielle

Suite à la mesure de la matrice répartition et de la transformation en matrice de paramètres [S] mode mixé, il nous faut corriger les éléments dus aux interconnexions des plots de tests et des lignes d'accès. La correction des capacités parasites et des conductances parallèles des plots et du substrat est assurée par la mesure d'un circuit ouvert (« OPEN ») dédié à chaque structure. De même, les éléments séries des lignes d'accès sont corrigés par la mesure d'un court circuit (« SHORT »). Nous parlerons dans ce cas de méthode Y et Z [Car96].

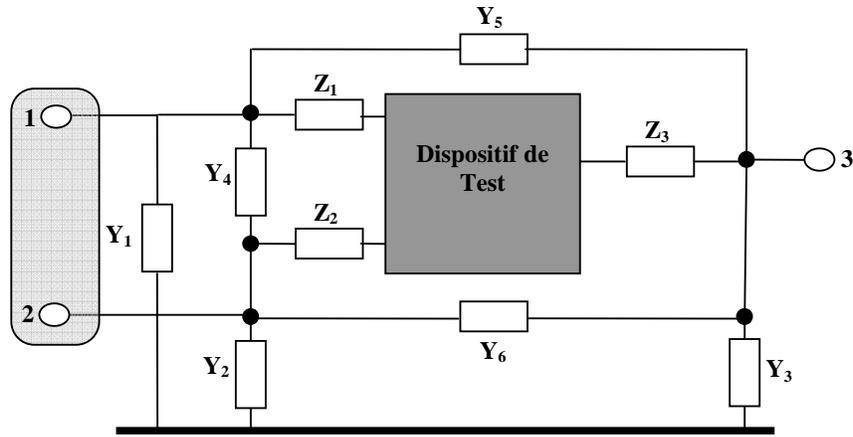
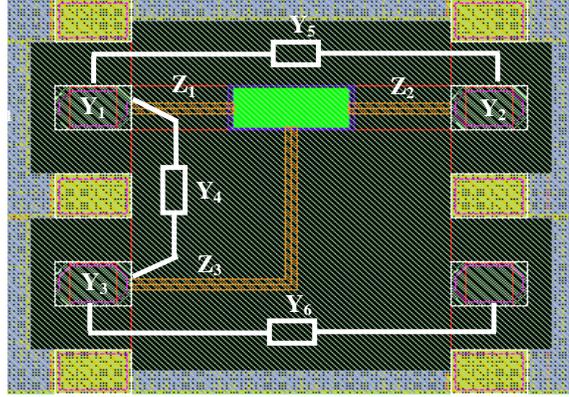


Figure III-18 Modèle des éléments parasites pour la varicap

Néanmoins la procédure d'épluchage nécessite l'hypothèse préalable d'un comportement linéaire des structures de test [Eis99]. La mesure des paramètres [S] des structures type « OPEN » et « SHORT » et les transformations mathématiques combinées ne sont validées que dans ce cas précis. Les plots et les lignes d'accès étant des éléments purement passifs, l'hypothèse est donc vérifiée.

Avec l'hypothèse de symétrie et de réciprocité pour la varicap, la matrice de paramètres [S] mode mixé noté $[S]^*$ peut de se simplifier comme décrit dans l'équation Eq III-5.

$$[S]^* = \begin{bmatrix} S_{11} - S_{12} & 0 & 0 \\ 0 & S_{11} - S_{12} & \sqrt{2} \cdot S_{13} \\ 0 & \sqrt{2} \cdot S_{13} & S_{33} \end{bmatrix} \quad \text{Eq III-5}$$

Le fait que les termes S_{DC} et S_{CD} soient nuls montrent qu'il n'y a pas de conversion du mode commun au mode différentiel et inversement.

Toujours en conservant les mêmes hypothèses, nous pouvons extraire les matrices d'admittance $[Y]^*$ et d'impédance $[Z]^*$ mode mixé (Eq III-6 et Eq III-7).

$$[Y]^* = \begin{bmatrix} Y_{dd} & Y_{dc} & Y_{d3} \\ Y_{cd} & Y_{cc} & Y_{c3} \\ Y_{3d} & Y_{3c} & Y_{33} \end{bmatrix} = \begin{bmatrix} \frac{Y_{11} - Y_{12}}{2} & 0 & 0 \\ 0 & 2 \cdot Y_{11} + 2 \cdot Y_{21} & 2 \cdot Y_{13} \\ 0 & 2 \cdot Y_{13} & Y_{33} \end{bmatrix} \quad \text{Eq III-6}$$

$$[Z]^* = \begin{bmatrix} Z_{dd} & Z_{dc} & Z_{d3} \\ Z_{cd} & Z_{cc} & Z_{c3} \\ Z_{3d} & Z_{3c} & Z_{33} \end{bmatrix} = \begin{bmatrix} 2 \cdot Z_{11} - 2 \cdot Z_{12} & 0 & 0 \\ 0 & Z_{11} + Z_{21} & Z_{13} \\ 0 & Z_{13} & Z_{33} \end{bmatrix} \quad \text{Eq III-7}$$

Tout comme la matrice $[S]^*$, les différentes hypothèses préalables simplifient les matrices $[Y]^*$ et $[Z]^*$.

(4) Caractérisation par excitation purement différentielle

Les avancées récentes ont permis de développer des analyseurs vectoriels de réseau à excitation différentielle vraie. La difficulté résidant dans la création de signaux d'excitation mode commun et différentiel a été surmontée avec une nouvelle architecture pour la source différentielle. Les 2 signaux sources sont ainsi contrôlés en amplitude et en phase comme l'illustre la **Figure III-19**. Toutes ces avancées assurent un très bon contrôle de la phase entre les 2 signaux sources. Néanmoins une incertitude sur la phase persiste due à des erreurs de calibration. Le **Tableau III-1** présente l'erreur absolue sur la phase en fonction de la fréquence pour l'analyseur type PNA-X.

Fréquence	Erreur Typique (en degré)
<750MHz	2
750 MHz -3 GHz	1
3-6 GHz	3
6-10 GHz	4
10-20 GHz	9

Tableau III-1 Erreur absolue sur la phase pour l'analyseur vectoriel réseau type PNA-X [Agi08]

Le principe de correction des éléments d'interconnexions est identique à la méthode reconstruite. Les mêmes transformations mathématiques s'appliquent pour l'obtention des matrices impédance et admittance mode mixé.

(5) Mesures : comparaison entre les 2 méthodes précédentes

Les deux procédures de caractérisation ont été utilisées. Ceci nous amène à comparer les résultats entre la méthode reconstruite et différentielle vraie. Cette comparaison est illustrée par les impédances mode-commun Y_{cc} (**Figure III-20**) et mode-différentiel Y_{dd} (**Figure III-21**) d'une varicap N+Poly/Nwell. A partir des admittances, nous pouvons extraire les capacités en mode commun et en mode différentielle (**Figure III-22**) comme l'illustrent les équations **Eq III-8** et **Eq III-9**. A noter que les mêmes tensions de polarisation sont appliquées sur les entrée 1 (V_{G1}) et entrée 2 (V_{G2}) et que la sortie est polarisée à la masse.

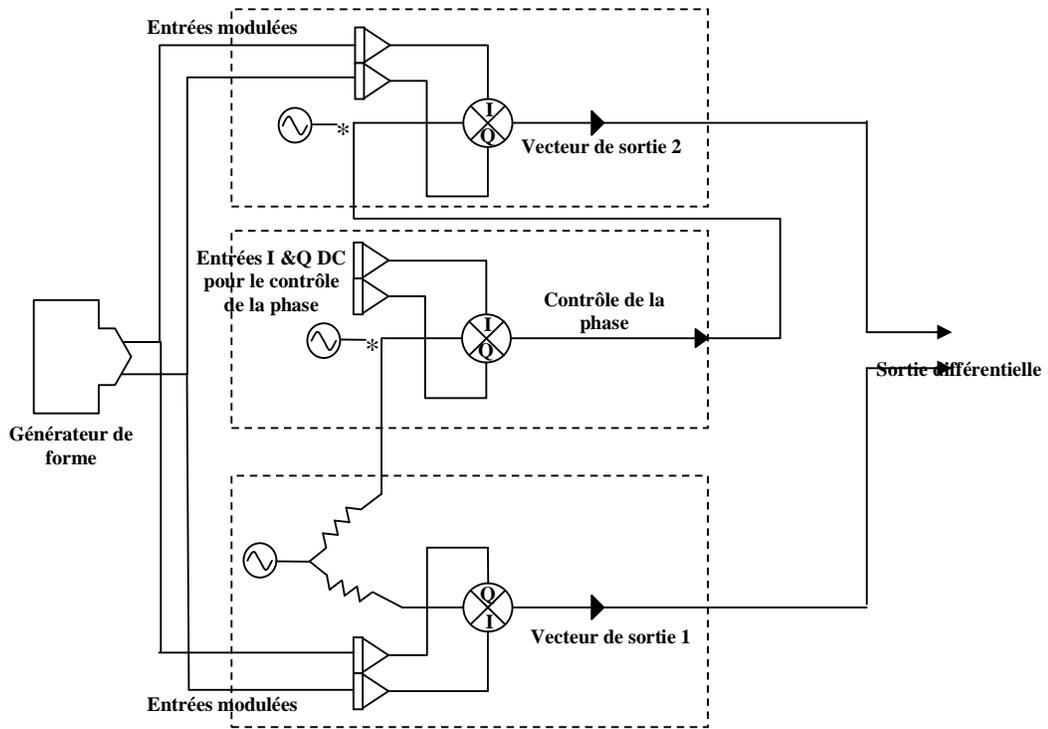


Figure III-19 Schéma block pour générer un signal différentiel modulé [Agi08]

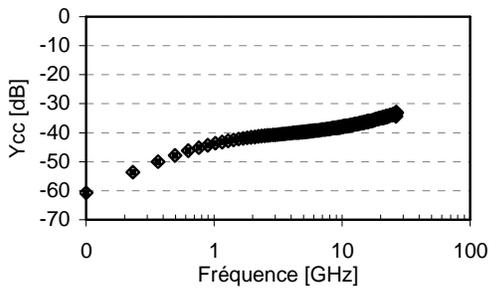


Figure III-20 Admittance mode commun avec une excitation purement différentielle (■) et la méthode reconstruite (◇) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

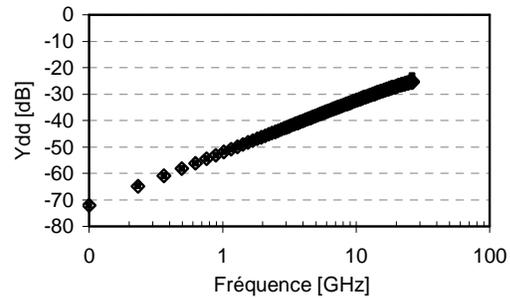


Figure III-21 Admittance mode différentiel avec une excitation purement différentielle (■) et la méthode reconstruite (◇) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

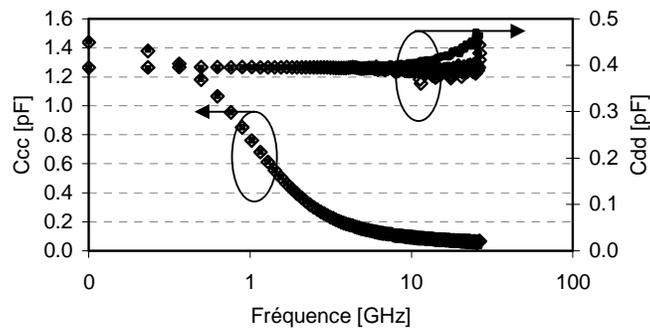


Figure III-22 Capacité mode commun et différentiel avec une excitation purement différentielle (■) et la méthode reconstruite (◇) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

$$C_{cc} = \frac{\text{Im}(Y_{cc})}{2 \cdot \pi} \quad \text{Eq III-8}$$

$$C_{dd} = \frac{\text{Im}(Y_{dd})}{2 \cdot \pi} \quad \text{Eq III-9}$$

Les résultats précédents démontrent un très bon accord entre la méthode reconstruite et la méthode différentielle vraie. Ils démontrent et confirment qu'en régime de petit signal, les deux méthodes sont équivalentes.

Les études comportementales des varicaps différentielles peuvent se limiter à la méthode reconstruite en restant dans l'hypothèse du domaine linéaire.

III.B.3. Application à la modélisation de capacités variables différentielles de type N+Poly/Nwell en technologie CMOS 65nm

Ces nouvelles méthodes de caractérisation différentielle vont notamment faciliter l'étape de modélisation.

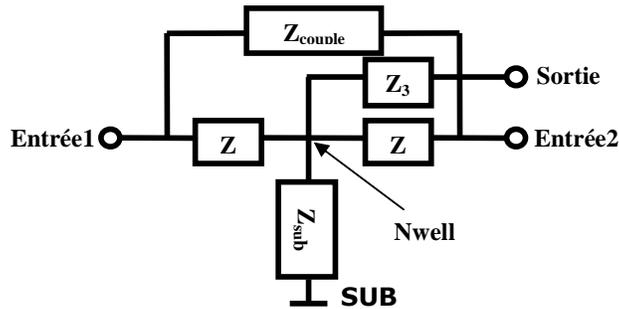


Figure III-23 Schéma électrique simplifié de la varicap N+Poly/Nwell

L'extraction des paramètres électriques (Figure III-23) se fait à partir de la matrice admittance. A première vue, l'utilisation de la matrice admittance type single-ended rend assez complexe la modélisation de notre dispositif différentiel comme le montre l'équation Eq III-10.

$$[y] = \begin{bmatrix} \frac{1}{Z_{couple}} + \frac{1}{2 \cdot Z} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} & -\frac{1}{Z_{couple}} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} & -\frac{Z_{sub}}{\Delta} \\ -\frac{1}{Z_{couple}} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} & \frac{1}{Z_{couple}} + \frac{1}{2 \cdot Z} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} & -\frac{Z_{sub}}{\Delta} \\ -\frac{Z_{sub}}{\Delta} & -\frac{Z_{sub}}{\Delta} & \frac{1}{Z_3} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} \end{bmatrix} \quad \text{Eq III-10}$$

Avec $\Delta = Z \cdot Z_3 + 2 \cdot Z_{sub} \cdot Z_3 + Z_{sub} \cdot Z$

La transformation de cette matrice admittance [Y] en matrice admittance mode mixé [Y]* permet de simplifier le problème comme l'illustre l'équation **Eq III-11**.

$$[Y]^* = \begin{bmatrix} \frac{1}{Z_{couple}} + \frac{1}{2 \cdot Z} & 0 & 0 \\ 0 & \frac{2}{Z} - \frac{4 \cdot Z_{sub} \cdot Z_3}{Z \cdot \Delta} & \frac{-2 \cdot Z_{sub}}{\Delta} \\ 0 & \frac{-2 \cdot Z_{sub}}{\Delta} & \frac{1}{Z_3} - \frac{Z_{sub} \cdot Z_3}{Z \cdot \Delta} \end{bmatrix} \quad \text{Eq III-11}$$

Les mêmes constatations sont notables pour la transformation de la matrice impédance [Z] en matrice impédance mode mixé [Z]* (**Eq III-12**).

$$[Z]^* = \begin{bmatrix} \frac{2 \cdot Z \cdot Z_{couple}}{Z_{couple} + 2 \cdot Z} & 0 & 0 \\ 0 & \frac{Z}{2} + Z_{sub} & Z_{sub} \\ 0 & Z_{sub} & Z_3 + Z_{sub} \end{bmatrix} \quad \text{Eq III-12}$$

Nous implémenterons une nouvelle méthode de modélisation des capacités variables à partir des paramètres Y et Z en mode mixé.

La procédure d'extraction est donc la suivante :

- Dans un premier temps, nous pouvons évaluer les capacités mode commun C_{cc} et mode différentiel C_{dd} à partir de la matrice [Y]* comme l'illustre la **Figure III-24**.

Puis en repartant du schéma équivalent de la **Figure III-23**, nous déduisons la capacité de couplage entre les entrées 1 et 2 à l'aide des équations suivantes.

$$C_{couple} = C_{cc} - \frac{C_{dd}}{4} \quad \text{Eq III-13}$$

Avec

$$Z_{couple} = \frac{1}{j \cdot \omega \cdot C_{couple}} \quad \text{Eq III-14}$$

- Dans un deuxième temps, nous estimons l'impédance Z (**Figure III-23**) à partir de la matrice [Z]* (**Eq III-15**).

$$Z = \frac{1}{2} \frac{Z_{dd} \cdot Z_{couple}}{Z_{couple} - Z_{dd}} = Z_{cc} + Z_{sub} \quad \text{Eq III-15}$$

Nous pouvons extraire les différents éléments série et notamment la résistance série équivalente (**Figure III-25**):

$$R_s = \text{Re}(Z)$$

Eq III-16

- Enfin il est possible d'évaluer les éléments du réseau substrat et la résistance du point milieu.

L'ensemble des résultats met en avant la précision de notre modèle et surtout permet de valider le comportement de notre capacité différentiel en mode commun et mode différentiel comme l'illustre la **Figure III-26**.

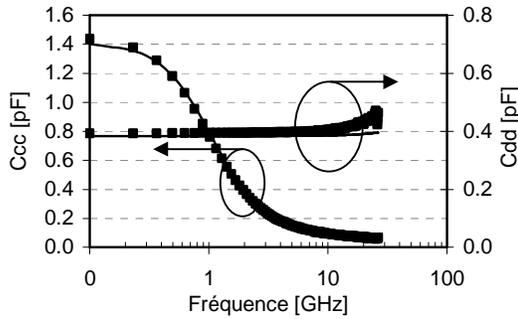


Figure III-24 Capacité mode commun et différentiel avec comparaison mesure reconstruite (■) et modèle (-) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

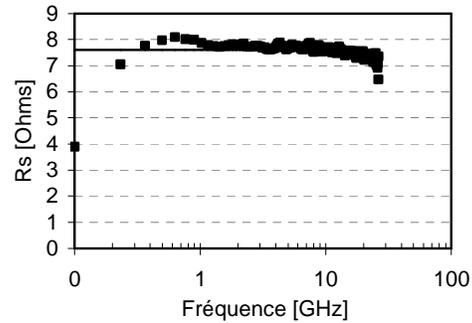


Figure III-25 Résistance série avec comparaison mesure reconstruite (■) et modèle (-) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

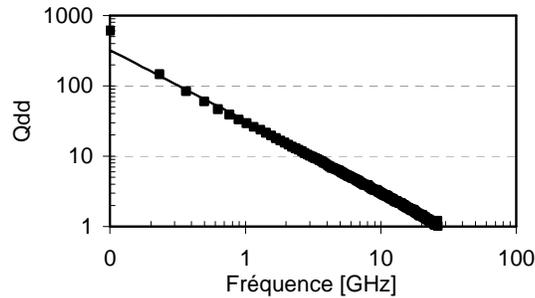


Figure III-26 Facteur de qualité mode différentiel avec comparaison mesure reconstruite (■) et modèle (-) en fonction de fréquence $V_{G1}=V_{G2}=1.2V$ ($L=65nm$ $W=7\mu m$ $Nbf=50$)

Ces travaux ont donc permis l'extraction d'un modèle petit signal dans des conditions d'utilisation dans un circuit, c'est-à-dire avec une excitation purement différentielle. Le modèle peut supporter la présence d'un mode commun et mettre en relief l'impact qu'il a sur notre composant.

III.B.4. Conclusion

Ces différentes études ont permis de répondre aux nouveaux besoins pour la caractérisation des varicaps différentielles. La première étape consistait à évaluer diverses méthodes de caractérisation et mettre en avant la solution la plus adaptée à l'extraction d'un modèle paramétré. L'intégration avec un transformateur inductif s'est révélée coûteuse en silicium et en temps et peu précise pour le coefficient

de qualité. Nous nous sommes donc tournés vers des analyseurs 4 ports et notamment les appareils permettant une mesure en mode pure. Les résultats ont démontré l'adéquation entre une caractérisation en mode pure et une caractérisation 4 ports retravaillée mathématiquement. C'est cette dernière méthode que nous retiendrons pour la modélisation. Elle présente l'avantage d'être plus rapide et de fournir une matrice complète, notamment pour les paramètres de conversion de mode. Nous rappelons que cette équivalence n'est possible que dans le domaine linéaire. Ce dernier point sera exploité dans la dernière partie à travers une analyse grand signal.

III.C. La caractérisation « attoFarad »

L'intégration de plus en plus poussée et un échantillonnage de plus en plus fin ont permis d'envisager très récemment le contrôle digital de fonctions encore analogiques. C'est notamment le cas avec les oscillateurs digitaux (appelés par la suite « DCO » : digitally controlled oscillator) et les boucles à verrouillage de phase digitales (« DPLL » : digitally phase locked loop). Les premiers travaux de Staszewski [Sta03] ont permis l'intégration de tels circuits dans un procédé de fabrication purement digital en technologie CMOS 130 nm. Le principe de fonctionnement est basé sur un réseau de varicaps à 2 états commandé par des interrupteurs comme l'illustre la **Figure III-27**. L'ensemble de ces capacités commandées par des bits de contrôle doit permettre de régler la fréquence d'oscillation. Pour une application bluetooth à 2.4GHz [Sta05], la résolution fréquentielle la plus fine à atteindre est de 12kHz ce qui correspond à des valeurs de capacités d'une vingtaine d'attoFarads. La caractérisation de telles valeurs de capacités n'est pas chose aisée. Nos propos peuvent être imagés par le fait que moins de 10 électrons chargent une capacité d'un attoFarad sous une tension de 1V.

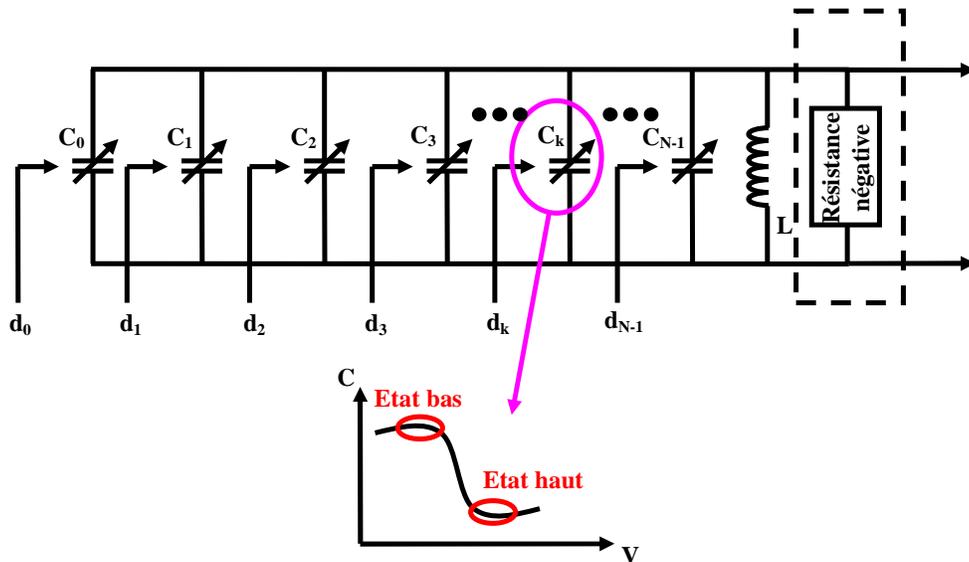


Figure III-27 Schéma de principe d'un oscillateur avec un réseau de capacités à commande digitale

Nous présenterons différents protocoles d'extraction de la capacité qui peuvent être classés en trois catégories :

- Méthode directement issue de l'implémentation circuit par une mesure de résolution fréquentielle dans le DCO et de phase dans la PLL ;
- Méthode directe par des mesures classiques avec impédancemètre à basse fréquence (<1MHz) et avec analyseur de réseau vectoriel à haute fréquence (80MHz-110GHz) ;

- Méthode indirecte avec mesure d'une grandeur image de la capacité qui dans notre cas est le courant.

III.C.1. Utilisation d'un circuit référent

III.C.1.a. PLL

L'extraction de la capacité à partir de la PLL est rendue obsolète car l'asservissement de la fréquence de sortie NF entraîne une variation permanente des différents bits de contrôle (Vin) et ne permet pas d'identifier la varicap à l'origine du changement de fréquence (Figure III-28).

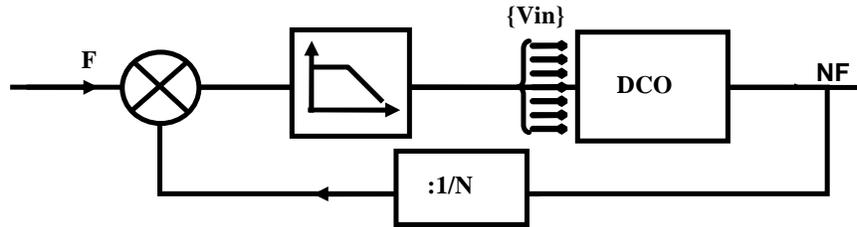


Figure III-28 Schéma de principe d'une DPLL

III.C.1.b. DCO

Le principe d'extraction de la capacité à partir du DCO est basé sur la mesure de la variation de fréquence entre l'état haut et l'état bas d'une capacité. Contrairement à la PLL, nous contrôlons les différents bits à l'entrée du DCO et nous évaluons la valeur de capacité voulue. Partant de la Figure III-27, nous en déduisons l'équation de la fréquence d'oscillation.

$$f = \frac{1}{2\pi \sqrt{L \sum_{k=0}^{N-1} C_k}} = \frac{1}{2\pi \sqrt{L \sum_{k=0}^{N-1} C_{0,k} + d_k \Delta C_k}} \quad \text{Eq III-17}$$

$$\Delta C_k = C_{1,k} - C_{0,k}$$

Avec $C_{0,k}$ la capacité à l'état bas, ΔC_k la différence de capacité entre l'état haut et l'état bas et d_k le $k^{\text{ème}}$ bit du mot .

Prenons un mot de 10 bits et fixons tous les bits à 0, sauf celui de poids faible qui passe de l'état haut (« 1 ») à l'état bas (« 0 ») (Tableau III-2).

Etat du mot	d ₀	d ₁	d ₂	d ₃	d ₄	d ₅	d ₆	d ₇	d ₈	d ₉
« 0 »	1	0	0	0	0	0	0	0	0	0
« 1 »	0	0	0	0	0	0	0	0	0	0

Tableau III-2 Structure d'un mot de 10 bits pour le contrôle du DCO

La différence de fréquence liée aux 2 mots à l'entrée du DCO s'exprime à travers l'équation **Eq III-18**.

$$\begin{aligned} \Delta f &= f_{"1"} - f_{"0"} \\ f_{"1"} &= \frac{1}{2\pi \sqrt{C_0 + C_{tot} + \Delta C_0}} \\ f_{"0"} &= \frac{1}{2\pi \sqrt{C_0 + C_{tot}}} \end{aligned} \quad \text{Eq III-18}$$

Avec C_{tot} la somme de la capacité parasite du résonateur et des capacités du réseau.

La variation relative de fréquence est résumée dans l'équation **Eq III-19**.

$$\frac{\Delta f}{f_{"0"}} = 1 - \frac{1}{2\pi \sqrt{1 + \frac{\Delta C_0}{C_0 + C_{tot}}}} \quad \text{Eq III-19}$$

Avec une valeur de capacité d'une dizaine d'attoFarads, l'équation **Eq III-19** est réduite à **Eq III-20**.

Dans ce cas nous pouvons en déduire la valeur de ΔC_0 .

$$\frac{\Delta f}{f_{"0"}} = \frac{1}{2} \frac{\Delta C_0}{C_0 + C_{tot}} \quad \text{Eq III-20}$$

Une application numérique résumée dans le tableau suivant permet d'extraire la variation relative de fréquence.

Paramètres	Incertitude
C _{tot}	1pF
ΔC ₀	20aF
f ₀	10GHz
Variation relative relative δf/f ₀	2.10 ⁻⁵

Néanmoins l'estimation de la variation relative de fréquence entre les 2 états de fonctionnement doit être comparée à l'incertitude sur la fréquence mesurée. Différents paramètres jouent sur cette incertitude auxquels nous associons une variation absolue de fréquence (**Tableau III-3**) pour un DCO à 10GHz en technologie CMOS 65nm (avec une tension d'alimentation de 2.5V):

- Incertitude du fréquencemètre, considérée comme négligeable ;
- Bruit gigue (« jitter » selon les termes anglais) dans le domaine temporel ou bien bruit de phase dans le domaine spectral qui correspond à une variation de la période du signal ;

- Variation de la tension d'alimentation qui entraîne une variation de fréquence (« pushing ») : 100MHz/V ;
- Sensibilité en température : 100kHz/°C.

Paramètres	Incertitude
Fréquence	négligeable
Gigue	10kHz
Pushing	5kHz
Température	10kHz
Incertitude absolue δf	25KHz
Incertitude relative $\delta f/f_0$	$2.5 \cdot 10^{-6}$

Tableau III-3 Résumé des incertitudes sur la fréquence d'un DCO à 10GHz

La variation relative de fréquence est du même ordre de grandeur que l'incertitude sur la fréquence d'oscillation du DCO. L'extraction d'une capacité d'une dizaine d'attoFarads à partir d'un DCO est donc corrompue par ces incertitudes.

Les méthodes issues de circuits référents sont limitées pour des capacités d'une dizaine d'attoFarads. Nous pouvons dans ce cas nous tourner vers les méthodes traditionnelles de mesures basses et hautes fréquences.

III.C.2. Mesures Basses-Fréquences et Hautes-Fréquences : leurs limites

III.C.2.a. Mesures BF

La mesure basse-fréquence ou C(V) utilise un LCR-mètre de type HP4284 avec une gamme de fréquence s'étendant de 20Hz à 1MHz. Ce type d'appareil va permettre de mesurer une impédance et pour cela un signal alternatif (AC) est mis à l'entrée du dispositif. Il s'agit d'une tension dont l'amplitude et la fréquence d'oscillation sont paramétrables. Le système répond alors électriquement sous forme de courant. La mesure de capacité peut être assimilée à un schéma équivalent comme l'illustre la **Figure III-29** avec trois paramètres : Rs, C et G. Or, la capacité, lorsqu'elle est mesurée avec un LCR-mètre ne peut être associée qu'à un seul autre élément, soit une résistance mise en série comme dans le cas de la **Figure III-30**, soit une conductance mise en parallèle comme dans le cas de la **Figure III-31**. L'impédance mesurée est donc interprétée selon un schéma électrique plus simple. Cela entraîne nécessairement la corrélation des composants. La première étape de mesure consiste à choisir le type de configuration pour la mesure de capacité. En adoptant ces schémas simplifiés, nous faisons une erreur d'interprétation qui correspond à l'écart relatif entre la valeur interprétée selon un schéma simple (Cm) et la valeur réelle de la capacité (C) [Mon02]. L'erreur sur la capacité est donc minimisée avec une configuration parallèle pour des capacités de très faibles valeurs. Cette dernière remarque n'est valide que si le courant de fuite à travers l'oxyde est faible La deuxième étape est une procédure de correction de type circuit ouvert pour s'affranchir de l'admittance parasite en parallèle de la structure de test et une correction type court circuit pour l'impédance en série avec le dispositif sous test. Toutes ces démarches pour mesurer la capacité le plus précisément possible n'empêchent pas les

imprécisions. Il existe une erreur brute de mesure intrinsèque à l'appareil. L'impédance mesurée est également liée à la fréquence de travail qui reste limitée à 1MHz.

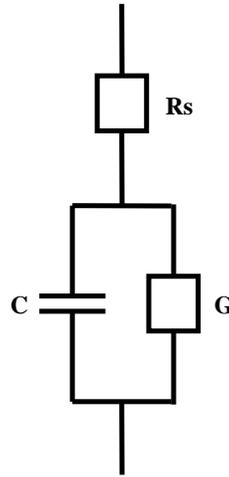


Figure III-29 Schéma électrique équivalent simplifié d'une capacité mesurée

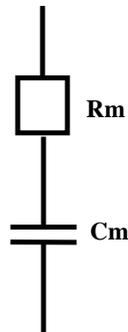


Figure III-30 « Schéma série » une résistance R_m est mise en série avec la capacité C_m .

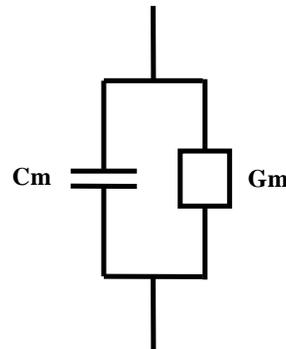


Figure III-31 « Schéma parallèle » une conductance G_m est mise en parallèle avec la capacité C_m .

Les courants détectés sont très faibles de l'ordre de la centaine de fA pour une capacité de quelques femtoFarads. La résolution est donc limitée à la dizaine de fF. Nous augmenterons donc le courant détecté en travaillant plus haut en fréquence.

III.C.2.b. Mesures HF

Ces mesures hyperfréquences sont réalisées avec un analyseur vectoriel de réseau de type Agilent 8510XF jusqu'à 110GHz. Ce type de mesure nécessite une procédure de calibrage de type SOLT et d'épluchage des éléments d'interconnexions via des motifs spécifiques tels que :

- un plot seul (« PAD ») pour s'affranchir de la transition coplanaire/microruban,
- une ligne seule (« THRU ») pour s'affranchir de la ligne d'accès.

De plus, des études récentes [And07] sur les procédures d'épluchage des structures d'interconnexions montrent des problèmes de couplages via les sondes et limitant la caractérisation des structures à plus haute fréquence.

III.C.2.c. Les limites des méthodes classiques

Les mesures BF et HF ont montré tour à tour leur limite pour la caractérisation de capacités attoFarad :

- La mesure basse-fréquence limite la valeur de courant détecté pour les faibles valeurs de capacité (une dizaine de fF);
- La mesure-haute fréquence (jusqu'à 110GHz) permet d'envisager des mesures de très faibles valeurs de capacité. (quelques fF) Elle est néanmoins pénalisée par des problèmes de couplages par les sondes RF aux structures de tests. Nous retiendrons aussi que les capacités attoFarad à mesurer sont de l'ordre de la diaphonie entre les sondes

Les méthodes actuelles sont essentiellement limitées par la valeur du courant à détecter (en amplitude et en phase). Ce constat nous a conduits à chercher une méthode susceptible d'augmenter ce courant.

Des études sur la caractérisation de dispositifs à un électron ont montré que des gains en courant de 10000 étaient obtenus en utilisant des bobines supraconductrices [Fel05]. Ces montages expérimentaux restent néanmoins difficiles à mettre en œuvre et sont limités à des fréquences de l'ordre de l'Hertz. Une solution est une mesure indirecte notée CBCM («Charged-Based Capacitance Measurement») basée sur l'amplification du courant moyen détecté via la charge et la décharge de la capacité.

III.C.3. La CBCM

Cette méthode est largement répandue aujourd'hui notamment pour l'évaluation et la modélisation des capacités d'interconnexions [Bra03] [Cha06] [Van06]. Les prémices datent des travaux de Laquai [Laq92] mais ont été repris par l'université de Berkeley [Che96] sous le nom de CBCM.

III.C.3.a. Principe et implémentation

Cette méthode est basée sur la commutation des capacités. La capacité de test est alternativement chargée sous une tension V_0 et déchargée à la masse. La répétition des cycles de charge/décharge permet d'extraire la valeur de la capacité sous test (C_x) en connaissant la tension de charge, le courant moyen de charge (I_0) et la fréquence de cette opération ($1/T_0$) comme l'illustre l'équation **Eq III-21** (C_{par} représente les capacités des éléments parasites). Cette capacité parasite sera préalablement extraite par la mesure du courant moyen sans la capacité de test.

$$C_x + C_{par} = \frac{I_0 \cdot T_0}{V_0} \quad \text{Eq III-21}$$

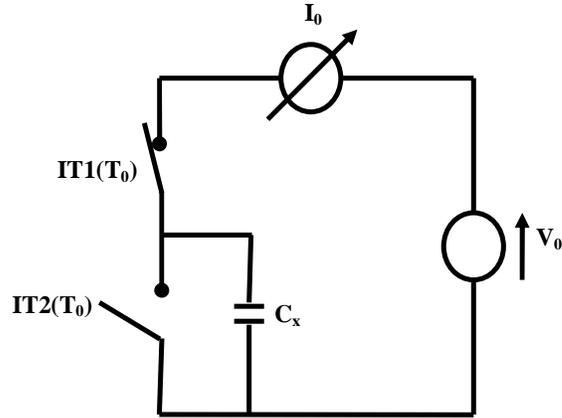


Figure III-32 Schéma de principe de la CBCM

Le cycle de charge-décharge se réalise en activant alternativement des interrupteurs. Il doit y avoir une phase de non recouvrement entre les deux signaux d'horloge pour ne pas créer un court-circuit entre l'alimentation et la masse faussant la valeur du courant moyen. L'implémentation sur silicium est rendu possible avec l'utilisation d'un pseudo-inverseur CMOS comme l'illustre la **Figure III-33**.

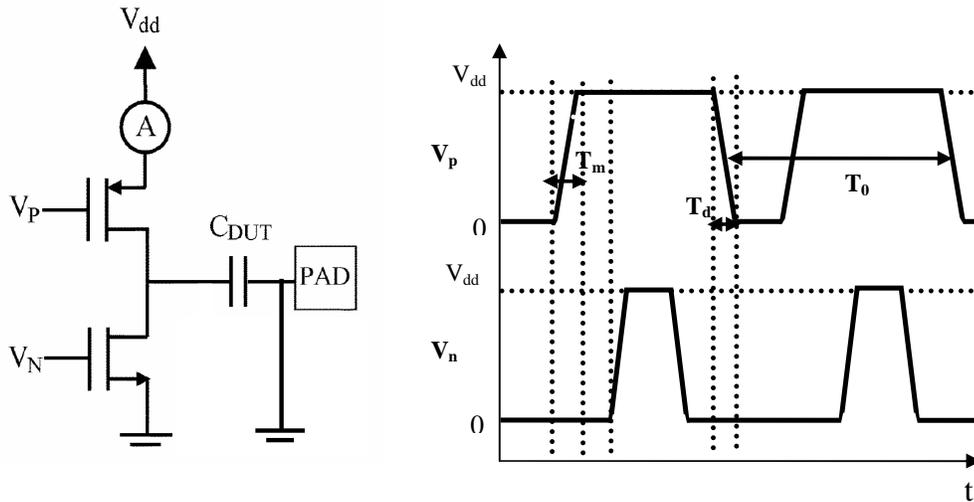


Figure III-33 Implémentation de la CBCM avec un inverseur CMOS avec signaux d'activation

La méthode CBCM a été implémentée en technologie CMOS 65nm (**Figure III-34**). Les varicaps attoFarad ont été matricées afin d'obtenir un jeu de valeurs de capacités. Cette gamme de valeur permet une réduction progressive de la capacité sous test et d'assurer un lien entre les valeurs traditionnellement mesurées (>20fF) et le domaine exploratoire des attoFarads. L'étude s'est déroulée en 2 étapes :

- la première étape consiste à mettre en avant les différents paramètres qui influent sur les erreurs d'extraction à travers un jeu de simulation sur de simples capacités ;

- la deuxième étape est la mise en place d'une méthode dérivée de la CBCM mais dédiée aux varicaps.

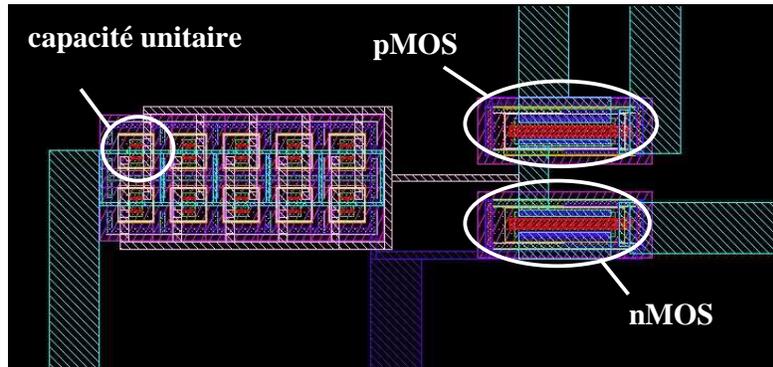


Figure III-34 Vue de dessus de la matrice de capacités attoFarads et de l'inverseur CMOS en technologie CMOS 65nm

III.C.3.b. Influence des différents paramètres sur l'extraction de la capacité

Nous commençons par simuler le comportement de la méthode CBCM avec une capacité linéaire de test afin de mettre en avant les erreurs qui influent sur l'exactitude des résultats.

Les conditions initiales de polarisation, d'activation des transistors NMOS et PMOS et leur dimension sont décrites dans le **Tableau III-4**.

Tension d'alimentation (V_{dd})	1.2V
Période des signaux d'activation (T_0)	$2 \mu s * \alpha$
Temps de montée (T_m) et descente (T_d)	$100 ns * \alpha$
Temps d'activation du PMOS (T_{aP})	$600 ns * \alpha$
Temps d'activation du NMOS (T_{aN})	$300 ns * \alpha$
Retard du signal d'activation NMOS par rapport PMOS (T_R)	$350 ns * \alpha$
Coefficient de pondération α	1
Taille des transistors $W * L * N$ W=largeur de la grille (um) L=longueur du canal (um) N=nombre de grilles	$3 * 0.28 * 4$

Tableau III-4 Condition initiale de simulation de la méthode CBCM

Les **Figure III-35** et **Figure III-36** mettent en relief une erreur en tension et courant induites par l'extinction de l'inverseur. Les causes de ces erreurs et notamment sur l'erreur en tension ont été décrites dans les travaux de Sheu [Sheu84].

Ce mécanisme comporte deux phases et se déroulent toutes les deux quand le transistor MOS s'éteint :

- Une portion des charges mobiles qui forment le canal de conduction est transférée vers la capacité de test et cause une erreur en tension et courant. Ce phénomène est nommé l'injection de charge.
- Quand la tension grille-source est inférieure à la tension de seuil, l'injection de charge n'augmente plus l'erreur en tension. Seul le diviseur capacitif, formé de la capacité grille-drain

(C_{GD}) et la capacité de test contribue à une surtension (Eq III-22). Ce mécanisme est appelé « clock-feedthrough » selon les termes anglo-saxon.

$$\Delta V_g \propto \frac{C_{DUT}}{C_{DUT} + C_{gd}} \quad \text{Eq III-22}$$

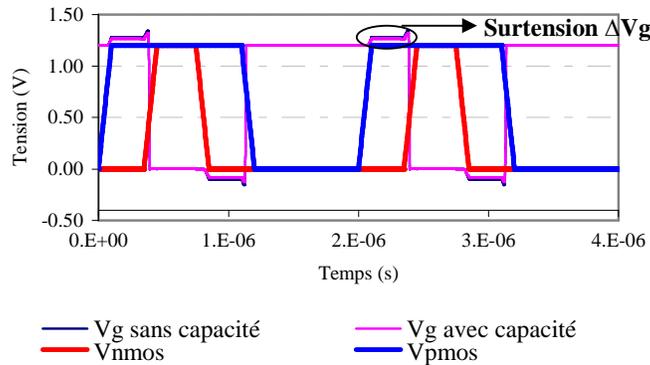


Figure III-35 Tension d’activation et tension aux bornes de la capacité de test pour la méthode CBCM avec une capacité de 20fF

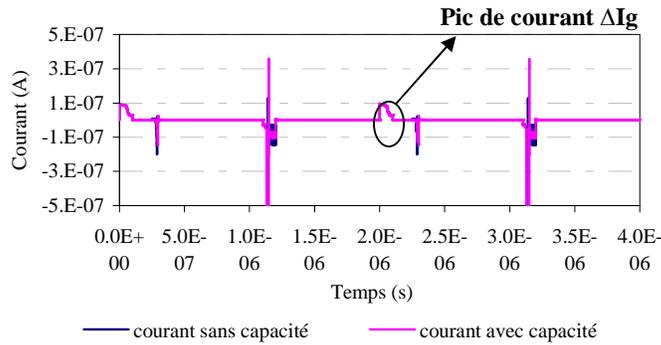


Figure III-36 Courant traversant la capacité sous test pour la méthode CBCM avec une capacité de 20fF

Ces deux phénomènes impliquent dans les deux cas une erreur sur l’extraction de la valeur de capacité. Plusieurs paramètres influent sur ces erreurs qu’ils soient propres au procédé de fabrication ou bien électriques :

- La valeur de la capacité sous test qui influe sur la valeur de la surtension ΔV_g aux bornes de la capacité de test comme l’illustre la **Figure III-37**.

L’incertitude sur la valeur de capacité extraite est donc plus importante dans le cas d’une petite capacité comme l’illustre le

Tableau III-5. L’augmentation de la valeur de capacité du dispositif sous test permet de diminuer le coefficient de surtension car elle est bien supérieure à la capacité de recouvrement Grille/Drain.

- La dimension des transistors est également un paramètre critique sur l'erreur de tension ΔV_g et sur l'extraction de la capacité (
- **Tableau III-5).** La réduction de taille des transistors permet de diminuer la capacité de recouvrement Grille/Drain et du même coup l'erreur sur la capacité. Dans notre cas, du fait des contraintes technologiques, pour diminuer la taille des transistors il nous faut changer d'épaisseur d'oxyde (GO1 18A) (**Figure III-38**). Néanmoins l'épaisseur d'oxyde n'affecte pas la surtension ΔV_g [Sheu84].
- Le dernier paramètre qui influe sur l'extraction de la valeur de capacité est le temps de montée des signaux d'activation des transistors (
- **Tableau III-5).** L'augmentation du temps de montée permet de diminuer le phénomène d'injection de charge comme le décrit la **Figure III-39** et l'erreur sur la capacité extraite (
- **Tableau III-5).**

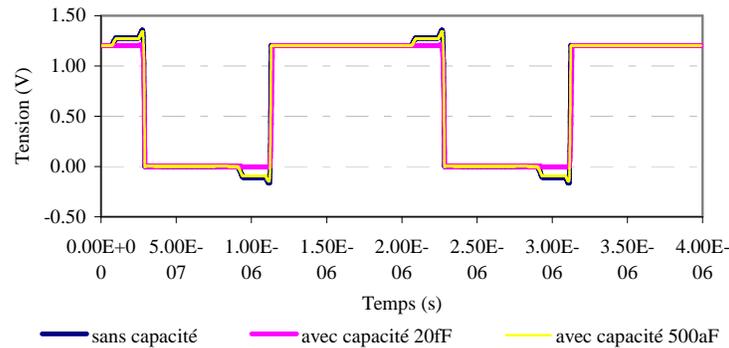


Figure III-37 Tension aux bornes de la capacité de test pour la méthode CBCM avec une capacité de 20fF et de 500aF

Valeur de capacité	Type d'oxyde pour les transistors	Dimension des transistors W*L*N	Coefficient de pondération α	$C_{DUT}+C_{parasites}$	$C_{parasites}$	C_{DUT} extraite	% Erreur
20fF	GO2 (28A)	3*0.28*4	1	24.21fF	3.94fF	20.26fF	1.3
500aF	GO2	3*0.28*4	1	4.48fF	3.94fF	0.529fF	5.8
20fF	GO1 (18A)	0.12*0.065*1	1	21.01fF	0.931fF	20.07fF	0.35
500aF	GO1	0.12*0.065*1	1	1.44fF	0.931fF	0.514fF	2.8
20fF	GO2	3*0.28*4	2	24.12fF	3.91fF	20.21fF	1.05
20fF	GO2	3*0.28*4	0.1	26.64fF	4.22fF	20.41fF	2.05

Tableau III-5 Valeur de capacité extraite à partir de simulation en fonction de différents paramètres de procédés de fabrication ou paramètres électriques

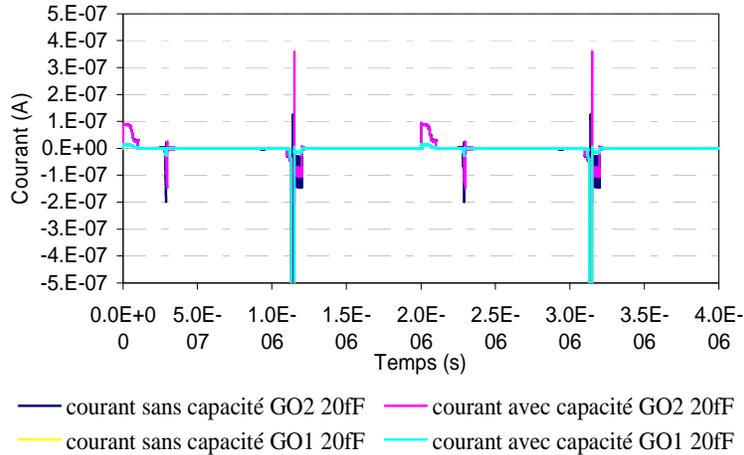


Figure III-38 Comparaison du courant traversant la capacité sous test pour la méthode CBCM avec une capacité de 20fF pour 2 tailles de transistors : $3*0.28*4$ (GO2) et $0.12*0.065*1$ (GO1)

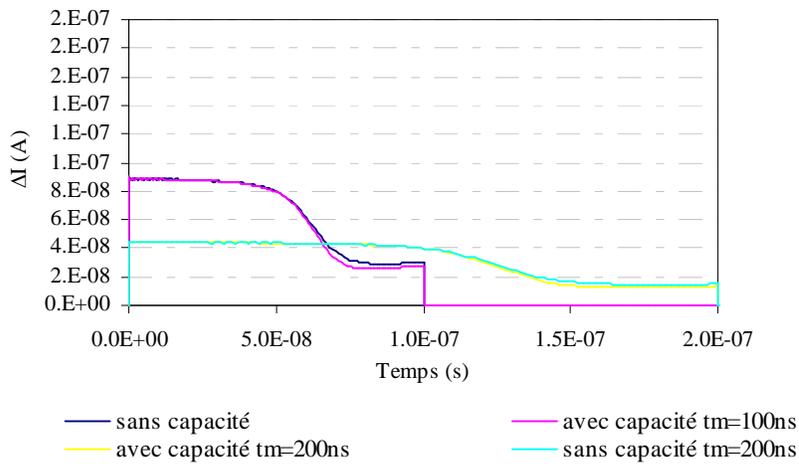


Figure III-39 Influence du temps de montée du signal d'activation sur l'erreur en courant traversant la capacité sous test pour la méthode CBCM avec une capacité de 20fF

L'ensemble de ces simulations a permis de mettre en avant les paramètres technologiques et électriques influant sur l'extraction d'une simple capacité et de les prendre en considération pour nos mesures. La diminution du taux d'erreur passe par une réduction de la taille des transistors et une augmentation du temps de montée des signaux d'activation. Les varicaps attoFarad étant au minimum technologique, nous devons utiliser des transistors avec des oxydes plus épais pour réduire le poids des capacités parasites

III.C.3.c. Mise en place et validation de la CBCM

Les conclusions du paragraphe précédent ont permis de fixer les conditions initiales de polarisation, d'activation des transistors NMOS et PMOS et leur dimension (**Tableau III-6**).

Tension d'alimentation (V_{dd})	1.2V
Période des signaux d'activation (T_0)	2 μ s
Temps de montée (T_m) et descente (T_d)	200 ns
Temps d'activation du PMOS (T_{aP})	600 ns
Temps d'activation du NMOS (T_{aN})	500 ns
Retard du signal d'activation NMOS par rapport PMOS (T_R)	250ns
Taille des transistors $W*L*N$ W=largeur de la grille (um) L=longueur du canal (um) N=nombre de grilles	3*0.28*4

Tableau III-6 Condition initiale de mesure de la méthode CBCM

La validation de la méthode CBCM passe par la vérification du courant moyen de charge en fonction de la tension de polarisation et de la fréquence des signaux de commutation des transistors comme l'illustre l'équation Eq III-21. Les mesures ont été effectuées avec des capacités d'interconnexions et les résultats sont présentés pour trois valeurs de capacités d'interconnexions sur les Figure III-40 et Figure III-41.

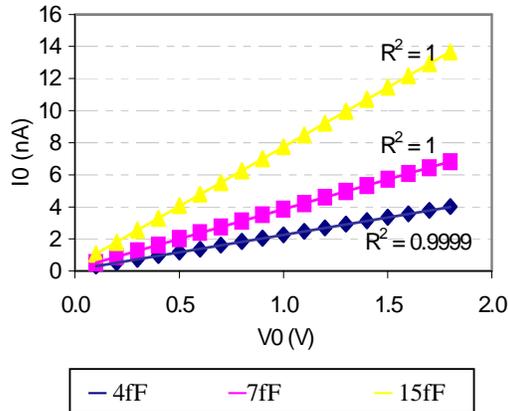


Figure III-40 Etude de la linéarité du courant moyen de charge en fonction de la tension d'alimentation pour trois valeurs de capacités d'interconnexions

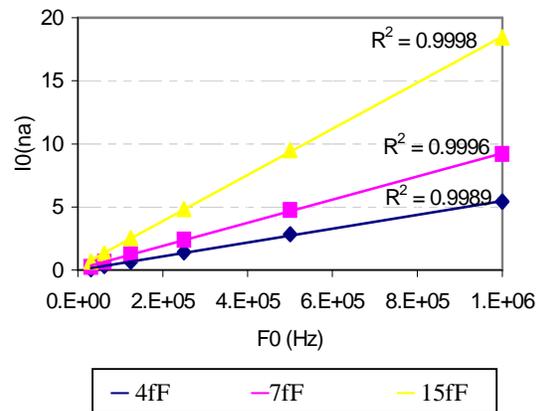


Figure III-41 Etude de la linéarité du courant moyen de charge en fonction de la fréquence des signaux de commutation pour trois valeurs de capacités d'interconnexions

Les résultats précédents montrent que la tension d'alimentation et la fréquence des signaux de commutation n'ont pas d'influence sur la valeur de la capacité, ce qui permet de valider cette méthode d'extraction.

III.C.3.d. Application de la CBCM aux varicaps

La méthode CBCM n'est cependant pas adaptée aux mesures de varicaps car elle conduit à une tension alternative d'amplitude V_{dd} aux bornes de la varicap. La meilleure solution est de créer un signal alternatif de faible amplitude superposé à une tension continue.

Diverses méthodes ont donc été envisagées pour la mesure des varicaps :

- « Méthode trois signaux » : la « CBCM classique » conduit à une tension alternative de 1.2 V d'amplitude sur la grille de la varicap. En synchronisant un signal sur l'active d'amplitude 1V, la varicap voit à ses bornes une différence de potentiel 0.2 V (V_{varac}) comme l'illustre la **Figure III-42**. La moyenne de la tension V_{varac} peut être modifiée en décalant les moyennes des tensions de grille et de source/drain à travers les tensions de commutations des transistors. Cette méthode présente néanmoins un certains nombre d'inconvénients :
 - Les erreurs en courant et tension induites par l'inverseur restent présentes ;
 - La synchronisation de ce signal avec les signaux d'activation des transistors n'est pas chose aisée.
- « Méthode grand signal » [Cha06] : à partir de la CBCM « classique », nous changeons uniquement les tensions de polarisation de telle sorte que l'on puisse contrôler la tension sur la grille V_g . L'inconvénient de cette méthode est que les transistors passent du régime linéaire au régime saturé et elle est obtenue uniquement pour des tensions V_g positives (pour que la tension de source du pMOS reste supérieure à la tension de source du nMOS).
- « Méthode grand signal » : le but est de réaliser un signal créneau d'amplitude de 0.1V à 0.2V avec une valeur moyenne ajustable comme l'indique la **Figure III-43**. La varicap voit à ses bornes une tension alternative d'amplitude $V_{h_{va}}$ et de moyenne $V_{l_{va}} + \frac{V_{h_{va}}}{2}$. En faisant varier la valeur de $V_{l_{va}}$ nous pouvons entièrement décrire la caractéristique C-V. Avec cette méthode, les transistors de commutation sont en limite de conduction (régime linéaire) due à la faible amplitude de $V_{h_{va}}$.

Ces différentes méthodes ont été implémentées à travers des résultats de simulation pour une varicap de 30fF dont le modèle était disponible. Les résultats sont présentés sur la **Figure III-44**.

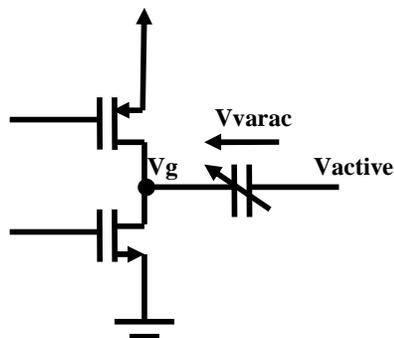


Figure III-42 Principe de la CBCM « trois signaux » pour la mesure de varicap

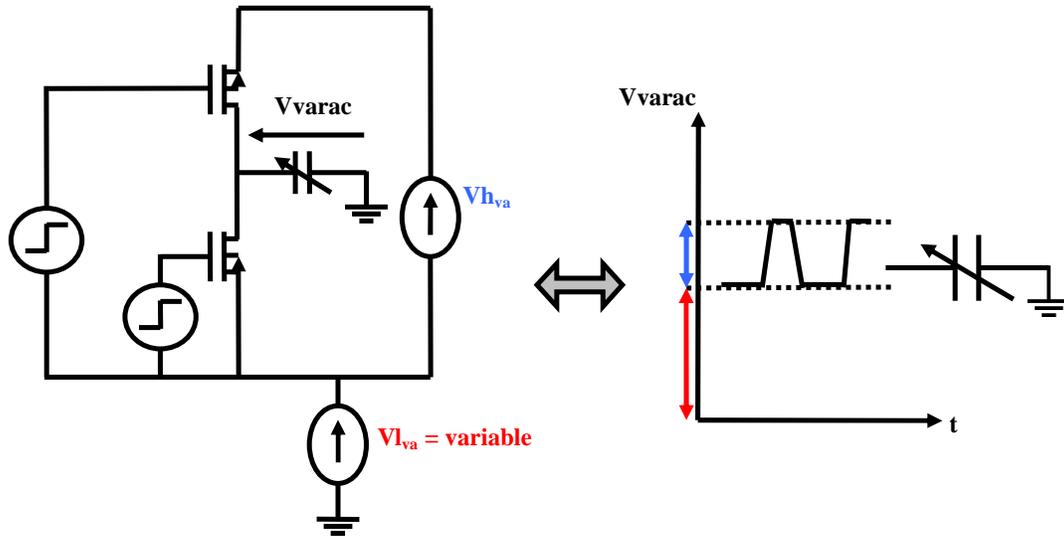


Figure III-43 Principe de la CBCM « petit signal » pour la mesure de varicap

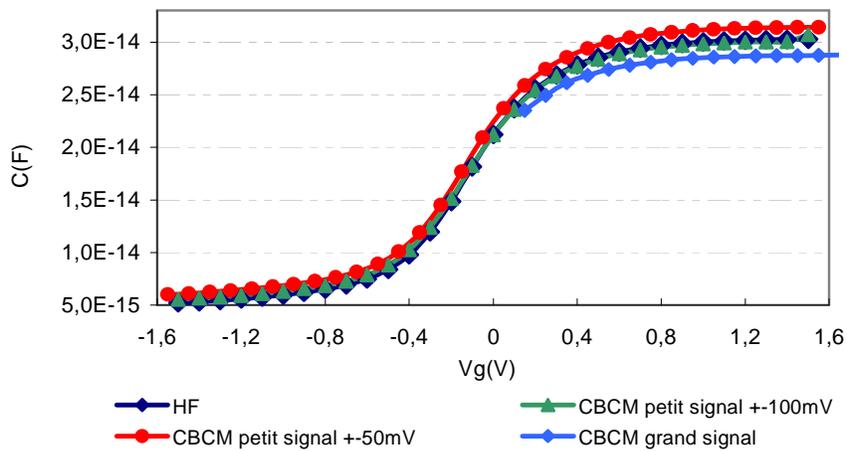


Figure III-44 Caractéristique C-V d'une varicap N+Poly/Nwell à travers différentes méthodes d'extraction de la capacité.

La méthode « petit signal » paraît la plus adaptée à nos besoins. Néanmoins, les résultats précédents semblent indiquer que le signal alternatif appliqué doit être supérieur à 100mV pour que les erreurs en tension dues à l'inverseur soient négligées et n'influencent pas sur la capacité extraite.

III.C.4. Perspectives sur la CBCM et les mesures attoFarads

La caractérisation attoFarad a permis de mettre en exergue la potentialité de la méthode CBCM pour la mesure des capacités de très faible valeur. Les premières études nous ont conduits à identifier les axes d'amélioration possibles. L'incertitude sur l'extraction est liée à un compromis entre les erreurs induites par l'inverseur CMOS et la valeur du courant moyen à mesurer. C'est néanmoins les contraintes technologiques qui dictent ce compromis. Dans notre première version de CBCM

intégrée, nous avons choisi de privilégier la quantité de courant moyen détecté et non pas les erreurs liées à l'inverseur. La mesure de capacités d'interconnexions de l'ordre de la dizaine de femtofarad a permis la calibration de la méthode CBCM. Une deuxième version est envisagée pour diminuer les erreurs d'injection de charge avec un oxyde plus fin et une géométrie plus agressive sur les transistors. Cette méthode CBCM est donc adaptée à la caractérisation femtoFarad mais trouvera peut être sa limite pour l'attoFarad où les éléments parasites des transistors (même avec des géométries poussées au minimum) sont de l'ordre de la centaine d'attoFarads. Les méthodes traditionnelles doivent toujours être développées en parallèle en testant des LCR-mètre plus précis type 4194 d'Agilent et en améliorant les procédures d'épluchage des structures d'interconnexions pour les mesures hyperfréquences.

III.D. La caractérisation grand signal

III.D.1. Pourquoi une caractérisation grand signal ?

Aujourd'hui les dynamiques de tension mises en jeu dans les oscillateurs contrôlés en tension ne sont plus négligeables par rapport à la sensibilité capacité/tension d'une varicap de type MOS représentée de manière imagée sur la **Figure III-45**.

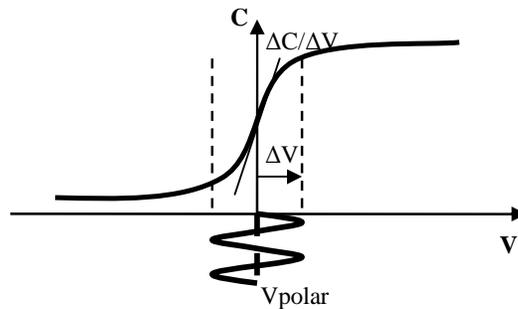


Figure III-45 Schéma conceptuel de la sensibilité de la varicap MOS

Ces propos peuvent être illustrés par une simulation de l'oscillateur contrôlé en tension développé dans le chapitre 4 et l'observation du signal aux bornes des varicaps de type N+Poly/Nwell (**Figure III-46**). En régime permanent, le niveau de puissance du fondamental est de l'ordre de la dizaine de dBm.

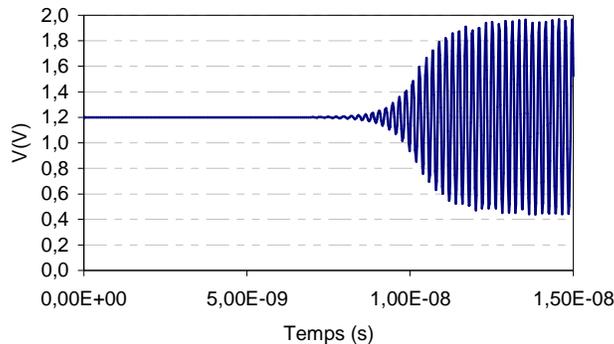


Figure III-46 Simulation du signal transitoire aux bornes de la varicap N+Poly/Nwell dans un oscillateur contrôlé en tension en technologie CMOS 65nm à 5GHz.

Jusqu'à présent nous limitons la caractérisation des varicaps à une analyse petit signal avec des analyseurs vectoriels de réseau. Les puissances des signaux mises en jeu sont de l'ordre de -10dBm (ce qui correspond à une dizaine de mV selon la valeur de la capacité). Il se pose alors la question de la légitimité de notre modélisation avec ce type de caractérisation. Les analyseurs de réseau vectoriel qui permettent la mesure d'un rapport d'onde de puissance sont limités à de faibles niveaux puissance pour

que le théorème de superposition puisse être appliqué. Il nous fallait mettre en œuvre une nouvelle procédure de caractérisation avec des outils adaptés au domaine non linéaire. Un des appareillages offrant le plus de possibilité est un analyseur de réseau non linéaire de type LSNA (Large Signal Networks Analyser).

III.D.2. Présentation du LSNA

III.D.2.a. L'intérêt du LSNA

La caractérisation hyperfréquence met en jeu divers instruments de mesure, leurs principes s'articulent toujours autour d'une approche temporelle ou fréquentielle. Les travaux de Fabien Degroote [Deg07] présentent les diverses solutions technologiques pour la caractérisation hyperfréquence résumées dans le **Tableau III-7**.

	Solution technologique	Principe	Avantage	Inconvénient
Méthode fréquentielle	Analyseur de spectre	Mesure d'une puissance RF sur une plage de fréquence	Simplicité	Une seule entrée de mesure : pas d'information sur la phase
	Analyseur de réseau vectoriel	Mesure de rapport d'ondes en amplitude et en phase sur une plage de fréquence	- Faible plancher de bruit - Grande dynamique	Limité à des signaux de faible puissance
Méthode temporelle	Oscilloscope	Sous échantillonnage du signal d'entrée	Simplicité	- Dynamique limité - Calibration minimale
	Analyseur de réseau vectoriel +	Principe basé sur un analyseur de réseau vectoriel classique et calibrage en phase par une référence externe	Compatible avec un analyseur de réseau vectoriel	- Mesure harmonique par harmonique : plusieurs mesures - Disponible que sur des analyseurs de réseau vectoriel type PNA d'Agilent en version 4 ports - Limité en puissance
	Microwave Transition Analyser (MTA)	Mesure de deux ondes de puissance synchronisée à une fréquence fondamentale ainsi que les fréquences harmoniques	Mesure en seule acquisition	Limité à 2 voies d'acquisition
	LSNA	MTA + analyseur de réseau vectoriel Possibilité de fabriquer un LSNA avec 2 MTA	4 voies d'acquisition	Amélioration à apporter sur les planchers de bruit

Tableau III-7 Solutions technologiques temporelles et fréquentielles pour les mesures hyperfréquences [Deg07]

Le tableau précédent montre clairement l'intérêt du LSNA car il fournit toute l'information (amplitude et phase) à travers les 4 ondes de puissance. Ce genre d'appareil présente aussi l'avantage de pouvoir fournir les paramètres [S] en effectuant les rapports d'ondes mais toujours avec l'hypothèse de faibles niveaux de puissance à l'identique des analyseurs de réseau vectoriel classiques (ARV). Les ARV classiques présentent néanmoins des planchers de bruit plus faibles. En considérant les possibilités

offertes par ce type d'instrument nous présenterons le LSNA à travers son principe de fonctionnement et la procédure de calibrage associée.

III.D.2.b. Structure interne du LSNA

Le principe du LSNA est construit sur la mesure d'ondes en amplitude et en phase relatives à une fréquence fondamentale et à ses harmoniques associées. La structure interne du LSNA est décrite sur la **Figure III-47**. Sur cette figure nous reconnaissons les 4 voies d'acquisition des signaux RF prélevés par des coupleurs qui sont échantillonnés par des convertisseurs analogiques/numériques (CAN) possédant une horloge commune de référence. La problématique majeure du LSNA réside dans le fait que la fréquence d'échantillonnage des CAN est bien inférieure (20-25MHz) à la fréquence du signal RF. De ce fait, le principe de fonctionnement est basé sur la translation de fréquence du signal RF vers son image dans le domaine des fréquences intermédiaires (IF) (0-10MHz). Ainsi, le LSNA fournit les informations des modules et phases des quatre ondes pour la fréquence fondamentale et les harmoniques associées contrairement à un ARV qui ne fournit que des rapports d'onde.

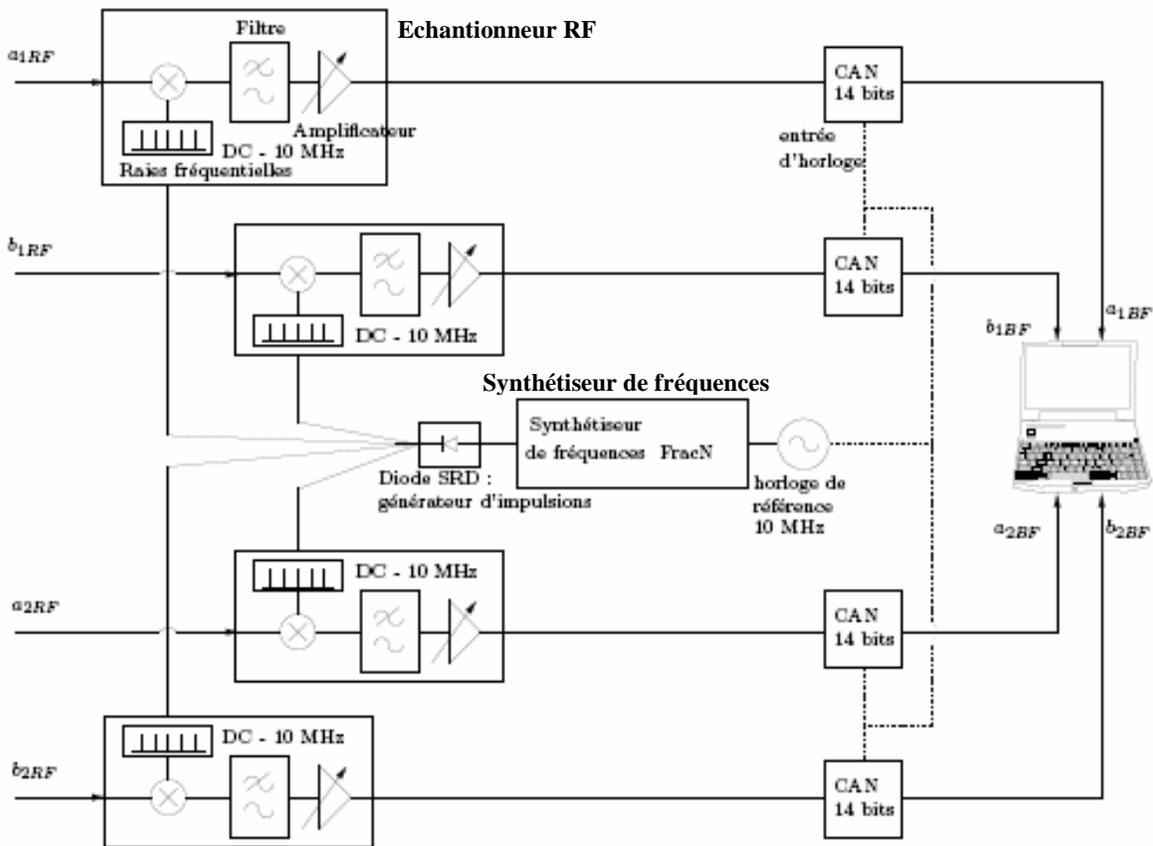


Figure III-47 Structure interne du LSNA [Deg07]

Les éléments prépondérants de la structure interne et leur rôle sont résumés dans le **Tableau III-8**.

Eléments du LSNA	Rôle
Synthétiseur de fréquences	Calcul de la position des raies des fréquences IF
Diode SRD	- Composant fortement non linéaire - A partir du signal de puissance fournie à une fréquence, elle génère le maximum d'harmoniques.
Echantillonneur RF	- Un échantillonneur RF par voie - Les échantillonneurs permettent d'effectuer la translation du signal RF en signal IF [Ver05]

Tableau III-8 Différents éléments de la structure interne du LSNA

III.D.2.c. La procédure de calibrage du LSNA

Le LSNA contrairement à un ARV classique nécessite deux étapes de calibrage en sus d'un calibrage d'ARV usuel : à savoir un calibrage en puissance absolue de l'onde a_{1RF} ainsi qu'en phase de cette même onde. La correction doit permettre de récupérer les informations à la fois sur les ratios d'ondes (type ARV) mais aussi sur les amplitudes absolues et les phases de chaque onde (spécifique au LSNA). La procédure de calibrage est décrite dans [Sis02]. C'est l'étape de calibrage en phase qui limite à 20GHz la fréquence d'utilisation du LSNA disponible à l'IEMN. Nous montrerons par la suite que ce handicap peut être un point bloquant pour la montée en fréquence. Toutefois il est à noter que cette limitation sera repoussée à 50Ghz dans les mois à venir.

III.D.3. Application à la mesure de varicaps [Mor07-B] [Mor07-C]

L'apparition du LSNA répondait avant tout à la problématique de la caractérisation des effets fortement non linéaires dans les amplificateurs de puissance. L'atout majeur de pouvoir récupérer les formes d'ondes temporelles avec les informations d'amplitude et de phase a permis d'ouvrir la voie vers la caractérisation de varicaps. Une nouvelle approche a été nécessaire par rapport aux méthodes traditionnelles avec un ARV avec des procédures et des limitations propres au LSNA.

III.D.3.a. Formes d'ondes

Le LSNA permet d'obtenir les formes d'ondes temporelles $a_1(t)$, $b_1(t)$, $a_2(t)$ et $b_2(t)$. Le logiciel de commande et de traitement fourni avec l'analyseur permet de passer indifféremment du domaine fréquentiel au domaine temporel via une analyse de Fourier intégrée. Les formes temporelles des courants et tensions à l'entrée et à la sortie d'une varicap de type N+Poly/Nwell (Figure III-50) sont illustrées sur la Figure III-48 et sur la Figure III-49. La fréquence du fondamental est fixée à 1GHz et le nombre d'harmoniques s'étend à 10.

Les résultats précédents soulignent les non linéarités induites par la varicap avec de fortes distorsions pour les formes temporelles de courants I_1 et I_2 et la tension de sortie V_2 .

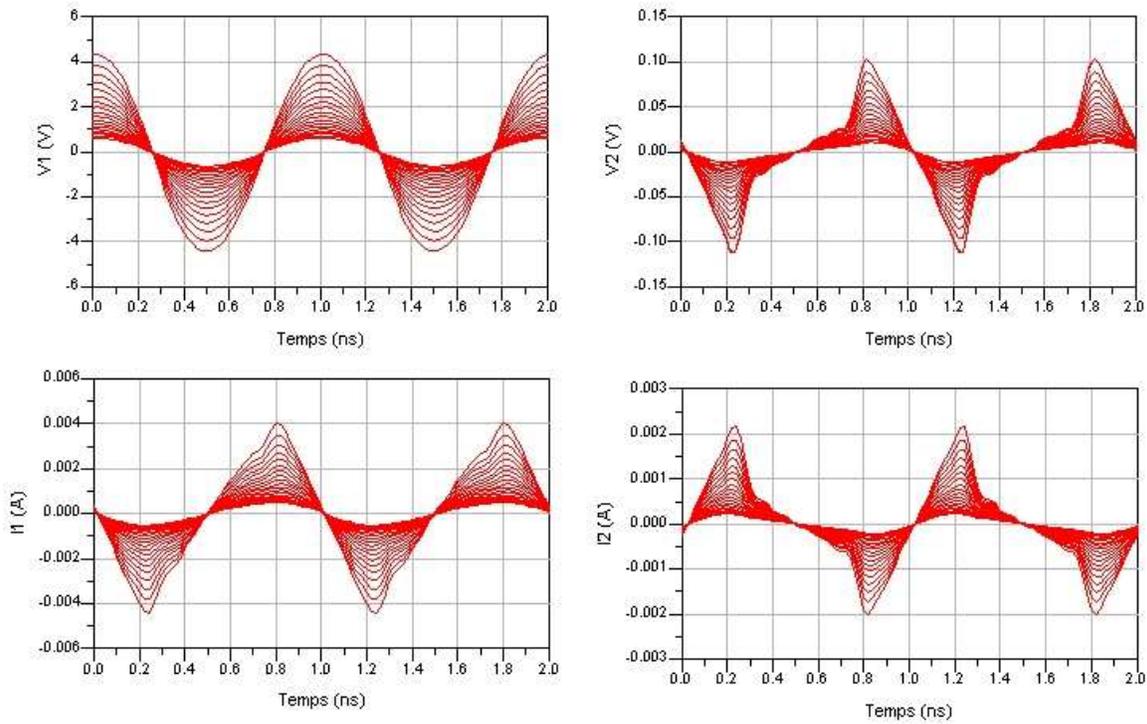


Figure III-48 Courants et Tensions à l'entrée et sortie d'une varicap de type N+Poly/Nwell ($W=3\mu\text{m}$ $L=2\mu\text{m}$ $N_{\text{bfp}}=1$; capacité en accumulation de 80fF) en fonction du temps pour différentes valeurs de puissance d'entrée [0,18]dBm en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$.

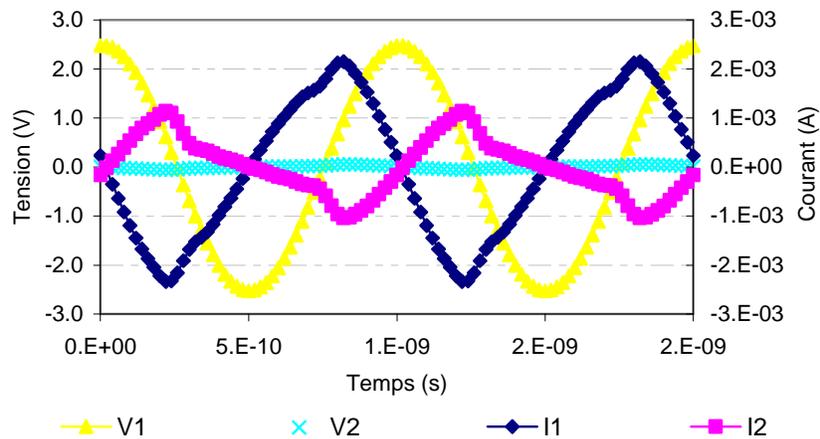


Figure III-49 Courants et Tensions à l'entrée et sortie d'une varicap de type N+Poly/Nwell ($W=3\mu\text{m}$ $L=2\mu\text{m}$ $N_{\text{bfp}}=1$; capacité en accumulation de 80fF) en fonction du temps avec $P_{\text{in}}=12\text{dBm}$ en technologie CMOS 65nm $t_{\text{ox}}=5\text{nm}$

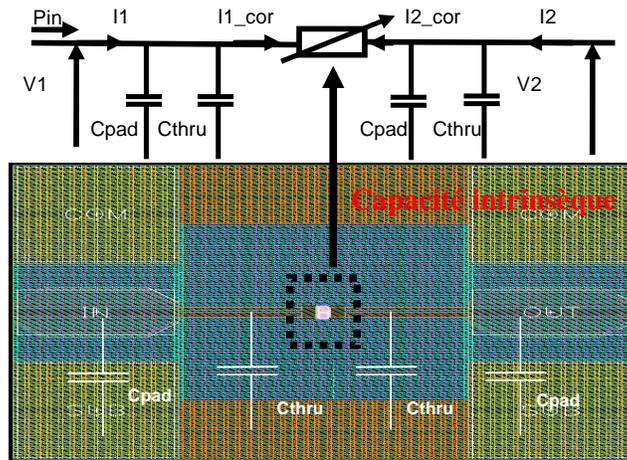


Figure III-50 Dessin d'une varicap de type N+Poly/Nwell

III.D.3.b. Epluchage de la structure de test

Les résultats de la **Figure III-49** sont issus des mesures brutes sans épluchage de la structure de test. Les courants entrant et sortant dans la varicap doivent être égaux en assumant que la diode substrat est bloqué ce qui n'est pas le cas ici. Un épluchage de la structure de test est donc nécessaire. Notre méthode traditionnelle d'épluchage des structures de tests utilise deux motifs de type « PAD » et « THRU ». Une mesure des paramètres [S] des structures et les transformations en paramètres [Y] et [Z] assurent de pouvoir remonter aux paramètres [S] dans le plan de la varicap. Avec un appareillage comme le LSNA, la mesure des paramètres [S] est possible dans la limite d'un comportement linéaire. Cette hypothèse est vérifiée avec les plots et la ligne d'accès qui ne mettent en jeu que des interconnexions purement passives. [Van02] [Gra02]. La nouvelle procédure d'épluchage propre à nos varicaps est décrite dans la **Figure III-51**.

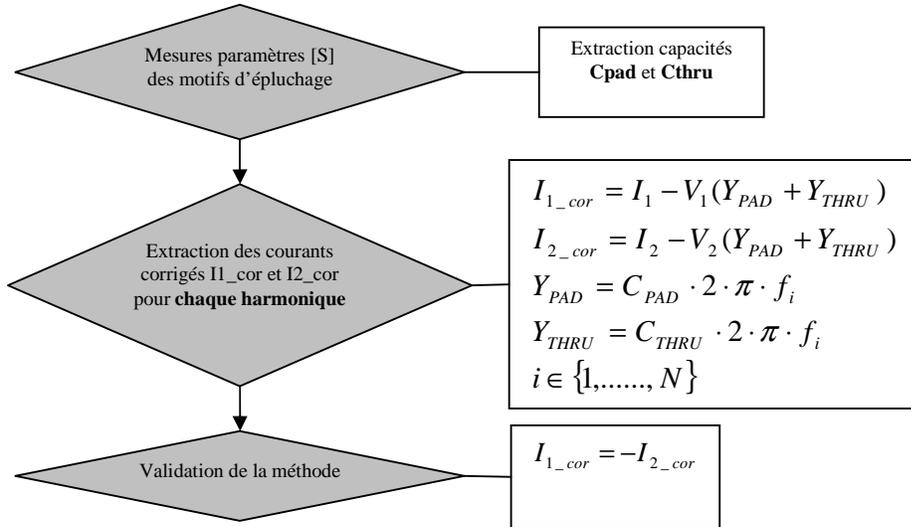


Figure III-51 Méthode d'épluchage de la varicap avec le LSNA

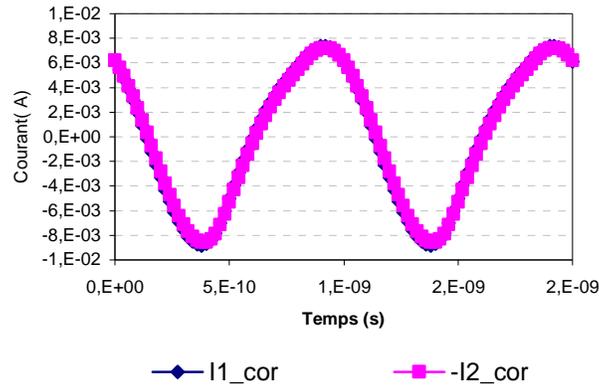


Figure III-52 Validation de la méthode d'épluchage

Notre procédure d'épluchage est limitée aux effets capacitifs car une étude des effets inductifs des lignes d'accès et leurs impacts sur l'épluchage n'a pas montré d'effets significatifs.

III.D.3.c. Limitation de la gamme de capacité

L'étude des non linéarités des varicaps avec le LSNA a également mis en avant la limitation de cette étude aux capacités inférieures aux picoFarads.

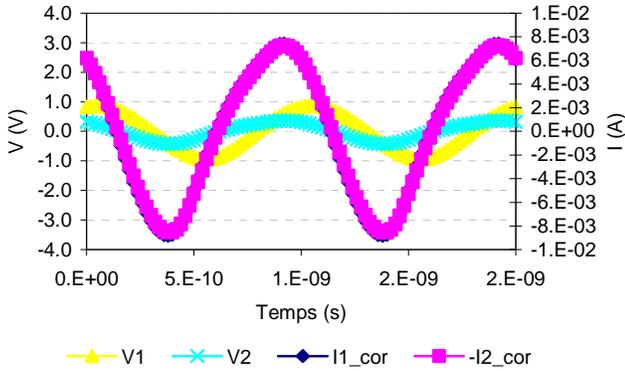


Figure III-53 Courants et Tensions à l'entrée et sortie d'une varicap de type N+Poly/Nwell (capacité en accumulation de 80fF) en fonction du temps avec Pin=12dBm cas sans conduction en technologie CMOS 65nm $t_{ox}=5nm$

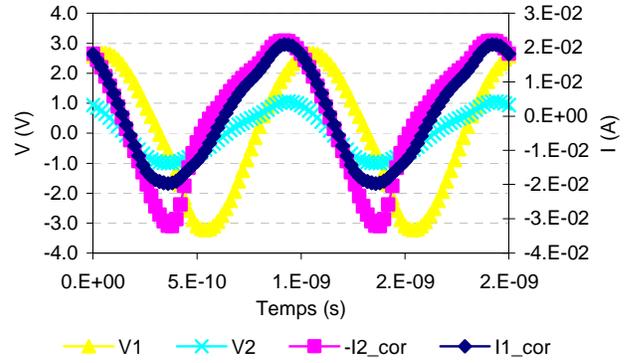


Figure III-54 Courants et Tensions à l'entrée et sortie d'une varicap de type N+Poly/Nwell (capacité en accumulation de 12pF) en fonction du temps avec Pin=12dBm cas avec conduction en technologie CMOS 65nm $t_{ox}=5nm$

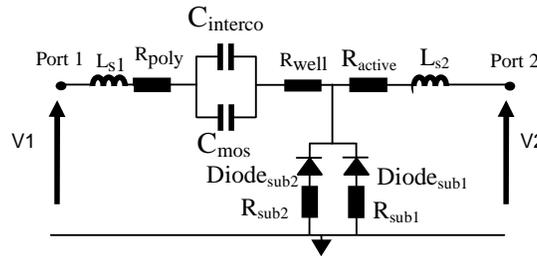


Figure III-55 Schéma électrique équivalent d'une varicap N+Poly/Nwell

D'après le schéma électrique équivalent de la varicap rappelé en Figure III-55, la tension V2 à la sortie du dispositif de test est l'image de V1 à travers le pont diviseur formé par la capacité et l'entrée 50Ω du port2. Si la valeur de la capacité est trop importante, la tension V2 présentera une dynamique qui peut dépasser la tension de seuil de la diode formée par la jonction Pwell/Nwell. La mise en conduction de la diode se traduit alors par un courant de conduction continu (Figure III-53 et Figure III-54) et une erreur sur le courant extrait. Nous avons limité l'étude à de faibles valeurs de capacités dans un premier temps (centaine de fF).

III.D.3.d. Méthode d'extraction de la capacité [Sch97][Cur99]

La méthode de mesure établie, nous pouvons passer à l'extraction des différentes composantes de la varicap. L'étude se limitera à l'extraction de la capacité car la prise en compte de la résistance et même de l'inductance série met en jeu des équations différentielles que nous ne sommes pas en mesure de résoudre actuellement. En se cantonnant à de faibles valeurs de capacités et étant limité à 20GHz en fréquence, nous pouvons négliger l'impact des résistances et des inductances parasites. Une nouvelle méthode d'extraction de la capacité doit être déployée par rapport à notre méthode traditionnelle petit signal. Cette méthode est décrite et comparée à la méthode traditionnelle sur la Figure III-56.

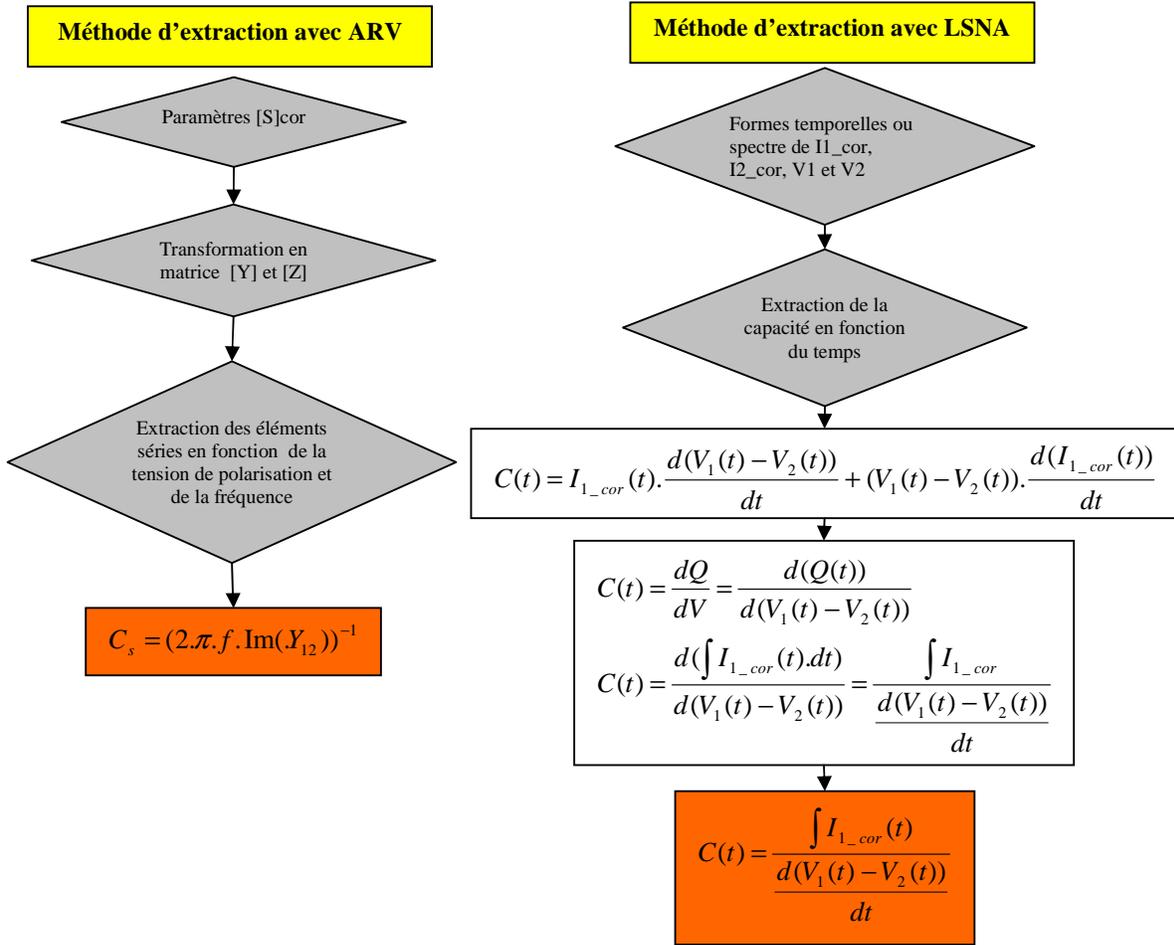


Figure III-56 Méthode d'extraction de la capacité d'une varicap avec un ARV ou avec un LSNA

La validation de cette méthode d'extraction est illustrée sur la **Figure III-57** par des simulations type « Harmonic Balance » d'un modèle de varicaps N+Poly/Nwell.

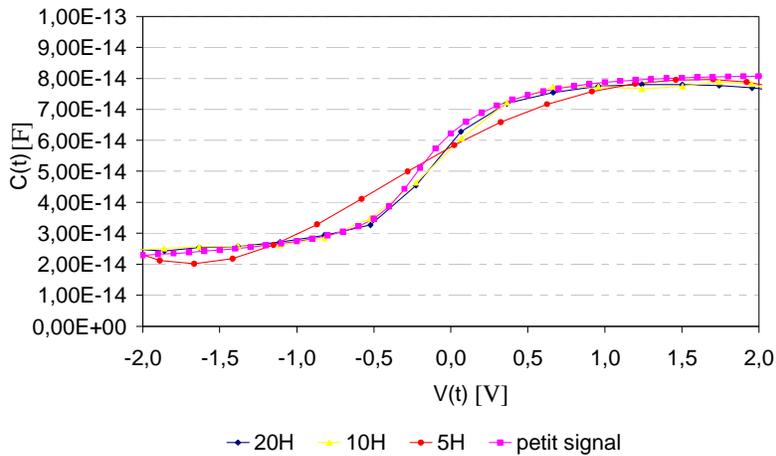


Figure III-57 Capacité extraite en fonction de la tension instantanée à partir de simulations « Harmonic Balance » avec différentes valeurs d'harmoniques pour des varicaps type

N+Poly/Nwell (W=3 μ m L=2 μ m et Nbfp=1) en technologie CMOS 65nm t_{ox} =5nm

Les résultats de simulation permettent de mettre en évidence la sensibilité de l'extraction au nombre d'harmoniques. Au dessous de 10 harmoniques, nous perdons de l'information notamment au niveau des coudes de la caractéristique C-V où les non linéarités sont les plus marquées. Par contre, le nombre d'harmoniques n'a plus d'influence au-delà de 10. La **Figure III-57** conforte la validité de notre extraction car les résultats sont similaires (inférieurs à 5%) à une simulation type petit signal. Cette première étude a donc permis de mettre en place une procédure spécifique à travers un épiluchage et une extraction propre aux mesures LSNA.

III.D.3.e. Application à la mesure de varicaps de type N+Poly/Nwell en technologie CMOS 65nm

Les étapes précédentes ont permis de valider la démarche d'extraction mais aussi de calibrer les mesures aux LSNA à travers le nombre d'harmonique et les valeurs limites de capacités mesurables. La fréquence du fondamental est fixée à 1 GHz et le nombre d'harmoniques s'étend à 20 pour pouvoir récolter toute l'information sur la phase. Ces mesures doivent nous permettre de valider notre modèle petit signal et de mettre en avant la présence d'effets transitoires associés à de fortes amplitudes comme de la déplétion profonde. Les résultats de la **Figure III-58** montrent une parfaite adéquation entre les simulations et la mesure. Ceci conforte la validité de notre modèle actuel de la varicap même dans des conditions de forte polarisation. Une question reste néanmoins en suspend : la présence ou non de déplétion profonde ? Mais qu'est ce que la déplétion profonde? Si une structure de type MOS est excitée par un signal sur la grille supérieur à la tension de seuil, il s'établit une zone de déplétion accompagné de la formation d'une couche d'inversion. La zone de déplétion est conditionnée par la constante de temps diélectrique d'environ 10^{-12} s à température ambiante, ce qui fait que ce phénomène est quasi instantané. La couche d'inversion résulte de la génération thermique de paire électron trou. Mais ce processus est beaucoup plus lent que la relaxation diélectrique. La différence qu'il existe entre la constante de temps diélectrique et de génération thermique entraîne un régime transitoire dans lequel la couche d'inversion n'est pas encore créée. La zone de charge d'espace est donc assurée transitoirement par la charge de déplétion. La charge d'inversion varie et il en résulte que la largeur de la zone de déplétion. Pour la capacité, ceci se traduit par diminution de sa valeur en déplétion en fonction du temps.

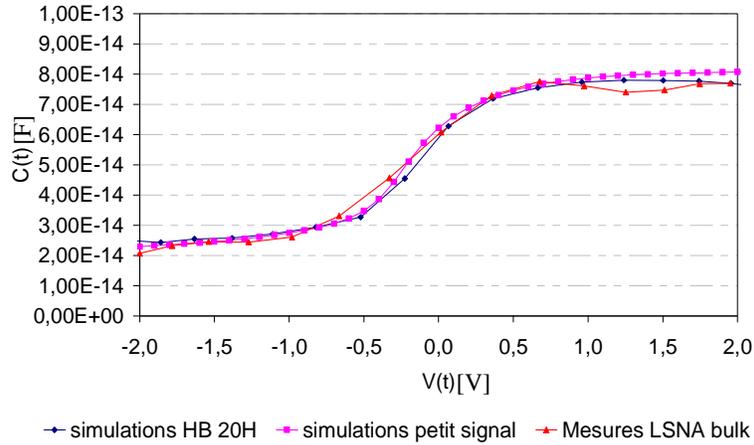


Figure III-58 Capacité extraite en fonction de la tension instantanée avec des mesures au LSNA et à partir de simulations « Harmonic Balance » pour des varicaps type N+Poly/Nwell sur substrat bulk ($W=3\mu\text{m}$ $L=2\mu\text{m}$ et $N_{\text{bfp}}=1$) en technologie CMOS65nm $t_{\text{ox}}=5\text{nm}$

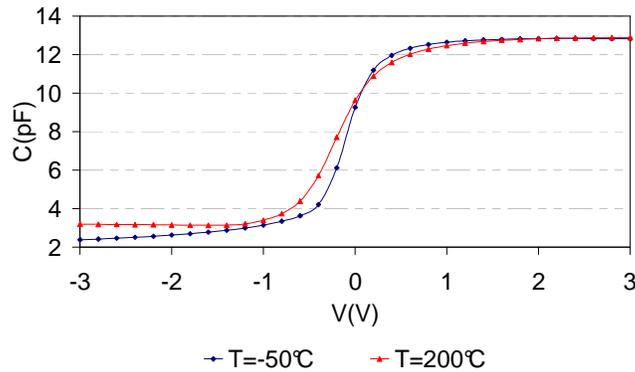


Figure III-59 Effet de la température sur le régime de déplétion profonde pour la caractéristique C-V (Fréquence=1MHz $V_{\text{ac}}=200\text{mV}$) en technologie CMOS 0.13 μm $t_{\text{ox}}=5\text{nm}$

Une autre voie pour observer la déplétion profonde est l'application d'un signal alternatif de forte amplitude et avec une période très courte par rapport à la génération thermique. Ces conditions sont réalisées à travers le LSNA. Néanmoins les extractions sur la capacité instantanée n'ont pas mis en évidence ce phénomène (**Figure III-58**). Cette absence de déplétion profonde est avant tout liée à l'environnement de mesure qui est soumis à de la pollution lumineuse et qui va contrecarrer ce processus. Une nouvelle campagne de mesures a donc été effectuée sur les mêmes composants mais en cherchant à s'affranchir de la pollution lumineuse. Les résultats d'extraction apparaissent sur la **Figure III-60**. Dans l'obscurité, la couche d'inversion met plus de temps à s'établir ce qui permet de mettre en lumière la déplétion profonde avec des mesures au LSNA.

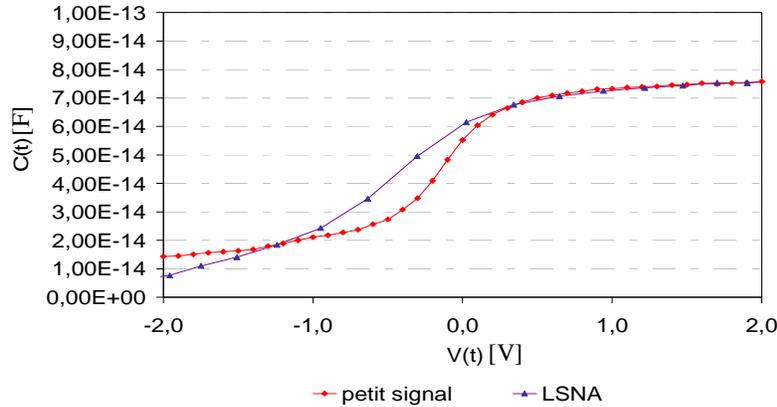


Figure III-60 Capacité extraite en fonction de la tension instantanée avec des mesures au LSNA pour des varicaps type N+Poly/Nwell sur substrat SOI (W=3um L=2um et Nbf=1) dans l'obscurité en technologie CMOS 65nm $t_{ox}=5nm$

III.D.4. Perspectives pour la caractérisation en grand signal des varicaps

Cette campagne de mesure répondait avant à tout la validation des caractérisations petit signal avec un analyseur de réseau vectoriel. Elle devait également mettre en évidence et valider le caractère transitoire de la capacité en régime d'inversion. Les résultats ont montré la nécessité de prendre en compte ce phénomène dans les futurs modèles de varicaps type MOS ou du moins de le caractériser. Le nouveau modèle MOSVAR adopté par le CMC (« Compact Model Committee ») prend notamment en compte ces phénomènes de création paire électron trou. Cependant, ces travaux ont mis en évidence qu'un appareillage type LSNA montre encore quelques limites pour la caractérisation de ce type de composants. Premièrement, la diode HP de calibration en phase qui limite l'utilisation actuelle du LSNA à 20GHz (à l'IEMN) freine la caractérisation des varicaps à plus haute fréquence car nous réduisons le nombre d'harmoniques disponibles et du même coup la quantité d'information. Deuxièmement, ces travaux démontrent que la gamme de varicaps mesurables est limitée (centaine de fF). La solution envisagée est l'utilisation de la charge active pour augmenter l'impédance de charge et limiter l'amplitude du signal sur le contact Source/Drain. Le LSNA s'est révélé un outil intéressant pour déterminer les modes opérant des mesures BF et HF.

III.E. Conclusion

L'introduction de nouveaux composants et leurs modélisations passe toujours par une étape de caractérisation. Jusqu'à présent les méthodes traditionnelles via des LCR-mètres pour la caractérisation intrinsèque de la capacité et les analyseurs de réseaux vectoriels pour l'habillage hyperfréquence répondaient à nos besoins. Cependant, des requêtes de varicaps différentielles et attoFarad ont conduit à ouvrir de nouvelles voies de caractérisation face aux limitations des outils actuels. La caractérisation des varicaps différentielles via un analyseur 4 ports a répondu à nos attentes et permis de valider toute une procédure de modélisation. Le point limitant reste la fréquence maximale des analyseurs 4 ports bornée aujourd'hui à 26.5GHz et qui ne répond que partiellement à nos besoins. Aujourd'hui l'offre varicap tend vers des applications millimétriques (Ex : sans fils type WHDMI : «Wireless High Definition Multimedia Interface » à 60GHz) avec des architectures différentielles. La caractérisation attoFarad s'est heurtée à la précision des méthodes BF et HF mais également à la méthode CBCM qui reste quand même une voie d'exploration prometteuse. La caractérisation de la varicap attofarad avec la méthode CBCM se heurte au paradoxe d'évaluer une capacité plus petite que tous les autres éléments parasites (dizaine de fF). La quantité d'électrons mis en jeu dans ces composants ne permet pas d'utiliser plus en amont les concepts de la physique classique mais nous orienter vers la physique quantique. Enfin, la caractérisation grand signal nous a permis de valider nos modèles actuels avec des dynamiques de signaux plus proches de celles qu'on retrouve dans les oscillateurs. Nous avons également mis en évidence les caractères transitoires de la capacité. Les futurs modèles de varicaps comme MOSVAR prennent en compte ces phénomènes de génération thermique. Un instrument type LSNA pourra couvrir tous ces phénomènes qui ne sont pas toujours faciles à mettre en place au niveau expérimental. Mais nous sommes néanmoins limités par la fréquence d'utilisation du LSNA (<20GHz). Le développement des appareillages pour les applications hyperfréquences offre des nouveaux challenges. Agilent étudie une solution proposant un multiplexage d'appareillages avec un analyseur 4 ports jusqu'à 220GHz doté d'une option mesure de bruit et de puissance type LSNA. De même, la genèse des mesures haute impédance par couplage optique et RF ouvre des perspectives pour la caractérisation des varicaps attoFarad.

Le meilleur outil de validation des modèles reste néanmoins une application circuit. Le dernier chapitre sera consacré à la réalisation d'un véhicule de test type oscillateur contrôlé en tension.

III.F. Bibliographie

- [Agi08] <http://cp.literature.agilent.com/litweb/pdf/N5242-90007.pdf>
- [And07] Andrei C., Gloria D., Danneville F., Dambrine G., “Efficient De-Embedding Technique for 110-GHz Deep-Channel-MOSFET Characterization,” IEEE Microwave and Wireless Components Letters, Volume 17, Issue 4, pp. 301-303, April 2007
- [Boc95] D.E. Bockelman and al, “Combined Differential and Common-Mode Scattering parameters: Theory and Simulation,” IEEE Transactions on Microwave Theory and Techniques, Vol.43, No.7, pp. 1530-1539, July 1995
- [Boc97] D.E. Bockelman and al, “Pure-mode Network Analyser for On-Wafer Measurements of Mixed-Mode S-Parameters of Differential circuits,” IEEE Transactions on Microwave Theory and Techniques, Vol.45, No.7, pp. 1071-1077, July 1997
- [Boc99] D.E. Bockelman and al, “Accuracy Estimation of Mixed-Mode Scattering Parameter Measurements,” IEEE Transactions on Microwave Theory and Techniques, Vol.47, No.1, pp. 102-105, January 1999
- [Bra03] Brambilla A., Bortesi L., Vendrame L., “Measurements and Extractions of Parasitic Capacitances in ULSI Layouts,” IEEE transactions on Electron Devices, Vol. 50, No. 11, pp. 2236-2247, Nov. 2003
- [Car96] J.-L. Carbonero, « Développement des méthodes de mesures en hyper fréquences sur tranches de silicium et application à la caractérisation des technologies CMOS et BiCMOS sub-micronique », Thèse de doctorat de l’INPG, Avril 1996.
- [Cas08] <http://www.cmico.com/go/engineering-products-division/product-portfolio/probes/rf-probes/infinity/Making Accurate and Reliable 4-port On-Wafer Measurement>
- [Cha06] Yao-Wen Chang, Hsin-Wen Chang, Tao-Cheng Lu, Ya-Chin King, Wenchi Ting, Ku J., Chih-Yuan Lu, “Charge-based capacitance measurement for bias-dependent capacitance,” IEEE Electron Device Letters, Vol. 27, Issue 5, pp. 390-392, May 2006
- [Che96] Chen J.C., McGaughy B.W., Sylvester D., Chenming Hu, “An on-chip attofarad interconnect charge-based capacitance measurement (CBCM) technique,” International Electron Devices Meeting, pp. 69-72, Dec. 1996

- [Cur99] Curras-Francos M.C., Tasker P.J., Fernandez-Barciela M., Campos-Roca Y., Sanchez E., "Direct extraction of nonlinear FET C-V functions from time domain large signal measurements," IEEE Electronics Letters, Vol. 35, No. 21, pp. 1789-1791, Oct. 1999
- [Deg07] F. De Groote, "Mesures de formes d'ondes temporelles en impulsions : application à la caractérisation de transistors micro-ondes de forte puissance," Thèse de doctorat de l'Université de Limoges, Octobre 2007
- [Dun04] J. Dunsmore, "New measurement Results and Models for Non-linear Differential Amplifier Characterization," 34th European Microwave Conference, Vol. 2, Issue 13, pp. 689-692, Oct. 2004
- [Dun07] Dunsmore Joel, Anderson Keith, Blackham David, "Complete Pure-Mode Balanced Measurement System," IEEE/MTT-S International Microwave Symposium, pp. 1485-1488, June 2007
- [Gra02] Grabinski W., Vandamme E.P., Schreurs D., Maeder H., Pilloud O., Mcandrew C.C., "5.5GHz LSNA MOSFET modeling for RF CMOS circuit design," 60th ARFTG Conference Digest, Fall 2002, pp. 39-47, Dec. 2002
- [Eis99] W.R. Eisenstadt, "Accuracy Estimation of Mixed-Mode Scattering Parameter Measurements," IEEE Microwave and Guided Wave letters, Vol.9, No.1, pp. 102-105, January 1999
- [Fer05] Feltin N., "Un nouvel outil pour la métrologie électrique : le dispositif à un électron," Revue française de métrologie n°2, Vol. 2005-2, pp. 11-34
- [Laq92] B. Laquai, H. Richter, B. Hofflinger, « A new method and test structure for easy determination of femto-Farad on-chip capacitances in amos process, » IEEE International Conference Microelectronic Test Structures, Vol. 5, pp. 62-66, Mars 1992
- [Mon02] Monsieur F., "Etude des mécanismes de dégradation lors du claquage des oxydes de grille ultra minces application à la fiabilité des technologies CMOS SUB – 0.12um," Thèse de doctorat de l'INPG, Novembre 2002
- [Mon99] R. Mongia, I. Bahl, and P. Bhartia, "Solid RF and Microwave Coupled-line Circuits," Norwood: Artech House, 1999
- [Mor07-A] Morandini Y. and al, "Differential P+/Nwell varactor High Frequency Characterization," IEEE International Conference Microelectronic Test Structures, pp. 187-181, March 2007

- [Mor07-B] Y. Morandini, D. Ducatteau, J.F. Larchanche, C. Gaquiere, D. Gloria “Characterization of MOS varactor with Large Signal Network Analyser (LSNA) in CMOS 65nm bulk and SOI technologies”, 70th ARFTG Conference Digest, Fall 2007, pp. June 2007
- [Mor07-C] Y. Morandini, D. Ducatteau, J.F. Larchanche, C. Gaquiere, “Caractérisation non-linéaire de varactances de type MOS et diodes avec un analyseur vectoriel non linéaire”, XV^e Journées Nationales Micro-ondes (JNM), Mai 2007
- [Sch97] Scheurs D., Verspecht J., Nauwelaers B., Van de Capelle A., Van Rossum M., “Direct extraction of the non-linear model for two-port devices from vectorial non-linear network analyser measurements,” 27th European Microwave Conference, Vol. 2, pp. 921-926, Oct. 1997
- [She84] Sheu B.J., Hu C., “Switch-induced error voltage on a switched capacitor,” IEEE Journal of Solid-State Circuits, Vol. 19, Issue 4, pp. 519-525, Aug. 1984
- [Sis02] F. Sischka, “<http://eesof.tm.agilent.com/docs/iccap2002/mdlgbook/1measurements/4lsna/nolinrf1.pdf>,” Agilent Technologies, Tech. Rep
- [Sta03] Staszewski R.B., Chih-Ming Hung, Leipold D., Balsara P.T., “A first multigigahertz digitally controlled oscillator for wireless applications,” IEEE Transactions on Microwave Theory and Techniques, Vol. 51, Issue 11, pp.2154-2164, Nov. 2003
- [Sta05] Staszewski R.B., Chih-Ming Hung, Barton, N. Meng-Chang Lee, Leipold, D., “A digitally controlled oscillator in a 90 nm digital CMOS process for mobile phones,” IEEE Journal of Solid-State Circuits, Vol. 40, Issue 11, pp. 2203-2211, Nov. 2005
- [Van02] E.P. Vandamme, Schreurs D.M.M.-P., Van Dinther G., “Improved three-step de-embedding method to accurately account for the influence of pad parasitics in silicon on-wafer RF test-structures,” IEEE Transactions on Electron Devices, Vol. 48, Issue 4, pp. 737-742, April 2001
- [Ven06] Vendrame L., Bortesi L., Cattane F., Bogliolo A., “Crosstalk-based capacitance measurements: theory and applications,” IEEE Transactions on Semiconductor Manufacturing, Vol. 19, Issue 1, pp. 67-77, Feb. 2006
- [Ver05] Verspecht J., “Large-signal network analysis,” IEEE Microwave Magazine, Vol. 6, Issue 4, pp.82-92, Dec. 2005

Chapitre IV Etude et conception d'un oscillateur contrôlé en tension 5GHz en technologie CMOS 65 nm

IV.A. Introduction

Le chapitre précédent a démontré que les outils de caractérisation sont des éléments indéniables sur l'étude comportementale des varicaps. Mais le circuit reste l'élément de test final et permet une quantification des facteurs de mérite de la varicap à l'échelle du circuit. L'implémentation circuit est une finalité et offre le moyen de mieux peser le barycentre des facteurs de mérite de la varicap à améliorer. La motivation de ces travaux n'est pas la conception d'une architecture innovante de VCO mais une approche validation et amélioration des varicaps. Les objectifs à travers cette étude sont :

- Mieux comprendre l'impact des facteurs de mérite des varicaps sur les performances du VCO à travers la phase de conception ;
- Posséder une architecture figée de VCO où seule la varicap est substituable. Les varicaps implémentées seront des dispositifs standards et ce circuit servira de référence. Les perspectives futures sont l'intégration de nouvelles varicaps (par exemple Waffle) au cœur de circuit référent et la validation sur l'apport de ces architectures.

La première partie sera consacrée à une revue des différentes architectures d'oscillateurs contrôlés en tension afin d'évaluer la structure la mieux adaptée. La deuxième partie s'attardera sur l'analyse du bruit de phase dans les VCOs LC. La dernière partie présentera l'étude et la conception d'un VCO LC 5GHz pour les applications WLAN. Nous noterons que ce même circuit a été réalisé en technologie SOI et pourra permettre une comparaison avec un substrat type BULK.

IV.B. Les architectures de VCOs

A travers ce paragraphe, nous rappellerons les caractéristiques électriques des VCOs et le principe de contre réaction des oscillateurs bouclés. Puis, nous présenterons les avantages et les inconvénients des différentes architectures de VCO qui ont orienté notre choix.

IV.B.1. Les caractéristiques électriques

Nous définirons ici les paramètres électriques à prendre en compte pour les performances d'un VCO [Lag05] [UMC] [MiC]:

- Gain du VCO (K_{VCO}) [Hz/V] : Variation de la fréquence en fonction de la tension de commande du VCO ;
- Variation de gain du VCO qui doit être la plus monotone possible;
- Puissance de sortie du VCO [dB] : puissance du signal oscillant ;
- Consommation [mW] qui doit être la plus faible possible ;
- La fréquence centrale du VCO [Hz] ;
- La plage de variation de fréquence Δf [Hz] : dépend de la gamme de capacité de la varicap et des capacités parasites de l'oscillateur ;
- La sensibilité de la fréquence du VCO à des variations de la tension d'alimentation ;
- La sensibilité de la fréquence du VCO à des variations de la charge connectée en sortie. Ce phénomène peut être réduit en insérant un étage tampon en sortie du VCO ;
- Le bruit de phase [dBc/Hz] qui fera l'objet d'une section particulière dans ce chapitre ;
- Facteur de mérite (FOM) [dBc/Hz] : ce paramètre permet de comparer les VCOs en normalisant le bruit de phase par rapport à la fréquence d'oscillation et à la puissance consommée. Il se calcule à l'aide de l'équation **Eq IV-1**.

$$FOM = L(\Delta\omega) - 20 \cdot \text{Log} \left(\frac{\omega_0}{\Delta\omega} \right) + 10 \cdot \text{Log} \left(\frac{P_{diss}}{1mW} \right) \quad \text{Eq IV-1}$$

Avec P_{diss} [mW] : puissance dissipée dans le VCO ;

ω_0 [rad/s] : Fréquence de résonance ;

$\Delta\omega$ [rad/s] : Offset fréquentiel.

IV.B.2. Le VCO : un oscillateur bouclé

Les oscillateurs en tension peuvent être modélisés par un système bouclé comme indiqué sur la **Figure IV-1**. Le système est constitué d'un élément actif de fonction de transfert H et d'un élément passif de fonction de transfert F. La fonction de transfert du système bouclé est décrite par l'équation **Eq IV-2**.

$$\frac{Is(j\omega)}{Ve(j\omega)} = \frac{H(j\omega)}{1 - H(j\omega) \cdot F(j\omega)} \quad \text{Eq IV-2}$$

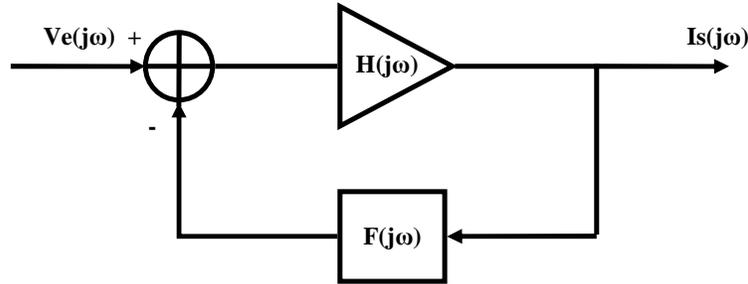


Figure IV-1 Représentation d'un oscillateur à boucle fermée

Ce système doit répondre au critère de Barkhausen pour pouvoir présenter un courant de sortie non nul en l'absence de tension d'entrée comme indiqué dans l'équation **Eq IV-3**. Ce critère assure les conditions d'oscillation (**Eq IV-4**) et de non stabilité (**Eq IV-5**).

$$H(j\omega) \cdot F(j\omega) = 1 \quad \text{Eq IV-3}$$

$$|H(j\omega) \cdot F(j\omega)| = 1 \quad \text{Eq IV-4}$$

$$\text{Arg}(H(j\omega) \cdot F(j\omega)) = 0[2\pi] \quad \text{Eq IV-5}$$

Différentes architectures sont en mesure d'assurer ces conditions mais deux approches sont possibles à travers :

- Les VCOs en anneau;
- Les VCOs à circuit résonnant LC.

IV.B.3. VCO en anneau

Le principe de l'oscillateur en anneau est basé sur des cellules à retard type RC ou inverseur. Ces différentes cellules forment une chaîne rebouclée sur l'entrée comme l'illustre la **Figure IV-2**. Le nombre de cellules est un élément important car en augmentant le nombre d'étages nous diminuons la fréquence de fonctionnement de l'oscillateur. Le nombre de cellules inverseuses est au moins égal à trois pour satisfaire les deux conditions de Barkhausen et doit être impair. Les différents étages sont donc implémentés soit avec un transistor chargé par un réseau RC soit avec des inverseurs CMOS classiques. La plupart des VCOs en anneau utilisent des inverseurs qui fonctionnent en régime saturé ou non. L'absence d'éléments passifs type inductance leur permet de présenter des densités d'intégration très intéressantes. Cependant, la fréquence maximale est limitée par les capacités parasites des transistors et par les interconnexions [**Sav01**]. De plus, leur bruit de phase reste relativement élevé [**Haj98**] du à un comportement en fréquence peu sélectif comparé aux VCOs LC.

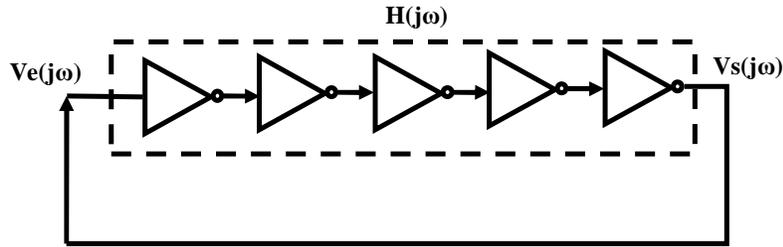


Figure IV-2 Oscillateur en anneau avec 5 cellules inverseuses

IV.B.4. VCO LC

La montée en fréquence a permis l'intégration d'inductances avec des facteurs de qualité relativement bons et un encombrement réduit. Des optimisations sur le dessin des inductances ont notamment été étudiées [Gia06] afin de réaliser des largeurs de ruban métallique plus importantes face aux règles liées aux contraintes de fabrication. L'une de ces techniques a été utilisée lors de ces travaux.

Les VCOs LC sont constitués d'un résonateur LC et d'une structure active. Cette partie active permet de compenser les pertes liées aux passifs (inductances et capacités) en présentant une impédance négative. Les oscillateurs LC peuvent apparaître sous trois formes :

- VCO Colpitt avec un transistor ;
- VCO LC avec deux transistors NMOS ;
- VCO LC avec deux transistors NMOS et deux transistors PMOS.

Les travaux de [Axe05] ont permis d'établir une comparaison entre ces trois types d'oscillateurs dont les schémas équivalents sont représentés sur les **Figure IV-3** et **Figure IV-4**. L'inconvénient majeur du VCO Colpitt est qu'il nécessite une transconductance du transistor quatre fois supérieure à la transconductance des deux transistors du VCO LC NMOS. La relation entre la taille des transistors est alors résumée dans l'équation **Eq IV-6**.

$$\left(\frac{W}{L}\right)_{Colpitts} = 8 \cdot \left(\frac{W}{L}\right)_{LCNMOS} \quad \text{Eq IV-6}$$

Avec W la largeur du transistor et L la longueur du transistor.

Le transistor de l'oscillateur Colpitt utilise donc quatre fois plus de surface que celle occupée par deux transistors dans un VCO LC NMOS différentiel. Les capacités parasites sont elles aussi plus importantes et limitent la plage de fréquence du VCO. Notre choix s'oriente vers les structures différentielles LC à simple paire croisée NMOS et LC à double paire croisée NMOS/PMOS. Le **Tableau IV-1** résume les comparaisons entre ces 2 types d'architectures.

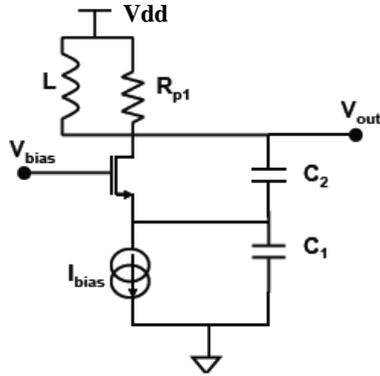


Figure IV-3 Schéma équivalent d'un oscillateur Colpitts

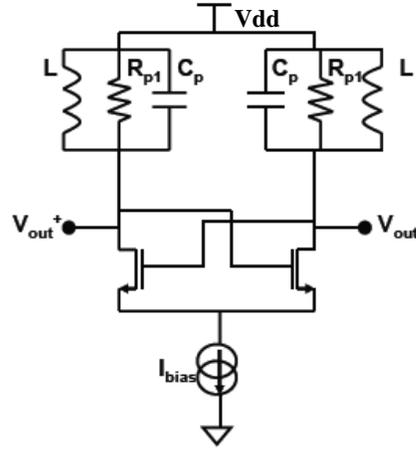


Figure IV-4 Schéma équivalent d'un oscillateur LC NMOS

Caractéristiques	VCO LC NMOS	VCO LC NMOS/PMOS
Fréquence d'oscillation	+	++
Excursion fréquentielle	++	+
Dynamique de sortie	++	+
Bruit de phase	-	+

Tableau IV-1 Comparatif entre les oscillateurs LC NMOS et LC NMOS/PMOS

Les deux structures sont globalement équivalentes avec une légère supériorité du VCO LC NMOS/PMOS en termes de bruit de phase et de fréquence maximale. Par contre, l'oscillateur LC NMOS présente des capacités parasites plus faibles et donc une augmentation de la dynamique en fréquence et surtout une complexité moins importante. Cette dernière remarque et la très faible différence de performances entre les deux structures nous ont conduits à utiliser le VCO LC NMOS pour la conception de l'oscillateur.

IV.B.5. Etude du bruit de phase

Précédemment, nous avons défini le bruit de phase comme un étalement spectral du signal utile. Il correspond plus exactement à la conversion des différentes sources de bruit inhérentes au semiconducteur autour de la fréquence porteuse [Lee98]. Le bruit de phase dans les oscillateurs a fait l'objet de plusieurs études mais ce sont les travaux de Leeson [Lees66] et d'Hajimiri [Haj98] qui ont aboutis aux modèles les plus connus.

IV.B.5.a. Le modèle de Leeson

Le modèle de Leeson, qui est sûrement le plus répandu, considère le VCO comme un système linéaire invariant dans le temps. Le bruit peut alors être modélisé par l'équation Eq IV-7.

$$L(\Delta\omega) = 10 \cdot \log \left[\frac{2FkT}{P_s} \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \left[1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right] \right] \quad \text{Eq IV-7}$$

Avec F : facteur de bruit

k : constante de Boltzmann [J/K]

T : Température absolue [K]

P_s : puissance dissipée [W]

ω_0 : la fréquence d'oscillation [rad/s]

Q : facteur de qualité du résonateur et des éléments parasites réactifs

$\Delta\omega$: offset fréquentiel [rad/s]

ω_{1/f^3} : fréquence de coupure entre le bruit en $1/f^3$ et le bruit en $1/f^2$

A partir de la formule de Leeson, nous pouvons représenter de manière schématique la densité spectrale de bruit en fonction de la fréquence d'offset comme l'illustre-la **Figure IV-5**.

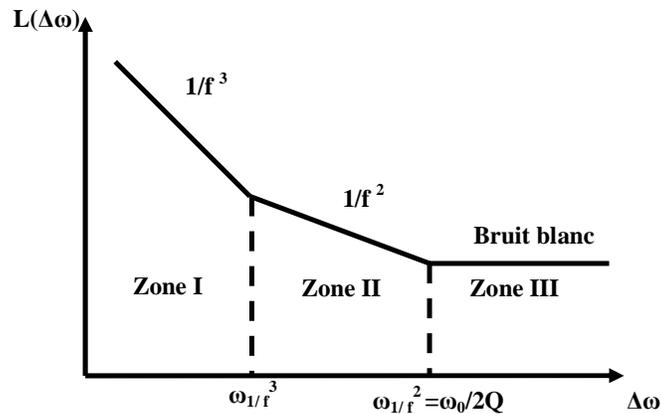


Figure IV-5 Représentation schématique du bruit de phase dans un VCO en fonction de la fréquence d'offset

La représentation du bruit de phase se caractérise par trois zones :

- Zone I : le bruit en $1/f^3$ est directement issu de la conversion du bruit basse fréquence en $1/f$ des transistors du circuit. Les nonlinéarités des transistors et des varicaps entraînent cette conversion ;
- Zone II : le bruit en $1/f^2$ est causé par la conversion du bruit thermique des composants ;
- Zone III : c'est la zone de bruit blanc. Elle fixe le plancher de bruit de l'oscillateur.

La fréquence de coupure ω_{1/f^2} correspond à la bande passante à -3dB du résonateur LC. Nous notons que la réduction de cette fréquence de coupure passe par l'augmentation du facteur de qualité. A partir de l'équation **Eq IV-7**, nous dégagons les paramètres clefs du VCO qui influent sur le bruit de phase.

Il faut donc :

- augmenter le facteur de qualité du résonateur ;

- réduire les facteurs de bruit liés aux transistors ;
- augmenter la puissance du signal aux bornes du résonateur.

Cependant, il est souvent très difficile de calculer le bruit de phase car il ne peut pas être déterminé analytiquement. Il faut le mesurer ou le simuler. De même, il est très difficile de fournir la fréquence de coupure ω_{1/f^3} . Ces deux paramètres ne sont connus qu'après la mesure [Haj98]. Un autre point bloquant de ce modèle est qu'il ne permet pas de prédire le bruit de phase dans la zone I. Il ne tient pas en compte des effets de conversion de bruit en 1/f des transistors. Pour finir, ce modèle n'est pas utilisé dans les simulateurs commerciaux. Les techniques mises en place sont plutôt des méthodes d'analyse du bruit par l'intermédiaire de matrices de conversion [Cor04]. A l'aide de ces matrices, on peut retrouver les densités spectrales de bruit de phase et d'amplitude du signal. Cette solution aboutit pour le concepteur à une meilleure appréhension des mécanismes de génération de bruit de phase par l'étude des différents contributeurs. Elle ne donne cependant pas de règle de conception. En conclusion, l'approche de Leeson reste encore limitée pour déterminer les paramètres clés à optimiser lors de la conception circuit.

IV.B.5.b. Le modèle d'Hajimiri

Les travaux d'Hajimiri présentent l'avantage de tenir compte des phénomènes variables influençant le bruit de phase du VCO. Ils permettent de prédire le bruit de phase dans la zone en 1/f³ et la fréquence de coupure ω_{1/f^3} . L'origine du modèle prend forme à travers la réponse du VCO lorsqu'on applique une impulsion de courant $i(t)$ à un instant τ . Hajimiri utilise alors la fonction de sensibilité Γ qui traduit la sensibilité du VCO à une entrée impulsionnelle. Les développements d'Hajimiri [Haj98] conduisent à l'équation **Eq IV-8** pour la densité spectrale de bruit de phase. Elle est égale à la somme des puissances de bruit présentes aux fréquences harmoniques pondérées par les coefficients de la série de Fourier de Γ .

$$L(\Delta\omega) = 10 \cdot \log \left[\frac{\overline{i_n^2} \sum_{n=0}^{\infty} c_n^2}{4 \cdot q_{\max} \cdot \Delta\omega^2} \right] \quad \text{Eq IV-8}$$

Avec c_n : coefficient de la série de Fourier de la fonction Γ ;

$\Delta\omega$ [rad/s] : écart de fréquence ;

$\overline{i_n^2}/\Delta f$ [rad²/Hz] : puissance spectrale de bruit à $\Delta\omega$;

q_{\max} : charge maximale correspondant à la dynamique maximale aux bornes du résonateur.

Contrairement à l'équation de Leeson, l'ensemble des paramètres peuvent être déterminés avant la mesure. L'autre avantage offert à travers cette équation est la possibilité de calculer le bruit de phase en 1/f³ ainsi que la fréquence de coupure ω_{1/f^3} comme l'illustre les équations **Eq IV-9** à **Eq IV-11**.

$$L(\Delta\omega) = 10 \cdot \log \left[\frac{c_0^2}{q_{\max}^2} \cdot \frac{\overline{i_n^2}}{2 \cdot \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right] \quad \text{Eq IV-9}$$

$$\omega_{1/f}^3 = \omega_{1/f} \cdot \left(\frac{c_0}{\Gamma_{RMS}} \right)^2 \quad \text{Eq IV-10}$$

$$c_0 = \frac{1}{2\pi} \int_0^{2\pi} \Gamma(x) dx \quad \text{Eq IV-11}$$

Les travaux d'Hajimiri permettent :

- De définir la réponse impulsionnelle de la phase du VCO ce qui conduit à prévoir à quel moment le circuit est plus sensible au bruit ;
- De calculer la réponse du VCO aux différentes sources de bruit et de mieux appréhender les phénomènes de conversion de bruit à travers la décomposition en série de Fourier de la fonction Γ ;
- D'exprimer le bruit de phase dans la zone en $1/f^3$ et la fréquence de coupure $\omega_{1/f}^3$.

Nous pouvons alors montrer à partir de l'équation **Eq IV-9** l'influence des paramètres c_0 , q_{\max} et $\overline{i_n^2}/\Delta f$ sur :

- La symétrie du circuit : minimiser c_0 permet d'avoir une symétrie entre les temps de montée et de descente du signal de sortie. Cette symétrie est assurée par une topologie différentielle du VCO ;
- L'amplitude de sortie du VCO : en optimisant q_{\max} nous obtenons une dynamique maximale à la sortie du VCO et nous réduisons du même coup le bruit de phase ;
- Les sources de bruit : $\overline{i_n^2}/\Delta f$ décrit le bruit total dans le VCO à travers les éléments passifs (varicaps et inductances) et actifs (paire différentielle et source de courant). Le but est donc de minimiser les différents contributeurs.

IV.B.5.c. Conclusion entre l'approche d'Hajimiri et de Leeson

L'étude des travaux de Leeson et d'Hajimiri sur le bruit de phase montrent que chacune des deux approches est très complémentaire. La première permet d'identifier trois zones distinctes du bruit de phase (**Figure IV-5**) et d'estimer le bruit de phase dans la zone en $1/f^3$. La réduction du bruit de phase dans cette zone passe par :

- Augmenter le facteur de qualité du résonateur LC ;
- Réduire les facteurs de bruit liés aux composants ;
- Augmenter la puissance du signal aux bornes du résonateur.

*Chapitre IV : Etude et conception d'un oscillateur contrôlé en tension 5GHz
en technologie CMOS 65nm*

Les travaux d'Hajimiri sont le parfait complément de ceux de Leeson car ils apportent des précisions sur les phénomènes de conversion du bruit en $1/f$ et sur l'estimation du bruit de phase en $1/f^3$. A partir des travaux d'Hajimiri, un certain nombre d'indications sur la conception du VCO sont fournis :

- Concevoir un VCO parfaitement symétrique ;
- Maximiser l'amplitude de sortie ;
- Réduire les contributions des différentes sources de bruit par des techniques de linéarisation ou de filtrage.

A travers ces deux approches la varicap prend toute son importance comme contributeur au bruit de phase. D'abord le facteur de qualité de la varicap va agir sur les performances en bruit de phase dans la zone en $1/f^2$ (Leeson). Enfin la varicap à travers ses non linéarités entrainera des conversions du bruit en $1/f$ dans la zone en $1/f^3$ (Hajimiri). Nous allons maintenant décrire la phase de conception du VCO 5GHz en technologie CMOS 65nm.

IV.C. Etude et conception

Les objectifs initiaux sont une meilleure compréhension de l'impact du facteur de qualité sur le bruit de phase de l'oscillateur et la mise en place d'un circuit référent avec une architecture figée sur la partie active et l'inductance. Il devra permettre la comparaison relative à plus long terme des différentes architectures de varicaps développées. L'implémentation du VCO nécessitera donc de répondre à un certain nombre de critères et d'apporter un soin particulier pour chaque étape de conception.

Nous décrirons donc les choix technologiques pour la topologie du VCO et nous présenterons les différentes étapes de conception.

IV.C.1. Les choix technologiques et de topologie

Aujourd'hui la technologie CMOS 65nm possède un certain nombre de critères qui en font un procédé de fabrication apte à la réalisation du véhicule de test type oscillateur contrôlé en tension :

- Maturité (2ans) ;
- Technologie retenue pour certaines applications millimétriques (Ex : sans fils type WHDMI à 60GHz) ;
- Insertion plus aisée de projets R&D (Recherche et Développement) par rapport à des technologies plus matures.

IV.C.1.a. Le Résonateur LC

L'étude sur le bruit de phase a permis de comprendre l'importance du facteur de qualité du résonateur du VCO. Il est donc important de concevoir des composants passifs avec de très bons facteurs de qualité. Nous privilégierons le facteur de qualité de l'inductance afin de mettre en exergue celui de la varicap. L'intérêt est d'avoir un circuit référent avec comme élément central la varicap.

IV.C.1.b. Réduction du bruit de phase

Nous chercherons à réduire le bruit de phase par différentes techniques telles que :

- Une isolation du cœur du VCO par des étages « tampon » de sortie ;
- Une architecture symétrique du circuit ;
- La distribution des masses et des alimentations.

D'autres solutions sont envisageables avec l'utilisation d'un filtre de bruit permettant de réduire les effets de repliement harmonique [Heg01] [And02] ou de filtres de réjection du bruit d'alimentation.

IV.C.1.c. L'offre à travers la bibliothèque de composants

Le résumé de l'offre en technologie CMOS 65 nm est disponible dans le **Tableau IV-2**.

Inductance	Varicap	Transistor			Capacité
	50 A	50 A	28 A	18A	
-Symétrique -Différentielle -Très faible surface -Faible valeur -Multi niveaux -Multi brins	-N+Poly/Nwell -P+Poly/Pwell -Différentielle	-NMOS -PMOS	-NMOS -PMOS	-NMOS -PMOS	-MOM -MIM

Tableau IV-2 Résumé de l'offre technologique à STMicroelectronics en CMOS 65 nm

De nombreux travaux ont été réalisés comme ceux de David Axelrad [Axe05] présentant les performances de plusieurs circuits avec différents choix technologiques. Nous nous sommes limités à un seul circuit et nous justifierons les choix technologiques à travers la description des étapes de conception.

IV.C.2. Les étapes de conception

Nous présenterons toute la chaîne de conception du VCO et les résultats de simulation associés. Nous exposerons successivement la conception du résonateur, des structures actives et des étages tampon de sortie.

IV.C.2.a. Le résonateur

Le résonateur LC (**Figure IV-6**) sera constitué d'une inductance différentielle et de 2 varicaps collées tête bêche pour avoir une topologie symétrique. La fréquence de résonance est fixée par l'équation **Eq IV-12**.

$$f = \frac{1}{2\pi\sqrt{L.(C + C_{par})}} \quad \text{Eq IV-12}$$

Avec L la demi-inductance [H], C la capacité de la varicap [F] et C_{par} les capacités parasites du circuit.

Nous pouvons rappeler que le facteur de qualité de la structure est fixé par l'équation **Eq I-14**.

Pour la conception du résonateur, nous chercherons d'abord à optimiser le facteur de qualité de l'inductance.

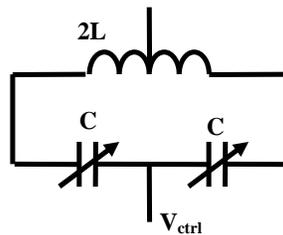


Figure IV-6 Schéma électrique du résonateur

(1) L' inductance

Nous avons choisi une inductance différentielle avec point milieu illustrée sur la **Figure IV-7**. Le diamètre intérieur D_{int} est fixé de manière à maximiser la valeur de l'inductance. Afin d'optimiser le facteur de qualité à la fréquence de travail, nous faisons varier la largeur du ruban métallique W . Les résultats de simulation sont présentés sur les **Figure IV-8** à **Figure IV-10**. La **Figure IV-8** révèle que le facteur de qualité est maximum à 5GHz pour une largeur de ruban proche de 40 μ m. La simulation est affinée et permet d'avoir un facteur de qualité optimisé pour une largeur de ruban métallique de 39.5 μ m. La valeur de self associée est donc de 0.65nH.

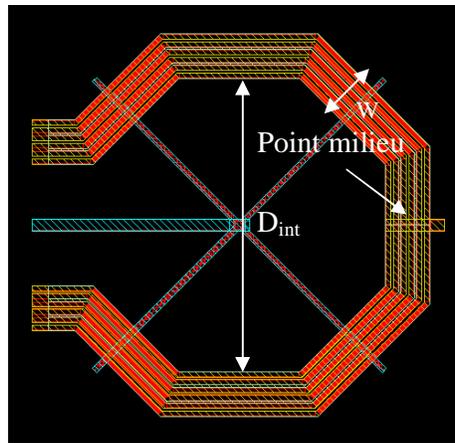


Figure IV-7 Architecture de l'inductance $W=39.5\mu$ m $D_{int}=260\mu$ m Nb (nombre de tours=1)

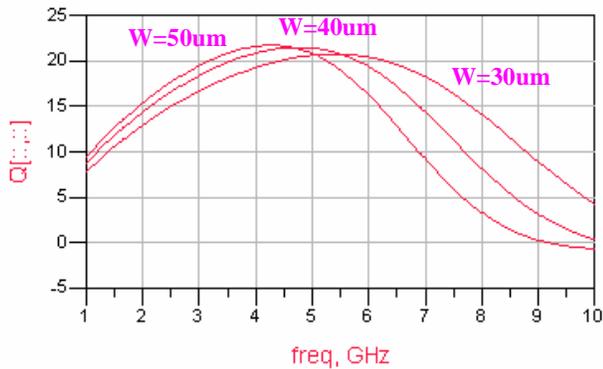


Figure IV-8 Facteur de qualité de l'inductance en fonction de la fréquence avec 3 largeurs différentes de ruban métallique



Figure IV-9 Valeur de l'inductance en fonction de la fréquence avec 3 longueurs différentes de ruban métallique



Figure IV-10 Facteur de qualité de l'inductance en fonction de la largeur de ruban métallique

Le **Tableau IV-3** résume les paramètres de l'inductance à intégrer dans notre VCO.

Inductance		L
Topologie		Différentielle
Type		Multibrins
Géométrie	W (um)	39.5
	D_{int} (um)	260
	Nb	1
Paramètres électriques	Ls@5GHz	0.65nH
	Q@5GHz (1 port)	21.6

Tableau IV-3 Résumé des paramètres de la varicap pour le VCO

(2) Les varicaps

Nous choisirons des varicaps de type N+Poly/Nwell car elle offre une gamme de capacité et un facteur de qualité suffisamment important. Nous évaluerons la capacité visée à partir de l'équation **Eq IV-12**, 1.55pF. Nous avons démontré lors du chapitre II qu'une varicap avec une architecture Waffle offrait un réel potentiel pour les technologies CMOS avancées. La perspective future d'une comparaison entre une structure standard et Waffle à l'échelle du VCO, nous amène à choisir la configuration la plus adaptée pour évaluer l'impact d'une varicap type Waffle. La géométrie est choisie de manière à être très interdigitée afin d'évaluer le gain en surface et nous réduisons la longueur et la largeur de grille au minimum pour observer l'impact sur la résistance. Le **Tableau IV-4** résume les caractéristiques géométriques de la varicap choisie.

Varactors		V1àV6
Topologie		2 ports
Type		N+Poly/Nwell 50A
Géométrie	Lfp (um)	0.35
	Wfp(um)	3
	Nbfp	50

Tableau IV-4 Résumé des paramètres des varicaps pour le VCO

Afin de synthétiser la gamme de capacité souhaitée et de permettre un accord suffisant en fréquence, nous avons matricié trois varicaps. La caractéristique C-V et le facteur de qualité sont représentés sur les **Figure IV-11** et **Figure IV-12**.

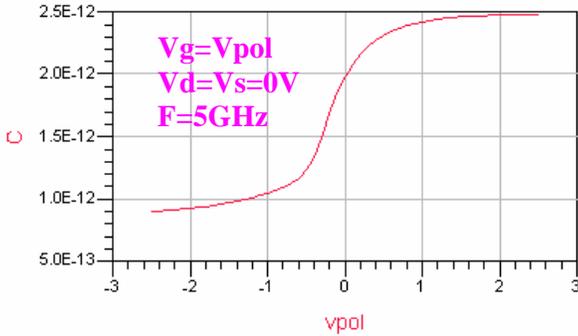


Figure IV-11 Caractéristique C-V des trois varicaps N+Poly/Nwell matriciées



Figure IV-12 Q(f) des trois varicaps N+Poly/Nwell matriciées

Le facteur de qualité de la varicap est d'environ 20 à 5GHz. La varicap est l'élément limitant de ce circuit. Ayant fixé la géométrie de l'inductance et des varicaps, nous pouvons observer la réponse du résonateur LC sur la **Figure IV-13**.

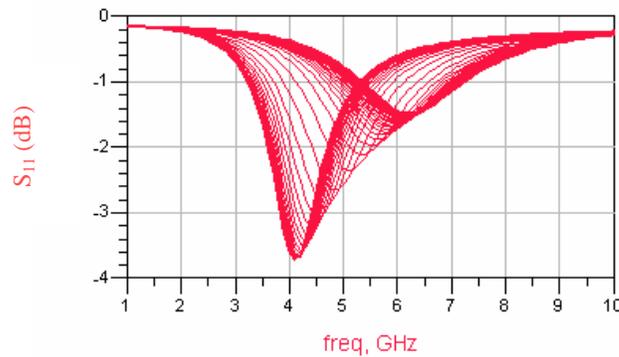


Figure IV-13 Pertes d'insertion du résonateur

L'implantation du résonateur est illustrée sur la **Figure IV-14**.

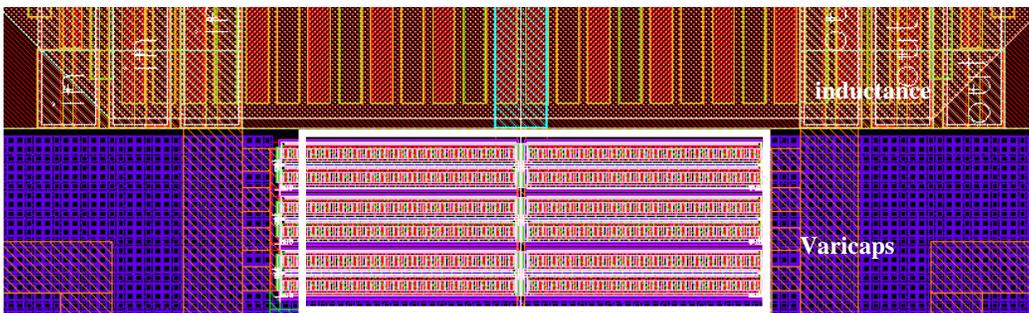


Figure IV-14 Implantation du résonateur

En conclusion, l'élément résonnant du VCO a été conçu de façon à exacerber l'impact de la varicap sur les performances du VCO.

IV.C.2.b. La structure active

Le rôle de la partie active est de compenser les pertes résistives du résonateur LC. Nous devons ramener une résistance négative en parallèle du résonateur afin d'entretenir une oscillation en régime permanent. La partie active sera alors assurée par une paire différentielle croisée comme l'illustre la **Figure IV-15**. En un régime petit signal, la résistance active ramenée par la paire différentielle est de $-2/g_m$ avec g_m la transconductance du transistor. A la résonance, le résonateur est équivalent à une résistance R_p . L'admittance du couple résonateur et partie active est donc équivalente à l'admittance Y_{eq} décrite par l'équation **Eq IV-13**.

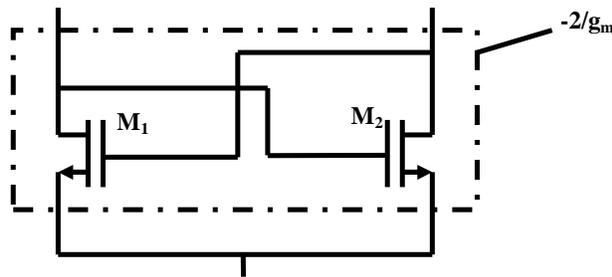


Figure IV-15 Schéma électrique de la paire différentielle du VCO LC NMOS

Pour répondre aux critères de Barkhausen, cette admittance doit rester négative. La condition d'oscillation est alors décrite par l'équation **Eq IV-14**. La résistance du résonateur n'est pas connue avec précision mais simulée. Nous prendrons une valeur de transconductance quatre fois supérieures à la valeur limite pour s'affranchir des variations des procédés de fabrication et des erreurs liées à la modélisation [**Ege05**].

$$Y_{eq} = \frac{1}{R_p} - \frac{g_m}{2} \tag{Eq IV-13}$$

$$R_p \geq \frac{2}{g_m} \tag{Eq IV-14}$$

Le dimensionnement de la paire différentielle doit également prendre en compte le bruit basse-fréquence des transistors et influe directement sur les performances en bruit de phase du VCO. Les travaux de [**Li03**] ont montré que l'optimum du bruit de phase du VCO n'est pas assuré par la longueur minimale de la technologie. La longueur de grille optimum et la longueur de grille sont reliées par l'équation **Eq IV-15**.

$$L_{opt} = \eta \cdot L_{min} \tag{Eq IV-15}$$

Où η est supérieur à un et dépend des paramètres du procédé et de la polarisation en courant. Différentes simulations ont permis de montrer que la longueur optimum est de 0.45 μ m. La géométrie des transistors de la paire différentielle est résumée dans le **Tableau IV-5**.

Transistors		M1et M2
Type		NMOS 50A
Dimensions	Longueur (um)	0.45
	Largeur (um)	9
Nombre de doigts		10

Tableau IV-5 Paramètres de conception de la paire différentielle

Les transistors sont donc composés de 10 doigts d'une largeur de 0.9 μ m. Cette largeur permet de minimiser la résistance de grille.

La **Figure IV-16** illustre l'implantation de la structure active aux bornes du résonateur.

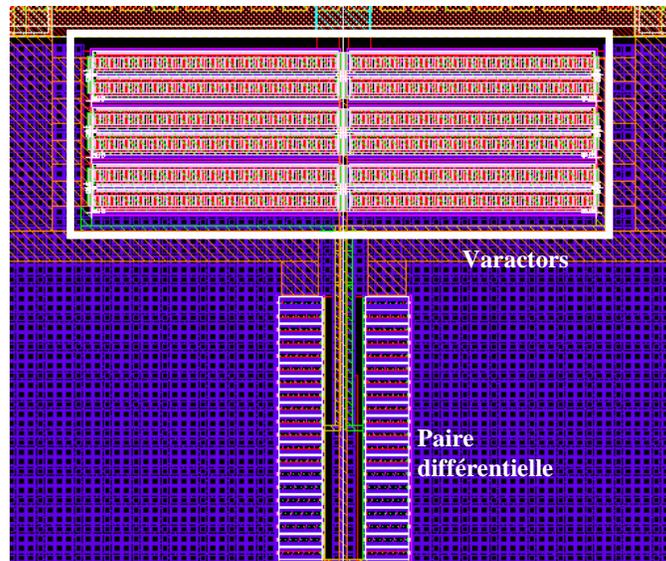


Figure IV-16 Implantation de la paire différentielle aux bornes du résonateur

Nous allons désormais nous intéresser à l'alimentation de la paire différentielle via un miroir de courant. La conception du miroir de courant requière une attention particulière car il aura une contribution sur le bruit de phase du VCO.

IV.C.2.c. Les alimentations du VCO

La source de courant est assurée par un miroir de courant décrit sur la **Figure IV-17**. Le but est de créer un générateur de courant idéal. Le miroir de courant utilise le principe suivant : si les potentiels grille-source de deux transistors MOS sont identiques, les courants de canal doivent être

égaux dans la région de saturation. Le courant I_{bias} qui circule à travers le transistor NMOS M_3 sera recopiée à travers le transistor M_4 . La condition préalable est d'avoir 2 transistors parfaitement identiques pour que le rapport des courants dans M_3 et M_4 soit de un. La bonne recopie du courant passe par une augmentation de la résistance de sortie de M_4 . Nous devons également assurer un fonctionnement de M_3 en régime de saturation en minimisant la tension V_{DSsat} . Ceci passe par un grand rapport W/L .

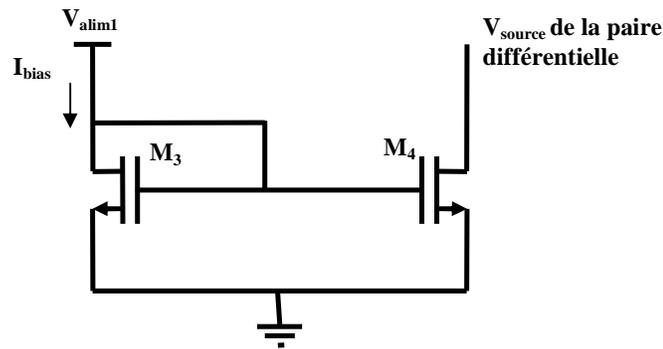


Figure IV-17 Schéma électrique de la source de courant

Les paramètres de conception du miroir de courant sont résumés dans le **Tableau IV-6**.

Transistors		M3 et M4
Type		NMOS 50A
Dimensions	Longueur (um)	10
	Largeur (um)	1
Nombre de doigts		3
Nombre de transistors en parallèle		150

Tableau IV-6 Paramètres de conception du miroir de courant du VCO

Le grand nombre de transistors mis en parallèle va permettre d'augmenter la surface et donc de minimiser le bruit en $1/f$ des transistors.

Dans l'optique de la réduction du bruit d'alimentation, nous avons implémenté des capacités de découplage dont les paramètres sont décrits dans le **Tableau IV-7**.

Capacité	MOM
Valeur	3pF
Dimension	25um*105um

Tableau IV-7 Paramètres de conception des capacités de découplage

IV.C.2.d. L'étage tampon de sortie

Le VCO est sensible à la charge ramenée aux bornes du résonateur ce qui se traduit par une variation de la fréquence de fonctionnement. Nous parlerons de « pulling fréquentiel ». Cet étage tampon a pour but de ramener une forte impédance au niveau du résonateur. Nous utiliserons un étage suiveur comme l'illustre la **Figure IV-18**.

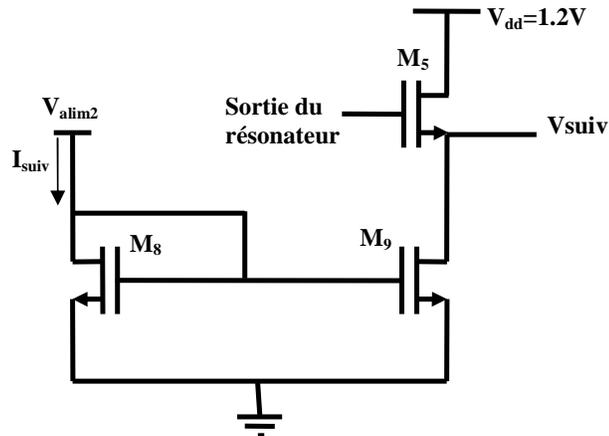


Figure IV-18 Schéma de conception de l'étage suiveur du VCO

Des études [Ege05] ont montré qu'il existe un compromis entre le bruit ramené par cet étage suiveur et les performances d'isolation. Comme nous l'avons déjà évoqué, le bruit ramené par un transistor peut être réduit en augmentant la surface de ce transistor. Mais cette augmentation de surface passe par une augmentation de la capacité C_{gs} de M5 et se traduit par une baisse de la fréquence de transition du transistor rendant l'étage suiveur moins efficace. Les dimensions des transistors de l'étage suiveur sont décrites dans le **Tableau IV-8**.

Paramètres		M5 et M6
Type		NMOS 50A
Dimensions	Longueur (um)	0.28
	Largeur (um)	60
Nombre de doigts		60

Tableau IV-8 Paramètres de conception de l'étage suiveur

Cet étage suiveur est alimenté par un miroir de courant dont les paramètres de conception sont répertoriés dans le **Tableau IV-9**.

A noter que les courants de polarisation sont de 1mA pour l'étage suiveur.

Transistors		M8, M9 et M10
Type		NMOS 50A
Dimensions	Longueur (um)	0.28
	Largeur (um)	60
Nombre de doigts		60

Tableau IV-9 Paramètres de conception des sources d'alimentation de l'étage suiveur

Ces étages tampons de sortie ne sont utiles que lorsque l'on veut tester le circuit VCO seul. Lorsque le VCO est intégré dans une boucle à verrouillage de phase, ces étages peuvent être supprimés.

IV.C.2.e. Montage final

La Figure IV-19 représente le montage final de du VCO avec le cœur du VCO, les étages tampon de sortie et les sources d'alimentation.

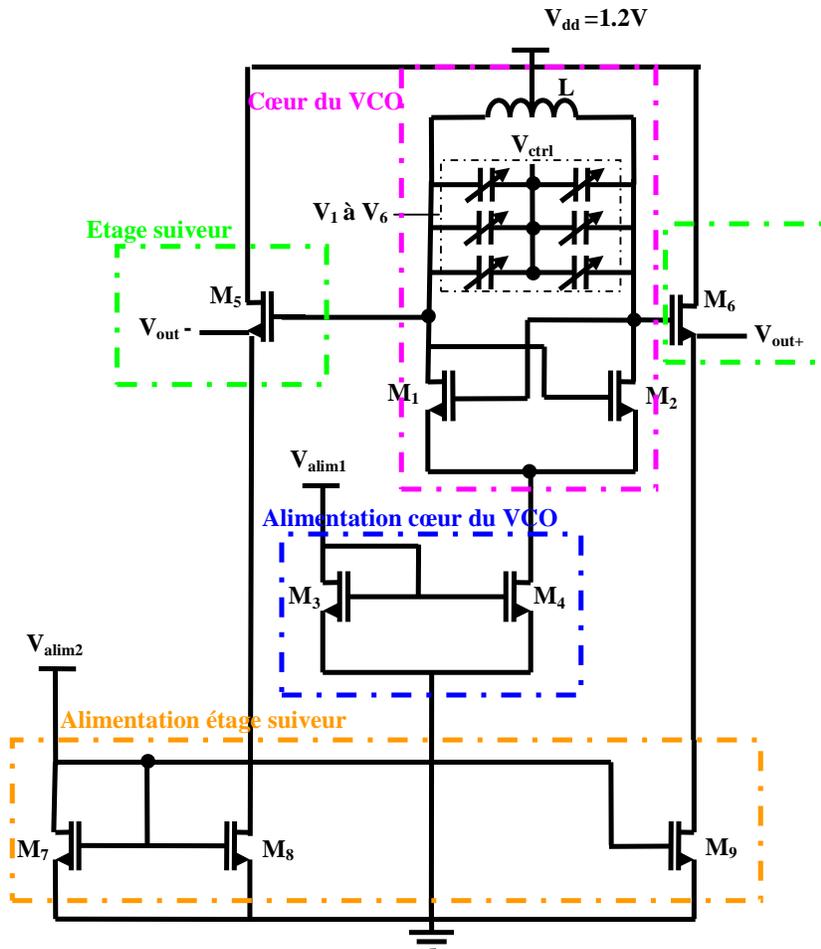


Figure IV-19 Schéma électrique du montage final du VCO

La **Figure IV-19** indique clairement que la problématique de conception du VCO réside dans tous les éléments externes au cœur de l'oscillateur. L'ensemble des transistors qui forment les alimentations et les suiveurs est source de bruit et dégrade les performances en bruit de phase du VCO.

Une fois les étapes de conceptions décrites, nous présentons les résultats de simulation.

IV.C.3. Résultats de simulation

Les simulateurs commerciaux tels que ADS (Advanced Design System Agilent EEsof) et SpectreRF (Cadence) permettent de déterminer le régime permanent périodique d'un circuit non linéaire comme un VCO. Ces deux types de simulateurs utilisent des méthodes telles que la méthode balistique ou bien la méthode d'équilibrage harmonique (Harmonic-Balance) [Ben06](Tableau IV-10). Les deux techniques permettent de déterminer rapidement le régime permanent des circuits non linéaires indépendamment de leur constante de temps. Les études suivantes avec ADS et SpectreRF nous ont permis de montrer que les résultats de simulations étaient similaires avec les deux outils à disposition.

Méthode		SpectreRF	ADS
Temporelle	Régime permanent périodique (PSS)	■	
Fréquentielle	Harmonic Balance		■

Tableau IV-10 Méthodes d'analyse du régime permanent périodique

Nous présenterons les simulations qui permettent de converger vers le régime permanent avec des simulations HB sous ADS et PSS sous spectre RF. Puis nous exposerons les résultats sur le bruit de phase.

IV.C.3.a. Simulations HB et PSS

Les simulations HB et PSS ne sont pas choses aisées et demandent un bon calibrage des outils à disposition. Les résultats de simulation du circuit sont résumés dans le **Tableau IV-11**.

Fréquence d'oscillation en [GHz]			Plage de fréquence $\Delta f/f$ [%]	Amplitude du signal différentielle [V] à $V_{ctrl}=-1.3V$
$V_{ctrl}=-1.3V$	$V_{ctrl}=0V$	$V_{ctrl}=2.2V$		
5.04	5.13	6.59	23	2.94

Tableau IV-11 Résultats de simulation du VCO (HB)

La plage de fréquence est limitée à 23% et subit la multiplication des capacités parasites. Néanmoins ces premiers résultats sont très encourageants notamment sur la convergence des simulations.

La sortie différentielle est représentée sur la **Figure IV-20**.

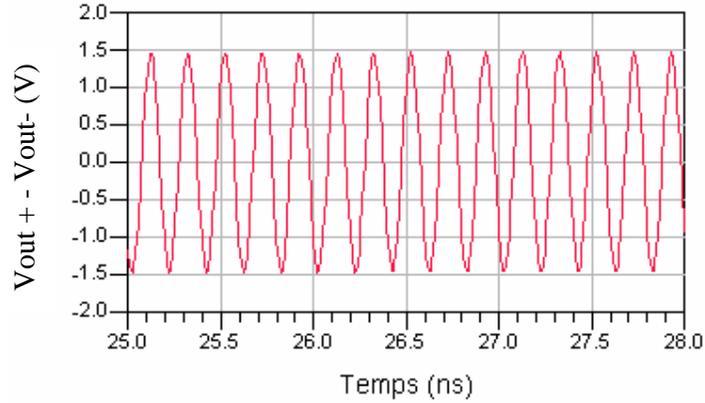


Figure IV-20 Sortie différentielle du VCO (Vctrl=-1.3V)

Les oscillations sont établies au bout de 20ns comme le montre la simulation du régime transitoire sur la **Figure IV-21**.

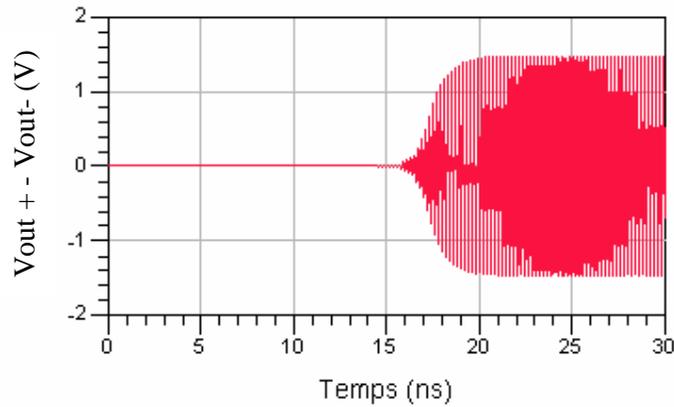


Figure IV-21 Simulation du régime transitoire du VCO (Vctrl=-1.3V)

En conclusion, les simulations HB on permis une validation de la méthode de conception et des objectifs avec un oscillateur stable fonctionnant à 5 GHz

IV.C.3.b. Simulations du bruit de phase

Les simulations en bruit de phase à 1MHz de la fréquence d'oscillation sont résumées dans le **Tableau IV-12**.

Bruit de phase à 1MHz [dBc/Hz]		
V_{ctrl} = -1.3V	V_{ctrl} = 0V	V_{ctrl} = 2.2V
-122	-123	-116

Tableau IV-12 Résultats de simulation du bruit de phase à 1MHz de la porteuse

Les résultats du bruit de phase sont illustrés sur la **Figure IV-22**.

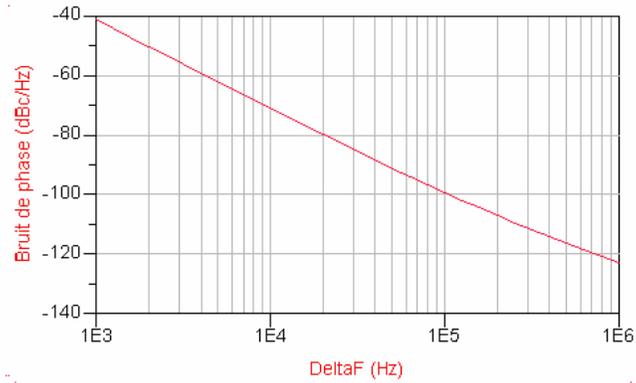


Figure IV-22 Résultat de simulation du bruit de phase

Comme nous le verrons par la suite, les résultats de simulation sont en ligne avec l'état de l'art.

IV.C.3.c. Comparaison avec l'état de l'art

Nous comparerons nos résultats de simulation à l'état de l'art pour des VCOs avec une fréquence de fonctionnement proche de 5GHz. Ils sont illustrés dans **Tableau IV-13**. Nous n'avons pas pris en compte les parasites liées aux lignes d'accès.

	Technologie	F ₀ [GHz]	Tension d'alimentation	P _{dc} [mW]	Bruit de phase à 1MHz [dBc/Hz]	Plage de fréquence Δf/f [%]	FOM (dBc/Hz)	Surface occupée (mm ²)
Notre travail (simulations)	CMOS 65nm	5.05	1.2	9.6	-122	23	-186	0.25
[Ain00]	BiCMOS SiGe 0.18um	5.67	1.5	2.4	-119	15	-191	0.49
[Dea05]	BiCMOS SiGe 0.18um	5.6	2.7	13.5	-117	10	-180	0.2
[Jae03]	CMOS 0.18um	5.5	1.8	3.6	-115	20	-184	0.84

Tableau IV-13 Comparaison des résultats de simulation avec l'état de l'art

L'ensemble des résultats de simulation démontre une bonne adéquation avec l'état de l'art.

IV.C.4. La réalisation et les mesures

L'ensemble des simulations validées, nous avons implémenté notre VCO sur silicium. Le circuit a été envoyé en fabrication au mois de janvier 2008 et nous attendons un retour du silicium. La

micro-photographie du circuit est représentée sur la **Figure IV-23** et le dessin de conception sur la **Figure IV-24**.

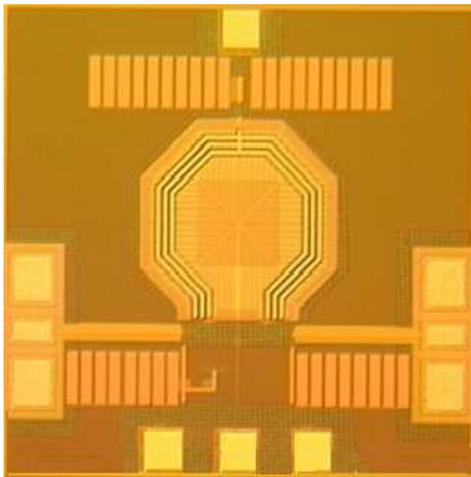


Figure IV-23 Microphotographie du VCO

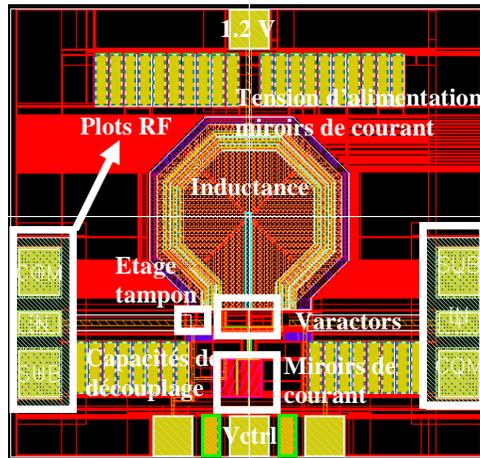


Figure IV-24 Dessin de conception du VCO

Les mesures seront réalisées sous pointes sur une plateforme Karl Suss. L'analyseur de spectre utilisé est le 8565EC d'Agilent et fonctionne jusqu'à 50GHz. Les mesures de puissance sont effectuées sous une seule voie. Les valeurs pour obtenir la puissance différentielle sont ensuite extrapolées. La tension d'alimentation est de 1.2V et les polarisations en courant sont les suivants :

- Courant dans le cœur du VCO : 8mA ;
- Courant dans l'étage suiveur : 1mA

Le délai de fabrication du circuit ne nous a pas permis d'intégrer les résultats de mesure.

IV.D. Conclusion

L'objectif initial était la mise en place d'un véhicule de test type VCO avec des varicaps standards qui servirait de circuit référent et permettrait à l'avenir une quantification des facteurs de performances des nouvelles architectures à l'échelle de l'oscillateur. Un soin particulier a donc été apporté sur les différentes étapes de conception en cherchant à exacerber le facteur de qualité de la varicap et en réduisant l'impact de la partie active sur le bruit de phase. L'ensemble du travail a été présenté au niveau simulation mais il reste à valider l'étape de mesure au retour de fabrication du silicium planifié en octobre 2008. Outre la phase de mesure, les perspectives sont une intégration de nouvelles structures au cœur de circuit référent en les substituant aux varicaps standards, afin de valider si le gain à l'échelle de la varicap transparait à travers les performances du VCO.

IV.E. Bibliographie

- [Ain00] H. Ainspan and J. O. Plouchart, "A comparison of MOS varactors in fully-integrated CMOS LC VCO's at 5 and 7 GHz," in Proc. ESSCIRC, 2000, pp. 447-450
- [And02] P. Andreani and H. Sjoland, "Tail current noise suppression in RF CMOS VCOs;" Solid-State Circuits, IEEE Journal of, Vol. 37, Issue 3, pp.342-348, March 2002
- [Axe05] D.Axelrad, "Application des technologies CMOS sur SOI aux fonctions d'interface des liens de communication haut débit (>10Gbit/s), » Thèse de doctorat de l'INPG, Octobre 2005.
- [Ben06] Abderrazak Bennadji, "Implémentation de modèles comportementaux d'amplificateurs de puissance dans des environnements de simulation système et co-simulation circuit système," thèse de doctorat de l'Université de Limoges, Avril 2006
- [Cor04] D. Cordeau, "Etude comportementale et conception d'oscillateurs intégrés polyphases accordables en fréquence en technologies Si et SiGe pour les radiocommunications", PhD Thesis, Université de Poitiers, Nov. 2004.
- [Ege05] A. Engelstein, "Etude des potentialités de la technologie CMOS-SOI 0,13 µm pour la synthèse de fréquence à 10 GHz sous faible tension, " thèse de doctorat de l'université de Grenoble, Avril 2005.
- [Gia06] F.Gianesello, "Evaluation de la technologie CMOS SOI Haute résistivité pour des applications RF jusqu'en bande millimétrique, " thèse de doctorat de l'université de Grenoble, Octobre 2006.
- [Haj98] A. Hajimiri, "Jitter and phase noise in electrical oscillators," PhD thesis, Stanford University, 1998.
- [Heg01] E. Hegazi and al; "A filtering technique to lower LC oscillator phase noise," Solid-State Circuits, IEEE Journal of, Vol. 36, Issue 12, pp.1921-1930, Dec. 2001.
- [Lag05] T. Lagutère, "Conceptions et modélisations d'oscillateurs contrôlés et de leurs boucles à verouillage de phase associées pour des applications radiocommunications mobiles professionnelles," thèse de doctorat de l'Université de Limoges, Février 2005.
- [Lee98] T. H. Lee; "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, pp 243-256, 1998.

*Chapitre IV : Etude et conception d'un oscillateur contrôlé en tension 5GHz
en technologie CMOS 65nm*

- [Lees66] D. B. Leeson ; "A simple model of feedback oscillator noise spectrum", Proc. IEEE, vol. 54, pp. 329-330, Feb. 1966.
- [Li03] S. Li and al, "A 10-GHz CMOS quadrature LC-VCO for multirate optical applications," Solid-State Circuits, IEEE Journal of, vol. 38, Issue 10, pp.1626-1634, Oct. 2003.
- [MIC] <http://www.minicircuits.com/appnote/an95003.pdf>; « Glossary of VCO Terms »
- [Sav01] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," Solid-State Circuits, IEEE Journal of, vol. 36, Issue 5, pp.761-768, May 2001.
- [UMC] Universal Microwave Corporation ; « VCO Application Notes »
- [Dea05] G. De Astis, D. Cordeau, J. M. Paillot, and L. Dascalescu, "A 5-GHz fully integrated full PMOS low-phase-noise LC VCO," IEEE Journal of Solid State Circuits, vol. 40, pp. 2087-2091, 2005.
- [Jae03] C. Jae-Hong, Y. Yong-Sik, P. Mun-Yang, and K. Choong-Ki, "A new 6 GHz fully integrated low power low phase noise CMOS LC quadrature VCO," in IEEE RFIC Symp. Dig., 2003, pp. 295-298

Conclusion générale

L'ensemble de ces travaux a porté sur l'étude de nouvelles varicaps en technologie CMOS et BiCMOS. Ces développements se sont axés autour de trois phases :

- la définition des structures et leur implémentation sur silicium ;
- la caractérisation des dispositifs implémentés et l'évaluation de nouvelles techniques de mesures hyperfréquences et haute impédance ;
- la validation et la quantification des facteurs de mérite à l'échelle du circuit à travers la conception d'un VCO 5GHz en technologie CMOS 65nm.

Dans le premier chapitre, nous avons montré que la varicap est un élément incontournable aux extrémités de la chaîne de transmission RF. La performance de ces circuits est intimement liée aux caractéristiques des varicaps. Diverses solutions technologiques ont été évoquées et les varicaps intégrées sur silicium se sont révélées les plus attractives en ratio coûts technologiques/performances. Ces capacités non linéaires présentent l'avantage d'être issues des procédés standards et ne soucient pas d'ajout de masque supplémentaire. L'étude des varicaps nous a permis d'identifier les facteurs de mérite à travers les performances de la capacité intrinsèque et le comportement hyperfréquence. Ces caractéristiques électriques sont inhérentes à la structure et serviront de lignes directrices à l'amélioration des composants actuels. Néanmoins les travaux sur les familles de varicaps illustrent que les performances sont également dictées par des critères géométriques. Ce dernier aspect se révèle prédominant dans les technologies CMOS avancées où l'offre de varicaps MOS avec différentes épaisseurs oxyde se multiplie. Ce premier chapitre a permis de fournir les pistes d'amélioration des caractéristiques électriques et géométriques.

Le deuxième chapitre a abouti à la définition de nouvelles architectures de varicaps et à l'étude d'une étape technologique dédiée aux varicaps. Un large éventail de structures a été implémenté pour répondre aux objectifs initiaux qui étaient une amélioration des facteurs de mérite et la simplification du dessin des oscillateurs. L'évaluation de ces structures a permis de dégager des candidats pour les futures avancées technologiques. Une architecture Waffle pourra être intégrée dans les technologies CMOS avancées faisant face à la réduction de la taille des transistors. Les varicaps HBT SiGe s'avèrent des structures très performantes dans un procédé de fabrication BiCMOS. Notre travail devra permettre de suivre les évolutions technologiques dans les procédés « More Moore » et « More than Moore ». Le « More Moore » liée à la puissance de calcul des processeurs informatiques suit les procédés CMOS avancées. Le « More than Moore » est plutôt dicté par l'ajout de valeur ajoutée avec l'intégration de fonctions radiofréquences, de gestion de puissance,plutôt orienté vers les procédés BiCMOS.

Le troisième chapitre concerne les techniques de mesures des varicaps avec comme objectif une caractérisation la plus proche possible du contexte d'utilisation dans un système. L'introduction des

Conclusion générale

varicaps différentielles et attoFarad dans les bibliothèques de composants nous a conduit à évaluer des nouvelles techniques de caractérisation. Dans le cas des architectures différentielles, les analyseurs vectoriels de réseau standards n'offraient pas la possibilité d'avoir des signaux corrélés. L'apparition récente des analyseurs quatre ports à excitation différentielle a permis de répondre à nos besoins et de mettre en place une nouvelle procédure de modélisation des varicaps différentielles. Dans le cas des varicaps attoFarad, nous nous heurtons au paradoxe faible valeur de capacité et fréquence de travail. A basse fréquence (Mhz) les capacités attoFarad sont des composants très haute impédance. A haute fréquence, nous diminuons la valeur l'impédance présentée mais d'autres problématiques apparaissent liées à la caractérisation en bande millimétrique : couplage des sondes via le substrat, calibrage, épiluchage des structures de test. Une méthode adaptée de la technique CBCM a été implémentée sur silicium et offre la possibilité d'augmenter le courant détectable. Le dernier axe de recherche répondait à une caractérisation plus proche des conditions de polarisation dans les VCOs en assurant une dynamique importante aux bornes de la varicap. L'utilisation d'un analyseur de réseau non linéaire type LSNA a mis évidence le caractère transitoire de la capacité. Cette technique de caractérisation pourra servir à quantifier les phénomènes de génération thermique et les confronter aux futurs modèles MOSVAR. Cependant, cette technique de mesure ne se substituera en aucun cas à la caractérisation petit signal. Elle est trop restrictive (limité à l'extraction de la capacité), limitée en fréquence et pénalisée par le plancher de bruit de l'appareillage.

Ces travaux ouvrent la voie aux futurs challenges : mesure de très faibles valeurs de capacités pour les applications millimétriques (<quelques femtoFarads) et une meilleure modélisation des architectures différentielles pour les composants passifs. Les perspectives de développement résident essentiellement à travers des appareillages hyperfréquences qui offrent différentes options (grand signal avec charge active, bruit, 4 ports) tout en assurant la montée en fréquence.

Le quatrième chapitre clôture les travaux de thèse et a conduit à la conception d'un VCO 5GHz en technologie CMOS 65nm. La finalité de cette étude est la réalisation d'un circuit référent permettant de quantifier les facteurs de mérite de la varicap à l'échelle du circuit. Ce véhicule de test présente une architecture fixe où seule la varicap est substituable. Pour l'instant les varicaps intégrées sont de type standard et il nous reste à valider l'étape de mesure au retour de fabrication du silicium. Les perspectives futures sont évidemment la mesure de l'oscillateur implémenté et l'intégration des nouvelles architectures de varicaps dans le véhicule de test, afin de montrer si le gain reste visible à l'échelle du circuit.

L'ensemble de ces données techniques forme une base technique et ouvre la voie à diverses perspectives et problématiques :

- Evaluer une structure différentielle en régime de grand signal et valider la présence ou non d'un courant moyen, qui annulerait les bénéfices d'une architecture différentielle ;
- Faire face à la réduction des épaisseurs d'oxyde avec un schéma équivalent qui prend en compte de manière précise les fuites dans l'oxyde ;

Conclusion générale

- Assurer la montée en fréquence avec des architectures et des géométries de dispositifs adaptées ;
- Tirer profit des évolutions technologiques avec les nouvelles structures de transistors CMOS sub-45 nm avec des oxydes de grille type « High K » et des grilles métalliques.

Annexes

Annexe A : La capacité MOS

Pour la capacité de la structure MOS, il faut différencier le régime statique et le régime dynamique.

L'oxyde est équivalent un condensateur plan dont la capacité est donnée par l'équation **Eq 0-1**.

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad \text{Eq 0-1}$$

Avec ε_{ox} la permittivité de l'oxyde.

t_{ox} l'épaisseur de l'oxyde.

La chute de potentiel dans l'oxyde et la charge développée sur la grille sont reliées par la relation **Eq 0-2** en régime statique.

$$C_{ox} = \frac{Q_G}{V_G - \psi_s} \quad \text{Eq 0-2}$$

Avec Q_G la charge dans la grille et V_G la tension appliquée sur la grille.

En régime dynamique, si la tension de polarisation V_G varie de dV_G , le potentiel de surface ψ_s varie de $d\psi_s$. La capacité en régime dynamique et sous la condition d'être en petit signal (c'est-à-dire d'avoir une variation dV_G petite devant V_G) est donnée par l'équation **Eq 0-3**.

$$C_{ox} = \frac{dQ_G}{d(V_G - \psi_s)} \quad \text{Eq 0-3}$$

Mais la variation $d\psi_s$ du potentiel de surface n'est autre que la variation de la tension aux bornes de la ZCE du substrat. A cette variation $d\psi_s$, correspond une variation dQ_C de la charge développée dans le substrat, de sorte que la ZCE se comporte comme une capacité dynamique comme le montre l'équation **Eq 0-4**.

$$C_{sc} = \frac{dQ_G}{d\psi_s} \quad \text{Eq 0-4}$$

La structure complète est soumise à la différence de potentiel V_G . Quand V_G varie de dV_G , les charges développées dans la grille d'une part et dans le substrat d'autre part, varient de $dQ_G = -dQ_C$. La structure complète se comporte donc comme une capacité décrite par l'équation **Eq 0-5**.

$$C_{mos} = \frac{dQ_G}{dV_G} = -\frac{dQ_c}{dV_G} \quad \text{Eq 0-5}$$

On obtient au final :

$$\frac{1}{C_{mos}} = \frac{1}{C_{ox}} + \frac{1}{C_{sc}} \quad \text{Eq 0-6}$$

Annexe B : De la jonction PN à la capacité diode

Considérons le cas d'une jonction PN abrupte (**Figure 0-1**) dans laquelle $N_a \gg N_d$ avec N_a et N_d les concentrations d'impuretés. Si la jonction n'est pas polarisée, une tension $V_d = V_n - V_p$ s'établit aux extrémités de la ZCE.

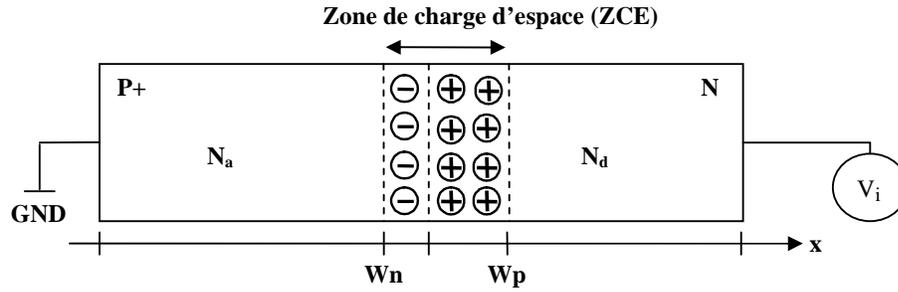


Figure 0-1 Schéma de principe de la jonction PN

La tension V_d , appelée tension de diffusion, est liée à la zone de charge par la relation suivante :

$$V_d = V_n - V_p = \frac{e}{\epsilon} (N_d W_n^2 + N_a W_p^2) \quad \text{Eq 0-7}$$

Polarisons la jonction en inverse et définissons V_i la valeur absolue de la tension de polarisation. Puisque la jonction est très dissymétrique, la ZCE s'étale d'avantage dans la région N que dans la région P. Nous pouvons alors dire que $W = W_p + W_n \sim W_n$.

D'un point de vue dynamique, une variation dV_i de la tension de polarisation entraîne une variation dW_n de la largeur de la zone de charge d'espace dans la région de type N, et par conséquent une variation de charge dQ dans la ZCE.

A partir de l'équation **Eq 0-7**, nous obtenons la largeur de la zone de charge W_n .

$$W_n = \sqrt{\frac{2\epsilon}{eN_d} (V_d - V_i)} \quad \text{Eq 0-8}$$

En différentiant l'équation **Eq 0-8**, nous obtenons :

$$dW_n = \frac{1}{2} \sqrt{\frac{e}{N_d}} \frac{1}{\sqrt{V_d - V_i}} dV_i = \frac{1}{W_n} \left(\frac{\epsilon}{eN_d} \right) dV_i \quad \text{Eq 0-9}$$

En considérant une jonction présentant une surface S , la variation dQ de la ZCE s'exprime de la manière suivante :

$$dQ = e \cdot N_d \cdot S \cdot dW_n \quad \text{Eq 0-10}$$

En tenant compte des équations **Eq 0-9** et **Eq 0-10**, dQ devient :

$$dQ = e \cdot S \cdot \frac{dV}{W_n} \quad \text{Eq 0-11}$$

En régime de petit signal, la jonction PN polarisée en inverse peut alors être considérée comme une capacité dynamique appelée capacité de transition dont l'équation est donnée par l'équation **Eq 0-12**.

$$C_t = \frac{dQ}{dV_i} = \frac{\epsilon S}{W_n} = S \sqrt{\frac{\epsilon}{2N_d}} \frac{1}{\sqrt{V_d - V_i}} \quad \text{Eq 0-12}$$

Dans notre démonstration, nous nous sommes limités au cas d'une jonction abrupte. Or en généralisant, nous pouvons démontrer que la capacité de transition s'exprime de la manière suivante :

$$C_t \propto \frac{1}{(V_d - V_i)^n} \quad \text{Eq 0-13}$$

Dans l'équation **Eq 0-13**, le coefficient n dépend du profil de la jonction. Dans le cas d'une jonction hyperabrupte, $n=0.5$.

Cependant, dans les technologies CMOS ou BICMOS avancées, les implantations N+/P+ et les caissons de type Nwell et Pwell sont réalisés par implantation ionique. Ceci permet d'avoir un bon contrôle sur le nombre d'impureté et sur le profil de la jonction. Et le profil de dopage présente une distribution gaussienne. Nous remontons à la capacité à partir d'un profil gaussien comme le montre l'équation **Eq 0-14**.

$$C(v) \propto \gamma(v + \phi)^{\frac{-1}{m}} \quad \text{Eq 0-14}$$

$$m = \frac{\ln(v + \phi)}{\ln \left[\left(\frac{\gamma \cdot \beta_n}{\epsilon \cdot S} \right) \left(1 + W \left(\frac{\epsilon \cdot v}{\beta_n^2 \cdot e \cdot A_e} \right) \right) \right]} \quad \text{Eq 0-15}$$

Avec W la fonction de Lambert

A_e et β_n des paramètres liés au profil gaussien du dopage

ϕ la tension interne de la jonction

Annexes

ϵ la permittivité du silicium

Pour une jonction abrupte, nous avons $m=2$ et $m=3$ pour une jonction linéaire. Dans la plupart des cas ce coefficient est situé entre 2 et 3.

A STMicroelectronics, dans une technologie CMOS de type 65nm, le coefficient m est proche de 2.5.

Annexe C : Facteurs de mérite

D'un point de vue des oscillateurs contrôlés en tension, un facteur de mérite (FOM) est déjà introduit et permet la comparaison des oscillateurs en normalisant le bruit de phase par rapport la fréquence d'oscillation et à la puissance consommée comme le décrit l'équation **Eq 0-16**.

$$FOM(dB_c / Hz) = L(\Delta\omega) - 20 \log\left(\frac{\omega_0}{\Delta\omega}\right) + 10 \log\left(\frac{P}{1mW}\right) \quad \text{Eq 0-16}$$

Avec ω_0 la fréquence d'oscillation, $\Delta\omega$ l'offset par rapport à la fréquence d'oscillation, $L(\Delta\omega)$ le bruit de phase de l'oscillateur en dB_c/Hz et P la puissance consommée.

Plus ce facteur de mérite est faible, plus l'oscillateur est stable en fréquence. Néanmoins, ce paramètre ne prend pas en compte la gamme de fréquence synthétisée. Il est donc possible d'ajouter un paramètre qui normalise le bruit de phase par rapport au gain de l'oscillateur comme le décrit l'équation **Eq 0-17**.

$$FOM(dB_c / Hz) - TF(\%) \text{ par Volt} = L(\Delta\omega) - 20 \log\left(\frac{\omega_0}{\Delta\omega}\right) + 10 \log\left(\frac{P}{1mW}\right) - 10 \log\left(\frac{TF}{V}\right) \quad \text{Eq 0-17}$$

A partir de cette formule, Chan [**Cha07**] a mis en place un facteur de mérite pour la varicap prenant en compte la gamme de capacité et le facteur de qualité comme l'illustre l'équation **Eq 0-18**.

$$FOM_capacité = \left| \log \left(\frac{S_I}{\frac{C_{max}}{C_{min}} \cdot Q^2} \right) \right| \quad \text{Eq 0-18}$$

Où le bruit de phase $L(\Delta\omega)$ peut être corrélé à S_I la densité spectrale de bruit basse fréquence en A^2/Hz et au facteur de qualité Q de la varicap. Le tuning range C_{max}/C_{min} est corrélé au terme TF/V .

Les résultats appliqués à deux types de varicaps sont présentés dans le tableau suivant.

Type de capacité	Technologie	TR	Q	$S_I (A^2/Hz)$	$FOM_capacité$
Diode P+/Nwell	CMOS 0.18um	1.8	84@2.4GHz DC -1.8V 53@2.4GHz DC 0V	10e-26@100Hz DC -1.8V 10e-26@100Hz DC 0V	30.1@2.4GHz DC -1.8V 29.7@2.4GHz DC 0V
MOS à accumulation type N+Poly/Nwell	CMOS 0.18um	3	75@2.4GHz DC -1.8V 35@2.4GHz DC 0V 21@2.4GHz DC 1.8V	10e-26@100Hz DC -1.8V 10e-26@100Hz DC 0V 10e-20@100Hz DC 1.8V	30.2@2.4GHz DC -1.8V 29.6@2.4GHz DC 0V 23.1@2.4GHz DC 1.8V

Annexe D : Extraction des éléments séries et du réseau substrat

Malgré le fait que le modèle électrique de la varicap est supposé être un schéma en T, l'extraction des paramètres série se fait à l'aide de la matrice admittance [Y]. En effet, l'extraction de l'élément Y_{12} , est plus directe que l'extraction des paramètres séries de la matrice [Z]. En adoptant cette astuce nous faisons une approximation qui est toutefois acceptable à condition que la relation suivante soit vérifiée :

$$Y_{12} \succ \frac{1}{Z_{12}} \quad \text{Eq 0-19}$$

La capacité série et la résistance série sont donc extraites à partir des équations **Eq 0-20** et **Eq 0-21**.

$$C_s = -\frac{1}{2\pi \cdot \text{Freq} \cdot \text{imag}\left(\frac{1}{Y_{12}}\right)} \quad \text{Eq 0-20}$$

$$R_s = -\text{real}\left(\frac{1}{Y_{12}}\right) \quad \text{Eq 0-21}$$

Les éléments du réseau substrat sont extraits à partir de la matrice impédance [Z] et sont décrits dans équations **Eq 0-22** et **Eq 0-23**.

$$C_{sub} = -\frac{\text{imag}\left(\frac{1}{Z_{12}}\right)}{2\pi \cdot \text{Freq}} \quad \text{Eq 0-22}$$

$$R_{sub} = -\text{real}(Z_{12}) \quad \text{Eq 0-23}$$

Résumé

Les spécifications des standards de transmission de données, par exemple la télévision numérique terrestre (VHF, UHF, L1, L2, S-band), la téléphonie mobile (GSM, GPRS, EDGE, UMTS,...) ou l'augmentation du débit d'information sans fils (WIFI, WiMax, Bluetooth, WHDMI ,...), nécessitent entre autres une réduction du seuil de détection et une densification des canaux. Plusieurs solutions permettent d'augmenter le débit d'information, soit l'augmentation de la quantité d'information transportée par la porteuse radio-fréquence, soit la multiplication des porteuses à l'intérieur d'une bande de fréquence. La qualité spectrale des signaux porteurs devient alors un point clé pour garantir l'intégrité de l'information. Au cœur de la génération ou de la détection des signaux, la varicap, capacité variable à commande électrique, est un des éléments prépondérants déterminant les performances de la chaîne de transmission.

La thèse concerne l'étude de nouvelles varicaps en technologies CMOS sub-90nm et BiCMOS sub-250nm. Après avoir introduit le contexte général de l'étude, nous présentons un état de l'art des varicaps, puis nous définissons les facteurs de performances et les outils d'évaluation d'une technologie et d'une famille de varicaps afin de fournir les pistes d'amélioration à travers les caractéristiques électriques et géométriques. Le premier axe de nos travaux s'intéresse à l'évaluation de nouvelles structures de varicaps autour de la capacité intrinsèque et de l'aspect architectural. Le deuxième axe se consacre à l'étude des techniques de mesures plus proches du contexte d'utilisation de la varicap dans un système. Pour conclure, nous décrivons la mise en place d'un véhicule de test type VCO en technologie CMOS 65nm afin de quantifier les facteurs de performances à l'échelle du circuit.

A terme, ce travail fournit une bibliothèque de données techniques et d'architectures permettant de réduire le temps de développement des futures varicaps.

MOTS CLEFS

VARICAPS - CMOS - BiCMOS - HYPERFREQUENCES - CARACTERISATION - OSCILLATEURS