

UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

Thèse

Présentée par

M. Nicolas Breil

pour obtenir le titre de docteur de l'université

Spécialité : Microélectronique

Contribution à l'étude de techniques de siliciuration avancées pour les technologies CMOS décananométriques

soutenue le 15 mai 2009

devant le jury composé de :

Pr. Francois Danneville, Université de Lille I	Président du jury
Dr. Dominique Mangelinck, Université Aix-Marseille III	Rapporteur
Pr. Christian Lavoie, Ecole Polytechnique de Montréal	Rapporteur
Dr. Olivier Faynot, CEA-LETI, Grenoble	Examineur
Pr. Kaouther Daoud, Université de Rouen	Examineur
Dr. Emmanuel Dubois, IEMN-ISEN, Lille	Directeur de Thèse
Dr. Aomar Halimaoui, STMicroelectronics, Crolles	Responsable de Thèse
Dr. Arnaud Pouydebasque, CEA-LETI, Grenoble	Responsable de Thèse

Thèse préparée au sein des laboratoires de recherche :

- IEMN, Avenue Poincaré - BP 60069 - 59652 Villeneuve d'Ascq cedex
- CEA-LETI, 17, rue des Martyrs, 38054 Grenoble
- STMicroelectronics Crolles2, 850, rue Jean Monnet, 38926 Crolles

*Dans la vie, l'essentiel est de porter sur tout
des jugements a priori.*

*Il apparaît, en effet, que les masses ont tort,
et les individus toujours raison.*

*Il faut se garder d'en tirer des règles de conduite :
elles ne doivent pas avoir besoin d'être formulées
pour qu'on les suive.*

Boris Vian, L'écume des jours.

Remerciements

Table des Matières

<i>Introduction Générale</i>	<u>1</u>
------------------------------	----------

I <i>La technologie MOS : Evolution historique et nouveaux enjeux</i>	<u>5</u>
--	----------

I.1	Fonctionnement du transistor MOS	6
I.1.1	Historique de la technologie MOSFET	6
I.1.2	Principe de Fonctionnement	7
I.1.3	Régimes de Fonctionnement de la capacité MOS	7
I.1.3.1	Accumulation ($\phi_S > 0V$)	9
I.1.3.2	Déplétion ($\phi_F \leq \phi_S \leq 0V$)	9
I.1.3.3	Inversion ($\phi_S < \phi_F$)	9
I.1.4	Caractéristiques Electriques idéales du transistor MOS	10
I.1.4.1	Mode « Bloqué » - Inversion Faible	10
I.1.4.2	Mode « Passant » - Inversion Forte	12
I.1.5	Applications des transistors MOSFET	13

I.2	Impact de la miniaturisation sur les performances et solutions technologiques	14
I.2.1	Evolution des paramètres avec la miniaturisation	14
I.2.2	Effets physiques liés à la miniaturisation du transistor MOS	15
I.2.2.1	Les effets SCE et DIBL : Impact des jonctions fines, poches et halos	15
I.2.2.2	Dégradation de la pente sous le seuil	17
I.2.2.3	Fuite de l'oxyde de grille : Vers un diélectrique à forte permittivité	18
I.2.2.4	Déplétion du polysilicium et intérêt d'une grille métallique	20
I.2.3	Vers de nouvelles Architectures	21
I.2.3.1	Transistor sur substrat Silicon-On-Insulator (SOI)	21
I.2.3.2	Transistor Silicon-On-Nothing SON	22
I.2.3.3	Architectures à Grilles Multiples	22

I.3	Intérêt des siliciures bord de bande pour le module de jonction	24
I.3.1	Augmentation des résistances de jonctions avec la miniaturisation	24
I.3.1.1	Cas des transistors Bulk	24
I.3.1.2	Cas des transistors sur films minces	26
I.3.2	Solutions offertes par les siliciures bord-de-bande et problématique de la thèse.	28
I.3.2.1	Ingénierie de hauteur de barrière sur une architecture standard	30
I.3.2.2	Intégration des siliciures bord de bande comme jonctions métalliques : transistors Schottky	30
I.3.2.3	Ségrégation de dopants dans les transistors Schottky	31

I.4	Conclusion	33
------------	-------------------	-----------

I.5	Références du chapitre I	34
------------	---------------------------------	-----------

II Propriétés thermodynamiques et électroniques des siliciures bord de bande **39**

II.1	Mécanismes de formation des siliciures	40
II.1.1	Définition thermodynamique du mode de formation	40
II.1.2	Formation contrôlée par la diffusion	42
II.1.2.1	Loi de croissance linéaire-parabolique	43
II.1.2.2	Croissance simultanée de deux phases	44
II.1.3	Formation contrôlée par la nucléation	46
II.1.3.1	Théorie classique de la nucléation	46
II.1.3.2	Cas particulier des terres rares	47
II.2	L'interface Siliciure/Silicium : nature de la hauteur de barrière Schottky	49
II.2.1	Loi de Schottky-Mott	49
II.2.2	Modèle des charges fixes séparées	51
II.2.2.1	Approches empiriques	53
II.2.2.2	Etats d'énergie induits dans la bande interdite par le métal (MIGS)	55
II.2.2.3	Modèle des liaisons polarisées	56
II.2.2.4	Perspectives d'ingénierie de la hauteur de barrière	57
II.3	Transport électronique dans les contacts métal-semiconducteur	61
II.3.1	Le modèle thermoélectronique à émission de champ en mode direct	61
II.3.1.1	Définition du modèle	61
II.3.1.2	Normalisation des équations suivant J_m , E_b/kT et E_{00}/kT	63
II.3.1.3	Extension du modèle en mode inverse	66
II.3.1.4	Prise en compte de l'abaissement de barrière par l'effet de charge image	67
II.4	Mesure de la hauteur de barrière : Intérêt de la mesure en température sur une structure de diodes Schottky têtes-bêches	69
II.4.1	La mesure Capacité – Tension (C-V)	69
II.4.2	La mesure par effet photo-électrique	70
II.4.3	La mesure électrique	70
II.5	Intégration des siliciures bord-de-bande dans les technologies CMOS : contexte et challenges	74
II.5.1	Contexte d'intégration des siliciures	74
II.5.2	Température de formation et Espèce Diffusante Dominante	75
II.5.3	Résistivité	76
II.5.4	Consommation de silicium pendant la siliciuration	77
II.5.5	Intégration sur architecture CMOS par la technologie SALICIDE	78
II.6	Conclusion	80
II.7	Références du chapitre II	81

III Fabrication et Caractérisation du siliciure d'erbium et du siliciure de platine _____ **85**

III.1	Techniques de fabrication des siliciures band-edge _____	86
III.1.1	Equipements utilisés pour le dépôt de métal et le recuit de siliciuration _____	86
III.1.1.1	Equipement de dépôt métallique et de recuit séquentiel sous Ultra-Vide _____	86
III.1.1.2	Four de recuit rapide à lampes _____	87
III.1.2	Séquence de fabrication des siliciures band-edge _____	88
III.2	Méthodes de caractérisation physique _____	90
III.2.1	Observations Morphologiques : Microscopies Electronique à Balayage (MEB) et à Transmission (MET) _____	90
III.2.1.1	Microscope Electronique à Balayage (MEB) _____	90
III.2.1.2	Sonde d'analyse des photons X par Dispersion d'Energie (EdX) _____	91
III.2.2	Analyses Cristallographiques : Diffraction par Rayons X (XRD) _____	92
III.2.2.1	Microscope Electronique à Transmission (MET) _____	93
III.2.3	Mesure de la résistance de couche (Rs) : la méthode 4-pointes _____	94
III.3	Formation des siliciures de terres rares : Exemple du siliciure d'Erbium ErSi_x _____	96
III.3.1	Observation de défauts microstructuraux de forme pyramidale _____	96
III.3.1.1	Formation de défauts après recuit rapide (RTA) _____	96
III.3.1.2	Formation de défauts après recuit sous ultra vide (UHV) _____	97
III.3.2	Guérison des défauts par nettoyage de la surface _____	99
III.3.3	Influence du nettoyage sur la réactivité des zones d'isolation SiO ₂ _____	100
III.3.4	Influence de la température de recuit sur les propriétés morphologiques et électriques du siliciure _____	101
III.3.4.1	Propriétés morphologiques _____	101
III.3.4.2	Propriétés électriques _____	103
III.3.5	Mise en évidence du problème d'exodiffusion du silicium _____	105
III.3.6	Conclusion sur le siliciure d'erbium _____	106
III.4	Formation du Siliciure de Platine (PtSi) _____	108
III.4.1	Généralités sur la formation du siliciure de platine _____	108
III.4.2	Influence de la température du recuit de siliciuration _____	110
III.4.2.1	Résistivité _____	111
III.4.2.2	Cristallographie _____	111
III.4.2.3	Morphologie et rugosité _____	112
III.4.2.4	Interface _____	114
III.4.2.5	Hauteur de Barrière _____	115
III.4.3	Modulation de la hauteur de barrière Schottky par ségrégation de dopants : Vers une très faible barrière aux trous _____	117
III.4.4	Modulation de la hauteur de barrière Schottky par ségrégation de dopants : Vers une faible barrière aux électrons _____	121
III.4.5	Discussion sur les mécanismes de ségrégation des dopants _____	124
III.5	Conclusion _____	125
III.6	Références du chapitre III _____	126

IV Iridium, Platine : approche alternative de l'intégration des siliciures quasi-nobles _____ **129**

IV.1	Position du problème _____	130
IV.1.1	Difficultés liées à l'eau régale _____	131
IV.1.1.1	Observation des défauts _____	131
IV.1.1.2	Méthode de protection par oxydation superficielle _____	132
IV.1.2	Une approche alternative : l'intégration auto-alignée du siliciure par germaniuration sacrificielle _____	132
IV.2	Formation et solubilité des germaniures de platine _____	134
IV.2.1	Préparation des surfaces de Germanium _____	134
IV.2.2	Formation des germaniures de platine sur pseudo-substrat Ge _____	137
IV.2.3	Formation et retrait des germaniures de platine sur substrat SiO ₂ /Si _____	138
IV.2.3.1	Observations MET de la formation des germaniures de platine _____	138
	• Ge(45nm)/Pt(20nm) _____	138
	• Ge(60nm)/Pt(20nm) _____	139
IV.2.3.2	Analyse des phases par diffraction X _____	140
IV.2.3.3	Réactivité chimique des germaniures de platine _____	141
IV.2.4	Impact de l'étape de germaniuration sacrificielle sur l'intégrité du siliciure de platine _____	143
	• Impact sur la résistivité _____	144
	• Impact sur la hauteur de barrière _____	144
IV.3	Etude de la formation et de la solubilité des germaniures d'iridium _____	146
IV.3.1	Formation des phases de Germaniures d'Iridium _____	146
IV.3.1.1	Etude de la formation des phases Ir _x Ge _y _____	146
IV.3.1.2	Observation de défauts pyramidaux _____	148
IV.3.2	Etude du retrait sélectif des Germaniures d'Iridium _____	151
IV.3.2.1	Resistance par carreau et retrait des phases Ir _x Ge _y _____	151
IV.3.2.2	Analyses EdX _____	152
IV.3.3	Intégration sur dispositifs CMOS du Siliciure d'Iridium _____	154
IV.4	Conclusion _____	156
IV.5	Références du chapitre IV _____	157

V Performances électriques du siliciure de platine sur architectures CMOS _____ 161

V.1	Collaboration entre les différents partenaires de la thèse _____	162
•	Approche Exploratoire : Siliciuration IEMN sur un cœur de procédé STMicroelectronics_	162
•	Approche Industrielle : Intégration complète dans un cœur de procédé STMicroelectronics	163
V.1.1	Description des structures de test industrielles _____	164
V.1.2	Compatibilité de la lithographie : Structures et contrôle de l'alignement _____	165
V.1.3	Intégration de plots de contact métalliques _____	167
V.2	Intégration du PtSi sur transistors MOSFET de type p à barrière Schottky _	170
•	Fabrication des dispositifs _____	171
•	Caractérisation électrique _____	171
V.3	Intégration du PtSi en utilisant la technique de retrait sélectif par germaniuration sacrificielle _____	174
•	Retrait sélectif par germaniuration sacrificielle _____	174
•	Validation morphologique du procédé _____	175
•	Validation électrique _____	176
V.4	Intégration du PtSi en environnement industriel _____	178
•	Fabrication des dispositifs _____	178
•	Caractérisation morphologique _____	179
•	Caractérisation électrique des transistors de type p _____	179
•	Caractéristiques électriques des transistors de type n _____	181
V.5	Conclusion et perspectives _____	183
V.6	Références du chapitre V _____	184

Conclusion Générale _____ 189

Introduction Générale

L'énoncé de la loi de Moore et les analyses de Dennard ont annoncé dès les années 1960 l'intérêt économique et technologique de l'augmentation de la densité et de la miniaturisation des transistors, composants élémentaires de l'électronique. Ces deux moteurs d'innovation ont entraîné une augmentation continue des performances des puces électroniques couplée à une diminution des coûts de fabrication, permettant ainsi le développement de nouvelles applications. L'ubiquité des technologies de l'électronique transforme aujourd'hui les modes de communication, et donc de fonctionnement, de nos sociétés (Internet, téléphonie mobile, télé-travail).

Ces développements technologiques se réalisent au prix d'un intense effort de recherche et d'innovation mettant en œuvre des interactions continues entre les sciences du matériau et l'électronique, qui permettent la fabrication des composants et décrivent le comportement du courant électrique dans les dispositifs, respectivement. Ainsi, la réduction des dimensions des transistors dicte l'évolution générale de l'ensemble de l'industrie du semi-conducteur.

Jusqu'à des longueurs de grilles de l'ordre de $0.1\mu\text{m}$, les réductions d'échelles ont pu se faire sans changement majeur de l'architecture des transistors, mettant en œuvre les matériaux traditionnels que sont l'oxyde et le nitrure de silicium, le polysilicium et les dopants bore, arsenic, phosphore. Cependant, pour les longueurs de grilles plus faibles, l'amélioration des performances passe par l'introduction de nouveaux concepts permettant de repousser les limites des matériaux traditionnels. En particulier, l'intégration d'azote dans les diélectriques de grille, ou les techniques de co-implantation en ajoutant du carbone ou de l'azote dans les zones de source et drain ont permis de lever des verrous technologiques.

Après avoir décrit le fonctionnement du transistor MOSFET, et l'évolution de ses performances lorsque ses dimensions sont réduites, nous présenterons dans un premier chapitre une analyse détaillée des composantes de la résistance d'accès des zones source et drain. La réduction des dimensions du transistor permet de prévoir au premier ordre une diminution de la résistance électrique dans le canal, mais une augmentation de cette résistance dans les zones source et drain. En particulier, nous mettrons en évidence le rôle prépondérant joué par la hauteur de barrière entre le siliciure et le silicium. Ce premier chapitre nous permet donc de poser notre problématique, en focalisant notre travail sur l'étape de siliciuration, c'est-à-dire de la réaction de formation d'un alliage entre un métal et le silicium. Deux axes de développement apparaissent afin de modifier la hauteur de barrière entre le siliciure et le silicium. Le premier consiste à changer le métal utilisé pour la siliciuration en passant d'un siliciure mid-gap conventionnel (NiSi) à un siliciure band-edge (PtSi, ErSi). Le deuxième axe consiste à utiliser des techniques de ségrégation de dopants lors de la formation du siliciure.

Nous voyons que l'enjeu de ce travail porte sur les propriétés intimes du siliciure, que nous étudierons dans un deuxième chapitre. Les propriétés thermodynamiques permettant de prévoir les mécanismes de formation des siliciures seront présentées, de même que les modèles physiques décrivant la nature de l'interface siliciure/silicium. Ces études nous amèneront à établir un formalisme mathématique permettant de décrire le transport électronique dans les contacts métal sur semiconducteur. Une stratégie de mesure sera enfin proposée et nous donnera un moyen d'accès expérimental aux faibles hauteurs de barrières.

Dans un troisième chapitre, nous focalisons nos études sur le développement d'un siliciure de type n (ErSi), et d'un siliciure de type p (PtSi). Nous présenterons dans un premier temps les équipements spécifiques développés à l'IEMN afin de permettre l'étude de ces matériaux. La formation du siliciure d'erbium sera ensuite détaillée. Nous montrerons les problèmes posés par l'intégration de ce matériau et nous proposerons des solutions techniques adaptées. Le siliciure de platine fera l'objet de la partie suivante. Une étude complète des propriétés cristallographiques, morphologiques et électriques de ce matériau en fonction de la température de formation sera présentée. La supériorité de ce matériau par rapport au siliciure de nickel en termes de stabilité thermique sera mise en évidence. Finalement, nous montrerons que les approches de ségrégation de dopants permettent d'obtenir avec le siliciure de platine une modulation de hauteur de barrière telle que ce matériau peut jouer le rôle de siliciure de type p ou de type n, en utilisant une ségrégation de bore ou d'arsenic, respectivement.

Le siliciure de platine apparaît donc comme un candidat à fort potentiel pour le remplacement du siliciure de nickel dans les prochaines technologies CMOS. Cependant, nous introduisons notre quatrième chapitre en montrant les problèmes d'intégration auto-alignée de ce matériau en utilisant la méthode standard de retrait par eau régale. Afin de résoudre ces difficultés, nous proposerons une méthode de retrait du platine par réaction de formation d'un germaniure sacrificiel. L'impact de cette méthode sur le siliciure de platine déjà formé sera évalué.

Cette thèse a été réalisée dans le cadre d'une collaboration entre STMicroelectronics Crolles 2, l'Institut d'Electronique de Microélectronique et de Nanotechnologie (IEMN), et le Laboratoire d'Electronique des Technologies de l'Information du Commissariat à l'Energie Atomique (CEA-LETI). En introduction du cinquième et dernier chapitre de cette thèse, nous décrirons les stratégies mises en œuvre afin de bénéficier de la complémentarité existant entre ces différents partenaires. Cette stratégie nous permettra dans un premier temps d'étudier le comportement du siliciure de platine comme jonction métallique sur des transistors Schottky de type p. Par la suite, nous pourrions démontrer la viabilité morphologique et électrique du procédé d'intégration auto-alignée du siliciure de platine par germaniuration sacrificielle sur des transistors MOSFET de faibles dimensions. Finalement, le siliciure de platine sera intégré en remplacement de siliciure de nickel sur une technologie CMOS 45nm, et nous permettra de confirmer le potentiel de ce matériau pour les technologies futures.

Chapitre I

La technologie MOS : Evolution historique et nouveaux enjeux

Ce chapitre présente les évolutions historiques, et les nouveaux enjeux pour les prochaines technologies MOSFET. Après une présentation des différents régimes de fonctionnement du transistor MOSFET, les bénéfices de la miniaturisation d'un tel dispositif sont mis en évidence. Si une réduction d'échelle a permis jusqu'aux technologies actuellement en production l'amélioration des performances et de la densité d'intégration des circuits électroniques, les nouveaux enjeux introduits par les dimensions nanométriques atteintes actuellement sont détaillés dans une deuxième partie. Les différents modules du transistor sont analysés, et les compromis apportés par les solutions technologiques tant au niveau de l'ingénierie des matériaux que du point de vue de l'architecture du dispositif sont discutés. Cette vue d'ensemble des enjeux actuels des technologies MOSFET permet dans une troisième partie de focaliser l'analyse sur le module de jonctions source-drain qui constitue le sujet d'étude de ce manuscrit. La place prépondérante désormais jouée par la résistance de contact entre le siliciure et le silicium au sein de ce module est mise en évidence. Dans cette optique, la réduction de la hauteur de barrière du contact apparaît comme un levier d'amélioration prometteur. Le gain offert par le remplacement du siliciure mid-gap conventionnel par un siliciure bord-de-bande est démontré. D'autre part, l'ingénierie de dopants, notamment grâce aux mécanismes de ségrégation offre un degré de liberté supplémentaire dans le cadre de la problématique que nous posons tout au long de ce premier chapitre : quels sont les moyens technologiques permettant une réduction de la résistance de contact entre le siliciure et le silicium afin d'améliorer les performances des transistors MOSFET ?

I.1 Fonctionnement du transistor MOS

I.1.1 Historique de la technologie MOSFET

L'invention du transistor MOS (Metal Oxide Semiconducteur) il y a 60 ans représente une découverte essentielle dans l'histoire des technologies. La simplicité de fabrication, les excellentes performances et les nombreuses applications de ce composant électronique en font aujourd'hui l'acteur principal et incontournable de l'ensemble de l'industrie de la microélectronique.

Le principe de fonctionnement du transistor MOS a été énoncé au cours des années 20 par J. Lilienfeld [Lilienfeld26]. L'idée de base est de contrôler la densité de charge d'un matériau et donc sa résistivité par le biais d'un effet de champ exercé par une électrode isolée (Fig. 1). Les différentes expérimentations se révèlent toutefois infructueuses du fait des difficultés techniques liées à la fabrication des dispositifs. En particulier, l'étape la plus critique concerne la réalisation du matériau isolant électriquement le canal de l'électrode de commande.

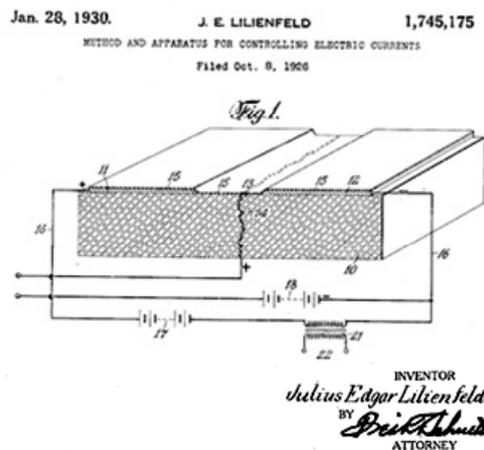


Fig. 1 : Brevet décrivant le principe du transistor MOS déposé par J. Lilienfeld en 1926, suivant ces mots « dispositif contrôlant le flux d'un courant électrique entre deux électrodes d'un conducteur solide grâce à l'application d'un troisième potentiel entre les deux électrodes déjà décrites (apparatus for controlling the flow of an electrical current between two terminals of an electrically conducting solid by establishing a third potential between said terminals). »

La première démonstration expérimentale de l'effet transistor grâce à un matériau semiconducteur n'est réalisée que trente ans plus tard par J. Bardeen et W.H. Brattain grâce à un transistor bipolaire sur un substrat de Germanium [Bardeen47]. Les travaux théoriques de W. Schokley [Shokley49, Shokley50] confirment le potentiel des dispositifs électroniques à base de semiconducteurs. Les développements liés au transistor bipolaire ont permis des avancées technologiques majeures, telles que le masque dur en oxyde, la photolithographie, et les techniques de dopage par diffusion.

Les briques de base de la technologie microélectronique sont donc posées lorsque D. Kahng et M.M. Atalla [Kahng60] présentent en 1960 leur travaux portant sur les états de

charge entre le silicium monocristallin et l'oxyde de silicium. La faible densité d'états à l'interface Si/SiO₂ permet le fonctionnement du premier transistor MOS planaire à effet de champ (MOSFET) sur substrat de silicium près de quarante ans après la formulation de son principe.

J.S. Kilby [Kilby58] et R.N. Noyce [Noyce61], grâce à l'invention des circuits intégrés, achèvent de démontrer l'importance des applications potentielles des technologies MOS, tant sur le plan du traitement de l'information (ordinateurs) que pour sa propagation (télécommunications).

I.1.2 Principe de Fonctionnement

Le schéma d'un transistor MOSFET conventionnel de type p - c'est-à-dire mettant en œuvre une conduction par les trous dans le canal - est représenté en Fig. 2. Le transistor est composé d'un condensateur MOS (Métal-Oxyde-Semiconducteur), formée par la grille, l'oxyde de grille et le substrat. Les extrémités de ce condensateur MOS sont connectées par des zones de silicium dopées : la source et le drain. La zone « Métal » de la capacité MOS est en réalité fabriquée en polysilicium dans les technologies actuellement en production, mais est décrite comme un métal par abus de langage.

En polarisant le dispositif avec une tension entre la grille et la source V_{gs} égale à une tension entre le drain et la source V_{ds} (ces tensions ayant une valeur égale à $-V_{DD}$, la tension nominale de fonctionnement du circuit), les porteurs majoritaires sont repoussés de l'interface oxyde/semiconducteur. Les porteurs minoritaires sont attirés, et créent une zone d'inversion, formant ainsi un canal de conduction sous la grille. La différence de potentiel entre la source et drain permet un écoulement des trous et donc l'apparition d'un courant électrique. C'est l'état « passant » du transistor MOS. En annulant la polarisation de grille V_{gs} , la couche d'inversion disparaît, de même que le courant électrique. C'est l'état « bloqué » du transistor.

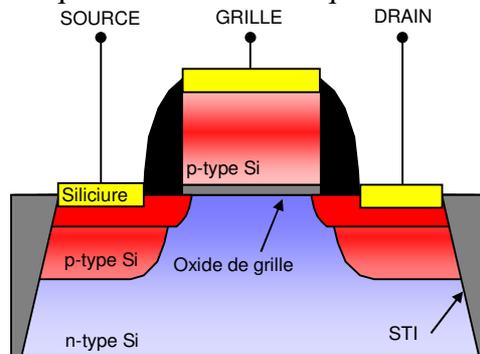


Fig. 2: Schéma d'un transistor MOSFET conventionnel de type p. Les trois électrodes de commande (grille, source et drain) sont représentées. Le silicium de type n (en bleu) a été dopé p (en rouge) dans la grille, la source et le drain, de manière à permettre une conduction par les trous. Les zones dopées sont siliciurées de manière à diminuer la résistance de contact. Le transistor est isolé électriquement grâce aux zones de Shallow Trench Isolation (STI).

I.1.3 Régimes de Fonctionnement de la capacité MOS

Cette partie s'attache à décrire les mécanismes physiques liés aux différents régimes de fonctionnement de la capacité MOS. Nous considérons dans la discussion suivante le cas d'un PMOS, c'est-à-dire d'une grille dopée p, et d'un canal dopé n. Nous supposons aussi le travail de sortie du métal ϕ_m égal à celui du semiconducteur ϕ_s , de manière à se placer en

situation de bandes plates à tension de grille nulle pour des raisons de simplification des expressions numériques.

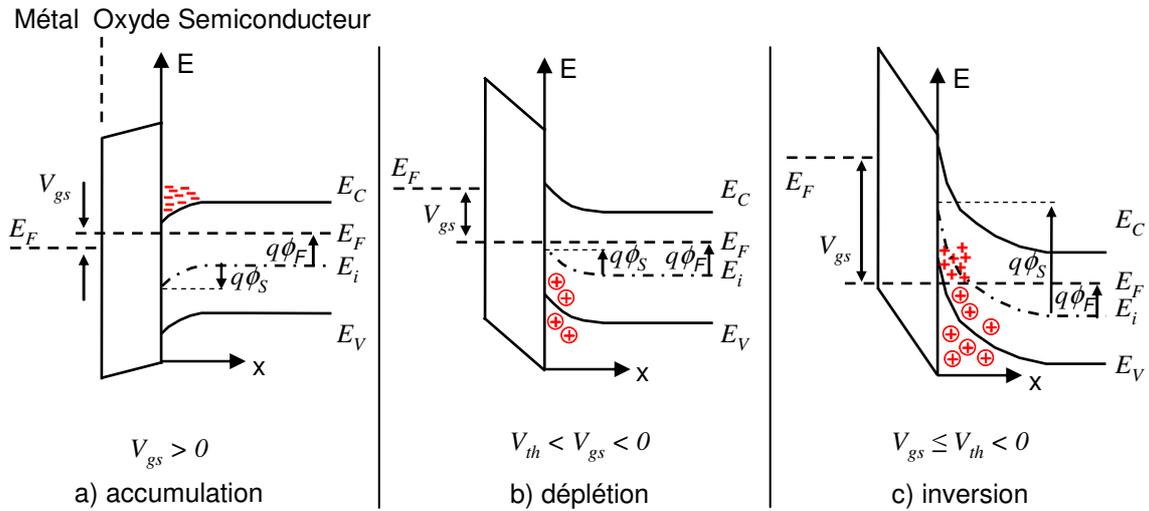


Fig. 3 : Diagrammes de bandes d'une capacité MOS, polarisée dans les régimes d'accumulation (a), de déplétion (b) et d'inversion (c). Le potentiel du substrat est ici relié à la source. La tension V_{gs} peut donc être considérée comme la différence de potentiel entre la grille et le substrat.

Dans les expressions formulées par la suite, l'axe des x prend son origine à l'interface oxyde/semiconducteur, et croît dans la direction du substrat. Le semiconducteur est défini par l'énergie de la bande de valence $E_V(x)$, le niveau de Fermi intrinsèque $E_i(x)$, le niveau de Fermi E_F et l'énergie de la bande de conduction $E_C(x)$. Nous définissons $q\phi(x)$ comme la déviation d'énergie entre $E_i(\infty)$ et $E_i(x)$ en fonction de la distance à l'interface oxyde/semiconducteur. Ce niveau d'énergie est conditionné par l'effet de champ au voisinage de l'interface. Le niveau de Fermi intrinsèque à l'interface s'écrit $q\phi(x=0)=q\phi_s$.

Les densités de porteurs à l'interface sont définies de la manière suivante [Mathieu90] :

$$n(x) = n_i \cdot \exp\left(\frac{E_F - E_i(x)}{kT}\right), \text{ soit} \quad \text{eq. I-1}$$

$$n(x) = n_i \cdot \exp\left(\frac{E_F - E_i(\infty)}{kT}\right) \cdot \exp\left(\frac{E_i(\infty) - E_i(x)}{kT}\right) \quad \text{eq. I-2}$$

d'où l'on déduit

$$n(x) = n_i \cdot \exp\left(\frac{q\phi_F}{kT}\right) \cdot \exp\left(\frac{-q\phi(x)}{kT}\right) \quad \text{eq. I-3}$$

avec n_i la densité de porteurs intrinsèque du semiconducteur, c'est-à-dire la densité de porteurs disponibles lorsque $E_i = E_F$.

De même dans le cas des trous, nous pouvons écrire :

$$p(x) = n_i \cdot \exp\left(\frac{E_i(x) - E_F}{kT}\right), \text{ soit} \quad \text{eq. I-4}$$

$$p(x) = n_i \cdot \exp\left(\frac{E_i(x) - E_i(\infty)}{kT}\right) \cdot \exp\left(\frac{E_i(\infty) - E_F}{kT}\right) \quad \text{eq. I-5}$$

, d'où l'on déduit

$$p(x) = n_i \cdot \exp\left(\frac{q\phi(x)}{kT}\right) \cdot \exp\left(\frac{-q\phi_F}{kT}\right) \quad \text{eq. I-6}$$

A l'interface (en $x=0$), nous obtenons donc les concentrations de porteurs :

$$n(x=0) = n_i \cdot \exp\frac{q(\phi_F - \phi_S)}{kT} \quad \text{eq. I-7}$$

$$p(x=0) = n_i \cdot \exp\frac{q(\phi_S - \phi_F)}{kT} \quad \text{eq. I-8}$$

I.1.3.1 Accumulation ($\phi_S > 0V$)

Dans le régime d'accumulation (Fig. 3a), la grille est polarisée positivement. Le potentiel de surface ϕ_S est positif, c'est-à-dire que le potentiel à l'interface Si/SiO₂ est supérieur au potentiel dans le substrat. D'après l'équation I.7, cette condition entraîne une augmentation de la concentration d'électrons à l'interface $\phi(x=0)=\phi_S$ par rapport à la concentration d'électrons dans le substrat $\phi(x=\infty)=0$ d'un facteur $\exp\left(\frac{-q\phi_S}{kT}\right)$. C'est la condition d'accumulation.

I.1.3.2 Déplétion ($\phi_F \leq \phi_S \leq 0V$)

Le régime de déplétion est défini par l'apparition d'un potentiel de surface nul ou négatif. Pour $\phi_S = 0V$, le potentiel de surface est égal à celui dans le substrat $\phi(x=\infty)=\phi_S$. La courbure de bande à l'interface disparaît et le semiconducteur est dans la situation dite de *bandes-plates*.

Lorsque $\phi_S < 0V$ d'après la relation I.7, la concentration d'électrons à l'interface est inférieure à celle dans le substrat. Les électrons sont repoussés de l'interface et une charge fixe de déplétion C_{dep} apparaît. Pour $\phi_S=\phi_F$, les concentrations d'électrons et de trous à l'interface sont égales à n_i , la concentration intrinsèque de porteurs du semiconducteur.

I.1.3.3 Inversion ($\phi_S < \phi_F$)

Lorsque $\phi_S < \phi_F$, les équations I.7 et I.8 montrent que la concentration de trous devient supérieure à la concentration d'électrons. Le semiconducteur est alors en situation d'inversion de porteurs à l'interface. Par convention, nous considérons que la densité de trous est suffisamment élevée pour former un canal de conduction lorsque la condition dite « d'inversion forte » $\phi_S \leq 2\phi_F$ est vérifiée.

La tension à appliquer sur la grille pour se placer en inversion forte s'écrit :

$$V_{gs} = V_{FB} + V_{ox} + 2 \cdot \phi_F \quad \text{eq. I-9}$$

avec V_{FB} la différence entre $\Phi_{\text{métal}}$ le travail de sortie du métal et Φ_{Si} le travail de sortie d'un électron d'énergie égale au niveau de Fermi du semiconducteur, et V_{ox} la chute de potentiel dans l'oxyde, définie par :

$$V_{ox} = -\frac{Q_{dep}}{C_{ox}} \quad eq. I-10$$

Q_{dep} étant la charge de la zone de déplétion. On obtient l'expression de la tension de seuil V_{th} , définissant la tension à appliquer à la grille pour obtenir un canal de conduction en inversion forte :

$$V_{th} = V_{FB} - \frac{Q_{dep}}{C_{ox}} + 2 \cdot \phi_F \quad eq. I-11$$

Q_{dep} étant définie par :

$$Q_{dep} = q \cdot N_{sub} \cdot t_{dep} \quad eq. I-12$$

où N_{sub} est le dopage du substrat, et t_{dep} la profondeur de déplétion est donnée par :

$$t_{dep} = \sqrt{\frac{\epsilon_{Si}}{qN_B} (\phi_S - V_{bs})} \quad eq. I-13$$

I.1.4 Caractéristiques Electriques idéales du transistor MOS

Le transistor MOS est réalisé en contactant la capacité MOS par deux zones de silicium dopées - la source et le drain - permettant la circulation des porteurs à travers le canal de conduction. La Fig. 4 représente une coupe des potentiels suivant l'axe Source-Canal-Drain. Lorsque la capacité MOS est dans les régimes d'accumulation, de déplétion et de faible inversion, la hauteur de barrière $\phi_{bloqué}$ à l'injection des porteurs de la source vers le canal est trop importante. Le transistor est en mode « bloqué ». Lorsque la capacité MOS est en forte inversion, la hauteur de barrière est diminuée, et à température ambiante le transistor est « passant » lorsque la hauteur de barrière $\phi_{passant}$ devient inférieure à l'énergie thermique des porteurs égale à kT/q .

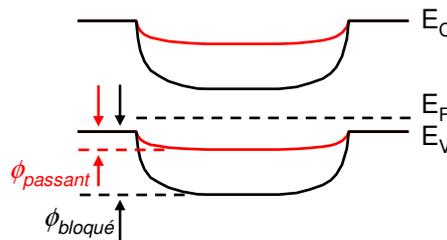


Fig. 4 : Hauteur de barrière d'injection des porteurs de la source vers le canal d'un transistor MOSFET.

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques $I_d=f(V_{gs})$ et $I_d=f(V_{ds})$. Ces caractéristiques sont schématisées de manière idéale en

(a)

(b)

Fig. 5, ce qui nous permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET.

I.1.4.1 Mode « Bloqué » - Inversion Faible

Pour $V_{gs} < V_{th}$, le transistor est en mode « bloqué », c'est-à-dire en régime de déplétion ou d'inversion faible. Le courant de drain en inversion faible est défini par :

$$I_d = \frac{W}{L_{eff}} \mu_0 \left(\frac{kT}{q} \right)^2 d \left(1 - \exp\left(-\frac{qV_{ds}}{kT}\right) \right) \cdot \exp\left(q \frac{V_{gs} - V_{th}}{nkT} \right) \quad eq. I-14$$

avec W la largeur du canal, L_{eff} la longueur effective du canal, μ_0 la mobilité des porteurs

$n = 1 + \frac{K_B}{2\sqrt{2\phi_F - V_{bs}}} = 1 + d$, d correspondant au facteur d'effet substrat, et V_{bs} étant la

tension entre le substrat et la source, et :

$$K_B = \frac{\sqrt{2q\epsilon_{Si}\epsilon_0 N_{sub}}}{C_{ox}}.$$

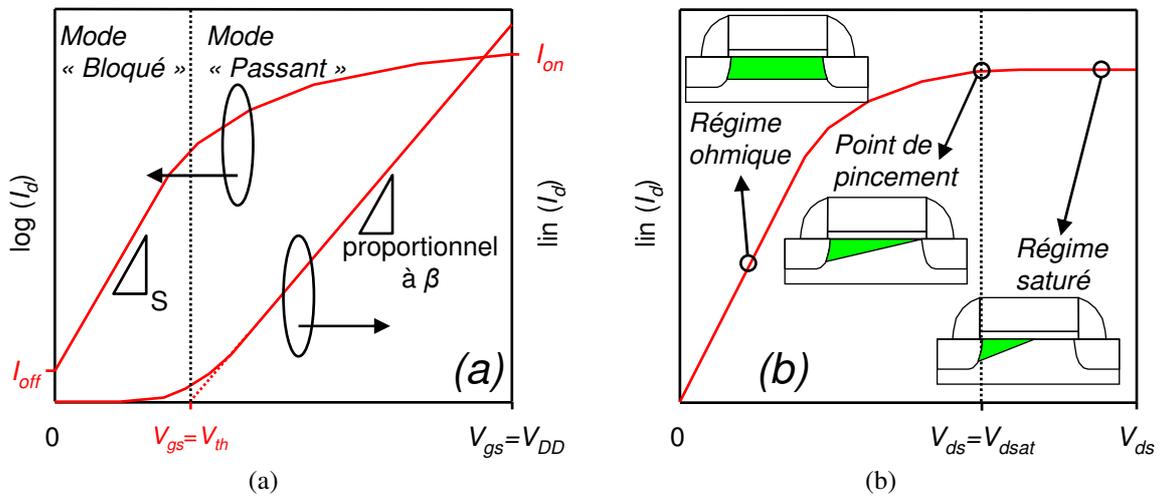


Fig. 5 : Caractéristiques idéales d'un transistor MOS. (a) Graphique I_d - V_{gs} montrant le courant de drain pour les différents régimes de fonctionnement de la capacité MOS. permettant d'accéder à la pente sous le seuil S et au paramètre β . (b) Graphique I_d - V_{ds} illustrant les différents modes de conduction pour un canal en inversion forte. A V_{ds} fort, le courant de drain sature à une valeur I_{dsat} . La section verte correspond à la zone de déplétion contrôlée par la grille.

En régime de faible inversion, le courant de drain est proportionnel à $\exp\left(\frac{V_{gs} - V_{th}}{nkT}\right)$.

On définit ainsi S (Fig. 5a), la pente sous le seuil par :

$$S = \frac{\partial V_{gs}}{\partial(\log I_d)} = \left(1 + \frac{C_{dep}}{C_{ox}} \right) \cdot \frac{kT}{q} \ln 10 \quad eq. I-15$$

C_{dep} et C_{ox} étant la capacité de la zone de déplétion et la capacité de l'oxyde, respectivement.

La pente sous le seuil correspond à la tension de grille nécessaire pour augmenter le courant de drain d'une décade. Dans le cas d'un transistor idéal (c'est-à-dire en considérant $C_{dep} \ll C_{ox}$), et en travaillant à 300°K, la pente sous le seuil est de 60mV/dec. La valeur du courant à V_{gs} nul, appelée I_{off} , peut aussi être déterminée directement à partir du graphique I_{ds} - V_{gs} . Par ailleurs, en représentation linéaire, la pente du courant de drain I_{ds} en fonction de la tension de grille V_{gs} est proportionnelle à β le facteur de transconductance défini par :

$$\beta = \mu_0 \cdot C_{ox} \frac{W}{L} \cdot V_{ds} \quad eq. I-16$$

I.1.4.2 Mode « Passant » - Inversion Forte

A $V_{gs} > V_{th}$, le transistor est en mode « passant ». Le canal de conduction est alors en forte inversion. Quand le drain est polarisé, on peut définir la charge d'inversion par unité de surface à la source et au drain, respectivement, comme :

$$Q_{inv}^S = C_{ox} \cdot (V_{gs} - V_{th}) \quad eq. I-17$$

$$Q_{inv}^D = C_{ox} \cdot (V_{gs} - V_{th} - V_{ds}) \leq Q_{inv}^S \quad eq. I-18$$

d'où l'on déduit la charge en un point x du canal :

$$Q_{inv}(x) = C_{ox} \cdot (V_{gs} - V_{th} - \frac{x}{L} \cdot V_{ds}) \quad eq. I-19$$

Pour les faibles polarisations de drain, la charge d'inversion dans le canal est totalement contrôlée par la grille. En intégrant l'expression précédente, on obtient le courant passant dans le transistor qui s'exprime :

$$I_d = \frac{W}{L_{eff}} \mu_0 C_{ox} \left[V_{gs} - V_{th} - \frac{1}{2} V_{ds} \right] V_{ds} \quad eq. I-20$$

En considérant l'expression de I_d , on voit que pour I_d nul, $V_{th} = V_{gs} - \frac{1}{2} V_{ds}$. Cette méthode nous permet donc d'extraire la tension de seuil à partir du graphique $\text{lin}(I_d)=f(V_{gs})$ Fig. 5a. En effet, il apparaît que pour un V_{ds} faible, la tangente de la courbe $\text{lin}(I_d)=f(V_{gs})$ coupe l'axe des abscisses en $V_{gs}=V_{th}$.

Lorsque la polarisation du drain augmente, le champ vertical de la grille place le canal en limite de pincement et la charge d'inversion est modifiée. Pour $V_{ds} = V_{dsat}$, un point de pincement se crée à l'interface drain/canal. Ce point se déplace vers la source à mesure que la polarisation du drain augmente. Au point de pincement, le courant de drain est défini par :

$$I_{dsat} = \frac{W}{L_{eff}} \mu_0 C_{ox} V_{dsat}^2, \text{ avec} \quad eq. I-21$$

$$V_{dsat} = V_{gs} - V_{th} \quad eq. I-22$$

Passé le point de pincement, la charge d'inversion diminue quand V_{ds} augmente, et le courant de drain sature à la valeur I_{dsat} .

Les différentes technologies sont, entre autres, caractérisées par leur tension d'alimentation V_{DD} . Ce paramètre détermine les niveaux de courant de fuite I_{off} ($V_{ds}=V_{DD}$; $V_g=0$), et de courant passant I_{on} ($V_{ds} = V_{gs} = V_{DD}$). Pour l'évaluation et la comparaison de différentes technologies, il est courant d'utiliser une figure de mérite I_{on} / I_{off} . Le niveau de courant I_{off} détermine le courant de fuite du dispositif, et par conséquent la consommation passive du circuit électronique. Le courant I_{on} donne le courant maximum qui fixe le délai de commutation élémentaire du transistor τ que l'on définit par :

$$\tau = C_{ox} \cdot W \cdot L_{eff} \frac{V_{DD}}{I_{on}} \quad eq. I-23$$

D'un point de vue général, les différentes innovations technologiques dans la fabrication et dans l'architecture des composants CMOS visent à augmenter le rapport I_{on}/I_{off} de manière à améliorer les performances dynamiques du circuit, tout en maintenant la consommation à un niveau constant.

I.1.5 Applications des transistors MOSFET

De nombreuses applications ont pu être développées à partir du transistor MOS, dont la principale est le circuit logique CMOS. Les transistors sont montés en inverseurs (nMOS / pMOS en parallèle) et réalisent les fonctions de base de la logique booléenne. Les circuits CMOS présentent une haute densité, une vitesse d'opération importante et sont utilisés entre autres pour la fabrication des micro-processeurs.

La linéarité du régime ohmique du transistor lui permet d'amplifier les signaux électriques, permettant ainsi la réalisation de fonctions analogiques. De même, ces dispositifs peuvent être utilisés pour amplifier des signaux à hautes fréquences et ainsi servir aux applications Radio-Fréquence (RF) pour les télécommunications.

Des produits spécifiques peuvent aussi être dérivés des technologies MOS. La combinaison d'un transistor et d'une capacité permet ainsi la réalisation d'un point de mémoire Dynamic Random Acces Memory (DRAM). Par ailleurs, une jonction p/n polarisée en inverse à la source donne une mesure du nombre de photons incidents, et offre la possibilité de fabriquer les circuits « Imageurs », présents sur les modules caméras des téléphones portables.

L'ensemble de ces applications peut être embarqué sur un même circuit intégré, formant ainsi un « System-On-Chip » SoC. Les SoC constituent aujourd'hui la plateforme de développement privilégiée de la plupart des produits électroniques hors micro-processeurs.

1.2 Impact de la miniaturisation sur les performances et solutions technologiques

La partie précédente nous a permis d'explicitier et d'analyser le comportement électrique d'un transistor MOSFET dans le cas d'une technologie donnée, c'est-à-dire pour une même longueur de grille. Quelques années après la première mise en évidence expérimentale de la fabrication d'un transistor MOSFET, Gordon Moore [Moore65] énonce dans la célèbre loi de Moore selon laquelle le nombre de transistors par circuit intégré ramené au coût de fabrication de ce circuit tend vers un optimum si cette densité double tous les 18 mois. Cette loi est toujours respectée dans les technologies actuellement en fabrication. Par ailleurs, Robert Dennard en analysant l'impact de la réduction des dimensions du transistor sur ses performances met en évidence la relation directe de ces deux paramètres [Dennard74]. Les performances d'un transistor s'améliorent d'autant que les dimensions de ce transistor diminuent.

Moore et Dennard tracent donc le chemin de l'évolution des technologies MOSFET, qui passe par la densification des circuits et la miniaturisation des transistors. Nous étudions dans cette partie l'impact de la miniaturisation sur les performances des transistors.

1.2.1 Evolution des paramètres avec la miniaturisation

La Fig. 6 présente les tendances d'évolution des paramètres essentiels des technologies CMOS, en fonction du paramètre de miniaturisation k . Ces lois de variations, définies par [Dennard 74], ont guidé l'amélioration des technologies CMOS au cours des différentes générations. Traditionnellement, l'évolution des technologies est dictée par la diminution de la tension d'alimentation V_{DD} et des dimensions (longueur de grille L , largeur de grille W , épaisseur d'oxyde T_{OX} , largeur du contact pour la circuiterie de back-end $L_{contact}$, tout en augmentant le dopage du canal). Un des résultats essentiels de cette miniaturisation est l'augmentation de la densité des composants du circuit. Cet effet permet une réduction substantielle des coûts de fabrication, puisque un plus grand nombre de puces peut être fabriqué sur une même surface de silicium. Par ailleurs, la réduction de la longueur de grille L_g permet de diminuer la résistance du canal, donc d'obtenir un courant I_{ON} et un gain plus important. Ce gain détermine les performances dynamiques des circuits, qui augmentent en conséquence.

Toutefois, les technologies développées au cours de la dernière décennie ont montré une augmentation importante des courants de fuites I_{off} . L'amélioration globale des performances en général, et du compromis $I_{on}-I_{off}$ en particulier, a pu être atteinte au détriment de la réduction de la tension d'alimentation, et ce en raison des limitations de l'oxyde de grille. La tension d'alimentation, maintenue à environ 1V, génère donc de nouvelles tendances de miniaturisation en champ généralisé [Baccarani84], c'est-à-dire en considérant $E = V_{DD}/k$. Afin de maintenir une vitesse de circuit suivant une évolution de facteur k , la tension d'alimentation a été moins diminuée que prévu, augmentant de fait le champ électrique E . Par conséquent, la puissance du circuit, la densité de puissance, et l'énergie par opération nécessaire sont en constante augmentation dans les technologies récentes. Il ressort de ces analyses que la puissance des circuits est aujourd'hui et sera dans les technologies futures une des principales contraintes à l'amélioration des performances [Haensch06].

<i>Paramètre</i>	<i>Miniaturisation en champ constant (E=cte) [Dennard 74]</i>	<i>Miniaturisation en champ généralisé (E=V/k) [Baccarani84]</i>
Dimensions, $L, W, T_{OX}, L_{contact}$	$1/k$	$1/k$
Dopage Canal	k	E/k
Tension d'alimentation V_{DD}	$1/k$	E/k
Densité du circuit	k^2	k^2
Capacité par circuit	$1/k$	$1/k$
Vitesse du circuit	k	k (objectif)
Puissance du circuit	$1/k^2$	E^2/k^2
Densité de puissance	1	E^2
Puissance x Délai (énergie par opération)	$1/k^2$	E^2/k^3

Fig. 6 : Evolution des paramètres principaux du transistor MOS en fonction du paramètre de miniaturisation k . Pour les technologies récentes, l'hypothèse de miniaturisation à champ constant n'est plus respectée, et impose de nouvelles tendances d'évolution. Les tendances explicités dans ce tableau donnent l'allure générale de l'évolution des différents paramètres technologiques sans toutefois vérifier la cohérence de leurs unités physiques, et ce dans un soucis de concision.

I.2.2 Effets physiques liés à la miniaturisation du transistor MOS

La miniaturisation des transistors est nécessaire pour l'amélioration des performances globales. Toutefois, certains paramètres, comme la tension de seuil, la pente sous le seuil, le courant de grille, ou les résistances de jonctions, sont dégradés lorsque les dispositifs atteignent le domaine déca-nanométrique. Les effets physiques liés à ces dégradations vont être détaillés dans les paragraphes suivants.

I.2.2.1 Les effets SCE et DIBL : Impact des jonctions fines, poches et halos

Dans le cas du transistor à canal long, nous avons considéré que le potentiel dans le canal est contrôlé par la grille. En mode « bloqué », une zone de charge d'espace s'établit à l'interface des jonctions polarisées en inverse formées par les zones source/drain et le canal. Lorsque les dimensions du dispositif diminuent, les zones de charge d'espace se rapprochent et prennent part au contrôle du potentiel dans le canal. C'est l'effet de canal court ou *SCE* (*Short Channel Effect*). Cet effet est amplifié lorsque le drain est polarisé. On parle alors de diminution induite de la barrière du drain ou *DIBL* (*Drain Induced Barrier Lowering*), mis en évidence par [Troutmann79]. Ces effets sont représentés en Fig. 7. Nous voyons graphiquement que la polarisation de drain aux faibles dimensions entraîne un abaissement de la barrière de potentiel ϕ_b précédemment définie, ce qui provoque une diminution de la tension de seuil V_{th} . Cet effet, dit de *Roll-off* est représenté en Fig. 7.

L'effet de *Roll-off* pose deux problèmes essentiels pour la miniaturisation des dispositifs. D'une part, l'équation du courant de drain en inversion faible (eq. I-14) montre que le courant de fuite I_{off} (donc à V_{gs} nul) dépend de manière exponentielle de la tension de seuil V_{th} . Par ailleurs, les procédés technologiques de définition de la grille entraînent une

certaine dispersion de la longueur de grille. Cette dispersion au niveau de la dimension est d'autant plus problématique qu'elle est amplifiée par l'effet de *Roll-Off* sur la variation de la tension de seuil, et par conséquent sur le courant de fuite. Il apparaît donc primordial de contrôler les effets canaux courts de manière à conserver des performances acceptables des dispositifs en régime sous le seuil.

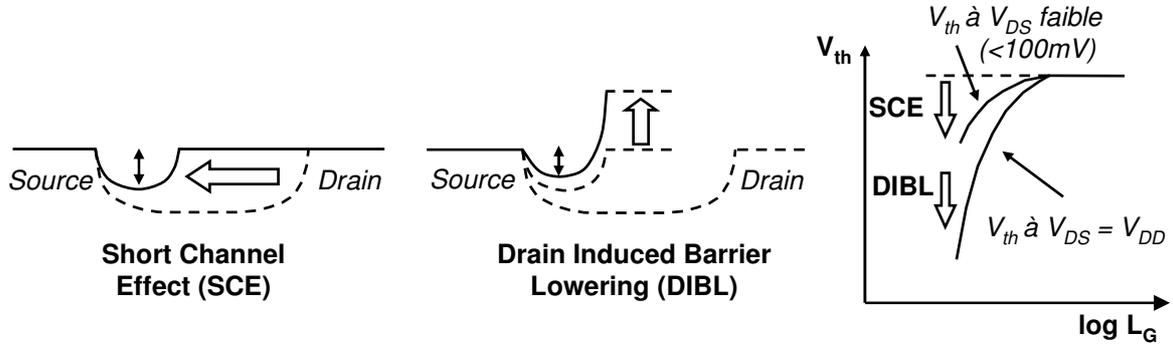


Fig. 7 : Représentations schématiques du Short Channel Effect, et du Drain Induced Barrier Lowering. La hauteur de barrière pour l'injection des porteurs de la source dans le canal diminue avec la longueur du canal (Effet SCE). De même, pour les canaux courts, la polarisation du drain entraîne une diminution de la barrière (Effet DIBL).

Ces effets ont pu être modélisés grâce à la transformation tension-dopage ou *VDT* (*Voltage-Doping Transformation*) développée dans [Skotnicki88]. Il y est démontré que, en considérant que la dérive de V_{th} s'explique par les variations de la barrière de potentiel ϕ_D , il est *nécessaire et suffisant* de connaître le potentiel le long de la cathode virtuelle, c'est-à-dire le long du lieu des minima de potentiel. L'idée de la VDT consiste à remplacer les variations de la hauteur de barrière ϕ_D par des variations équivalentes de niveau de dopage dans le canal. Les effets canaux courts peuvent ainsi être exprimés de la manière suivante [Skotnicki03] :

$$\left\{ \begin{array}{l} SCE = 0,64 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{eff}^2} \right) \frac{T_{ox} T_{dep}}{L_{eff}^2} \phi_D \quad \text{eq. I-24} \\ DIBL = 0,8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{eff}^2} \right) \frac{T_{ox} T_{dep}}{L_{eff}^2} V_D \quad \text{eq. I-25} \end{array} \right.$$

avec L_{eff} la longueur de grille effective, T_{dep} la profondeur de déplétion précédemment définie, T_{ox} l'épaisseur électrique du diélectrique de grille, et V_{ds} la tension appliquée au drain. On peut alors exprimer l'impact des effets canaux courts sur la tension de seuil V_{th} comme suit :

$$V_{th} = \underbrace{V_{FB} + 2\phi_F + \frac{qN_{sub}T_{dep}}{C_{ox}}}_{V_{th_long}} - SCE - DIBL \quad \text{eq. I-26}$$

Ces effets canaux courts peuvent être contrôlés en réduisant la profondeur des jonctions source-drain. Une approche graphique du partage de charge présentée par [Gwoziecki99] permet d'illustrer ces effets. En Fig. 8, nous présentons un transistor MOS à

jonctions profondes. Le champ exercé par les flancs verticaux des jonctions perturbe la zone contrôlée par la grille. Il en résulte une variation de la tension de seuil. Au contraire, sur le transistor à jonctions fines, l'impact des jonctions sur le contrôle de la grille est réduit. La variation de la tension de seuil est donc plus faible. Toutefois, [Gwoziecki99] rappelle que, si le bénéfice apporté par l'utilisation de jonctions fines est convenablement illustré par le concept graphique de partages de charges, cette approche basique ne saurait donner lieu à une modélisation satisfaisante des effets physiques mis en jeu.

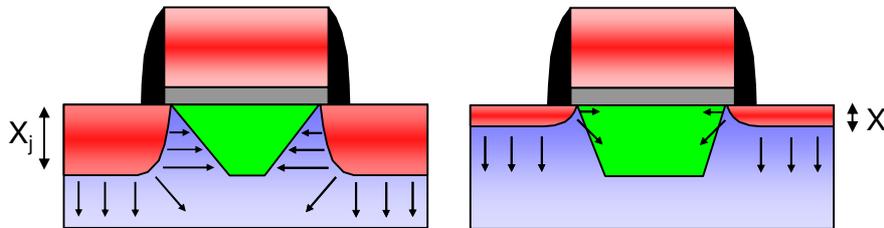


Fig. 8 : Représentation schématique de l'intérêt de la réduction de la profondeur des jonctions pour le contrôle du potentiel du canal par la grille.

I.2.2.2 Dégradation de la pente sous le seuil

En considérant un oxyde mince présentant une bonne qualité d'interface, la pente sous le seuil S peut s'exprimer :

$$S = \frac{\partial V_G}{\partial(\log I_d)} = \frac{kT}{q} \left(1 + \frac{C_{dep}}{C_{ox}} \right) \ln(10) \quad \text{eq. I-27}$$

avec C_{dep} la capacité de la zone déplétée.

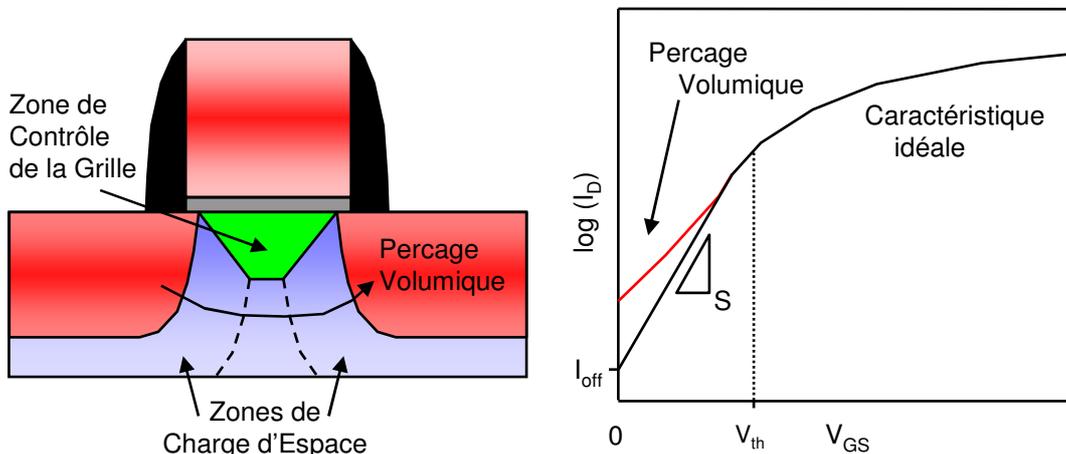


Fig. 9 : Avec la diminution de la longueur de grille, les jonctions source et drain se rapprochent, et une conduction par perçage volumique devient possible sous la zone contrôlée par la grille.

Nous avons vu que la pente sous le seuil est un paramètre essentiel de la performance des dispositifs. Il apparaît que la capacité C_{dep} est responsable de la déviation de la pente sous le seuil de sa valeur idéale à température ambiante (60mV/décade). Nous avons montré que la capacité C_{dep} est liée au dopage de canal N_{sub} par l'intermédiaire de la charge de déplétion Q_{dep} (cf § I.1.3.3). Par conséquent, un dopage du canal faible permet de maintenir une pente sous le seuil idéale, mais peut en retour augmenter l'effet de perçage volumique comme nous allons le démontrer.

Les effets de miniaturisation peuvent être représentés en Fig. 9 par le concept de partage de charge. Cette approche a l'avantage d'être plus visuelle que la VDT, bien que moins précise dans ses applications numériques. En Fig. 9, on observe que la diminution de la longueur de grille entraîne un rapprochement des zones de charge d'espace de la source et du drain. Un canal de conduction volumique apparaît sous la zone contrôlée par la grille pour des tensions de drain V_{ds} supérieures à la tension de perçage V_{pt} définie par [Skotnicki00] :

$$V_{pt} = \frac{qN_{sub}}{2\epsilon_{Si}} L_{eff}^2 - \phi_D \quad eq. I-28$$

Le phénomène de perçage volumique se traduit par une apparition de fuites sous le seuil et par conséquent d'une dégradation de la pente sous le seuil. Le compromis entre faible niveau de dopage dans le canal et immunité du dispositif au perçage impose par conséquent de fortes contraintes sur la diminution de la profondeur des jonctions source-drain.

I.2.2.3 Fuite de l'oxyde de grille : Vers un diélectrique à forte permittivité

Nous avons vu dans le paragraphe précédent que la dérive de la pente sous le seuil dépend en grande partie du rapport C_{dep}/C_{ox} , qui doit être le plus faible possible. Par conséquent, l'augmentation des performances avec la miniaturisation passe par une augmentation de la capacité par unité de surface C_{ox} . On rappelle la définition de C_{ox} :

$$C_{ox} = \epsilon_0 \frac{\epsilon_{ox}}{T_{ox}} \quad eq. I-29$$

avec ϵ_0 la permittivité du vide, ϵ_{ox} la permittivité de l'oxyde et T_{ox} son épaisseur.

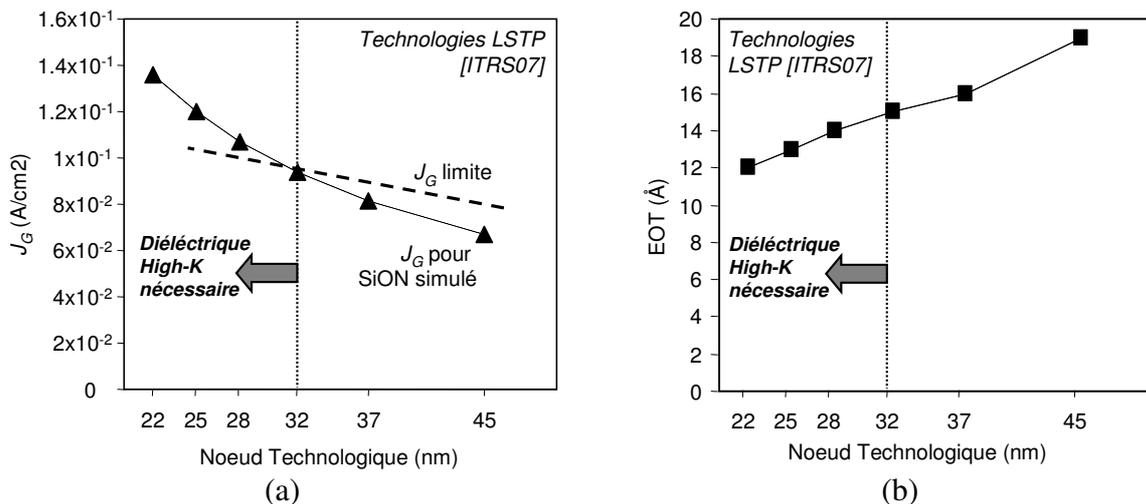


Fig. 10 : Evolution du courant de fuite de l'oxyde de grille (a) et de l'épaisseur d'oxyde équivalente (EOT)(b) en fonction du nœud technologique, d'après [ITRS07].

Par conséquent, l'augmentation de C_{ox} nécessite une diminution de l'épaisseur de l'oxyde de grille ou une augmentation de sa constante diélectrique. Jusqu'aux technologies actuellement en production, l'amélioration des performances s'est faite essentiellement en jouant sur le premier de ces paramètres et en gardant un matériau de nature proche de l'oxyde

de silicium. Toutefois, des améliorations ont pu être apportées à l'oxyde de silicium, notamment grâce aux oxydes nitrurés qui, tout en augmentant la permittivité du matériau, permettent de limiter la diffusion du bore de la grille vers le canal. Il est alors nécessaire de définir de nouveaux paramètres permettant une comparaison significative des différents matériaux. On définit ainsi l'épaisseur d'oxyde équivalente (EOT) :

$$EOT = t_{diélectrique} \frac{\epsilon_{SiO_2}}{\epsilon_{diélectrique}} \quad eq. I-30$$

qui donne pour un matériau donné l'épaisseur équivalente de SiO₂ nécessaire pour obtenir une capacité équivalente.

La Fig. 10a montre l'évolution de la densité courant de grille limite pour obtenir des performances acceptables, telles que définies par [ITRS07]. La densité de courant de grille pour un oxyde SiON, et l'EOT correspondante (Fig. 10b) sont représentées pour les différents nœuds technologiques. Dans les technologies actuelles (45nm), l'EOT est de 19Å et le courant de grille est inférieur à la limite de fuite acceptable. Par contre, pour les technologies actuellement en développement (37 nm et au-delà), soit pour une EOT inférieure à 15Å, le courant de fuite est à cette limite. Le courant de fuite, dû à un effet tunnel, dépend au premier ordre de l'épaisseur de l'oxyde. Toute réduction de l'épaisseur d'oxyde entraîne donc une augmentation des courants de fuite.

Par conséquent, l'intégration d'un matériau à haute constante diélectrique (High-K) devient indispensable. Ces nouveaux matériaux permettent de maintenir une EOT équivalente tout en augmentant l'épaisseur du diélectrique, de manière à minimiser les fuites [Wilk01], [Chau04]. En Fig. 11, une réduction de plusieurs ordres de grandeur du courant de grille est observée en passant du SiON à un oxyde High-K. Par ailleurs, de fortes dégradations de la mobilité des porteurs dans le canal ont pu être observées lors de l'introduction d'oxydes High-K, dégradation attribuée à un mécanisme d'effet de charge de Coulomb à distance (*remote Coulomb scattering*) [Fischetti01]. Cet effet est peu observé dans les travaux de [Chau05] présenté en Fig. 11.

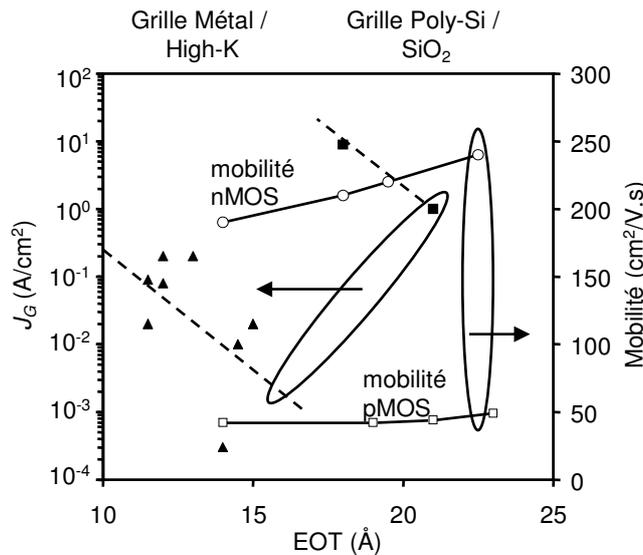


Fig. 11 : Courant de fuite dans l'oxyde et mobilité des porteurs dans le canal en fonction de l'EOT de l'oxyde de grille (données provenant de [Chau04]).

I.2.2.4 Déplétion du polysilicium et intérêt d'une grille métallique

En mode passant, la capacité MOS est en inversion et les porteurs minoritaires forment un canal de conduction. Ces porteurs développent une charge image de type opposé dans la grille, ce qui génère une zone de déplétion (Fig. 12). Cette déplétion joue un rôle de capacité en série avec celle de l'oxyde de grille. Négligeable pour les diélectriques épais, l'épaisseur de la zone déplétée dans la grille $t_{poly-dep}$ est du même ordre de grandeur que celle de l'oxyde dans les technologies avancées. On définit par conséquent un nouveau paramètre, l'épaisseur équivalent d'oxyde (CET) mesurée en condition d'inversion, prenant en compte l'effet de déplétion de grille, et définie comme :

$$CET = \frac{\epsilon_{SiO_2}}{C_{ox}} \quad eq. I-31$$

Une augmentation du dopage de la grille permet de réduire $t_{poly-dep}$. Cependant, la limite de solubilité des dopants dans le silicium ne permet pas de supprimer totalement cet effet. Dans les technologies actuelles (45nm), l'épaisseur de la zone déplétée est d'environ 4-5Å.

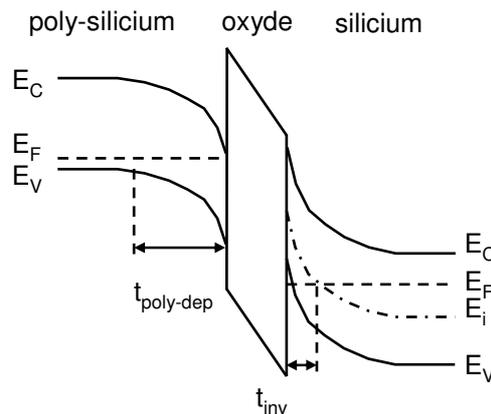


Fig. 12 : Diagramme de bande d'une capacité MOS p-poly-Si/SiO₂/n-Si. La zone de déplétion formée à l'interface du poly-Si par charge image est représentée.

La solution retenue pour les technologies les plus avancées consiste à intégrer une grille métallique au niveau de l'interface avec l'oxyde. De cette manière, l'effet de polydéplétion est supprimé. De plus, les effets de diffusion du bore dans l'oxyde sont évités. Par ailleurs, les métaux présentent généralement des résistivités d'un ordre de grandeur inférieur à du silicium très fortement dopé. Ainsi, les grilles métalliques permettent de meilleures performances dynamiques des transistors. D'autre part, les métaux présentant les qualités nécessaires à une intégration dans les technologies CMOS permettent de couvrir l'essentiel de la gamme des travaux de sortie, et peuvent donc être optimisés pour des grilles p ou des grilles n. Le principal challenge technologique au sujet des grilles métalliques concerne les procédés de fabrication et les schémas d'intégration qui y sont liés. En effet, si la gravure d'une grille en polysilicium est parfaitement maîtrisée dans les technologies actuelles, la gravure d'une grille en métal, voire de grilles p et n constituées de deux métaux différents est une difficulté majeure pour une intégration au niveau industriel.

I.2.3 Vers de nouvelles Architectures

La majorité des nouvelles architectures de dispositifs visent à améliorer le contrôle du potentiel dans le canal par la ou les électrodes de grille en renforçant le contrôle de l'intégrité électrostatique. D'autres types de dispositifs se focalisent vers une augmentation de la mobilité des porteurs grâce à une ingénierie des matériaux présents dans le canal. Aussi, les architectures Schottky visent à introduire de nouveaux types de siliciures afin de relaxer les contraintes présentes sur la résistance d'accès dans le module de jonctions.

I.2.3.1 Transistor sur substrat Silicon-On-Insulator (SOI)

Une première approche consiste à réaliser une technologie MOSFET classique sur un substrat Silicon-On-Insulator (SOI), constitué d'un substrat Si classique, séparé d'une fine couche de Si monocristallin par une couche de SiO_2 . La fine couche supérieure de Si cristallin est appelé « film SOI », et l'oxyde d'isolation le « BOX ». Les substrats SOI permettent de diminuer de manière importante les capacités de jonctions, et constituent donc des architectures idéales pour les applications hautes performances. Par ailleurs, les architectures Fully-Depleted SOI (sur film SOI mince) permettent de limiter les effets canaux courts en limitant la profondeur des jonctions, et donc le potentiel électrostatique dans le canal contrôlé par les jonctions. En technologie SOI, l'ingénierie de dopage canal permettant d'éviter les effets de perçage volumique et de latch-up devient inutile du fait de l'isolation électrique verticale introduite par le BOX.

Lorsque l'épaisseur de SOI t_{Si} est inférieure à la profondeur de la zone de déplétion T_{dep} (eq. I-13), on parle de transistor SOI totalement déplété FDSOI (Fig. 13). Ces dispositifs présentent de nombreux avantages par rapport aux transistors SOI partiellement déplétés PDSOI [Gallon07]. D'une part, la profondeur des jonctions étant naturellement réduite grâce à la faible épaisseur du film SOI, les effets canaux courts sont améliorés. De ce fait, le canal peut être maintenu en dopage faible. Nous avons pu montrer que la capacité de déplétion C_{dep} est liée à la profondeur de la zone de déplétion T_{dep} par la charge de déplétion. La profondeur de la zone de déplétion étant réduite à t_{Si} , la capacité de déplétion est elle aussi réduite, ce qui permet l'amélioration de la pente sous le seuil. De plus, l'absence de zone neutre dans le canal permet la suppression de la prise substrat nécessaire pour les architectures PDSOI [Gallon07]. L'inconvénient majeur des substrats SOI est leur prix, plusieurs fois supérieur à celui d'un substrat classique.

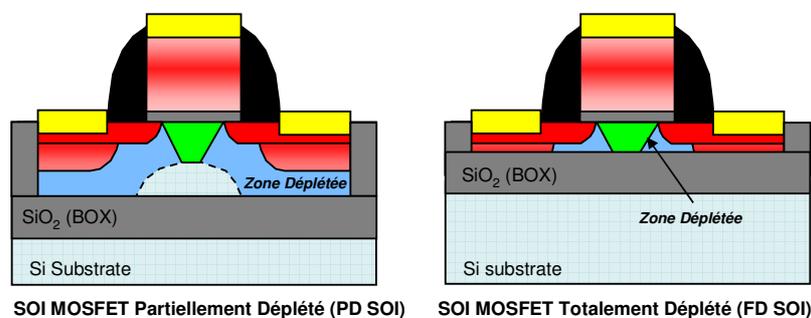


Fig. 13 : Architecture MOSFET sur substrat SOI, partiellement déplétée (à gauche) et totalement déplétée (à droite).

I.2.3.2 Transistor Silicon-On-Nothing SON

Différentes solutions ont été envisagées dans l'optique de bénéficier des avantages du substrat SOI sans avoir à subir les inconvénients du prix du substrat. En particulier, la technologie SON permet d'intégrer à un transistor standard un oxyde enterré, localisé et auto-aligné sous la grille [Jurczak99], [Monfray01]. La profondeur de déplétion et l'épaisseur des extensions sont limitées par l'épaisseur du film de silicium. Ces dispositifs présentent donc une tenue aux effets canaux courts comparable aux transistors FDSOI. Toutefois, les contraintes introduites par les films minces des transistors FDSOI au niveau du module de jonction sont relaxées dans le cas d'une technologie SON. En particulier, les jonctions peuvent être suffisamment profondes pour assurer une résistance d'accès acceptable, et la formation du silicium n'est pas limitée par la quantité disponible de silicium. Par ailleurs, la réalisation technologique d'un BOX très mince (10nm) par épitaxie de SiGe sacrificielle est beaucoup plus facile à réaliser qu'un BOX de substrat SOI de même épaisseur. L'étape de retrait du SiGe sacrificiel, laissant la zone du canal au-dessus d'une zone d'air, donne son nom à la technologie SON.

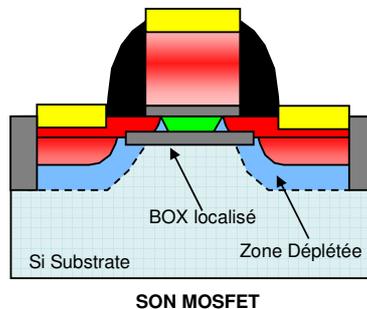


Fig. 14 : Architecture SON. En vert et en bleu foncé sont représentées les zones déplétées contrôlées par la grille et les jonctions source/drain, respectivement.

I.2.3.3 Architectures à Grilles Multiples

L'idée d'un transistor à grilles multiples a été développée en même temps que les premiers transistors SOI. En effet, la polarisation du substrat en face arrière permet, grâce à la présence du BOX en SiO₂ de créer une deuxième capacité MOS à l'interface SOI/BOX. En particulier, les travaux de [Balestra87] ont démontré les effets bénéfiques introduits par l'effet d'inversion de volume. Pour un certain couple de valeur (polarisation des grilles / épaisseur du film SOI), le canal du transistor entre en inversion de volume. Cette condition permet d'obtenir une quantité de porteurs minoritaires accrue dans le canal, une influence réduite des défauts existant aux interfaces, et l'utilisation d'un volume bien plus important que le canal d'inversion en surface, qui offre une meilleure mobilité. Afin de permettre une intégration à haute densité des transistors à double-grille, de nouveaux concepts d'architecture ont pu être développés.

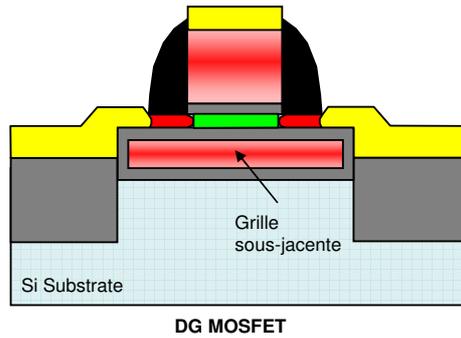


Fig. 15 : Architecture Double-Grille proposée par [Harrison05]. La grille sous-jacente permet un meilleur contrôle du canal.

La faisabilité d'un transistor à grille enrobante (GAA) a été dans un premier temps démontrée par [Colinge90]. Les schémas de fabrications créés grâce à la technologie SON, ont par la suite permis de proposer un procédé de fabrication compatible avec les contraintes industrielles, et de valider le potentiel de ces dispositifs en terme de performances électriques [Harrison05].

Ces différentes architectures offrent des alternatives prometteuses pour l'amélioration des performances des transistors, permettant une évolution vers les dimensions les plus faibles. Un compromis reste à trouver entre les bénéfices apportés, et la complexification du procédé de fabrication.

1.3 Intérêt des siliciures bord de bande pour le module de jonction

1.3.1 Augmentation des résistances de jonctions avec la miniaturisation

Nous avons jusqu'ici analysé le transistor en considérant le cas idéal, c'est-à-dire en l'absence des résistances séries. Nous focalisons ici notre attention sur la réduction de la longueur de canal L_g et celle de la profondeur de jonction X_j . En effet, lorsque le transistor est soumis aux règles de miniaturisation, la résistance du canal (qui varie en L_g) diminue alors que celle des jonctions (variant en $1/X_j$) augmente. Il est donc inévitable que la résistance du module de jonction joue un rôle grandissant dans les technologies avancées.

1.3.1.1 Cas des transistors Bulk

L'analyse qui suit est réalisée en considérant le modèle développé par S.D. Kim dans une série de publications [Kim00], [Kim02], et [Kim04]. Ce modèle considère que les résistances séries dans un transistor MOS en mode « passant » peuvent être réparties suivant les composantes détaillées en Fig. 16.

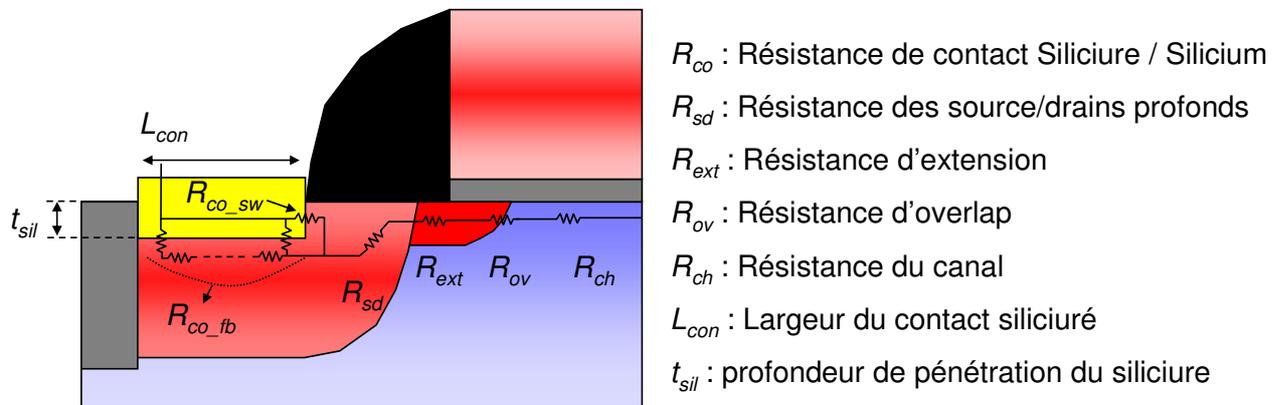


Fig. 16 : Schéma équivalent des résistances séries du module de jonction d'un transistor MOS dans le cas d'une technologie bulk

Les résistances des zones dopées (R_{sd} , R_{ext} , et R_{ov}) sont modélisées en considérant une résistance classique de silicium dopé. La résistance de contact entre le siliciure et le silicium R_{co} est répartie entre la résistance « flat-bed » R_{co_fb} correspondant à l'interface horizontale, et la résistance « sidewall » R_{co_sw} qui caractérise l'interface verticale. L'injection du courant sous le siliciure correspond à la résistance de contact « flat-bed » R_{co_fb} , et s'exprime en $\Omega.cm$ sous la forme classique d'un modèle TLM :

$$R_{co_fb} = \frac{\rho_c}{L_T} \coth\left(\frac{L_{con}}{L_T}\right) \quad eq. I-32$$

avec ρ_c la résistance spécifique de contact, L_{con} la longueur du contact, et L_T la longueur de transfert donnée par :

$$L_T = \sqrt{\frac{\rho_c}{R_s}} \quad \text{eq. I-33}$$

R_s étant la résistance par carreau de la zone dopée située sous le siliciure.

La résistance « sidewall » R_{sw} caractérisant l'injection de courant sur l'interface verticale du siliciure s'exprime simplement, en faisant l'hypothèse d'une concentration de dopants constante suivant la profondeur :

$$R_{co_sw} = \frac{\rho_c}{t_{sil}} \quad \text{eq. I-34}$$

avec t_{sil} la profondeur de pénétration du siliciure dans le silicium.

R_{co} s'exprime finalement en associant les deux composantes résistives en parallèle :

$$R_{co} = (R_{co_fb}^{-1} + R_{co_sw}^{-1})^{-1} \quad \text{eq. I-35}$$

Les siliciures considérés dans cette partie sont réalisés sur des zones source/drains fortement dopées ($N_d \geq 1 \times 10^{20}$ at./cm³). Par conséquent, on peut modéliser la résistance de contact grâce à un modèle d'injection des porteurs par effet de champ. A cette condition, on peut exprimer la résistance spécifique de contact en fonction de la hauteur de barrière ϕ_b à l'injection des porteurs du siliciure dans le silicium sous la forme suivante, d'après [Varaharamyan96] :

$$\rho_c = \frac{k}{qA^*T} \cdot c_{FE} \cdot \exp\left[\frac{\phi_b}{E_{00}}\right] \quad \text{eq. I-36}$$

avec k la constante de Boltzmann, q la charge élémentaire, A^* la constante de Richardson, T la température, c_{FE} la constante d'injection par effet de champ¹, et E_{00} représentant une énergie caractéristique liée à la probabilité d'injection par effet tunnel, définie par :

$$E_{00} = \frac{h}{4 \cdot \pi} \cdot \sqrt{\frac{N_d}{\epsilon_s \cdot m_t}} \quad \text{eq. I-37}$$

La contribution de ces différentes composantes est analysée en Fig. 17 avec le modèle de Kim. Ce modèle a par ailleurs été adapté et intégré au simulateur MASTAR. Ces modélisations prennent en considération des siliciures mid-gap (TiSi₂, CoSi₂, NiSi), traditionnellement utilisés dans l'industrie de la microélectronique.

Pour les longueurs de grille de l'ordre de 100nm, les différentes composantes R_{ov} , R_{ext} et R_{co} ont une contribution comparable à la résistance série totale du transistor. Il apparaît que les deux premières contributions diminuent avec le nœud technologique. Ce n'est pas le cas de la résistance de contact R_{co} qui diminue faiblement en valeur absolue, mais prend une part prédominante dans les résistances séries en valeur relative, dans le cas des nMOS et des pMOS.

¹ La constante c_{FE} est peu dépendante du dopage. Sur les gammes de dopage de $6,6 \times 10^{19}$ à $1,0 \times 10^{21}$ at./cm³ pour le silicium de type-n, et de $3,8 \times 10^{19}$ à $1,0 \times 10^{21}$ at./cm³ pour le silicium de type-p, on l'approxime à une valeur moyenne de 0,42 et 0,36, respectivement (sans unité).

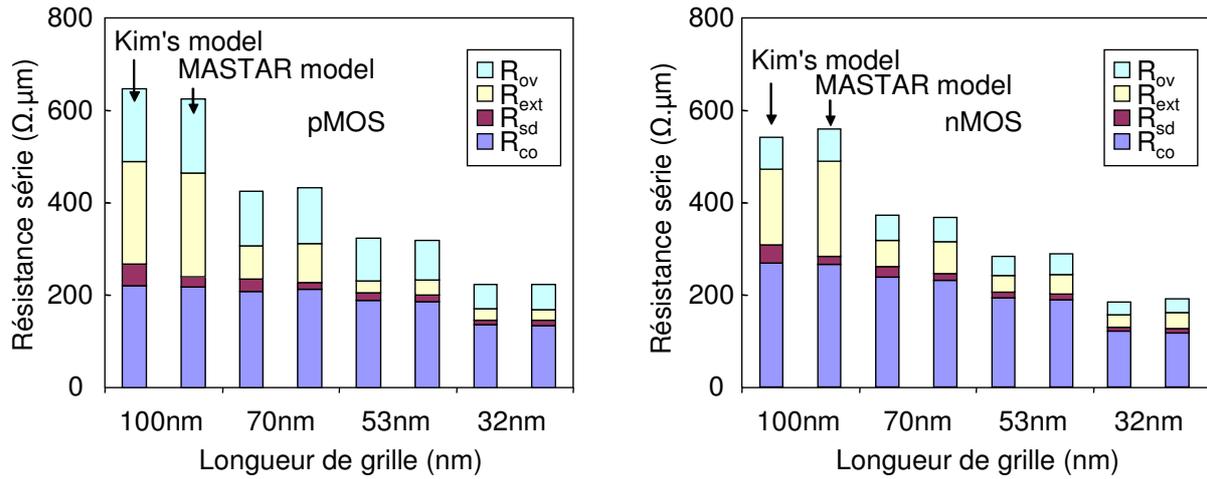


Fig. 17 : Analyse de la contribution respective des différentes composantes de la résistance série du module de jonction, pour des p et nMOS, en fonction du nœud technologique.

Nous voyons donc que le module de jonction apparaît comme un point bloquant pour l'amélioration des performances. L'analyse que nous avons détaillé dans ce paragraphe montre que la résistance de contact R_{co} est la composante principale de ce module.

I.3.1.2 Cas des transistors sur films minces

Les transistors sur films mince (SOI) se caractérisent par la présence d'une quantité limitée de silicium t_{SOI} dans les zones source et drain (Fig. 18). Seule l'architecture SON permet de conserver un BOX localisé sous le canal tout en offrant une quantité de silicium pour la formation du module de jonction comparable à celle des transistors bulk. Ce paragraphe s'attache à étudier l'impact de la limitation de t_{SOI} sur les caractéristiques du module de jonction.

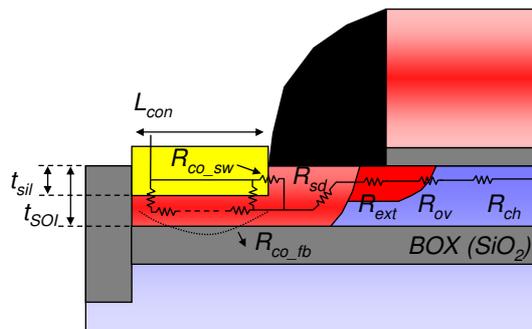


Fig. 18 : Schéma équivalent des résistances séries du module de jonction d'un transistor MOS dans le cas d'une technologie SOI

Sur film SOI, l'amélioration des performances du transistor passe par une réduction de l'épaisseur du film mince, de manière à mieux contrôler le potentiel de canal. Or, la diminution de l'épaisseur du film entraîne de nouvelles contraintes au niveau du module de jonction. En particulier, la quantité de silicium disponible pour réaliser la siliciuration devient plus faible.

Cet effet est quantifié en Fig. 19 en utilisant le modèle 1D de la résistance de contact présenté dans la partie I.3.1.1. Dans cette analyse, nous ne prenons pas en compte l'effet de la

résistance du siliciure sur la résistance de contact. Nous traçons la résistance de contact d'un siliciure *mid-gap* (0.6eV) sur une jonction dopée à 10^{20} at./cm³ (soit une résistance spécifique de contact ρ_c de 2.8×10^{-7} $\Omega \cdot \text{cm}^2$) en fonction du rapport profondeur de pénétration du siliciure sur épaisseur initiale du film de SOI. Cet effet est étudié dans le cas d'un film SOI standard 50nm, et celui d'un film SOI ultra-mince 10nm. Dans le cas où le siliciure ne pénètre pas dans le film de SOI, nous remarquons que la valeur de la résistance de contact est très proche pour les deux épaisseurs de SOI considérées, et ne diffère que de la valeur de la résistance par carreau du SOI sous le siliciure. Nous observons pour le film d'épaisseur 50nm que la résistance de contact décroît jusqu'à une profondeur de pénétration du siliciure de 90% environ. Cet effet est dû à l'augmentation de la surface effective de la jonction siliciure/silicium. Toutefois, au-delà de 90% de SOI siliciuré, la résistance augmente brutalement. La réduction de l'épaisseur de silicium sous le siliciure se traduit par une forte augmentation de la résistance par carreau, qui impacte directement la longueur de transfert des porteurs définie par $L_T = (\rho_c / R_s)^{1/2}$. Cette longueur de transfert diminuant, la résistance *flatbed* R_{co_fb} devient négligeable dans la résistance de contact. Ainsi, lorsque la profondeur de pénétration du siliciure augmente, l'injection des porteurs sous le siliciure devient difficile, et se fait principalement via la composante *sidewall* R_{co_sw} . La surface effective d'injection est donc diminuée, et la résistance de contact augmente. Cet effet est encore plus clair sur film mince. La résistance de contact reste constante dès le début de la diffusion du siliciure dans le film SOI, augmente légèrement après 40% du film de SOI siliciuré, puis très fortement après 80%.

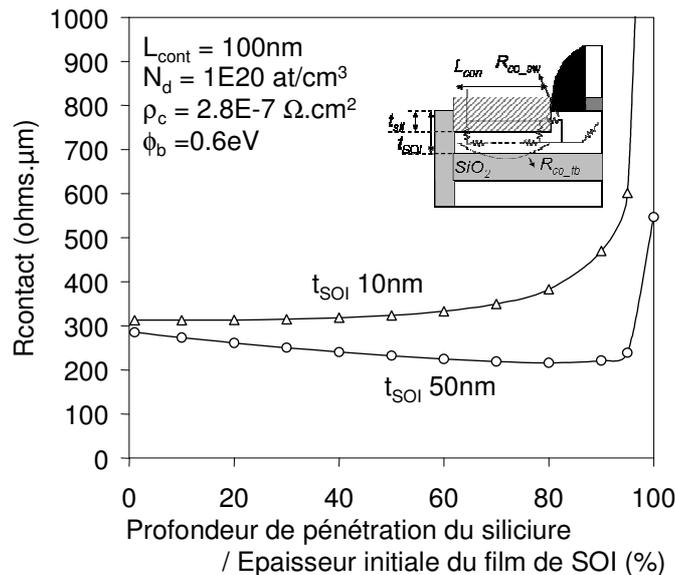


Fig. 19 : Evolution de la résistance de contact siliciure/silicium en fonction du rapport épaisseur du film de SOI siliciuré sur épaisseur totale, pour deux épaisseurs de SOI différentes (10 et 50nm).

Une hauteur de barrière de siliciure *midgap* (0.6eV) a jusqu'à présent été considérée. Nous prenons maintenant l'exemple d'un transistor sur film SOI totalement siliciuré. Seule la composante *sidewall* de l'injection de porteurs est considérée dans le calcul de la résistance de contact. La diminution de la hauteur de barrière du siliciure nécessaire pour maintenir la résistance de contact constante est calculée en faisant varier l'épaisseur du film SOI, à partir de l'expression suivante :

$$\phi_b = E_{00} \cdot \ln \left[\frac{qA^*T}{k} \frac{1}{c_{FE}} \rho_{\cos w} \cdot t_{sil} \right] \quad \text{eq. I-38}$$

t_{sil} étant l'épaisseur du film de SOI totalement siliciuré.

Nous imposons une résistance de contact de $250\Omega.cm$ (d'après la Fig. 20, cette valeur correspond à un film de SOI d'épaisseur standard 50nm siliciuré jusqu'à la moitié de sa profondeur).

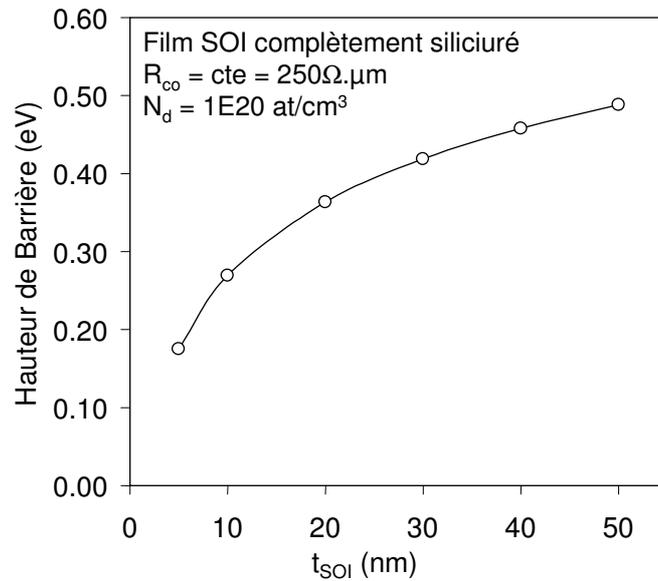


Fig. 20 : Diminution de la hauteur de barrière du contact siliciure/silicium en fonction de l'épaisseur d'un film de SOI complètement siliciuré, pour une résistance de contact constante et égale à $250\mu\Omega.cm$.

Ce calcul simple nous permet de mettre en évidence qu'une hauteur de barrière de 0.27eV permet de conserver une résistance de contact acceptable dans le cas d'un transistor SOI totalement siliciuré d'épaisseur 10nm.

Nous voyons donc que l'ingénierie de hauteur de barrière des siliciures présente un grand intérêt pour apporter des solutions aux contraintes imposées à la résistance de contact du module de jonctions.

I.3.2 Solutions offertes par les siliciures bord-de-bande et problématique de la thèse.

La résistance de contact apparaît donc comme une composante essentielle de la limitation des performances, d'une part dans le cas des technologies bulk quand la longueur de grille vient à diminuer, et d'autre part pour les technologies SOI quand l'épaisseur du film de SOI est réduite. Les définitions précédemment proposées de la résistance de contact montrent une dépendance exponentielle avec la hauteur de barrière et le niveau de dopage du silicium (eq. I-36 et I-37). Ce niveau de dopage est limité par la solubilité limite des dopants dans le silicium. Cette valeur, de l'ordre de quelques $1 \times 10^{20} \text{ at./cm}^3$ impose une limite technologique déjà atteinte qui laisse peu de place pour des améliorations significatives. Par conséquent, nous avons choisi de focaliser nos études sur le paramètre hauteur de barrière ϕ_b . Différentes approches ont pu être proposées afin de mettre en œuvre une ingénierie de hauteur de barrière.

Une première approche consiste à intégrer des siliciures alternatifs, présentant des hauteurs de barrières adaptées aux différents types de porteurs - électrons et trous. Nous présentons en Fig. 21 l'ensemble des siliciures répertoriés dans la littérature et compatibles avec les technologies CMOS, classés en fonction de leur hauteur de barrière aux électrons ou aux trous. Nous rappelons ici que ces deux barrières sont complémentaires ($q\phi_{b,n} + q\phi_{b,p} = E_{gap}$). Nous voyons que la plupart des siliciures répertoriés sont situés en milieu de gap. Ce sont les siliciures traditionnellement utilisés dans la microélectronique, $TiSi_2$, $CoSi_2$, et $NiSi$. Deux groupes de matériaux se distinguent. D'une part, les siliciures de métaux quasi-nobles (Pt, Ir) montrent une faible barrière au trous. Ces siliciures de type p sont donc intéressants dans le cadre de contact sur transistor pMOS pour l'injection de trous avec une faible hauteur de barrière. D'autre part, les siliciures de terres-rares (Er, Yb), présentent une faible barrière aux électrons, et montrent donc un intérêt particulier pour des contacts sur transistors nMOS. Ce type d'approche permet donc une réduction directe de la hauteur de barrière. En contrepartie, le schéma d'intégration est complexifié par l'intégration de deux siliciures différents.

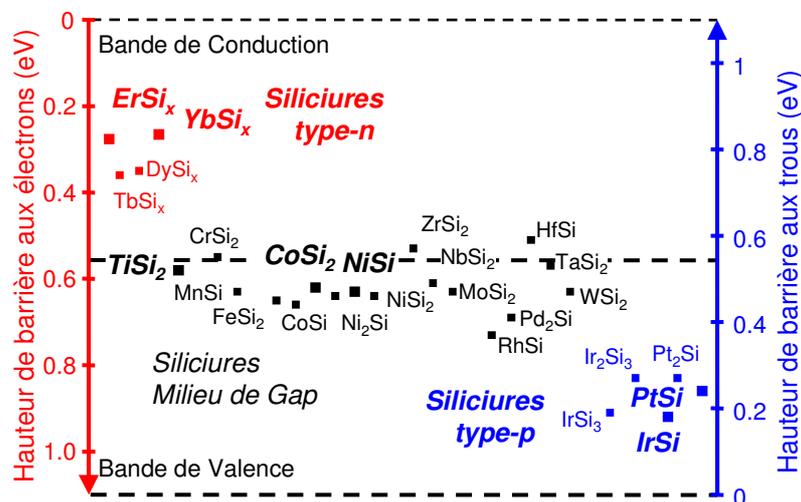


Fig. 21 : Hauteurs de barrière des différents siliciures répertoriés dans la littérature. Deux groupes se distinguent des siliciures mid-gap : les siliciures de terre-rare qui présentent une faible hauteur de barrière aux électrons, et les siliciures de métaux quasi-noble qui montrent une faible hauteur de barrière aux trous, d'après [Maex95].

Une deuxième approche se base sur la modulation de la hauteur de barrière par l'ingénierie de dopants. Les travaux de [Shannon74] ont démontré l'impact d'une implantation de dopants Sb sur la modulation de la barrière Schottky à l'interface Ni/Si. En utilisant un substrat Si de type p ou n, l'auteur met en évidence une augmentation ou une diminution, respectivement, de la hauteur de barrière aux trous grâce à une implantation de Sb. Par ailleurs, [Ohdomari84] et [Wittmer84] ont travaillé sur la ségrégation des dopants lors d'une réaction de siliciuration. Dans certains cas, ces auteurs observent une accumulation de dopants à l'interface siliciure/silicium. Enfin, la modulation de la hauteur de barrière grâce à une accumulation de dopants par ségrégation pendant la siliciuration est observée par [Knoch05] sur un siliciure $NiSi$.

Nous voyons donc que la hauteur de barrière peut être modulée par différentes techniques. Le choix du siliciure, d'une part, l'ingénierie de dopants à l'interface, d'autre part, ont permis de mettre en œuvre différentes stratégies d'intégration, dont nous présentons les plus importantes.

I.3.2.1 Ingénierie de hauteur de barrière sur une architecture standard

Sur une architecture MOSFET standard, le remplacement du siliciure mid-gap par deux siliciures bord-de-bande permet une réduction substantielle de la résistance de contact via la hauteur de barrière. La difficulté majeure de ce schéma provient de la difficulté d'intégrer deux siliciures différents sur une même puce.

D'autre part, la hauteur de barrière peut être optimisée spécifiquement en modifiant les implantations source/drain. En effet, la ségrégation des dopants et la modulation de la barrière dépendent de nombreux paramètres, tels que la profondeur d'implantation, la dose implantée, la position cristallographique des dopants avant siliciuration [Breil08]. Ces différents paramètres sont autant de voies d'optimisation différentes de la résistance de contact dans une architecture standard.

I.3.2.2 Intégration des siliciures bord de bande comme jonctions métalliques : transistors Schottky

Dans les transistors à source/drain Schottky, le module de jonction traditionnel contact siliciuré sur jonction dopée est remplacé par un siliciure à faible hauteur de barrière (Fig. 15). Cette architecture nécessite l'intégration d'un siliciure spécifique pour le pMOS, et d'un autre pour le nMOS. Les avantages liés à ce type de structure sont nombreux. D'une part, le procédé de fabrication est simplifié, puisque les différentes étapes du module de jonction sont réduites à la seule étape de siliciuration. D'autre part, le budget thermique est réduit puisque le recuit à haute température nécessaire à l'activation des dopants est évité. L'abrupteté de la jonction siliciurée et sa faible résistivité sont aussi des atouts pour les technologies avancées qui demandent un compromis R_s/X_j très agressif.

Le transistor Schottky peut donc être représenté suivant un schéma électrique équivalent composé de deux diodes têtes bêtes séparées par la résistance du canal, modulable par la grille. Les diagrammes de bande correspondants sont présentés en Fig. 22a,b,c. En mode bloqué ($V_{gs} = 0V$), l'injection des électrons dans le canal est limitée par la hauteur de barrière $\phi_{b,n}$. L'augmentation de $\phi_{b,n}$ permet donc de réduire les courants de fuite dans l'état bloqué. Lorsque le transistor est mis en inversion ($V_{gs} \gg V_{th}$), l'injection des porteurs (trous) est cette fois contrôlée par la hauteur de barrière complémentaire $\phi_{b,p}$. Lorsque le drain est polarisé, l'injection des trous à la source est essentiellement limitée par cette hauteur de barrière.

Nous voyons donc l'importance de la réduction de la hauteur de barrière pour les performances d'un tel dispositif. Ce paramètre contrôle en effet à la fois la diminution du courant I_{off} à l'état bloqué, mais aussi l'augmentation du courant I_{on} à l'état passant, et permet donc de contrôler directement le rapport I_{on}/I_{off} . Dans le cas d'un siliciure bord-de-bande adapté, nous avons vu que cette barrière pouvait être de l'ordre de 0,2eV.

Le concept du transistor Schottky a été proposé par [Nishi70] et [Lepselter68], sans toutefois démontrer de performances significatives. En effet, les procédés de fabrication de l'époque ne permettaient pas l'ingénierie d'espaceurs suffisamment minces pour que la

jonction métallique diffuse sous la grille, permettant ainsi un contrôle effectif de l'injection des porteurs. Plus récemment, des auteurs [Fritze04], [Kedzierski00], [Larrieu04] ont pu mettre en évidence les performances prometteuses offertes par de telles architectures.

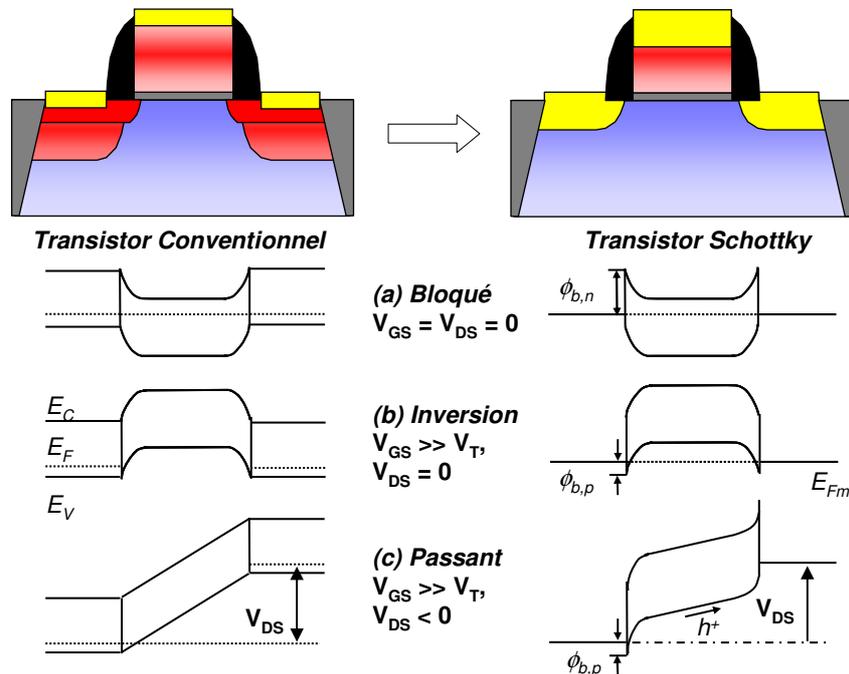


Fig. 22 : Représentation schématique d'un transistor conventionnel (à gauche) et d'un transistor Schottky (à droite). Dans le transistor Schottky, le module de jonction est remplacé par un siliciure à faible hauteur de barrière.

I.3.2.3 Ségrégation de dopants dans les transistors Schottky

Constatant l'importance d'une réduction de la hauteur de barrière pour l'amélioration des performances des transistors Schottky, des auteurs ont proposé récemment différentes approches basées sur la ségrégation de dopant avec des siliciures bord de bande (PtSi) [Larrieu07], ou en utilisant des siliciures *midgap* [Kinoshita05], [Kinoshita06]. Des abaissements de barrière significatifs peuvent ainsi être obtenus, comme démontré en Fig. 23. Dans cet exemple, l'implantation des extensions des sources et drains est réalisée, puis la siliciuration permet de repousser les dopants à l'interface siliciure/silicium. Un gain en performance significatif est obtenu. Plusieurs hypothèses permettent d'analyser ce résultat. [Kinoshita06] propose la formation d'un dipôle à l'interface permettant de moduler la barrière Schottky via la contribution de la force image (voir Chapitre II). Une autre explication consiste à envisager la formation par ségrégation des dopants d'une jonction dopée très fine à l'interface siliciure/silicium. Dans cette hypothèse, le contact n'est plus Schottky mais ohmique, et remplace le dispositif dans le cadre conventionnel des contacts par jonctions dopées.

Il est à noter que la frontière est mince entre un dispositif Schottky à ségrégation de dopants et un transistor classique. La distance de ségrégation des dopants à l'interface est très difficilement mesurable, et il est délicat de déterminer en ce cas si l'injection des porteurs dans le canal est réalisée via un contact Schottky, ou si la ségrégation de dopants nous place dans un cas standard d'injection via une jonction dopée. Le gain en performance ne vient alors que du rapprochement du siliciure et du canal, ce qui diminue la résistance d'accès.

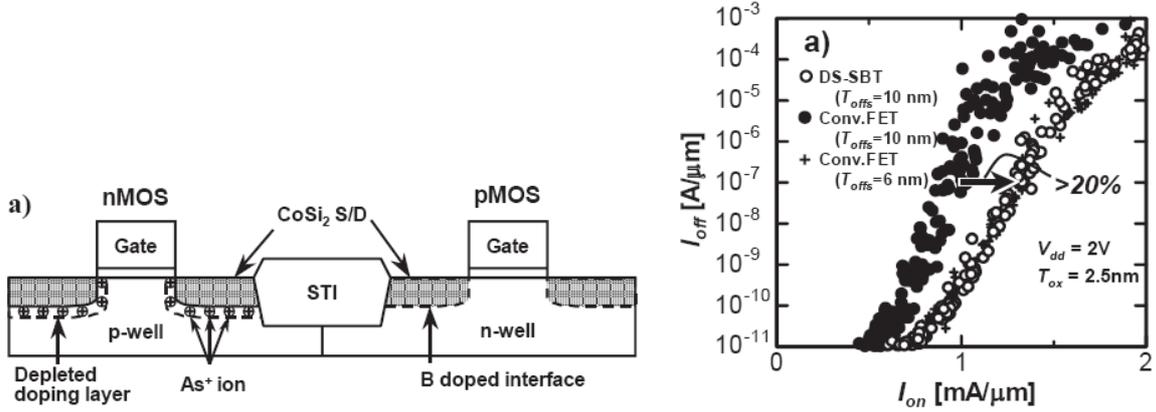


Fig. 23 : Schéma d'intégration et résultats électriques des travaux de [Kinoshita05] présentant un transistor Schottky à ségrégation de dopants.

Par ailleurs, les porteurs électriques sont thermalisés par les interactions avec les impuretés dopantes après injection du siliciure dans le silicium dopé. Dans le cadre de cette hypothèse, le rapprochement entre le siliciure et le canal mis en œuvre dans les dispositifs de [Kinoshita05] est bénéfique pour la réduction de la thermalisation par rapport à une architecture standard.

1.4 Conclusion

Nous avons vu dans ce chapitre l'importance du transistor MOSFET dans l'industrie de la microélectronique. Les principes de fonctionnement de ce dispositif nous ont permis de poser les paramètres importants dictant les performances des technologies CMOS. La réduction d'échelle appliquée au transistor permet d'améliorer ses performances. Toutefois, les limites physiques atteintes dans les technologies actuellement en production posent de nouveaux problèmes pour maintenir ces évolutions. En décrivant les différents modules du transistor nous avons pu identifier les difficultés essentielles et les solutions technologiques disponibles.

Dans le cadre du module de jonction, la résistance de contact apparaît comme un paramètre essentiel dans la limitation des performances. Une ingénierie de la hauteur de barrière offre de nouvelles alternatives pour la relaxation de ces contraintes. En particulier, deux approches sont identifiées pour la modulation de ce paramètre. D'une part, l'introduction de siliciures bord-de-bande permet de réduire cette hauteur de barrière, au prix toutefois d'une intégration de siliciures différents pour les transistors p et n. D'autre part, le contrôle de la ségrégation des dopants au cours de la siliciuration permet une modulation de la hauteur de barrière.

Cette analyse nous amène donc à considérer la problématique de cette thèse de la manière suivante : Quelles sont les solutions offertes par les siliciures bord-de-bande et la ségrégation de dopants permettant une amélioration des performances des transistors grâce à une réduction de la hauteur de barrière ?

1.5 Références du chapitre I

[Baccarani84] G. Baccarani, M. R. Wordeman, and R. H. Dennard, « Generalized Scaling Theory and Its Application to a ¼ Micrometer MOSFET Design » IEEE Trans. Electron Devices ED-31, 452 (1984).

[Balestra87] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini and T. Elewa, « Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Enhanced Performance », IEEE Electron Devices Lett., vol. 8, pp. 410-412, Sept. 87.

[Bardeen47] J. Bardeen and W. H. Brattain, « The transistor, a semi-conductor triode, » Phys. Rev., vol. 74, pp. 230–231, July 15, 1947.

[Breil08] N. Breil, A. Halimaoui, E. Dubois, E. Lampin, G. Larrieu, L Godet, G Papasouliotis, and T. Skotnicki, “Investigation of Platinum Silicide Schottky Barrier Height Modulation using a Dopant Segregation Approach”, *Mat. Res. Soc. Symp. E*, Spring 2008, San Francisco.

[Chau04] R. Chau, S. Datta, M. Doczy, B. Doyle, J. Kavalieros and M. Metz, « High-K/Metal–Gate Stack and Its MOSFET Characteristics », IEEE Electron Devices Lett., vol. 25, pp. 408-410, 2004.

[Colinge97] J.P. Colinge, « Silicon-on-Insulator technology : materials to VLSI », Kluwer Academic Publishers, 2nd edition, pp. 288, 1997.

[Dennard74] R.H. Dennard, F.H. Gaensslen, V.L. Rideout, E. Bassous, A.R. LeBlanc « Design of ion-implanted MOSFET's with very small physical dimensions », IEEE Journal of Solid-State Circuits, vol. SC-9, p. 256, 1974.

[Fischetti01] M. V. Fischetti, D. A. Neumayer, and E. A. Cartier, “Effective Electron Mobility in Si Inversion Layers in Metal–Oxide–Semiconductor Systems with a High-Kappa Insulator: The Role of Remote Phonon Scattering, ” *J. Appl. Phys.* 90, 4587–4608 (2001).

[Fritze04] M. Fritze, C. Chen, S. Calawa, D. Yost, B. Wheeler, P. Wyatt, C. Keast, J. Snyder, and J. Larson, “High-speed Schottky-barrier pMOSFET with $f = 280$ GHz, ” IEEE Electron Device Lett., vol. 25, pp. 220–222, Mar. 2004.

[Gwoziecki99] R. Gwoziecki, “Etude de nouveaux concepts d’architectures drain-sources pour les technologies sub-0.18µm”, Thèse, 1999.

[Haensch06] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, “Silicon CMOS devices beyond scaling, ” IBM J. Res. Develop., vol. 50, no. 4/5, pp. 339–361, Jul. 2006.

[ITRS07] ITRS (International Technology Roadmap for Semiconductors), 2007 Edition.

[Jurczak99] M. Jurczak, T. Skotnicki, M. Paoli, B. Tormen, J. Martins, J.L. Regolini, D. Dutartre, P. Ribot, D. Lenoble, R. Pantel, S. Monfray, “Silicon-on-Nothing (SON)-an

innovative process for advanced CMOS”, IEEE Trans. Electron Devices, vol. 47, pp. 2179-2187, Nov. 2000.

[Kahng60] D. Kahng and M. M. Atalla, “Silicon-silicon dioxide field induced surface devices,” presented at the Solid State Research Conf., Pittsburgh, PA, June 1960.

[Kedzierski00] J. Kedzierski, P. Xuan, E. H. Anderson, J. Bokor, T. J. King, and C. Hu, “Complementary silicide source/drain thin-body MOSFETs for the 20-nm gate length regime,” in IEDM Tech. Dig., 2000, pp. 57–60.

[Kilby58] J. S. Kilby, “Invention of the integrated circuit,” IEEE Trans. Electron Devices, vol. ED-23, pp. 648–653, July 1976.

[Kim00] S.-D. Kim, C.-H.M. Park and J.C.S. Woo, «Advanced model and analysis of series resistance for CMOS scaling », IEDM Tech. Dig., 2000, pp.723-726.

[Kim02] S.-D. Kim, C.-H.M. Park and J.C.S. Woo, « Advanced model and analysis of series resistance for CMOS scaling into nanometer regime », IEEE Trans. Electron Devices, vol. 49. part I. Theoretical derivation, pp. 457-466 and part II Quantitative analysis, pp. 467-472.

[Kim04] S.-D. Kim and J.C.S. Woo, « Source/drain resistance modeling in bulk and ultra-thin body SOI MOSFETs », IWJT 2005 proceedings, pp.95-98, 2005

[Kinoshita05] A. Kinoshita, C. Tanaka, K. Uchida and J. Koga, “High-performance 50-nm-Gate-Length Schottky-Source/Drain MOSFETs with Dopant-Segregation Junctions”, VLSI proc. 2005.

[Kinoshita06] T. Kinoshita, R. Hasumi, M. Hamaguchi, K. Miyashita, T. Komoda, A. Kinoshita, J. Koga, K. Adachi, Y. Toyoshima, T. Nakayama, S. Yamada and F. Matsuoka, “Ultra Low Voltage Operations in Bulk CMOS Logic Circuits with Dopant Segregated Schottky Source/Drain Transistors” IEDM proc., p 71, Dec. 2006

[Knoch05] J. Knoch, M. Zhang, Q. T. Zhao, St. Lenk, S. Mantl, and J. Appenzeller, “Effective Schottky barrier lowering in silicon-on-insulator Schottky-barrier metal-oxide-semiconductor field-effect transistors using dopant segregation”, *Appl. Phys. Lett.* 85, 263505 (2005)

[Larrieu00] G. Larrieu and E. Dubois, « Schottky-barrier source/drain MOSFETs on ultrathin SOI body with a tungsten metallic midgap gate”, IEEE Electron Device Lett., vol. 25, no. 12, pp. 801–803, Dec. 2004.

[Larrieu07] G. Larrieu, E. Dubois, R. Valentin, N. Breil, F. Danneville, G. Dambrine, J.C. Pesant, “Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs.”, IEDM proc. 2007.

[Lepselter68] M. P. Lepselter and S. M. Sze, “SB-IGFET: An insulated-gate field-effect transistor using Schottky barrier contacts for source and drain,” Proc. IEEE, vol. 56, no. 8, pp. 1400–1402, Aug. 1968.

[Lilienfield26] J.Lilienfield, U.S. Patent 1 900 018, « Method and apparatus for controlling electric currents »

[Maex95] K. Maex and M. van Rossum, “Properties of Metal Silicides”, London, U.K., INSPEC, (1995).

[Mathieu90] H. Mathieu, Physique des semiconducteurs et des composants électroniques (Masson, 2^e édition, 1990), Chap. 5, p. 265.

[Monfray01] S. Monfray, T. Skotnicki, Y. Morand, S. Descombes, M. Paoli, P. Ribot, A. Talbot, D. Dutartre, F. Leverd, Y. Lefriec, R. Pantel, M. Haond, D. Renaud, M.-E. Nier, C. Vizioz, D. Louis, « First 80 nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance », IEDM 2001, Tech. Digest.

[Nishi70] Y. Nishi, “Insulated gate field effect transistor and its manufacturing method,” U.S. Patent 587 527, 1970.

[Noyce61] R. N. Noyce, U.S. Patent 2 981 887, Apr. 25, 1961.

[Ross98] I.M. Ross, « The Invention of the Transistor », Proc. IEEE **86**, 7, 1998.

[Shockley49] “The theory of $p-n$ junctions in semiconductors and $p-n$ junction transistors,” Bell Syst. Tech. J., vol. 28, pp. 435–489, July 1949.

[Shockley50] W. Shockley, “Electrons and Holes in Semiconductors”, New York, Van Nostrand, 1950.

[Skotnicki88] T. Skotnicki, G. Merckel and T. Pedron, “The voltage-doping transformation: A new approach to the modeling of MOSFET short-channel effects,” IEEE Electron Devices Lett., vol. 9, pp. 109–112, Mar. 1988.

[Skotnicki00] T. Skotnicki, « Transistor MOS et sa technologie de fabrication », Encyclopédie Techniques de l’Ingénieur, cahier E2 430, 2000.

[Skotnicki03] T. Skotnicki and F. Boeuf, “ Introduction à la Physique du Transistor MOS”, EGEM « Physique des dispositifs pour circuits intégrés silicium », édité par J. Gautier, Editions Lavoisier, Paris 2003

[Troutmann79] R. R. Troutman, “VLSI limitations from drain-induced barrier lowering,” Solid-State Circuits, vol. 14, p. 383, 1979.

[VanOverstraeten73] R.J. Van Overstraeten, G. Declerck, G.L. Broux « Inadequacy of the classical theory of the MOS transistor operating in weak inversion », IEEE Trans. Electron Devices, vol. ED-20, pp 1150-1153, Dec. 1973.

[Varaharamyan96] K. Varaharamyan and E. J. Verret, “A model for specific contact resistance application for Titanium silicide-silicon contact,” Solid-State Electron., vol. 39, pp. 1601–1607, Nov. 1996.

[Wilk01] G. D. Wilk, R. M. Wallace, and J. M. Anthony, ‘‘High-K Gate Dielectrics: Current Status and Materials Properties Considerations,’’ J. Appl. Phys. 89, 5243 (2001).

[Wittmer84] M. Wittmer and K. N. Tu, ‘‘Low-temperature diffusion of dopant atoms in silicon during interfacial silicide formation’’, Phys. Rev. B 29, pp. 2010 - 2020 (1984)

Chapitre II

Propriétés thermodynamiques et électroniques des siliciures bord de bande

Dans la première partie de ce chapitre sont présentés les mécanismes de formation des siliciures. Les théories de la diffusion et de la nucléation permettent de décrire la formation de l'ensemble des siliciures répertoriés, en particulier des siliciures bord de bande, et de comprendre leurs propriétés macroscopiques. La nature physique de l'interface siliciure/silicium est étudiée dans une deuxième partie. Différentes théories permettent d'appréhender les effets responsables du phénomène de verrouillage de la hauteur de barrière du siliciure au niveau de Fermi (Fermi Level Pinning), et donc d'expliquer la singularité de la faible hauteur de barrière des siliciures bord de bande. Dans une troisième partie, l'étude porte sur les mécanismes de transport électronique dans les contacts métal-semiconducteur. Un formalisme mathématique est développé dans une quatrième partie, permettant de mettre en place une méthode de mesure adaptée aux faibles hauteurs de barrières Schottky. Dans la cinquième et dernière partie de ce chapitre, les siliciures bord de bande sont replacés dans le cadre plus général des propriétés nécessaires à ces matériaux pour permettre une intégration sur une architecture CMOS.

II.1 Mécanismes de formation des siliciures

II.1.1 Définition thermodynamique du mode de formation

Un siliciure M_xSi_y se forme par réaction chimique entre un métal M et le silicium, qui définissent notre système thermodynamique. Cette réaction peut avoir lieu si elle permet une diminution de l'énergie libre de Gibbs ΔG du système définie par :

$$\Delta G = \Delta H - T\Delta S \quad \text{eq. II-1}$$

ΔH , ΔS et T étant l'enthalpie, l'entropie et la température du système, respectivement. Par conséquent, si $\Delta G < 0$, le siliciure peut être formé. Pour la très grande majorité des métaux, la formation d'un siliciure est thermodynamiquement favorable. De plus, ΔG définit la force motrice de la réaction, et nous allons voir que l'étude de son amplitude permet de prévoir les mécanismes de formation des siliciures.

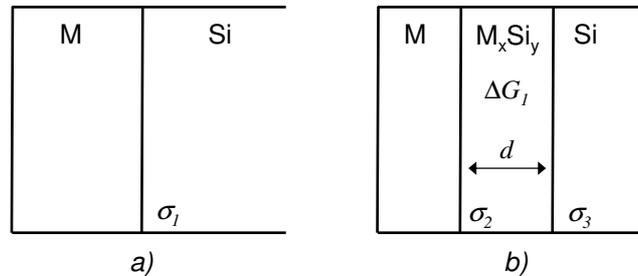


Fig. 24 : Représentation schématique d'un système métal/semiconducteur présentant une énergie de surface après dépôt du métal (a), et pendant la formation du siliciure (b). Le système thermodynamique est modifié par la formation du siliciure et d'une nouvelle interface.

En Fig. 24a, nous schématisons le système initial M/Si, qui présente une énergie d'interface σ_1 . Pendant la formation du siliciure M_xSi_y , cette interface initiale disparaît, et deux nouvelles interfaces M/ M_xSi_y et M_xSi_y /Si sont formées, caractérisées par des énergies de surface σ_2 et σ_3 , respectivement. Par conséquent, la variation d'énergie de surface du système provoquée par l'apparition du siliciure $\Delta\sigma$ est définie par :

$$\Delta\sigma = (\sigma_2 + \sigma_3) - \sigma_1 \quad \text{eq. II-2}$$

et la variation de l'énergie du système s'exprime :

$$\Delta G = \Delta\sigma - d \cdot \Delta G_{lin} \quad \text{eq. II-3}$$

avec d l'épaisseur du siliciure, ΔG_{lin} l'énergie linéaire de formation du siliciure (ici exprimée en unité énergie/épaisseur). Dans la plupart des cas, les différentes interfaces sont de même nature ($\sigma_2 \approx \sigma_3 \approx \sigma_1$) et $\Delta\sigma > 0$. Ce formalisme traduit l'apport en énergie nécessaire à la formation des interfaces pour l'amorce de la réaction, et la diminution linéaire de l'énergie du système avec la croissance du siliciure. Il est intéressant [d'Heurle88] de définir une épaisseur caractéristique d_s , pour laquelle ΔG est nul, soit l'épaisseur pour laquelle la variation

d'énergie interfaciale est compensée par l'énergie de formation du siliciure. La transformation globale du système devient énergétiquement favorable quand $d > d_s$.

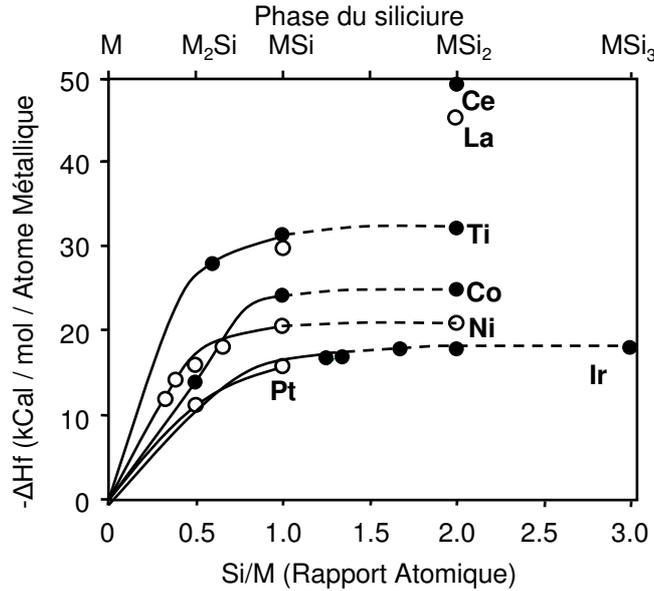


Fig. 25 : Enthalpie de formation du siliciure (normalisée), en fonction du rapport atomique du siliciure [Maex95].

Lorsque la formation d'un siliciure apporte une diminution importante de l'énergie libre, il convient de négliger la variation entropique ΔS . L'énergie libre du système ΔG est alors équivalente à l'enthalpie, qui est dans ce cas une enthalpie de formation ΔH_f . Les enthalpies de formation (normalisées par atomes métalliques dans la phase) de plusieurs siliciures sont représentées en fonction de la proportion atomique de silicium dans la phase sur la Fig. 25. Ce type de graphique permet de visualiser le gain en énergie apporté par la formation de phases riches en silicium.

Pour les phases de stœchiométrie M_2Si et MSi, l'enrichissement en silicium s'accompagne invariablement d'un gain en énergie. ΔG_{lin} est grand, et l'épaisseur caractéristique d_s est faible (de l'ordre de la monocouche atomique). La formation de ces phases est contrôlée par un mécanisme de diffusion, et l'espèce diffusante majoritaire (métal ou silicium suivant les cas) détermine la cinétique de croissance.

A l'opposé, la formation des phases MSi_2 montre un gain énergétique très faible. En effet, il faut considérer que les phases M_2Si , puis MSi apparaissent séquentiellement. Dans ce cas ΔH_f est faible, le terme entropique ΔS n'est plus négligeable et il convient d'utiliser l'énergie libre de Gibbs ΔG à la place de ΔH_f . Par conséquent, la variation d'énergie libre ΔG lors de la formation de la phase MSi_2 à partir d'un système M/Si s'exprime :

$$\Delta G = \Delta G_{f MSi_2} - \Delta G_{f MSi} \quad \text{eq. II-4}$$

avec $\Delta G_{f MSi_2}$ et $\Delta G_{f MSi}$ les énergies libres de formation des phases MSi_2 et MSi, respectivement.

L'épaisseur caractéristique devient alors importante (plusieurs couches atomiques pour $NiSi_2$ d'après [d'Heurle88]). La formation du disiliciure par diffusion n'est pas favorable, et un mécanisme de nucléation intervient. Nous verrons par la suite pourquoi une croissance par

nucléation permet de retrouver des conditions de croissance favorables malgré la faible enthalpie de formation ΔH_f .

Les siliciures de terres-rares (ici représentés par CeSi_2 et LaSi_2) constituent le troisième domaine de la Fig. 25. Malgré une forte enthalpie de formation, et donc *a priori* une formation facile par diffusion, l'expérience montre que la croissance de ces siliciures est contrôlée par un phénomène de nucléation [Baglin80], [Tsaour80], [Thompson81]. [d'Heurle88] propose que dans le cas des siliciures de terre-rares, une contrainte mécanique importante est liée à la formation directe d'un disiliciure à partir de la phase métallique. Du fait de la très faible diffusivité des atomes métalliques, cette contrainte ne peut être relaxée. Dans ce cas, il est important de prendre en considération un terme énergétique lié à la contrainte mécanique. Il apparaît que ce terme est du même ordre de grandeur que l'enthalpie de formation du disiliciure. Par conséquent, nous nous replaçons dans le cadre d'une faible diminution d'énergie libre, ce qui explique la formation des disiliciures de terres-rares par nucléation. Cet exemple nous intéresse à deux points de vue. D'une part, les siliciures de terres rares seront largement étudiés dans la suite du manuscrit de part leur faible barrière Schottky aux électrons. Nous mettons d'ores et déjà en évidence la singularité de ces matériaux lors de leur croissance par nucléation. D'autre part, cet exemple permet de souligner l'importance des effets de la contrainte dans les mécanismes de formation des siliciures.

II.1.2 Formation contrôlée par la diffusion

Les phénomènes de diffusion dans les solides sont décrits par la loi de Fick, qui permet de relier le flux d'atomes j_a au gradient de concentration dC_a/dx :

$$j_a \approx D_a^f \frac{dC_a}{dx} \quad \text{eq. II-5}$$

avec D_a^f le coefficient de diffusion de l'espèce a . Toutefois, ce gradient est très abrupt aux différentes interfaces, et des incertitudes peuvent entacher d'une erreur importante l'estimation de D_a^f . Aussi est-il préférable d'utiliser la relation de Nernst-Einstein qui est plus générale :

$$j_a \approx C_a \frac{D_a^{ne}}{kT} \frac{d\mu_a}{dx} \quad \text{eq. II-6}$$

$d\mu_a/dx$ étant le gradient de potentiel chimique, c'est-à-dire la force motrice de déplacement des atomes, et D_a^{ne}/kT leur mobilité. Dans le cas d'une solution idéale vérifiant la loi d'action de masse, l'interaction entre deux atomes différents se limite à l'entropie de mélange et $D_a^f = D_a^{ne}$. Dans le cas des siliciures, on peut montrer que [d'Heurle86] :

$$D_a^f = D_a^{ne} \left(1 + \frac{C_a}{\gamma} \frac{d\gamma}{dC_a} \right) \quad \text{eq. II-7}$$

avec γ le coefficient d'activité du siliciure. Ce formalisme pose de nouvelles difficultés, étant donné que le coefficient d'activité du siliciure γ et le coefficient de diffusion D_a^{ne} ne sont pas

connus. Il est donc intéressant de donner une expression de la vitesse de croissance du siliciure dL / dt , en moyennant le mécanisme de diffusion à travers la couche de siliciure :

$$\frac{dL}{dt} = N\Omega_a c_a \frac{\overline{D}_a^{ne}}{kT} \frac{\Delta G_a}{L} \quad \text{eq. II-8}$$

avec N la densité atomique, Ω_a le volume de siliciure supplémentaire par ajout d'un atome mobile, et ΔG_a la variation d'énergie libre par ajout d'atome mobile A, lors de la formation d'une nouvelle phase A_xB_y .

Cette relation définit la croissance stationnaire d'un siliciure par le mécanisme de diffusion. Elle permet de formaliser les observations empiriques des cinétiques de croissance.

II.1.2.1 Loi de croissance linéaire-parabolique

D'après les observations de [Gas93], on peut distinguer trois étapes dans la croissance d'un siliciure par diffusion. Les lois cinétiques présentées ci-après dérivent directement du modèle d'oxydation du silicium de Deal et Grove [Deal65]. Dans un premier temps, la cinétique de croissance est limitée par la diffusion à l'interface et l'épaisseur du siliciure formé L se définit par :

$$L(t) = K_r t \quad \text{eq. II-9}$$

avec K_r la constante de réaction à l'interface et t le temps de réaction. Le siliciure ainsi formé intervient sur le mécanisme de diffusion, et la croissance est alors limitée par la diffusion de l'espèce mobile majoritaire dans le siliciure. Ce régime de croissance est caractérisé par une cinétique de type parabolique :

$$L(t)^2 = K_d t \quad \text{eq. II-10}$$

avec K_d le coefficient de diffusion de l'espèce mobile dans le siliciure en croissance. Ce coefficient est issu d'un processus thermiquement activé, défini par une loi d'Arrhenius :

$$K_d = K_{d0} e^{-\frac{Q}{k_B T}} \quad \text{eq. II-11}$$

avec K_{d0} le facteur pré-exponentiel, Q l'énergie d'activation, k_B la constante de Boltzmann, et T la température. Ce régime de croissance est l'équivalent empirique de l'approche phénoménologique formalisée dans l'expression (eq. II-8). En identifiant ces deux expressions, on montre que :

$$K_d = 2N\Omega_a c_a \frac{\overline{D}_a^{ne}}{kT} \Delta G_a \quad \text{eq. II-12}$$

La croissance par diffusion d'un siliciure se définit donc sous la forme d'une loi parabolique :

$$\frac{L(t)}{K_r} + \frac{L^2(t)}{K_d} = t \quad \text{eq. II-13}$$

[Dybkov86] a pu définir une épaisseur critique $L_{1/2}=K_d/K_r$ au delà de laquelle la loi parabolique domine la loi linéaire.

II.1.2.2 Croissance simultanée de deux phases

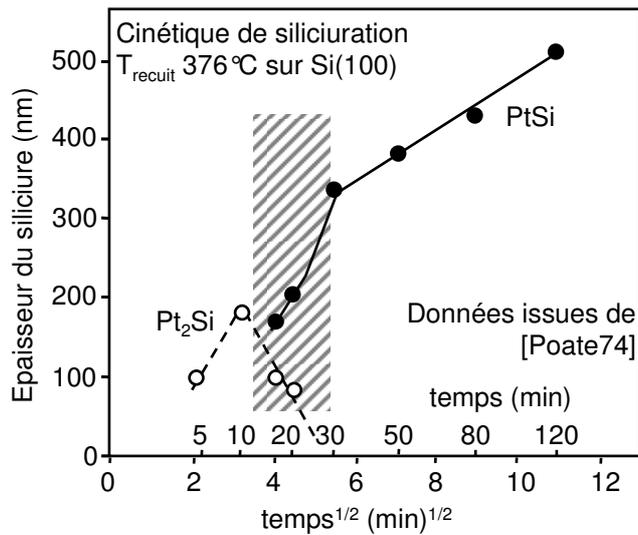


Fig. 26 : Épaisseur de siliciure formé en fonction de la racine du temps, d'après [Poate74].

Sous certaines conditions, en particulier dans le cas de couches de siliciures épaisses, plusieurs phases peuvent exister simultanément lors de la croissance. En Fig. 26 est présentée l'étude cinétique de la croissance du siliciure de platine [Poate74]. La formation de la phase Pt₂Si est amorcée dès le début du recuit à 376°C. La phase PtSi commence à croître après un recuit d'une durée de 20min. Cette figure permet de mettre en évidence à partir de données expérimentales que dans la période schématisée par la zone hachurée, la cinétique de croissance de Pt₂Si et de PtSi est affectée par la présence de l'autre phase.

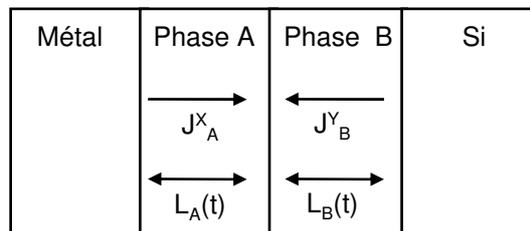


Fig. 27 : Système de deux phases de siliciures lors d'une croissance simultanée

Il convient de s'appuyer sur les études de [d'Heurle86] pour décrire le système présenté en Fig. 27. En présence d'un budget thermique suffisant, l'espèce diffusante majoritaire M (Métal ou Silicium) amorce la croissance de la phase A, d'épaisseur $L_A(t)$. Dans le cas d'une situation thermodynamique favorable (consommation complète du métal, augmentation du budget thermique, formation d'une épaisseur de phase A importante), l'espèce N (Silicium ou Métal) commence à diffuser pour la croissance de la phase B,

d'épaisseur $L_B(t)$. Les espèces diffusantes M et N sont caractéristiques des différents siliciures, et seront explicitées à la fin de ce chapitre. Les flux d'espèces diffusantes sont définis par J_A^M et J_B^N . Ces flux sont liés aux épaisseurs des différentes phases par les relations :

$$\frac{dL_A(t)}{dt} \approx J_A^M - J_B^N \quad \text{et} \quad \frac{dL_B(t)}{dt} \approx 2J_B^M - J_A^N \quad \text{eq. II-14}$$

Ce qui revient à écrire, en utilisant la relation développée de Nernst-Einstein (eq. II-8) :

$$\frac{dL_A(t)}{dt} \approx \frac{\alpha}{L_A} - \frac{\beta}{L_B}, \quad \frac{dL_B(t)}{dt} \approx \frac{2\beta}{L_B} - \frac{\alpha}{L_A} \quad \text{eq. II-15}$$

avec α et β des constantes reliées à D_a^{ne} , kT , ΔG et les volumes atomiques des phases A et B.

Si nous considérons que la phase A apparaît avant la phase B, et qu'en dessous d'une certaine épaisseur L_B , le flux J_B à travers la phase B est limité à une valeur constante maximum γ . Alors l'eq. II-15 se réécrit :

$$\frac{dL_B(t)}{dt} \approx 2\gamma - \frac{\alpha}{L_A} \quad \text{eq. II-16}$$

Par conséquent, pour $dL_B(t)/dt > 0$, L_A doit être supérieure à une épaisseur critique $L_{A,c}$ définie comme :

$$L_{A,c} \geq \frac{\alpha}{\gamma} \quad \text{eq. II-17}$$

Ce qui traduit le fait que la phase B ne peut pas apparaître avant que la phase A n'ait atteint une épaisseur critique $L_{A,c}$.

II.1.3 Formation contrôlée par la nucléation

Nous avons pu voir que les disiliciures des métaux de transition (NiSi₂, CoSi₂, TiSi₂) sont formés par diffusion. Dans le cas des siliciures de terres rares, des effets attribués aux contraintes sont à l'origine de la formation par nucléation. Nous allons détailler dans la partie suivante les mécanismes mis en jeu lors de la nucléation.

II.1.3.1 Théorie classique de la nucléation

Nous considérons deux phases A et B d'une même substance. L'équilibre thermodynamique entre ces deux phases est atteint au point de fusion ou d'évaporation à la température d'équilibre T_c . (Fig. 28a).

La variation d'énergie libre est décrite par :

$$\Delta G = \Delta H - T\Delta S \quad \text{eq. II-18}$$

Le point d'équilibre est atteint quand la variation d'énergie libre est nulle, d'où l'on déduit :

$$\Delta S = \frac{\Delta H}{T_c} \quad \text{eq. II-19}$$

avec ΔS la différence entre les deux pentes sur la Fig. 28a, et ΔH l'énergie de transition entre les phases (chaleur de fusion ou chaleur d'évaporation). En considérant un système métastable à $T = T_1$ (dans notre exemple un système dans la phase B avec $T_1 < T_c$), l'énergie de transition ΔG_1 entre les deux phases est donnée par :

$$\Delta G_1 = \Delta S(T_1 - T_c) \quad , \text{ pour } T_1 \neq T_c \quad \text{eq. II-20}$$

ΔG_1 représente la force motrice pour le changement de phase, et est comparable à la variation d'énergie de formation d'une phase ΔG_f . Nous considérons à présent notre système en phase A, dans lequel est présent un germe de phase B, de rayon r , et d'énergie de surface σ . La compétition entre la force motrice ΔG_1 et l'énergie de surface se formalise dans l'expression de la variation d'énergie libre du germe ΔG :

$$\Delta G = \underbrace{br^2\sigma}_{\text{terme surfacique}} - \underbrace{ar^3\Delta G_1}_{\text{terme volumique}} \quad \text{eq. II-21}$$

avec a et b des termes géométriques prenant en compte l'anisotropie du germe liée à sa nature cristalline. Nous représentons en Fig. 28b l'évolution de l'énergie du germe en fonction de son rayon. Le rayon critique r^* pour lequel la variation $d\Delta G/dr = 0$ s'exprime par :

$$r^* = 2b\sigma / 3a\Delta G_1 \quad \text{eq. II-22}$$

Par conséquent, seuls les germes ayant un rayon $r > r^*$ permettent une diminution de l'énergie du système et vont pouvoir continuer leur croissance. Il est intéressant de définir l'énergie libre du germe critique ΔG^* :

$$\Delta G^* = 4b^3 \sigma^3 T_c / 27a^2 \Delta H (T - T_c)^2 \quad \text{eq. II-23}$$

D'après [d'Heurle88], la vitesse de nucléation ρ^* est proportionnelle à la concentration des germes, à la vitesse de formation des germes (exprimée sous la forme d'un mécanisme de diffusion en $\exp(-Q/kT)$), et d'un facteur de proportionnalité K, telle que :

$$\rho^* = K \exp\left(\frac{-\Delta G^*}{kT}\right) \exp\left(\frac{-Q}{kT}\right) \quad \text{eq. II-24}$$

Au delà d'une température critique T_c , la vitesse de nucléation évolue, d'après les deux équations précédentes en $\exp(-1/T^3)$, ce qui implique des variations très importantes avec la température.

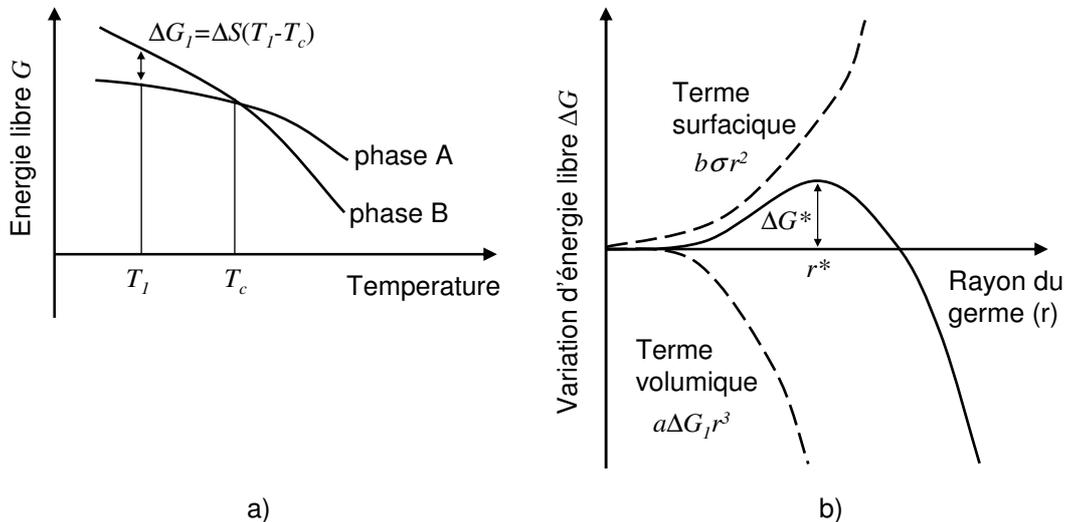


Fig. 28 : Energie libre d'un système thermodynamique métastable formé des phases A et B en fonction de la température (a). La différence d'énergie libre à la température $T_1 < T_c$ donne la force motrice du système. Variation d'énergie libre en fonction du rayon du germe du grain, illustrant la notion de taille de germe critique r^* (b).

II.1.3.2 Cas particulier des terres rares

Les siliciures de terres rares (Er, Yb, Dy, Ce) nous intéressent ici directement. En effet, ces siliciures présentent de faibles hauteurs de barrières aux électrons et seront étudiés par la suite pour être utilisés comme contacts sur des transistors MOSFET de type n. Nous nous attachons ici à expliquer la singularité observée dans la formation des siliciures de terres rares. Tout d'abord, les terres rares sont les seuls disiliciures à être formés directement après réaction avec la phase métallique. En effet, tous les autres disiliciures apparaissent après une séquence de plusieurs phases riches en métal (ex : $\text{Ni}_2\text{Si} \rightarrow \text{NiSi} \rightarrow \text{NiSi}_2$).

Par ailleurs, la diminution importante d'énergie libre apportée par la formation des siliciures de terres rares laisse à penser qu'un mécanisme de diffusion va contrôler leur

formation. Au contraire, plusieurs auteurs [Baglin80], [Tsaour80], [Thompson81], rapportent une formation par nucléation. [d'Heurle88] propose que la nucléation dans ce cas provient de la diminution de l'énergie de formation ΔH_f par une contrainte élastique. Le terme énergétique ΔG_{el} provenant d'une contrainte élastique s'exprime :

$$\Delta G_{el} = \left(\frac{2\mu(1+\nu)}{9(1-\nu)} \right) \varepsilon^2 \quad \text{eq. II-25}$$

avec μ le module de cisaillement, ν le nombre de Poisson, et ε la contrainte mécanique. Les siliciures de terres rares sont formés par diffusion du silicium dans le métal. Les atomes métalliques sont quasiment immobiles, et la formation des siliciures n'introduit pas de changement radical dans la structure cristallographique hexagonale définissant aussi bien la phase métallique ou siliciurée des terres rares (structure AlB_2). Différentes études ont pu montrer l'apparition d'une contrainte compressive dans les siliciures en général, [Angilello80a], et dans les siliciures de terres rares en particulier [Angilello80b]. Par rapport aux atomes métalliques, la réaction de siliciuration provoque une augmentation du volume d'environ 60%. Les atomes métalliques étant immobiles, la contrainte engendrée ne peut être relaxée. D'après l'eq. II-25, [d'Heurle88] donne une énergie élastique ΔG_{el} pouvant atteindre une valeur de 2.5 kCal/cm³, c'est-à-dire de l'ordre de grandeur des énergies de formation des siliciures. Par conséquent, la force motrice de la réaction est compensée par la forte énergie élastique provoquée par la contrainte mécanique non relaxée. Le mécanisme de formation du siliciure de terres rares par nucléation en est la conséquence.

Dans cette partie, les différents mécanismes de formation des siliciures ont été détaillés. Nous voyons que si le siliciure de platine PtSi est formé par un mécanisme de diffusion, les siliciures de terres rares constituent un cas particulier du fait de leur formation par nucléation. Ces différents mécanismes impactent directement la morphologie des siliciures et leur profondeur de pénétration dans le silicium. D'autre part, les siliciures formés par nucléation posent généralement des difficultés lors de l'intégration sur des grilles fines (Narrow Line Effect). Nous étudierons ces effets dans les chapitres suivants.

Après avoir décrit la formation des siliciures, nous présentons dans la partie suivante les différents modèles physiques décrivant la nature de l'interface siliciure/silicium.

II.2 L'interface Siliciure/Silicium : nature de la hauteur de barrière Schottky

Une des propriétés essentielles des contacts métal-semiconducteur est la hauteur de barrière Schottky ϕ_b , qui définit au premier ordre les propriétés électriques d'un contact, et en particulier sa nature ohmique ou rectificatrice. Nous nous proposons dans cette partie d'étudier les différents modèles physiques interprétant la formation des hauteurs de barrières. Ces différentes théories nous permettent de relier la variable macroscopique accessible expérimentalement qu'est la hauteur de barrière aux propriétés intimes de l'interface siliciure/silicium. Cette compréhension amène en retour des possibilités d'ingénierie de la hauteur de barrière que nous discuterons finalement.

II.2.1 Loi de Schottky-Mott

Les propriétés rectificatrices des contacts métal-semiconducteur ont été mises en évidence par [Braun1874]. [Schottky38] a pu démontrer par la suite que cet effet résulte de la zone de déplétion créée à l'interface dans le semiconducteur. Le paramètre fondamental caractérisant une telle jonction est la hauteur de barrière, c'est-à-dire la distance entre le niveau de Fermi et le bas de la bande de conduction dans le silicium à l'interface lorsqu'on considère l'injection d'électrons à partir de la jonction Métal/Semiconducteur.

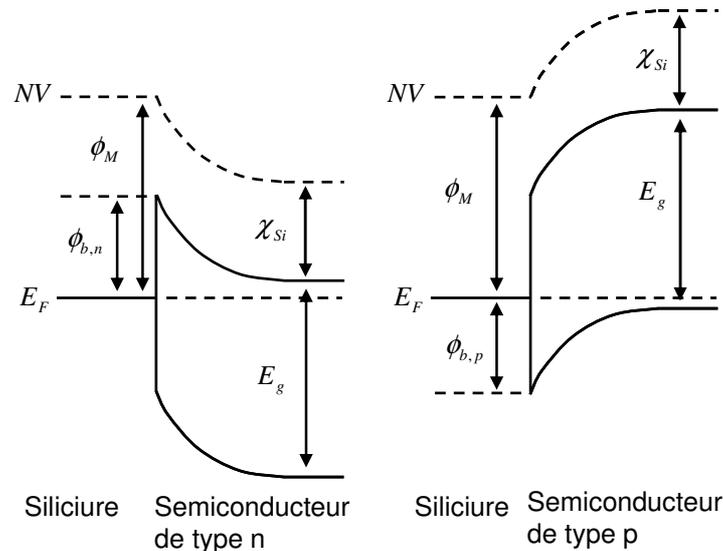


Fig. 29 : Courbure des bandes d'un contact idéal entre un métal et un semiconducteur de dopage n (à gauche) ou p (à droite).

[Mott38] et [Schottky40] ont défini la hauteur de barrière ϕ_b comme la différence entre le travail de sortie du métal ϕ_M et l'affinité électronique du semiconducteur χ_{Si} (définie par rapport à la bande de conduction), à la bande interdite près pour une barrière de type p. Cette loi s'écrit donc :

$$\phi_{b,n} = \phi_M - \chi_{Si}, \text{ et} \quad \text{eq. II-26}$$

$$\phi_{b,p} = -\phi_M + E_g + \chi_{Si} \quad \text{eq. II-27}$$

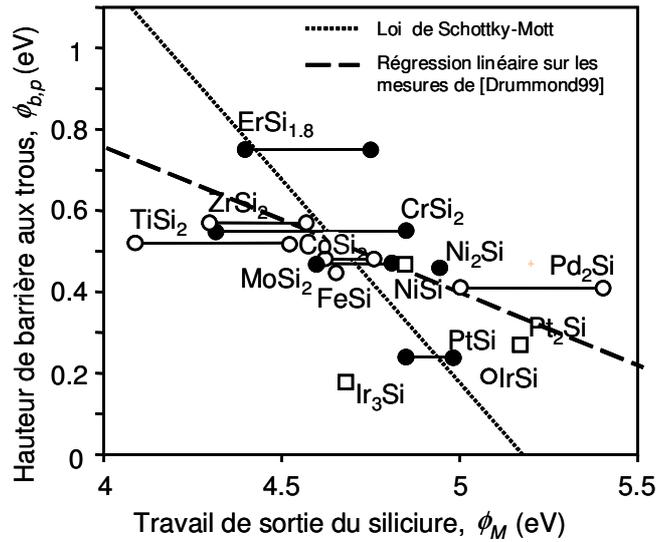


Fig. 30 : Hauteur de barrière aux trous des contacts siliciure/silicium en fonction du travail de sortie des siliciures [Drummond99].

La loi de Schottky-Mott se vérifie dans des cas bien particuliers, comme les contacts métalliques sur des surfaces non réactives telles que les cristaux ioniques [Kurtin69]. Toutefois, dans le cas des siliciures, la loi de Schottky-Mott n'est pas suivie par les mesures expérimentales. En considérant le cas des siliciures, nous représentons la hauteur de barrière $\phi_{b,p}$ pour l'injection de trous depuis le siliciure vers la bande de valence du silicium en fonction du travail de sortie de différents siliciures $\phi_{\text{siliciure}}$, d'après les travaux de [Drummond99] (Fig. 30). La tendance générale observée est une diminution de la hauteur de barrière quand le travail de sortie du siliciure augmente, comme prévu par la loi de Schottky-Mott. Cependant, la pente donnée par la régression linéaire réalisée sur l'ensemble des valeurs expérimentales représentées donne une valeur de -0.3, bien inférieure à la valeur théorique de -1 prévue par la loi de Schottky-Mott. Le terme de verrouillage au niveau de Fermi (ou *Fermi Level Pinning*), est couramment employé pour désigner cet effet. Afin de quantifier la dépendance de ϕ_b avec ϕ_M , il est d'usage d'introduire le paramètre S_ϕ défini par :

$$S_\phi \equiv \frac{\partial \phi_{b,n}}{\partial \phi_M} < 1 \quad \text{eq. II-28}$$

Malgré cet effet de verrouillage, une large gamme de hauteurs de barrières sont offertes par les différents siliciures représentés en Fig. 30. Les siliciures montrant des hauteurs de barrières centrées autour de 0,6 +/- 0,1 eV sont qualifiés de siliciures *milieu de gap*, ou *mid-gap*. Ils présentent des hauteurs de barrière peu différentes pour l'injection de trous ou d'électrons. Deux groupes se dégagent des siliciures *milieu de gap*. D'une part, les siliciures de terres rares dont fait partie le siliciure d'erbium ($\text{ErSi}_{1.8}$) présentent une hauteur de barrière élevée pour les trous, donc faible pour les électrons. En effet, d'après la loi de Schottky-Mott, $\phi_{b,n} = E_g - \phi_{b,p}$. On parle dans ce cas de *siliciures de type n*. D'autre part, les siliciures de platine (Pt_2Si , PtSi) et d'iridium (Ir_3Si , IrSi) se caractérisent par une faible hauteur de barrière aux trous, et sont qualifiés de *siliciures de type p*. Cette immunité relative de ces deux groupes au *Fermi-Level Pinning* leur donne un grand intérêt pour l'amélioration des propriétés électriques des contacts sur silicium de type p ou de type n, et leur vaut la dénomination de *siliciures bord de bande*.

Il nous apparaît dans un premier temps nécessaire de donner un aperçu bibliographique des différentes théories expliquant le *Fermi-Level Pinning*. Bien que ce sujet fasse toujours débat à l'heure actuelle, les différentes explications nous permettent de prendre conscience de propriétés intimes de l'interface siliciure/semiconducteur, qui sont autant de voies à considérer pour l'optimisation des siliciures.

II.2.2 Modèle des charges fixes séparées

Nous présentons ici un modèle physique de l'interface métal-semiconducteur supposant l'existence d'un dipôle à l'interface pour expliquer le *Fermi-Level Pinning*. Cet effet entraînant une dépendance faible de la hauteur de barrière Schottky avec le travail de sortie du métal, il a été proposé que la position du niveau de Fermi à l'interface est une propriété essentiellement liée au semi-conducteur. En particulier, la présence de défauts électriquement actifs dans la bande interdite du silicium peut expliquer le contrôle du niveau de Fermi à l'interface par le semi-conducteur.

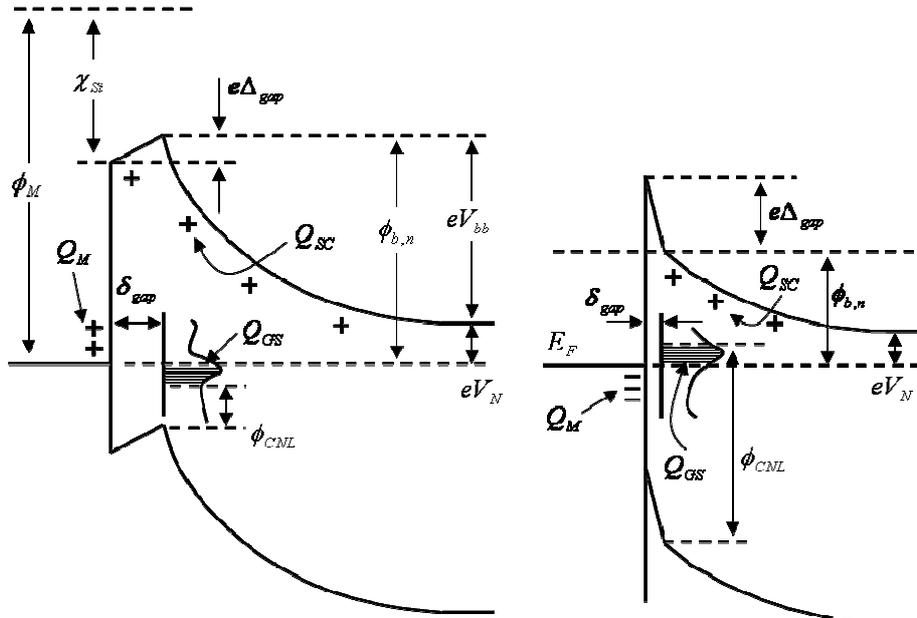


Fig. 31 : Diagramme de bande d'un contact siliciure/silicium d'après le modèle des charges fixes séparées, d'après [Tung01], dans le cas de charges fixes positives (gauche) ou négatives (droite).

Le modèle présenté dans cette partie est basé sur ces hypothèses, en considérant les défauts actifs dans le silicium localisés à une distance fixe de l'interface que nous notons δ_{gap} , tel que représenté en Fig. 31. La condition d'équilibre des charges dans la structure impose :

$$Q_{SC} + Q_{GS} + Q_M = 0, \quad \text{eq. II-29}$$

avec Q_{SC} la charge liée à la zone de déplétion dans le semiconducteur, Q_{GS} la charge induite par les défauts électriquement actifs dans la bande interdite du semi-conducteur, et Q_M la charge image dans le métal.

Si les travaux de Schottky ont donné une définition de la hauteur de barrière valable uniquement en l'absence d'états d'interface, mais le formalisme lié à la zone de déplétion du semiconducteur est toujours correct, et donne l'expression suivante :

$$Q_{SC} = \sqrt{2\varepsilon_S N_D (\phi_{b,n} - eV_N)} \quad eq. II-30$$

ε_S étant la constante diélectrique du silicium, N_D le niveau de dopage du semiconducteur, et V_N le potentiel du minimum de la bande de conduction du silicium hors de la zone de charge d'espace.

D'après le théorème de Gauss, la charge dans le métal est liée au champ électrique entre l'interface et la zone de défauts par :

$$Q_M = \frac{\varepsilon_S \Delta_{gap}}{\delta_{gap}} = \frac{\varepsilon_S (\phi_{b,n} - \phi_M + \chi_S)}{e\delta_{gap}} \quad eq. II-31$$

avec Δ_{gap} la chute de potentiel à travers la zone interfaciale définie par :

$$e\Delta_{gap} = \phi_{b,n} - \phi_M + \chi_S \quad eq. II-32$$

Il est intéressant de noter que ce formalisme ne diffère de la loi de Schottky-Mott (eq. II-26) que par le terme $e\Delta_{gap}$.

La charge Q_{GS} introduite par les défauts du silicium est donnée par :

$$Q_{GS} = e \int_{\phi_{b,n}}^{E_g - \phi_{CNL}} D_{GS}(E) dE = \frac{\varepsilon_S (\phi_{b,n} - \phi_M + \chi_S)}{\phi_{gap}} \quad eq. II-33$$

avec D_{GS} la distribution en énergie des défauts. ϕ_{CNL} correspond à l'énergie du niveau de charge neutre (CNL : *Charge Neutrality Level*), et la position du niveau de Fermi par rapport au CNL permet de prévoir l'amplitude et le signe de la charge. Lorsque $E_F > \phi_{CNL}$, les défauts chargés en électrons sont plus nombreux que les défauts non chargés, et la charge globale Q_{GS} est négative.

Sous l'hypothèse d'une distribution énergétique des charges constante :

$$\frac{\partial D_{GS}}{\partial E} \approx 0 \quad eq. II-34$$

Q_{GS} s'exprime :

$$Q_{GS} = eD_{GS} (\phi_{b,n} + \phi_{CNL} - E_g) \quad eq. II-35$$

En introduisant les expressions développées dans l'équation de conservation de la charge, on obtient :

$$\frac{\varepsilon_S (\phi_{b,n} - \phi_M + \chi_S)}{e \delta_{gap}} + e D_{GS} (\phi_{b,n} + \phi_{CNL} - E_g) + \sqrt{2 \varepsilon_S N_D (\phi_{b,n} - e V_N)} = 0 \quad eq. II-36$$

Ces termes peuvent être réarrangés sous une forme factorisée :

$$\frac{-\varepsilon_S}{e \delta_{gap} \gamma_{GS}} \left[\phi_{b,n} - \gamma_{GS} (\phi_M - \chi_S) - (1 - \gamma_{GS}) (E_g - \phi_{CNL}) \right] = \sqrt{2 \varepsilon_S N_D (\phi_{b,n} - e V_N)} \quad eq. II-37$$

avec γ_{GS} une constante donnée par :

$$\gamma_{GS} = \left(1 + \frac{e^2 \delta_{gap} D_{GS}}{\varepsilon_S} \right)^{-1} \quad eq. II-38$$

La charge du semiconducteur Q_{SC} correspondant au terme de droite dans l'eq. II-37 est faible comparée à Q_M et Q_{GS} . On peut la négliger pour arriver à l'expression :

$$\phi_{b,n} = \gamma_{GS} (\phi_M - \chi_S) + (1 - \gamma_{GS}) (E_g - \phi_{CNL}) \quad eq. II-39$$

Dans le cas d'une interface présentant une forte densité de défauts, c'est-à-dire pour $\gamma_{GS} \ll 1$, le terme de droite domine, et la hauteur de barrière est « accrochée » à $E_g - \phi_{CNL}$. Ce formalisme rend donc compte de l'effet de verrouillage de la hauteur de barrière au niveau de Fermi.

Toutefois, le modèle développé dans cette partie présente certaines limites provenant principalement de ses nombreuses hypothèses. En particulier, l'existence d'un dipôle à l'interface ($\delta_{gap} > 0$) n'est possible que dans le cas de la présence à l'interface d'une couche diélectrique. Sans cette couche diélectrique, $\gamma_{GS} = 1$, et l'on retrouve la loi de Schottky-Mott. D'autre part, $\phi_{b,n}$ ne dépend que de ϕ_{CNL} , c'est-à-dire des propriétés intrinsèques du semiconducteur. Hors, il est évident d'après la Fig. 30 que le métal formant le siliciure va définir la hauteur de barrière. Ce modèle est donc très limité, mais a l'avantage d'être simple et de donner les tendances, au moins qualitatives, induites sur la hauteur de barrière par les différentes caractéristiques de l'interface métal/semiconducteur.

II.2.3 Approches empiriques

Nous voyons que le modèle des charges fixes séparées propose une analyse du *Fermi-Level Pinning* en considérant une zone de défauts chargés à l'intérieur du semiconducteur, donnant naissance à un dipôle de Schottky. Toutefois, la nature physique du dipôle contrôlant la hauteur de barrière fait toujours débat à l'heure actuelle. Nous présentons ici les résultats essentiels liés à des approches expérimentales du problème.

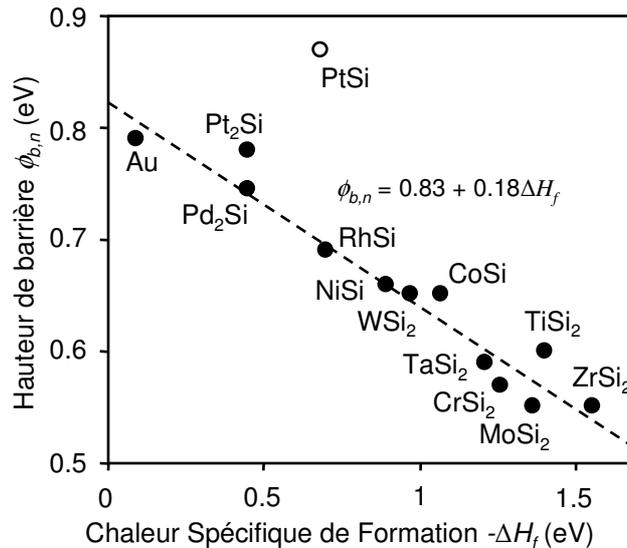


Fig. 32 : Hauteur de barrière à l'injection d'un électron du siliciure dans la bande de conduction du silicium en fonction de la chaleur spécifique de formation du siliciure [Andrews75].

De nombreux auteurs ont pu mettre en évidence des corrélations entre la hauteur de barrière et certains paramètres du siliciure afin d'interpréter l'origine du *Fermi-Level Pinning*. Parmi ces travaux, on peut citer l'étude d'Andrews et Phillips qui montre la relation entre ϕ_b et la chaleur spécifique de formation du siliciure ΔH_f (Fig. 32).

Toutefois, les auteurs remarquent que la définition de Pauling des liaisons fortes [Pauling60] prédit une dépendance de ϕ_b en $(\Delta H_f)^{1/2}$. Dans le cas des liaisons entre atomes de métaux de transition et atomes de silicium, les auteurs invoquent une longueur de liaison plus importante que dans le cas de cristaux ioniques pour justifier la linéarité de la dépendance. Au-delà de la linéarité observée (à l'exception toutefois du cas PtSi), les auteurs montrent qu'en extrapolant la relation à la limite $\Delta H_f \rightarrow 0$, on obtient une valeur égale à la hauteur de barrière nécessaire à un électron pour passer d'une surface libre de Si au vide, donnée par [Gobeli65]. Par ailleurs pour $\phi_{b,n} = 0$ eV, on trouve une chaleur spécifique- $\Delta H_f = 4,8$ eV/at. ou 110 kcal/mol, ce qui correspond à l'énergie de cohésion interne du silicium de 108kcal/mol.

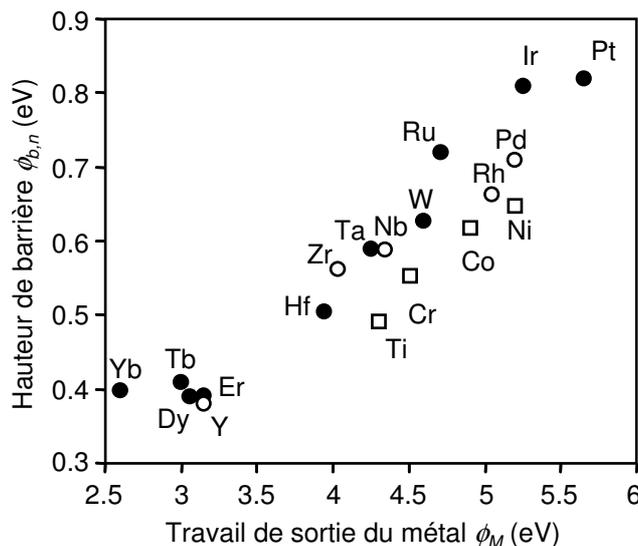


Fig. 33 : Hauteur de barrière à l'injection d'un électron du siliciure dans la bande de conduction du silicium en fonction du travail de sortie du métal [Tove83].

[Tove83] a pu montrer par la suite que la corrélation avec les hauteurs de barrière était meilleure en prenant en compte les paramètres élémentaires du métal (travail de sortie ou électronégativité), plutôt que le travail de sortie du siliciure. Cette corrélation entre hauteur de barrière et travail de sortie du métal est renforcée par la prise en considération des métaux de type terre rare et des métaux quasi-nobles, comme montré en Fig. 33.

D'après Tove, cette corrélation s'explique par le concept de dipôle électrique induit à l'interface du siliciure et du silicium, dipôle dont l'intensité est essentiellement définie par le travail de sortie du métal.

Ces différentes approches mettent en évidence le rôle du siliciure dans la formation du dipôle à l'interface qui contrôle la hauteur de barrière. Toutefois, ces approches empiriques sont très discutables étant donné qu'elles considèrent des paramètres volumiques de formation du siliciure pour interpréter les propriétés essentiellement interfaciales de la hauteur de barrière.

II.2.4 Etats d'énergie induits dans la bande interdite par le métal (MIGS)

Les états d'énergie induits dans la bande interdite par le métal, ou MIGS (*Metal Induced Gap States*) ont été introduits dans l'analyse du *Fermi Level Pinning* par [Heine65], puis développés par [Tersoff84]. Les calculs numériques de Louie et Cohen [Louie75] ont montré l'influence de la présence d'un composé métallique à l'interface avec un semiconducteur dans la génération d'une densité d'état dans la bande interdite du semiconducteur. En considérant la pénétration des fonctions d'onde du métal dans le silicium, il apparaît que la structure électronique du semiconducteur est modifiée. Des états initialement présents dans la bande de valence et la bande de conduction du semiconducteur sont déplacés dans la bande interdite, créant ainsi des états d'interface.

D'après [Tersoff84], ϕ_b est déterminée par deux composantes. D'une part, à courte distance, ϕ_b est influencée par la différence entre l'électronégativité du métal et du semiconducteur, ou par la redistribution des charges dans les liaisons sur le plan d'interface. D'autre part, à plus longue distance, des MIGS induits par le métal sont formés et vont contribuer à accrocher ϕ_b au niveau de Fermi du métal.

En considérant les MIGS localisés à une distance δ_{GS} de l'interface, les hypothèses posées par [Tersoff84] peuvent être replacées dans le formalisme précédemment établi dans le cadre du modèle des charges fixes séparées. On retrouve alors la relation :

$$\phi_{b,n} = \gamma_{GS} (\phi_M - \chi_S) + (1 - \gamma_{GS}) (E_g - \phi_{CNL}) \quad \text{eq. II-40}$$

avec γ_{GS} , le paramètre définissant l'influence des MIGS sur la contribution à courte distance. Le paramètre S_ϕ est alors donné par:

$$\gamma_{GS} = \left(1 + \frac{e^2 \delta_{GS} D_{GS}}{\epsilon_{Si}} \right) \quad \text{eq. II-41}$$

Ce modèle de charges induites a permis d'expliquer l'accrochage de ϕ_b au niveau de Fermi du métal dans de nombreux cas. Cependant, ce modèle est discutable en de nombreux points de vue. Tout d'abord, les MIGS sont induits par le métal à l'interface, et sont donc a priori extrêmement dépendants de ses propriétés chimiques, notamment du type de liaisons formées, ce qui va à l'encontre de l'hypothèse posée par [Tersoff84] sur la prépondérance du semiconducteur dans la définition des MIGS.

Par ailleurs, pour jouer un rôle actif, les MIGS doivent être séparés de l'interface. Il est courant de supposer une séparation des MIGS de l'interface de l'ordre de 0.5-3nm [Tung01]. Or les calculs présentés dans [Louie75] prédisent une longueur d'extinction des fonctions d'onde du métal (comparable à δ_{GS}) de l'ordre de 0.1-0.3nm pour différents semiconducteur. Il se pourrait donc que les MIGS soient en fait de simple défauts du semiconducteur, sans rapport avec le métal.

II.2.5 Modèle des liaisons polarisées

Afin de lever les doutes issus des différents modèles présentés, une approche atomistique a été proposée par [Tung01]. L'auteur s'appuie sur les deux grandes méthodes de calcul utilisées en physique du solide que sont la LCAO (*Linear Combination of Atomic Orbitals*) et la ECPE (*Electrochemical Potential Equalization Method*). Ces deux méthodes, partant des mêmes hypothèses physiques, donnent des équations finales très proches. Nous présentons ici la première de ces méthodes qui met en œuvre une approche physique plus intuitive.

L'hypothèse de base est d'identifier le dipôle Schottky, précédemment défini dans le modèle des charges fixes séparées, avec la polarisation des liaisons chimiques à l'interface. Nous considérons une densité de liaisons chimiques N_B , dont chacune présente un dipôle $e \cdot x \cdot d_{MS}$, avec e la charge élémentaire, x un paramètre lié à la différence entre les énergies des orbitales atomiques (eq. II-43), et d_{MS} la distance entre le métal et le semiconducteur à l'interface. La hauteur de barrière est donnée par :

$$\phi_{b,p} = I_S - \phi_M + \frac{e^2 x N_B d_{MS}}{\epsilon_{Si}}, \quad \text{eq. II-42}$$

$$\text{et } x = \frac{\Delta E}{|\phi|} \quad \text{eq. II-43}$$

avec I_S le potentiel d'ionisation ($E_g + \chi_S$), ΔE la différence entre les énergies d'orbitales pour les atomes individuels, et ϕ l'intégrale de la liaison. Toutefois, la définition de ΔE correspond à des atomes intégrés à un cristal homogène, et ne s'applique donc pas à des atomes placés à l'interface métal-semiconducteur. [Tung01] propose donc de remplacer ΔE par $(\phi_M - I_S + \phi_{CNL})$, ce qui mène à l'expression :

$$\phi_{B,p}^o = \gamma_B (I_S - \phi_M) + (1 - \gamma_B) \frac{E_g}{2}, \quad \text{eq. II-44}$$

$$\text{avec } \gamma_B = 1 - \frac{e^2 N_B d_{MS}}{\epsilon_{\text{int}} |E_g + \kappa|} \quad \text{eq. II-45}$$

où κ est la somme des interactions entre les différentes liaisons à l'interface.

Malgré les nombreuses approximations utilisées pour parvenir à cette expression, il est intéressant de noter que l'approche atomistique mettant en jeu un transfert de charge au niveau de la liaison chimique permet de décrire le comportement de la hauteur de barrière avec un formalisme proche du modèle des charges fixes séparées.

Par ailleurs, l'approche atomistique par le modèle des liaisons polarisées permet de lever des incertitudes liées aux MIGS. En particulier, le système d'analyse du modèle par liaisons polarisées se base sur les structures de bandes du métal et du semiconducteur, en utilisant les approximations détaillées précédemment pour tenir compte du contact entre ces deux matériaux. Le modèle des MIGS au contraire, se base sur le modèle des charges fixes séparées dans lequel les MIGS sont introduits comme une variable d'ajustement de la hauteur de barrière.

D'autre part, la distance séparant le métal du semiconducteur dans le modèle des liaisons polarisées est la longueur de la liaison d_{MS} elle-même. Cette définition s'impose par sa clarté, en regard des doutes pesant sur les inadéquations entre calculs et mesures de la longueur d'extinction des MIGS.

II.2.6 Perspectives d'ingénierie de la hauteur de barrière

L'activité de recherche générée par les siliciures à faible hauteur de barrière a entraîné un regain d'intérêt sur les possibilités offertes pour la modulation de la hauteur de barrière. En particulier, les travaux présentés ci-dessous se focalisent sur la relaxation du *Fermi Level Pinning* en mettant en œuvre une ingénierie de l'interface siliciure/silicium.

- *Valence Mending*

Une première approche consiste à passiver les liaisons pendantes à l'interface de manière à diminuer le dipôle de Schottky en utilisant une technique de réparation de surface dite de *valence-mending* [Kaxiras91]. Les atomes de soufre S et de selenium Se permettent une restauration de surface de Si(100) vierge de défauts, grâce à une passivation des liaisons pendantes et de la déformation de maille superficielle.

[Tao03a] et [Tao03b] a pu mettre cet effet en évidence de manière expérimentale. Après désoxydation HF, des échantillons de Si (100) sont introduits dans un bâti d'épitaxie par jet moléculaire, puis une épitaxie de Si de 500Å est réalisée. Une partie des échantillons est alors déchargée, et une monocouche de Se est déposée sur l'autre partie. Une couche de métal (Al, Cr et Mg) est déposée sur les échantillons qui sont par la suite caractérisés électriquement. Alors que les échantillons non passivés montrent des hauteurs de barrière aux électrons habituellement reportées dans la littérature (Tableau 1), les échantillons passivés montrent une réduction significative de la hauteur de barrière mesurée. Les valeurs données dans ce travail permettent d'obtenir des caractéristiques ohmiques à température ambiante pour ces contacts habituellement redresseurs. La monocouche de Se permet de passiver les liaisons pendantes d'interface et de relaxer le *Fermi Level Pinning*. Les valeurs obtenues sont

beaucoup plus proches de la hauteur de barrière théorique prédite par la loi de Schottky-Mott ($\phi_M - \chi_{Si}$). Si nous considérons le modèle des liaisons polarisées, cette observation signifie que le dipôle de Schottky est négligeable.

Metal	$\phi_{B,n}$ théoriques	$\phi_{B,n}$ habituelles	$\phi_{B,n}$ [Tao03a,b]
Al	-0.01	0.72	0.08
Cr	0.21	0.61	0.26
Mg	-0.63	0.40	Ohmique

Tableau 1 – Comparaison entre les hauteurs de barrières théoriques, celles habituellement reportées dans la littérature, et celles obtenues par Tao en utilisant la technique de valence-mending grâce à une passivation d'interface au Se. Les hauteurs de barrières passivées sont proches des valeurs théoriques.

Malgré les hauteurs de barrière spectaculaires obtenues grâce au *valence-mending*, cette approche présente peu d'intérêt dans le cadre d'une intégration CMOS ou le métal doit réagir avec le silicium afin de former un siliciure, détruisant alors les propriétés liées à la reconstruction de surface. Dans une optique d'intégration sur transistors, [Zhao05] a montré la possibilité d'une approche auto-alignée. Après une implantation ionique de soufre sur Si(100) à 15keV et une dose de 2×10^{14} at./cm², une couche de Ni de 30nm est déposée, puis recuite à 550°C pendant 1min afin de former le NiSi. Des analyses SIMS montrent que le soufre implanté a ségrégré à l'interface NiSi/Si (Fig. 34a). La hauteur de barrière a été mesurée et comparée aux échantillons de référence n'ayant pas vu l'implantation de soufre. Alors que la hauteur de barrière aux électrons est mesurée à 0.65eV (valeur habituellement rapportée dans la littérature), cette valeur diminue à 0.07eV dans le cas d'échantillons implantés à 2×10^{14} at./cm² (Fig. 34b).

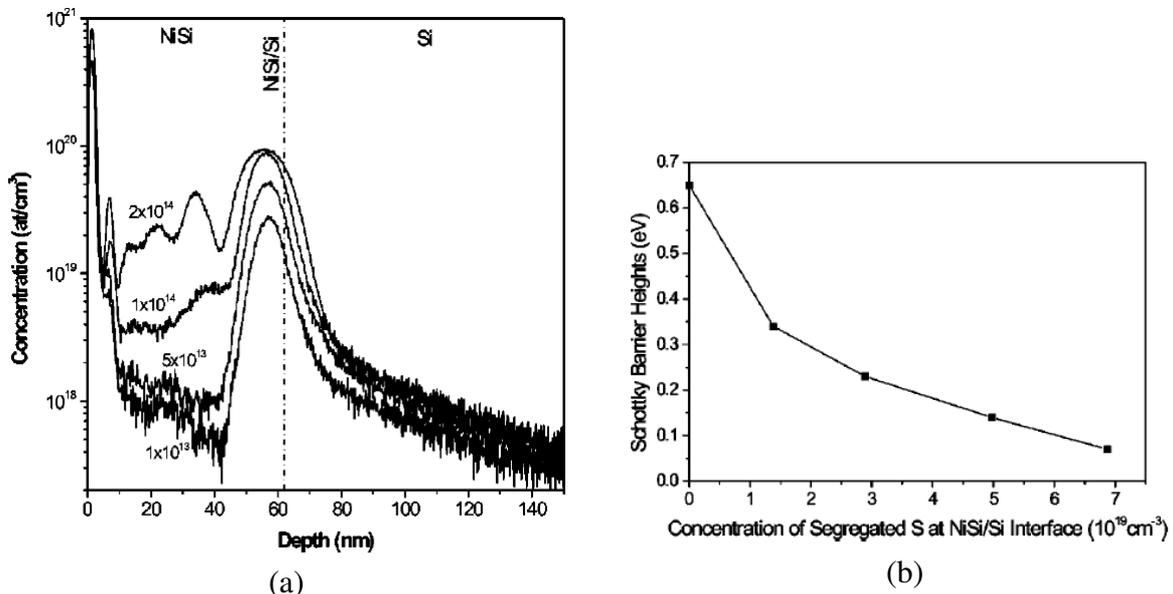


Fig. 34 : Profils SIMS obtenus après la ségrégation de S à l'interface lors de la formation du NiSi (a). Diminution de hauteur de barrière NiSi/Si en fonction de la concentration de S à l'interface [Zhao05] (b).

Nous voyons donc que la technique de *valence-mending* peut être mise en œuvre dans une architecture auto-alignée grâce à la ségrégation du soufre lors de la siliciuration. Cependant, il est surprenant de noter que la hauteur de barrière théorique pour le NiSi est de 0.63eV, alors que l'auteur mesure une barrière de 0.07eV. Afin d'expliquer cette incohérence, l'auteur propose la formation d'un composé NiSi-S dont le travail de sortie diffère du NiSi, et

avance la formation de nouvelles liaisons pendantes à l'interface du fait de la présence du soufre. Par ailleurs, il est important de noter que le soufre est également un défaut double donneur dans le silicium. Il est donc probable que dans ce cas il n'y ait pas de réparation de surface mais une ségrégation et une activation du soufre au voisinage de l'interface

- *Ségrégation de dopants*

Une deuxième approche consiste à utiliser la ségrégation des dopants usuels à l'interface siliciure/silicium. [Zhang05] propose une démonstration de ces effets en utilisant une implantation des dopants dans le siliciure déjà formé, suivi par un recuit de diffusion des dopants à l'interface.

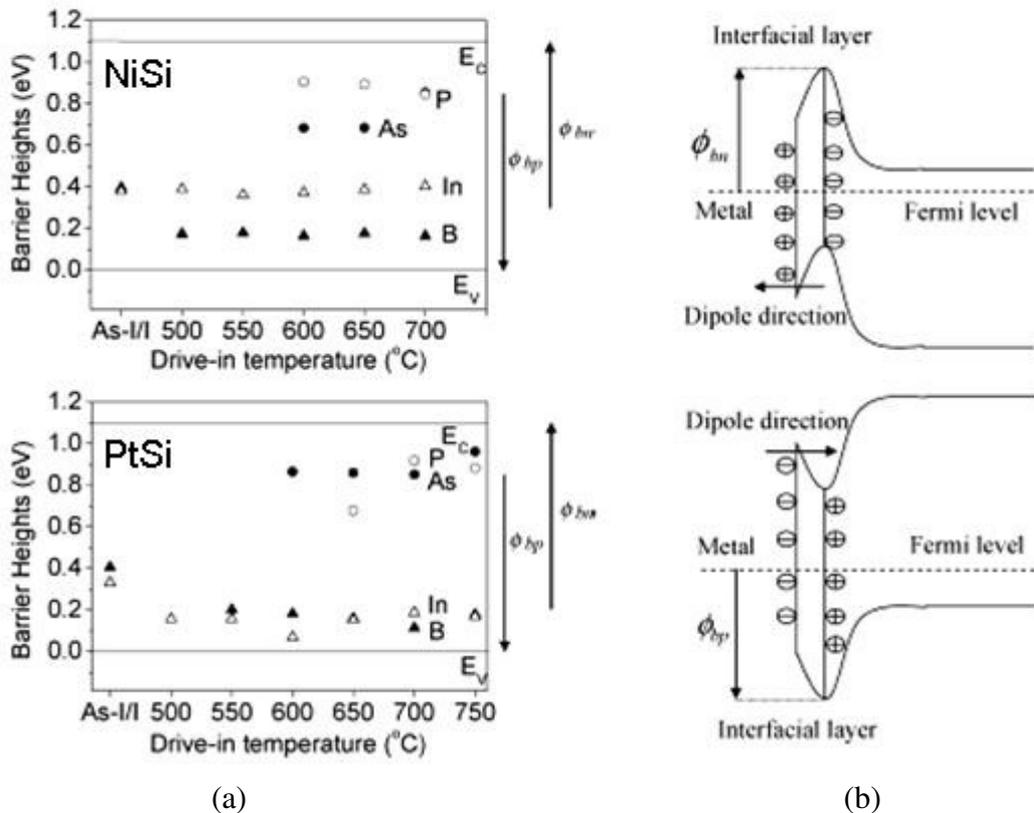


Fig. 35 : Hauteurs de barrières du NiSi et PtSi après ségrégation de dopants (a). Formation d'un dipôle à l'interface permettant la modulation de la hauteur de barrière [Zhang05] (b).

Après formation d'un siliciure à partir d'une couche de métal de 40nm déposée sur substrat p-Si ou n-Si, une implantation à une dose de 1×10^{15} at./cm² des dopants B, In, As ou P est réalisée à une énergie de 4.5, 25, 25 et 10keV, respectivement. Un recuit de diffusion des dopants est ensuite effectué pendant 30sec à des températures variant entre 500 et 700°C.

Les hauteurs de barrière mesurées sont montrées en Fig. 35. Nous voyons qu'en utilisant la ségrégation de dopants, les hauteurs de barrières du NiSi et du PtSi peuvent être modulées sur de larges gammes afin d'obtenir de faibles barrières aux trous ou aux électrons, en ségrégant des dopants de type p ou n, respectivement. L'auteur attribue les modulations de barrières observées à l'effet de *Fermi Level Pinning*, couplé à la formation d'un dipôle électrique formé à l'interface grâce à la ségrégation des dopants. Les calculs *ab-initio* [Yamauchi06] montrent que les atomes de bore occupent une position substitutionnelle dans

les premières couches de Si à l'interface. Le même auteur démontre en mettant en œuvre un modèle des liaisons polarisées que cette présence de bore substitutionnel à l'interface intime NiSi/Si entraîne un déverrouillage de la hauteur de barrière qui peut alors atteindre des valeurs de 0.1eV. Cette analyse supporte les résultats présentés en Fig. 35b.

Dans cette partie, nous avons pu décrire le phénomène de *Fermi Level Pinning*, et expliciter les différentes approches théoriques ou empiriques expliquant son origine. Finalement, nous détaillons les techniques de ségrégation - *valence mending* et dipôle interfacial – qui permettent de moduler la hauteur de barrière en dépassant les limites traditionnellement posées par le *Fermi Level Pinning*.

Il apparaît de cette étude bibliographique que de nombreuses interprétations existent au sujet de la nature physique du verrouillage de la hauteur de barrière au niveau de Fermi, et des moyens technologiques permettant de la moduler. Aucune n'apparaît toutefois incontestable, et le débat est toujours extrêmement actif à ce sujet dans la littérature, comme nous avons pu le montrer. Cependant, les résultats expérimentaux présentés à la fin de cette partie ouvrent des voies prometteuses dans le cadre d'une approche pragmatique de la diminution de la hauteur de barrière des siliciures. Nous étudierons ces approches dans le Chap. III.

II.3 Transport électronique dans les contacts métal-semiconducteur

La grande majorité des modèles utilisés pour décrire l'injection de porteurs du siliciure dans le silicium caractérisent soit des contacts ohmiques, soit des contacts Schottky. Dans le premier cas, le plus fréquemment rencontré dans le cas des siliciures de contact de zones source et drain dans les technologies MOSFET, le silicium est très fortement dopé ($> 1 \times 10^{20}$ at./cm³). Dans le second cas, celui des diodes Schottky par exemple, le silicium est faiblement dopé ($\approx 1 \times 10^{15}$ at./cm³). Ces deux catégories de contacts métal-semiconducteur se traduisent par des caractéristiques électriques très différentes. Dans le cas du contact ohmique, la jonction présente une caractéristique courant-tension linéaire, alors que dans le cas du contact Schottky, la caractéristique est rectificatrice. Toutefois, contact ohmique et contact Schottky peuvent être considérés comme deux cas limites dans le cadre d'une modélisation prenant en compte les mécanismes d'injection thermoélectronique et d'injection par effet tunnel.

L'application finale ou la fonction électronique recherchée peuvent justifier l'utilisation d'un modèle purement Schottky, ou purement ohmique. Dans notre cas, des siliciures *mid-gap* et *band-edge* seront intégrés comme contact ohmiques sur zones dopées, ou comme diodes Schottky prenant la place des sources et drains dopés et des extensions. Il est donc essentiel, pour une comparaison significative des différents contacts étudiés, de mettre en place un modèle décrivant de manière continue le passage d'un régime Schottky à un régime ohmique.

II.3.1 Le modèle thermoélectronique à émission de champ en mode direct

II.3.1.1 Définition du modèle

Les travaux de Crowell et Rideout [Crowell69] considèrent la conduction des porteurs à travers une barrière Schottky d'énergie E_b (Fig. 36) à partir de deux contributions :

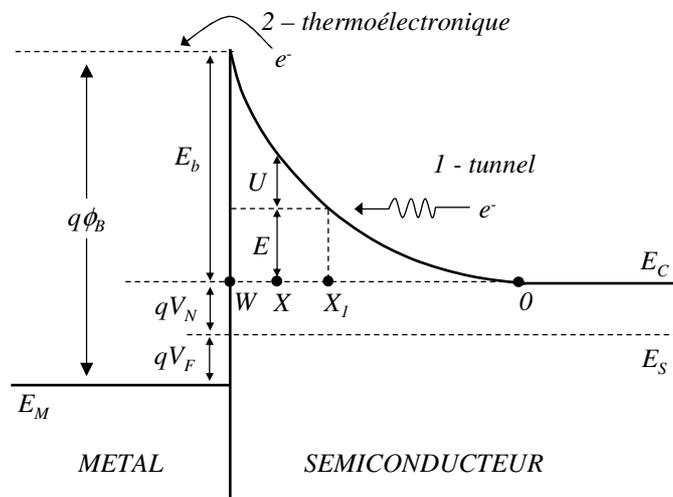


Fig. 36 : Diagramme de bandes à l'interface Métal/Semiconducteur montrant les différentes composantes de la conduction électronique à travers la barrière Schottky.

- L'injection tunnel par effet de champ, qui concerne les porteurs d'énergie $E < E_b$ présentant une probabilité de traverser la barrière Schottky triangulaire par effet tunnel assisté par le champ électrique à la jonction.

- L'injection thermoélectronique, qui définit de manière générale l'émission d'un porteur de charge au dessus d'un potentiel par effet thermique.

[Crowell69] présente un formalisme prenant en compte de manière continue le passage de l'un à l'autre de ces processus, en fonction des paramètres physiques qui nous intéressent directement, à savoir la température, le niveau de dopage du semiconducteur et la hauteur de barrière du contact métal-semiconducteur.

Nous considérons une distribution Maxwellienne des porteurs de charges incidents sur la zone de charge d'espace (ZCE) de largeur W à la jonction entre le métal et le semiconducteur, d'un niveau de dopage uniforme N et de permittivité ϵ_{Si} . En définissant la référence des énergies sur bande de conduction en $x > W$, l'énergie des porteurs dans la ZCE est donnée en fonction de la distance x par :

$$qV(x) = q^2 \frac{N \cdot x^2}{2\epsilon_{Si}} \text{ dans la zone } 0 \leq x \leq W. \quad \text{eq. II-46}$$

Pour un flux de porteurs d'énergie $E < E_b$ et de masse effective m^* dans la direction du flux, la probabilité de transmission $\tau(E)$ à travers la barrière en une dimension dans l'approximation de Wentzel-Kramers-Brillouin (WKB) s'exprime par:

$$\tau(E) = \exp\left\{-\frac{4\pi}{h} \int_{x_1}^w \left[2m^* [qV(x) - E]\right]^{1/2} dx\right\} \quad \text{eq. II-47}$$

Pour les porteurs d'énergie $E > E_b$, c'est-à-dire dans le cas d'une injection thermoélectronique la probabilité de transmission $\tau(E)$ est supposée égale à 1. La densité de courant J liée aux distributions maxwelliennes des porteurs excités thermiquement dans le semiconducteur et dans le métal est définie par :

$$J = J_f - J_r = \frac{A^*T}{k} \int_0^\infty f_s(E)\tau(E)dE - \frac{A^*T}{k} \int_0^\infty f_m(E)\tau(E)dE, \quad \text{eq. II-48}$$

avec A^* la constante de Richardson, $f_s(E)$ et $f_m(E)$ les probabilités d'occupation des états dans le semiconducteur et dans le métal, respectivement. Dans des conditions hors de l'équilibre thermodynamique, en particulier sous l'application d'une tension directe V_F (représentée en Fig. 36 par l'application d'une tension positive sur le métal), les probabilités d'occupation sont reliées :

$$f_s(E) = \exp\left\{\frac{-(qV_N + E)}{kT}\right\} = f_m(E) \exp\left\{\frac{qV_F}{kT}\right\}, \quad \text{eq. II-49}$$

où V_N est la différence de potentiel entre le niveau de Fermi du semiconducteur et le minimum de la bande de conduction. Cette dernière relation permet de reformuler les densités de courant direct J_f et inverse J_r :

$$J_f = J_r \exp\left\{\frac{qV_F}{kT}\right\} = \frac{A^*T}{k} \int_0^\infty \tau(E) \exp\left\{-\left[\frac{E + qV_N}{kT}\right]\right\} dE \quad \text{eq. II-50}$$

II.3.1.2 Normalisation des équations suivant J_m , E_b/kT et E_{00}/kT

A partir de cette dernière expression, les travaux de [Crowell69] introduisent trois paramètres de normalisation, permettant d'établir un formalisme directement relié à la nature de l'injection des porteurs, thermoélectronique ou par effet de champ :

- J/J_m la densité de courant de « bandes-plates », qui correspond au courant obtenu lorsque $V_{F, \text{bandes-plates}}$ la tension appliquée compense exactement la courbure de bandes introduite par la barrière Schottky. Par conséquent, en considérant à partir de la fig. 36 $E_b = 0$, et $\tau(E) = 1$ (injection purement thermoélectronique), le courant direct se réécrit :

$$J_f = J_m \equiv A^*T^2 \exp\left\{\frac{-qV_N}{kT}\right\} \quad \text{eq. II-51}$$

- E_b/kT . E_b correspond à la courbure de bandes dans le semiconducteur, c'est-à-dire à la barrière effective vue par les électrons pour une injection du semiconducteur vers le métal. E_b est une fonction de la tension appliquée et est définie par :

$$E_b = q(\phi_b - V_N - V_F) \quad \text{eq. II-52}$$

- E_{00}/kT . E_{00} est une constante caractéristique du semiconducteur, dépendant de la constante diélectrique, de la masse effective des porteurs, et du dopage du semiconducteur. Elle est définie à partir de la probabilité de transmission à travers la barrière Schottky pour des porteurs d'énergie nulle :

$$\tau(E=0) = \exp\left\{\frac{-E_b}{E_{00}}\right\} \quad \text{eq. II-53}$$

$$E_{00} = \frac{qh}{4\pi} \left[\frac{N}{m^* \epsilon_{Si}} \right] \quad \text{eq. II-54}$$

Il apparaît par conséquent que le paramètre J_m caractérise la densité de courant pour une injection purement thermoélectronique, et que le paramètre E_{00} est directement relié à une probabilité de transmission pour des porteurs d'énergie nulle, c'est-à-dire pour une injection tunnel pure. Il est possible de reformuler l'expression (eq. II-50) suivant ces trois paramètres :

$$\frac{J_f}{J_m} = \underbrace{\frac{E_b}{kT} \int_0^1 \exp\left\{\frac{-E_b}{kT} \left[\alpha + \frac{kT}{E_{00}} y(\alpha)\right]\right\} d\alpha}_{\text{Injection tunnel}} + \underbrace{\frac{E_b}{kT} \int_1^\infty \exp\left\{-\alpha \frac{E_b}{kT}\right\} d\alpha}_{\text{Injection thermo-ionique}} \quad \text{eq. II-55}$$

la fonction $y(\alpha)$ étant définie par :

$$y(\alpha) = (1 - \alpha)^{1/2} - \alpha \ln \left[\frac{1 + (1 - \alpha)^{1/2}}{\alpha^{1/2}} \right], \quad \text{et} \quad \alpha = \frac{E}{E_b} \quad \text{eq. II-56}$$

J_f/J_m peut être exprimé uniquement en fonction des trois paramètres précédemment définis. Le terme de gauche représente l'injection des porteurs due à l'effet tunnel, le terme de droite l'injection des porteurs par effet thermoélectronique. Il est important de remarquer que dans la gamme des fortes températures et des faibles dopages, le rapport kT/E_{00} devient très grand, et le terme lié à l'injection tunnel devient négligeable. L'équation précédente se réécrit alors sous la forme classique d'une densité de courant thermoélectronique [Sze81] :

$$J_F = J_m \exp\left\{\frac{-E_b}{kT}\right\} = A^* T^2 \exp\left\{\frac{-q\phi_b}{kT}\right\} \exp\left\{\frac{qV_F}{kT}\right\} \quad \text{eq. II-57}$$

Le prix à payer pour l'utilisation d'une expression formelle décrivant de manière continue l'injection des porteurs pour de larges gammes de température et de dopage est essentiellement la simplicité des hypothèses de base utilisées pour établir ce modèle. En particulier, nous avons considéré une distribution énergétique des porteurs de Maxwell-Boltzmann. Cette distribution permet de décrire la répartition des porteurs suivant une simple exponentielle, et d'établir l'eq. II-50. Toutefois, l'utilisation d'une statistique Fermi-Dirac paraît plus appropriée, notamment pour des niveaux de dopages de semiconducteur approchant une dégénérescence des porteurs. Partant de l'équation II-55, nous considérons l'émission tunnel pure, et un rapport $kT/E_{00} \rightarrow 0$, soit une gamme de températures faibles et de dopages élevés. L'équation II-55 tend alors vers :

$$\frac{J_F}{J_m} = \exp\left(\frac{-E_b}{kT}\right) \quad \text{eq. II-58}$$

Cette expression correspond à l'expression du courant tunnel donnée par [Sze81]. Dans cette dernière référence, l'expression du courant tunnel est obtenu après simplification d'un modèle validé expérimentalement, et dérivant d'hypothèses considérant cette fois une distribution de Fermi-Dirac. Nous voyons donc que malgré les hypothèses simplificatrices mises en œuvre dans notre formalisme, l'expression II-55 obtenue permet de considérer de manière significative les domaines thermoélectroniques pur et tunnel pur, validant ainsi l'argument de continuité en large gamme de l'expression.

Fig. 37, nous mettons en œuvre le modèle d'injection présenté dans le cas d'une barrière E_b de 0.5eV, soit le cas d'un contact entre un siliciure *mid-gap* et une surface de silicium, sous faible polarisation. Trois niveaux de dopage représentatifs des régimes de faible, moyen et fort dopage sont considérés, respectivement 1×10^{15} , 1×10^{18} , et 1×10^{21} at./cm³. Pour chacun de ces niveaux de dopage, nous présentons nos résultats à température ambiante et à basse

température (100°K). En partie droite de la figure par rapport à l'interface, sont présentés les profils de potentiel des zones de charge d'espace en approximation parabolique pour les trois niveaux de dopage sur une échelle logarithmique. Cette échelle permet une meilleure lisibilité de l'évolution du potentiel pour une gamme de dopage étendue, au détriment de l'allure du profil habituellement représenté en échelle linéaire. En partie gauche de la figure sont représentés en échelle linéaire normalisée les distributions énergétiques des porteurs émis à travers la barrière par effet tunnel à partir de l'éq. II-55, pour les trois niveaux de dopage et les deux températures considérées. Ces distributions sont considérées pour une polarisation qV_F et une hauteur de barrière E_b donnée.

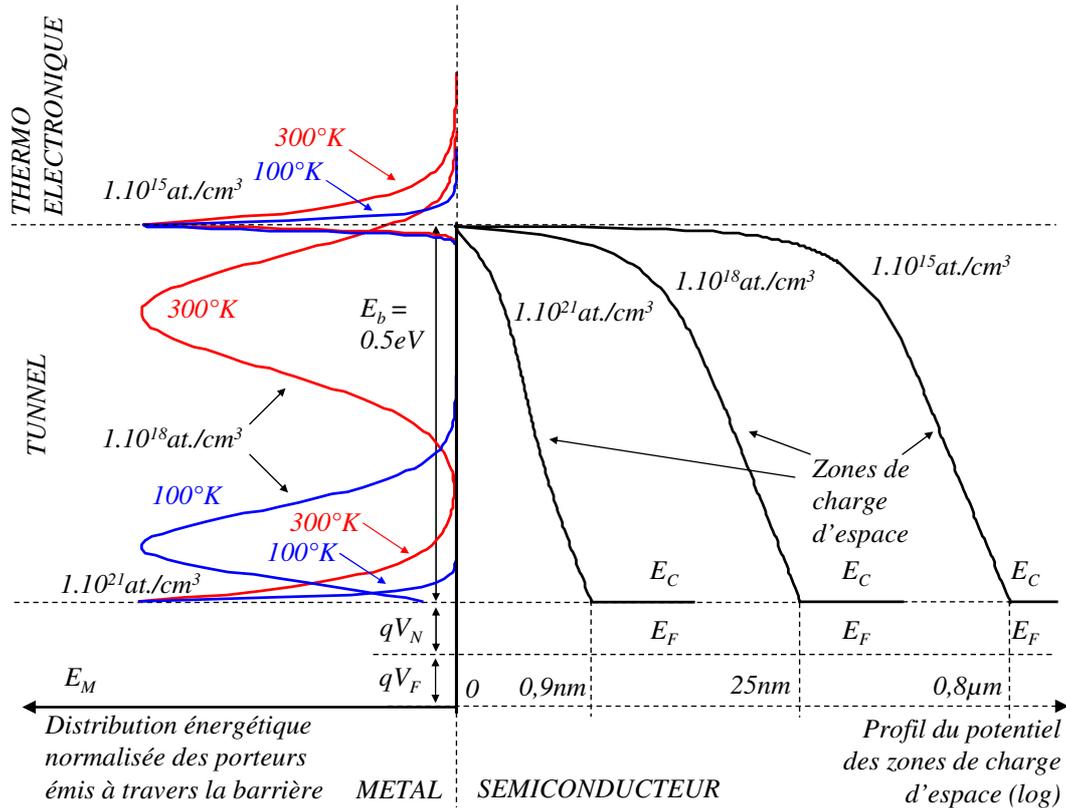


Fig. 37 : Distribution énergétique des porteurs (gauche) et profil du potentiel des zones de charge d'espace (droite) en fonction de l'énergie des électrons, pour différents niveaux de dopages, respectivement.

Dans le cas des forts dopages (1×10^{21} at./cm³), les porteurs sont injectés dans la région des faibles énergies uniquement par effet tunnel. A température ambiante, le profil de distribution des porteurs s'étale vers des énergies plus élevées. Cette situation s'explique par le fort niveau de dopage imposant une barrière extrêmement fine (0,9nm). Pour un niveau de dopage de 1×10^{18} at./cm³, la largeur de la zone de charge d'espace augmente à 25nm. La distribution des porteurs émis montre que pour les basses températures, le courant reste essentiellement un courant tunnel. Par contre, à température ambiante, la distribution des porteurs émis est un parfait exemple d'émission des porteurs par injection thermoélectronique à effet de champ. En effet, la majorité des porteurs sont injectés par effet tunnel. L'étalement du profil de porteurs par effet thermique provoque une injection thermoélectronique pour une partie de ces porteurs. Ainsi, dans ce cas, les deux modes d'injection interviennent. Pour les dopages plus faibles (1×10^{15} at./cm³), la largeur de la zone de charge d'espace devient très importante, de l'ordre de 0,8μm. La probabilité d'injection d'un porteur par effet tunnel

devient donc négligeable. Il apparaît d'après les distributions des porteurs injectés que le mécanisme thermoélectronique est dominant.

II.3.1.3 Extension du modèle en mode inverse

Le formalisme présenté dans les parties précédentes concerne une injection de porteurs en mode direct. Toutefois, nous rappelons que dans les transistors MOSFET conventionnels, comme dans les transistors MOSFET à barrière Schottky, les contacts siliciures sont polarisés en mode direct pour le drain, et en mode inverse pour la source. Nous représentons en *Fig. 38* le diagramme de bandes d'un transistor MOSFET à barrière Schottky. A l'état passant, le courant de drain est limité par l'injection thermoélectronique par effet de champ des porteurs à la source polarisée en inverse. Par conséquent, il est particulièrement important d'adapter le formalisme déjà présenté en mode direct à des polarisations inverses, en choisissant judicieusement les paramètres de normalisation [Dubois04].

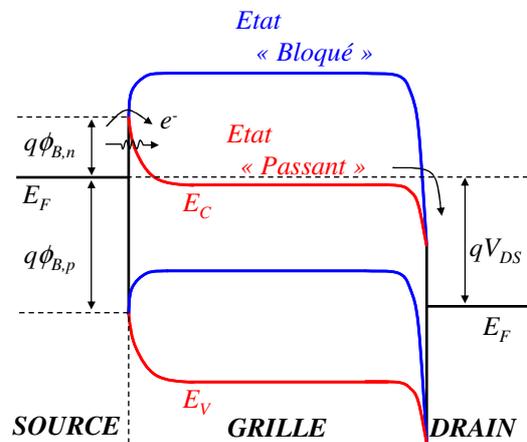


Fig. 38 : Diagramme de bandes d'un transistor MOSFET en mode bloqué et en mode passant

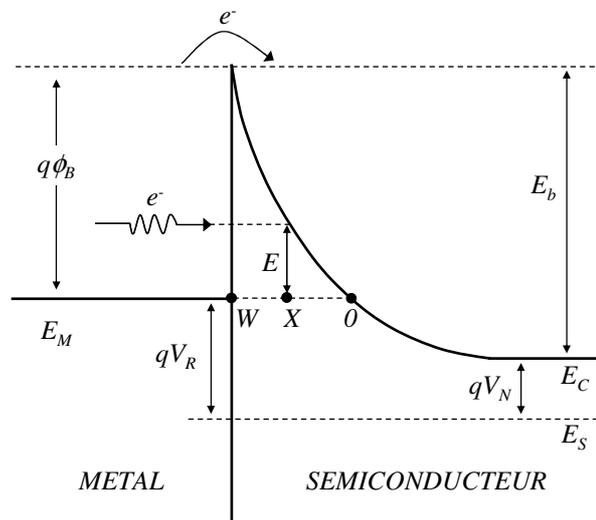


Fig. 39 : Diagramme de bandes d'un contact Métal/Semiconducteur polarisé en inverse.

A partir de l'eq. II-50, et en considérant $V_R = -V_F$, la densité de courant inverse J_R s'exprime par :

$$J_R = J_F \exp\left\{\frac{qV_R}{kT}\right\} \quad \text{eq. II-59}$$

En remarquant que $q\phi_b + qV_R = E_b + qV_N$, il est possible de formuler l'eq II-50 sous une forme compacte, telle que :

$$\frac{J_R}{J_{r0}} = 1 + \frac{E_b}{kT} \int_0^1 \exp\left\{\frac{-E_b}{kT} \left[\alpha - 1 + \frac{kT}{E_{00}} y(\alpha)\right]\right\} d\alpha \quad \text{eq. II-60}$$

$y(\alpha)$ étant définie de même manière que dans le mode direct, et J_{r0} correspond au courant inverse de pure émission thermoélectronique :

$$J_{r0} = A * T^2 \exp\left\{\frac{-q\phi_b}{kT}\right\} \quad \text{eq. II-61}$$

De même que sous la forme de l'eq. II-55, il est possible d'exprimer le courant inverse sous une forme faisant apparaître les composantes liées à l'émission thermoélectronique et à l'injection tunnel :

$$\frac{J_R}{J_{r0}} = \underbrace{\frac{E_b}{kT} \int_0^1 \exp\left\{\frac{-E_b}{kT} \left[\alpha - 1 + \frac{kT}{E_{00}} y(\alpha)\right]\right\} d\alpha}_{\text{Injection tunnel}} + \underbrace{\frac{E_b}{kT} \int_1^\infty \exp\left\{-\left(\alpha - 1\right) \frac{E_b}{kT}\right\} d\alpha}_{\text{Emission thermoélectronique}} \quad \text{eq. II-62}$$

II.3.1.4 Prise en compte de l'abaissement de barrière par l'effet de charge image

La polarisation d'une jonction Schottky en mode inverse génère une zone de charge d'espace (ZCE). En regard de l'interface, cette ZCE induit une charge image de type opposé, ce qui augmente le champ électrique effectif. Il en résulte un abaissement de la hauteur de barrière Schottky de telle manière que :

$$\phi_{b,eff} = \phi_b - \Delta\phi(E_b) \quad \text{avec} \quad E_b = q(\phi_b - V_N + V_R) \quad \text{eq. II-63}$$

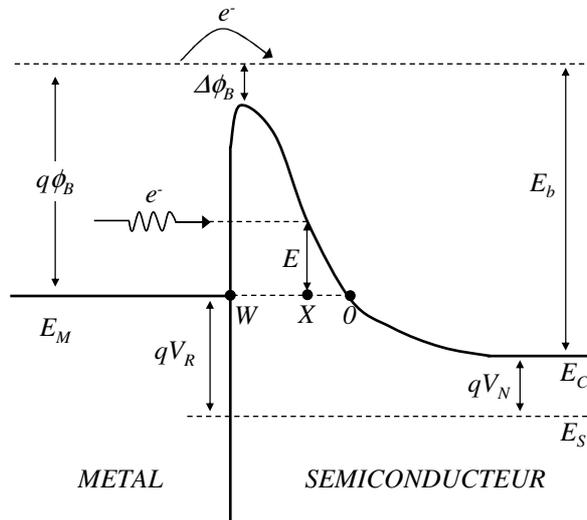


Fig. 40 : Diagramme de bande d'un contact Métal/Semiconducteur prenant en compte l'effet d'abaissement de la hauteur de barrière.

La contribution induite par la charge image est donnée par [Sze81] :

$$\Delta\phi_b(E_b) = \left[\frac{q^3}{8\pi^2 \epsilon_s^3} N \frac{E_b}{q} \right]^{1/4} \quad \text{eq. II-64}$$

Par conséquent, $\Delta\phi_b$ est fonction de la hauteur de barrière à champ nul et de la polarisation inverse appliquée au contact. Une dépendance importante avec le niveau de dopage du silicium est aussi à remarquer. Il est important de rappeler que l'énergie caractéristique E_{00} est aussi fonction de la concentration de dopants :

$$E_{00} = \frac{qh}{4\pi} \left[\frac{N}{m^* \epsilon_s} \right] \quad \text{eq. II-65}$$

En conjuguant les deux expressions précédentes, l'abaissement de la barrière Schottky peut s'exprimer en fonction des énergies normalisées E_b/kT et kT/E_{00} :

$$\Delta\phi_b(E_b) = \left[\frac{2m^*}{\epsilon_s^2 h^2} E_{00}^2 E_b \right]^{1/4} = \left[\frac{2m^* (kT)^3}{\epsilon_s^2 h^2} \frac{(E_b / kT)}{(kT / E_{00})^2} \right]^{1/4} \quad \text{eq. II-66}$$

Ainsi exprimé, l'abaissement de barrière peut être pris en compte dans le formalisme proposé. Dans la partie suivante, ce modèle est intégré dans un environnement expérimental permettant de mener à bien l'étude des différents siliciures par l'extraction des paramètres électriques.

II.4 Mesure de la hauteur de barrière : Intérêt de la mesure en température sur une structure de diodes Schottky têtes-bêches

L'étude des siliciures *band-edge* nécessite de développer des méthodes de mesure dans le cas de hauteurs de barrières faibles. Les méthodes conventionnellement utilisées pour la mesure de la hauteur de barrière sont décrites et discutées ci-dessous.

II.4.1 La mesure Capacité – Tension (C-V)

La technique de mesure Capacité-Tension (C-V) est couramment utilisée pour l'extraction de hauteur de barrière des contacts métal-semiconducteur. La mesure de la capacité pour une tension donnée permet de déduire la charge Q contenue dans la zone de charge d'espace (ZCE).

$$Q = q \cdot N_D \cdot W \quad \text{eq. II-67}$$

, avec N_D le niveau de dopage du semiconducteur et W la largeur de la ZCE.

En utilisant l'hypothèse d'un profil de potentiel quadratique dans la ZCE, il est possible de développer l'expression de W , afin d'exprimer la charge de la ZCE :

$$Q = \sqrt{2q \cdot N_D \cdot \epsilon_S \cdot (\phi_{b,0} - V_N - V_R - kT/q)} \quad \text{eq. II-68}$$

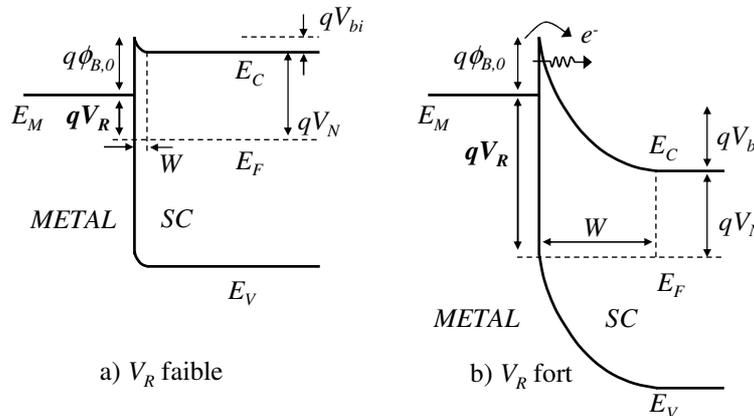


Fig. 41 : Zone de charge d'espace d'un contact Métal-Semiconducteur en polarisation faible (a) et forte (b). Dans le deuxième cas, le courant tunnel perturbe la mesure.

Il est intéressant de remarquer que la charge Q est proportionnelle à $(\phi_{b,0})^{1/2}$, et à $V^{1/2}$ ce qui amène plusieurs problèmes dans le cas des mesures de faibles hauteurs de barrières. Dans le cas d'une mesure à V_R faible, représentée en Fig. 41a pour un substrat faiblement dopé, la charge contenue dans la ZCE est très faible. Le courant de déplacement en mesure fréquentielle est faible devant le courant thermoélectronique à effet de champ présent dans une telle structure. L'augmentation de la tension inverse va permettre d'augmenter de manière quadratique la charge mesurable, comme représentée en Fig. 41b. Dans le même temps, le courant va augmenter en exponentielle (eq. II-59). Le problème de détection du courant de

déplacement est donc présent quel que soit la polarisation inverse de la diode. D'autre part, pour des polarisations inverses importantes, le mécanisme d'abaissement de hauteur de barrière par force image entache la mesure d'une erreur importante. La mesure C-V n'est donc pas adaptée à l'extraction des faibles hauteurs de barrières.

II.4.2 La mesure par effet photo-électrique

La mesure par effet photo-électrique est basée sur le mécanisme de photoémission interne mis en évidence par [Fowler28]. Lorsque le contact métal-semiconducteur est exposé à un photon d'énergie $h\nu$ inférieure au gap, il est possible d'exciter des porteurs du métal vers le semiconducteur. Pour $h\nu > q\phi_b$, les porteurs de charge excités du métal vers le semiconducteur sont évacués par le champ électrique interne du contact métal-semiconducteur non polarisé et génèrent un photo-courant. Le rendement de photoémission Y est donné par :

$$Y = C \frac{k^2 T^2}{(E_F - \mu kT)^{1/2}} \left\{ \frac{\pi^2}{6} + \frac{\mu^2}{2} + \sum_1^{\infty} \left[(-1)^n \frac{\exp(-n\mu)}{n^2} \right] \right\} \quad \text{eq. II-69}$$

avec $\mu = (h\nu - \phi_b)/kT$, C une constante dépendant du métal, E_F l'énergie du niveau de Fermi mesurée depuis le minimum de la bande de conduction, k la constante de Boltzmann.

Dans une gamme intermédiaire de valeurs de μ , le terme en μ^2 est dominant et le tracé d'un graphique en $Y^{1/2} = f(\mu)$ donne par extrapolation à $Y=0$ la hauteur de barrière ϕ_b . Cette technique de mesure donne de bons résultats pour des barrières Schottky supérieures à 0.4 eV, comme ont pu le démontrer [Jimenez95] et [Shalish00]. Toutefois, la mesure devient imprécise dans le cas de faibles hauteurs de barrières.

En effet, quand ϕ_b devient petit, le terme en exponentielle dans le membre de droite de l'eq.II-69 n'est plus négligeable. Par conséquent, $Y^{1/2}$ n'est plus linéaire en fonction de μ . Par ailleurs, en considérant un appareillage standard comprenant une génération de spectre infrarouge par chauffage d'un barreau de SiC à environ 1000°C couplé à un monochromateur, la puissance effective d'excitation monochromatique qui atteint la diode Schottky est d'environ 10^{-6} Watt. En supposant un rendement quantique de 100%, le photocourant obtenu est de l'ordre du μA . La détection de ce photocourant est d'autant plus délicate qu'un niveau important de courant d'obscurité est présent, même en polarisation inverse, à cause de l'activation thermique des porteurs. Une solution alternative consiste à travailler à faible température 40°K, de manière à s'affranchir du courant d'obscurité thermique. Toutefois, un niveau important de courant par effet de champ peut persister en l'absence d'anneau de contre-dopage en périphérie des diodes.

Nous voyons donc que la mesure par effet photo-électrique n'est pas adaptée pour la mesure des faibles hauteurs de barrières Schottky.

II.4.3 La mesure électrique

Deux stratégies sont envisageables dans le cadre d'une mesure électrique. L'approche couramment utilisée pour des hauteurs de barrières *mid-gap* consiste à mesurer le courant de diode en polarisation directe ou inverse, en prenant un contact en face arrière, tel que représenté Fig. 42a. Lorsque la hauteur de barrière est importante, les éléments équivalents du circuit sont négligeables devant la résistance de la diode qui limite principalement le courant.

Il est donc possible d'extraire la hauteur de barrière en utilisant le formalisme présenté en eq II-62.

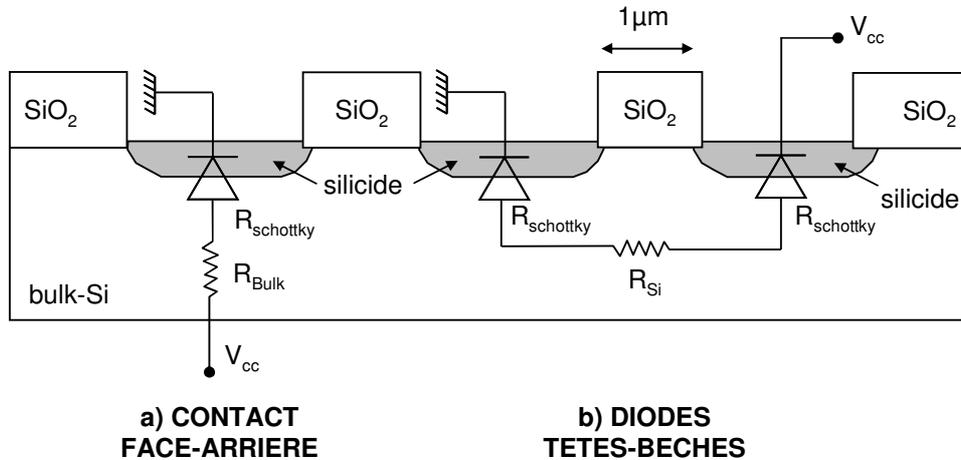


Fig. 42 : Structures de contact face arrière (a) et par diodes têtes-bêches (b).

Par contre, dans le cas de faibles hauteurs de barrières, la résistance du silicium n'est plus négligeable. La mesure devient alors imprécise car la résistance du silicium domine fortement la résistance totale, composée de la résistance équivalente de la diode Schottky et de la résistance du silicium en série. La mise en œuvre de mesures à basses températures permet d'augmenter la résistance équivalente de la diode Schottky, ce qui permet d'accéder à des hauteurs de barrières plus faibles. Toutefois, la résistance de substrat de silicium reste dominante, et la mesure imprécise.

Nous proposons donc une stratégie de mesure en température par diodes têtes-bêches, dont le schéma électrique équivalent et la configuration vue en coupe sont représentés Fig. 42b. Deux zones de silicium sont ouvertes, séparées sur une distance inférieure au μm par un matériau isolant. Après siliciuration et retrait sélectif du métal non réagi, deux diodes Schottky sont obtenues, séparées par une zone de silicium. On peut représenter cette disposition par un schéma équivalent constitué de deux diodes têtes-bêches séparées par un gap micrométrique.

L'intérêt principal de cette structure est la diminution de la résistance du silicium R_{Si} du fait des dimensions micrométriques de la séparation entre les diodes, à comparer avec les centaines de microns à parcourir pour les porteurs dans le cas d'un contact en face arrière. De plus, cette structure est très proche d'une architecture de type MOSFET. En particulier, l'injection des porteurs est réalisée sur la portion du siliciure ayant diffusé latéralement sous le contact. Il est raisonnable de penser qu'une injection latérale de porteurs (Fig. 42b) ne sera pas identique à une injection de porteurs verticale (Fig. 42a).

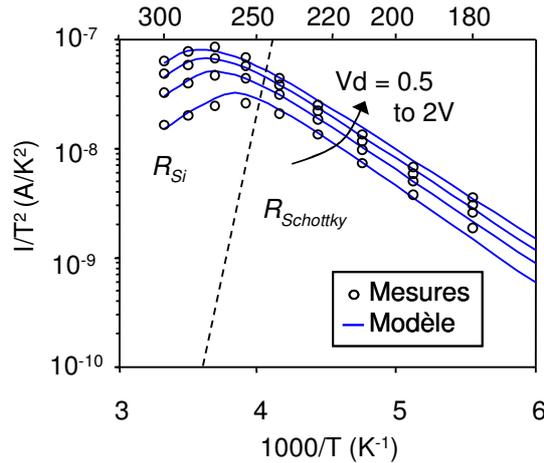


Fig. 43 : Diagramme d'Arrhenius de la caractéristique électrique d'un contact siliciure/semiconducteur pour différentes polarisations. Le courant est limité par le silicium à haute température et par la diode à basse température.

Le principe de la mesure est de réaliser une caractéristique I-V du système de diodes pour différentes températures, comprises entre 300 et 180°K. La mise en forme de ces mesures dans un tracé d'Arrhenius en $I/T^2 = f(1000/T)$ permet de mettre en évidence les différents régimes de fonctionnement du système de diodes têtes-bêches (Fig. 43). Dans la gamme des hautes températures, le système est principalement dominé par la résistance du silicium R_{Si} . Dans le cas présent, cette résistance est décrite par [Dubois04] :

$$R_{Si}(T) = R_{Si}(300) \left(\frac{T}{300} \right)^\alpha \quad \text{eq. II-70}$$

avec T la température de mesure en °K, $R_{Si}(300)$ la valeur de la résistance du silicium à 300°K, et α un coefficient d'ajustement.

Dans la gamme des basses températures, ici pour $T < 250^\circ\text{K}$, la caractéristique suit un comportement linéaire dans le tracé d'Arrhenius. Dans ce cas, le courant est limité par la diode Schottky polarisée en inverse et s'exprime [Dubois04] :

$$\ln \left(\frac{I_R}{T^2} \right) = \ln(SA^*) - \frac{q(\phi_{b,0} - \Delta\phi_b(V_R))}{kT} \quad \text{eq. II-71}$$

avec S la surface d'injection des porteurs, A^* la constante de Richardson, $\phi_{b,0}$ la hauteur de barrière à champ nul, et $\Delta\phi_b$ l'abaissement de barrière par force image. Il est donc possible à partir de la pente de la zone linéaire de déduire la surface d'injection des porteurs et d'extraire la hauteur de barrière.

Nous avons pu fournir en Chapitre II une expression du courant inverse dans une diode dans le cas d'une injection des porteurs par effet thermoélectronique à effet de champ (eq. II-60). Partant de ce formalisme, il est possible d'exprimer J , le courant total de diode défini par:

$$J = J_F - J_R \quad \text{eq. II-72}$$

avec J_F le courant direct et J_R le courant inverse, c'est-à-dire d'après (eq. II-59) :

$$J = J_R \cdot \left[\exp\left(\frac{-qV_R}{kT}\right) - 1 \right] \quad \text{eq. II-73}$$

Par conséquent, connaissant les équations régissant le comportement des éléments du circuit équivalent, il a été développé [Dubois04] un modèle permettant de prévoir le courant dans le circuit décrivant la transition entre le régime ohmique (courant contrôlé par la résistance de silicium) et le régime Schottky (courant contrôlé par la diode). Ce modèle permet l'extraction des paramètres $\phi_{b,0}$ la hauteur de barrière à champ nul, $R_{Si}(300)$ la résistance du silicium à 300°K, α la variable d'ajustement de la résistance du silicium, N_D le niveau de dopage du silicium, et S la surface d'injection effective des porteurs.

Les différentes techniques de caractérisation présentées dans cette partie vont nous permettre d'évaluer les siliciures fabriqués.

II.5 Intégration des siliciures bord-de-bande dans les technologies CMOS : contexte et défis

Dans les paragraphes précédents, nous avons décrit les propriétés de l'interface siliciure/silicium, afin de comprendre la nature physique de la hauteur de barrière Schottky. Aussi avons-nous présenté un formalisme complet permettant de modéliser l'injection des porteurs à travers la barrière Schottky.

Dans cette partie, nous replaçons ces siliciures bord de bande dans la perspective d'une intégration sur transistor. En effet, de nombreux paramètres doivent être pris en compte afin de pouvoir améliorer les performances d'une technologie CMOS, qui vont bien au delà de la réduction de la hauteur de barrière. Ces paramètres sont discutés dans cette partie.

II.5.1 Contexte d'intégration des siliciures

Les siliciures ont été intensément étudiés notamment pour la haute stabilité thermique des siliciures réfractaires (WSi_2 , $TiSi_2$, $MoSi_2$, $TaSi_2$). Depuis les années 80, l'étude des siliciures dans le cadre des applications en microélectronique s'est accélérée du fait de leur potentiel pour les métallisations de contact. Nous présentons en Fig. 44 un résultat de simulation obtenu par [Cacho05] montrant un substrat de silicium contacté par un plot métallique afin d'acheminer le courant électrique jusqu'à un dispositif MOS. Les résultats de simulation mettent en évidence de manière graphique les lignes de courant dans les zones source et drain du transistors, et soulignent ainsi la réduction importante de la résistance d'accès grâce au siliciure qui permet de maintenir les porteurs dans une couche métallique de faible résistivité.

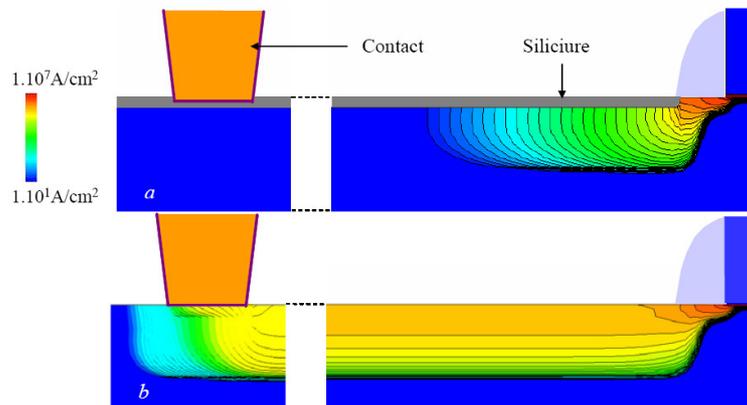


Fig. 44 : Lignes de courant de zones source/drain d'un transistor CMOS pour un contact métallique déporté dans le cas d'un contact siliciuré (haut) et non siliciuré (bas). Le siliciure permet de confiner les lignes de champ près du canal, diminuant ainsi la résistance d'accès [Cacho05].

Cette figure nous permet de définir les propriétés essentielles d'un siliciure. Un tel matériau doit tout d'abord répondre à des contraintes thermiques. Dans l'optique de la réduction des budgets thermiques pour les technologies CMOS les plus avancées, le siliciure doit pouvoir être formé à basse température. Par ailleurs, afin de subir les traitements thermiques ultérieurs et notamment ceux du back-end, le siliciure doit être stable à haute température.

Un des rôles essentiels du siliciure est d'acheminer le courant du plot de contact métallique aux jonctions dopées. Par conséquent, il doit présenter une faible résistivité électrique.

D'une part, le siliciure est intégré sur des transistors nanométriques, et doit donc démontrer une bonne morphologie en couche mince. D'autre part, la siliciuration de la grille doit être étudiée attentivement, de manière à éviter des effets de ligne étroite (*Narrow Line Effect*). Ces différents effets vont être détaillés dans les paragraphes suivants.

Prenant en compte ces contraintes, le choix des siliciures utilisables en micro-électronique est considérablement restreint. Les siliciures *mid-gap* (par ordre chronologique de mise en production $TiSi_2$, le $CoSi_2$, et $NiSi$), ont été majoritairement utilisés dans les technologies CMOS. Dans cette partie, nous replaçons l'état de l'art des connaissances concernant ces siliciures, en les complétant avec les siliciures band-edge ($PtSi$, $IrSi$, et terres rares).

II.5.2 Température de formation et Espèce Diffusante Dominante

Métal	Siliciure	Température de Formation (°C)	Température de Fusion (°C)	Espèce Diffusante Dominante	Mécanisme de Formation
Ti	$TiSi_2$	700-900	1500	Si	Nucléation
Co	Co_2Si	300-450	1330	Co	Diffusion
	$CoSi$	460-650	1460	Si	Diffusion
	$CoSi_2$	650-900	1326	Co	Nucléation
Ni	Ni_2Si	200-350	1255	Ni	Diffusion
	$NiSi$	350-750	992	Ni	Diffusion
	$NiSi_2$	790-900	993	Ni	Nucléation
Pt	Pt_2Si	200-300	1372	Pt	Diffusion
	$PtSi$	300-450	1502	Si	Diffusion
Ir	$IrSi$	400-550	-	Si	Diffusion
Er	$ErSi_{1.8}$	500	-	Si	Nucléation
Yb	$YbSi_{1.8}$	500	-	Si	Nucléation

Tableau 2 : Propriétés de formation des siliciures couramment utilisés en microélectronique, d'après [Maex95], [Baglin81].

Dans le tableau 2 sont résumées les propriétés essentielles caractérisant la formation des siliciures. La haute température de fusion des siliciures donne une bonne idée de leur stabilité thermique. De ce fait, $TiSi_2$ a été initialement utilisé dans les technologies CMOS micrométriques. Toutefois, la formation de ce siliciure par nucléation n'est pas favorable à la siliciuration de structures de petites tailles. [Jeon92] a montré une forte augmentation de la résistance pour des largeurs de grilles inférieures à $0,5\mu m$. Par conséquent, $TiSi_2$ a été

remplacé par CoSi_2 . Ce siliciure présente cependant une forte consommation de silicium pendant sa formation.

Par conséquent, le siliciure de nickel NiSi est aujourd'hui intégré sur les technologies MOSFET les plus avancées (nœud 65nm et en dessous). Malgré ses bonnes propriétés sur grilles courtes, et sa faible température de formation, le NiSi pose aujourd'hui des problèmes sérieux de stabilité thermique. En particulier, nous montrons en Fig. 45 que la phase NiSi devient instable pour des températures de recuit supérieures à 500°C . Cet effet pose d'évidents problèmes d'intégration.

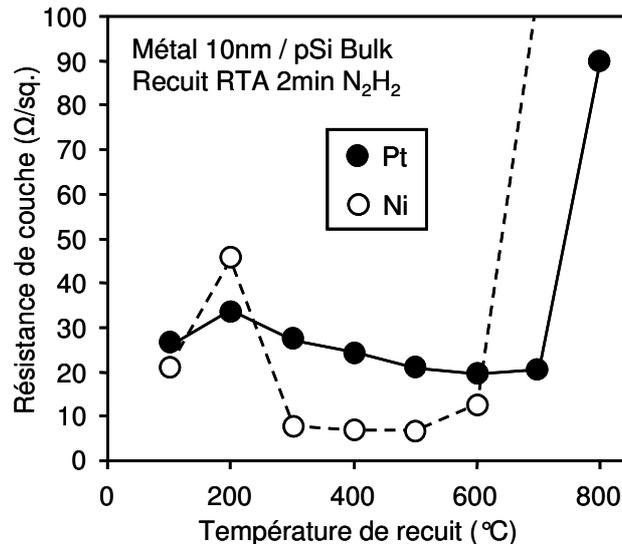


Fig. 45 : Courbes de transformation d'échantillons $\text{Pt}(10\text{nm})/\text{Si}$ et $\text{Ni}(10\text{nm})/\text{Si}$ (nos travaux).

Une intense activité de recherche est donc en cours actuellement pour l'amélioration de la stabilité thermique du NiSi . Parmi ces travaux, on peut citer [Mangelinck99] qui a pu mettre en évidence l'intérêt d'ajouter du Pt au NiSi de manière à repousser la température critique de nucléation. De manière générale, l'ajout d'un métal de transition (Ti, Ta, W) dans le nickel métallique déposé améliore la stabilité thermique du siliciure [Deduytsche07].

La Fig. 45 met en évidence la bonne stabilité thermique du PtSi . Alors que l'agglomération de NiSi_2 commence dès 600°C , le PtSi reste stable jusqu'à 700°C . D'autre part, les siliciures de terres rares ($\text{ErSi}_{1,8}$, $\text{YbSi}_{1,8}$) sont connus pour rester stables jusqu'à des températures élevées, de l'ordre de 700°C [Baglin80]. Par conséquent, les siliciures *band-edge* apparaissent comme des candidats intéressants d'un point de vue de la stabilité thermique.

II.5.3 Résistivité

La résistivité des siliciures constitue un critère essentiel pour leur intégration dans les technologies CMOS. Si une très faible résistivité ne permet pas nécessairement d'améliorer le courant passant d'un transistor (limité par la résistance du canal), il est évident qu'une résistivité trop élevée le dégrade.

Métal	Siliciure	Résistivité minimale observée ($\mu\Omega\text{-cm}$)
Ti	TiSi ₂ C54	13
	TiSi ₂ C49	96
Co	Co ₂ Si	110
	CoSi	147
	CoSi ₂	15
Ni	Ni ₂ Si	24
	NiSi	10.5
	NiSi ₂	34
Pt	Pt₂Si	30
	PtSi	28
Er	ErSi_{1.7}	50
Yb	YbSi_{1.7}	40

Tableau 3 : Résistivité minimale observées de différents siliciures, d'après [Maex95], [Ottaviani81], [Zhu04].

La résistivité du siliciure est principalement influencée par des propriétés du substrat (cristallin, polycristallin, amorphe), le type et la concentration des espèces dopantes, la qualité de l'interface siliciure/silicium, l'épaisseur de métal déposé, et les conditions de réaction et de recuit. Les siliciures formés sont généralement poly-cristallins. Dans ce cas, la taille des grains du siliciure joue un rôle important. Les résistivités des siliciures couramment utilisés en microélectronique sont présentées dans le tableau 3.

Les siliciures *mid-gap* présentent une résistivité en volume de l'ordre de 10-15 $\mu\Omega\text{.cm}$. Les siliciures *band-edge* montrent des résistivités 3 à 5 fois plus élevées (30-50 $\mu\Omega\text{.cm}$). Toutefois, cette augmentation est à mettre en regard avec le gain en courant prévu sur la résistance de contact. En effet, la diminution de la hauteur de barrière entraîne une réduction exponentielle de la résistance de contact, alors que l'augmentation de la résistance de la région siliciurée dépend linéairement de la résistivité du siliciure. Par ailleurs, la longueur de la zone siliciurée est diminuée à chaque nœud technologique, ce qui impacte d'autant sa résistance.

II.5.4 Consommation de silicium pendant la siliciuration

Il est intéressant d'observer la consommation de silicium provoquée par la siliciuration. Nous avons déjà rappelé les problèmes posés par la forte consommation de silicium lors de la formation de CoSi₂ (3,61nm de Si pour 1nm de Co déposé) Fig. 46. Les siliciures TiSi₂ et NiSi présentent des consommations de silicium relativement proches, de 2,22 et 1,83nm, respectivement. Par contre, PtSi consomme 1,32nm de silicium, soit une diminution de 28% par rapport au NiSi. De plus, PtSi a tendance à ne pas pénétrer dans le substrat. Cette propriété est particulièrement intéressante, puisqu'elle permet d'obtenir des

couches de siliciures plus épaisses et donc moins résistives, sans toutefois pénétrer trop profond dans les jonctions dopées source et drain.

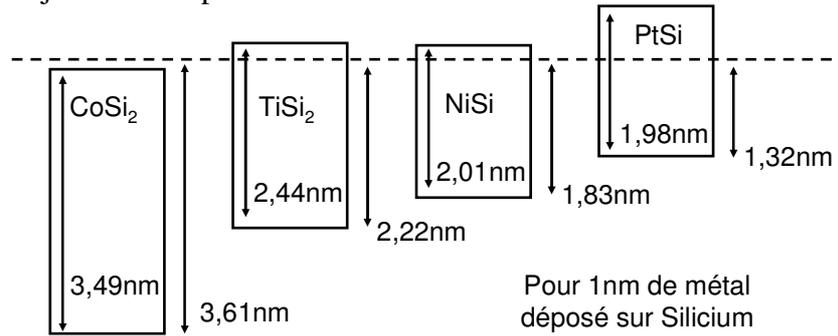


Fig. 46 : Epaisseur et pénétration dans le silicium des siliciures couramment utilisés en microélectronique pour 1nm de métal déposé.

En considérant une même profondeur de siliciuration $t_{Silicium}$, et en utilisant les résistivités ρ définies précédemment, on peut exprimer les résistances de couche R_s pour PtSi et NiSi de la manière suivante :

$$\frac{R_s(PtSi)}{R_s(NiSi)} = 0,72 \cdot \frac{\rho(PtSi)}{\rho(NiSi)} \quad \text{eq. II-74}$$

$$\text{avec } R_s = \frac{\rho}{t_{siliciure}} \quad \text{eq. II-75}$$

ce qui donne un rapport de résistance de couche :

$$\frac{R_s(PtSi)}{R_s(NiSi)} = 1,93 \quad \text{eq. II-76}$$

On voit donc que la consommation faible de silicium par le PtSi compense en partie la résistivité plus élevée. PtSi présente finalement une résistance 1,93 fois plus élevée que NiSi. Peu de données expérimentales existent en ce qui concerne les siliciures de terres rares. Il nous est donc difficile de fournir des comparaisons adaptées.

II.5.5 Intégration sur architecture CMOS par la technologie SALICIDE

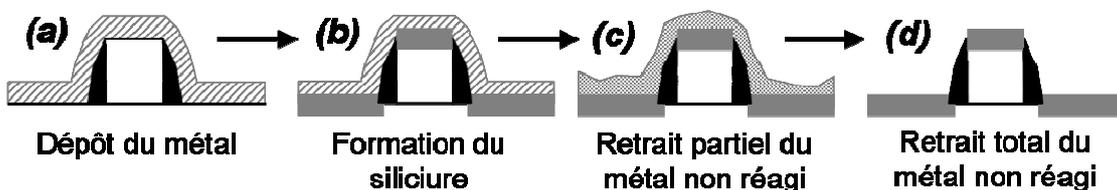


Fig. 47 : Enchaînement des étapes du procédé d'intégration auto-alignée d'un siliciure, après dépôt du métal (a), formation du siliciure (b), et retrait partiel (c) et total (d) du métal non réagi.

Les siliciures sont actuellement intégrés sur les architectures CMOS grâce à une technique auto-alignée dite SALICIDE pour *Self ALigned siliCIDE.*, dont le principe est présenté en Fig. 47. Après un nettoyage de surface approprié, le métal est déposé (Fig. 47a), puis un recuit est réalisé afin de former le siliciure sur les zones de silicium (Fig. 47b). L'échantillon est ensuite plongé dans un bain chimique présentant une sélectivité de gravure

entre le métal et son siliciure. Dans le cas du couple Ni/NiSi par exemple, un bain de SPM (Sulfuric Peroxide Mixture $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2$) présente cette sélectivité et est couramment utilisé. Le métal non réagi est ainsi retiré (Fig. 47c,d).

Dans les chapitres suivants, nous verrons que cette étape d'intégration auto-alignée est la plus critique pour les siliciures bord de bande. Les siliciures de terre rare présentent une forte réactivité avec le SiO_2 et présentent des risques de siliciuration des zones STI. D'autre part, le platine et l'iridium sont connus pour leur faible réactivité chimique. Nous verrons que ces matériaux sont particulièrement difficiles à graver.

II.6 Conclusion

Nous avons présenté dans ce chapitre les différents mécanismes de formation des siliciures. Si les siliciures de platine et d'iridium sont formés par un mécanisme de diffusion, les siliciures de terres rares apparaissent grâce à un mécanisme de nucléation. Les différentes théories expliquant la nature physique du Fermi Level Pinning ont été explicitées. A partir de ces différents modèles, nous avons présenté des méthodes publiées dans la littérature – *valence-mending* et ségrégation de dopants – permettant de mettre en place une ingénierie des hauteurs de barrière. Un formalisme mathématique décrivant les mécanismes d'injection des porteurs à travers une barrière Schottky a pu être développé, nous permettant de concevoir une méthode de mesure des faibles hauteurs de barrière grâce à une structure de diodes têtes-bêches. Finalement, les différentes propriétés d'un siliciure nécessaire pour l'intégration dans une technologie CMOS ont été définies.

L'ensemble de ce chapitre met en évidence les particularités des siliciures bord de bande et leur diversité. Il nous permet de poser une base théorique et empirique formée de connaissances transversales de ces matériaux afin de mener à bien leur étude dans les chapitres suivants.

II.7 Références du chapitre II

- [Andrews75] J.M. Andrews and J.C. Philips, *Phys. Rev. Lett.* **35**, 56 (1975).
- [Angelillo80a] J. Angilello, F.M. d'Heurle, C.S. Peterson, and A. Segmüller, « Observations of stresses in thin films of palladium and platinum silicides on silicon », *J. Vac. Sci. Technol.* **17**, 471 (1980).
- [Angelillo80b] J. Angilello, J.E. Baglin, F.M. d'Heurle, C.S. Peterson, and A. Segmüller, in *Thin Film Interfaces and Interactions*, edited by J.E. Baglin and J. Poate (The Electrochemical Society, Princeton, NJ, 1980), p. 369.
- [Baglin80] J.E. Baglin, F.M. d'Heurle, and C.S. Petersson, « The formation of silicides from thin films of some rare-earth metals », *Appl. Phys. Lett.* **36**, 594 (1980).
- [Baglin81] J.E. Baglin, F.M. d'Heurle, and C.S. Petersson, “ Diffusion marker experiments with rare-earth silicides and germanides : Relative mobilities of the two atom species”, *J. Appl. Phys.* **52**, 2841 (1981).
- [Braun1874] F. Braun, « The Electric Conductivity of Fused Salts », *Pogg. Ann.*, **153**, 556 (1874).
- [Bucher80] E. Bucher, S. Schulz, M. Ch. Lux-Steiner, P. Munz, U. Gubler, and F. Greuter, *Appl. Phys. A* **40**, 71 (1986).
- [Cacho] F. Cacho « Etude et simulation de la siliciuration du nickel: Application dans les technologies MOS » Thèse de doctorat, Ecole des Mines de Paris, 2005. Disponible sur: <http://pastel.paristech.org/1752/01/Cacho.pdf> .
- [Crowell69] C.R. Crowell and V.L. Rideout, « Normalized Thermionic-Field (T-F) Emission in Metal-Semiconductor (Schottky) Barriers », *Solid State Electron.* **12**, 89 (1969).
- [Deal65] B. E. Deal and A. S. Grove, « General Relationship for the Thermal Oxidation of Silicon », *J. Appl. Phys.* **36**, 3770 (1965).
- [Deduytsche07] D. Deduytsche, C. Detavernier, R. L. Van Meirhaeghe, J. L. Jordan-Sweet and C. Lavoie, « Formation and morphological stability of NiSi in the presence of W, Ti, and Ta alloying elements », *J. Appl. Phys.* **101**, 044508 (2007).
- [Dubois04] E. Dubois and G. Larrieu, « Measurement of low Schottky barrier heights applied to metallic source/drain metal–oxide–semiconductor field effect transistors », *J. Appl. Phys.* **96**, 729 (2004).
- [Drummond99] T. J. Drummond, “Work Functions of the Transition Metals and Metal Silicides”, US Gov report from Sandia National Laboratories, (1999)
- [Dybkov86] V.I. Dybkov « Reaction diffusion in heterogeneous binary systems. II. Growth of the chemical compound layers at the interface between two elementary substances ; two compound layers. » *Journal of Material Science*, **21**, 3085 (1986).

[Froment04] B. Froment « NiSi Silicide 65nm. Transfer Crolles 1 to Crolles 2 », Internal Report, November 2002.

[Gobeli65] G.W. Gobeli and F.G. Allen, « Photoelectric Properties of Cleaved GaAs, GaSb, InAs, and InSb Surfaces ; Comparison with Si and Ge », *Phys. Rev.* **137**, A245 (1965).

[Heine65] V. Heine, *Phys. Rev.* **A138**, 1689 (1965)

[d'Heurle88] F.M. d'Heurle, “Nucleation of a new pahse from the interaction of two adjacent phases : Some silicides”, *J. Mater. Res.* **3**, pp. 167-195 (1988).

[d'Heurle86] F.M. d'Heurle and P. Gas, “Kinetics of formation of silicides : A review”, *J. Mater. Res.* **1**, pp. 205-219.

[Jeon92] H. Jeon, C. A. Sukov, J. W. Honeycutt, G. A. Rozgonyi, and R. J. Nemanich, *J. Appl. Phys.* **71**, 4296 (1992).

[Kaxiras91] E. Kaxiras, “Semiconductor-surface restoration by valence-mending adsorbates: Application to Si(100):S and Si(100):Se”, *Phys. Rev. B* **43**, 6824 (1991).

[Kurtin69] S. Kurtin, T.C McGill, and C.A. Mead, « Fundamental transistion in the electronic nature of solids », *Phys. Rev. Lett.* **22**, 1433 (1969).

[Louie65] S.G. Louie, M.L. Cohen, *Phys. Rev. Lett.* **35**, 866 (1975).

[Lu02] J.P. Lu, D. Miles, J. Zhao, A. Gurba, Y. Xu, C. Lin, M. Hewson, J. Ruan, L. Tsung, R. Kuan, T. Grider, D. Mercer, C. Montgomery, « A Novel Nickel SALICIDE Process Technology for CMOS Devices with sub-40nm Physical Gate Length », *International Electron Device Meeting Technical Digest*, pp 371-374, (2002).

[Maex95] K. Maex, M. Van Rossum, « Properties of Metal Silicies », *EMIS Data Reviews*, vol. 14, INSPEC, 1995.

[Mangelinck99] D. Mangelinck, J. Y. Dai, J. S. Pan, and S. K. Lahiri, “Enhancement of thermal stability of NiSi films on (100)Si and (111)Si by Pt addition”, *Appl. Phys. Lett.* **75**, 1736 (1999).

[Mott38] N.F. Mott, « Note on the contact between a metal and an insulator or semiconductor », *Proc. Cambridge Philos. Soc.* **34**, 568 (1938).

[Ottaviani81] G. Ottaviani, K. N. Tu, and J. W. Mayer, « Barrier heights and silicide formation for Ni, Pd, and Pt on silicon », *Phys. Rev. B* **24**, 3354 - 3359 (1981).

[Pauling60] L. Pauling, « Nature of the Chemical Bond and the Structure of Molecules and Crystals : An Inroduction to Modern Structural Chemistry », Cornell Univ. Press, Ithica, N.Y., 1960. p. 91

[Poate74] J.M. Poate and T.C. Tisone, « Platinum silicide formation on silicon », *Appl. Phys. Lett.*, **24**, 8 (1974).

- [Schottky38] W. Schottky, « Halbleiterttheorie der Sperrschicht », *Naturwissenschaften* **26**, 843 (1938).
- [Schottky40] W. Schottky, « Discrepancies in Ohm's laws in semiconductor », *Phys. Z.* **41**, 570 (1940).
- [Sze81] S. M. Sze, « Physics of Semiconductor Devices », 2^e édition, Ch. 5., pp. 259-265, Wiley, New York (1981).
- [Tsauro80] B.Y. Tsauro and L.S. Hung, « Ion-beam-induced modifications of silicide formation in rare-earth metals : Er-Si and Tb-Si systems », *Appl. Phys. Lett* **37**, 922 (1980).
- [Tersoff84] J. Tersoff, « Schottky Barrier Heights and the Continuum of Gap States », *Phys. Rev. Lett.* **52**, 465 (1984).
- [Thompson81] R.D. Thompson, B.Y. Tsauro, and K.N. Tu, « Contact reaction between Si and rare earth metals », *Appl. Phys. Lett.* **38**, 535 (1981).
- [Tove83] P.A. Tove, « Simple dipole model for barrier heights silicide-silicon and metal-silicon barriers », *Surf. Sci.* **132**, 336 (1983).
- [Tung01] R.T. Tung, « Recent advances in Schottky barrier concepts », *Mater. Sci. Eng.*, **R 35**, 1 (2001)
- [Yamauchi06] T. Yamauchi, A. Kinoshita, Y. Tsuchiya, J. Koga, and K. Kato, "1 nm NiSi/Si junction design based on first-principle calculation for ultimately low contact resistance," in IEDM Tech. Dig., 2006, pp. 385–388.
- [Zhang05] Z Zhang, Z Qiu, R Liu, M Ostling, and SL Zhang, "Schottky-Barrier Height Tuning by Means of Ion Implantation Into Preformed Silicide Films Followed by Drive-In Anneal", *IEEE El. Dev. Lett.* **28**, p. 565 (2005).
- [Zhao05] QT Zhao, U Breuer, E Rije, S Lenk, and S Mantl, "Tuning of NiSi/Si Schottky barrier heights by sulfur segregation during Ni silicidation", *Appl. Phys. Lett.* **86**, 062108 (2005).
- [Zhu04] S. Zhu, J. Chen, M.F. Li, S.J. Lee, J. Singh, C.X. Zhu, A. Du, C.H. Tung, A. Chin, D.L. Kwong, « N-type Schottky barrier source/drain MOSFET using ytterbium silicide », *Elec. Dev. Lett.* **25**, 565 (2004).

Chapitre III

Fabrication et Caractérisation du siliciure d'erbium et du siliciure de platine

Ce troisième chapitre débute par une présentation des techniques et des équipements utilisés pour la fabrication du siliciure d'erbium et du siliciure de platine. Le développement d'un équipement permettant de réaliser un enchaînement du dépôt et du recuit du siliciure sans quitter les conditions d'ultra vide, permettant de s'affranchir de la forte réactivité de l'erbium avec l'oxygène, est détaillé. Dans une deuxième partie, les méthodes de caractérisation physique utilisées sont analysées. La troisième partie est consacrée à la présentation des résultats expérimentaux concernant le siliciure d'erbium. Le procédé de fabrication est optimisé en tenant compte des paramètres morphologiques et électriques du matériau. Les résultats essentiels obtenus lors de l'étude du siliciure de platine soutenus par une caractérisation des différentes propriétés du matériau sont présentés. En conclusion de ce chapitre, le potentiel offert par les techniques de ségrégation de dopants lors de la siliciuration du platine est démontré.

III.1 Techniques de fabrication des siliciures band-edge

Nous avons pu mettre en évidence dans les deux parties précédentes l'intérêt que présente une étude détaillée des siliciures band-edge pour les technologies CMOS. Nous allons présenter dans ce paragraphe les différentes techniques de fabrication mises en œuvre dans le cas des siliciures de type p (PtSi), et des siliciures de type n (ErSi_{1.8}).

III.1.1 Equipements utilisés pour le dépôt de métal et le recuit de siliciuration

Les matériaux étudiés, en particulier les terres rares telles que l'erbium sont particulièrement sensibles au contact à l'atmosphère et s'oxydent rapidement. Une solution couramment utilisée pour éviter ce problème consiste à déposer une barrière à la diffusion de l'oxygène en TiN après le dépôt d'Er. Nous proposons dans cette partie une méthode alternative, consistant à réaliser une séquence de dépôt de métal immédiatement suivie par un recuit sans quitter les conditions d'ultra-vide. Cette méthode nous permet de nous affranchir de toute incertitude liée à une réaction parasite entre l'Er et le TiN.

III.1.1.1 Equipement de dépôt métallique et de recuit séquentiel sous Ultra-Vide

Nous représentons en *Fig. 48* le schéma de principe de l'équipement utilisé pour la réalisation des dépôts métalliques. Cet équipement a été conçu, fabriqué et installé dans la salle blanche de l'IEMN dans le cadre de cette thèse et du projet européen METAMOS. Il se compose de trois parties principales, la chambre d'introduction, l'enceinte d'évaporation, et la chambre de recuit.

La chambre d'introduction permet de charger les échantillons sans avoir à mettre l'enceinte d'évaporation en contact avec l'atmosphère. Un générateur de plasma, à tension continue couplé à une vanne d'arrivée d'argon est présent dans la chambre d'introduction. Sous atmosphère d'argon dans la chambre, deux électrodes permettent d'amorcer un plasma continu. Une troisième électrode, la grille, permet d'accélérer vers l'échantillon les ions Ar⁺ générés dans le plasma. Cette attaque physique est mise en œuvre à très basse énergie, et permet de nettoyer la surface des échantillons des contaminations résiduelles introduites durant le transfert du bain de nettoyage chimique vers l'équipement. Afin de réduire les risques de contamination, le plasma est amorcé lorsque le vide obtenu par pompage turbo dans la chambre d'introduction atteint 1×10^{-7} mbar.

Une fois nettoyé, l'échantillon est transféré dans l'enceinte d'évaporation. Cette chambre est maintenue sous ultra-vide (1×10^{-9} mbar) par pompage cryogénique. La source métallique est placée à environ 1 mètre de l'échantillon. Un canon à électron est focalisé sur la cible métallique, et permet de chauffer celle-ci localement jusqu'à en obtenir l'évaporation. Du fait de la position de la cible et de sa distance à l'échantillon, l'angle de dépôt métallique par rapport à la normale d'un l'échantillon placé en position horizontale est très faible. Le dépôt par évaporation est donc un procédé anisotrope. Six cibles métalliques différentes sont

disponibles dans l'équipement. L'échantillon étant fixé sur un support permettant un angle d'inclinaison (tilt), ainsi qu'un mouvement de rotation de vitesse variable.

Il est possible de réaliser un traitement thermique dans la chambre de recuit, avant ou après l'étape d'évaporation métallique sans briser les conditions d'ultra vide. L'échantillon est placé sous une série de résistances chauffantes entourées de Nitrure de Bore, permettant de réaliser des recuits de 300 à 700°C, pendant plusieurs dizaines de minutes. Un thermocouple en contact avec le porte-échantillon donne une mesure de la température pendant le recuit. Les rampes de montées en température sont de l'ordre de 20°C/min.

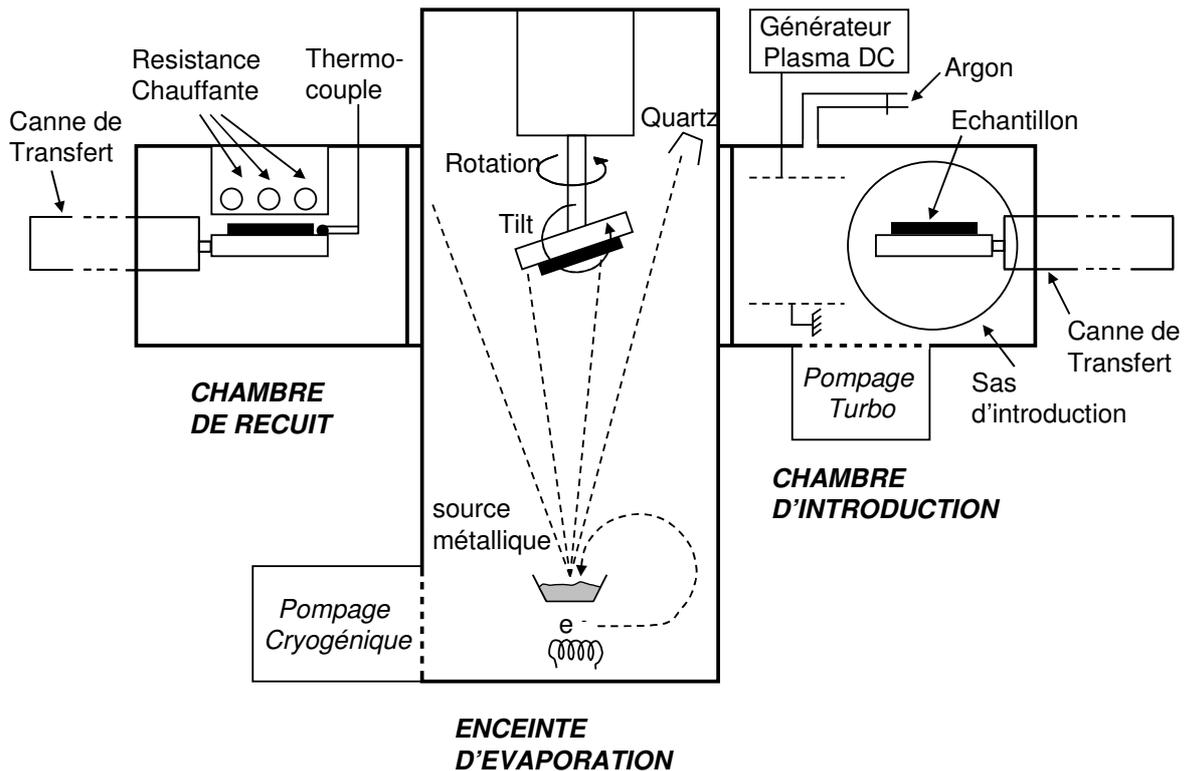


Fig. 48 : Schéma de principe de l'équipement d'évaporation utilisé pour les dépôts de métal. Il se compose principalement d'une chambre d'introduction permettant un nettoyage par plasma d'Ar, d'une enceinte d'évaporation et d'une chambre de recuit.

Nous voyons que cet équipement permet de nettoyer l'échantillon, de déposer un métal et de réaliser des traitements thermiques sans quitter les conditions d'ultra-vide. Toutefois, le recuit sous ultra-vide est un procédé long, du fait des quelques heures nécessaires à la descente en température imposées par la grande inertie thermique de la chambre de recuit. Ces contraintes ne justifient l'utilisation du recuit sous ultra-vide que dans le cadre d'applications spécifiques, comme dans le cas des siliciures de terres rares. Dans les autres cas, le recuit peut-être réalisé *ex-situ* dans un four de recuit rapide.

III.1.1.2 Four de recuit rapide à lampes

Le four de recuit rapide à lampes RTA (Rapid Thermal Annealing), permet des montées en température de l'ordre de 20°C/sec. Des recuits jusqu'à des températures de 800°C pendant plusieurs minutes sont possibles. Le temps de procédé complet est généralement de 10 minutes.

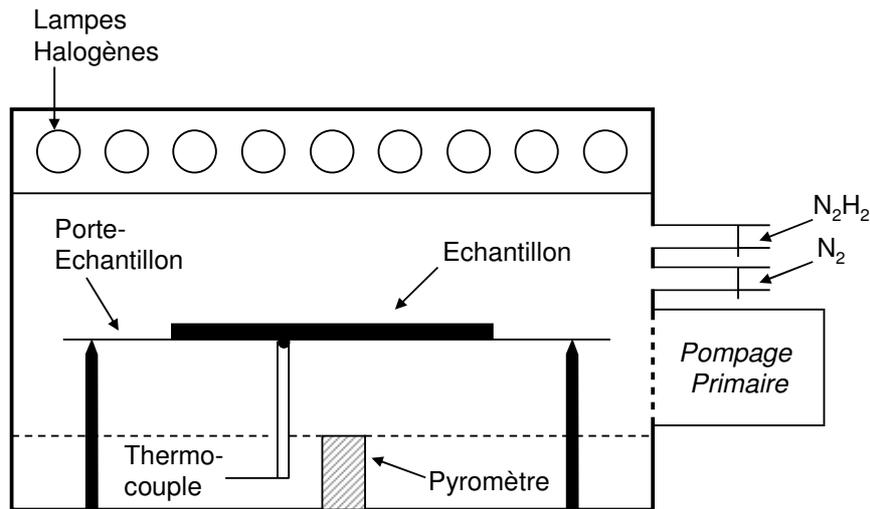


Fig. 49 : Schéma de principe de la chambre de recuit RTA. Le chauffage est réalisé grâce à des lampes halogènes dans une enceinte maintenue sous gaz réducteur. La température est mesurée en face arrière de l'échantillon par thermocouple ou pyromètre.

Un porte-échantillon, constitué d'un substrat monocristallin de silicium 4 pouces, est maintenu sur trois points (Fig. 49). La mesure de température est réalisée grâce à un thermocouple venant contacter le porte-échantillon en face arrière, ainsi que par une mesure pyrométrique face arrière. Du fait de sa précision limitée pour les températures inférieures à 300°C, la mesure pyrométrique est utilisée uniquement de manière indicative. La chambre de recuit est reliée à un système de pompage primaire permettant d'atteindre un vide inférieur à 1 mbar. Deux arrivées de gaz sont disponibles, l'azote (N_2) et l'azote hydrogéné ($N_2:H_2;95:5$).

L'échantillon est manuellement chargé, et la chambre de recuit est en contact avec l'atmosphère lors du chargement. Cependant, des cycles de pompage alternés avec un remplissage en gaz neutre permet de réduire significativement la concentration d'oxygène dans la chambre.

Une série de lampes halogènes commerciales est disposée au dessus de l'échantillon, et isolée par une paroi vitrée permettant un transfert de chaleur radiatif. La puissance de chauffe est régulée via une mesure de la température.

III.1.2 Séquence de fabrication des siliciures band-edge

Les deux types de métaux permettant la fabrication de siliciures band-edge, terres rares d'un côté (siliciures de type n), platine et iridium de l'autre (siliciures de type p) présentent des comportements chimiques extrêmement différents. Le platine est un métal de transition quasi-noble, dont les propriétés proches de celles de l'or, lui donnent une très grande stabilité chimique. Par conséquent le platine est très peu réactif en général, à l'oxygène en particulier. A titre d'exemple, [Bartlett69] a pu montrer que l'oxydation du platine sous O_2 débute pour des températures de l'ordre de 800°C. Au contraire, les métaux de terres rares (Er, Yb) sont connus pour leur forte sensibilité à l'oxygène. Au contact avec l'atmosphère, ces matériaux s'oxydent presque instantanément sur une épaisseur de plusieurs microns.

Par conséquent, considérant les équipements à notre disposition, nous avons pu mettre en place différentes approches technologiques pour la fabrication des siliciures. Les deux schémas d'intégration présentés en (Fig. 50) débutent par des étapes identiques. Dans un premier temps, après avoir été désoxydés dans un bain d'acide fluorhydrique (HF 1%), les

substrats de Si monocristallin (100) sont chargés dans le sas d'introduction de l'équipement d'évaporation métallique. Une fois un vide de l'ordre de 1×10^{-7} mbar atteint, un plasma d'Ar est amorcé de manière à réaliser un nettoyage *in-situ* de la surface de silicium. Les échantillons sont ensuite transférés dans la chambre de dépôt, dans laquelle une épaisseur de quelques dizaines de nanomètres de métal est déposée par évaporation.

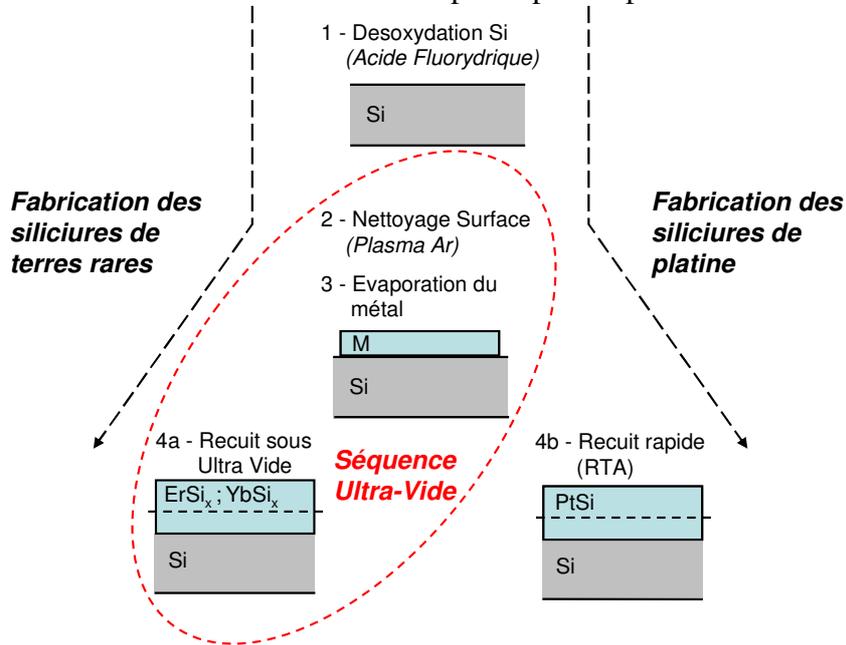


Fig. 50 : Schéma de fabrication des siliciures de terres rares et des siliciures de platine. Dans le cas des terres rares, le nettoyage, l'évaporation métallique et le recuit sont réalisés en restant sous ultra-vide, afin de s'affranchir de toute contamination à l'oxygène.

Dans le cas du siliciure d'erbium, les échantillons sont recuits après dépôt du métal sans quitter les conditions d'ultra-vide. Pour la formation de PtSi, les échantillons sont déchargés de l'équipement après dépôt du Pt, et les siliciures sont formés *ex-situ* dans un four de recuit rapide à lampes (RTA).

III.2 Méthodes de caractérisation physique

III.2.1 Observations Morphologiques : Microscopies Electronique à Balayage (MEB) et à Transmission (MET)

Les techniques d'imagerie électronique offrent un puissant outil d'observation morphologique, voire d'analyse cristallographique dans le cas du TEM. L'intérêt principal de ces méthodes réside dans l'utilisation d'électrons à moyenne (5-20 keV pour le MEB) ou haute énergie (100-400keV pour le MET). La longueur d'onde de [de Broglie23] pour les électrons, définie comme $\lambda_e \text{ (en nm)} = 1.22 / V^{1/2}$, est de 0.012nm pour une énergie de 10keV, soit une valeur de plusieurs ordres de grandeur inférieure à la lumière dans le visible (400-700nm). De ce fait, la résolution de l'analyse permet d'accéder aux dimensions nanométriques, voire atomiques dans le cas du TEM à haute résolution.

III.2.1.1 Microscope Electronique à Balayage (MEB)

La Fig. 51a montre que le schéma de principe d'un MEB est très proche de celui d'un microscope optique. Une source solide soumise à un effet de champ constitue le canon, et permet une émission d'électrons focalisés, accélérés à une énergie caractéristique. Les différents organes du microscope permettent en utilisant lentilles électroniques (électro-aimants) ou déflecteurs (plaques métalliques polarisées) d'obtenir un faisceau électronique focalisé sur l'échantillon.

L'interaction du faisceau électronique avec la surface de l'échantillon provoque l'éjection d'électrons secondaires, d'électrons rétrodiffusés, et l'émission de photons X. L'analyse de ces différentes émissions permet d'obtenir des informations sur la structure de l'échantillon. Le balayage de la surface par le faisceau électronique permet de coupler l'intensité du signal obtenu par l'une des méthodes de détection à la position spatiale du faisceau. Il est alors possible de reconstruire une image de la surface. En imagerie MEB, il n'existe donc pas d'image directe au sens optique du terme, ce qui permet d'obtenir une très bonne profondeur de champ.

Les électrons secondaires sont les plus couramment utilisés pour l'imagerie MEB, et sont collectés grâce à un photomultiplicateur. Ils permettent principalement d'observer les variations topographiques de la surface.

A la différence des électrons secondaires, les électrons rétrodiffusés sont directionnels. Ils permettent d'imager le relief des structures observées. Leur intensité est fonction du numéro atomique Z de l'élément observé.

Certains électrons éjectés de l'échantillon proviennent des niveaux de cœur des atomes de surface. Les niveaux vacants sont repeuplés par des électrons des couches supérieures, donnant lieu à une émission d'électron Auger, ou à l'émission d'un photon X. Dans les deux cas, l'énergie de la particule réémise est égale à l'énergie de transition entre les niveaux électroniques de la couche supérieure vers la couche de cœur. Cette énergie est donc caractéristique de l'atome étudié. Nous décrirons dans les lignes suivantes les méthodes d'analyse spectroscopique des photons X.

En Fig. 51b est représentée la poire d'interaction électronique observée pour des éléments de numéro atomique $Z \leq 15$. Seuls les électrons Auger et les électrons secondaires permettent une analyse réellement surfacique. Dans le cas du silicium, la profondeur de la poire de diffraction R_e est donnée par $R_e(\text{Si}) \text{ (en cm)} = 1.84 \times 10^{-6} (E \text{ en keV})^{1.75}$, soit environ $1\mu\text{m}$ pour une énergie de 10keV . Par conséquent, les électrons rétrodiffusés permettent de caractériser l'échantillon sur une profondeur plus importante que les électrons secondaires, de même que les analyses des photons X. Par ailleurs, le volume d'émission des photons X étant bien plus important que celui des électrons Auger, l'analyse spectrométrique basée sur les photons X est plus facile à mettre en œuvre et est généralement plus utilisée. Toutefois, l'analyse Auger permet une meilleure résolution.

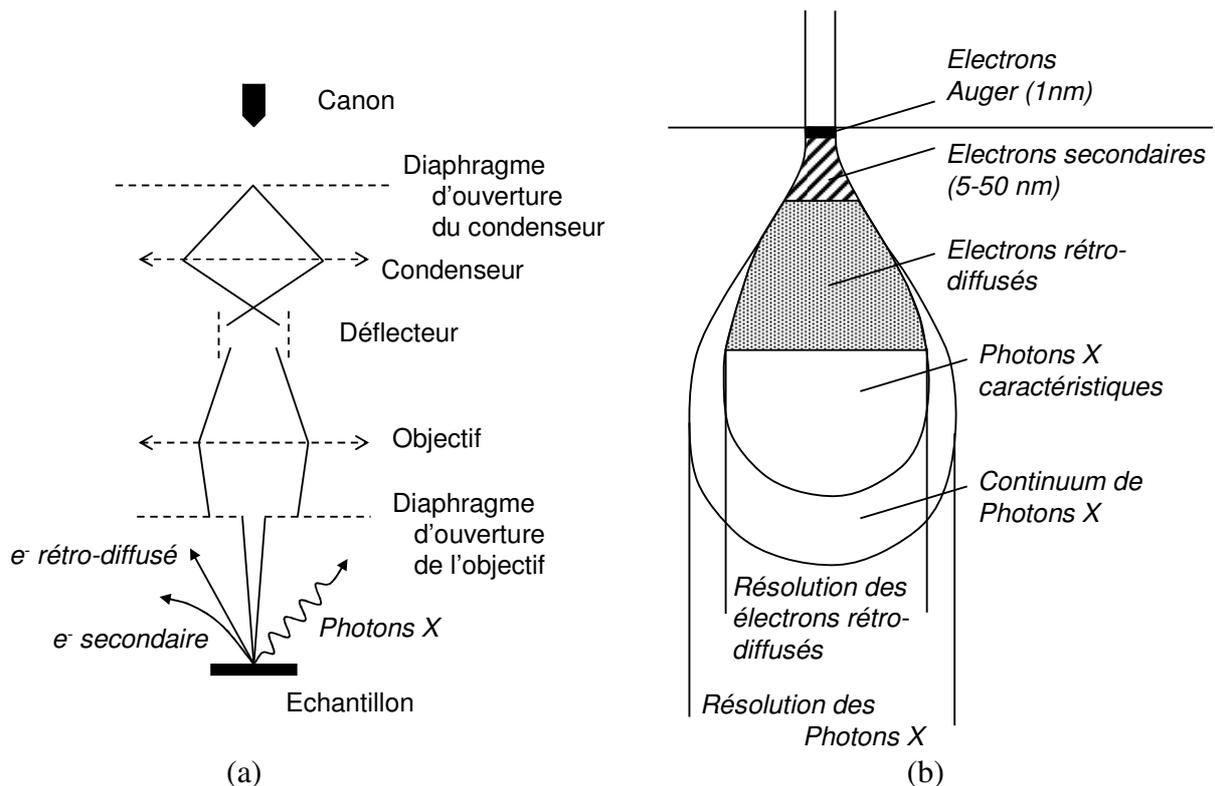


Fig. 51 : Schéma de principe d'une colonne MEB (a) et poire d'interaction electron-matière (b).

III.2.1.2 Sonde d'analyse des photons X par Dispersion d'Energie (EdX)

La sonde EdX utilisée est une version améliorée de la sonde de Castaing [Castaing48]. Son principe de fonctionnement est basé sur l'analyse des photons X caractéristiques émis par un matériau lors d'une excitation électronique locale provoquée par une colonne MEB. La sonde EdX de technologie SDD (Silicon Drift Detector) présentée en Fig. 52 est constituée d'un substrat de silicium monocristallin de type n, sur lequel des zones en spirales dopées p+ sont formées en face avant. En face arrière (face recevant les photons X), une large zone p+ est laissée ouverte afin d'optimiser la collection de photons X. Sous polarisation inverse, les jonctions p+/n forment une zone de charge d'espace dans laquelle les photons X peuvent induire la génération de paires électrons-trous. Au centre de la face avant, une anode est formée grâce à une zone dopée p+. Reliée à un préamplificateur, l'anode permet la collection des paires électrons-trous générées dans la zone de charge d'espace et leur conversion en photo-courant. L'anode étant de très faible capacité, le bruit de mesure est faible ce qui permet une vitesse de mesure élevée. Il est donc possible de connaître le nombre de coups,

c'est-à-dire le nombre de photons incidents. Le photo-courant mesuré pour un coup permet de déduire le nombre de paires électrons-trous générées par le photon correspondant, c'est-à-dire son énergie. Ainsi, il est possible de réaliser un spectre énergétique des photons incidents, et donc d'obtenir les éléments caractéristiques de la surface insolée par le faisceau électronique.

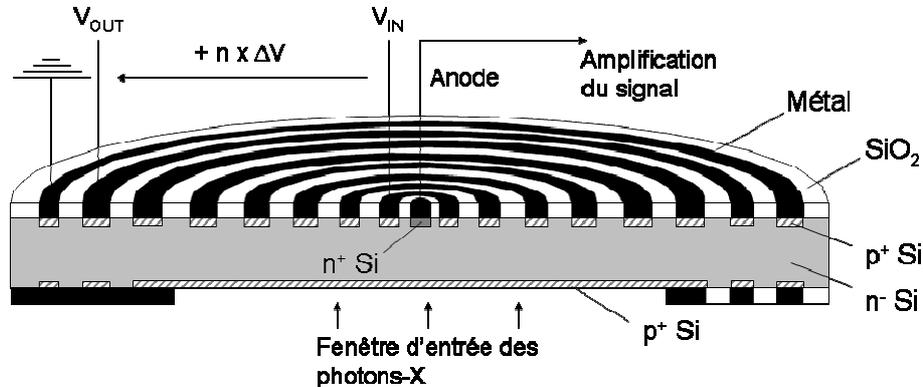


Fig. 52 : Schéma de principe du détecteur SSD utilisé dans le cadre de nos analyses EdX, permettant une spectroscopie des photons X.

III.2.2 Analyses Cristallographiques : Diffraction par Rayons X (XRD)

Les siliciures fabriqués présentent des propriétés cristallines variées qui se caractérisent par une maille élémentaire donnant des familles de plans réticulaires (hkl). La distance entre les plans est appelée la distance interréticulaire d_{hkl} . Un faisceau de rayons X monochromatiques de longueur d'onde λ arrivant sur les plans cristallins avec un angle d'incidence θ est diffracté par une famille de plans réticulaires si la condition de Bragg est vérifiée :

$$2d_{hkl} \sin \theta = n\lambda$$

avec n un nombre entier. Les pics caractéristiques obtenus en faisant varier l'angle d'incidence du faisceau permettent donc de déterminer la phase en présence.

Nous décrivons ici les deux types de diffractomètres utilisés dans la suite de nos travaux : le mode θ - 2θ (Fig. 53a), et l'incidence rasante (Fig. 53b). Dans les deux cas, la source utilisée est centrée sur la raie K_{α} du Cu (1.5405\AA).

Le mode θ - 2θ consiste à faire tourner l'échantillon placé au centre d'un goniomètre suivant un angle θ , alors que le détecteur tourne suivant une vitesse angulaire de 2θ . Ce mode permet donc de détecter les plans parallèles à la surface de l'échantillon. L'étendue angulaire typique d'un tel équipement est de 10° à 100° sur l'échelle 2θ . Cette analyse est adaptée aux couches d'épaisseur supérieure à 40nm.

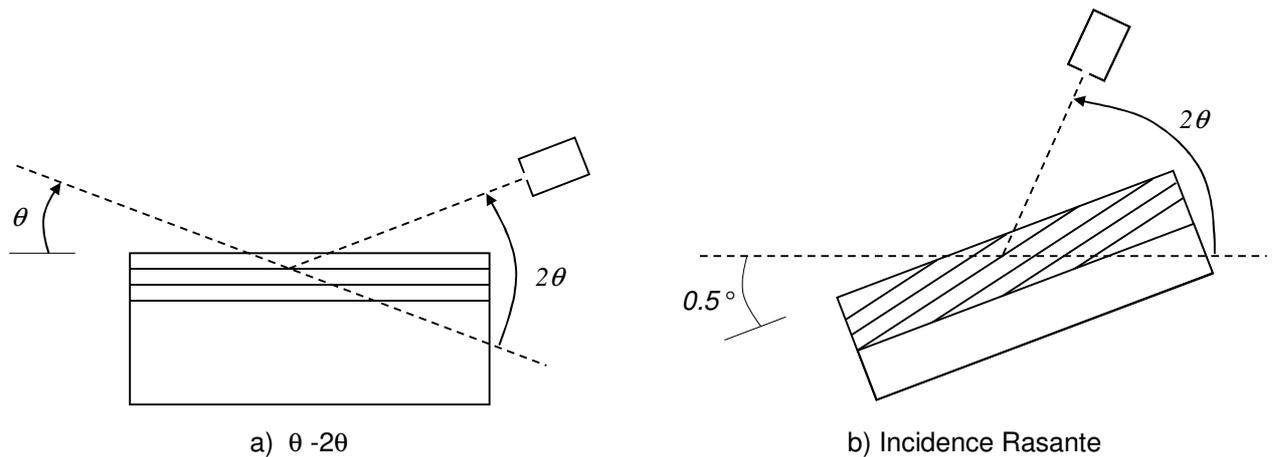


Fig. 53 : Configuration d'un diffractomètre à rayon X θ - 2θ (a) et à incidence rasante (b). Le diffractomètre θ - 2θ est adapté aux siliciures d'épaisseur supérieure à 40nm, dont les plans cristallins sont parallèles à la surface. Le diffractomètre à incidence rasante est adapté aux siliciures de faible épaisseur (jusqu'à 10nm).

Dans l'analyse sous incidence rasante (Fig. 53b), l'échantillon reçoit le faisceau incident sous un angle fixe de 0.5° , et le détecteur tourne sur une étendue de 10 à 100° dans l'échelle 2θ . Cette analyse permet de détecter des plans dont la normale est comprise dans le plan formé par le faisceau incident et le faisceau réfléchi. Ces plans ne sont donc pas nécessairement parallèles à la surface de l'échantillon (Fig. 53b). L'incidence rasante permet d'augmenter le volume diffractant et donc de mesurer des couches très minces, jusqu'à environ 10nm d'épaisseur.

III.2.2.1 Microscope Electronique à Transmission (MET)

La Microscopie Electronique à Transmission (MET) nous permet, dans les analyses qui seront présentées dans ce manuscrit, d'obtenir des images de nos échantillons à très fort grossissement. De plus, cet outil permet d'obtenir des informations cristallographiques sur les échantillons observés.

Les électrons dans une colonne MET sont généralement accélérés à des énergies de 100 à 400keV. Contrairement au MEB, le faisceau électronique traverse l'échantillon, qui doit être affiné à une épaisseur de l'ordre de 10-100nm. De ce fait, la zone de diffraction lors de l'interaction entre le faisceau électronique et l'échantillon est limitée à l'épaisseur de ce dernier, ce qui permet d'atteindre des résolutions en imagerie MET de 0,08nm.

Les électrons sont générés et accélérés dans le canon à électrons, comme représenté en Fig. 54. Un système de lentilles électroniques permet de condenser et de focaliser le faisceau sur l'échantillon. Le faisceau est alors diffracté, puis focalisé par un objectif. Un système de lentilles permet de projeter l'image sur un écran phosphorescent de manière à observer le faisceau électronique après passage à travers l'échantillon. En observation directe, seuls les faisceaux n'ayant subi aucune déflexion sont observés. Le contraste de l'image est donc particulièrement sensible aux variations de masse, d'épaisseur, aux conditions de diffraction, et au contraste de phase provoqués par la traversée de l'échantillon.

Par ailleurs, dans le cadre de l'observation d'échantillons cristallins, le faisceau incident peut être diffracté par les plans cristallins vérifiant les conditions de Bragg. La Fig.

54 montre la position du plan focal arrière, où les faisceaux diffractés suivant un même angle sont focalisés en un même point. Les tâches de diffractions observées sur le plan focal arrière correspondent donc à des plans cristallins. Cette propriété de la colonne MET permet dans certains cas d'identifier la phase cristalline observée (Fig. 54c)

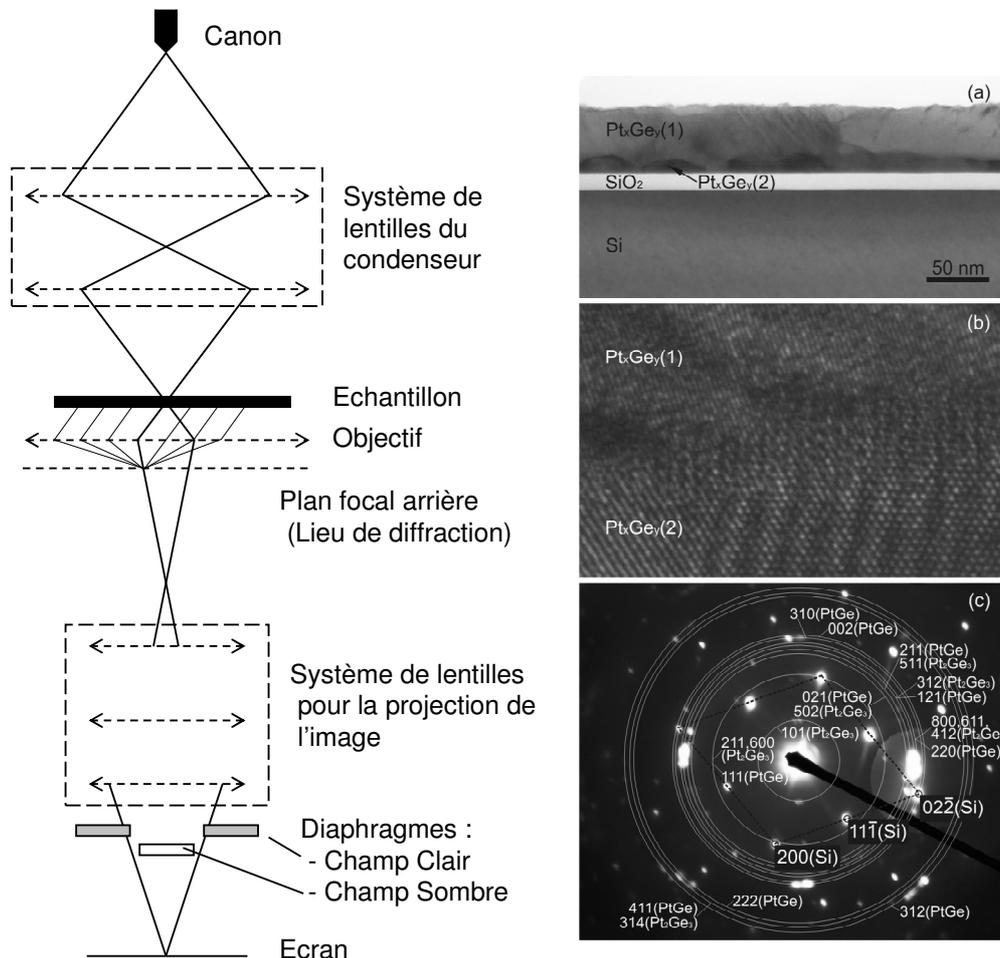


Fig. 54 : A gauche, schéma de principe de la colonne TEM. A droite, image TEM d'un germaniure de platine sur SiO₂ (a), et image TEM à haute résolution (HRTEM) (b). La résolution atomique est atteinte sur cette dernière image. Sur le diagramme de diffraction par transmission (c), les cercles représentent les lieux théoriques de diffraction des plans et les tâches, les spots de diffraction effectivement observés. Cette technique permet une analyse des phases localisée sur l'échantillon.

III.2.3 Mesure de la résistance de couche (Rs) : la méthode 4-points

La méthode 4 points permet de mesurer la résistance par carreau d'un matériau. En considérant une couche conductrice de résistivité ρ et d'épaisseur t négligeable devant la distance entre les pointes, on peut écrire :

$$\frac{V}{I} = K \frac{\rho}{t}$$

avec K un coefficient sans dimension, caractéristique de la géométrie du dispositif de mesure. Dans le cas où les 4 pointes sont alignées et équidistantes sur une couche conductrice, on

retrouve de manière analytique un coefficient K égal à $\log(2)/\pi$. Nous pouvons alors définir la résistance par carreau :

$$R_s = \frac{\rho}{t}$$

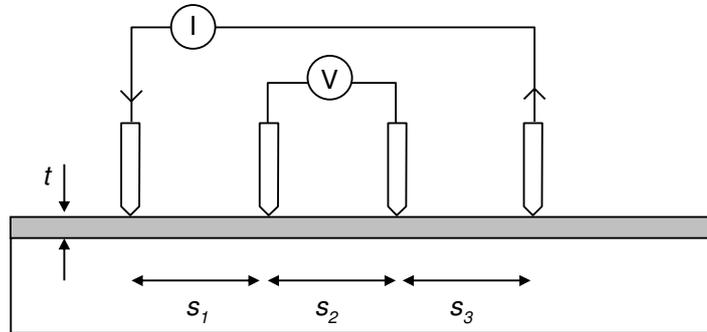


Fig. 55 : Principe de la mesure de la résistance par carreau par technique 4 pointes. La mesure de la tension via un circuit indépendant de l'injection de courant permet de s'affranchir de l'erreur introduite par la résistance de contact entre la pointe métallique et la couche mesurée.

III.3 Formation des siliciures de terres rares : Exemple du siliciure d'Erbium $ErSi_x$

Nous présentons dans cette partie les résultats expérimentaux obtenus concernant la formation, le retrait sélectif et les propriétés électriques des siliciures d'erbium.

III.3.1 Observation de défauts microstructuraux de forme pyramidale

Dans cette partie, l'apparition de défauts de type pyramidaux lors de la formation de $ErSi_x$ est mise en évidence, et expliquée. Après dépôt de l'erbium, une première série d'échantillons a été recuite en four RTA à 600°C pendant 2 min. Une deuxième série d'échantillons a subi un recuit sous ultra-vide (UHV) après dépôt métallique, en restant dans les conditions d'ultra-vide. Dans les deux cas, des défauts pyramidaux apparaissent.

III.3.1.1 Formation de défauts après recuit rapide (RTA)

Les échantillons utilisés pour cette étude sont des substrats de Si monocristallin de type p, orientés (100), sur lesquelles un oxyde SiO_2 de 20nm d'épaisseur est obtenu par croissance thermique. De larges zones ouvertes ($100 \times 100 \mu m^2$) sont gravées dans la couche de SiO_2 jusqu'au substrat de Si. Les échantillons reçoivent tout d'abord un bain de désoxydation dans de l'acide fluorhydrique (HF) à 1% pendant 30sec, puis sont chargés dans l'équipement d'évaporation, pour être transférés dans l'enceinte d'évaporation une fois un vide de 1×10^{-7} mbar atteint. Une couche d'erbium de 20nm d'épaisseur est ensuite évaporée, et les échantillons sont déchargés de l'équipement puis recuits à 600°C pendant 2min sous ambiance de gaz réducteur ($N_2:H_2;95:5$).

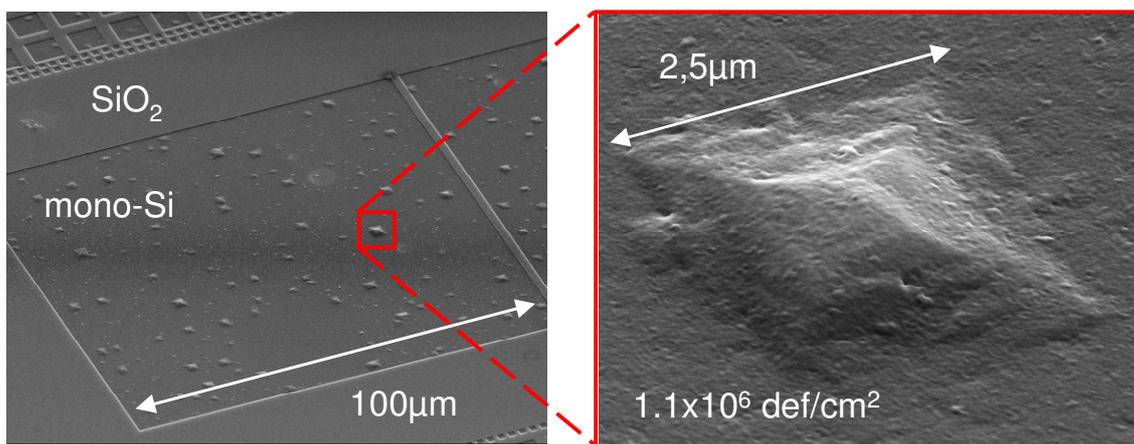


Fig. 56 : Formation d'un siliciure d'erbium par recuit RTA à 600°C pendant 2min sous N_2H_2 sur une surface de Si monocristallin, entourée par une isolation en SiO_2 . Des défauts microstructuraux de type pyramidal sont observés, avec une densité de $1,1 \times 10^6 \text{ cm}^{-2}$.

La Fig. 56 montre une observation par MEB en vue tiltée des siliciures formés. Des défauts microstructuraux de type pyramidal sont observés, avec une densité de $1,1 \times 10^6 \text{ cm}^{-2}$. Une observation MEB d'un de ces défauts montre que sa structure est une pyramide dont le sommet est dirigé vers l'extérieur du substrat, et dont la base est un carré de $2,5 \mu m$ de côté.

Cette base est orientée le long des directions $[110]$ et $[1\bar{1}0]$ du substrat, ce qui met en évidence le rôle de la cristallinité du substrat dans la formation de ces défauts.

Certains auteurs [Tan06] ont proposé récemment que la formation de tels défauts provient de la relaxation d'une importante énergie de contrainte épitaxiale accumulée lors de la formation du film. En effet, ErSi_x se forme sous sa phase hexagonale sur un substrat (100), avec son axe c $[0001]$ orienté parallèlement à la direction $\langle 110 \rangle$ du silicium. La différence de maille s'accompagne de l'apparition d'une contrainte mécanique de $-6,5\%$ (compression) parallèlement à l'axe c , et de $+1,1\%$ (tension) perpendiculairement à l'axe c . Sur les régions du substrat où l'accroche entre siliciure et substrat est faible [Tan06], la contrainte bi-axiale suivant les axes $[110]$ et $[1-10]$ entraîne la formation des défauts pyramidaux observés, comme représenté Fig. 57.

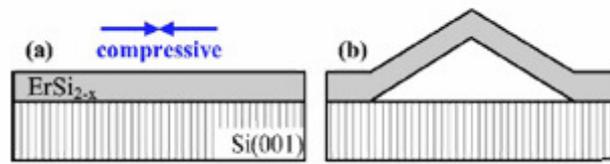


Fig. 57 : Représentation schématique montrant l'évolution de la formation des défauts pyramidaux proposée par [Tan06].

III.3.1.2 Formation de défauts après recuit sous ultra vide (UHV)

Une procédure de recuit sous ultra-vide est mise en œuvre dans ce paragraphe. Pour cette étude, les échantillons utilisés comportent à la fois des zones de silicium monocristallin et de silicium polycristallin, ainsi que des zones d'isolation d'oxyde enterré de type STI (Shallow Trench Isolation). Après une étape de désoxydation dans un bain de HF 1% pendant 30 sec, l'échantillon est chargé dans l'équipement d'évaporation métallique. Une fois un vide de 1×10^{-7} mbar atteint dans le sas de chargement, l'échantillon est transféré dans l'enceinte d'évaporation. Une couche d'Erbium de 20nm est déposée, et l'échantillon est transféré dans la chambre de recuit. Un recuit à 600°C pendant 1h est alors réalisé, sans quitter les conditions d'ultra-vide (1×10^{-8} mbar).

De même que dans le cas de l'échantillon recuit en RTA, des défauts sont observés sur les zones de silicium monocristallin. Ces défauts présentent une forme carrée, avec une orientation préférentielle suivant les directions $[110]$ et $[1\bar{1}0]$, comme on peut le voir en Fig. 58a. Toutefois, des différences majeures apparaissent suivant le type de recuit choisi.

Tout d'abord, la taille des défauts observés ici est d'ordre sub-micronique, et leur densité de $1,3 \times 10^8 \text{ cm}^{-2}$ est de deux ordres de grandeur supérieure à celle des défauts observés par recuit RTA. De plus, les défauts observés sur l'échantillon RTA ont une forme pyramidale, dont le sommet est dirigé vers l'extérieur du substrat. Dans le cas du recuit UHV, les défauts ont une forme de pyramide tronquée, dont le sommet est orienté vers l'intérieur du substrat, comme montré en Fig. 58b.

Des défauts sont aussi observés sur les zones de silicium polycristallin en Fig. 58a et b. Du fait de la nature désordonnée du cristal à large échelle pour le silicium polycristallin,

aucune orientation préférentielle n'est observée. Les vues en coupe de la Fig. 58b montrent la forme pyramidale des défauts.

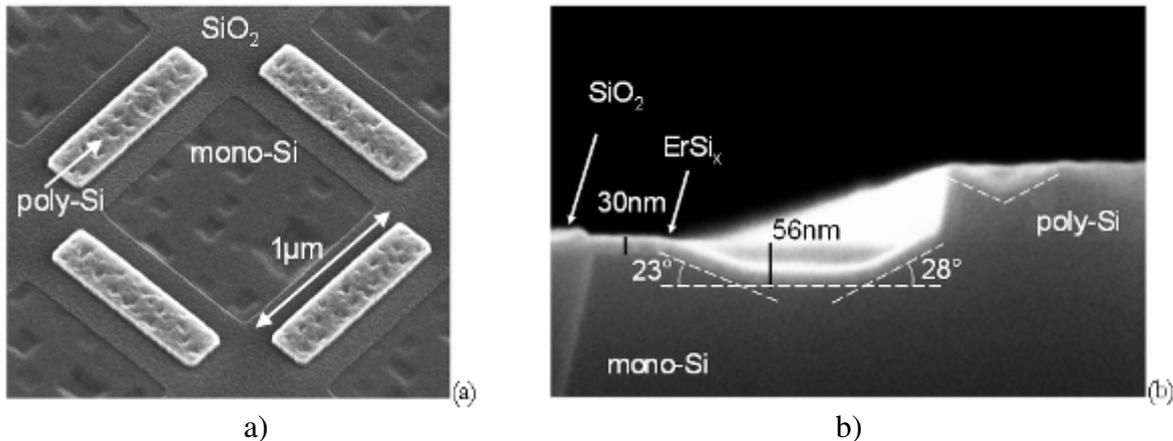


Fig. 58 : Observation MEB en vue de dessus tiltée (a), et en vue de coupe (b) d'un siliciure d'erbium formé par recuit UHV à 600°C pendant 1h, sur un échantillon présentant des zones de mono-Si, de poly-Si et des isolations SiO₂. Des défauts pyramidaux sont observés avec une densité de $1,3 \times 10^8 \text{ cm}^{-2}$.

[Lau82] a le premier montré la présence de tels défauts lors de la formation du siliciure d'erbium par recuit sous UHV. L'auteur a pu mettre en évidence la relation entre la formation des défauts et la présence de « zones fragiles » à l'interface Er/Si. Le mécanisme de formation suggéré est présenté en Fig. 59. Dans un premier temps, l'erbium est déposé sur du silicium monocristallin (Fig. 59a). La « zone fragile » est représentée par le trou dans la zone hachurée. La formation du siliciure commence au sein de la « zone fragile », par diffusion du silicium dans la couche d'erbium (Fig. 59b). Une fois que l'erbium situé à proximité de la « zone fragile » est siliciuré, la diffusion latérale du Si permet une siliciuration latérale de la couche d'erbium (Fig. 59c). La source de silicium étant localisée sous la zone fragile, une déplétion de silicium apparaît à cet endroit et la couche de siliciure s'enterre dans le substrat. La diffusion latérale du silicium dans la couche d'erbium intervient jusqu'à ce que la couche d'erbium soit complètement siliciurée (Fig. 59d).



Fig. 59 : Représentation schématique montrant la formation des défauts pyramidaux observés lors du recuit UHV [Lau82].

Il est frappant d'observer les différences importantes existant entre les deux types d'échantillons RTA et UHV, alors que seules les conditions du recuit sont modifiées. En comparant les conditions de fabrication relatives à l'apparition des défauts, nous pouvons souligner que le recuit RTA est réalisé sans protéger la couche d'erbium d'une contamination par l'oxygène. Toutefois [Tan06], a pu montrer que les défauts formés par recuit RTA restaient inchangés en présence d'une couche de protection de TiN, qui empêche une telle contamination. Une autre différence essentielle est le temps de recuit UHV de 1h, bien plus long que le recuit RTA de 2min. [Tan06] a aussi vérifié le comportement des défauts formés par RTA pour des temps de recuit plus importants. Il conclut son étude en montrant que les défauts restent inchangés pour des temps de recuit supérieurs à 20sec. Par conséquent, l'oxydation involontaire ou le temps de recuit ne peuvent expliquer les différences morphologiques. Ainsi, nous soulignons que la seule différence essentielle entre les deux

procédés est la rampe de montée en température, qui est de l'ordre de 20°C/sec dans le cas du RTA et de 0,3°C/sec pour le recuit UHV. Par ailleurs, un temps de recuit long à 600°C peut avoir un impact non négligeable sur la nucléation des défauts dans le silicium, qui migrent pour se stabiliser sous forme d'amas de défauts. Ces amas constituent des sites préférentiels de réaction dans le substrat, et peuvent apporter une voie d'explication supplémentaire à la différence de morphologie observée entre les deux types de recuits.

III.3.2 Guérison des défauts par nettoyage de la surface

Il est évident que, dans le cadre d'une intégration de ces matériaux dans une architecture CMOS, la présence de tels défauts est rédhibitoire. [Lau82] a en effet démontré que la présence des défauts dégradent les propriétés électroniques des diodes intégrant de tels siliciures, en générant des fuites électriques importantes. Il convient donc d'étudier les méthodes permettant de s'affranchir de tels défauts.

D'après l'étude menée dans le paragraphe précédent, deux causes principales sont à l'origine de la formation des défauts. D'une part, la cristallinité du substrat joue un rôle majeur. Par ailleurs, en se référant au mécanisme présenté en Fig. 59, la siliciuration est facilitée sur certaines « zones fragiles » de la surface de silicium. La nature physique de ces « zones fragiles » est peu évidente. On peut toutefois suspecter la présence d'un oxyde natif apparaissant lors du transfert depuis le bain de HF vers l'équipement d'évaporation. Les « zones fragiles » seraient alors les trous dans l'oxyde natif. On peut aussi envisager la présence d'une contamination organique affectant particulièrement les siliciures de terres rares.

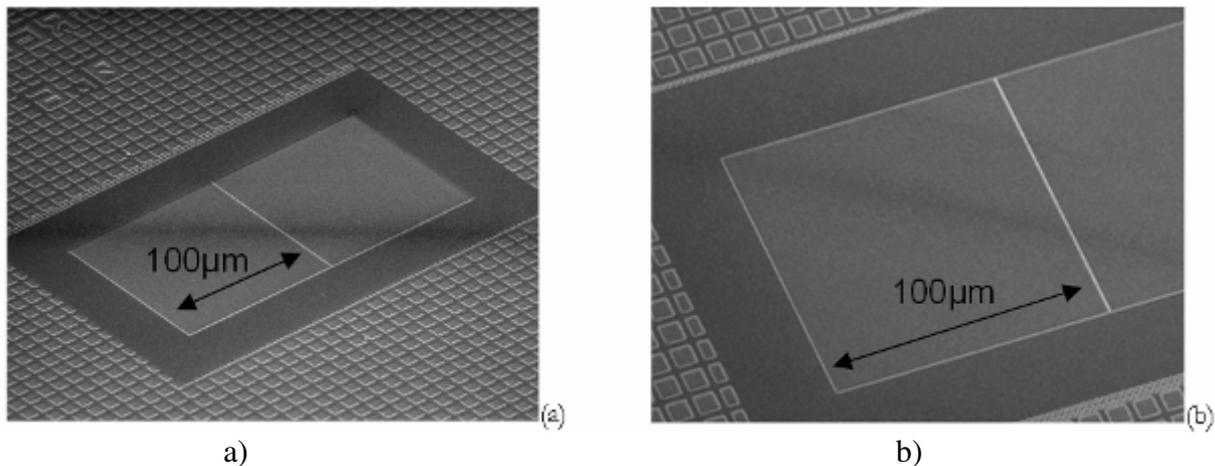


Fig. 60 : Observation MEB en vue de dessus tiltée de la surface des diodes après un nettoyage de la surface par plasma d'Ar à 150eV pendant 90sec, suivie d'un dépôt de 20nm d'Er, et d'un recuit RTA à 600°C pendant 2min (a), ou d'un recuit UHV à 600°C pendant 1h (b). Aucun défaut n'est observé à la surface du siliciure d'erbium formé.

Par conséquent, nous avons étudié l'impact d'un nettoyage de surface par plasma d'Ar dans le sas de chargement de l'équipement d'évaporation. Après désoxydation des échantillons dans un bain de HF 1%, les échantillons sont chargés dans l'équipement. Une fois un vide de 1×10^{-7} mbar atteint, un plasma d'Ar à 150eV pendant 90 sec est réalisé. Les échantillons sont ensuite transférés dans la chambre de dépôt, et une épaisseur d'erbium de 20nm est évaporée. Certains échantillons ont par la suite été déchargés de l'équipement, pour

recevoir un recuit RTA à 600°C pendant 2min. D'autres échantillons ont reçu séquentiellement un recuit UHV à 600°C pendant 1h sans être déchargés.

Ces deux type d'échantillons sont observés au MEB en Fig. 60. Il est évident que les défauts ont disparu. Nous précisons que ces échantillons correspondent aux mêmes conditions de procédé que dans la Fig. 58, la seule différence étant la présence du plasma Ar. Cette étape supplémentaire permet donc un nettoyage efficace de la surface, ce qui permet l'élimination des « zones fragiles » et, par conséquent, des défauts.

III.3.3 Influence du nettoyage sur la réactivité des zones d'isolation SiO₂

Dans les technologies CMOS sur substrat massif, l'isolation électrique est réalisée en plaçant entre les dispositifs des zones de SiO₂ (tranchées STI par exemple). Il convient donc de contrôler si le siliciure d'erbium réagit avec le SiO₂, et peut être retiré sélectivement. Le retrait sélectif de l'erbium non-réagi par rapport au siliciure d'erbium est réalisé en utilisant un bain de SPM (H₂SO₄:H₂O₂; 2:5). Cette étape est effectuée après le recuit de siliciuration. Une mesure 4-pointes sur les zones de Si monocristallin et sur les zones de STI après retrait sélectif permet de contrôler la résistance par carreau (Rs). L'objectif ici est évidemment d'obtenir après retrait sélectif un Rs faible sur Si, et infini sur SiO₂.

# Ech.	Plasma Ar	Recuit après Plasma	Recuit de siliciuration	Rs / Si (après SPM) (Ω/)	Rs / SiO ₂ (après SPM) (Ω/)
1	150eV 90 s	Non	600°C 60min	69	1220
2	<i>id.</i>	Non	700°C 60min	61	1350
3	<i>id.</i>	Montée à 700°C	600°C 60min	56	Inf.
4	<i>id.</i>	<i>id.</i>	700°C 60min	48	Inf.
5	500eV 90 s	<i>id.</i>	600°C 30min	41	1300
6	<i>id.</i>	<i>id.</i>	700°C 60min	57	122

Tableau 1 : Résistance par carreau des zones de Si et de SiO₂ après retrait sélectif dans un bain de SPM pour différentes conditions de nettoyage par plasma, de recuit après plasma, et de recuit de siliciuration.

Dans l'étude suivante, un oxyde de silicium d'une épaisseur de 12nm est réalisé par croissance thermique sur un substrat de Si monocristallin. Avant d'être chargés dans l'équipement d'évaporation, les échantillons ont été trempés à moitié dans un bain de HF 1% pendant 5min de manière à désoxyder la moitié de la surface. Après pompage à la pression de base de 1x10⁻⁷mbar, un nettoyage Ar standard est réalisé sur les échantillons 1, 2, 3, 4, tandis que les échantillons 5 et 6 sont nettoyés à plus forte énergie (500eV ; 90sec). Certains des échantillons (3, 4, 5, et 6) ont été recuits sous UHV par une montée à 700°C après le nettoyage plasma. Une couche d'erbium de 20nm a ensuite été évaporée sur l'ensemble des échantillons. Un recuit de siliciuration à 600°C (ech. 1, 3, et 5) ou à 700°C (2, 4, et 6) est finalement réalisé. Après sortie de l'équipement d'évaporation, l'erbium non réagi est retiré sélectivement grâce à un bain de SPM pendant 2min.

Les conditions de procédé et les valeurs du Rs sur oxyde et silicium sont détaillées en Tableau 1. Dans le cas des échantillons 1 et 2, la résistance du siliciure d'erbium formé est légèrement supérieure aux valeurs reportées dans la littérature (45 Ω/ pour [Kaltsas96], à épaisseur équivalente). Il est important de noter qu'une résistance par carreau relativement faible est mesurée sur les zones d'oxyde, ce qui signifie qu'une réaction intervient entre le

SiO₂ et l'erbium lors du recuit. Les échantillons 3 et 4 reproduisent les mêmes conditions, introduisant un recuit UHV après le nettoyage plasma. Nous observons que les zones de SiO₂ sont parfaitement isolantes. Dans le cas des échantillons 5 et 6, le nettoyage Ar à plus haute énergie génère une siliciuration des zones de SiO₂. La résistance par carreau à 600°C présente une valeur faible de 41 Ω/ , et nous retrouvons la valeur de 57 Ω/ à 700°C.

En nous basant sur ces observations, nous suggérons que le nettoyage Ar à 150eV génère une attaque de surface des zones SiO₂, ce qui a pour effet de briser les liaisons Si-O de surface. Des liaisons pendantes de silicium sont alors disponibles, et la surface du SiO₂ présente une réactivité plus importante. Cette réactivité peut expliquer la formation d'un siliciure d'erbium donnant lieu à une conduction électrique. Nous proposons que la montée en température à 700°C réalisée après le nettoyage Ar permet de reconstruire la surface du SiO₂. La surface étant reconstruite, la réaction entre l'oxyde silicium et l'erbium est moins favorable. De ce fait, le SiO₂ ne réagit pas avec l'erbium et reste parfaitement isolant. Dans le cas d'un nettoyage Ar à haute énergie (500eV pendant 90sec), nous remarquons que, malgré le recuit après plasma, une conduction électrique est mesurée sur l'oxyde. Le plasma à 500eV peut augmenter la rugosité de la surface du SiO₂, et la montée en température à 700°C ne suffit pas à reconstruire la surface, favorisant ainsi la réaction entre erbium et SiO₂.

Par ailleurs, nous considérons dans une deuxième hypothèse que le SiO₂ au contact à l'atmosphère se recouvre naturellement d'une couche de H₂O apportée par l'humidité ambiante. Cette couche offre une source d'oxygène qui peut facilement réagir avec l'Er lors du recuit de siliciuration et former une couche ErSi_x conductrice. Un recuit après plasma à 700°C permet d'évaporer l'eau présente en surface, qui ne réagit plus avec l'erbium. En revanche, un nettoyage plasma à 500eV peut générer une rugosité de surface et empêcher un dégazage convenable de H₂O lors du recuit, qui peut alors réagir avec l'Er.

III.3.4 Influence de la température de recuit sur les propriétés morphologiques et électriques du siliciure

III.3.4.1 Propriétés morphologiques

Les résultats du paragraphe précédent nous permettent donc d'identifier les conditions de procédé 3 et 4 comme étant les plus favorables pour l'intégration du siliciure d'erbium. Les échantillons présentés ici ont reçu des recuits UHV pendant 1h à 500, 600 ou 700°C, puis un retrait sélectif de l'erbium non réagi dans un bain de SPM.

L'observation au MEB de la surface des échantillons est présentée en Fig. 61. Des défauts, d'une taille d'environ 10nm, apparaissent à la surface des échantillons. Nous ne pouvons pas expliquer le mécanisme de formation de ces défauts. Toutefois, nous remarquons que leur densité est plus faible à 700°C ($1 \times 10^9 \text{ cm}^{-2}$) qu'à 600°C ($4,9 \times 10^9 \text{ cm}^{-2}$) ou 500°C ($2,2 \times 10^{10} \text{ cm}^{-2}$). La dépendance exponentielle de la densité des défauts en fonction de la température est mise en évidence en Fig. 61d.

Des observations MEB en vue de coupe ont été réalisées sur ces échantillons (Fig. 62). Il est à noter que l'observation des siliciures d'erbium au MEB est délicate à cause du faible coefficient d'émission électronique de ce matériau. Ceci explique la faible résolution des images obtenues. Nous présentons donc ces images avec une zone de faible contraste à

gauche, permettant de localiser la surface du siliciure, ainsi qu'une zone de fort contraste à droite, afin de localiser l'interface siliciure/silicium. Nous pouvons ainsi mesurer l'épaisseur du siliciure formé.

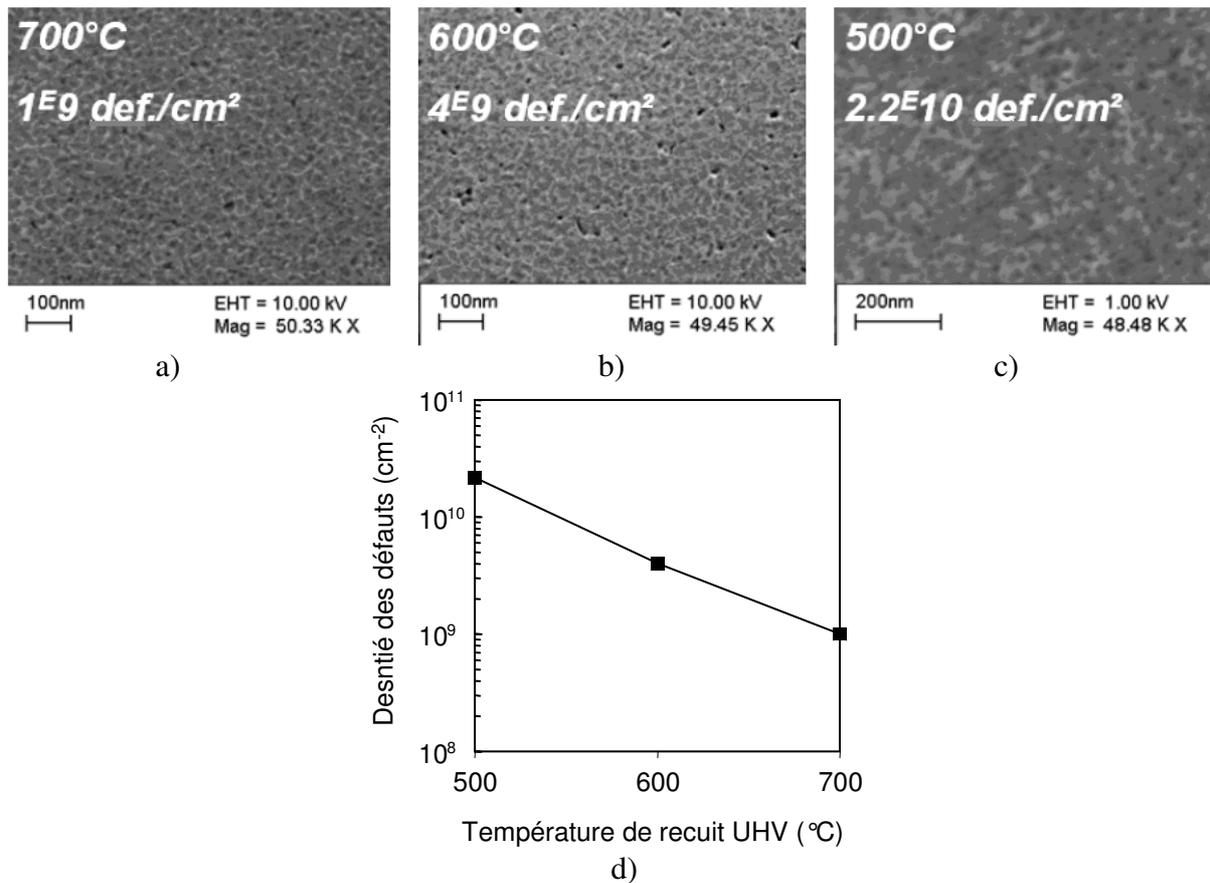


Fig. 61 : Observation MEB en vue de dessus de la surface des échantillons obtenus après un nettoyage Ar 150eV 90sec, une montée en température à 700°C, un dépôt d'erbium de 20nm et un recuit sous UHV à 700°C (a), 600°C (b), et 500°C (c). L'erbium non réagi a été retiré au SPM. La densité des défauts (d) montre une dépendance exponentielle avec la température de recuit.

Il a été montré, notamment par [Thompson81], que l'épaisseur du siliciure d'erbium $ErSi_{1.8}$ est de 1,6 fois celle de la couche d'erbium déposée. Par conséquent, dans notre cas, une épaisseur de 32nm est attendue. Il apparaît qu'à 500°C, l'épaisseur de siliciure d'erbium obtenue est d'environ 25nm. La formation du siliciure n'est donc pas complète. En revanche, à 600°C et 700°C, un siliciure d'épaisseur 32 et 34nm est formé, respectivement. La siliciuration est donc complète.

Par ailleurs, des problèmes de morphologie d'interface apparaissent à 700°C. En effet, la couche de siliciure se décolle du substrat, probablement à cause des fortes contraintes mécaniques engendrées par la réaction de siliciuration. Les vues de coupe sont ici réalisées en bordure d'ouverture dans la couche de SiO_2 . Il est donc possible d'observer la zone de diffusion latérale du siliciure sous la zone d'oxyde. Cette zone montre une courbure s'accroissant de 500 à 600°C. Il est envisageable que les contraintes exercées sur cette zone expliquent le décollement de la couche à 700°C.

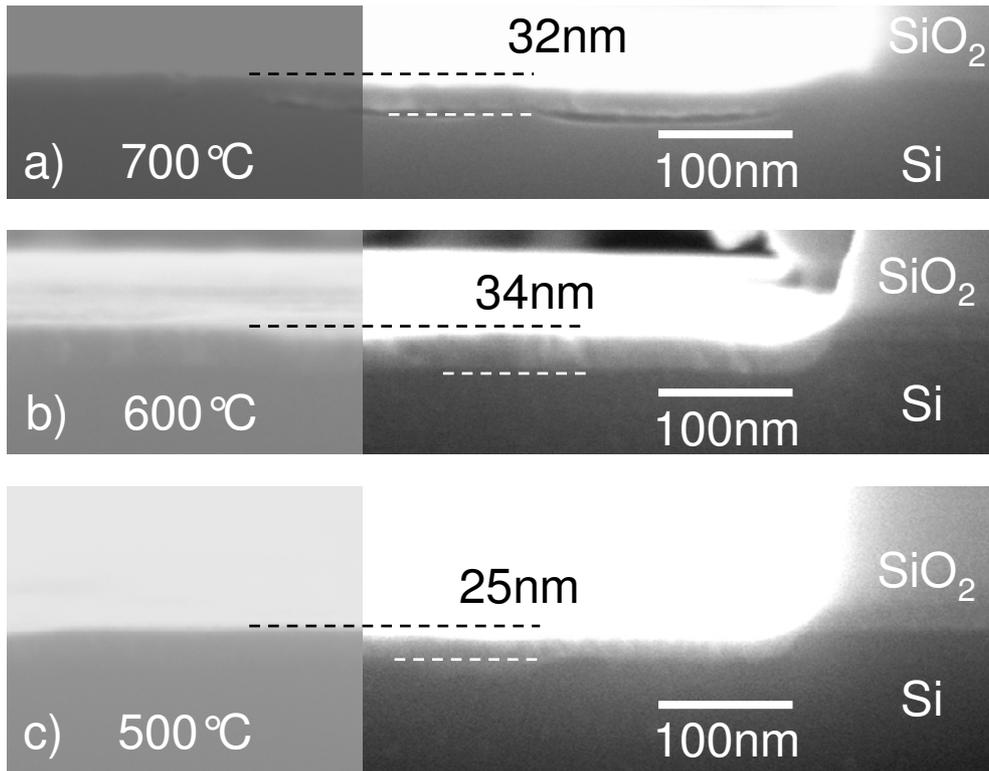


Fig. 62 : Observation MEB en vue de coupe des échantillons obtenus après un nettoyage Ar 150eV 90sec, une montée en température à 700°C, un dépôt d'erbium de 20nm et un recuit sous UHV à 700°C (a), 600°C (b), et 500°C (c).

III.3.4.2 Propriétés électriques

Des mesures électriques, tout d'abord de résistance par carreau, puis de hauteur de barrière, ont pu être réalisées sur les échantillons présentés. La résistance par carreau (R_s) des siliciures obtenus est mesurée par technique 4-pointes (Fig. 63) avant et après retrait sélectif au SPM. Après recuit, cette résistance par carreau est de 57 $\Omega/$ à 500°C, de 50 $\Omega/$ à 600°C, et de 37 $\Omega/$ à 700°C. Ces valeurs sont du même ordre de grandeur que celles publiées par [Kaltsas96]. L'attaque sélective au SPM entraîne une augmentation du R_s de 12% à 500°C et 600°C, et de 29% à 700°C.

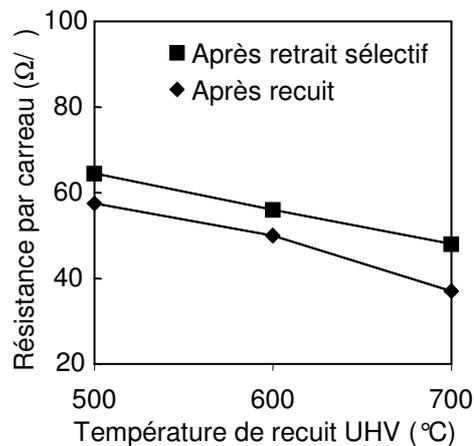


Fig. 63 : Résistance par carreau en fonction de la température de formation des siliciures, avant, et après retrait sélectif SPM.

Il est intéressant de corréliser ces observations avec les épaisseurs mesurées en coupe MEB. A 500°C, la couche d'erbium déposée n'a pas complètement réagi. Il est donc normal de mesurer un R_s élevé, après recuit, comme après attaque SPM. La différence de R_s observée à 600°C et 700°C est plus surprenante. En effet, les observations MEB montrent que les épaisseurs de ces deux siliciures sont très proches. Nous attribuons cette différence à une variation du niveau de contraintes dans le film provoquée par une température de recuit plus importante.

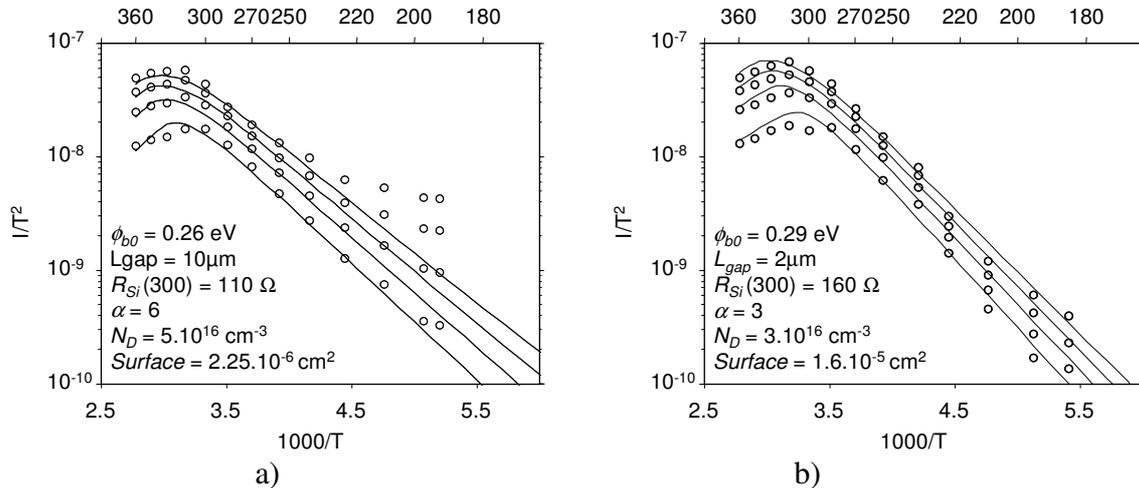


Fig. 64 : Hauteurs de barrières Schottky extraites sur les diodes de siliciure d'erbium après un recuit à 600°C (a), et à 500°C (b). Les mesures expérimentales sont représentées par les cercles, et le modèle par les lignes.

Nous avons montré que l'erbium a été intégré sur des structures de diodes $100 \times 100 \mu\text{m}$ séparées par un gap micrométrique. Cette structure est idéale pour des mesures de hauteur de barrière Schottky en température. Toutefois, les diodes recuites à 700°C n'ont pas pu être caractérisées du fait de la dégradation de l'interface.

La diode obtenue par recuit UHV à 600°C présente une barrière de 0,26 eV. Une légère déviation apparaît pour des températures inférieures à 220°K. A 500°C, la hauteur de barrière mesurée est de 0,29eV. L'accord modèle-expérience est idéal. Les hauteurs de barrières extraites à 500°C et 600°C sont cohérentes avec les valeurs habituellement rapportées dans la littérature pour les siliciures d'erbium [Zhu04].

Nous avons pu étudier les propriétés morphologiques et électriques du siliciure d'erbium. Un recuit à 700°C permet d'obtenir une faible densité de défauts de $1 \times 10^9 \text{ def./cm}^2$, ainsi qu'une faible résistance carreau après SPM de $48 \Omega/$, mais provoque une dégradation de l'interface. Par conséquent, nous identifions le meilleur compromis à une température de recuit de 600°C. A cette température, la densité de défauts et le R_s après SPM restent relativement faibles, à $4,9 \times 10^9 \text{ def./cm}^2$ et $56 \Omega/$, respectivement. La hauteur de barrière est mesurée à 0,26eV, et l'interface siliciure/silicium ne montre pas de défauts après observation au MEB.

III.3.5 Mise en évidence du problème d'exodiffusion du silicium

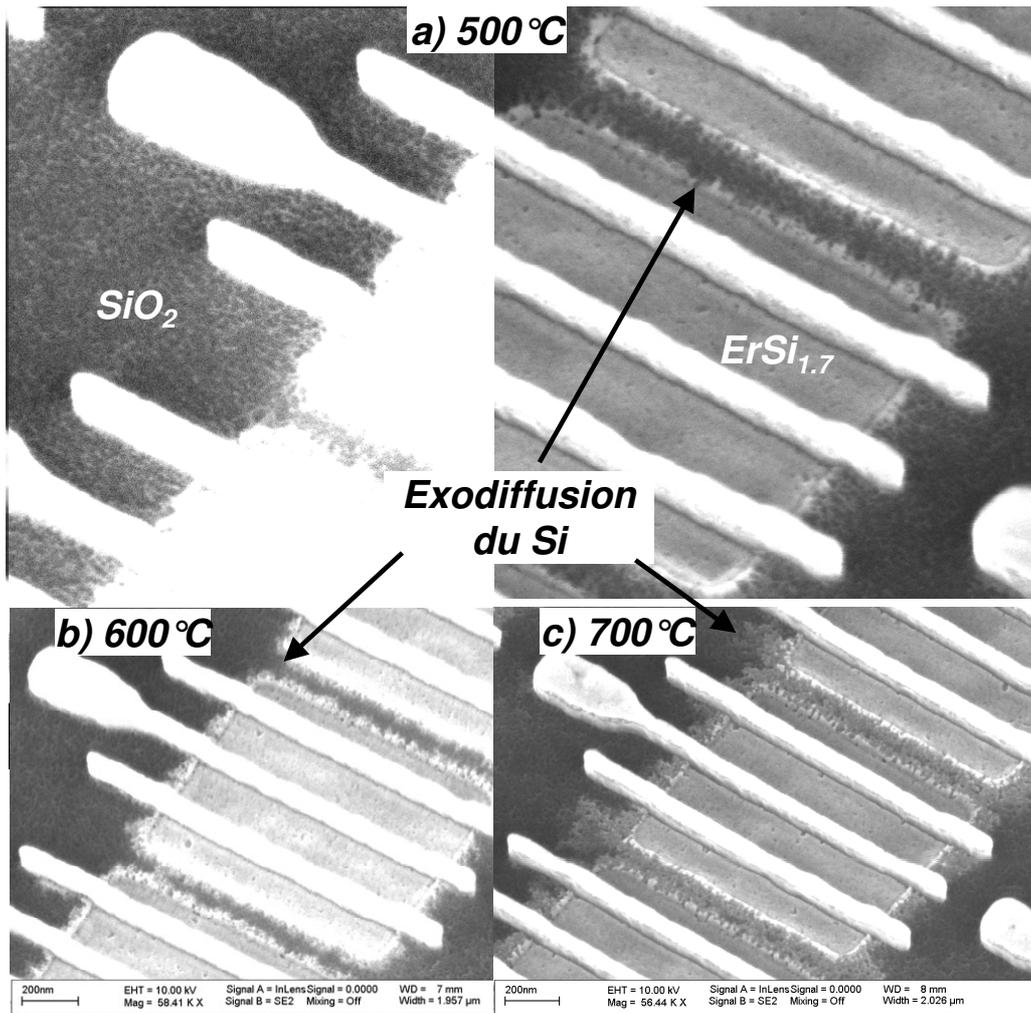


Fig. 65 : Siliciure d'erbium intégré sur un transistor MOSFET., après un recuit de siliciuration à 500°C (a), à 600°C (b) et à 700°C (c).

Le siliciure d'erbium a été intégré sur des architectures MOSFET. Ces transistors ont été fabriqués sur des substrats Si monocristallins 300mm de type p, en suivant un procédé de fabrication industriel à STMicroelectronics Crolles 2. Après définition des zones STI (Shallow Trench Isolation), les caissons d'isolation électrique ont été implantés. L'empilement de grille (SiO_2 et polysilicium) a été par la suite déposé puis gravé. Le procédé de fabrication industriel est stoppé après la définition des espaceurs minces en SiO_2 .

Les plaques sont transférées vers le site universitaire de l'IEMN pour recevoir les étapes de siliciuration d'erbium, et sont clivées en échantillons de taille compatible avec les équipements 3 pouces. Les échantillons reçoivent alors le procédé de siliciuration précédemment décrit, et sont recuits à 500°C, 600°C et 700°C (Fig. 65).

Le problème d'exodiffusion du silicium apparaît en bordure d'isolation STI (Fig. 65) dès 500°C, et s'amplifie à 600°C et 700°C. Ce phénomène est dû au mécanisme de formation du siliciure d'erbium, où le silicium est l'espèce diffusante majoritaire. En considérant la présence d'erbium sur les zones STI proches du dispositif, la surface couverte par l'erbium est supérieure à celle des zones de silicium. Par conséquent, le silicium va avoir tendance à

diffuser dans les zones d'erbium recouvrant les isolations STI. Ce phénomène de diffusion est thermiquement activé, et s'amplifie donc avec la température.

Dès 500°C, l'exodiffusion est observable sur les images MEB du fait de la différence de coefficient de réémission électronique entre Er et ErSi_{1.8}. A 600°C, l'exodiffusion est de l'ordre de plusieurs dizaines de nanomètres, et les zones source-drains des transistors voisins sont en court-circuit. A 700°C, l'exodiffusion est de l'ordre d'une centaine de nanomètres.

La zone de fort contraste de la Fig. 65a concernant l'échantillon recuit à 500°C permet d'observer la rugosité importante de la surface du STI. Cette rugosité montre qu'une réaction intervient entre l'Er et le SiO₂. [Kennou96] a pu étudier les phénomènes de réactivité entre erbium et SiO₂. Il montre que l'erbium peut réduire la silice pour former un oxyde d'erbium Er₂O₃. De plus, au delà d'une certaine température estimée à 870°C, cet oxyde se transforme en siliciure ErSi_{1.8}.

Ces réactions entre Er et SiO₂ posent un problème majeur pour l'intégration sur transistors. En effet, nous voyons que, même si la température de transformation de l'Er₂O₃ en ErSi_{1.8} est élevée, cette réaction est possible et la température de transition est susceptible d'être abaissée. D'autre part, nous avons pu montrer dans les parties précédentes que l'amorphisation de surface de l'oxyde génère la formation d'une couche conductrice. La méthode 4-pointes utilisée nous permet de garantir l'isolation électrique à l'échelle macroscopique, mais ne donne pas d'informations sur une conduction électrique microscopique.

En conclusion, l'erbium pose de sérieux problèmes d'intégration, tout d'abord du fait de l'exodiffusion du silicium, mais aussi à cause des réactions intervenant entre Er et SiO₂. Ces problèmes d'intégration ont rendu impossible une caractérisation électrique du siliciure d'erbium sur transistors MOSFET.

III.3.6 Conclusion sur le siliciure d'erbium

Dans le cadre de cette étude concernant la formation du siliciure d'erbium, nous avons pu mettre en évidence l'apparition de défauts pyramidaux sur des surfaces cristallines. L'introduction d'un nettoyage in-situ des surface par plasma d'Ar avant le dépôt de métal permet de s'affranchir de ces défauts micrométriques. Par ailleurs, nous avons montré que ce nettoyage augmente la réactivité des zones d'isolation en SiO₂ et génère des fuites électriques. Grâce à un recuit réalisé in-situ à 700°C après nettoyage par plasma, les propriétés d'isolations des zones SiO₂ sont rétablies. Une étude morphologique et électrique des siliciures formés grâce au protocole précédemment défini montre qu'une température de recuit de siliciuration de 600°C permet d'obtenir le meilleur compromis entre une hauteur de barrière de 0,26eV, une densité de défauts de surface de $4,9 \cdot 10^9 \text{ def./cm}^2$ et une résistance par carreau de 56 $\Omega/$.

Néanmoins, d'importants problèmes d'intégration sont mis en évidence sur des structures de type MOSFET. L'exodiffusion de l'erbium dès 500°C et la réactivité d'un point de vue morphologique de l'erbium avec les zones d'isolations en SiO₂ introduit un risque important de fuites électriques entre les zones de grille, source, et drain.

En conclusion, le siliciure d'erbium présente des propriétés intéressantes, en particulier grâce à sa hauteur de barrière aux électrons de 0,26eV. Néanmoins, la résistance par carreau et la densité de défauts de surface sont élevées par rapport aux siliciures conventionnels (CoSi₂, NiSi). De plus, les mauvaises propriétés d'intégration sont un problème majeur pour l'utilisation de ce siliciure dans les technologies CMOS. Par conséquent, nous estimons que ce matériau n'est pas approprié pour contacter les zones actives des architectures MOSFET et nécessite des développements supplémentaires pour devenir une alternative crédible aux matériaux actuellement utilisés.

III.4 Formation du Siliciure de Platine (PtSi)

Dans cette partie, nous présentons une étude de la formation du siliciure de platine et de ses propriétés électriques. Nous proposons une méthode d'ingénierie de la hauteur de barrière basée sur la ségrégation de dopants.

III.4.1 Généralités sur la formation du siliciure de platine

Le siliciure de platine (PtSi) est couramment utilisé en électronique pour la réalisation de contacts, ohmiques ou Schottky. Les couches de PtSi sont habituellement fabriquées par recuit d'une couche de Pt sur substrat de Si à une température correspondant à 1/2 - 1/3 de la plus basse eutectique du diagramme de phase Pt-Si (250 – 450°C). La réaction de siliciuration débute par la formation de la phase Pt_2Si . Les résultats publiés dans la littérature [Tu75], [Pretorius78], [Affolter85], [Wandt90] s'accordent à montrer que Pt est l'espèce diffusante majoritaire dans cette réaction. [Crider81] montre qu'une fois que la couche de Pt est entièrement transformée en Pt_2Si , la formation du PtSi commence. La mise en évidence de l'espèce diffusante au cours de cette dernière réaction a longtemps fait l'objet d'un débat, décrit avec précision par [McLeod92]. Par ailleurs, [Poate74] a montré que la diffusion du Si était responsable de la formation du PtSi. Cependant, la propreté d'interface des échantillons étudiés étant de mauvaise qualité pour des raisons technologiques, les résultats expérimentaux obtenus ont été remis en question. En 1980, [Baglin80] a suggéré que Pt et Si diffusaient de manière équivalente pour la formation du PtSi. [Pretorius81] a par la suite montré grâce à des marqueurs ^{31}Si radioactifs que Si présentait une faible mobilité dans PtSi, concluant que Pt était l'espèce majoritairement diffusante. A la suite de ces résultats, un certain nombre de publications [Wittmer83], [Sawada86], [Lew84], ont étudié la ségrégation de dopants à l'interface siliciure/silicium sur l'hypothèse d'une diffusion du Pt pour la formation de Pt_2Si et de PtSi. Toutefois, plus récemment, [Song87] en utilisant une couche intermédiaire d'Au, ou [Pretorius89] en reconsidérant les hypothèses formulées dans [Pretorius81] ont montré que Si est l'espèce diffusante majoritaire. Une étude focalisée sur ce problème [McLeod92], mettant en œuvre aussi bien des mesures de diffusion par marqueurs que par traceurs radioactifs, a conclu que Si était l'espèce dont la diffusion permet la formation du PtSi. Ces conclusions, toutes issues du groupe de R. Pretorius, ont pu être citées dans la littérature [Larrieu08], [Ley95], [Zhou99], [Stark00] sans toutefois être confirmées. Par conséquent, nous considérons pour la suite de l'exposé que l'espèce diffusante majoritaire pour la formation du PtSi à partir de Pt_2Si est indéterminée.

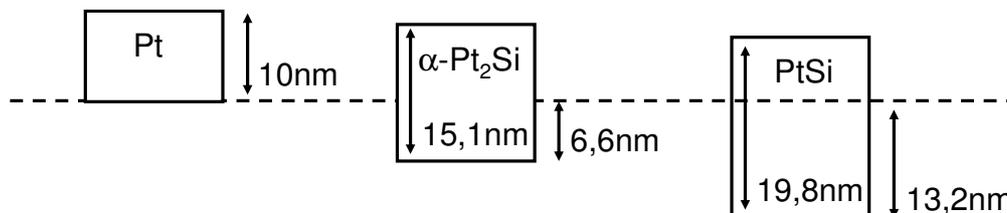


Fig. 66 : Epaisseur de silicium consommée, et épaisseur de siliciure formé pour les différentes phases du système Pt-Si

La consommation de silicium et l'épaisseur de siliciure formé pour chacune des phases sont d'un accès expérimental beaucoup plus simple que les espèces diffusantes, et les valeurs

données par [Maex95] sont représentées en Fig. 66. Pour une épaisseur initiale de 10nm de Pt, une couche de Pt₂Si de 15,1nm se forme initialement. La réaction se poursuit par la formation d'une couche de PtSi de 19,8nm. Ces deux phases consomment une épaisseur de Si de 6,6nm et 13,2nm, respectivement.

Comme défini dans le chapitre II, les réactions de formation du Pt₂Si et du PtSi sont limitées par la diffusion. Les cinétiques de siliciuration sont définies par :

$$x^2 = \int_0^t K \cdot dt ,$$

avec x l'épaisseur du siliciure formé, K une constante de diffusion effective, et t le temps de siliciuration. Dans notre cas la croissance est activée thermiquement et K s'exprime :

$$K = K_0 \exp(-E_a / kT),$$

K_0 étant appelé le coefficient de réaction, E_a l'énergie d'activation de la réaction, k la constante de Boltzmann et T la température.

De nombreux travaux dans la littérature se sont focalisés sur l'étude des paramètres cinétiques intervenant lors de la formation des différentes phases du siliciure de platine [Poate74], [Canali77], [Crider81], [Takai85], [Pant92], [Zhou99]. Différentes méthodes de mesure sont mises en œuvre dans ces travaux, des plus directes comme la mesure de l'épaisseur, aux plus complexes comme l'étude de la variation *in-situ* des coefficients ellipsométriques [Zhou99]. Les résultats de ces travaux sont résumés en Tableau 2. Il apparaît que les premiers auteurs à avoir étudié ces cinétiques [Poate74], [Canali77] obtiennent des énergies d'activation équivalentes pour les deux réactions. La différence dans les cinétiques provient du seul coefficient de réaction. Au contraire, les résultats obtenus par [Crider81], [Takai85], [Pant92] et [Zhou99] obtiennent une énergie d'activation pour la formation du PtSi supérieure à celle du Pt₂Si, et ce quelle que soit la méthode de mesure utilisée. La plupart de ces cinétiques donnent une vitesse de formation du Pt₂Si supérieure d'environ un ordre de grandeur à celle du PtSi.

	Pt → Pt ₂ Si		Pt ₂ Si → PtSi		Epaisseur de Pt (nm)	Méthode de mesure
	D ₀ (cm ² /sec)	E _a (eV)	D ₀ (cm ² /sec)	E _a (eV)		
Poate74	8,9	1,6 ± 0,1	0,63	1,6 ± 0,1	200	TEM
Canali77	3,90	1,5 ± 0,1	1,56	1,5 ± 0,1	270	RBS
Crider81	0,08	1,3 ± 0,2	10,1	1,5 ± 0,2	150	RBS-TEM
Takai85	0,043	1,27 ± 0,1	0,543	1,49 ± 0,1	200	RBS
Pant92	0,67	1,38	12,27	1,67	170	RBS-XRD
Zhou99	3,7.10 ^{1±1,55}	1,50 ± 0,05	2,7.10 ^{1±1,95}	1,67±0,05	10	Ellipso
Larriou03	5.5	1.485	8.5	1.685	40	XPS-TEM

Tableau 2 – Cinétiques de siliciuration du Pt₂Si et du PtSi.

III.4.2 Influence de la température du recuit de siliciuration

L'étude que nous proposons dans cette partie s'attache à décrire l'influence de la température du recuit de siliciuration sur les propriétés du siliciure de platine. Les échantillons sont fabriqués à partir de substrat Si de type p de dopage 1×10^{15} at./cm³. Après un nettoyage SPM pendant 5min, les échantillons sont désoxydés dans un bain de HF 1%, puis chargés dans l'équipement d'évaporation. Une fois un vide de 10^{-7} mbar atteint, un nettoyage de la surface par plasma d'Ar est réalisé, et une couche de 10nm de Pt est évaporée. Les échantillons sont sortis de l'équipement, et le recuit de siliciuration est réalisé dans un four rapide (RTA) à pression atmosphérique sous gaz ($N_2:H_2:95:5$) et pendant 4 minutes.

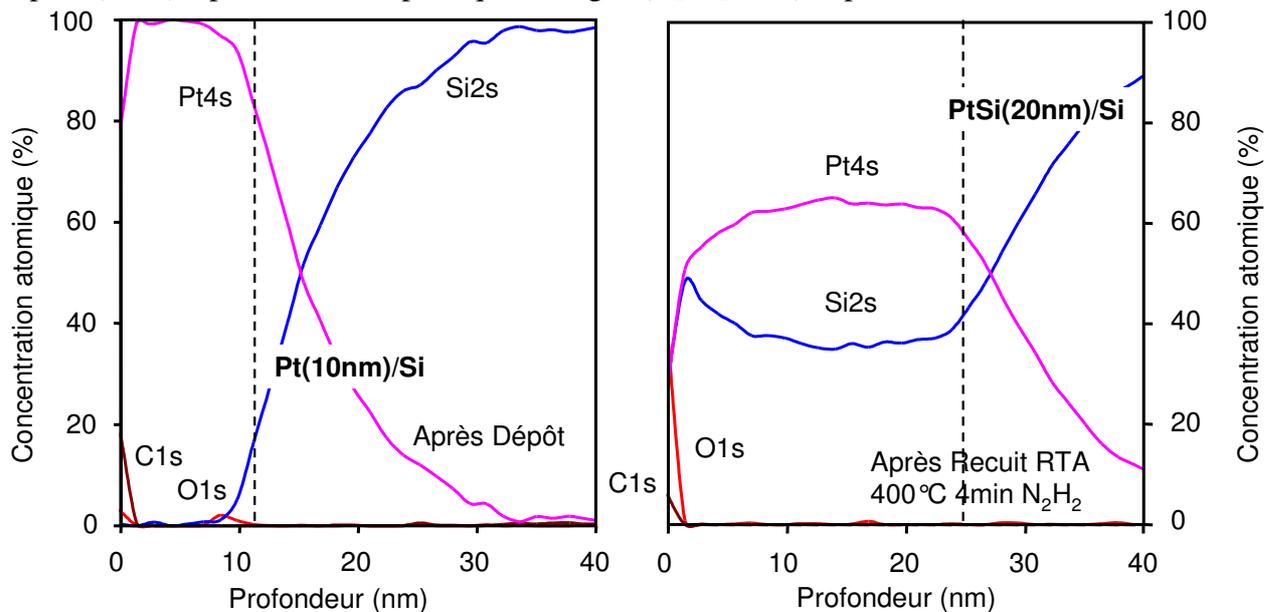


Fig. 67 : Profils par spectrométrie Auger d'un échantillon Pt(10nm)/Si après dépôt (gauche), et après recuit 400°C 4min sous N_2H_2 (droite).

Un profil Auger des échantillons après dépôt de Pt et après recuit RTA à 400°C pendant 4min a été réalisé en Fig. 67. L'épaisseur de Pt mesurée avant recuit correspond à l'épaisseur déposée, ce qui nous permet de valider la calibration choisie pour l'analyse par spectroscopie Auger en profondeur. Une présence de carbone est détectée à la surface de la couche de Pt, et correspond à la contamination introduite lors du contact de l'échantillon avec l'atmosphère. La concentration d'oxygène détectée est très faible ($\sim 1\%$) à l'interface Pt/Si, et nous permet donc de valider la procédure de nettoyage et de désoxydation de la surface des échantillons. Un recuit RTA à 400°C permet de former une phase de siliciure de platine. Nous voyons qu'à la surface de l'échantillon, la concentration atomique de Pt4s mesurée est égale à celle de Si2s, ce qui tend à montrer que la phase formée est PtSi. Ce résultat sera confirmé par la suite grâce à des mesures en diffraction X. Toutefois, une proportion atomique d'environ 65% de Pt est mesurée dans l'échantillon recuit à partir d'une profondeur d'analyse de 10nm. En effet, l'élément Pt étant plus lourd que Si se redépose facilement lors de la gravure par faisceau d'ion. De ce fait, une quantité de Pt4s plus importante que Si2s est mesurée, et constitue un artefact. D'autre part, nous voyons qu'un oxyde de silicium SiO_2 se forme à la surface de l'échantillon du fait d'une présence d'oxygène résiduel dans la chambre de recuit. Une faible contamination au carbone est détectée en surface, pour la même raison que dans le cas de l'échantillon non recuit. Aucune trace de contamination n'est mesurée ni dans la

couche de PtSi, ni à l'interface PtSi/Si. Cette analyse valide donc le protocole défini pour la fabrication du PtSi.

III.4.2.1 Résistivité

Les échantillons ont été recuits à des températures variant de 100 à 800°C pendant 4 min. La résistance de couche (R_s) a pu être mesurée par technique 4-pointes. La courbe de transformation (Fig. 68) montre une augmentation du R_s entre 100 et 200°C, puis une diminution vers une valeur de $20\Omega/\square$ à 500°C. Au-delà de 700°C, le R_s augmente de manière importante.

[Colgan96] a pu reporter les résistivités des phases Pt, Pt₂Si et PtSi de 12, 15 et $32\mu\Omega.cm$, respectivement. L'augmentation du R_s aux basses températures traduit donc la formation des phases résistives Pt₂Si et PtSi à partir de Pt. Au-delà de 200°C, la diminution du R_s correspond à une augmentation de l'épaisseur de la couche de siliciure et à un changement de morphologie du film. A 500°C, le R_s mesuré correspond à une résistivité de $40\mu\Omega.cm$, en considérant une épaisseur de PtSi de 20nm. Au delà de 700°C, un phénomène d'agglomération de la couche de siliciure est responsable de la forte augmentation du R_s .

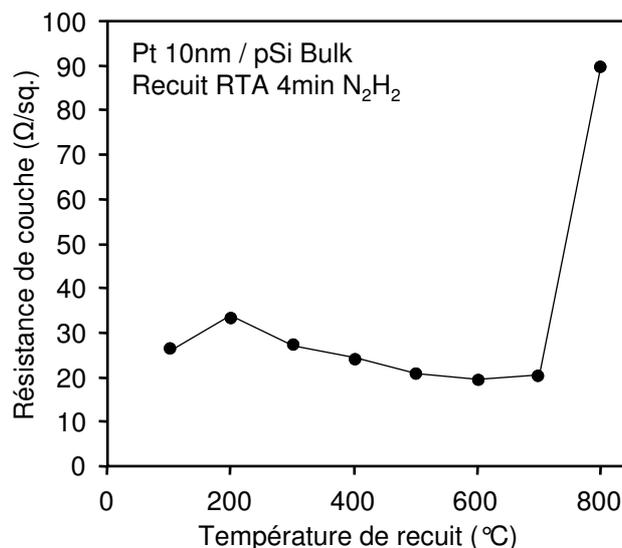


Fig. 68 : Résistance par carreau en fonction de la température de recuit d'un échantillon Pt(10nm)/p-Si pendant 4min sous N₂H₂.

III.4.2.2 Cristallographie

Des analyses en diffraction X des couches formées nous ont permis de déterminer la formation des différentes phases (Fig. 69 et 70). Pour une température de recuit de 100°C, les pics mesurés correspondent à la présence de Pt métallique non réagi, et à celle de Pt₂Si. A 200°C, les pics correspondant au Pt métallique diminuent en intensité, et les pics du Pt₂Si sont difficilement détectables. A 300 et 400°C, tous les pics mesurés correspondent au spectre du PtSi. Seul un pic autour de 55° pour l'échantillon recuit à 400°C indique une présence résiduelle de Pt₂Si.

Au-delà de 500°C (Fig. 70), seule la phase PtSi est détectée. On peut remarquer une augmentation de l'intensité des deux pics autour de 60° pour les échantillons recuits à 600, 700 et 800°C. Ces pics correspondent aux plans (202) et (022).

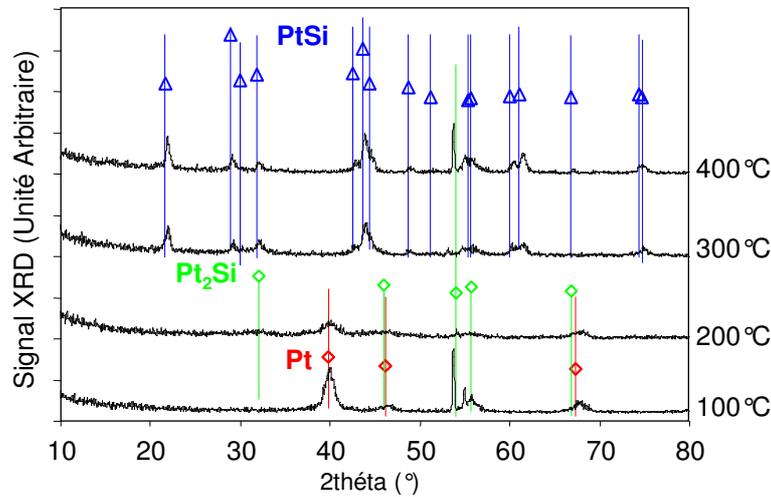


Fig. 69 : Spectres de diffraction X en incidence rasante d'un échantillon Pt(10nm)/Si après recuit à 100, 200, 300 ou 400°C.

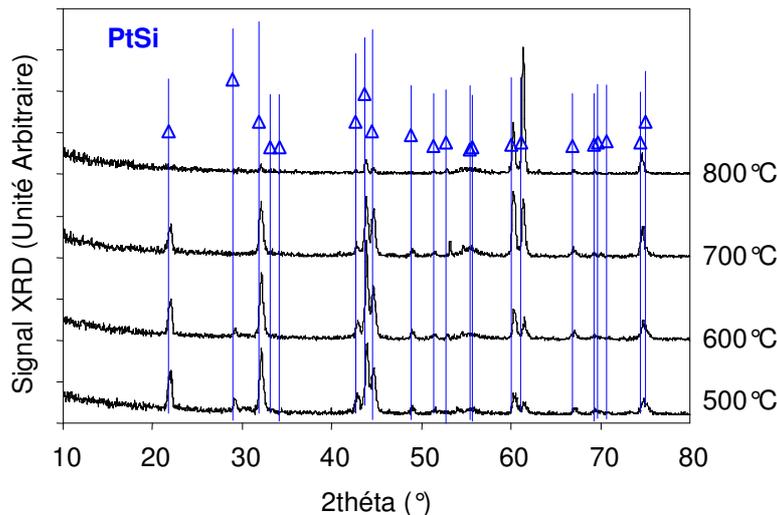


Fig. 70 : Spectres de diffraction X en incidence rasante d'un échantillon Pt(10nm)/Si après recuit à 500, 600, 700 ou 800°C.

III.4.2.3 Morphologie et rugosité

Des observations au microscope électronique à balayage en vue de dessus nous ont permis d'étudier la morphologie des couches formées (Fig. 71 et 72). Pour des températures de recuit comprises entre 100 et 400°C, les observations MEB montrent une surface présentant des grains de quelques nanomètres de large, caractéristiques de la surface après dépôt. La surface du film est peu modifiée par le recuit. Cette observation est supportée par les mesures AFM présentées en Fig. 73, qui montrent que la rugosité RMS reste inférieure à 0,5nm jusqu'à 600°C. A titre de comparaison, nous mesurons pour le siliciure de nickel une rugosité RMS supérieure à 1,5nm pour une température de recuit de 600°C (Fig. 73).

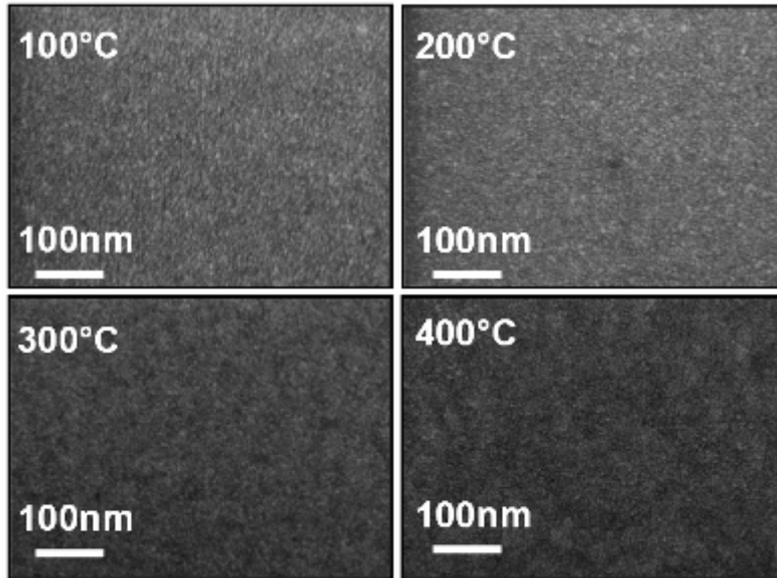


Fig. 71 : Observation MEB en vue de dessus des échantillons Pt(10nm)/Si après un recuit RTA à 100, 200, 300, ou 400°C.

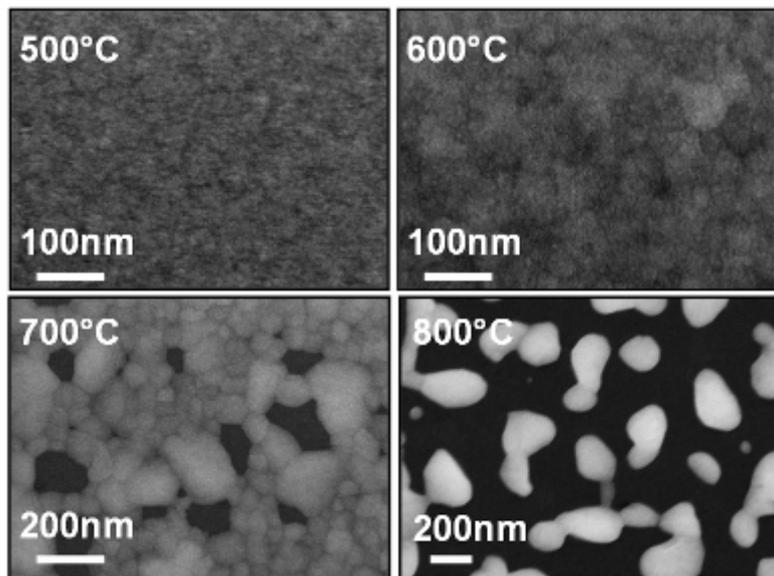


Fig. 72 : Observation MEB en vue de dessus des échantillons Pt(10nm)/Si après un recuit RTA à 500, 600, 700, 800°C.

A partir de 600°C (Fig. 72), les contrastes de réémission d'électrons secondaires, liés à l'orientation du matériau, mettent en évidence l'apparition de grains. A 700°C, le volume des grains augmente et la couche de siliciure n'est plus continue. A 800°C, la couche de siliciure est complètement agglomérée sous forme de grains de l'ordre de 200nm de diamètre.

Il est intéressant de relier l'apparition des grains en Fig. 72 à l'augmentation des pics correspondant aux plans (202) et (022) du spectre de diffraction en Fig. 70. En effet, l'agglomération de la couche s'accompagne d'une orientation préférentielle des plans (202) et (022) du PtSi cristallin suivant les conditions de Bragg. Par ailleurs, le plan complémentaire (220) situé à l'angle 44,48° montre à l'inverse une intensité diminuant pour les température de 600, 700 puis 800°C.

Nous rappelons que dans le cas de l'analyse XRD par faisceau rasant, les rayons X incidents sont perpendiculaires à la direction [110] du substrat (soit la direction de clivage du Si monocristallin). L'apparition préférentielle de certains pics est par conséquent liée à une orientation préférentielle de la couche cristalline étudiée. Dans notre cas, cela signifie que les grains étudiés présentent un ordre cristallin aligné préférentiellement par rapport au faisceau. Nous suggérons qu'un réarrangement épitaxial des grains à partir de l'ordre cristallin du substrat intervient à haute température.

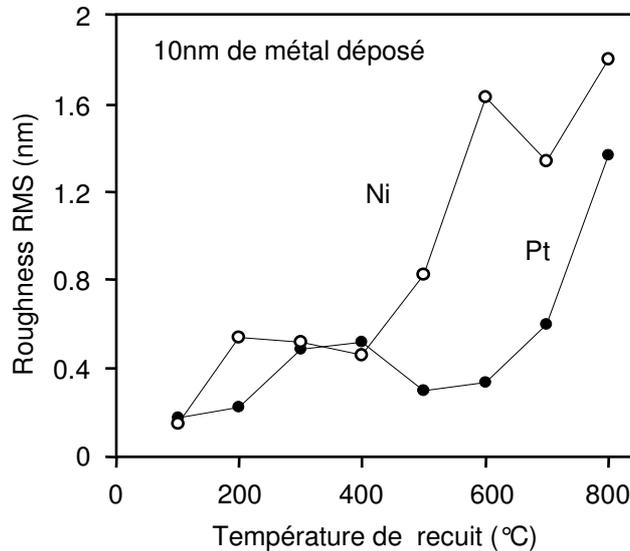


Fig. 73 : Rugosité RMS de surface d'échantillon Ni(10nm)/Si et Pt(10nm)/Si après recuit de siliciuration, mesuré par AFM.

L'étude de la formation du PtSi pour une épaisseur de Pt déposé de 10nm nous permet de déterminer une fenêtre de procédé. Il est intéressant de travailler dans ce cas précis avec des couches très fines, car la sensibilité à l'agglomération, et à la contamination de l'interface lors du recuit – par exemple – sont plus critiques. Toutefois, l'utilisation de couches trop fines pose problème, notamment lors d'observations SEM en coupe. Pour ces différentes raisons, la partie suivante présente l'intégration du PtSi sur des structures de test électrique avec une épaisseur de Pt déposée de 20nm.

III.4.2.4 Interface

Le siliciure de platine est intégré sur des structures de diodes têtes-bêches présentées au début de ce chapitre. Après une étape de formation d'un oxyde de silicium d'une épaisseur de 200nm par croissance thermique, une résine est insolée par photo-lithographie et l'oxyde est gravé par gravure plasma physico-chimique. Le platine est ensuite déposé et recuit afin de permettre la mesure électrique après l'étape de siliciuration. Le platine restant sur les zones de SiO₂ est retiré grâce à un bain d'eau régale (HCl:H₂O:HNO₃; 3:2:1) à 50°C. On obtient ainsi des diodes têtes-bêches constituées de 2 zones de silicium de 100x100μm², isolées par une périphérie de SiO₂ de 200nm de large, et séparées par un espacement de SiO₂ de taille micrométrique.

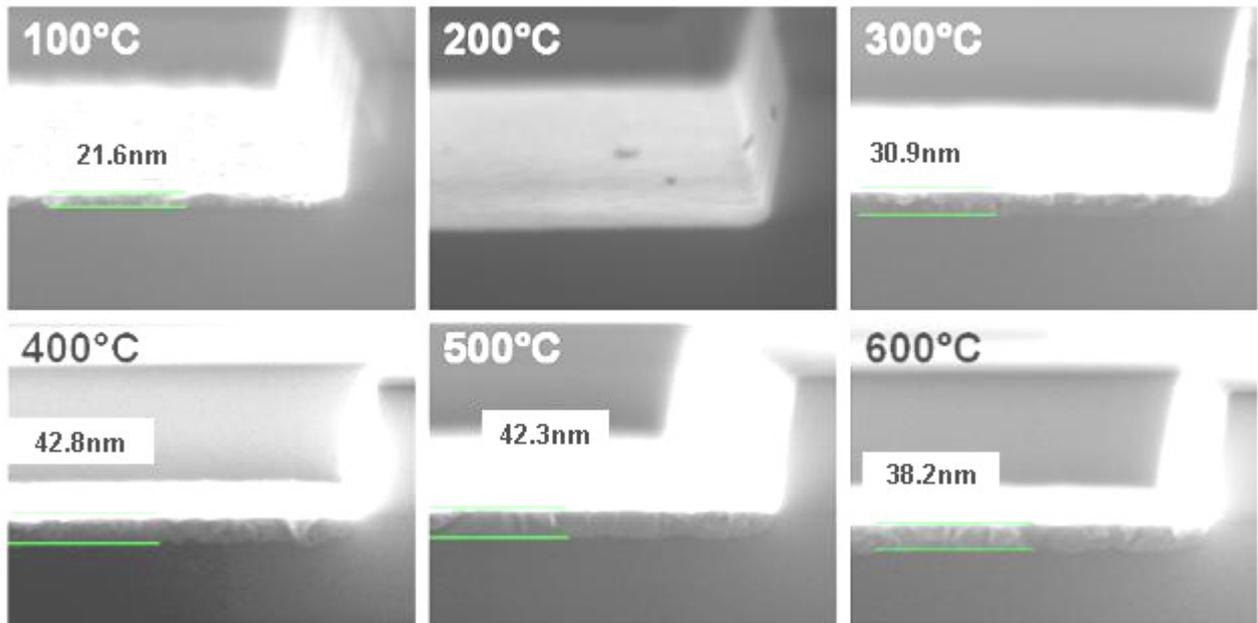


Fig. 74 : Observation MEB en vue de coupe du siliciure de platine formé après recuit à différentes températures.

Les diodes obtenues ont été caractérisées par observation MEB en vue de coupe. Cette méthode d'analyse nous permet à la fois d'observer la surface du siliciure en vue tiltée, la couche de siliciure vue en coupe, mais aussi le profil de diffusion latérale du siliciure sous le masque dur en SiO_2 . En Fig. 74, l'échantillon recuit à 100°C présente une épaisseur de Pt- Pt_2Si de 21nm. La surface de la couche est fortement rugueuse, probablement du fait d'une attaque par le traitement à l'eau régale. A 200°C , la couche de Pt_2Si est aussi fortement attaquée, et devient trop fine pour être observable. D'après les analyses XRD présentées précédemment, la phase PtSi est formée dès 300°C , ce que la Fig. 74 confirme. Une épaisseur de 39nm est mesurée, soit l'épaisseur attendue pour la siliciuration complète d'un film de Pt déposé de 20nm. L'épaisseur mesurée du PtSi varie peu entre 300°C et 600°C . Par contre, la morphologie de ces couches est variable. A 300°C , le PtSi est formé de grains d'environ 5nm de diamètre. L'interface PtSi/Si montre une rugosité importante. A 400°C , la taille des grains augmente et devient plus importante que l'épaisseur de la couche de siliciure. A 500 et 600°C , ces grains ont une largeur d'environ 50nm. De ce fait, la rugosité d'interface diminue fortement. La formation des grains a aussi un impact sur la diffusion latérale du siliciure en bord de motif. A 300 et 400°C , le PtSi présente en bordure du masque SiO_2 un aspect aléatoire et peu répétable de diode à diode. Au contraire, l'aspect du siliciure en bord de masque est très semblable pour les échantillons recuit à 500 et 600°C . La morphologie de l'interface « latérale » est particulièrement importante car c'est cette partie du siliciure qui vient contacter le canal du transistor.

III.4.2.5 Hauteur de Barrière

Les caractéristiques électriques des diodes ont été mesurées, et sont présentées en Fig. 75. A 200°C , la hauteur de barrière est élevée et contrôle le comportement électrique de la diode de 300 à 180K. La tracé d'Arrhenius est caractérisée par une pente linéaire caractéristique du régime Schottky de la diode polarisée en inverse, et permet l'extraction d'une hauteur de barrière de 0,38eV [Dubois04]. Cette hauteur de barrière élevée n'est pas surprenante au vu de la morphologie du siliciure en Fig. 74. L'écartement des droites pour les différentes tensions est dû à l'effet d'abaissement de la barrière Schottky. Cette information

nous permet de déduire le dopage actif du silicium, dans notre cas un dopage de type p de 1.10^{17} at./cm³. Cette valeur sera analysée plus en détail par la suite.

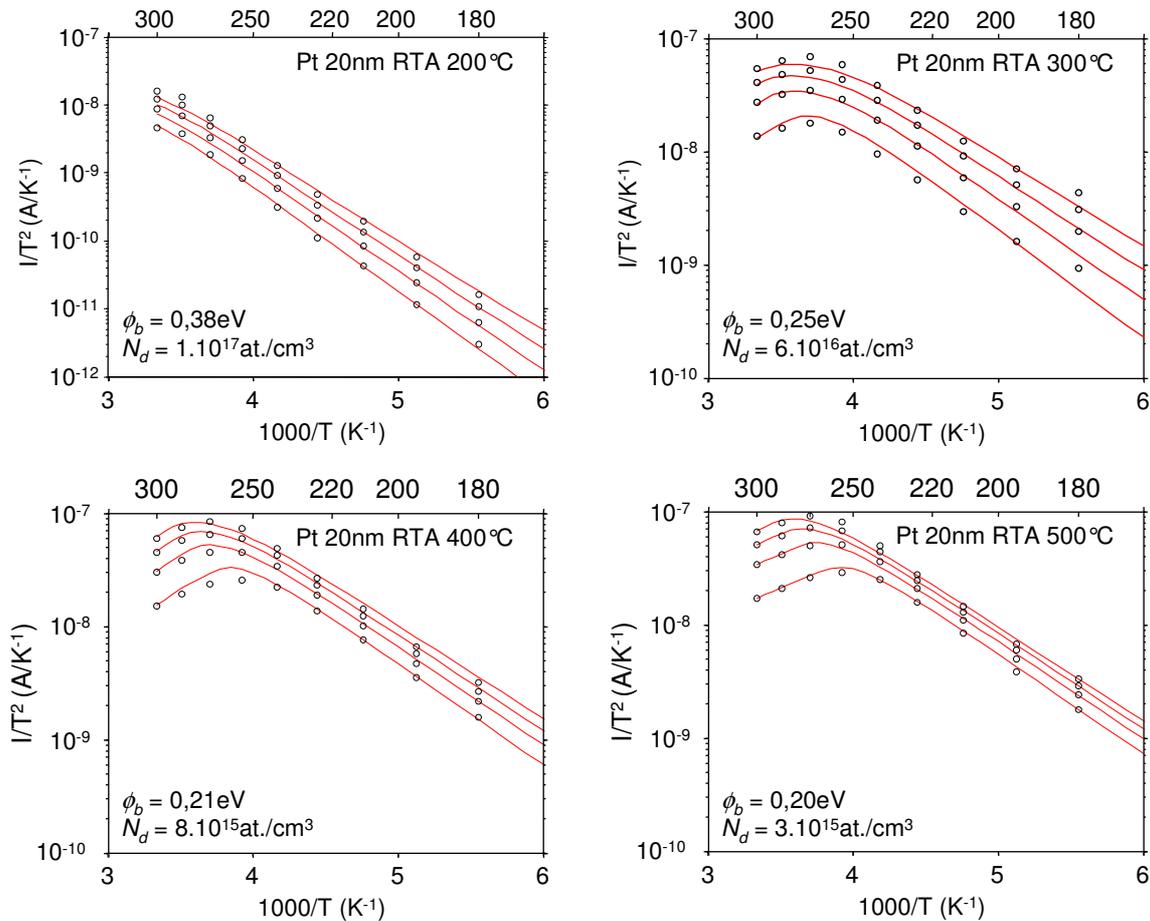


Fig. 75 : Tracés d'Arrhenius des caractéristiques électriques des diodes PtSi/Si pour différentes températures, et pour des tensions appliquées de 0.5, 1, 1.5 et 2V.

Les échantillons recuits à 300, 400 et 500°C présentent deux domaines principaux en tracé d'Arrhenius. Pour les températures supérieures à 270°K, la résistance du silicium domine le comportement électrique du circuit. Par conséquent, les niveaux de courant mesurés à 300K sont du même ordre de grandeur pour les trois échantillons. Aux températures inférieures à 270K, la résistance équivalente liée à la diode Schottky devient plus importante que la résistance du silicium. On retrouve alors la caractéristique linéaire de la diode Schottky dans le tracé d'Arrhenius. Quand la température de recuit augmente, nous pouvons observer sur ces graphiques un resserrement des courbes, caractéristique d'une diminution de l'abaissement de barrière, et donc du dopage du silicium. L'impact de la température de recuit sur les caractéristiques électrique des diodes est synthétisé en Fig. 76.

Six diodes ont été caractérisées pour chaque température de recuit. L'ensemble de ces résultats est représenté en Fig. 76. Les points reliés par la courbe représentent la moyenne des valeurs, et le trait vertical l'écart-type. A partir d'une température de recuit de 300°C, la hauteur de barrière tend vers une valeur de 0,22eV +/- 0,03eV conformément aux données reportées dans la littérature [Maex95]. Par contre, le niveau de dopage mesuré diminue de manière importante de 10^{17} at./cm³ à 200°C vers une valeur de 6.10^{16} at./cm³ à 500 et 600°C.

A 200°C, le siliciure n'est pas encore formé, et le niveau de dopage mesuré correspond à celui de la surface du substrat de silicium. Ces substrats étant des « prime » standard de type

p, un dopage d'origine de l'ordre de quelques 10^{15} at./cm³ est attendu, soit deux ordres de grandeur inférieur au dopage mesuré. Nous expliquons cette augmentation du dopage par un mécanisme de ségrégation du bore intervenant lors de la formation du masque en SiO₂ par croissance thermique. Aux températures de recuit de 400, 500, et 600°C, le siliciure dépasse cette zone de légère ségrégation, et l'on retrouve le niveau de dopage attendu.

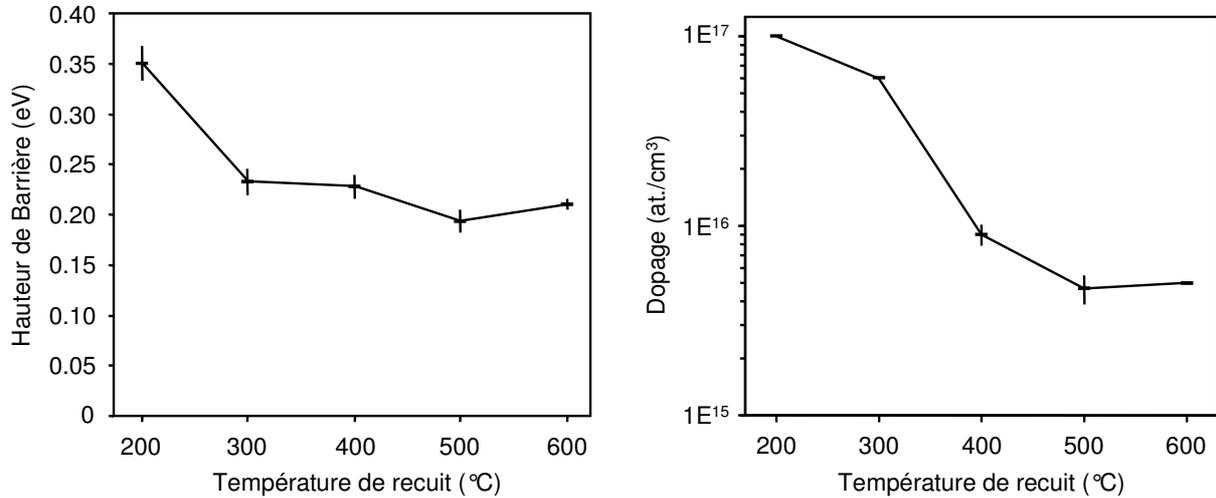


Fig. 76 : Hauteur de barrière et paramètre de dopage en fonction de la température pour des échantillons Pt(20nm)/Si, recuits à différentes températures.

III.4.3 Modulation de la hauteur de barrière Schottky par ségrégation de dopants : Vers une très faible barrière aux trous

[Zhang07] a pu montrer le potentiel de la ségrégation de dopants sur le contrôle de la hauteur de barrière Schottky aux trous et aux électrons du NiSi et du PtSi. Dans les parties suivantes, nous mettons en œuvre des approches comparables en tirant partie de l'ingénierie des dopants pour le contrôle des hauteurs de barrières.

La hauteur de barrière du PtSi à l'injection des trous est donc d'environ 0,22eV, et ce quelle que soit la température de formation du siliciure. Nous étudions dans ce paragraphe une méthode d'ingénierie de la hauteur de barrière par ségrégation des dopants. Après avoir formé les structures de diodes en SiO₂, une implantation ionique de l'ion BF₂ à basse énergie et forte dose (1keV, 1×10^{15} at./cm²) est réalisée grâce à un implanteur industriel. Les échantillons reçoivent par la suite un procédé de siliciuration en tout point identique à celui présenté dans le paragraphe précédent.

La formation des phases lors du recuit a été contrôlée par diffraction X (Fig. 77). Il est surprenant d'observer la formation de la phase Pt₃Si à 400°C. La formation de cette phase, dont nous n'avons pas trouvé de référence dans la littérature, montre une modification de la séquence de formation du PtSi conventionnelle (Pt → Pt₂Si → PtSi). A 400 et 500°C, les phases PtSi et Pt₃Si sont toutes les deux présentes, alors qu'à 600°C, seule la phase PtSi est détectée. A 500°C, un pic de Pt apparaît. Ces analyses XRD ont en effet été réalisées sur des échantillons avec structures de diodes SiO₂, et un résidu de Pt/SiO₂ (sans impact au niveau électrique) après retrait sélectif à l'eau régale est souvent observé.

Par ailleurs, nous remarquons un décalage des pics mesuré par rapport au spectre théorique vers les angles petits pour la phase Pt₃Si, et vers les grands angles pour la phase

PtSi. La loi de Bragg s'exprimant en $2d_{hkl} \cdot \sin\theta = n \cdot \lambda$, le décalage vers des angles plus petits correspond à une distance interréticulaire plus importante que prévue. Dans le cas des échantillons à 400 et 500°C où les deux phases sont détectées, la phase Pt₃Si est soumise à une contrainte en tension, et la phase PtSi à une contrainte en compression. Il semble donc probable que ces phases cohabitent dans une structure « empilée », plutôt que dans une structure « mélangée ».

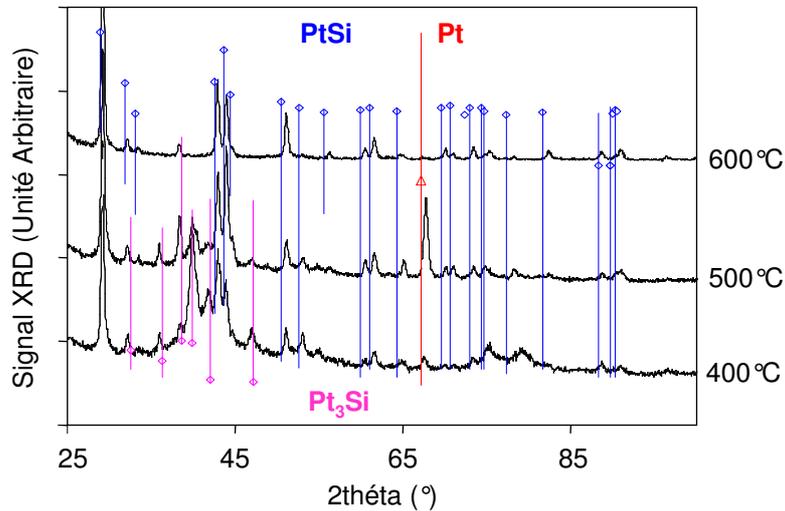


Fig. 77 : Spectres de diffraction X des échantillons Pt(20nm)/Si recuits à 400, 500 ou 600°C, le substrat Si ayant été implanté avant dépôt du métal en BF₂ à 1keV et 1x10¹⁵ at./cm².

L'observation SEM en vue de coupe des échantillons (Fig. 78) ne montre pas de différence notable avec les échantillons non dopés. A 100°C, la couche de Pt déposée a très peu réagi avec le substrat, et une épaisseur de 19,8nm est mesurée. La réaction est plus marquée à 200°C, ce que montre l'épaisseur de 25,7nm mesurée et l'enfoncement de la couche de siliciure par rapport à l'interface initiale représentée par l'interface du masque SiO₂/Si. A 300°C, le siliciure atteint son épaisseur finale de 42nm. Aucune évidence expérimentale sur l'hypothèse d'empilement des phases Pt₃Si et PtSi n'est observée. La rugosité de l'interface Pt_xSi_y/Si diminue avec l'augmentation de la température.

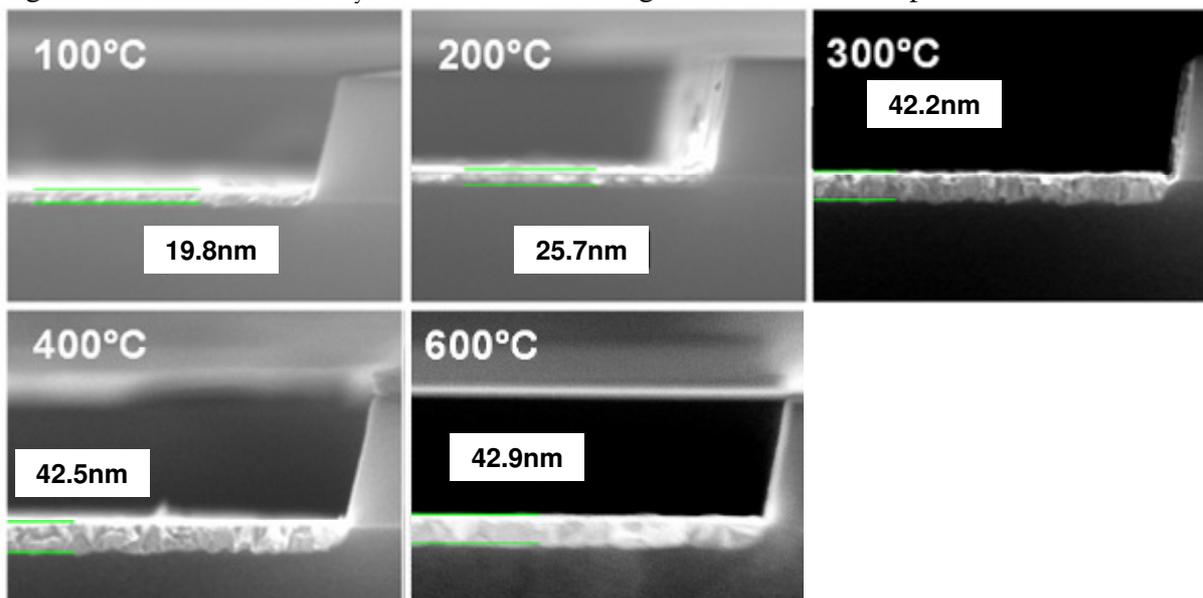


Fig. 78 : Observations MEB en vue de coupe des siliciures de platine formés à différentes températures sur un substrat de Si ayant reçu une implantation ionique de BF_2 à une énergie 1keV et une dose de 1×10^{15} at./cm².

Des profils SIMS ont été réalisés après l'étape de dépôt de 20nm de Pt suivie d'un recuit à 300°C ou d'un recuit à 600°C (Fig. 79 et 80). Ces analyses ont été réalisées par Evans Analytical Group. Les données brutes après analyse sont obtenues en considérant une vitesse de pulvérisation et une concentration de B correspondant à du silicium monocristallin. Il est évident que dans notre cas, la vitesse de pulvérisation est différente dans le cas du Pt ou du PtSi par rapport à du Si. L'axe des x est donc calibré suivant l'épaisseur de Pt déposé.

Le profil après dépôt du Pt est comparé en Fig. 79 avec les simulations d'une implantation BF_2 -1keV- 1×10^{15} at./cm² réalisées grâce au simulateur Monte-Carlo TRIM [Ziegler85]. Nous observons que la simulation du pic d'implantation donne une concentration de 2×10^{21} at./cm³ deux fois supérieure à celle mesurée par SIMS. Cette différence dans les concentrations, et donc dans la dose mesurée, tient au fait que la mesure SIMS est particulièrement difficile à interpréter aux interfaces entre différents matériaux. Toutefois, un bon accord sur le profil de dopants est obtenu entre simulation et expérience.

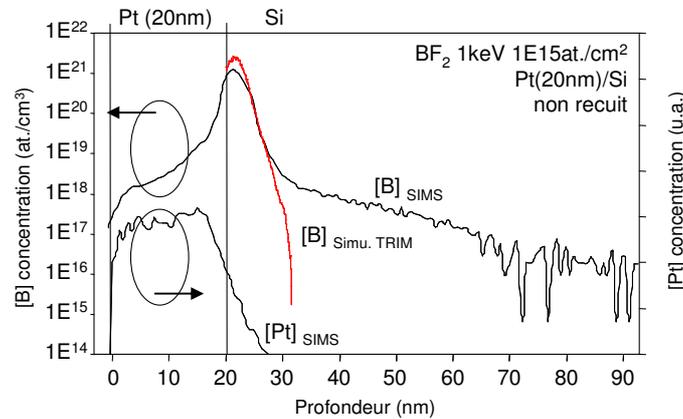


Fig. 79 : Profil SIMS d'un échantillon Pt(20nm)/Si(BF_2 ; 1keV; 1×10^{15} at./cm²) non recuit, comparé à une simulation d'une implantation similaire grâce au logiciel TRIM.

Les profils SIMS réalisés sur les échantillons recuits à 300°C et 600°C (Fig. 80) sont présentés en utilisant la même calibration de l'axe x que pour la Fig. 79. Cette méthode de calibration est validée par la mesure de l'épaisseur du PtSi, d'environ 40nm. Une évolution importante du profil de dopants est observée après le recuit de siliciuration. D'une part, la concentration maximale du pic d'implantation diminue, et la largeur de la distribution gaussienne augmente. Par ailleurs, nous observons une exo-diffusion des dopants vers la surface du siliciure, et ce d'autant plus que la température de recuit est élevée. Après recuit à 300°C, les observations MEB montrent que le siliciure atteint son épaisseur finale. Cette observation est confirmée par le profil SIMS du Pt. Nous pouvons aussi remarquer une augmentation de la concentration de Pt en surface du siliciure, qui va dans le sens de l'hypothèse d'empilement des phases Pt_3Si et $PtSi$ précédemment formulée. La formation du siliciure s'accompagne de l'incorporation d'une concentration de B d'environ 2×10^{18} at./cm³. Aucun effet de ségrégation de dopants n'est observé à l'interface avec le silicium.

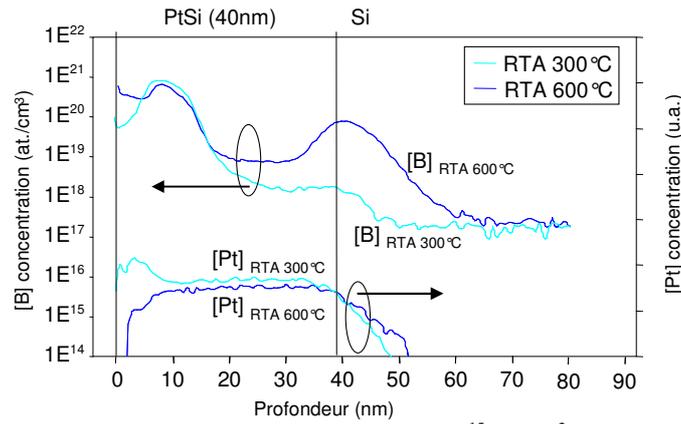


Fig. 80 : Profils SIMS d'échantillons Pt(20nm)/Si(BF₂ ; 1keV ; 1x10¹⁵ at./cm²) après recuit RTA à 300 et 600°C.

Dans le cas d'un recuit à 600°C, nous observons une incorporation plus importante du bore dans le film de siliciure, avec une concentration d'environ 7×10^{18} at./cm³. Par ailleurs une accumulation de bore à l'interface PtSi/Si apparaît clairement avec un profil assimilable à une distribution gaussienne dans la partie supérieure, d'une concentration maximale de $7,5 \times 10^{19}$ at./cm³.

L'impact de la ségrégation du bore à l'interface est significatif au niveau des performances électriques de la diode (Fig. 81). A 300°C, la caractéristique électrique est identique à celles observées dans le cas des échantillons non dopés. Par contre, à 600°C, le régime linéaire caractéristique de la jonction Schottky n'apparaît plus, et le courant mesuré est contrôlé par la résistance du barreau de silicium. La méthode mise en œuvre nous permet alors d'estimer que la hauteur de barrière est inférieure à 0,11eV.

Cet effet d'abaissement est présenté en détail en Fig. 82, accompagné de la référence des échantillons non dopés. Jusqu'à une température de recuit de 500°C, l'effet du bore n'est pas visible sur la hauteur de barrière. La signature de la diode Schottky n'étant pas observée sur le tracé d'Arrhenius, il est seulement possible de déterminer les limites des caractéristiques de la diode.

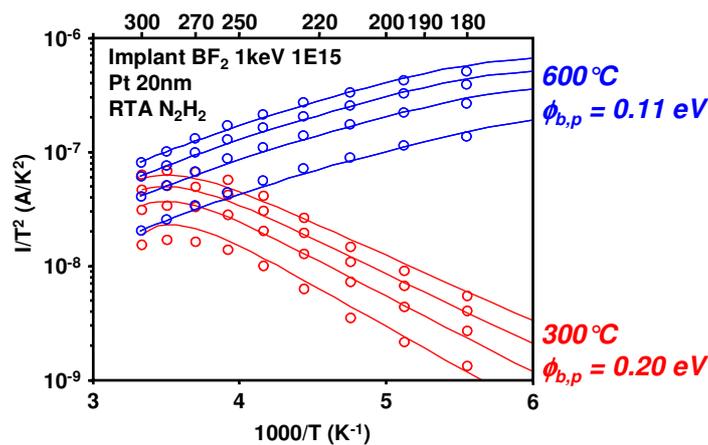


Fig. 81 : Tracés d'Arrhenius des caractéristiques d'un échantillon implanté en BF₂ à 1keV et 1E15 at./cm² puis siliciuré à 300 ou 600°C.

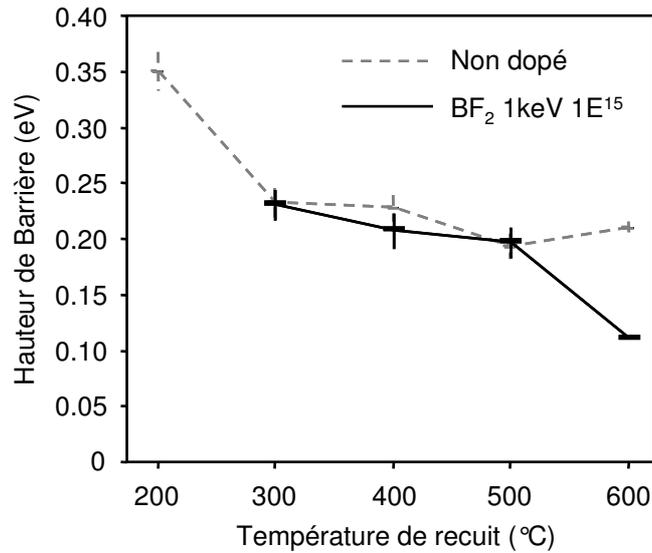


Fig. 82 : Hauteur de barrière en fonction de la température de recuit pour des échantillons Pt(20nm)/Si(BF₂; 1keV; 1x10¹⁵ at./cm²)

III.4.4 Modulation de la hauteur de barrière Schottky par ségrégation de dopants : Vers une faible barrière aux électrons

Une expérience similaire a été réalisée en remplaçant le dopant bore, de type p, par une implantation d'arsenic, de type n, dans les mêmes conditions d'implantation (1keV, 1x10¹⁵ at./cm²).

L'analyse en diffraction X (Fig. 83) met en évidence la présence de la phase Pt₃Si à 400, 500 et 600°C. L'intensité et le nombre de pics correspondant à cette phase sont plus faibles que dans le cas de l'implantation de BF₂ et montrent une présence moins importante de cette phase. Les mêmes effets relatifs aux contraintes mécaniques exercées sur Pt₃Si et sur PtSi sont observés.

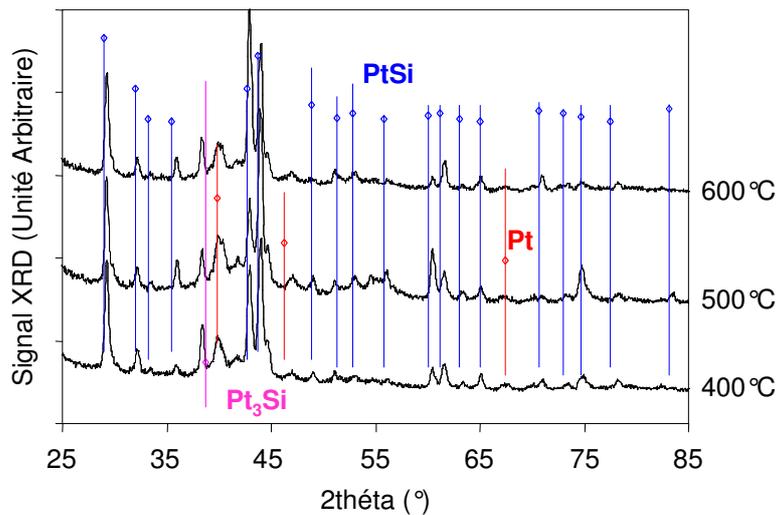


Fig. 83 : Spectres de diffraction X en incidence rasante des échantillons Pt(20nm)/Si(As; 1keV; 1x10¹⁵ at./cm²)

Les observations MEB en coupe des siliciures formés montrent une formation presque complète du siliciure dès 200°C, avec une épaisseur de 36nm. Pour des températures de recuit de 300, 400, 500 et 600°C, l'épaisseur du siliciure formé est de 40nm +/- 2nm. La morphologie des couches observées est très proche des échantillons non dopés ou dopés BF₂.

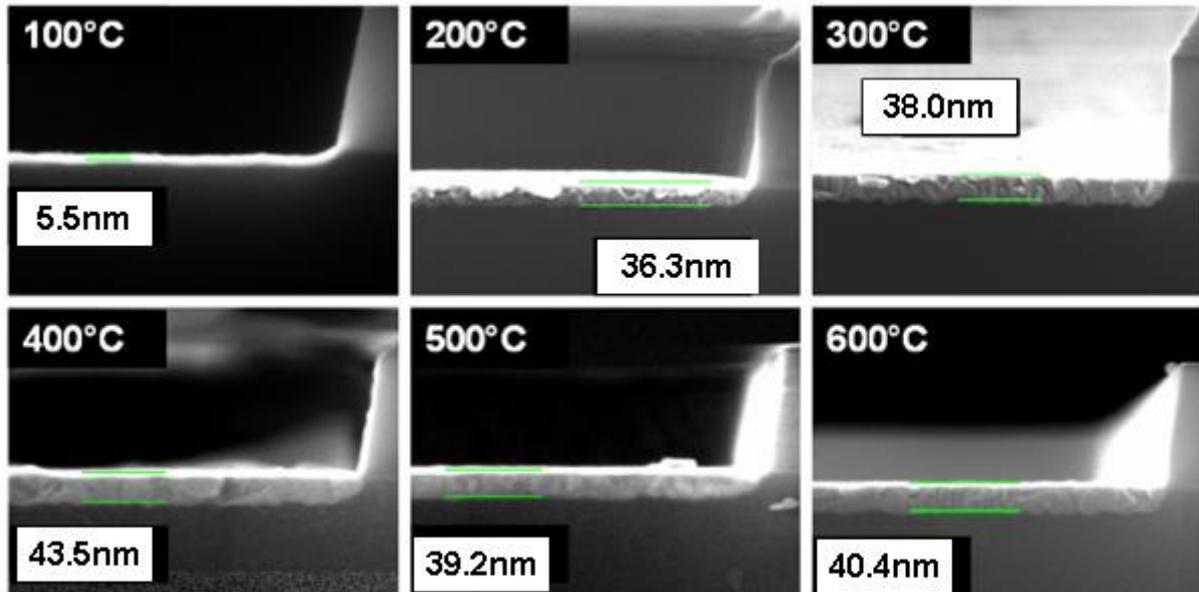


Fig. 84 : Observations MEB en vue de coupe des siliciures de platine formés à différentes températures sur un substrat de Si ayant reçu une implantation ionique d'arsenic à une énergie 1keV et une dose de 1×10^{15} at./cm².

Les profils SIMS ont été réalisés dans les mêmes conditions que précédemment. Une procédure de calibration identique est appliquée en Fig. 85 et Fig. 86. L'accord est parfait entre le profil d'implantation mesuré par SIMS et celui simulé grâce au logiciel TRIM (Fig. 85). Un pic de concentration de 4.10^{21} at./cm³ est observé, à une profondeur de 5nm.

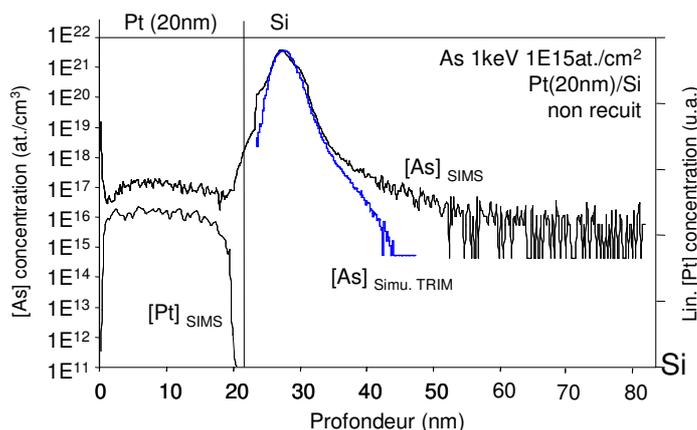


Fig. 85 : Profil SIMS d'un échantillon Pt(20nm)/Si(As; 1keV; 1×10^{15} at./cm²) non recuit, comparé à une simulation d'une implantation similaire grâce au simulateur TRIM.

La position de l'interface initiale Pt/Si représentée par un trait noir vertical en Fig. 86 est déterminée à partir des images MEB présentées en Fig. 84. Après un recuit de siliciuration à 300°C, une incorporation importante de l'arsenic est observée dans le siliciure formé, avec une concentration de 2.10^{20} at./cm³ mesurée dans l'épaisseur du film. Une accumulation de dopants est observée, d'une part à la surface du siliciure, et d'autre part à l'interface entre le siliciure formé et le substrat. Par ailleurs, un excès de Pt est détecté dans la moitié supérieure

du siliciure. De même que dans le cas de la ségrégation du bore, il est possible que cet excès de Pt soit à rapprocher de la présence d'une phase Pt₃Si identifiée par l'analyse XRD.

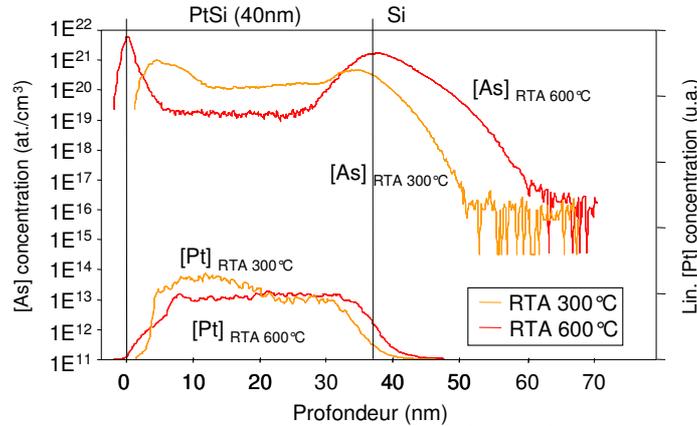


Fig. 86 : Profils SIMS d'échantillons Pt(20nm)/Si(As ; 1keV ; 1x10¹⁵ at./cm²) après recuit RTA à 300 et 600°C.

Après un recuit à 600°C, la concentration moyenne en arsenic dans le film de PtSi diminue à 1x10¹⁹at./cm³. Cet effet s'explique par la ségrégation importante observée aux interfaces, avec un pic d'arsenic en surface du PtSi à 8.10²¹at./cm². Un pic de dopants à 2.10²¹at./cm³ est aussi observé à l'interface PtSi/Si. Alors que le pic de surface apparaît plus fin que le pic d'implantation initial, le pic de bore à l'interface montre un étalement important, d'environ 15nm à 1x10²⁰at./cm³.

L'impact électrique du mécanisme de ségrégation de l'arsenic a pu être étudié en intégrant ces siliciures sur des diodes têtes-bêches. A 200°C, la hauteur de barrière aux électrons mesurée est de 0.60eV (Fig. 87). Cette hauteur de barrière est particulièrement élevée, ce qui se traduit par une caractéristique en tracé d'Arrhenius complètement contrôlée par la diode. A 400°C, la pente mesurée diminue, ce qui signifie que la hauteur de barrière est plus faible. Notre modèle nous permet d'extraire une barrière de 0,30eV. Entre 200 et 400°C, l'amplification de la ségrégation de dopants a permis de diviser la hauteur de barrière d'un facteur 2. Le contact PtSi/Si devient ici propice à l'injection d'électrons. Cet effet devient encore plus important aux plus hautes températures, comme nous le montrons en Fig. 87. A 600°C, un comportement quasi-ohmique est mesuré et une barrière de 0,15eV est extraite. Nous obtenons donc un contact à très faible hauteur de barrière aux électrons à partir du siliciure de platine.

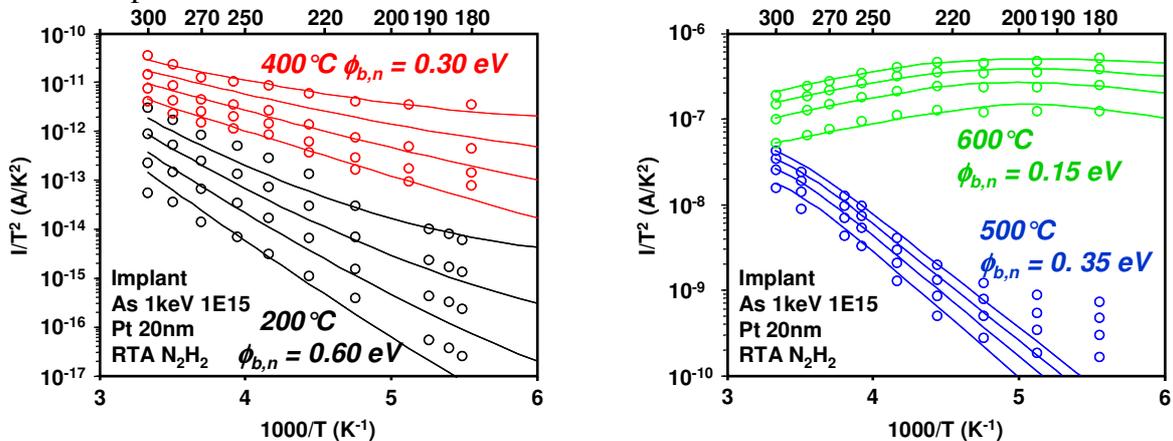


Fig. 87 : Tracés d'Arrhenius des caractéristiques d'un échantillon implanté en As à 1keV et 1x10¹⁵ at./cm² puis siliciuré à 200 ou 400°C (à gauche), et à 500 ou 600°C (à droite).

L'intégralité des résultats électriques obtenus est présentée en Fig. 88. Pour les 6 diodes caractérisées à chaque température de recuit, le trait horizontal représente la valeur moyenne et le trait vertical l'écart-type. Concernant les mesures de hauteurs de barrière, une grande dispersion des résultats apparaît à 200°C. Cette dispersion diminue à 300°C et à 400°C. A 500°C et 600°C toutes les diodes mesurées montrent des caractéristiques identiques. Cette variation de $\phi_{b,n}$ peut s'expliquer par la non-uniformité de la ségrégation des dopants à basse température. Les valeurs moyennes montrent une diminution quasiment linéaire de $\phi_{b,n}$ avec la température.

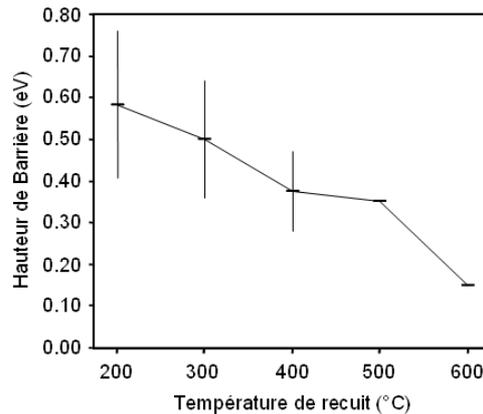


Fig. 88 : Hauteur de barrière aux électrons en fonction de la température de recuit pour des échantillons Pt(20nm)/Si(As ; 1kev ; 1×10^{15} at./cm²)

III.4.5 Discussion sur les mécanismes de ségrégation des dopants

Nous avons pu mettre en évidence la dépendance de la hauteur de barrière entre le siliciure de platine et le silicium avec la dose d'espèces implantées. Une ségrégation de bore à l'interface permet d'abaisser la barrière aux trous à 0,11 eV. Par ailleurs, la ségrégation d'As permet d'atteindre une barrière aux électrons d'environ 0,15 eV. Ce résultat est remarquable, étant donné que le siliciure de platine présente initialement une hauteur de barrière aux électrons d'environ 0,90 eV. La valeur obtenue est inférieure aux barrières mesurées pour le siliciure d'erbium. Les techniques de ségrégation de dopants permettent donc d'obtenir de faibles hauteurs de barrière avec le siliciure de platine, pour les deux types de porteurs.

Plusieurs mécanismes sont mis en jeu lors de la ségrégation des dopants. Le mécanisme de chasse-neige (*snow-plough*) a souvent été observé. Les dopants sont repoussés à l'interface lors de la formation du siliciure. Cet effet est directement relié à la solubilité limite des dopants dans le siliciure. Toutefois, dans le cas du PtSi, nous avons pu montrer la présence de phases intermédiaires Pt₂Si et Pt₃Si. La solubilité limite des dopants étant très dépendante de la phase en question, la compréhension fine des mécanismes de ségrégation lors d'un procédé complexe tel que la formation du siliciure de platine dépasse le cadre de cette étude.

Il est intéressant de rappeler que l'interprétation généralement avancée pour expliquer l'impact de la ségrégation des dopants sur la hauteur de barrière fait appel à la formation d'un dipôle électrique interfacial (v. Ch II). Toutefois, nous rappelons que certains auteurs [Maex89], en s'appuyant sur des considérations thermodynamiques, ont pu mettre en

évidence que dans le cas de substrats de Si fortement dopés, la formation d'un composé Pt-Dopant peut s'avérer énergétiquement favorable. En particulier, les composés suivants (Pt_3B , Pt_2B , Pt_3B_2 ; $PtAs_2$, Pt_2As_3) peuvent apparaître dans le cas de fortes doses de B ou d'As. Il convient donc de ne pas exclure l'hypothèse de la formation d'un composé binaire Pt-Dopant ou ternaire Pt-Si-Dopant, entraînent non plus une modulation électrique, mais une modulation chimique du travail de sortie du métal.

III.5 Conclusion

Nous avons présenté dans ce chapitre les résultats essentiels obtenus lors de notre étude du siliciure d'erbium et du siliciure de platine. Nous avons montré que le procédé de fabrication peut être optimisé en utilisant un nettoyage par plasma *in situ* de l'échantillon lors du chargement dans l'équipement, puis en réalisant un recuit post nettoyage de manière à guérir les défauts générés sur les zones de SiO_2 . Après un recuit à $600^\circ C$, une barrière aux électrons de $0,26 eV$ est obtenue, tout en maintenant une rugosité de surface et une résistance par carreau acceptables. Toutefois, les risques de siliciuration du SiO_2 et un phénomène d'exodiffusion du silicium lors de la siliciuration mis en évidence dans cette étude constituent deux obstacles majeurs pour l'utilisation de ce matériau dans les technologies CMOS.

L'étude de la formation du siliciure de platine nous permet de déterminer une fenêtre de procédé pour ce matériau. Nous mettons en évidence la séquence de formation des phases permettant de former PtSi. L'évolution de la rugosité de surface et d'interface, et leur impact sur la hauteur de barrière sont discutés. Une hauteur de barrière d'environ $0,22 eV$ est mesurée, en accord avec les résultats précédemment reportés dans la littérature.

Nous proposons finalement une méthode d'ingénierie de la hauteur de barrière par ségrégation de dopants. Des valeurs particulièrement faibles sont obtenues, aussi bien pour des barrières aux trous en utilisant une ségrégation de bore ($0,11 eV$), que pour des barrières aux électrons en mettant en œuvre une ségrégation d'arsenic ($0,15 eV$).

Ce dernier résultat mérite une attention toute particulière. En effet, cette faible barrière aux électrons montre qu'une ségrégation d'arsenic lors de la siliciuration du platine permet d'obtenir une barrière inférieure à celle du siliciure d'erbium. Nous pouvons donc envisager un schéma d'intégration mettant en œuvre un seul siliciure, dont la hauteur de barrière est modulée grâce à une ségrégation de dopants.

Le siliciure de platine présente donc un grand intérêt dans le cadre de la réalisation de contact à faible hauteur de barrière. Dans le chapitre suivant, nous concentrons notre étude sur les méthodes de retrait sélectif permettant un intégration du platine dans des architectures CMOS.

III.6 Références du chapitre III

[de Broglie23] L. de Broglie, Waves and Quanta, (en français) Compt. Rend. 177, 507-510, Sept. 1923.

[Castaing48] R. Castaing, Thesis, Univ. of Paris, France, 1948 ; “Electron Probe Microanalysis,” in *Adv. in Electronics and Electron Physics* (L. Marton ed.), Academic Press, New York, **13**, 317-386 (1960).

[Canali77] C. Canali, F. Catellani, M. Prudenziati, W. H. Wadlin, and C. Evans, Jr., “Pt₂Si and PtSi formation with high-purity Pt thin films,” *Appl. Phys. Lett.* **31**, 43 (1977).

[Crider80] C.A. Crider and J.M. Poate, “Growth rates for PtSi and PtSi formation under UHV and controlled impurity atmospheres,” *Appl. Phys. Lett.* **36**, 417 (1980).

[Dubois04] E. Dubois and G. Larrieu, « Measurement of low Schottky barrier heights applied to metallic source/drain metal–oxide–semiconductor field effect transistors”, *J. Appl. Phys.* **96**, 729 (2004).

[Fowler28] R.H. Fowler, L. Nordheim, “Electron emission in intense electric fields,” *Proc. Royal. Soc. London, Ser. A* **119**, p. 173, 1928.

[Jimenez95] J.R. Jimenez, X. Xiao, J.C. Sturm, P.W. Pellegrini, “ Tunable, long-wavelength PtSi/SiGe/Si Schottky diode infrared detector,” *Appl. Phys. Lett.* **67**, 506 (1995).

[Kaltsas96] G. Kaltsas, A. Travlos, N. Salamouras, A.G. Nassiopoulou, P. Revva, A. Traverse, “Erbium silicide films on (100) silicon, grown in high vacuum. Fabrication and properties,” *Thin Solid Films* **275**, pp. 87–90, 1996.

[Kennou96] S. Kennou, S. Ladas, M. Grimaldi, T. N. Tan, and J. Veullen, « Oxidation of thin erbium and erbium silicide overlayers in contact with silicon oxide films thermally grown on silicon, » *Appl. Surf. Sci.* **102**, 142 (1996).

[Lau82] S.S. Lau, C.S. Pai, C.S. Wu, T.F. Kuech, and B.X. Liu, “Surface morphology of erbium silicide,” *Appl. Phys. Lett.* **41**, 77 (1982).

[Larrieu03] G. Larrieu, E. Dubois, « Formation of platinum-based silicide contacts: Kinetics, stoichiometry, and current drive capabilities », *J. Appl. Phys.* **94**, 7801 (2003).

[Lew84] C. W. Lew and C. R. Helms, “Effects of platinum silicide thickness and annealing temperature on arsenic redistribution,” *J. Appl. Phys.* **56**, 3418 (1984).

[Ley95] L. Ley, Y. Wang, V. Van Nguyen, S. Fisson, D. Souche, G. Vuye, and J. Rivory, *Thin Solid Films* **270**, 561 (1995).

[Maex89] K. Maex, G. Ghosh, L. Delaey, V. Probst and R. F. De Keersmaecker “Degradation of doped Si regions contacted with transition-metal silicides due to metal-dopant compound formation”, *J. Appl. Phys.* **66**, p. 5327 (1989)

- [Maex95] K. Maex and M. V. Rossum, *Properties of Metal Silicides*, EMIS Datareviews Series No. 14 (INSPEC, London, 1995).
- [McLeod92] J. E. McLeod, M. A. E. Wandt, and R. Pretorius, and C. M. Comrie, "Marker and radioactive silicon tracer studies of PtSi formation," *J. Appl. Phys.* **72**, 2232 (1992).
- [Nava81] F. Nava, S. Valeri, G. Majni, A. Cembali, G. Pignatelli and G. Queirolo, "The oxygen effect in the growth kinetics of platinum silicides," *J. Appl. Phys.* **52**, 6641 (1981).
- [Poate74] J.M. Poate, T.C. Tisone, "Kinetics and mechanism of platinum silicide formation on silicon", *Appl. Phys. Lett.* **24**, p. 391 (1974).
- [Pretorius81] R. Pretorius, A. P. Botha, and J. C. Lombard, "Silicon self-diffusion in thin SiO₂ and PtSi films", *Thin Solid Films* **79**, 61 (1981).
- [Sawada86] T. Sawada, C. S. Pai, S. S. Lau, D. B. Poker, and Ch. Bucha, "Ion mixing of Ni-Pt films on Si," *J. Mater. Res.* **1**, 322 (1986).
- [Shalish00] I. Shalish, L. Kronik, G. Segal, Y. Shapira, "Yellow luminescence and Fermi level pinning in GaN layers," *Appl. Phys. Lett.* **77**, 987 (2000).
- [Song87] J.-S. Song and C.-A. Chang, "Enhanced PtSi formation using a gold layer between Pt and Si," *Appl. Phys. Lett.* **50**, 422 (1987).
- [Stark00] T. Stark, H. Grunleitner, M. Hundhausen, and L. Ley, *Thin Solid Films* **358**, 73 (2000).
- [Takai85] H. Takai, P.A. Psaras, and K.N. Tu, "Effects of substrate crystallinity and dopant on the growth kinetics of platinum silicides," *J. Appl. Phys.* **58**, 4165 (1985).
- [Tan06] E.J. Tan, M. Bouville, D.Z. Chi, K.L. Pey, P.S. Lee, D.J. Srolovitz, and C.H. Tung, *Appl. Phys. Lett.* **88**, 021908 (2006).
- [Thompson81] R.D. Thompson, B.Y. Tsaur, K.N. Tu, « Contact reaction between Si and rare earth metals, » *Appl. Phys. Lett.* **38**, 535 (1981).
- [Wittmer83] M. Wittmer, "Growth kinetics of platinum silicide," *J. Appl. Phys.* **54**, 5081 (1983).
- [Zhang07] Z. Zhang et al., "Schottky-Barrier Height Tuning by Means of Ion Implantation Into Preformed Silicide Films Followed by Drive-In Anneal", *IEEE Electron Dev. Lett.* **28**, 565 (2007).
- [Zhou99] S. M. Zhou, M. Hundhausen, T. Shark, L. Y. Chen, and L. Ley, *J. Vac. Sci. Technol. A* **17**, 144 (1999).
- [Zhu04] S. Zhu, J. Chen, M.-F. Li, S. J. Lee, J. Singh, C. X. Zhu, A. Du, C. H. Tung, A. Chin, and D. L. Kwong, "N-type Schottky barrier source/drain MOSFET using ytterbium silicide," *IEEE Electron Dev. Lett.* **25**, pp. 565–567 (2004).
- [Ziegler85] J.F. Ziegler, J.P. Biersack, U. Littmark, *The Stopping and Range of Ions in Solids*, Pergamon Press, New York (1985). <http://www.srim.org/>

Chapitre IV

Iridium, Platine : approche alternative de l'intégration des siliciures quasi-nobles

Dans une première partie, les problématiques associées à l'intégration auto-alignée des siliciures de métaux quasi-nobles (Pt, Ir) sont explicitées. Suite à la mise en évidence des défauts générés par un retrait sélectif à l'eau régale, une stratégie alternative de retrait sélectif par transformation du métal non réagi en un germaniure sacrificiel est proposée.

Dans une deuxième partie, la méthode de retrait sélectif par germaniuration sacrificielle est appliquée au siliciure de platine. Après une étude de la formation des germaniures de platine, la solubilité de différentes phases (PtGe, Pt₂Ge₃ et PtGe₂) dans des chimies conventionnelles est démontrée. Cette étude permet de vérifier dans une troisième partie l'impact négligeable de l'étape de germaniuration sur les propriétés morphologiques et électriques d'un siliciure de platine déjà formé.

L'intérêt de cette stratégie pour l'intégration des siliciures d'iridium est évalué dans une dernière partie. Dans un premier temps la formation des germaniures d'iridium est étudiée sur pseudo-substrat Ge. Dans un deuxième temps, une méthode d'étude par profilage MEB-EdX de la solubilité des différentes phases de germaniures d'iridium est présentée. Bien que cette méthode démontre un potentiel pour le retrait de larges surfaces d'Ir, nous montrerons qu'elle ne permet pas une intégration du siliciure d'iridium sur des architectures CMOS.

IV.1 Position du problème

Nous avons pu montrer les avantages offerts par le siliciure de platine en termes de stabilité thermique et de hauteur de barrière par rapport à un siliciure conventionnel. Nous allons étudier dans ce chapitre les propriétés de ce matériau dans l'optique d'une intégration sur des technologies CMOS, notamment dans le cadre d'une intégration sélective auto-alignée sur la grille, dite SALICIDE (pour Self-Aligned siLICIDE).

Cette technologie est présentée schématiquement en Fig. 89 en prenant l'exemple du siliciure de nickel NiSi, largement utilisé pour les technologies CMOS 65 et 45nm. La première étape consiste à déposer en pleine plaque le Ni après les traitements et nettoyages de surface appropriés. Un recuit permet ensuite de former le siliciure NiSi sur les zones de silicium. Il est important de noter que le métal ne réagit pas sur les zones de SiO₂ ou de Si₃N₄. L'étape suivante consiste à retirer le Ni non-réagi sélectivement par rapport à son siliciure NiSi. Le nickel étant un matériau facilement soluble, un traitement chimique standard de type SPM (H₂O₂ :H₂SO₄) permet d'obtenir une sélectivité suffisante pour mettre en œuvre cette stratégie d'intégration.

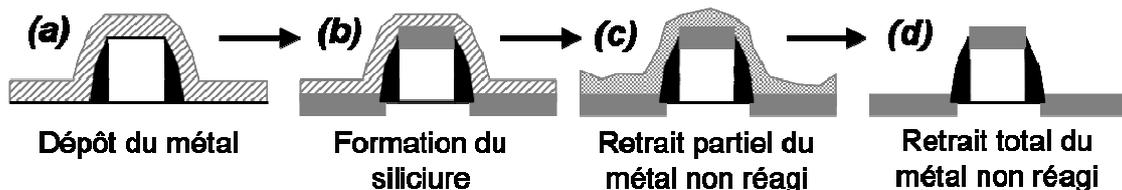
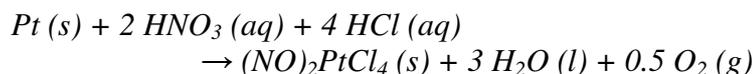


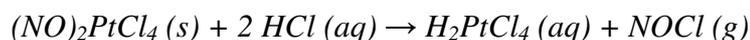
Fig. 89 : Schéma du procédé conventionnel de l'intégration auto-alignée d'un siliciure, mettant en œuvre un retrait sélectif du métal non réagi, ici le nickel.

La situation apparaît plus complexe dans le cas du siliciure de platine. En effet, le platine est un matériau connu pour sa résistance à la corrosion – en particulier à l'oxydation-, et donc à sa faible réactivité chimique. De par ces propriétés, le platine est généralement classé dans la catégorie des métaux nobles. Cependant, au sens physique du terme, la noblesse d'un matériau est conditionnée par le remplissage de ses bandes électroniques *d*. C'est le cas de l'or (configuration électronique [Xe] 4f¹⁴ 5d¹⁰ 6s¹), par exemple, mais pas du platine (configuration électronique [Xe] 4f¹⁴ 5d⁹ 6s¹) qui appartient à la catégorie des métaux quasi nobles. Il est intéressant de noter que le fait que la bande 5*d* du platine soit incomplète lui permet de jouer le rôle de catalyseur électrochimique.

L'eau régale est la solution chimique la plus couramment utilisée pour dissoudre le platine. Les deux acides chlorhydrique et nitrique sont nécessaires pour rendre le platine soluble. Une première réaction permet la formation d'un composé solide de chlorure nitrosoplattinique ((NO)₂PtCl₄) :



Ce composé peut être dissout comme décrit dans la deuxième réaction par excès de HCl :



De nombreuses démonstrations de l'intégration auto-alignée du PtSi grâce à l'eau régale sont répertoriées dans la littérature [Zhang06], [vanDal06], [Lee06]. Sous une perspective à l'échelle industrielle, nous discutons dans la partie suivante des inconvénients observés lors de l'utilisation de cette chimie de retrait.

IV.1.1 Difficultés liées à l'eau régale

Un premier inconvénient majeur concernant l'eau régale est lié à la réaction chimique provoquée par la présence des acides chlorhydriques et nitriques en solution. En effet, les réactifs liquides HNO_3 et HCl forment les produits gazeux NOCl et Cl_2 , comme décrit dans le schéma de réaction ci-dessous.



Ainsi, la concentration des réactifs dans l'eau régale diminue au cours du temps, ce qui impacte directement les vitesses d'attaque. Dans une perspective d'utilisation de l'eau régale à l'échelle industrielle, cet inconvénient impose un changement de bains chimiques fréquent, ou la prise en compte de la diminution de la vitesse d'attaque dans le temps de gravure. Une autre approche consiste à utiliser des équipements traitant une plaque de silicium à la fois, et mettant en œuvre des réactifs frais pour chaque retrait sélectif.

IV.1.1.1 Observation des défauts

Les structures mises en jeu lors de l'étape de siliciuration sont principalement constituées de SiO_2 pour les zones isolantes, de polysilicium pour les grilles, et de silicium monocristallin pour les zones actives. Après une désoxydation des surfaces au HF 1%, une couche de Pt de 10nm d'épaisseur est évaporée sur un échantillon comprenant les trois types de structures énoncées. Le PtSi est formé grâce à un recuit RTA à 400°C pendant 4 minutes, sous gaz réducteur N_2H_2 . Les échantillons sont ensuite plongés dans un bain d'eau régale ($\text{HCl}:\text{H}_2\text{O}:\text{HNO}_3$; 60:40:20mL) à 50°C pendant 2 minutes. Le temps de gravure est choisi de manière à ce que le Pt sur les zones isolantes soit complètement retiré.

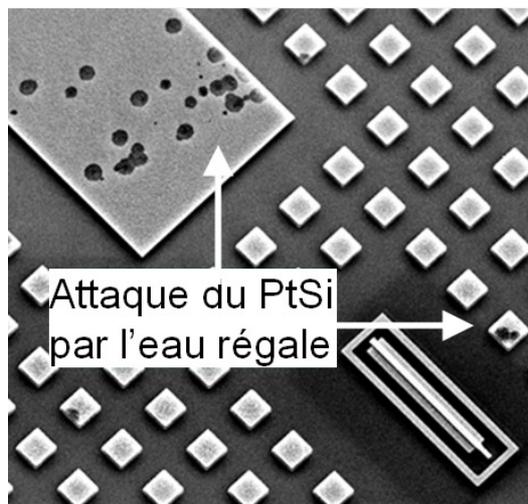


Fig. 90 : Observation en MEB tilté des défauts circulaires formés par attaque de la couche de PtSi par l'eau régale. Ces zones d'attaques sont dues à la présence de défauts ponctuels sur la couche de SiO_2 à la surface du PtSi [Breil07a].

Une observation, en MEB « tiltée », de la surface de l'échantillon après gravure est présentée Fig. 90. Le plot le plus large et les plots de surface carrée sont constitués de polysilicium. Une structure MOSFET est présente en bas à droite de l'image. Un nombre important de défauts de forme circulaire est observé sur le polysilicium [Breil07a].

[Rand74] a pu mettre en évidence la faible sélectivité de l'eau régale entre le platine et son monosiliciure (Pt vs. PtSi). La sélectivité observée est en fait due à une oxydation superficielle du PtSi qui produit un empilement de type SiO₂/PtSi. L'eau régale est donc sélective entre Pt et SiO₂, mais pas entre Pt et PtSi.

En Fig. 90, le PtSi observé est affecté par la rugosité du polysilicium, de l'ordre de 4-5Å. Une quantité faible d'oxygène est présente lors du recuit de siliciuration et provoque une oxydation de surface du PtSi, ce qui protège le siliciure d'une attaque par l'eau régale. Par ailleurs, la rugosité du PtSi provoque des défauts ponctuels microscopiques dans la couche de SiO₂. Ces défauts sont des « puits » d'attaque du PtSi par l'eau régale. Une fois cette attaque enclenchée, le « puits » permet une gravure isotrope du matériau, ce qui explique la forme circulaire des défauts observés en Fig. 2.

IV.1.1.2 Méthode de protection par oxydation superficielle

Différentes méthodes peuvent être envisagées pour éviter l'apparition de ces défauts. La plus utilisée dans la littérature [Zhang06], [vanDal06], [Lee06] consiste à ajouter au recuit de siliciuration une étape de recuit sous O₂. De cette manière, une couche de protection suffisamment épaisse (quelques nanomètres) est volontairement créée par oxydation superficielle, ce qui permet d'éviter les défauts ponctuels. [Zhang06] par exemple, réalise un recuit sous O₂ à 600°C.

Toutefois, cette solution impose une augmentation des budgets thermiques liés à l'étape de siliciuration, ce qui risque de provoquer une désactivation des dopants métastables des jonctions source et drain. Par ailleurs, la diminution des dimensions des composants va de pair avec la réduction de la profondeur des jonctions source et drain. Dans le cas des substrats à films minces de type SOI (*Silicon On Insulator*), l'épaisseur de silicium disponible pour la siliciuration est de l'ordre d'une dizaine de nanomètres. Par conséquent, des épaisseurs particulièrement faibles de siliciures sont mises en jeu. La méthode d'oxydation superficielle décrite ici consomme quelques nanomètres de la surface du siliciure pour les convertir en SiO₂, ce qui se traduit inévitablement par une augmentation de la résistance par carreau du siliciure. Cet effet dégrade de manière importante les résistance d'accès au dispositif actif, et ce d'autant plus que l'épaisseur du film de silicium disponible est faible (voir Ch. I).

IV.1.2 Une approche alternative : l'intégration auto-alignée du siliciure par germaniuration sacrificielle

Nous avons montré que les méthodes de retrait sélectif direct par voie chimique du Pt non réagi par rapport à son monosiliciure génèrent de nombreux défauts. Par ailleurs, la méthode de protection par oxydation sacrificielle pose de nouveaux problèmes, notamment liés à l'augmentation du budget thermique et à la dégradation de la résistance d'accès.

Nous proposons ici une méthode d'intégration alternative permettant de s'affranchir des différents inconvénients précédemment décrits.

La méthode de retrait auto-alignée par germaniuration sacrificielle consiste à transformer le platine en un alliage facilement soluble dans des solutions chimiques conventionnelles. Suite à la mise en évidence par [Halimaoui07], [Breil07a], [Breil07b] de la solubilité des germaniures de platine dans le peroxyde d'hydrogène (H_2O_2), un schéma d'intégration a pu être proposé.

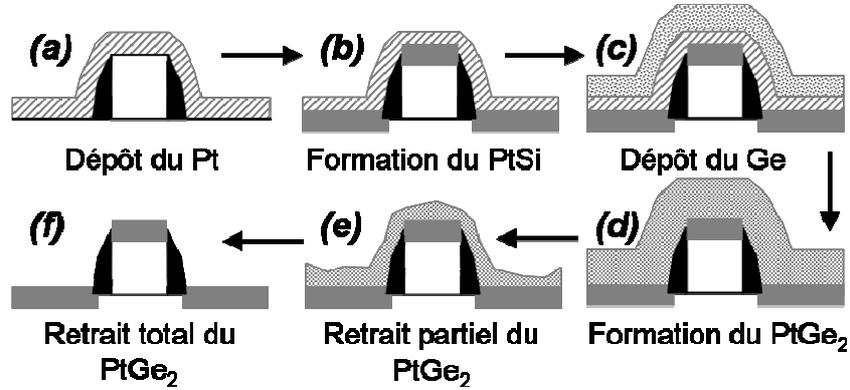


Fig. 91 : Schéma d'intégration alternatif utilisant un procédé de retrait sélectif du métal non réagi (ici le platine) par germaniuration sacrificielle

Les deux premières étapes de la méthode proposée – dépôt du Pt et formation du PtSi – sont communes à la méthode d'intégration auto-alignée conventionnelle. Un dépôt de Ge est ensuite réalisé. Un recuit de germaniuration permet de transformer le Pt non réagi en germaniure de platine (la phase $PtGe_2$ en Fig. 91). Cette phase est ensuite retirée sélectivement dans une solution à base de H_2O_2 .

La suite de ce chapitre décrit l'état de l'art concernant les germaniures de platine et d'iridium, et présente une étude relative à leur formation, leur solubilité, puis leur intégration dans les technologies CMOS.

IV.2 Formation et solubilité des germaniures de platine

Dans cette partie, une procédure de retrait sélectif du Pt permettant d'éviter l'utilisation de l'eau régale est proposée.

Dans un premier temps, la formation des germaniures de platine est étudiée sur pseudo-substrat Ge(1.5 μ m)/Si. Les pseudo-substrats sont fabriqués grâce à une épitaxie de Ge relaxé d'une épaisseur de 1,5 μ m sur Si(100) dans un équipement CVD 200mm. Cette étude permet de mettre en évidence la formation des différentes phases dans le cas d'une quantité de Ge disponible quasi-illimitée. Seule la quantité de métal disponible et la température du recuit vont déterminer la phase formée. Nous détaillons tout d'abord la technique de nettoyage de nos pseudo-substrats. Par la suite, la séquence de formation des germaniure de platine est analysée en mettant en œuvre des mesures de résistivité et de diffraction X.

Dans un deuxième temps, les phases Pt_xGe_y sont formées grâce à un empilement Ge/Pt/SiO₂ sur substrat Si de type p. Dans ce cas, le réservoir de Ge est limité et permet de simuler le schéma d'intégration du PtSi par germaniuration sacrificielle sur architecture CMOS. Cette configuration nous permet de corréler la formation d'une phase de germaniure avec sa résistivité, sa morphologie, mais surtout sa solubilité dans différents traitements chimiques, ce dernier paramètre étant le plus important compte tenu de l'application finale de nos procédés. Des observations MET nous permettent tout d'abord de vérifier la morphologie des couches formées. Par la suite, les analyses XRD de ces couches sont présentées afin de déterminer la séquence de formation des différentes phases en fonction de la température et du rapport des épaisseurs Pt/Ge déposées. Ces différentes phases de germaniures de platine sont ensuite plongées dans un bain de SPM (H₂SO₄ : H₂O₂) afin d'étudier leur solubilité. Finalement, le potentiel de cette méthode de retrait sélectif est évalué par une intégration du siliciure de platine sur une architecture CMOS caractérisée morphologiquement et électriquement.

IV.2.1 Préparation des surfaces de Germanium

Le nettoyage des surfaces de germanium est un sujet largement abordé dans la littérature du fait du potentiel de ce matériau pour les futures générations de dispositifs CMOS à hautes performances. Le Ge a en effet de meilleures propriétés intrinsèques que le Si, en particulier grâce à une meilleure mobilité des trous. Toutefois, l'oxyde thermique du Ge n'est pas un diélectrique de bonne qualité et présente beaucoup plus de défauts que le SiO₂. De plus, le Ge s'oxyde directement au contact de l'atmosphère ou de l'eau. En conséquence, la mise au point de méthodes efficaces de nettoyage et de passivation des surfaces de Ge pour les étapes de procédé ultérieures est de toute première importance.

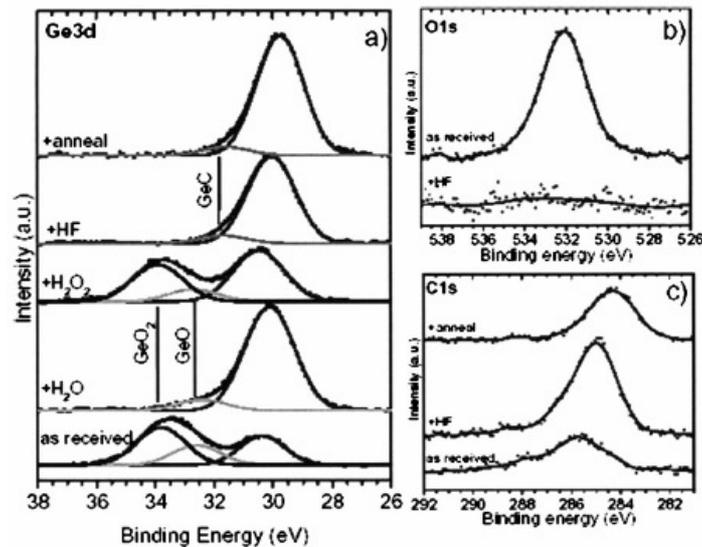


Fig. 92 : Spectres XPS des raies Ge3d (a), O1s (b), et C1s (c) pour un substrat de Ge sans traitement spécifique, après H₂O, après H₂O₂, et après recuit, successivement. Sur les spectres du Ge3d, la ligne verticale obtenue après décomposition spectrale indique la position centrale des composés réactifs GeO, GeO₂ et GeC [Rivillon05].

Les substrats de Ge présentent une gamme importante de contaminants potentiels, tels que des oxydes, des particules, des composés organiques ou métalliques. Dans notre étude, les pseudo substrats ont été fabriqués dans des bâtis d'épitaxie par CVD à base de germane. Considérant l'extrême pureté de cette étape d'épitaxie, nous considérons que nos surfaces sont exemptes de composés organiques ou métalliques. L'atmosphère de salle blanche dans laquelle nous travaillons nous assure une quantité relativement faible de particules. L'oxydation de la surface nous apparaît donc comme la principale source de contamination des pseudo-substrats utilisés.

Au contraire du Si, le Ge a deux oxydes différents, le GeO₂ et le GeO_x (x<2). GeO₂ est soluble dans l'eau dé-ionisée (DI). [Sun06] et [Rivillon05] ont récemment proposé différents protocoles pour retirer le GeO_x. Après un bain dans l'eau DI, les auteurs suggèrent de plonger les échantillons dans l'H₂O₂, et de terminer le traitement chimique par un bain de HF, en séchant les surfaces par un flux de N₂ ou d'Ar, sans rinçage. Le premier bain dans l'eau DI permet de retirer la composante GeO₂ de l'oxyde natif. Le bain de H₂O₂ grave le Ge sur quelques nanomètres, afin d'obtenir une surface propre. Après le bain de HF, les auteurs montrent grâce à une analyse des surfaces par XPS que les deux oxydes GeO₂ et GeO_x ont été retirés, comme l'illustre la Fig. 92. Les surfaces de Ge sont finalement terminées par des liaisons hydrogène. Toutefois et contrairement aux surface de Si, une passivation hydrogène idéale n'est jamais obtenue sur des surfaces Ge, même en utilisant les solutions de HF très concentrées. La présence de carbone est aussi détectée, et les auteurs montrent qu'un recuit sous ultra-vide permet de diminuer cette contamination.

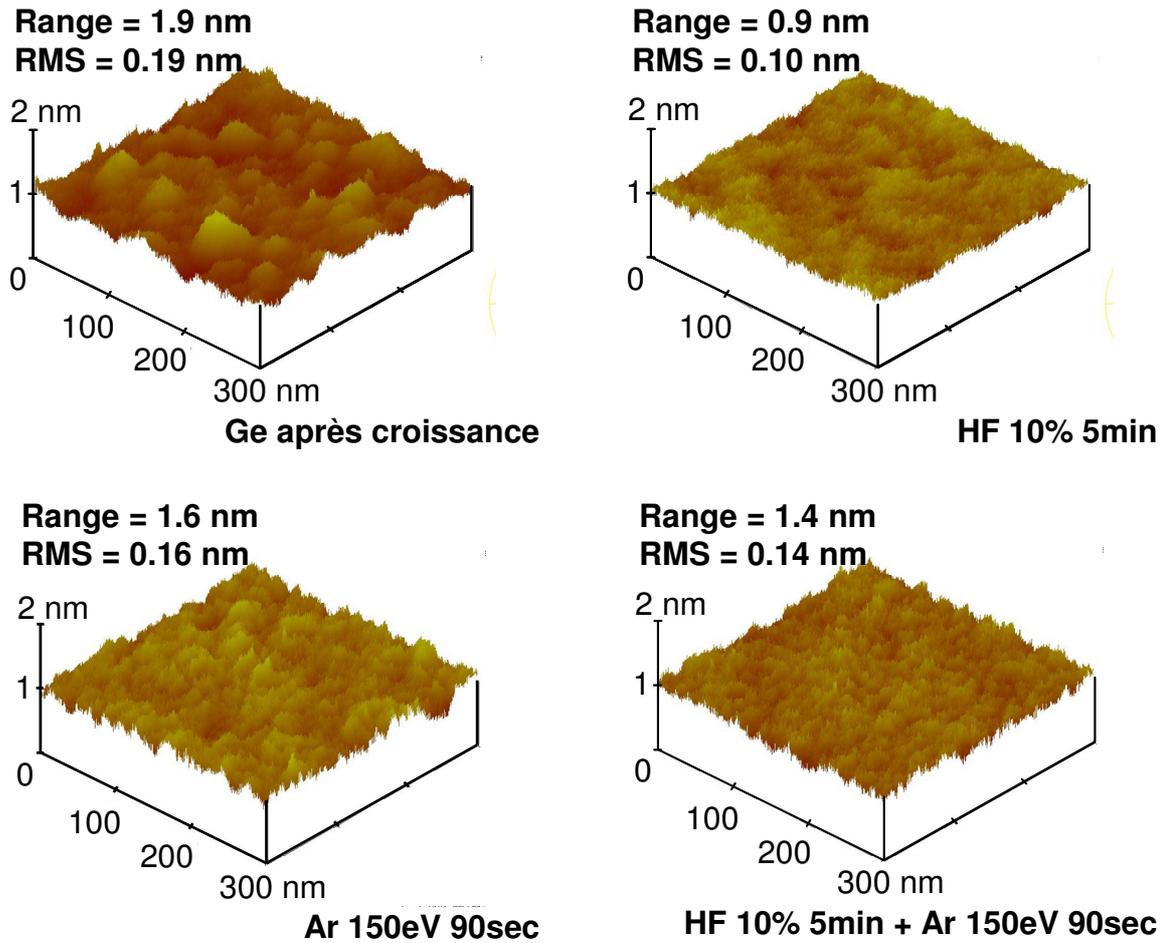


Fig. 93 : Mesure de rugosité par AFM des surfaces de Ge après dépôt de Ge (a), bain de HF 10% pendant 5min (b), nettoyage plasma Ar à 150eV pendant 90sec (c), et HF + plasma Ar (d).

Les substrats de Ge utilisés par [Sun06] et [Rivillon05] proviennent de fournisseurs de substrats commerciaux. Les étapes d'eau DI et de H₂O₂ sont introduites afin de retirer les particules et les contaminations métalliques des surfaces en mettant en œuvre une combinaison de procédé d'oxydation et de gravure. Dans notre cas, les pseudo-substrats de Ge sont obtenus par croissance CVD. Par conséquent, afin de retirer les oxydes natifs de nos substrats de Ge, une simple étape de HF 10% pendant 5 minutes est mise en œuvre. Les substrats sont ensuite séchés sous flux de N₂ sans rinçage afin d'éviter une ré-oxydation, puis directement chargés dans le bâti d'évaporation métallique. Les contaminants potentiels - tels que le carbone ou un oxyde natif apparu durant la transition entre la sortie de bain de ré-oxydation et le chargement dans le bâti - sont retirés grâce à un nettoyage par plasma ionique Ar *in-situ* à 150eV durant 90sec dans la chambre de chargement du bâti.

Les impacts respectifs du bain de HF et du nettoyage par plasma sont quantifiés en Fig. 93 en utilisant des mesures par AFM (Microscopie par Force Atomique). Après dépôt, la surface de Ge montre une rugosité RMS (*Root Mean Square*) de 0,19nm. Cette rugosité est diminuée d'un facteur 2 après le bain de HF. Le nettoyage par plasma Ar entraîne une rugosité de 0,16nm. L'échantillon ayant vu les deux étapes successives de HF puis plasma Ar montrent une rugosité de 0,14nm.

La réduction de la rugosité après un bain de HF est attribuée au retrait de l'oxyde natif du Ge. Les mesures AFM étant réalisées quelques minutes après le bain de HF, les surfaces de

Ge ne sont pas encore ré-oxydées. Nous montrons que le nettoyage par plasma Ar n'entraîne pas une importante dégradation de la surface de Ge. De fait, la rugosité finale de 0,14nm après bain de HF et plasma Ar est inférieure à la rugosité initiale du Ge après dépôt.

IV.2.2 Formation des germaniures de platine sur pseudo-substrat Ge

Les pseudo-substrats de Ge(1.5µm) relaxé sur Si sont désoxydés grâce à un bain de HF (10%) pendant 5min, suivi par un séchage sous N₂, et un chargement immédiat dans le bâti d'évaporation métallique. Une fois un vide dans la chambre de chargement de 10⁻⁷ mbar atteint, un nettoyage par plasma Ar à 150eV pendant 30sec est réalisé. Les échantillons sont ensuite transférés dans la chambre de dépôt, et une couche de Pt de 10nm est évaporée. Après déchargement, les échantillons sont soumis à un recuit RTA à différentes températures pendant 5min sous gaz N₂:H₂.

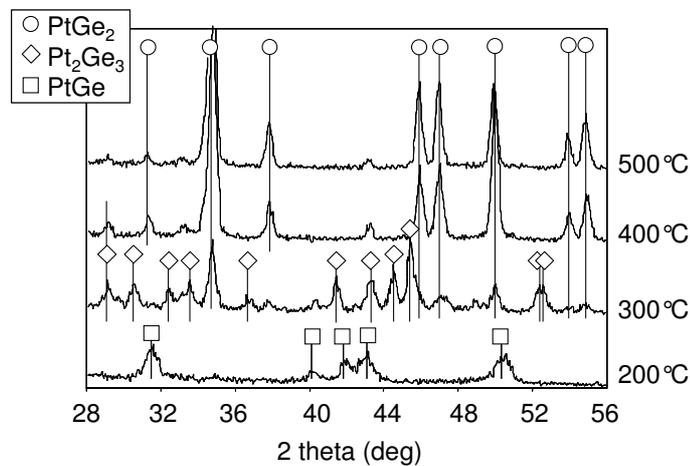


Fig. 94 : Analyse par diffraction X à angle rasant des échantillons Pt(20nm)/Ge(1.5µm)/Si

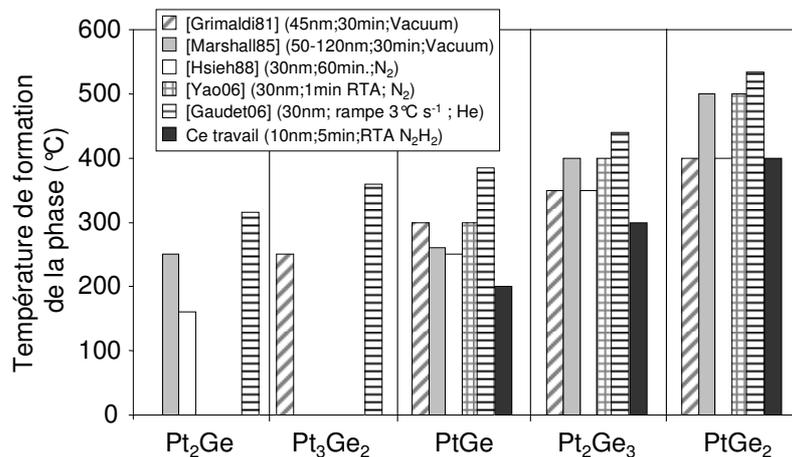


Fig. 95: Représentation graphique des données bibliographiques existant, concernant les températures de formation des différentes phases de germaniures de platine

Les phases formées sur ces différents échantillons sont analysées par diffraction X (Fig. 94). Les phases PtGe, Pt₂Ge₃ et PtGe₂ sont formées pour des températures de recuit de 200, 300 et 400-500°C, respectivement. Comme présenté en Fig. 95, ces résultats sont en accord avec les données publiées dans la littérature, qui font état d'une température de formation du PtGe entre 200 et 300°C, du Pt₂Ge₃ entre 300 et 400°C, et du PtGe₂ au-dessus de 400°C [Grimaldi81], [Marshall85], [Hsieh88], [Yao06], [Gaudet06]. Les mesures

électriques réalisées sur ces couches (Fig. 96a) montrent une résistance de couche (R_s) d'environ $26 \Omega/\square$, pour les phases PtGe et Pt₂Ge₃. A 400°C, le R_s diminue à $10 \Omega/\square$ lors de la formation de PtGe. Au-delà, la coalescence de la couche de PtGe₂ observée en Fig. 96b explique l'augmentation importante du R_s .

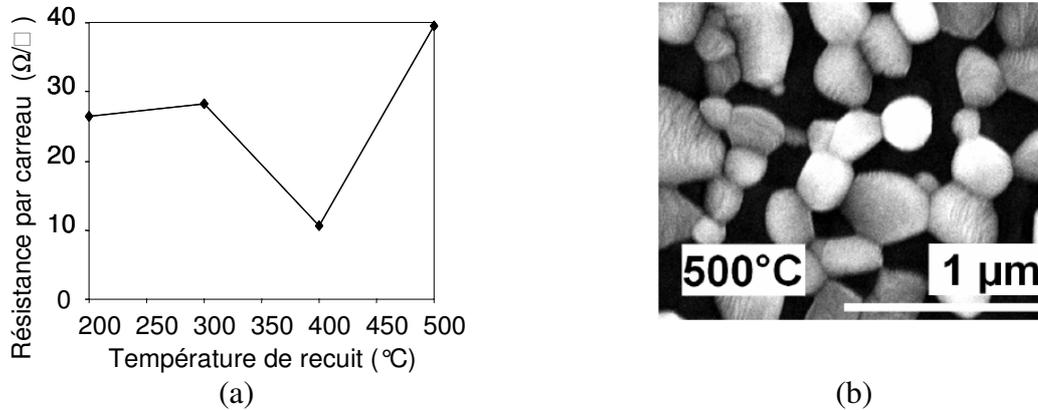


Fig. 96 : Resistance de couche (a) des échantillons Pt(20nm)/Ge(1.5 μm)/Si recuit à différentes températures, et observation MEB en vue de dessus de l'échantillon recuit à 500°C (b).

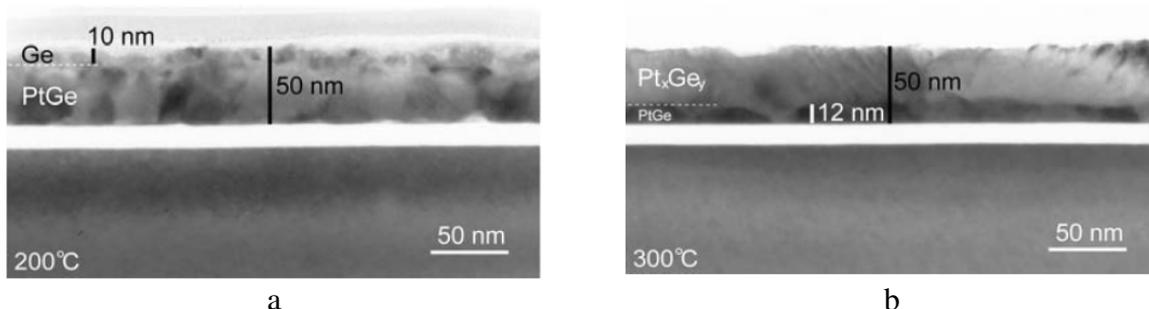
IV.2.3 Formation et retrait des germaniures de platine sur substrat SiO₂/Si

L'étude menée sur pseudo-substrat Ge nous permet d'observer la séquence de formation PtGe \rightarrow Pt₂Ge₃ \rightarrow PtGe₂. Dans cette partie, nous allons former ces différentes phases sur un substrat de Si oxydé sur une épaisseur de 12nm, afin d'étudier la réactivité chimique de ces différentes phases.

IV.2.3.1 Observations MET de la formation des germaniures de platine

En considérant une épaisseur de Pt de 20nm, et les densités atomiques de 6.64×10^{22} et de 4.42×10^{22} at./cm³ pour le Pt et le Ge, respectivement, l'épaisseur de Ge consommée par la réaction de germaniuration est de 30nm pour la formation de la phase PtGe, de 45nm pour la phase Pt₂Ge₃, et de 60nm pour la phase PtGe₂. Deux séries d'échantillons Ge(45nm)/Pt(20nm) et Ge(60nm)/Pt(20nm) sont donc fabriquées, puis recuites à différentes températures. Ces échantillons sont observés par MET en coupe.

- **Ge(45nm)/Pt(20nm)**



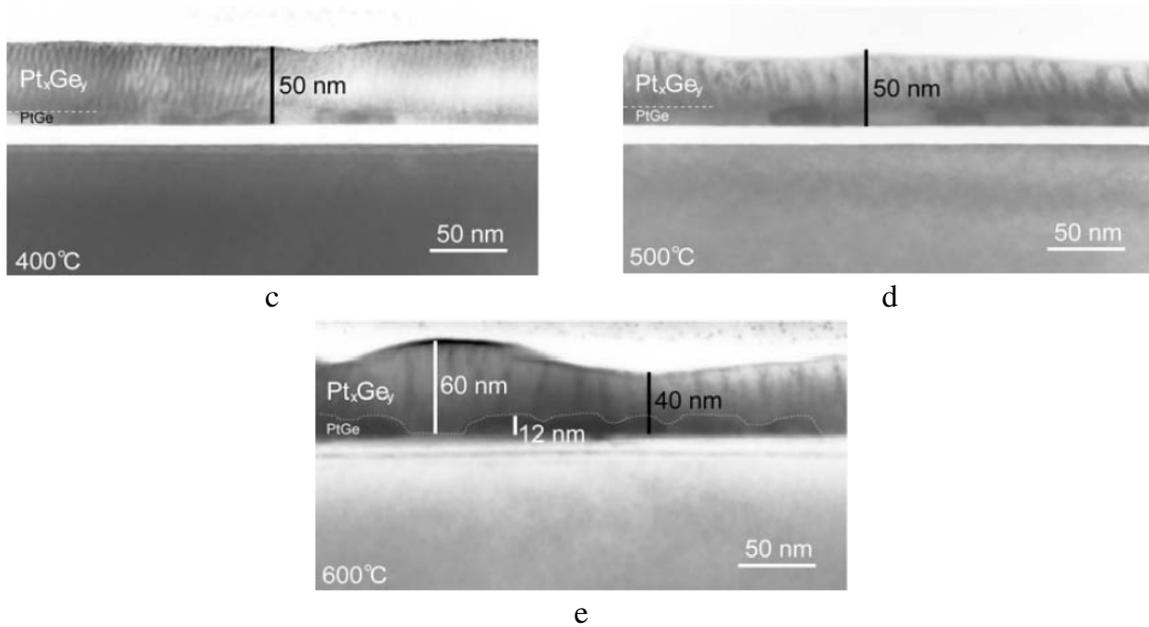
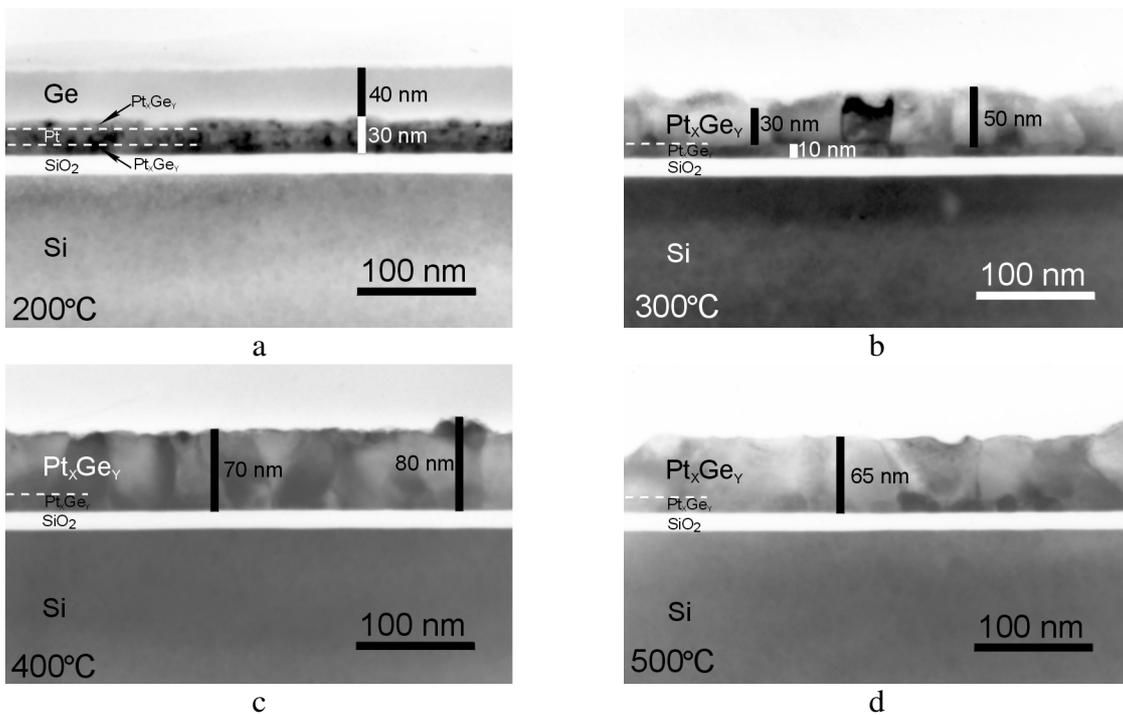


Fig. 97 : Observation MET des échantillons Ge(45nm)/Pt(20nm) recuits à différentes températures.

Les observations MET de l'échantillon Ge(45nm)/Pt(20nm) sont présentées en Fig. 97. A 200°C, la couche de Pt a entièrement réagi avec la couche supérieure de Ge. Nous observons par ailleurs qu'une épaisseur d'environ 10nm de Ge à la surface n'a pas réagi. A 300°C, cette couche non réagie disparaît. Les échantillons recuits à 300, 400 et 500°C montre la présence d'une couche à l'interface avec le SiO₂ d'environ 10nm, formée de grains larges. Il est intéressant de remarquer l'aspect colonnaire de la couche de germaniure à 500°C. Lorsque la température de recuit atteint 600°C, nous observons des variations importantes de l'épaisseur de la couche de germaniure. Les grains colonnaires sont plus larges qu'à 500°C.

- **Ge(60nm)/Pt(20nm)**



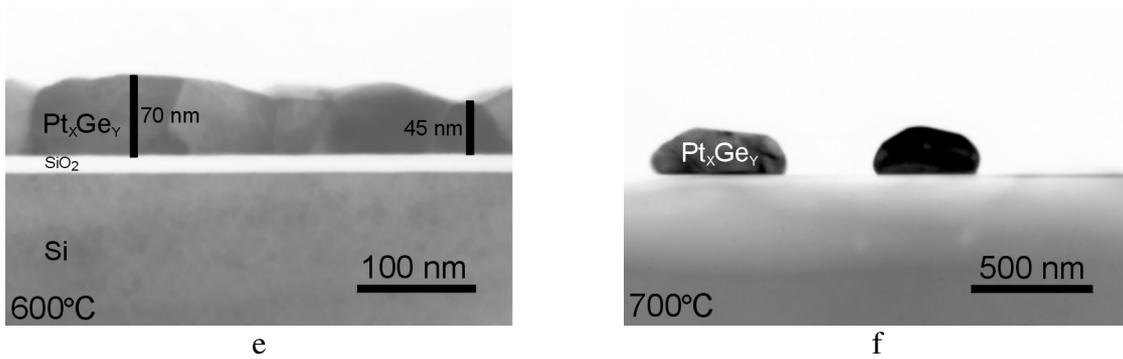


Fig. 98 : Observation MET en coupe des échantillons Ge(60nm)/Pt(20nm)/SiO₂ recuits à différentes températures.

Nous pouvons observer en Fig. 98 les images MET des échantillons Ge(60nm)/Pt(20nm). Dès 200°C, la couche de Pt commence à réagir avec le Ge. A 300°C, les deux couches ont entièrement réagi. Des grains d'une hauteur et d'une largeur de 50nm commencent à se former. Comme dans le cas des échantillons précédents, ces grains s'élargissent à mesure que la température de recuit augmente. La couche recuite à 700°C est totalement agglomérée. Nous remarquons pour l'échantillon recuit à 300°C la présence d'une couche d'épaisseur 10nm à l'interface avec le SiO₂.

IV.2.3.2 Analyse des phases par diffraction X

La Fig. 99a montre que l'échantillon Ge(45nm)/Pt(20nm) est composé de la phase PtGe après recuit à 200°C. A 300°C, les pics de diffraction mesurés mettent en évidence la présence des deux phases PtGe et Pt₂Ge₃. Au-delà de cette température, seule la phase Pt₂Ge₃ est détectée. La séquence de formation des phases pour cet échantillon confirme les premières mesures réalisées sur pseudo-substrat Ge. Nous avons par ailleurs montré que la formation de la phase PtGe requiert une épaisseur de Ge de 30nm. Cette phase étant détectée à 200°C, nous expliquons l'épaisseur d'environ 10nm de Ge non réagi observée en MET sur cet échantillon.

L'échantillon Ge(60nm)/Pt(20nm) est analysé en Fig. 99b. L'échantillon non recuit montre la présence de la phase Pt métallique. Cette phase reste présente jusqu'à 200°C. A 200°C, il est intéressant de noter l'apparition de la phase Pt₃Ge. Au-delà de 200°C, seule la phase PtGe₂ est détectée.

L'intensité de pics de diffraction varie suivant les différentes températures. Cette variation est due à la configuration du diffractomètre à rayons X, dont le faisceau incident suit un plan défini par la perpendiculaire à la surface (100) et la direction cristalline (110). Nous mettons donc en évidence les variations de l'orientation cristalline des grains suivant les différents échantillons. Nous considérons ces variations comme étant erratiques et issues d'un processus de germination métastable via le mécanisme de nucléation.

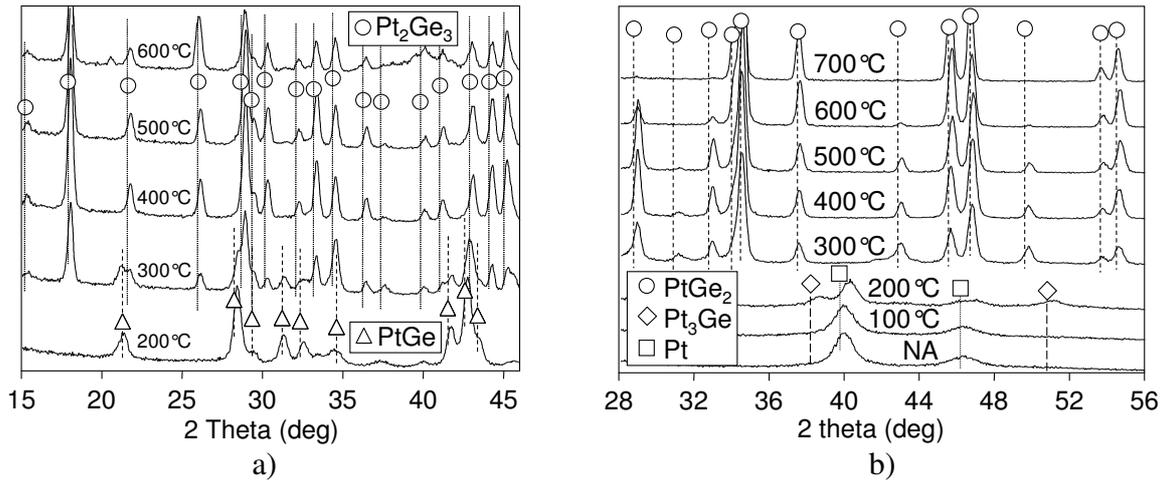


Fig. 99 : Analyse en diffraction X par incidence rasante des échantillons Ge(45nm)/Pt(20nm) (a) et Ge(60nm)/Pt(20nm) (b) recuits à différentes températures.

L'échantillon Ge(45nm)/Pt(20nm) recuit à 300°C a pu être analysé en diffraction électronique via l'analyse MET, en Fig. 100. Les taches de diffraction observées dans l'espace du réseau réciproque correspondent aux différents plans cristallins. Nous confirmons la présence conjointe des phases PtGe et Pt₂Ge₃.

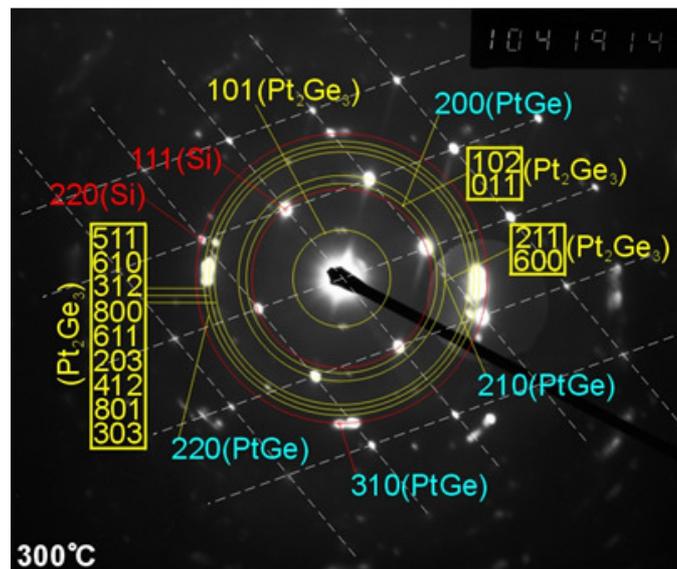


Fig. 100 : Observation MET en diffraction de l'échantillon Ge(45nm)/Pt(20nm) recuit à 300°C.

Alors que l'apparition de la phase PtGe₂ est observée à 400°C sur les pseudo-substrats de Ge, cette phase est formée dès 300°C pour les échantillons Ge/Pt. Cet effet a déjà été reporté dans les travaux de [Gaudet06] qui note une formation du PtGe₂ à 410°C sur substrat de Ge amorphe, et à 520°C sur substrat Ge monocristallin.

IV.2.3.3 Réactivité chimique des germaniures de platine

Dans cette partie, un masque mécanique présentant des zones ouvertes d'une taille de 1000x1000µm² est posé sur l'échantillon avant l'étape de dépôt du Ge. Des îlots de Ge sont ainsi formés sur la surface de Pt. Ces îlots nous permettent d'observer les mécanismes de retrait des germaniures de platine, tout en contrôlant la stabilité de la couche du Pt sous-

jacente. Nous garantissons ainsi que le retrait des couches de germaniures n'est pas dû à un décollement de la couche par effet mécanique (*lift-off*).

En dehors de l'ajout du masque mécanique, les échantillons sont en tous points semblables à ceux étudiés dans les deux paragraphes précédents. Les résistances par carreau (Rs) des échantillons sont mesurées par technique 4 pointes. Afin d'interpréter ces résultats, nous nous appuyons sur les analyses des phases par diffraction X précédentes. La réactivité chimique des différentes phases est évaluée en plongeant les échantillons dans un bain de SPM ($H_2SO_4 : H_2O_2$), après quoi le Rs des différents échantillons est mesuré une nouvelle fois.

La Fig. 101a montre l'évolution du Rs des couches Ge(45nm)/Pt(20nm) après recuit RTP à différentes températures. La phase PtGe montre un Rs de l'ordre de $13 \Omega/\square$. Cette valeur augmente à $17 \pm 1 \Omega/\square$ pour la phase Pt_2Ge_3 . A $600^\circ C$, nous remarquons une augmentation importante du Rs, qui s'explique par le phénomène d'agglomération observé sur les coupes MET.

En Fig. 101b sont présentées les évolutions du Rs pour les échantillons Ge(60nm)/Pt(20nm). Sur l'échantillon non recuit, et celui recuit à $100^\circ C$, la couche de Pt n'a pas réagi avec le substrat. A $200^\circ C$, la formation de la phase Pt_3Ge s'accompagne d'une forte augmentation du Rs, comme récemment remarqué par [Yao06]. A $300^\circ C$ et au-delà, la phase de faible résistivité $PtGe_2$ est formée. Cette phase est stable jusqu'à l'agglomération à $700^\circ C$, qui s'accompagne d'une augmentation importante du Rs.

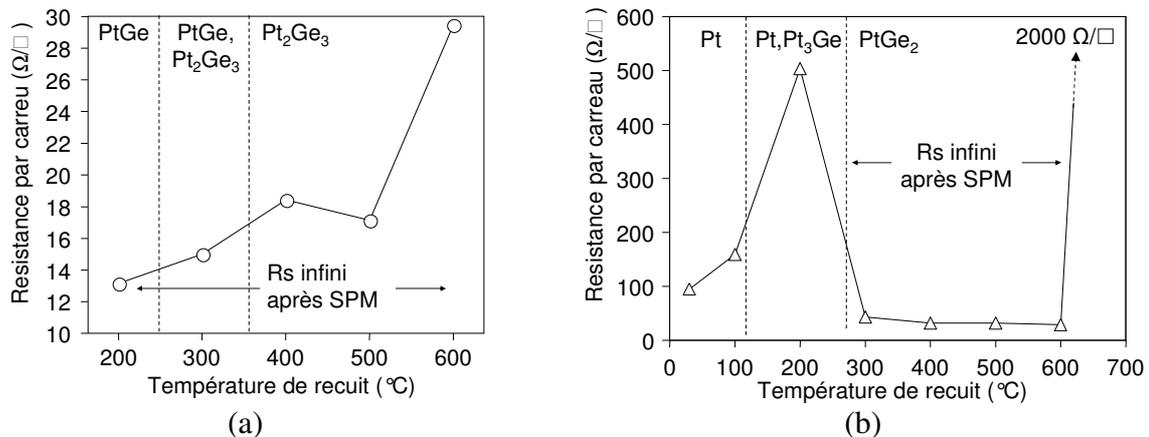


Fig. 101 : Courbe de transformation des échantillons Ge(45nm)/Pt(20nm) (a), et Ge(60nm)/Pt(20nm) (b).

Ces différents échantillons ont été plongés dans un bain de SPM. On peut distinguer les réactions observées en deux catégories. Dans le cas des échantillons composés essentiellement de Pt non réagi (Pt et Pt, Pt_3Ge), une ébullition faible est observée pendant quelques secondes au début du bain SPM, correspondant à la dissolution de la couche superficielle de Ge résiduelle. A la fin de l'ébullition, aucune réaction notable n'est observée. Les résistances par carreau de ces échantillons ont été mesurées une nouvelle fois après SPM et sont très proches des valeurs initiales. La couche de Pt ou (Pt, Pt_3Ge) n'est donc pas impactée par le bain de SPM.

Dans le cas des échantillons composés essentiellement des phases PtGe, Pt_2Ge_3 , et $PtGe_2$, une ébullition faible est observée lorsque les échantillons sont plongés dans le SPM. Cette ébullition devient de plus en plus importante, et au bout d'environ une minute devient très violente. Nos échantillons composés de plots de Pt_xGe_y sur une surface de Pt nous

permettent de remarquer que cette forte ébullition provient principalement des plots de Pt_xGe_y . L'ébullition s'arrête au bout de 5 à 10 minutes. Ce temps de réaction est très variable car nos bains de SPM ne sont pas contrôlés en température. En effet, l'ébullition violente est fortement exothermique, et suffit à l'auto-échauffement du bain.

Une fois la réaction terminée, les échantillons sont une nouvelle fois mesurés en Rs. La résistance par carreau mesurée sur les zones germaniurées est infinie, et montre que les couches de Pt germaniurées ont été retirées par le bain de SPM. Au contraire, les zones de Pt non germaniurées ne sont pas affectées par le bain de SPM.

Nous avons donc montré dans cette partie qu'il est possible de former une phase de germaniure de platine sur substrat SiO_2/Si . La phase formée peut être choisie en jouant sur le rapport des épaisseurs Ge/Pt, ainsi que sur la température de recuit. Les phases $PtGe$, Pt_2Ge_3 et $PtGe_2$ ont ainsi pu être formées. Nous mettons en évidence la solubilité de ces trois phases dans un bain de SPM.

Dans la partie suivante, nous évaluons le potentiel de cette méthode dans le cadre de l'intégration auto-alignée d'un siliciure de platine sur des architectures CMOS.

IV.2.4 Impact de l'étape de germaniuration sacrificielle sur l'intégrité du siliciure de platine [Breil07b]

Une méthode d'intégration auto-alignée sur architectures CMOS doit vérifier deux conditions essentielles. Retirer le métal non réagi sur les zones isolantes (isolations STI et espaceurs) et ne pas dégrader le siliciure formé sur les zones actives. Dans la partie précédente, nous avons vérifié la première condition.

La deuxième condition peut être tout d'abord considérée d'un point de vue thermodynamique. En effet, la chaleur spécifique de formation du $PtSi$ ($\Delta H_f = -0.50$ kJ/g) étant inférieure à celle du $PtGe$ ($\Delta H_f = -0.34$ kJ/g), le Pt est supposé former préférentiellement un siliciure plutôt qu'un germaniure. Cette hypothèse semble d'autant plus significative si nous considérons que dans notre schéma d'intégration, le siliciure est déjà formé lorsque le recuit de germaniuration intervient.

Nous allons dans cette partie consolider ces hypothèses d'un point de vue expérimental en vérifiant l'impact sur le $PtSi$ d'un retrait du Pt non réagi par germaniuration sacrificielle.

Nous utilisons ici des substrats de Si avec masque dur en SiO_2 . Le masque présente des structures de diodes têtes bêtes permettant l'extraction de barrières Schottky, ainsi que de larges zones sans motifs permettant l'extraction des résistances par carreau par technique 4 pointes. Après nettoyage et désoxydation HF 1% pendant 30sec, les échantillons sont chargés dans le bâti d'évaporation. Un nettoyage *in-situ* par plasma d'Ar 60eV 30sec est réalisé, et une couche de Pt d'une épaisseur de 20nm est évaporée. Afin de former le $PtSi$, les échantillons sont recuits à 400°C pendant 4min sous N_2H_2 . Une partie des échantillons est par la suite chargée à nouveau dans le bâti d'évaporation, pour recevoir une couche de Ge de 45nm. Les échantillons, avec ou sans la couche de Ge superficielle, reçoivent ensuite un recuit de post-siliciuration par RTP à différentes températures pendant 5min sous N_2H_2 .

Le retrait sélectif est par la suite réalisé, par SPM pour les échantillons Ge/PtSi, et par eau régale pour les échantillons PtSi sans Ge. Il est important de préciser que certaines couches de PtSi ont été dégradées par le retrait sélectif par eau régale. Les résultats relatifs à ces couches ne sont pas présentés par la suite.

• Impact sur la résistivité

Sur la Fig. 102, les échantillons de référence PtSi montrent un R_s stable d'environ $12.5 \Omega/\square$ pour un recuit de post-siliciuration jusqu'à 400°C . Pour des température de 500 et 600°C , le R_s diminue légèrement à 11.5 et $10.5 \Omega/\square$, respectivement. Les résultats sont remarquablement similaires pour l'échantillon ayant reçu la couche de Ge superficielle. Le R_s mesuré sur ces échantillons à 200 et 300°C est légèrement inférieur. Nous attribuons cette différence à la dispersion d'échantillon à échantillon, et aux variations de l'épaisseur de Pt initiale. La couche superficielle de Ge n'a donc pas d'impact sur la résistance par carreau des siliciures de platine étudiés.

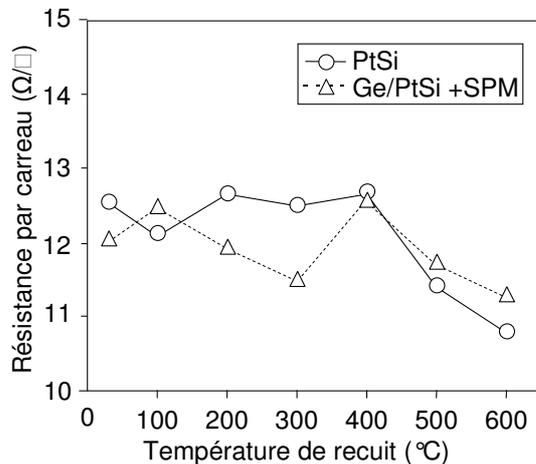


Fig. 102 : Courbe de transformation des échantillons PtSi et Ge/PtSi + SPM, après un recuit post-siliciuration à différentes températures.

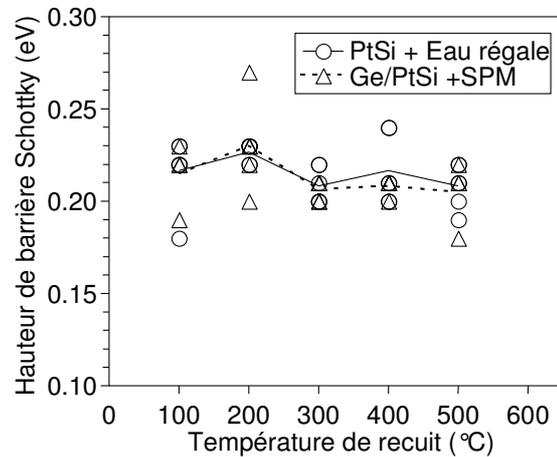


Fig. 103 : Hauteur de barrière des échantillons PtSi et Ge/PtSi + SPM, après un recuit post-siliciuration à différentes températures.

• Impact sur la hauteur de barrière

La hauteur de barrière Schottky des jonctions PtSi/Si est extraite pour des températures de germaniuration comprises entre 100 et 500°C . Les mesures ont été réalisées sur plusieurs diodes afin d'obtenir une distribution statistiquement significative (Fig. 103). Bien qu'une dispersion habituelle pour ce type de mesures soit observée, il est intéressant de remarquer que la hauteur de barrière Schottky moyenne reste à peu près constante ($0.21 - 0.23 \text{ eV}$) pour chaque température, indépendamment de la méthode de retrait sélectif. Cette hauteur de barrière est par ailleurs en accord avec les valeurs de référence reportées dans la littérature [Maex95]. La couche de Ge n'a donc pas d'impact sur la hauteur de barrière Schottky des contacts PtSi/Si étudiés.

Ainsi, nous montrons que le procédé de retrait sélectif du Pt non réagi par germaniuration sacrificielle n'a pas d'impact sur la résistivité et sur la hauteur de barrière d'un siliciure de platine déjà formé.

IV.3 Etude de la formation et de la solubilité des germaniures d'iridium

IV.3.1 Formation des phases de Germaniures d'Iridium

Nous avons montré dans le chapitre II que les siliciures de platine et d'iridium présentent une faible barrière aux trous, et sont donc des matériaux de prédilection pour des contact sur silicium de type p. Alors que le platine est couramment utilisé en électronique, l'iridium n'a jamais trouvé d'applications à large échelle, du fait des difficultés liées au retrait de ce matériau. En effet, seules des solutions de sels fondus de potassium ou de sodium – totalement incompatibles avec les applications microélectroniques – sont capables de dissoudre l'iridium. Une gravure physique par plasma permet de retirer ce matériau, mais cette méthode proche d'une pulvérisation ionique fragilise le matériau et dégrade les propriétés électroniques de ce dernier. Elle n'est pas envisageable dans le cadre des siliciures en microélectronique.

La mise au point d'une méthode de retrait sélectif de l'iridium par germaniuration présente un grand intérêt technologique, ce qui justifie l'extension de notre étude à ce matériau dans les parties suivantes.

IV.3.1.1 Etude de la formation des phases Ir_xGe_y

Après un bain de HF à 10% pendant 5min, les échantillons sont chargés dans le bâti d'évaporation. Un nettoyage par plasma d'Ar à 150eV pendant 90sec est réalisé avant de déposer une couche de 10nm d'iridium. Les échantillons reçoivent un recuit rapide (RTA) à des températures comprises entre 200 et 600°C pendant 5min. Pour les températures de recuit de 700 et 800°C, les échantillons sont recuits pendant 1min pour des causes de limites technologiques liées à l'équipement. Les résistances par carreau des échantillons sont mesurées par méthode 4-points. Des analyses par diffraction X (XRD) à angle rasant sont réalisées afin de déterminer les phases formées.

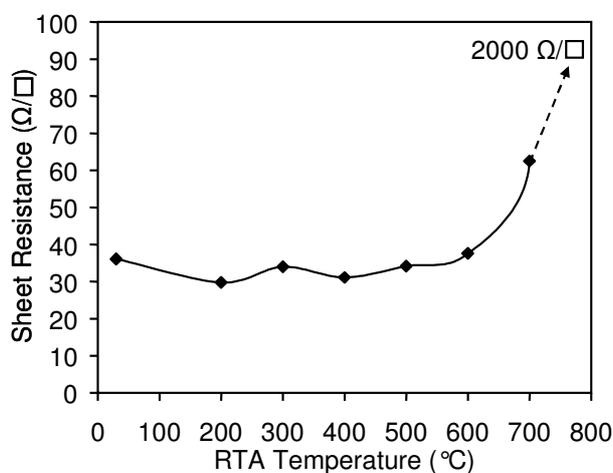


Fig. 104 : Courbe de transformation d'une couche d'Iridium 20nm sur pseudo-substrat $\text{Ge}(1.5\mu\text{m})/\text{Si}$ après recuit RTP sous N_2H_2 .

La courbe de transformation d'une couche d'Ir de 20nm sur pseudo-substrat Ge montre que la résistance par carreau reste constante à $35 \pm 2 \Omega/\square$ jusqu'à 600°C (Fig. 104). Pour des températures de recuit de 700 et 800°C , la couche de germaniure d'iridium commence à s'agglomérer, ce qui provoque une augmentation importante du Rs. Les spectres XRD présentés en Fig. 105 mettent en évidence la formation de la phase cubique face-centrée (CFC) de l'iridium pendant l'étape d'évaporation du métal. Cette configuration cristalline n'est pas modifiée par des températures de recuit de 200 et 300°C . Il est à noter qu'un pic non expliqué par le spectre théorique de la phase CFC de l'Ir apparaît autour d'un angle de diffraction de 30° . Ce pic ne correspond pas à une phase de germaniure d'iridium. En dessous de 300°C , l'Ir ne réagit donc pas avec le Ge. Des observations en vue de dessus par MEB à fort grossissement ($\times 300\text{K}$) en Fig. 106 montrent que le film a une faible rugosité et ne présente aucune formation de grains.

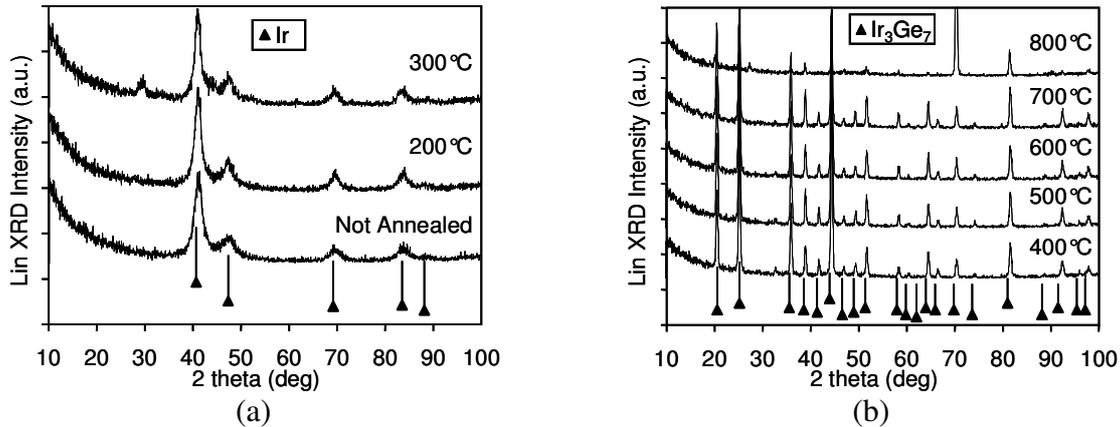


Fig. 105 : Spectre XRD à angle rasant de l'échantillon Ir(20nm)/Ge(1.5µm)/Si, après dépôt de l'Ir, après recuit RTP à 200 et 300°C pendant 5 minutes (a), ou après des recuits RTP allant de 400 à 800°C (b).

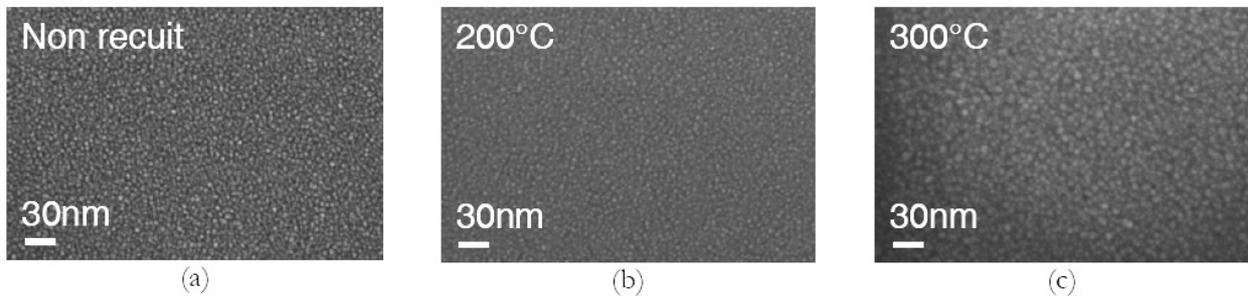


Fig. 106 : Observation MEB en vue de dessus des échantillons Ir(20nm)/Ge(1.5µm)/Si

Pour des températures de recuit supérieures à 400°C (Fig. 105b), l'analyse XRD met en évidence la formation de la phase cubique centrée (CC) Ir_3Ge_7 . Nous faisons ici l'hypothèse de la présence à ces températures d'une phase unique et non texturée Ir_3Ge_7 . La transition de phase à 400°C mise en évidence par les Fig. 105a,b n'apparaît pas dans la courbe de transformation (Fig. 104). Lors de la formation de Ir_3Ge_7 , une compensation de l'augmentation d'épaisseur par une augmentation de la résistivité pourrait expliquer un tel résultat. Cependant, nous ne disposons pas de mesures d'épaisseur suffisamment précises (MET par exemple) pour confirmer ou infirmer cette dernière hypothèse.

IV.3.1.2 Observation de défauts pyramidaux

Une observation par MEB de l'échantillon recuit à 300°C révèle la présence de quelques défauts carrés en vue de dessus. Un de ces défauts est présenté en Fig. 107a. A 400°C, la densité de ces défauts devient très importante. D'après les analyses XRD, cette gamme de température correspond à la formation de la phase Ir_3Ge_7 . Leur densité augmente de quelques défauts par cm^2 , à $4.6 \times 10^6 \text{ cm}^{-2}$, $1.0 \times 10^7 \text{ cm}^{-2}$ et $1.5 \times 10^7 \text{ cm}^{-2}$ pour des températures de recuit de 300°C (Fig. 107a), 400°C (Fig. 107c), 500°C et 600°C, respectivement. La densité des défauts sature aux fortes températures vers une limite supérieure d'environ $2 \times 10^7 \text{ cm}^{-2}$. Comme montré sur les Fig. 107a, c et d ces défauts ont une forme pyramidale tronquée pointant vers le substrat, et dont les cotés de la base sont orientés suivant les directions $[110]$ et $[1\bar{1}0]$ du substrat. Par ailleurs, un parallélépipède émerge à la base du défaut montrant une forme particulièrement singulière en Fig. 107d. Sur la Fig. 107a, il est important de noter que ces défauts carrés donnent naissance à un motif circulaire montrant un contraste d'intensité par observation MEB. La Fig. 107b montre l'évolution de la densité des défauts en fonction de la température.

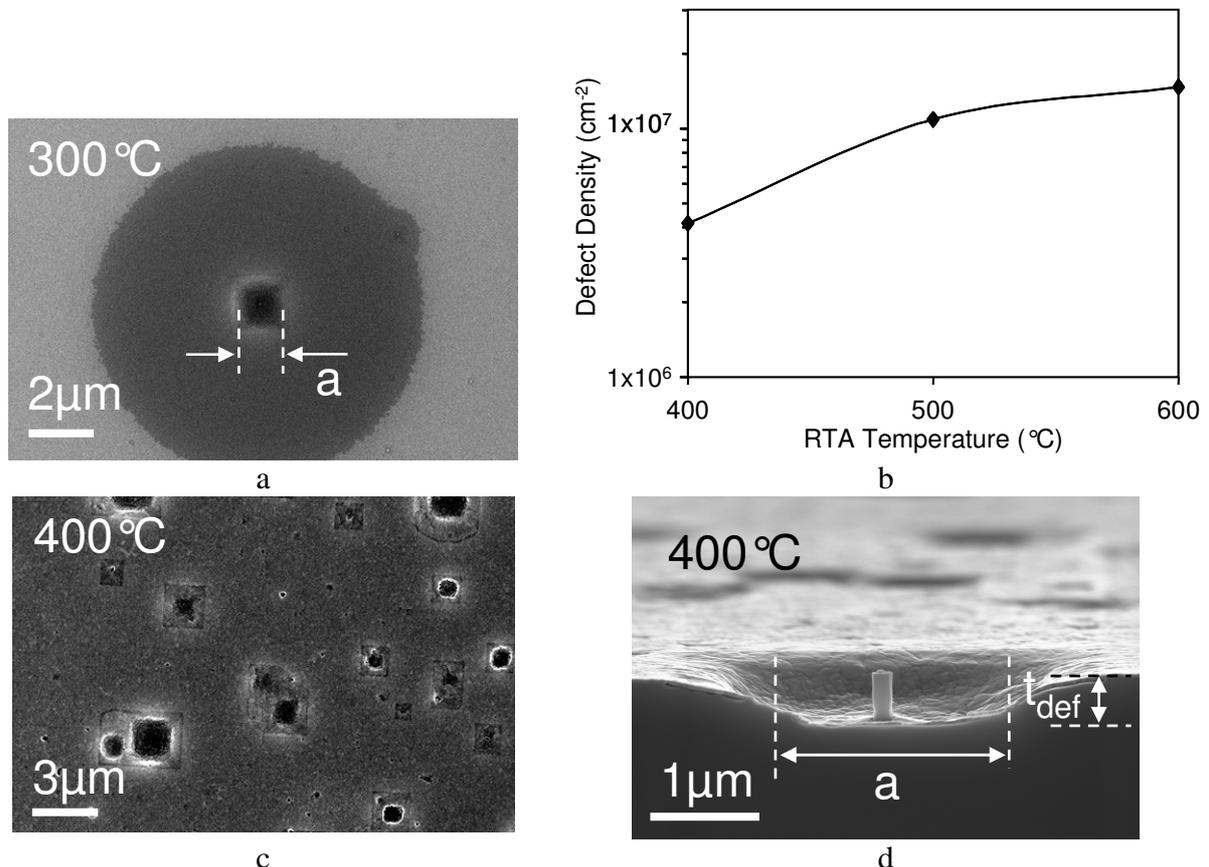


Fig. 107 : Observation MEB des défauts apparaissant durant la réaction de germaniuration d'une couche d'Ir après un recuit RTP à 300°C (a) et à 400°C (b). L'évolution de la densité de ces défauts en fonction de la température de recuit est présentée en (b). Une observation par MEB en coupe d'un des défauts après recuit à 400°C présentée en (d) met en évidence leur forme singulière de pyramide tronquée.

D'après le motif circulaire autour du défaut carré de la Fig. 107a, nous suggérons que la déplétion significative de Ge observée dans les défauts est due à une diffusion accélérée de Ge provenant des dislocations présentes dans le pseudo-substrat, donnant lieu à une réaction

de germaniuration latérale. Afin de vérifier cette hypothèse, nous proposons un modèle simple permettant de quantifier ce phénomène.

Le volume de Ge manquant dans un défaut carré (Fig. 107d par exemple) peut être défini comme :

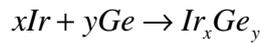
$$V_{Ge} = a^2 \cdot t_{def}$$

avec t_{def} la hauteur de la pyramide tronquée, et a la largeur du défaut à mi-hauteur de la pyramide. Ce volume correspond à un nombre de mole n_{Ge} défini par :

$$n_{Ge} = \frac{d_{Ge}}{M_{Ge}} \cdot V_{Ge}$$

avec d_{Ge} la densité du germanium (5.35 g.cm^{-3}), et M_{Ge} la masse molaire du germanium (72.60 g.mol^{-1}).

En considérant la réaction de germaniuration de l'Ir, nous pouvons écrire les équations de réaction suivantes :



La quantité molaire d'Ir n_{Ir} nécessaire à la formation de la phase Ir_xGe_y à partir d'une quantité molaire de Ge n_{Ge} s'écrit donc :

$$n_{Ir} = \frac{x}{y} \cdot n_{Ge}$$

qui peut se réécrire de la manière suivante si nous prenons en compte les expressions de n_{Ge} et V_{Ge} précédemment définies :

$$n_{Ir} = \frac{x}{y} \cdot \frac{d_{Ge}}{M_{Ge}} \cdot a^2 \cdot t_{def}$$

Pour une couche d'Ir d'épaisseur t_{Ir} (ici 10nm), une quantité molaire n_{Ir} est contenue dans une surface S_{Ir} :

$$S_{Ir} = \frac{M_{Ir}}{d_{Ir}} \cdot \frac{1}{t_{Ir}} \cdot n_{Ir}$$

avec M_{Ir} la masse molaire de l'iridium ($192.22 \text{ g.mol}^{-1}$), d_{Ir} la densité de l'iridium (22.65 g.mol^{-1}). Par conséquent, l'expression de S_{Ir} , la surface d'Ir germaniurée par un défaut de largeur a à mi-hauteur de pyramide et de profondeur t_{def} s'écrit :

$$S_{Ir} = \frac{x}{y} \cdot \frac{d_{Ge}}{d_{Ir}} \cdot \frac{M_{Ir}}{M_{Ge}} \cdot \frac{1}{t_{Ir}} \cdot a^2 \cdot t_{def}$$

Ce modèle est valable uniquement dans le cas où le Ge est la seule espèce diffusante, ce que semble suggérer nos observations MEB. Dans le cas où l'Ir est aussi espèce diffusante, il devient indispensable de prendre en compte la modification volumique entraînée par la formation des germaniures d'iridium.

En utilisant ce simple formalisme, nous sommes capables d'évaluer la phase Ir_xGe_y formée dans le motif circulaire entourant le défaut de la Fig. 107a. En prenant $a = 1.5\mu\text{m}$, $t_{\text{def}}=0.5\mu\text{m}$, $S_{\text{Ir}} = 78\mu\text{m}^2$, et $t_{\text{Ir}} = 10\text{nm}$, nous obtenons un ratio x/y de 1.10, ce qui signifie que la phase formée est proche de IrGe .

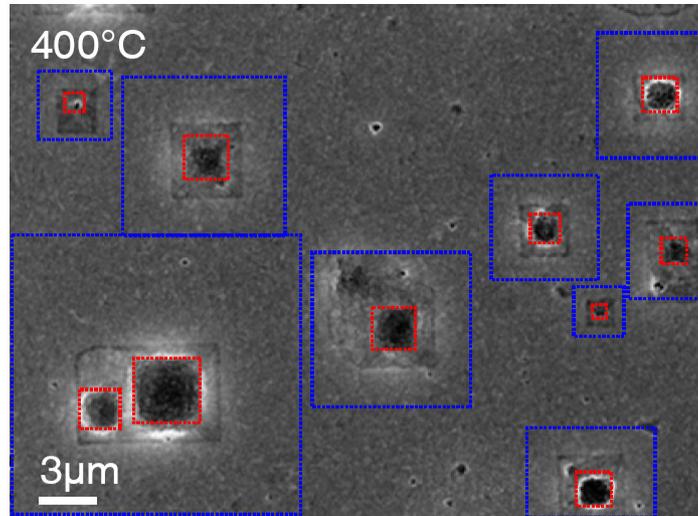


Fig. 108 : Application graphique de notre modèle de la germaniuration latérale induite par les défauts. Le défaut pyramidal définissant la surface a^2 est délimité par le contour rouge. La surface calculée d'Ir germaniuré afin de former la phase Ir_3Ge_7 est représentée en bleu.

Nous utilisons aussi cette modélisation pour évaluer la proportion d'Ir germaniuré grâce à ce mécanisme de germaniuration latérale accélérée par les défauts, par rapport au mécanisme de germaniuration planaire conventionnel Ir/Ge. Nous présentons en Fig. 108 la surface de l'échantillon recuit à 400°C. Nous avons précédemment montré que la phase formée à cette température est Ir_3Ge_7 . Donc, d'après notre modélisation et considérant un ratio x/y de 3/7, nous montrons en carrés rouges la surface de Ge manquante dans les défauts (le côté du carré correspond à la variable a du modèle), et en carrés bleus la surface d'Ir siliciurée par la quantité correspondante de Ge (la surface des carrés bleus correspond à S_{Ir} dans le modèle).

Il apparaît que la surface définie par les carrés bleus correspond à 49% de la surface totale. Nous mettons donc en évidence que la moitié de la surface de la couche d'Ir est germaniurée grâce au mécanisme de germaniuration latérale, la source de Ge provenant des défauts. L'autre partie de la couche d'Ir est germaniurée grâce à un mécanisme planaire standard de réaction interfaciale Métal/Semiconducteur.

Luan *et al.* [Luan99] ont publié une étude concernant la croissance CVD de couches de Ge épaisses d' $1\mu\text{m}$ sur substrat de Si(100). La différence de maille de 4% entre le Ge et le Si provoque l'apparition de dislocations dans les couches de Ge. En utilisant un protocole pour la croissance des couches de Ge très proche du notre, les auteurs mesurent une densité de dislocations d'environ $2.3 \times 10^7 \text{ cm}^{-2}$. Une observation MET en coupe révèle que les dislocations débutent à la surface de la couche de Ge, et s'étendent sur la moitié de l'épaisseur de la couche (*i.e.* $0.5\mu\text{m}$). La densité de dislocations est très proche de la densité de défauts mesurée en Fig. 107d. Par conséquent, nous suggérons que le phénomène de diffusion accélérée par les défauts observés dans notre étude est provoqué par les dislocations dans le film de Ge relaxé.

IV.3.2 Etude du retrait sélectif des Germaniures d'Iridium

Après avoir décrit les mécanismes de formation des phases Ir_xGe_y , nous étudions dans cette section leur réactivité chimique. Dans la partie précédente, l'étude de la formation des phases de germaniures d'iridium a été réalisée sur pseudo-substrat $\text{Ge}(1.5\mu\text{m})/\text{Si}$. Il est important de rappeler que le Ge a une vitesse de gravure très élevée dans H_2O_2 . Il est donc très difficile d'étudier le retrait d'une phase de germaniure par H_2O_2 sur un substrat de Ge, la gravure sous-jacente du substrat entraînant un décollement de la couche supérieure (mécanisme de *lift-off*).

Par conséquent, nous étudions dans cette partie la réactivité des couches de Ir_xGe_y sur substrat SiO_2/Si . La couche d'Ir est déposée en premier, puis recouverte par une couche de Ge. Des observations préliminaires nous ont montré que l'adhérence d'une couche d'Ir sur SiO_2 est mauvaise, et provoque un décollement des couches lors d'une simple plongée dans l'eau. Nous réalisons donc avant le dépôt d'Ir, le dépôt d'une couche d'accroche en Ge, d'une épaisseur de 2nm. Nous faisons l'hypothèse que cette couche d'accroche a une épaisseur trop faible pour jouer un rôle important dans les réactions décrites ci-après. Dans un souci de clarté, le dépôt de cette couche d'accroche ne sera pas explicité dans les protocoles expérimentaux à venir.

IV.3.2.1 Résistance par carreau et retrait des phases Ir_xGe_y

Partant d'un substrat de Si de type p, un oxyde de 12nm d'épaisseur est formé par oxydation thermique humide. Les échantillons sont ensuite chargés dans le bâti d'évaporation, et une couche de 20nm d'Ir est déposée. Un masque mécanique présentant des ouvertures carrées d'1mm de côté est par la suite posé sur les échantillons, qui sont à nouveau chargés dans le bâti d'évaporation. Une couche de Ge est déposée à travers les zones ouvertes du masque. Deux épaisseurs différentes de Ge sont utilisées (80 et 120nm). Après le dépôt de Ge, les échantillons sont recuits par RTP à 600°C pendant 5min sous gaz réducteur N_2H_2 .

Une résistance par carreau de 21.4 ou 19.8 Ω/\square est mesurée pour les échantillons d'iridium germaniuré ayant reçu une épaisseur de Ge de 80 ou 120nm, respectivement. Les échantillons sont ensuite plongés dans un bain de SPM. Après ce traitement chimique, la résistance par carreau des zones germaniurées est mesurée infinie. La résistance par carreau a aussi été mesurée sur les zones masquées lors du dépôt de Ge, et donc non germaniurées. Une valeur constante de 8.5 Ω/\square est mesurée, avant ou après le traitement chimique SPM. Nous confirmons donc que les valeurs élevées de résistance par carreau après SPM ne sont pas dues à un arrachage par le SPM de la couche sous-jacente d'Ir.

Il est intéressant de noter les valeurs très proches de résistance par carreau des zones d'iridium germaniurées mesurées après recuit, indépendamment de l'épaisseur de Ge mesurée. Ce résultat tend à montrer que la même phase de germaniure d'iridium est formée après le recuit. Par ailleurs, le retrait des zones d'iridium germaniurées, sans affecter les zones non germaniurées nous permet de présenter un procédé de retrait sélectif d'une couche d'iridium par la technique de germaniuration sacrificielle.

Afin de développer la compréhension de ce résultat macroscopique, nous présentons dans la partie suivante une analyse par micro-sonde MEB-EdX de la composition des couches de germaniures d'iridium formées, et de leur réactivité au traitement SPM.

IV.3.2.2 Analyses EdX

Le principe de la mesure mise en œuvre dans cette partie est illustré en Fig. 109. Le masque mécanique utilisé lors du dépôt de Ge nous permet de déposer des plots de Ge de $1000 \times 1000 \mu\text{m}^2$ sur la surface d'Ir/SiO₂. Après recuit RTA à 600°C pendant 5min, le Ge diffuse verticalement et latéralement dans la couche sous-jacente d'Ir, et vient former différentes phases. Une analyse par micro-sonde MEB-EdX nous permet d'analyser localement chacune de ces phases afin d'obtenir leur composition. Cette technique a été proposée dans le cadre de l'analyse des germaniures de platine par [Nemutudi00].

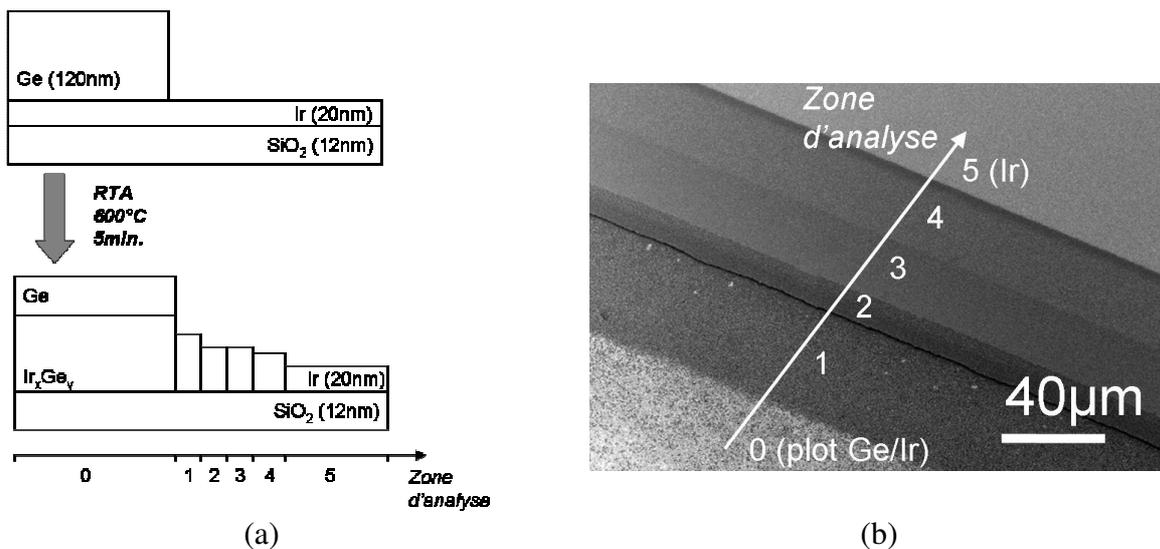


Fig. 109 : Principe de formation des différentes zones d'analyse (a), et observation de ces zones en bordure d'un plot Ge(120nm)/Ir(20nm) après recuit RTA 600°C pendant 5min (b).

Nous appliquons cette méthode à l'analyse de l'échantillon Ge(120nm)/Ir(20nm). La Fig. 109b montre la formation des différentes phases Ir_xGe_y depuis le bord du plot de Ge/Ir, jusqu'à la couche sous-jacente d'Ir. L'analyse de chacune de ces phases par micro-sonde MEB-EdX est présentée après recuit de formation en Fig. 110a, puis après retrait sélectif SPM en Fig. 110b. En analyse EdX, l'aire de la gaussienne correspondant au pic d'un élément est directement proportionnelle à la quantité atomique de cet élément.

Après recuit (Fig. 110a), l'analyse montre que la quantité détectée de Ge décroît progressivement entre l'intérieur (zone 0) et l'extérieur (zone 5) du plot. Au contraire la quantité d'Ir reste constante sur les différentes zones. Ce résultat montre que le Ge est l'espèce diffusante de l'intérieur vers l'extérieur du plot. Par ailleurs, les variations importantes du signal EdX du Si suivant les différentes zones doivent être attribuées aux variations d'épaisseur de la zone analysée, entraînant une atténuation du signal provenant du substrat.

Après recuit, il est intéressant de noter que la quantité de Ge détectée est quasiment nulle dans les zones 0,1,2, et 5. Au contraire, la quantité d'Ir détectée reste inchangée pour toutes les zones. Concernant le signal de Si, seules les zones montrant une quantité importante de Ge (zones 3 et 4), entraînent une atténuation du signal du substrat.

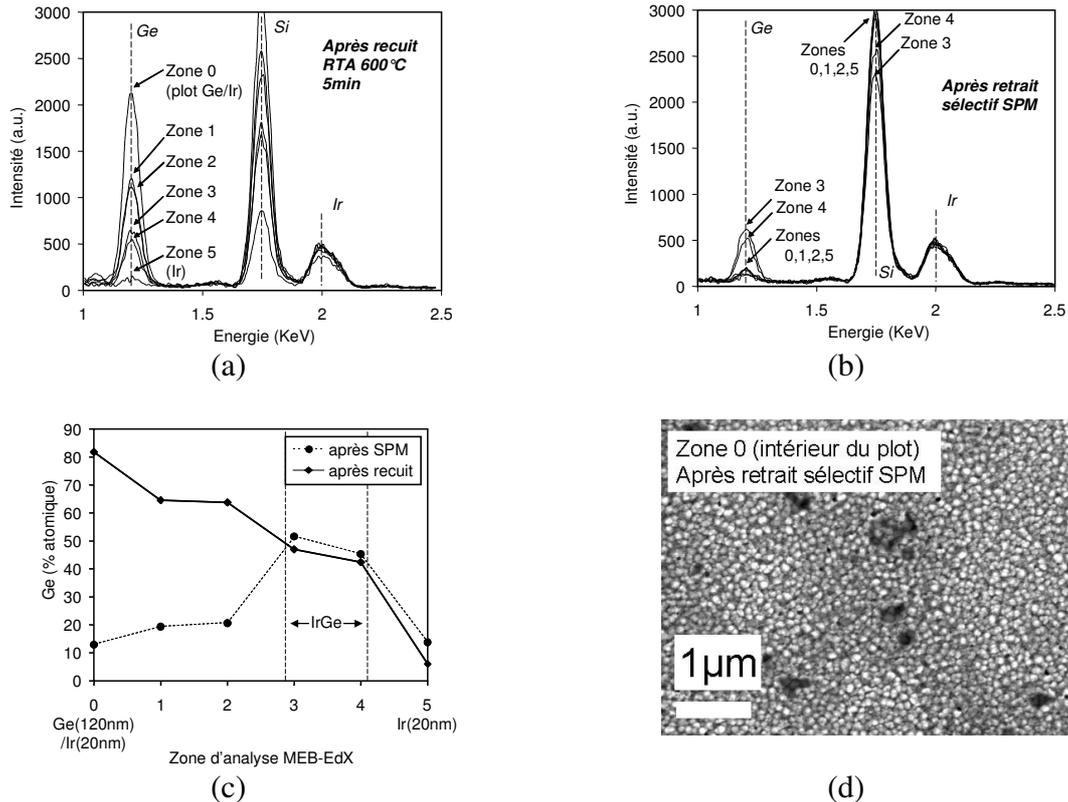


Fig. 110 : Analyse par micro-sonde MEB-EdX de l'échantillon Ge(120nm)/Ir(20nm) après recuit (a), et après retrait sélectif SPM (b). Proportion atomique de Ge contenu dans les zones analysées (c), après recuit, et après retrait sélectif. Observation MEB de la zone 0 (plot Ge/Ir) (d).

La proportion atomique de Ge dans les différentes zones analysées est calculée en considérant le rapport des aires des gaussiennes correspondant au Ge et à l'Ir, et représentée en Fig. 110c. Après recuit ou après retrait sélectif, nous observons que la quantité de Ge détectée en zone 5 (surface d'Ir non germaniurée) est d'environ 10-20%, correspondant à la sous-couche de Ge permettant une bonne tenue mécanique de l'ensemble de l'empilement.

Les zones 0 (intérieur du plot), 1 et 2 montrent après recuit une proportion de Ge élevée. Après retrait sélectif, cette quantité de Ge disparaît, la proportion résiduelle de l'ordre de 20% devant être attribuée à la sous-couche d'accroche. Le Ge présent sur les zones 0, 1 et 2 n'a donc, d'une part, pas réagi avec l'Ir, et d'autre part, a été totalement retiré par le traitement SPM.

Une observation MEB à fort grossissement de la zone 0 après retrait sélectif SPM est présentée en Fig. 110d. Il est intéressant d'observer la granulosité de la couche formée, ainsi que les cavités existantes. D'après l'analyse EdX, les grains observés sont essentiellement composés d'Ir. Nous suggérons que le Ge a diffusé par les joints de grains de la couche d'Ir, sans toutefois réagir avec cette couche. Par ailleurs, il est possible que le Ge se soit aggloméré par endroits, laissant place aux cavités observés en Fig. 110d lors de son retrait par SPM.

Les zones 3 et 4 montrent une proportion de Ge d'environ 50% après recuit. Cette proportion n'est pas modifiée après retrait sélectif SPM. Le Ge étant totalement et rapidement soluble dans SPM, nous pouvons déduire que tout le Ge présent dans cette zone a réagi avec l'Ir, afin de former la phase IrGe. D'autre part, nous observons que cette phase IrGe n'est pas retirée par un traitement SPM.

Il est important de noter qu'une observation MEB réalisée à plusieurs microns à l'intérieur du plot révèle que la zone 0 a été complètement retirée. Seule la couche de SiO₂ sous-jacente est détectée. Cet effet est attribué à un décollement de la couche par effet mécanique, favorisé par l'ébullition de surface générée par le traitement SPM. Cet effet de décollement explique par ailleurs la résistance infinie observée en introduction de cette partie.

Nous montrons donc grâce à cette analyse que la phase IrGe n'est pas soluble dans le SPM. Par ailleurs, une diffusion du Ge est observée dans la couche d'Ir, sans toutefois permettre ni la formation d'une phase de germaniure, ni la dissolution de l'Ir. Finalement, nous mettons en évidence d'effet mécanique de décollement de la couche d'Ir observé sur les larges zones de réaction au milieu des plots.

IV.3.3 Intégration sur dispositifs CMOS du Siliciure d'Iridium

L'analyse EdX montre qu'il n'est pas possible dans l'état actuel de dissoudre une couche d'Ir. Toutefois, nous avons pu mettre en évidence la possibilité de décoller mécaniquement cette couche d'Ir en utilisant un dépôt de Ge. Nous essayons dans la partie suivante de mettre en œuvre cet effet en focalisant notre étude sur l'intégration du siliciure d'iridium sur des architectures CMOS, en utilisant de fines couches d'Ir d'une épaisseur de 5nm. Une étude morphologique est menée de manière à observer l'impact du procédé de germaniuration sacrificielle sur des siliciures IrSi_x intégrés sur architectures CMOS.

Les structures CMOS ont été fabriquées grâce à un schéma de fabrication industriel standard jusqu'à la formation des espaceurs. Après une désoxydation HF 1% pendant 30sec, les échantillons sont chargés dans le bâti d'évaporation métallique. Après un nettoyage Ar in-situ à 60eV pendant 30sec, une couche de 5nm d'Ir est déposée. Le siliciure IrSi_x est par la suite formé grâce à un recuit RTP pendant 4min sous gaz réducteur N₂H₂. Les échantillons sont ensuite chargés à nouveau dans le bâti d'évaporation, et une couche de Ge sacrificiel d'une épaisseur de 40nm est déposée. Le recuit de germaniuration est effectué dans le four RTP pendant 4min sous N₂H₂. La matrice expérimentale des températures de siliciuration et de germaniuration est présentée en Table 1. Les échantillons sont finalement plongés dans un bain de SPM pendant 5min.

	Ech. I	Ech. II	Ech. III	Ech. IV
RTA IrSi 600°C	X	X		
RTA IrSi 400°C			X	X
RTA IrGe 600°C	X		X	
RTA IrGe 400°C		X		X

Table 1 : Matrice expérimentale des températures de siliciuration et de germaniuration

La Fig. 111 montre une observation MEB en vue de dessus de l'échantillon I (IrSi RTA 600°C / IrGe RTA 600°C). La portion de l'échantillon observée est constituée d'une large zone de STI (SiO₂), et de structures denses de Si et de poly-Si. Il apparaît clairement que la couche d'Ir est retirée sur les larges zones de STI uniquement. Le retrait de cette couche est due à un décollement, plus facile sur les zones larges qu'au sein des structures denses.

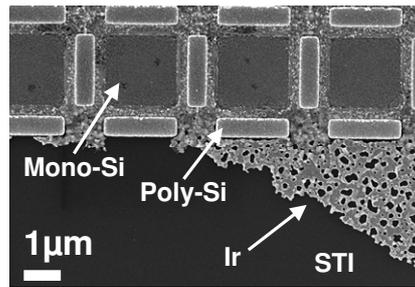


Fig. 111 : Observation MEB d'une large zone de STI en bordure de structures Si (carrés) et Poly-Si (rectangles).

Des transistors MOSFET au sein de matrices 100x100 ont été observés pour chaque condition de recuit, et après un bain SPM en Fig. 112. Sur les échantillons I et III (IrGe RTA 600°C), une agglomération de la couche d'IrGe est observée sur les zones d'isolation STI, du fait d'une température de germaniuration trop élevée. La couche d'Ir n'est pas retirée. Sur les échantillons II et IV (IrGe RTA 400°C), la couche d'Ir n'est pas du tout impactée par l'étape de germaniuration.

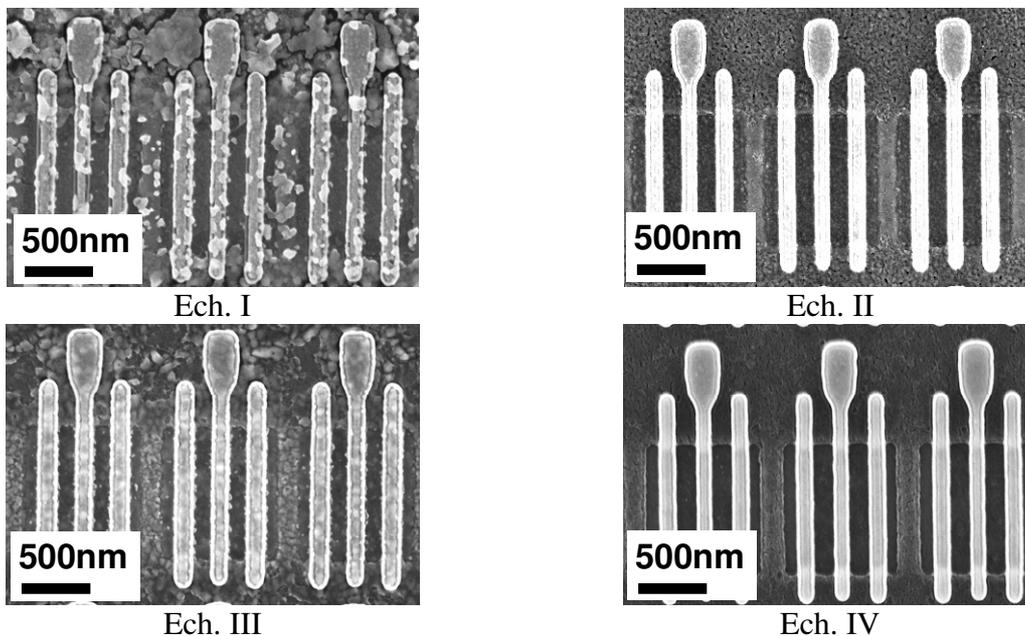


Fig. 112 : Observation MEB en vue de dessus de transistors MOSFET, après siliciuration Ir, et essai de retrait sélectif par germaniuration sacrificielle.

Le retrait sélectif par germaniuration sacrificielle n'est donc pas adapté à l'intégration du siliciure d'iridium sur des architectures CMOS. Toutefois, le siliciure d'iridium garde tout son intérêt du fait de sa faible barrière aux trous. Dans cette optique, l'utilisation d'un troisième élément, autre que le germanium, pour l'intégration du siliciure d'iridium par formation d'un composé sacrificiel méritera d'être étudié.

Dans cette partie, nous mettons en évidence la formation de la phase Ir_3Ge_7 sur des pseudo-substrats de Ge pour des températures de recuit supérieures à 400°C. Cette réaction est liée à l'apparition de défauts, dont la formation est due à un mécanisme de germaniuration latérale accélérée par les défauts, couplé à une germaniuration planaire. Une analyse EdX nous permet de montrer que la phase IrGe n'est pas soluble dans SPM, mais qu'un décollement mécanique de la couche est possible sur les larges zones. Toutefois, ce

mécanisme n'est pas adapté à une intégration du siliciure d'iridium sur des architectures CMOS.

IV.4 Conclusion

Après avoir introduit la problématique du retrait sélectif des siliciures de métaux quasi-nobles, nous avons pu montrer dans une première partie le potentiel de l'intégration par germaniuration sacrificielle pour le siliciure de platine. Nous analysons tout d'abord la séquence de formation des germaniures de platine. Puis, nous montrons la possibilité de sélectionner la phase de germaniure formée en contrôlant le rapport des épaisseurs de platine et de germanium déposées. Nous mettons en évidence la solubilité des germaniures de platine dans une chimie de type SPM. Nous vérifions enfin l'impact négligeable de ce procédé sur les propriétés morphologiques et électriques d'un siliciure de platine déjà formé.

Dans une seconde partie, nous montrons les difficultés liées au retrait sélectif de l'iridium. Après avoir étudié la séquence de formation des germaniures d'iridium, nous proposons un mécanisme de germaniuration latérale permettant d'expliquer la présence de défauts singuliers. La méthode de germaniuration sacrificielle permet le retrait de larges surfaces d'Ir, mais n'est pas adaptée à l'intégration du siliciure d'iridium sur des architectures CMOS.

IV.5 Références du chapitre IV

[Breil07a] N. Breil, A. Halimaoui, E. Dubois, G. Larrieu, A. Łaszcz, J. Ratajczak, G. Rolland, A. Pouydebasque and T. Skotnicki, "An Original Selective Etch of Pt vs. PtSi using a Low Temperature Germanidation Process", *ElectroChemical Society Trans.*, 6 (1) 459-465 (2007).

[Breil07b] N. Breil, A. Halimaoui, E. Dubois, G. Larrieu, A. Łaszcz, J. Ratajczak, G. Rolland, A. Pouydebasque and T. Skotnicki, « Selective etching of Pt with respect to PtSi using a sacrificial low temperature germanidation process », *Appl. Phys. Lett.* 91, 232112 (2007).

[Gaudet06] S. Gaudet, C. Detavernier, A.J. Kellock, P. Desjardins, C. Lavoie, "Thin film reaction of transition metals with germanium", *J. Vac. Sci. Technol. A* 24, pp. 474-485 (2006).

[Grimaldi81] M. G. Grimaldi, L. Wielunski, M.-A. Nicolet, and K. N. Tu, *Thin Solid Films* 81, 207 (1981).

[Halimaoui07] A. Halimaoui, "Method for the selective removal of an unsilicided metal", US Patent no. 438658000.

[Hsieh88] Y. F. Hsieh and L. J. Chen, *J. Appl. Phys.* 63, 1177 (1988).

[Lee06] 10R. T. P. Lee, K.-M. Tan, A. E.-J. Lim, T.-Y. Liow, G.-Q. Lo, G. Samudra, D. Z. Chi, and Y.-C. Yeo, in *Extended Abstracts of the International Conference on Solid State Devices and Materials [SSDM]*, 2006, pp. 1110–1111.

[Luan99] H.C. Luan et al., "High-quality Ge epilayers on Si with low threading-dislocation densities", *Appl. Phys. Lett.* 75 (2909), 1999.

[Maex95] P. Gas and F. M. d'Heurle, in *Properties of Metal Silicides*, edited by K. Maex and M. Van Rossum (INSPEC, London, U.K., 1995).

[Marshall85] E. D. Marshall, C. S. Wu, C. S. Pai, D. M. Scott, and S. S. Lau, *Mater. Res. Soc. Symp. Proc.* 47, 161 (1985).

[Nemutudi00] R.S. Nemutudi, C.M. Comrie, C.L. Churms, "Study of Pt/Ge interaction in a lateral diffusion couple by microbeam Rutherford backscattering spectrometry", *Thin Solid Films* 358, pp 270-276 (2000).

[Rand74] M. J. Rand and J. F. Roberts, "Observations on the formation and etching of platinum silicide", *Appl. Phys. Lett.* 24, 49 (1974).

[Rivillon06] S. Rivillon et al., "Hydrogen passivation of germanium (100) surface using wet chemical preparation", *Applied Physics Letters* 87 (253101), 2006.

[Sun06] S. Sun et al., "Surface termination and roughness of Ge(100) cleaned by HF and HCl solutions", *Applied Physics Letters* 88 (021903), 2006.

[vanDal06] M. J. H. van Dal, A. Lauwers, J. Cunniffe, R. Verbeeck, C. Vrancken, C. Demeurisse, T. Dao, Y. Tamminga, A. Veloso, J. A. Kittl, and K. Maex, IEEE Trans. Electron Devices 53, 1180 [2006] .

[Weast80] R. C. Weast, CRC Handbook of Chemistry and Physics 60th ed. (CRC, Boca Raton, FL, 1980 , p. B-80)

[Yao06] H. B. Yao, C. C. Tan, S. L. Liew, C. T. Chua, C. K. Chua, R. Li, R. T. P. Lee, S. J. Lee, and D. Z. Chi, Proceedings of the International Workshop on Junction Technology, 2006, pp. 164–169.

[Zhang06] Z. Zhang, S.-L. Zhang, M. Östling, and J. Lu, Appl. Phys. Lett. 88, 142114 (2006).

Chapitre V

Performances électriques du siliciure de platine sur architectures CMOS

Dans ce chapitre, les stratégies de collaboration entre l'IEMN et STMicroelectronics seront présentées. Les avantages des différents environnements offerts par ces deux partenaires seront étudiés, de manière à définir un schéma de collaboration. Les étapes critiques de ce schéma seront analysées. Une étude de la compatibilité des ressources lithographiques permettra de quantifier les erreurs d'alignement, et de concevoir en conséquence une structure de plots de contact permettant la caractérisation électrique de transistors dont la fabrication est effectuée à la fois à STMicroelectronics et à l'IEMN.

Cette stratégie permettra dans un premier temps la réalisation de transistors Schottky sur substrat bulk. Le comportement électrique des jonctions métalliques sera analysé, afin de proposer un schéma d'amélioration des performances par une réduction du dopage dans le canal.

Dans un second temps cette stratégie permettra de mettre à profit les études matériau du chapitre précédent sur la formation et la solubilité des germaniures de platine pour démontrer la viabilité du procédé de germaniuration sacrificielle dans le cadre de l'intégration du PtSi sur des transistors CMOS.

Enfin, une intégration du PtSi dans un schéma de fabrication purement industriel permettra une comparaison significative avec le NiSi conventionnel. Les performances à l'état de l'art de ce matériau dans le cadre d'une technologie CMOS 45nm mettront en évidence l'intérêt du PtSi pour les technologies actuelles et futures.

V.1 Collaboration entre les différents partenaires de la thèse

Dans cette section, nous présentons les différentes stratégies de collaboration mises en place afin de bénéficier des domaines d'expertise offerts par les différents partenaires de cette thèse, que sont STMicroelectronics, le CEA-LETI, et l'IEMN.

- **Approche Exploratoire : Siliciuration IEMN sur un cœur de procédé STMicroelectronics**

Dans cette approche, le procédé de fabrication commence sur le site de STMicroelectronics Crolles2, sur des plaques de Si 300mm. Une technologie CMOS 65nm sur substrat bulk est utilisée. Le procédé de fabrication met en jeu successivement la définition d'isolations par tranchées profondes STI (*Shallow Trench Isolation*), le dépôt d'un empilement de grille polysilicium sur oxyde nitruré, la définition de la grille par gravure plasma, le dépôt des espaceurs et le dopage des zones source et drain.

Les plaques de 300mm sont ensuite transférées à l'IEMN, et clivées en morceaux de 4x4cm compatibles avec les équipements de l'IEMN pouvant recevoir des échantillons d'une taille de 3pouces au maximum. L'étape de siliciuration est alors réalisée. Afin de pouvoir accéder électriquement aux zones de contact des dispositifs CMOS, une technologie back-end a été développée à l'IEMN. Le développement de cette technologie sera explicité en détail dans la suite de ce chapitre.

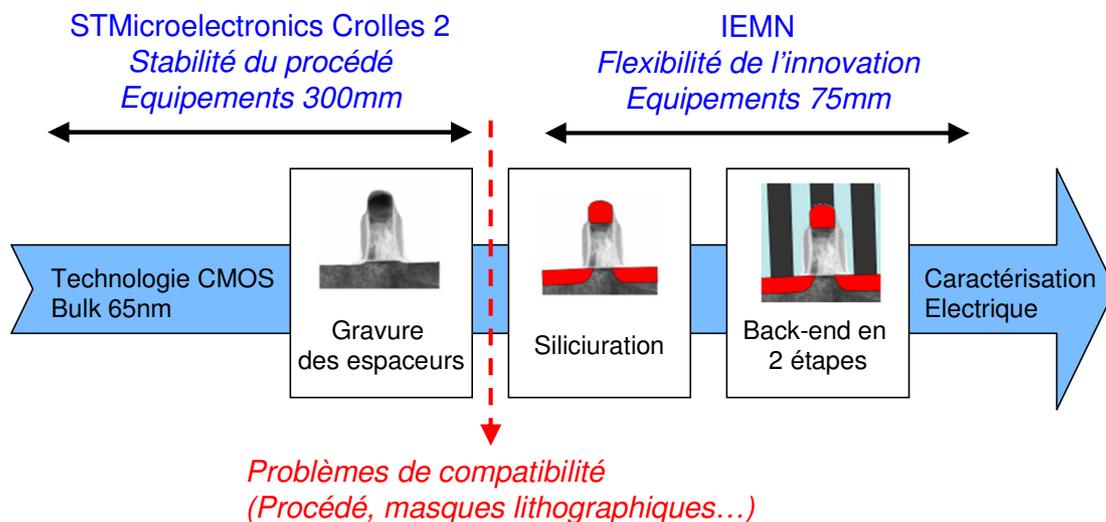


Fig. 113 : Schéma de collaboration STMicroelectronics – IEMN permettant une intégration des siliciures fabriqués à l'IEMN sur un cœur de procédé industriel STMicroelectronics.

Cette stratégie permet d'obtenir une grande flexibilité en terme d'ingénierie de matériaux et d'intégration (Fig. 113). Le cœur de procédé fabriqué en milieu industriel bénéficie d'une ingénierie d'architecture et d'une stabilité des procédés à l'état de l'art des performances mondiales. Par ailleurs, la flexibilité offerte par l'IEMN tant au niveau des étapes de nettoyage chimique, du choix des cibles de dépôts métalliques (Pt, Ir, Er, Yb, Ge...), et des conditions de recuit, nous permet une optimisation de l'étape de siliciuration.

Toutefois, cette stratégie soulève de nombreux problèmes de compatibilité afin d'assurer un échange technologique réussi, notamment au niveau de l'alignement des étapes de lithographie, comme schématisé en Fig. 113.

- **Approche Industrielle : Intégration complète dans un cœur de procédé STMicroelectronics**

Dans une seconde approche, le procédé de fabrication démarre en suivant une technologie standard 45nm CMOS bulk à STMicroelectronics. Avant l'étape du dépôt métallique, les plaques sont envoyées à un équipementier afin de réaliser le dépôt de Pt, puis au CEA-LETI pour le recuit de siliciuration. Finalement, les plaques sont réintégrées à la chaîne de fabrication de STMicroelectronics pour le retrait sélectif du métal non réagi, et l'ensemble des étapes restantes.

Du fait de la grande stabilité de la plupart des procédés mis en œuvre, les résultats obtenus grâce à cette deuxième approche ont beaucoup plus d'impact d'un point de vue de la démonstration industrielle.

Les deux approches ici décrites nous permettent donc une grande flexibilité expérimentale. La première approche nous a fait mettre en évidence dans les parties précédentes les problèmes d'intégration posés par les siliciures de terres rares, tels que ErSi. Ces développements ont pu être réalisés sur des morceaux d'échantillons des plaques 300mm industrielles, nous donnant ainsi une grande liberté dans l'originalité des techniques, et de la variété des matériaux intégrés. La deuxième approche nous a permis de sélectionner les procédés optimisés afin de les intégrer dans un schéma de fabrication entièrement réalisé en milieu industriel. Les deux approches sont donc d'une grande complémentarité, et nous ont permis de minimiser les coûts de développement, tout en bénéficiant d'une grande flexibilité dans le choix des matériaux et des techniques d'intégration. Cette optimisation justifie la contrepartie imposée par le développement des techniques nécessaires à la compatibilité entre les deux environnements que sont une salle blanche industrielle et un laboratoire de recherche. Nous présentons ces développements dans la partie suivante.

V.1.1 Description des structures de test industrielles

Les structures de test utilisées dans notre étude sont fabriquées sur des plaques 300mm dans l'usine STMicroelectronics Crolles2. Parmi les différents transistors disponibles sur les réticules lithographiques, nous avons choisi un jeu de transistors MOS conçu pour le développement de technologies CMOS 65 et 45nm. Des transistors MOSFET de type p et n présentant une gamme étendue de longueur de grille L_g et de largeur de zone active W sont disponibles sur ces zones. Ces structures de test sont situées sur un réticule permettant la projection d'une image d'une taille de $2 \times 2 \text{cm}^2$ répétée sur l'intégralité de la surface de la plaque.

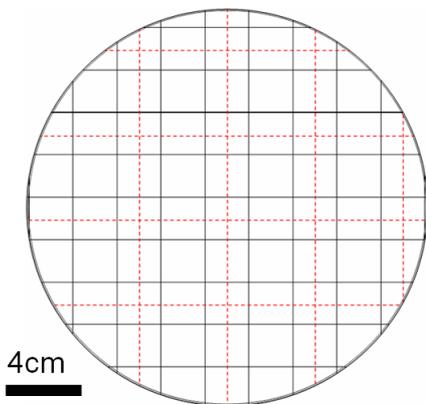


Fig. 114 : Répétition de l'image d'un réticule sur une plaque (lignes noires), et position des axes de clivage choisis pour la découpe des plaques (lignes rouges pointillées).

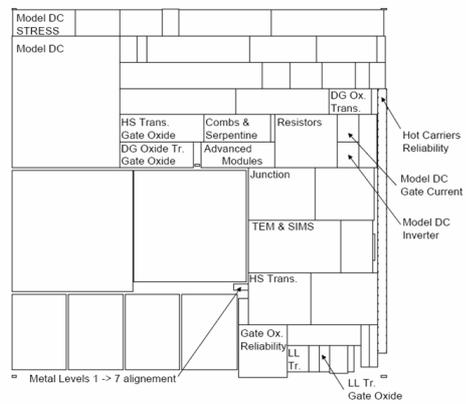


Fig. 115 : Schéma de l'image projetée par le réticule sur la plaque. Les différentes zones de test y sont détaillées. Nous avons travaillé sur la zone MODEL DC.

La taille standard des plaques est de 300mm, alors que la taille standard des échantillons utilisés à l'IEMN est de 75mm. Cette contrainte nous impose de cliver les plaques en échantillons de $4 \times 4 \text{cm}^2$, comme illustré en Fig. 114. Le module choisi pour nos développements (MODEL DC) est situé en haut à gauche de l'image (Fig. 115) et est répété quatre fois sur un échantillon.

Le plan en vue de dessus d'un transistor ($W=10\mu\text{m}$; $L_g=0.08\mu\text{m}$) est représenté en Fig. 116. Il est important de noter que la zone de silicium dédiée aux contacts source et drain ne mesure que 460nm de long, et correspond à la dimension standard de tous les transistors présents sur le réticule. Cette dimension étant trop faible pour pouvoir envisager l'application directe de pointes pour la caractérisation électrique, le développement d'un niveau de métal *back-end* est nécessaire. Les échantillons ayant déjà été clivés, une réintégration en milieu industriel est impossible. Le paragraphe suivant présente une étude visant à déterminer la précision d'alignement de l'équipement de lithographie électronique disponible au laboratoire.

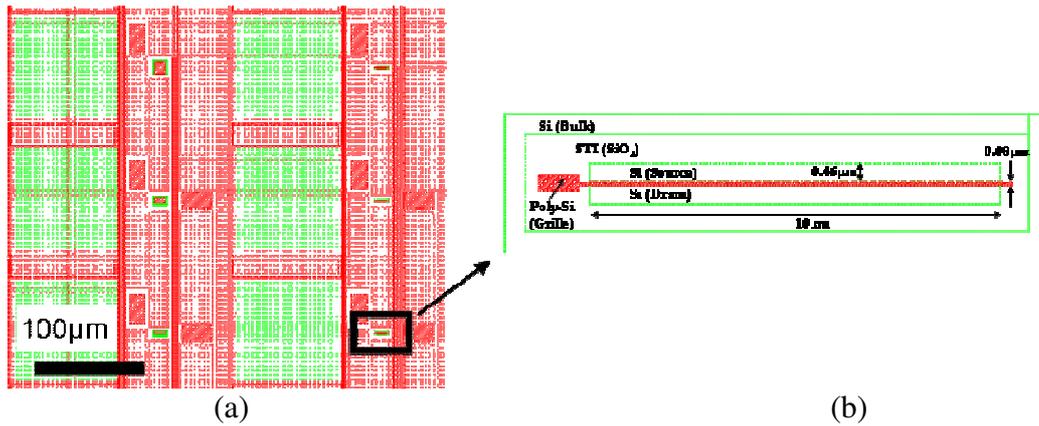


Fig. 116 : Vue de dessus des zones test de transistors (a), et agrandissement d'une structure de transistor MOSFET, comportant les régions de grille, source, drain, et substrat.

V.1.2 Compatibilité de la lithographie : Structures et contrôle de l'alignement

Afin de dessiner de manière optimale un niveau de métal pour le contact des différents terminaux du transistor, il est indispensable de quantifier la précision d'alignement de nos moyens lithographiques sur les structures industrielles. Le nano-insolateur à faisceau électronique disponible à l'IEMN est un système Leica EBPG-5000+, proposant deux stratégies d'alignement, dont l'étude statistique des performances d'alignement est ici présentée.

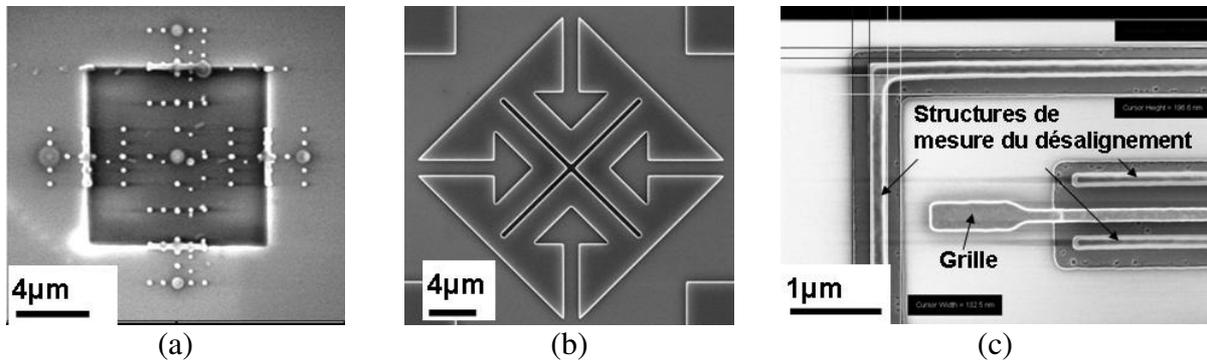


Fig. 117 : Observation de l'algorithme d'alignement automatique sur une structure carrée $10 \times 10 \mu\text{m}^2$ et profonde de 700nm (a). Observation d'une structure d'alignement manuelle (b). Structure de mesure du désalignement (c).

La première stratégie est automatique et basée sur la détection par le nano-insolateur de marques d'alignement spécifiques, constituées de carrés de $10 \times 10 \mu\text{m}^2$ d'une profondeur de $0.7 \mu\text{m}$. En utilisant un réticule spécifique, et après définition d'un procédé de gravure adapté, de telles marques ont pu être réalisées en milieu industriel (Fig. 117a). Observées dans le mode Microscope Electronique à Balayage (MEB) du nano-insolateur, le relief de telles structures permet d'obtenir un contraste d'intensité suffisant pour la mise en place d'un algorithme d'alignement. Après une première détection grossière des flancs de tranchées (points en Fig. 117a), le nano-insolateur réalise une mesure fine du contraste sur un tiers de chaque flanc (lignes en Fig. 117a) afin de déterminer avec précision la position du centre du carré. La détection des centres des 4 marques localisées aux quatre coins de l'image du réticule permet la mise en concordance du système de coordonnées du nano-insolateur avec celui des structures de notre échantillon.

La deuxième stratégie met en jeu un alignement manuel en utilisant le mode MEB du nano-insolateur. Dans ce cas, il est possible de sélectionner des structures nanométriques, et d'identifier leur position avec une précision de quelques nanomètres. La structure choisie pour cet alignement manuel est présentée en Fig. 117b. La largeur de la croix à l'intérieur de la structure est de 460nm. Comme dans le cas de la procédure automatique, l'alignement manuel requiert quatre marques pour construire un système de coordonnées.

Afin de mesurer les erreurs d'alignement, des structures dédiées ont été dessinées et réalisées à l'IEMN directement sur les zones de transistors. Ces structures consistent en une ligne de résine centrée sur le contact substrat autour du transistor. Les erreurs d'alignement dans les deux directions du plan peuvent donc être déterminées en se basant sur la mesure du désalignement entre le centre de la ligne de résine insolée et le centre de la zone de contact substrat (Fig. 117c). La même structure de test est répétée sur chacune des quatre zones localisées à chaque coin de nos échantillons de 4x4cm². Pour chacune de ces quatre zones, la valeur moyenne et la déviation standard dans les directions x et y sont déterminées grâce à 16 mesures différentes, et sont reportées en Fig. 118.

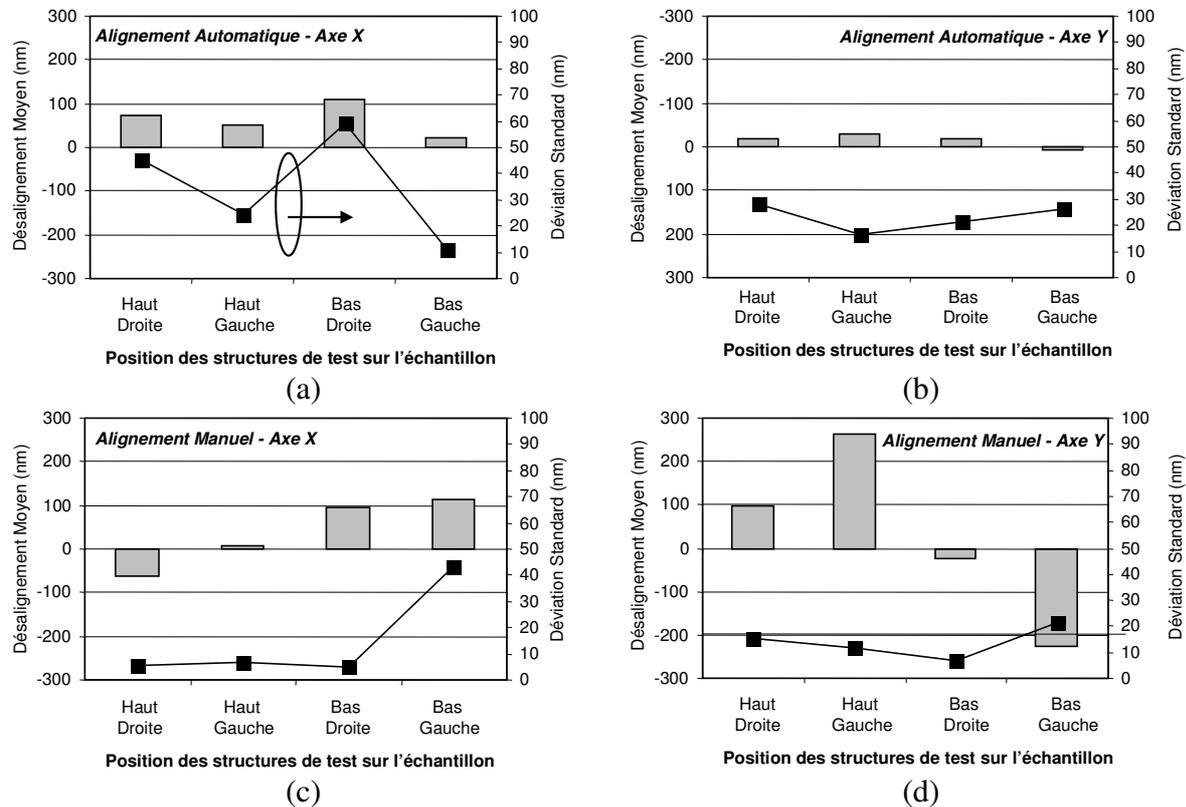


Fig. 118 : Désalignement moyen et déviation standard en nm pour le mode automatique suivant l'axe x (a), et l'axe y (b), et pour le mode manuel suivant l'axe x (c) et l'axe y (d).

En mode automatique, le désalignement moyen est inférieur à 70nm suivant l'axe x (Fig. 118a), et inférieur à 30nm suivant l'axe y (Fig. 118b). La déviation standard suivant chaque axe est inférieure à 60nm. La même méthode de mesure a été appliquée au mode manuel. Suivant l'axe x, le désalignement moyen est limité à 120nm (Fig. 118c), et la déviation standard est inférieure à 50nm. Suivant l'axe y, le désalignement moyen est plus important (>200nm), notamment dans les zones situées à gauche de l'échantillon (Fig. 118d). Toutefois, la déviation standard est limitée à 20nm pour les zones situées à droite de l'échantillon.

Il est intéressant de remarquer que le mode automatique montre un désalignement strictement positif suivant l'axe x, et d'environ 50nm, moyenné à l'ensemble des quatre zones. Nous suggérons qu'un tel désalignement est dû à un désalignement initial entre le masque de gravure STI et celui du polysilicium. Par ailleurs, des expériences menées depuis ont démontré qu'il est possible d'améliorer de manière significative les performances d'alignement en corrigeant cet offset lors de l'alignement du nano-insolateur.

Il ressort de manière évidente de la Fig. 118 que le mode d'alignement manuel est moins précis. Toutefois, en considérant qu'un désalignement de 100nm maximum est tolérable dans la conception de notre back-end pour assurer le fonctionnement des contacts métalliques, nous voyons en Fig. 118 qu'au moins une région de l'échantillon nous permet d'atteindre cet objectif. L'erreur d'alignement en mode manuel reste donc tolérable. Par ailleurs, la déviation standard étant comparable dans les deux modes, un bon alignement sur une des régions de l'échantillon nous donne accès à la caractérisation de plusieurs dizaines de transistors. De plus, le mode manuel est beaucoup plus souple d'un point de vue global, car il ne nécessite pas de réaliser en milieu industriel les étapes supplémentaires de lithographie, gravure, et nettoyage pour la réalisation des marques automatiques.

Alors que le mode automatique permet un alignement plus précis, l'alignement manuel permet un compromis valable en termes de performance d'alignement, comparé à la difficulté de réalisation de marques d'alignements en environnement industriel. La stratégie d'alignement manuel sera donc utilisée par la suite pour l'intégration de plots de contact métalliques.

V.1.3 Intégration de plots de contact métalliques

Des plots de contact d'une dimension de $100 \times 100 \mu\text{m}^2$ ont été conçus afin de permettre une caractérisation électrique avec des pointes de dimension standard. Partant des données présentées dans la partie précédente sur les performances d'alignement lithographiques, les masques correspondant aux plots de contact ont été dessinés afin de fonctionner dans le cas d'un désalignement de 100nm.

La première étape du procédé de fabrication des plots de contact consiste à déposer une couche diélectrique suffisamment épaisse pour recouvrir la topologie introduite par les grilles en polysilicium. Ce diélectrique doit être ouvert sur les quatre zones de contact que sont la source, le drain, la grille, et la prise substrat. L'originalité de notre approche consiste à utiliser les deux propriétés remarquables de la résine HSQ (Hydrogen SilsesQuioxane). D'une part, la HSQ présente une faible constante diélectrique de l'ordre de 2.2 [Jeng95], et sa fluabilité permet une bonne planarisation de la couche sur l'ensemble de la surface de l'échantillon. D'autre part, la HSQ est une résine électronique négative à haute résolution, qui passe d'un monomère de structure cage à un polymère en réseau sous insolation électronique [Zhao99], comme représenté en Fig. 119. La résine est alors densifiée grâce à la désorption de l'hydrogène et se rapproche d'un oxyde de silicium stoechiométrique SiO_2 .

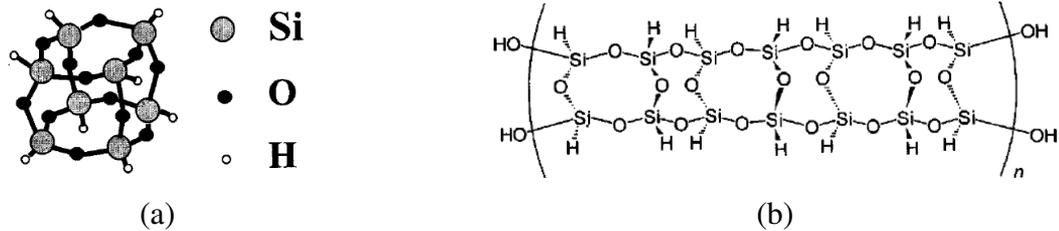


Fig. 119 : Représentation schématique de la structure moléculaire de la résine HSQ. Sous insolation électronique ou recuit en température, la structure sous forme de cage (a) s'ouvre par désorption des atomes d'H, et évolue vers un polymère en réseau (b).

Cette propriété est utilisée pour densifier localement la résine en l'exposant au faisceau électronique dans les régions devant être encapsulées. La résine couvrant les zones de contact n'est pas exposée, et peut être retirée en utilisant une solution d'hydroxyde de tetraméthylammonium (TMAH). Il est important de préciser que la résine est déposée grâce à une tournette afin d'atteindre une épaisseur de 180nm de manière à encapsuler totalement des grilles d'une hauteur de 100nm, comme observé en Fig. 120a.

La deuxième étape du procédé consiste à déposer et à dessiner les plots de contact, en utilisant un procédé de *lift-off*. Une résine de type MMA COPO 13% est déposée, insolée, puis révélée. Une couche d'Al de 400nm d'épaisseur est ensuite déposée par évaporation. Grâce à un bain d'acétone d'environ 1h sous ultra-sons, la résine restante est décollée, retirant ainsi la couche métallique située au dessus. La couche métallique ne reste donc que sur les zones où la résine a préalablement été révélée. Il est établi que l'Al peut perturber les contacts PtSi/Si à des températures de l'ordre de 450°C [Chang87], notamment lors des budgets thermiques élevés introduits par les étapes de back-end dans les circuits CMOS. Dans notre cas, aucun budget thermique élevé n'est imposé après le dépôt des plots de contact, et nous considérons que les plots ne réagissent pas avec PtSi.

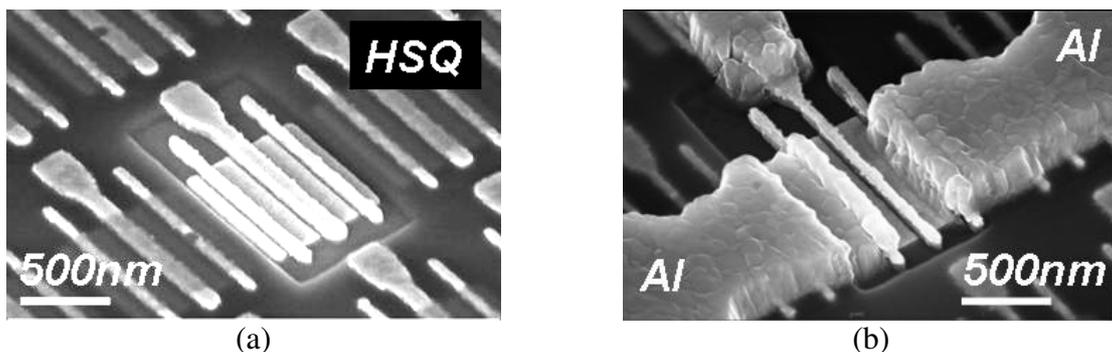


Fig. 120 : Observation MEB de l'intégration des plots de contact métalliques après une première étape de dépôt et d'ouverture d'une résine HSQ (a), et après lift-off des plots de contact en Al (b). (Photos prises sur deux transistors de longueurs de grilles différentes).

Les résultats morphologiques de l'intégration de plots de contact sont présentés en Fig. 120 et en Fig. 121. Nous remarquons en Fig. 120 l'alignement précis, à la fois du niveau de passivation HSQ (Fig. 120a) et de celui des plots de contact (Fig. 120b) sur les transistors. L'ouverture dans la HSQ est clairement observée, de même que la couche d'Al qui contacte effectivement les terminaux du transistor. La Fig. 121 offre une vue en large échelle du dessin des plots, et la zone passivée en HSQ.

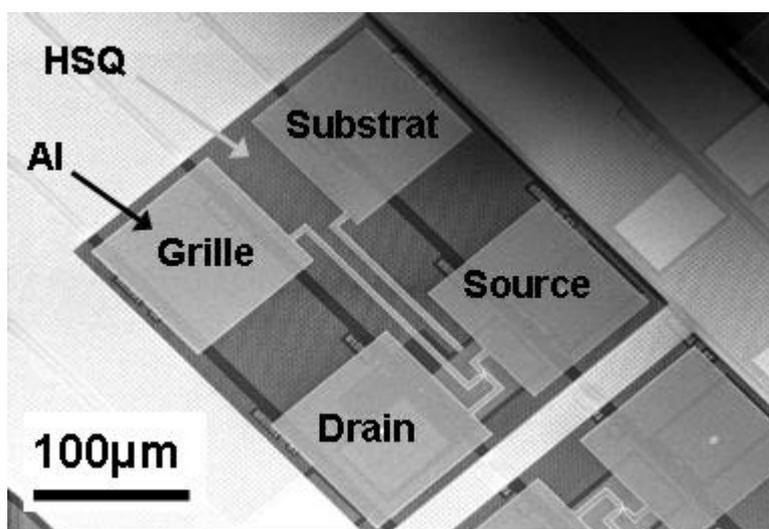


Fig. 121 : Observation MEB des plots de contact avant la caractérisation électrique.

V.2 Intégration du PtSi sur transistors MOSFET de type p à barrière Schottky

Les résultats présentés dans cette partie ont été publiés dans [Breil07] sous le titre « Impact d'une implantation de canal de type n sur les performance d'un transistor MOSFET de type p à barrière Schottky ». Les échantillons étudiés ont été fabriqués à STMicroelectronics Crolles 2, puis transférés à l'IEMN pour la fabrication des siliciures et des plots de contact pour la caractérisation électrique.

Les transistors Schottky ont été fabriqués avec des longueurs de grilles variant entre 4 μ m et 35nm. En focalisant notre étude sur l'impact de l'implantation dans le canal de type n, nous montrons une amélioration de la performance des dispositifs lorsque le dopage de canal est plus faible. Cet effet est attribué à une augmentation de la hauteur de barrière aux trous, due à la présence de donneurs chargés positivement à proximité de l'interface siliciure/silicium (Fig. 122).

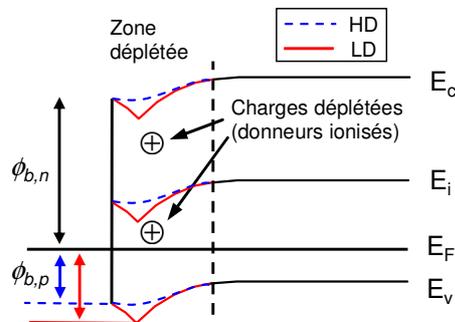


Fig. 122 : Augmentation de la hauteur de barrière Schottky induite par la présence de charges fixes dans la zone déplétée.

Les transistors à source et drain Schottky ont récemment reçu un regain d'intérêt du fait de leur capacité à remplacer les extensions dopées par des jonctions métalliques. La technologie Schottky est de fait reconnue comme un levier supplémentaire pour relaxer les contraintes étroites associées aux modules source et drain [Dubois02], [Larrieu04]. Dans ce contexte, le siliciure de platine est un matériau particulièrement adapté à l'injection des trous dans les transistors MOSFET de type p. Un levier potentiel d'amélioration par la modulation de la hauteur de barrière Schottky consiste à ajuster les niveaux de dopage à proximité de l'interface siliciure/silicium. Par cette technique, il a pu être établi qu'une fine couche d'impuretés de type n contribue à l'abaissement de la hauteur de barrière Schottky aux électrons grâce à l'augmentation de la courbure de bandes couplée à un effet de force image [Knoch02]. En considérant que la charge de déplétion (donneurs chargés positivement) domine le comportement électrostatique de la jonction Schottky, l'augmentation de la courbure de bandes entraîne une augmentation de la barrière apparente (Fig. 122). Récemment, [Lousberg07] a proposé qu'une augmentation de la concentration des dopants du caisson (de type n) dans un transistor Schottky de type p entraîne une réduction de la hauteur de barrière aux deux types de porteurs. Cette réduction symétrique de la hauteur de barrière est attribuée à un mécanisme de charge image induit par les porteurs mobiles à la proximité de l'interface Schottky. Cette observation est supportée par une amélioration du courant passant du transistor I_{on} quand le niveau de dopage du caisson est augmenté, en considérant des transistors longs ($L_g = 1\mu$ m). Toutefois, le mécanisme, charge de déplétion ou charge image, dominant le contrôle de la hauteur de barrière dans le cas particulier d'une injection de trous

dans un canal dopé n reste non identifié. Dans ce contexte, notre étude propose une analyse détaillée du comportement électrique de transistors Schottky de type p, mettant en évidence l'impact du dopage de canal pour des longueurs de grille réduites jusqu'à 35nm.

• **Fabrication des dispositifs**



Fig. 123 : Observation MEB des transistors Schottky en vue « tiltée » (a), et en coupe (b).

Les transistors étudiés ici proviennent d'une technologie CMOS 65nm bulk. Après la définition des tranchées d'isolation (STI) et l'implantation des caissons, une première implantation dans le canal est réalisée afin de former ce que nous appellerons les transistors à canal faiblement dopé (canal LD). Ces transistors sont par la suite masqués par une résine, alors que les transistors à canal fortement dopé (canal HD) reçoivent une deuxième implantation. Un oxyde nitruré d'une épaisseur de 12Å, et une couche de polysilicium dopé p d'une épaisseur de 800Å sont déposés afin de former l'empilement de grille. Après gravure de la grille, un espaceur ultra-mince (<10nm) est fabriqué. Les plaques 300mm sont ensuite envoyées à l'IEMN. Une couche de Pt de 20nm est déposée et recuite afin de former le PtSi. Le Pt en excès est retiré en utilisant un bain d'eau régale. La Fig. 123 propose une observation par MEB des dispositifs obtenus en vue de dessus (a) et en vue de coupe (b). Cette dernière observation confirme la formation d'un PtSi d'une épaisseur de 40nm. Une légère pénétration latérale du siliciure sous la grille est observée.

• **Caractérisation électrique**

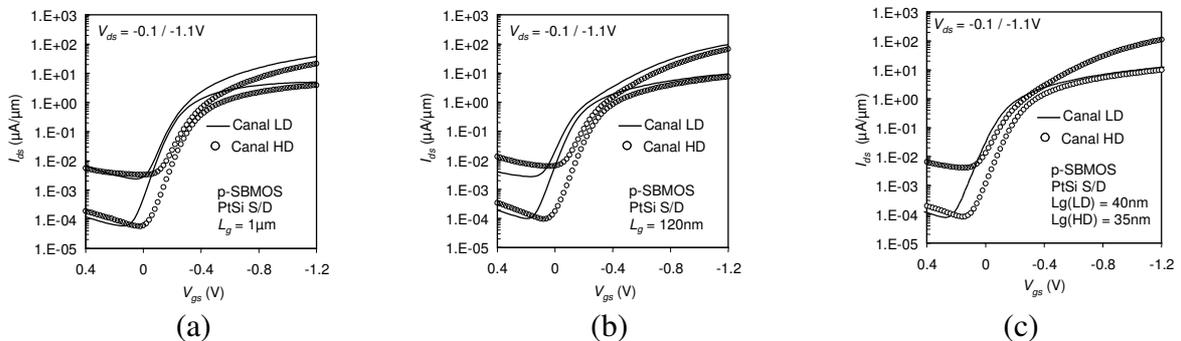


Fig. 124 :Caractéristiques de transfert $I_{ds}-V_{gs}$ des transistors Schottky de type p avec un dopage de canal LD ou HD, pour des longueurs de grilles de 1μm (a), 120nm (b), et 40nm (c).

Les Fig. 124a,b et c comparent les caractéristiques $I_{ds}-V_{gs}$ de transistors de longueurs de grilles 1μm, 120nm et 35nm, respectivement, et de dopage de canal LD ou HD. Un léger

aplatissement des caractéristiques est observé à la transition entre le régime sous le seuil et le régime de faible inversion ($0.2V < V_{gs} < 0.6V$) pour les longueurs de grilles les plus faibles. Cet effet est la signature d'une limitation de l'injection de courant à la source quand le canal est placé en inversion. Pour les deux types de dopage canal, les caractéristiques montrent une excellente pente sous le seuil inférieure à 92, 100 et 150mV/dec. pour des longueurs de grilles de 1 μ m, 120nm et 35nm, respectivement, et ce indépendamment du dopage de canal.

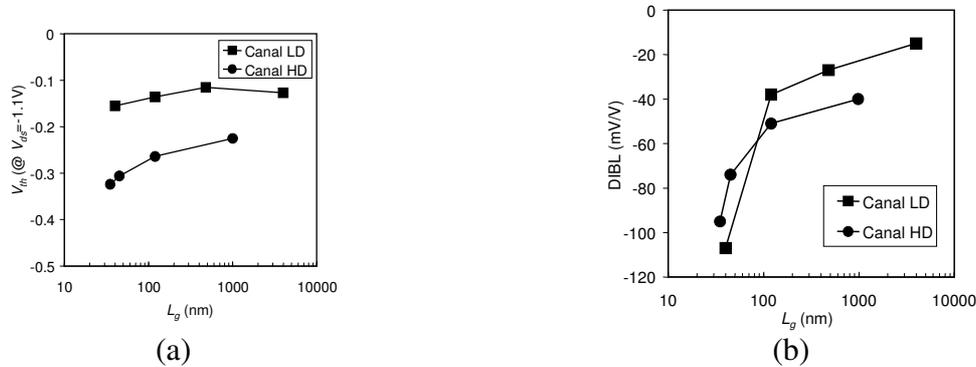


Fig. 125 : Evolution de la tension de seuil V_{th} (a) et du DIBL (b) en fonction de la longueur de grille L_g , pour des dopages de canal LD et HD.

Comme attendu, les transistors HD montrent une tension de seuil légèrement supérieure (100mV) du fait du dopage de canal plus élevé (Fig. 125a). Aucune différence essentielle n'apparaît dans l'évolution des effets canaux courts pour les dopages HD ou LD. La sensibilité des dispositifs au DIBL (*Drain Induced Barrier Lowering*) est présentée en (Fig. 125b). Les dispositifs LD sont impactés par un plus fort DIBL par rapport à leur équivalent HD. Une raison évidente pour cet effet est la plus faible immunité au champ électrique généré par le drain pour des concentrations de dopage de canal plus faibles. Une autre cause potentielle est la hauteur de barrière Schottky réduite à la source, comme expliqué dans les lignes suivantes.

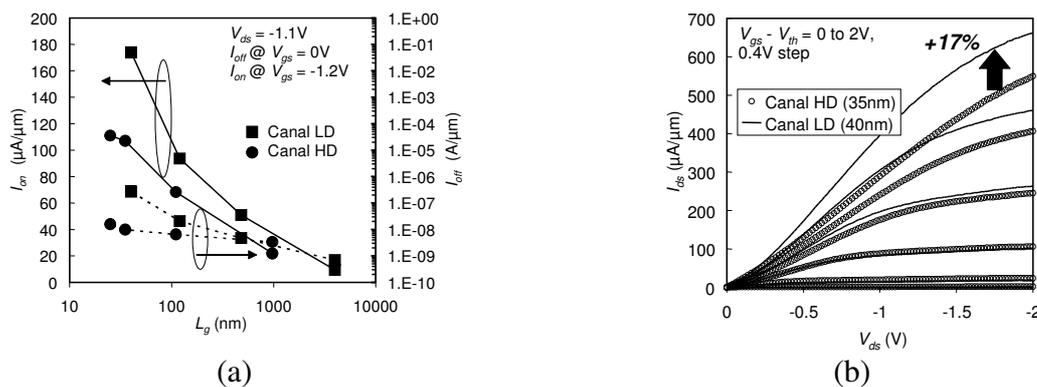


Fig. 126 : Courants de drain I_{on} et I_{off} en fonction de la longueur de grille (a), et caractéristique I_{ds} - V_{ds} des transistors courts, pour des dopages de canal LD et HD.

La Fig. 126a montre l'évolution du I_{on} et du I_{off} en fonction de la longueur de grille, qui met en évidence la supériorité de dispositifs LD en terme de courant I_{on} , et ce en particulier pour les grilles les plus courtes. Afin de comparer ces dispositifs de manière significative, la Fig. 126b montre les caractéristiques I_{ds} - V_{gs} des dispositifs les plus courts ($L_g=35nm$), pour des tensions de grilles $V_{gs}-V_{th}$ intégrant les variations de tensions de seuil. Cette figure montre clairement les meilleures performances des dispositifs LD. La perte en courant des dispositifs HD est attribuée à une hauteur de barrière Schottky plus importante à

la source, provoquant une courbure de bandes défavorable (Fig. 122). Par conséquent, nous confirmons que l'effet de la charge de déplétion prévaut sur celui de la charge image dans le cas d'une injection de trous dans un canal dopé n.

En conclusion de cette partie, des transistors MOSFET à barrière Schottky ont été fabriqués avec succès en intégrant des jonctions métalliques en PtSi, jusqu'à des longueurs de grilles de 35nm. Nous démontrons qu'une diminution du dopage de canal améliore les performances des dispositifs. Cet effet est attribué à la diminution des donneurs chargés positivement à la proximité de l'interface siliciure/silicium.

V.3 Intégration du PtSi en utilisant la technique de retrait sélectif par germaniuration sacrificielle

Les travaux présentés dans cette partie ont été publiés dans [Breil08].

Il a été démontré dans les parties précédentes que le PtSi apparaît comme une alternative prometteuse pour les futures technologies CMOS en tant que siliciure de contact pour les transistors MOSFET du fait de sa faible barrière, de sa faible consommation de silicium, et de température de formation peu élevée. L'intégration d'un siliciure nécessite la mise en place d'un procédé de retrait sélectif auto-aligné de manière à retirer l'excès de métal résiduel après le recuit de siliciuration, sans toutefois dégrader le siliciure formé. Dans cette optique, l'eau régale est couramment utilisée pour l'intégration du PtSi dans les transistors MOSFET. Toutefois nous avons pu démontrer (Chap IV) que cette solution n'est pas adaptée, à moins qu'un recuit à haute température (600°C) ne soit introduit afin d'oxyder la surface du PtSi en une couche SiO₂ de protection [Rand74], [VanDal06], [Zhang06].

Etant donné que la réaction d'oxydation demande une quantité de silicium supplémentaire provenant du siliciure, ce procédé est difficilement applicable aux très fines couches de PtSi intégrées comme contacts de source et drain du fait des risques de dégradation de ces couches et de l'augmentation potentielle de la résistance par carreau. De plus, l'introduction de l'empilement d'une grille métallique avec un insulant à forte constante diélectrique pose de nouvelles contraintes associées au budget thermique et aux traitements chimiques après la définition de la grille. Dans ce contexte, l'eau régale est difficilement envisageable comme une solution viable du fait de sa grande réactivité avec la plupart des métaux et des alliages de silicium.

En alternative à l'eau régale, nous proposons dans cette partie d'implémenter le procédé de retrait sélectif par germaniuration sacrificielle présenté en Chap IV sur des dispositifs CMOS. Nous démontrons que ce procédé original permet l'intégration de couches fines de PtSi dans des transistors MOSFET, en appuyant notre argumentation sur des résultats morphologiques et électriques.

- **Retrait sélectif par germaniuration sacrificielle**

Un procédé de siliciuration auto-alignée met en jeu le retrait du métal non réagi du fait d'une consommation partielle du Pt sur les zones de Si ou du Pt résiduel sur les films isolants (*e.g.* espaceurs SiO₂ ou Si₃N₄). Le procédé ici proposé est basé sur la transformation du film de Pt chimiquement très stable en une phase Pt_xGe_y plus réactive, qui pourra être facilement retirée dans un bain de SPM. Pour un empilement Ge/Pt donné, la phase Pt_xGe_y formée après recuit dépend à la fois du rapport des épaisseurs des deux couches et de la température de recuit. En considérant les problématiques d'une intégration sur transistors MOSFET, des incertitudes sur le rapport des épaisseurs déposées apparaissent du fait de la morphologie des dispositifs conjuguée à l'anisotropie des procédés de dépôt métallique. Il est donc indispensable pour la stabilité du procédé d'implémenter une méthode permettant la formation d'une phase Pt_xGe_y ne dépendant que de la température.

Nous avons pu montrer que PtGe_2 est la phase la plus riche en Ge du système binaire Pt-Ge. Nous avons montré en Chap. IV la solubilité de cette phase dans une solution de SPM. Cette stœchiométrie étant obtenue dans le cas d'un réservoir de Ge en excès et pour des températures de recuit de 300°C et au-dessus, nous focalisons notre étude sur ces conditions expérimentales (Ge en excès par rapport au Pt).

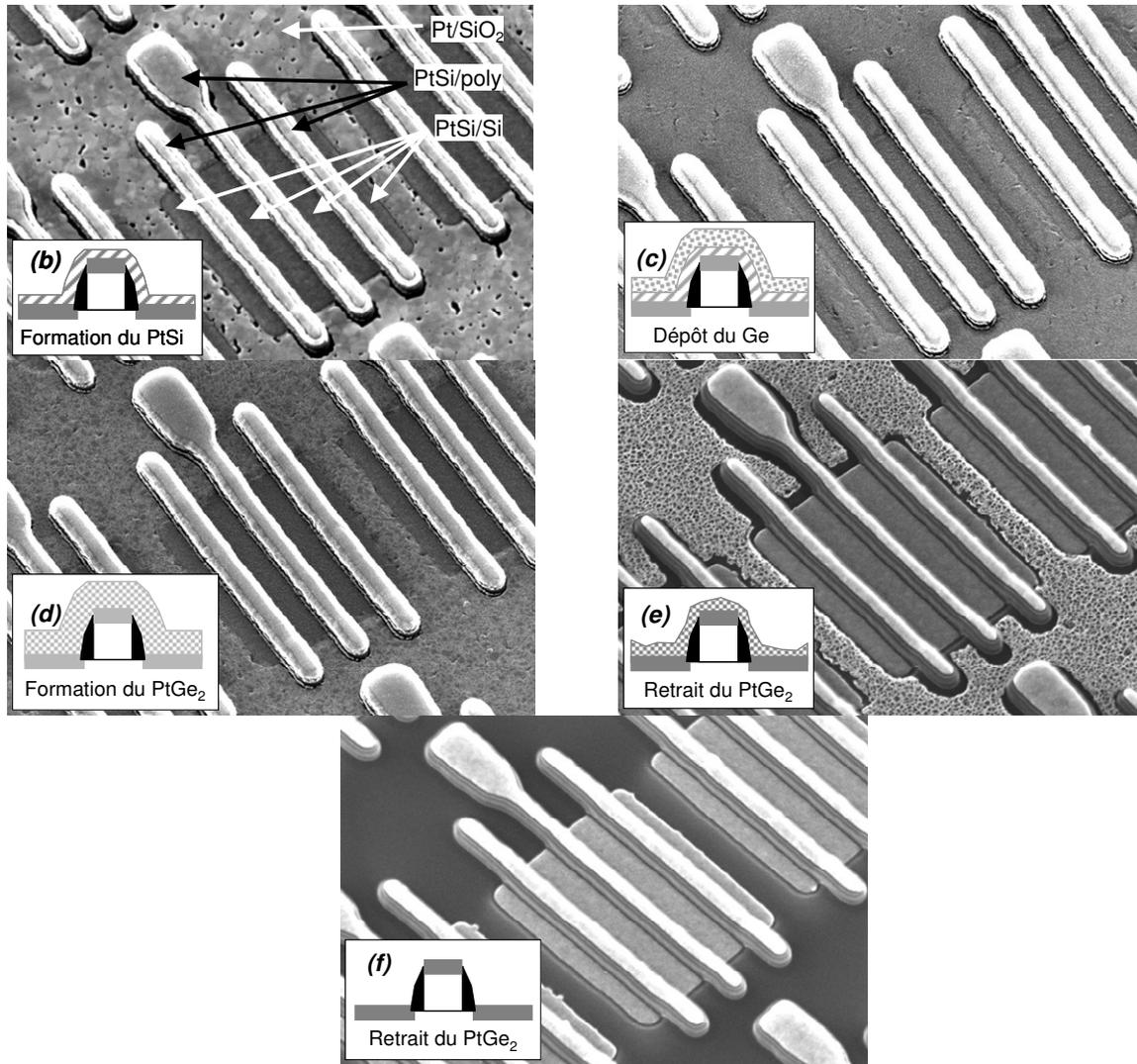


Fig. 127 : Observation par MEB des échantillons après les différentes étapes de retrait sélectif du Pt par germaniuration sacrificielle, après recuit de siliciuration (a), dépôt du Ge (b), recuit de formation du PtGe_2 (c), et retrait partiel (d) et total (e) et total (f) du PtGe_2 .

- **Validation morphologique du procédé**

Après définition des zones d'isolations STI, un oxyde nitruré d'une épaisseur de 1,2 nm est formé, au-dessus duquel une couche de polysilicium dopé p+ de 80nm est déposée. Après la gravure de la grille, les extensions sont implantées, et les espaceurs SiN/SiO_2 sont formés. Les jonctions source/drain sont par la suite implantées et activées grâce à un recuit RTP. Après une désoxydation HF 1% pendant 30sec, les échantillons sont chargés dans le bâti d'évaporation. Après un nettoyage par plasma d'Ar 60eV 30sec, une couche de Pt de 10nm

est évaporée. Les échantillons sont par la suite recuits à 500°C pendant 4min sous N₂H₂ de manière à former une couche de PtSi de 20nm d'épaisseur.

Afin de transformer le Pt non réagi en PtGe₂, une couche de Ge d'une épaisseur de 30nm est déposée, et recuite à 300°C pendant 5min sous N₂H₂. Finalement, le retrait sélectif du platine germaniuré est réalisé en plongeant les échantillons dans un bain de SPM pendant 10min.

Les observations morphologiques par MEB tilté de ce schéma d'intégration sont présentées en Fig. 127. Les schémas insérés sur chacune de ces observations correspondent aux étapes décrites dans la Fig. 91 présentée en début de ce chapitre. La Fig. 127b montre le transistor après l'étape de recuit de siliciuration PtSi. De larges grains apparaissent sur les zones en SiO₂ des isolations STI. Un siliciure peu rugueux est formé sur les zones de Si et de poly-Si. L'échantillon est présenté après le dépôt de la couche superficielle de Ge (Fig. 127c) et après le recuit de germaniuration (Fig. 127d). L'échantillon est ensuite plongé dans le bain de SPM, et observé après 5min de gravure, soit la moitié du temps de retrait total (Fig. 127e). L'aspect poreux de la couche de germaniure confirme que la gravure est effectivement en cours. Après 10min de gravure, l'ébullition du bain de SPM s'arrête, indiquant que la gravure de la couche de PtGe₂ est achevée. L'observation MEB (Fig. 127f) confirme que le retrait du PtGe₂ sur les zones STI est effectué. Nous observons aussi que les zones de PtSi ne montrent aucun signe de dégradation.

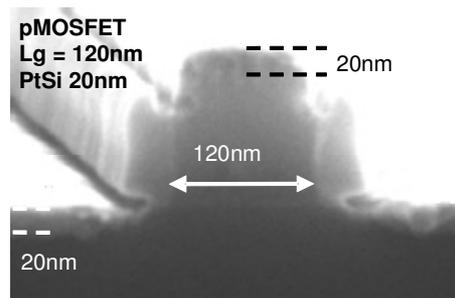


Fig. 128 : Observation MEB en vue de coupe du dispositif pMOSFET après intégration du siliciure de platine par germaniuration sacrificielle.

• Validation électrique

La Fig. 128 présente une vue MEB en coupe d'un transistor de longueur de grille 120nm. Les caractéristiques I_d-V_{ds} et I_d-V_{gs} de ce transistor sont présentées en Fig. 129a,b. Toutefois, nous démontrons la fonctionnalité électrique des dispositifs fabriqués grâce au procédé de retrait sélectif par germaniuration sacrificielle. Des dispositifs similaires provenant d'une ligne de fabrication conventionnelle intégrant un siliciure de nickel montrent un courant I_{on} de 210 μ A/ μ m. En considérant que le matériau PtSi présenté ici et la méthode de retrait sélectif associée peuvent être largement optimisés, le courant I_{on} de 190 μ A/ μ m obtenu est prometteur. Avant tout, ce dernier résultat parachève la démonstration de la viabilité dans le cadre de la réduction d'échelle sur petits dispositifs de notre procédé de retrait sélectif du Pt non réagi par germaniuration sacrificielle.

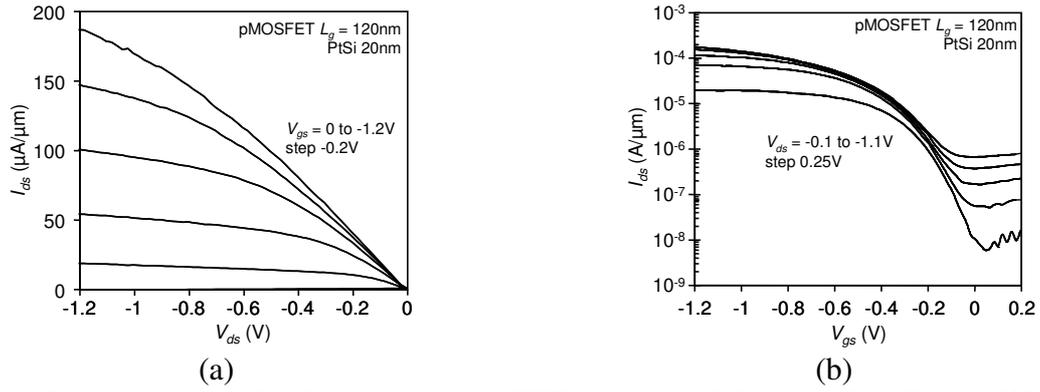


Fig. 129 : Caractéristiques I_{ds} - V_{gs} d'un transistor MOSFET de type p et de longueur de grille $L_g = 120\text{nm}$, dont les contacts source et drain en PtSi ont été intégrés par la technique de germaniuration sacrificielle.

V.4 Intégration du PtSi en environnement industriel

Les dispositifs présentés dans cette partie ont été intégralement réalisés dans un environnement industriel sur les plaques 300mm. En tirant bénéfice des développements réalisés à l'IEMN, nous avons pu intégrer le PtSi en remplacement du NiSi conventionnel dans une technologie CMOS 45nm.

- **Fabrication des dispositifs**

Une route technologique CMOS 45nm est ici mise en œuvre à STMicroelectronics Crolles2. Avant l'étape de dépôt métallique, les plaques sont envoyées à un équipement afin de déposer par pulvérisation une couche de Pt d'une épaisseur de 10nm. Les plaques sont ensuite transférées au CEA-LETI afin de réaliser un recuit de formation du PtSi à 400°C dans un équipement ASM Levitor. La fin du procédé de fabrication est entièrement réalisée à STMicroelectronics Crolles2. Le retrait sélectif du Pt non réagi est effectué en utilisant un équipement ZETA de l'équipement FSI. Cet équipement permet de réaliser des traitement chimiques sur des véhicules de 50 plaques, avec un premier traitement de HPM (HCl :H₂O₂) permettant le retrait sélectif du Pt, suivi d'un second traitement de SPM afin de nettoyer les plaques. Les deux traitements sont réalisés à haute température. Conjugué à la présence de H₂O₂, ce traitement apporte un pouvoir oxydant suffisamment important pour dissoudre le Pt, suivant un mécanisme proche de celui de l'eau régale. Par la suite, les plaques ont été soumises à un recuit final de siliciuration à 400°C pour l'une, à 600°C pour l'autre. Ces deux plaques seront désignées dans la suite de cette partie par « PtSi 400°C » et par « PtSi 600°C ». Une métallisation back-end à un niveau de métal a été intégrée, afin de pouvoir réaliser les caractérisations électriques.

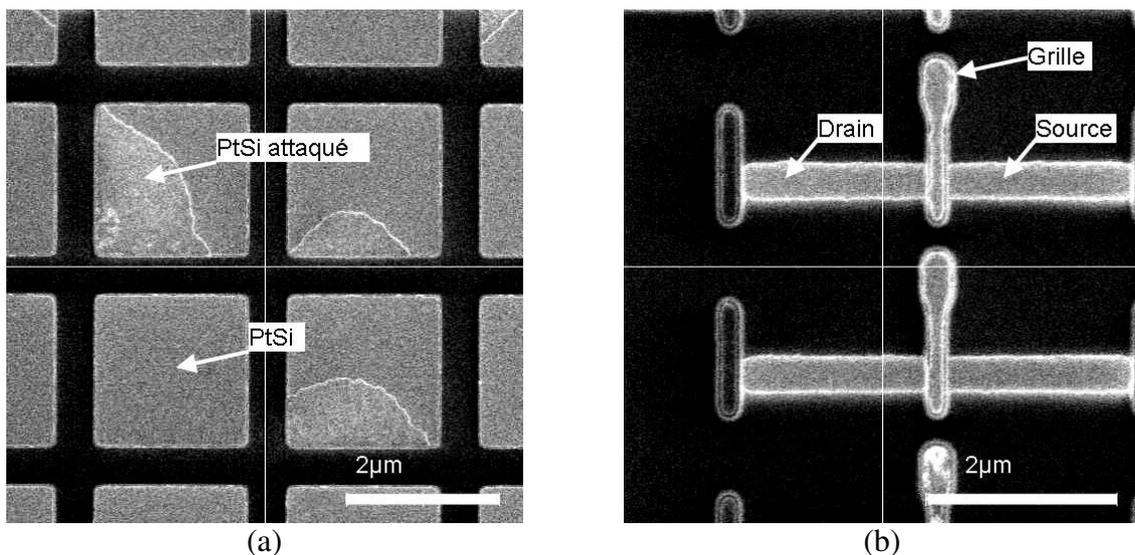


Fig. 130 : Après le traitement HPM-SPM, le Pt non réagi est retiré des zones STI (a,b). En revanche, le PtSi est attaqué sur de nombreuses zones (a). Toutefois, l'intégration est réussie sur la plupart des transistors (b).

• Caractérisation morphologique

La méthode de retrait sélectif a pu être évaluée d'un point de vue morphologique comme présenté en Fig. 130. Il apparaît que le Pt non réagi est retiré sur les zones d'isolation STI. En revanche, le PtSi est attaqué en de nombreux endroits (Fig. 130a). L'aspect circulaire des zones attaquées montre que le mécanisme d'attaque est le même que celui décrit en chapitre IV à propos du retrait sélectif à l'eau régale.

Toutefois, nous observons en Fig. 130b que la plupart des transistors MOSFET ne présentent pas de zones d'attaque. L'intégration du PtSi est donc réussie sur ces dispositifs, et va nous permettre d'obtenir des caractérisations électriques.

• Caractérisation électrique des transistors de type p

Une première caractérisation électrique présentée en Fig. 131 compare les plaques PtSi 400°C et PtSi 600°C avec le procédé de référence NiSi sur une figure de mérite $I_{off}-I_{on}$. Il est intéressant de noter que la même tendance est observée pour ces trois types de dispositifs pour les longueurs de grilles inférieures à 0.1 μm , donc pour les I_{on} élevés. Pour les dispositifs longs, la plaque PtSi 600°C montre un niveau de courant de fuite I_{off} inférieur de deux ordres de grandeurs à la référence NiSi. Dans la même région, la plaque PtSi 400°C montre une dispersion importante des valeurs de I_{off} . Cette dispersion est attribuée aux problèmes morphologiques observés en Fig. 130 et dus à l'utilisation du retrait sélectif HPM-SPM.

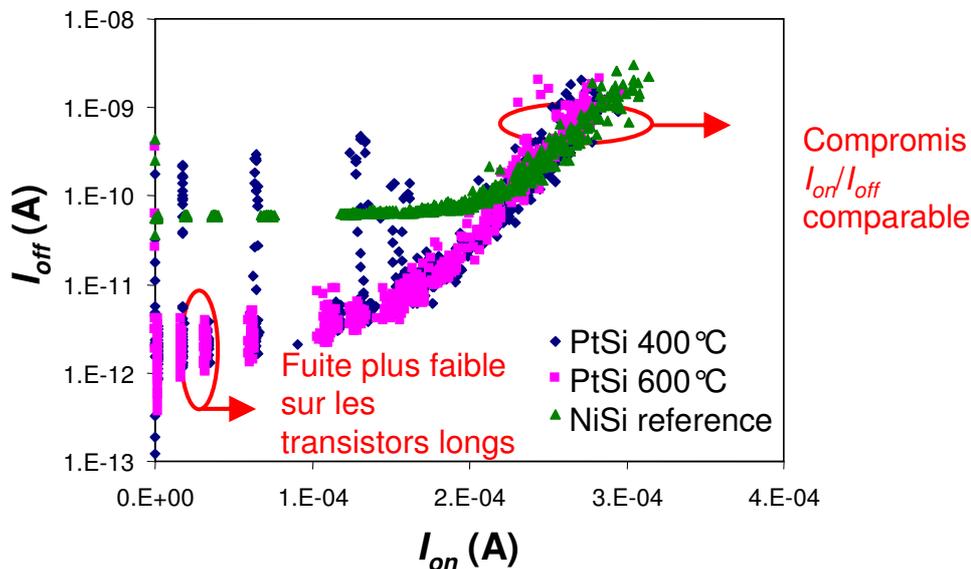


Fig. 131 : Graphique $I_{off}-I_{on}$ des transistors PMOS pour les plaques PtSi 400°C et PtSi 600°C, en comparaison avec le procédé de référence NiSi

Les caractéristiques $I_{ds}-V_{ds}$ et $I_{ds}-V_{gs}$ d'un transistor nominal de longueur de grille 40nm, pour la plaque PtSi 600°C, sont présentées en Fig. 132a,b, respectivement. Ce transistor présente des caractéristiques identiques à celles d'un transistor de référence NiSi (dont les caractéristiques ne sont pas représentées). Un courant passant I_{on} de 260 $\mu\text{A}/\mu\text{m}$ à $V_{gs}=V_{ds}=-1.1\text{V}$ est mesuré.

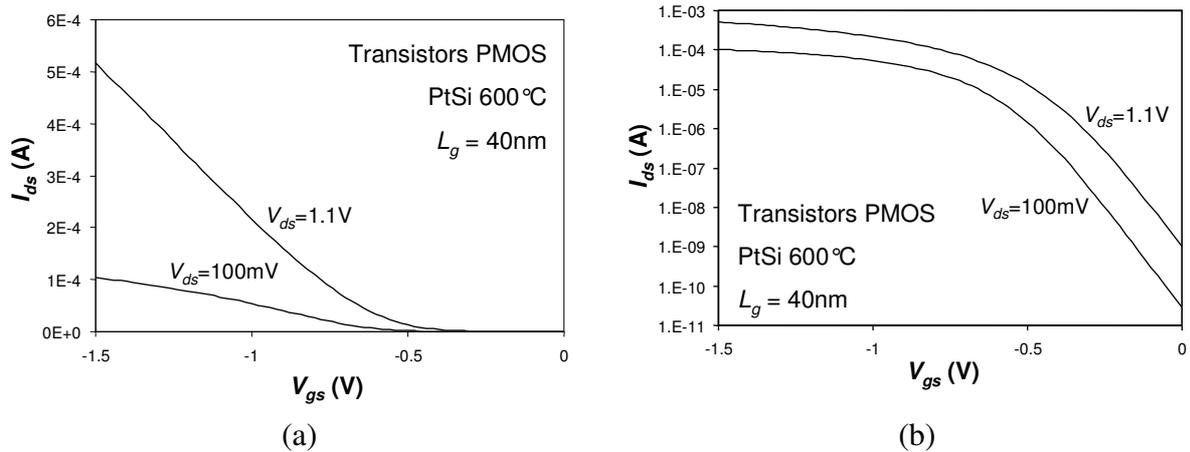


Fig. 132 : Caractéristiques I_{ds} - V_{ds} (a) et I_{ds} - V_{gs} (b) d'un transistor PMOS de longueur de grille $L_g=40\text{nm}$ pour la plaque PtSi 600°C.

Les caractéristiques I_{ds} - V_{ds} d'un transistor long ($L_g=10\mu\text{m}$) pour la plaque PtSi 600°C sont présentées en Fig. 133. Un effet GIDL (*Gate Induced Drain Leakage*) particulièrement faible est mesuré en régime d'accumulation ($V_{gs} > 0\text{V}$). Cette observation explique les très faibles valeurs de courant de fuite mesurées en Fig. 131 par rapport à la référence. Le GIDL étant amplifié quand l'abrupteté de la jonction augmente, nous suspectons un impact du procédé de siliciuration sur le profil de la jonction.

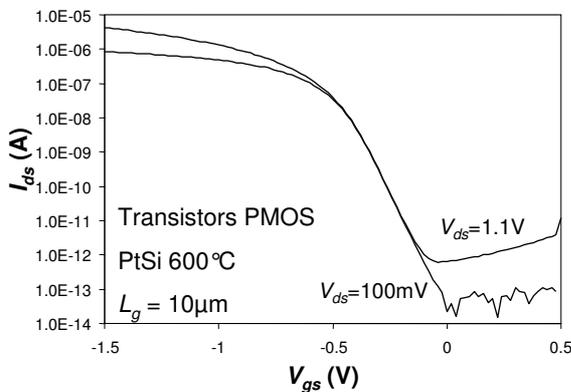


Fig. 133 : Caractéristiques I_{ds} - V_{gs} d'un transistor PMOS de longueur de grille $10\mu\text{m}$.

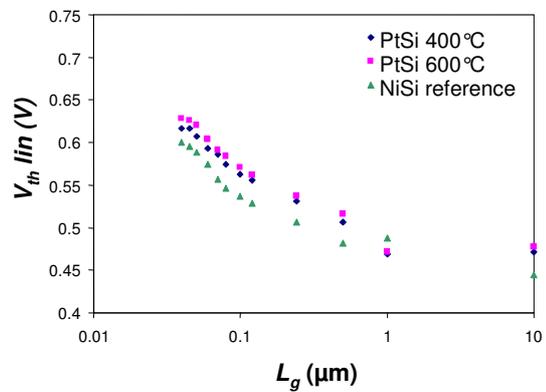


Fig. 134 : Evolution de la tension de seuil V_{th} en fonction de la longueur de grille dessinée L_g , pour les plaques PtSi 400°C, PtSi 600°C, et la référence NiSi.

Les effets canaux courts des plaques PtSi 400°C, PtSi 600°C et de la référence NiSi sont comparées en Fig. 134. Les différentes plaques sont dans la même tendance, sans effet particulier provoqué par l'introduction du PtSi.

• **Caractéristiques électriques des transistors de type n**

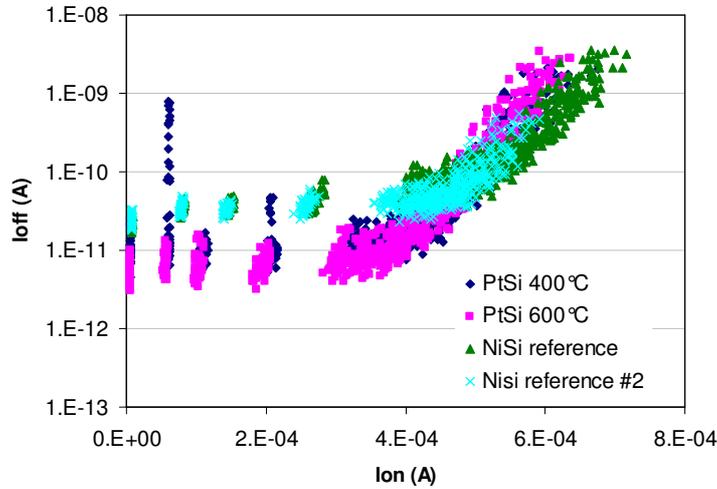


Fig. 135 : Graphique I_{off} - I_{on} des transistors NMOS pour les plaques PtSi 400°C, PtSi 600°C, et pour la référence NiSi.

Des dispositifs équivalents de type n ont été mesurés sur les mêmes plaques. La figure de mérite I_{off} - I_{on} démontre une légère dégradation du courant I_{on} pour les transistors de longueur de grille les plus courtes (Fig. 135). Un courant de fuite I_{off} pour la plaque PtSi 600°C d'un ordre de grandeur inférieur à la référence NiSi est mesuré. Ce faible courant de fuite peut ici aussi être attribué à une réduction de l'effet GIDL.

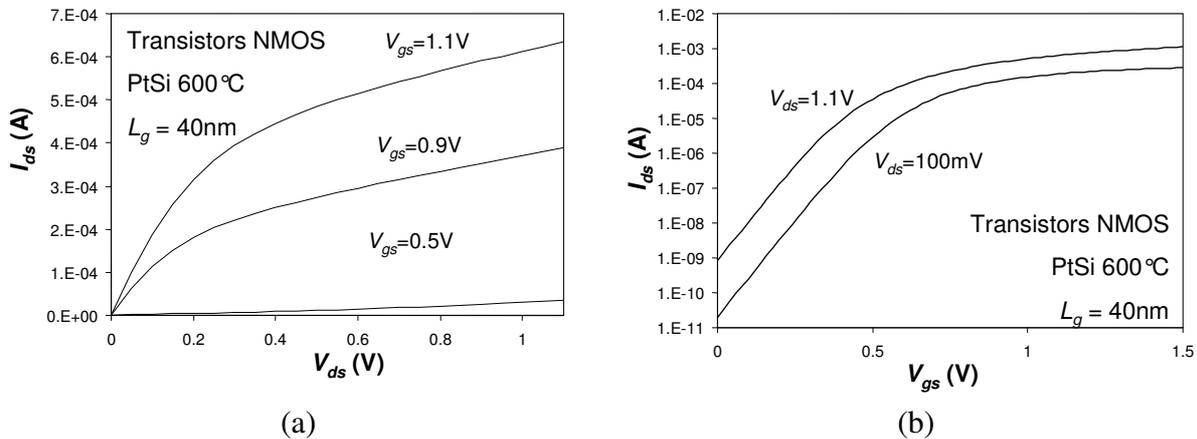


Fig. 136 : Caractéristiques I_{ds} - V_{ds} (a) et I_{ds} - V_{gs} (b) d'un transistor NMOS de longueur de grille $L_g=40nm$ pour la plaque PtSi 600°C.

Comme déjà observé pour les transistors PMOS, les caractéristiques I_{ds} - V_{ds} et I_{ds} - V_{gs} sont tout à fait comparables à la référence NiSi. Un courant I_{on} de $620\mu A/\mu m$ est mesuré à $V_{gs}=V_{ds}=1.1V$.

Une comparaison des effets canaux courts par rapport à la référence NiSi est présentée en Fig. 137. Une évolution comparable est observée pour les transistors PtSi et NiSi. Par ailleurs, il est important de noter qu'un décalage d'environ 50mV est observé entre les

transistors NiSi et PtSi. Ce décalage des tensions de seuil explique les performances légèrement meilleures des transistors NiSi sur le graphique I_{off} - I_{on} présenté en Fig. 135.

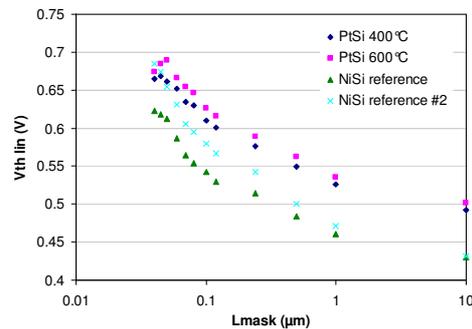


Fig. 137 : Evolution de la tension de seuil V_{th} en fonction de la longueur de grille dessinée L_g , pour les plaques PtSi 400°C, PtSi 600°C, et la référence NiSi.

Nous montrons dans cette partie le potentiel offert par le siliciure de platine pour les futures technologies. D'une part, la stabilité thermique du PtSi est supérieure à celle du NiSi ce qui permettra de relâcher les contraintes liées à la limitation du budget thermique dans les futures technologies. D'autre part, nous montrons ici des performances électriques équivalentes pour les deux matériaux sans optimisation particulière de l'étape de siliciuration du platine. La mise en œuvre d'une stratégie d'ingénierie de la hauteur de barrière permettra une amélioration significative des performances.

V.5 Conclusion et perspectives

Dans cette partie, les stratégies de collaboration entre l'IEMN et STMicroelectronics ont été présentées. Le choix d'un schéma d'échange de plaques permettant de bénéficier à la fois de la stabilité et des performances des dispositifs industriels, tout en tirant parti de la flexibilité offerte par l'environnement de laboratoire justifie les développements technologiques liés à cet échange. Ainsi, une étude de la compatibilité des équipements lithographiques a permis la quantification du désalignement. Celui-ci est suffisamment contrôlé pour permettre le développement de plots de contacts métalliques permettant la caractérisation électrique des composants dont la fabrication commence à STMicroelectronics et se termine à l'IEMN.

D'une part, cette stratégie a permis la fabrication de transistors Schottky sur substrat bulk, jusqu'à des longueurs de grilles de 35nm. L'amélioration des performances de ces dispositifs par la réduction du niveau de dopage dans le canal a pu être démontré. Cet effet est attribué à la diminution de la concentration de donneurs chargés positivement à la proximité de l'interface siliciure/silicium.

D'autre part, la viabilité de la technique d'intégration du siliciure de platine par germaniuration sacrificielle est démontrée dans une troisième partie. Les résultats électriques obtenus mettent en évidence le potentiel de cette méthode comme alternative à l'approche conventionnelle du retrait sélectif par eau régale.

Enfin, des performances à l'état de l'art sont obtenues en intégrant le PtSi en remplacement du NiSi conventionnel dans une technologie CMOS bulk 45nm. Il est important de préciser que ces résultats ont été démontrés sans optimisation fine du procédé de siliciuration, à comparer avec la référence NiSi qui a été l'objet d'un intense effort de développement industriel durant plusieurs années. La pertinence d'une recherche en laboratoire pour la mise au point de procédés industriels est donc mise en évidence. Par ailleurs, le PtSi apparaît comme une alternative particulièrement prometteuse en termes de performances électriques et de stabilité thermique. Une évaluation de ce matériau dans le cadre des technologies CMOS 32 et 22nm sera du plus grand intérêt technologique.

V.6 Références du chapitre V

- [Breil07] N. Breil, E. Dubois, A. Pouydebasque, T. Skotnicki, « Impact of n-type Channel Implantation on Performance of p-type Schottky Barrier MOSFETs », Silicon Nanoelectronics Workshop, 10-11 June 2007, Kyoto.
- [Breil08] N. Breil, E. Dubois, A. Halimaoui, A. Pouydebasque, A. Laszcz, J. Ratajczak, G. Larrieu and T. Skotnicki, « Integration of PtSi in p-Type MOSFETs Using a Sacrificial Low-Temperature Germanidation Process », IEEE El. Dev. Lett. 29, p. 152 (2008).
- [Chang87] C.-A. Chang, “Formation of PtSi in the presence of Al”, J. Appl. Phys. 61, p. 1864 (1987).
- [Dubois02] E. Dubois, G. Larrieu, “Low Schottky barrier source/drain for advanced MOS architecture: device design and material considerations”, J.of Sol. State. El. 46, 997 (2002).
- [Grimaldi81] M. G. Grimaldi, L. Wielunski, M.-A. Nicolet, and K. N. Tu, “Germanideformation by thermal treatment of Pt films deposited on (100) single crystal Ge,” Thin Solid Films, vol. 81, pp. 207–211, (1981).
- [Hsieh88] Y. F. Hsieh and L. J. Chen, “Interfacial reactions of platinum thin films on (111) and (001) germanium,” J. Appl. Phys., vol. 63, no. 4, pp. 1177–1181, (1988).
- [Jeng95] S.-P. Jeng, K. Taylor, T. Seha, M.-C. Chang, J. Fattaruso, and R. H. Havemann, in Proceedings of the 1995 Symposium on VLSI Technology Digest of Technical Papers, 1995, p. 61.
- [Knoch02] J. Knoch, J. Appenzeller, “Impact of the channel thickness on the performance of Schottky barrier metal–oxide–semiconductor field-effect transistors”, Appl. Phys. Lett. 81, 3082 (2002).
- [Larrieu04] G. Larrieu, E. Dubois, “Schottky-barrier source/drain MOSFETs on ultrathin SOI body with a tungsten metallic midgap gate”, IEEE El. Dev. Lett. 25, p. 801 (2004).
- [Lide96] D. R. Lide, CRC Handbook of Chemistry and Physics. Boca Raton, FL: CRC Press, (1996).
- [Lousberg07] G.P. Lousberg, H. Yu, B. Froment, E. Augendre, A. De Keersgieter, A. Lauwers, M.-F. Li, P. Absil, M. Jurczak, S. Biesemans, IEEE El. Dev. Lett. 28, p. 123 (2007).
- [Maex95] K. Maex and M. van Rossum, Properties of Metal Silicides. London, U.K.: INSPEC, 1995.
- [Marshall85] E. D. Marshall, C. S. Wu, C. S. Pai, D. M. Scott, and S. S. Lau, “Metal germanium contacts and germanide formation,” in Proc. Mater. Res. Soc. Symp., 1985, vol. 47, pp. 161–166.

- [Rand74] M. J. Rand and J. F. Roberts, "Observations on the formation and etching of platinum silicide," *Appl. Phys. Lett.*, vol. 24, no. 2, pp. 49–51, (1974).
- [Rivillon05] S. Rivillon, Y.J. Chabal, F. Amy and A. Kahn, "Hydrogen passivation of germanium (100) surface using wet chemical preparation", *Appl. Phys. Lett.* 87, p. 253101 (2005).
- [Sun06] S. Sun, Y. Sun, Z. Liu, D.-I. Lee, S. Peterson, and P. Pianetta, "Surface termination and roughness of Ge(100) cleaned by HF and HCl solutions", *Appl. Phys. Lett.* 88, p. 021903 (2006).
- [VanDal06] M. J.H. van Dal, G. Pourtois, J.Cunniffe, A.Veloso, A. Lauwers, K.Maex, and J. A. Kittl, "Effect of SIIS on work function of self-aligned PtSi FUSI metal-gated capacitors," *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 1180–1185, (2006).
- [Yao06] H. B. Yao, C. C. Tan, S. L. Liew, C. T. Chua, C. K. Chua, R. Li, R. T. P. Lee, S. J. Lee, and D. Z. Chi, "Material and electrical characterization of Ni- and Pt-germanides for p-channel germanium Schottky source/drain transistors," in *Proc. IWJT*, 2006, pp. 164–169.
- [Zhang06] Z. Zhang, S. L. Zhang, M. O' stling, and J. Lu, "Robust, scalable self-aligned platinum silicide process," *Appl. Phys. Lett.*, vol. 88, no. 4, pp. 142114- 1–142114-3, (2006).
- [Zhao99] J.-H. Zhao, I. Malik, T. Ryan, E.T. Ogawa, P.S. Ho, W.-Y. Shih, A.J. McKerrow and K.J. Taylor, "Thermomechanical properties and moisture uptake characteristics of hydrogen silsesquioxane submicron films", *Appl. Phys. Lett.* 74, pp. 944-946 (1999).

Conclusion Générale

L'objectif de cette thèse a été d'étudier les différentes approches permettant la mise en œuvre d'une ingénierie de la hauteur de barrière dans le cadre de l'amélioration des performances des transistors pour les futures technologies CMOS. Pour cela, nous avons pu développer deux axes de recherche principaux. D'une part, nous avons étudié les métaux permettant la formation de siliciures à faibles hauteurs de barrières aux trous ou aux électrons. D'autre part, nous avons mis en œuvre des techniques de ségrégation de dopants permettant une modulation de la hauteur de barrière.

Dans un premier chapitre, nous avons pu placer cette problématique dans le cadre général de l'amélioration des performances des transistors MOSFET par la réduction de leurs dimensions. Nous avons montré les difficultés technologiques posées par une telle miniaturisation, en détaillant les solutions existant au niveau de l'ingénierie des matériaux dans les architectures conventionnelles, mais aussi au niveau de l'architecture elle-même (transistors double-grille, technologies SOI et SON). En focalisant notre étude sur le module source et drain, nous avons pu mettre en évidence la place prépondérante de la résistance de contact entre le siliciure et le silicium, qui est elle-même essentiellement définie par la hauteur de barrière Schottky.

Ces conclusions nous ont amené à considérer dans un deuxième chapitre les mécanismes fondamentaux guidant la formation des siliciures. Nous avons pu détailler les lois thermodynamiques dictant la formation par diffusion ou par nucléation des siliciures en général, et des siliciures bord-de-bande en particulier. Par la suite, l'observation de la divergence entre la loi théorique de Schottky-Mott et les mesures expérimentales de hauteur de barrière nous ont amené à considérer les différentes théories physiques permettant d'appréhender le phénomène de verrouillage de la hauteur de barrière au niveau de Fermi. Différents modèles empiriques et théoriques ont pu être détaillés afin de mettre en évidence l'importance de la connaissance intime de l'interface pour la prédiction de la hauteur de barrière. Dans ce cadre, les approches de valence-mending et de ségrégation de dopants offrent des méthodes efficaces pour la modulation de la hauteur de barrière. Un formalisme mathématique permettant la description de l'injection des porteurs à l'interface siliciure/silicium pour de larges gammes de hauteurs de barrières et de niveaux de dopages a pu être développé, et a permis le développement d'une méthode de mesure des faibles hauteurs de barrières grâce à des structures de diodes têtes-bêches.

La définition de cette base de modèles physiques théorique et d'un protocole d'étude expérimental nous a permis de développer dans un troisième chapitre la fabrication et la caractérisation d'un siliciure de type n (ErSi), et d'un siliciure de type p (PtSi). Dans le cas du siliciure d'erbium, les problèmes liés à la formation de défauts, à une forte réactivité de l'erbium avec la silice, et à une exodiffusion de silicium hors des zones actives ont été détaillés. Pour ces raisons, le siliciure d'erbium, dont les défauts ici détaillés sont symptomatiques du groupe des siliciures de terres rares, apparaît comme étant particulièrement difficile à intégrer dans des architectures CMOS. Par ailleurs, l'étude du siliciure de platine montre une très bonne stabilité thermique de ce matériau par rapport au NiSi, ainsi qu'une faible barrière aux trous. De plus, la mise en œuvre d'une ségrégation de dopants montre la possibilité d'atteindre de faibles barrières aux trous (0.11eV) en utilisant une ségrégation du bore, mais aussi, ce qui est plus surprenant, d'une faible hauteur de barrière aux électrons (0.15eV) en utilisant une ségrégation de l'arsenic. Les mécanismes

physiques régissant cette abaissement de hauteur de barrière sont discutés. En particulier, nous envisageons deux mécanismes principaux expliquant ces résultats. Le premier s'appuie sur un rôle électrique des dopants à l'interface permettant la formation d'un dipôle interfacial grâce au phénomène de chasse-neige. Le deuxième mécanisme consiste à faire l'hypothèse de la formation d'un composé ternaire Pt-Si-Dopant donnant lieu à une modulation chimique du travail de sortie du siliciure. Il sera particulièrement intéressant de mettre en œuvre des méthodes d'analyses physiques locales à l'interface afin de progresser sur la compréhension de ces mécanismes. Le siliciure de platine présente donc toutes les caractéristiques thermiques, morphologiques, et électriques pour constituer un candidat à fort potentiel pour le remplacement du NiSi dans les prochaines technologies CMOS.

Toutefois, le platine est un matériau connu pour sa faible réactivité chimique. Dans un quatrième chapitre, nous avons mis en évidence les difficultés liées à l'utilisation de ce matériau dans le cadre d'un procédé de siliciuration auto-alignée en utilisant la méthode conventionnelle du retrait par eau régale. Afin de palier à ces difficultés, nous avons pu proposer une méthode de retrait sélectif par germaniuration sacrificielle, consistant à transformer le platine non réagi en un germaniure. Des techniques de formation des germaniures de platine ont pu être détaillées, et la solubilité de ces germaniures dans des chimies conventionnelles de type SPM a pu être démontrée. La viabilité de cette technique de retrait sélectif par germaniuration sacrificielle a pu être confortée par la démonstration de sa compatibilité avec un siliciure de platine déjà formé.

Ces différentes études nous ont amenés dans un cinquième et dernier chapitre à considérer les performances électriques offertes par le siliciure de platine sur transistors MOSFET. Grâce à la mise en place d'un schéma de collaboration entre un laboratoire académique et un partenaire industriel, nous avons montré dans un premier temps les résultats obtenus grâce à l'intégration du siliciure de platine comme jonction métallique dans un transistor Schottky. Si l'analyse de l'impact du niveau de dopage dans le canal a permis de proposer une stratégie d'amélioration du fonctionnement des transistors Schottky, les performances offertes par cette architecture restent en-deçà des résultats obtenus grâce à des architectures conventionnelles. Dans un deuxième temps, nous avons montré une intégration du siliciure de platine sur des transistors MOSFET de petites dimensions par la méthode de retrait sélectif par germaniuration sacrificielle. Les résultats électriques obtenus ont mis en évidence un fonctionnement normal des dispositifs et donnent un intérêt supplémentaire à cette méthode d'intégration alternative. Finalement, le siliciure de platine a pu être intégré en milieu industriel sur une technologie CMOS 45nm. Les performances électriques obtenues sont en ligne avec les résultats obtenus avec un siliciure de nickel sur une technologie à l'état de l'art.

Considérant les nombreux développements réalisés pour l'optimisation du siliciure de nickel dans le cadre des technologies 65 et 45nm, ce dernier résultat ouvre des perspectives prometteuses pour l'intégration du siliciure de platine dans les technologies 32nm et en deçà. En particulier, nous soulignons le fait que le NiSi initialement intégré sur des technologies 65nm a posé de nombreux problèmes de stabilité thermique impactant fortement les niveaux de rendements de cette technologie. Ces problèmes ont pu être solutionnés grâce à l'ajout d'un faible pourcentage de platine (5-10% at.) dans le siliciure de nickel, permettant ainsi une augmentation de la stabilité thermique du matériau. Cette problématique est encore plus contraignante dans une technologie 45nm. Considérant les difficultés liées à la réalisation de la technologie 32nm, il est à prévoir qu'une augmentation conséquente de la concentration de platine dans le siliciure de nickel soit nécessaire. La réduction des surfaces des zones source

et drain pose alors le problème de la répartition au niveau atomique des éléments platine et nickel, pouvant donner lieu à une forte dispersion des propriétés électriques. En considérant ces différentes problématiques, nous voyons que l'étude du siliciure de platine et son intégration par la méthode de retrait sélectif par germaniuration sacrificielle sera d'un grand intérêt pour le développement des technologies CMOS 32 et 22nm.

Liste des Publications Personnelles

1- Publications dans des revues internationales avec comité de lecture

- [1] A. Laszcz, J. Katcki, J. Ratajczak, A. Czerwinski, N. Breil, G. Larrieu, E. Dubois, 'TEM Study of PtSi contacts layers for low Schottky Barrier MOSFETs', Nuclear Instruments and Methods in Physics Research B, vol. 253, pp 274-277, Dec 2006.
- [2] A. Łaszc, A.Czerwiński, J. Ratajczak, J. Katcki, N. Breil, G. Larrieu, E. Dubois, 'TEM study of iridium silicide contact layers for Low Schottky Barrier MOSFET', Archives of Metallurgy and Materials, vol.51, pp.551-554, 2006.
- [3] N. Breil, A. Halimaoui, E. Dubois, G. Larrieu, A. Łaszc, J. Ratajczak, G. Rolland, A. Pouydebasque, T. Skotnicki, '*Selective Etching of Pt with respect to PtSi using a Sacrificial Low Temperature Germanidation Process*', Appl. Phys. Lett. 91, 232112, 2007.
- [4] N. Breil, E. Dubois, A. Halimaoui, A. Pouydebasque, G. Larrieu, A. Łaszc, J. Ratajczak, T. Skotnicki, '*Integration of PtSi in p-type MOSFETs using a Sacrificial Low-Temperature Germanidation Process*', IEEE Electron Device Letters, vol. 29, pp 152-154, February 2008.
- [5] R. Valentin, E. Dubois, J-P Raskin, G. Larrieu, G. Dambrine, T. C. Lim, N. Breil, F. Danneville, '*RF Small Signal Analysis of Schottky-Barrier p-MOSFETs*', IEEE Trans. Electron Devices, vol. 55, pp 1192-1202, May 2008
- [6] G. Larrieu, E. Dubois, D. Yarekha, N. Breil, N. Reckinger, X. Tang, J. Ratajczak, A. Laszcz, '*Impact of channel doping on Schottky barrier height and investigation on p-SB MOSFETs performance*', Materials Science and Engineering B, 154–155, pp 159–162, Dec 2008.
- [7] A. Laszcz, J. Ratajczak, A. Czerwinski, J. Katcki, V. Srot, F. Phillipp, P.A. van Aken, N. Breil, G. Larrieu, E. Dubois, '*Transmission electron microscopy study of the platinum germanide formation process in the Ge/Pt/SiO₂/Si structure*', Materials Science and Engineering B, 154–155, pp 175–178, Dec 2008.
- [8] R. Valentin, E. Dubois, G. Larrieu, N. Breil, J.P. Raskin, G. Dambrine, F. Danneville, '*RF performance of valence band-edge metallic S/D junctions in SOI MOSFETs via dopant segregation engineering*', IEEE Electron Device Letters, vol.30, n°11 pp. 1197-1199, November 2009.
- [9] X. Tang, N. Reckinger, V. Bayot, D. Flandre, E. Dubois, D. A. Yarekha, G. Larrieu, A. Lecestre, J. Ratajczak, N. Breil, V. Passi, J.-P. Raskin, '*An electrical evaluation method for silicidation of silicon nanowires*', Appl. Phys. Lett. 95, 023106 (2009).

- [10] G. Larrieu, D. Yarekha, E. Dubois, N. Breil, O. Faynot, 'Arsenic-Segregated Rare Earth Silicide Junctions: Reduction of Schottky Barrier and Integration in Metallic n-MOSFETs on SOI', IEEE Electron Device Letters, vol.30, n°11 pp. 1266-1268, December 2009.
- [11] G.Larrieu, D. Yarekha, E. Dubois, D. Deresmes, N. Breil, N. Reckinger, X. Tang, A. Halimaoui, 'Issues associated to rare earth silicide integration in ultra thin FD SOI Schottky barrier nMOSFETs', in 'Silicon-on-Insulator Technology and Devices 14' ECS transactions, vol. 19, n° 4, pp 201-207 May 2009
- [12] D. Yarekha, G. Larrieu, N. Breil, E. Dubois, S. Godey, X. Wallart, C. Soyer, D. Remiens, N. Reckinger, X. Tang, A. Laszcz, J. Ratajczak and A. Halimaoui, 'UHV Fabrication of the Ytterbium Silicide as Potential low Schottky Barrier S/D Contact Material for n-type MOSFET', in 'Silicon-on-Insulator Technology and Devices 14' ECS transactions, vol. 19, n° 1, pp 339-344 May 2009.

2- Conférences invitées

- [13] E. Dubois, G. Larrieu, N. Breil, X. Tang, N. Reckinger, V. Bayot, J. Knoch, 'Schottky-barrier source-drain architecture for ultimate CMOS', SINANO Workshop, Grenoble, 27-28 Janvier 2005.
- [14] E. Dubois, G. Larrieu, N. Breil, R. Valentin, F. Danneville, M. Ostling, P.E. Hellström, N. Reckinger, X. Tang, J.P. Raskin, S. Mantl, Q.T Zhao, 'Metallic Source/Drain architecture: status and prospects', Invited Paper, SINANO Workshop 'Nanoscale CMOS and beyond-CMOS Nanodevices', Munich, Sept. 14, 2007.
- [15] E. Dubois, G. Larrieu, N. Breil, R. Valentin, F. Danneville, D. Yarekha, G. Dambrine, A. Halimaoui, A. Pouydebasque, T. Skotnicki, 'Recent advances in metallic source/drain MOSFETs', Proc. of International Workshop on Junction Technology, IWJT-2008, pp 139-144, May 15-16, Shanghai, China
Digital Object Identifier 10.1109/IWJT.2008.4540035
- [16] E. Dubois, G. Larrieu, N. Breil, R. Valentin, F. Danneville, D. Yarekha, N. Reckinger, X. Tang, A. Halimaoui, R. Rengel, E. Pascual, A. Pouydebasque, X. Wallart, S. Godey, J. Ratajczak, A. Laszcz, J. Katcki, J.P. Raskin, G. Dambrine, A. Cros, T. Skotnicki, 'Metallic Source/Drain Architecture for Advanced MOS Technology: an overview of METAMOS results ', 8th Symposium Diagnostics & Yield Advanced Silicon Devices and Technologies for ULSI Era, June 22-24, 2009, Warszawa, Poland.
- [17] E. Dubois, G. Larrieu, N. Breil, R. Valentin, F. Danneville, D. Yarekha, N. Reckinger, X. Tang, A. Halimaoui, R. Rengel, E. Pascual, A. Pouydebasque, X. Wallart, S. Godey, J. Ratajczak, A. Laszcz, J. Katcki, J.P. Raskin, G. Dambrine, A. Cros, T. Skotnicki, 'Metallic source/drain for advanced MOS architectures: from material engineering to device integration ', SINANO-NANOSIL Workshop Silicon-based CMOS and Beyond-CMOS Nanodevices, September 18, 2009, Athens.
<http://www.essderc2009.org/?pid=8>

3- Chapitre de livre

- [18] E. Dubois, G. Larrieu, R. Valentin, N. Breil, F. Danneville - Chapter 1 – 'Novel Materials for Nanoscale CMOS' – in 'Innovative Materials, Modelling and Characterization for Nanoscale CMOS', to be published in 2010 by ISTE-Wiley.

4- Publications dans des colloques avec comité de lecture et avec actes

- [19] A. Łaszcz, J. Kątki, J. Ratajczak, A.Czerwiński, N. Breil, E. Dubois, G. Larrieu, '*TEM study of PtSi contact layers for Accumulated Low Schottky Barrier MOSFET*', e-MRS Spring Meeting, 29 May - 2 June 2006, Nice.
- [20] A. Łaszcz, A.Czerwiński, J. Ratajczak, J. Kątki, N. Breil, G. Larrieu, E. Dubois, '*TEM study of iridium silicide contact layers for Low Schottky Barrier MOSFET*', e-MRS Fall Meeting, 4-6 Sep 2006, Warsaw.
- [21] R. Valentin, E. Dubois, J.P. Raskin, G. Dambrine, G. Larrieu, N. Breil, F. Danneville, '*Investigations of High Frequency Performance of Schottky-Barrier MOSFETs*', 7th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, San Diego, Jan 2007.
- [22] N. Breil, A. Halimaoui, E. Dubois, G. Larrieu, J. Ratajczak, G. Rolland, A. Pouydebasque, T. Skotnicki, '*An Original Selective Etch of Pt vs. PtSi using a Low Temperature Germanidation Process*', Proceedings of the 211th Electrochemical Society Meeting, ECS, May 2007, Chicago, doi:10.1149/1.2727433
- [23] N. Breil, E. Dubois, Y. Morand, V. Carron, A. Halimaoui, T. Skotnicki, '*Erbium Silicide Formation under Ultra High Vacuum*', Proceedings of Materials for Advanced Metallization MAM'07, 4-7 March 2007, Bruges.
- [24] A. Łaszcz, J.Ratajczak, A.Czerwinski, J. Kątki, N. Breil, G. Larrieu, E.Dubois, '*TEM study of the silicidation process in Pt/Si and Ir/Si structures*', Proceedings of the 15th Conference - Microscopy of Semiconducting Materials, Cambridge, UK, 2-5 April 2007.
- [25] F.Cornu-Frueux, J. Penaud, E. Dubois, P. Coronel, G. Larrieu, N. Breil, D. Delille, T. Skotnicki, '*Dual Silicide Integration of Low Schottky-Barrier Source-Drain in a Spacer-First Damascene-Metal-Gate FinFET Architecture*', Silicon Nanoelectronics Workshop, 10-11 June 2007, Kyoto.
- [26] N. Breil, E. Dubois, A. Pouydebasque, T. Skotnicki, '*Impact of n-type Channel Implantation on Performance of p-type Schottky Barrier MOSFETs*', Silicon Nanoelectronics Workshop, 10-11 June 2007, Kyoto.
- [27] G. Larrieu, E. Dubois, R. Valentin, N. Breil, F. Danneville, G. Dambrine, J.C. Pesant, J.P. Raskin, '*Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs*', International Electron Device Meeting, IEDM'07, Washington, December 2007.
- [28] N. Breil, A. Halimaoui, E. Dubois, E. Lampin, Ludovic Godet, George Papasouliotis, Guilhem Larrieu and Thomas Skotnicki, '*Investigation on the Platinum Silicide Schottky Barrier Height Modulation using a Dopant Segregation Approach*', MRS-Spring Meeting, Mater. Res. Soc. Symp. Proc. Volume 1070, 24-28 April 2008.

- [29] G. Larrieu, E. Dubois, D. Yarekha, N. Breil, N. Reckinger, X. Tang, J. Ratajczak, A. Laszcz, 'Impact of channel doping on Schottky barrier height and investigation on p-SB MOSFETs performance', e-MRS Spring Meeting, 26-30 May 2008, Strasbourg, also published in Materials Science and Engineering B, 154–155, pp 159–162, Dec 2008
- [30] A. Laszcz, J. Ratajczak, A. Czerwinski, J. Katchki, V. Srot, F. Phillipp, P.A. van Aken, N. Breil, G. Larrieu, E. Dubois, 'Transmission electron microscopy study of the platinum germanide formation process in the Ge/Pt/SiO₂/Si structure', e-MRS Spring Meeting, 26-30 May 2008, Strasbourg, also published in Materials Science and Engineering B, 154–155, pp 175–178, Dec 2008
- [31] G. Larrieu, D. Yarekha, E. Dubois, N. Breil, N. Reckinger, X. Tang and A. Halimaoui, 'Issues associated to rare earth silicide integration in ultra thin FD SOI Schottky barrier nMOSFETs', in 'Silicon-on-Insulator Technology and Devices 14' ECS transactions, vol. 19, n° 4, pp 201-207 (215th Electrochemical Society Meeting) 2009
- [32] D. Yarekha, G. Larrieu, N. Breil, E. Dubois, S. Godey, X. Wallart, C. Soyer, D. Remiens, N. Reckinger, X. Tang, A. Laszcz, J. Ratajczak and A. Halimaoui, 'UHV Fabrication of the Ytterbium Silicide as Potential low Schottky Barrier S/D Contact Material for n-type MOSFET', in 'Silicon-on-Insulator Technology and Devices 14' ECS transactions, vol. 19, n° 1, pp 339-344 (215th Electrochemical Society Meeting) 2009.

5- Rapports scientifiques / activité contractuelle

- [R1] European Contract METAMOS IST-016677, 'Report on low Schottky barrier to holes. Characterization of PtSi and IrSi (kinetics, etching). Impact of doping on PtSi and IrSi barrier height', WP1D1, 26 Sep06, G. Larrieu, N. Breil, E. Dubois
- [R2] European Contract METAMOS IST-016677, 'Report on the adaptation of an industrial process core for p-type contact', WP2D3, 25 Sep 06, N. Breil, E. Dubois, G. Larrieu, A. Pouydebasque
- [R3] European Contract METAMOS IST-016677, 'First annual report-Periodic Activity Report-Periodic Management Report', WP5D2, 28 Sep 06, E. Dubois, G. Larrieu, X. Wallart, N. Reckinger, X. Tang, J. Ratajczak, R. Rengel, N. Breil, A. Halimaoui, A. Pouydebasque.
- [R4] European Contract METAMOS IST-016677, 'Fabrication of sub-40 nm p-MOSFETs based on Pt and/or Ir-based silicides', WP2D1, 28 Feb. 07, G. Larrieu, N. Breil, E. Dubois
- [R5] European Contract METAMOS IST-016677, 'Study of the Selective Etching of Pt and Ir with respect to their silicide phase using a sacrificial germanidation technique', WP1D1A, 1 Oct. 07, N. Breil, E. Dubois, A. Halimaoui, D. Yarekha, G. Larrieu
- [R6] European Contract METAMOS IST-016677, 'Report on low Schottky barrier to electrons – Impact of doping on the barrier height of Er- and Yb-based silicides', WP1D4, 1 Oct. 07, N. Reckinger, X. Tang, V. Bayot, D. Yarekha, N. Breil, E. Dubois, G. Larrieu

- [R8] European Contract METAMOS IST-016677, '*Report on low Schottky barrier to holes/electrons based on barrier modulation techniques*', WP1D5, 1 Oct. 07, G. Larrieu, D. Yarekha, E. Dubois, J.C. Pesant, N. Breil.
- [R9] European Contract METAMOS IST-016677, '*Report on dynamic operation of SB-MOSFETs and on improved injection modelling based on a drift-diffusion approach*', WP3D2, 3 Oct. 07, R. Valentin, E. Dubois, F. Danneville, N. Breil, G. Larrieu.
- [R10] European Contract METAMOS IST-016677, '*Report on the integration of p-type and n-type materials in a modified industrial process core*', WP2D4, Dec 08, N. Breil, A. Cros, E. Dubois, A. Halimaoui, G. Larrieu, D. Yarekha.
- [R11] European Contract METAMOS IST-016677, '*Report on the integration of low Schottky materials in a modified SOI-CMOS process*', WP2D5, Dec 08, N. Breil, E. Dubois, A. Halimaoui, G. Larrieu, D. Yarekha.
- [R12] European Contract METAMOS IST-016677, '*METAMOS Third Period Activity Report*', WP5D4, Feb 09, E. Dubois, G. Larrieu, D. Yarekha, N. Breil, F. Danneville, A. Halimaoui, N. Reckinger, X. Tang, J.P. Raskin, D. Flandre, J. Ratajczak, R. Rengel, E. Pascual.
- [R13] European Contract METAMOS IST-016677, '*Final Plan for Using and Disseminating the Knowledge*', WP5D4, Feb 09, E. Dubois, G. Larrieu, D. Yarekha, N. Breil, F. Danneville, A. Halimaoui, N. Reckinger, X. Tang, J.P. Raskin, D. Flandre, J. Ratajczak, R. Rengel, E. Pascual.