

N° d'ordre : 40116

THESE

Présentée à

L'UNIVERSITE DE LILLE 1 – SCIENCES ET TECHNOLOGIES
Ecole Doctorale Sciences Pour l'Ingénieur

Pour l'obtention du grade de

Docteur de l'Université

Spécialité : MICROONDES ET MICROTÉCHNOLOGIES

Par

Nicolas WALDHOFF

Caractérisations et modélisations des technologies CMOS et BiCMOS
de dernières générations jusque 220 GHz

Soutenance prévue le 4 décembre 2009

Membres du jury :

M. Paul Crozat, Rapporteur

M. Thomas Zimmer, Rapporteur

M. Daniel Gloria, Membre

M. Pierre Vincent, Membre

M. Jean-Michel Fournier, Membre

M. Gilles Dambrine, Directeur de thèse

M. François Danneville, Co-directeur de thèse

Remerciements

Il est évidemment assez difficile de citer toutes les personnes qui ont contribué au bon déroulement de cette thèse, alors en espérant oublier personne

Je souhaite tout d'abord remercier Monsieur Alain Cappy de m'avoir accueilli au sein de ce laboratoire.

Je remercie Messieurs Paul Crozat et Thomas Zimmer, rapporteurs de mes travaux de recherche, pour leurs remarques très constructives. Je tiens aussi à remercier Pierre Vincent et Jean-Michel Fournier pour avoir accepté de participer à mon jury de thèse.

Je remercie ensuite mon directeur et mon co-directeur de thèse, Gilles Dambrine et François Danneville ainsi que mon encadrant à STMicroelectronics : Daniel Gloria. Grâce aux nombreuses discussions, Gilles m'a permis d'avancer et son expertise fut d'une aide précieuse. Merci à François pour son apport théorique mais aussi pour sa présence dans chacune de mes conférences. Je remercie Daniel de m'avoir accueilli aussi chaleureusement dans son équipe et aussi pour les nombreuses sorties « running » qui m'on fait mal aux mollets. J'en profite aussi pour remercier Nathalie Rolland qui, il y a 3 ans, m'a mis en contact avec Gilles pour obtenir cette thèse.

Je remercie aussi les membres de l'équipe Anode en commençant par les permanents Sylvain Bollaert, Henry Happy, Yannick Roelens, Mohammed Zaknune et Nicolas Wichmann. Mais aussi les thésards et post-docs ; en commençant par mes collègues de bureau : Cristian et Raphaël. Cricri qui m'a transmis toutes ses connaissances et qui est à l'origine des résultats de ce mémoire. Sa gaieté journalière a aussi permis de passer de très bons moments. Et Fifi qui nous aura bien fait souffrir avec sa station de travail, accessoirement chauffage de bureau. Il y a aussi les remplaçants : Tao et Alberto. Taochuanito a rendu mon anglais compréhensible et Alberto, toujours prêt à aider mérite bien son titre de Prince. Viennent ensuite les habitants du 1^{er} étage : Arnaud, Andrei (DD le dépanneur informatique), Cyrille, Estelle (Est-ce qu'un jour tu viendras chez moi ???), Nan, Aurélien (OO, c'est qu'en même moi le meilleur au badminton ?), Laurianne et son optimisme légendaire Les gens de passage : Ikram, Mostapha, Béatriz et Baudouin. Sans oublier les derniers arrivés : Arame, Julien, Jiongjong et Zhenkun.

Je remercie également tous les membres de l'équipe RF à ST : Yoann, Yvan, les Romains, Sam, Michel, Jef et Fred. Fred qui m'a fait découvrir les joies de la conception sous Cadence. Mais aussi Boris Geynet et Pascal Chevalier pour m'avoir apporté beaucoup en ce qui concerne les bipolaires.

Merci aussi aux membres de l'équipe de caractérisation : Damien Ducatteau, Elisabeth Delos et surtout Sylvie qui m'a tout appris de la mesure, des milliers d'heures à calibrer et mesurer et des conversations patoisantes inoubliables (Hein !!!).

SOMMAIRE

REMERCIEMENTS	3
LISTE DES FIGURES	8
LISTE DES TABLEAUX.....	13
LEXIQUE.....	14
INTRODUCTION GENERALE	17
CHAPITRE I : TECHNOLOGIE SILICIUM MILLIMETRIQUE : CMOS ET BICMOS	21
A) Introduction au millimétrique	22
I) Le millimétrique et ses applications : l'émergence du CMOS.....	22
1) Introduction.....	22
2) Qu'est ce que le millimétrique ?	23
II) Le silicium pour les applications millimétriques	24
1) Pourquoi CMOS ?.....	25
2) Coût de la technologie CMOS	28
III) Applications millimétriques.....	28
1) De l'Ethernet à la communication 60 GHz	29
2) Le radar automobile	31
3) L'imagerie millimétrique	32
B) Technologie sur silicium adressant des solutions millimétriques	34
I) Le silicium : évolution et challenges	34
1) Performances.....	35
2) Etat de l'art au début de nos travaux de recherche	36
3) Coût et intégration.....	39
II) Ingénierie des technologies CMOS et BiCMOS.....	40
1) Diélectrique low-k et interconnexions	40
2) Grille métallique et diélectrique high-k	41
3) Nouveaux composants	42
III) Principe de fonctionnement des technologies CMOS et BiCMOS.....	44
1) Le transistor bipolaire	44
a) Principe de fonctionnement	44
b) Fonctionnement en régime statique	45
b-1) bilan des courants	45
b-2) gain en courant	46
b-3) quelques phénomènes du second ordre.....	46
c) Fonctionnement en régime dynamique.....	47
c-1) fréquence de transition f_T	47
c-2) fréquence maximale d'oscillation f_{MAX}	48
2) Le transistor à effet de champ	48
a) Principe de fonctionnement	48
b) Fonctionnement en régime statique	49
c) Fonctionnement en régime dynamique	49
c-1) fréquence de transition f_T	49
c-2) fréquence maximale d'oscillation f_{MAX}	50
C) Mesures on-wafer en gamme millimétrique : les challenges	50
I) L'analyseur de réseau : 60 ans d'histoire	50
II) Mesures hyperfréquences	52

1)	Méthode de calibrage sous pointes usuelle	53
a)	Calibrage du VNA	53
b)	Epluchage	55
III)	Notions de bruit	56
1)	Les principales sources de bruit	56
a)	Bruit thermique.....	56
b)	Bruit de diffusion.....	56
c)	Bruit de grenaille	56
d)	Bruit en $1/f$	57
e)	Bilan des bruits prédominants.....	57
2)	Théorie des quadripôles bruyants.....	57
a)	Facteur de bruit.....	57
IV)	Limitations à la montée en fréquence	58
1)	Paramètres S : limitations de la méthodologie conventionnelle.....	58
2)	Mesures de facteur de bruit : limitations en millimétrie.....	61
3)	Intérêt des basses températures	61

CHAPITRE II : CARACTERISATION ET MODELISATION PETIT SIGNAL JUSQUE 220 GHZ..... 65

A)	Introduction.....	66
B)	Le transistor MOSFET SOI HR 65 nm.....	66
I)	Caractérisation statique	66
II)	Caractérisation hyperfréquence	69
1)	Présentation des différents bancs de mesure	69
2)	Préambule et stratégie d'optimisation de la mesure millimétrie	70
3)	Optimisation du calibrage	71
4)	Synthèse du calibrage.....	74
5)	Optimisation de l'épluchage	76
6)	Méthodologie complète d'une mesure hyperfréquence	80
7)	Figures de mérite du MOSFET	81
III)	Modélisation en régime petit signal	82
1)	Modèle non quasi-statique	82
2)	Paramètres extrinsèques	83
3)	Paramètres intrinsèques.....	85
4)	Validation de la procédure d'extraction	87
C)	Le transistor bipolaire HBT SiGe	90
I)	Caractérisation statique	90
II)	Caractérisation hyperfréquence	92
1)	Figures de mérite du HBT.....	93
2)	Caractérisation cryogénique petit signal	94
a)	Présentation du banc	94
b)	Conditions de mesure à basse température	94
c)	Caractérisation statique.....	95
d)	Caractérisation hyperfréquence	96
III)	Modélisation petit signal.....	99
1)	Les différents modèles de transistor bipolaire.....	99
2)	Modèle petit signal	99
3)	Extraction des éléments localisés à température ambiante et cryogénique.	100
a)	Paramètres extrinsèques.....	100
b)	Tableau récapitulatif des éléments extrinsèques.....	104
c)	Paramètres intrinsèques	104
d)	Tableau récapitulatif des éléments intrinsèques	107
e)	Etudes des temps de transit.....	108
f)	Synthèse de l'étude cryogénique.....	110
g)	Validation de la procédure d'extraction	111
h)	Synthèse de la procédure d'extraction	114

CHAPITRE III : CARACTERISATION ET MODELISATION EN BRUIT MILLIMETRIQUE	117
A) Introduction.....	118
B) Présentation des 2 méthodes de mesure de bruit	118
I) La méthode multi-impédances.....	118
II) La méthode <i>F50</i>	120
1) Principe	120
2) Optimisation du banc de bruit millimétrique	122
3) Vérification de l'ENR de la source	122
C) Analyse du bruit millimétrique des transistors MOSFETs.....	124
D) Analyse du bruit millimétrique des transistors HBTs	126
I) Modèle de bruit.....	126
II) Performances en bruit	127
1) Comparaison des 3 dispositifs.....	127
2) Paramètres de bruit à température cryogénique	129
E) Le transistor pré-adapté.....	131
I) Intérêt.....	131
II) Synthèse entre la technologie C65SOI HR et B9MW	131
III) Technologie MOSFET SOI	132
1) Conception	132
2) Résultats des différentes structures réalisées	134
a) Paramètres S	134
b) Facteur de bruit.....	135
c) Récapitulatif des performances du transistor pré-adapté	136
IV) Technologie HBT SiGe	136
1) Présentation	136
2) Conception	139
3) Résultats des différentes structures réalisées	140
a) Paramètres S	140
b) Facteur de bruit.....	141
c) Récapitulatif des performances du transistor pré-adapté	141
F) Comparaison structures pré-adaptées / LNAs	141
ETAT DE L'ART A LA FIN DE NOS TRAVAUX DE RECHERCHE	145
NOUVEAUX CHALLENGES ET PERSPECTIVES.....	147
I) Banc de mesure de paramètres S en bande J.....	147
II) Banc de mesure de bruit tuner en bande W	147
III) Banc de mesure de bruit en bande G.....	148
CONCLUSION GENERALE.....	149
REFERENCES BIBLIOGRAPHIQUES.....	152
ANNEXES	170
LISTE DES PUBLICATIONS	180

Liste des figures

Figure 1 : Spectre électromagnétique.....	23
Figure 2 : Effets atmosphériques sur l'atténuation du spectre électromagnétique.	24
Figure 3 : Loi de Moore.	25
Figure 4 : Evolution des fréquences de coupures f_T/f_{MAX} et de la longueur de grille L_g en fonction des années conformément à l'ITRS [ITRS-07].	26
Figure 5 : More Moore et More than Moore [ITRS-07].	27
Figure 6 : Aperçu des applications millimétriques.....	29
Figure 7 : Standards IEEE en million de bits par seconde (Mbps) à travers les années.	30
Figure 8 : Image radar (a) et image vidéo correspondante (b) [Meis-03]	31
Figure 9 : Image radar (a) et image vidéo correspondante (b) [Meis-03]	31
Figure 10 : Détection possible autour d'un véhicule : radar anticollision, aide au parking, angle mort,	32
Figure 11 : Imagerie millimétrique pour la détection d'armes (a)(b) [Chen-05] ; Photo d'une feuille dans le domaine optique (c) et à 615 GHz (d) [Hellicar-07].....	33
Figure 12 : Evolution des fréquences de transition en fonction des années de production comparant les technologies silicium aux III-V [ITRS-07].	35
Figure 13 : Evolution des fréquences maximum d'oscillation en fonction des années de production comparant les technologies silicium aux III-V [ITRS-07].	35
Figure 14: Etat de l'art au début de nos travaux de recherche comparant les filières silicium et III-V.....	36
Figure 15 : Etat de l'art en 2006 des MOSFETs confronté à l'ITRS.	37
Figure 16 : Etat de l'art en 2006 des HBTs SiGe confronté à l'ITRS.	38
Figure 17 : Capacité en fonction de la résistance démontrant la réduction des parasites RC pour une technologie 45 nm avec l'utilisation d'un nouveau diélectrique (Porous Low-k) [Narasimha-06].....	41
Figure 18 : Vue en coupe d'un transistor avec une photo d'un transistor de 45 nm de longueur de grille.....	42
Figure 19 : Différentes structures de MOSFET avancés [Chang-03].	43
Figure 20 : Comportement du transistor bipolaire. a) transistor NPN au repos ; b) on applique une tension entre la base et le collecteur ; c) on applique une tension entre l'émetteur et la base ; d) quelques électrons se font piéger et se recombinent avec des trous.	45
Figure 21 : Exemple de courbe de Gummel d'un transistor bipolaire.....	47
Figure 22 : Schéma de principe d'un MOSFET canal N.	49
Figure 23 : C17452 General Radio 900-LB.	51
Figure 24 : Une des premières lignes fendues commercialisée par Rohde and Schwarz (1933).	51
Figure 25 : Zg Diagraph couvrant la bande 30 MHz – 300 MHz	51
Figure 26 : Schéma de principe d'une mesure hyperfréquence.....	53
Figure 27 : Standards de calibrage : a : circuit ouvert, b: court-circuit, c : transmission, d : charge adaptée 50 Ω	53
Figure 28 : Exemple de kit de calibrage de Cascade Microtech.	54
Figure 29 : Photos d'un circuit-ouvert on-wafer avec son schéma équivalent entourant le transistor.	55
Figure 30 : Paramètre de réflexion S_{11} du modèle du MOS (schéma équivalent sous ADS) comparé à la mesure jusque 220 GHz en utilisant une méthode conventionnelle.	58
Figure 31 : Présentation d'un kit de calibrage sur alumine et d'un réticule sur silicium composé de transistors MOSFETs.	59

Figure 32 : Différences entre une structure de transistor (TFMS) sur silicium et l'accès des sondes coplanaires.....	59
Figure 33 : Eléments parasites liés à la structure du transistor.	60
Figure 34 : Paramètre de réflexion S_{11} du modèle d'un plot silicium comparé à la mesure jusque 220 GHz. A l'intérieur, photographie des plots d'accès.....	60
Figure 35 : Caractéristiques mesurées $I_D=f(V_{DS})$ pour un transistor MOSFET SOI HR 65 nm.	67
Figure 36 : Détermination de la tension de seuil (V_{TH}) sur la caractéristique $I_D=f(V_{GS})$ pour un transistor MOSFET 65 nm à $V_{DS} = 0.1$ V.....	68
Figure 37 : Transconductance statique et courant drain en fonction de la tension grille-source pour un transistor MOSFET SOI HR 65 nm à $V_{DS} = 1.2$ V.	69
Figure 38 : banc de mesure 45 MHz - 110 GHz.	70
Figure 39 : banc de mesure 140-220 GHz.....	70
Figure 40 : Paramètres en transmission S_{21} d'une ligne sur alumine jusque 220 GHz comparant plusieurs sortes de calibrage.....	72
Figure 41 : Paramètres en réflexion S_{11} d'un pad sur silicium jusque 220 GHz.	73
Figure 42 : Synoptique de calibrage jusque 110 GHz.....	74
Figure 43 : Synoptique de calibrage en bande G.	75
Figure 44 : Structures de test utilisées pour l'épluchage complexe.	76
Figure 45 : Schéma représentant la structure d'un circuit-ouvert qui inclue les plots, les lignes de connexions à gauche, les descentes et le peigne à droite.....	77
Figure 46 : Schéma équivalent de l'épluchage complexe.....	77
Figure 47 : Détermination des éléments série et parallèle des accès du transistor.....	78
Figure 48 : Comparaison entre 5 épluchages sur les déviations des paramètres intrinsèques g_m , g_d , C_{GS} et C_{GD} pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7$ V, $V_{DS} = 1.2$ V.	79
Figure 49 : Méthodologie d'une mesure hyperfréquence d'un transistor sur silicium.....	80
Figure 50 : Extraction des fréquences de coupure f_T et f_{MAX} pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) à $V_{DS}=1.2$ V, $V_{GS}=0.7$ V et $I_D =24\text{mA}$	81
Figure 51 : Fréquence de transition (f_T) et fréquence maximale d'oscillation (f_{MAX}) en fonction du courant de drain (I_D) du MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $F=20$ GHz et $V_{DS} = 1.2$ V. ...	82
Figure 52 : Schéma équivalent non quasi-statique en source commune du MOSFET avec prise en compte de l'effet substrat (en rouge).....	83
Figure 53 : Extraction des capacités C_{pd} et C_{pg} en utilisant deux méthodes d'épluchage. O: Open et POS1S2: Pad Open Short1 Short2.....	84
Figure 54 : Extraction des résistances R_G , R_D et R_S en fonction de l'inverse de la tension d'overdrive.....	84
Figure 55 : Evolution des transconductances g_m et g_d en fonction de la fréquence. La figure de droite inclut la prise en compte de l'effet substrat. $V_{DS} = 1.2$ V, $V_{GS} = 0.7$ V.....	85
Figure 56 : Extraction des capacités C_{GS} et C_{GD} en fonction de la fréquence ($V_{DS} = 1.2$ V et $V_{GS} = 0.7$ V).....	86
Figure 57 : Extraction des résistances intrinsèques R_i et R_{GD}	86
Figure 58 : Extraction des éléments intrinsèques C_{DS} et Tau	87
Figure 59 : Modules des paramètres S mesurés et simulés avec leur déviation pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7$ V, $V_{DS} = 1.2$ V.....	88
Figure 60 : Phases des paramètres S mesurés et simulés avec leur déviation pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7$ V, $V_{DS} = 1.2$ V.....	88
Figure 61 : Schéma équivalent petit signal avec ses accès (entourés de pointillés).....	89
Figure 62 : Paramètres S mesurés et simulés jusque 220 GHz pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7$ V, $V_{DS} = 1.2$ V.....	90

Figure 63 : Caractéristiques de sortie $I_C=f(V_{CE})$ pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).....	91
Figure 64 : Courbes de Gummel du transistor HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).	92
Figure 65 : Extraction des fréquences de coupure f_T et f_{MAX} pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).	93
Figure 66 : Fréquence de transition (f_T) et fréquence maximale d'oscillation (f_{MAX}) en fonction du courant de collecteur (I_C) pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) ; $F=20 \text{ GHz}$ et $V_{CE} = 1.5 \text{ V}$	93
Figure 67 : Station cryogénique sous pointes hyperfréquences.	94
Figure 68 : Caractéristiques de sortie du HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300, 77 et 4 K pour un I_B variant de 0 à 30 μA	95
Figure 69 : Gain en courant du HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300, 77 et 4 K ; $V_{CE} = 1.5 \text{ V}$	96
Figure 70 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300 K. $V_{CE} = 1.5 \text{ V}$	97
Figure 71 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 77 K. $V_{CE} = 1.5 \text{ V}$	97
Figure 72 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 4 K. $V_{CE} = 1.5 \text{ V}$	98
Figure 73 : Schéma équivalent petit signal en T du transistor bipolaire à hétérojonction.	100
Figure 74 : Capacités parasites plot du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.	101
Figure 75 : Résistances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.	102
Figure 76 : Inductances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.	103
Figure 77 : Inductances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de l'inverse du courant de base aux 3 températures étudiées. $F=35 \text{ GHz}$	104
Figure 78 : Schéma équivalent intrinsèque du transistor bipolaire	105
Figure 79 : Résistances intrinsèques du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.....	106
Figure 80 : Capacités intrinsèques du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.....	106
Figure 81 : Gain en courant intrinsèque du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.....	107
Figure 82 : Evolution de τ_{EC} en fonction de l'inverse du courant de collecteur.	108
Figure 83 : Evolution de τ_{EC} en fonction de $1/I_C$ pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.	109
Figure 84 : Répartition des différents temps de transit en fonction de la température pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).	110
Figure 85 : Comparaison entre les modules des paramètres S simulés et mesurés à 300 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 24 \mu\text{A}$	111
Figure 86 : Comparaison entre les phases des paramètres S simulés et mesurés à 300 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) $V_{CE} = 1.5 \text{ V}$, $I_B = 24 \mu\text{A}$	112
Figure 87 : Comparaison entre les modules des paramètres S simulés et mesurés à 77 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 12 \mu\text{A}$	112

Figure 88 : Comparaison entre les phases des paramètres S simulés et mesurés à 77 K pour le transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2). $V_{CE} = 1.5 \text{ V}$, $I_B = 12 \mu\text{A}$	113
Figure 89 : Comparaison entre les modules des paramètres S simulés et mesurés à 4 K pour le transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2). $V_{CE} = 1.5 \text{ V}$, $I_B = 9 \mu\text{A}$	113
Figure 90 : Comparaison entre les phases des paramètres S simulés et mesurés à 4 K pour le transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2). $V_{CE} = 1.5 \text{ V}$, $I_B = 9 \mu\text{A}$	114
Figure 91 : Banc de mesure de bruit multi-impédance utilisant la technique source froide. .	118
Figure 92 : Coefficients de réflexion après calibrage du tuner à 8 GHz (gauche) et 40 GHz (droite).....	119
Figure 93 : Schéma équivalent du MOSFET avec ses sources de bruit associées. Les éléments intrinsèques se situent à l'intérieur des pointillés.....	121
Figure 94 : Banc de mesure de bruit bande W.	122
Figure 95 : Banc de mesure pour la vérification de l'ENR de la source.	123
Figure 96 : Comparaison des données du constructeur de l'ENR source avec la méthode hot/cold.....	124
Figure 97 : Paramètres de bruit du MOSFET 65 nm (64x1 μm) : comparaison entre modèle, méthode tuner et <i>F50</i> . $V_{DS} = 1.2 \text{ V}$, $V_{GS} = 0.7 \text{ V}$ et $I_{DS} = 17 \text{ mA}$	124
Figure 98. : Comparaison du facteur de bruit du MOSFET 65 nm entre le modèle extrapolé et la méthode <i>F50</i> en bande W en prenant en compte l'impédance de la source. $V_{DS} = 1.2 \text{ V}$, $V_{GS} = 0.7 \text{ V}$ et $I_{DS} = 17 \text{ mA}$	125
Figure 99 : Modèle de bruit en T du transistor bipolaire composé de deux sources de bruit e_e et i_c	126
Figure 100 : Comparaison des paramètres de bruit mesurés des 3 échantillons des transistors à faible budget thermique (5x0.17x1.2 μm^2) à F=35 GHz.....	128
Figure 101 : Comparaison des paramètres de bruit mesurés des 3 échantillons des transistors standard (0.3x9.82 μm^2) à F=35 GHz.	128
Figure 102 : Paramètres de bruit du HBT standard (0.3x9.82 μm^2) à 3 températures extraits à partir d'une mesure <i>F50</i> et comparés à une mesure tuner à 300 K.....	130
Figure 103 : Mesure du facteur de bruit <i>F50</i> du HBT standard (0.3x9.82 μm^2) aux 3 températures comparée aux valeurs simulées.	130
Figure 104 : Comparaison entre la structure des lignes coplanaire (gauche) et microruban.	132
Figure 105 : Photo du transistor pré-adapté à 105 GHz.....	132
Figure 106 : Figure de bruit minimum, gain maximum disponible, <i>F50</i> et S_{21} en fonction de V_G pour la structure pré-adaptée à 105 GHz.	133
Figure 107 : Schéma du transistor pré-adapté utilisant la technologie C65SOI HR.....	133
Figure 108 : Paramètres S mesurés et simulés en transmission des 4 transistors (64x1 μm) pré-adaptés en technologie C65 SOI HR. $V_D=1.2 \text{ V}$ et $V_G=0.71 \text{ V}$	134
Figure 109 : Paramètres S mesurés et simulés en réflexion des 4 transistors (64x1 μm) pré-adaptés en technologie C65 SOI HR. $V_D=1.2 \text{ V}$ et $V_G=0.71 \text{ V}$	135
Figure 110 : Facteur de bruit mesuré et simulé des 3 structures pré-adaptées (64x1 μm) en bande W ainsi que celui du transistor seul (64x1 μm).	136
Figure 111 : Figure de bruit minimum, gain maximum disponible, <i>F50</i> et S_{21} en fonction de V_{be} pour la structure pré-adaptée à 150 GHz.....	137
Figure 112 : Schéma d'adaptation du transistor en entrée/sortie.....	137
Figure 113 : Représentation du transistor chargée sur 50 Ω (gauche) et lieu d'impédance d'entrée et optimum de bruit pour le transistor bipolaire seul (0.27x5.74 μm). $V_{CE}=1.5 \text{ V}$ et $V_{BE}=0.91 \text{ V}$	138
Figure 114 : Lieu d'impédance d'entrée et optimum de bruit pour la structure pré-adaptée (0.27x5.74 μm) à 150 GHz. $V_{CE}=1.5 \text{ V}$ et $V_{BE}=0.91 \text{ V}$	138

Figure 115 : Performances du réseau d'adaptation d'entrée de la structure pré-adaptée à 150 GHz.	139
Figure 116 : Schéma du transistor pré-adapté utilisant la technologie B9MW.....	139
Figure 117 : Paramètres S simulés en réflexion des 3 transistors pré-adaptés en technologie B9MW (0.27x5.74 μm).	140
Figure 118 : Paramètres S simulés en transmission des 3 transistors pré-adaptés en technologie B9MW (0.27x5.74 μm).	140
Figure 119 : Facteur de bruit mesuré et simulé des 3 structures pré-adaptées (0.27x5.74 μm) en bande W ainsi que celui du transistor seul. $V_{CE}=1.5\text{ V}$ et $V_{BE}=0.91\text{ V}$	141
Figure 120 : Etat de l'art en 2009 des MOSFETs confronté à l'ITRS.....	145
Figure 121 : Etat de l'art en 2009 des HBTs SiGe confronté à l'ITRS.....	145
Figure 122 : Banc de mesure de paramètres S en bande J (220-325 GHz).....	147
Figure 123 : Photo du tuner Maury 75 - 110 GHz.	148
Figure 124 : Banc de mesure de bruit en bande G utilisant la méthode du facteur Y.....	148
Figure 125 : Schéma équivalent petit signal d'un MOSFET avec son réseau substrat R_S et C_S	170
Figure 126 : Quadripôle en représentation courant-tension et ondes incidentes/réfléchies...	172
Figure 127 : Représentation impédance d'un quadripôle bruyant.	175
Figure 128 : Représentation admittance d'un quadripôle bruyant.....	175
Figure 129 : Représentation chaîne d'un quadripôle bruyant (gauche). A droite, même représentation avec les sources ramenées en entrée.....	175
Figure 130 : Modèle à 12 termes d'erreur pour une mesure de paramètres S bidirectionnelle 2 ports.	177
Figure 131 : Schéma équivalent petit signal en Π du transistor bipolaire à hétérojonction...	178

Liste des tableaux

Tableau 1 : Performances en bruit en 2009 pour différentes filières de composants [ITRS-07].	36
Tableau 2 : Références bibliographiques du MOSFET utilisées à la figure 15.	37
Tableau 3 : Références bibliographiques du SiGe utilisées à la figure 16.	38
Tableau 4 : Performances en bruit des transistors MOSFET à la température ambiante.....	39
Tableau 5 : Performances en bruit des transistors HBT SiGe à la température ambiante.	39
Tableau 6 : Valeurs des standards utilisées lors du calibrage jusque 110 GHz et en bande G.73	
Tableau 7 : Valeurs des éléments localisés des accès du schéma équivalent petit signal.....	89
Tableau 8 : Fréquences de coupure des HBT standard et faible budget thermique en fonction de la température.	98
Tableau 9 : Valeurs des éléments extrinsèques en fonction de la température pour le transistor bipolaire faible budget thermique.	104
Tableau 10 : Valeurs des éléments intrinsèques en fonction de la température pour le transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2).	107
Tableau 11 : Temps de transit en femto-seconde et en pourcentage en fonction de la température pour le transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2).	110
Tableau 12 : Déviations maximales (Max) et moyennes (Moy) des modules (M) et phases (P) des paramètres S du transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2).	115
Tableau 13 : Différences technologiques des 3 échantillons du transistor bipolaire.	127
Tableau 14 : Paramètres S mesurés des différents transistors pré-adaptés en bande W.	136
Tableau 15 : Paramètres S mesurés des différents transistors pré-adaptés en bande W.	141
Tableau 16 : Etat de l'art des amplificateurs faible bruit en technologie silicium et III-V. * : valeurs simulées.	143

Lexique

Ce petit lexique permet d'éviter l'utilisation d'anglicismes, coutumiers lors d'une séance de mesure, en donnant une définition appropriée pour chaque terme. Il peut ainsi être utilisé comme outil pour une bonne lecture de ce manuscrit.

Calibrage : lors d'une mesure à l'analyseur de réseau, il est nécessaire de calibrer l'appareil pour définir le plan de mesure généralement dans le plan des pointes.

Calkit : terme raccourci qui signifie kit de calibrage ou ISS (Impedance Standard Substrate). Il est utilisé lors d'un calibrage de l'analyseur de réseau aussi bien sous pointe qu'en guides coaxiaux. Il peut se présenter sous forme de plaque rectangulaire avec un substrat alumine ou se présenter sous forme de standards coaxiaux ou en guides d'onde.

De-embedding : ce terme désigne la technique d'épluchage utilisée pour corriger le composant sous test de ses accès.

DUT : Device Under Test ou Composant Sous Test (CST).

Epluchage : voir de-embedding.

ISS : voir Calkit.

Line : ligne de transmission.

Load : charge adaptée de 50Ω .

LRM ou LRRM: Load (Reflect) Reflect Match. Ces techniques et algorithmes associés de calibrages permettent de définir le plan de référence de la mesure généralement dans le plan des sondes hyperfréquences.

Match : charge non réfléchissante (ex : dipôle de résistance de 50Ω).

Off-wafer : contrairement à l'expression « on-wafer », celle-ci désigne tout ce qui n'est pas sur la plaque où sont réalisés les dispositifs sous test (ex : plaque de silicium).

On-wafer : on utilise cette expression lorsque l'on parle de mesures réalisées sur la plaque où sont réalisés les dispositifs sous test (ex : plaque de silicium).

Open : charge réfléchive de type circuit-ouvert.

Reflect : charge réfléchive comme un court-circuit ou un circuit-ouvert.

Short : charge réfléchive de type court-circuit.

SOLT : Short Open Load Thru. Il désigne un type de calibrage.

Thru ou Through : ligne de transmission normalement définie comme une ligne sans perte.

TRL : Thru Reflect Line. Calibrage basé sur la mesure de deux lignes différentes et d'une structure réfléchissante. Ce calibrage est généralement utilisé soit on-wafer soit off-wafer. L'hypothèse fondamentale est que la topologie des structures d'accès doit être strictement identique pour les standards THRU et LINE ainsi que pour les DUT. Dans ce cas, cette procédure va fixer le plan de référence au plus près du DUT et ainsi éliminer des mesures l'effet des lignes d'accès.

TRM : Thru Reflect Match. Ce calibrage peut être réalisé on-wafer ou off-wafer. Ce calibrage nécessite donc 3 éléments. Il est dérivé du calibrage TRL en considérant que le standard MATCH est une ligne de longueur infinie (pas de réflexion).

Wafer : plaque de silicium (ou autre type de substrat comme l'AsGa ou l'InP) où se situent les dispositifs à caractériser.

INTRODUCTION GENERALE

Les ondes millimétriques, par leur discrétion due à leur propagation et leur confinement spatial aisé mais aussi par leur bande passante (30 à 300 GHz) et leurs circuits compacts associés ont très tôt intéressé les militaires qui en ont tiré parti pour leurs liaisons satellite, leurs réseaux d'information « de proximité » et leur nouveau système d'identification.

Le développement des technologies qui ont été présentées a fait que, dans le civil, les ondes millimétriques se déploient rapidement car elles présentent l'avantage énorme d'offrir des bandes passantes à la mesure des besoins actuels.

La première application intéressante concerne les satellites où l'on peut réaliser de nombreux liens à haut débit (pour l'hertzien), la courte longueur d'onde procure du matériel compact à bord et des antennes de taille réduite en comparaison de celles des bandes centimétriques. De plus les satellites peuvent transférer entre eux de grandes capacités de données vers les 60 GHz (l'absorption dans l'espace étant nulle) avec un matériel encore plus réduit, établissant ainsi autour de la terre un réseau d'artères original.

L'évolution de ces technologies est basée sur la capacité des transistors à augmenter leur performance. Cela est rendu possible par la réduction des dimensions d'un circuit ce qui implique une augmentation des vitesses de calcul. Simple constatation au départ (la puissance de calcul des ordinateurs double tous les 18 mois), la loi de Moore est devenue un objectif pour les industriels des semi-conducteurs silicium. Chacun pensant que le concurrent consacre toute son énergie pour la respecter, des efforts de recherche très importants sont mis en œuvre avec comme conséquence que finalement la loi se vérifie. Elle a maintenant un statut quasi mythique et est une des causes des progrès spectaculaires de l'informatique et de l'électronique.

Toutes ces évolutions ouvrent un large spectre d'applications, des radars pour l'automobile (77 GHz) au réseau haut débit sans fil WiHDMI (60 GHz) allant même au-delà de 100 GHz. Cela implique des transistors capables de fonctionner jusqu'à 0.5 THz. Les applications visées étant nombreuses de l'astronomie aux biotechnologies (biopuces) en passant par le médical (identification de tumeurs ou de caries) ou la sécurité (détection de drogues ou d'explosifs).

Ainsi, le contexte de ce travail de thèse s'inscrit dans les récents progrès des performances en gamme millimétrique des composants silicium tels que les MOSFETs sur substrat massif (« bulk ») ou SOI (« Silicon on Insulator ») ainsi que les transistors bipolaires à hétérojonction (HBT) à base de SiGe:C. En 2006, l'état de l'art des performances fréquentielles se situait au-delà de 300 GHz. En effet, Intel présentait des fréquences de transition record de 360 GHz et 420 GHz pour f_T et f_{MAX} [Post-06] et IBM, en 2005, reportait un transistor nFET sur SOI de 290 et 450 GHz [Lee-05] respectivement pour f_T et f_{MAX} . Pour les HBT SiGe, les performances sont similaires avec des fréquences record de 350 GHz [Khater-04].

Par ailleurs, les performances d'éléments passifs, tels que les lignes de propagation intégrées, réalisées sur un substrat SOI à haute résistivité présentent de faibles pertes même au-delà de 100 GHz [Gianesello-06]. En 2006, la situation en termes de circuits à base de silicium est limitée en fréquence entre 40 et 60 GHz, seuls quelques résultats au-delà de 100 GHz étaient déjà publiés. Un VCO (« Voltage Controlled Oscillator ») fonctionnant à 105 GHz utilisant un HBT SiGe [Nicolson-06-1] est présenté en 2006.

Dans ce contexte, il est maintenant nécessaire de savoir si les nouvelles et futures générations de transistors sur silicium peuvent adresser des fréquences encore plus élevées, en

particulier pour des applications en bande G (140 - 220 GHz) où le spectre est pratiquement libre d'utilisation. Les applications envisagées pourraient être des blocs d'émission/réception à faible portée et à très haut débit. Beaucoup de travaux de recherche sont nécessaires pour atteindre un objectif aussi ambitieux et de nombreux aspects demeurent inconnus. Ces aspects inconnus sont :

- 1) la validité des techniques de mesure sur silicium jusqu'en bande W (75 – 110 GHz) dans un premier temps puis jusque 220 GHz aussi bien en paramètres S qu'en bruit.
- 2) le comportement fréquentiel des transistors sur silicium (MOSFET et HBT sur substrat massif et SOI) jusque 220 GHz.
- 3) la modélisation des transistors dans ces gammes de fréquence nécessaire à la conception de démonstrateurs millimétriques (amplificateur faible bruit).

Un autre enjeu important dans le domaine millimétrique concerne la puissance en bande W mais cet aspect n'est pas discuté dans ce manuscrit.

En se basant sur le contexte de cette thèse mais aussi sur les enjeux à relever, il est maintenant possible d'expliquer la finalité de ce travail qui consiste à déterminer les caractéristiques hyperfréquences et de bruit des composants sur silicium de dernières générations.

Le plan de thèse est ainsi décomposé en trois parties :

La première partie consiste tout d'abord à expliquer le contexte général en plaçant le silicium au cœur des applications millimétriques. On se focalise ensuite sur les évolutions à apporter et donc les challenges à relever pour que le silicium reste compétitif par rapport aux matériaux III-V. On reviendra rapidement sur les principes de fonctionnement des technologies CMOS et BiCMOS. Les aspects métrologiques mis en jeu seront soulevés pour ainsi conclure sur les limitations à la montée en fréquence.

Le chapitre II présente la caractérisation et la modélisation petit signal jusque 220 GHz. Chaque transistor, à effet de champ et bipolaire, est étudié à travers son comportement statique et hyperfréquence. Cette partie présente aussi une méthodologie de mesure, du calibrage de l'analyseur de réseaux jusqu'à la confrontation de la mesure avec la simulation en passant par différentes techniques d'épluchage. Cette méthodologie est optimisée pour le transistor à effet de champ et est accompagnée de mesures cryogéniques pour le transistor bipolaire. Tout ceci afin de valider la procédure d'extraction du schéma équivalent petit signal.

La dernière partie s'intéresse à la caractérisation et la modélisation en bruit millimétrique. Nous introduisons la mesure de bruit à travers deux méthodes : tuner et F50. Nous nous focalisons ensuite sur l'analyse en bruit millimétrique des transistors MOSFETs et HBTs en présentant leurs modèles de bruit respectifs et leurs performances. De ces analyses résultent des difficultés de mesure dans le domaine millimétrique et pour palier à ces phénomènes, des structures pré-adaptées sont envisagées. Ce chapitre sera orienté sur le développement de structures de test spécifiques (transistor pré-adapté, tuner intégré, ...) permettant de valider les modèles dans cette gamme de fréquences par des méthodes de mesures transférables en milieu industriel en l'occurrence à STMicroelectronics.

Un état de l'art à la fin de nos travaux de recherches ainsi que les perspectives de nouveaux challenges à relever comme la montée en fréquence jusque 325 GHz en paramètres S et jusque 220 GHz en bruit viendront achever ce manuscrit.

CHAPITRE I : TECHNOLOGIE SILICIUM MILLIMETRIQUE : CMOS ET BICMOS

A) Introduction au millimétrique

I) Le millimétrique et ses applications : l'émergence du CMOS

1) Introduction

A la fin du 20^{ème} siècle, la recherche appliquée au silicium millimétrique était quasiment inexistante. Peu de personnes ont cru réalisable des fonctionnalités en technologie silicium à 60 GHz et au delà. Cependant, au cours de ces dix dernières années, on est passé d'un sujet de recherche obscur à un mot à la mode excitant qui a généré beaucoup d'intérêts au sein de l'industrie micro-électronique et de la communauté scientifique. Pour remettre les choses dans leur contexte historique, la plupart des efforts réalisés il y a une dizaine d'années était concentrée dans la gamme de fréquences inférieure à 5 GHz pour des applications comme la téléphonie mobile ou les ordinateurs portables. Beaucoup de personnes ont concentré leur recherche sur le problème du "last mile" dont le but est de trouver un moyen de délivrer très rapidement des données aux utilisateurs chez eux ou à leur bureau en utilisant des câbles, le téléphone ou encore l'infrastructure sans fil. Au même moment, la croissance explosive du « sans fil » comme le WiFi a encouragé la recherche dans le développement de nouvelles architectures émetteur/récepteur radio qui pourrait fournir de très hautes vitesses de transmission de données tout particulièrement pour la vidéo et les réseaux personnels (WLAN¹). Plus récemment, la croissance rapide des lecteurs MP3, des lecteurs vidéo portables et l'adoption rapide de la télévision haute définition (TVHD) à écran plat a créé une énorme demande au niveau technologique pour assouvir ce besoin de transmission vidéo haut débit sans fil. Pour ces raisons, nous sommes actuellement témoins de l'intérêt grandissant des technologies silicium millimétriques.

Aujourd'hui, nous pouvons accéder à la voix/données et aux divertissements numériques dans pratiquement chaque coin du globe, de la gamme courte Bluetooth, aux réseaux WiFi mais aussi aux réseaux cellulaires et satellites. Un ordinateur portable sans la fonctionnalité WiFi est aujourd'hui impensable alors qu'il y a à peine dix ans, la technologie n'existait pas encore. Que nous réserve ces dix prochaines années ?

Cependant, il y a un manque à combler : une capacité sans fil qui peut supporter un taux de transfert élevé demandé par les transmissions de données importantes des applications multimédia. Ceci paraît impossible à surmonter dans la bande 2 - 5 GHz. La bande 60 GHz se révèle être le candidat idéal pour toutes ces applications. En effet, en Europe, la bande de fréquence offerte est assez large (57 - 66 GHz) avec pratiquement pas d'interférence [ETSI-06]. Dans cette bande, il devient facile d'envisager une liaison sans fil capable de supporter des taux de transfert de quelques Gb/s. Prenons un exemple, le cas d'un hypothétique téléphone pouvant se connecter sans fil sur un kiosque multimédia (comme dans une gare ou un aéroport) et télécharger des musiques ou des films pour ensuite charger son contenu sur un écran plus large à bord d'un avion. Etant donné que ce spectre 60 GHz peut être exploité avec une technologie silicium faible coût, il y a beaucoup d'excitation et d'énergie dépensée au niveau de la communauté scientifique (industrie, laboratoire, ...) pour une technologie silicium millimétrique.

La recherche en gamme millimétrique n'a évidemment pas commencé avec le silicium. Les investigations ont été menées de longue date avec les matériaux III-V. Les recherches actives dans cette gamme de fréquences ont un large domaine d'applications aussi bien commercial que militaire. De nombreux acteurs industriels et d'institutions académiques

¹ WLAN : Wireless Local Area Network signifiant réseaux locaux sans fils.

sont maintenant garants de l'évolution de cette technologie prometteuse. Actuellement, de nombreux projets de recherche utilisant des technologies SiGe (Silicium Germanium) et CMOS² sont en train d'explorer des applications au-delà de 100 GHz.

Cette première section fait l'état des lieux de ce domaine du millimétrique et raconte l'engouement pour la technologie silicium (CMOS). Pour illustrer cette partie, quelques applications sont détaillées afin de comprendre les besoins de la société actuelle.

2) Qu'est ce que le millimétrique ?

Même si la technologie micro-onde est connue depuis plusieurs décades, les systèmes millimétriques ont surtout été déployés pour des applications militaires. Avec les avancées technologiques et les solutions d'intégration bas coût, le millimétrique a commencé à prendre de l'ampleur avec l'aide des universités et de l'industrie. Généralement, la gamme d'ondes millimétriques peut être classifiée dans le spectre électromagnétique comme la gamme de fréquences s'étendant de 30 GHz à 300 GHz qui correspond à des longueurs d'onde dans le vide de 10 mm à 1 mm. De plus, la perpétuelle réduction des dimensions des transistors liée à l'augmentation des fréquences de coupure intrinsèques propose de nouvelles opportunités pour les circuits opérants au-delà de 60 GHz. Un nouveau potentiel apparaît incluant l'imagerie millimétrique et les détecteurs proches du THz avec des applications dans l'astronomie, la chimie, la physique, la médecine et la sécurité.

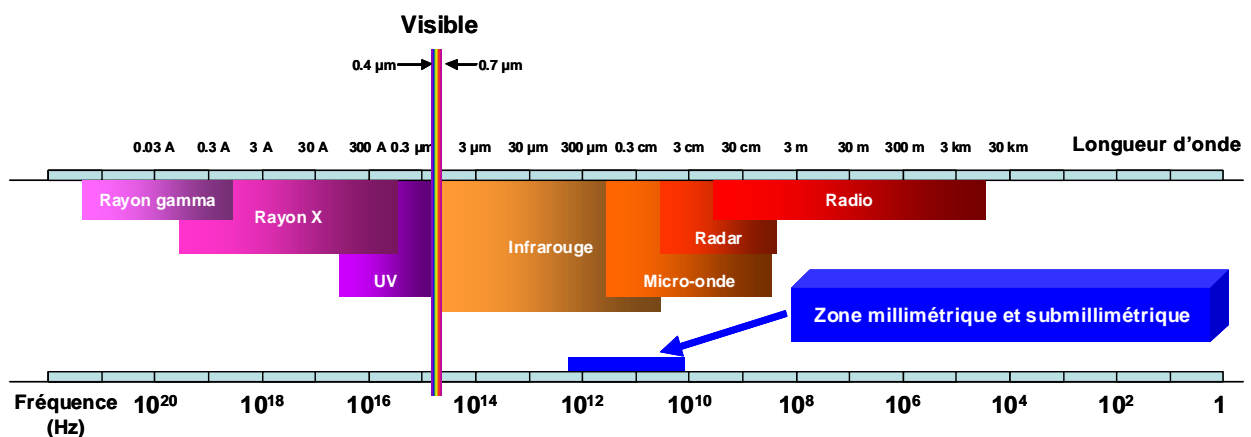


Figure 1 : Spectre électromagnétique.

² CMOS : Complementary Metal Oxide Semiconductor.

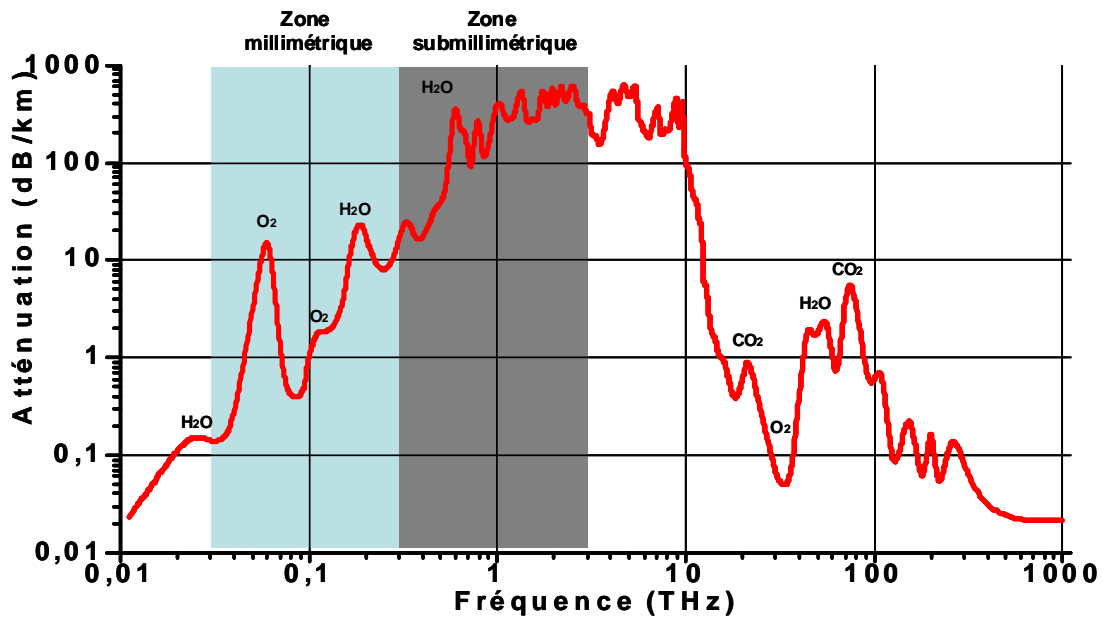


Figure 2 : Effets atmosphériques sur l'atténuation du spectre électromagnétique.

De nombreuses gammes de fréquences présentent donc un intérêt : 60 GHz, 90 GHz, 140 GHz mais aussi les fréquences autour de 300 GHz voir en gamme submillimétrique. La raison de se focaliser sur de telles fréquences est très simple. Prenons la figure 1 qui représente la zone millimétrique et submillimétrique à travers le spectre électromagnétique. Cette zone illustre le champ d'application des résultats de ce manuscrit. La figure 2, grossissement de la zone bleue de la figure 1, montre l'atténuation de propagation d'un signal dans l'air pour des fréquences différentes. Il est clairement démontré des zones où l'atténuation est soit minimale soit maximale. La gamme de fréquences autour de 60 GHz est particulièrement appréciable grâce au pic d'absorption d'oxygène favorable à des réseaux large bande avec une bonne isolation spatiale. D'autres bandes comme la bande 90 GHz, correspondant à un pic d'atténuation minimale, est idéale pour l'imagerie. On constate aussi qu'aux alentours de 140 GHz et de 300 GHz, des zones se détachent pour favoriser diverses applications millimétriques. Il est à noter que le graphique figure 2 peut être agrémenté des courbes d'absorption dépendant des conditions météorologiques allant de la bruine au brouillard complet et ainsi limite la propagation des ondes électromagnétiques.

Maintenant que l'on a clarifié les bandes de fréquences de travail, voyons pourquoi le silicium est un candidat à fortes potentialités pour les applications millimétriques.

II) Le silicium pour les applications millimétriques

La technologie sur silicium n'a pas été le choix automatique pour les applications millimétriques. De nombreuses technologies utilisant des matériaux III-V comme les PHEMT³, MHEMT⁴ ou encore les HBT⁵ à base d'InP (Phosphure d'Indium) ou d'AsGa (Arséniure de Galium) ont été les précurseurs de l'engouement du millimétrique. Même si toutes ces technologies offrent de meilleures fréquences de travail, leurs coûts sont

³ PHEMT : Pseudomorphic High Electron Mobility Transistor. Transistor pseudomorphe à haute mobilité d'électrons.

⁴ MHEMT : Metamorphic High Electron Mobility Transistor. Transistor métamorphe à haute mobilité d'électrons.

⁵ HBT : Heterojunction Bipolar Transistor. Transistor bipolaire à hétérojonctions.

relativement élevés avec de faibles rendements de fabrication et ainsi, offrent des possibilités d'intégration limitées. En outre, on ne s'attend pas à ce que ces procédés pèsent dans le coût aussi rapidement que la technologie silicium (CMOS). La technologie sur silicium ne souffre pas de variations brutales en grande partie grâce à des investissements industriels et gouvernementaux de quelques milliards de dollars assurant le marché du numérique, de l'analogique et des circuits radiofréquences (RF).

Le choix de l'industrie pour embrasser le silicium plutôt que les technologies III-V traditionnelles a aussi été une révolution philosophique. Les ingénieurs formés dans l'art et la science de la conception analogique sur silicium ont porté avec eux une méthodologie de conception basée sur des modèles compacts assistée par la simulation informatique. D'autre part, la communauté micro-ondes a compté sur une théorie riche basée sur la caractérisation et la mesure de composants multiports. Les aspects de mesures et de modèles seront discutés dans le deuxième chapitre de ce manuscrit.

En résumé, pour les inconditionnels de la loi de Moore (figure 3), c'est une conséquence inévitable de la réduction des dimensions qui est à l'origine de la naissance du silicium pour des applications millimétriques. Les transistors sont devenus assez petits et par conséquent assez rapides pour opérer à des fréquences bien supérieures au GHz et ainsi répondre à un grand nombre d'applications de communications dans ces gammes de fréquences. Le transistor CMOS en est la preuve actuelle.

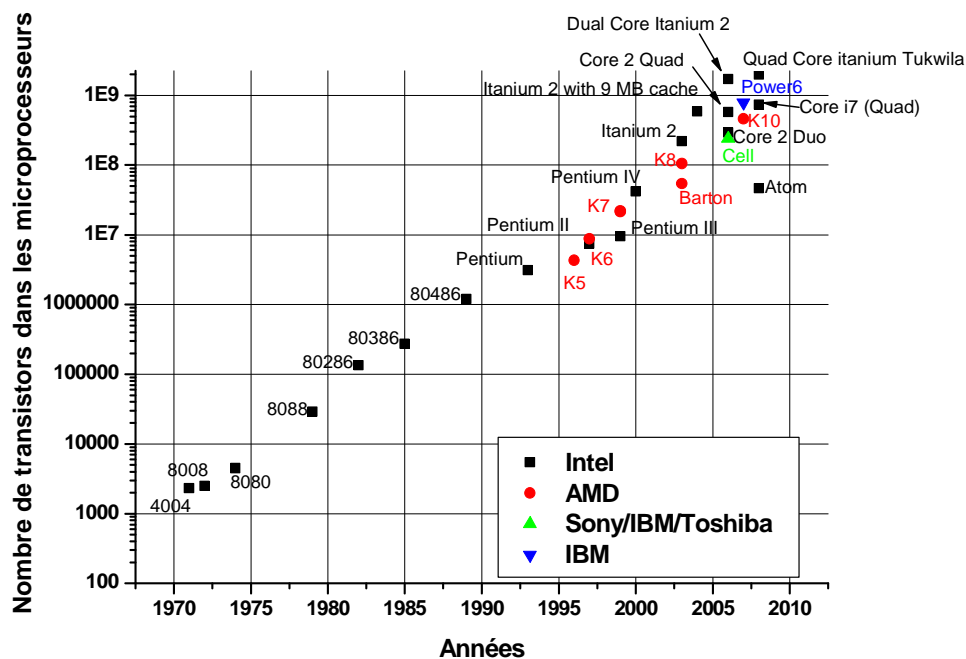


Figure 3 : Loi de Moore.

1) Pourquoi CMOS ?

La technologie CMOS est conduite par un marché de masse pour des microprocesseurs numériques haut débit tandis que les technologies III-V se consacrent à quelques niches d'application où le coût élevé peut être justifié. La technologie CMOS est donc un candidat idéal pour des applications micro-ondes dans un procédé technologique numérique.

Un effort concerté entre les universités, les industries et les organismes de recherche a abouti à une forte diminution des échelles de la technologie CMOS. Cette diminution a été alimentée par la demande du calcul numérique et des mémoires et ainsi la technologie s'est principalement développée pour servir ce marché.

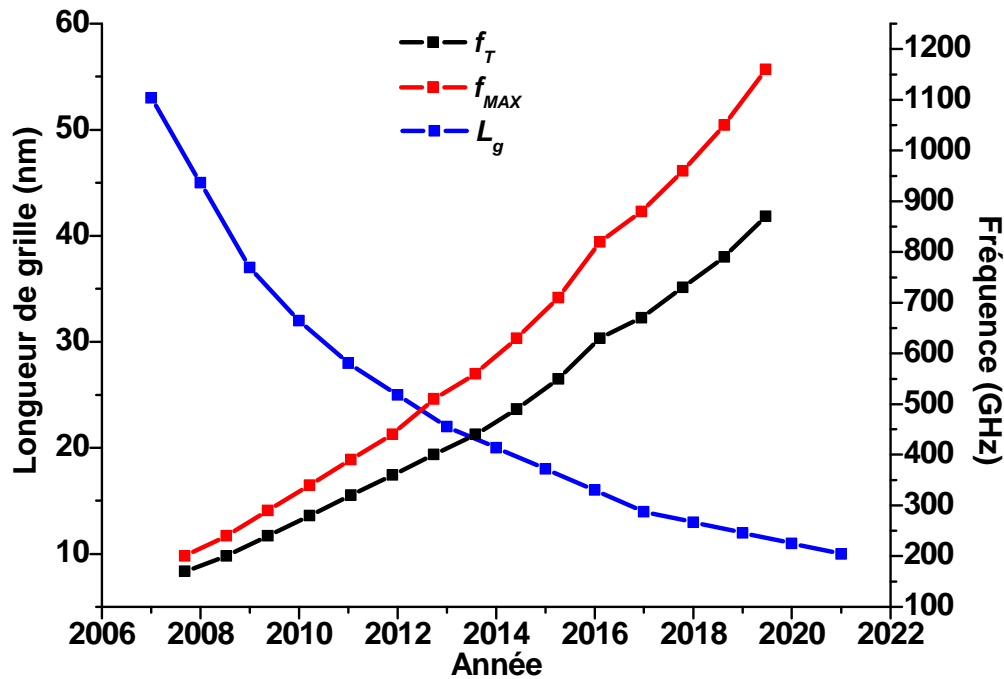


Figure 4 : Evolution des fréquences de coupures f_T/f_{MAX} et de la longueur de grille L_g en fonction des années conformément à l'ITRS [ITRS-07].

Le transistor CMOS, avec sa capacité à suivre la loi de Moore (figure 3) en ce qui concerne les lois d'échelle, trace la route du succès des technologies silicium et ainsi mène à une intégration fonctionnelle toujours croissante. Cette loi d'échelle a été favorisée par la nature intrinsèque du silicium qui est l'élément le plus abondant sur terre après l'oxygène. De plus, cette technologie est favorisée grâce à sa « simplicité » de fabrication, son oxyde natif (SiO_2) mais aussi par la formation de grille auto-alignée. La figure 4 illustre parfaitement l'évolution de ce transistor au fil des années conformément à la feuille de route (roadmap) de l'ITRS [ITRS-07]. Les longueurs de grille ne cessent de diminuer impliquant une augmentation des fréquences de coupure ce qui est de bonne augure pour les applications millimétrique voire submillimétriques. Cependant, nous avons atteint un point où l'horizon de la feuille de route de l'ITRS défie les projections les plus optimistes dans la course à la diminution d'échelle du CMOS. Il est aussi difficile pour la plupart des gens de l'industrie du semiconducteur d'imaginer comment nous pourrions continuer à nous permettre les tendances historiques de l'augmentation perpétuelle du coût des équipements pendant encore 15 ans. En d'autres termes, les lois empiriques de Moore sont liées à l'évolution de la vitesse des microprocesseurs en fonction du temps. Cependant ces lois, basées sur des suppositions, sont vouées à l'échec à moyen terme à cause d'effets quantiques et/ou thermiques. Il devient donc nécessaire de prendre un virage radical ; les nouvelles technologies ne doivent pas seulement impliquer des nouveaux dispositifs mais aussi de nouveaux procédés de fabrication.

Les microprocesseurs, les mémoires et les composants logiques nécessitent une technologie silicium CMOS. La diminution des dimensions permet l'intégration d'un nombre incroyable de transistors sur une même puce comme le prédit la loi de Moore. Les fonctions

essentielles d'un tel système-sur-puce (SoC⁶) sont le traitement de données et le traitement de signaux numériques (DSP⁷). Cependant, beaucoup d'exigences, comme la consommation électrique et la largeur de bande de communication ainsi que des exigences fonctionnelles, comme les fonctions exécutées par les composants passifs, les capteurs, les fonctions biologiques, etc, ne peuvent pas suivre la loi de Moore. Dans la plupart de ces cas, des solutions différentes sont employées. Dans l'avenir, l'intégration des technologies CMOS et non-CMOS, utilisées comme système-en-boîtier (SiP⁸), deviendra de plus en plus importante. Par conséquent, le partage de fonctions entre et dans le SoC et le SiP va probablement être dynamique dans quelques années. Cela exigera des innovations dans des domaines disciplinaires mutuels, comme la nano-électronique, la nano-thermomécanique, la nano-biologie, etc. Pour les applications SiP, le packaging sera l'élément clef. Toutes ces tendances sont représentées sur la figure 5.

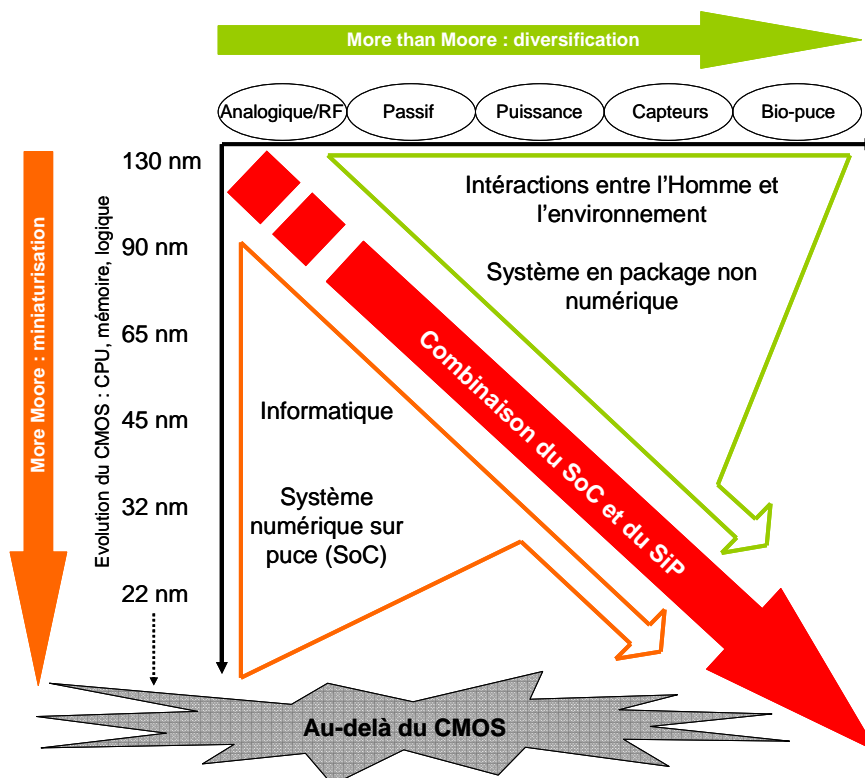


Figure 5 : More Moore et More than Moore [ITRS-07].

Les tendances observées sur la figure 5 nécessitent quelques explications. L'axe vertical intitulé « More Moore » se réfère à la diminution continue des tailles des puces logiques et de stockage de la mémoire afin d'améliorer la densité, les performances et la fiabilité des applications. L'axe horizontal « More than Moore » désigne la diversification des fonctionnalités. Cette approche tient typiquement compte des fonctionnalités non-numériques (communication RF, composants passifs, capteurs) pour migrer du niveau système à un

⁶ SoC : System on Chip. Système sur puce qui désigne un système complet embarqué sur une puce, pouvant comprendre de la mémoire, un ou plusieurs microprocesseurs, des périphériques d'interface, ...

⁷ DSP : Digital Signal Processing. Le traitement numérique du signal étudie les techniques de traitement (filtrage, compression), d'analyse et d'interprétation des signaux numérisés.

⁸ SiP : System in Package. Système en boîtier, en français, désigne un système de circuits intégrés confinés dans un seul boîtier.

niveau de package particulier (SiP ou SoP). Son objectif est d'incorporer des fonctionnalités numériques et non-numériques dans un système compact.

La technologie CMOS est donc de plus en plus utilisée et suit une loi d'échelle qui entraîne une amélioration des performances avec la diminution des puces sur le wafer. Cependant, un virage devra être effectué pour suivre les évolutions en termes de diversification et de miniaturisation. Ainsi se pose la question du vrai coût de la technologie silicium en particulier à cause des éléments passifs dominant le wafer.

2) Coût de la technologie CMOS

Il est important de rappeler brièvement quelques arguments économiques sur les technologies silicium. Il est clair maintenant que la technologie est mature pour les applications millimétriques mais y a-t-il un réel avantage économique ?

Un des arguments clefs pour le camp du silicium est que l'arséniure de Gallium (AsGa) est une technologie chère, qui est tolérée par les utilisateurs comme elle offre actuellement la meilleure performance. Les coûts de réalisation en fonderie de wafers en technologies silicium (Si) ou silicium-germanium (SiGe) coûtent entre 1000 \$ pour un CMOS et 2500 \$ pour un HBT SiGe. En outre, pour une plate forme de production d'un wafer 8 pouces, le coût est significativement meilleur marché avec le potentiel d'intégrer 2 fois plus de produits. A titre de comparaison, montrant clairement le désavantage de l'AsGa, le coût en fonderie d'un wafer HBT AsGa est de l'ordre de 2500 \$. Cependant une analyse plus fine révèle que les technologies sur silicium peuvent en réalité être significativement plus chères que l'AsGa, en considérant un marché de faible volume, quand le coût du masque est pris en compte. Le coût d'un masque d'AsGa s'étend typiquement de 25 000 à 50 000 \$ alors que pour le silicium on peut aisément atteindre 300 000 \$ voir plus. Le marché de faibles volumes concerne :

- l'infrastructure sans fil ;
- la télécommunication backhaul : dans un réseau de télécommunication hiérarchique la partie backhaul du réseau comprend les liaisons intermédiaires entre le cœur, ou le point d'appui, du réseau et les petits sous-réseaux "au bord" du réseau hiérarchique entier ;
- le radar militaire et automobile.

Finalement, les coûts de fabrication de la technologie silicium sont prohibitivement hauts en raison des coûts de masque, ce qui signifie que le silicium est une solution viable pour des applications s'orientant sur un marché de haut volume. Cela signifie aussi qu'il devrait y avoir des investissements supplémentaires dans la simulation et les outils de ces dispositifs afin d'assurer le succès de la fabrication puisque n'importe quelle erreur dans la conception se traduit par des pertes se chiffrant à quelques millions de dollars.

De nouvelles applications, comme par exemple l'incorporation d'antennes multiples dans un système millimétrique pourraient amener des innovations et ainsi une réduction des coûts dans la vague du silicium millimétrique.

III) Applications millimétriques

Pour mieux comprendre les enjeux technologiques et commerciaux des applications millimétriques il est souhaitable d'avoir conscience de l'étendue des applications. Le but de

cette section n'est cependant pas de faire une liste exhaustive de ces applications mais seulement d'en évoquer les principales. Bien que les différents domaines d'applications soient étroitement liés, on peut les classer en trois grands domaines : médical, commercial et militaire. De nombreuses applications se chevauchent entre ces 3 domaines comme le spatial, le transport ou encore les télécommunications. La figure 6 dresse un portrait de toutes ces applications.



Figure 6 : Aperçu des applications millimétriques.

1) De l'Ethernet à la communication 60 GHz

Le protocole Ethernet a été la base de lancement de la communication de réseaux comme l'indique la figure 7. Tout d'abord bas débit (Ethernet 1Base-T à la fin des années 80), elle a su rapidement atteindre le très haut débit (0.5 Gb/s à 10 Gb/s) en visant les applications millimétriques (ultra large bande à 60 GHz). Les premières applications millimétriques rencontrées concernent les accès WPAN⁹ orientés sur la vidéo haute définition (HD) sans fil en streaming¹⁰ (W-HDMI¹¹) ou pour les transferts de fichiers ultra rapides (de l'USB 1.0 à l'USB 2.0). A titre d'exemple, l'interface numérique HDMI a besoin d'un taux de transfert de

⁹ WPAN : Wireless Personal Area Network. Ce terme concerne les réseaux sans fil d'une faible portée : de l'ordre de quelques dizaines mètres. Ce type de réseau sert généralement à relier des périphériques (ex : imprimante) à un ordinateur sans liaison filaire ou bien à permettre la liaison sans fil entre deux machines très peu distantes. La principale technologie WPAN et la technologie Bluetooth proposant un débit théorique de 1 Mbps pour une portée maximale d'une trentaine de mètres.

¹⁰ Streaming : diffusion de flux continu. Utilisé par exemple pour la diffusion de vidéo sur internet en direct ou en léger différé.

¹¹ W-HDMI : Wireless-High-Definition Multimedia Interface. (en français : Interface Multimedia Haute Définition) est une norme et une interface audio/vidéo entièrement numérique pour transmettre des flux chiffrés non compressés.

1.5 Gb/s pour afficher une résolution de 1920x1080i (entrelacé) tandis que pour une résolution de 1920x1080p (progressif) cela nécessite 3 Gb/s. Toutes ces applications nous amènent typiquement dans la bande de fréquence 57 – 66 GHz, dépendant de la zone géographique. Grâce à un haut potentiel commercial mais aussi au support de l'industrie pour des applications dans cette gamme de fréquence, plusieurs groupes travaillent sur la standardisation à savoir :

- IEEE 802.15.3 : conçu pour le transfert de fichiers audio et vidéo en streaming ;
- ECMA (European Computer Manufacturers Association), est une organisation de standardisation active dans le domaine de l'informatique ;
- WirelessHD : cela permet la diffusion de contenu HD sans que l'on ait recours à un câble. Il exploite pour cela la bande de fréquence 60 GHz, pour envoyer les vidéos HD non compressées ainsi que le son à 4 Gb/s, jusqu'à une distance de neuf mètres ;
- WiMedia : L'objectif de la norme WiMedia est de réaliser une intercompatibilité réelle entre tous les appareils transmettant de l'image et du son dans un rayon de 1 à 50 mètres.

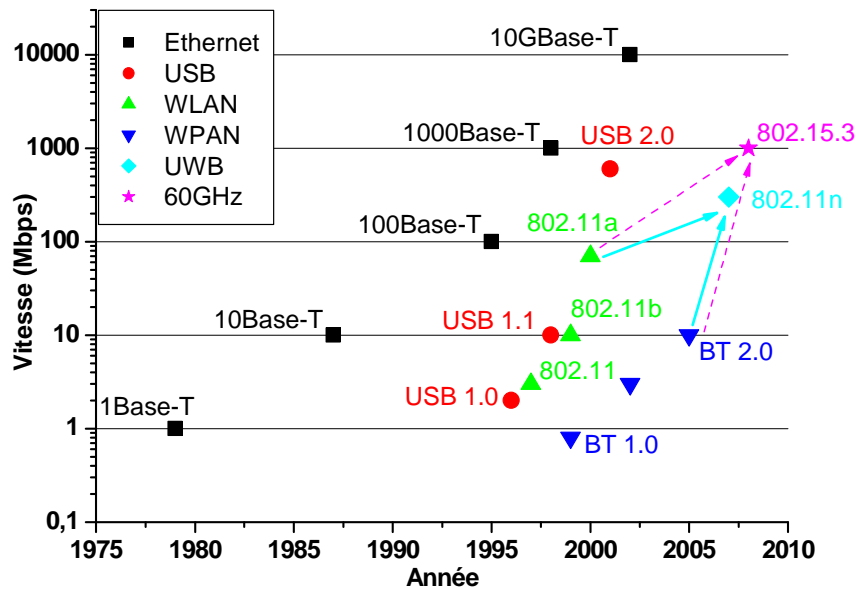


Figure 7 : Standards IEEE en million de bits par seconde (Mbps) à travers les années.

Ainsi, le WPAN est idéalement placé pour les applications 60 GHz. Un réseau sans fil 60 GHz pourrait être utilisé pour détrôner nos bonnes vieilles liaisons filaires actuels comme l'Ethernet, l'USB 2.0 ou encore la norme IEEE 1394 (FireWire).

Un seul inconvénient demeure à 60 GHz : l'absorption d'oxygène (environ 10 dB/km au niveau de la mer) qui commence à jouer un rôle dans des distances supérieures à 100 mètres (figure 2). De plus, la pluie peut ajouter une atténuation supplémentaire (5 dB/km pour environ 12 mm/heure). L'utilisation d'antennes à gain élevé permettrait de surmonter ces effets atmosphériques.

2) Le radar automobile

Une application importante est le radar automobile fonctionnant à 24 GHz [Guan-04] et 77 GHz. Aujourd'hui, seules quelques voitures de luxe sont équipées de cette technologie (centre d'ingénierie Jaguar [Tsang-99]). Il apporte une assistance à l'automobiliste comme la conduite dans des conditions de visibilité basses, particulièrement dans le brouillard, mais aussi grâce au régulateur automatique de vitesse ou encore la conduite automatisée sur de futures autoroutes [Berkeley-08]. En France, en 2007, 4838 personnes ont encore trouvé la mort dans un accident routier avec un total d'accidents corporels supérieur à 80000 [Sécurité-07]. Ces chiffres alarmants rendent le radar très attractif comme élément de sécurité indispensable pour son implantation dans chaque automobile. L'imagerie vidéo avancée, le radar, le GPS ou encore les gyroscopes permettent de donner aux conducteurs une multitude de données afin d'améliorer et de rendre plus sûr l'expérience de la conduite. Les figures 8 et 9 présentent 2 exemples où l'image radar est comparée à la vidéo. Ces images prouvent que le radar millimétrique devient un capteur idéal de l'environnement du trafic routier. Le radar permet aussi de voir « à travers » les voitures et ainsi de détecter d'autres véhicules mais aussi de les différencier (moto, cycliste, camion,...).

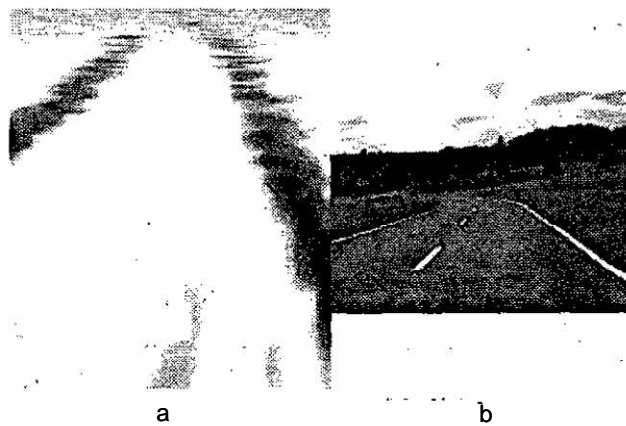


Figure 8 : Image radar (a) et image vidéo correspondante (b) [Meis-03]

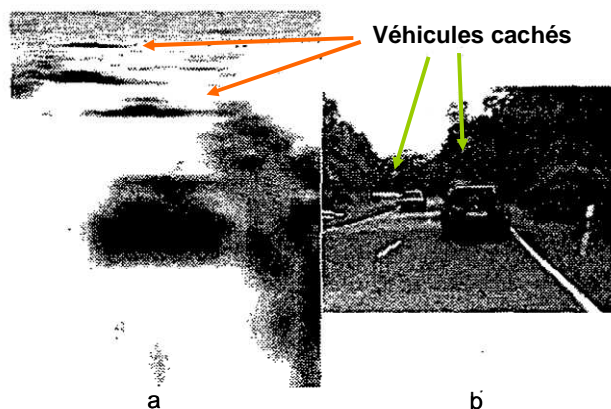


Figure 9 : Image radar (a) et image vidéo correspondante (b) [Meis-03]

Parmi tous les accidents recensés en France, un rapport de la sécurité routière de 2006 fait état d'un constat accablant : 15,6 % des personnes tuées le sont en deux-roues motorisés,

alors qu'elles représentent moins de 1 % du trafic [Sécurité-06]. De plus, la vitesse est en cause dans plus de la moitié des accidents corporels. Les capteurs qui détectent des objets en champ lointain (approximativement 30 mètres avec un large champ de vision) permettront de développer beaucoup d'applications en matière de sécurité pouvant significativement réduire les accidents à de courtes ou moyennes distances avec des vitesses assez élevées. Sur la figure 10, on peut observer la voiture de demain (de nombreuses applications existent déjà) avec un ensemble de capteurs capable de prévenir les accidents de face et arrière, de détecter des impacts de côté mais aussi fournir une assistance au stationnement et aux angles morts. Chaque capteur, selon la distance et l'objet à détecter, exige une technologie différente pour remplir le cahier des charges.

La technologie prometteuse pour les applications courtes et longues distances est le radar. La commission de communication fédérale (FCC) a alloué 2 bandes de fréquences : 22-29 GHz pour les radars à courte portée et 76-77 GHz pour les radars longue portée.

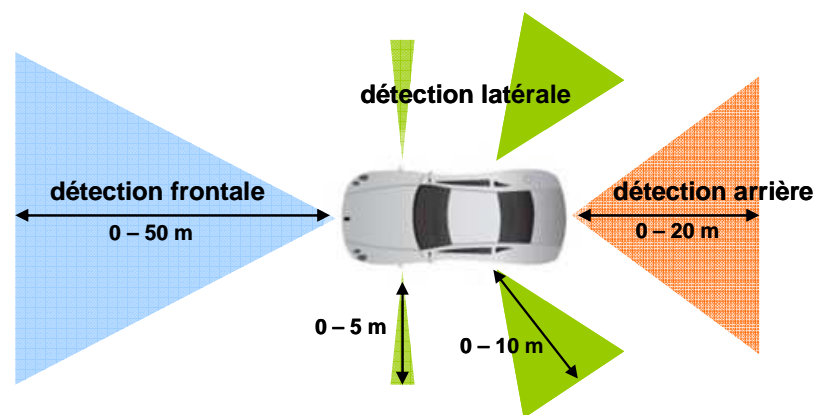


Figure 10 : Détection possible autour d'un véhicule : radar anticollision, aide au parking, angle mort, ...

Le radar est un système toute saison avec une résolution de quelques centimètres. Dans un radar automobile typique, une impulsion électromagnétique est transmise vers des cibles potentielles. Le signal réfléchi révèle des informations sur la forme, la distance et la vitesse de la cible. Une des principales difficultés est la capacité de discriminer entre différents signaux l'information utile. Cela nécessite des traitements de signaux sophistiqués et potentiellement introduire des erreurs de détection en forme de fausses alertes. La fiabilité du radar automobile peut dramatiquement augmenter en utilisant une antenne directionnelle. Les façons mécaniques habituelles de diriger l'antenne sont peu pratiques pour des systèmes bon marché. Une solution bon marché alternative consiste à utiliser des antennes en réseau. Les émetteurs de phase en réseau [Babakhani-06][Nicolson-07][Powell-07] peuvent former un rayon étroit dirigé vers l'objet situé dans un champ de vision étroit. Le récepteur est seulement sensible aux signaux réfléchis de l'objet en question réduisant considérablement les interférences indésirables.

La technologie silicium, le CMOS en particulier, permet l'intégration d'un radar à réseau de phase aboutissant à un système fiable et bon marché de radar qui pourrait jouer un rôle majeur dans la sécurité routière de demain.

3) L'imagerie millimétrique

Une autre application potentielle pour la technologie millimétrique concerne l'imagerie millimétrique passive et active. En ne détectant que la radiation thermique naturelle d'objets

en gamme millimétrique, les images de ces objets peuvent apparaître d'une façon très similaire à l'image d'un système optique classique (vidéo). Le système d'imagerie passive [Yujiri-03] est basé sur la détection de la différence entre l'intensité de la radiation thermique naturelle de différents matériaux. Actuellement ces systèmes sont employés pour détecter des armes dissimulées [Gashinova-08], mais la même idée pourrait être appliquée à l'imagerie médicale où l'on désire une résolution de l'ordre du millimètre. On constate ainsi aisément sur la figure 11, les armes cachées à travers un pull grâce à la différence d'émissivité entre le corps et l'objet. De plus, ce qui est vrai pour les objets métalliques fonctionne aussi pour les objets d'autres natures (figure 11 (b), le pistolet du bas est en céramique) ce qui représente un avantage certain pour cette technologie. A la différence de la radiographie par rayon-X, qui peut seulement être utilisée avec une dose limitée de rayons sur les organismes vivants, l'image millimétrique passive n'utilise pas de radiation supplémentaire que ce qui est naturellement présent. Même les systèmes d'imagerie active utilisent des photos avec des énergies de quelques milli électronvolt comparé aux kilos électronvolts nécessaires aux systèmes à rayon-X.

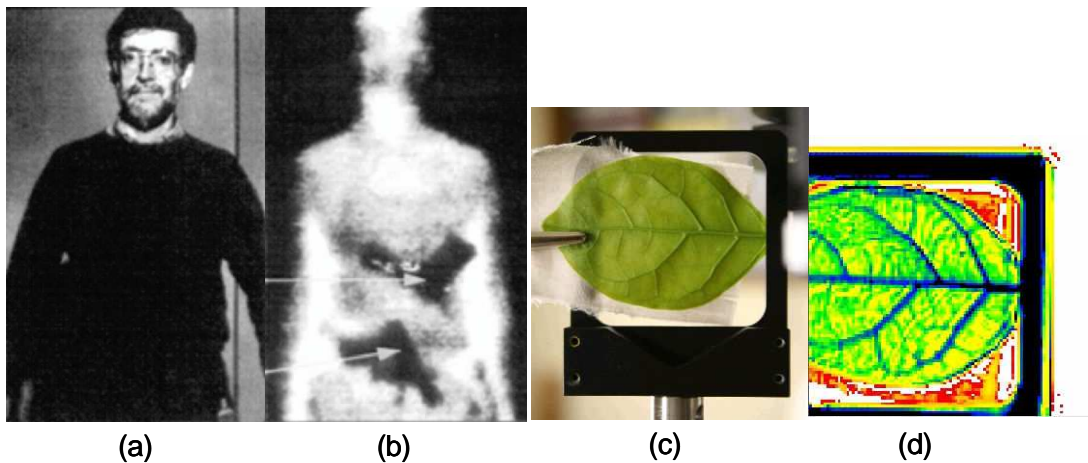


Figure 11 : Imagerie millimétrique pour la détection d'armes (a)(b) [Chen-05] ; Photo d'une feuille dans le domaine optique (c) et à 615 GHz (d) [Hellicar-07].

Concernant l'imagerie médicale, les applications émergentes seraient utiles dans la détection de tumeurs, la mesure de température, la circulation du sang, ... Ces applications ont fortement été explorées durant ces deux dernières décennies mais les recherches ont cessé car ces systèmes n'étaient pas capables de rivaliser avec l'IRM ou l'imagerie par rayon-X. En raison d'une plus grande longueur d'onde, ces systèmes ont une résolution relativement faible. Comme la technologie silicium permet un plus grand réseau d'émetteurs-récepteurs de part l'encombrement réduit et le faible coût, nous croyons que beaucoup de ces applications réapparaîtront en raison du potentiel immense au niveau de la réduction de la taille et du coût. Tandis que l'imagerie passive détecte le contraste d'énergie thermique entre un corps humain et un objet, l'imagerie active transmet l'énergie millimétrique à l'objet en question et détecte l'énergie reflétée. De cette façon, en illuminant la cible, le rapport signal à bruit (SNR) est amélioré, comparé à un système passif.

D'autres applications concernent l'aéronautique : la sécurité des aéroports lors d'atterrissage dans de mauvaises conditions météorologiques, ou encore des applications plus générales comme la défense ou l'environnement.

B) Technologie sur silicium adressant des solutions millimétriques

I) Le silicium : évolution et challenges

Pourquoi le silicium est-il devenu une référence ? Nous vivons dans l'âge du silicium, il est tout autour de nous aussi bien en termes de systèmes électroniques (ordinateurs) qu'à l'état naturel (sable).

Cela n'a pas toujours été le cas. Avant les années 1940, les transistors n'existaient pas. C'est seulement au début des années 1950 que les transistors ont été réalisés à partir du germanium. Cependant, les transistors à base de germanium ne sont pas très fiables et difficiles à mettre en boîtier. Tout changea en 1954 où Texas Instruments annonça le premier transistor silicium. Dix ans après, une puce silicium contenant plus de 2000 transistors était née. Aujourd'hui, le processeur Quad Core Itanium d'Intel contient plus d'1 milliard de transistors. C'est une progression étonnante et révolutionnaire de la technologie silicium.

Le silicium n'est pas le candidat naturel pour les applications millimétriques. Les technologies III-V ont dominé ce domaine pendant beaucoup d'années et même aujourd'hui, les performances sur silicium restent toujours inférieures aux technologies AsGa, PHEMT, InP HEMT et InP HBT. La mobilité des électrons sur silicium est inférieure, ce qui limite la performance de la technologie. De plus, des substrats fortement résistifs ou semi-isolants de silicium sont difficiles à réaliser aboutissant à une moins bonne isolation et des pertes plus élevées à travers l'interconnexions des éléments passifs. Toutes ces limitations présentent un sérieux challenge dans l'implémentation de fonctions millimétriques.

Cependant, les avancées de la technologie silicium, conduites par des applications numériques très performantes, offrent des performances en termes de fréquences de coupures et de facteur de bruit qui ont radicalement augmenté suivant les lois d'échelle et les avancées technologiques tant pour le CMOS que pour le HBT SiGe. Ces deux technologies ont été utilisées pour démontrer la faisabilité de circuit fonctionnant à des fréquences supérieures à la bande V. De plus, la capacité industrielle mondiale des technologies silicium, conduite par un marché grand public comme les jeux et appareils électroniques assure un faible coût.

1) Performances

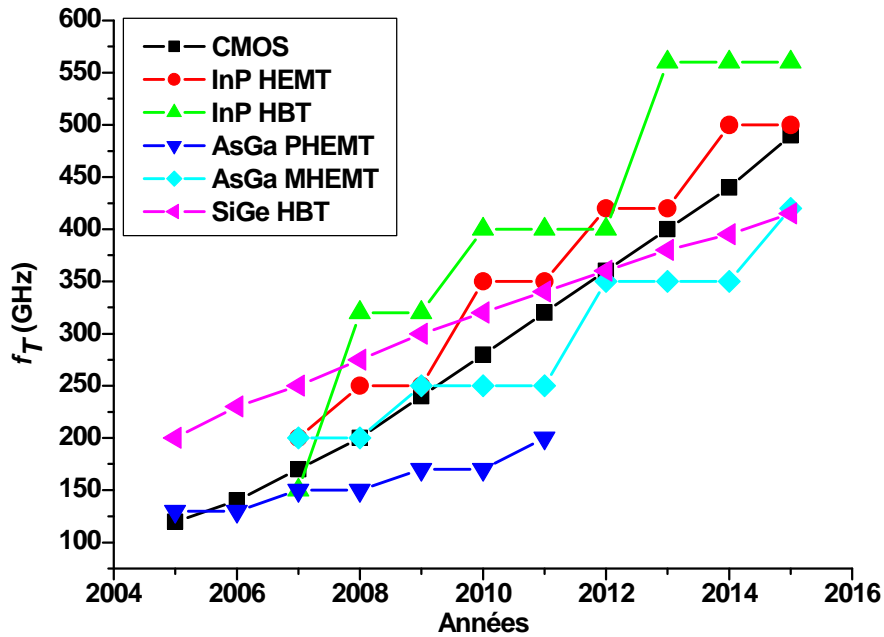


Figure 12 : Evolution des fréquences de transition en fonction des années de production comparant les technologies silicium aux III-V [ITRS-07].

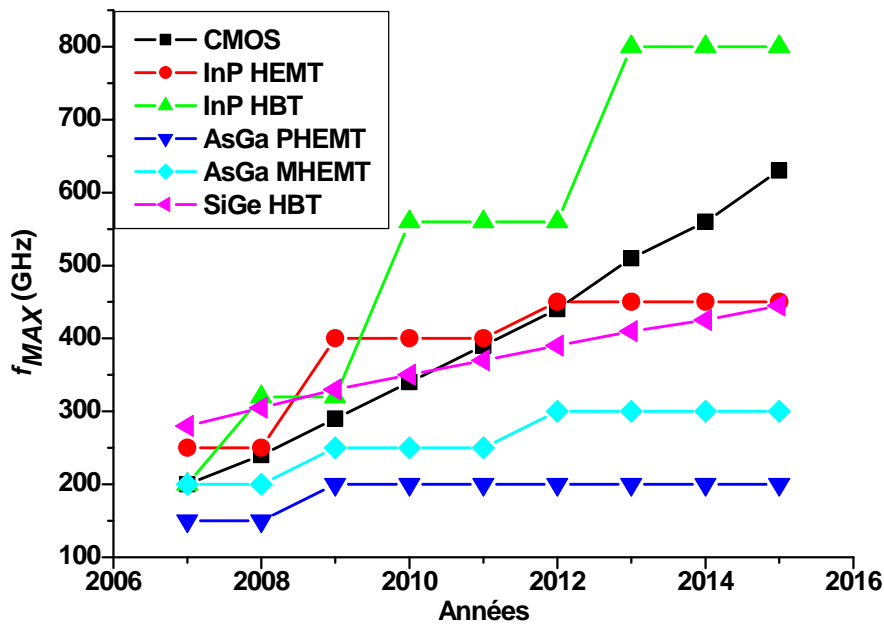


Figure 13 : Evolution des fréquences maximum d'oscillation en fonction des années de production comparant les technologies silicium aux III-V [ITRS-07].

Les performances des différentes technologies sont exprimées par leurs fréquences de coupure : f_T et f_{MAX} mais aussi par leur facteur de bruit minimum (NF_{min}). f_T et f_{MAX} sont définies comme étant les fréquences de coupure (le gain vaut 0 dB) respectivement du gain en

courant ($/H_{21}^2$) et du gain de Mason (U). Les figures 12 et 13 montrent la feuille de route prévue par l'ITRS en termes de fréquences de coupure en comparant les composants silicium (CMOS et SiGe HBT) et les composants III-V (InP HEMT, InP HBT, AsGa PHEMT et AsGa MHEMT).

2009	NF_{min} (dB)			
	@ 5 GHz	@ 25 GHz	@ 60 GHz	@ 94 GHz
CMOS	0.2	1.6	4	-
InP HEMT	-	0.4	0.8	1.3
AsGa PHEMT	-	0.8	-	2.5
AsGa MHEMT	-	0.4	0.7	1.2
SiGe HBT	-	-	2.2	-

Tableau 1 : Performances en bruit en 2009 pour différentes filières de composants [ITRS-07].

Le tableau 1 compare les performances de bruit minimum des filières silicium et III-V.

Ces résultats montrent que la technologie silicium reste compétitive par rapport aux filières III-V notamment au niveau des fréquences de coupure. L'état de l'art au début de nos travaux de recherche confirme les résultats presentis par la feuille de route de l'ITRS.

2) Etat de l'art au début de nos travaux de recherche

Cet état de l'art (figure 14) réalisé au début de nos travaux de recherche (2006) compare les différentes filières de matériaux à savoir : MOSFET, HBT SiGe, HBT III-V, AsGa HEMT et InP HEMT. Celui-ci permet de situer les composants sur silicium avec un couple f_T/f_{MAX} assez symétrique ($f_T \approx f_{MAX}$) contrairement aux transistors sur matériaux III-V ce qui place les transistors silicium dans la course des applications THz.

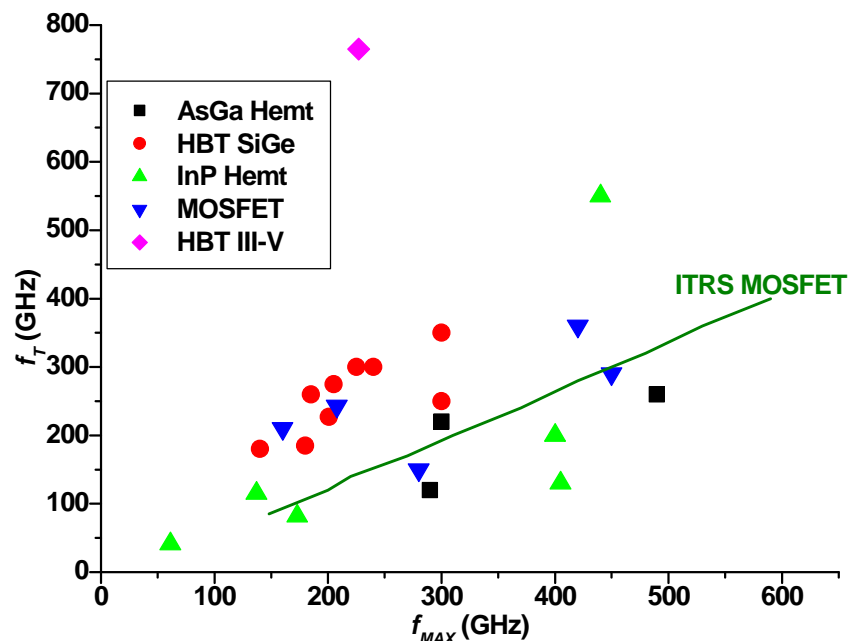


Figure 14: Etat de l'art au début de nos travaux de recherche comparant les filières silicium et III-V.

Cet état de l'art est aussi une vue globale de l'industrie des semi-conducteurs car les résultats proviennent des acteurs industriels mais aussi des laboratoires de recherche présentant des procédés technologiques industrialisables.

Dès le début des années 90, les transistors utilisant de l'InP et de l'AsGa atteignaient déjà des performances intéressantes [Chao-90] [Tan-90] avec des $f_T > 100$ GHz et des $f_{MAX} \geq 300$ GHz. En 2004, les HEMTs sur AsGa ont atteint un couple $f_T/f_{MAX} = 220/300$ GHz [Tessmann-04] alors que les HEMTs sur InP avoisinaient les 500 GHz [Elgaid-05]. Les meilleures performances en termes de f_T ont été obtenues avec un HBT sur InP s'envolant à 765 GHz en 2006 [Snodgrass-06]. Le début du 21^{ème} siècle a marqué l'arrivée en force des composants sur silicium avec un grand nombre d'industriels intéressés dans cette course à la performance. Freescale, Fujitsu, Hitachi, IBM, IHP, IMEC, Infineon, Intel, Jazz semiconductor, Mitsubishi, NXP, Philips et STMicroelectronics, pour ne citer qu'eux, s'engagèrent dans la montée en fréquence des MOSFETs et des HBTs SiGe. Toutes ces performances sont présentées dans les figures 15 (MOSFET) et 16 (HBT SiGe) et référencées dans les tableaux 2 et 3.

Références MOSFET	
Fujitsu	[Hirose-01]
IBM	[Burghartz-00] [Jagannathan-06] [Narasimha-01] [Lee-05] [Zamdmer-01] [Zamdmer-02] [Zamdmer-04]
Intel	[Barlage-01] [Post-06]
Mitsubishi	[Matsumoto-01]
Philips	[Jeamsaksiri-04] [Tiemeijer-01] [Tiemeijer-04]
STMicroelectronics	[Dambrine-05] [Vanmackelberg-02]
Toshiba	[Momose-01] [Momose-02]

Tableau 2 : Références bibliographiques du MOSFET utilisées à la figure 15.

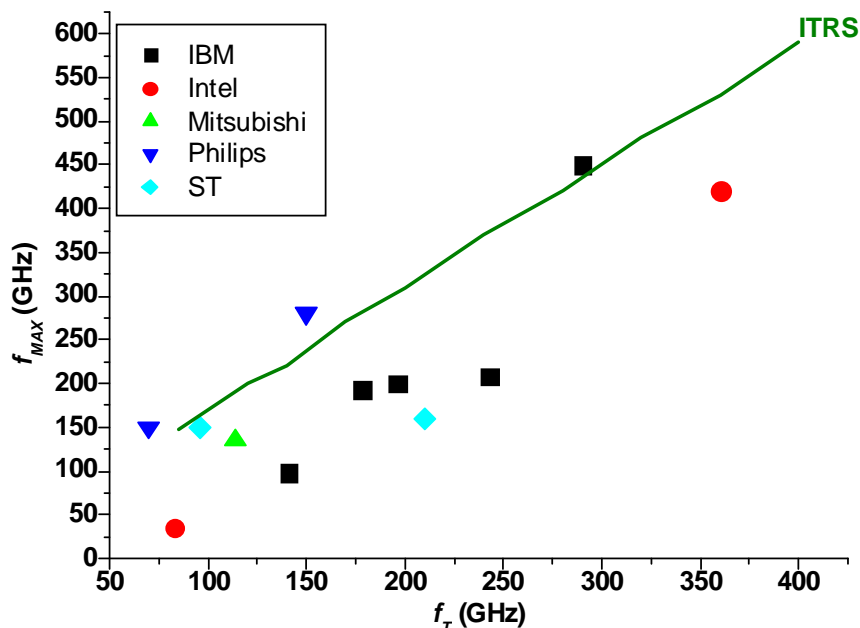


Figure 15 : Etat de l'art en 2006 des MOSFETs confronté à l'ITRS.

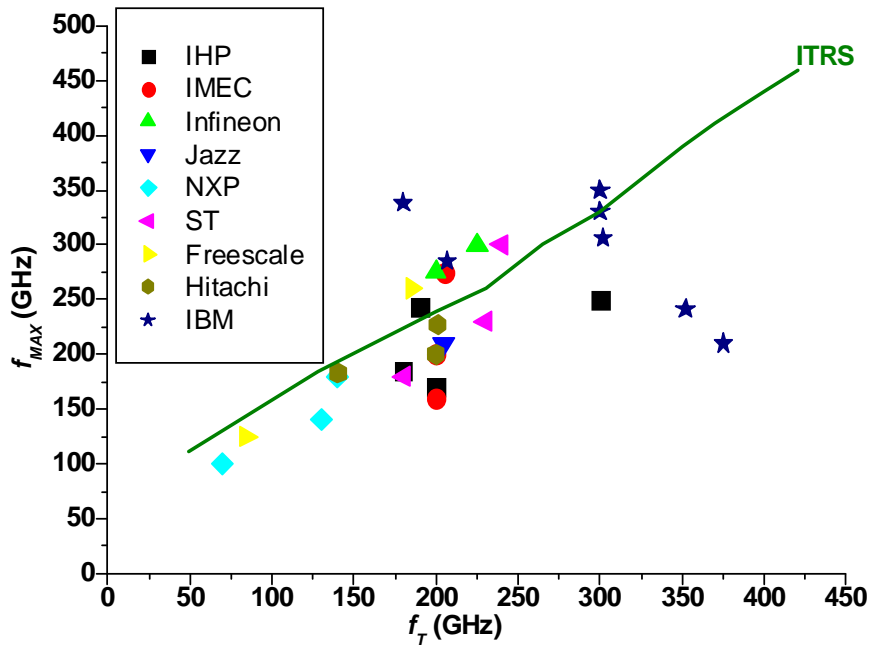


Figure 16 : Etat de l'art en 2006 des HBTs SiGe confronté à l'ITRS.

Références HBT SiGe	
Freescale	[John-02] [John-06]
Hitachi	[Hashimoto-03] [Miura-04] [Miura-06] [Wada-02]
IBM	[Rieh-03] [Rieh-04] [Jagannathan-02] [Jagannathan-03] [Khater-04] [Krithivasan-06] [Orner-06]
IHP	[Heinemann-02] [Heinemann-03] [Heinemann-04] [Osten-00] [Rücker-03]
IMEC	[Choi-06] [Piontek-06] [Van Huylenbroeck-04] [Van Huylenbroeck -06]
Infineon	[Bock-04-1] [Bock-04-2]
Jazz semiconductor	[Racanelli-03] [Racanelli-05]
NXP	[Deixler-02] [Deixler-04] [Deixler-05] [Donkers-03] [Donkers-04]
STMicroelectronics	[Chevalier-03] [Chevalier-04] [Chevalier-05]

Tableau 3 : Références bibliographiques du SiGe utilisées à la figure 16.

En 2006, le géant américain IBM s'imposait toujours en matière de performances f_T/f_{MAX} avec pléthore de résultats au-delà de 250/250 GHz pour le HBT SiGe et un MOSFET avoisinant les 300/450 GHz. Ses concurrents directs comme STMicroelectronics, IHP ou Intel se rapprochaient sérieusement mais qu'en est-il en 2009 ?

Ainsi, la diminution des longueurs de grille concernant le MOSFET et la réduction du doigt d'émetteur pour le HBT SiGe, ont permis cette évolution importante des fréquences de coupure. Par contre, le facteur de bruit minimum NF_{min} n'est pas forcément amélioré avec les lois d'échelle [Raynaud -07]. En effet, il est aussi nécessaire que les résistances d'accès diminuent pour promouvoir ce facteur. Les tableaux 4 et 5 synthétisent les performances récentes en matière de bruit pour les composants sur silicium.

Industriels	NF_{min} @ 10 GHz	Technologie	Référence
IBM	< 1.5 dB	CMOS SOI PD 130	[Zamdmer-01]
Fujitsu	0.8 dB	CMOS SOI PD DTMOS 130	[Hirose-01]
STMicroelectronics	1.3 dB	CMOS SOI LP PD 130	[Vanmackelberg-02]
IBM	1.4 dB	CMOS SOI HP 65	[Lee-05]
STMicroelectronics	0.5 dB	CMOS LP 65	[Gianesello-06]
IBM	1	CMOS SOI HP 65	[Lee-07]
IBM	1	CMOS 45	[Li-07]

Tableau 4 : Performances en bruit des transistors MOSFET à la température ambiante.

Industriels	NF_{min} @ 10 GHz	NF_{min} @ 20 GHz	NF_{min} @ 40 GHz	Technologie	Référence
IBM	0.2 dB	0.9 dB	-	0.13 μm SiGe	[Rieh-06]
IBM	0.5 dB	1.8 dB	-	0.18 μm SiGe	[Rieh-06]
STMicroelectronics	0.6 dB	0.75 dB	1.2 dB	0.13 μm SiGe	[Chevalier-06]
Samsung	1.2 dB	1.8 dB	-	0.12 μm SiGe	[Banerjee-07]
IBM	0.4 dB	1.3 dB	-	0.12 μm SiGe	[Greenberg-02]
IBM	1.02 dB	2 dB	4.3 dB	0.12 μm SiGe	[Bardin-08]
STMicroelectronics	0.8 dB	1.1 dB	1.9 dB	0.13 μm SiGe	[Waldhoff-09-2]

Tableau 5 : Performances en bruit des transistors HBT SiGe à la température ambiante.

3) Coût et intégration

Si la technologie sur silicium a les performances adéquates pour implémenter les parties front-end¹² de l'émetteur/récepteur, la capacité d'intégrer une logique numérique en CMOS avec des densités croissantes alors elle offre l'opportunité de baisser résolument les coûts. Le faible coût pourrait être le principal motivateur pour l'utilisation de la technologie CMOS ou BiCMOS comparée à celle des III-V.

Le coût de production d'un circuit intégré est étroitement lié à l'aire du silicium nécessaire à sa réalisation. En effet, plus le circuit est de taille importante, plus le rendement de fabrication est faible. Le rendement de fabrication représente le rapport entre le nombre de circuits fonctionnels produits et le nombre total de circuits produits. La probabilité d'avoir un défaut dans un circuit augmentant avec sa taille, le concepteur a tout intérêt à minimiser la surface de silicium nécessaire à la réalisation de l'application qui l'intéresse. Évidemment cette surface dépend du nombre de transistors utilisés pour réaliser l'application et de la surface de chacun de ces transistors. En électronique numérique intégrée, les transistors utilisés étant de taille relativement standard (sauf fonctions exceptionnelles), on peut considérer que le nombre de transistors est un bon représentant de la surface du circuit intégré. On caractérise d'ailleurs les technologies CMOS numériques par le nombre de transistors qu'elles sont capables d'intégrer.

Néanmoins, une conception CMOS présente parfois de véritables défis. C'est notamment le cas lors de l'implantation de certaines fonctions complexes, par exemple celles qui exigent des valeurs de performances RF très strictes et un haut niveau d'intégration

¹² Front-end : dans une technologie sur silicium multicouche, le front-end désigne la partie active du transistor et plus précisément les niveaux de métal M1 et M2.

numérique. Prenons le cas, par exemple, des téléphones mobiles. Leur circuit radiofréquence est composé de plusieurs blocs : une partie intégrée sur silicium à base essentiellement de transistors bipolaires ou MOS, et une partie constituée d'éléments discrets montés en surface (CMS). Il est bien sûr envisagé de concevoir ces circuits sur une même puce afin de réduire la consommation, la taille, le poids mais aussi le coût du dispositif. Pourtant, si de nombreux éléments montés en surface subsistent encore, c'est que leur intégration sur silicium pose toujours problèmes en termes de performances. L'intégration la plus critique concerne les éléments passifs.

En effet, à l'inverse des substrats utilisant des matériaux III-V comme l'AsGa, le substrat semi-conducteur silicium, à cause de sa conductivité élevée, possède des pertes importantes et n'est donc pas capable de présenter des éléments passifs à faibles pertes. L'exemple classique consiste à comparer une inductance de même valeur montée en surface (CMS) présentant un facteur de qualité 10 fois supérieur à cette même inductance intégrée sur silicium. La technologie CMOS ne permet pas toujours d'obtenir le facteur de qualité Q souhaité, ou la meilleure isolation contre le couplage par le substrat et les parasites HF. Au cours des dernières années, des émetteurs/récepteurs CMOS ont toutefois réussi à surmonter ces difficultés [Costa-07]. Dès leur introduction sur le marché, ils ont connu un succès significatif, récoltant ainsi les bénéfices cumulés de l'intégration et du faible coût. Comme la même technologie est retenue pour les fonctions bande de base, cette innovation représente une étape majeure dans la voie d'une intégration de toutes les fonctions (RF, bande de base et gestion de puissance) d'un radiotéléphone sur une seule puce par exemple.

Les travaux d'amélioration de la technologie ont porté sur la diminution des capacités, parce qu'elles affectent les temps de propagation et la consommation. Le moyen le plus simple de réduire les capacités est la réduction des géométries des transistors qui permet de gagner en même temps sur la surface des circuits intégrés. Les moyens technologiques et financiers mis en jeu par les fonderies de silicium sont essentiellement tournés vers cette réduction des dimensions des transistors.

II) Ingénierie des technologies CMOS et BiCMOS

1) Diélectrique low-k¹³ et interconnexions

Un microprocesseur est composé essentiellement de transistors reliés entre eux par des interconnexions en cuivre. Pour éviter des fuites de courant, on isole les interconnexions avec un isolant, le SiO₂ principalement. Or ce faisant, on a d'une part du courant qui traverse les conducteurs et d'autre part, entre les isolants, donc il se produit les mêmes effets que pour les condensateurs. Cette « capacité » va accumuler des charges électriques.

Les interconnexions en cuivre permettent de réduire les délais des signaux par une diminution de la résistivité et améliorent la robustesse à l'électro-migration. L'ajout d'un diélectrique low-k fournit une réduction additionnelle des délais par la réduction des capacités entre les conducteurs. La figure 17 illustre cette réduction des délais sur une technologie 45 nm avec l'utilisation de nouveau diélectrique tel que le « porous low-k ».

¹³ Low-k : un diélectrique low-k est un matériau avec une faible constante diélectrique, relatif à l'oxyde de silicium.

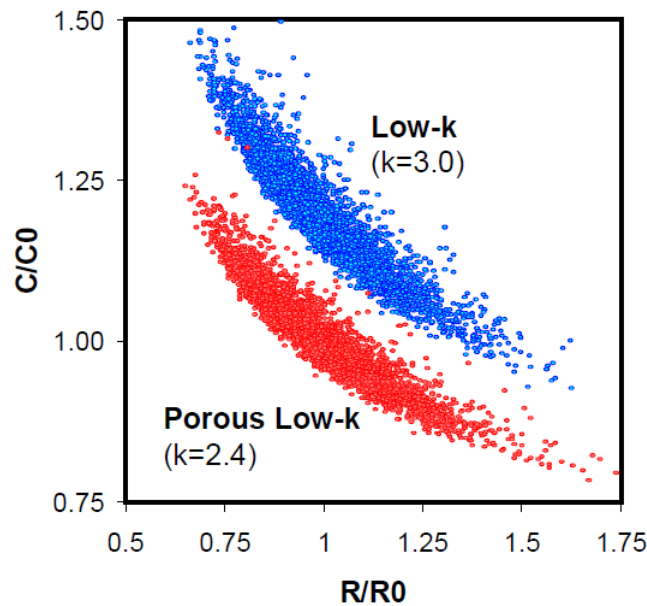


Figure 17 : Capacité en fonction de la résistance démontrant la réduction des parasites RC pour une technologie 45 nm avec l'utilisation d'un nouveau diélectrique (Porous Low-k) [Narasimha-06].

Afin d'assurer l'uniformité des dimensions des interconnexions tant horizontalement, limitée par la lithographie, que verticalement, limitée par la gravure et le polissage chimique-mécanique (CMP), des restrictions sur les densités d'interconnexions sont établies. Ces restrictions ont un impact direct sur le back-end¹⁴ of line dans la conception de circuit millimétrique.

2) Grille métallique et diélectrique high-k

Les transistors suivent la loi de Moore depuis plus de quarante ans. Mais avec la réduction des échelles des transistors, les courants de fuite augmentent. La gestion de cette fuite est cruciale pour la fiabilité d'opérations ultra-rapides et est devenue un facteur important dans la conception de puces.

Pour comprendre l'intérêt d'un matériau high-k, revenons sur les objectifs principaux de la conception du transistor (illustré figure 18) : les faire plus petits, plus rapides, moins chers et diminuer leur consommation. Cependant, les transistors plus petits et moins chers ont un oxyde de grille, traditionnellement en SiO₂, qui ne fait que quelques couches atomiques d'épaisseur (figure 18). L'épaisseur de l'oxyde de grille doit diminuer dans le même rapport que la diminution de la longueur de grille. Si le SiO₂ est utilisé comme diélectrique de grille, son épaisseur est de l'ordre du nanomètre pour les dernières technologies CMOS. Ces petites épaisseurs de SiO₂ entraînent des fuites, par analogie à un robinet qui coule alors qu'il est éteint. De nouveaux matériaux appelés high-k sont donc nécessaires pour éliminer ce problème [Chau-05] [Wilk-01].

"High-k" est le synonyme de haute constante diélectrique, mesure de la quantité de charge qu'un matériau peut contenir. L'air est le point de référence pour cette constante et dispose d'un k égal à 1. Les matériaux high-k tels que le dioxyde d'hafnium (HfO₂), le

¹⁴ Back-end : Par opposition à front-end, dans une technologie sur silicium multicouche, le back-end désigne la partie supérieure du dispositif correspondant aux dernières couches de métaux.

dioxyde de zirconium (ZrO_2) et le dioxyde de titane (TiO_2), par nature, ont une constante diélectrique k supérieure à 3.9 (permittivité relative du SiO_2).

Un autre moyen de garder un bon couplage capacitif entre la grille et le canal est d'augmenter la permittivité diélectrique ϵ_{OX} de l'isolant de grille. En effet, si S représente la surface du dispositif et T_{OX} l'épaisseur de l'oxyde, la capacité MOS s'écrit $C_{OX} = \epsilon_{OX} \cdot S / T_{OX}$. On peut alors augmenter l'épaisseur et par conséquent réduire le courant de grille tout en gardant un C_{OX} élevé. On introduit alors la notion d'épaisseur équivalente d'oxyde (EOT¹⁵) pour comparer, à C_{OX} égal, les performances des high-k par rapport au SiO_2 .

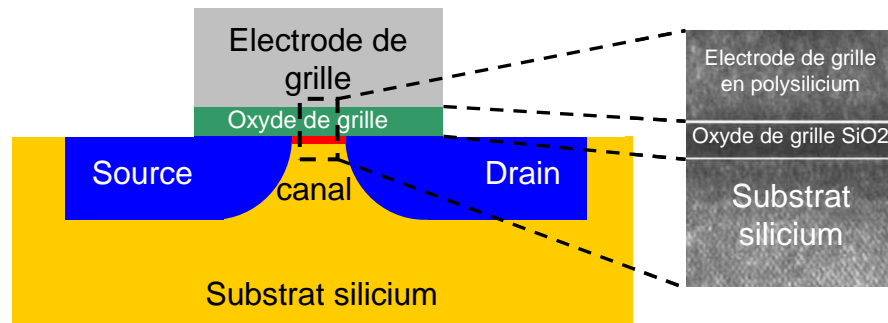


Figure 18 : Vue en coupe d'un transistor avec une photo d'un transistor de 45 nm de longueur de grille.

La constante diélectrique est également directement liée aux performances du transistor. La hausse de la constante k (constante diélectrique) permet d'éliminer le courant DC tunnel direct de grille mais aussi de continuer la réduction d'échelle (« scaling ») par la diminution de l'EOT.

L'ensemble du secteur des semi-conducteurs est aux prises avec la dissipation de chaleur des puces, ce qui augmente exponentiellement à mesure que le nombre de transistors augmente. Le contrôle des courants de fuite à travers les nouveaux matériaux high-k est l'une des nombreuses étapes pour réduire la consommation totale et donc l'élévation de la température.

Mais le simple fait de remplacer un matériau par un autre n'est pas la solution idéale. Le SiO_2 , oxyde naturel du silicium, est d'une grande qualité avec des niveaux d'impuretés très faibles. De plus, son interface avec le silicium du canal est idéale contrairement à l'utilisation d'un matériau high-k qui entraîne des problèmes d'interactions avec le polysilicium de l'électrode de grille. Ces effets limitent la vitesse de commutation du transistor. La solution réside dans l'utilisation de grille métallique [Auth-08]. De plus, l'utilisation d'une grille métallique permet de neutraliser l'effet de déplétion de la grille tout en réduisant la résistance de grille. Cette amélioration est extrêmement importante en ce qui concerne les figures de mérite hyperfréquences et de bruit.

3) Nouveaux composants

Le développement des transistors MOS a toujours suivi les lois d'échelle (Moore) grâce à l'utilisation de canaux courts ou encore des jonctions peu profondes pour mettre en œuvre la technologie. Alors que les limites d'optimisation de ces paramètres sont arrivées à leurs termes, des nouveaux matériaux ont permis d'augmenter les performances du transistor comme l'utilisation de matériaux high-k et de grilles métalliques (section précédente), de

¹⁵ EOT : terme anglo-saxon signifiant Effective Oxide Thickness.

silicium contraint ou encore de substrat SOI (silicium sur isolant) qui permet de diminuer la capacité parasite de jonction source/drain par rapport au substrat.

Des architectures non conventionnelles sont aussi envisagées comme le double-grille ou le FinFET illustrées figure 19 [Chang-03]. Ces dispositifs présentent de bons comportements grâce à l'enveloppe autour de la grille qui permet d'avoir un meilleur contrôle électrostatique du canal mais cela pose de nombreux problèmes technologiques. Par exemple, une haute qualité d'oxyde de grille doit être formée sur les parois gravées, le fil de silicium doit généralement être non dopé pour maintenir une tension de seuil convenable et les hauteur/largeur de l'enveloppe doivent être réduites de manière appropriée [Anil-03].

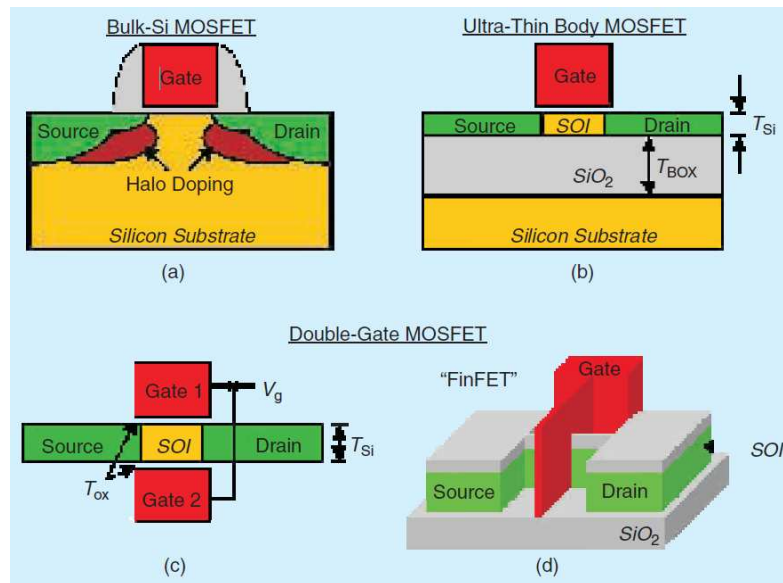


Figure 19 : Différentes structures de MOSFET avancés [Chang-03].

Après la réduction d'échelle des dimensions longitudinales et verticales des MOSFETs et les changements aussi bien de matériaux que de structures, une nouvelle génération de transistors doit être développée pour améliorer une nouvelle fois les performances. De nouveaux dispositifs apparaissent comme les dispositifs avec des dimensions confinées, les dispositifs basés sur le comportement des molécules, les dispositifs utilisant des matériaux fortement corrélés ou encore le spin-MOSFET [Zhirnov-05].

Les dispositifs à dimensions confinées incluent les mémoires basées sur des nanocristaux [Hanafi-96], les diodes tunnel résonnantes [Reed-89], les transistors à nanotubes de carbone [LeLouarn-07], les transistors à nanofils [Chung-00] et les transistors à un électron [Chen.R-96].

La base des dispositifs électroniques moléculaires est liée au comportement des propriétés électroniques de molécule unique [Reed-99]. Le potentiel de l'électronique moléculaire provient de ses dimensions nanométriques, la possibilité de synthétiser des propriétés électroniques très spécifiques et la promesse de fabrication à travers l'auto-assemblage. Bien que de nombreux dispositifs moléculaires aient été démontrés, il reste encore beaucoup de controverses au sujet de la reproductibilité des mesures et la compréhension des transports de charges [Richter-05] [Wang-05].

Les dispositifs basés sur des matériaux fortement corrélés incluent les mémoires ferroélectriques et les dispositifs à logique ferromagnétique [Kohlstedt-05] [Ishiwara-09]. Les matériaux ferroélectriques comme le titanate de baryum strontium (Ba,Sr)TiO₃ présentent une fonction mémoire par le biais de changements spontanés lors de l'application d'un champ

électrique. Les dispositifs ferromagnétiques formés de matériaux comme le fer (Fe), le nickel (Ni) et le cobalt (Co) prennent des états selon l'orientation ferromagnétique locale.

Les dispositifs basés sur le spin électronique comme le spin-MOSFET [Sugahara-05] s'appuient sur une propriété quantique intrinsèque associée à chaque particule qui est caractéristique de la nature de la particule. Toutefois, ces dispositifs sont encore dans leurs balbutiements.

Trouver une technologie avec une amélioration substantielle des performances en remplaçant simplement les architectures conventionnelles des MOSFETs semble peu probable. Au lieu de cela, les nouvelles technologies MOS présentées précédemment, sont plus susceptibles d'être utilisées comme une modification de la plate-forme MOS ou présentant des architectures novatrices visant des applications complétant le MOS comme par exemple l'ordinateur quantique [Kane-98].

III) Principe de fonctionnement des technologies CMOS et BiCMOS

Cette partie donne un aperçu de plusieurs technologies sur silicium compatible avec des applications hautes fréquences. Tout d'abord, nous nous intéresserons aux transistors bipolaires SiGe puis aux transistors MOSFET sur substrat massif (« bulk ») et enfin sur SOI.

1) Le transistor bipolaire

Cette section s'intéresse particulièrement aux transistors HBT SiGe développés à STMicroelectronics en revenant succinctement sur son fonctionnement général et en présentant les notions de base nécessaires à la compréhension des caractéristiques statiques et hyperfréquences présentées dans le chapitre suivant.

a) Principe de fonctionnement

La figure 20 a) montre les niveaux d'énergie dans un transistor NPN quand aucune tension n'est appliquée. Le dispositif ressemble à deux diodes PN montées tête-bêche. Dans chacune des couches de type N, la conduction peut avoir lieu par la libre circulation des électrons dans la bande de conduction. Dans la couche de type P, la conduction peut avoir lieu par le libre mouvement des trous dans la bande de Valence. Toutefois, en l'absence de tout champ électrique appliqué extérieurement, nous constatons qu'aucune charge ne peut se déplacer d'une zone à l'autre.

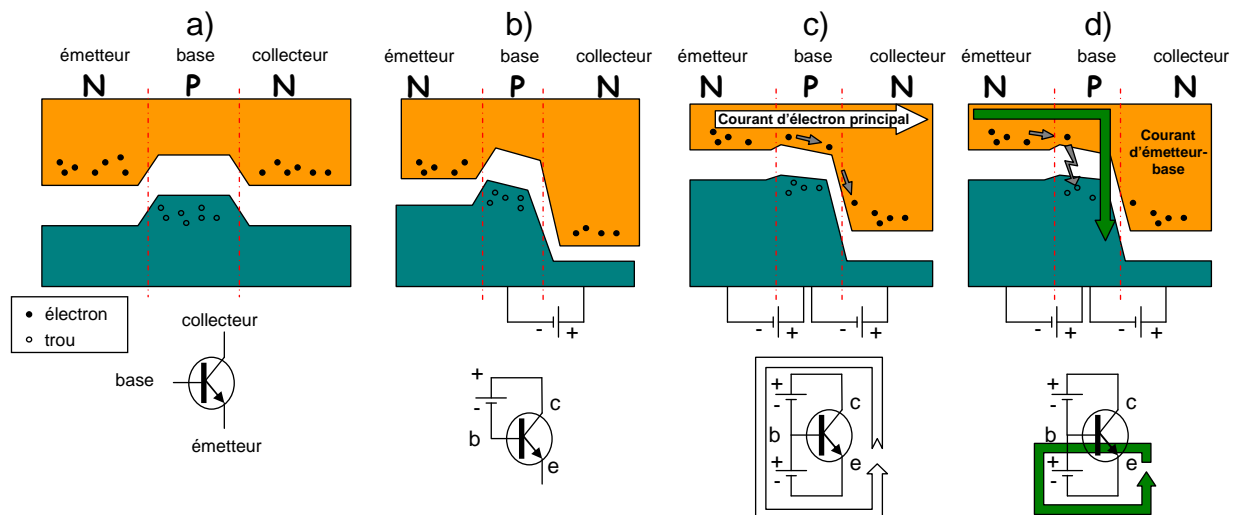


Figure 20 : Comportement du transistor bipolaire. a) transistor NPN au repos ; b) on applique une tension entre la base et le collecteur ; c) on applique une tension entre l'émetteur et la base ; d) quelques électrons se font piéger et se recombinent avec des trous.

Considérons maintenant ce qui arrive quand on applique une tension entre le collecteur et la base du transistor (figure 20 b)). La polarité de la tension appliquée est choisie pour augmenter la force de traction des électrons de type N et des trous de type P à part (c'est-à-dire que le collecteur est rendu positif par rapport à la base). Cela élargit la zone de déplétion entre le collecteur et la base et ainsi le courant ne peut pas circuler car la diode base/collecteur est polarisée en inverse.

Examinons maintenant ce qui arrive quand on applique une légère tension entre l'émetteur et la base pour ainsi polariser la jonction émetteur-base en direct (figure 20 c)). Cela entraîne des électrons de l'émetteur vers la base. Une fois que les électrons ont réussi à entrer dans la base, ils peuvent répondre à la force d'attraction du collecteur polarisé positivement. En conséquence, les électrons qui vont dans la base, progressent rapidement vers le collecteur et le traversent. Ainsi, le courant émetteur/collecteur a une amplitude dépendante de la tension émetteur/base appliquée.

La plupart des électrons qui entre dans la base vont directement dans le collecteur. Cela signifie que quelques électrons se sont « perdus » dans la base. En effet, ces électrons ont rencontré des trous (figure 20 d)). En conséquence, la base perd une partie de ses charges positives (trous) à chaque fois que cela arrive. Si rien n'est fait, le potentiel de base diminuera de plus en plus jusqu'à ce qu'il soit suffisamment négatif pour repousser n'importe quel électron s'aventurant dans la jonction émetteur-base. Le flux de courant prendrait alors fin. Pour empêcher cela, l'application d'une tension émetteur/base permet d'éliminer les électrons capturés dans la base et de maintenir le nombre de trous qu'elle contient. On observe ainsi typiquement un courant de base i_B typiquement une centaine de fois plus petit que le courant d'émetteur i_E . Les mesures statiques des transistors bipolaires illustrent parfaitement ce fonctionnement (chapitre 2, section C, I).

b) Fonctionnement en régime statique

b-1) bilan des courants

Pour comprendre le fonctionnement en régime statique du transistor bipolaire, il est nécessaire de faire un bilan des courants circulant entre l'émetteur et la base. Comme présenté

figure 20, il existe deux types de porteurs : les électrons et les trous qui feront intervenir deux types de courant. Plusieurs thèses et livres décrivent déjà l'origine de ces courants. Voyons plutôt les courants qui en résultent.

Le courant d'émetteur est principalement composé du courant de diffusion des électrons de l'émetteur vers la base.

Le courant de base est composé du courant de diffusion de trous de la base vers l'émetteur ainsi que des courants de recombinaisons de la zone de charge d'espace (ZCE) émetteur-base et de la base neutre.

Le courant collecteur est uniquement constitué du courant d'électrons diffusé de la base vers le collecteur. Ainsi nous pouvons écrire l'expression :

$$I_E = I_C + I_B \quad (E-1)$$

b-2) gain en courant

Un transistor bipolaire étant un amplificateur de courant, on définit donc cette amplification par le gain en courant du transistor qui est tout simplement égal au rapport du courant de sortie sur le courant d'entrée. On distingue deux types de gains en courant selon le montage du transistor.

Le montage en base commune définit un gain en courant noté α :

$$\alpha = \frac{I_E}{I_C} \approx 1 \quad (E-2)$$

Ce type de montage est utilisé pour des amplificateurs qui exigent une impédance d'entrée très basse ainsi qu'une bonne isolation entrée/sortie en plus haute fréquence.

Le montage émetteur commun est le plus courant. Cette configuration permet d'obtenir un gain en courant élevé. Il est défini par :

$$\beta = \frac{I_C}{I_B} \quad (E-3)$$

Le gain en courant β peut aussi être exprimé en fonction de ses paramètres technologiques :

$$\beta = \delta(T) \exp \frac{\Delta E_G}{kT} \quad (E-4)$$

Ou $\delta(T)$ est lié aux constantes de diffusion des électrons et des trous mais aussi au rapport des dopages entre l'émetteur et la base et leurs épaisseurs respectives. Cette variable est toutefois légèrement dépendante de la température. Cependant, β est influencé par la température ; quand celle-ci diminue, on constate une augmentation du gain en courant. Ce paramètre est illustré dans le chapitre 2, C, II, 2, b.

b-3) quelques phénomènes du second ordre

Toutes les équations précédentes ne sont réalistes que dans une zone restreinte des caractéristiques du composant qui se situe dans la zone linéaire des courbes de Gummel appelée zone linéaire (figure 21).

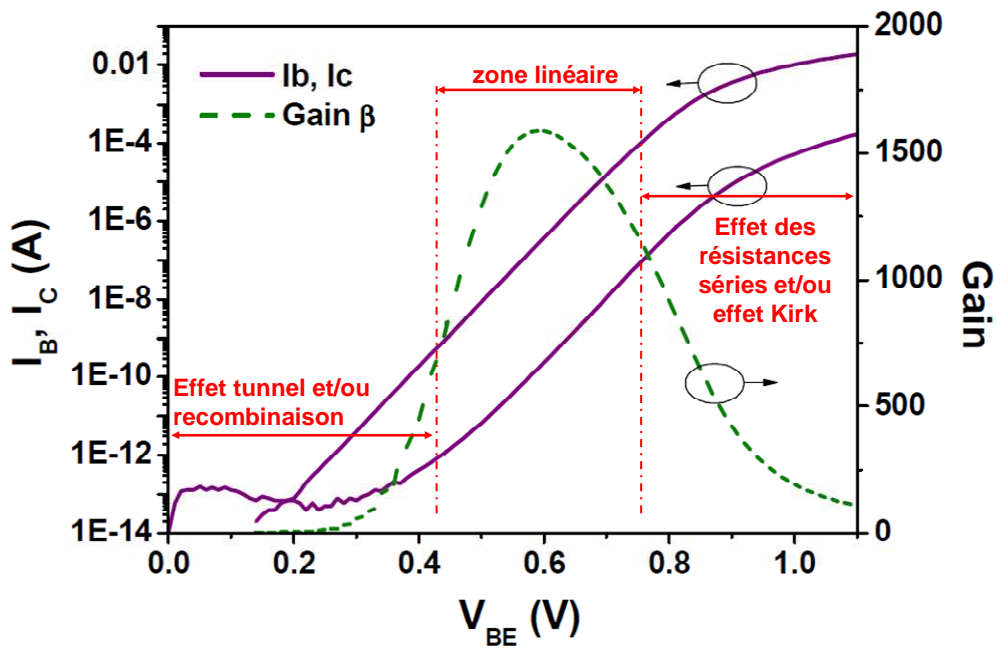


Figure 21 : Exemple de courbe de Gummel d'un transistor bipolaire.

Nous observons ainsi sur la figure 21 trois zones distinctes. Différents effets apparaissent à faible V_{BE} comme le phénomène de recombinaison en zone de charge d'espace ou le courant tunnel bande à bande dans la jonction émetteur-base. A fort V_{BE} , on observe des effets de saturation dus aux résistances séries ou encore à l'effet Kirk [Kirk-62]. Les résultats présentés dans le chapitre suivant sont étudiés lorsque le mode de fonctionnement du transistor se situe en zone linéaire.

c) Fonctionnement en régime dynamique

Le transistor bipolaire présente des performances hyperfréquences très élevées ce qui en fait un des candidats idéal pour des applications RF et HF. Cette petite section présente rapidement les facteurs de mérite du transistor à savoir les fréquences de coupures f_T et f_{MAX} .

c-1) fréquence de transition f_T

La fréquence de coupure f_T est la fréquence de transition déduite du gain en courant à sortie court-circuitée h_{21} .

$$|h_{21}| = \left| \frac{i_C}{i_B} \right| \quad (\text{E-5})$$

Elle est définie lorsque $|h_{21}|=1$.

L'expression de la fréquence de transition f_T tient compte de tous les éléments induisant un retard dans le transport des électrons entre l'émetteur et le collecteur. Ainsi interviennent les capacités de jonction C_{BE} et C_{BC} , les résistances d'émetteur et de collecteur mais aussi la capacité de diffusion C_{Diff} modélisant le retard dû au renouvellement de la charge Q_F .

Le schéma équivalent petit signal ainsi que les calculs permettant d'obtenir f_T sont donnés en annexe A et B.

$$f_T = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) + (R_E + R_C)C_{BC} \right)} \quad (\text{E-6})$$

f_T augmente lorsque le courant collecteur augmente pour ensuite plafonner à un pic égal à $1/2\pi(\tau_F + (R_E + R_C)C_{BC})$. En pratique, les effets de forte injection et notamment l'effet Kirk limitent la fréquence de transition. Lors de la caractérisation du composant dans le chapitre 2, l'expression (E-6) sera utilisée pour extraire les différentes contributions au temps de transit.

c-2) fréquence maximale d'oscillation f_{MAX}

L'autre facteur de mérite intéressant pour caractériser au mieux le composant est la fréquence maximale d'oscillation définie par la fréquence de transition du gain maximum en puissance disponible ou du gain unilatéral de Mason noté U . Une expression théorique et approximative a été obtenue s'appuyant sur les travaux de [Roulston-89].

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (\text{E-7})$$

Cette expression montre l'influence particulière de la résistance de base qui a tout intérêt à être la plus faible possible. Si la base est fine, on obtient un faible temps de transit et une fréquence de transition f_T élevée mais cela induit une forte résistance de base qui dégrade le f_{MAX} . Le compromis existe en augmentant le dopage de la base. Le deuxième paramètre influant f_{MAX} est la capacité C_{BC} qui est liée à la technologie du transistor à travers le dopage du collecteur et sa morphologie.

2) Le transistor à effet de champ

L'autre composant intéressant pour les applications millimétriques est le transistor à effet de champ. Nous allons nous intéresser plus particulièrement au MOSFET de STMicroelectronics avec une longueur de grille de 65 nm. De même qu'il existe deux types de transistors bipolaires (NPN et PNP), le MOSFET est décliné en deux versions : le canal N et le canal P.

a) Principe de fonctionnement

Dans un substrat silicium dopé P (qui peut être le dopage naturel), deux zones N fortement dopées sont insérées communément appelées source et drain. La grille est insérée entre ces deux zones mais isolée par une fine couche d'oxyde de silicium (SiO_2). La grille se trouve ainsi isolée du substrat donc le courant de grille sera nul en continu. Voir les détails figure 22.

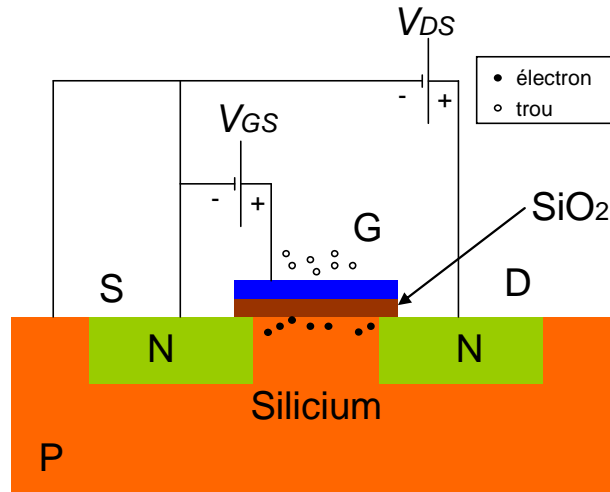


Figure 22 : Schéma de principe d'un MOSFET canal N.

Si la tension grille-source V_{GS} est nulle, le courant de drain ne passera pas car deux jonctions en série sont présentes, l'une PN, l'autre NP où toujours une est en inverse.

Lorsque l'on applique une tension V_{GS} positive, l'électrode de grille, l'isolant SiO_2 et le substrat forment un condensateur. Les électrons se concentrent alors vers la grille. La figure 22 illustre ce schéma de principe. Lorsque V_{GS} atteint la tension de seuil V_{th} , la concentration en électrons dans le substrat est supérieure à la concentration en trou à l'équilibre au voisinage de l'interface oxyde/Si dans le silicium. La couche d'inversion à l'interface forme le canal et un courant peut ainsi circuler entre le drain et la source.

Si V_{DS} devient supérieure à $(V_{GS} - V_{th})$, on obtient un phénomène dit de pincement de canal. On a alors une valeur pratiquement constante du courant I_D .

En d'autres termes, le MOSFET utilise un champ électrique perpendiculaire à la grille pour moduler la couche d'inversion et le champ électrique longitudinal (issu de la tension drain-source) permet la circulation du courant entre la source et le drain.

b) Fonctionnement en régime statique

Différents régimes de fonctionnement sont identifiables lorsque le composant est polarisé avec une tension V_{GS} . Ces régimes de fonctionnement se définissent par rapport à la tension de seuil V_{th} et la tension de bande plate V_{FB} . On distingue alors 3 régimes : accumulation ($V_{GS} < V_{FB}$), désertion ($V_{FB} < V_{GS} < V_{th}$), inversion ($V_{GS} > V_{th}$). Des détails plus précis sur ces modes de fonctionnement sont donnés dans la thèse de [Valentin -08].

Les caractéristiques statiques de ce composant sont données dans le deuxième chapitre et plus particulièrement les caractéristiques de commande ($I_{DS}=f(V_{GS})$) et de sortie ($I_{DS}=f(V_{DS})$) à plusieurs V_{GS} .

c) Fonctionnement en régime dynamique

De la même manière que pour le transistor bipolaire, on présente ici les facteurs de mérite du MOSFET.

c-1) fréquence de transition f_T

En s'appuyant sur le schéma équivalent petit signal d'un transistor MOSFET (Annexe A), on peut déterminer la fréquence de transition f_T et on obtient [Dambrine-03] :

$$f_T = \frac{g_m}{2\pi C_{gin} \sqrt{1 + \frac{2C_{MILLER}}{C_{gin}}}} = \frac{f_c}{\sqrt{1 + \frac{2C_{MILLER}}{C_{gin}}}} \quad (\text{E-8})$$

avec $C_{gin}=C_{gsi}+C_{gse}$ et $C_{MILLER}=C_{gdi}+C_{gde}$.

Comme on peut le constater, f_T augmente pour des longueurs de grille réduites grâce à une transconductance g_m plus élevée. Concernant les éléments capacitifs, f_T est dégradée par une forte capacité C_{gd} et des capacités parasites C_{gse} et C_{gde} .

c-2) fréquence maximale d'oscillation f_{MAX}

On définit aussi la fréquence maximale d'oscillation s'appuyant aussi sur les travaux de [Dambrine-03] :

$$f_{MAX} = \frac{g_m}{2\pi C_{gin}} \frac{1}{2\sqrt{(R_g + R_d + R_i) \left(g_d + g_m \frac{C_{MILLER}}{C_{gin}} \right)}} = \frac{f_c}{2\sqrt{(R_g + R_d + R_i) \left(g_d + g_m \frac{C_{MILLER}}{C_{gin}} \right)}} \quad (E-9)$$

La fréquence maximum d'oscillation des transistors CMOS, qui influence les performances des circuits millimétriques (mélangeurs, oscillateurs, amplificateur faible bruit et amplificateurs de puissance), est très sensible aux parasites et aussi au choix de la largeur des doigts du transistor [Demeus-98].

C) Mesures on-wafer en gamme millimétrique : les challenges

I) L'analyseur de réseau : 60 ans d'histoire

A l'époque où l'analyseur de réseau n'existait pas encore, les ingénieurs d'autrefois utilisaient des lignes à fentes (« slotted line ») pour mesurer le taux d'ondes stationnaires (TOS ou « VSWR¹⁶ »). C'est une ligne coaxiale fendue (figure 23) où une sonde peut être déplacée longitudinalement pour mesurer le champ électrique. La sonde est reliée à un détecteur quadratique qui convertit l'énergie radiofréquence en tension DC et ainsi on peut mesurer des pics et des vallées en utilisant un voltmètre. Ces lignes permettent aussi de déterminer une fréquence inconnue en mesurant l'écart entre 2 pics en considérant la distance d'une demi-longueur d'onde.

¹⁶ VSWR : terme anglo-saxon signifiant Voltage Standing Wave Ratio.



Figure 23 : C17452 General Radio 900-LB.

En 1933, la compagnie pionnière qui commercialisa la première ligne fendue (figure 24) était Rohde and Schwarz. Les docteurs Rohde et Schwarz ont ensuite produit une ligne fendue couvrant la bande 80 MHz – 300 MHz avec une longueur de 2 mètres.

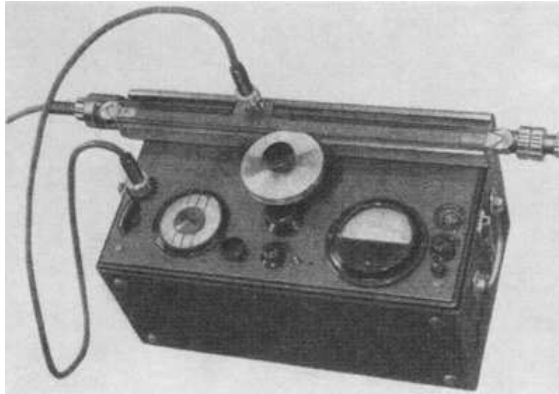


Figure 24 : Une des premières lignes fendues commercialisée par Rohde and Schwarz (1933).

Dans les années 50, Rantec Corporation introduit un récepteur d'amplitude et de phase couvrant les fréquences micro-onde. Wiltron commercialisa un mesureur de phase et de gain.

Au même moment, les paramètres S se sont révélés être un excellent outil pour la synthèse de circuit micro-onde.

En 1950, le premier instrument permettant d'indiquer la mesure des paramètres S était né : le Rohde and Schwarz Z-g-Diagraph (figure 25). Il était capable de mesurer directement le module et la phase d'un signal.



Figure 25 : Zg Diagraph couvrant la bande 30 MHz – 300 MHz

Un des premiers analyseurs de réseau vectoriel mesurant complètement des paramètres S a été développé par Elliot Brothers Ltd. Le mesureur d'impédance à balayage automatique de fréquence (ASFIM) [Rytting-08] mesure soit le coefficient de réflexion ou de transmission d'un composant et donne les valeurs des coefficients S_{11} , S_{12} , S_{21} , S_{22} .

En 1965, l'analyseur de réseau Wiltron 310 est un analyseur de réseau vectoriel complet à balayage de fréquences. On peut ajuster le composant sous test et visionner immédiatement les résultats sur un abaque de Smith dynamique. A la fin des années 60, HP présente plusieurs appareils de mesure : le HP 8405 voltmètre vectoriel mesurant la phase et le gain jusque 1 GHz. Le HP 8410, extension du précédent, couvre une bande allant jusque 12.4 GHz puis grâce à l'ajout d'un carcinotron¹⁷, le HP 8620 permet de couvrir une plus grande largeur de bande avec aucune coupure de fréquence dans la représentation des données.

En 1968, la société HP réalisa une expérience utilisant son premier ordinateur, le HP 2116A (4 Ko de mémoire magnétique), pour améliorer la précision de l'analyse de réseaux micro-ondes. Ce système expérimental HP 8540 a démontré la première technique de correction d'erreur. Deux ans plus tard suivi le HP 8542, qui a été le premier analyseur de réseau automatique avec synthèse de fréquences. Au même moment se développait les standards de calibrage incluant un court-circuit, un circuit ouvert, une charge 50 Ω et une charge réglable.

Actuellement, la centrale de caractérisation de l'IEMN dispose de nombreux analyseurs de réseaux vectoriels permettant de réaliser les caractérisations statiques et hyperfréquences de composants passifs et actifs. De nombreux bancs de mesure sont à disposition et notamment un banc de mesure sous pointe couvrant la bande J (220-325 GHz).

II) Mesures hyperfréquences

La réduction spectaculaire des dimensions des transistors bipolaires et MOSFET en technologies CMOS et BiCMOS s'est accompagnée d'une croissance des densités d'intégration et surtout d'une augmentation tout aussi spectaculaire des performances de ces transistors. Des fréquences de transition supérieures à 300 GHz sont aujourd'hui atteintes pour des technologies silicium en phase industrielle. Ces technologies jouent un rôle important pour la réalisation de circuits intégrés radiofréquences et hyperfréquences. En raison des performances dynamiques toujours plus grandes de ces transistors, les mesures de paramètres S et du facteur de bruit, dans le domaine des hyperfréquences ont été introduites pour accompagner le développement de ces nouvelles technologies et la construction des modèles de dispositifs passifs et actifs, indispensables à la conception des circuits intégrés hyperfréquences.

Les étapes de mesure, de calibrage et de correction, spécifiquement appliquées à la caractérisation des technologies CMOS et BiCMOS sur tranche de silicium, sont décrites ainsi que les outils nécessaires à cette caractérisation. Les résultats d'extraction des fréquences de transition, des fréquences maximales d'oscillation et des paramètres de modèles des transistors bipolaires et MOSFET seront présentés dans le deuxième chapitre.

Les principes de base nécessaires à la compréhension des mesures hyperfréquences sont rappelés en annexes C et D. Respectivement, on y trouve la théorie des quadripôles puis les paramètres S.

¹⁷ Carcinotron : générateur de micro-onde utilisant un faisceau électronique communément appelé « backward wave oscillator » par la communauté scientifique.

1) Méthode de calibrage sous pointes usuelle

Maintenant que nous connaissons les outils pour caractériser un composant dans le domaine hyperfréquence, cette section présente le protocole expérimental classique pour la mesure de paramètres S. Cela signifie que cette procédure peut être employée sur une bande de fréquence qui s'étend d'une centaine de mégahertz à quelques dizaines de gigahertz (environ 50 GHz).

Avant de rentrer dans les détails du protocole, la figure 26 présente un schéma de principe d'une caractérisation hyperfréquence. Le composant sous test (CST) est placé entre les sondes qui sont directement reliées aux ports de l'analyseur de réseau (VNA) via des câbles coaxiaux ou des guides d'onde. Il est nécessaire de définir un plan de référence avant la mesure du composant. Il est généralement défini à l'extrémité des sondes hyperfréquences. Cet environnement de connexion au CST doit être adapté au mieux au système de mesure (≈ 50 ohms), ce qui est rendu possible par l'utilisation de sondes coplanaires et de câbles coaxiaux ou guidés.

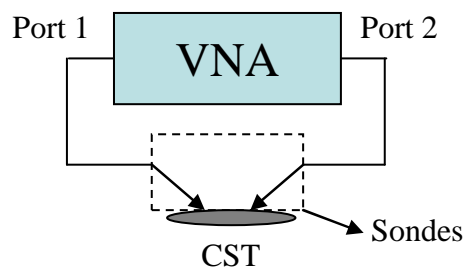


Figure 26 : Schéma de principe d'une mesure hyperfréquence.

La première étape à réaliser avant la mesure hyperfréquence du CST, est le calibrage du banc.

a) Calibrage du VNA

Le calibrage est défini comme étant un jeu d'opérations capable, sous certaines conditions, d'établir la relation entre les valeurs des quantités indiquées par un système de mesure et les valeurs correspondantes réalisées par des standards (figure 27).

La technique de calibrage est réalisée localement et une configuration différente est nécessaire pour chaque type de mesure. Cet étalonnage permet de corriger les erreurs systématiques des instruments en prenant en compte la présence de divers accessoires entre les ports du VNA et le CST. Prenons l'exemple de la mesure sur plaque de silicium. Dans ce cas, des câbles sont connectés au VNA, suivis d'adaptateurs coaxiaux et enfin des pointes. Le calibrage corrige les effets de ces composants ajoutés (câbles, sondes,...) mais aussi des erreurs systématiques du VNA. Ce calibrage peut aussi être nommé « correction des erreurs ».

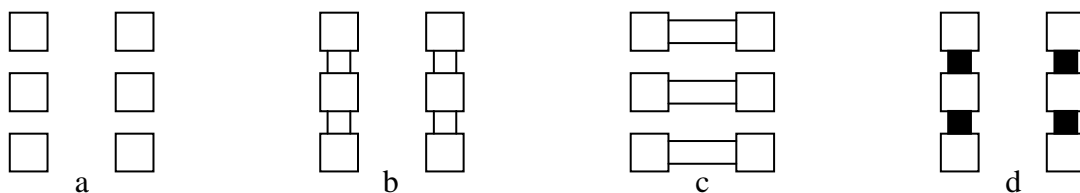


Figure 27 : Standards de calibrage : a : circuit ouvert, b : court-circuit, c : transmission, d : charge adaptée 50Ω .

La demande de précision de mesure du VNA peut être atteinte en améliorant le matériel de mesure, les modèles utilisés pour caractériser les erreurs de mesure, les méthodes de calibration utilisées pour calculer ces erreurs et surtout les définitions des standards de calibration (« cal kit »). Pour la mesure de paramètres S, les erreurs systématiques sont souvent représentées en utilisant le si-bien-nommé modèle d'erreur du système de mesure. Le nombre de coefficients d'erreur inclus dans le modèle d'erreur dépend de la topologie matérielle du VNA, du nombre de ports du VNA et de la précision requise. Les modèles d'erreur utilisés pour les déviations de mesure systématique de paramètres S ne sont pas présentés mais sont largement discutés dans [Shurmer-70] [Shurmer-73] [Rehnmark-74] mais aussi chez Agilent (HP à l'époque) qui contribua grandement à l'amélioration des modèles d'erreurs. Ces travaux pionniers sont toujours utilisés de nos jours dans les VNA.

Les standards de calibration présentés figure 27 sont donc utilisés pour déterminer les termes d'erreurs du modèle. Ces standards sont fournis avec le jeu de sondes car ils dépendent de la bande de fréquence de mesure mais aussi de l'écartement entre les sondes. On peut retrouver ces standards sur un kit de calibration appelé aussi ISS (Impedance Standard Substrate) illustré sur la figure 28.

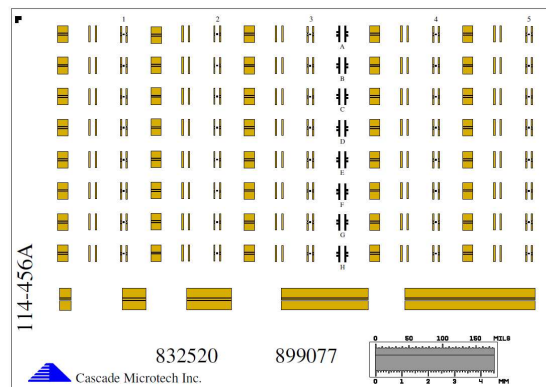


Figure 28 : Exemple de kit de calibration de Cascade Microtech.

Plusieurs méthodes d'étalonnage et algorithmes associés existent comme le calibration SOLT, TRL, LRM ou encore LRRM. Ces différentes techniques permettent de fixer le plan de référence dans la chaîne de mesure. Ces méthodes n'utilisent pas les mêmes standards et donc leur précision est mise en concurrence. Les valeurs de ces standards sont fournies par la société qui a vendu les sondes. Cependant, certaines de ces valeurs sont dépendantes du parcours de la sonde une fois posée. Ce phénomène de « patinage » peut conduire à des erreurs de précision du calibration car la valeur ne correspond pas à celle entrée dans le kit de calibration. Une optimisation de ce calibration en optimisant les valeurs du kit de calibration est présentée dans le chapitre suivant.

Une partie de notre travail a consisté à comparer le calibration de type SOLT (Short-Open-Load-Through) au calibration LRRM (Line-Reflect-Reflect-Match) mais dans cette partie, nous discutons seulement des évidences inhérentes à chacune des méthodes pour une mesure jusque 50 GHz.

Le calibration de type SOLT est affecté par le placement des sondes sur le plot d'accès et une bonne définition des standards est primordiale pour ne pas dégrader la précision de mesure. L'autre type de calibration couramment utilisé est la technique LRRM. Cette technique intègre automatiquement un algorithme de compensation d'inductance de charge [Pence-93] qui réalise de multiples itérations du calibration pour calculer la valeur actuelle de l'inductance de charge, plutôt que d'utiliser la valeur fournie avec la sonde. Cela permet de corriger les erreurs de placement de la sonde.

b) Epluchage

Avant d'intégrer la notion d'épluchage, communément appelé « de-embedding », il faut peut être préciser que pour qu'un dispositif soit mesurable sous pointes, il doit nécessairement être inséré dans une structure particulière à accès coplanaires (Figure 29, photo de gauche).

L'épluchage permet de s'affranchir des contributions des accès d'un transistor afin de remonter à ses paramètres intrinsèques. En effet, sur silicium, les accès ont un poids important dans les performances du transistor car non seulement ils peuvent désadapter l'entrée mais ils apportent aussi des pertes. Ces effets sont d'autant plus critiques que la fréquence de mesure est élevée. La technique utilisée pour une méthode conventionnelle (jusque 50 GHz) consiste à faire une correction circuit-ouvert (« de-embedding open »). Cette méthode basique, introduite en 1987 [VanWijnen-87], est encore la plus couramment utilisée. Dans cette technique, la capacité du plot est mesurée sur une structure de test circuit-ouvert et est utilisée pour corriger la mesure du CST.

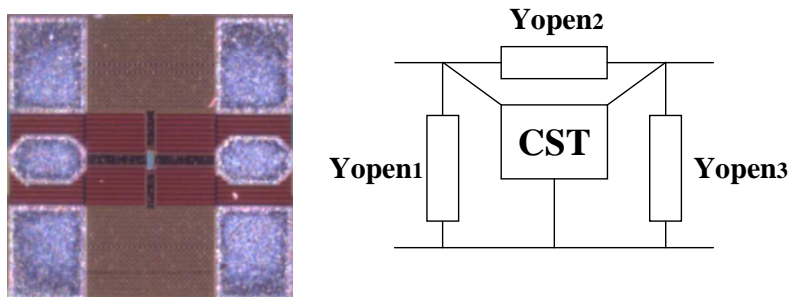


Figure 29 : Photos d'un circuit-ouvert on-wafer avec son schéma équivalent entourant le transistor.

La figure 29 illustre un circuit-ouvert que l'on trouve habituellement sur les wafers silicium. Le schéma équivalent est présenté à droite dont le principe est le suivant : on mesure les paramètres S dans le plan des pointes (S_{total}) puis on mesure la structure circuit-ouvert (S_{open}). On transforme alors les paramètres S en paramètres Y (vu précédemment). Il ne reste plus qu'à soustraire les paramètres admittances totaux à ceux du circuit-ouvert pour obtenir la matrice du CST. La mise en équation est détaillée ci-dessous :

$$Y_{open} = \begin{pmatrix} Y_{open1} + Y_{open2} & -Y_{open2} \\ -Y_{open2} & Y_{open2} + Y_{open3} \end{pmatrix} \quad (E-10)$$

$$[Y_{CST}] = [Y_{total}] - [Y_{open}] \quad (E-11)$$

Cette méthode largement utilisée fonctionne très bien dans la plupart des cas, cependant si on veut un modèle fiable qui valide les mesures jusque 220 GHz, il est nécessaire de complexifier la méthode d'épluchage en y ajoutant des standards type court-circuit (« short »). Cette étude approfondie est présentée dans le chapitre suivant dans la partie intitulée « optimisation de l'épluchage ».

III) Notions de bruit

Les deux dispositifs étudiés dans ce manuscrit, à savoir le MOSFET et le HBT SiGe, sont différents de part leur fonctionnement et génèrent des sources de bruit qui leur sont propres.

La notion de bruit des transistors est très importante dans l'univers de la microélectronique. Le bruit est un phénomène naturel qui affecte la plupart des systèmes RF et microondes. Comme le bruit perturbe le signal cohérent, il est important de le comprendre et de minimiser ses effets sur les performances des dispositifs hyperfréquences.

On distingue plusieurs sources de bruit mais seuls quelques phénomènes sont prédominants : le bruit thermique, le bruit de diffusion, le bruit de grenaille et le bruit en $1/f$.

1) Les principales sources de bruit

a) Bruit thermique

Le bruit thermique est le bruit généré par l'agitation thermique des électrons dans un conducteur. Ce bruit est dit « blanc » car il est constant avec la fréquence. La puissance de bruit thermique disponible P de tout dipôle passif porté à une température T , dans une bande de fréquence Δf , est donnée par la relation suivante :

$$P = kT\Delta f \quad (\text{E-12})$$

où k est la constante de Boltzmann en joules/kelvin et T la température physique en Kelvin.

L'origine du bruit thermique dans un transistor est principalement reliée aux éléments résistifs d'accès à la partie active. Pour le transistor bipolaire, la principale contribution se trouve dans les résistances de base et d'émetteur quant aux transistors à effet de champs, il se décompose dans les 3 résistances d'accès R_G , R_S et R_D .

b) Bruit de diffusion

De même nature que le bruit thermique, on parle de bruit de diffusion lorsque l'on s'éloigne de l'équilibre thermodynamique (courant DC non nul). Il prend ses origines dans la zone active du composant et il provient des fluctuations aléatoires du courant circulant dans le drain en ce qui concerne le MOSFET.

c) Bruit de grenaille

Le bruit de grenaille également appelé « shot noise » est un bruit lié à la nature « granulaire » du courant électrique composé d'électron qui évolue impulsionnellement dans le temps. La densité spectrale de ce bruit théoriquement « blanc » s'écrit :

$$S_i = 2qI \quad (\text{E-13})$$

Ce bruit est présent dans le MOSFET, il est induit par le courant de grille DC lié à l'effet tunnel. Concernant le bipolaire, il existe un bruit de grenaille dû au passage d'une barrière de potentiel par les porteurs dans une jonction PN polarisée.

d) Bruit en $1/f$

Le bruit en $1/f$ est un bruit basse fréquence. Il peut ainsi être ignoré à haute fréquence aussi bien pour le transistor bipolaire que le transistor à effet de champ. Néanmoins, parce qu'il est converti, il conditionne en haute fréquence le bruit en régime de grand signal (exemple du bruit de phase des oscillateurs).

e) Bilan des bruits prédominants

Le transistor bipolaire est constitué de deux jonctions en série, le courant les traversant étant contrôlé par un faible courant entre les deux jonctions base-émetteur et base-collecteur. Il existe des variantes à hétérojonction (HBT) : SiGe/Si, AlGaAs/GaAs, GaInP/GaAs, permettant d'obtenir de meilleures performances en hyperfréquences. Les sources de bruit du transistor bipolaire ont pour origine :

- le bruit thermique des accès aux jonctions, issu de la résistance de base R_B ;
- le bruit de jonction émetteur-base, avec une composante de bruit de grenaille et de bruit en $1/f$.
- le bruit de la jonction collecteur-base.

Le bruit dans les FET est produit à la fois par des sources de bruit intrinsèques liées aux polarisations auxquelles le composant est soumis et des sources de bruit thermique associées aux résistances parasites. Les sources intrinsèques comprennent le bruit thermique de la zone ohmique du canal et le mécanisme de diffusion dans la zone en saturation de vitesse.

2) Théorie des quadripôles bruyants

Un quadripôle bruyant peut se représenter sous la forme d'un quadripôle non bruyant auquel sont associés deux générateurs de tension de bruit. Les représentations de ces générateurs sont variées (sources de courant ou de tension) et en entrée et/ou sortie. Les différentes représentations matricielles sont rappelées en annexe E.

a) Facteur de bruit

Le facteur de bruit d'un quadripôle traduit la dégradation du rapport signal à bruit entre l'entrée et la sortie du quadripôle, le générateur étant considéré comme un dipôle à la température normalisée $T_0=290$ K. Le facteur de bruit est exprimé par la relation suivante :

$$NF = \frac{\frac{P_e}{N_e}}{\frac{P_s}{N_s}} = \frac{P_e \cdot N_s}{P_s \cdot N_e} \quad (\text{E-14})$$

Avec $N_e = kT_0 \Delta f$.

Les paramètres sont exprimés en puissance disponible.

Le facteur de bruit d'un quadripôle réel est toujours supérieur à 1 car il ne peut que rajouter du bruit. Il est souvent exprimé en décibels par :

$$NF(\text{dB}) = 10 \log_{10}(NF) \quad (\text{E-15})$$

Le facteur de bruit dépend de la fréquence, de la température et des caractéristiques du quadripôle et dans le cas d'un transistor, des conditions de polarisation.

IV) Limitations à la montée en fréquence

Les enjeux scientifiques liés à cette thèse concernent donc la caractérisation et la modélisation petit signal et bruit des deux principaux transistors sur silicium à savoir le MOSFET et le HBT. Le dénouement de cette thèse passe par la compréhension des phénomènes liés à l'environnement de la mesure aussi bien lors de la mesure de paramètres S que lors de la mesure du bruit. Le travail a dans un premier temps été dirigé sur la caractérisation petit signal jusque 110 GHz puis jusque 220 GHz en optimisant la procédure de la mesure (calibrage et épiluchage). Ensuite, l'approche sur le bruit millimétrique nous a permis d'évaluer la sensibilité de la chaîne de mesure en bande W et ainsi converger sur l'élaboration de nouvelles structures permettant de valider les modèles. Une étude sur des mesures cryogéniques des transistors bipolaires a aussi été menée jusqu'à 4 K permettant de mettre en évidence l'intérêt de ces dispositifs aux basses températures.

Cette partie présente donc les différentes problématiques abordées lors de cette thèse.

1) Paramètres S : limitations de la méthodologie conventionnelle

Alors que pour des transistors en technologie III-V type AsGa ou InP, un calibrage LRRM suffit à obtenir des résultats mesurés comparables à ceux simulés jusque 220 GHz, les transistors sur silicium ont besoin d'un protocole adapté lorsque les mesures dépassent les 60 GHz. En effet, en utilisant la méthode conventionnelle précédemment présentée, on peut constater sur la figure 30 que la mesure est précise jusque 60 GHz pour ensuite diverger du modèle simulé sous ADS. Ces résonances parasites affectent la mesure et elles peuvent être liées à 3 causes : La désadaptation, la discontinuité de propagation et le couplage.

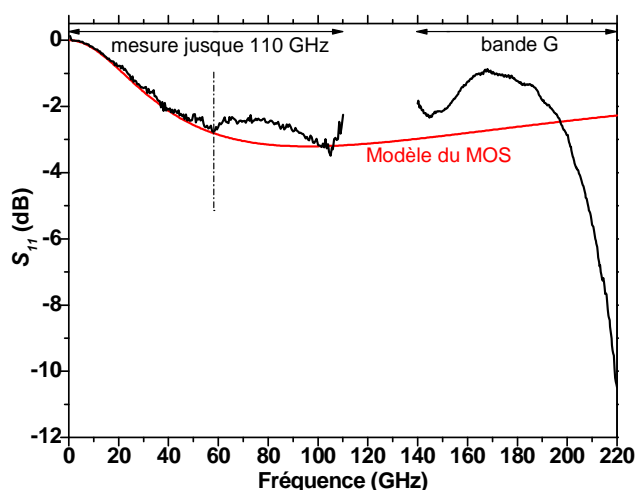


Figure 30 : Paramètre de réflexion S_{11} du modèle du MOS (schéma équivalent sous ADS) comparé à la mesure jusque 220 GHz en utilisant une méthode conventionnelle.

Les causes électromagnétiques suspectées sont donc :

- La différence d'environnement des sondes lors du calibrage (substrat alumine) et lors de la mesure (wafer silicium) présentée sur la figure 31;

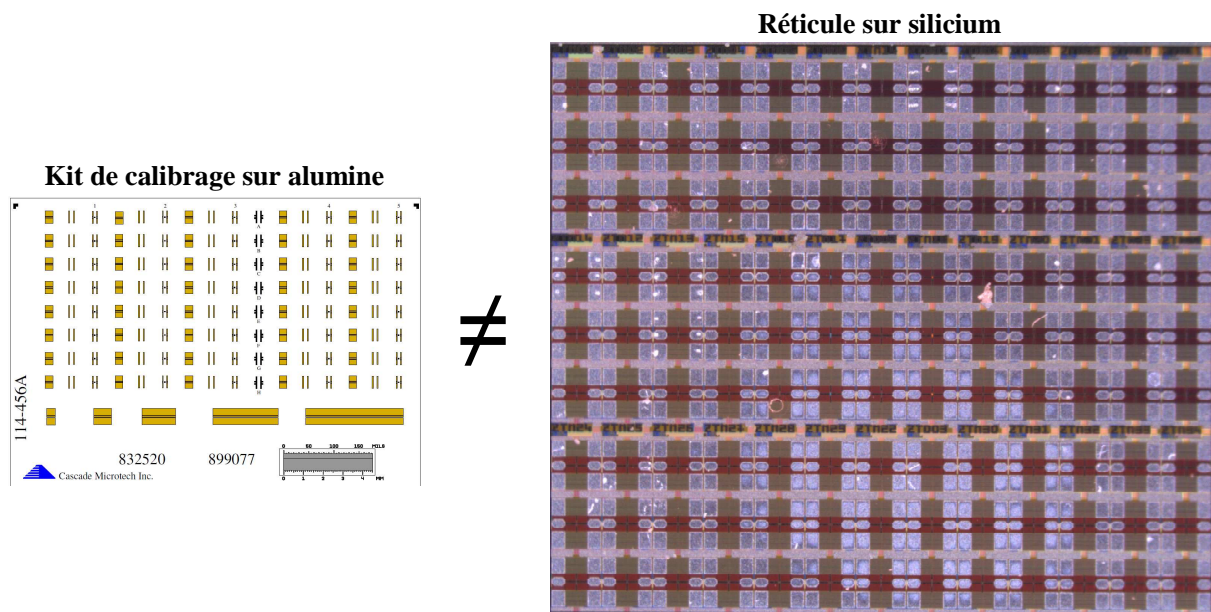


Figure 31 : Présentation d'un kit de calibrage sur alumine et d'un réticule sur silicium composé de transistors MOSFETs.

- L'influence des structures adjacentes sur le wafer silicium. On peut observer sur le réticule sur silicium de la figure 31 une importante densité de dispositifs séparés de quelques microns ce qui peut engendrer des couplages indésirables lors de la mesure d'un de ces composants.
- La configuration électromagnétique des pointes des sondes (coplanaires) par rapport aux accès sur le wafer (micro-rubans) représentée figure 32;

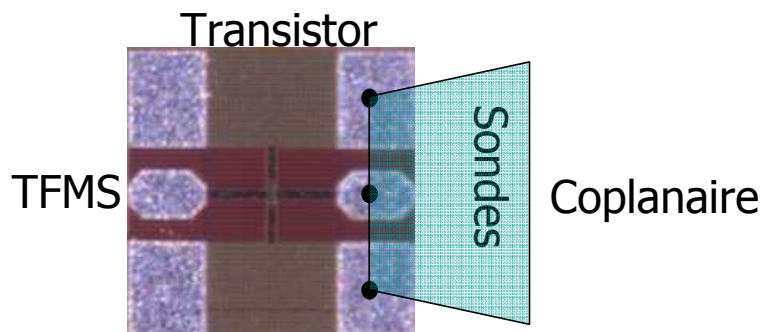


Figure 32 : Différences entre une structure de transistor (TFMS¹⁸) sur silicium et l'accès des sondes coplanaires.

- Les éléments parasites liés aux accès du transistor (le plot, la ligne, les connections à la partie active du transistor) représentés sur la figure 33.

¹⁸ TFMS : Thin Film Microstrip. Ce terme désigne une structure micro-ruban.

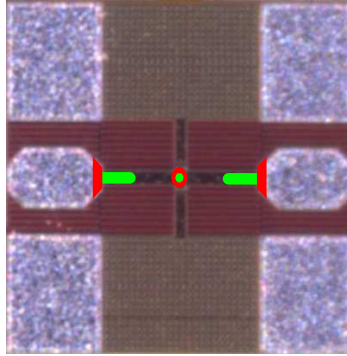


Figure 33 : Eléments parasites liés à la structure du transistor.

Ces travaux sur l'environnement électromagnétique jusque 110 GHz ont été mis en évidence par Christian Andrei dans [Andrei-07-1] et ils ont constitué la base de cette thèse.

Au-delà de 110 GHz, d'autres phénomènes apparaissent. Il devient donc nécessaire de compenser ces phénomènes par un meilleur calibrage et un épluchage plus complexe pour valider les mesures en bande G.

Le plot (« pad ») sur le wafer silicium a aussi été mesuré (figure 34). Sur cette courbe, on constate des résonances et des fluctuations au-delà de 60 GHz. On devine une forte résonance dans la bande de fréquence se situant entre 110 GHz et 140 GHz. Le plot étant essentiellement capacitif avec une valeur proche de 80 fF, la valeur de l'inductance équivalente pour produire une telle résonance (environ 125 GHz) est proche de 20 pH ce qui est typiquement l'ordre de grandeur de l'inductance parasite d'une sonde.

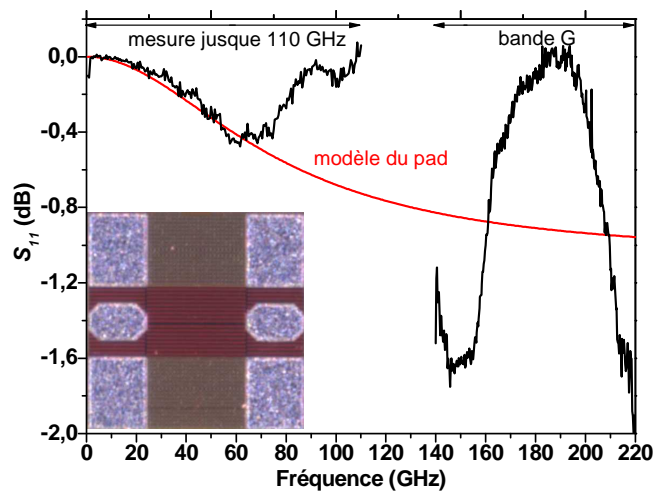


Figure 34 : Paramètre de réflexion S_{11} du modèle d'un plot silicium comparé à la mesure jusque 220 GHz. A l'intérieur, photographie des plots d'accès.

Ainsi, en prenant en compte tous les éléments parasites possibles, le but est de trouver une méthodologie unique et générique fonctionnant jusque 220 GHz. La méthodologie générique signifiant l'utilisation de la même procédure sur alumine et silicium indépendamment de l'analyseur de réseau ou du type de sondes. Cette étude est développée dans le chapitre II (partie B).

2) Mesures de facteur de bruit : limitations en millimétrique

La précision en caractérisation et l'optimisation de la technologie puis le design en gamme millimétrique est un grand challenge pour la réalisation d'amplificateurs faible bruit, spécialement pour les dernières générations de radars pour l'automobile. Pour cette raison, il devient crucial de développer des solutions rapides et précises de mesures dans un contexte technologique toujours à la recherche de solutions innovantes. La méthode *F50* [Dambrine-93] propose une solution peu coûteuse et facilement utilisable pour l'extraction des paramètres de bruit contrairement à la méthode tuner [Boudiaf-93].

Une précision de mesure absolue est difficile à atteindre (plusieurs étapes de calibrage) car cela dépend de la complexité du système de mesure. De plus, différentes techniques de mesure existent comme la technique source froide [Adamian-73] ou encore celle du facteur Y [Tiemeijer-05-2]. Cependant, la mesure des 4 paramètres de bruit (NF_{min} , R_n , G_{opt} , B_{opt}) en gamme millimétrique est de plus en plus critique. En effet, les accès parasites in-situ¹⁹ amènent une désadaptation et donc une incertitude de mesures. La méthode tuner, largement utilisée en basse fréquence (jusque 50 GHz) a récemment montré son potentiel en bande W [Vaha-Heikkila-03]. Mais cette méthode requiert beaucoup d'étapes allant de la mesure des paramètres S du composant sous test jusqu'à la détermination des 4 paramètres de bruit. La méthode *F50*, basée sur le schéma équivalent petit signal pour l'extraction des paramètres de bruit, offre plus de simplicité, est moins onéreuse et ne nécessite que peu d'étapes de mesure.

La précision et la sensibilité du banc de mesures détermine la qualité des mesures de bruit. Mais plusieurs sources d'erreur peuvent altérer la mesure du facteur de bruit et plus particulièrement en gamme millimétrique : 1) la sensibilité du récepteur de bruit, 2) des incertitudes au niveau de l'adaptation et du facteur de bruit en excès (ENR^{20}) de la source de bruit et 3) un facteur de bruit élevé et un faible gain du dispositif. Ces limitations ne peuvent pas être éliminées mais largement réduites.

On se focalise dans ce manuscrit sur les mesures réalisées jusque 110 GHz puis sur l'optimisation du banc de mesure ainsi que sur les transistors pré-adaptés qui se révèlent être la solution pour améliorer la mesure de bruit des transistors MOSFET 65 nm de STMicroelectronics mais aussi pour évaluer les performances maximales que peuvent atteindre les technologies comme sur le HBT SiGe. Cette étude est présentée à travers le chapitre III.

3) Intérêt des basses températures

L'intérêt de la caractérisation de dispositifs à des températures cryogéniques a commencé dans les années 80. Ces basses températures peuvent être utilisées pour révéler et étudier les phénomènes physiques de basse énergie occultés à température ambiante par les excitations thermiques, par exemple, les propriétés de transport des métaux. Pour nos travaux, l'intérêt se manifeste par la diminution du bruit du composant associé à l'augmentation du gain. Le bruit principal pour les dispositifs millimétriques et submillimétriques étant le bruit

¹⁹ In-situ : terme latin signifiant « sur place ».

²⁰ ENR : Excess Noise Ratio. Une source de bruit hyperfréquence est définie par son ENR. Il est utilisé pour dénoter le bruit qu'une source de bruit calibrée délivre à un composant sous pointe. Il se calcule par : $ENR = (T_H - T_C)/T_C$ où T_H est la température quand la source est à l'état ON et T_C est la température quand la source est à l'état OFF (typiquement $T_C =$ température ambiante T_0).

thermique proportionnel à kT , on comprend bien la diminution du bruit avec la réduction de la température ambiante du composant.

L'étude cryogénique sera portée sur la caractérisation petit signal et bruit des transistors bipolaires jusqu'à 4 K.

CHAPITRE II : CARACTERISATION ET MODELISATION PETIT SIGNAL JUSQUE 220 GHZ

A) Introduction

Après avoir exploré le contexte de la technologie silicium et ses applications millimétriques utilisant la technologie silicium, on se propose de présenter dans le deuxième chapitre les caractéristiques statiques et hyperfréquences des deux dispositifs considérés.

Ces travaux de thèse ont débuté par une investigation sur la caractérisation et la modélisation des transistors mis à notre disposition par STMicroelectronics. Il s'agit principalement des filières CMOS 65 nm sur substrat massif et SOI haute résistivité (HR) mais aussi de la filière BiCMOS SiGe :C (technologie B9MW).

L'accent a été porté sur la caractérisation et la modélisation des paramètres petit signal du CMOS 65 nm à partir d'études sur les aspects métrologiques et de calibrage de mesures sous pointe jusque 220 GHz. Dans un deuxième temps, le transistor bipolaire a été étudié et caractérisé jusqu'à 50 GHz en intégrant une étude cryogénique pour comprendre la montée en fréquence.

Ce chapitre aboutit à la validation en gamme millimétrique des modèles petit signal pour ces deux technologies. L'élément essentiel pour y aboutir est la qualité des paramètres S qui est à la base de toute la précision d'extraction des paramètres (extrinsèques et intrinsèques).

B) Le transistor MOSFET SOI HR 65 nm

La technologie SOI dispose principalement de deux types de transistor : les transistors flottants (FB²¹) et à prise (BC²²). Le premier type correspond aux transistors conventionnels, dont ce manuscrit fait étude, avec un substrat interne flottant et le second permet de s'affranchir du substrat flottant grâce à des prises latérales qui permettent d'établir un potentiel fixe. Les performances hyperfréquences et de bruit étant meilleures pour le transistor FB, seuls ses caractéristiques seront discutées. Cette différence de performances provient de la capacité parasite ajoutée dans le cas du transistor BC. De plus, l'efficacité de prise s'atténue avec la fréquence et pour les faibles longueurs de grille.

D) Caractérisation statique

La caractérisation statique constitue l'étape préliminaire pour tout type de dispositifs relevant d'une étude. Elle révèle du bon fonctionnement du composant en régime statique et conditionne ses performances hyperfréquences. Cette étape est primordiale notamment au niveau industriel, lors des tests automatiques, une cartographie étant réalisée pour déterminer les échantillons représentatifs. A l'IEMN, on utilise le même procédé pour ainsi se focaliser sur les composants ayant les meilleures performances. On peut ainsi vérifier la faible dispersion des caractéristiques du transistor sur un même wafer et entre wafers garante d'une bonne maîtrise de la technologie.

De nombreuses études ont été menées quant aux effets de la réduction d'échelle sur les performances du transistor. Ces travaux sont notamment discutés dans plusieurs thèses

²¹ FB : Floating Body ; désigne les transistors à substrat flottant.

²² BC : Body Contacted ; désigne les transistors à prise substrat.

soutenues à l'IEMN [Vanmackelberg-01] [Pailloncy-05]. Concernant le nœud 65 nm, les variations du nombre de doigts (Nf) et du développement unitaire (Wu) du transistor ont conduit à des effets sur les performances statiques, hyperfréquences et de bruit. On a ainsi pu déterminer un couple optimal (Nf et Wu) présentant les meilleures performances lors de la cartographie des échantillons. On se propose donc d'étudier un transistor MOSFET 65 nm sur substrat SOI avec 64 doigts de $1\ \mu\text{m}$ ($Wt = 64\ \mu\text{m}$) de STMicroelectronics.

On vérifie tout d'abord le bon fonctionnement du transistor par une mesure de ses caractéristiques courant/tension en utilisant l'expression $I_D=f(V_{DS})$ à V_{GS} égale à une constante.

En fonctionnement normal, la jonction grille/canal est polarisée en inverse : le courant d'entrée i_G est très faible et les courants de drain et de source sont identiques. La figure 35 présente ce fonctionnement.

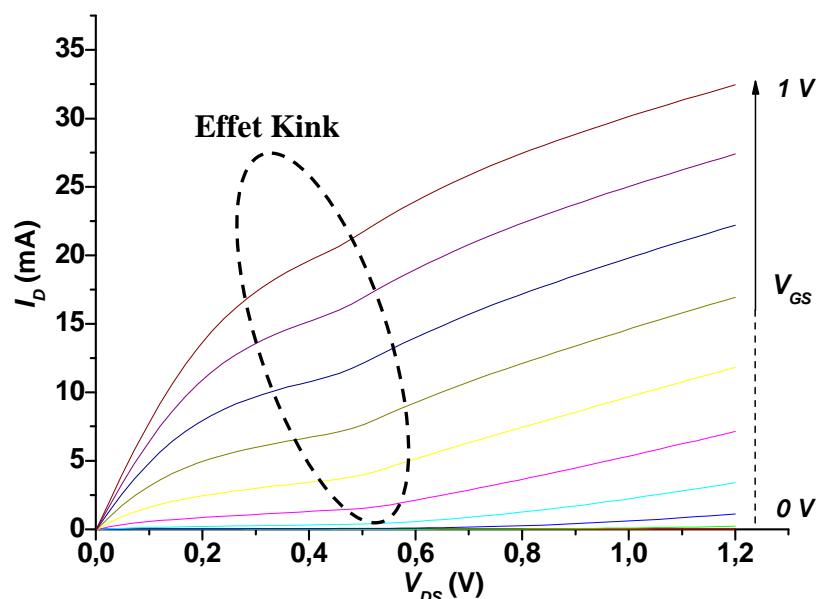


Figure 35 : Caractéristiques mesurées $I_D=f(V_{DS})$ pour un transistor MOSFET SOI HR 65 nm.

Dans ce réseau de caractéristiques, on distingue deux zones : la zone résistive (à faible V_D) et la zone saturée (après le coude).

➤ La zone résistive :

Pour de faibles tensions V_D , le canal se comporte comme une résistance dont la valeur est fonction de la section du canal et donc est inversement proportionnelle à la tension entre la grille et la source. Le transistor est alors équivalent à une résistance commandée en tension. Pour une valeur V_{TH} suffisamment faible de V_G , le courant s'annule. On dit alors que le canal est pincé et que V_{TH} est la tension de seuil.

➤ La zone de saturation :

Avant d'atteindre cette zone, l'accroissement de V_{DS} augmente le courant I_D jusqu'au pincement. Quand le canal se pince, le courant drain reste pratiquement constant et le transistor est dit saturé.

On remarque sur la figure 35, une légère inflexion dans la zone de saturation. Dans les transistors à body flottant en technologie CMOS SOI, l'ionisation par choc et le courant de la jonction source / body induisent cet effet appelé effet Kink [Kato-85].

Ensuite, la deuxième étape de la caractérisation statique consiste à déterminer la tension de seuil. Elle est déterminée sur la caractéristique $I_D=f(V_{GS})$ à V_{DS} égale à une constante, en prenant la pente de la zone linéaire comme indiqué figure 36. Elle est extraite en régime ohmique donc à faible V_{DS} . Cette méthode, utilisée à l'IEMN, n'est pas forcément la plus précise mais donne une bonne idée de V_{TH} .

Dans notre cas, la tension drain-source a été fixée à 0.1 V en faisant varier la tension de grille jusque 1 V. Les tensions de seuil constatées sont de l'ordre de 0.3 V pour ces MOSFETs.

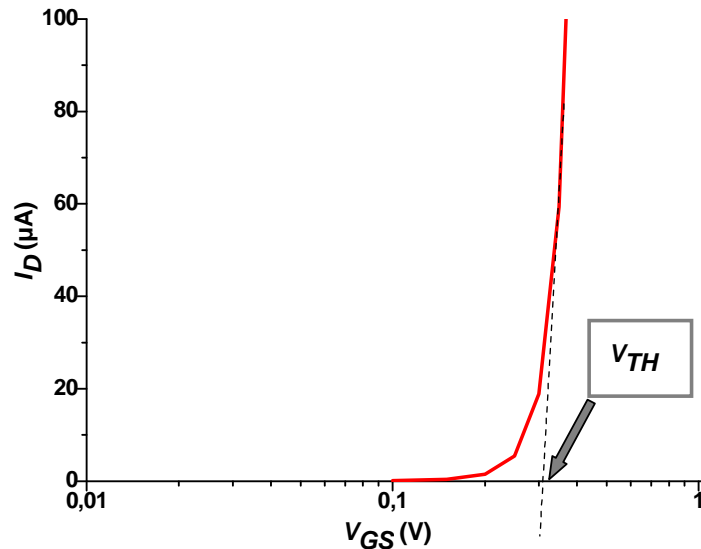


Figure 36 : Détermination de la tension de seuil (V_{TH}) sur la caractéristique $I_D=f(V_{GS})$ pour un transistor MOSFET 65 nm à $V_{DS} = 0.1$ V.

Enfin, en exploitant les données des mesures précédentes, on peut calculer la transconductance en fonction de la tension de grille (figure 37) en utilisant l'expression suivante :

$$g_m = \left. \frac{d(I_D)}{d(V_{GS})} \right|_{V_{DS}=cste} \quad (E-16)$$

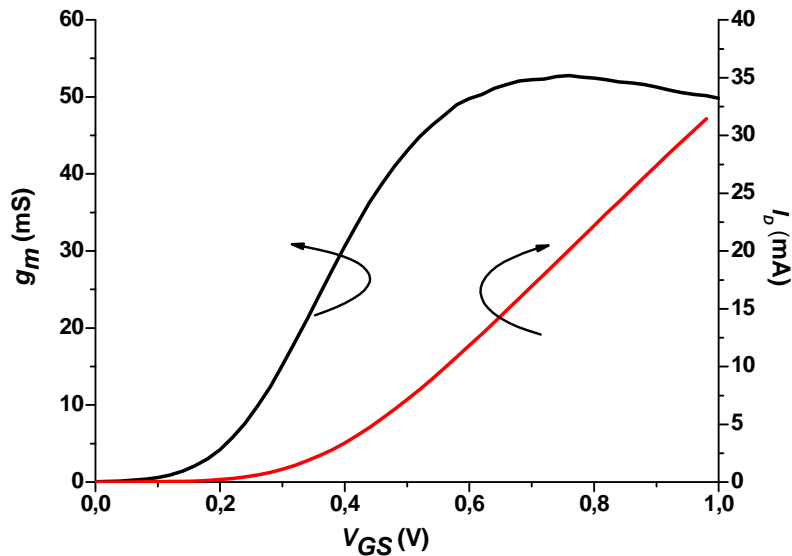


Figure 37 : Transconductance statique et courant drain en fonction de la tension grille-source pour un transistor MOSFET SOI HR 65 nm à $V_{DS} = 1.2$ V.

On peut observer sur la courbe ci-dessus que la transconductance est maximale pour $V_{GS} = 0.7V$. On obtient ainsi un g_m statique proche de 54 mS (845 mS/mm à $I_D = 264$ mA/mm) pour un V_{DS} égal à 1.2 V. Cette valeur pourra être comparée à la transconductance calculée en régime dynamique où des valeurs très proches devraient être obtenues.

II) Caractérisation hyperfréquence

1) Présentation des différents bancs de mesure

Plusieurs bancs de mesure ont bien évidemment été nécessaires pour caractériser les dispositifs jusque 220 GHz car il n'existe pas d'appareils à ce jour permettant une mesure de paramètres S sur toute la bande 0-220 GHz.

La caractérisation entre 45 MHz et 110 GHz peut être réalisée en un seul balayage grâce à l'analyseur de réseau 8510C utilisant le contrôleur millimétrique 8510XF et deux têtes millimétriques E7352R connectées à la station sous pointe (figure 38). Tout ce matériel est fourni par la société Agilent® (à l'époque HP®). Ce banc est équipé de sondes coplanaires Infinity® GSG (ground signal ground) de la société Cascade Microtech® utilisant un kit de calibrage et un absorbant lors du calibrage. L'écartement entre les contacts est de 100 μm .



Figure 38 : banc de mesure 45 MHz - 110 GHz.

Le deuxième banc de mesure permet de réaliser des mesures entre 140 GHz et 220 GHz. Il est composé d'un analyseur de réseau Anritsu® 3735B et deux extensions millimétriques d'Oleson Microwave Lab®. Les sondes coplanaires CS15 avec des contacts tungstène de la société Picoprobe® sont utilisées. L'écartement entre les contacts est aussi de 100 μm . Une photographie de ce banc est donnée figure 39.

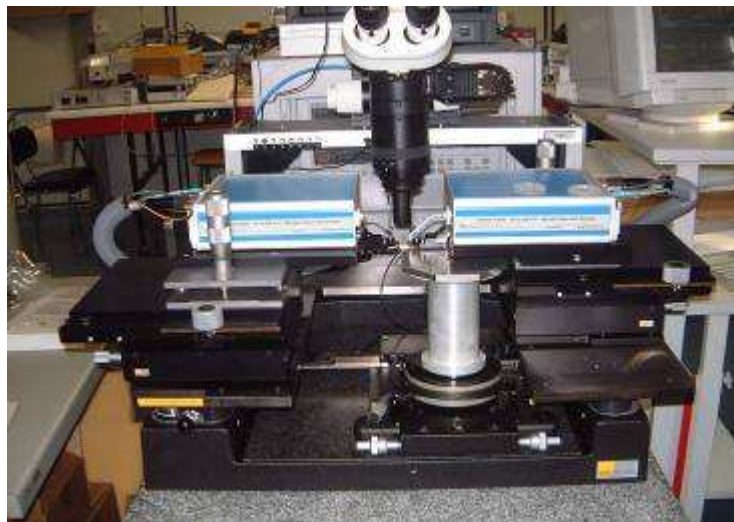


Figure 39 : banc de mesure 140-220 GHz.

2) Préambule et stratégie d'optimisation de la mesure millimétrique

La première étape de la mesure hyperfréquence consiste à définir le plan de référence de mesure dans le plan des pointes. Ceci est rendu possible par l'étape de calibrage « off-

wafer²³ ». Il faut aussi noter que ce calibrage est basé sur un modèle d'erreur (annexe F) plus ou moins complexe selon le type de calibrage mais il est aussi dépendant de l'environnement dans lequel les mesures sont réalisées (voir chapitre I, C, III). Les phénomènes électromagnétiques amènent des limites à ces modèles [Andrei-07-1].

La deuxième étape consiste à prendre en compte les accès du transistor sur silicium. Cette étape est appelée épluchage « on-wafer²⁴ ». Le terme anglo-saxon couramment utilisé est « de-embedding on-wafer ». Cette méthode, commode à réaliser pour des transistors III-V, devient très critique quand il s'agit de substrat silicium. En effet, les pertes du substrat deviennent problématiques lors de mesures hyperfréquences. Comme énoncé à la fin du chapitre I, des effets électromagnétiques viennent entacher les mesures [Andrei-07-1]. On rappelle que le calibrage est réalisé à l'aide d'un substrat standard (chapitre I, figure 28) généralement sur alumine.

Des travaux pionniers, dans le cas d'un calibrage SOLT sont à la base de cette étude [Crozat-91]. En effet, ces travaux se focalisent sur la détermination de la capacité C_{open} de sondes coplanaires pour des mesures « on-wafer » lors d'un calibrage SOLT. Les quatre standards utilisés pour ce calibrage permettent la compensation des vecteurs d'erreurs systématiques de l'analyseur de réseau (annexe F). En fixant une valeur approximative de C_{open} , la mesure d'une ligne coplanaire en circuit ouvert est réalisée dont les caractéristiques sont connus (impédance, longueur, constante de propagation). Puis, à travers le calcul des vecteurs d'erreurs, l'optimisation de C_{open} permet de corriger la déviation en module et phase de la ligne pour s'approcher d'une erreur minimale. Basé sur ces travaux, nous avons développé une stratégie d'optimisation :

- Vérification après calibrage des paramètres de transmission (S_{12} et S_{21}) d'une ligne sur alumine.
- Vérification des paramètres de réflexion (S_{11} et S_{22}) d'un plot sur silicium.

On optimisera les paramètres de calibrage sur ces deux critères.

L'optimisation de cette étape consiste à rendre indépendant en fonction de la fréquence les paramètres intrinsèques du transistor. La montée en fréquence a rendu difficile la qualité des mesures, on détaille donc dans la deuxième partie un épluchage plus complexe améliorant nettement les mesures par la vérification des paramètres intrinsèques du transistor.

3) Optimisation du calibrage

Le calibrage de type SOLT a été utilisé pour réaliser les mesures jusque 220 GHz. De plus, les contacts entre les sondes et les structures de test ont été soignés pour assurer une bonne reproductibilité en module et phase. Cette étude a été réalisée en deux parties. Tout d'abord jusque 110 GHz, puis en bande G.

Jusque 110 GHz, cette méthode donne des erreurs de calibrage en utilisant le kit de calibrage sur alumine et la définition des standards fournie par le fabricant (ici, Cascade Microtech®). Après le calibrage, une optimisation est réalisée en ajustant les paramètres définissant les standards tels que la capacité C_{open} et les inductances L_{short} et L_{term} . Ces trois éléments composent les 3 standards ajustables par le logiciel de calibrage Wincal®. Le dispositif utilisé pour l'optimisation est une ligne coplanaire sur alumine qui est donc la ligne de référence. Cette ligne n'est pas un standard utilisée lors du calibrage mais une ligne

²³ Off-wafer : Ce terme désigne le fait de réaliser des mesures en dehors du substrat considéré (ici, le silicium).

²⁴ On-wafer : Contrairement à off-wafer, ce terme désigne le fait de réaliser des mesures sur le substrat considéré (ici, le silicium).

supplémentaire qui se trouve sur l'alumine (typiquement d'une longueur de 200 μm). Celle-ci permet de corriger la déviation du calibrage par l'ajustement de sa réponse en transmission (figure 40 jusque 110 GHz). Cette ligne est comparable à une ligne avec très peu de pertes en transmission dont le terme de phase est égal à $e^{-j\beta l}$ où l correspond à la longueur de la ligne.

De nos jours, la méthode de calibrage la plus utilisée est la LRRM. On s'en sert comme point de référence et de comparaison. La figure 40 illustre la superposition du calibrage LRRM et SOLT optimisée jusque 220 GHz.

Il est à noter que le standard « open » nécessaire pour la réalisation du calibrage SOLT n'est pas réalisée avec les sondes en l'air mais lorsqu'elles sont posées sur un plot sur alumine.

Enfin, une vérification est réalisée sur un plot sur silicium où il est montré que le calibrage LRRM est équivalent à la SOLT optimisée (figure 41). La SOLT auto calculée est obtenue sans optimisation, en utilisant directement les données du constructeur des standards.

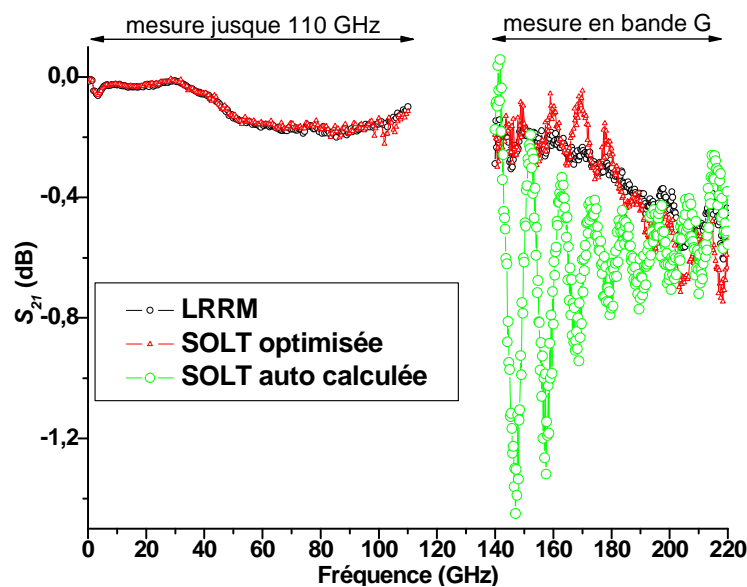


Figure 40 : Paramètres en transmission S_{21} d'une ligne sur alumine jusque 220 GHz comparant plusieurs sortes de calibrage.

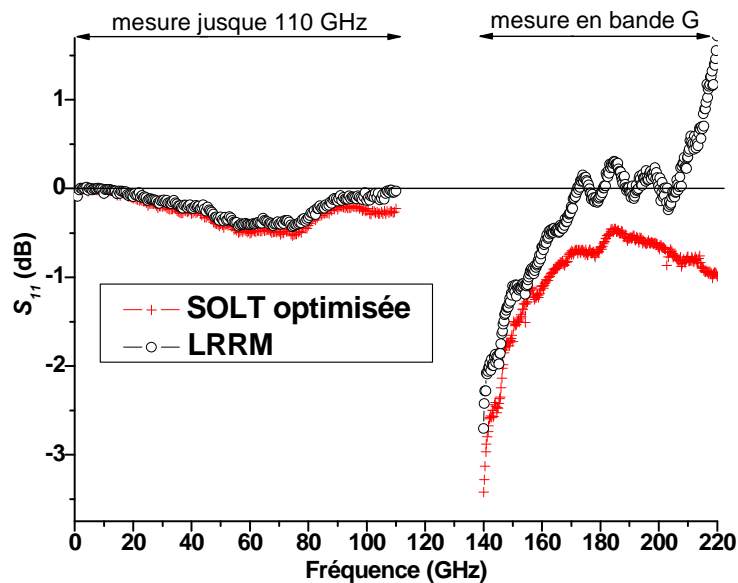


Figure 41 : Paramètres en réflexion S_{11} d'un pad sur silicium jusque 220 GHz.

En bande G, des étapes particulières ont été introduites afin de corriger la déviation du calibrage induit par des phénomènes d'origine électromagnétique. On utilise la même technique que précédemment mais avec l'ajustement d'un paramètre supplémentaire à savoir l'inductance de court-circuit. Ces valeurs sont tout d'abord ajustées pour obtenir le meilleur compromis sur les fluctuations observées sur le paramètre de transmission de la ligne coplanaire sur alumine (figure 40) et dans un deuxième temps sur le paramètre en réflexion d'un plot sur silicium (figure 41). Pour résumer, en bande G, l'ajustement de la capacité C_{open} n'est pas suffisant, il est aussi nécessaire d'ajuster L_{short} . Comme on peut l'observer sur la figure 40, la SOLT optimisée donne une meilleure réponse en transmission comparée à la SOLT auto calculée. On note sur la figure 41 une résonance autour de 140 GHz dépendante de la capacité plot et de l'inductance inhérente de la sonde (voir chapitre I, C, III).

Les valeurs des standards optimisés sont résumées dans le tableau 6. Elles sont complètement différentes pour chaque bande de fréquence car nous n'utilisons pas le même kit de calibrage et les sondes sont différentes.

	C_{open} (fF)	L_{short} (pH)	L_{term} (pH)
Jusque 110 GHz	-6.4	5	-3.3
Bande G	3.2	10	3.5

Tableau 6 : Valeurs des standards utilisées lors du calibrage jusque 110 GHz et en bande G.

Finalement, la SOLT optimisée est ajustée dans les deux bandes de fréquences en utilisant un modèle de plot sur silicium simulé jusque 220 GHz (Chapitre I, figure 34). Le but étant de se rapprocher au maximum de la valeur simulée.

Concernant le calibrage LRRM, il présente plus de limitations notamment en bande G illustrée sur la figure 41 où le paramètre de réflexion du plot sur silicium conduit à un coefficient positif.

Ces travaux sont résumés dans un article paru en mai 2009 [Waldhoff-09-1].

4) Synthèse du calibrage

Afin de permettre une meilleure compréhension de cette étape cruciale, un synoptique a été réalisé pour chaque bande de fréquence (45 MHz – 110 GHz et bande G). On commence tout d'abord par le synoptique de calibrage jusque 110 GHz (figure 42) puis celui de la bande G (figure 43). Chacun peut être pris séparément selon les mesures à réaliser.

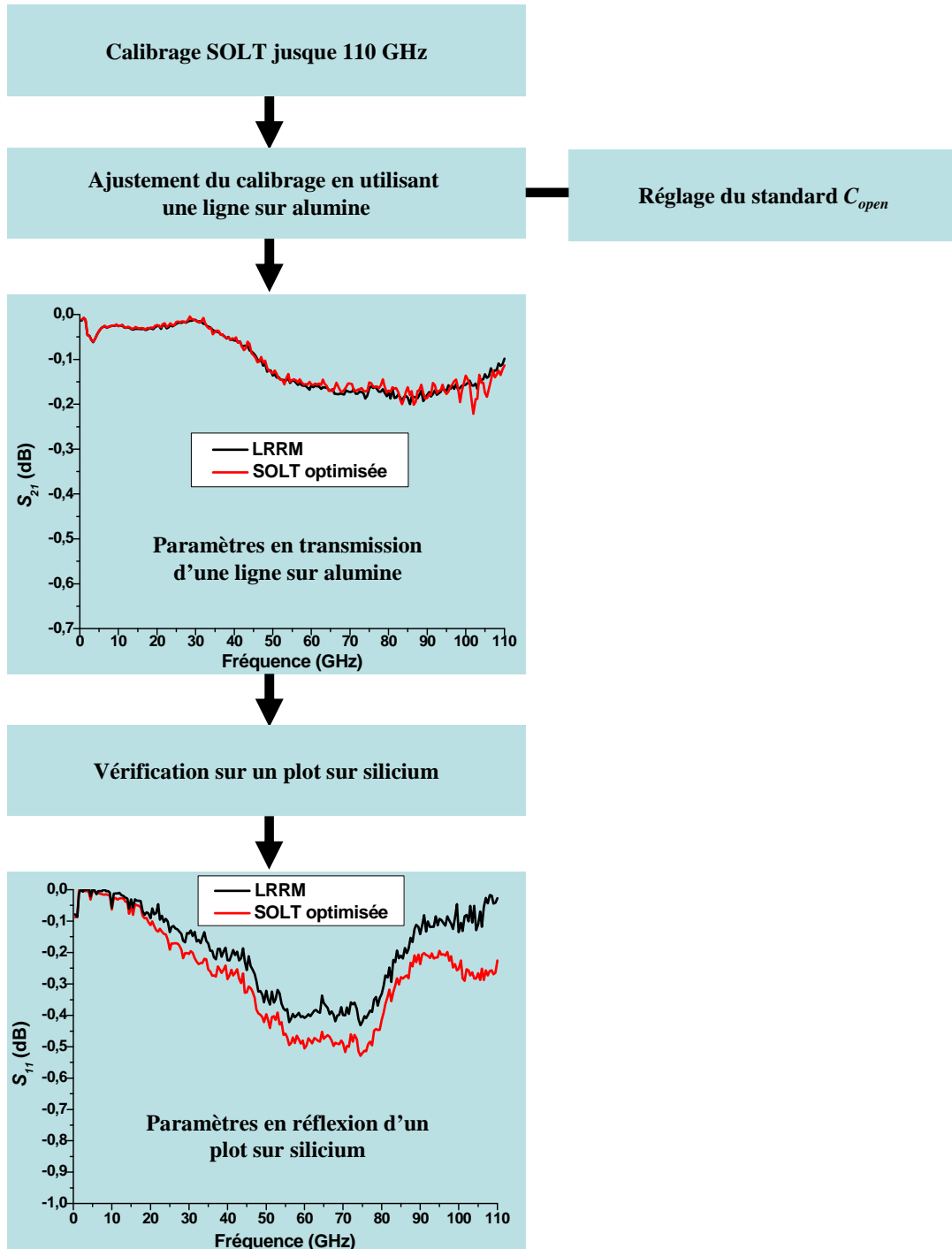


Figure 42 : Synoptique de calibrage jusque 110 GHz.

La figure 42 résume les grandes étapes lors d'un calibrage jusque 110 GHz pour un transistor MOS SOI HR de 65 nm. Une comparaison entre les calibrages SOLT optimisée et

LRRM est réalisée tout d'abord sur des paramètres en transmission de n'autre ligne de référence puis sur des paramètres en réflexion d'un plot sur silicium. Il est à noter que jusque 110 GHz les deux types de calibrage sont pratiquement équivalents.

Dans le cas d'un calibrage jusque 220 GHz, le synoptique de la figure 43 représente les grandes étapes toujours pour un transistor MOS SOI HR de 65 nm. Les mêmes comparaisons sont effectuées mais cette fois ci, le calibrage LRRM montre ses limitations comme discuté dans la partie précédente.

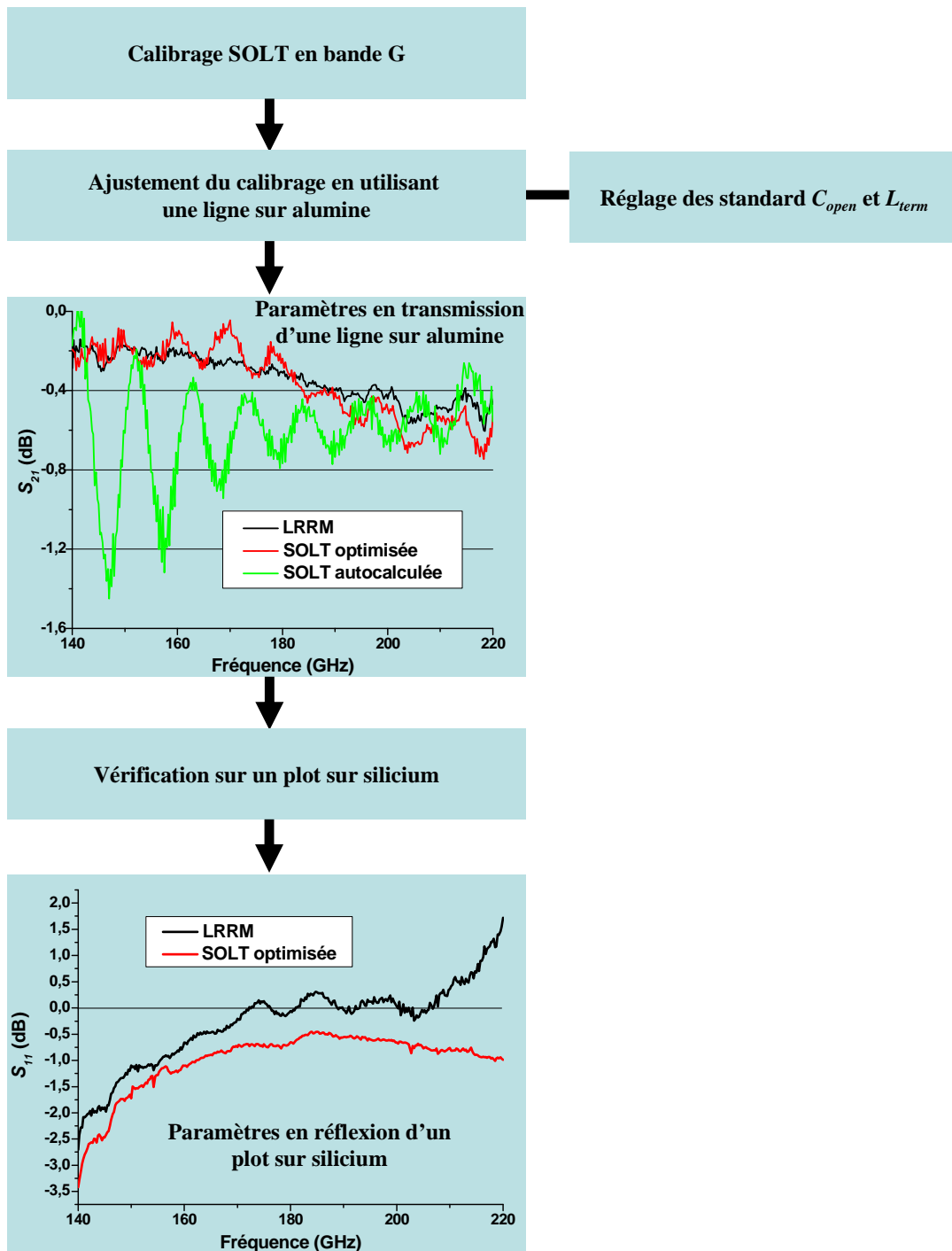


Figure 43 : Synoptique de calibrage en bande G.

5) Optimisation de l'épluchage

Le succès d'un épluchage peut être obtenu par de simples vérifications. En effet, les erreurs d'épluchages peuvent être identifiées par la vérification de l'indépendance fréquentielle des paramètres intrinsèques jusqu'aux fréquences millimétriques après épluchage des paramètres extrinsèques. Si cette invariance n'existe qu'en basse fréquence et qu'elle ne peut pas être corrigée en ajustant les paramètres extrinsèques, cela signifie qu'il existe d'autres éléments parasites inductifs et/ou capacitifs entre les sondes et le transistor à prendre en compte. Si ce n'est pas le cas, leur omission affectera les paramètres intrinsèques.

La faible valeur des capacités et des inductances extrinsèques C_{pg} / C_{pd} et L_g / L_d permet une deuxième vérification. En effet, avec une longueur de doigt de $1 \mu\text{m}$ ($W_u = 1 \mu\text{m}$), ces éléments sont de l'ordre de quelques fF et pH.

Notre travail a consisté dans un premier temps à valider une nouvelle méthodologie jusque 110 GHz [Waldhoff-08]. Un épluchage « pad-open-short » [Tiemeijer-05-1] est discuté et conduit à des résultats très satisfaisants jusqu'à 110 GHz. Cependant la montée en fréquence jusqu'à 220 GHz nécessite une structure de test supplémentaire pour valider nos résultats. Cette procédure plus complexe, appelée pad-open-short1-short2 [Waldhoff-09-1], apporte un meilleur épluchage des éléments parasites.

Quatre structures de test sont nécessaires (figure 44) : un plot (pad), un circuit ouvert dédié (appelé « open », il est composé d'un plot, d'une ligne, des descentes²⁵ et du peigne²⁶ représentés figure 45), un court-circuit1 (appelé « short1 », il est composé d'un plot, d'une ligne et connecté à la masse à la fin de la ligne) et un court-circuit2 (appelé « short2 », il est composé d'un plot, d'une ligne, des descentes et connecté à la masse à chaque extrémité du peigne).

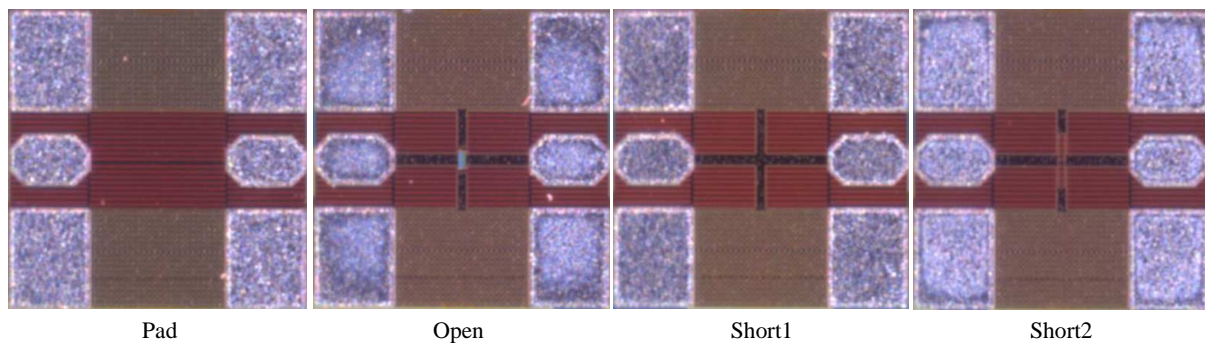


Figure 44 : Structures de test utilisées pour l'épluchage complexe.

²⁵ Les descentes sur un wafer silicium constitue les trous (ou via) métallisés reliant le back-end au dernier niveau de métal.

²⁶ Le peigne du transistor est constitué des doigts de grille ou de drain interdigité.

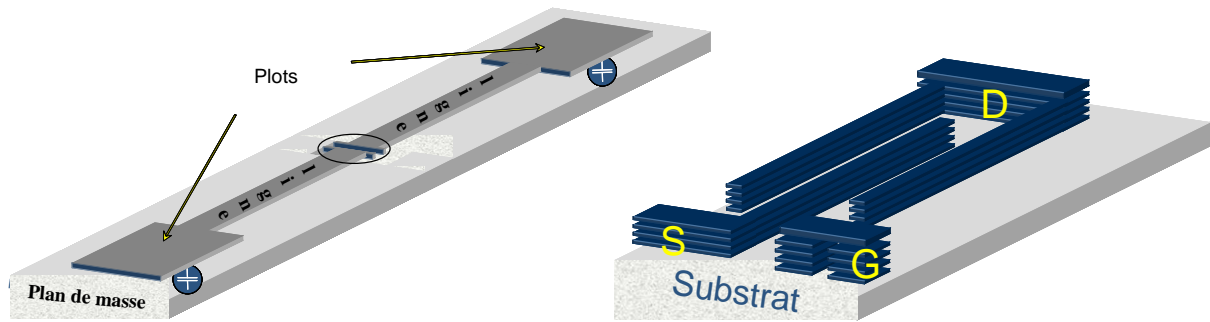


Figure 45 : Schéma représentant la structure d'un circuit-ouvert qui inclue les plots, les lignes de connexions à gauche, les descentes et le peigne à droite.

Cette méthode permet de prendre en compte les éléments séries et parallèles des plots, des lignes d'accès et des trous métallisés à travers les différents niveaux de métaux. On peut ainsi déterminer un circuit équivalent présenté figure 46. Chaque élément a ainsi été identifié pour en déterminer les contributions principales.

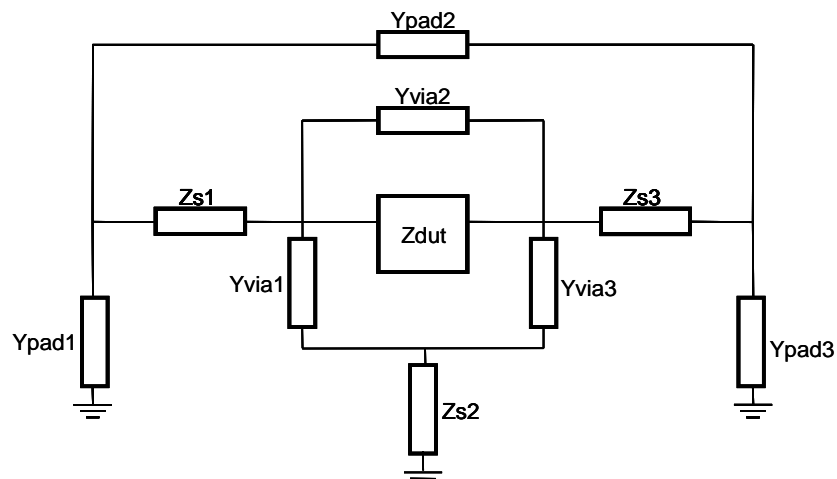


Figure 46 : Schéma équivalent de l'épluchage complexe.

Comme le montrent les résultats sur la figure 47, chacun des éléments a été calculé lors d'une campagne de mesure sur un transistor MOSFET SOI 65nm. La nature des éléments séries étant principalement inductive et celle des éléments parallèles principalement capacitive, on peut en déduire que les accès du transistor présentent un comportement quasi-localisé.

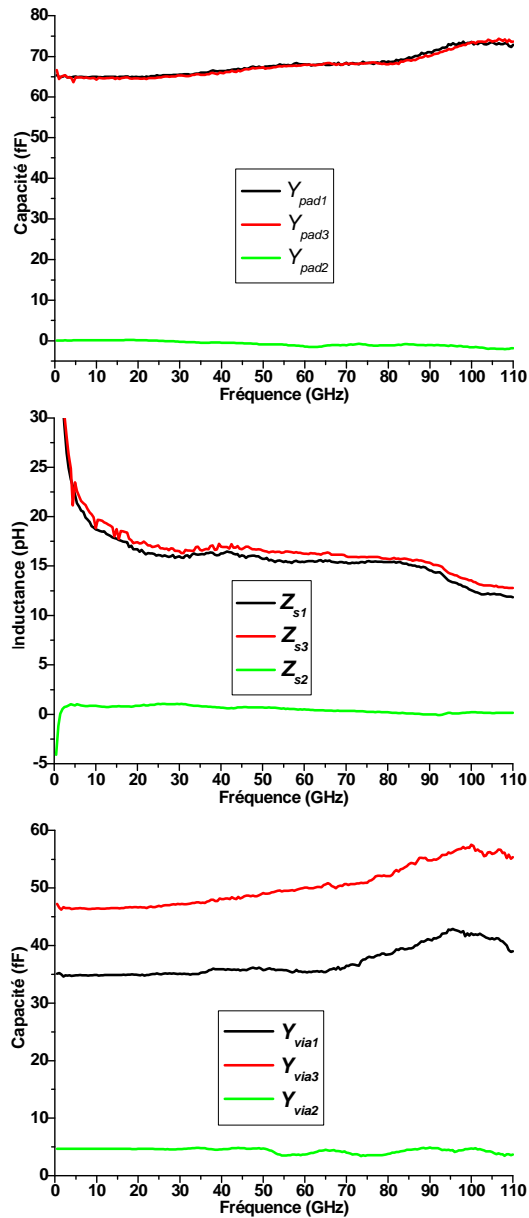


Figure 47 : Détermination des éléments série et parallèle des accès du transistor.

Prenons tout d'abord les courbes des éléments extraits de la matrice $[Y_{pad}]$. On constate que l'élément contre-réactif Y_{pad2} est quasi nul. Les deux autres ayant une valeur capacitive autour de 65 fF. Concernant les éléments série de la matrice $[Z_S]$, Z_{S2} est pratiquement égal à zéro alors que Z_{S1} et Z_{S3} égalent les 15 pH. Enfin, l'inductance Y_{VIA2} est négligeable devant les deux autres paramètres ayant une valeur proche de 35 fF.

Les équations suivantes sont utilisées pour calculer les contributions des accès au transistor :

$$\begin{aligned}
 [Z_S] &= ([Y_{short1}] - [Y_{pad}])^{-1} + \frac{([Y_{short2}] - [Y_{pad}])^{-1} - ([Y_{short1}] - [Y_{pad}])^{-1}}{3} \\
 [Y_{via}] &= ([Y_{open}] - [Y_{pad}])^{-1} - [Z_S]^{-1} \\
 [Z_{DUT}] &= \left\{ ([Y_{meas}] - [Y_{pad}])^{-1} - [Z_S]^{-1} - [Y_{via}] \right\}^{-1}
 \end{aligned}
 \tag{E-17}$$

L'utilisation de deux structures « short » donne une meilleure précision dans la détermination des éléments série d'accès. Le facteur « 3 » présent dans l'équation de la matrice $[Z_S]$ prend en compte l'aspect distribué des parasites série de la « barre métallique » qui connecte le transistor tout au moins lorsque la fréquence devient importante. La matrice $[Y_{VIA}]$ est calculée pour évaluer la contribution des vias descendant jusqu'au transistor. Enfin, la matrice $[Z_{DUT}]$ représente les paramètres intrinsèques du transistor.

La précision de l'épluchage dépend de la mesure des structures de tests utilisées et de la somme des éléments parasites pris en compte ainsi que leur similarité avec le CST.

En utilisant ces structures de test et un épluchage plus classique type « open » ou « open-short » [Koolen-91], on obtient des résonances et des fluctuations des paramètres du modèle dues à un mauvais épluchage des accès parasites.

Une étude comparant plusieurs sortes d'épluchage a été menée au sein de l'équipe. Cette étude présente les valeurs des erreurs relatives des paramètres intrinsèques fondamentaux en fonction de cinq différents épluchages : Open [Van Wijnen-87], Open-Short [Koolen-91], Open-Line [Andrei-07-2], Pad-Open-Short [Tiemeijer-05-1] et Pad-Open-Short1-Short2 [Waldhoff-09-1].

Il est important de noter qu'ici, nous discutons des éléments intrinsèques du transistor avant d'avoir présenté le schéma équivalent (partie suivante). En effet, la comparaison des différents épluchages s'observe facilement sur les éléments intrinsèques. Une déviation minimale est synonyme d'un épluchage correct.

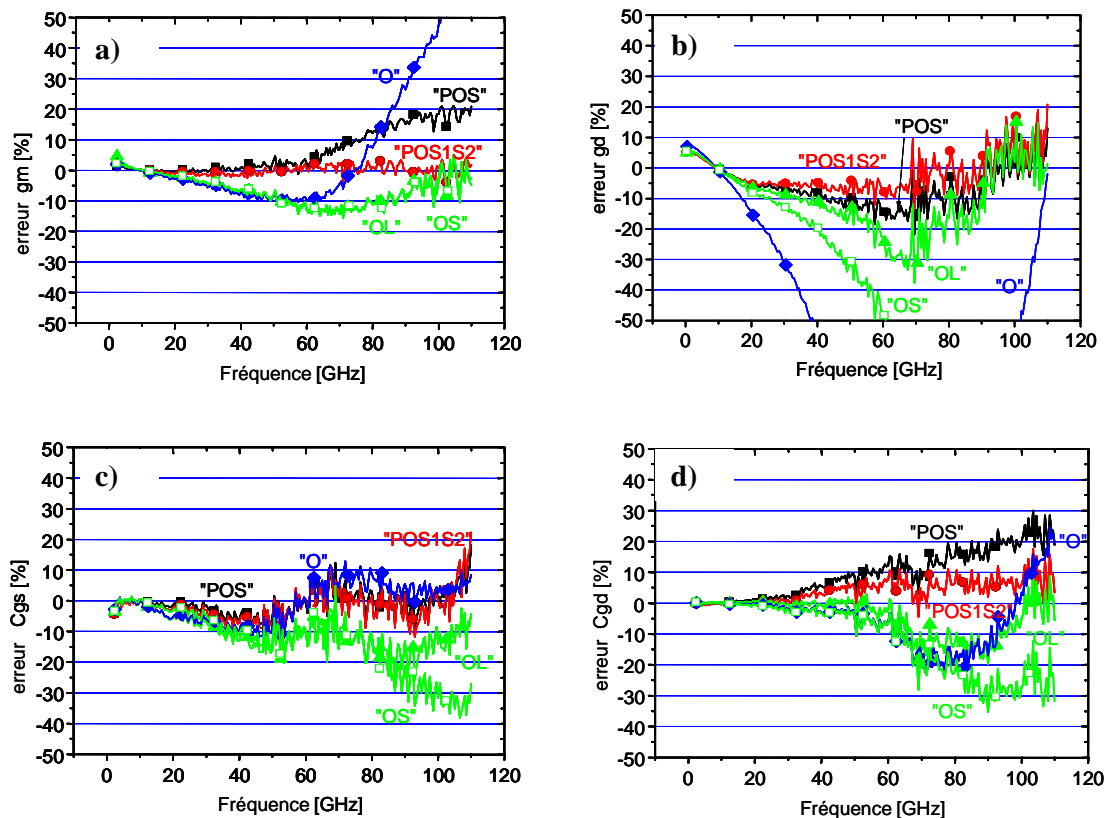


Figure 48 : Comparaison entre 5 épluchages sur les déviations des paramètres intrinsèques g_m , g_d , C_{GS} et C_{GD} pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7 \text{ V}$, $V_{DS} = 1.2 \text{ V}$.

La comparaison des épluchages sur les paramètres intrinsèques est un gage de qualité. On remarque sur les figures 48 que plus le nombre de standards augmente, meilleur est

l'épluchage. Il est intéressant de noter que ces différentes techniques sont équivalentes jusque 30 GHz.

6) Méthodologie complète d'une mesure hyperfréquence

L'organigramme ci-dessous résume les étapes nécessaires pour déterminer correctement le modèle du transistor.

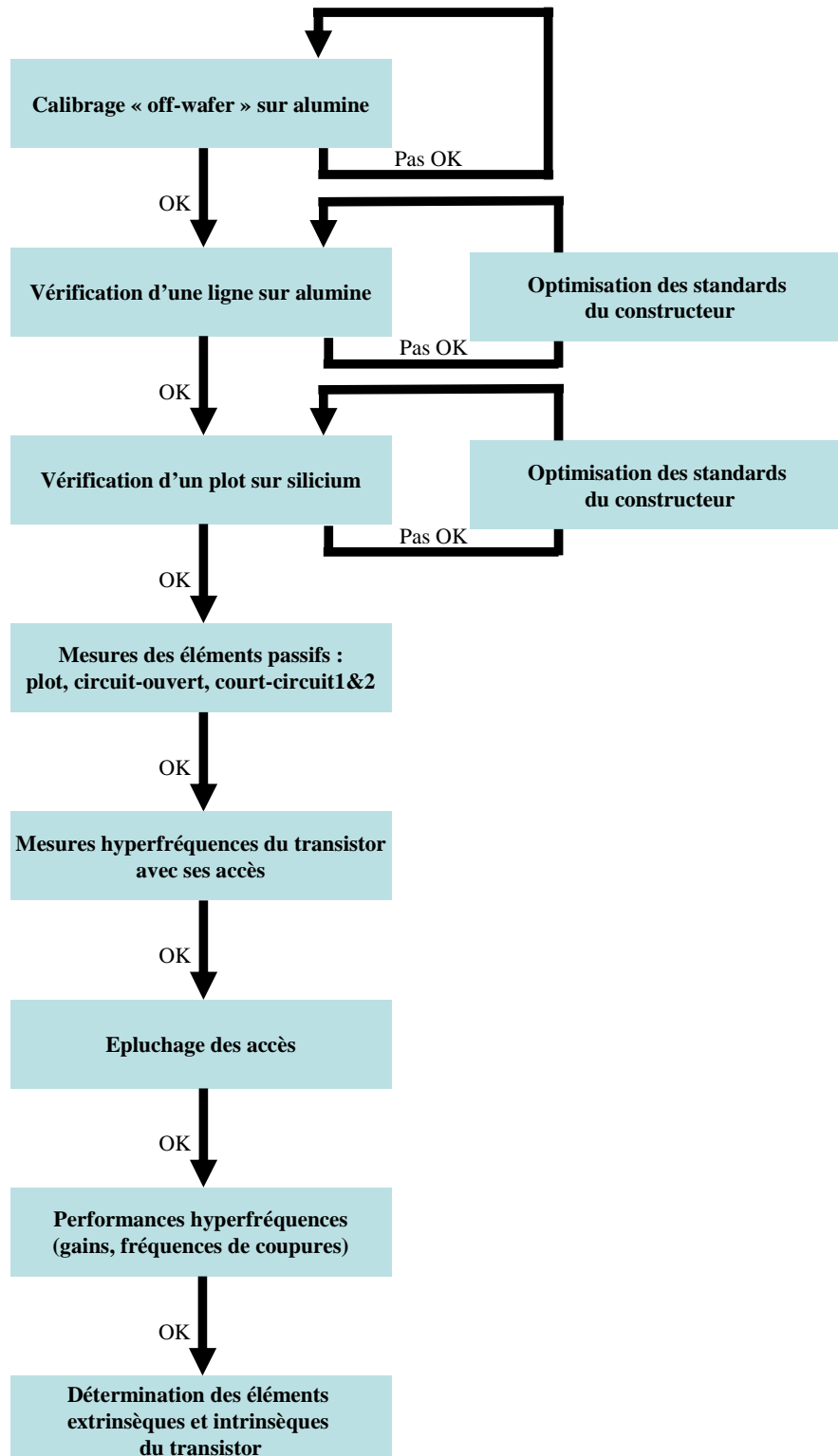


Figure 49 : Méthodologie d'une mesure hyperfréquence d'un transistor sur silicium.

Cette technique utilisée à l'IEMN est bien sûr agrémentée de quelques vérifications supplémentaires en ce qui concerne l'analyseur de réseau ou la qualité du posé des sondes. Presque toutes les étapes sont assistées par un ordinateur équipé du logiciel d'acquisition de mesures ICCAP et qui permet aussi de réaliser les différents calculs nécessaires à l'extraction des paramètres.

7) Figures de mérite du MOSFET

La méthodologie présentée précédemment est donc utilisée pour obtenir les paramètres du transistor sans ses accès (après épluchage).

Une mesure des paramètres S du transistor jusque 50 GHz nous permet d'extraire les fréquences de coupure du gain en courant H_{21} ainsi que du gain unilatéral de Mason U (voir les définitions en annexe B).

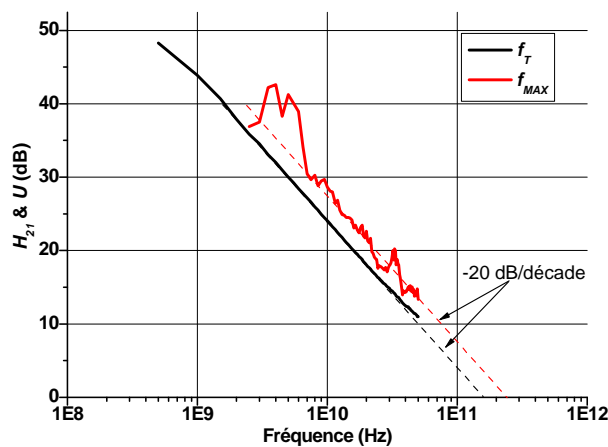


Figure 50 : Extraction des fréquences de coupure f_T et f_{MAX} pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) à $V_{DS}=1.2 \text{ V}$, $V_{GS}=0.7 \text{ V}$ et $I_D=24\text{mA}$.

De la figure 50, on en déduit les fréquences de coupure suivantes : $f_T = 157 \text{ GHz}$ et $f_{MAX} = 240 \text{ GHz}$ à la polarisation optimale. Comme on peut le constater sur la courbe, le gain de Mason est très sensible au bruit de mesure mais son extrapolation reste tout de même réalisable.

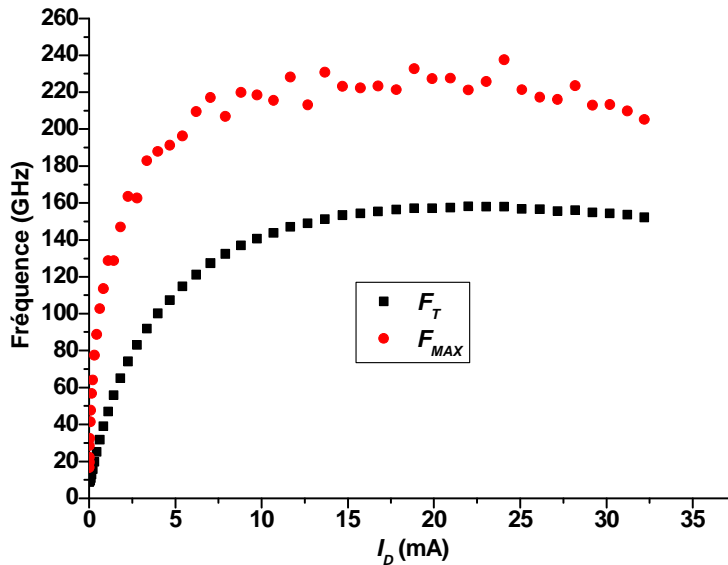


Figure 51 : Fréquence de transition (f_T) et fréquence maximale d'oscillation (f_{MAX}) en fonction du courant de drain (I_D) du MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $F=20 \text{ GHz}$ et $V_{DS} = 1.2 \text{ V}$.

La figure 51 donne les variations de f_T et f_{MAX} en fonction du courant de drain. Cette courbe nous donne une information supplémentaire à savoir la zone de fonctionnement dans laquelle le transistor dispense ses meilleures performances hyperfréquences située environ entre 17 et 30 mA de courant de drain.

On peut aussi vérifier les valeurs des fréquences de coupure par les formules approchées données dans le premier chapitre. Ainsi par calcul (équations E-8 et E-9) et en utilisant les valeurs des éléments extraits, on obtient $f_T=172 \text{ GHz}$ et $f_{MAX}= 248 \text{ GHz}$.

III) Modélisation en régime petit signal

La modélisation du transistor à effet de champ, n'a jusqu'à présent pas été abordé. Dans notre cas, nous avons élaboré un modèle qui s'appuie sur le comportement physique du dispositif, qui permet, selon les différents modes d'opération, d'appliquer des méthodes d'extraction des éléments.

La particularité de déterminer un modèle en RF repose sur le fait de prédire le plus précisément possible le comportement en régime dynamique petit signal intrinsèque mais aussi l'influence des éléments d'accès dits éléments extrinsèques. S'ajoute à cela l'extraction des éléments non quasi-statiques (R_i et τ) qui modifient les performances des dispositifs à très haute fréquence.

Cette partie présente donc la méthode d'extraction couramment utilisée pour déterminer les paramètres extrinsèques et intrinsèques du modèle [Bracale-01] en s'appuyant sur un modèle petit signal non quasi-statique.

1) Modèle non quasi-statique

Le modèle présenté figure 52 est couramment utilisé à l'IEMN. Il a fortement été étudié dans [Bracale-01] et [Pailloncy-05] par exemple. C'est le schéma équivalent conventionnel d'un transistor à effet de champ. Il est composé des paramètres extrinsèques, intrinsèques mais aussi d'un réseau substrat (en rouge, figure 52).

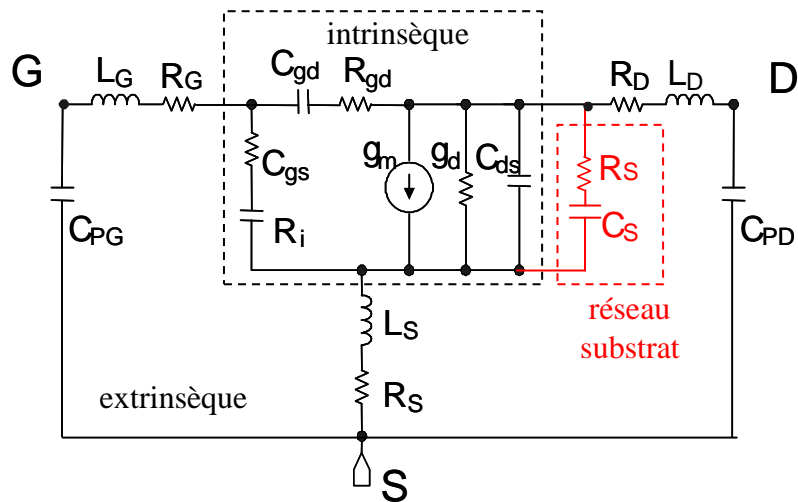


Figure 52 : Schéma équivalent non quasi-statique en source commune du MOSFET avec prise en compte de l'effet substrat (en rouge).

La précision des modèles devient cruciale pour prédire les performances des applications RF et hyperfréquences (CAO²⁷ des circuits). Il faut non seulement anticiper le comportement intrinsèque du transistor synonyme d'effet transistor dans le canal mais aussi prédire l'influence des éléments parasites extrinsèques. Ces derniers deviennent prépondérants pour des applications hautes fréquences. De plus, il est nécessaire de décrire avec précision les effets non quasi-statiques pouvant dégrader les performances du dispositif. Le modèle figure 52 synthétise tous ces phénomènes.

2) Paramètres extrinsèques

Les paramètres extrinsèques sont les premiers éléments extraits et leur valeur dépend de la qualité de l'épluchage.

L'hypothèse classique émise pour extraire ces éléments extrinsèques est qu'ils sont indépendants de la polarisation. Cette hypothèse nous permet de les extraire facilement en polarisant à froid les transistors ($V_{GS} = V_{DS} = 0$ V).

Ici débute la partie nommée méthode Bracale [Bracale-01].

On commence donc par extraire les capacités C_{pg} et C_{pd} .

²⁷ CAO : Conception Assistée par Ordinateur.

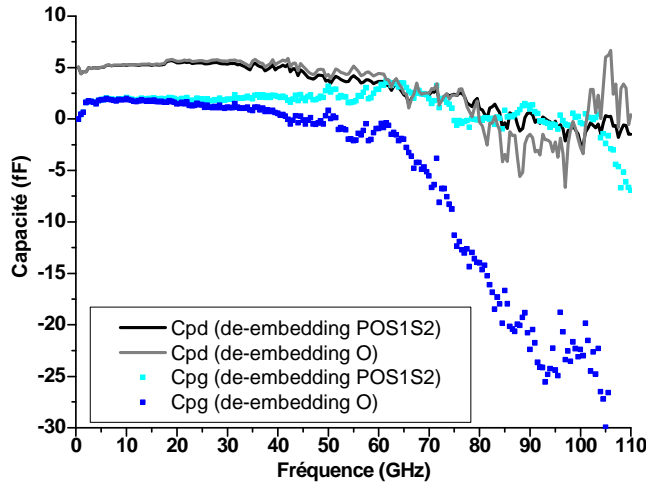


Figure 53 : Extraction des capacités C_{pd} et C_{pg} en utilisant deux méthodes d'épluchage. O: Open et POS1S2: Pad Open Short1 Short2.

On observe aisément sur la figure 53 que les capacités extrinsèques ont beaucoup moins de fluctuations après un épluchage complexe (POS1S2) qu'après un simple épluchage open (O). Les valeurs sont toutefois extraites jusque 40 GHz et on en déduit $C_{pd} = 5.2 \text{ fF}$ et $C_{pg} = 1.9 \text{ fF}$.

Intéressons nous maintenant à l'extraction des résistances R_G , R_D et R_S représentées figure 54. La tension drain-source est toujours nulle et on polarise V_{GS} à plusieurs valeurs puis on mesure les paramètres impédances. On prend ensuite la valeur moyenne sur la plus large bande de fréquence possible. Enfin, la détermination de ces 3 résistances d'accès s'effectue par régression linéaire en fonction du terme $\frac{1}{V_{GS} - V_{TH}}$ ($V_{GS} - V_{TH}$ = tension d'overdrive), l'ordonnée à l'origine étant le résultat.

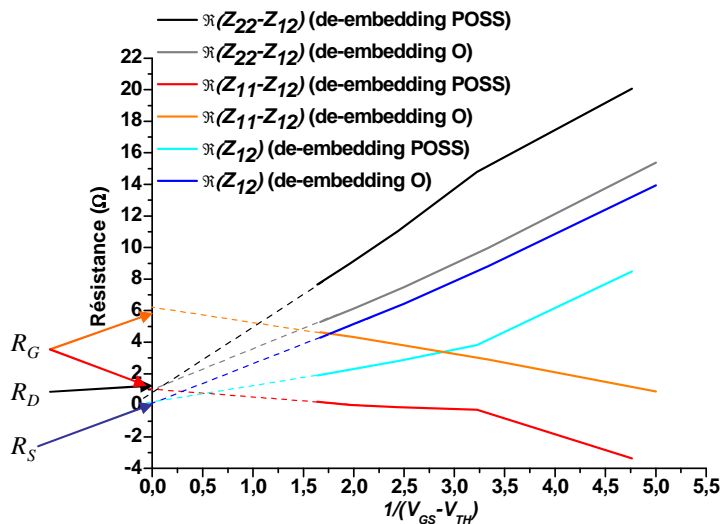


Figure 54 : Extraction des résistances R_G , R_D et R_S en fonction de l'inverse de la tension d'overdrive.

On constate que pour les résistances de drain et de source, la méthode d'épluchage utilisée n'a que peu d'importance exceptée pour la résistance de grille où l'écart (environ 5Ω) est considérable.

Les inductances L_G , L_D et L_S seront déduites lors de l'extraction des paramètres intrinsèques par une méthode de lissage, de façon à obtenir les paramètres intrinsèques les plus plats possibles en fonction de la fréquence.

3) Paramètres intrinsèques

Les paramètres intrinsèques sont extraits après avoir substitué les paramètres extrinsèques. Leur indépendance fréquentielle est alors considérée comme un facteur de qualité d'extraction.

Afin d'extraire ces paramètres, une procédure multi-polarisation est réalisée en faisant varier la tension grille-source jusque 1.2 V et en fixant la tension drain-source à 0.7 V.

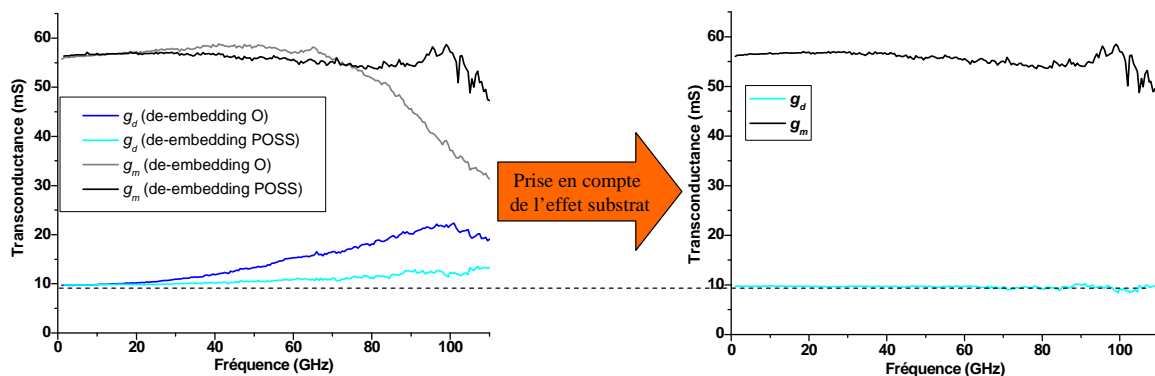


Figure 55 : Evolution des transconductances g_m et g_d en fonction de la fréquence. La figure de droite inclut la prise en compte de l'effet substrat. $V_{DS} = 1.2$ V, $V_{GS} = 0.7$ V.

Les valeurs extraites pour les transconductances sont : $g_m = 56$ mS et $g_d = 10$ mS. La valeur du g_m dynamique obtenue est confirmée par le g_m statique extrait lors de la caractérisation statique de l'ordre de 54 mS.

Un autre phénomène est perceptible sur la figure 55 (gauche), l'augmentation du g_d au-delà de 60 GHz. Ce phénomène est dû à l'effet de substrat [Lee-01]. Par rapport aux dispositifs sur substrat massif, la difficulté pour caractériser les MOSFET SOI est accrue à cause de cette région neutre. Ainsi, plus que pour l'étude de transistors sur substrat massif, le choix d'une bonne méthode d'extraction conditionne la justesse et la rigueur des résultats obtenus. Cette zone peut se modéliser simplement par une résistance en série avec une capacité, toute deux en parallèle sur g_d . La méthode d'extraction de la résistance et de la capacité est décrite en annexe A. Ces deux paramètres influent directement sur le g_d est le rende pratiquement indépendant de la fréquence (figure 55, droite). On obtient une résistance substrat $R_S = 26 \Omega$ et une capacité substrat $C_S = 18$ fF.

L'extraction des capacités C_{GS} et C_{GD} , réalisée en régime de saturation, est illustrée figure 56. La capacité C_{GD} est égale à 20 fF alors que C_{GS} est proche de 35 fF.

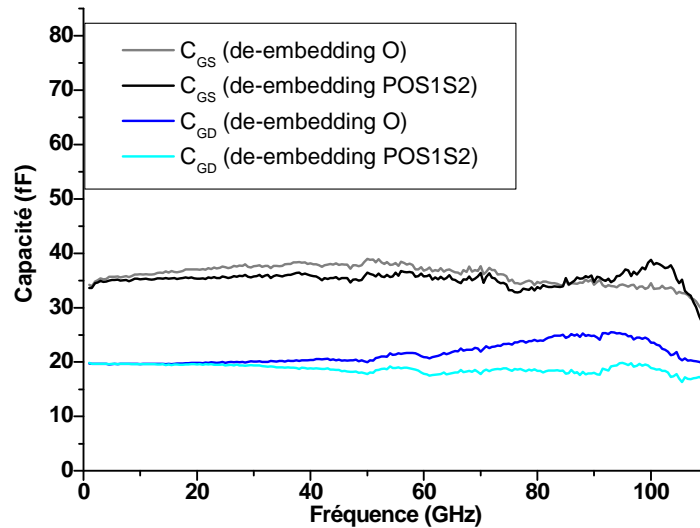


Figure 56 : Extraction des capacités C_{GS} et C_{GD} en fonction de la fréquence ($V_{DS} = 1.2 \text{ V}$ et $V_{GS} = 0.7 \text{ V}$).

La valeur de C_{GS} est élevée en saturation du fait qu'une grande quantité de charge d'inversion est présente dans le canal du côté de la source. Par conséquent, C_{GD} est plus faible en saturation.

Ensuite on extrait successivement les éléments intrinsèques R_{GD} et C_{DS} puis les éléments non quasi-statiques Tau et R_i représentés sur les figures suivantes.

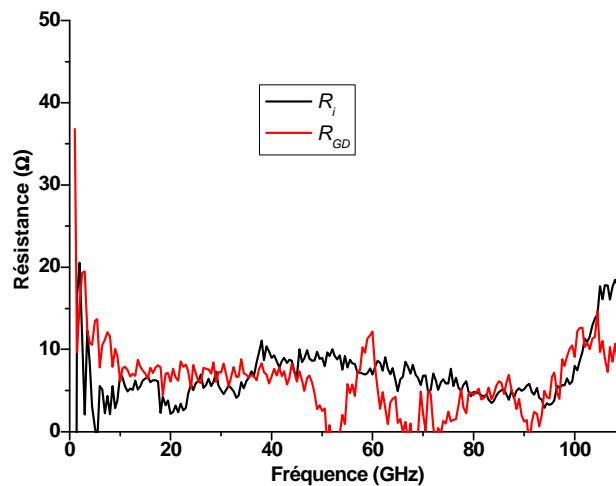


Figure 57 : Extraction des résistances intrinsèques R_i et R_{GD} .

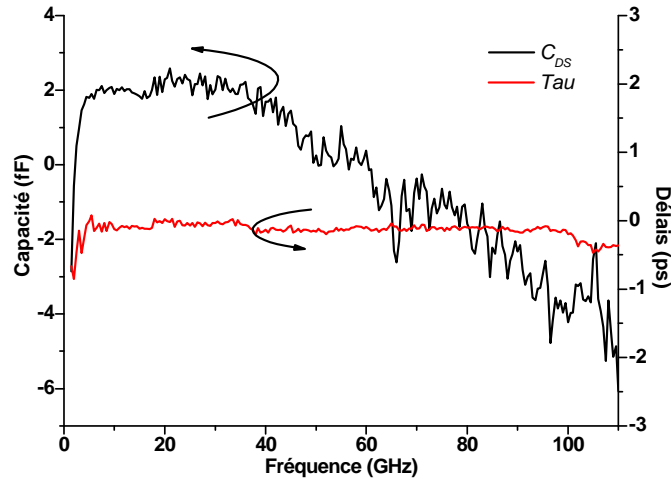


Figure 58 : Extraction des éléments intrinsèques C_{DS} et Tau .

Les valeurs des résistances R_i et R_{GD} se situent aux alentours de 5Ω . La capacité drain-source extraite en basse fréquence vaut 2 fF et Tau est pratiquement égal 0 ps . On note toutefois sur la capacité C_{DS} une diminution de sa valeur au-delà de 40 GHz . Ce phénomène peut survenir lorsque que l'on surestime la capacité C_{PD} ou encore la capacité plot. En effet, si une petite contribution de C_{DS} vient s'ajouter lors de l'extraction d'autres capacités plus grandes (C_{PD} et C_{open}), on observe cette diminution.

4) Validation de la procédure d'extraction

Quelques vérifications ont déjà été réalisées pour valider la qualité et la précision de la méthode d'extraction comme la quasi égalité des transconductances g_m statique et dynamique mais aussi l'indépendance fréquentielle des paramètres intrinsèques. Un autre moyen consiste à recalculer les fréquences de coupure f_T et f_{MAX} par les formules données dans le chapitre précédent. Enfin la comparaison entre les paramètres S mesurés et simulés permet de valider entièrement la méthode.

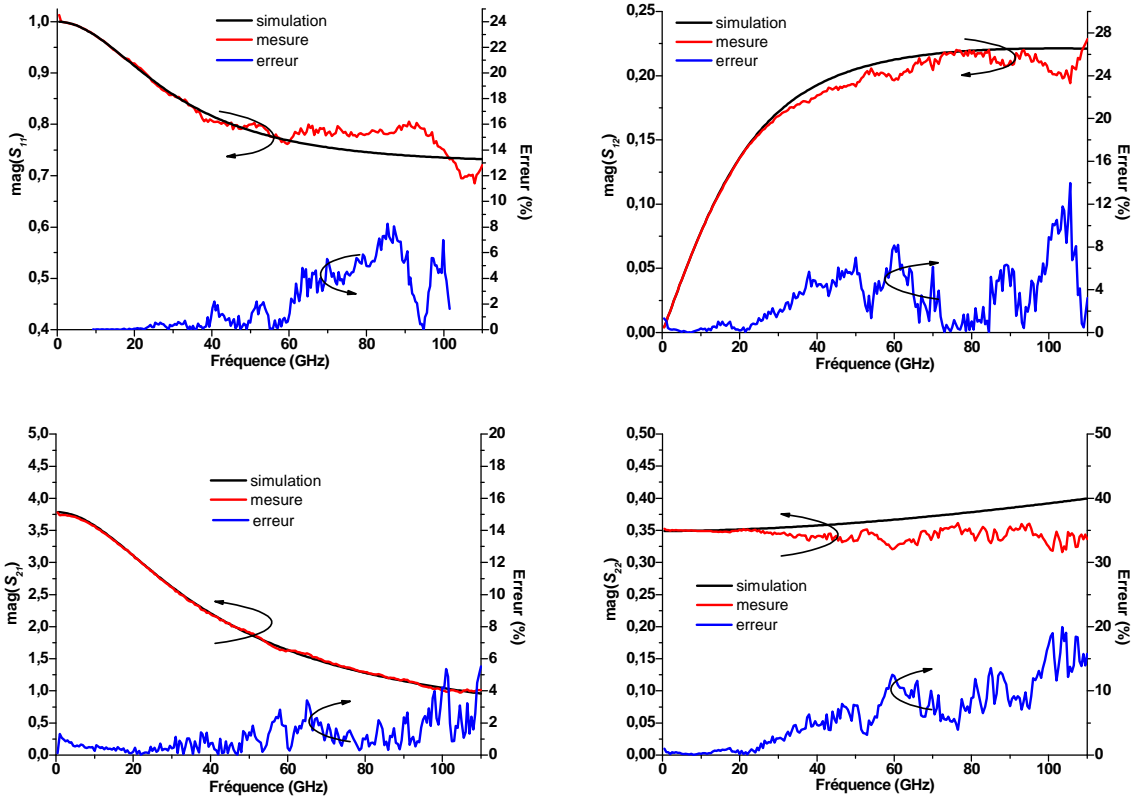


Figure 59 : Modules des paramètres S mesurés et simulés avec leur déviation pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7 \text{ V}$, $V_{DS} = 1.2 \text{ V}$.

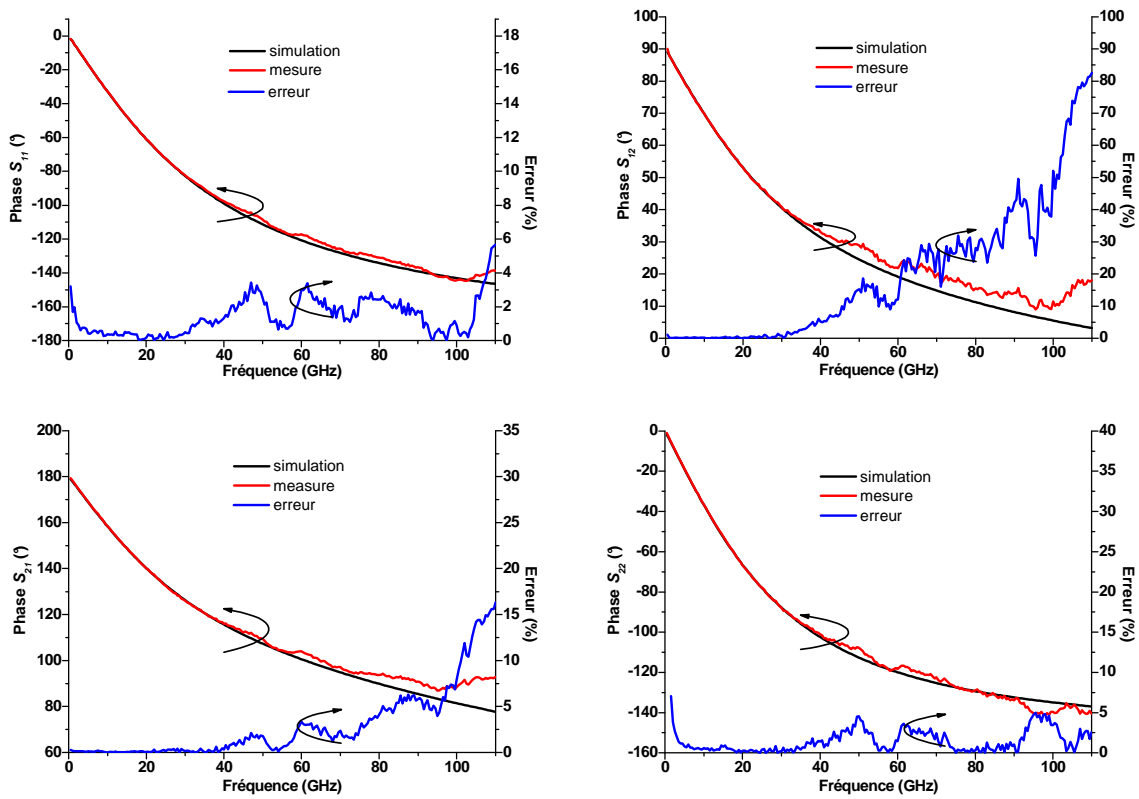


Figure 60 : Phases des paramètres S mesurés et simulés avec leur déviation pour le transistor MOSFET SOI 65 nm ($64 \times 1 \mu\text{m}$) $V_{GS} = 0.7 \text{ V}$, $V_{DS} = 1.2 \text{ V}$.

Les figures 59 et 60 montrent les paramètres S obtenus jusque 110 GHz en module et phase. Ces résultats sont très satisfaisants avec des déviations minimales ce qui est de bonnes augures pour la validation du modèle jusque 220 GHz.

En bande G, il devient très difficile d'extraire les paramètres intrinsèques du transistor. En effet, le fort impact des parasites dus aux interconnexions (plots d'accès, lignes, vias) et le très faible gain du transistor dans cette gamme de fréquence limite considérablement la sensibilité de la méthode d'extraction. Même en utilisant un épluchage complexe (POS1S2), les paramètres S corrigés (épluchés) conduisent à des erreurs très importantes comparées au schéma équivalent petit signal. Pour ces raisons, le modèle équivalent des accès présenté figure 46 a été ajouté au schéma équivalent petit signal du transistor dont les éléments sont extraits jusqu'à 110 GHz. Il en résulte le schéma figure 61.

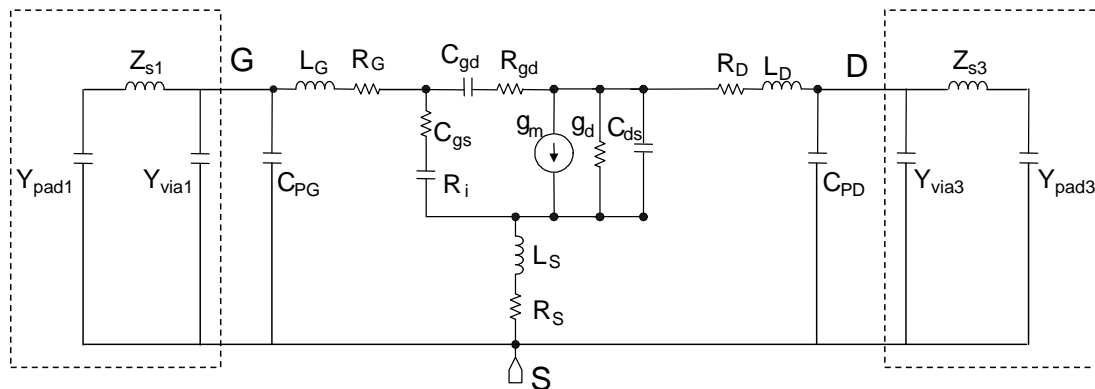


Figure 61 : Schéma équivalent petit signal avec ses accès (entourés de pointillés).

Seuls les éléments les plus influents des accès ont été ajoutés (précédemment déterminés figure 47). Leurs valeurs sont données dans le tableau ci-dessous :

Y_{pad1}	Y_{pad3}	Z_{S1}	Z_{S3}	Y_{via1}	Y_{via3}
65 fF	65 fF	16 pH	16 pH	35 fF	65 fF

Tableau 7 : Valeurs des éléments localisés des accès du schéma équivalent petit signal.

On peut maintenant comparer les résultats obtenus en mesure et en simulation. On observe sur ces résultats (figure 62) une bonne concordance entre la simulation effectuée entre 0.5 et 220 GHz et la mesure réalisée grâce aux 2 bancs de mesures présentés précédemment. Ces résultats confirment la validité du modèle et par conséquent la méthode d'extraction.

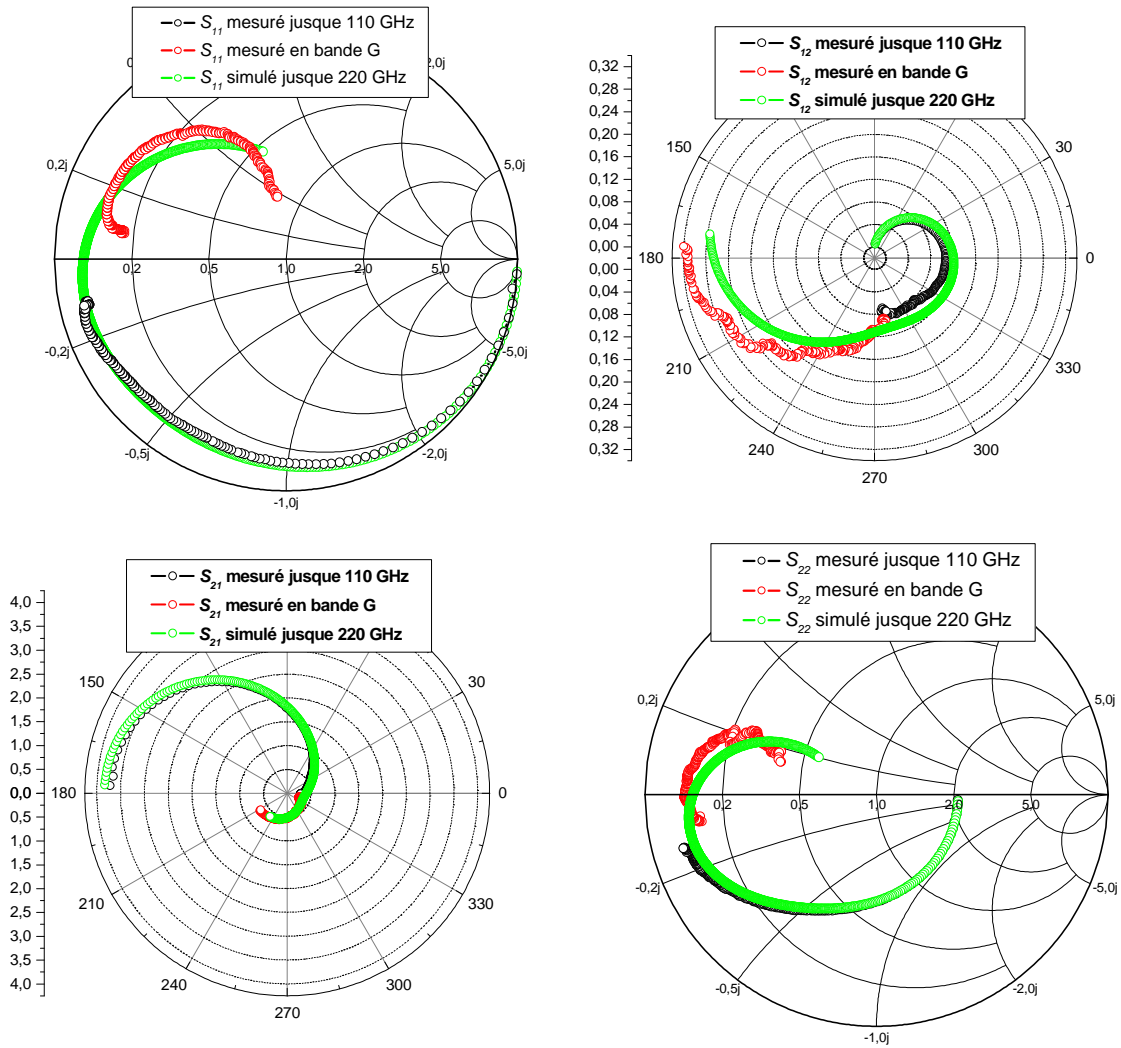


Figure 62: Paramètres S mesurés et simulés jusque 220 GHz pour le transistor MOSFET SOI 65 nm (64 x 1 μm) $V_{GS} = 0.7\text{ V}$, $V_{DS} = 1.2\text{ V}$.

C) Le transistor bipolaire HBT SiGe

I) Caractérisation statique

La caractérisation statique du transistor bipolaire, tout comme le transistor MOSFET est primordiale en vue de définir les points de polarisations judicieux qui conduiront aux meilleures performances AC.

Les transistors bipolaires à hétérojonction investigués durant cette thèse proviennent de deux différentes technologies de ST Microelectronics, toutes deux basées sur une architecture double polysilicium complètement auto-alignée par épitaxie sélective de la base [Geynet-08]. La première technologie, appelée standard, utilise un procédé conventionnel de fabrication et elle a été optimisée pour atteindre un gain en puissance élevé avec un minimum de bruit (NF_{min}). La seconde technologie a été fabriquée pour atteindre des performances de fréquences de transition f_T les plus élevées possible. Elle a été développée en diminuant le

budget thermique du procédé de fabrication en utilisant une topologie²⁸ spécifique d'où son nom « faible budget thermique ».

La technologie standard utilise un développement de ($L_{EX}W_E = 0.13 \times 9.7 \mu\text{m}^2$) tandis que la technologie faible budget thermique s'appuie sur ($N_{EX}L_{EX}W_E = 5 \times 0.17 \times 1.2 \mu\text{m}^2$). Le choix de ces deux dispositifs a été guidé par leur performance. En effet, le transistor standard propose un couple f_T/f_{MAX} équivalent à 260/315 GHz et le transistor faible budget thermique atteint 410/138 GHz. Les études statique et dynamique sont orientées sur le dispositif faible budget thermique. On s'intéressera à l'autre dispositif lors de l'étude en bruit.

On commence tout d'abord par vérifier si le transistor fonctionne correctement en DC en traçant la courbe $I_C=f(V_{CE})$ (figure 63). Le transistor est en mode émetteur commun. On constate un effet d'auto-échauffement grandissant avec le courant collecteur. En effet, le composant soumis à de fortes densités de courant, va s'échauffer par effet Joule ce qui perturbe le fonctionnement du composant. Des mesures pulsées permettent d'observer le composant sans échauffement : de courtes impulsions de tension sont envoyées sur le transistor et celui-ci n'a pas le temps de s'échauffer car les constantes de temps du domaine thermique sont beaucoup plus grandes que les temps d'établissement des courants. Mais ces mesures ne font pas l'objet de cette étude.

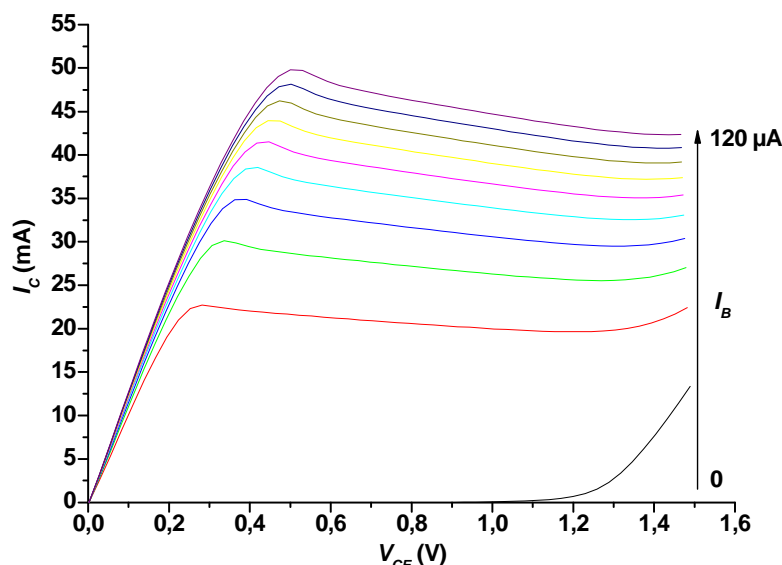


Figure 63 : Caractéristiques de sortie $I_C=f(V_{CE})$ pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

La figure 63 nous donne un autre élément concernant notre transistor : la tension de claquage BV_{CE0} ²⁹, valeur de la polarisation V_{CE} à partir de laquelle le phénomène d'avalanche entraîne une brusque augmentation du courant collecteur. Cette tension est caractéristique du dispositif en fonctionnement. Ici, on évalue BV_{CE0} à environ 1.2 V ce qui est caractéristique d'un dispositif rapide (présentant un fort gain en courant) contrairement à un dispositif haute-tension avec une tension de claquage élevée et donc un gain diminué.

Ensuite, les courbes de Gummel (I_C , I_B , $\beta=f(V_{BE})$) donnent les variations des courants de base et de collecteur en fonction de la tension base-émetteur lorsque la tension base-

²⁸ Topologie : on peut aussi utiliser le terme anglo-saxon « layout ».

²⁹ La tension de claquage BV_{CE0} donne une mesure de l'avalanche dans la jonction base-collecteur du transistor bipolaire en fonctionnement. Cette avalanche est un phénomène de multiplication des porteurs soumis à un fort champ électrique. Lorsque la polarisation en inverse est trop grande, un nombre important de paires électron-trou est créé par un phénomène d'ionisation par impact.

collecteur est nulle. Ces courbes reflètent différents modes de fonctionnement qui nous offrent la possibilité de mesurer les coefficients d'idéalité, les courants de saturation des jonctions base-émetteur et base-collecteur ainsi que le gain en courant.

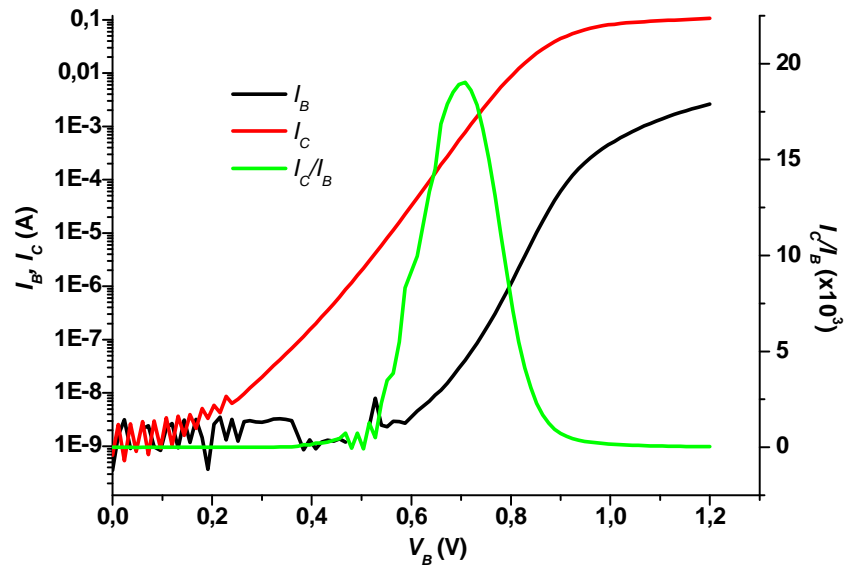


Figure 64 : Courbes de Gummel du transistor HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

La figure 64 nous renseigne sur le rapport des courants I_C/I_B qui est maximum à $V_{BE}=0.71$ V et il atteint pratiquement 20000. Ce gain élevé est un début de réponse concernant la forte valeur de f_T . Une explication plus approfondie sera fournie lors de l'étude cryogénique.

II) Caractérisation hyperfréquence

La caractérisation des transistors bipolaires utilise aussi les dispositifs de mesure présentés dans la section sur le transistor MOSFET. Un calibrage conventionnel est utilisé à savoir la SOLT (cf chapitre I, Calibrage du VNA) suivie d'un épluchage open (cf chapitre I, Epluchage).

1) Figures de mérite du HBT

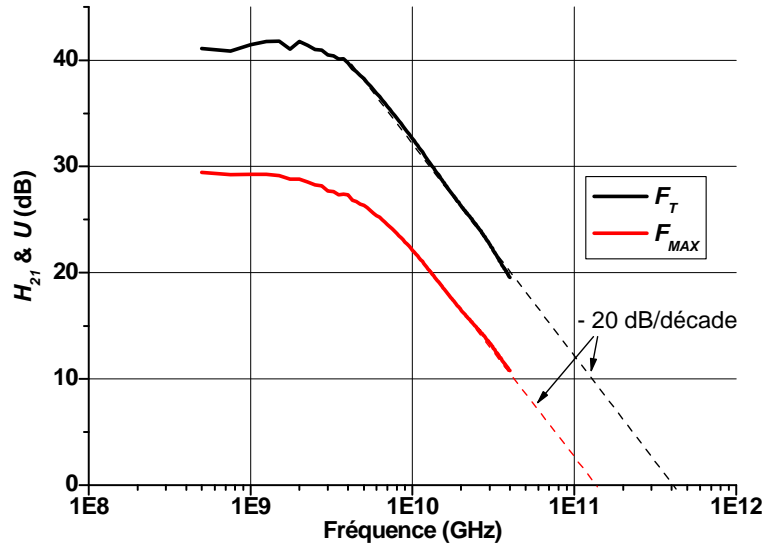


Figure 65 : Extraction des fréquences de coupure f_T et f_{MAX} pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

La figure 65 présente l'extrapolation des gains en courant et de Mason selon une pente de -20 dB/décade pour en déduire les fréquences de coupure $f_T = 410 \text{ GHz}$ et $f_{MAX} = 138 \text{ GHz}$. Notons que dans cet exemple, la mesure des paramètres S a été effectuée jusque 40 GHz.

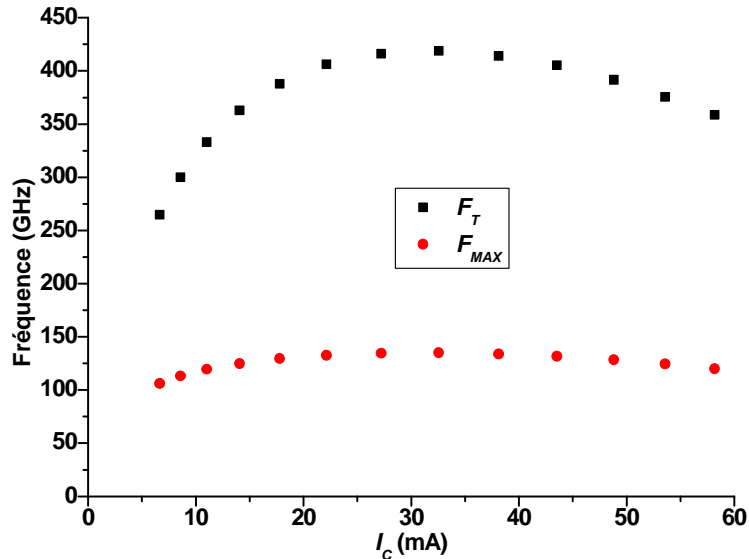


Figure 66 : Fréquence de transition (f_T) et fréquence maximale d'oscillation (f_{MAX}) en fonction du courant de collecteur (I_C) pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) ; $F=20 \text{ GHz}$ et $V_{CE} = 1.5 \text{ V}$.

La fréquence de coupure f_T atteint une valeur remarquable de 410 GHz pour un courant collecteur proche de 30 mA contrairement à f_{MAX} qui, pour le même courant, n'atteint que 138 GHz. L'explication d'une telle différence sera donnée dans la partie suivante.

2) Caractérisation cryogénique petit signal

Une campagne de mesure cryogénique jusqu'à 4 K a été menée sur les transistors bipolaires standard et faible budget thermique aussi bien en paramètres S qu'en bruit. Ces mesures ont pour but de révéler les capacités de ces transistors aux basses températures et surtout de comprendre les évolutions de leurs performances.

a) Présentation du banc

La station cryogénique sous pointes de type JANIS® permet d'effectuer des mesures hyperfréquences jusque 67 GHz pour des températures allant de 400 K à 4 K. C'est une station à flot cryogénique continu utilisant des bras micro-manipulés sous pointes. Ce modèle peut accueillir deux sondes RF 67 GHz et quatre sondes DC.



Figure 67 : Station cryogénique sous pointes hyperfréquences.

La figure 67 est une photo de la station utilisée à l'IEMN. Le système complet inclut aussi une pompe permettant de mettre sous vide la chambre d'échantillons et ainsi réaliser l'isolation nécessaire pour que le système puisse opérer. Enfin, un analyseur de réseau vient compléter le système afin de réaliser la mesure de paramètres S.

b) Conditions de mesure à basse température

La qualité d'une mesure est conditionnée par les équipements qui constituent la chaîne de mesure ainsi que d'éventuels parasites qui affectent l'ensemble. Dans le cas d'une mesure cryogénique, l'élément essentiel est la station sous pointe. La station de l'IEMN, étant arrivé en 2008, nous a permis d'être les précurseurs de la mesure statique et hyperfréquence jusqu'à

4 K. Ceci implique aussi d'être les précurseurs en matière de dysfonctionnement et donc d'optimisation nécessaire pour la bonne conduite d'une campagne de mesure.

Lors de notre campagne, nous avons pu notamment observer des phénomènes de givre sur les dispositifs ce qui implique un mauvais contact entre les sondes et le composant sous test. Ces problèmes peuvent se répercuter sur le calibrage et sur l'épluchage ce qui amplifie les erreurs commises sur les paramètres intrinsèques et extrinsèques.

Ces phénomènes sont à prendre en compte sur les résultats expérimentaux présentés dans cette partie et notamment sur les mesures cryogéniques.

c) Caractérisation statique

On commence une nouvelle fois par vérifier le bon fonctionnement du transistor en mesurant les caractéristiques de sortie à la température ambiante (300 K) de l'azote liquide (77 K) et de l'hélium liquide (4 K). On constate rapidement une nette amélioration du courant collecteur quand on réduit la température (figure 68). Cette courbe nous informe aussi sur la diminution des résistances d'accès avec la pente qui devient de plus en plus abrupte avec la température qui diminue. Un phénomène apparaît : l'apparition d'une fluctuation entre le régime saturé et le régime de fonctionnement normal direct à température cryogénique. Deux explications sont alors possibles : soit un effet d'auto-échauffement comme discuté précédemment, soit une non uniformité de la jonction base-collecteur qui crée une augmentation puis une diminution de courant à faible V_{CE} [De Los Santos-96].

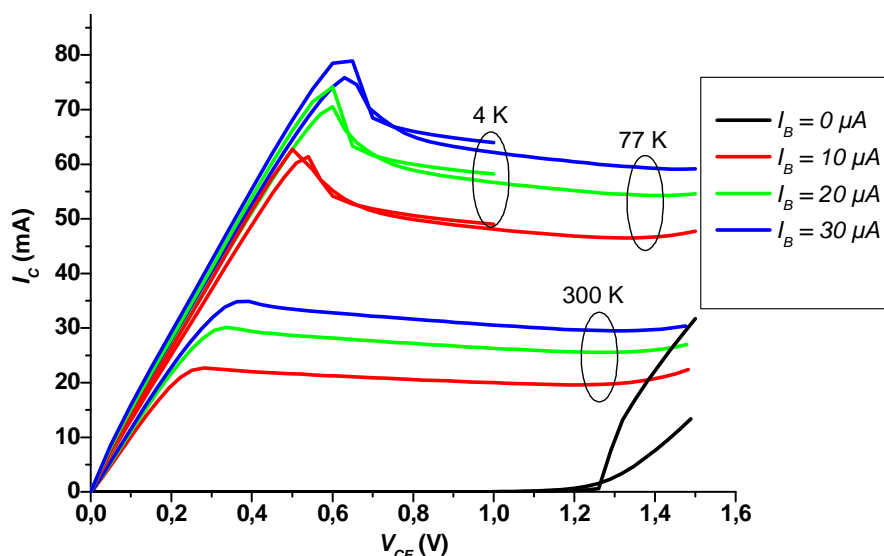


Figure 68 : Caractéristiques de sortie du HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300, 77 et 4 K pour un I_B variant de 0 à 30 μA .

La deuxième étape consiste à étudier le gain en courant. Comme on pouvait s'y attendre, la forte augmentation du courant collecteur se répercute sur le gain en courant (figure 69).

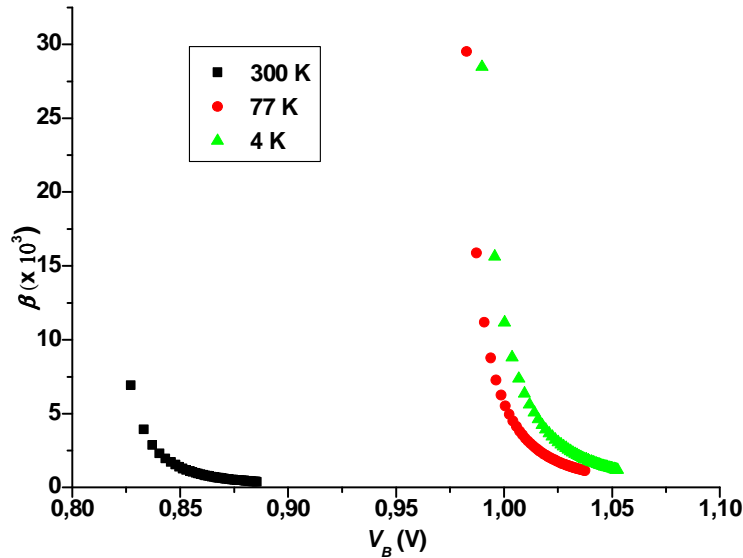


Figure 69 : Gain en courant du HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300, 77 et 4 K ; $V_{CE} = 1.5\text{V}$.

Un gain en courant remarquable aux alentours de 30000 est atteint. Comparé à un transistor bipolaire à homojonction classique (BJT) où le gain en courant β diminue avec les températures plus basses, les performances *DC* et *AC* d'un transistor bipolaire à hétérojonction sont fortement améliorées. Cela est dû au rôle positif de l'énergie kT (k étant la constante de Boltzmann) dans les gains en courant β et H_{21} ainsi que la mobilité des porteurs augmentant à basse température. Pour rappel, β peut être formulé de la façon suivante :

$$\beta = \delta(T).e^{\frac{\Delta E_G}{kT}} \quad (\text{E-18})$$

où $\delta(T)$ est une variable dépendante de la température et ΔE_G est l'écart de bande induit par la différence de dopage entre l'émetteur et la base [Cressler-03]. Quand la température varie de la température ambiante jusqu'à 77 K, β s'améliore de 76 % (figure 69). Notons cependant qu'à basse température, des effets de recombinaison et tunnel induisent un courant de base plus important. De plus, l'effet Kirk [Kirk-62] survient à forte injection, résultant un courant collecteur plus faible. Ces effets combinés expliquent pourquoi le gain en courant reste pratiquement constant jusque 4 K.

d) Caractérisation hyperfréquence

Les extrapolations des gains en courant H_{21} et de Mason U en fonction de la température sont présentées ci-dessous. Chaque mesure est comparée aux valeurs simulées grâce au modèle présenté dans la partie suivante.

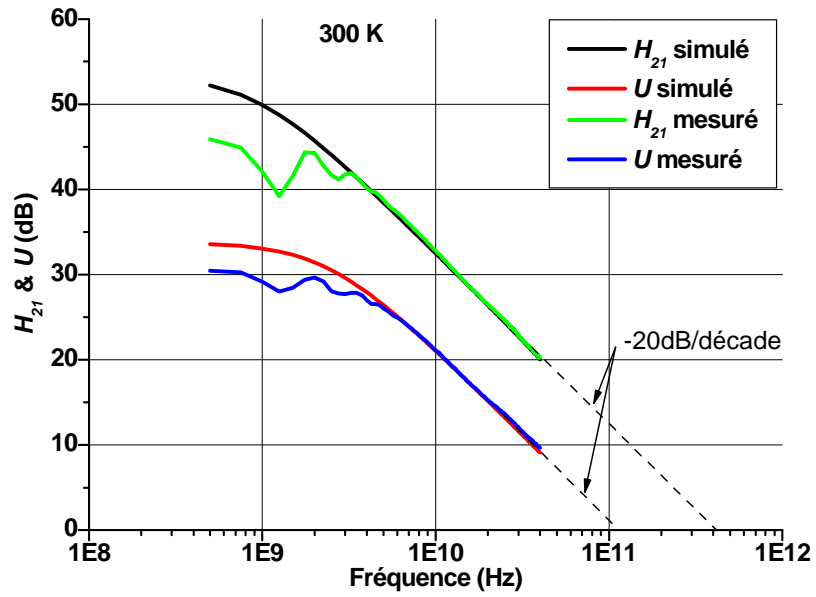


Figure 70 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 300 K. $V_{CE} = 1.5$ V.

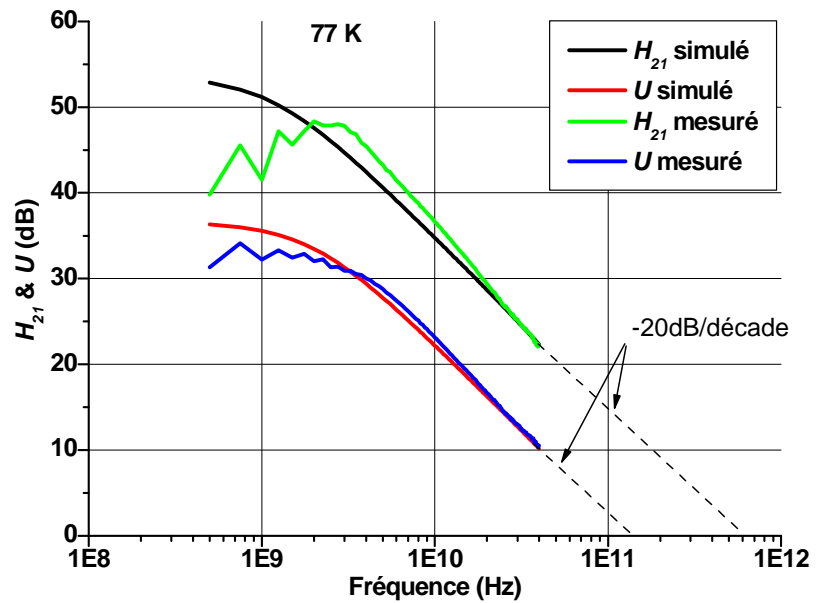


Figure 71 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 77 K. $V_{CE} = 1.5$ V.

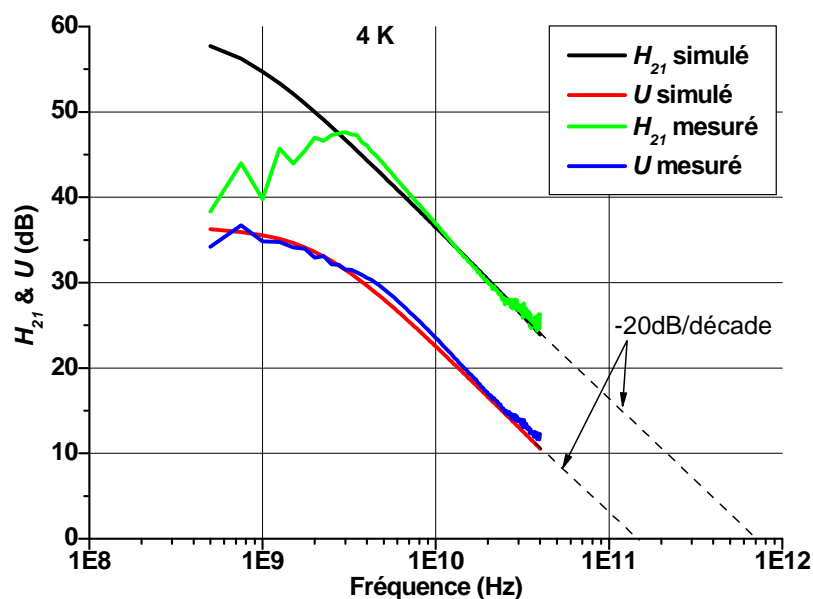


Figure 72 : Evolution du gain en courant et du gain de Mason mesurés et simulés pour la détermination des fréquences de coupure pour le HBT faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) à 4 K. $V_{CE} = 1.5 \text{ V}$.

Les évolutions des figures 70 à 72 nous permettent de déduire les fréquences de coupures des dispositifs de la technologie faible budget thermique. Les fréquences de coupures de la technologie standard ont été déterminées de la même façon. Toutes ces fréquences sont résumées dans le tableau ci-dessous :

	TECHNOLOGIES				
	'STANDARD'		'FAIBLE BUDGET THERMIQUE'		
T (K)	300	77	300	77	4
f_T (GHZ)	260	380	410	555	710
f_{MAX} (GHZ)	315	400	138	145	160

Tableau 8 : Fréquences de coupure des HBT standard et faible budget thermique en fonction de la température.

Ces f_T remarquables observées, de la température ambiante jusqu'à 4 K, constituent les meilleures performances pour un transistor HBT SiGe [Waldhoff-09-2]. La méthode d'extrapolation utilisée consiste à prendre une pente de -20 dB/décade à la fréquence de 40 GHz (méthode utilisée selon la « roadmap » de l'ITRS).

Afin d'analyser finement les tendances du HBT faible budget thermique observées sur f_T/f_{MAX} et spécialement la fréquence de coupure du gain en courant à l'état de l'art à 4 K, des études complémentaires ont d'une part été entreprises au niveau statique (partie précédente) et d'autre part sur l'extraction du modèle équivalent petit signal.

III) Modélisation petit signal

L'étape clé de la conception de circuit micro-onde monolithique intégré (MMIC³⁰) est la modélisation des composants. De la modélisation du transistor va dépendre la qualité des performances obtenues du circuit réalisé (LNA par exemple).

Une grande variété de modèles sont disponibles pour représenter le transistor bipolaire avec chacun leurs intérêts respectifs ; des modèles de base comme celui d'Ebers-Moll ou de Gummel-Poon ou plus physiques comme le VBIC³¹ [McAndrew-96], le MEXTRAM³² [Paasschens-02] ou encore l'HICUM³³ [Rein-87], chaque conception s'appuyant sur un modèle. Ici, nous allons présenter le modèle développé à l'IEMN, dérivé du modèle de Hawkins [Hawkins-77] [Cressler-03] très proche de la structure, comprenant un schéma équivalent petit signal et des sources de bruit.

1) Les différents modèles de transistor bipolaire

Le choix du modèle va être guidé par son application, il faut donc s'intéresser aux performances radiofréquences modélisant aux mieux les attentes envisagées. Le développement des technologies bipolaires à haut débit a mis en évidence les limitations du modèle Gummel-Poon. Une comparaison des fréquences de coupure dans [Schroter-99] montre un modèle HICUM plus performant. De plus, les transistors bipolaires à hétérojonction destinés aux applications hyperfréquences fonctionnent en régime de forte injection. Ainsi, le modèle Gummel-Poon est imprécis car il ne prend pas en compte les effets physiques prédominants. Le modèle VBIC a quelques avantages en matière de prise en compte de parasites mais il est non paramétrable ce qui limite son utilisation. Les modèles à retenir sont donc le HICUM et le MEXTRAM.

Notre modèle, dérivé du modèle de Hawkins [Hawkins-77] [Cressler-03], est basé sur l'extraction des éléments extrinsèques et intrinsèques pour réaliser un schéma équivalent petit signal et bruit (le modèle de bruit sera traité dans le chapitre suivant) avec une large plage fréquentielle de validité.

2) Modèle petit signal

Le schéma équivalent petit signal des transistors bipolaires à hétérojonction peut être représenté de deux façons différentes : le schéma en T et le schéma en Π avec de nombreuses variantes correspondant à des phénomènes propres aux bipolaires tels que les différents temps de charge ou de transit dans les diverses régions du composant.

Le choix entre les deux types de schéma équivalent est un point délicat. Le schéma en T correspond mieux au fonctionnement du bipolaire car il est plus proche de la physique du composant alors que celui en Π (annexe G) est plus pratique pour la simulation des circuits

³⁰ MMIC : Monolithic Microwave Integrated Circuit.

³¹ VBIC : Vertical Bipolar Inter-Company [McAndrew-96]. Ce modèle a été créé en 1995 par plusieurs industries (Analog Devices, AT&T, HP, Motorola, National Semiconductor, TI). Il est basé sur le modèle de Gummel-Poon.

³² MEXTRAM : Most Exquisite Transistor Model. Ce modèle a été développé en 1986 par Philips mais n'est librement utilisable que depuis 1994 et sa dernière version a été publiée en 2001 (level 504). Il prend en compte un grand nombre de phénomènes physiques et donc permet une modélisation plus fiable [Paasschens-02].

³³ HICUM : High Current Model [Rein-87]. Il est le modèle le plus utilisé pour la conception de MMIC est a été développé en 1986 par Michael Schröter. Son nom vient de la description précise de la région de fonctionnement à fort courant.

(commande en tension). De toute façon, on peut théoriquement passer de l'un à l'autre par transformation de circuits.

Dans notre cas, on utilise le schéma en T illustré figure 73 en émetteur commun. Il est composé de deux sources de bruit : une source de bruit en tension e_e et une source de bruit en courant i_c . Ce schéma équivalent utilisant les deux sources de bruit sera plus explicitement étudié dans le chapitre III. Concernant le schéma équivalent petit signal, il sera simulé sous ADS puis comparé aux mesures de paramètres S. Les extractions des éléments localisés du modèle seront présentées à 3 températures : 300 K, 77 K et 4 K afin d'expliquer les performances remarquables atteintes aux températures cryogéniques.

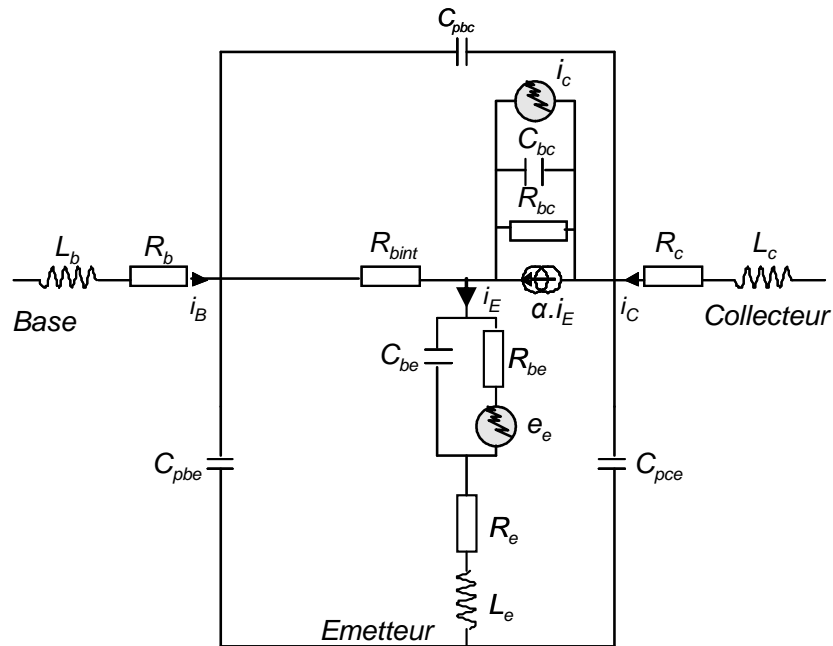


Figure 73 : Schéma équivalent petit signal en T du transistor bipolaire à hétérojonction.

3) Extraction des éléments localisés à température ambiante et cryogénique.

La méthodologie consiste tout d'abord à retirer les contributions des accès du dispositif grâce à un épluchage circuit-ouvert pour ne s'intéresser qu'aux éléments extrinsèques et intrinsèques à 300 K, 77 K et 4 K. L'extraction des éléments extrinsèques et intrinsèques est décrite dans [Geynet-08] avec les équations associées.

a) Paramètres extrinsèques

Pour la détermination des capacités parasites C_{pbe} , C_{pbc} et C_{pce} , le transistor est polarisé à $V_{ce}=0V$ et $V_{be}\ll 0V$. Les jonctions sont donc polarisées en inverse. Les valeurs de ces capacités sont extraites en basse fréquence où l'influence des inductances est négligeable.

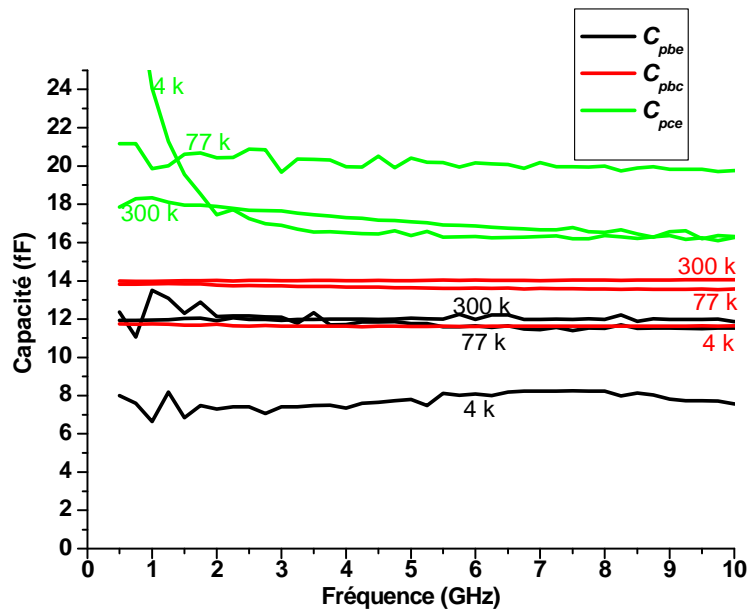


Figure 74 : Capacités parasites plot du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.

On observe sur la figure 74 une légère dépendance des capacités plots C_{pbe} , C_{pbc} , C_{pce} par rapport à la température. On note une différence maximale de 30 % pour C_{pbe} entre la valeur extraite à température ambiante et 4 K. Concernant les deux autres, on reste avec une différence inférieure à 20 %. La difficulté d'extraction de ces résistances est certainement liée aux difficultés pour contacter les sondes sur le transistor lors de la mesure cryogénique est plus particulièrement à 4 K. Les valeurs précises de ces capacités sont donc extraites à 300 K.

Ensuite, pour la détermination des résistances parasites, le transistor bipolaire doit être polarisé en régime de forte conduction sur les jonctions BE et BC toutes deux polarisées en direct. Le transistor ne fonctionne pas en mode normal et ne possède pas de gain en courant. Cela nous permet d'extraire, en basse fréquence, les résistances d'accès de l'émetteur, de la base et du collecteur en traçant les parties réelles des paramètres Z en fonction de la fréquence (figure 75).

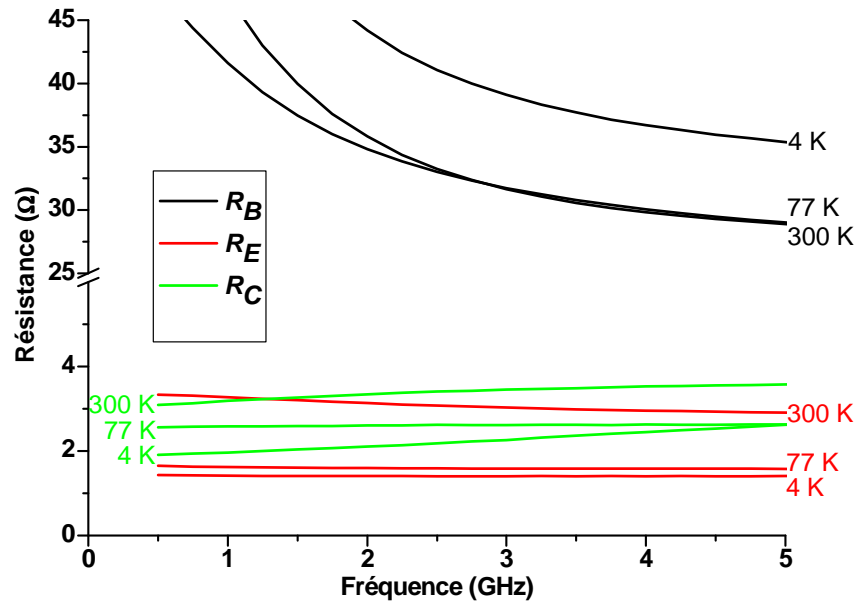


Figure 75 : Résistances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.

Une analyse de l'extraction des résistances sur la figure 75 montre une faible évolution de la résistance R_B avec la température. En effet, sa valeur reste élevée malgré une différence de 15 % à la température de 4 K. Cette résistance est indépendante de la température du moins au premier ordre [Cressler-03]. Sa valeur repose surtout sur des aspects technologiques tels que l'épaisseur de la base W_B avec des profils de dopage abrupts [Geynet-08]. De plus, elle est affectée par la résistance de base intrinsèque R_{Bi} où, lors de l'extraction, une partie peut se retrouver dans R_B .

Concernant la résistance du collecteur R_C , elle est améliorée avec une réduction d'environ 40 % quand la température atteint 4 K. On peut expliquer cela en utilisant la formule $R_C = l / \sigma \cdot S$ où R_C diminue quand la conductivité augmente.

La résistance d'émetteur, fortement dopée, notée R_E , est dépendante de la température et sa réduction est aussi due, au niveau technologique, à la substitution du dopage en arsenic des films de polysilicium (pour la réalisation des émetteurs du transistor) par du phosphore.

Pour l'extraction des inductances parasites, on reste dans le même régime de forte conduction. On trace ensuite, en haute fréquence, la partie imaginaire des paramètres Z en fonction de la fréquence pour déterminer L_E , L_B et L_C . Le courant I_B varie jusque 1 mA, valeur à laquelle les inductances n'évoluent plus.

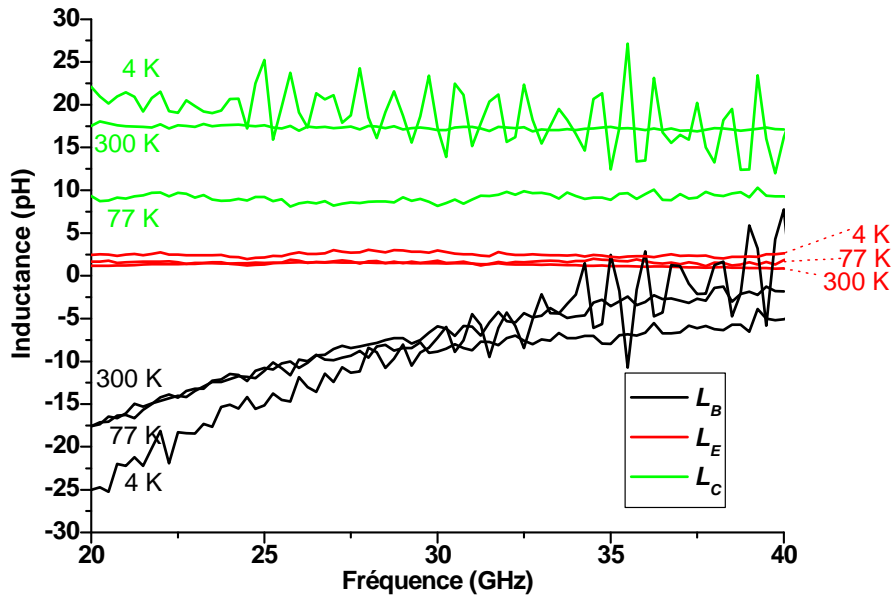


Figure 76 : Inductances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.

Les inductances sont pratiquement constantes avec la fréquence (figure 76). L'environnement électrique complexe explique les difficultés rencontrées pour extraire certaines inductances. Plusieurs phénomènes apparaissent : une fluctuation des inductances de base et de collecteur à 4 K et une valeur négative de l'inductance de base. Les deux jonctions étant polarisées en direct, les inductances se retrouvent en série avec une capacité de diffusion en parallèle à la conductance de diffusion, respectivement des jonctions BE et BC. Ainsi, l'extraction des inductances d'émetteur et de collecteur est réalisée à des courants suffisamment élevés pour minimiser l'influence des capacités de diffusion associées et donc observer des variations constantes des inductances avec la fréquence. Cependant on peut noter la difficulté d'extraction de l'inductance de base qui nous a conduits à utiliser une autre méthode décrite ci dessous.

L'autre méthode consiste à observer l'évolution des ces inductances en fonction de l'inverse du courant de base dans les mêmes conditions de polarisation (figure 77) à des fréquences élevées. On détermine ces inductances par extrapolation. Cette méthode nous permet d'extraire plus précisément les inductances notamment L_B qui à une valeur positive. Les deux autres inductances ont des valeurs similaires quelque soit la méthode utilisée. Cette méthode est bénéfique pour l'extraction des inductances à température cryogénique car on se place à une seule fréquence, ce qui limite d'avoir les perturbations observées sur la figure 76. Il est bien sûr nécessaire de vérifier les valeurs extraites à plusieurs fréquences.

Enfin ces inductances sont aussi tributaires de la position des sondes. En effet la majeure partie de l'inductance provient de la longueur d'accès au composant intrinsèque.

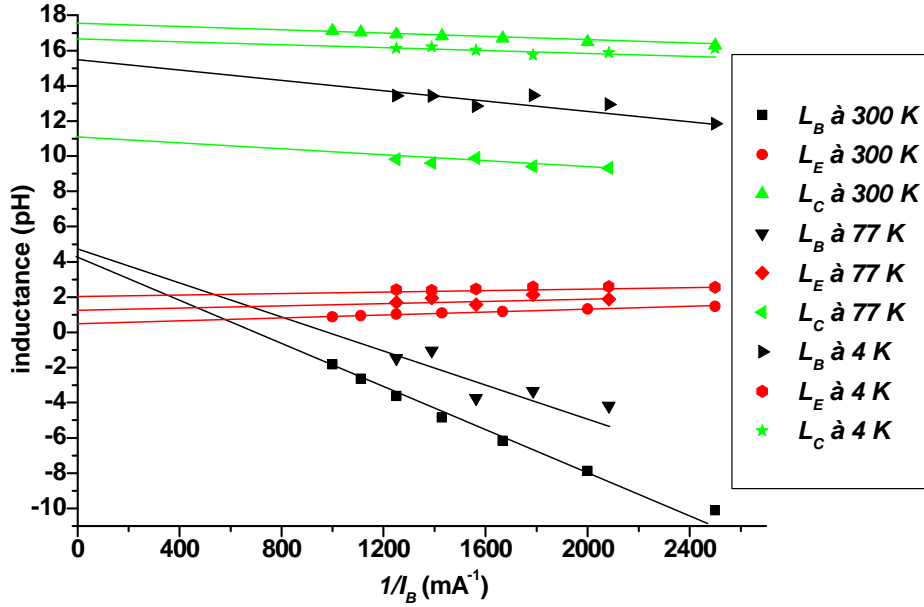


Figure 77 : Inductances d'accès du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de l'inverse du courant de base aux 3 températures étudiées. $F=35 \text{ GHz}$.

b) Tableau récapitulatif des éléments extrinsèques

$T \text{ (K)}$	$C_{pbe} \text{ (fF)}$	$C_{pbc} \text{ (fF)}$	$C_{pce} \text{ (fF)}$	$R_B \text{ (\Omega)}$	$R_C \text{ (\Omega)}$	$R_E \text{ (\Omega)}$	$L_B \text{ (pH)}$	$L_C \text{ (pH)}$	$L_E \text{ (pH)}$
300	12	14	16.1	29	3.1	3.3	4.4	17.5	0.5
77	11.4	13.6	19.6	29	2.5	1.6	4.7	11.1	1.2
4	8.2	11.6	16.6	35	1.9	1.4	15.5	16.6	2

Tableau 9 : Valeurs des éléments extrinsèques en fonction de la température pour le transistor bipolaire faible budget thermique.

On retrouve logiquement une faible dépendance des capacités parasites avec la température. Les inductances ont de légères variations mais elles ne sont pas significatives pour la validation du modèle. Les conditions de mesures cryogéniques extrêmes peuvent entraîner certaines variations observées. Quant aux résistances, elles évoluent selon les équations présentées précédemment.

c) Paramètres intrinsèques

La détermination des éléments intrinsèques, consiste à retirer les éléments déjà calculés à savoir les capacités, les résistances et les inductances parasites. On retranche donc chacun de ces éléments aux paramètres petits signaux dans la représentation appropriée en partant des paramètres S mesurés. Le synoptique situé en annexe H résume la méthodologie à employer.

On crée tout d'abord une matrice de paramètres Y :

$$Y_{ext} = \begin{pmatrix} j\omega C_{pbe} & -j\omega C_{pbc} \\ -j\omega C_{pbc} & j\omega C_{pce} \end{pmatrix} \quad (\text{E-19})$$

Et une matrice de paramètres Z :

$$Z_{ext} = \begin{pmatrix} (R_B + R_E) + j\omega(L_B + L_E) & R_E + j\omega L_E \\ R_E + j\omega L_E & (R_C + R_E) + j\omega(L_C + L_E) \end{pmatrix} \quad (\text{E-20})$$

Il ne reste plus qu'à soustraire ces éléments extrinsèques des paramètres totaux. Il en résulte le schéma équivalent suivant :

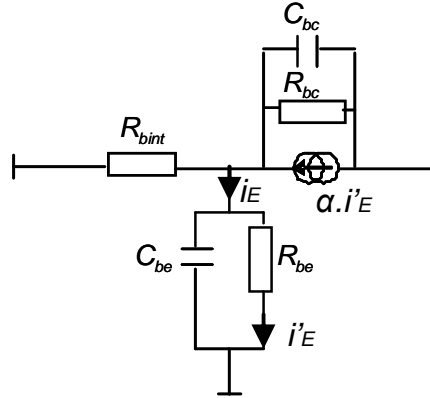


Figure 78 : Schéma équivalent intrinsèque du transistor bipolaire

On définit la matrice totale du composant sous test par S_{CST} . On retire tout d'abord les contributions des capacités parasites par les matrices admittances. De cette matrice, on ôte les contributions des résistances et inductances pour obtenir S_{intr} . Enfin, on en déduit les éléments intrinsèques des paramètres Z_{intr} .

On calcule tout d'abord les résistances grâce aux équations suivantes :

$$R_{Bint} = \Re(Z_{intr}.11 - Z_{intr}.12) \quad (\text{E-21})$$

$$R_{BE} = \frac{1}{\Re(Z_{intr}.12^{-1})} \quad (\text{E-22})$$

Les évolutions de ces résistances sont tracées en fonction de la fréquence pour les 3 températures investiguées sur la figure 79.

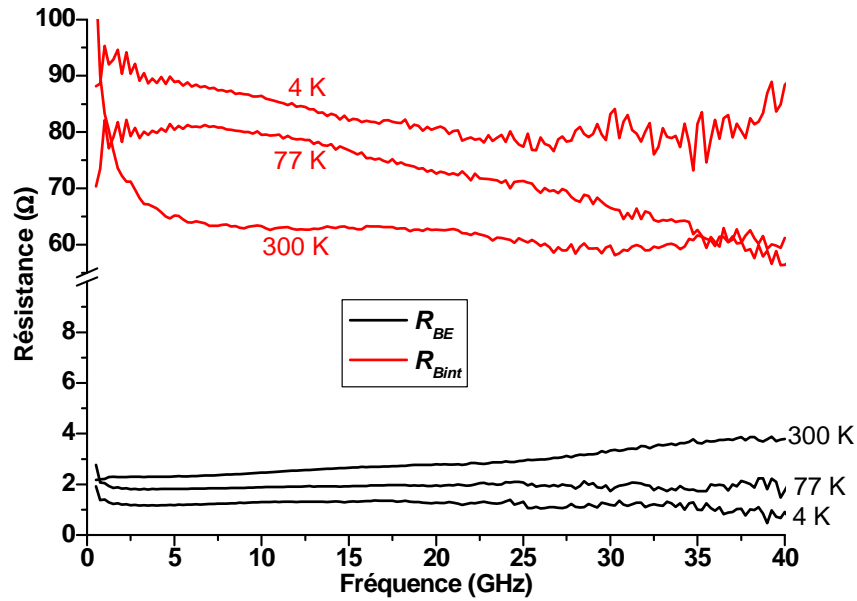


Figure 79 : Résistances intrinsèques du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.

On extrait ces résistances intrinsèques en basse fréquence pour s'affranchir de certains phénomènes RF limitant la précision.

Les capacités sont déduites de :

$$C_{BE} = \frac{\Im(Z_{int,r} \cdot 12^{-1})}{\omega} \quad (\text{E-23})$$

$$C_{BC} = \frac{\Im((Z_{int,r} \cdot 22 - Z_{int,r} \cdot 21)^{-1})}{\omega} \quad (\text{E-24})$$

De même que pour les résistances intrinsèques, les capacités de jonction sont tracées en fonction de la fréquence sur la figure ci-dessous.

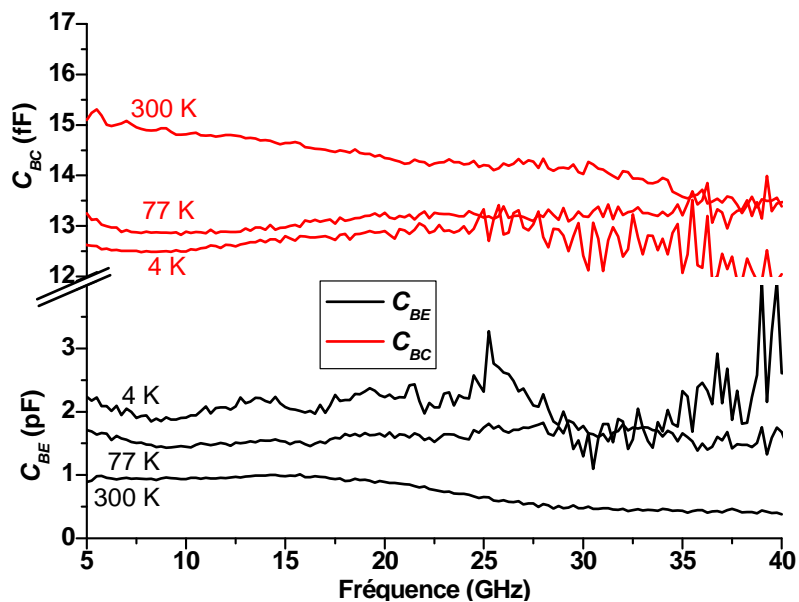


Figure 80 : Capacités intrinsèques du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.

La résistance base-émetteur R_{BE} suit une loi en $k.T/q.I_E$ et la capacité C_{BE} , égale à $q.\tau_f(T).I_C/k.T$, avec $\tau_f(T)$ le délai total augmentant plus rapidement que la réduction de la température. De ce fait C_{BE} augmente avec la température alors que la valeur de R_{BE} diminue. Les autres éléments sont moins affectés par la température au premier ordre.

Enfin, on détermine le gain en courant :

$$\alpha = \frac{(Z_{int r}.12 - Z_{int r}.21)}{(Z_{int r}.22 - Z_{int r}.21)} \quad (E-25)$$

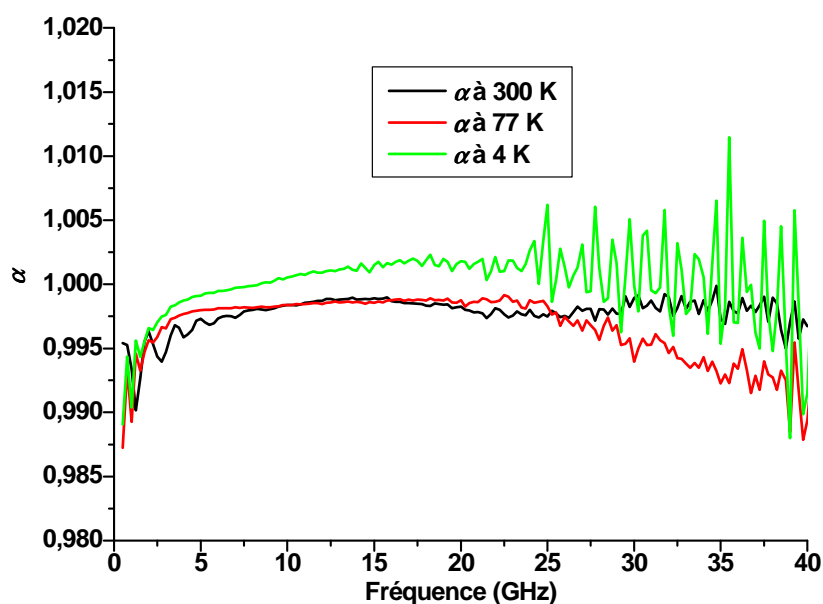


Figure 81 : Gain en courant intrinsèque du transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) en fonction de la fréquence aux 3 températures étudiées.

On peut noter figure 81 que le gain en courant n'évolue pas entre 300 K et 77 K. Son extraction à 4 K est affectée par les conditions de mesure a température cryogénique (gain en courant > 1).

L'invariance des paramètres intrinsèques avec la fréquence est un gage de qualité de notre méthode d'extraction et cela sur une large gamme de fréquences et ce jusqu'à des températures cryogéniques.

d) Tableau récapitulatif des éléments intrinsèques

$T (K)$	$C_{be} (pF)$	$C_{bc} (fF)$	$R_{BE} (\Omega)$	$R_{Bint} (\Omega)$	α
300	0.9	14.2	2.3	61	0.998
77	1.4	13.2	1.8	71	0.998
4	1.9	12.9	1.3	76	0.999

Tableau 10 : Valeurs des éléments intrinsèques en fonction de la température pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

Les paramètres C_{BE} et R_{BE} évoluent selon les lois présentées précédemment. La capacité C_{BC} étant au premier ordre indépendante de la température n'évolue que très peu. La

variation de R_{Bint} peut en partie être expliquée par son extraction difficile liée à sa dépendance à la résistance de base extrinsèque. On notera que la résistance base collecteur R_{BC} , difficile à extraire étant donné sa valeur élevée, a été fixée à 45 k Ω .

e) Etudes des temps de transit

La variation des performances dynamiques peut aussi être étudiée à travers l'évolution des temps de transit des porteurs dans la structure. Le temps de transit total étant défini par :

$$\tau_{EC} = \frac{1}{2\pi f_T} \quad (E-26)$$

De l'équation de la fréquence de transition f_T définie dans le premier chapitre, on peut écrire le temps de transit sous cette forme :

$$\tau_{EC} = \tau_F + (R_E + R_C)C_{BC} + \frac{kT}{qI_C} (C_{BE} + C_{BC}) \quad (E-27)$$

Avec $g_m = qI_C/kT$.

On peut maintenant tracer l'évolution de τ_{EC} en fonction de l'inverse du courant collecteur. La figure 82 illustre cette évolution pour un transistor bipolaire quelconque à température ambiante. En régime de forte inversion et si I_C diminue, τ_{EC} diminue. Pour un courant collecteur optimal noté I_{Copt} , l'effet Kirk contribue à augmenter τ_{EC} [Zerounian-04]. De cette courbe, les contributions des différents temps de transit peuvent être déduites aux 3 températures étudiées.

La figure 82 illustre tous les éléments pouvant être extraits de la courbe $\tau_{EC} = f(1/I_C)$.

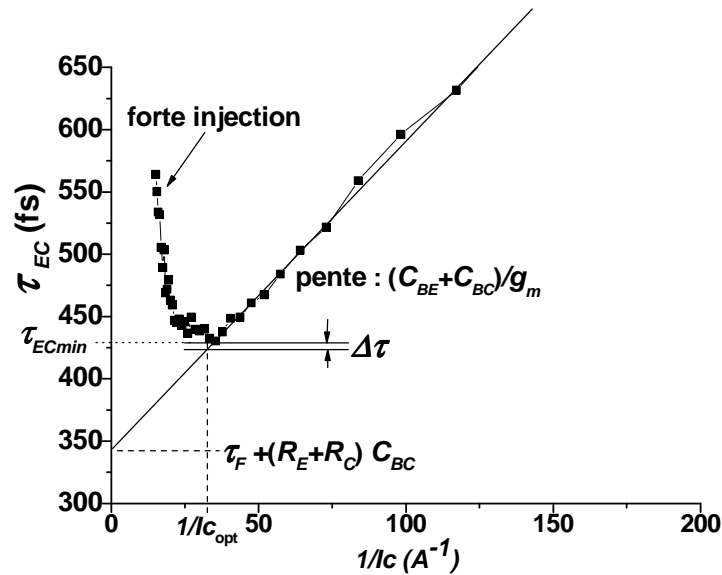


Figure 82 : Evolution de τ_{EC} en fonction de l'inverse du courant de collecteur.

De cette courbe on peut extraire :

- ✓ Le temps de transit minimum τ_{ECmin} correspondant au f_{Tmax} . C'est le retard minimal du composant entouré de tous ses éléments.
- ✓ L'ordonnée à l'origine de la caractéristique nous donne le retard $\tau_F + (R_E + R_C)C_{BC}$.
- ✓ La pente à moyenne injection nous permet de déterminer l'expression $(C_{BE} + C_{BC})/g_m$.

- ✓ Le retard additionnel causé par l'effet Kirk au pic de f_T . Ce retard, noté $\Delta\tau$, est déterminé par la différence entre τ_{ECmin} et τ_{EC} théorique à $1/I_{Copt}$.

Le temps de transit τ_F , correspondant au temps mis par les porteurs pour traverser les différentes régions du transistor, est composé par τ_E , τ_{EB} , τ_B et τ_{BC} . Les temps de transit τ_E et τ_{EB} sont proportionnels respectivement à $1/\beta$ et $\exp(qV_{BE}/2kT)$; ils contribuent à l'augmentation de la fréquence de coupure quand la température diminue. Mais à très faible température, $\tau_E + \tau_{EB}$ est négligeable comparé à $\tau_B + \tau_{BC}$. Les temps de transit dans la base (τ_B) et dans la zone de charge d'espace base-collecteur (τ_{BC}) sont difficiles à quantifier. Le challenge est de diminuer la longueur de la base. En effet, la réduction du budget thermique limite la diffusion des dopants pour fabriquer une base plus fine. Enfin, τ_C n'est pas pris en compte dans τ_F car on considère cette zone purement résistive, ainsi, son influence est considéré à travers la résistance R_C .

En s'intéressant à l'expression $\tau_F + (R_E + R_C)C_{BC}$, il est aisé de calculer $(R_E + R_C)C_{BC}$ grâce à la détermination de ces éléments lors de l'extraction du modèle. Cependant, la distinction entre cette dernière expression et τ_F est soumise à caution, car dépendante du modèle choisi pour le transistor bipolaire et de la précision d'extraction de ces éléments.

Les résultats obtenus pour un transistor bipolaire faible budget thermique à 300 K, 77 K et 4 K sont présentés figure 83.

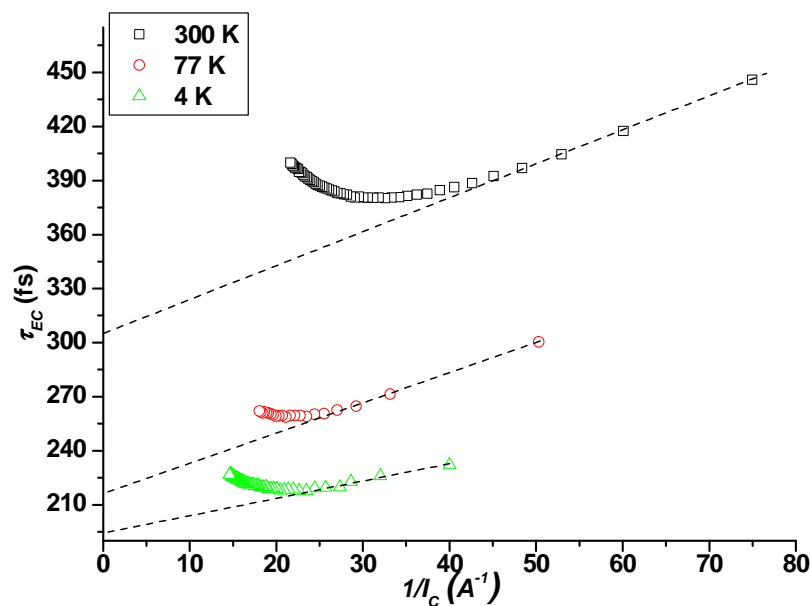


Figure 83 : Evolution de τ_{EC} en fonction de $1/I_C$ pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$) aux 3 températures étudiées.

La figure 84 présente les contributions des différents éléments sous forme d'histogramme.

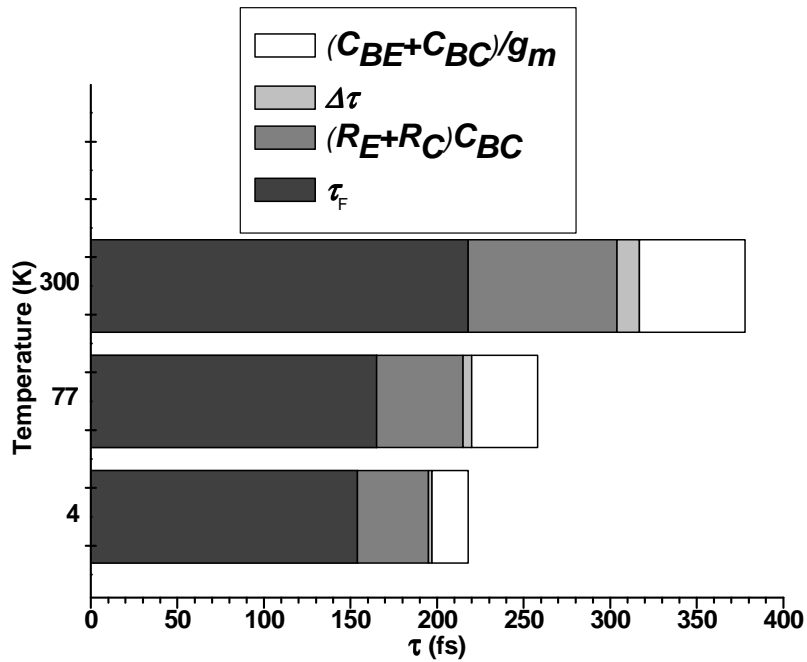


Figure 84 : Répartition des différents temps de transit en fonction de la température pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

Une première constatation nous montre que la réduction de τ_{ECmin} avec la température est due à une diminution de toutes les contributions. Le temps de transit total est réduit de 378 fs à température ambiante à 218 fs à 4 K.

Le tableau 11 résume les répartitions de chaque temps de transit.

T(K)	300 K		77 K		4 K	
τ_{ECmin} (fs)	378	100 %	258	100 %	218	100 %
τ_F (fs)	218	57 %	165	64 %	154	71 %
$(R_E + R_C)C_{BC}$ (fs)	86	23 %	50	19 %	41	19 %
$(C_{BE} + C_{BC})/g_m$ (fs)	61	16 %	38	15 %	21	10 %
$\Delta\tau$ (fs)	13	4 %	5	2 %	2	1 %

Tableau 11 : Temps de transit en femto-seconde et en pourcentage en fonction de la température pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$).

La mobilité est améliorée (augmente) à basse température ce qui permet de diminuer les résistances d'accès. De plus, la transconductance g_m est fortement augmentée lorsque la température diminue ce qui atténue l'effet des capacités de jonction. On constate que le pourcentage de τ_F croît lorsque la température diminue (de 57 % à 71 %). Le temps de transit τ_F représente la plus grosse contribution de τ_{EC} mais il ne faut pas négliger la diminution des résistances d'accès dans les performances cryogéniques du transistor bipolaire.

f) Synthèse de l'étude cryogénique

L'analyse en température d'un composant donne l'étendue de ses performances pour les applications futures. Les résultats précédents montrent une augmentation de la fréquence de transition f_T de presque 75 % entre 300 K et 4 K, passant de 410 à 710 GHz, alors que la fréquence maximale d'oscillation f_{MAX} n'évolue que de 138 à 160 GHz. Ces faibles performances de f_{MAX} sont étroitement liées aux fortes valeurs des éléments parasites R_B (englobant les résistances de base extrinsèque et intrinsèque) et C_{BC} .

Il ressort cependant de cette étude que la principale limitation de la montée en fréquence est le temps de transit intrinsèque du transistor qui compte pour plus de la moitié du temps de transit total. Néanmoins, les éléments parasites jouent un rôle important car ils globalisent 40 % du temps de transit total à 300 K pour 30 % à 4 K.

Le travail doit maintenant se concentrer sur l'augmentation du f_{MAX} pour obtenir un bon équilibre entre les deux fréquences de coupure. En réalité, l'optimisation conjointe de f_T et f_{MAX} est plus délicate car l'amélioration de τ_F nécessite une base très fine, ce qui augmente la résistance de base et donc pénalise f_{MAX} .

La décomposition du temps de transit τ_F entre τ_E , τ_{EB} , τ_B et τ_{BC} pourrait nous permettre de comprendre lequel est le plus lié à la montée en fréquence. Un outil de simulation est nécessaire pour arriver à cette décomposition précise. Les expressions de τ_E et τ_{EB} présentées dans la partie précédente indiquent une forte diminution lorsque la température diminue. A très basse température, la composante $\tau_E + \tau_{EB}$ devient négligeable devant τ_B et τ_{BC} car le gain en courant est très important [Zerounian-04].

g) Validation de la procédure d'extraction

La validation du modèle passe par la comparaison systématique des paramètres S mesurés et simulés à partir des valeurs des éléments extraits précédemment. Pour une plus grande précision, on comparera les modules et phases jusque 40 GHz aux températures de 300 K, 77 K et 4 K (figures 85 à 90).

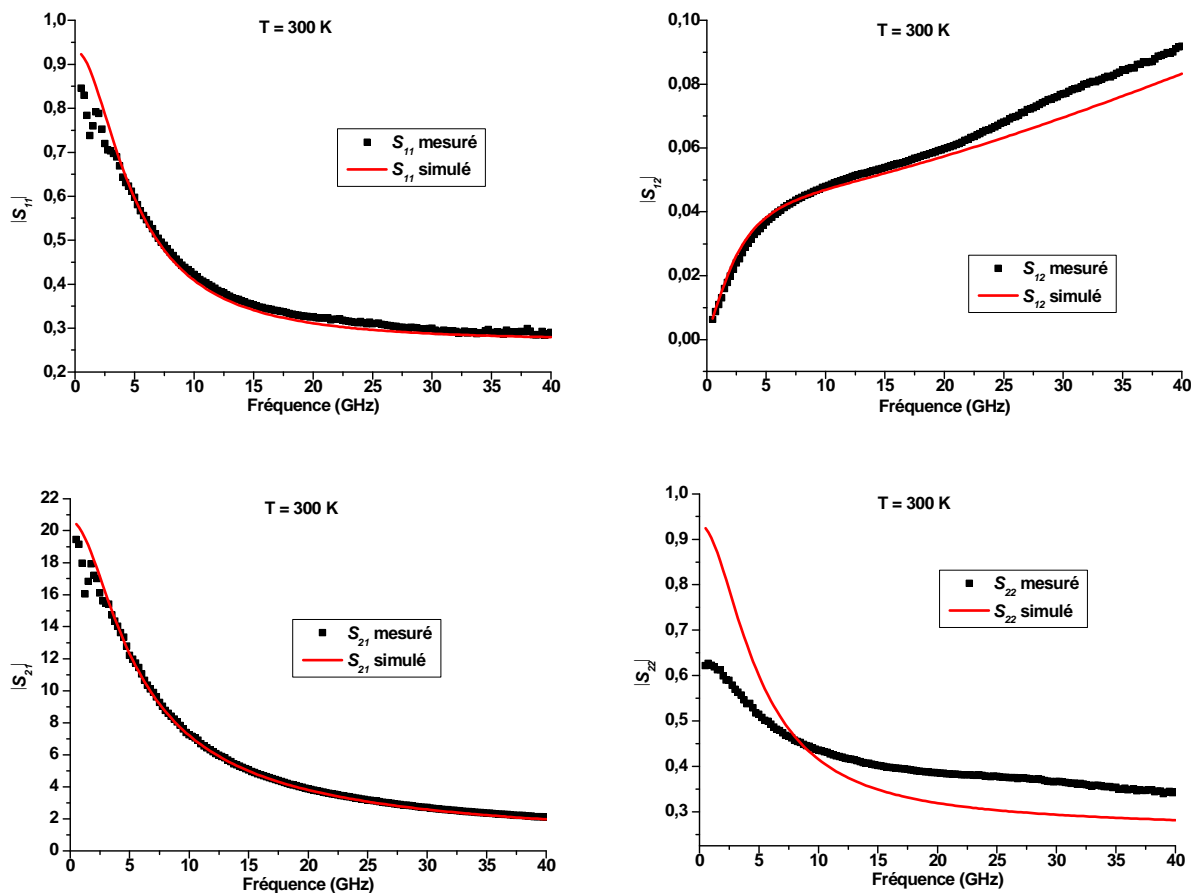


Figure 85 : Comparaison entre les modules des paramètres S simulés et mesurés à 300 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 24 \mu\text{A}$.

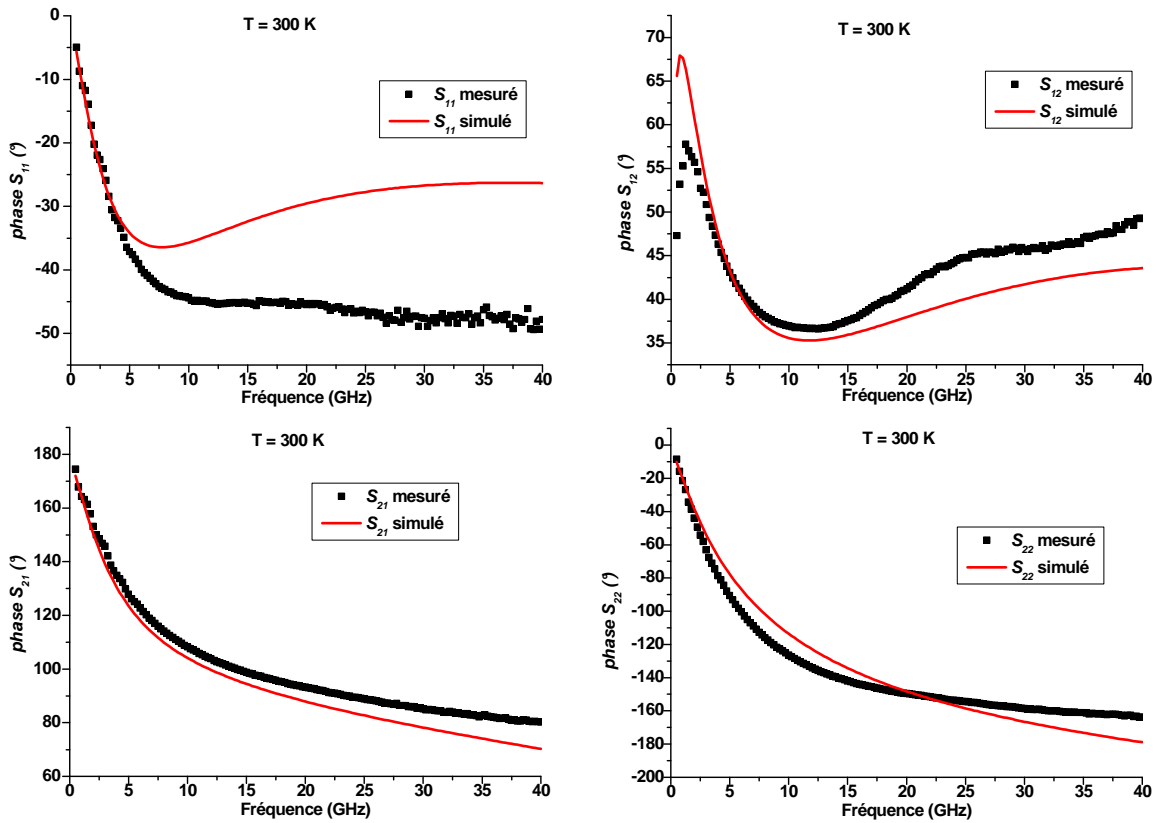


Figure 86 : Comparaison entre les phases des paramètres S simulés et mesurés à 300 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 24 \mu\text{A}$.

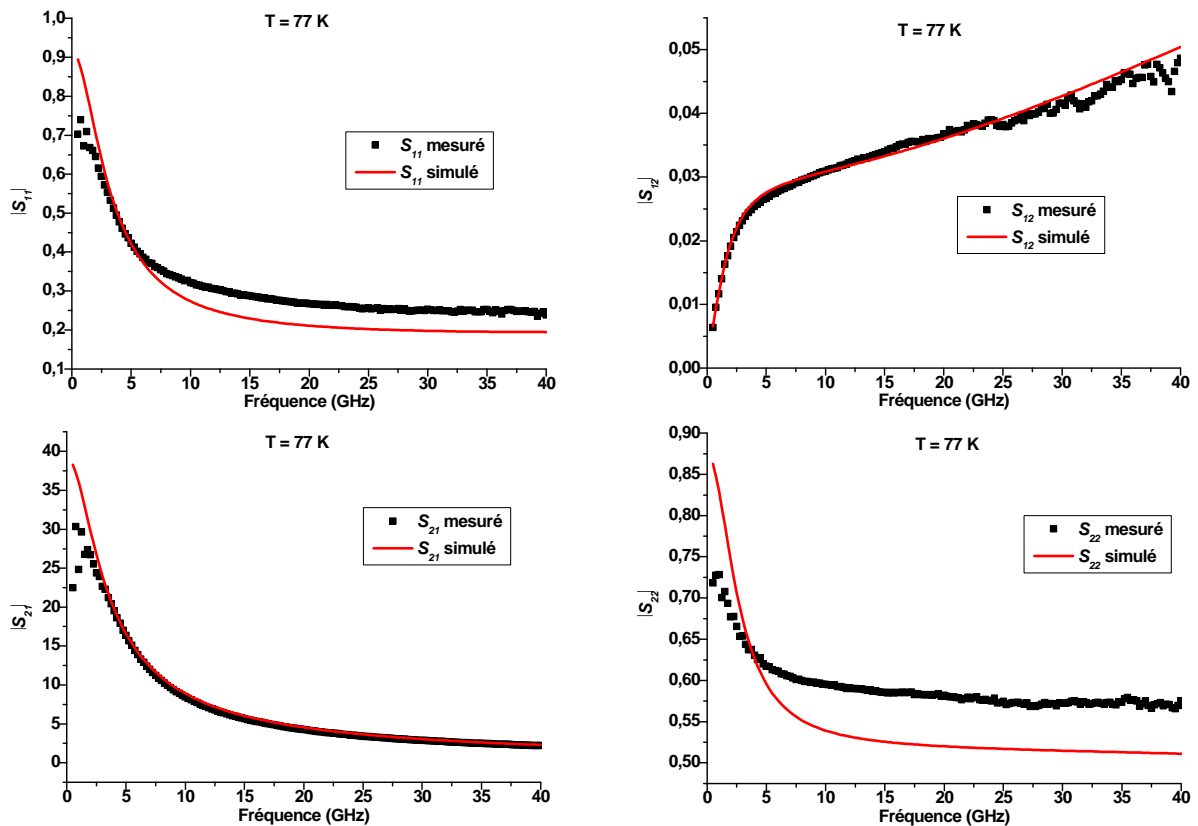


Figure 87 : Comparaison entre les modules des paramètres S simulés et mesurés à 77 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 12 \mu\text{A}$.

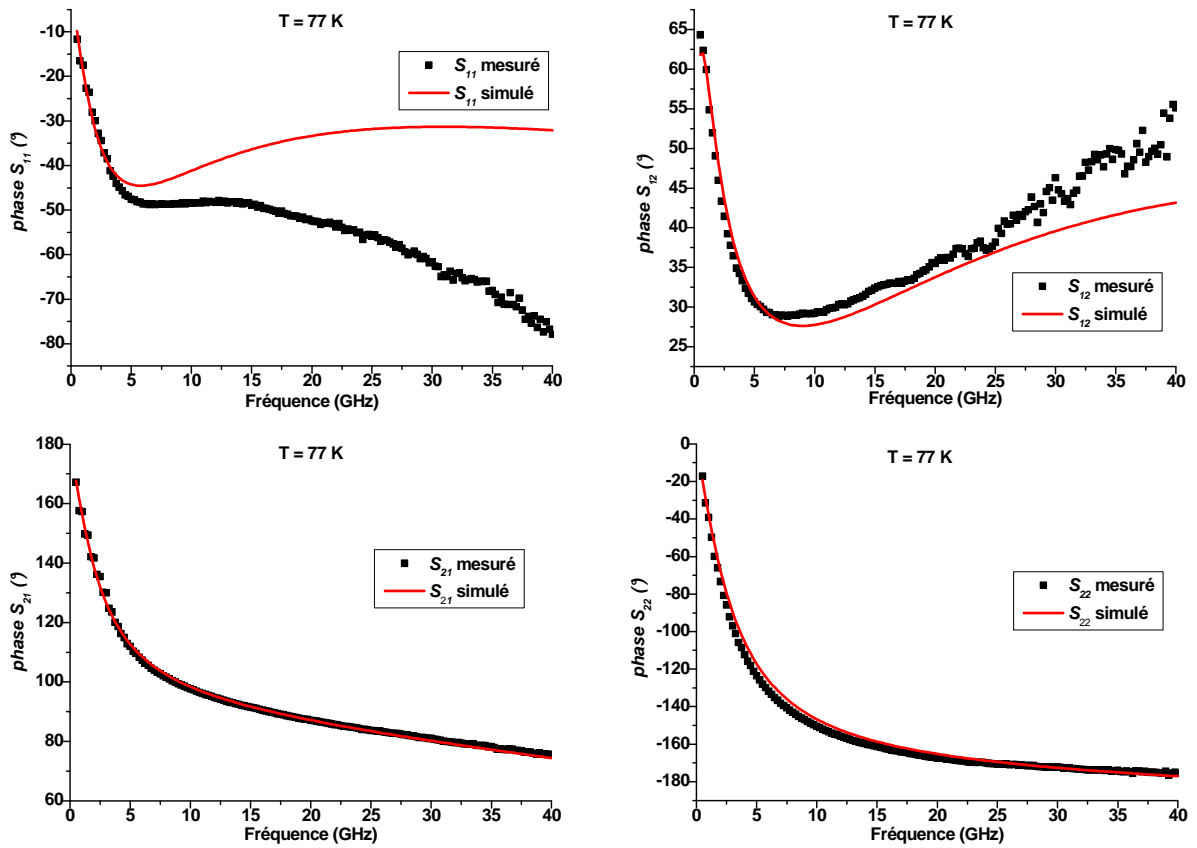


Figure 88 : Comparaison entre les phases des paramètres S simulés et mesurés à 77 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 12 \mu\text{A}$.

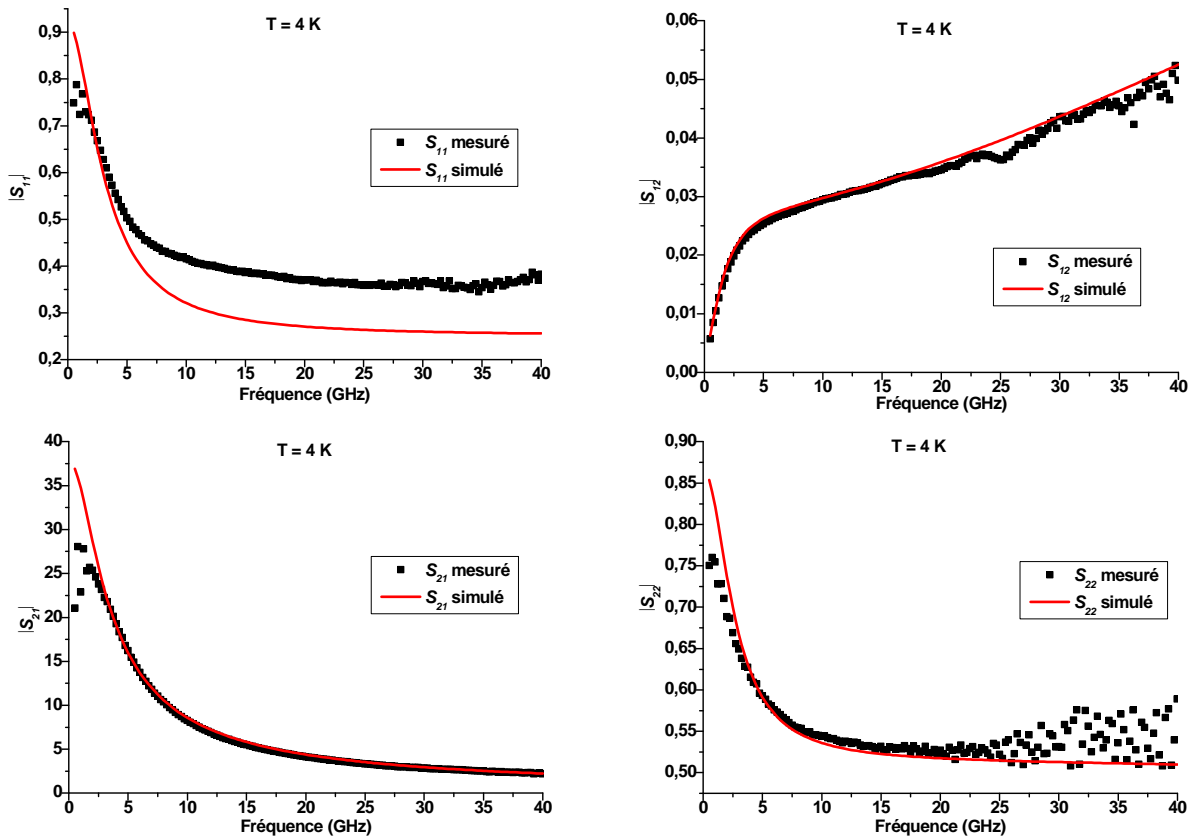


Figure 89 : Comparaison entre les modules des paramètres S simulés et mesurés à 4 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 9 \mu\text{A}$.

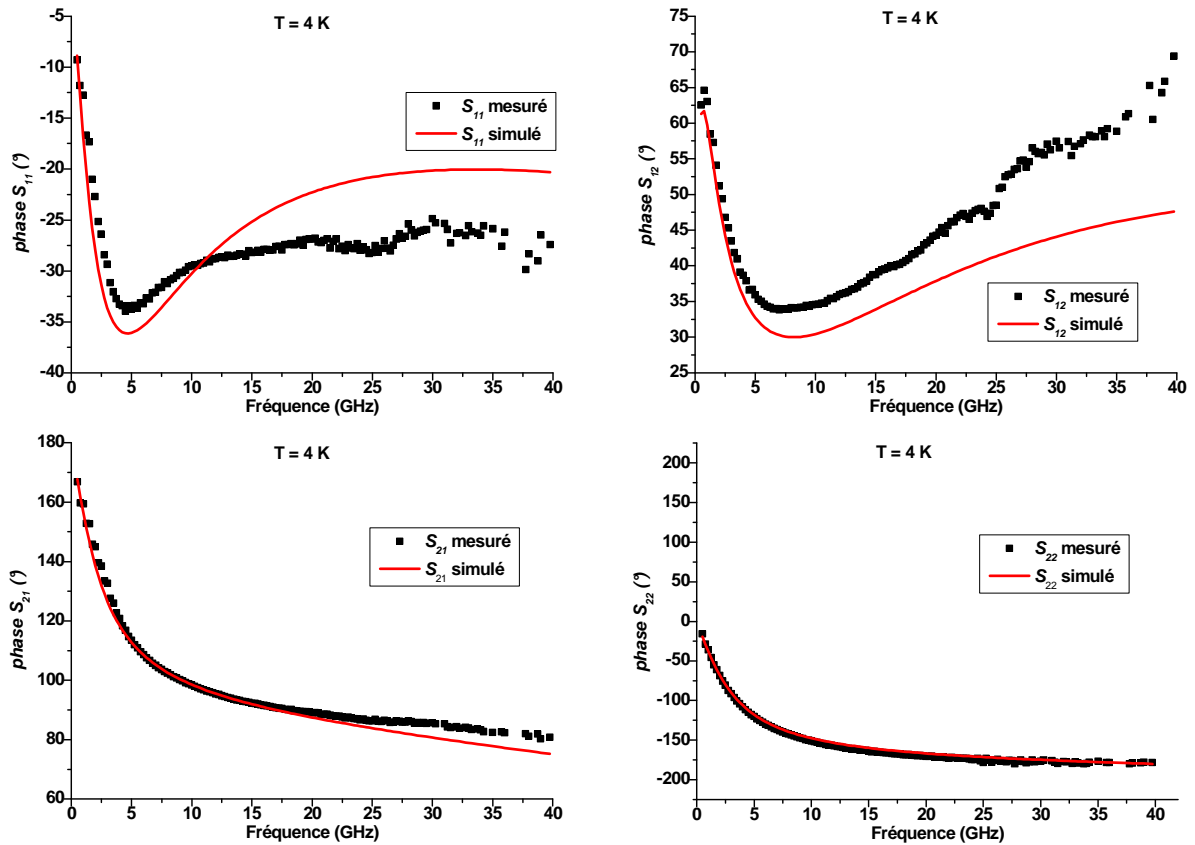


Figure 90 : Comparaison entre les phases des paramètres S simulés et mesurés à 4 K pour le transistor bipolaire faible budget thermique ($5 \times 0.17 \times 1.2 \mu\text{m}^2$). $V_{CE} = 1.5 \text{ V}$, $I_B = 9 \mu\text{A}$.

On constate une bonne corrélation entre les paramètres mesurés et simulés jusqu'à des fréquences élevées. De plus, la baisse de la température n'affecte pas la précision du modèle. Ainsi, ce modèle va pouvoir être utilisé pour le modèle de bruit mais aussi comme base pour les modèles de transistors pré-adaptés (présentés dans le chapitre suivant) ou encore pour le design d'amplificateur faible bruit.

h) Synthèse de la procédure d'extraction

Pour une meilleure précision, le tableau ci-dessous synthétise les déviations maximales et moyennes de tous les paramètres présentés précédemment à chaque température. On observe que pour la plupart des paramètres, la déviation est inférieure ou égale à 5 % sauf pour certains paramètres comme la phase de S_{11} . Les erreurs critiques se retrouvent surtout aux températures cryogéniques. Les explications de ces imprécisions sont certainement dues aux difficultés d'extraction à température cryogénique comme discuté précédemment.

T (K)	S_{11}		S_{12}		S_{21}		S_{22}	
	M (%)	P (%)	M (%)	P (%)	M (%)	P (%)	M (%)	P (%)
	Max Moy	Max Moy	Max Moy	Max Moy	Max Moy	Max Moy	Max Moy	Max Moy
300	6	45	11	11	6	14	25	8
	3	30	5.5	6.8	2.7	6.4	13.4	5.5
77	28	58	7	23	6	1	11	4
	20.7	32	2.2	7.7	4.8	0.5	9.5	1.1
4	32	44	8.5	39	6.1	8	12	4
	22.8	17.2	2.7	16.6	3.4	2.1	2.8	1.7

Tableau 12 : Déviations maximales (Max) et moyennes (Moy) des modules (M) et phases (P) des paramètres S du transistor bipolaire faible budget thermique (5x0.17x1.2 μm^2).

Enfin, cette étude permet d'apporter des pistes d'amélioration pour atteindre l'objectif d'un transistor capable de fonctionner à 0.5 THz. Cette étude montre aussi certaines limites sur le modèle du transistor bipolaire au niveau de sa précision mais aussi sur l'extraction de certains paramètres. Les efforts conjoints entre l'amélioration du modèle et l'optimisation de l'expérimentation amèneront à des erreurs minimales.

CHAPITRE III : CARACTERISATION ET MODELISATION EN BRUIT MILLIMETRIQUE

A) Introduction

Dans ce chapitre, nous proposons une étude en bruit millimétrique des composants sur silicium MOSFET et HBT. Cette étude sera axée sur la caractérisation puis la modélisation de ces 2 dispositifs.

Dans un premier temps, nous présentons les deux méthodes utilisées pour caractériser nos composants. La méthode multi-impédance, appelée communément méthode « tuner », délivrant les 4 paramètres de bruit du composant sous test (CST) après de nombreuses étapes d'étalonnage. La deuxième méthode, beaucoup plus facile à mettre en œuvre, s'appuie sur le principe d'une charge 50Ω à l'entrée du montage pour déterminer le facteur de bruit du CST ; on la nomme méthode *F50*.

Chaque dispositif est ensuite modélisé pour observer les 4 paramètres de bruit. Pour les MOSFETs, une comparaison entre les deux méthodes de mesures est discutée. Les HBTs sont caractérisés grâce aux deux méthodes avec en plus une étude cryogénique.

L'aboutissement de ces mesures en gamme millimétriques apporte quelques limitations notamment au niveau du facteur de bruit élevé du transistor ainsi que son faible gain. Une étude poussée est menée sur des aspects métrologiques du banc de test mais aussi sur la recherche de solutions innovantes pour outrepasser les limitations. On présente donc en dernière partie la solution : le transistor pré-adapté dans les deux technologies étudiées avec des fréquences centrales comprises entre 77 GHz et 250 GHz.

B) Présentation des 2 méthodes de mesure de bruit

D) La méthode multi-impédances

Au cours de la thèse, un banc de mesure de bruit multi-impédances (figure 91) a été développé. Ce banc utilise un tuner d'impédance de la société Focus Microwave® placé devant le CST. Il est capable de générer des coefficients de réflexion de module maximum proche de 0.7 dans toute la bande de fréquence allant de 8 à 40 GHz (figure 92). Un logiciel associé au générateur d'impédance permet d'extraire les quatre paramètres de bruit du dispositif.

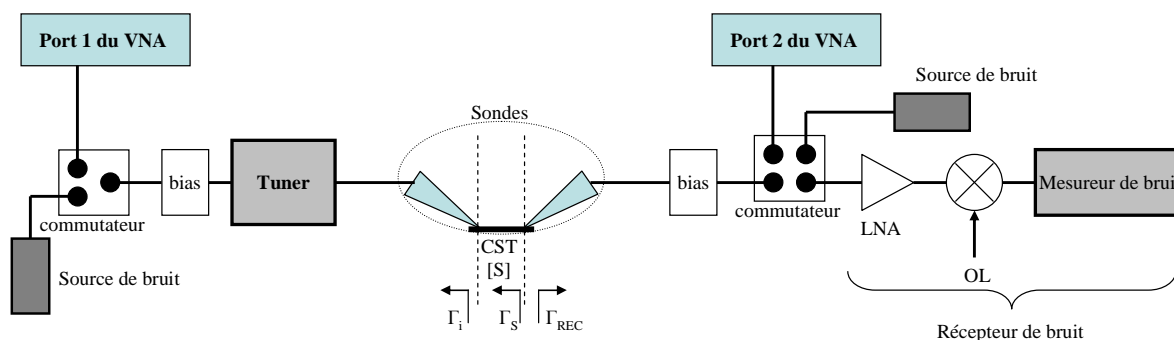


Figure 91 : Banc de mesure de bruit multi-impédance utilisant la technique source froide.

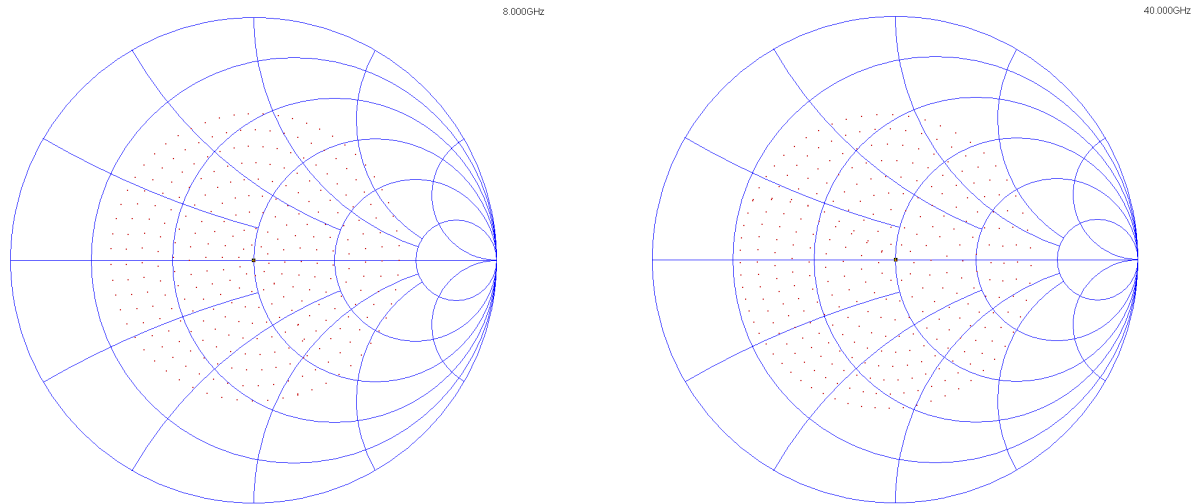


Figure 92 : Coefficients de réflexion après calibrage du tuner à 8 GHz (gauche) et 40 GHz (droite).

Deux techniques sont principalement utilisées pour la détermination des quatre paramètres de bruit du dispositif : la technique standard, largement détaillée dans [Focus-04] et la technique source froide, développée la première fois par [Adamian-73].

Seule la technique source froide a été utilisée à l'IEMN car l'autre technique soulève davantage de problèmes. En effet, les pertes du tuner doivent être précisément connues car elles entrent directement dans la valeur du facteur de bruit mesuré. De plus, ses pertes augmentent avec les forts coefficients de réflexions générés.

Méthode source froide :

La source de bruit est seulement utilisée pendant la phase de calibrage pour déterminer le produit Gain-bande (kBG) du récepteur. Un tuner 1-port pour ajuster l'impédance de la source est connecté à l'entrée du CST pendant les mesures de figure de bruit. Le bruit thermique du tuner, proportionnel à la température ambiante et à la partie résistive de son impédance, amplifié par le CST et le bruit additionnel généré dans le CST sont détectés par le récepteur. La figure de bruit du CST est calculée comme une fonction de l'impédance de la source, les paramètres S du CST et le coefficient de réflexion de l'entrée du récepteur. Cette technique est le plus souvent utilisée dans les systèmes de mesure automatique de paramètres de bruit.

Principe :

- ⇒ La source de bruit est toujours à l'état *OFF* ($= 50 \Omega$).
- ⇒ Calcul du facteur de bruit à la sortie du récepteur.
- ⇒ Le tuner est utilisé pour modifier l'admittance de la source mais sa puissance disponible de bruit est égale au bruit thermique ($kT_C B$).
- ⇒ La source de bruit est à l'état *ON* seulement lors de la phase de calibrage du récepteur.

On détermine le facteur de bruit total à partir de la puissance P détectée par le mesureur de bruit grâce à l'équation suivante :

$$NF(\Gamma_i) = \frac{P}{T_0 kBG} \times \frac{|1 - S_{11} \Gamma_i|^2 |1 - \Gamma_{REC} \Gamma_S|^2}{(1 - |\Gamma_S|^2) |S_{21}|^2} - \frac{T_C}{T_0} \quad (E-28)$$

où,

- P , puissance de bruit mesurée ;
- Γ_i , le coefficient de réflexion de la source (vu par le CST) ;
- Γ_S , le coefficient de réflexion à la sortie du CST (vu par le récepteur) ;
- Γ_{REC} , le coefficient de réflexion d'entrée du récepteur ;
- kBG , la constante Gain-Bande du récepteur ;
- T_C , la température ambiante ;
- T_0 , la température référence (290 K) ;
- S_{ij} , les paramètres S du CST.

Une fois le facteur de bruit total déterminé, il faut revenir au facteur de bruit du CST en utilisant la formule de Friis.

$$F_{CST}(\Gamma_i) = F_{TOT}(\Gamma_i) - \frac{F_{REC}(\Gamma_S) - 1}{G_{CST}(\Gamma_i)} \quad (E-29)$$

Connaissant ces formules, il nous reste à déterminer les paramètres utilisés. La méthodologie de mesure comprend 7 étapes :

- 1) Etalonnage du VNA
- 2) Mesures des paramètres S du CST
- 3) Détermination du coefficient de réflexion de la source (Γ_{NS}) après la mesure du quadripôle d'entrée
- 4) Etalonnage du tuner
- 5) Mesure du Γ_{REC}
- 6) Détermination du kBG
- 7) Mesure de bruit et détermination des 4 paramètres de bruit

La procédure précédente est précisément détaillée dans [Focus-04] avec toutes les équations mises en œuvre ainsi que la détermination des quatre paramètres de bruit par la méthode de [Lane-69].

Ces étapes peuvent être agrémentées d'une vérification du facteur de bruit d'une ligne sur alumine pour contrôler le bon fonctionnement du banc de mesure.

II) La méthode *F50*

1) Principe

La méthode *F50* [Dambrine-93] utilisée pour l'extraction des paramètres de bruit du MOSFET s'appuie sur un modèle de bruit dérivé de celui de Pospieszalski [Pospieszalski-89] (figure 93), composé de deux sources de bruit. Une source de bruit en tension au niveau de la grille dont on suppose la température équivalente de bruit égale à la température ambiante ($T_{IN} = 290K$) et une source de bruit en courant pour le drain dont la température équivalente de bruit est inconnue (T_{OUT}). Ce paramètre est extrait grâce à une mesure de NF (dans le plan des pointes) en tenant compte de l'impédance de la source et des paramètres S mesurés du MOSFET. Ce modèle de bruit à deux températures repose sur l'hypothèse de la non-corrélation des sources de bruit e_G et i_D . Cette hypothèse a été démontrée par [Pospieszalski-89] pour des canaux longs et par [Pailloncy-05] pour des canaux courts.

L'expression de ce facteur de bruit noté *F50* est donnée ci-dessous :

$$F50 = 1 + R_n G_0 + \frac{R_n}{G_0} \left(2G_0 G_{cor} + |Y_{opt}|^2 \right) \quad (E-30)$$

Avec $G_0 = 20 \text{ mS}$.

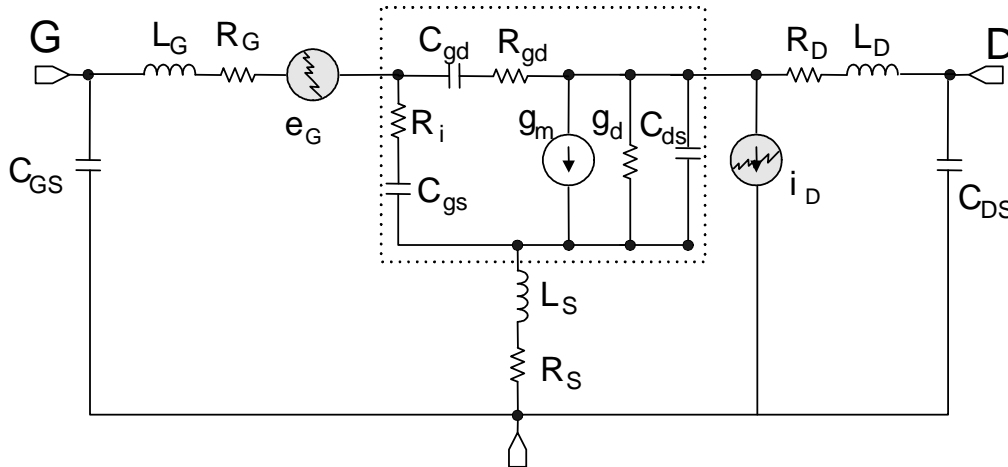


Figure 93 : Schéma équivalent du MOSFET avec ses sources de bruit associées. Les éléments intrinsèques se situent à l'intérieur des pointillés.

La méthode *F50* est aussi utilisée jusqu'à 40 GHz ce qui nous permet de faire des comparaisons avec la méthode multi-impédance.

De plus, un banc de bruit millimétrique a été développé en bande W (75-110 GHz). La technique a été améliorée afin d'augmenter la précision et la facilité de l'extraction des paramètres de bruit mais aussi pour permettre l'épluchage des accès parasites.

Le banc de mesure est présenté figure 94. Les mesures sont basées sur la méthode du facteur Y [Tiemeijer-05-2] en utilisant une source de bruit commerciale.

La mesure en bande W est rendue possible par l'utilisation d'un « down-converter » (convertisseur – abaisseur de fréquence = FDC). Celui-ci est composé d'un mélangeur Millitech® avec des pertes de conversion d'environ 11 dB qui convertit le bruit en bande W à une valeur de fréquence intermédiaire (IF) de 100 MHz. L'IF est mesurée grâce à un mesureur de facteur de bruit (NFM) de type 8970B. Le signal de l'oscillateur local est généré par un synthétiseur HP8362 qui est amplifié et triplé. L'utilisation d'un LNA avant l'entrée RF du mélangeur permet de diminuer le facteur de bruit du FDC et donc d'améliorer la sensibilité du récepteur de bruit. Le LNA, le FDC et le NFM forment le récepteur de bruit bande W.

La source de bruit est connectée au commutateur de sortie (SW2) afin de calibrer le récepteur de bruit. La référence de calibrage est donnée par le rapport de bruit en excès (ENR) de la source de bruit.

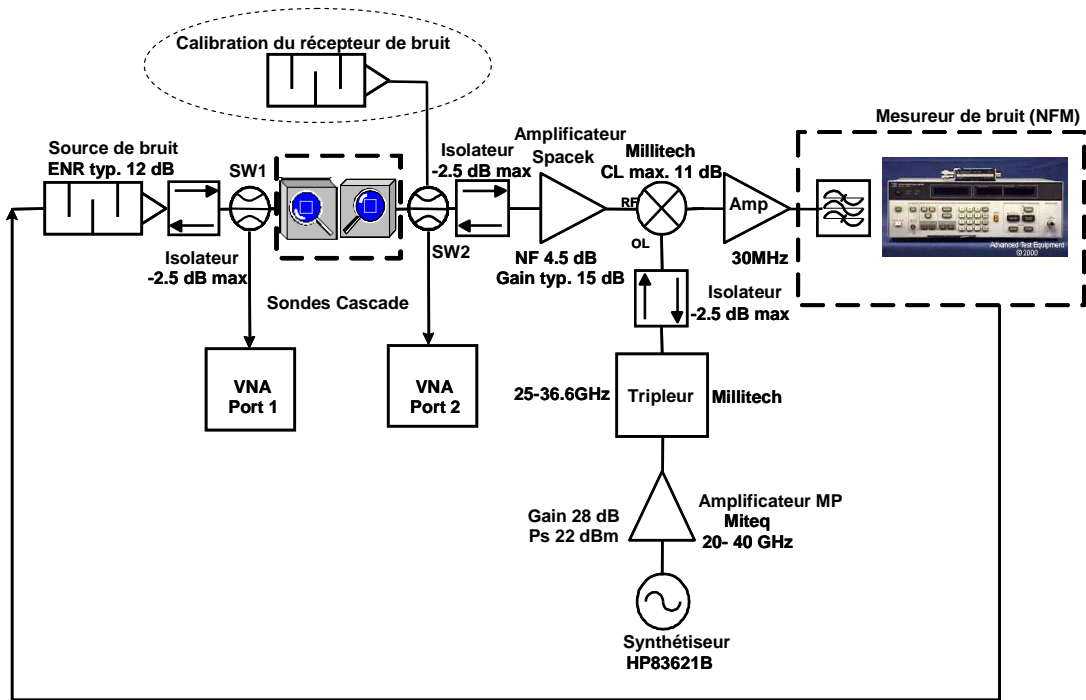


Figure 94 : Banc de mesure de bruit bande W.

2) Optimisation du banc de bruit millimétrique

Plusieurs sources d'erreur peuvent dégrader la mesure du facteur de bruit. Pour réduire ces effets, trois optimisations ont été apportées :

- ✓ L'ajout d'un amplificateur faible bruit à l'entrée du récepteur de bruit millimétrique minimise le niveau de bruit de mesure (formule de Friis).
- ✓ Plusieurs types de désadaptation peuvent être rencontrées : 1) pendant l'étape de calibrage entre la source de bruit et le récepteur, 2) entre la sortie de la source de bruit et l'entrée du CST et 3) entre la sortie du CST et l'entrée du récepteur de bruit. Un isolateur placé à ces différents endroits conduit à la réduction de la désadaptation.
- ✓ Les valeurs de l'ENR de la source dans la bande W sont proches de 12 dB. Ces valeurs ont été vérifiées par une méthode à deux températures d'une charge 50Ω placée successivement à température ambiante et à l'azote (partie suivante).

3) Vérification de l'ENR de la source

Dans le but de confirmer l'ENR de la source donné par le constructeur, une méthode a été développée à l'IEMN basée sur une mesure de puissance de bruit à 2 températures utilisant la méthode du facteur Y.

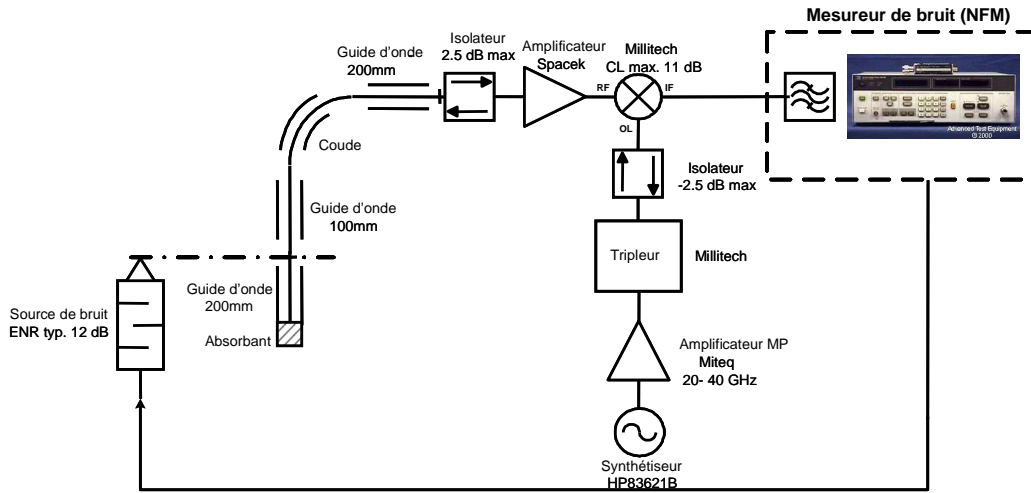


Figure 95 : Banc de mesure pour la vérification de l'ENR de la source.

Plusieurs étapes sont nécessaires :

- 1) La charge est placée à température ambiante (T_{hot1}) et la puissance de bruit est mesurée (P_{hot1}) ;
- 2) Une seconde mesure de puissance (P_{cold1}) quand la charge est plongée dans l'azote (T_{cold1});
- 3) La puissance de bruit de sortie du récepteur est mesurée quand la source de bruit est à l'état « on » (P_{cold2} / T_{cold2}) puis à l'état « off » (P_{hot2} / T_{hot2}) ;
- 4) Calcul de l'ENR par la méthode du facteur Y (équations ci-dessous).

$$dY_1 = \frac{P_{hot1}}{P_{cold1}} \quad (E-31)$$

$$T_{REC} = \frac{T_{hot1} - dY_1 \cdot T_{cold1}}{dY_1 - 1} \quad (E-32)$$

$$dY_2 = \frac{P_{hot2}}{P_{cold2}} \quad (E-33)$$

$$T_{NS} = T_{hot2} = dY_2 \cdot T_{cold2} + (dY_2 - 1)T_{REC} \quad (E-34)$$

$$ENR = 10 \text{Log}(T_{NS} / T_0 - 1) \quad (E-35)$$

On note que $T_{hot1} = T_{cold2} = T_0 = 290 \text{ K}$ et $T_{cold1} = 77 \text{ K}$.

Le résultat de cette méthode est donné figure 96.

Une bonne corrélation existe entre les valeurs mesurées et celles données par le constructeur. Cependant, une sensibilité peut être déterminée pour chaque point de fréquence ($\pm 0.3 \text{ dB}$).

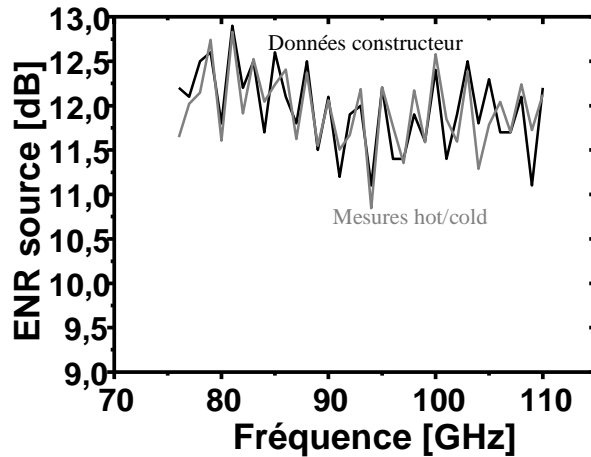


Figure 96 : Comparaison des données du constructeur de l'ENR source avec la méthode hot/cold.

Maintenant que les deux méthodes ont été définies, on se propose d'étudier dans un premier temps le transistor MOSFET jusque 110 GHz puis le transistor HBT SiGe. Pour ce dernier, nous avons également effectué des mesures à des températures cryogéniques.

C) Analyse du bruit millimétrique des transistors MOSFETs

On se propose de comparer les 2 méthodes de mesures sur un transistor MOSFET de STMicroelectronics avec une longueur de grille de 65 nm et un développement total de 64 μm ($N_f = 64$, $W = 1\mu\text{m}$). Les 4 paramètres de bruit (NF_{min} , R_n , $\text{mag}(\Gamma_{opt})$, $\text{phase}(\Gamma_{opt})$) sont comparés jusque 110 GHz. La méthode tuner délivrant directement les 4 paramètres de bruit est comparée à la méthode F50 jusque 40 GHz. Pour aller plus loin, le modèle utilisé jusque 40 GHz est extrapolé jusque 110 GHz afin de comparer les résultats aux mesures en bande W (figure 97) [Waldhoff-08]. La méthode F50 est utilisée pour la mesure de bruit en bande W.

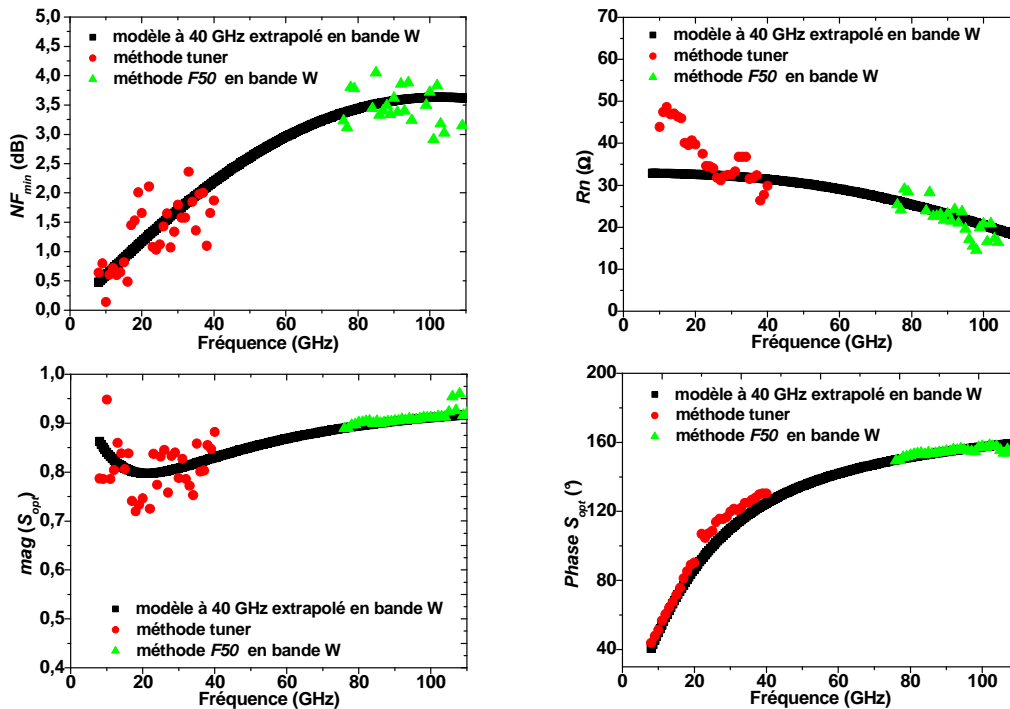


Figure 97 : Paramètres de bruit du MOSFET 65 nm ($64 \times 1 \mu\text{m}$) : comparaison entre modèle, méthode tuner et F50. $V_{DS} = 1.2 \text{ V}$, $V_{GS} = 0.7 \text{ V}$ et $I_{DS} = 17 \text{ mA}$.

Comme on le constate sur la figure 97, le modèle est très proche des mesures aussi bien entre 6 et 40 GHz qu'en bande W. Cependant, comme l'indique la figure 98, la forte valeur du NF dans cette bande (environ 10 dB) est fortement limitative au niveau de la précision et de la sensibilité du banc de mesure. De plus, le modèle a été simulé en prenant en compte l'impédance de la source de bruit (Z_s) en fonction de la fréquence, idéalement adapté sur 50Ω et qui se révèle être légèrement désadaptée jusque 40 GHz et plus fortement en bande W. Cette représentation du facteur de bruit nous permet de constater qu'il existe une corrélation entre les fluctuations de l'impédance de la source avec le facteur de bruit.

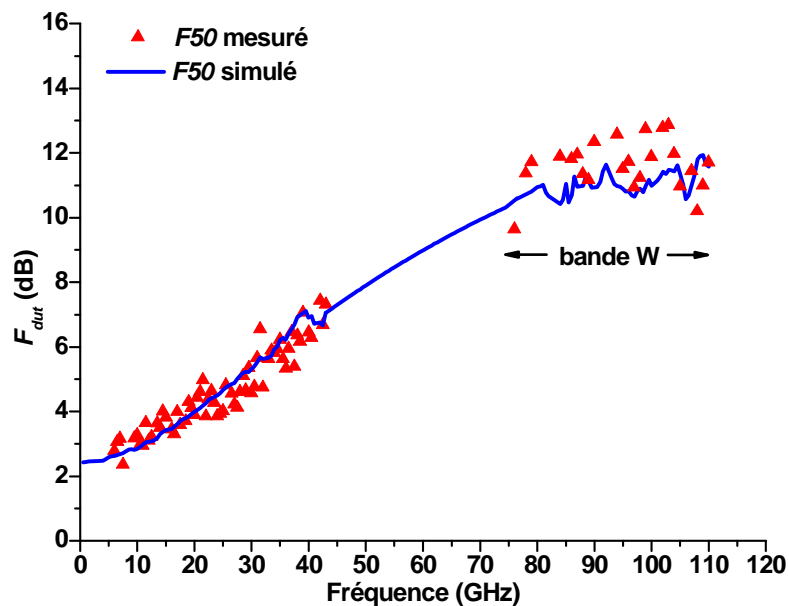


Figure 98. : Comparaison du facteur de bruit du MOSFET 65 nm entre le modèle extrapolé et la méthode $F50$ en bande W en prenant en compte l'impédance de la source. $V_{DS} = 1.2 \text{ V}$, $V_{GS} = 0.7 \text{ V}$ et $I_{DS} = 17 \text{ mA}$.

Finalement, la température équivalente de bruit extraite expérimentalement (seul paramètre de bruit extrait au niveau du modèle de bruit) est approximativement de 5000 K à $V_{DS} = 1.2 \text{ V}$, $V_{GS} = 0.7 \text{ V}$ et $I_{DS} = 17 \text{ mA}$.

Ce facteur de bruit élevé ajouté à la sensibilité et la précision de la mesure nous on conduit à définir de nouveaux dispositifs. Des structures pré-adaptées ont ainsi été développées pour augmenter le gain et réduire le bruit en bande W. Ces structures seront présentées à la fin de ce chapitre.

D) Analyse du bruit millimétrique des transistors HBTs

I) Modèle de bruit

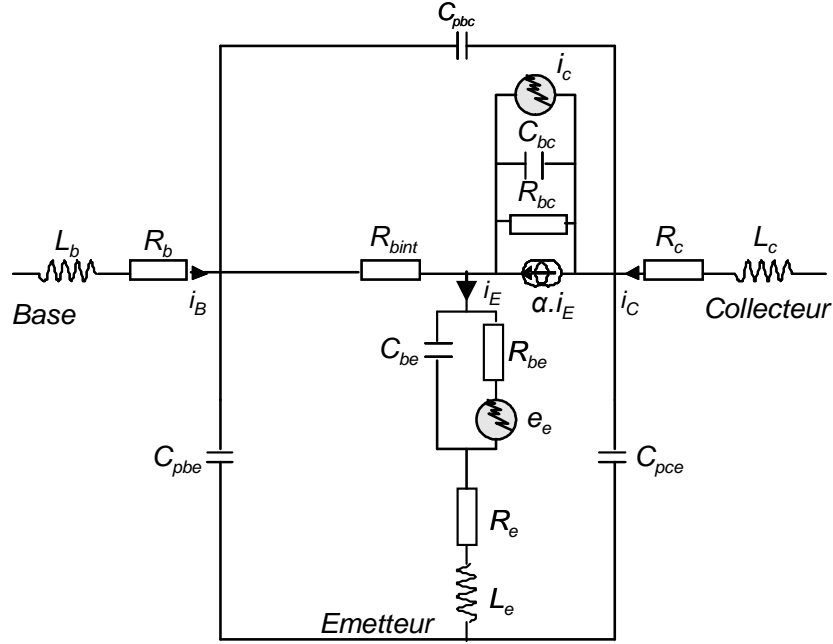


Figure 99 : Modèle de bruit en T du transistor bipolaire composé de deux sources de bruit e_e et i_c .

La technologie faible budget thermique est optimisée technologiquement pour atteindre des fréquences de coupure élevées, grâce à une réduction de la largeur de la base. Comme discuté dans le chapitre précédent, une forte résistance de base (5 fois plus élevée que la technologie standard [Geynet-08]) limite ses performances en bruit. Ainsi, la technologie standard présentant un couple $f_T / f_{MAX} = 260 \text{ GHz} / 315 \text{ GHz}$, est investiguée pour déterminer ses performances en bruit et valider le modèle de bruit.

La caractérisation du dispositif est réalisée à 300, 77 et 4 K en utilisant la station sous pointe cryogénique (décrite dans le chapitre II, C, II, 2) couplée à la mesure du facteur de bruit par la méthode $F50$ entre 6 et 40 GHz. Une mesure de bruit additionnelle est réalisée à température ambiante grâce à la méthode tuner. Cette méthode est cependant très difficile à mettre en œuvre pour une mesure cryogénique, donc seul une mesure à température ambiante est effectuée.

Le modèle de bruit utilisé pour le HBT est dérivé du modèle de Hawkins [Hawkins-77] (figure 99). Il est constitué de deux sources de bruit non corrélées : une source de bruit en tension au niveau de l'émetteur, notée $\overline{e_e^2}$ et une source de bruit en courant au niveau du collecteur, notée $\overline{i_c^2}$.

Ces sources sont déterminées par :

$$\overline{e_e^2} = 2.k.T.R_{be}.\Delta f \quad (\text{E-36})$$

$$\overline{i_c^2} = \frac{2.k.T(\alpha - \alpha_0^2)}{R_{be}}.\Delta f \quad (\text{E-37})$$

$$\alpha = \frac{\alpha_0}{1 + j \frac{f}{f_\alpha}} \quad (\text{E-38})$$

Avec T , la température ambiante.

Le modèle de bruit du transistor bipolaire est donc principalement constitué du bruit thermique généré par les résistances extrinsèques R_B , R_C et R_E exprimées en $4.k.T.R.\Delta f$. Leur contribution est simulée à l'aide du logiciel ADS. La deuxième contribution concerne le bruit de grenaille qui est simulé à travers les sources de bruit calculées précédemment normalement en $2.q.I.\Delta f$.

II) Performances en bruit

1) Comparaison des 3 dispositifs

Trois échantillons de chaque technologie ont été investigués grâce à la méthode tuner afin de déterminer le dispositif présentant les meilleures performances en bruit. Les technologies « standard » et « faible budget thermique » utilisent un module collecteur : Couche enterrée + Epi collecteur + Tranchées profondes. La technologie faible budget thermique se distingue par sa zone active unique pour le bipolaire, une distance réduite entre les contacts collecteur et émetteur et des contacts de base reportés dans un autre plan. Le tableau ci-dessous renseigne sur les différentes technologies mais le détail complet est donné dans [Geynet-08].

	Ech1	Ech2	Ech3
Process	Bipolaire de référence	Budget thermique réduit	Budget thermique réduit
Profil SiGe dans la base	20 – 30 %	10 – 25 %	10 – 40 %
Dopage collecteur	standard	+ important	+ important
émetteur	arsenic	phosphore	phosphore

Tableau 13 : Différences technologiques des 3 échantillons du transistor bipolaire.

Le développement choisi pour la technologie standard est $0.3 \times 9.82 \mu\text{m}^2$ et pour la technologie faible budget thermique : $5 \times 0.3 \times 1.32 \mu\text{m}^2$.

Les quatre paramètres de bruit sont comparés en fonction du courant collecteur pour deux fréquences (17 et 35 GHz) à la température ambiante (figures 100 et 101).

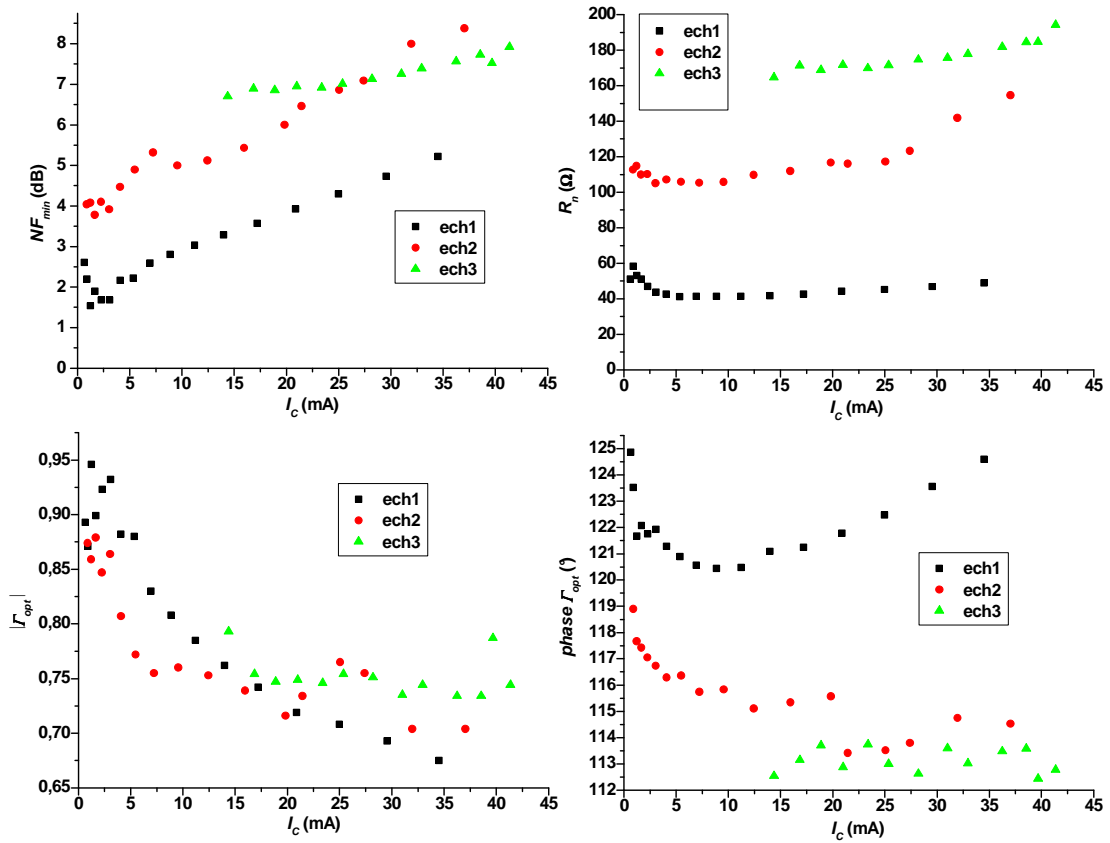


Figure 100 : Comparaison des paramètres de bruit mesurés des 3 échantillons des transistors à faible budget thermique ($5 \times 0.17 \times 1.2 \mu m^2$) à $F=35$ GHz.

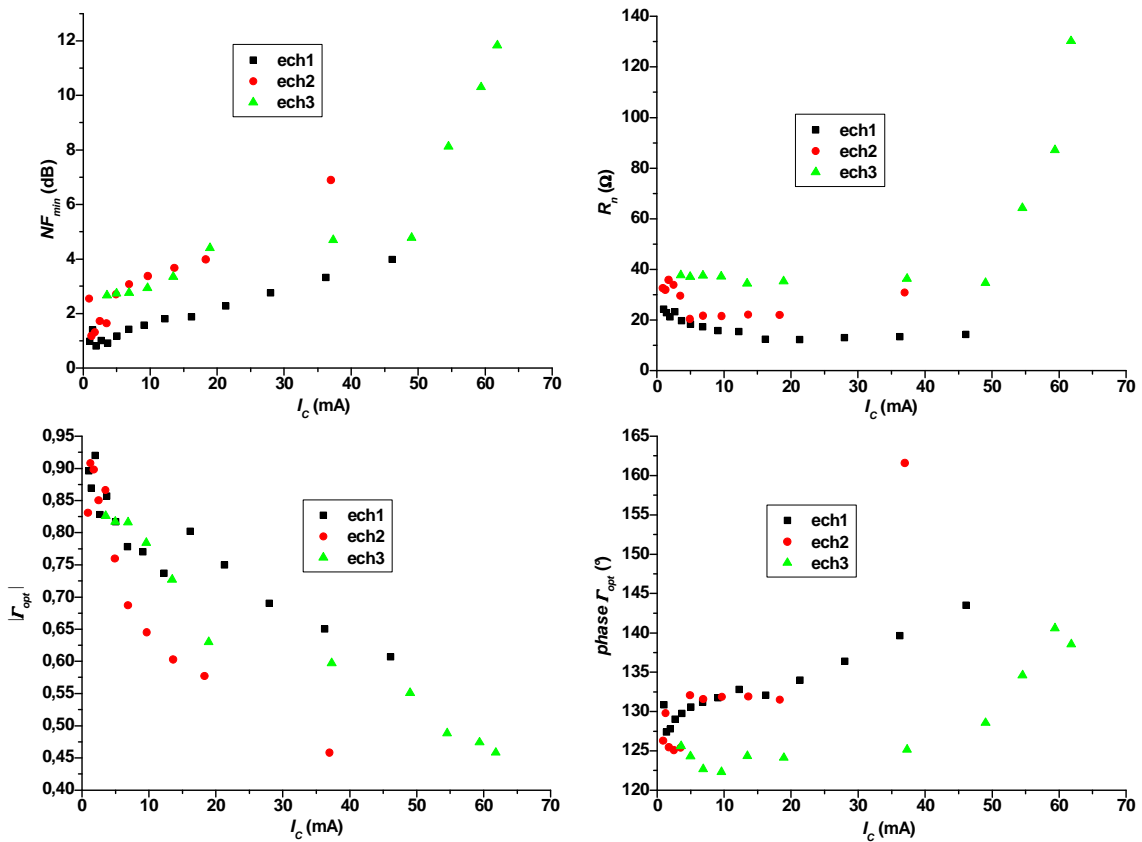


Figure 101 : Comparaison des paramètres de bruit mesurés des 3 échantillons des transistors standard ($0.3 \times 9.82 \mu m^2$) à $F=35$ GHz.

Cette étude met tout d'abord en évidence l'échantillon 1 qui présente les meilleures performances en ce qui concerne le facteur de bruit minimum quelque soit le dispositif (standard ou faible budget thermique). La résistance de bruit est aussi très largement inférieure pour cet échantillon. Reste à départager ces 2 dispositifs. Comme indiqué précédemment, la technologie standard a été développée pour ses performances en bruit donc l'étude cryogénique portera sur l'échantillon 1 standard.

2) Paramètres de bruit à température cryogénique

La mesure de bruit à température cryogénique est plus critique qu'à température ambiante. Mais, quelque soit celle-ci, plusieurs étapes sont nécessaires pour bien calibrer le banc. Tout d'abord, les accès d'entrée et de sortie (bras micro-manipulés + sondes) sont pris en compte. Puis, le calibrage du récepteur est effectué pour évaluer ses performances. Enfin, le plan de référence de la mesure est défini dans le plan des pointes. La technique de calibrage cryogénique est précisément décrite dans la thèse de S. Delcourt [Delcourt-07].

Les quatre paramètres de bruit sont présentés figure 102. Premièrement, NF_{min} , $\text{mag}(\Gamma_{opt})$, $\text{phase}(\Gamma_{opt})$ et R_n sont simulés en utilisant le modèle (figure 99) et comparés avec la méthode tuner à 300 K. Une bonne concordance entre ces données est observée. Puis, des mesures $F50$ sont réalisées à 77 K et 4 K et comparées à la figure de bruit modélisée sous le logiciel ADS (figure 103). Ce paramètre est utilisé pour valider le modèle et cela nous permet d'extraire les 4 paramètres de bruit. On note sur ces courbes une amélioration significative de NF_{min} évoluant de 1.8 dB (300 K) à 0.8 dB (4K) à une fréquence de 40 GHz. Au même moment, R_n diminue de 16 Ω (300 K) à 1.3 Ω (4 K) tout en restant pratiquement constant avec la fréquence. Du point de vue de la conception d'un amplificateur faible bruit, le HBT SiGe est moins sensible à une potentielle désadaptation et plus facile à adapter à température cryogénique.

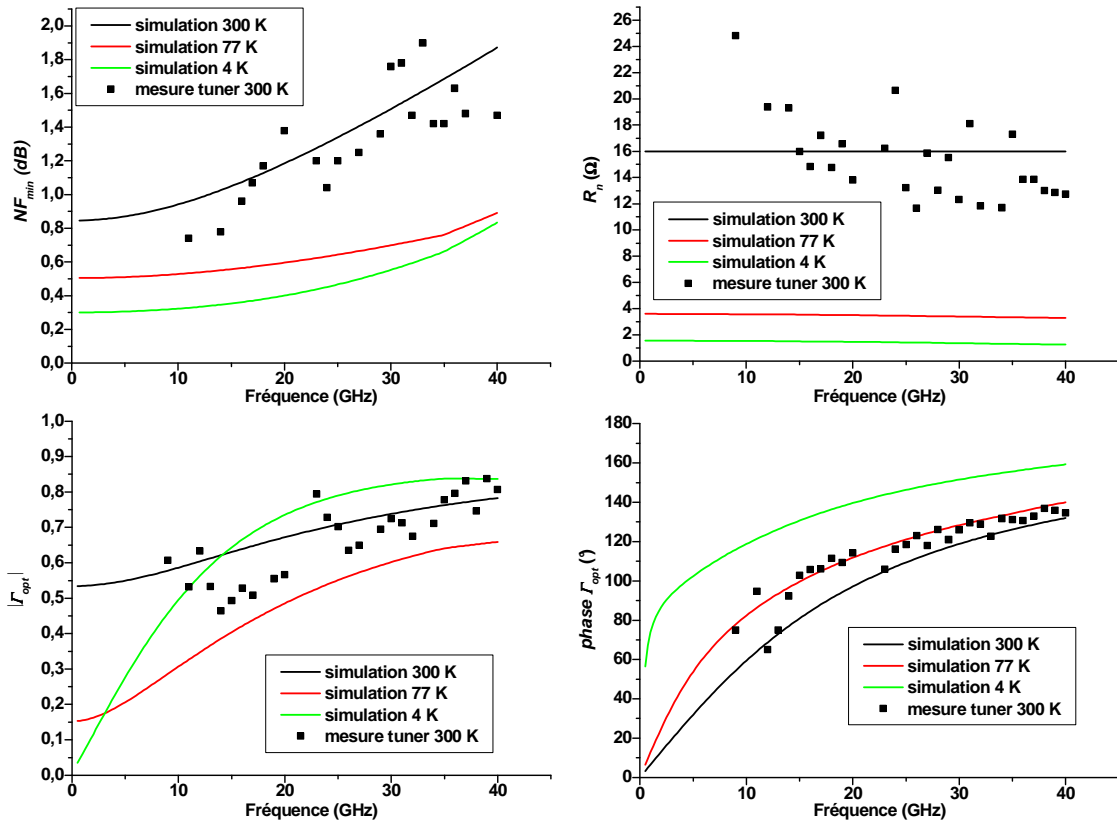


Figure 102 : Paramètres de bruit du HBT standard ($0.3 \times 9.82 \mu m^2$) à 3 températures extraits à partir d'une mesure F_{50} et comparés à une mesure tuner à 300 K.

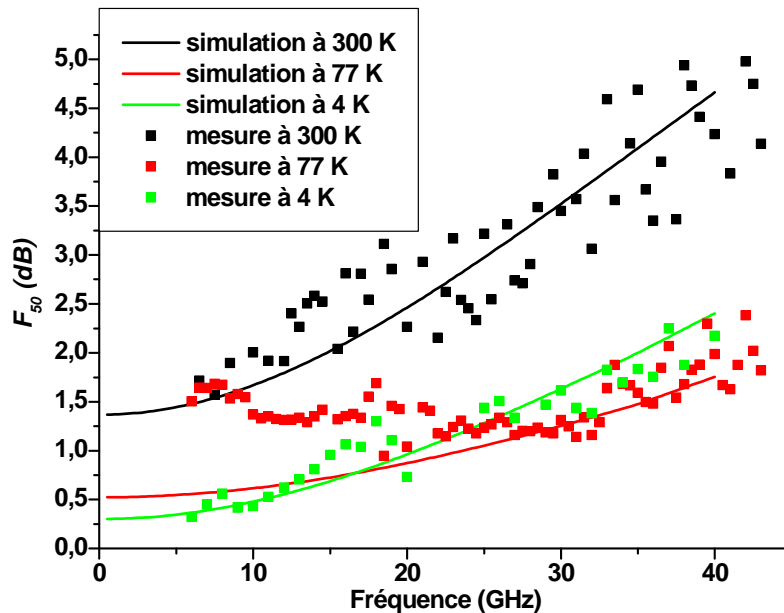


Figure 103 : Mesure du facteur de bruit F_{50} du HBT standard ($0.3 \times 9.82 \mu m^2$) aux 3 températures comparée aux valeurs simulées.

La mesure du facteur de bruit F_{50} est présentée figure 103. Cette mesure est donc utilisée pour extraire les 4 paramètres de bruit du transistor aux 3 températures. Une bonne concordance existe entre la mesure et la simulation malgré une variation à 77 K dans la bande 6 – 20 GHz certainement liée à un problème de posée des points ou de givre sur les dispositifs.

E) Le transistor pré-adapté

I) Intérêt

Le transistor pré-adapté suscite un grand intérêt dans la mesure où il permet de compenser les accès d'un transistor (figure 61) qu'il soit bipolaire ou à effet de champ. La limitation de la mesure de bruit millimétrique est particulièrement critique dans le cas du transistor MOSFET en bande W. En effet le facteur de bruit élevé (>10 dB) et le faible gain apportent des incertitudes de mesure.

Le deuxième atout du transistor pré-adapté est qu'il permet de voir les limites des technologies en termes de performances. En effet, il nous permet d'estimer les potentialités fréquentielles et de bruit d'une technologie.

On peut ainsi considérer le transistor pré-adapté comme :

- un système de mesure intégré (tuner à 1 position)
- un amplificateur à 1 étage

Ces structures serviront à valider le modèle millimétrique des transistors pour ensuite réaliser des amplificateurs faible bruit.

Nous avons donc réalisé des transistors pré-adaptés centrés sur 77, 89, 105 et 150 GHz utilisant le transistor MOSFET 65 nm et 150, 200 et 250 GHz avec la technologie HBT SiGe de STMicroelectronics.

Le choix de ces fréquences permet de se placer aux limites de fonctionnement des dispositifs. En ce qui concerne le transistor à effet de champ on vise les bandes V et W et pour le transistor bipolaire, l'objectif est de couvrir les bandes G et J.

II) Synthèse entre la technologie C65SOI HR et B9MW

La figure 104 montre les différences entre la ligne coplanaire et la ligne microruban. Sur la technologie C65SOI HR, on utilise des lignes coplanaires pour bénéficier pleinement du substrat à haute résistivité d'où l'utilisation de lignes empilées (de M1 à M6). En ce qui concerne la technologie B9MW, on est sur un substrat massif. La ligne microruban est donc enterrée et le substrat complètement écranté, ce sont les pertes métalliques qui dominent l'atténuation. Le SOI HR n'apporterait rien de plus par rapport à une technologie silicium standard. Une comparaison complète est disponible dans [Gianesello-06].

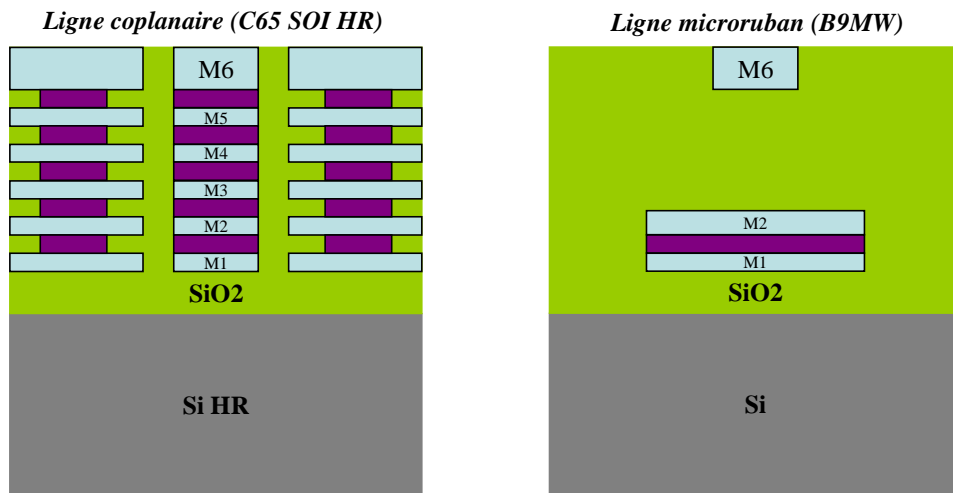


Figure 104 : Comparaison entre la structure des lignes coplanaire (gauche) et microruban.

III) Technologie MOSFET SOI

1) Conception

Les transistors pré-adaptés sont conçus en utilisant un MOSFET SOI HR de 65 nm de longueur de grille avec 64 doigts de $1 \mu\text{m}$ ($Wt = 64 \mu\text{m}$). La conception détaillée est discutée dans la section III mais la même méthodologie est employée quelque soit la technologie utilisée (C65SOI HR pour le transistor à effet de champ ou B9MW pour le transistor bipolaire).

La figure 105 illustre le dispositif centré sur 105 GHz. La technologie utilisée est la C65SOI HR.

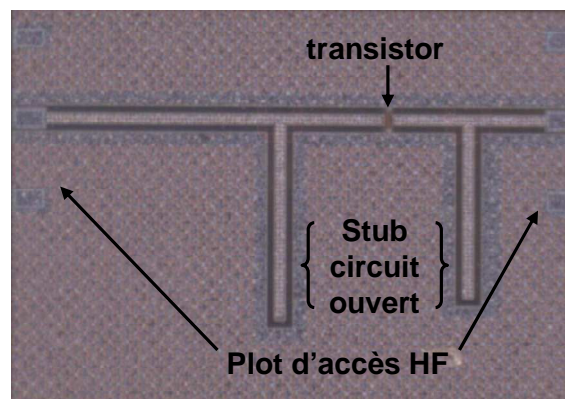


Figure 105 : Photo du transistor pré-adapté à 105 GHz.

Les conditions de polarisations du transistor ont été définies au maximum de gain disponible $V_G = 0.71 \text{ V}$. Ainsi, on peut constater sur la figure 106 que le NF_{min} est seulement 0.15 dB plus élevé que son minimum à $V_G = 0.6 \text{ V}$. Le rapport signal à bruit (S/N) est amélioré comparé avec un transistor non pré-adapté en bande W et même au-delà. Dans ces conditions, le gain de la structure à 105 GHz est comparable au gain disponible maximum ($S_{21} \approx MAG$). Finalement, les conditions de polarisation sont fixés à $V_D = 1.2 \text{ V}$ et $V_G = 0.71 \text{ V}$.

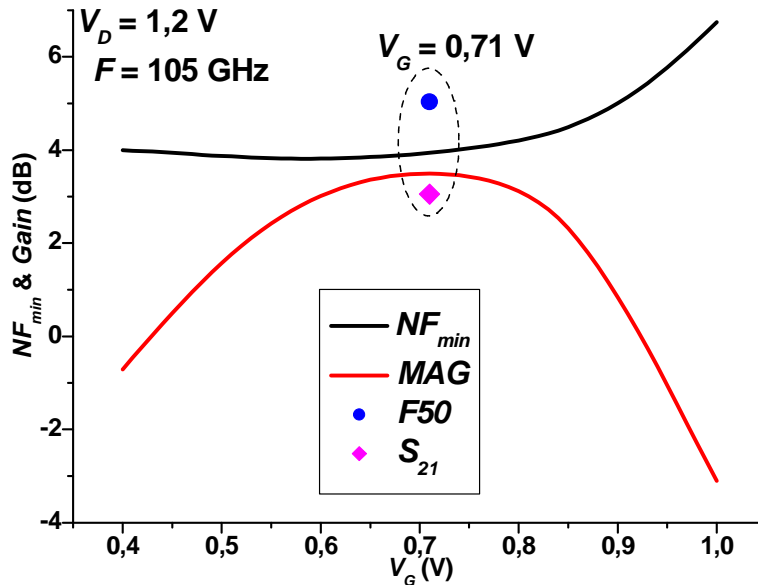


Figure 106 : Figure de bruit minimum, gain maximum disponible, F_{50} et S_{21} en fonction de V_G pour la structure pré-adaptée à 105 GHz.

L'architecture du circuit (figure 107) est basée sur une adaptation simple stub circuit-ouvert (stub CO) en entrée/sortie ce qui est plus facile à réaliser que les stubs en court-circuit (stub CC) présentant des effets parasites délicats à évaluer. Tous les accès sont en guides d'onde coplanaire (CPW) réalisés sur un substrat SOI haute résistivité à l'exception de ceux entourant le transistor (lignes μ Strip A et B ainsi que L_S sur la figure 107) qui sont des lignes micro-rubans 50 Ω . Il n'y a pas de circuit de polarisation intégrés ; la tension DC est fournie à travers les tés de polarisations intégrés des sondes.

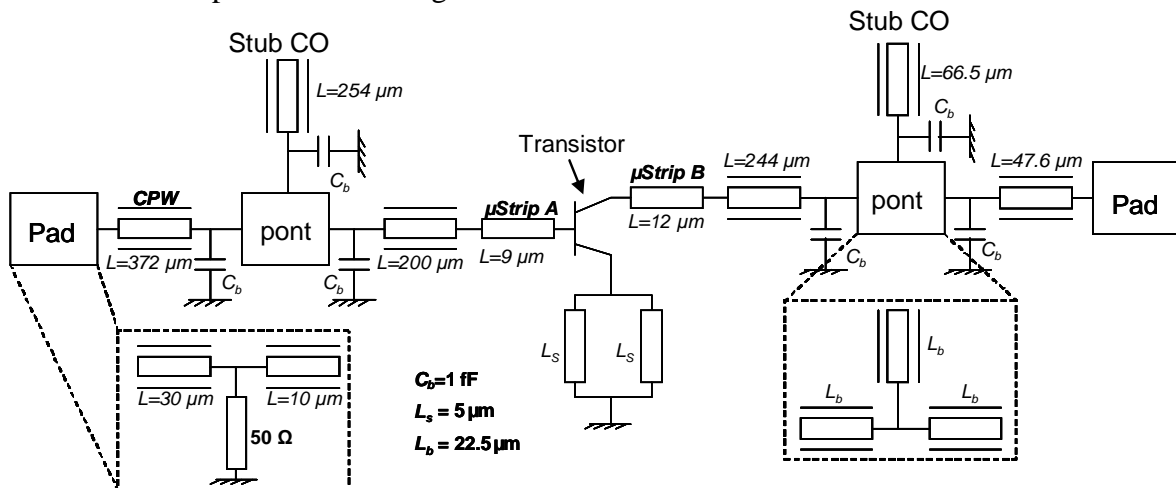


Figure 107 : Schéma du transistor pré-adapté utilisant la technologie C65SOI HR.

A la jonction entre le stub CO et la ligne d'accès coplanaire, des ponts à air ont été ajoutés pour éviter la propagation de mode indésirable (mode pair fortement dispersif) en connectant au niveau de cette discontinuité les plans de masse ensemble. Cependant, une optimisation géométrique est nécessaire afin de réduire les effets des capacités parasites telles les pertes de propagation causées par le pont sous la ligne coplanaire. Cette capacité parasite C_b est évaluée à 1 fF en utilisant le logiciel de simulation électromagnétique Momentum.

La source du MOSFET est connectée à la masse grâce aux lignes micro-rubans pour

améliorer la stabilité du transistor. Les plots d'accès (pad) ont été réalisés aussi petits que possible pour réduire la capacité d'entrée. Comme on peut l'observer sur l'agrandissement du pad (figure 107), une ligne coplanaire de longueur $30\ \mu\text{m}$ est placée en parallèle à l'entrée du terminal $50\ \Omega$ pour prendre en compte le chevauchement de la pointe de la sonde.

Le transistor à effet de champ utilisé est celui décrit dans le chapitre précédent.

En résumé, l'avantage d'une telle structure en entrée/sortie du transistor permet de compenser les accès comparé à une structure de transistor classique (figure 61) composée par les plots d'accès, les lignes et les connexions descendantes.

2) Résultats des différentes structures réalisées

Nous allons présenter les résultats des 4 transistors pré-adaptés à 77, 89, 105 et 150 GHz en paramètres S et bruit millimétrique en comparant les valeurs mesurées à celles simulées. La simulation des paramètres S et du facteur de bruit est réalisée avec le logiciel ADS entre 75 et 160 GHz.

a) Paramètres S

Les paramètres S simulés et mesurés en transmission et en réflexion sont présentés figure 108 et 109 respectivement. Tous les résultats simulés ne sont pas présentés pour éviter d'encombrer inutilement les figures. Cependant, on retrouve les mêmes tendances que les structures à 105 et 150 GHz.

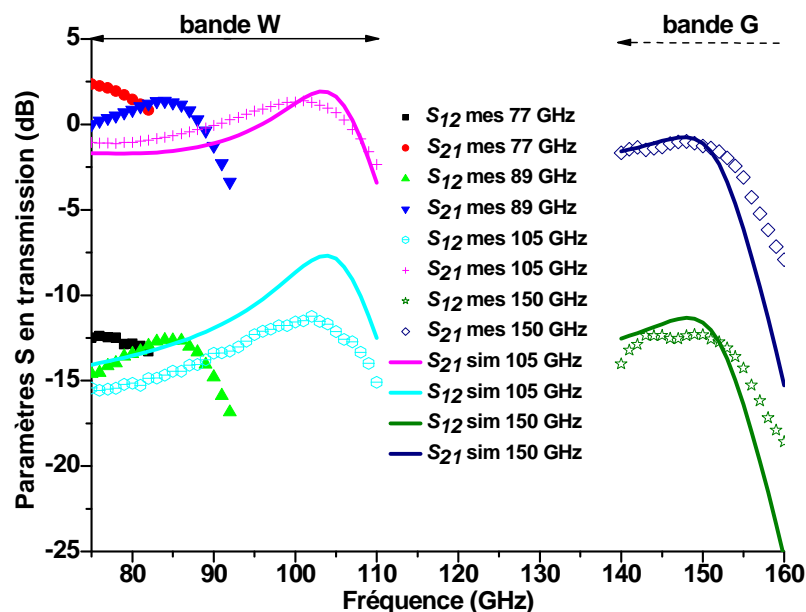


Figure 108 : Paramètres S mesurés et simulés en transmission des 4 transistors ($64 \times 1\ \mu\text{m}$) pré-adaptés en technologie C65 SOI HR. $V_D=1.2\ \text{V}$ et $V_G=0.71\ \text{V}$.

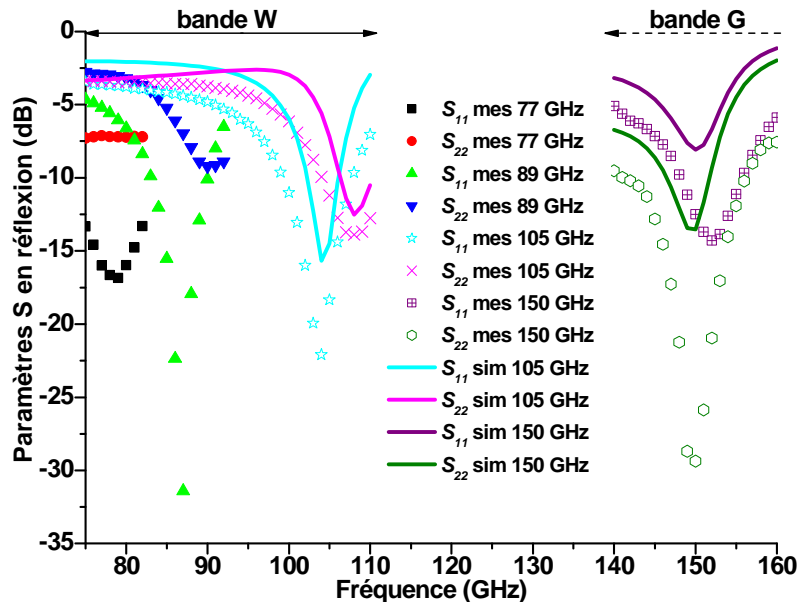


Figure 109 : Paramètres S mesurés et simulés en réflexion des 4 transistors ($64 \times 1 \mu\text{m}$) pré-adaptés en technologie C65 SOI HR. $V_D=1.2 \text{ V}$ et $V_G=0.71 \text{ V}$.

La comparaison entre le modèle et la mesure indique une bonne concordance. Les gains évalués en simulation correspondent à ceux mesurés malgré un petit décalage fréquentiel survenant si la longueur d'une ligne coplanaire est mal ajustée. Le modèle est un peu moins optimiste que la mesure aux niveaux des adaptations en entrée/sortie. Concernant le transistor pré-adapté à 150 GHz, il atteint un pic de gain de -0.8 dB avec 12 dB d'isolation (pertes d'insertion entrée/sortie : $-15 \text{ dB}/-35 \text{ dB}$).

b) Facteur de bruit

Dans la figure 110, la mesure $F50$ du transistor seul est comparée avec les 3 transistors pré-adaptés en bande W. Ce graphique montre clairement un bon accord avec le modèle de bruit. De plus, on constate la réduction du facteur de bruit, comparée à un transistor conventionnel ($> 10 \text{ dB}$), des 3 transistors pré-adaptés passant de 4.5 dB à 77 GHz pour 5.8 dB à 105 GHz .

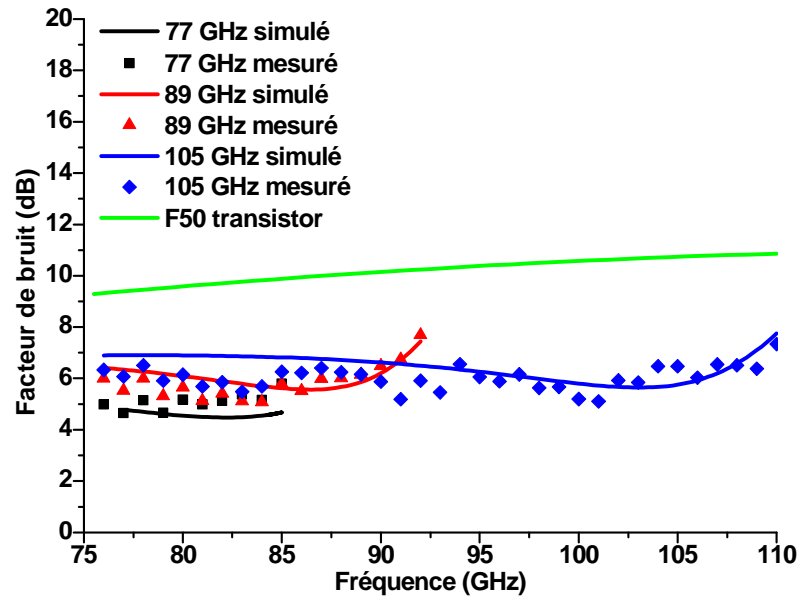


Figure 110 : Facteur de bruit mesuré et simulé des 3 structures pré-adaptées (64x1 μm) en bande W ainsi que celui du transistor seul (64x1 μm).

c) Récapitulatif des performances du transistor pré-adapté

Le tableau ci-dessous résume les valeurs des modules des 4 structures pré-adaptées en bande W et G ainsi que le facteur de bruit.

	S_{11} (dB)	S_{12} (dB)	S_{21} (dB)	S_{22} (dB)	NF (dB)
77 GHz	-16	-12.5	2.5	-7.2	4.5
89 GHz	-25	-13	1.5	-9	5.5
105 GHz	-22	-12.5	1.5	-11	5.8
150 GHz	-13	-11.6	-0.5	-28	8.2

Tableau 14 : Paramètres S mesurés des différents transistors pré-adaptés en bande W.

IV) Technologie HBT SiGe

La technologie utilisée pour la conception des structures pré-adaptées est la B9MW (MW : Millimeter Waves) de STMicroelectronics ; technologie spécialement conçue pour les applications millimétriques.

1) Présentation

La structure pré-adaptée, en terme de conception, est similaire à celle de l'amplificateur faible bruit. La première étape consiste à choisir la bonne topologie du transistor. Le choix de la topologie nous conduit à évaluer plusieurs paramètres comme le facteur de bruit minimum, le gain maximum, l'adaptation simultanée en gain et en bruit (dans la mesure du possible), la stabilité, la surface ou encore la consommation. Ces critères, parfois antagonistes, envisagent certains compromis. Dans notre démarche de conception, certains critères passent au deuxième plan, car le but reste d'estimer une technologie et de valider un modèle. Comme dans le cas des structures pré-adaptées des MOSFETs, le but est d'augmenter

le gain et diminuer le bruit.

Le choix du transistor s'est porté sur un transistor bipolaire NPN d'un doigt d'émetteur de $0.27 \times 5.74 \mu\text{m}$. Ce transistor dispense des performances intéressantes pour des structures fonctionnant jusque 250 GHz.

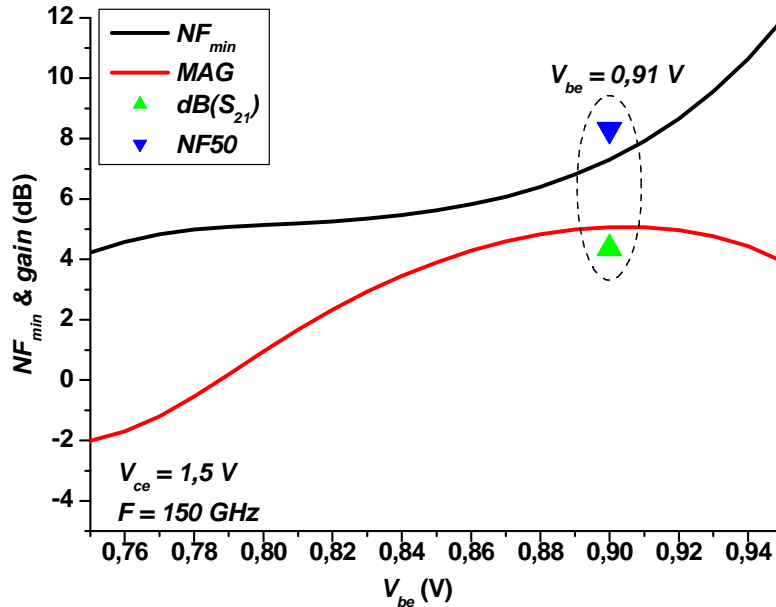


Figure 111 : Figure de bruit minimum, gain maximum disponible, $F50$ et S_{21} en fonction de V_{be} pour la structure pré-adaptée à 150 GHz.

La figure 111 présente les performances du transistor bipolaire en fonction de la tension base-émetteur. Elle traduit les principales contraintes de conception en gamme millimétrique. Si on cherche le minimum de bruit de la structure (faible tension), le gain du transistor ne sera plus suffisant pour une application à 150 GHz (même problème à 200 et 250 GHz). On choisit donc une polarisation pour que la structure soit adaptée au maximum de gain. On constate que la magnitude de S_{21} de la structure pré-adaptée (4.4 dB) est pratiquement adaptée au gain maximum disponible ($MAG = 5 \text{ dB}$) et le NF_{min} est légèrement inférieur au $NF50$.

En ce qui concerne la conception des structures pré-adaptées, des réseaux d'adaptation en entrée/sortie sont nécessaires (figure 112). Le rôle du réseau d'adaptation d'entrée est de transformer le terminal 50Ω en source d'impédance complexe requise (Γ_{in}^* pour une adaptation en gain et Γ_{opt} pour une adaptation en bruit) et le réseau de sortie transforme le terminal 50Ω en Γ_{out}^* . En d'autres termes, l'adaptation conjuguée simultanée consiste à transformer les coefficients de réflexion Γ_G' et Γ_L' respectivement en $\Gamma_G = \Gamma_{in}^*$ et $\Gamma_L = \Gamma_{out}^*$ ramenés dans le plan du transistor.

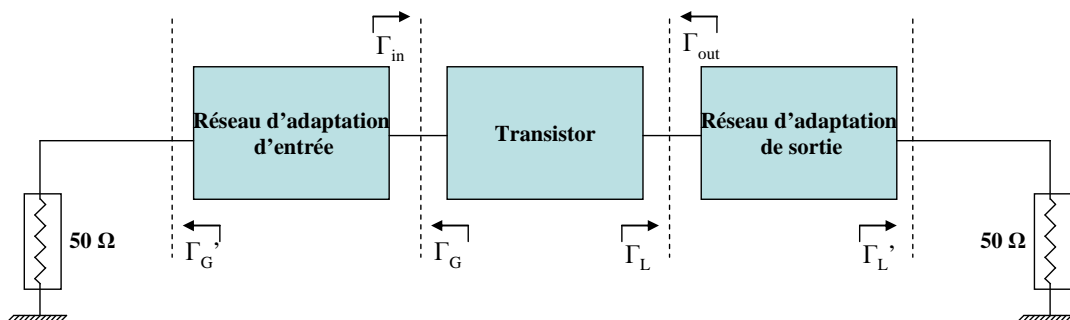


Figure 112 : Schéma d'adaptation du transistor en entrée/sortie

Le principe de conception des structures commence donc par l'optimisation du coefficient de réflexion en entrée du transistor seul ainsi que le coefficient de bruit optimum à présenter à la structure pour obtenir le NF_{min} minimum. La figure 113 présente cette première étape. On observe que le S_{11} et le Γ_{opt} sont loin du centre de l'abaque soit 50Ω .

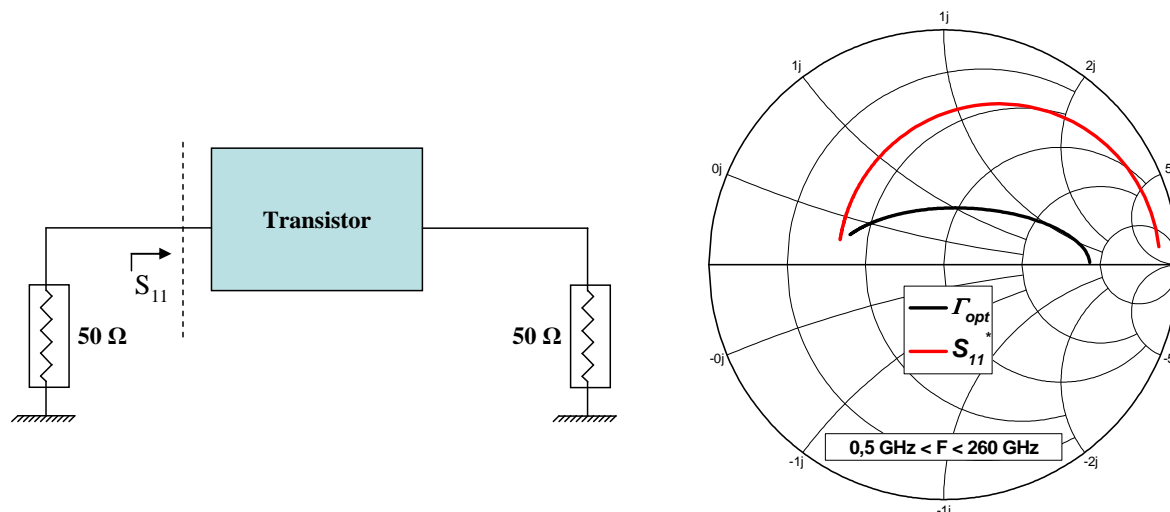


Figure 113 : Représentation du transistor chargée sur 50Ω (gauche) et lieu d'impédance d'entrée et optimum de bruit pour le transistor bipolaire seul ($0.27 \times 5.74 \mu\text{m}$). $V_{CE}=1.5 \text{ V}$ et $V_{BE}=0.91 \text{ V}$.

Ensuite on utilise un stub ouvert microruban en entrée/sortie du transistor puis des lignes microrubans en série pour permettre l'adaptation aussi bien en gain qu'en bruit (figure 114). L'ajout de ces lignes et stubs ramènent les coefficients de réflexion proche de 50Ω (surtout le réseau d'adaptation d'entrée). Le schéma est présenté figure 112.

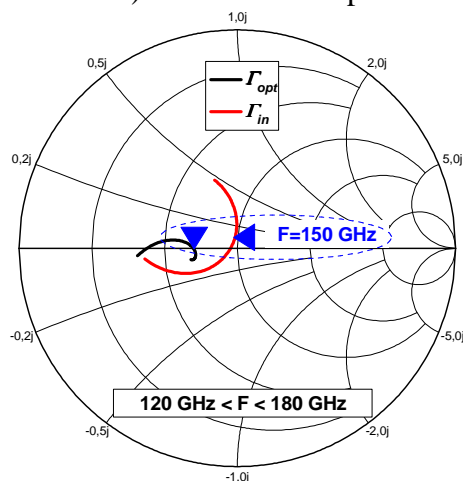


Figure 114 : Lieu d'impédance d'entrée et optimum de bruit pour la structure pré-adaptée ($0.27 \times 5.74 \mu\text{m}$) à 150 GHz . $V_{CE}=1.5 \text{ V}$ et $V_{BE}=0.91 \text{ V}$.

Pour quantifier les pertes du réseau d'adaptation, on présente l'évolution des coefficients de transmission et réflexion du réseau d'entrée sur la figure 115.

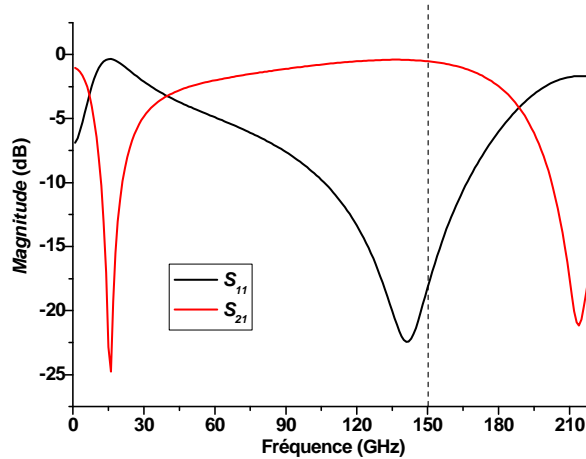


Figure 115 : Performances du réseau d'adaptation d'entrée de la structure pré-adaptée à 150 GHz.

Les pertes sont évaluées à 0.5 dB pour une adaptation de -18 dB à 150 GHz. On constate un léger décalage mais ces performances représentent le meilleur compromis obtenu en fonction des longueurs ou largeurs des lignes formant le réseau d'adaptation. La structure complète est présentée dans la partie suivante.

2) Conception

De la même manière que les transistors MOSFET pré-adaptés, les transistors HBT pré-adaptés utilise une adaptation simple stub ouvert en entrée/sortie avec des lignes microrubans. Des lignes microrubans sont utilisées pour décaler les plans des stubs par rapport au transistor et ainsi ramener les coefficients de réflexion proche de 50 Ω. Une optimisation sur la longueur et la largeur des lignes est nécessaire pour atteindre précisément le centre de l'abaque. La structure complète du transistor est sensiblement la même que celle des MOSFETs, la seule différence se situe au niveau de la polarisation. Dans le cas des transistors HBT pré-adaptés, la polarisation est intégrée. Des capacités de découplage sont utilisées au niveau des plots DC.

La structure complète est présentée figure 116. Elle est utilisée pour les 3 dispositifs centrés sur 150 GHz, 200 GHz et 250 GHz.

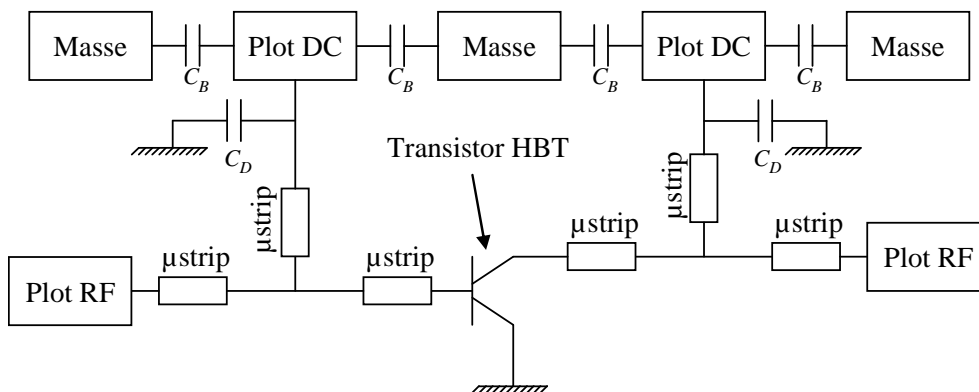


Figure 116 : Schéma du transistor pré-adapté utilisant la technologie B9MW.

3) Résultats des différentes structures réalisées

Trois transistors pré-adaptés ont été réalisés centrés sur 150, 200 et 250 GHz. Pour l'instant, seuls les simulations nous permettent d'évaluer leurs performances fréquentielles et de bruit. Le logiciel ADS nous a permis de simuler ces dispositifs aussi bien en paramètres S qu'en bruit.

a) Paramètres S

Les figures 117 et 118 représentent les paramètres S simulés en réflexion et en transmission respectivement.

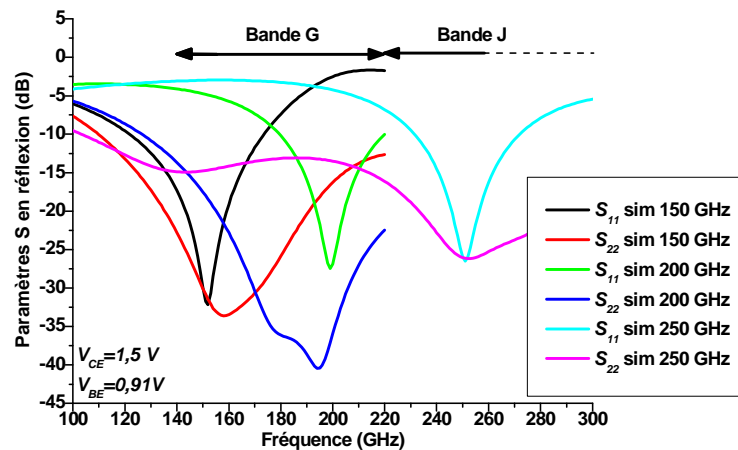


Figure 117 : Paramètres S simulés en réflexion des 3 transistors pré-adaptés en technologie B9MW (0.27x5.74 μm).

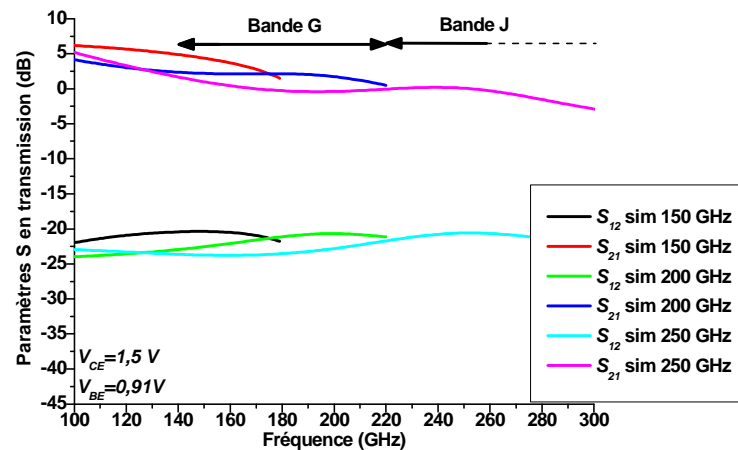


Figure 118 : Paramètres S simulés en transmission des 3 transistors pré-adaptés en technologie B9MW (0.27x5.74 μm).

Si ces résultats sont confirmés grâce à la mesure, ceux-ci permettraient de valider le modèle. On observe un gain évoluant entre 5 dB à 150 GHz et 0.5 dB à 250 GHz avec des adaptations meilleures que -25 dB en entrée/sortie pour les trois dispositifs.

b) Facteur de bruit

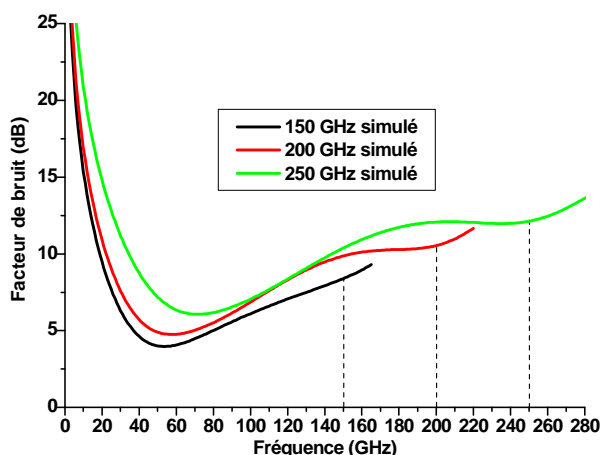


Figure 119 : Facteur de bruit mesuré et simulé des 3 structures pré-adaptées (0.27x5.74 μm) en bande W ainsi que celui du transistor seul. $V_{CE}=1.5\text{ V}$ et $V_{BE}=0.91\text{ V}$.

L'objectif de départ étant de voir les limites de fonctionnement des dispositifs à travers une optimisation en gain, le facteur de bruit peut paraître élevé. En effet, le facteur de bruit présenté par ces dispositifs évolue entre 8 dB (150 GHz) et 12 dB (250 GHz). Le dispositif à 150 GHz présente approximativement le même facteur de bruit que celui à 150 GHz en technologie C65 SOI HR.

c) Récapitulatif des performances du transistor pré-adapté

Le tableau ci-dessous résume les valeurs des modules des 3 structures pré-adaptées en bande G et J ainsi que le facteur de bruit.

	S_{11} (dB)	S_{12} (dB)	S_{21} (dB)	S_{22} (dB)	NF (dB)
150 GHz	-30	-20.4	4.5	-30	8.4
200 GHz	-27	-20.7	1.8	-36	10.5
250 GHz	-26	-20.6	0.1	-26	12

Tableau 15 : Paramètres S mesurés des différents transistors pré-adaptés en bande W.

Ces structures sont actuellement en fabrication à STMicroelectronics.

F) Comparaison structures pré-adaptées / LNAs

Même si les structures pré-adaptées ne sont pas conçues de la même manière que les amplificateurs faible bruit, il demeure intéressant de les comparer avec les composants silicium mais aussi III-V. Le tableau 15 dresse une comparaison entre les LNAs et nos structures pré-adaptées entre 75 et 340 GHz.

	F (GHz)	Gain (dB)	NF (dB)	Topologie	Technologie	Auteur
MOSFET	75	7	-	4 étages CS	130 nm CMOS	[Wang-07]
	77	2.2	4.6	1 étage	65 nm CMOS SOI	notre travail
	78	3.8	-	1 étage cascode	90 nm CMOS	[Nicolson-06-2]
	79	12.8 (Av)	4	3 étages CS	90 nm CMOS	[Kwok-08]
	80	2.1	4.5	1 étage	65 nm CMOS SOI	[Martineau-07]
	80	7.2	5.7	3 étages	65 nm CMOS SOI	[Martineau-07]
	89	1.2	5.8	1 étage	65 nm CMOS SOI	notre travail
	91	17.4	-	3 étages cascode	90 nm CMOS	[Jiang-08]
	94	4.8	-	2 étages cascode	90 nm CMOS	[Nicolson-06-2]
	104	9.3	-	3 étages CS	90 nm CMOS	[Heydari-07]
	105	1	5.9	1 étage	65 nm CMOS SOI	notre travail
	150	-0.5	8.2*	1 étage	65 nm CMOS SOI	notre travail
HBT	77	23.8	6	2 étages	130 nm SiGe	[Babakhani-06]
	77	8.9	4.8	1 étage	140 nm SiGe	[Dehlink-05]
	79	13	8.8*	3 étages cascode	250 nm SiGe BiCMOS	[Chartier-07]
	79	21.7	10.2*	3 étages cascode	250 nm SiGe HBT	[Wang-08]
	79	23	5.2	2 étages cascode	130 nm SiGe BiCMOS	[Taris-08]
	89	19	8	4 étages	SiGe BiCMOS	[May-08]
	90	24	7.1	4 étages	SiGe BiCMOS	[May-08]
	150	4.4*	8.4*	1 étage	130 nm BiCMOS	notre travail
	200	1.7*	10.5*	1 étage	130 nm BiCMOS	notre travail
	250	0.1*	12.1*	1 étage	130 nm BiCMOS	notre travail

III-V	76	15	3.5	3 étages	190 nm AsGa PHEMT	[Tanahashi-03]
	90	6.7	2.5	1 étage	200 nm InAs/AlSb HEMT	[Riemer-06]
	94	33	3.2	cascode	InP HEMT	[Sato-07]
	155	19.1	6.7	4 étages	100 nm AsGa MHEMT	[Kantanen-06]
	180	18	2.5	3 étages	35 nm InP HEMT	[Kangaslahti-08]
	340	5		1 étage	35 nm InP HEMT	[Pukala-08]

Tableau 16 : Etat de l'art des amplificateurs faible bruit en technologie silicium et III-V. * : valeurs simulées.

De cette comparaison ressort un léger avantage pour la technologie III-V en matière de facteur de bruit avec des fréquences atteignant les 340 GHz. Cependant, le silicium peut rivaliser car il comporte de nombreux avantages déjà discutés tout au long de ce manuscrit.

Etat de l'art à la fin de nos travaux de recherche

Cet état de l'art à la fin de nos travaux de recherche permet de voir les avancées en termes de performances fréquentielles des transistors discutés dans ce manuscrit. La figure 120 renseigne l'état de l'art des transistors bipolaires en 2009 en comparant les divers acteurs participant à la montée en fréquence. De même sur la figure 121 pour les transistors MOSFET en fonction des différents acteurs industriels.

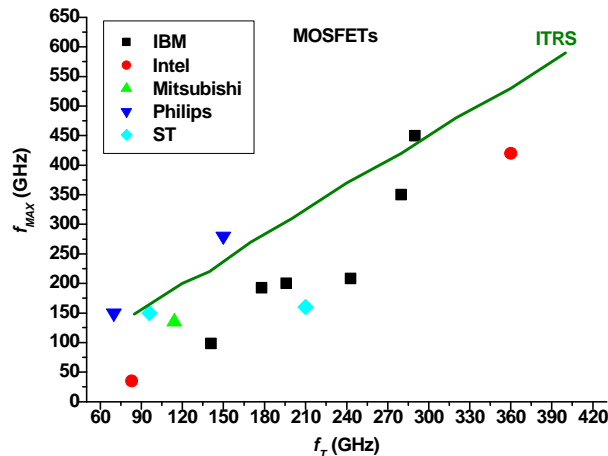


Figure 120 : Etat de l'art en 2009 des MOSFETs confronté à l'ITRS.

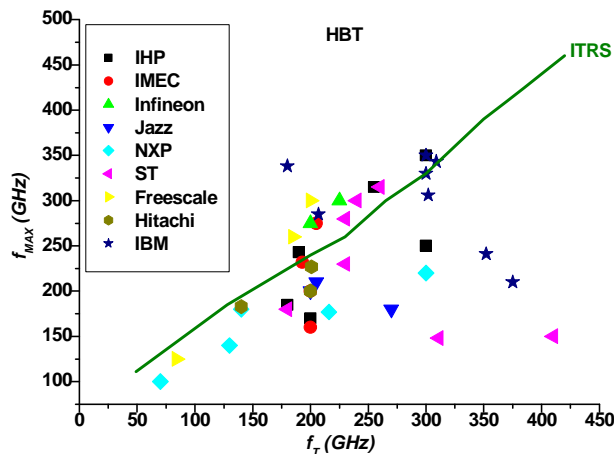


Figure 121 : Etat de l'art en 2009 des HBTs SiGe confronté à l'ITRS.

Prenons tout d'abord l'état de l'art des MOSFETs. Peu d'évolutions ont été constatées entre 2006 et 2009 ; une seule référence a été ajoutée [Li-07]. On arrive à des longueurs de grille de 45 nm pour un couple $f_T/f_{MAX} = 280/350$ GHz. Cependant, on atteint les limites de la miniaturisation dues aux procédés de fabrication. Les dépôts de matière se font avec une précision de l'ordre de la couche atomique. Une telle précision correspond aux limites des performances des techniques de photolithographie et de gravure utilisées pour fabriquer les circuits intégrés.

Les dimensions deviennent si petites que des effets quantiques dus au confinement apparaissent. Les lois fondamentales de la physique imposeront peut-être des limites à la miniaturisation. Le paramètre le plus critique est la longueur de la grille des transistors. On ne peut guère aller au-delà avec les technologies classiques sans diminuer les performances, d'où

des recherches de nouvelles géométries de transistors comme le transistor à double grille. Un autre paramètre important est l'épaisseur de l'isolant de grille. Si cette épaisseur est trop faible (inférieure à 4 nm), il peut y avoir passage d'électrons de la grille vers le canal par effet tunnel. La solution consiste à trouver des matériaux à constante diélectrique plus grande que celle de la silice (déjà discuté dans Chapitre I.B.II).

Concernant l'état de l'art des HBT SiGe, on note de belles performances surtout au niveau de la fréquence de transition f_T . En effet, celle-ci a atteint 410 GHz dans [Waldhoff-09-2] avec une surface d'émetteur $A_E = 0.17 \times 1.2 \mu m^2$. Quelques mesures cryogéniques ont été réalisées : IBM annonce en 2007 un couple $f_T/f_{MAX} = 463/618$ GHz à 4.5 K [Yuan-07] pendant que ST atteint 710/160 GHz à la même température mais avec des optimisations technologiques différentes.

Nouveaux challenges et perspectives

Cette partie propose les perspectives en cours d'étude du développement d'une technologie à 0.5 THz. On se confronte ainsi à la montée en fréquence des bancs de test mais aussi à la validité des modèles petits signaux et bruit. D'un point de vue métrologique, des bancs de test sont en cours de développement :

- ✓ Banc de mesure de paramètres S en bande J (220-325 GHz)
- ✓ Banc de mesure de bruit avec tuner d'impédance en bande W (75-110 GHz)
- ✓ Banc de mesure de bruit bande G (140-220 GHz)

Une description des avancées de chaque banc est présentée ci-dessous.

I) Banc de mesure de paramètres S en bande J

La mesure de paramètres S en bande J est désormais possible à l'IEMN. Elle utilise l'analyseur de réseaux ZVA de la société Rohde & Schwarz® avec les têtes de conversions ZVA-Z. Ce banc est capable de mesurer des paramètres S entre 220 et 325 GHz avec une dynamique supérieure à 60 dB.

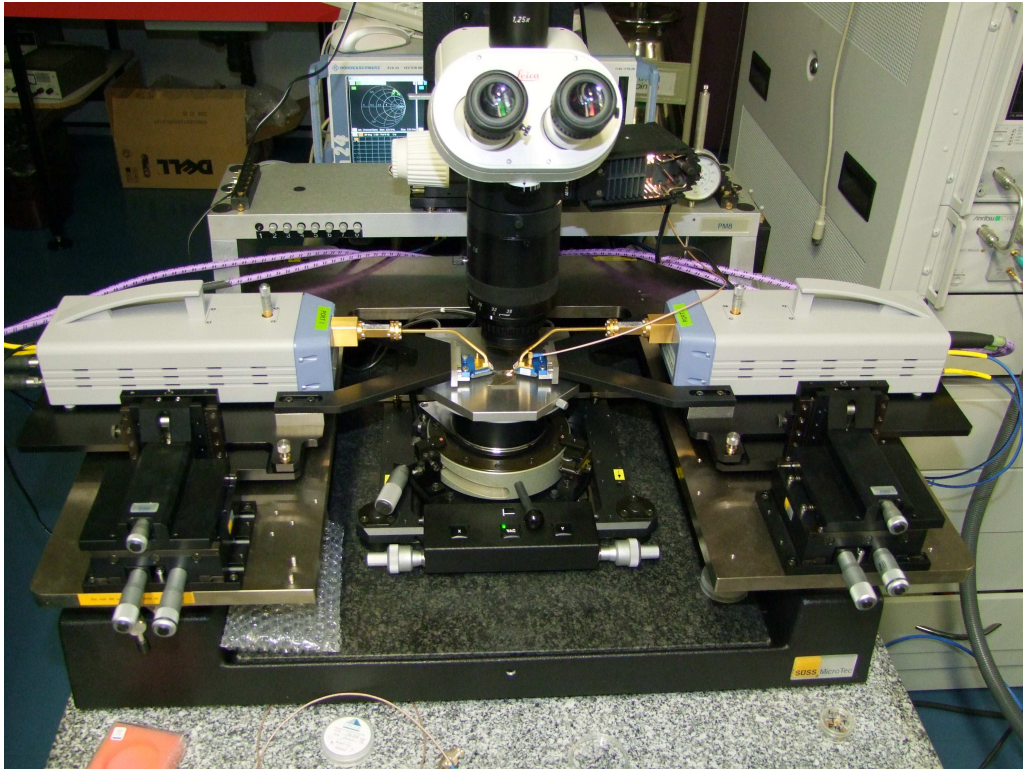


Figure 122 : Banc de mesure de paramètres S en bande J (220-325 GHz).

II) Banc de mesure de bruit tuner en bande W

Le MT979A de Maury® (figure 122) est un tuner automatique capable de faire des mesures de puissance (load pull) ou de bruit (source pull) dans une gamme de fréquence comprise entre 75 et 110 GHz. C'est un tuner en guide d'onde qui peut délivrer un taux d'onde stationnaire élevé (TOS ou VSWR³⁴) avec une bonne précision et une bonne fiabilité.

³⁴ VSWR : Voltage Standing Wave Ratio.



Figure 123 : Photo du tuner Maury 75 - 110 GHz.

III) Banc de mesure de bruit en bande G

Ce banc permet de caractériser un dispositif en bruit entre 140 et 220 GHz. Le synoptique de ce banc de mesure est présenté figure 124. Un cornet est placé à l'entrée du CST via des guides d'onde. Le signal est ensuite transposé à l'aide d'un mélangeur harmonique d'ordre 2 ($f_{RF} = 2f_{OL}$). L'oscillateur local utilise un synthétiseur et un sextupleur pour générer la fréquence à mélanger. La voie IF du mélangeur peut se retrouver dans une bande de fréquence comprise entre 0.1 et 20 GHz. Des amplificateurs faible bruit couplés à un filtre permettent de mettre en forme le signal à mesurer sur le mesureur de puissance. Des travaux d'optimisation du banc ont été effectués pour déterminer les puissances optimales de chaque élément. Certaines sont critiques comme la puissance de la voie OL déterminée entre 6.3 et 7 dBm. Les meilleures performances pour la détection du niveau de bruit sur la voie IF se situe à une fréquence $f_{IF} = 1\text{GHz}$.

Ce banc utilise la méthode du facteur Y pour calculer le facteur de bruit du dispositif. Ainsi, une mesure de puissance est réalisée lorsque le cornet est dirigé vers un absorbant baignant dans l'azote liquide (P_{cold}) puis une mesure lorsque celui-ci est dirigé vers l'absorbant dans le vide (P_{hot}).

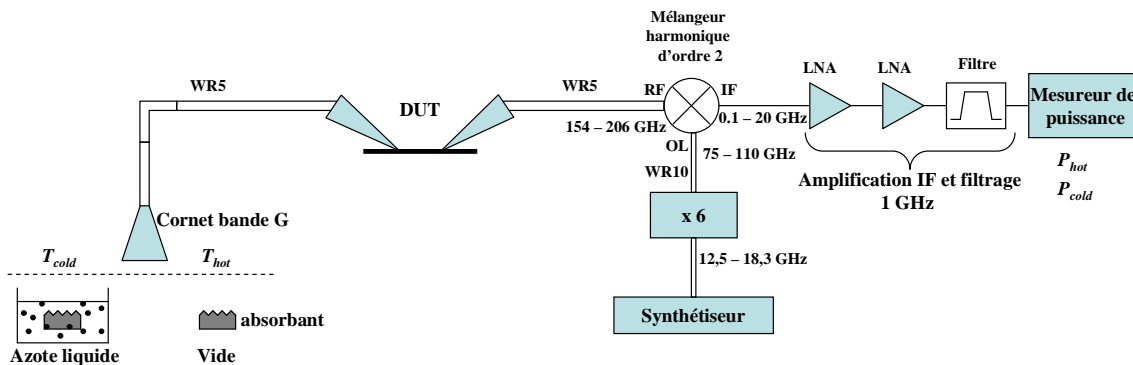


Figure 124 : Banc de mesure de bruit en bande G utilisant la méthode du facteur Y.

Conclusion générale

Cette thèse a bénéficié de l'entente conjointe réussie entre l'IEMN et STMicroelectronics à travers le laboratoire commun pour aboutir aux résultats présentés. Ces résultats, dont ce manuscrit fait l'objet, s'intéressent tout particulièrement à la caractérisation et la modélisation de transistors sur silicium jusque 220 GHz.

Le contexte de ce travail de thèse s'est inscrit dans les récents progrès des performances en gamme millimétrique des composants silicium tels que les MOSFETs et les HBTs à base de SiGe:C visant des applications telles que la conception des circuits WiHDMI à 60 GHz mais aussi du radar 77 GHz.

Ce travail a été borné par un état de l'art en 2006 et en 2009 des composants sur silicium. L'état de l'art comparant les filières silicium et III-V a mis en évidence les qualités du silicium pour des applications millimétriques. Une nette amélioration des performances de ces composants entre 2006 et 2009 continue d'intéresser les industriels. Cependant, cette montée en fréquence a mis en évidence certains aspects inconnus qui sont :

- 1) Validité des techniques de mesure des transistors sur silicium de 60 à 220 GHz ;
- 2) Comportement fréquentiel des transistors sur silicium jusque 220 GHz ;
- 3) Modélisation de ces transistors en paramètres S et bruit.

Mais ces performances fréquentielles ont aussi engendré des besoins :

- Les performances élevées des transistors ne sont plus suffisantes ($f_T = 220$ GHz, $f_{MAX} = 240$ GHz) à leurs optimisations. Nécessité de modèles robustes et fiables pour la conception de LNA. **MAIS** ces modèles sont dépendants de la qualité des mesures.
- Difficultés expérimentales du silicium : substrat, interconnexions, surface dédiée au test, temps de mesure important incompatible dans un environnement industriel.
- Intérêt des mesures cryogéniques pour révéler et étudier les phénomènes physiques inhibés à température ambiante.

La caractérisation et la modélisation petit signal jusque 220 GHz des transistors MOSFETs et HBTs a fait l'objet de notre première étude. Des aspects métrologiques notamment de calibrage et de de-embedding ont fait l'objet d'optimisations particulières pour permettre d'atteindre une haute sensibilité et fiabilité de mesure. De cette nouvelle méthodologie a émané des modèles petits signaux plus précis montrant une très bonne concordance entre la simulation et la mesure aussi bien pour le MOSFET que pour le HBT.

Une étude cryogénique a aussi été menée sur les transistors bipolaires présentant des performances fréquentielles très élevées. La température cryogénique inhibe les effets thermiques des résistances et des sources de bruit et ainsi nous permet d'extraire les temps de transit des porteurs à travers les jonctions. Ainsi, cela nous permet d'identifier les éléments limitatifs dans la montée en fréquence.

La deuxième étude a été portée sur la caractérisation et la modélisation en bruit millimétrique des transistors MOSFETs et HBTs. Après une courte présentation des deux méthodes de mesure à savoir tuner et $F50$, les résultats des quatre paramètres de bruit des deux dispositifs sont donnés et comparés aux modèles.

Pour le transistor à effet de champ, une mesure jusque 110 GHz a été réalisée et elle valide parfaitement le modèle. Le transistor bipolaire, quant à lui, a été analysé jusqu'à

température cryogénique pour mettre en avant un facteur de bruit minimum à 4 K très faible.

Cependant, la mesure du facteur de bruit en bande W reflète quelques limitations et notamment la sensibilité des appareils de mesure dans cette gamme de fréquence lorsque $NF > 10$ dB. En effet, le transistor présente un facteur de bruit élevé avec peu de gain. L'approche innovante a été de réaliser des structures pré-adaptées permettant de compenser les accès du transistor. Ces structures présentent des gains plus élevés mais surtout un facteur de bruit divisé par 2 (en dB) par rapport à un transistor classique. Cela permet aussi de valider la technologie et rend propice la réalisation d'amplificateur faible bruit.

Certains de ces résultats ont fait l'objet d'un transfert de l'IEMN vers STMicroelectronics et notamment la nouvelle méthodologie de mesure. D'autres aspects, comme l'identification de fluctuations inhérentes à la mesure mais aussi au composant sur silicium ont permis de développer une nouvelle façon de matricer les composants sur le wafer limitant les phénomènes de couplages ou discontinuités.

Références bibliographiques

- [Adamian-73] V. Adamian et al, "A Novel Procedure for Receiver Noise Characterization," *Instr. and Meas., IEEE Trans. on*, vol. 22, 1973, pp. 181-182.
- [Andrei-07-1] C. Andrei, D. Gloria, F. Danneville, P. Scheer, and G. Dambrine, "Coupling on-wafer measurement errors and their impact on calibration and de-embedding up to 110 GHz for CMOS millimeter wave characterizations," *Microelectronic Test Structures, 2007. ICMTS '07. IEEE International Conference on*, 2007, pp. 253-256.
- [Andrei-07-2] C. Andrei, D. Gloria, F. Danneville, and G. Dambrine, "Efficient De-Embedding Technique for 110-GHz Deep-Channel-MOSFET Characterization," *Microwave and Wireless Components Letters, IEEE*, vol. 17, 2007, pp. 301-303.
- [Anil-03] K. Anil, K. Henson, S. Biesemans, and N. Collaert, "Layout density analysis of FinFETs," *European Solid-State Device Research, 2003. ESSDERC '03. 33rd Conference on*, 2003, pp. 139-142.
- [Auth-08] C. Auth, "45nm high-k + metal gate strain-enhanced CMOS transistors," *Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE*, 2008, pp. 379-386.
- [Babakhani-06] A. Babakhani, X. Guan, A. Komijani, A. Natarajan, and A. Hajimiri, "A 77-GHz Phased-Array Transceiver With On-Chip Antennas in Silicon: Receiver and Antennas," *Solid-State Circuits, IEEE Journal of*, vol. 41, 2006, pp. 2795-2806.
- [Banerjee-07] B. Banerjee, S. Venkataraman, Chang-Ho Lee, and J. Laskar, "Broadband Noise Modeling of SiGe HBT under Cryogenic Temperatures," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, 2007, pp. 765-768.
- [Bardin-08] J.C. Bardin and S. Weinreb, "Experimental cryogenic modeling and noise of SiGe HBTs," *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 459-462.
- [Barlage-01] D. Barlage, R. Arghavani, G. Dewey, M. Doczy, B. Doyle, J. Kavalieros, A. Murthy, B. Roberds, P. Stokley, and R. Chau, "High-frequency response of 100 nm integrated CMOS transistors with high-K gate dielectrics," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, pp. 10.6.1-10.6.4.
- [Berkeley-08] http://www.berkeley.edu/news/media/releases/2008/09/05_autobus.shtml
- [Bock-04-1] J. Bock, H. Schafer, K. Aufinger, R. Stengl, S. Boguth, R. Schreiter, M. Rest, H. Knapp, M. Wurzer, W. Perndl, T. Bottner, and T. Meister, "SiGe bipolar technology for automotive radar applications," *Bipolar/BiCMOS Circuits*

and Technology, 2004. *Proceedings of the 2004 Meeting*, 2004, pp. 84-87.

- [Bock-04-2] J. Bock, H. Schafer, H. Knapp, K. Aufinger, M. Wurzer, S. Boguth, T. Bottner, R. Stengl, W. Perndl, and T. Meister, "3.3 ps SiGe bipolar technology," *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 255-258.
- [Boudiaf-93] A. Boudiaf et al, "An accurate and repeatable technique for noise parameter measurements," *Instr. & Meas., IEEE Trans. on*, vol. 42, 1993, pp. 532-537.
- [Bracale-01] A. Bracale, "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes", Thèse de l'université Pierre et Marie Curie Paris VI, 2001.
- [Burghartz-00] J. Burghartz, M. Hargrove, C. Webster, R. Groves, M. Keene, K. Jenkins, R. Logan, and E. Nowak, "RF potential of a 0.18- μm CMOS logic device technology," *Electron Devices, IEEE Transactions on*, vol. 47, 2000, pp. 864-870.
- [Chang-03] Leland Chang, Yang-Kyu Choi, J. Kedzierski, N. Lindert, Peiqi Xuan, J. Bokor, Chenming Hu, and Tsu-Jae King, "Moore's law lives on [CMOS transistors]," *Circuits and Devices Magazine, IEEE*, vol. 19, 2003, pp. 35-42.
- [Chao-90] P. Chao et al., "W-band low-noise InAlAs/InGaAs lattice-matched HEMTs," *Electron Device Letters, IEEE*, vol. 11, 1990, pp. 59-62.
- [Chartier-07] S. Chartier, B. Schleicher, F. Korndorfer, S. Glisic, G. Fischer, and H. Schumacher, "A fully integrated fully differential low-noise amplifier for short range automotive radar using a SiGe:C BiCMOS Technology," *Microwave integrated circuit conference, 2007. eumic 2007. european*, 2007, pp. 407-410.
- [Chau-05] R. Chau, J. Brask, S. Datta, G. Dewey, M. Doczy, B. Doyle, J. Kavalieros, B. Jin, M. Metz, A. Majumdar, and M. Radosavljevic, "Application of high-[kappa] gate dielectrics and metal gate electrodes to enable silicon and non-silicon logic nanotechnology," *Microelectronic Engineering*, vol. 80, Jun. 2005, pp. 1-6.
- [Chen-05] Hua-Mei Chen, Seungsin Lee, R. Rao, M. Slamani, and P. Varshney, "Imaging for concealed weapon detection: a tutorial overview of development in imaging sensors and processing," *Signal Processing Magazine, IEEE*, vol. 22, 2005, pp. 52-61.
- [Chen.R-96] R.H. Chen, A.N. Korotkov, and K.K. Likharev, "Single-electron transistor logic," *Applied Physics Letters*, vol. 68, Apr. 1996, pp. 1954-1956.
- [Chevalier-03] P. Chevalier, C. Fellous, B. Martinet, F. Leverd, F. Saguin, D. Dutartre, and A. Chantre, "180 GHz f_T and f_{max} self-aligned SiGeC HBT using selective epitaxial growth of the base," *European Solid-State Device Research*, 2003.

ESSDERC '03. 33rd Conference on, 2003, pp. 299-302.

- [Chevalier-04] P. Chevalier, C. Fellous, L. Rubaldo, D. Dutartre, M. Laurens, T. Jagueneau, F. Leverd, S. Bord, C. Richard, D. Lenoble, J. Bonnouvrier, M. Marty, A. Perrotin, D. Gloria, F. Saguin, B. Barbalat, R. Beerkens, N. Zerounian, F. Aniel, and A. Chantre, "230 GHz self-aligned SiGeC HBT for 90 nm BiCMOS technology," *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, 2004, pp. 225-228.
- [Chevalier-05] P. Chevalier, B. Barbalat, L. Rubaldo, B. Vandelle, D. Dutartre, P. Bouillon, T. Jagueneau, C. Richard, F. Saguin, A. Margain, and A. Chantre, "300 GHz f_{max} self-aligned SiGeC HBT optimized towards CMOS compatibility," *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*, 2005, pp. 120-123.
- [Chevalier-06] P. Chevalier, D. Gloria, P. Scheer, S. Pruvost, F. Ganesello, F. Pourchon, P. Garcia, J.-C. Vildeuil, A. Chantre, C. Garnier, O. Noblanc, S.P. Voinigescu, T.O. Dickson, E. Laskin, S.T. Nicolson, T. Chalvatzis, and K.H.K. Yau, "Advanced SiGe BiCMOS and CMOS platforms for Optical and Millimeter-Wave Integrated Circuits," *Compound Semiconductor Integrated Circuit Symposium, 2006. CSIC 2006. IEEE*, 2006, pp. 12-15.
- [Chevalier-07] P. Chevalier, N. Zerounian, B. Barbalat, F. Aniel, and A. Chantre, "On the use of cryogenic measurements to investigate the potential of Si/SiGe:C HBTs for terahertz operation," *Bipolar/BiCMOS Circuits and Technology Meeting, 2007. BCTM '07. IEEE*, 2007, pp. 26-29.
- [Chevalier-08] G. Avenier, P. Chevalier, G. Troillard, B. Vandelle, F. Brossard, L. Depoyan, M. Buczko, S. Boret, S. Montusclat, A. Margain, S. Pruvost, S. Nicolson, K. Yau, D. Gloria, D. Dutartre, S. Voinigescu, and A. Chantre, "0.13 μ m SiGe BiCMOS technology for mm-wave applications," *Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE*, 2008, pp. 89-92.
- [Choi-06] L. Choi, E. Kunnen, S. Van Huylenbroeck, A. Piontck, A. Sibaja-Hernandez, F. Vleugels, T. Dupont, P. Leray, K. Devriondt, X. Shi, R. Loo, S. Vanhaelemeersch, and S. Decoutere, "A Novel Deep Trench Isolation Featuring Airgaps for a High-Speed 0.13 μ m SiGe:C BiCMOS Technology," *VLSI Technology, Systems, and Applications, 2006 International Symposium on*, 2006, pp. 1-2.
- [Choi-07] L. Choi, S. Van Huylenbroeck, A. Piontek, A. Sibaja-Hernandez, E. Kunnen, P. Meunier-Beillard, W. van Noort, E. Hijzen, and S. Decoutere, "On the Use of a SiGe Spike in the Emitter to Improve the f_{TxBVCEO} Product of High-Speed SiGe HBTs," *Electron Device Letters, IEEE*, vol. 28, 2007, pp. 270-272.
- [Chung-00] S. Chung, J. Yu, and J.R. Heath, "Silicon nanowire devices," *Applied Physics Letters*, vol. 76, Apr. 2000, pp. 2068-2070.
- [Costa-07] J. Costa, M. Carroll, J. Jorgenson, T. McKay, T. Ivanov, T. Dinh, D. Kozuch,

- G. Remoundos, D. Kerr, A. Tombak, J. McMaken, and M. Zybura, "A Silicon RFCMOS SOI Technology for Integrated Cellular/WLAN RF TX Modules," *Microwave Symposium, 2007. IEEE/MTT-S International*, 2007, pp. 445-448.
- [Cressler-03] D.J.D. Cressler and G. Niu, *Silicon-germanium Heterojunction Bipolar Transistors*, Edition 2003.
- [Crozat-91] P. Crozat, J. Henaux, and G. Vernet, "Precise determination of open circuit capacitance of coplanar probes for on-wafer automatic network analyser measurements," *Electronics Letters*, vol. 27, 1991, pp. 1476-1478.
- [Dambrine-93] G. Dambrine, H. Happy, F. Danneville, and A. Cappy, "A new method for on wafer noise measurement," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 41, 1993, pp. 375-381.
- [Dambrine-03] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepilliet, and J. Raskin, "What are the limiting parameters of deep-submicron MOSFETs for high frequency applications?," *Electron Device Letters, IEEE*, vol. 24, 2003, pp. 189-191.
- [Dambrine-05] G. Dambrine, D. Gloria, P. Scheer, C. Raynaud, F. Danneville, S. Lepilliet, A. Siligaris, G. Pailloncy, B. Martineau, E. Bouhana, and R. Valentin, "High frequency low noise potentialities of down to 65 nm technology nodes MOSFETs," *Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European*, 2005, pp. 97-100.
- [Dehlink-05] B. Dehlink, H. Wohlmuth, K. Aufinger, T. Meister, J. Bock, and A. Scholtz, "A low-noise amplifier at 77 GHz in SiGe:C bipolar technology," *Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC '05. IEEE*, 2005, pp. 287-290.
- [Deixler-02] P. Deixler, R. Colclaser, D. Bower, N. Bell, W. De Boer, D. Szmyd, S. Bardy, W. Wilbanks, P. Barre, M. v Houdt, J. Paasschens, H. Veenstra, E. v d Heijden, J. Donkers, and J. Slotboom, "QUBiC4G: a $fT/f_{max} = 70/100$ GHz 0.25 μm low power SiGe-BiCMOS production technology with high quality passives for 12.5 Gb/s optical networking and emerging wireless applications up to 20 GHz," *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*, 2002, pp. 201-204.
- [Deixler-04] P. Deixler, A. Rodriguez, W. De Boer, H. Sun, R. Colclaser, D. Bower, N. Bell, A. Yao, R. Brock, Y. Bouttement, G. Hurkx, L. Tiemeijer, J. Paasschens, H. Huizing, D. Hartskeerl, P. Agrarwal, P. Magnee, E. Aksen, and J. Slotboom, "QUBiC4X: An $fT/f_{max} = 130/140$ GHz SiGe:C-BiCMOS manufacturing technology with elite passives for emerging microwave applications," *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, 2004, pp. 233-236.
- [Deixler-05] P. Deixler, T. Letavic, T. Mahatdejkul, Y. Bouttement, R. Brock, P. Tan, V. Saikumar, A. Rodriguez, R. Colclaser, P. Kellowan, H. Sun, N. Bell, D.

- Bower, A. Yao, R. van Langevelde, T. Vanhoucke, W. van Noort, G. Hurkx, D. Crespo, C. Biard, S. Bardy, and J. Slotboom, "QUBiC4plus: a cost-effective BiCMOS manufacturing technology with elite passive enhancements optimized for 'silicon-based' RF-system-in-package environment," *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*, 2005, pp. 272-275.
- [Delcourt-07] S. Delcourt, "Caractérisation de composants et dispositifs actifs en basse température en bande Ka et Q : application à la filière métamorphique", *Thèse présentée à l'IEMN de Lille, France*, 2007.
- [De Los Santos-96] H. De Los Santos, D. Nardi, K. Hargrove, M. Hafizi, and W. Stanchina, "High-efficiency InP-based DHBT active frequency multipliers for wireless communications," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 44, 1996, pp. 1165-1167.
- [Demeus-98] L. Demeus, J. Chen, J. Eggermont, R. Gillon, J. Raskin, D. Vanhoenacker, and D. Flandre, "Advanced SOI CMOS technology for RF applications," *Signals, Systems, and Electronics, 1998. ISSSE 98. 1998 URSI International Symposium on*, 1998, pp. 134-139.
- [Donkers-03] J. Donkers, P. Magnee, H. Huizing, P. Agarwal, E. Aksen, P. Meunier-Beillard, F. Neuilly, R. Havens, and T. Vanhoucke, "Vertical profile optimisation of a self-aligned SiGeC HBT process with an n-cap emitter," *Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the*, 2003, pp. 111-114.
- [Donkers-04] J. Donkers, T. Vanhoucke, P. Agarwal, R. Hueting, P. Meunier-Beillard, M. Vijayaraghavan, P. Magnee, M. Verheijen, R. de Kort, and J. Slotboom, "Metal emitter SiGe:C HBTs," *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 243-246.
- [Donkers-07] J. Donkers, M. Kramer, S. Van Huylenbroeck, L. Choi, P. Meunier-Beillard, A. Sibaja-Hernandez, G. Boccardi, W. van Noort, G. Hurkx, T. Vanhoucke, F. Vleugels, G. Wmderickx, E. Kunnen, S. Peeters, D. Baute, B. De Vos, T. Vandeweyer, R. Loo, R. Venegas, R. Pijper, F. Voogt, S. Decoutere, and E. Hijzen, "A Novel Fully Self-Aligned SiGe:C HBT Architecture Featuring a Single-Step Epitaxial Collector-Base Process," *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 655-658.
- [Elgaid-05] K. Elgaid et al., "Low noise W-band MMMIC amplifier using 50 nm InP technology for millimeterwave receivers applications," *Indium Phosphide and Related Materials, 2005. International Conference on*, 2005, pp. 523-525.
- [ETSI-06] ETSI DTR/ERM-RM-049, "Electromagnetic compatibility and Radio spectrum Matters (ERM); System Reference Document; Technical Characteristics of Multiple Gigabit Wireless Systems in the 60 GHz Range," March 2006.

- [Fitzpatrick-78] J. Fitzpatrick, « Error models for system measurement », *Microwave J.*, vol. 21, pp. 63-66, May 1978.
- [Focus-04] Operation manual, Focus Microwaves, version 7.7, février 2004.
- [Fox-08] A. Fox, B. Heinemann, R. Barth, D. Bolze, J. Drews, U. Haak, D. Knoll, B. Kuck, R. Kurps, S. Marschmeyer, H. Richter, H. Rucker, P. Schley, D. Schmidt, B. Tillack, G. Weidner, C. Wipf, D. Wolansky, and Y. Yamamoto, “SiGe HBT module with 2.5 ps gate delay,” *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, pp. 1-4.
- [Gashinova-08] M. Gashinova, L. Daniel, Zegang Ding, and M. Cherniakov, “Target resolution enhancement in UWB radar for security system,” *Radar Conference, 2008. EuRAD 2008. European*, 2008, pp. 17-20.
- [Geynet-08] B. Geynet, “Développement et étude de transistors bipolaires à hétérojonctions Si/SiGe :C pour les technologies BiCMOS millimétriques”, *Thèse présentée à l’IEMN de Lille, France*, 2008.
- [Geynet-08-1] B. Geynet, P. Chevalier, B. Vandelle, F. Brossard, N. Zerounian, M. Buczko, D. Gloria, F. Aniel, G. Dambrine, F. Danneville, D. Dutartre, and A. Chantre, “SiGe HBTs featuring $f_T > 400\text{GHz}$ at room temperature,” *Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE*, 2008, pp. 121-124.
- [Geynet-08-2] B. Geynet, P. Chevalier, S. Chouteau, G. Avenier, T. Schwartzmann, D. Gloria, G. Dambrine, F. Danneville, and A. Chantre, “High-Voltage HBTs Compatible with High-Speed SiGe BiCMOS Technology,” *Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008. IEEE Topical Meeting on*, 2008, pp. 210-213.
- [Gianesello-06] F. Gianesello, “Evaluation de la technologie CMOS SOI Haute-Résistivité pour applications RF jusqu’en bande millimétrique”, *PhD Thesis presented at the Institut Polytechnique de Grenoble, France*, 2006.
- [Greenberg-02] D. Greenberg, B. Jagannathan, S. Sweeney, G. Freeman, and D. Ahlgren, “Noise performance of a low base resistance 200 GHz SiGe technology,” *Electron Devices Meeting, 2002. IEDM '02. Digest. International*, 2002, pp. 787-790.
- [Guan-04] X. Guan et al., “A fully integrated 24-GHz eight-element phased-array receiver in silicon”, *IEEE J. Solid-State Circuits*, vol. 39, pp. 2311, Dec. 2004.
- [Hanafi-96] H. Hanafi, S. Tiwari, and I. Khan, “Fast and long retention-time nano-crystal memory,” *Electron Devices, IEEE Transactions on*, vol. 43, 1996, pp. 1553-1558.
- [Hashimoto-03] T. Hashimoto, Y. Nonaka, T. Tominari, H. Fujiwara, K. Tokunaga, M. Arai, S. Wada, T. Udo, M. Seto, M. Miura, H. Shimamoto, K. Washio, and H.

Tomioka, "Direction to improve SiGe BiCMOS technology featuring 200-GHz SiGe HBT and 80-nm gate CMOS," *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, 2003, pp. 5.5.1-5.5.4.

- [Hawkins-77] R. Hawkins, "Limitations of Nielsen's and related noise equations applied to microwave bipolar transistors, and a new expression for the frequency and current dependent noise figure," *Solid-State Electronics*, vol. 20, Mar. 1977, pp. 191-196.
- [Heinemann-02] B. Heinemann, H. Rucker, R. Barth, J. Bauer, D. Bolze, E. Bugiel, J. Drews, K. Ehwald, T. Grabolla, U. Haak, W. Hoppner, D. Knoll, D. Kruger, B. Kuck, R. Kurps, M. Marschmeyer, H. Richter, P. Schley, D. Schmidt, R. Scholz, B. Tillack, W. Winkler, D. Wolnsky, H. Wulf, Y. Yamamoto, and P. Zaumseil, "Novel collector design for high-speed SiGe:C HBTs," *Electron Devices Meeting, 2002. IEDM '02. Digest. International*, 2002, pp. 775-778.
- [Heinemann-03] B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, O. Fursenko, M. Glante, K. Glowatzki, A. Gregor, U. Haak, W. Hoppner, D. Knoll, R. Kurps, S. Marschmeyer, S. Orłowski, H. Rucker, P. Schley, D. Schmidt, R. Scholz, W. Winkler, and Y. Yamamoto, "A complementary BiCMOS technology with high speed npn and pnp SiGe:C HBTs," *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, 2003, pp. 5.2.1-5.2.4.
- [Heinemann-04] B. Heinemann, R. Barth, D. Bolze, J. Drews, P. Formanek, T. Grabolla, U. Haak, W. Hoppner, D. Kopke, B. Kuck, R. Kurps, S. Marschmeyer, H. Richter, H. Rucker, P. Schley, D. Schmidt, W. Winkler, D. Wolansky, H. Wulf, and Y. Yamamoto, "A low-parasitic collector construction for high-speed SiGe:C HBTs," *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 251-254.
- [Hellicar-07] A. Hellicar, Li Li, K. Greene, G. Hislop, S. Hanham, N. Nikolic, and Jia Du, "A 500-700 GHz system for exploring the THz frequency regime," *Wireless Broadband and Ultra Wideband Communications, 2007. AusWireless 2007. The 2nd International Conference on*, 2007, p. 33.
- [Heydari-07] B. Heydari, M. Bohsali, E. Adabi, and A. Niknejad, "Millimeter-Wave Devices and Circuit Blocks up to 104 GHz in 90 nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 42, 2007, pp. 2893-2903.
- [Hirose-01] T. Hirose et al. "A 185GHz fmax SOI DTMOS with a new metallic overlay-gate for low power RF applications", *IEDM Technocal Dig.*, Dec 2001.
- [Hongmei-07] Hongmei Li, B. Jagannathan, Jing Wang, Tai-Chi Su, S. Sweeney, J. Pekarik, Yun Shi, D. Greenberg, Zhenrong Jin, R. Groves, L. Wagner, and S. Csutak, "Technology Scaling and Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process," *VLSI Technology, 2007 IEEE Symposium on*, 2007, pp. 56-57.
- [Huang-07] W. Huang, J. John, S. Braithwaite, J. Kirchgessner, I. Lim, D. Morgan, Y. Park, S. Shams, I. To, P. Welch, R. Reuter, H. Li, A. Ghazinour, P.

- Wennekers, and Y. Yin, "SiGe 77GHz Automotive Radar Technology," *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, 2007, pp. 1967-1970.
- [Ishiwara-09] H. Ishiwara, "Current status of ferroelectric-gate Si transistors and challenge to ferroelectric-gate CNT transistors," *Current Applied Physics*, vol. 9, Jan. 2009, pp. S2-S6.
- [Jagannathan-02] B. Jagannathan, M. Khater, F. Pagette, J. Rieh, D. Angell, H. Chen, J. Florkey, F. Golan, D. Greenberg, R. Groves, S. Jeng, J. Johnson, E. Mengistu, K. Schonenberg, C. Schnabel, P. Smith, A. Stricker, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, "Self-aligned SiGe NPN transistors with 285 GHz fMAX and 207 GHz fT in a manufacturable technology," *Electron Device Letters, IEEE*, vol. 23, 2002, pp. 258-260.
- [Jagannathan-03] B. Jagannathan, M. Meghelli, K. Chan, Jae-Sung Rieh, K. Schonenberg, D. Ahlgren, S. Subbanna, and G. Freeman, "3.9 ps SiGe HBT ECL ring oscillator and transistor design for minimum gate delay," *Electron Device Letters, IEEE*, vol. 24, 2003, pp. 324-326.
- [Jagannathan-06] B. Jagannathan, D. Chidambarrao, and J. Pekarik, "300GHz Transistor Performance in Production CMOS Technologies," *Device Research Conference, 2006 64th*, 2006, pp. 199-200.
- [Jeamsaksiri-04] W. Jeamsaksiri, A. Mercha, J. Ramos, D. Linten, S. Thijs, S. Jenei, C. Detcheverry, P. Wambacq, R. Velghe, and S. Decoutere, "Integration of a 90nm RF CMOS technology (200GHz fmax - 150GHz fT NMOS) demonstrated on a 5GHz LNA," *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, 2004, pp. 100-101.
- [Jiang-08] Yu-Sian Jiang, Zuo-Min Tsai, Jeng-Han Tsai, Hsien-Te Chen, and Huei Wang, "A 86 to 108 GHz Amplifier in 90 nm CMOS," *Microwave and Wireless Components Letters, IEEE*, vol. 18, 2008, pp. 124-126.
- [John-02] J. John, F. Chai, D. Morgan, T. Keller, J. Kirchgessner, R. Reuter, H. Rueda, J. Teplik, J. White, S. Wipf, and D. Zupac, "Optimization of a SiGe:C HBT in a BiCMOS technology for low power wireless applications," *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*, 2002, pp. 193-196.
- [John-06] J. John, J. Kirchgessner, M. Menner, H. Rueda, F. Chai, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, and Hao Li, "Development of a Cost-Effective, Selective-Epi, SiGe:C HBT Module for 77GHz Automotive Radar," *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*, 2006, pp. 1-4.
- [John-07] J. John, J. Kirchgessner, D. Morgan, J. Hildreth, M. Dawdy, R. Reuter, and Hao Li, "Novel Collector Structure Enabling Low-Cost Millimeter-Wave SiGe:C BiCMOS Technology," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, 2007, pp. 559-562.

- [Kane-98] B.E. Kane, "A silicon-based nuclear spin quantum computer," *Nature*, vol. 393, May. 1998, pp. 133-137.
- [Kangaslahti-08] P. Kangaslahti, D. Pukala, T. Gaier, W. Deal, Xiaobing Mei, and R. Lai, "Low noise amplifier for 180 GHz frequency band," *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 451-454.
- [Kantanen-06] M. Kantanen, M. Varonen, M. Karkkainen, T. Karttaavi, R. Weber, A. Leuther, M. Seelmann-Eggebert, T. Narhi, and K. Halonen, "Coplanar 155 GHz MHEMT MMIC low noise amplifiers," *Microwave Conference, 2006. APMC 2006. Asia-Pacific*, 2006, pp. 173-176.
- [Kato-85] K. Kato, T. Wada, and K. Taniguchi, "Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET's Using Two-Carrier Modeling," *Solid-State Circuits, IEEE Journal of*, vol. 20, 1985, pp. 378-382.
- [Khater-04] M. Khater, J. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. Schonenberg, P. Smith, K. Stein, A. Strieker, S. Jeng, D. Ahlgren, and G. Freeman, "SiGe HBT technology with $f_{max}/f_T=350/300$ GHz and gate delay below 3.3 ps," *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 247-250.
- [Kirk-62] C. Kirk, "A theory of transistor cutoff frequency (f_T) falloff at high current densities," *Electron Devices, IRE Transactions on*, vol. 9, 1962, pp. 164-174.
- [Kohlstedt-05] H. Kohlstedt, Y. Mustafa, A. Gerber, A. Petraru, M. Fitsilis, R. Meyer, U. Böttger, and R. Waser, "Current status and challenges of ferroelectric memory devices," *Microelectronic Engineering*, vol. 80, Jun. 2005, pp. 296-304.
- [Koolen-91] M.C.A.M Koolen, J.A.M Geelen and M.P.J.G. Versleijen, "An Improved De-embedding technique for on-wafer High Frequency Characterization", *IEEE Bipolar Circuits and Technology Meeting 8.1*, 1991.
- [Krithivasan-06] R. Krithivasan, Yuan Lu, J. Cressler, Jae-Sung Rieh, M. Khater, D. Ahlgren, and G. Freeman, "Half-terahertz operation of SiGe HBTs," *Electron Device Letters, IEEE*, vol. 27, 2006, pp. 567-569.
- [Kurokawa-65] Kurokawa, K., "Power Waves and the Scattering Matrix Microwave Theory and Techniques", *IEEE Transactions*, Volume 13, Issue 2, Mar 1965, Page(s): 194 – 202.
- [Kwok-08] KaChun Kwok, "Bilateral design of mm-wave LNA and receiver front-end in 90nm CMOS," *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, 2008, pp. 181-184.
- [Lane-69] R. Lane, "The determination of device noise parameters," *Proceedings of the IEEE*, vol. 57, 1969, pp. 1461-1462.

- [Lee-01] Seonghearn Lee, Cheon Soo Kim, and Hyun Kyu Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs," *Electron Devices, IEEE Transactions on*, vol. 48, 2001, pp. 1374-1379.
- [Lee-05] Sungjae Lee, L. Wagner, B. Jagannathan, S. Csutak, J. Pekarik, M. Breitwisch, R. Ramachandran, and G. Freeman, "Record RF performance of sub-46 nm L/sub gate/ NFETs in microprocessor SOI CMOS technologies," *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, pp. 241-244.
- [Lee-07-1] Sungjae Lee, B. Jagannathan, S. Narasimha, A. Chou, N. Zamdmer, J. Johnson, R. Williams, L. Wagner, Jonghae Kim, J. Plouchart, J. Pekarik, S. Springer, and G. Freeman, "Record RF performance of 45-nm SOI CMOS Technology," *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 255-258.
- [Lee-07-2] Sungjae Lee, Jonghae Kim, Daeik Kim, B. Jagannathan, Choongyeun Cho, J. Johnson, B. Dufrene, N. Zamdmer, L. Wagner, R. Williams, D. Fried, Ken Rim, J. Pekarik, S. Springer, J. Plouchart, and G. Freeman, "SOI CMOS Technology with 360GHz fT NFET, 260GHz fT PFET, and Record Circuit Performance for Millimeter-Wave Digital and Analog System-on-Chip Applications," *VLSI Technology, 2007 IEEE Symposium on*, 2007, pp. 54-55.
- [LeLouarn-07] A.L. Louarn, F. Kapche, J. Bethoux, H. Happy, G. Dambrine, V. Derycke, P. Chenevier, N. Izard, M.F. Goffman, and J. Bourgoin, "Intrinsic current gain cutoff frequency of 30 GHz with carbon nanotube transistors," *Applied Physics Letters*, vol. 90, Jun. 2007, pp. 233108-3.
- [Lent-03] C.S. Lent, B. Isaksen, and M. Lieberman, "Molecular Quantum-Dot Cellular Automata," *Journal of the American Chemical Society*, vol. 125, Jan. 2003, pp. 1056-1063.
- [Li-07] Hongmei Li, B. Jagannathan, Jing Wang, Tai-Chi Su, S. Sweeney, J. Pekarik, Yun Shi, D. Greenberg, Zhenrong Jin, R. Groves, L. Wagner, and S. Csutak, "Technology Scaling and Device Design for 350 GHz RF Performance in a 45nm Bulk CMOS Process," *VLSI Technology, 2007 IEEE Symposium on*, 2007, pp. 56-57.
- [Martineau-07] B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Gianesello, and D. Belot, "80 GHz low noise amplifiers in 65nm CMOS SOI," *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, 2007, pp. 348-351.
- [Matsumoto-01] T. Matsumoto, S. Maeda, K. Ota, Y. Hirano, K. Eikyu, H. Sayama, T. Iwamatsu, K. Yamamoto, T. Katoh, Y. Yamaguchi, T. Ipposhi, H. Oda, S. Maegawa, Y. Inoue, and M. Inuishi, "70 nm SOI-CMOS of 135 GHz fmax with dual offset-implanted source-drain extension structure for RF/analog and logic applications," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, pp. 10.3.1-10.3.4.
- [May-08] J. May and G. Rebeiz, "A W-band SiGe 1.5V LNA for imaging applications," *Radio Frequency Integrated Circuits Symposium, 2008. RFIC*

2008. *IEEE*, 2008, pp. 241-244.

- [McAndrew-96] C. McAndrew, J. Seitchik, D. Bowers, M. Dunn, M. Foisy, I. Getreu, M. McSwain, S. Moinian, J. Parker, D. Roulston, M. Schroter, P. van Wijnen, and L. Wagner, "VBIC95, the vertical bipolar inter-company model," *Solid-State Circuits, IEEE Journal of*, vol. 31, 1996, pp. 1476-1483.
- [Meis-03] U. Meis and R. Schneider, "Radar image acquisition and interpretation for automotive applications," *Intelligent Vehicles Symposium, 2003. Proceedings. IEEE*, 2003, pp. 328-332.
- [Miura-04] M. Miura, H. Shimamoto, R. Hayami, A. Kodama, T. Tominari, T. Hashimoto, and K. Washio, "Optimization of vertical profiles of SiGe HBT/BiCMOS by promoting emitter diffusion process," *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, 2004, pp. 92-95.
- [Miura-06] M. Miura, H. Shimamoto, R. Hayami, A. Kodama, T. Tominari, T. Hashimoto, and K. Washio, "Promoting emitter diffusion process and optimization of vertical profiles for high-speed SiGe HBT/BiCMOS," *Electron Devices, IEEE Transactions on*, vol. 53, 2006, pp. 857-865.
- [Momose-01] H. Momose, E. Morifuji, T. Yoshitomi, T. Ohguro, M. Saito, and H. Iwai, "Cutoff frequency and propagation delay time of 1.5-nm gate oxide CMOS," *Electron Devices, IEEE Transactions on*, vol. 48, 2001, pp. 1165-1174.
- [Momose-02] H. Momose, T. Ohguro, K. Kojima, S. Nakamura, and Y. Toyoshima, "110 GHz cutoff frequency of ultra-thin gate oxide p-MOSFETs on [110] surface-oriented Si substrate," *VLSI Technology, 2002. Digest of Technical Papers. 2002 Symposium on*, 2002, pp. 156-157.
- [Narasimha-01] S. Narasimha, A. Ajmera, H. Park, D. Schepis, N. Zamdmer, K. Jenkins, J. Plouchart, W. Lee, J. Mezzapelle, J. Bruley, B. Doris, J. Sleight, S. Fung, S. Ku, A. Mocuta, I. Yang, P. Gilbert, K. Muller, P. Agnello, and J. Welser, "High performance sub-40 nm CMOS devices on SOI for the 70 nm technology node," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, pp. 29.2.1-29.2.4.
- [Narasimha-06] Narasimha, S., et al., "High Performance 45-nm SOI Technology with Enhanced Strain, Porous Low-k BEOL, and Immersion Lithography," *Electron Devices Meeting*, 2006, pp. 1-4.
- [Nicolson-06-1] S. Nicolson, K. Yau, K. Tang, P. Chevalier, A. Chantre, B. Sautreuil, and S. Voinigescu, "Design and Scaling of SiGe BiCMOS VCOs Above 100GHz," *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*, 2006, pp. 1-4.
- [Nicolson-06-2] S. T. Nicolson and S. P. Voinigescu, "Methodology for Simultaneous Noise and Impedance Matching in W-Band LNAs," *Compound Semiconductor Integrated Circuit Symposium, 2006. CSIC 2006. IEEE*, 2006, pp. 279-282.

- [Nicolson-07] S. Nicolson, P. Chevalier, A. Chantre, B. Sautreuil, and S. Voinigescu, "A 77-79-GHz Doppler Radar Transceiver in Silicon," *Compound Semiconductor Integrated Circuit Symposium, 2007. CSIC 2007. IEEE*, 2007, pp. 1-4.
- [Orner-06] B. Orner, M. Dahlstrom, A. Pothiawala, R. Rassel, Q. Liu, H. Ding, M. Khater, D. Ahlgren, A. Joseph, and J. Dunn, "A BiCMOS Technology Featuring a 300/330 GHz (fT/fmax) SiGe HBT for Millimeter Wave Applications," *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*, 2006, pp. 1-4.
- [Osten-00] H. Osten, D. Knoll, B. Heinemann, H. Rucker, and K. Ehwald, "Carbon doped SiGe heterojunction bipolar transistor module suitable for integration in a deep submicron CMOS process," *Microwave Conference, 2000 Asia-Pacific*, 2000, pp. 757-762.
- [Paasschens-02] J. C. J. Paasschens, W. J. Kloosterman, and R. van der Toorn, "Model derivation of Mextram 504". *The physics behind the model, Unclassified Report NL-UR 2002/806*, Philips Nat.Lab., 2002. See Ref.
- [Pailloncy-05] G. Pailloncy, "Propriétés hyperfréquences et de bruit de MOSFETs sur substrat massif et SOI jusqu'au nœud technologique 65 nm", *Thèse présentée à l'IEMN de Lille*, France, 2005.
- [Pence-93] J.E. Pence, "Verification of LRRM Calibrations with Load Inductance Compensation for CPW Measurements on GaAs Substrates," *ARFTG Conference Digest-Fall, 42nd*, 1993, pp. 45-47.
- [Piontek-06] A. Piontek, T. Vanhoucke, S. Van Huylbroeck, L. Choi, G. Hurkx, E. Hijzen, and S. Decoutere, "Influence of lateral device scaling and airgap deep trench isolation on reliability performance of 200GHz SiGe:C HBTs," *SiGe Technology and Device Meeting, 2006. ISTDM 2006. Third International*, 2006, pp. 1-2.
- [Pospieszalski-89] M. Pospieszalski, "Modeling of noise parameters of MESFETs and MODFETs and their frequency and temperature dependence," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 37, 1989, pp. 1340-1350.
- [Post-06] I. Post, M. Akbar, G. Curello, S. Gannavaram, W. Hafez, U. Jalan, K. Komeyii, J. Lin, N. Lindert, J. Park, J. Rizk, G. Sacks, C. Tsai, D. Yeh, P. Bai, and C. Jan, "A 65nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications," *Electron Devices Meeting, 2006. IEDM '06. International*, 2006, pp. 1-3.
- [Powell-07] J. Powell, H. Kim, and C. Sodini, "A 77-GHz Receiver Front End for Passive Imaging," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, 2007, pp. 145-148.
- [Preisler-07] E. Preisler, N. Matine, J. Zheng, D. Cheskis, P. Hurwitz, and M. Racanelli,

“Integration of a 5.5V BVCEO SiGe HBT within a 200 GHz SiGe BiCMOS process flow,” *Bipolar/BiCMOS Circuits and Technology Meeting, 2007. BCTM '07. IEEE*, 2007, pp. 202-205.

- [Preisler-08] E. Preisler, L. Lanzerotti, P.D. Hurwitz, and M. Racanelli, “Demonstration of a 270 GHz fT SiGe-C HBT within a manufacturing-proven 0.18 μ m BiCMOS process without the use of a raised extrinsic base,” *Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE*, 2008, pp. 125-128.
- [Pukala-08] D. Pukala, L. Samoska, T. Gaier, A. Fung, X. Mei, W. Yoshida, J. Lee, J. Uyeda, P. Liu, W. Deal, V. Radisic, and R. Lai, “Submillimeter-Wave InP MMIC Amplifiers From 300–345 GHz,” *Microwave and Wireless Components Letters, IEEE*, vol. 18, 2008, pp. 61-63.
- [Racanelli-03] M. Racanelli and P. Kempf, “SiGe BiCMOS technology for communication products,” *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, 2003, pp. 331-334.
- [Racanelli-05] M. Racanelli and P. Kempf, “SiGe BiCMOS technology for RF circuit applications,” *Electron Devices, IEEE Transactions on*, vol. 52, 2005, pp. 1259-1270.
- [Raynaud -07] C. Raynaud, “Advanced SOI Technology for RF Applications,” *IEEE International SOI Conference short course*, Oct 2007.
- [Reed-89] M.A. Reed, W.R. Frensley, R.J. Matyi, J.N. Randall, and A.C. Seabaugh, “Realization of a three-terminal resonant tunneling device: The bipolar quantum resonant tunneling transistor,” *Applied Physics Letters*, vol. 54, Mar. 1989, pp. 1034-1036.
- [Reed-99] M. Reed, “Molecular-scale electronics,” *Proceedings of the IEEE*, vol. 87, 1999, pp. 652-658.
- [Rehnmark-74] S. Rehnmark, “On the Calibration Process of Automatic Network Analyzer Systems (Short Papers),” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 22, 1974, pp. 457-458.
- [Rein-87] H. Rein and M. Schroter, “A compact physical large-signal model for high-speed bipolar transistors at high current densities—Part II: Two-dimensional model and experimental results,” *Electron Devices, IEEE Transactions on*, vol. 34, 1987, pp. 1752-1761.
- [Richter-05] C. Richter, D. Stewart, D. Ohlberg, and R. Williams, “Electrical characterization of Al/AlO_x/molecule/Ti/Al devices,” *Applied Physics A: Materials Science & Processing*, vol. 80, Mar. 2005, pp. 1355-1362.
- [Rieh-03] Jae-Sung Rieh, B. Jagannathan, Huajie Chen, K. Schonenberg, Shwu-Jen Jeng, M. Khater, D. Ahlgren, G. Freeman, and S. Subbanna, “Performance and design considerations for high speed SiGe HBTs of fT/f_{max}=375

GHz/210 GHz,” *Indium Phosphide and Related Materials, 2003. International Conference on*, 2003, pp. 374-377.

- [Rieh-04] J. Rieh, D. Greenberg, M. Khater, K. Schonenberg, S. Jeng, F. Pagette, T. Adam, A. Chinthakindi, J. Florkey, B. Jagannathan, J. Johnson, R. Krishnasamy, D. Sanderson, C. Schnabel, P. Smith, A. Stricker, S. Sweeney, K. Vaed, T. Yanagisawa, D. Ahlgren, K. Stein, and G. Freeman, “SiGe HBTs for millimeter-wave applications with simultaneously optimized f_T and f_{max} of 300 GHz,” *Radio Frequency Integrated Circuits (RFIC) Symposium, 2004. Digest of Papers. 2004 IEEE*, 2004, pp. 395-398.
- [Rieh-06] Jae-Sung Rieh, “A brief overview of modern high-speed SiGe HBTs,” *Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on*, 2006, pp. 170-173.
- [Riemer-06] P. Riemer, B. Buhrow, J. Hacker, J. Bergman, B. Brar, B. Gilbert, and E. Daniel, “Low-power W-band CPWG InAs/AlSb HEMT low-noise amplifier,” *Microwave and Wireless Components Letters, IEEE*, vol. 16, 2006, pp. 40-42.
- [Roulston-89] D.J. Roulston, *Bipolar Semiconductor Devices*, McGraw-Hill Companies, 1989.
- [Rücker-03] H. Rücker, B. Heinemann, R. Barth, D. Bolze, J. Drews, U. Haak, W. Hoppner, D. Knoll, K. Kopke, S. Marschmeyer, H. Richter, P. Schley, D. Schmidt, R. Scholz, B. Tillack, W. Winkler, H. Wulf, and Y. Yamamoto, “SiGe:C BiCMOS technology with 3.6 ps gate delay,” *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, 2003, pp. 5.3.1-5.3.4.
- [Rücker-07] H. Rücker, B. Heinemann, R. Barth, J. Bauer, D. Blum, D. Bolze, J. Drews, G. Fischer, A. Fox, O. Fursenko, T. Grabolla, U. Haak, W. Hoppner, D. Knoll, K. Kopke, B. Kuck, A. Mai, S. Marschmeyer, T. Morgenstern, H. Richter, P. Schley, D. Schmidt, K. Schulz, B. Tillack, G. Weidner, W. Winkler, D. Wolansky, H. Wulf, and Y. Yamamoto, “SiGe BiCMOS Technology with 3.0 ps Gate Delay,” *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 651-654.
- [Rytting-08] D. Rytting, “ARFTG 50 year network analyzer history,” *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 11-18.
- [Sato-07] M. Sato, T. Hirose, T. Ohki, H. Sato, K. Sawaya, and K. Mizuno, “94-GHz Band High-Gain and Low-Noise Amplifier Using InP-HEMTs for Passive Millimeter Wave Imager,” *Microwave Symposium, 2007. IEEE/MTT-S International*, 2007, pp. 1775-1778.
- [Schroter-99] M. Schroter, H. Rein, W. Rabe, R. Reimann, H. Wassener, and A. Koldehoff, “Physics- and process-based bipolar transistor modeling for integrated circuit design,” *Solid-State Circuits, IEEE Journal of*, vol. 34, 1999, pp. 1136-1149.

- [Sécurité-06] www.securiteroutiere.gouv.fr/IMG/pdf/sric_dp_vitesse_2006_04_12.pdf
- [Sécurité-07] http://www2.securiteroutiere.gouv.fr/IMG/pdf/onisr_bilan07.pdf
- [Shurmer-70] H. Shurmer, "New method of calibrating a network analyser," *Electronics Letters*, vol. 6, 1970, pp. 733-734.
- [Shurmer-73] H. Shurmer, "Calibration procedure for computer-corrected s parameter characterisation of devices mounted in microstrip," *Electronics Letters*, vol. 9, 1973, pp. 323-324.
- [Snodgrass-06] W. Snodgrass, W. Hafez, N. Harff, and M. Feng, "Pseudomorphic InP/InGaAs Heterojunction Bipolar Transistors (PHBTs) Experimentally Demonstrating $f_T = 765$ GHz at 25°C Increasing to $f_T = 845$ GHz at 55°C," Electron Devices Meeting, 2006. IEDM '06.
- [Sugahara-05] S. Sugahara, "Spin MOSFETs as a basis for integrated spin-electronics," *Nanotechnology, 2005. 5th IEEE Conference on*, 2005, pp. 142-145 vol. 1.
- [Tan-90] K. Tan et al., "94-GHz 0.1- μ m T-gate low-noise pseudomorphic InGaAs HEMTs," *Electron Device Letters, IEEE*, vol. 11, 1990, pp. 585-587.
- [Tanahashi-03] N. Tanahashi, K. Kanaya, T. Matsuzuka, I. Katoh, Y. Notani, T. Ishida, T. Oku, T. Ishikawa, M. Komaru, and Y. Matsuda, "A W-band ultra low noise amplifier MMIC using GaAs pHEMT," *Microwave Symposium Digest, 2003 IEEE MTT-S International*, 2003, pp. 2225-2228 vol.3.
- [Taris-08] T. Taris, R. Severino, Y. Deval, and J. Begueret, "mm-Waves design trends in BiCMOS technology," *Circuits and Systems and TAISA Conference, 2008. NEWCAS-TAISA 2008. 2008 Joint 6th International IEEE Northeast Workshop on*, 2008, pp. 375-379.
- [Tessmann-04] A. Tessmann et al., "A 220 GHz metamorphic HEMT amplifier MMIC," *Compound Semiconductor Integrated Circuit Symposium, 2004. IEEE, 2004*, pp. 297-300.
- [Tiemeijer-01] L. Tiemeijer, H. Boots, R. Havens, A. Scholten, P. de Vreede, P. Woerlee, A. Heringa, and D. Klaassen, "A record high 150 GHz f_{max} realized at 0.18 μ m gate length in an industrial RF-CMOS technology," *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, 2001, pp. 10.4.1-10.4.4.
- [Tiemeijer-04] L. Tiemeijer, R. Havens, R. de Kort, A. Scholten, R. van Langevelde, D. Klaassen, G. Sasse, Y. Bouttement, C. Petot, S. Bardy, D. Gloria, P. Scheer, S. Boret, B. Van Haaren, C. Clement, J. Larchanche, I. Lim, A. Duvallat, and A. Zlotnicka, "Record RF performance of standard 90 nm CMOS technology," *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 2004, pp. 441-444.

- [Tiemeijer-05-1] L. F. Tiemeijer, R. J. Havens, A. B. M. Jansman, and Y. Bouttement, "Comparison of the 'pad-open-short' and 'open-short-load' deembedding techniques for accurate on-wafer RF characterization of high quality passives," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 2, pp. 723-729, Feb. 2005.
- [Tiemeijer-05-2] L. Tiemeijer et al., "Improved Y-factor method for wideband on wafer noise parameter measurements," *MTT, IEEE Trans. on*, vol. 53, 2005, pp. 2917-2925.
- [Tsang-99] S. Tsang, E. Hoare, P. Hall, and N. Clarke, "Automotive radar image processing to predict vehicle trajectory," *Image Processing, 1999. ICIP 99. Proceedings. 1999 International Conference on*, 1999, pp. 867-870 vol.3.
- [Vaha-Heikkila-03] T. Vaha-Heikkila et al., "On-wafer noise-parameter measurements at W-band," *MTT, IEEE Trans. on*, vol. 51, 2003, pp. 1621-1628.
- [Valentin -08] R. Valentin, "Investigation du Comportement et des Potentialités en Haute Fréquence de transistors MOSFET Avancés à Contacts Source/Drain Métalliques", *Thèse soutenue à l'IEMN*, France, 2008.
- [Van Huylenbroeck-04] S. Van Huylenbroeck, A. Sibaja-Hernandez, A. Piontek, L. Choi, M. Xu, N. Ouassif, F. Vleugels, K. Van Wichelen, L. Witters, E. Kunnen, P. Leray, K. Devriendt, X. Shi, R. Loo, and S. Decoutere, "Lateral and vertical scaling of a QSA HBT for a 0.13 μ m 200GHz SiGe:C BiCMOS technology," *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, 2004, pp. 229-232.
- [Van Huylenbroeck-06] S. Van Huylenbroeck, L. Choi, A. Sibaja-Hernandez, A. Piontek, D. Linten, M. Dehan, O. Dupuis, G. Carchon, F. Vleugels, E. Kunnen, P. Leray, K. Devriendt, X. Shi, R. Loo, E. Hijzen, and S. Decoutere, "A 205/275GHz fT/fmax Airgap Isolated 0.13 μ m BiCMOS Technology featuring on-chip High Quality Passives," *Bipolar/BiCMOS Circuits and Technology Meeting, 2006*, 2006, pp. 1-4.
- [Vanmackelberg-01] M. Vanmackelberg, « Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique, *Thèse soutenue à l'IEMN*, France, 2001.
- [Vanmackelberg-02] M. Vanmackelberg, S. Boret, D. Gloria, O. Rozeau, R. Gwoziecki, C. Raynaud, S. Lepilliet, and G. Dambrine, "90nm SOI-CMOS of 150GHz fmax and 0.8dB NFmin @6GHz for SOC," *SOI Conference, IEEE International 2002*, 2002, pp. 153-154.
- [Van Noort-08] W.D. van Noort, A. Rodriguez, HongJiang Sun, F. Zaato, N. Zhang, T. Nesheiwat, F. Neuilly, J. Melai, and E. Hijzen, "BiCMOS technology improvements for microwave application," *Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE*, 2008, pp. 93-96.

- [VanWijnen-87] P. J. vanWijnen, H. R. Claessen, and E. A. Wolsheimer, "A new straightforward calibration and correction procedure for "on-wafer" high frequency S-parameter measurements (45 MHz–18 GHz)," in *Proc. IEEE Bipolar/BiCMOS Circuits Technology Meeting*, Sep. 1987, pp. 70–73.
- [Wada-02] S. Wada, Y. Nonaka, T. Saito, T. Tominari, K. Koyu, K. Ikeda, K. Sakai, K. Sasahara, K. Watanabe, H. Fujiwara, F. Murata, E. Ohue, Y. Kiyota, H. Shimamoto, K. Washio, R. Takeyari, H. Hosoe, and T. Hashimoto, "A manufacturable 0.18- μm SiGe BiCMOS technology for 40-Gb/s optical communication LSIs," *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*, 2002, pp. 84-87.
- [Waldhoff-08] N. Waldhoff, C. Andrei, D. Gloria, F. Danneville, and G. Dambrine, "Small Signal and Noise Equivalent Circuit for CMOS 65 nm up to 110 GHz," *Microwave Conference, 2008. EuMC 2008. 38th European*, 2008, pp. 321-324.
- [Waldhoff-09-1] N. Waldhoff, C. Andrei, D. Gloria, S. Lepilliet, F. Danneville, and G. Dambrine, "Improved Characterization Methodology for MOSFETs up to 220 GHz," *Microwave Theory and Techniques, IEEE Transactions on*, vol. PP, 2009, p. 1.
- [Waldhoff-09-2] Nicolas Waldhoff, Boris Geynet, Pascal Chevalier, François Danneville, Gilles Dambrine, "Investigation of SiGe HBT Potentialities under Cryogenic Temperature", Conference ESSDERC 2009, Athènes.
- [Wang-05] W. Wang, T. Lee, and M. Reed, "Electronic Transport in Molecular Self-Assembled Monolayer Devices," *Proceedings of the IEEE*, vol. 93, 2005, pp. 1815-1824.
- [Wang-07] To-Po Wang and Huei Wang, "A 71–80 GHz Amplifier Using 0.13- μm CMOS Technology," *Microwave and Wireless Components Letters, IEEE*, vol. 17, 2007, pp. 685-687.
- [Wang-08] Li Wang, S. Glisic, J. Borngraeber, W. Winkler, and J. Scheytt, "A Single-Ended Fully Integrated SiGe 77/79 GHz Receiver for Automotive Radar," *Solid-State Circuits, IEEE Journal of*, vol. 43, 2008, pp. 1897-1908.
- [Wilk-01] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High-kappa gate dielectrics: Current status and materials properties considerations", *J. Appl. Phys.* 89, 5243, 2001.
- [Yuan-07] Jiahui Yuan, R. Krithivasan, J. Cressler, M. Khater, D. Ahlgren, and A. Joseph, "On the Frequency Limits of SiGe HBTs for TeraHertz Applications," *Bipolar/BiCMOS Circuits and Technology Meeting, 2007. BCTM '07. IEEE*, 2007, pp. 22-25.
- [Yujiri-03] L. Yujiri et al., "Passive mm-wave Imaging", *IEEE Microwave Magazine*, vol.4, pp.39-50, Sept. 2003.

- [Zamdmer-01] N. Zamdmer, A. Ray, J. Plouchart, L. Wagner, N. Fong, K. Jenkins, W. Jin, P. Smeys, I. Yang, G. Shahidi, and F. Assaderghi, "A 0.13- μm SOI CMOS technology for low-power digital and RF applications," *VLSI Technology, 2001. Digest of Technical Papers. 2001 Symposium on*, 2001, pp. 85-86.
- [Zamdmer-02] N. Zamdmer, J. Plouchart, J. Kim, L. Lu, S. Narasimha, P. O'Neil, A. Ray, M. Sherony, and L. Wagner, "Suitability of Scaled SOI CMOS for High-Frequency Analog Circuits," *Solid-State Device Research Conference, 2002. Proceeding of the 32nd European*, 2002, pp. 511-514.
- [Zamdmer-04] N. Zamdmer, Jonghae Kim, R. Trzcinski, J. Plouchart, S. Narasimha, M. Khare, L. Wagner, and S. Chaloux, "A 243-GHz Ft and 208-GHz Fmax, 90-nm SOI CMOS SoC technology with low-power millimeter-wave digital and RF circuit capability," *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, 2004, pp. 98-99.
- [Zerounian-04] N. Zerounian, M. Rodriguez, M. Enciso, F. Aniel, P. Chevalier, B. Martinet, and A. Chantre, "Transit times of SiGe:C HBTs using nonselective base epitaxy," *Solid-State Electronics*, vol. 48, 2004, pp. 1993-1999.
- [Zerounian-07] N. Zerounian, F. Aniel, B. Barbalat, P. Chevalier, and A. Chantre, "500 GHz cutoff frequency SiGe HBTs," *Electronics Letters*, vol. 43, 2007.
- [Zhirnov-05] V. Zhirnov, J. Hutchby, G. Bourianoff, and J. Brewer, "Emerging research memory and logic technologies," *Circuits and Devices Magazine, IEEE*, vol. 21, 2005, pp. 47-51.

ANNEXES

A) Schéma équivalent petit signal du MOSFET et extraction du réseau substrat RC

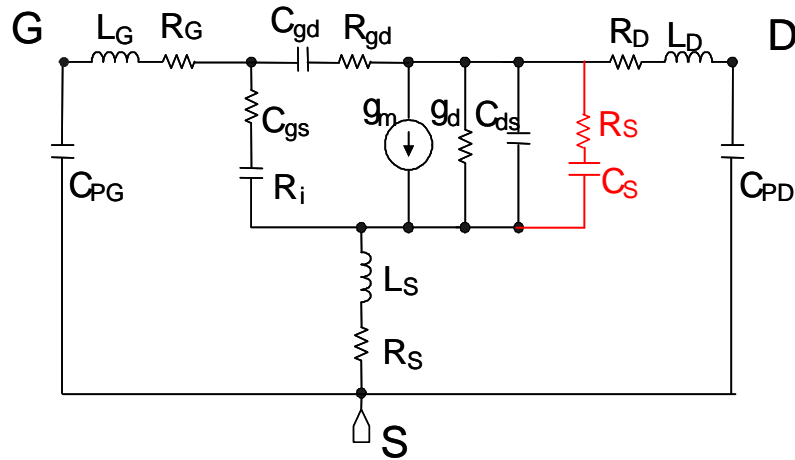


Figure 125 : Schéma équivalent petit signal d'un MOSFET avec son réseau substrat R_S et C_S .

Après avoir épluché les accès et retiré les paramètres extrinsèques, on travaille en matrice impédance pour calculer les valeurs de R_S et C_S . On néglige la capacité C_{DS} car elle est très faible.

$$[Y_{22}] = g_d + \left(R_S + \frac{1}{jC_S w} \right)^{-1} = g_d + \frac{jC_S w}{1 + jR_S C_S w}$$

$$\Re(Y_{22}) = g_d + \frac{R_S C_S^2 w^2}{1 + R_S^2 C_S^2 w^2} \quad (E-39)$$

$$\Im(Y_{22}) = \frac{C_S w}{1 + R_S^2 C_S^2 w^2}$$

La courbe de l'imaginaire de Y_{22} en fonction de w nous donne en basse fréquence la capacité C_S . Puis on trace $\frac{\Re(Y_{22}) - g_d}{\Im(Y_{22})}$ et de la pente nous obtenons $R_S C_S$.

B) Extraction des fréquences de coupure f_T et f_{MAX}

Les fréquences de coupure des dispositifs peuvent être extraites à partir des mesures des paramètres S du dispositif. Les formules suivantes nous permettent de calculer les gains dynamiques :

$$|H_{21}| = \frac{2 \cdot S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12} \cdot S_{21}} \quad (\text{E-40})$$

La fréquence pour laquelle le module du gain est égal à 1 (0 dB) permet de définir la fréquence de transition f_T suivant une pente théorique en -20 dB/décade.

Le gain unilatéral d'un composant noté U , proposé par Mason, est le gain maximum disponible lorsque la stabilité est assurée en ajoutant une contre-réaction sans perte afin d'annuler le coefficient de transmission inverse S'_{12} . Ce gain s'écrit en fonction des paramètres S par la relation suivante :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left[k \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right]} \quad (\text{E-41})$$

Avec k ,

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta S|^2}{2|S_{12}||S_{21}|} \quad (\text{E-42})$$

La fréquence pour laquelle U est égale à 1 (0 dB) correspond à la fréquence maximum d'oscillation f_{MAX} avec une pente en -20 dB/décade.

C) Théorie des quadripôles

Pour introduire la mesure de paramètres S, il est tout d'abord nécessaire de revenir sur la théorie des quadripôles où on considère chaque élément sous test comme un quadripôle de paramètres inconnus.

Un quadripôle linéaire peut être défini grâce à différentes représentations : en paramètres Z (impédances), en paramètres Y (admittances), en paramètres H (hybrides) ou en paramètres ABCD (chaînes). Ces paramètres peuvent être identifiés grâce à la convention courant-tension de la figure 125. D'une représentation connue, on peut connaître les paramètres dans tout autre représentation.



Figure 126 : Quadripôle en représentation courant-tension et ondes incidentes/réfléchies.

Concernant la matrice impédance, les tensions sont exprimées en fonction des courants par l'intermédiaire des paramètres impédances. La mesure de ces paramètres nécessite des références de charge en circuit ouvert.

$$V_1 = Z_{11}I_1 + Z_{12}I_2 \quad (\text{E-43})$$

$$V_2 = Z_{21}I_1 + Z_{22}I_2$$

De la même façon, pour la matrice impédance, les courants sont exprimés en fonction des tensions.

$$I_1 = Y_{11}V_1 + Y_{12}V_2 \quad (\text{E-44})$$

$$I_2 = Y_{21}V_1 + Y_{22}V_2$$

La mesure de ces paramètres nécessite des références de charge en court-circuit.

Une matrice équivalente de paramètres hybrides peut être définie où la tension d'entrée et le courant de sortie sont exprimés en fonction de la tension de sortie et du courant d'entrée.

$$V_1 = H_{11}I_1 + H_{12}V_2 \quad (\text{E-45})$$

$$I_2 = H_{21}I_1 + H_{22}V_2$$

La mesure de ces paramètres nécessite des références de charge en circuit-ouvert et court-circuit.

Aucune des représentations évoquées jusqu'à présent ne permet la décorrélation de l'entrée et de la sortie. La matrice chaîne ABCD comble cette lacune en permettant d'exprimer la tension et le courant à l'entrée en fonction de la tension et du courant à la sortie.

$$V_1 = AV_2 + BI_2 \quad (\text{E-46})$$

$$I_1 = CV_2 + DI_2$$

Les fréquences supérieures à quelques gigahertz posent quelques problématiques de mesure car elles mettent en jeu des longueurs d'onde comparables aux dimensions du circuit. Ceci implique que :

- la mesure directe des courants et des tensions n'est pas possible à cause de la fréquence très élevée des signaux. Les appareils de mesure doivent intégrer des étages de conversion.
- chaque mesure doit être référencée géométriquement. Un étalonnage des appareils de mesure est nécessaire.

La caractérisation des dispositifs électroniques consiste à mesurer la puissance transportée sur les lignes qui s'exprime par :

$$P = \frac{1}{2} \Re(VI^*) \quad (\text{E-47})$$

Il faut donc introduire de nouveaux paramètres permettant de manipuler aisément les puissances mises en jeu : les paramètres S.

D) Paramètres S

Lorsque les dimensions des circuits ne sont plus très petites devant la longueur d'onde, un phénomène de propagation du signal électrique apparaît introduisant la notion de signaux incidents et réfléchis (figure 125) [Kurokawa-65].

Dans le cas d'une propagation monomode, les ondes incidentes et réfléchies prennent la forme suivante :

$$\begin{aligned} a_j &= \frac{v_j + Z_0 i_j}{2\sqrt{Z_0}} \\ b_j &= \frac{v_j - Z_0 i_j}{2\sqrt{Z_0}} \end{aligned} \quad (\text{E-48})$$

Ces ondes sont exprimées en fonction des courants et des tensions mais aussi de l'impédance caractéristique Z_0 .

On définit ainsi une matrice de paramètres S similaire aux matrices précédentes :

$$\begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned} \quad (\text{E-49})$$

Ces paramètres S vont nous permettre de caractériser le dispositif sous test à l'aide d'un analyseur de réseau vectoriel. Des matrices de passages permettent de passer d'une représentation matricielle (S, Y, Z, H, ABCD) à une autre et ainsi déterminer des éléments série ou parallèle, de faire de l'épluchage ou tout autres calculs rendus possibles par les propriétés de ces matrices. Nous devons néanmoins préciser que le VNA mesure des grandeurs relatives aux ondes (S) et non pas des courants/tensions (Z, Y). Le passage du formalisme onde au formalisme courant/tension se fait mathématiquement avec des conditions de validité comme la notion d'impédance caractéristique [Kurokawa-65].

E) Correction des erreurs systématiques :

On considère tout d'abord la représentation en impédance figure 126.

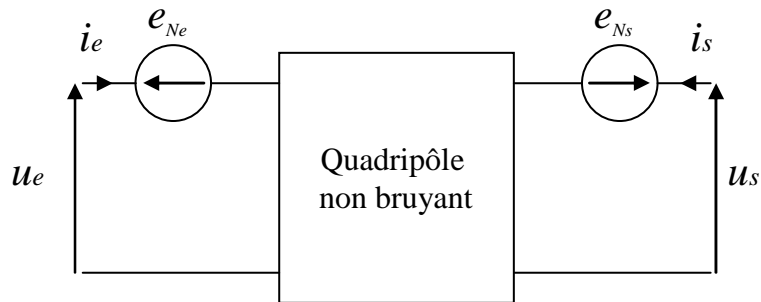


Figure 127 : Représentation impédance d'un quadripôle bruyant.

Les générateurs de tension e_{Ne} et e_{Ns} sont des sources de tension de bruit équivalentes ramenées aux accès du transistor. Ces sources sont partiellement corrélées et conduisent à la matrice de corrélation suivante :

$$[C_Z] = \begin{pmatrix} \overline{e_{Ne}^2} & \overline{e_{Ne}e_{Ns}^*} \\ e_{Ne}^* e_{Ns} & \overline{e_{Ns}^2} \end{pmatrix} \quad (E-50)$$

Un quadripôle bruyant peut également se représenter sous la forme d'un quadripôle non bruyant auquel sont associés deux générateurs de courant de bruit (figure 127).

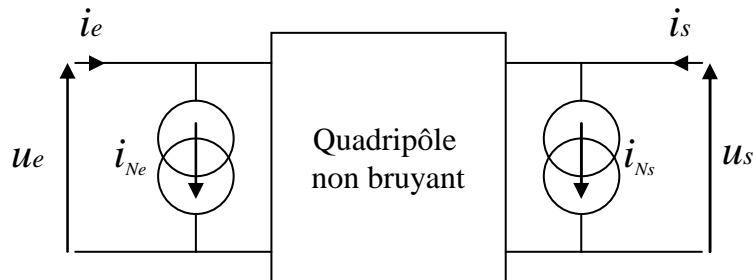


Figure 128 : Représentation admittance d'un quadripôle bruyant.

De même que la représentation précédente, la représentation admittance peut s'écrire comme une matrice de corrélation :

$$[C_Y] = \begin{pmatrix} \overline{i_{Ne}^2} & \overline{i_{Ne}i_{Ns}^*} \\ i_{Ne}^* i_{Ns} & \overline{i_{Ns}^2} \end{pmatrix} \quad (E-51)$$

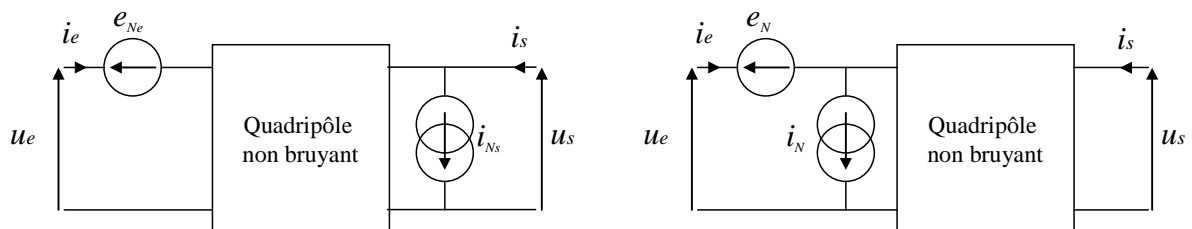


Figure 129 : Représentation chaîne d'un quadripôle bruyant (gauche). A droite, même représentation avec les sources ramenées en entrée.

Enfin la dernière représentation en matrice chaîne permet d'extraire les 4 paramètres de bruit (figure 128).

La représentation chaîne s'écrit :

$$[C_A] = \begin{pmatrix} \overline{e_N^2} & \overline{e_N i_N^*} \\ \overline{e_N^* i_N} & \overline{i_N^2} \end{pmatrix} = 4kT_0 \Delta f \begin{pmatrix} R_n & \frac{F_{\min} - 1}{2} - R_n Y_{opt} \\ \frac{F_{\min} - 1}{2} - R_n Y_{opt}^* & R_n |Y_{opt}|^2 \end{pmatrix} \quad (\text{E-52})$$

T_0 , température standard de bruit, égale à 290 K.

Toutes ces représentations permettent de calculer les sources de bruit. On utilise simplement les lois de Kirchoff pour passer d'une représentation à une autre et la matrice de corrélation de bruit.

F) Correction des erreurs systématiques :

L'idée de la correction des erreurs systématiques est de supprimer l'influence des imperfections de l'analyseur en déterminant par des mesures redondantes les différentes erreurs commises afin d'en tenir compte pour la suite. Ces erreurs sont classées en quatre catégories : directivité, désadaptation, réponse en fréquence et isolation.

Le principe de la correction repose sur une modélisation de ces erreurs sous forme d'un schéma bloc où d'un diagramme de fluence (figure 129), et sur la résolution de celui-ci afin d'obtenir la valeur des paramètres cherchés en fonction de ceux mesurés et des termes d'erreurs (branche du diagramme de fluence). Ces termes d'erreurs (en général 12) sont déterminés par des mesures préalables d'étalons connus. Ces étalons sont dépendants du type de calibrage utilisé. Le modèle à 12 termes d'erreurs est largement discuté dans [Vanmackelberg-01] et il est présenté figure 129. Les coefficients d'erreur « E » représentent la relation entre les ondes « m », mesurées par un analyseur de réseau idéal, les ondes incidentes « a » et les ondes transmises/réfléchies « b » dans le plan du CST. Des explications plus approfondies sont données dans [Fitzpatrick-78].

La méthode SOLT utilise quatre standards (Short, Open, Load, Thru). Cette technique nécessite de trouver les 12 termes d'erreurs impliqués par l'appareillage de mesure à partir de la connaissance des caractéristiques des quatre motifs. Le principal inconvénient de cette méthode populaire est l'obtention d'une bonne estimation des paramètres caractérisant les motifs. Une erreur sur l'estimation de ces paramètres entraîne une forte erreur du placement des standards sur l'abaque de Smith.

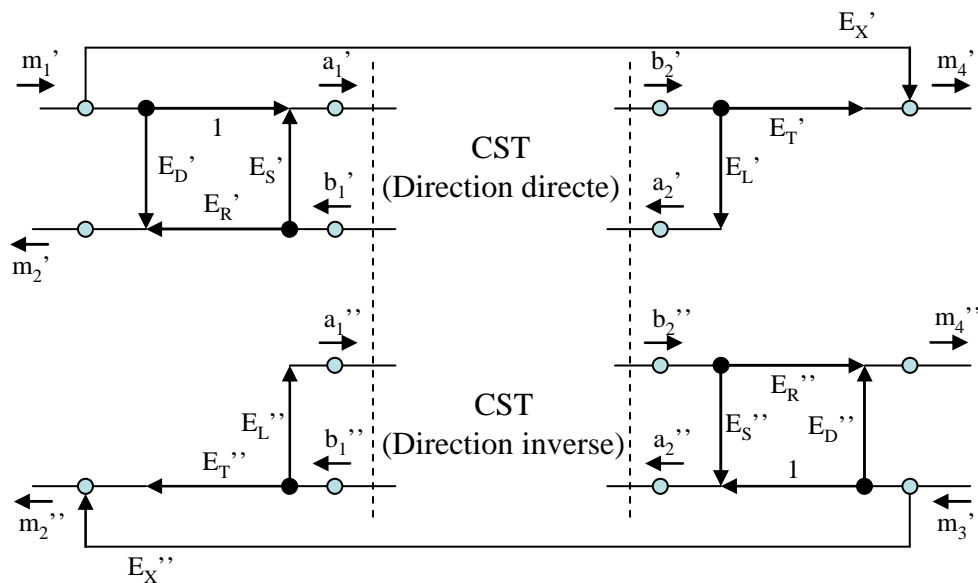


Figure 130 : Modèle à 12 termes d'erreur pour une mesure de paramètres S bidirectionnelle 2 ports.

G) Schéma équivalent en Π du transistor bipolaire :

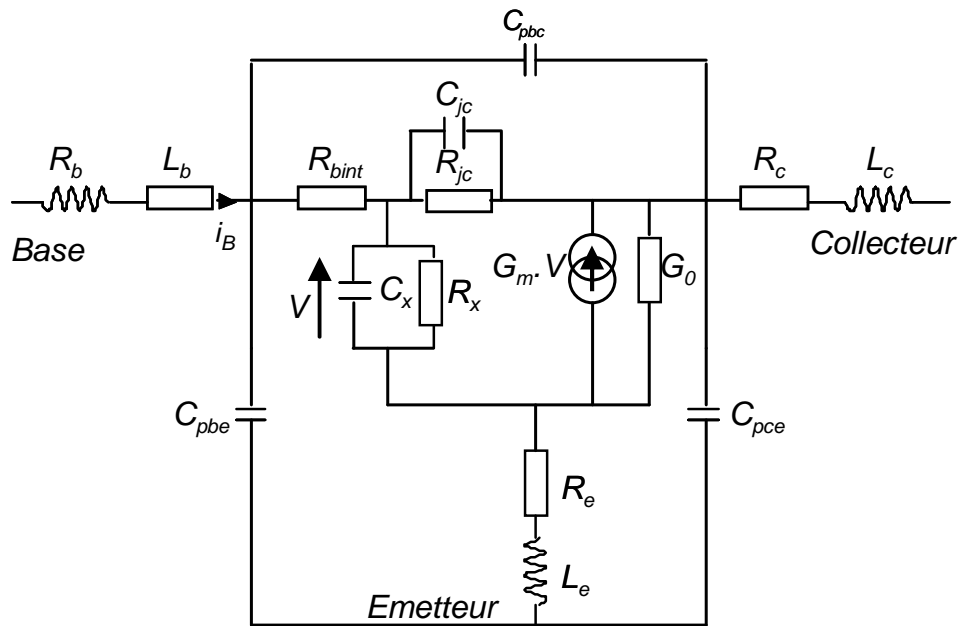


Figure 131 : Schéma équivalent petit signal en Π du transistor bipolaire à hétérojonction.

Le schéma en Π (figure 130) correspond à un montage émetteur commun. Il existe de nombreuses variantes qui sont décrites dans la bibliographie. Ces variantes correspondent à des phénomènes propres aux bipolaires tels que les différents temps de charge ou de transit dans les diverses régions du composant. Ces phénomènes dépendent des conditions de polarisation; pour les faibles courants, le temps de charge de l'émetteur est prédominant alors que les temps de transit dans la base prennent beaucoup d'importance pour les forts courants. Par conséquent, ces différents mécanismes propres au fonctionnement des bipolaires induiront des variations fréquentielles des éléments d'un schéma équivalent simplifié.

H) Synoptique d'épluchage pour un transistor :

I) Mesure des paramètres S S_{TOT}
II) Mesure d'un circuit ouvert (open) S_{OPEN}
III) $S_{TOT} \Rightarrow Y_{TOT}$ $S_{OPEN} \Rightarrow Y_{OPEN}$
IV) $Y_{DUT} = Y_{TOT} - Y_{OPEN}$
V) Extraction des résistances et des inductances extrinsèques Z_R et Z_L
VI) $Y_{DUT} \Rightarrow Z_{DUT}$
VII) $Z_{INT1} = Z_{DUT} - Z_R$
VIII) $Z_{INT} = Z_{INT1} - Z_L$
IX) Extraction des éléments intrinsèques

Liste des Publications

Article dans une revue internationale avec comité de lecture:

N. Waldhoff, C. Andrei, D. Gloria, S. Lepilliet, F. Danneville, and G. Dambrine, “Improved Characterization Methodology for MOSFETs up to 220 GHz,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. PP, 2009, p. 1.

Dans ce papier, des procédures de mesures et de modélisations sont précisément détaillées pour extraire un schéma équivalent petit signal de MOSFET avancés jusque 220 GHz. La méthodologie proposée s’étend du calibrage du VNA aux résultats de simulations en utilisant l’épluchage complexe. Des comparaisons sont finalement discutées entre les données mesurées et simulées jusque 220 GHz.

Communications internationales avec acte:

N. Waldhoff, C. Andrei, D. Gloria, F. Danneville, and G. Dambrine, “Small Signal and Noise Equivalent Circuit for CMOS 65 nm up to 110 GHz,” *Microwave Conference, 2008. EuMC 2008. 38th European*, 2008, pp. 321-324.

Dans ce papier, une procédure de mesure avec l’appui d’un modèle petit signal et bruit pour des transistors MOSFETs de dernières générations est présentée. La méthodologie complète est décrite du calibrage de l’analyseur de réseau jusqu’aux résultats de simulation en utilisant une procédure d’épluchage complexe (POS1S2). De plus un banc de bruit en bande W (75-110 GHz) a été développé en utilisant la méthode F50. La comparaison entre les valeurs simulées et mesurées montre un bon accord jusqu’à 110 GHz. Cette méthodologie conduit à un modèle robuste désigné pour les circuits intégrés millimétriques.

Nicolas Waldhoff, Boris Geynet, Pascal Chevalier, François Danneville, Gilles Dambrine, “Investigation of SiGe HBT Potentialities under Cryogenic Temperature”, Conference ESSDERC 2009, Athènes.

Ce papier s’intéresse aux performances petit signal et de bruit des transistors bipolaires à hétérojonctions Si/SiGe:C aux températures cryogéniques. Deux différentes technologies sont investiguées atteignant des performances à l’état de l’art pour f_T et pour NF_{min} . Un modèle petit signal et de bruit en T a été extrait et il est discuté quant à l’amélioration des performances à températures cryogéniques.

Conférence internationale invitée:

Nicolas Waldhoff, Gilles Dambrine, François Danneville, Daniel Gloria, “S-parameters measurements and small signal modeling of sub-65nm Silicon MOSFETs up to 220 GHz” , *Proceedings of International Microwave Symposium Conference (IMS) 2008*, Atlanta.

Communications nationales avec acte:

Cristian Andrei, Nicolas Waldhoff, Daniel Gloria, François Danneville, Gilles Dambrine, « *Erreurs de mesures liées à l'environnement des composants silicium RF on-wafer en bande millimétrique* », présentation orale, Journées Nationales Microondes (JNM) 2007, Toulouse.

Nicolas Waldhoff, Cristian Andrei, François Danneville, Gilles Dambrine, « *Extraction du schéma équivalent petit signal et bruit jusque 110 GHz pour les technologies CMOS 65nm* », poster, Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM) 2008, Bordeaux.

Daniel Gloria, G. Dambrine, N. Waldhoff, F. Danneville, « *Caractérisations des paramètres S et paramètres de bruit en gamme millimétrique pour la filière MOSFET 65nm* », présentation orale, Journées Nationales Microondes (JNM) 2009, Grenoble.

Nicolas Waldhoff, Cristian Andrei, Frédéric Giancesello, Daniel Gloria, François Danneville, « *Mesures de bruit en gamme millimétrique : limitations et solutions* », présentation orale, Journées Nationales Microondes (JNM) 2009, Grenoble.

Romain Pilard, Daniel Gloria, Christian Person, François Le Pennec, Frédéric Giancesello et Nicolas Waldhoff, « *Potentialités de la technologie CMOS 65nm sur substrat SOI haute résistivité pour les applications millimétriques : Amplificateur faible bruit et antenne intégrés sur un même substrat* », poster, Journées Nationales Microondes (JNM) 2009, Grenoble.

Communications nationales sans acte:

Nicolas Waldhoff, “*Small signal equivalent circuit and noise extractions in millimeter wave band for SOI and Bulk 65nm transistors*”, WORKSHOP Laboratoire commun STMicroelectronics/IEMN, Crolles, mars 2007.

Nicolas Waldhoff, “*Small signal equivalent circuit and noise extractions in millimeter wave band for 65nm node SOI and Bulk transistors*”, WORKSHOP Laboratoire commun STMicroelectronics/IEMN, Crolles, mars 2008.

Nicolas Waldhoff, “*Caractérisation et optimisation millimétrique des technologies CMOS et BiCMOS* ”, WORKSHOP Laboratoire commun STMicroelectronics/IEMN, Crolles, mars 2009.

Résumé de la thèse en français :

Le contexte de ce travail de thèse s'inscrit dans les récents progrès des performances en gamme millimétrique des composants silicium tels que les MOSFET et les HBT SiGe. La situation actuelle en termes de circuits à base de silicium est limitée en fréquence autour de 60 GHz, seuls quelques résultats au-delà de 100 GHz ont d'ores et déjà été publiés. Dans ce contexte, il est maintenant nécessaire de savoir si les nouvelles et futures générations de transistors silicium peuvent adresser des fréquences encore plus élevées (jusque 220 GHz). Ces applications pourraient être des blocs d'émission réception à faible portée et très haut débit. Les aspects inconnus sont : 1) la validité des techniques de mesures sur silicium jusque 220 GHz ; 2) le comportement fréquentiel des transistors silicium jusque 220 GHz ; 3) la modélisation des transistors dans ces gammes de fréquences nécessaire à la conception de fonctions millimétriques. Des études à partir de simulations électromagnétiques ont été menées afin d'optimiser les structures de test (accès et topologie optimale des transistors). Ce travail est accentué sur les techniques de calibrage et d'épluchage sous pointes jusque 220 GHz. De plus, les études ont été orientées, d'une part, sur l'amélioration des modèles électriques des transistors jusque 220 GHz et d'autre part, la validité des modèles de bruit jusqu'en bande W (75-110 GHz). Pour cet aspect, le travail a été orienté sur l'élaboration de deux méthodes de mesure permettant de valider les modèles de bruit par des méthodes de mesures transférables en milieu industriel. A partir de ces modèles établis et validés, des démonstrateurs ont été réalisés fonctionnant en bande G.

Résumé de la thèse en anglais :

The motivation of this work inherits from the recent progress in terms of cut-off frequencies of silicon transistors such as MOSFET (bulk and SOI) and SiGe HBT. In 2006, the state-of-the-art cut-off frequencies achieved more than 300 GHz. Nowadays, silicon circuits are limited around 60 GHz, only few with the exception of few circuits which operate at frequencies higher than 100 GHz (VCO at 130 GHz with SiGe HBT). In this context, it is highly required to check the ability of new and future generations of silicon transistors to provide higher cut-off frequencies especially in G band (140-220 GHz). These applications could be transmitter-receiver systems with high data rates and short distances. The unknown aspects are: 1) the validation of silicon transistors measurement up to 220 GHz; 2) the frequency behaviour of silicon transistors up to 220 GHz; 3) the modelling of these transistors. Electromagnetic simulations have been employed to optimize the test structures (the layout of the transistor). This work is particularly interested in calibration and de-embedding techniques for on-wafer measurements up to 220 GHz. Studies have been carried out on the small signal equivalent circuit improvement as well as the validation of the noise models in W band (75-110 GHz). From these validated models, pre-adapted transistors have been realised in G band. The development of measurement techniques adequate for the industry is the purpose of this work.