

# THESE

Pour obtenir le grade de :

**Docteur de l'Université de Lille**

**Ecole doctorale des sciences de l'ingénierie et des systèmes (ENGSYS – 632)**

Spécialité : Microélectronique et Nanotechnologies

Préparée au sein du CEA Leti en partenariat avec l'Institut d'Electronique, de Microélectronique et des Nanotechnologies (IEMN)

Thèse présentée par

**Antoine CHANUEL**

Dirigée par **Christophe GAQUIERE** (Professeur de l'université, IEMN, Lille)

Et encadrée par **Erwan MORVAN** (Docteur - CEA-Leti, Grenoble) et **Nicolas DEFRANCE** (Maître de Conférence – IEMN, Lille)

## **Transistor GaN sur Si 200mm compatible CMOS pour l'amplification de puissance en bande Ka : Optimisation de l'empilement de grille**

Thèse soutenue publiquement le **13/12/2022**

Devant le jury composé de :

<b>Pr. Philippe FERRARI</b>	Université Grenoble Alpes	Président du jury
<b>Pr. Nathalie LABAT</b>	Université de Bordeaux	Rapporteuse
<b>Pr. Jean Guy TARTARIN</b>	Université de Toulouse	Rapporteur
<b>Chloé BOUEXIERE</b>	Direction Générale à l'Armement	Examinatrice
<b>Philippe ALTUNTAS</b>	OMMIC	Examineur
<b>Stéphane PIOTROWICZ</b>	III-V Lab	Examineur
<b>Erwan MORVAN</b>	CEA Leti	Examineur
<b>Pr. Christophe GAQUIERE</b>	Université de Lille	Directeur de thèse
<b>Olivier NOBLANC</b>	ST Microelectronics	Invité
<b>Nicolas DEFRANCE</b>	Université de Lille	Invité





# Remerciements :

Une thèse est un investissement sur un travail de recherche qui s'étend sur 3 années. C'est pourquoi, j'aimerais, avant toute chose, remercier Mme Nathalie LABAT et M. Jean-Guy TARTARIN d'avoir accepté de consacrer du temps et de l'énergie pour comprendre, analyser et critiquer la synthèse de ce travail.

Je voudrais ensuite remercier, Philippe ALTUNTAS, Chloé BOUEXIERE, Philippe FERRARI, Olivier NOBLANC et Stéphane PIOTROWICZ d'avoir accepté de faire partie de ce jury afin de questionner ces travaux, au travers de leur expérience, pour les rendre encore plus riches et vivants. Une attention particulière pour Chloé BOUEXIERE qui a participé à la supervision de ce travail en sa qualité de référente de la direction générale à l'armement (DGA) sur cette thématique. Même si les conditions durant ces trois ans ont limité les interactions, merci pour tous les échanges. Sans les personnes précédemment citées, l'aboutissement de cette formation par la recherche ne pourrait pas avoir lieu.

Ces 3 années de recherche n'auraient pas été possibles sans la présence d'Erwan MORVAN. L'encadrement d'une thèse n'est pas juste une signature sur des papiers, ce n'est pas juste un travail avec une visée économique et ce n'est pas non plus un titre pour la reconnaissance. C'est un engagement important pour transmettre ses connaissances et accompagner de jeunes chercheurs. J'adresse donc un immense merci à Erwan pour avoir plus que rempli cette mission. Merci pour la patience et le temps consacré, merci pour l'énergie et les nombreuses idées, et finalement, merci pour tout.

J'ai également eu le privilège d'être encadré par Nicolas DEFRANCE dans le cadre du partenariat avec l'IEMN à Lille. J'ai ainsi pu me rendre compte qu'il était possible d'être un brillant chercheur tout en étant d'une simplicité et d'une gentillesse absolue. Un grand merci pour le temps consacré pendant toutes mes venues à Lille et pour les remarques toujours constructives et pertinentes.

Enfin je souhaiterais remercier Christophe GAQUIERE en sa qualité de directeur de thèse. Même si nous nous sommes peu croisés pour diverses raisons, merci pour la disponibilité quand il y en avait besoin et pour l'organisation de la fin de la thèse.

Je remercie également Erwan, Nicolas et Christophe pour le temps passé pour la relecture attentive de ce manuscrit.

Les travaux présentés dans la suite de ce manuscrit sont le fruit de nombreuses collaborations et ils n'auraient pas aboutis sans l'expertise de nombreuses personnes. Je remercie en premier Yveline GOBIL pour sa disponibilité, son immense gentillesse et ses connaissances sans faille des procédés de fabrication. Merci ensuite à Sharon HSU qui a toujours réalisé efficacement son travail dans la plus grande discrétion. Merci également à Matthew CHARLES, Marianne COIG, Jérôme BISCARRAT, Pascal SCHEIBLIN ainsi qu'aux nombreuses personnes qui ont contribué à ce travail par des techniques de caractérisation avancées au CEA Leti, à l'IEMN et au III-V Lab. Merci également aux assistantes qui nous facilitent le travail tous les jours et répondent à nos questions même les plus bêtes.



Une thèse est également une aventure humaine et l'occasion de faire de belles rencontres. Je voudrais remercier, tout d'abord, les personnes de mon premier laboratoire pour leur accueil ainsi que pour les pauses cafés, les footings, les soirées, les sorties en montagne, les heures perdues à lire des discussions inutiles et pour tout le reste. Merci notamment à Lucas, Alice, Elisa, Lola, Benjamin, Charles, Romain, Emma, Franklin, Hugo, Baptiste, Caïque, Sophie, Baba et Hugo T ainsi que Yann LAMY en tant que chef de laboratoire.

Je voudrais également remercier ceux qui m'ont accueilli en cours de route lorsque j'ai changé de laboratoire. En premier lieu mes co-bureaux, Ismaël, Maxime, Flavio, Léo<sup>2</sup>, Fanny mais également Alex<sup>2</sup>, Thibault, Léa, Antoine, Abdel, Hervé, Olivier, Alexis, Didier, José, Quentin, Tadeu, Xavier, Mikaël et tous les autres. Merci évidemment à Fred GAILLARD pour la facilité d'échange et son efficacité en tant que chef de laboratoire.

Je dois également remercier les doctorants et post-doc Lillois qui m'ont chaleureusement accueilli à chacun de mes séjours dans le nord pour me faire découvrir les spécialités locales toujours accompagnées d'une petite bière !

J'ai également une pensée pour ceux qui m'ont accompagné à mon arrivée au CEA Leti en stage. Je remercie fortement Laura qui m'a encadré et donné de précieux conseil pendant ces 6 mois, et avec qui c'est toujours un grand plaisir de partager un repas. Je remercie également les personnes que j'ai côtoyées à cette période notamment Eugénie, William, Rémy, Simon, Florian, Blédion, Cyrille, Julien, Romain, Stéphane, Pierre, Jean-Yves, Gökhan, Blend, René, Murielle et Marc PLISSONIER en tant que chef de laboratoire. Il y a évidemment ceux que j'ai côtoyés en dehors du travail, merci à Lara pour les repas du midi. Merci aux rugbymen de l'AS CEA/ST avec qui j'ai partagé 4 ans de belles troisièmes mi-temps (et de rugby aussi) et longue vie aux Lunatics. Enfin, je remercie Max qui était là pendant le stage mais déjà bien avant. Entre les exams, le semi, le ski, les bivouacs, les restos et tout le reste, il y a eu de bons moments de rigolade. Bon courage pour la fin de thèse et pour la suite, à la NASA ou dans un camion pizza.

Finalement, je remercie évidemment tous mes proches qui font partie de tous les moments en dehors du travail. Merci à ma famille et notamment mes parents pour m'avoir toujours soutenu et accompagné et sans qui je ne serai pas devenu la personne que je suis aujourd'hui. Merci à mes amis et à ma belle-famille que je suis toujours heureux de retrouver. Merci à Ned même si je ne sais pas vraiment pourquoi. Et enfin, merci à Clara d'être là au quotidien, de partager avec moi tes idées, ton énergie, ton sourire et ta bonne humeur qui rendent tout le reste tellement plus facile.

# Résumé

La brique de grille des transistors GaN nécessite un dimensionnement plus compact avec une longueur plus courte ( $L_G \sim 150$  nm) et une barrière plus fine ( $< 10$  nm) pour le fonctionnement en bande Ka ( $\sim 30$  GHz). De plus, la compatibilité de fabrication avec les technologies CMOS implique de modifier les techniques de fabrications et les métallisations sans dégrader les performances. Après avoir rappelé les enjeux du développement des technologies GaN/Si compatibles CMOS autour de 30 GHz, le procédé de fabrication des premiers transistors GaN sur substrat silicium 200 mm pour les applications radiofréquence développé au CEA Leti est présenté. L'influence des procédés de fabrications sur les performances électriques est ensuite étudiée en comparant plusieurs plaques démontrant des résultats d'amplification encourageants ( $PAE=40$  % and  $P_{out}=2,4$  W/mm à 30 GHz). Une analyse des facteurs limitant le fonctionnement en fréquence du transistor est ensuite menée à l'aide de caractérisations petit-signal réalisées à l'IEMN. Finalement, des aspects préliminaires sur la fiabilité des composants sont abordés en observant les variations des performances électriques après des recuits successifs ainsi qu'en extrayant la résistance thermique de deux empilements GaN/Si.

Mot clés : HEMT ; GaN/Si ; bande Ka ; compatible CMOS ; grille

# Abstract

Scaling down transistor's dimensions for high frequency applications creates technological challenges in order to mitigate short channel effects and gate leakage. Moreover, the development of GaN on silicon technology with CMOS compatible process is the key to meet the requirements for large-scale production at a lower cost. In this manuscript, we review the major stakes for the evolution of GaN/Si technologies with CMOS process compatibility and we present the first HEMT on 200 mm silicon substrate for Ka band applications developed in CEA Leti. During the third chapter, the influence of processes on the electrical performance is studied through the comparison of different wafers and promising large-signal results are shown ( $PAE=40$  % and  $P_{out}=2,4$  W/mm at 30 GHz). Then, the transistors are characterized with small-signal measurements performed at IEMN, in order to identify the limiting factors for higher frequency applications. Finally, the last chapter present preliminary aspects on reliability with the evolution of electrical characteristics after cumulative annealing and the extraction of thermal resistance on two GaN on silicon stacks.

Keywords : HEMT ; GaN/Si ; Ka band ; CMOS compatibility ; gate



# Table des acronymes :

2DEG : Two Dimensional Electron Gas (i.e. gaz d'électrons bidimensionnel)

AC : Alternative Current (i.e. courant alternatif)

ACV : Analyse de Cycle de Vie

ALD : Atomic Layer Deposition (i.e. dépôt par couche atomique)

BV : Breakdown Voltage (i.e. tension de claquage)

CAD : Computer-Aided Design (voir CAO)

CAO : Conception Assistée par Ordinateur

CMOS : Complementary Metal Oxide Semiconductor

CMP : Chemical Mechanical Polishing (i.e. polissage mécano-chimique)

CPW : Coplanar Wave Guide (i.e. lignes coplanaires ou guides d'onde coplanaires)

DC : Direct Current (i.e. courant continu)

DIBL : Drain Induced Barrier Lowering (i.e. abaissement de la barrière de potentiel de grille par la polarisation de drain)

Ebeam lithography ou electron beam lithography (i.e. lithographie par faisceau d'électrons)

EDX : Energy Dispersive X-ray (ie. Spectroscopie à dispersion d'énergie de rayons X)

FET : Field Effect Transistors (i.e. transistor à effet de champs)

FIB : Focused Ion Beam (i.e. faisceau ionique focalisé)

$f_{\max}$  : Maximum oscillation frequency (i.e. fréquence maximale d'oscillation)

FoM : Figure of Merit (i.e. figure de mérite)

$f_T$  : Cutoff frequency (i.e. fréquence de coupure)

GaN : Nitrure de Gallium

GaAs : Gallium Arsenide (i.e. arséniure de gallium)

HAADF : High-angle annular dark-field en anglais (ie. détecteur champ sombre annulaire à grand angle)

HBT : Heterojunction Bipolar Transistor (i.e. transistor bipolaire à hétérojonction)

HEMT : High Electron Mobility Transistor (i.e. transistor à électrons de haute mobilité)

pHEMT : Pseudomorphique High Electron Mobility Transistor (nomenclature utilisée dans les technologies GaAs)

InP : Indium Phosphide (i.e. phosphure d'indium)

LDMOS : Laterally-Diffused Metal-Oxide Semiconductor

LED : Light Emitting Diode (i.e. diode électroluminescente)

LNA : Low Noise Amplifier (i.e. amplificateur faible bruit)

LPCVD : Low Pressure Chemical Vapor Deposition (i.e. Dépôt chimique en phase vapeur à basse pression)

MBE : Molecular Beam Epitaxy (i.e. épitaxie par jet moléculaire)

MESFET : Metal Semiconductor Field Effect Transistor (i.e. Transistor à effet de champ à grille Schottky)

MIS : Metal Insulator Semiconductor (i.e. Metal/Isolant/Semiconducteur)

MMIC : Monolithic Microwave Integrated Circuit (i.e. circuit intégré monolithique hyperfréquence)

MOCVD : Metal-Organic Chemical Vapor Deposition (i.e. dépôt en phase vapeur aux organométalliques)

MOS : Metal Oxide Semiconductor (i.e. Metal/Oxyde/Semiconducteur)

MOVPE : Metal-Organic Vapor Phase Epitaxy (i.e. épitaxie en phase vapeur aux organométalliques)

PA : Power Amplifier (i.e. amplificateur de puissance)

PAE : Power Added Efficiency (i.e. rendement en puissance ajoutée)

PCM : Process Control Monitor (i.e. mesure de contrôle des procédés de fabrication)

$P_{DC}$  : Power from direct current (i.e. puissance statique appliquée pour polariser le transistor)

$P_{IN}$  : Power In (i.e. Puissance RF en entrée du transistor)

$P_{OUT}$  : Power Out (i.e. puissance RF en sortie du transistor)

Radar : Radio Detection and Ranging

RF : Radiofréquence

RIE : Reactive Ion Etching (i.e. gravure ionique réactive)

SCE : Short Channel Effect (i.e. phénomène de grille courte)

SCM : Scanning Capacitance Microscopy (i.e. microscopie capacitive à balayage)

SSPA : Solid State Power Amplifier (i.e. amplificateur de puissance à l'état solide)

SSRM : Scanning Spreading Resistance Microscopy

STEM : Scanning Transmission Electron Microscopy (i.e. microscopie électronique en transmission à balayage)

TLM : Transmission Line Method

ToF-SIMS : Time of Flight Secondary Ion Mass Spectroscopy (i.e. spectroscopie de masse par temps de vol)

TWT : Travelling Wave Tube (i.e. tube à ondes progressives)

UID : Unintentionally Doped (i.e. non-intentionnellement dopé)

XPS : X-ray Photoelectron Spectroscopy (i.e. spectroscopie de photoélectrons)

# Table des Matières

---

---

<b>Remerciements :</b> .....	<b>IV</b>
<b>Résumé</b> .....	<b>VI</b>
<b>Abstract</b> .....	<b>VI</b>
<b>Table des acronymes :</b> .....	<b>VIII</b>
<b>Table des Matières</b> .....	<b>X</b>
<b>Introduction générale :</b> .....	<b>2</b>
<b>Chapitre 1 : Le développement des technologies à base de nitrure de gallium</b> .....	<b>4</b>
<b>1. Le nitrure de gallium</b> .....	<b>5</b>
a. Principales caractéristiques du nitrure de gallium .....	5
b. Les enjeux du développement de technologies GaN .....	10
c. Les applications des technologies à base de GaN .....	12
<b>2. Les amplificateurs de puissance radiofréquence</b> .....	<b>13</b>
a. Les radiofréquences et l'amplification de puissance .....	13
b. Les applications haute fréquence .....	16
<b>3. Les transistors pour l'amplification de puissance en bande Ka</b> .....	<b>19</b>
a. L'enjeu des substrats pour la technologie GaN .....	19
b. Architecture pour le fonctionnement haute fréquence .....	21
c. Epitaxie .....	23
d. Contact ohmique .....	25
e. Enjeux de la grille des transistors RF .....	27
f. Les acteurs .....	30
<b>4. Conclusion</b> .....	<b>33</b>

## **Chapitre 2 : Fabrication et caractérisation électrique des HEMT .... 36**

<b>1. Fabrication dans une salle blanche compatible CMOS.....</b>	<b>37</b>
a. Epitaxie .....	37
b. Brique d'isolation .....	38
c. Contact ohmique.....	38
d. Grille .....	40
e. Premier niveau d'interconnexion.....	40
f. Spécificités de la compatibilité CMOS .....	41
<b>2. Séquence de mesures électriques .....</b>	<b>43</b>
a. Structures de test.....	43
b. Mesure électrique statique (DC) .....	44
c. Mesures pulsées.....	44
d. Mesures petit-signal $S_{ij}$ .....	44
e. Mesures large-signal ou <i>load-pull</i> .....	45
<b>3. Conclusion .....</b>	<b>45</b>

## **Chapitre 3 : Influence des procédés de fabrication sur les performances électriques..... 46**

<b>1. Les procédés de fabrication de grille .....</b>	<b>48</b>
a. Formation du pied de grille .....	48
b. Empilement de grille .....	52
c. Tête de grille .....	60
d. Type de barrière .....	61
e. Conclusion.....	71
<b>2. Influence du recuit d'activation du dopage silicium .....</b>	<b>73</b>
a. Descriptions des wafers.....	73
b. Caractérisation électrique du 2DEG .....	74
c. Caractérisation électrique en blocage.....	77
d. Caractérisations physico-chimiques .....	80
e. Barrières de confinement alternatives .....	84
f. Conclusion.....	85

<b>3. Simulations TCAD d'architectures de grille avancées .....</b>	<b>86</b>
a. Description générale.....	86
b. Ajustements sur le wafer Ext 1 .....	88
c. Etude d'architectures de grilles avancées .....	89
d. Conclusion.....	92
<b>4. Conclusion du chapitre.....</b>	<b>92</b>
<b>Chapitre 4 : Mesures et modélisation radiofréquence .....</b>	<b>94</b>
<b>1. Schéma équivalent petit-signal .....</b>	<b>96</b>
a. Schéma équivalent et méthodologie d'extraction.....	96
b. Description des wafers étudiés .....	98
c. Extraction du schéma équivalent .....	99
d. Conclusion.....	110
<b>2. Extraction du temps de transit.....</b>	<b>111</b>
a. Méthodologie d'extraction .....	111
b. Etude des temps de transit .....	113
c. Conclusion.....	117
<b>3. Conclusion du chapitre.....</b>	<b>118</b>
<b>Chapitre 5 : Etudes préliminaires sur la fiabilité des transistors ..</b>	<b>120</b>
<b>1. Recuits cumulés en fin de fabrication .....</b>	<b>122</b>
a. Description de l'étude .....	122
b. Caractéristiques électriques après recuits successifs.....	123
c. Conclusion.....	129
<b>2. Résistance thermique d'empilements GaN sur silicium .....</b>	<b>130</b>
a. Description du protocole de mesure .....	130
b. Extraction de la résistance thermique .....	132
c. Conclusion.....	138
<b>3. Conclusion du chapitre.....</b>	<b>139</b>
<b>Conclusion générale et perspectives .....</b>	<b>140</b>
<b>Bibliographie .....</b>	<b>142</b>





# Introduction générale :

Depuis plusieurs dizaines d'années, de nombreux matériaux semi-conducteurs sont venus concurrencer le silicium pour des applications spécifiques. Le nitrure de gallium en fait partie, avec de nombreux axes de recherche concernant : l'optoélectronique avec la fabrication de LED bleues, l'électronique de puissance pour la conversion du signal électrique à fortes tensions ainsi que l'amplification de signaux radiofréquence. Les propriétés avantageuses de ce matériau ont permis son industrialisation avec des applications de plus en plus nombreuses dans des domaines de la vie courante [1], [2].

Dans le cas de l'amplification de puissance radiofréquence, ce sont notamment les bonnes propriétés de transport des électrons et la résistance du GaN à de forts champs électriques qui le rendent particulièrement intéressant. Le développement des technologies GaN est un sujet majeur car il recoupe des plusieurs intérêts. En premier lieu, le développement de ces composants présente un intérêt économique puisque le marché des composants GaN pour les radiofréquences pourrait atteindre 2 milliards de dollars en 2024, porté notamment par les télécommunications et les applications militaires [3]. Pour les domaines civils, cette évolution technologique devrait s'accompagner d'intérêts pour la société. Même si les exemples concrets d'application tardent à se matérialiser, les nouvelles générations de télécommunication (5G, 6G) devraient répondre à la multiplication du nombre d'objets connectés entre eux en augmentant la rapidité et en réduisant la latence de l'échange de données. L'utilisation des technologies GaN répond au besoin de rendement énergétique plus élevé qui est nécessaire alors que la production et l'approvisionnement en l'électricité deviennent des enjeux critiques [4]. Cependant, l'impact environnemental du développement et de la production de ces composants doit également être pris en compte pour quantifier le gain potentiel de l'utilisation de ces nouvelles technologies alors que la fabrication d'une seule plaque de composants sur substrat Si 200 mm dans un environnement compatible CMOS (noeud 130 nm) pourrait consommer jusqu'à 250 kg de matières premières et 300 L d'eau déionisée [5].

Le dernier intérêt concerne la souveraineté technologique des états qui a été mise au cœur des débats suite aux tensions diplomatiques et aux guerres qui ont éclaté ces dernières années. Alors que l'organisation de nos vies et de notre travail dépend de plus en plus des échanges de données, le développement des nouvelles générations de télécommunication par des entreprises étrangères s'avère risqué en cas de tension géopolitique avec le pays en question. Ce constat a poussé les Etats-Unis, le Japon et de nombreux pays européens à bannir, immédiatement ou à moyen terme, l'opérateur chinois Huawei de la mise en place de leur réseau 5G [6]. En plus de renforcer le contrôle des infrastructures d'un pays, ces décisions entrent dans des considérations de guerre économique où les états font pression sur les entreprises étrangères [7]. Cette observation est donc d'autant plus marquée dans le cas des applications militaires qui sont nombreuses pour les technologies GaN à haute fréquence. De nombreux pays investissent pour leur développement [8] dans un monde où les budgets liés à l'armement augmentent chaque année [9].

Aujourd'hui, les amplificateurs en bande Ka (~30 GHz) à base de nitrure de gallium utilisent essentiellement la technologie de transistor à haute mobilité (HEMT) GaN/SiC en raison de la qualité des épitaxies et des conductivité thermique et résistivité électrique élevées du SiC. Leurs

principaux désavantages sont le coût de fabrication et le manque de compatibilité de fabrication avec les technologies silicium (CMOS). La technologie GaN sur substrat de silicium 100 mm existe pour les bandes de fréquence inférieures et elle a démontré des performances très proches du GaN/SiC autour de 3 GHz [10]. Cette technologie présente alors deux axes de développement principaux : la montée en fréquence vers la bande Ka et au-delà, pour les applications de télécommunications terrestres et satellites, et le développement de technologies à bas coût sur substrat silicium de grand diamètre avec un procédé de fabrication compatible aux technologies silicium.

Pour le fonctionnement en bande Ka, la brique de grille des transistors GaN nécessite un dimensionnement plus compact avec une longueur plus courte ( $L_G \sim 150$  nm) et une barrière plus fine ( $< 10$  nm). L'utilisation de substrats silicium de grande taille requière le développement d'épitaxies qui génèrent un gaz bidimensionnel d'électrons (2DEG) peu résistif, un piégeage faible dans les couches sous le canal ainsi qu'une absence de pertes radiofréquence dans le substrat. La compatibilité avec les technologies CMOS implique de revoir entièrement les techniques de fabrication et les métallisations sans dégrader les performances.

Dans la suite de ce manuscrit, les premiers transistors fabriqués au CEA Leti pour l'amplification de puissance en bande Ka avec la technologie HEMT GaN sur substrat silicium de 200 mm sont étudiés.

Le premier chapitre rappelle l'histoire du nitrure de gallium et récapitule les enjeux du développement des technologies HEMT GaN pour ce type d'application. Le second chapitre décrit le procédé de fabrication des transistors depuis l'épitaxie jusqu'au premier niveau d'interconnexion. Les spécificités liées à la compatibilité de l'environnement CMOS et la séquence standard de caractérisation électrique sont également abordés. Au cours du troisième chapitre, l'influence des procédés de fabrication sur les performances électriques du transistor sont analysés en comparant plusieurs lots. Le chapitre 4 présente la caractérisation radiofréquence petit signal de deux plaques pour déterminer les axes d'amélioration pour le fonctionnement à plus haute fréquence des composants. Finalement, des aspects préliminaires de fiabilité des transistors sont détaillés dans le cinquième chapitre.

Ce travail de recherche s'est déroulé au CEA Leti à Grenoble dans le cadre du projet européen 5G GaN2 et du partenariat avec le III-V Lab. Il s'est également inscrit dans un partenariat avec l'IEMN à Lille et a été cofinancé par l'Agence Innovation Défense (AID) rattachée à la Direction Générale de l'Armement (DGA).

# 1

# Le développement des technologies à base de nitrure de gallium

Ce chapitre a pour but d'introduire le contexte de cette thèse en détaillant graduellement les différentes problématiques du sujet depuis les généralités du matériau GaN jusqu'au problématiques technologiques propres à la fabrication d'un HEMT GaN sur substrat Silicium pour des applications radiofréquence. La première partie décrit les principales caractéristiques de ce matériau ainsi que les domaines de notre vie pour lesquels il trouve des applications. Dans un second temps, un focus est fait sur les amplificateurs de puissance radiofréquence en abordant les technologies existantes ainsi que leurs applications. Finalement la troisième partie se concentre sur les problématiques électriques et les technologiques de la fabrication des transistors GaN de type HEMTs qui seront rencontrés dans la suite de ce manuscrit.

---

---

<b>1. Le nitrure de gallium.....</b>	<b>5</b>
a. Principales caractéristiques du nitrure de gallium.....	5
b. Les enjeux du développement de technologies GaN.....	10
c. Les applications des technologies à base de GaN .....	12
<b>2. Les amplificateurs de puissance radiofréquence .....</b>	<b>13</b>
a. Les radiofréquences et l'amplification de puissance .....	13
b. Les applications haute fréquence .....	16
<b>3. Les transistors pour l'amplification de puissance en bande Ka .....</b>	<b>19</b>
a. L'enjeu des substrats pour la technologie GaN .....	19
b. Architecture pour le fonctionnement haute fréquence .....	21
c. Epitaxie .....	23
d. Contact ohmique.....	25
e. Enjeux de la grille des transistors RF .....	27
f. Les acteurs .....	30
<b>4. Conclusion du chapitre .....</b>	<b>33</b>

---

---

# 1. Le nitrure de gallium

## a. Principales caractéristiques du nitrure de gallium

### i. Propriétés cristallines

En physique des semi-conducteurs, les éléments chimiques dit éléments de type III appartiennent à la 13<sup>ème</sup> colonne du tableau périodique actuel. Cette colonne est d'ailleurs la 3<sup>ème</sup> du tableau périodique si on se réduit aux 18 premiers éléments. L'azote de symbole N appartient lui à la 15<sup>ème</sup> colonne du tableau périodique complet ou à la 5<sup>ème</sup> du tableau périodique réduit. Il est donc communément appelé de type V. A l'état cristallin, la structure la plus stable des nitrures d'éléments III (AlN, GaN, AlGaN, InGaN, AlGaInN) est la structure Wurtzite. Dans une maille idéale, les atomes de l'élément III et ceux de l'azote sont donc organisés en deux mailles hexagonales décalées de 5/8<sup>ème</sup> de la maille élémentaire (Figure 1) [11].

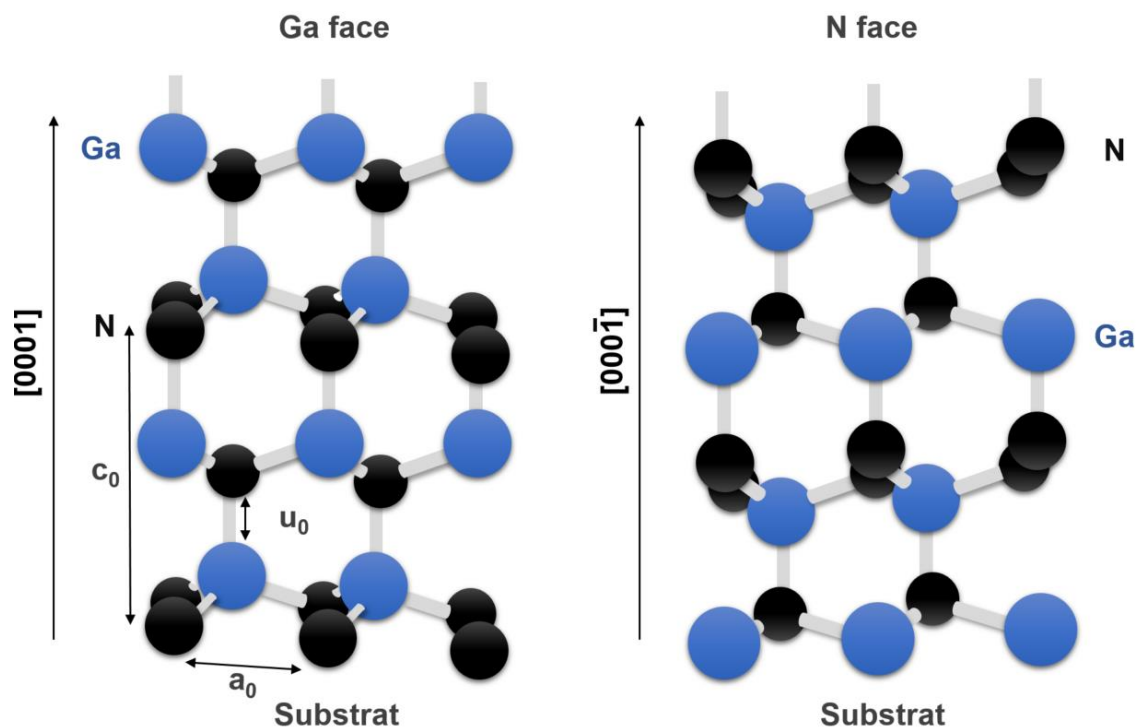


Figure 1 : Représentation schématique d'une structure Wurtzite sans effet piézoélectrique a) selon une croissance Ga-face et b) selon une croissance N-face.

La maille hexagonale est caractérisée par trois grandeurs  $a_0$ ,  $u_0$  et  $c_0$ . La première est la distance entre deux atomes de la base de la maille hexagonale. La seconde est la distance interatomique entre deux atomes de nature différente. La troisième correspond à la hauteur de la maille élémentaire. Ces distances dépendent de la nature de l'élément de type III (Ga, Al, In) et sont référencées dans le Tableau 1. Ces grandeurs caractéristiques de la maille cristalline varient également pour les alliages ternaires selon la quantité de chaque atome de type V. Pour déterminer ces grandeurs, la loi empirique de Vegard qui utilise les fractions molaires de chaque atome est utilisée. Cette différence de paramètre de maille cristalline entre ces matériaux trouve deux applications principales. Premièrement, cela permet un choix pertinent des couches de nucléations car les substrats de GaN sont rares, limités en taille et chers donc on utilise généralement l'hétéro-

épitaxie de III-N sur substrats de SiC, Si ou saphir. Deuxièmement, les matériaux III-N ont des propriétés piézo-électriques (voir partie ii) et l'épitaxie de couches avec des paramètres de maille différents induit des contraintes dans le matériau qui créent un champ électrique. Ce champ électrique est à l'origine de la formation de gaz de porteurs libres avec de bonnes propriétés de transport électronique.

	AlN	GaN	InN
$a_0$ (Å)	3,11	3,19	3,55
$c_0$ (Å)	4,98	5,19	5,7
$u_0$ (Å)	0,380	0,378	0,377

Tableau 1 : Paramètres de maille des matériaux III-N [11]

## ii. Polarisation du cristal

L'électronégativité caractérise le pouvoir que possède un atome d'attirer vers lui les électrons engagés dans une liaison chimique avec un autre atome. L'azote est un atome avec une forte électronégativité par rapport aux éléments III (3,04 pour contre 1,61 et 1,81 pour Al et Ga sur l'échelle de Pauling). Le décalage de la densité électronique vers l'atome d'azote rend les liaisons du cristal polaires. Les charges ne sont pas réparties symétriquement dans la maille cristalline et comme la maille hexagonale ne possède pas de symétrie centrale, la somme des polarisations des liaisons III-N engendre à l'échelle macroscopique une polarisation spontanée du cristal, notée  $P_{SP}$ . La direction de cette polarisation spontanée selon l'axe  $c$ , dépend de la polarité de la croissance : Ga-face ou N-face (Figure 1).

La structure cristalline Wurzite sans symétrie centrale rend également les composés III-N piézoélectriques. Cela veut dire que lorsque le cristal est soumis à une contrainte mécanique, la déformation du cristal engendre une polarisation dite piézoélectrique et notée  $P_{PZ}$ . A l'inverse, lorsque le cristal est soumis à un champ électrique, ce dernier induit une déformation du cristal. Les effets piézoélectriques sont étudiés depuis plusieurs dizaines d'années et trouvent de nombreuses applications telles que les résonateurs (montres à quartz), les transducteurs acoustiques [12] (microphone et haut-parleur) ou encore des capteurs [13]. Mais dans les composants électroniques à base de GaN, cette propriété est utilisée en faisant croître des hétérostructures de matériaux III-N avec des paramètres de maille différents pour que la contrainte dans l'empilement engendre un fort champ électrique à l'interface. Si la somme des polarisations spontanées et piézoélectrique est non nulle, le champ électrique résultant attire des charges à l'interface avec de bonnes propriétés de transport (voir partie iii). C'est cette propriété qui est utilisée dans les transistors à forte mobilité électronique à base de GaN (ou HEMT pour *High Electron Mobility Transistor* en anglais) qui sont étudiés dans la suite de ce manuscrit.

## iii. Transport électronique

Les charges mobiles induites dans les hétérostructures III-N, notamment AlGaN/GaN, sont donc localisées à l'interface entre les deux matériaux. Ce plan conducteur est appelé gaz bidimensionnel d'électrons (ou 2DEG pour *Two Dimensional Electron Gaz* en anglais). L'intérêt de ce gaz d'électrons est sa forte densité surfacique ( $n_s$ ) additionnée ses bonnes propriétés de transport

(mobilité  $\mu$  et vitesse de saturation  $v_s$ ) qui lui confèrent une faible résistivité de couche et un fort niveau de courant. La diminution des résistances caractéristiques du composant microélectronique et la vitesse de saturation élevée permettent le fonctionnement à haute fréquence et la diminution des pertes par effet Joule. Dans le cas des hétérostructures AlGaN/GaN, la densité surfacique du gaz d'électron dépend principalement de la concentration en aluminium et de l'épaisseur de la couche AlGaN [14]. Au niveau de la structure de bande, l'accumulation de charge créée par l'hétérostructure abaisse la bande de conduction du GaN et forme un puits de potentiel pour les électrons (Figure 2). La densité surfacique atteinte est généralement de l'ordre de  $10^{13} /\text{cm}^2$  et la mobilité faible champ peut atteindre des valeurs supérieures à  $2000 \text{ cm}^2/\text{V/s}$  à 300 K.

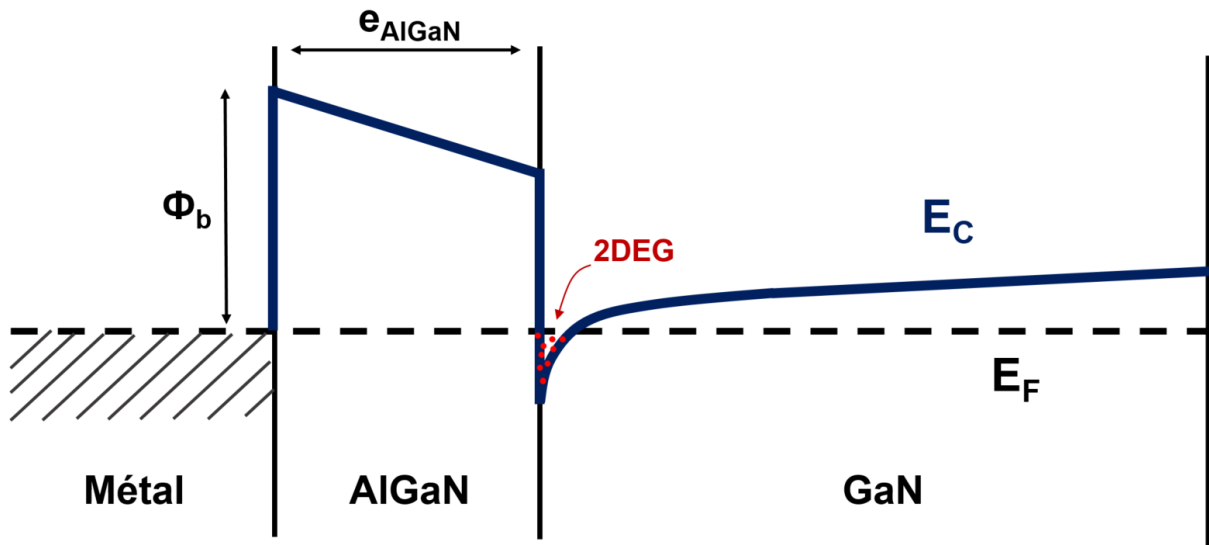


Figure 2 : Représentation schématique de la structure de bande de conduction ( $E_C$ ) pour une structure métal/AlGaN/GaN dans le cas d'une croissance face Ga.  $e_{\text{AlGaN}}$  représente l'épaisseur de barrière,  $E_F$  le niveau de Fermi et  $\Phi_b$  la hauteur de barrière Schottky.

Ces caractéristiques sont supérieures à celles des technologies Silicium, cependant elles restent inférieures à celle des technologies GaAs et InP qui restent mieux adaptées pour les applications très haute fréquence et faible tension.

Dans le cas de l'amplification de puissance, le transistor est polarisé sous de fortes tensions et les électrons sont accélérés par de forts champs électriques. La relation linéaire entre champ électrique et la vitesse des porteurs n'est donc plus valable et les porteurs atteignent une vitesse de saturation notée  $v_s$ . Cette caractéristique est très importante car elle impacte directement le courant de drain maximum du transistor et la fréquence de coupure par la relation :

$$f_T \approx \frac{v_s}{2\pi L_{G,eff}} \quad (1)$$

Où  $L_{G,eff}$  est la longueur effective de grille qui est plus élevée que la longueur métallurgique de la grille  $L_G$

Dans le cas des hétérostructures AlGaN/GaN, la vitesse de saturation peut atteindre une valeur maximale théorique de l'ordre de  $2,5 \times 10^7 \text{ cm/s}$  contre  $10^7 \text{ cm/s}$  dans le Silicium.

#### iv. Bande interdite

Suivant les travaux de Rutherford et Bohr, de nombreux chimistes tels que Pauli, Klechkowski ou Hund ont permis de déterminer que les électrons d'un atome se répartissent dans les orbitales atomiques qui ont des niveaux d'énergie définis. Dans le cas de la formation des molécules, ces orbitales atomiques interagissent pour former des orbitales moléculaires. Pour un cristal, le caractère répétitif de la maille du semi-conducteur et sa symétrie induisent des zones d'énergie pour lesquelles les états électroniques forment un continuum et d'autres où il n'existe aucun état accessible. On parle alors de bandes de conduction ou de valence pour les zones contenant un très grand nombre d'états, et de bande interdite pour la zone ne contenant aucun niveau d'énergie accessible. Cette structure de bande est un paramètre primordial des matériaux semi-conducteurs car elle caractérise de

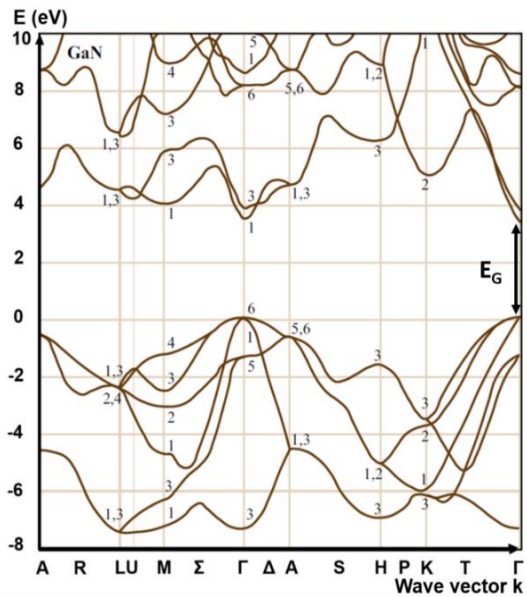


Figure 3 : Diagramme de bande du GaN [9]

nombreuses propriétés physiques. Le gap est l'énergie séparant le minimum de la bande de conduction au maximum de la bande de valence. Cette énergie de bande interdite est proportionnelle au champ électrique maximal que peut supporter le matériau. Avec un gap de 3,4 eV, le GaN est le candidat idéal pour les applications de puissance nécessitant de fortes tensions en comparaison au silicium et au GaAs qui présentent des gaps de 1,1 eV et 1,43 eV respectivement [11]. Si ces extremums des bandes de conduction et de valence sont situés sur le même vecteur d'onde, le gap est direct. Dans le cas inverse, il est indirect. Cette propriété est importante pour l'émission ou l'absorption de photon pour les applications optoélectroniques. Le gap direct de 3,4 eV du GaN (Figure 3) a permis la démonstration des premières diodes électroluminescente (ou LED pour *Light Emitting Diode* en anglais) bleues [15]. Les alliages ternaires à base de matériaux III-N permettent également de fabriquer des matériaux avec des gaps émettant depuis l'infrarouge jusqu'à l'ultraviolet profond en balayant toute la gamme du visible. Enfin, la structure et la courbure des bandes sont directement reliées aux propriétés de transport du matériau abordées dans la partie iii.

#### v. Conductivité thermique

Plus l'application visée requiert une forte puissance, plus la puissance dissipée par effet Joule dans le composant est grande. Si le GaN est un candidat idéal pour les applications de puissance grâce à son fort champ de claquage, il est cependant nécessaire d'évacuer efficacement la chaleur générée par le fonctionnement du composant. Dans le cas d'applications radiofréquence, la puissance dissipée peut s'exprimer en fonction de l'efficacité de l'amplification de puissance (ou PAE pour *Power Added Efficiency* en anglais) selon la formule :

$$P_{diss} = P_{DC} (1 - PAE) \quad \text{avec} \quad PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2)$$



Où  $P_{DC}$  représente la puissance apportée par la polarisation statique et  $P_{in}$  et  $P_{out}$  représentent la puissance RF en entrée et en sortie respectivement.

Il est donc nécessaire de maximiser l'efficacité d'amplification et d'utiliser des matériaux avec une grande conductivité thermique pour ne pas dégrader les performances électriques et la fiabilité à cause d'une augmentation critique de la température. Le GaN possède une conductivité thermique comparable au Silicium mais trois fois supérieure à celle du GaAs (Tableau 2). Cet avantage est important mais comme nous le verrons dans la suite de ce manuscrit, la structure épitaxiale, le choix du substrat et l'intégration du transistor dans un circuit intégré sont également cruciaux pour optimiser la dissipation thermique.

## vi. Figures de mérite

Afin de comparer le potentiel de chaque matériau pour une application donnée, des figures de mérite (ou FoM pour *Figure of Merit* en anglais) sont calculées avec les caractéristiques les plus importantes pour cette application.

Dans le cas de la commutation de puissance, les composants doivent supporter des champs électriques très intenses et avoir la résistance à l'état passant la plus faible possible pour limiter les pertes énergétiques et l'auto-échauffement. C'est la figure de mérite de Baliga [16], proposée en 1983, qui est la plus répandue pour les composants verticaux. Elle est donnée par la relation :

$$BFoM = \varepsilon_0 \cdot \varepsilon_r \cdot \mu \cdot E_{crit}^3 \quad \text{exprimée en W/m}^2 \quad (3)$$

Où  $\varepsilon_0$  est la permittivité diélectrique du vide,  $\varepsilon_r$  la permittivité relative du matériau,  $\mu$  est la mobilité des électrons ou des trous et  $E_{crit}$  est le champ maximum avant effet d'avalanche.

Concernant les applications d'amplification à haute fréquence, c'est la figure de mérite de Johnson [17] qui dépend de la vitesse de saturation des porteurs et également du champ critique qui est la plus pertinente. Cette figure de mérite retranscrit donc la capacité d'un matériau à soutenir de fortes densités de puissance à haute fréquence. Introduite en 1965, elle est donnée par la relation :

$$JFoM = \frac{v_s \cdot E_{crit}}{2\pi} \quad \text{exprimée en MV/s ou U.A en normalisant par rapport au Silicium} \quad (4)$$

Selon ce critère, le GaN est plus de 40 fois plus performant que le Silicium et plus de 15 fois supérieur au GaAs également. Mais si ces figures de mérite permettent de souligner le potentiel d'un matériau pour une application donnée, il faut garder à l'esprit qu'elles simplifient énormément le domaine étudié. Premièrement, les valeurs utilisées sont des valeurs théoriques maximales qu'il est très difficile d'atteindre à cause des imperfections du matériau utilisé et des défauts créés par les procédés de fabrication. Ensuite, les performances électriques à haute fréquence ne dépendent pas que des deux caractéristiques données dans cette équation. Enfin, cela dépend également de la maturité de la technologie, de la faisabilité des procédés de fabrication, de l'intégration avec les technologies déjà existantes et évidemment du coût final de production du composant. Par exemple, la figure de mérite de Johnson souligne que le GaN est bien plus performant que le GaAs car le faible gap de ce dernier ne permet pas de le polariser à de fortes tensions. Cependant ces technologies sont développées depuis plus longtemps que les technologies GaN et elles sont largement répandues. Les principales propriétés physiques de plusieurs semiconducteurs sont référencées dans le Tableau 2.

	Si	GaN	GaAs	4H-SiC
$E_G$ (eV)	1,1	3,4	1,4	3,3
$E_{crit}$ (MV/cm)	0,3	5	0,4	3
$\epsilon_r$ (basse fréquence)	11,7	13,1	12,9	9,6
$\mu_n$ (cm <sup>2</sup> /V/s)	1350	2000	8000	720
$v_{sat} \times 10^7$ (cm/s)	1,0	2,5	2,0	0,8
Conductivité thermique (W/cm/K)	1,5	1,3	0,5	3,7
JFoM (normalisé Si)	1	41,7	2,7	8

Tableau 2 : Récapitulatif des valeurs limites théoriques de différents semiconducteurs.

## b. Les enjeux du développement de technologies GaN

### i. L'approvisionnement en matière première

Si l'azote est abondamment présent autour de nous puisqu'il représente 78% de l'air, le gallium n'est présent qu'en faible quantité dans la bauxite et dans les minerais de zinc. Son utilisation dans les technologies de semiconducteurs à partir des années 1970, via les composés binaires GaAs d'abord puis GaN ensuite, a augmenté l'intérêt porté à ce métal. La bauxite fut découverte en France au XIX<sup>ème</sup> siècle, par le minéralogiste Pierre Berthier sur la commune des Baux-de-Provence qui lui a inspiré son nom. Jusqu'au milieu du XX<sup>ème</sup> siècle, la France était un extracteur important de bauxite dans les départements du Var, de l'Hérault et des Bouches du Rhône [18] (Figure 4a). D'importants gisements ont ensuite été découverts au Suriname, aux Etats-Unis, en Australie ou en Guinée. Avec la mondialisation des échanges et une production moins coûteuse sur certaines exploitations, souvent liée à de moins bonnes conditions de travail, l'extraction française est devenue moins rentable et s'est peu à peu éteinte. Aujourd'hui il ne reste que 2 mines en activité en France, elles sont situées dans l'Hérault et elles fournissent principalement l'industrie du ciment [19]. L'exploitation du minerai ne revient pas forcément au pays dans lequel est située la mine. En effet, la transformation vers des produits de très haute pureté, nécessaires pour la fabrication de cristaux semiconducteurs, implique souvent de longs trajets pour ces métaux ce qui augmente les risques pour l'approvisionnement en matériau [20]. La Chine est le premier producteur de gallium de faible pureté (99,99%) et fait également partie des plus gros producteurs de gallium de haute pureté avec le Japon, la Slovaquie et les Etats-Unis [21]. En Europe, l'Allemagne, la Hongrie et l'Ukraine ont stoppé leur production entre 2015 et 2019. Mais les tensions géopolitiques et les guerres ont poussé l'Union Européenne à lister les matériaux stratégiques présentant des risques dans la chaîne d'approvisionnement dont le gallium fait partie [22]. La production Allemande de Gallium a donc redémarré pour limiter ce risque [21] (Figure 4b). Cet intérêt croissant pour ce matériau pousse également des travaux pour extraire le gallium avec de nouvelles méthodes à partir de procédés chimiques moins coûteux, moins polluants ou à partir de résidus de minerais déjà exploités [23]–[25]. Le développement des technologies GaN soulève donc des enjeux de commerce mondial et de géopolitique pour répondre à la problématique d'accès aux matières premières.

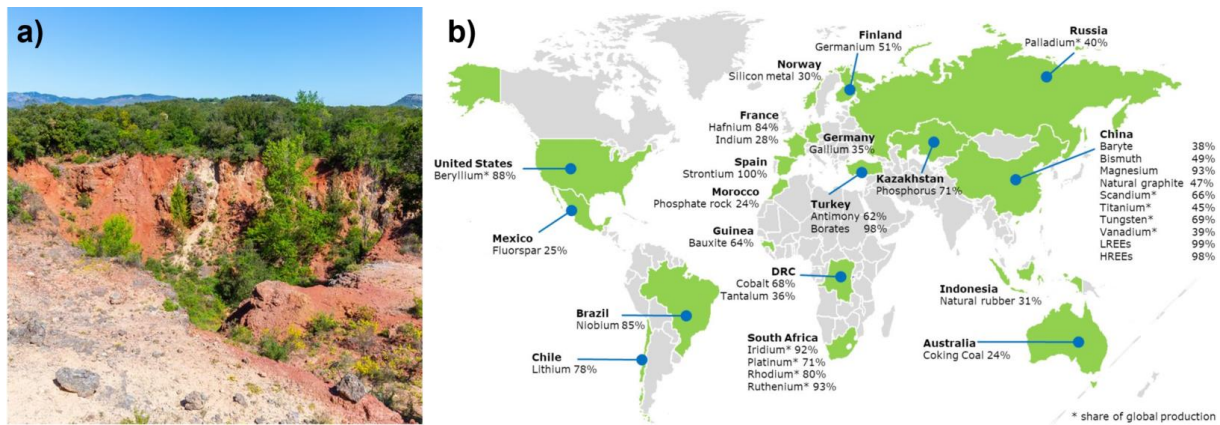


Figure 4 : a) Ancienne mine de bauxite dans l'Hérault [26]. b) Les plus importants fournisseurs de matériaux "critiques" de l'Union Européenne (extrait de [22]).

## ii. Impacts de la fabrication et de l'utilisation des transistors GaN

L'un des objectifs principaux du nouveau programme de recherche et d'innovation de l'union européenne sur la période 2021-2027, intitulé Horizon Europe, consiste à « *contribuer à répondre aux problématiques mondiales, dont les objectifs de développement durable* » [27]. De même, l'une des missions du CEA est de « *conduire des recherches présentant des enjeux stratégiques et sociétaux majeurs* » en proposant « *des solutions innovantes, durables et abordables, répondant aux défis de demain* » [28].

Nous avons vu dans la partie précédente que le GaN présente des caractéristiques physiques très intéressantes pour plusieurs applications. Le développement de ces technologies pourrait donc avoir un impact sociétal en modifiant nos façons de vivre (télétravail généralisé, télémédecine...) et en répondant à une possible augmentation des échanges de données (densification du nombre d'objets connectés) [29]. Pour bien comprendre ces impacts, il faut donc mener des études en sciences humaines et sociales sur les besoins de la population et faire des projections sur l'utilisation de ces nouvelles technologies.

La fabrication et l'utilisation de ces composants nécessitent une quantité importante de ressources et d'énergie qui génèrent des impacts environnementaux. La technique la plus répandue et la plus fiable pour estimer les impacts environnementaux est l'analyse de cycle de vie (ou ACV). Ce type d'analyse prend en compte les différentes étapes de la vie du composant, elle étudie les flux entrants, c'est-à-dire les éléments utilisés pour la fabrication, l'utilisation et la fin de vie, ainsi que les flux sortants qui sont les produits et émissions dans l'environnement générés par ces étapes. L'ACV permet d'identifier les étapes les plus impactantes, et donc de travailler à réduire ces impacts. Cette méthode est normalisée (ISO 14040 à 14043) ce qui permet également de comparer les différentes technologies entre elles [30]. L'ACV peut être utilisée comme aide à la décision afin de trouver un compromis entre coût, performance et impact environnemental [31]. Les données sur l'impact du cycle de vie des composants microélectroniques sont encore partielles mais l'intérêt qui leur est porté est croissant. Par exemple, on peut noter que la réduction des nœuds des technologies CMOS, de 350 nm à 32 nm, a augmenté par 10 la consommation d'énergie et multiplié par 3 la production de d'équivalent CO<sub>2</sub> par puce fabriquée [5]. Si les ACV permettent d'obtenir des ordres de grandeur intéressants, elles présentent également plusieurs limites notamment l'accès à des bases de données fiables et complètes, la prise en considération de toutes les étapes du cycle de vie ou

encore la projection de l'utilisation finale. Ces études sont donc nécessaires au développement de nouvelles technologies pour comprendre et comparer les différents impacts mais elles nécessitent un temps considérable pour créer et analyser les bases de données sur la consommation de gaz, de métaux, de produits chimiques ou d'énergie.

Les travaux présentés dans la suite de ce manuscrit se focalisent sur les problématiques technologiques du développement de HEMT GaN pour atteindre des performances électriques à l'état de l'art avec des substrats silicium 200 mm et procédés de fabrications compatibles CMOS.

Des études complémentaires seront à mener sur les impacts sociétaux et environnementaux de ces développements technologiques afin de s'assurer qu'ils répondent bien aux enjeux sociétaux et aux défis de demain, et d'améliorer leur durabilité.

## c. Les applications des technologies à base de GaN

### i. Optoélectronique

L'optoélectronique est le domaine regroupant toutes les technologies de composants électroniques capables d'émettre ou de détecter des rayonnements. C'est probablement l'application la plus connue car un prix Nobel a été décerné sur cette thématique aux trois chercheurs japonais Isamu Akasaki, Hiroshi Amano et Shuji Nakamura en 2014. Leurs travaux sur la croissance et le dopage des matériaux III-N dans les années 1990 ont permis de démontrer la fabrication des premières LED émettant dans le bleu (Figure 5). Les recherches autour de ces matériaux se sont ensuite accélérées avec le développement de dispositif émettant dans toute la gamme du visible et au-delà grâce à la grande variété de largeur de bande interdite des alliages III-N à base d'Indium, d'Aluminium et de Gallium. Leurs performances avantageuses ont permis à ces technologies d'atteindre de nombreux marchés [32]–[34]. Ces développements continuent pour améliorer la fiabilité et les rendements lumineux afin d'atteindre les performances théoriques limites pour ce matériau. Un autre aspect important de développement est la diminution des coûts de fabrication pour rendre ces technologies encore plus compétitives. L'utilisation de substrat Silicium de plus grand diamètre que les substrats saphir et SiC est notamment mise en avant [35].

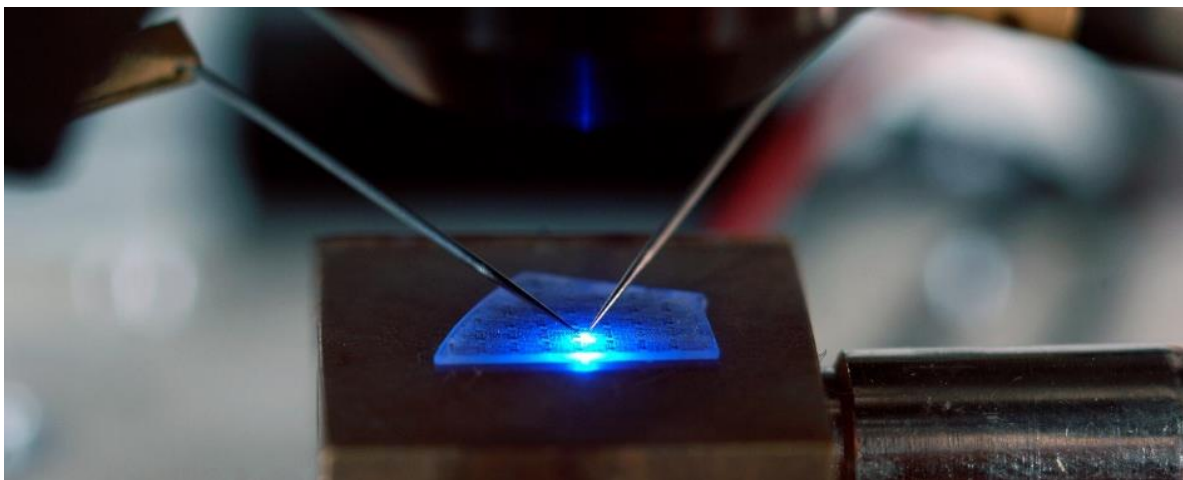


Figure 5 : Test sous pointes d'une LED bleue (Crédit : P.Avavian via Photothèque CEA)

## **ii. Commutation de puissance**

Dans le monde une personne sur sept n'a toujours pas accès à l'électricité mais cela n'a pas empêché la consommation mondiale d'énergie électrique d'être plus que doublée depuis les années 90. En France cette consommation s'est stabilisée depuis les années 2000 [36] car le secteur industriel ne s'est pas étendu et les objets consommant l'énergie électrique ont gagné en efficacité (éclairage, chauffage). Mais au niveau mondial, cette consommation continue d'augmenter et la diversification de nos usages (informatique, voiture électrique) ne semble pas indiquer de déclin à venir malgré les répercussions sur notre environnement [37]. Cette énergie électrique est produite dans des centrales à énergie fossile ou renouvelable puis elle est transportée à travers les territoires via des lignes à très haute tension pour minimiser les pertes pendant cet acheminement. Autour des villes et des zones industrielles, cette énergie électrique subit plusieurs transformations afin d'obtenir la tension d'utilisation souhaitée : par exemple 230 V pour les usages domestiques en France. De par ses propriétés physiques abordées plus haut (cf. partie 1.a.iv), le GaN est le candidat idéal pour ces applications de transformation en dessous de 900 V. Le marché du GaN de puissance ne cesse d'augmenter et ce matériau s'impose peu à peu comme une alternative intéressante pour les applications nécessitant de très gros volumes de production.

## **iii. Radiofréquence**

La troisième application principale des technologies à base de nitrure de gallium est reliée au domaine des radiofréquences. Avec l'accroissement vertigineux des échanges de données sans fils (quasiment 5 milliards d'utilisateurs d'internet en 2021), les télécommunications sont devenues un domaine central de notre vie quotidienne. Les développements techniques et les nouveaux matériaux rendent accessible de nouvelles gammes de longueur d'onde pour un partage de données plus rapide et plus efficace énergétiquement. Comme la figure de mérite de Johnson le souligne, le GaN présente des avantages pour ces applications haute fréquence à forte puissance. Les composants étudiés dans la suite de ce manuscrit sont destinés pour des applications autour de 30 GHz. Différentes utilisations de ces composants radiofréquence sont détaillées dans la partie 2.b.

# **2. Les amplificateurs de puissance radiofréquence**

## **a. Les radiofréquences et l'amplification de puissance**

### **i. Les ondes Hertziennes**

C'est en 1888 que l'Histoire des radiofréquences débute. Cette année-là, Heinrich Hertz observe expérimentalement la propagation d'ondes électromagnétiques dans l'air prédites par la théorie de James Clerk Maxwell quelques années auparavant. Lorsqu'elles se propagent dans l'air, sans guide d'onde solide, on les appelle ondes radioélectriques ou encore ondes Hertziennes en hommage au physicien allemand qui les a découvertes. Ces radiofréquences décrivent la partie du spectre des ondes électromagnétiques possédant une fréquence comprise entre 3 kHz et 300 GHz [38]. Elles sont donc de même nature que les rayonnements infrarouges, la lumière visible ou encore les rayons X (Figure 6). La différence entre ces gammes de rayonnement est leur fréquence

(et donc leur longueur d'onde) qui est directement reliée à leur énergie et à l'interaction de cette onde avec la matière.

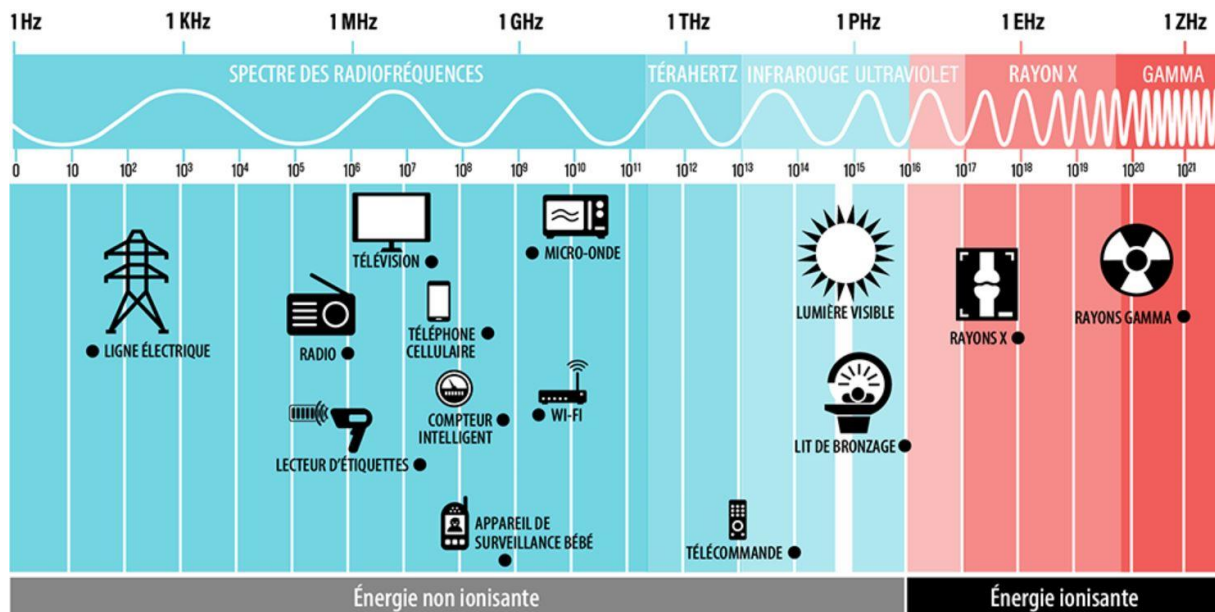


Figure 6 : Spectre des ondes électromagnétiques en fonction des applications (extrait de [39]).

Ces ondes Hertziennes sont elles-mêmes découpées en plusieurs bandes de fréquences mais plusieurs appellations existent en fonction de la longueur d'onde, des applications ou par habitude. Par exemple, les signaux possédant une fréquence comprise entre 30 GHz et 300 GHz sont communément appelés ondes millimétriques puisque leur longueur d'onde est comprise entre 10 mm et 1 mm. La nomenclature IEEE [40] découpe la gamme 1 GHz – 300 GHz pour différencier les technologies de radar dans cette gamme de fréquences (Figure 7). Enfin la bande de 1 GHz à 300 GHz est également couramment appelée gamme hyperfréquence ou gamme micro-ondes (ou *microwave* en anglais).

L'avantage des radiofréquences est que le signal n'interagit presque pas avec l'atmosphère hormis quelques fréquences qui excitent des modes de vibrations des molécules d'eau. Cependant il faut garder à l'esprit que l'atténuation du signal augmente avec la fréquence à cause de l'augmentation des pertes diélectriques. Les radiofréquences sont donc bien adaptées pour l'émission radio, les télécommunications satellites ou la détection radar. L'utilisation des fréquences supérieures au Gigahertz regroupe deux nouveaux intérêts. Premièrement, le débit binaire maximal représente la quantité d'information que peut contenir le signal et ce débit est proportionnel à la fréquence. Donc quand la fréquence augmente, la quantité d'information transportée augmente également. Deuxièmement, quand la fréquence augmente, le signal est plus directif pour une même dimension d'antenne. Cette caractéristique permet de travailler avec des dispositifs d'émission à formation de faisceau (ou *beamforming* en anglais) plus compacts et qui sont plus efficaces énergétiquement puisqu'ils n'émettent pas de manière isotrope.



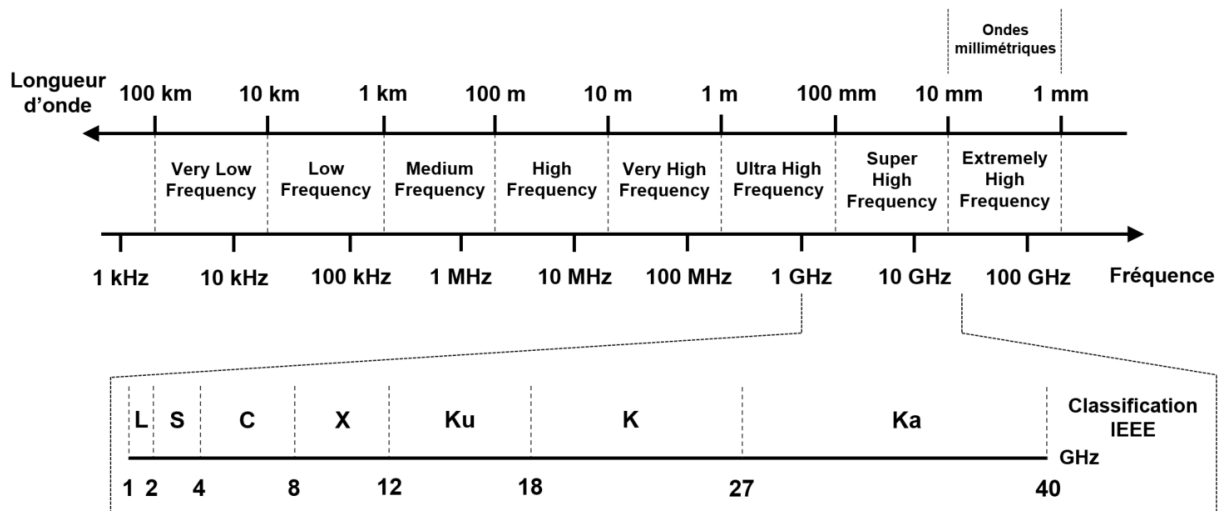


Figure 7 : Classification des différentes gammes de radiofréquences en fonction de leur fréquence.

## ii. L'amplification de puissance

Dans certaines applications, le signal radiofréquence nécessite d'être amplifié. Lors de l'envoi d'un signal d'une antenne vers une autre, la distance entre l'émetteur et le récepteur détermine la puissance requise pour que le signal soit détectable. Dans ce cas, un amplificateur est utilisé juste avant l'antenne émettrice et un autre est utilisé juste après l'antenne réceptrice pour compenser les pertes de transmission dans l'atmosphère. Chaque application nécessite donc des caractéristiques différentes en terme de : puissance de sortie, d'efficacité énergétique de l'amplification, de linéarité, de facteur de bruit, de bande passante (qui définit la gamme de fréquence sur laquelle l'amplificateur peut être utilisé), de compacité, de poids ou encore de fiabilité.

Les premiers amplificateurs de puissance radiofréquence, qui ont été développés dans la première moitié du 20<sup>ème</sup> siècle, utilisent les technologies de tubes à vide. Le principe général repose sur l'émission d'un faisceau d'électron modulé par des champs électriques ou magnétiques. Différentes architectures ont été développées et on retrouve trois familles principales : le magnétron, le klystron et le tube à ondes progressives (ou TWT pour *Travelling Wave Tube* en anglais). A partir des années 1970, les technologies semiconducteurs ont permis de fabriquer des amplificateurs radiofréquence à l'état solide (ou SSPA pour *Solid State Power Amplifier* en anglais) qui sont venus peu à peu concurrencer ces technologies de tube à vide. Pour les applications embarquées, les amplificateurs à l'état solide présentent l'avantage d'être plus compacts et plus légers. L'augmentation forte de la production d'amplificateurs pour les télécommunications a également permis de rendre ces technologies compétitives en termes de prix. A travers les différents matériaux utilisés, les amplificateurs à base de semiconducteurs couvrent maintenant la plupart des gammes de fréquences et de puissance.

La technologie LDMOS (pour *Lateral-Diffused Metal Oxide Semiconductor*) à base de Silicium est la technologie qui est la plus largement vendue. Elle bénéficie d'une très grande maturité technologique et d'un coût de production faible. Ces transistors pour l'amplification de puissance radiofréquence dominent le marché pour des applications jusqu'à quelques Gigahertz [41]. Les limites physiques du silicium devraient pénaliser cette technologie pour les plus hautes fréquences et les plus hautes puissances mais elle continue de s'améliorer et elle pourrait continuer à jouer un rôle important dans le domaine des radiofréquences. Le GaAs est la deuxième technologie d'amplificateur

à base de semiconducteurs la plus mature notamment à partir de la bande X et au-delà (Figure 8a). Les premiers transistors à base de GaAs étaient des transistors à effets de champ ou MESFET mais avec le développement des épitaxies d'hétérostructures AlGaAs/GaAs, ces derniers ont été remplacé depuis par les pHEMT et mHEMT (pour pseudomorphique ou métamorphique HEMT) qui présentent de meilleures performances (Figure 8b) [42]. Le principal désavantage de ce matériau reste son faible gap et sa mauvaise conductivité thermique qui limitent grandement son utilisation pour des puissances élevées. A moyen terme, les technologies de transistors bipolaire à hétérojonction (ou HBT pour *Heterojunction Bipolar Transistor* en anglais) à base de phosphure d'indium (InP) pourraient adresser les applications pour les fréquences à partir de 100GHz et jusqu'au TeraHertz. Comme vu dans la partie 1.b.iii, le nitrure de gallium est pertinent pour les applications nécessitant une forte puissance et travaillant à des fréquences comprises entre quelques GHz et plusieurs dizaines de GHz (Figure 8c). L'amélioration de cette technologie permet d'atteindre des fréquences au-delà de 100 GHz.

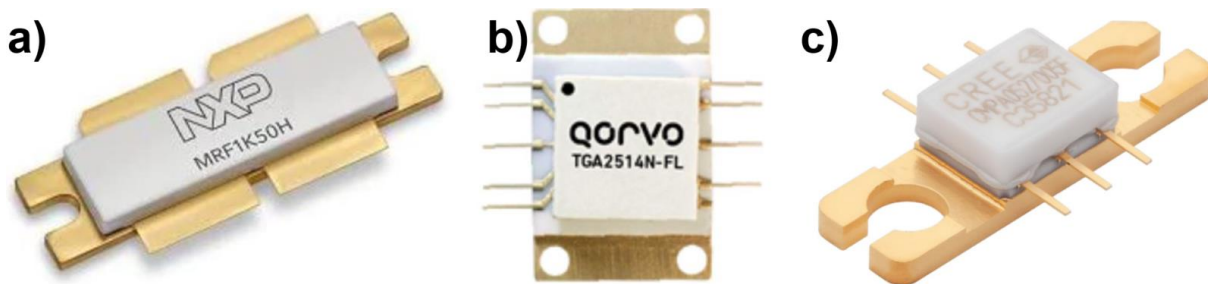


Figure 8 : a) Amplificateur de puissance à base de technologie LDMOS fabriqué par NXP. b) Amplificateur de puissance à base de pHEMT GaAs de Qorvo. c) Amplificateur de puissance en technologie GaN de chez Wolfspeed.

## b. Les applications haute fréquence

### i. Les futures générations de télécommunication

Dans les années 1980, la première génération de télécommunications sans fil s'est développée. A cette époque, la transmission des signaux via le réseau était peu stable et très chère. Depuis, de nombreuses technologies de télécommunication se sont succédé avec l'émergence d'une nouvelle génération tous les 10 ans environ. Les discussions et le partage de données en direct font maintenant partie intégrante de la vie de milliards de personnes à travers le monde et la 5<sup>ème</sup> génération (5G) a commencé son déploiement dans les pays les plus riches. Ce nouveau standard utilisera dans un premier temps des bandes de fréquences exclusives au protocole autour de 3,5 GHz en s'appuyant sur le réseau déjà existant de la 4G. La deuxième phase du déploiement utilisera des bandes de fréquences autour de 28 GHz. L'utilisation de fréquences de fonctionnement plus élevées permet à la 5G d'avoir un débit de données plus rapide et une latence réduite d'un facteur 10. De plus, le réseau va être densifié pour cette nouvelle génération afin de désengorger les zones où le trafic de données est proche de la saturation. Cette densification a également pour but de multiplier le nombre d'objets connectés. Le réseau sera découpé en cellules de différentes tailles avec des distances à couvrir, donc des puissances d'émission, très différentes (de quelques milliWatt à plusieurs centaines de Watt) [3]. Comme leur nombre augmente, ces antennes doivent être compactes et avec un fort rendement énergétique. Le GaN est donc un candidat idéal pour les circuits intégrés nécessitant de fortes puissances à haute fréquence au niveau de l'amplification du



signal avant qu'il ne soit diffusé par l'antenne [43]. Les technologies GaN sont également adaptées pour les composants fonctionnant sur de larges bandes de fréquences avec une forte linéarité [44].

L'émergence de nouveaux réseaux s'accompagne d'une évolution des objets connectés et notamment des téléphones portables. Le GaN pourrait également trouver une place dans les amplificateurs de puissance des smartphones nécessitant des tensions de fonctionnement plus faibles (quelques volts maximum) et des rendements énergétiques très élevés. Le partenariat entre MACOM et ST Microelectronics démarré en 2019 [45] vise d'ailleurs les marchés des stations de base et des *smartphones* nouvelle génération. Le principal frein du développement des technologies GaN pour les téléphones portables reste le coût élevé et capacité de production. En théorie, le GaN a donc un avantage de fonctionnement à plus hautes fréquences par rapport au Silicium (LDMOS) et un avantage de densité de puissance par rapport au GaAs. Cependant ces technologies concurrentes continuent de s'améliorer et conserveront de nombreuses parts de marchés tant que le GaN ne démontrera pas un avantage déterminant et un coût équivalent ou inférieur.

En 2020, une commission internationale a publié ses recommandations afin d'empêcher une quelconque influence des ondes électromagnétiques de la 5G et au-delà sur la santé [46] entraînant le lancement de cette génération en France. Hormis l'augmentation du débit qui permet d'échanger des données volumineuses plus rapidement et avec plus de stabilité, les exemples concrets d'applications nouvelles dans la vie quotidienne sont difficiles à trouver même sur les sites spécialisés [47], [48] ou les sites des fournisseurs de téléphonie. Les véhicules autonomes, la télémédecine ou l'introduction de l'internet des objets dans les industries sont autant d'exemples souvent cités sans réelle preuve de faisabilité pour l'instant. Le seul aspect sur lequel tous les acteurs s'accordent, c'est que la 5G générera énormément de revenus pour les fournisseurs d'accès et les fabricants d'objets connectés. A l'inverse, les questionnements sur la part de l'empreinte environnementale des technologies numériques se font de plus en plus intenses [29], [49]–[51], d'autant que l'émergence d'une nouvelle génération de télécommunications s'accompagne forcément de la fabrication de nouveaux composants et, à terme, du remplacement de toutes les anciennes technologies. Des opposants à son lancement ont mis en avant que cette course à la 5G nécessitait d'une part, une consultation de la population à cause de son impact environnemental et d'autre part, une analyse des besoins actuels de la population puisque plus d'un tiers du territoire n'avait pas encore la 4G [52]. L'exécutif a finalement tranché en déterminant que le déploiement des futures générations de télécommunication est nécessaire pour ne pas mettre la France en retard sur l'innovation [53].



Figure 9 : Le déploiement des futures générations de télécommunication va densifier le réseaux notamment en ville.  
(Crédit photo : stnazkul/AdobeStock via Photothèque CEA)

## ii. Les applications militaires

Les conflits armés récents émaillaient principalement l'Afrique et l'Asie de l'Ouest [54]–[59]. Mais l'invasion de l'Ukraine par la Russie le 24 février 2022 [60], elle-même précédée par l'annexion de la Crimée par cette même Russie en 2014 [61] ainsi que la guerre dans la région du Donbass ont ravivé le spectre de guerres interétatiques en Europe voire à travers le monde. Avant même de rentrer en conflit, les états investissent généralement dans du matériel militaire pour la dissuasion [62]. Ces affrontements militaires et économiques renforcent la course à l'armement avec un budget défense des états qui augmente chaque année dans le monde [63]. Ces investissements poussent le développement de nouvelles technologies avec, par exemple, l'utilisation du GaN pour les applications radar ou de télécommunication militaire.

Le mot radar est un acronyme anglais de *radio detection and ranging*. Il regroupe toutes les technologies permettant de détecter la position et la vitesse des objets. Historiquement, les radars utilisaient des tubes à ondes progressives mais les technologies à base de semiconducteurs, comme le GaN, présentent davantage de fiabilité, la possibilité de fonctionner en mode pulsé pour limiter la consommation énergétique et surtout une grande compacité et un faible poids pour les applications embarquées [63]. Autour de 3GHz, les radars militaires sont principalement utilisés pour la détection et la surveillance alors qu'à plus hautes fréquences, ils permettent la détection ou le guidage de missiles [3]. Dans le cas des conflits armés, les applications nécessitant des amplificateurs robustes, compacts, fonctionnant à haute fréquence et avec une forte puissance sont utiles pour les communications militaires terrestres et satellite [64]. Mais elles regroupent également le brouillage des communications ou le brouillage d'engins explosifs contrôlés à distance, utilisés lors d'attentats terroristes.

## iii. Les communications satellite et les radars civils

Les radars civils sont utiles notamment pour l'aviation. Chaque avion est équipé de plusieurs systèmes radar pour éviter les collisions et déterminer les conditions météorologiques en vol. Le remplacement des tubes à ondes progressives par des amplificateurs de puissance à base de GaN pour la surveillance du trafic aérien a débuté grâce à leur forte puissance et leur fort rendement énergétique ainsi que leur fiabilité [3]. Les antennes au sol pour l'étude météorologique fonctionnant autour de 10GHz pourraient également utiliser l'avantage en puissance des amplificateurs à base de GaN. L'adoption de cette technologie pourrait diminuer l'impact de l'atténuation du signal afin d'obtenir des observations plus précises du ciel.

En plus des études météorologiques au sol, certains satellites en orbite pourraient utiliser les technologies GaN pour l'observation terrestre dans la bande de fréquence 35,5 - 36 GHz [65]. L'utilisation de radar à synthèse d'ouverture à ces fréquences permet notamment d'obtenir une très bonne résolution quelle que soit la météo, en utilisant une antenne de petite taille. L'utilisation de boîtiers d'amplifications compacts et légers à base de GaN, est d'autant plus intéressante que le poids et l'encombrement sur les satellites sont très



Figure 10 : Image d'un satellite (Crédit : lexaarts – Fotolia via Photothèque CEA)

contraints. L'observation terrestre intervient dans des domaines variés tels que l'océanographie, la géologie, la glaciologie, le développement urbain ou encore la gestion des catastrophes naturelles. Enfin elle recoupe également la partie militaire puisqu'elle permet l'observation et la reconnaissance de mouvements de troupes au sol, de blindés ou de bateaux.

Les communications satellites civiles sont utilisées pour le transport des données d'internet, de la télévision, de la radio ou encore du réseau téléphonique. Ce système d'échange de données se compose principalement de satellites, situés en orbite, qui communiquent avec des antennes terrestres. Là encore, le remplacement des tubes à ondes progressives par des amplificateurs à l'état solide pour leur plus grande compacité et leur durée de vie plus longue est en cours [3]. Les autres enjeux de ce marché sont la fiabilité face aux radiations ainsi que le fonctionnement à des bandes de fréquence entre 14 et 40GHz à de fortes puissances.

#### iv. Le chauffage radiofréquence

Dans le domaine du chauffage radiofréquence, la source de rayonnement électromagnétique est généralement un magnétron. C'est ce magnétron qui nous permet de réchauffer notre nourriture dans les fours micro-ondes. Comme le tube à ondes progressives vu plus haut, le magnétron est un tube à vide qui présente des désavantages de fiabilité, de durée de vie d'efficacité énergétique et d'encombrement. Pour les applications industrielles, la puissance nécessaire est très importante donc les technologies GaN sont parfaitement adaptées pour la cuisson ou la pasteurisation de la nourriture, la stérilisation des produits médicaux ou plus récemment l'ablation micro-onde de tumeur [66]. Le remplacement des magnétrons par des amplificateurs solides à base de GaN dans le cas d'applications grand public tel que le four micro-ondes passe par la réduction des coûts et notamment le développement du GaN sur Si pour pouvoir concurrencer la technologie LDMOS [3].

### 3. Les transistors pour l'amplification de puissance en bande Ka

#### a. L'enjeu des substrats pour la technologie GaN

Le nitrure de gallium n'est pas adapté pour la croissance de lingots par les méthodes de tirage classiques, c'est pourquoi les wafers de GaN sont rares et très chers. La technique de l'hétéro-épitaxie est donc utilisée, c'est-à-dire que le cristal de GaN est épitaxié sur un substrat d'une autre nature. Le premier substrat à avoir été utilisé en 1969 pour l'hétéro-épitaxie de GaN était un substrat de saphir ( $Al_2O_3$ ). Depuis de nombreux travaux ont été menés pour réaliser des épitaxies de GaN à bas coût tout en conservant la qualité du matériau pour utiliser tout son potentiel.

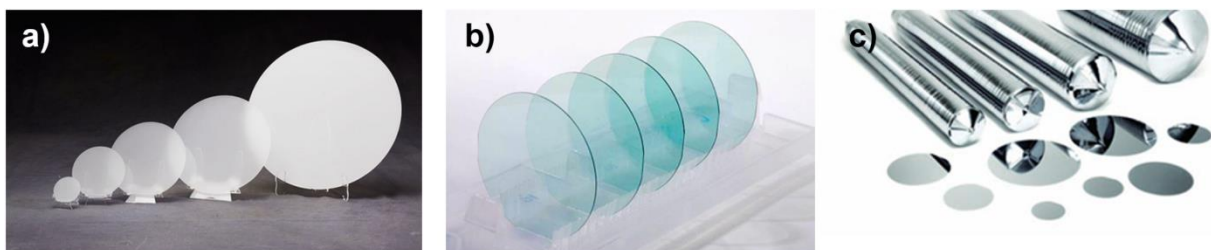


Figure 11 : a) Substrats en saphir. b) Substrats en SiC. c) Substrats en Silicium.

## **i. Saphir**

Le saphir présente un fort décalage de paramètre de maille (~15%) qui engendre des défauts dans la structure épitaxiée. Les développements sur les couches d'adaptation des contraintes ont permis de surmonter ce problème et la taille de ces substrats s'étend jusqu'à 300mm ce qui les rend intéressant pour la production à large échelle et notamment pour les écrans qui nécessitent de grandes surfaces. Mais du point de vue des applications d'amplification radiofréquence, les substrats saphir présentent une très faible conductivité thermique (~0,25 W/K/cm) qui les rend peu pertinents malgré leur caractère résistif qui ne dégrade pas les pertes radiofréquences. En effet, cette faible conductivité thermique augmente drastiquement la température des composants, ce qui diminue leurs performances et leur fiabilité.

## **ii. SiC**

Les substrats en carbure de silicium sont les mieux adaptés pour l'hétéro-épitaxie de GaN. La faible différence de paramètre de maille (~3%) et de coefficient d'expansion thermique permet la croissance de couches de bonne qualité cristalline en n'entraînant que peu de déformation du wafer. De plus, le SiC ne présente pas de pertes radiofréquences lors de la propagation du signal car c'est un très bon isolant électrique. A l'inverse du saphir, le SiC présente un très bonne conductivité thermique (~3,8 W/K/cm) qui le rend très intéressant pour les applications à forte puissance. De nombreux acteurs ont d'ailleurs misé sur cette technologie GaN sur SiC depuis plusieurs dizaines d'années (cf. partie 2.f.i) et ces derniers voient ce marché augmenter considérablement. Le seul désavantage des substrats SiC est leur coût élevé et leur taille limitée à 150mm. Ajouté à un rendement de fabrication plus faible que les technologies silicium, le plus gros désavantage de la technologie GaN sur SiC est son prix.

## **iii. Silicium**

Le Silicium est le matériau le plus mature et le plus utilisé en microélectronique. Les techniques de tirage pour former des lingots jusqu'à 300mm avec une vitesse de croissance élevée sont maîtrisées. Le coût des substrats Silicium est donc bien plus bas que les autres. Afin de minimiser son désaccord de paramètre de maille et sa conductivité électrique, ce sont des substrats Si (111) haute résistivité (HR) qui sont utilisés. La différence de paramètre de maille reste importante entre les deux matériaux ce qui induit une forte densité de dislocations dans les couches de GaN et une déformation importante du wafer. D'importants développements ont été nécessaires pour contrôler ces effets et obtenir des couches de bonne qualité cristalline. La conductivité thermique du Silicium (~1,6 W/K/cm) est également moins bonne que celle du SiC mais cet écart (3 : 1) diminue largement (< 2 : 1) [10] lorsque la température augmente ce qui est le cas dans les composants pour l'amplification de puissance. A la suite de nombreux travaux, des performances comparables de composants GaN/Si par rapport aux composants GaN/SiC ont été démontrées et plusieurs industries commercialisent maintenant cette technologie. Si le coût global de fabrication est très différent du coût du substrat, certains acteurs qui ont misé sur le GaN sur Si estiment que le coût de fabrication pourrait être jusqu'à 5 fois inférieur pour cette technologie par rapport à sa concurrente en GaN/SiC [43]. L'utilisation d'un substrat silicium associé à des technologies de fabrication compatible avec les salles blanches CMOS permettrait également d'implémenter la partie amplificatrice en GaN associée à des circuits logiques ou des composants passifs. Enfin cette

compatibilité CMOS permettrait également d'utiliser les technologies d'interconnexion maîtrisées et répétables des technologies silicium. Dans la suite de ce manuscrit, les composants étudiés sont épitaxiés sur des wafers silicium de 200mm.

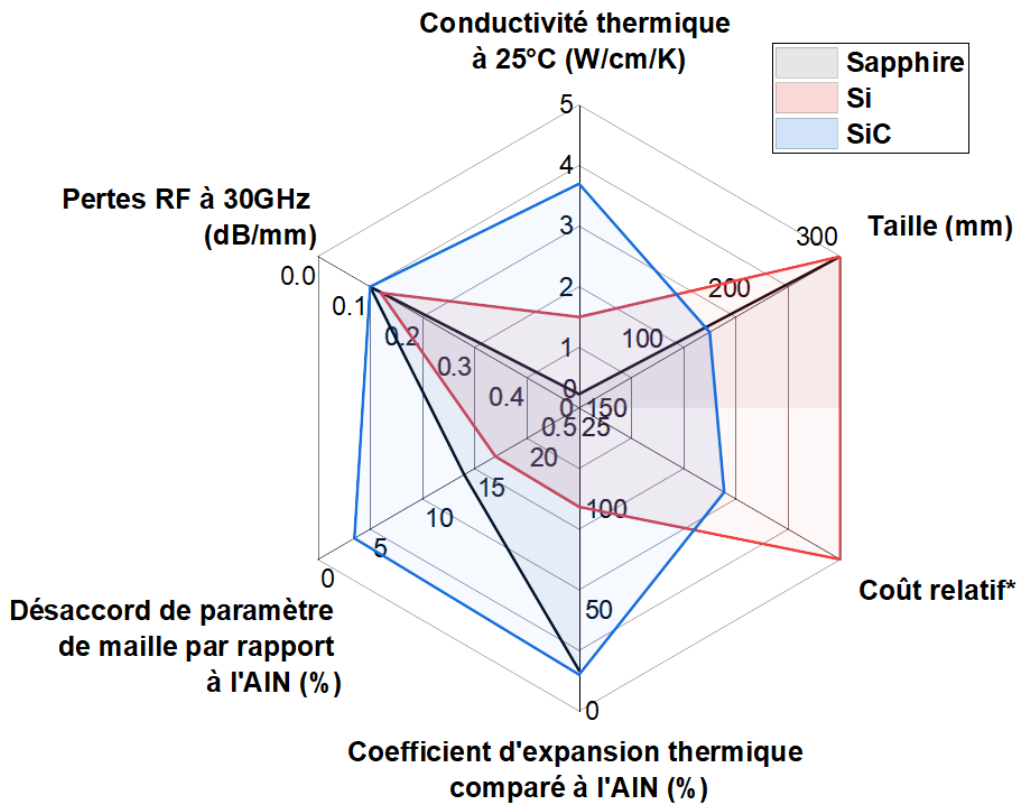


Figure 12 : Comparaison des principales caractéristiques des substrats Si, SiC et saphir pour l'hétéro-épitaxie de GaN. \*Le coût relatif dépend énormément de la technologie de fabrication mais pourrait être jusqu'à 5 fois moins cher sur Si.

## b. Architecture pour le fonctionnement haute fréquence

Les technologies HEMT GaN pour les applications radiofréquence ont bénéficié d'une partie des connaissances accumulées sur les technologies MOS Silicium et pHEMT (pour pseudomorphique-HEMT) GaAs qui les ont précédées [67]. Le transistor est schématisé par une source de courant, située dans le canal, entourée par plusieurs éléments discrets que sont les résistances, les capacités et les inductances (Figure 13). En atteignant des fréquences de fonctionnement élevées, ces éléments parasites agissent comme des filtres sur le signal rendant le transistor inopérant. Le dimensionnement des différentes composantes du transistor devient critique et les principaux enjeux des bandes millimétriques et au-delà ont été résumés par Shinoara et Al. [68] dans les années 2010. Les deux caractéristiques prépondérantes pour le fonctionnement en fréquence sont la fréquence de coupure  $f_T$  et la fréquence maximale d'oscillation  $f_{max}$ . La fréquence de coupure correspond à la fréquence à laquelle le gain en courant, noté  $H_{21}$ , atteint 0 dB sous une excitation radiofréquence de faible amplitude. De même, la fréquence maximale d'oscillation correspond à la fréquence pour laquelle le gain maximal disponible (MAG pour *Maximum Available Gain* en anglais) ou le gain unilatéral ( $U_{max}$ ) atteignent 0 dB. Dans le modèle simplifié d'un transistor HEMT (Figure 13), ces grandeurs caractéristiques peuvent s'exprimer par les relations suivantes :

$$f_T = \frac{g_{m,int}}{2\pi \cdot (C_{GS} + C_{GD})(1 + (R_S + R_D) \cdot g_D) + 2\pi \cdot (R_S + R_D) \cdot C_{GD} \cdot g_{m,int}} \quad (5)$$

$$f_{max} = \frac{f_T}{2 \sqrt{g_D \cdot (R_G + R_S + R_{GS}) + g_{m,int} \cdot R_G \cdot \frac{C_{GD}}{C_{GD} + C_{GS}}}} \quad (6)$$

Avec  $R_S$ ,  $R_D$  et  $R_G$  les résistances d'accès de source, de drain et de grille respectivement.

$C_{GS}$ ,  $C_{GD}$  les capacités entre grille-source et grille-drain respectivement.

$R_{GS}$  également notée  $R_i$ , parfois appelée résistance différentielle [69] et qui modélise le réseau distribué de résistances et de capacités sous la grille [70]

$g_D$  la conductance entre source et drain qui caractérise la capacité du transistor à confiner le courant dans le canal

$g_{m,int}$  qui est la transconductance intrinsèque et qui caractérise la capacité de la grille à moduler le courant de drain. Elle est liée à la transconductance extrinsèque par la relation :

$$g_{m,int} = \frac{g_{m,ext}}{1 - R_S \cdot g_{m,ext}} \quad (7)$$

Il apparait clairement que pour augmenter la fréquence de fonctionnement, ces éléments parasites doivent être minimisés. Les dimensions des transistors pour la bande millimétrique et au-delà sont de plus en plus compactes pour minimiser les résistances d'accès, les capacités et augmenter la transconductance [68], [71].

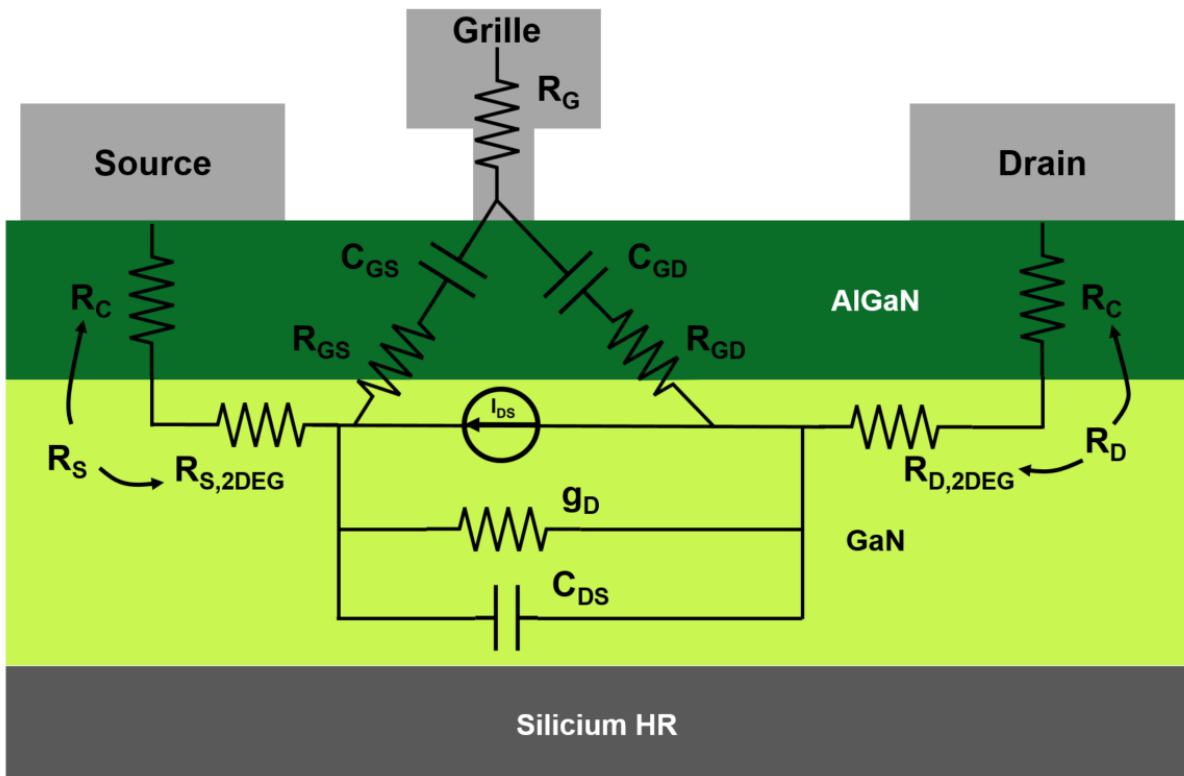


Figure 13 : Représentation schématique des éléments électriques intrinsèques d'un HEMT.



## c. Epitaxie

La fabrication de transistors GaN pour l'amplification de puissance débute par l'hétéro-épitaxie du GaN sur le substrat Silicium. Cette étape est critique car elle conditionne la qualité intrinsèque du matériau et donc une part importante de la performance électrique finale. On retrouve principalement deux techniques d'épitaxie : l'épitaxie par jets moléculaires (ou MBE pour *Molecular Beam Epitaxy* en anglais) ou l'épitaxie en phase vapeur aux organométalliques (ou MOVPE pour *Metal-Organic Vapor Phase Epitaxy* en anglais) également appelée MOCVD (pour *Metal-Organic Chemical Vapor Deposition*). La MBE croît à des températures plus basses que la MOVPE donc elle est plus sensible aux recuits haute température. Cependant elle incorpore moins d'impuretés comme le carbone et l'hydrogène dus aux précurseurs gazeux organiques de la MOVPE. Cependant la vitesse de croissance en MBE est très lente c'est pourquoi, seule la MOVPE est utilisée pour la production de composants. Dans la suite de ce manuscrit, toutes les épitaxies sont réalisées par MOVPE.

### i. Pertes radiofréquence dans le substrat

L'utilisation d'un substrat Silicium électriquement conducteur engendre un couplage capacitif entre ce plan conducteur situé dans le Silicium et le 2DEG de la partie active du composant. L'influence de ce couplage augmente avec la fréquence du signal, ce qui explique pourquoi cette problématique est liée aux applications d'amplification aux fréquences élevées alors que les composants pour la commutation en puissance ou l'optoélectronique utilisent des substrats faible résistivité.

La croissance de matériaux III-N par MOVPE se déroule à des températures de l'ordre de 1000°C. Ce budget thermique permet aux atomes de Gallium et d'Aluminium de diffuser dans la maille cristalline du Silicium au début de la croissance [72], [73]. Lorsqu'ils sont en site substitutionnel du Silicium, ces atomes sont des dopants de type p donc ils rendent le substrat moins résistif. Ces pertes radiofréquences après l'épitaxie de GaN sur silicium sont un sujet d'étude important [74] et d'autres mécanismes influant sur la conductivité de l'empilement ont été proposés. Les fortes contraintes à l'interface entre le matériau III-N et le silicium pourraient modifier la structure de bande en surface du silicium et créer des porteurs libres [75] tout comme les interfaces entre les couches de nucléation dans le matériaux III-N qui pourraient engendrer des porteurs par effet piézo-électrique [76]. A forte tension de drain, le caractère résistif des couches du buffer génère une structure MIS entre l'électrode et le substrat qui peut également former une couche de porteurs à sa surface [77].

Pour qualifier ces pertes dans le substrat, des lignes coplanaires (ou CPW pour *Coplanar Wave Guide* en anglais) en surface du GaN et possédant une impédance de 50  $\Omega$  sont mesurées (Figure 14). Ces lignes n'ont quasiment aucune perte par réflexion en entrée ou en sortie de la ligne car elles sont adaptées en impédance. En étudiant le module du paramètre  $S_{21}$ , qui caractérise la transmission dans cette ligne, on peut déterminer l'atténuation du signal lors de la propagation le long de la ligne. Les pertes dans le substrat impactent directement les performances radiofréquence ( $f_T$ ,  $f_{max}$ , PAE,  $P_{OUT}$ ) du composant [77], [78] et il est généralement admis que pour les applications autour de 30 GHz, l'atténuation ne doit pas dépasser 0,2 dB par millimètre de ligne.

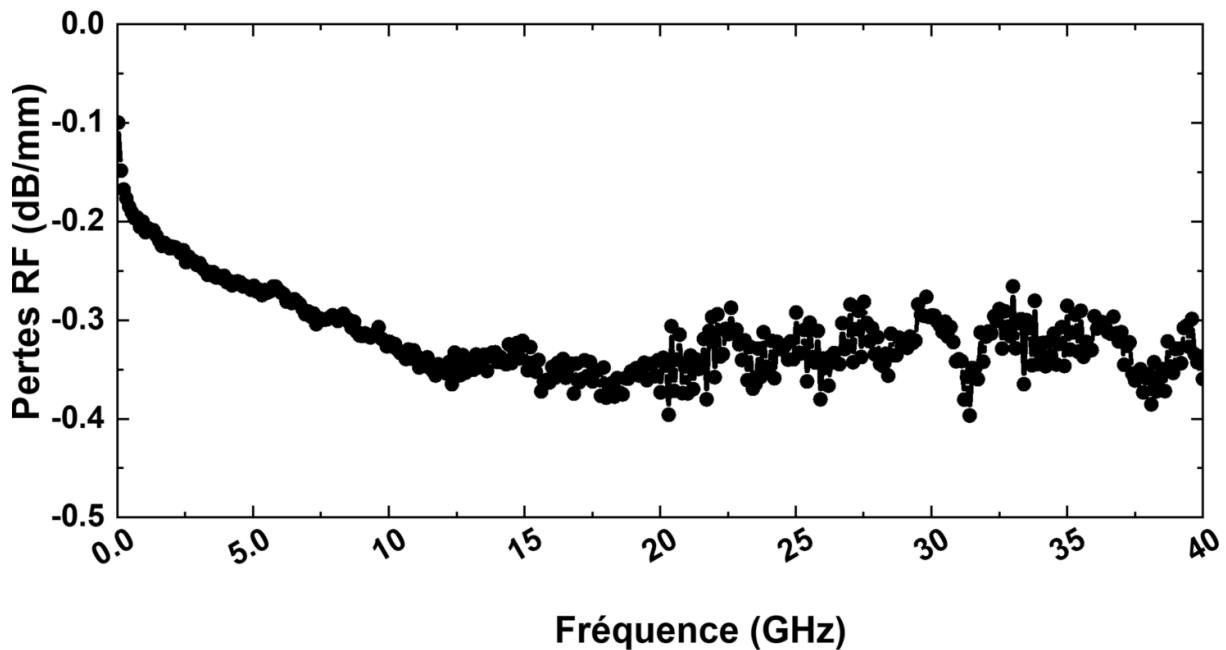


Figure 14 : Pertes RF normalisées d'une ligne coplanaire 50 ohms de 1,4 mm en fonction de la fréquence sur un wafer GaN/Si.

## ii. Empilement épitaxial

La formation de couches de matériau III-N satisfaisant aux problématiques mécaniques et électriques est un enjeu crucial. L'épitaxie débute par la croissance de couches de nucléation qui ont pour but de minimiser les défauts cristallins, notamment les dislocations, créés à cause du désaccord de maille entre le substrat silicium (111) et le matériau III-N. La première couche est généralement en AlN car c'est le matériau III-N avec le désaccord de maille le plus faible par rapport au silicium. Les couches situées au-dessus sont généralement des alliages AlGaN avec des concentrations en Aluminium décroissantes pour arriver jusqu'au GaN [79], [80] ou un super-réseau de couches AlN/GaN [81]–[83]. L'épaisseur de ces couches pour les applications RF est de l'ordre de 500 nm environ (Figure 15).

A la suite de ces couches de nucléation, on fait croître une couche épaisse de GaN ( $\sim 1 \mu\text{m}$ ) contenant un résiduel de dopage carbone d'environ  $10^{18} \text{ at/cm}^3$ . Cette couche permet notamment d'isoler électriquement la partie active du substrat pour éviter les fuites et les claquages verticaux sous de fortes tensions. Initialement, ce dopage était réalisé avec des atomes de fer qui ont été remplacés par le carbone. Cette couche dopée influence également le confinement en surface des porteurs du gaz bidimensionnel d'électrons. L'augmentation du carbone dans la couche augmente la discontinuité de bande de conduction avec le GaN non dopé du canal mais à l'inverse il augmente les effets de piégeage lent dus aux niveaux énergétiques profonds créés par le carbone dans la bande interdite du GaN [84]. Ces effets de piégeage dégradent les performances électriques et la fiabilité [85].

Pour fonctionner en bande Ka, les transistors possèdent des dimensions courtes donc les champs électriques sont plus intenses. A forte tension de drain, il est plus difficile de dépeupler le canal de ses électrons en appliquant une tension de grille négative. Pour augmenter le pouvoir de confinement du GaN dopé C et limiter cet effet d'abaissement de la barrière de potentiel de grille (ou DIBL pour *Drain Induced Barrier Lowering* en anglais), on ajoute généralement une barrière de



confinement (ou *back-barrier* en anglais). Cette couche peut être formée par un AlGaN faiblement dopé [86], [87], plusieurs couches d'AlGaN avec des concentrations d'aluminium différentes [88] ou encore une jonction p-n avec deux couches de GaN dopées avec du magnésium et du silicium [89]. Il est important de noter que l'appellation couches tampon (ou *buffer layers* en anglais) recouvre tout ou partie des couches citées précédemment en fonction des auteurs.

La croissance continue par la formation du GaN canal non intentionnellement dopé (ou UID pour *Unintentionally Doped* en anglais) dans lequel se déroule le transport latéral dans le HEMT. Pour former le gaz d'électrons avec de bonnes propriétés de transport nécessaires aux bonnes performances radiofréquence, une hétérostructure est créée sur ce GaN canal à partir d'AlN, d'AlGaN, d'InAlN, d'InGaAlN ou plus récemment de ScAlN [90], [91]. Les barrières contenant de l'indium croissent à des températures plus basses que les alliages à base d'aluminium et de gallium. Ces barrières sont donc moins résistantes aux traitements thermiques lors du procédé de fabrication. De plus, l'indium pose des problèmes de contamination dans les équipements de gravure compatibles aux technologies CMOS. Les barrières utilisées dans la suite de ce manuscrit sont donc à base d'AlGaN ou d'AlN. Pour augmenter la densité d'électrons et leur mobilité, une couche d'un nanomètre d'AlN (appelée *spacer* en anglais) est ajoutée entre le GaN canal et la barrière AlGaN [92], [93].

Au sommet de cet empilement épitaxial, une couche de passivation est déposée pendant la croissance afin d'empêcher la formation de liaisons pendantes ou l'oxydation à la surface de la barrière. En contrôlant la densité d'états de surface, cette couche améliore le transport du 2DEG et diminue les effets de piégeage.

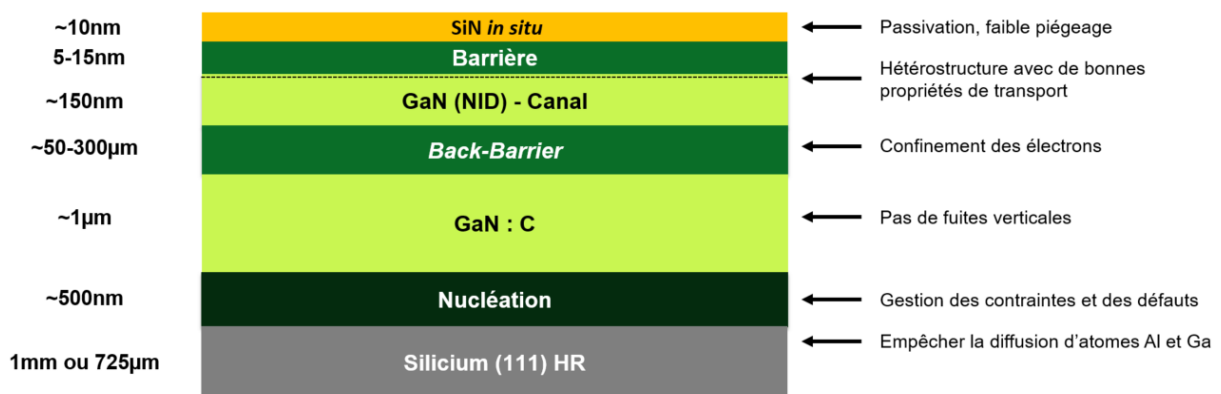


Figure 15 : Schéma de la structure épitaxiale.

#### d. Contact ohmique

Le contact ohmique est une brique technologique importante des technologies GaN HEMT pour les applications radiofréquences. Les deux principales caractéristiques du contact sont sa faible résistance et sa capacité à passer de forts courants électriques. Pour bénéficier au mieux du potentiel des HEMT GaN et minimiser les résistances d'accès, la résistance de contact doit être entre 0,1 et 0,2  $\Omega$ .mm et le contact doit supporter des courants supérieurs à 1,5 A/mm pour les applications de puissance en bande Ka. Il est important que ces caractéristiques ne se dégradent pas lorsque la température augmente. Les métaux utilisés, l'uniformité et la fiabilité sont d'autres aspects importants de cette étape. On retrouve principalement 3 technologies de contacts.

### **i. Le contact allié**

C'est le premier type de contact à avoir été développé. Il repose sur l'interaction des métaux avec les couches d'éléments III-N et la formation d'un alliage lors d'un recuit entre 600 °C et 900 °C. Au niveau de l'architecture, on retrouve des contacts formés directement sur la barrière, ou après un retrait partiel de la barrière ou encore des contacts avec retrait total de la barrière (Figure 16a). L'empilement métallique le plus répandu est constitué de Ti/Al/Ni/Au [94] mais d'autres empilements ont été développés notamment pour la compatibilité avec les industries compatibles CMOS qui ne peuvent utiliser l'Or [95]–[97]. Les principaux défauts de ce contact sont le budget thermique nécessaire à la formation de l'alliage qui peut dégrader l'hétérostructure et faire diffuser certains métaux de l'empilement ainsi que les effets de proximité des métaux de source et de drain avec la grille qui peuvent poser des problèmes de fabrication [98] (lithographie, gravure) ou engendrer des capacités résiduelles qui dégradent les performances RF.

### **ii. Le contact implanté**

La seconde architecture de contact consiste à planter la barrière et le canal au niveau de la source et du drain avec du silicium (ou plus rarement du germanium) pour former une couche dopée n<sup>+</sup>. L'empilement métallique est ensuite déposé avec ou sans gravure de la barrière (Figure 16b). Dans les transistors fonctionnant à haute fréquence, le contact implanté permet de déporter les métaux de source et de drain alors que les dimensions deviennent de plus en plus petites pour atteindre des  $f_T$  et  $f_{max}$  plus élevés. L'implantation est également une technique bien maîtrisée, répétable, uniforme et compatible avec les technologies CMOS. Mais le principal enjeu de ce contact est l'activation des dopants dans le GaN, qui intervient pour des températures généralement situées entre 1050 °C et 1300°C [99]–[101]. Ce budget thermique engendre une dégradation de l'hétérostructure et donc de la résistance de couche du 2DEG ainsi qu'une forte déformation du wafer.

### **iii. Le contact ré-épitaxié**

La dernière technologie de contact concerne la ré-épitaxie sélective de GaN dopé n<sup>+</sup> dans les zones de source et de drain. Cette technique consiste à graver l'hétérostructure jusqu'au canal dans les zones de source et de drain puis à faire croître du GaN dopé au Silicium de manière sélective à l'aide d'un masque dur (SiO<sub>2</sub>). Le métal est ensuite déposé sur cette couche ré-épitaxiée puis recuit pour former le contact ohmique (Figure 16c). Comme pour le contact implanté, cette technique permet de déporter les métaux de source et de drain dans les architectures de transistor très compactes. Développée en premier lieu avec des équipements d'épitaxie par jet moléculaire [102] (MBE), cette technique était difficilement reproductible à cause de l'interface entre le GaN gravé et le GaN ré-épitaxié et elle était très lente. Mais de nouvelles études ont montré la faisabilité avec des bâtis d'épitaxie en phase vapeur (MOVPE), des résistances de contacts très faibles [68] ( $\sim 0.1 \Omega \cdot \text{mm}$ ) et son intégration sur différentes hétérostructures [103]. Plusieurs acteurs ont d'ailleurs choisit cette option technologique [43], [104].

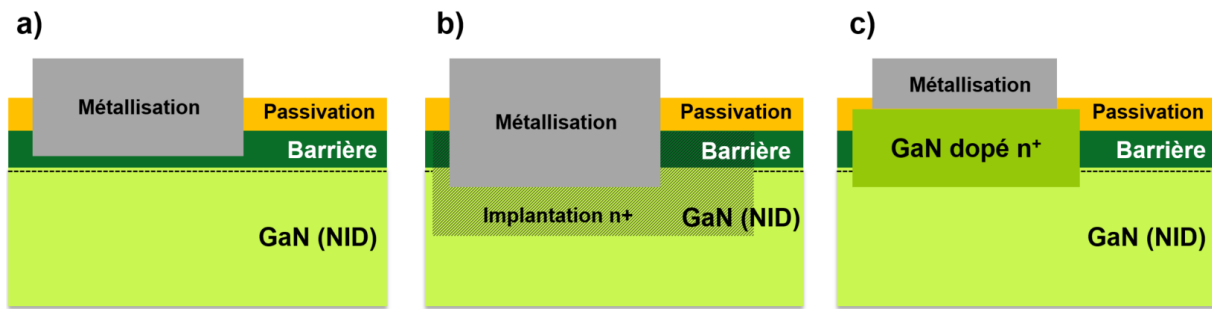


Figure 16 : Représentation schématique des 3 principales technologies de contact : a) contact allié avec retrait partiel de la barrière b) contact implanté c) contact ré-épitaxié.

## e. Enjeux de la grille des transistors RF

La grille est l'élément central du transistor. C'est elle qui contrôle le courant qui circule dans le canal. La formation de la grille répond donc à des enjeux liés aux performances électriques, à son architecture et à son dimensionnement pour le fonctionnement à haute fréquence à forte tension. La grille satisfait également aux contraintes de fabrication notamment pour les technologies compatibles CMOS.

### i. Fonctionnement haute fréquence

Pour permettre le fonctionnement du transistor à haute fréquence, on a vu dans la partie 3.b qu'il faut maximiser le contrôle électrostatique de grille sur le courant de drain, soit la transconductance. Pour ce faire, les grilles ont une longueur plus courte ce qui minimise également les capacités parasites entre grille-source et grille-drain. Pour les applications autour de 30 GHz, la longueur de grille se situe entre 100 et 150 nm. Dans la même optique de maximiser le  $g_m$  du transistor, le rapport entre longueur de grille ( $L_G$ ) et épaisseur de barrière, généralement noté  $a$ , doit être trouvé. Pour bénéficier du potentiel maximal des technologies HEMT GaN, ce rapport  $\frac{L_G}{a}$  est d'au moins 15 [71]. L'épaisseur de barrière pour les applications autour de 30 GHz est donc située autour de 10 nm. Si cette épaisseur de barrière doit être diminuée, la densité, la mobilité et la vitesse de saturation du 2DEG ne doivent pas être dégradées afin ne pas diminuer le courant maximal du transistor qui influence directement les caractéristiques d'amplification, par exemple la puissance RF en sortie ( $P_{OUT}$ ).

La diminution de la longueur de grille nécessaire pour le fonctionnement haute fréquence entraîne également la diminution de sa section. Or la résistance de grille augmente lorsque cette section diminue. Comme la résistance de grille pénalise la fréquence maximale d'oscillation, une nouvelle architecture de grille appelée grille en T ou grille champignon a été développée pour les technologies GaAs. Sur le pied de grille qui contrôle le courant dans le canal, on ajoute une tête de grille possédant une section plus grande permettant de diminuer la résistance de grille (Figure 17). La hauteur de cette tête de grille ainsi que sa proximité avec les autres électrodes doit être bien maîtrisée pour ne pas perturber le transport des électrons dans le canal [105] ou engendrer des capacités parasites [68] qui viendraient dégrader le fonctionnement RF. Elle peut cependant servir de plaque de champ de la jonction grille-drain (ou *field plate* en anglais). En diminuant les distances entre les électrodes, les champs électriques deviennent plus intenses dans la structure favorisant l'apparition de phénomènes de grille courte (ou SCE pour *Short Channel Effect* en anglais) et de

claquage. Ces effets de grille courte se caractérisent notamment par l'apparition d'un courant source-drain lorsque le canal est pincé dû à un abaissement de la barrière de potentiel de grille par la polarisation de drain [87] (ou DIBL pour *Drain Induced Barrier Lowering* en anglais). Ce phénomène se traduit par une augmentation de la conductance de drain  $g_D$  qui dégrade les performances RF. Le confinement des porteurs doit donc être contrôlé en minimisant les pics de champ électrique et en créant une barrière de potentiel sous le canal (cf. back-barrier partie 3.c.ii).

## ii. Performances électriques statiques

On a vu dans la partie précédente que certaines caractéristiques électriques statiques ( $g_m$ ,  $R_s$ ,  $R_G$ ,  $R_D$ ,  $I_{D,max}$ ...) ont un effet direct sur les performances RF. Mais d'autres propriétés sont à prendre en compte pour le fonctionnement des transistors. Les fuites de grilles lorsque le canal est pincé dissipent peu de puissance mais ce courant parasite impacte le piégeage, la fiabilité du composant [85] et les caractéristiques de bruit du transistor. Avec la diminution de l'épaisseur de barrière et l'augmentation du champ dans la jonction grille-drain, ces fuites par effet tunnel augmentent fortement. Il est donc nécessaire de trouver des architectures de grille pour minimiser le pic de champ au coin du pied de grille et de former des jonctions métal/semiconducteur de type Schottky avec une barrière de potentiel élevée. Le nickel est le métal le plus utilisé pour former un contact Schottky efficace sur la barrière [106]–[108] grâce à son travail de sortie élevé. Il est généralement associé avec l'Or pour obtenir une résistance de grille faible et une couche de platine pour empêcher l'Or de diffuser. De nombreuses études se sont intéressées à d'autres matériaux tels que le Platine [109], le Molybdène [110], le Cuivre [111], [112] ou encore le poly-Silicium [113]. Avec l'intérêt grandissant pour les technologies compatibles CMOS qui ne peuvent pas utiliser d'Or, plusieurs études ont été menées autour du TiN [114]–[118].

Une approche différente consiste à utiliser des empilements de type MIS (pour *Metal Insulator Semiconductor* en anglais). Plusieurs isolants ont été étudiés, notamment l' $Al_2O_3$ [119], [120], le  $HfO_2$  [121], [122], le SiN [123]–[128] voire des multicouches [129]. Ces empilements sont efficaces pour réduire les fuites mais ils augmentent l'épaisseur entre le métal de grille et le canal, ce qui dégrade le  $g_m$ . Ils peuvent également augmenter le piégeage au niveau de la grille. Un compromis doit être trouvé entre ces empilements MIS ou Schottky.

La tension de claquage (ou BV pour *breakdown voltage* en anglais) est un autre paramètre important des transistors. Par abus de langage, elle est souvent définie comme la tension de drain pour laquelle on atteint un certain niveau de courant ( $\sim 1$  mA/mm) en blocage. Si cette tension de claquage n'est pas destructive, elle caractérise la tension à partir de laquelle les fuites en blocage sont élevées et engendrent des problèmes de stabilité et de fiabilité du composant. Pour répondre à ces enjeux de fiabilité, la tension maximale de polarisation de drain du transistor est généralement 3 fois plus petite que la tension de claquage. Afin d'augmenter cette tension de claquage, les problématiques abordées plus haut, de fuites de grille, de confinement des porteurs dans le canal et de gestion des pics de champ électrique sont prépondérantes. D'un point de vue électrique, polariser le transistor à de plus fortes tension de drain permet d'augmenter la puissance en sortie ( $P_{OUT}$ ).

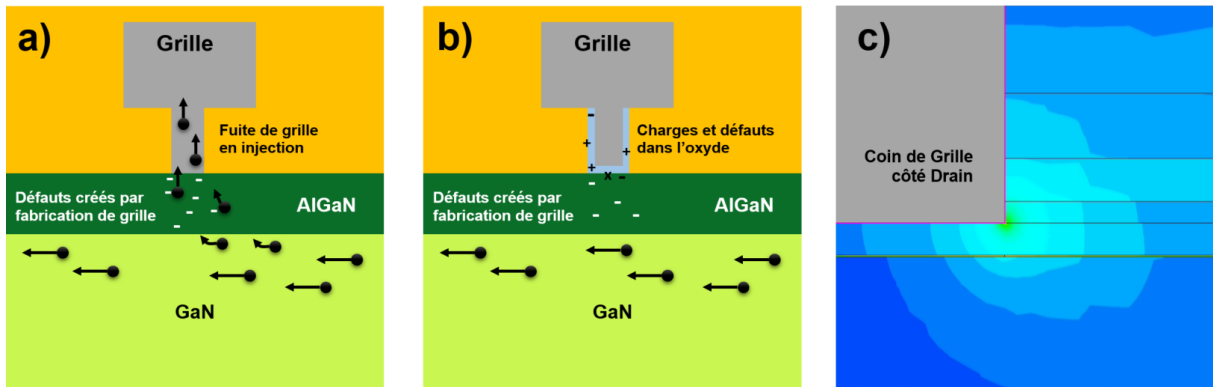


Figure 17 : a) Schéma d'une grille Schottky. b) Schéma d'une grille MIS. c) Coupe du champ électrique au coin du pied de grille côté drain extraite du logiciel TCAD Sentaurus.

### iii. Piégeage

Le piégeage est un aspect différenciant des technologies HEMT GaN par rapport aux technologies Silicium ou GaAs pour lesquelles il a été rendu quasiment négligeable. Le piégeage par des états d'interface (appelés  $D_{IT}$ ) était une problématique déjà connue lorsque les premiers développements sur le GaN ont démarré, mais il existe une diversité de défauts plus importante dans ce matériau qui crée des états énergétiques dans son gap [130]–[132]. Le piégeage de porteurs libres dégrade la stabilité et les performances électriques du transistor lorsqu'il est en fonctionnement. Ses origines peuvent être nombreuses en fonction des impuretés dans le matériau (C, Fe, Mg...), des états d'interfaces engendrés par la fabrication du pied de grille ou encore des pièges dans les couches de passivation de surface. L'optimisation de ce paramètre intervient principalement au travers du développement des procédés de fabrication (gravure, nettoyage, recuit, dépôt), des impuretés incorporées par l'épitaxie et encore une fois de la gestion des pics de champ électrique pour empêcher les électrons d'avoir accès à ces niveaux énergétiques.

### iv. Procédés de fabrication

La dernière problématique de la fabrication de grille pour les HEMT pour l'amplification de puissance autour de 30GHz est purement technologique. La réduction de la longueur de grille rend le remplissage des motifs avec une bonne conformité plus difficile. Avec un développement (i.e. la largeur du doigt de grille) de plusieurs dizaines de microns, le facteur de forme des grilles est élevé et peut engendrer des problèmes de décollement. L'adhérence des métaux sur la surface est donc primordiale. La compatibilité des étapes entre elles est également un enjeu crucial du procédé de fabrication. Par exemple en réalisant la grille après les contacts ohmiques, certains nettoyages chimiques ne peuvent être envisagés car ils entraînent une corrosion de ces contacts. De même, le budget thermique doit être contrôlé pour ne pas dégrader la résistance de contact. Cette intégration de l'enchaînement des étapes technologiques se construit en fonction des équipements disponibles en salle blanche, des contraintes de compatibilité et de contamination et à des choix stratégiques pour fabriquer le transistor le plus performant possible.

## f. Les acteurs

Cette dernière partie liste par continent les acteurs principaux des technologies GaN pour l'amplification de puissance radiofréquence. Elle met en évidence le nombre important d'acteurs sur la technologie GaN/SiC qui est plus mature avec un intérêt récent mais croissant pour les technologies GaN/Si.

### i. GaN sur SiC

Aux Etats-Unis, les laboratoires HRL ont été parmi les premiers à miser sur cette technologie, notamment soutenu par le ministère de la défense américain pour les applications militaires, mais également pour le spatial et les télécommunications. Avec une des technologies parmi les plus performantes dès 2010 [105], ces laboratoires fabriquent aujourd'hui des circuits intégrés amplificateurs de puissance fonctionnant jusqu'à 94 GHz avec leurs transistors GaN/SiC [133]. D'autres universités ont été au soutien des entreprises pour le développement de ces technologies comme à Santa Barbara [134]. Raytheon, qui était co-détenteur des laboratoires HRL jusqu'en 2007, possède sa technologie d'amplificateurs GaN sur SiC poussée par les branches militaire et aérospatiale de la firme. Après 10 années de développement, la ligne de fabrication a été lancée en 2009. Leurs technologies d'amplification de puissance adressent les bandes jusqu'à 110 GHz [135] alors qu'ils ont également diversifié leurs procédés de fabrication en GaN sur Si [136], [137] ou avec des barrières innovantes [90]. La deuxième entreprise ayant misé sur les deux types de substrats est MACOM. Avec des activités portant sur des matériaux variés (Si, GaAs, InP), MACOM a racheté l'entreprise Nitronex, pionnière en technologie GaN/Si pour les applications radiofréquence, en 2014. Leurs amplificateurs GaN/SiC adressent principalement le domaine des télécommunications avec des fréquences inférieures à 15GHz et également les très fortes puissances (2,6 kW) [138]. Qorvo, qui est un autre acteur important, a été créé en 2015 par la fusion de RF Micro Device et TriQuint Semiconductor. C'est cette dernière entreprise qui avait commencé à développer une technologie GaN/SiC [139] et qui permet à Qorvo d'être un des leaders sur le marché des hautes fréquences grâce à ses technologies GaN [140], [141] et GaAs. Le quatrième acteur nord-américain est un spécialiste des matériaux grand gap GaN et SiC et s'appelle Wolfspeed (anciennement Cree). Cette entreprise a amélioré son expertise technologique en rachetant la branche de puissance RF de chez Infineon en 2018 [142]. Cela lui permet de fabriquer des circuits intégrés utilisant des transistors GaN/SiC (Figure 18a) fonctionnant jusqu'à 40GHz et à forte puissance [64]. En Californie, GCS possède un large savoir-faire sur les sur les matériaux III-V avec des composants GaN/SiC pour le fonctionnement inférieur à 10 GHz [143]. Enfin le géant Américain de l'armement et de la défense Northrop Grumman, a également misé sur les technologies GaN/SiC et vend amplificateurs fonctionnant jusqu'à 50 GHz [144].

En Europe, les applications militaires ont également poussé le développement des technologies GaN/SiC. Le leader européen de l'armement, BAE Systems, a démarré le transfert des technologies GaN développées par l'U.S Air Force en 2018 [145] sur des substrats SiC 6 pouces afin de diminuer le coût de production. Ils fabriquent aujourd'hui des circuits intégrés autour de 35 GHz [146]. Le groupe NXP Semiconductors, formé après la scission par Philips de son pôle semiconducteurs en 2006, possède un large portefeuille de modules amplificateurs sub-6 GHz utilisant sa technologie GaN/SiC [147]. Plusieurs centres de recherche travaillent également sur ces composants comme l'IAF [148], [149] en Allemagne, ou l'IEMN [150] et le III-V Lab [151] (codétenu

par Nokia et Thalès) en France. XLIM également basé en France, travaille sur le design et la caractérisation des amplificateurs de puissance à base de GaN [152]. Le dernier acteur européen est UMS en Allemagne, qui est spécialisé dans les circuits intégrés pour les radiofréquences avec sa technologie GaN/SiC (Figure 18b) [153], [154].

Sur le continent Asiatique, les deux géants japonais du semiconducteur que sont Fujitsu et Sumitomo ont misé sur les caractéristiques avantageuses du GaN pour l'amplification RF à forte puissance. Dès les années 2000, Fujitsu a développé ces transistors pour les applications de télécommunication [155], [156] et démontre aujourd'hui des composants en bande X et au-delà avec sa technologie GaN/SiC [157] mais également avec des structures en GaN/GaN [158] ou GaN/AlN [159] pour améliorer les performances. De même Sumitomo a commercialisé ses premiers transistors GaN RF en 2005 [160] mais s'est concentré sur les bandes sub-6 GHz pour les applications 5G [161] même si l'intérêt pour les fréquences plus élevées devient un enjeu majeur [162]. En Corée du Sud, l'entreprise RFHIC est leader dans la fabrication d'amplificateurs et de modules de puissance RF à base de GaN/SiC ou de GaAs. Leurs composants sont, pour l'instant, focalisés sur les applications en dessous de 10 GHz [163] tout comme leurs concurrents Wavice [164]. A Taiwan, WIN Semiconductors spécialiste des circuits intégrés haute fréquence à base de GaAs s'est diversifié avec des technologies GaN/SiC et vend également des composants pour les applications de télécommunication [165], [166] (Figure 18c) avec un intérêt croissant pour les fréquences plus élevées [167]. Leurs voisins chinois CETC, HiWAFER et Dynax s'appuient également sur ces technologies pour des applications inférieures à 10 GHz [168], [169]. Ces industries se sont appuyées sur de nombreuses universités pour le développement de ces technologies en Inde [170], en Corée [171] ou en Chine [172], [173].

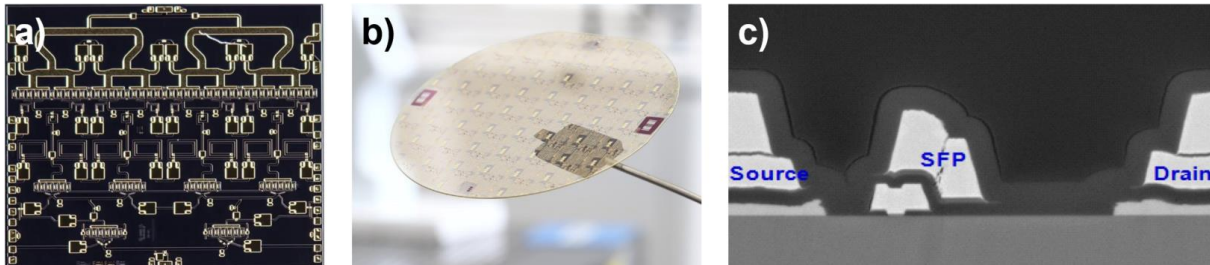


Figure 18 : a) MMIC CMPA1D1E030 de chez Wolfspeed. b) Wafer GaN/SiC de chez UMS. c) Technologie HEMT GaN/SiC de chez WIN Semiconductors extrait de [165].

## ii. GaN sur Si

Hormis quelques exceptions, les transistors GaN sur silicium pour la RF ont été développés plus tardivement. C'est pourquoi le nombre d'acteurs est encore limité mais il est en nette augmentation. Yole développement prévoit qu'entre 2018 et 2024, le nombre de plaques GaN/Si fabriquées verra une augmentation de 116% de son taux de croissance global annuel (ou CAGR pour *Compound annual growth rate* en anglais) [3]. D'après ces estimations, le marché des composants GaN/Si pourrait dépasser celui des composants GaN/SiC entre 2025 et 2030.

Aux Etats-Unis, Raytheon a fait le choix de miser sur le GaN/Si en plus de sa technologie performante en GaN/SiC. Ce développement s'est déroulé dans les années 2010 [135], [137], [174] et s'est conclu par un partenariat technologique avec le géant du Silicium, Global Foundries, pour mettre à profit l'expertise de Raytheon sur les technologies GaN pour l'amplification de puissance RF et la maîtrise des procédés de fabrication compatibles CMOS de Global Foundries [175]. Le second



acteur américain ayant parié sur les deux types de substrat est MACOM [10]. Comme Raytheon, MACOM n'a pas de savoir-faire CMOS et sa technologie est limitée à des substrats de 150 mm. C'est pourquoi l'entreprise s'est associée avec le leader européen du semiconducteur ST Microelectronics [45]. Ce partenariat a passé une étape en 2022 pour aller vers l'industrialisation [176]. L'Université du Massachusetts (MIT) a présenté récemment la fabrication de transistors GaN/Si 200 mm avec des performances intéressantes à 10 GHz et un niveau élevé d'intégration compatible CMOS (Figure 19a) [177]. L'université de Cornell a également développé des transistors GaN/Si avec des procédés incompatibles aux salles blanches silicium [178], [179]. Le dernier acteur américain est apparu dans le paysage du GaN plus tard que ses concurrents mais il n'est pas des moindres. Intel publie ses premiers travaux en interne sur le GaN en 2013 [180] et ses premiers transistors GaN sur Si en 2019 [104]. C'est la première entreprise à démontrer des transistors fabriqués sur substrats GaN/Si 300 mm. Leur technologie utilise en plus des procédés de fabrication compatibles CMOS. Intel est l'une des rares entreprises à viser les applications de télécommunications pour l'amplification dans les stations de base mais également à très basse tension pour les téléphones mobiles. Les progrès durant les années suivantes sont impressionnants avec des performances au moins aussi élevées que les technologies GaN/SiC et la démonstration d'interconnexions complexes et d'hybridation avec les technologies Silicium [181], [182]. Intel présente en 2022 ses premiers modules d'amplification de puissance et faible bruit [183].

En Europe, on retrouve des instituts de recherche tels que l'IEMN ou l'ETH Zürich qui travaillent sur le développement des technologies GaN/Si depuis les années 2010. Les résultats sont prometteurs pour l'institut français [84], [184] et son voisin suisse [185]–[187] mais les substrats de 100 mm de diamètre et les technologies non compatibles CMOS ne permettent pas de bénéficier de tout le potentiel de l'utilisation de substrats silicium. Une industrie a d'ailleurs fait ce choix en misant uniquement sur le substrat silicium pour diminuer les coûts mais en gardant des procédés de fabrication non compatibles CMOS. C'est OMMIC qui a été fondé en 2000 à la suite de Philips Semiconductor. L'entreprise spécialisée dans les matériaux III-V GaAs et GaN développe cette technologie depuis plus de 15 ans et est aujourd'hui une des leaders des circuits intégrés pour les applications haute fréquence [43] avec des composants avec des fréquences de fonctionnement qui atteignent 43 GHz [188]. OMMIC a également lancé en 2022 la première ligne de fabrication GaN/Si sur substrat 6 pouces [43]. Enfin l'IMEC, institut de recherche Belge, développe depuis plusieurs années une technologie GaN/Si 200 mm avec fabrication compatible CMOS d'abord orientée vers les applications de commutation en puissance [129] puis adaptée pour les applications radiofréquences [98]. Les applications de télécommunication sub-6 GHz étaient d'abord visées puis la montée en fréquence a été envisagée avec des performances intéressantes et l'utilisation de technologies d'interconnexion CMOS (Figure 19b) [189].

En Asie, l'industriel japonais Panasonic a montré des mesures large-signal d'une technologie HEMT GaN sur substrat Si 150 mm à 26,5 GHz dès 2011 mais sans indiquer le rendement d'amplification (PAE). Le centre de recherche *Low Energy Electronic Systems* à Singapour lié avec l'université du Massachusetts (MIT) développe une technologie GaN/Si 200 mm, pour les applications sub-6 GHz, avec des procédés de fabrications sans Or et des hétérostructures variées présentant de bonnes performances RF [128], [190]. Les universités de Shenzhen [191] et de Xidian [192] en Chine ont présenté des travaux sur des transistors GaN sur Si sur des substrats inférieurs à 200 mm. A Taïwan, le géant mondial du semiconducteur TSMC a évoqué le développement d'une



filière GaN sur Si compatible CMOS pour des applications RF dans ses rapports annuels [193] mais reste très discret sur la maturité de cette technologie et les applications visées.

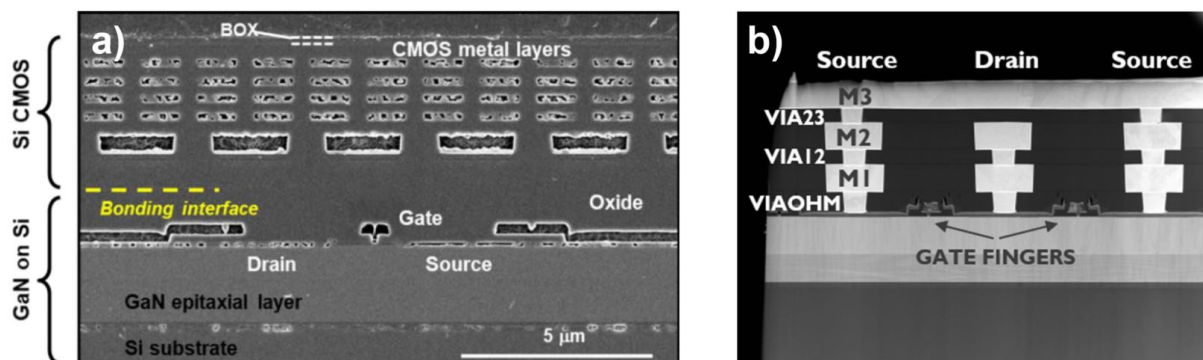


Figure 19 : a) Intégration de transistor avec des transistors CMOS par le MIT (extrait de [177]). b) Transistors GaN avec des niveaux d'interconnexion en Cuivre de l'IMEC (extrait de [189]).

## 4. Conclusion du chapitre

Au cours de ce chapitre, les propriétés physiques avantageuses du GaN pour les fortes densités de puissance à haute fréquence ont été présentées. Ces caractéristiques clés sont notamment la présence d'un gaz bidimensionnel d'électron, qui présente une forte densité d'électrons et une vitesse de saturation élevée, associé au fort champ de claquage du matériau. Le développement des amplificateurs de puissance à l'état solide et leurs applications ont été abordés. Les enjeux technologiques et électriques de la réalisation de HEMT pour l'amplification de puissance en bande Ka ont ensuite été décrits. Des précisions ont été données quant au choix critique du substrat pour l'hétéroépitaxie du GaN et les problématiques liées à cette épitaxie sur substrat Silicium ont été discutées comme la diminution des défauts cristallins ou les pertes radiofréquence du substrat. Les prérequis pour le fonctionnement du transistor autour de 30 GHz concernant son architecture et ses briques technologiques de contact et de grille ont été détaillés. Ce chapitre s'est terminé par un aperçu, par continent, des différents acteurs des technologies GaN/SiC et GaN/Si pour l'amplification de puissance radiofréquence. Le nombre d'acteurs sur cette thématique est important mais les composants performants sur les bandes de fréquences supérieures à 10 GHz sont moins nombreux et les technologies sur substrats silicium avec des procédés de fabrication compatibles CMOS sont rares.

Dans ce contexte, un projet a débuté au CEA Leti en 2018 pour démontrer la faisabilité et le potentiel de transistors GaN HEMT pour l'amplification de puissance en bande Ka sur des substrats silicium 200 mm dans un environnement compatible CMOS. Cette thèse s'inscrit dans ce développement avec pour but d'étudier les problématiques de grilles et notamment le compromis entre le contrôle électrostatique des électrons du canal et les forts champs électriques associés aux transistors compacts pour les hautes fréquences

Industrie / Centre R&D	Paramètres technologiques					Mesures DC			Petit-signal			Large-signal				
	Diamètre du substrat (mm)	Compatibilité CMOS	Barrière	Type de grille	$L_G$ (nm)	$I_{D,max}$ (A/mm)	$g_{m,max}$ (mS/mm)	BV (V)	MSG à 30 GHz (dB)	$f_T$ (GHz)	$f_{max}$ (GHz)	Fréq. de mesure (GHz)	$V_{DS,q}$	PAE <sub>,max</sub> (%)	$G_p$ à PAE <sub>,max</sub> (dB)	$P_{OUT}$ à PAE <sub>,max</sub> (W/mm)
OMMIC [194]	100 → 150	Non	AlN	Schottky	100	1,7	800	>40	13	105	180	30	12	48	-	3.3
ETH [195]	100	Non	AlGaIn	Schottky	100	1,05	540	29	-	95	145	40	10	25	-	0,75
IEMN [184]	100	Non	AlGaIn	Schottky	75	1,1	375	55	12	116	150	40	25	12,5	4,5	2,7
IEMN [196]	100	Non	AlN	Schottky	100	1,8	550	100	-	80	192	40	15	18	5,5	2,25
ITRI [197]	100	Non	InAlGaIn	Schottky	140	0,9	450	-	11	100	97	28	6	20	-	1,1
Panasonic [198]	150	-	AlGaIn	MIS SiN	250	1,1	-	350	-	-	-	26,5	55	-	4	2
Raytheon [199]*	200	Oui	AlGaIn	-	250	1	-	100	-	-	-	10	28	48	8,7	4,7
MIT [177]*	200	Oui	InAlN	Schottky	120	1	340	-	-	51	88	10	20	53	12	4,5
IMEC [189]	200	Oui	AlGaIn	Schottky	200	1,2	400	-	-	50	125	28	4	42	6,1	0,5
Intel [182]	300	Oui	InAlN	MIS	50	1,5	1000	10	-	150	320	28	10	50	6,5	2,7

Tableau 3 : Récapitulatif des différents acteurs des technologies GaN sur silicium pour les applications en bande Ka. \*Malgré des dimensionnements de grilles courts et la volonté de monter en fréquence, les acteurs annotés d'un astérisque n'ont présenté des résultats large-signal qu'à 10 GHz.



# 2

## Fabrication et caractérisation électrique des HEMT

Dans ce chapitre les étapes de fabrication d'un transistor dans les salles blanches du CEA Leti sont décrites. La première partie détaille l'enchaînement des procédés depuis l'épitaxie du GaN sur le substrat Silicium 200 mm jusqu'au premier niveau d'interconnexion. Les contraintes liées à l'environnement CMOS sont également abordées. Dans un second temps, la série de mesures électriques standards d'un HEMT pour l'amplification RF est présentée.

---

---

<b>1. Fabrication dans une salle blanche compatible CMOS.....</b>	<b>37</b>
a. Epitaxie.....	37
b. Brique d'isolation .....	38
c. Contact ohmique.....	38
d. Grille .....	40
e. Premier niveau d'interconnexion.....	40
f. Spécificités de la compatibilité CMOS .....	41
<b>2. Séquence de mesures électriques .....</b>	<b>43</b>
a. Structures de test.....	43
b. Mesure électrique statique (DC) .....	44
c. Mesures pulsées.....	44
d. Mesures petit-signal $S_{ij}$ .....	44
e. Mesures large-signal ou <i>load-pull</i> .....	45
<b>3. Conclusion du chapitre.....</b>	<b>45</b>

---

---

# 1. Fabrication dans une salle blanche compatible CMOS

## a. Epitaxie

Comme expliqué dans le chapitre 1, l'épitaxie est une étape primordiale car elle conditionne la qualité intrinsèque du matériau qui sert à réaliser le composant. Deux épitaxies différentes sont présentées dans cette partie : une épitaxie réalisée en interne au CEA Leti et une épitaxie d'un fournisseur externe.

### i. Epitaxie interne

Le CEA Leti possède un bâti MOVPE Aixtron de type CRIUS (Figure 20a). Ce bâti est monoplaque et un nettoyage au chlore pour limiter la contamination résiduelle est effectué entre chaque plaque. Les substrats silicium (111) ont un diamètre de 200 mm et une épaisseur comprise entre 725  $\mu\text{m}$  et 1 mm. Leur résistivité est supérieure à 5  $\text{k}\Omega\cdot\text{cm}$  pour ne pas engendrer de pertes RF. Une désoxydation thermique (*in situ*) ou un nettoyage au HF est réalisé juste avant le démarrage de la croissance afin de garantir une bonne qualité d'interface au début de la croissance. Celle-ci débute par une couche de nucléation d'AlN suivie par deux couches d'AlGaIn avec un taux d'aluminium décroissant pour adapter les contraintes engendrées par le désaccord de maille entre le silicium et le GaN. L'épaisseur de ces trois couches est d'environ 500 nm. La couche tampon ou buffer qui vient ensuite est composée de GaN dopé au carbone avec une concentration de l'ordre de  $10^{18}$   $\text{at}/\text{cm}^3$ . Son épaisseur est de l'ordre de 1  $\mu\text{m}$ . La barrière de confinement ou *back-barrier* est composée d'une première couche d'AlGaIn de plusieurs centaines de nanomètres avec un gradient croissant de concentration en aluminium, suivie par une seconde couche de quelques nanomètres avec une concentration de l'ordre de 30 % [88]. On retrouve au-dessus de cette *back-barrier* le canal de 150 nm, qui constitue la couche active dans laquelle les électrons se déplacent. C'est une couche dite non intentionnellement dopée (ou UID pour *Unintentionally Doped* en anglais) avec un dopage résiduel de carbone de l'ordre de  $10^{16}$   $\text{at}/\text{cm}^3$ . La barrière est composée d'un *spacer* AlN d'un nanomètre et une barrière en AlGaIn de 8 nm avec 28% d'aluminium. L'utilisation d'une barrière fine est pertinente pour les applications hyperfréquence. La concentration d'aluminium est un compromis entre la densité et la mobilité des électrons [14], [200] et le risque de relaxation de la couche. Pour passiver la surface de la barrière et ne pas dégrader les propriétés de transport du 2DEG, une couche de SiN de l'ordre de 10 nm est déposée *in situ*. Cette structure épitaxiale est représentée schématiquement sur la Figure 20b.

### ii. Epitaxie externe

Les substrats GaN/Si achetés chez un fournisseur extérieur sont également épitaxiés dans un réacteur MOVPE sur des substrats silicium 200 mm de haute résistivité. Les couches de nucléation et d'adaptation des contraintes sont la propriété du fournisseur. Le *buffer* est composé d'une couche de GaN dopé carbone, servant également de barrière de confinement. Le canal possède une épaisseur de 150 nm. Au-dessus de ce canal, on retrouve un *spacer* AlN de 0,7 nm et deux types de barrière : une couche d'AlGaIn de 15 nm avec 28 % d'aluminium ou une couche d'AlN de

5 nm. La couche de passivation réalisée in-situ est également du SiN de 10 nm d'épaisseur. Cet empilement est présenté sur la Figure 20.c.

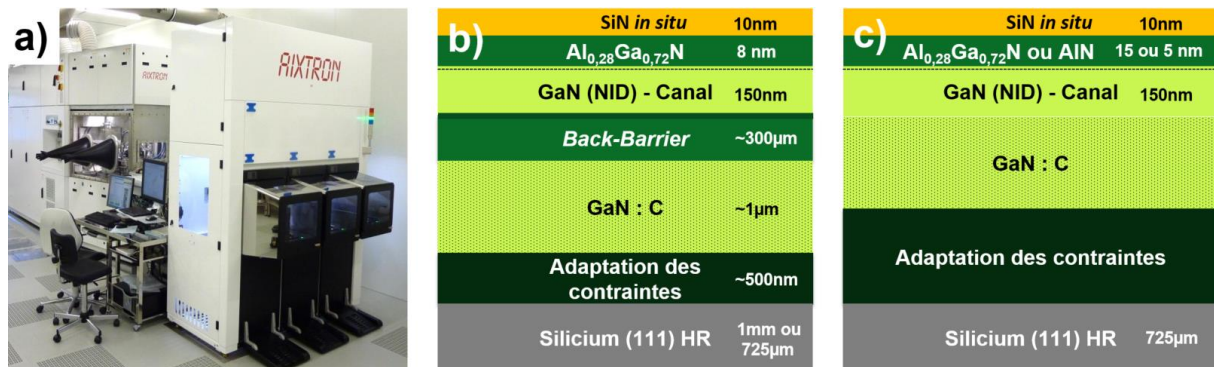


Figure 20 : a) Bâtiment d'épitaxie CRIUS. b) Représentation de l'empilement épitaxial réalisé en interne au CEA Leti. c) Empilement réalisé chez un fournisseur extérieur.

Avant de démarrer le procédé de fabrication, chaque plaque est caractérisée notamment par spectroscopie de rayons X ou photoluminescence. Ces caractérisations permettent de déterminer l'épaisseur totale de la couche épitaxiée, l'épaisseur de barrière et de SiN ou encore la concentration en aluminium dans la barrière.

## b. Brique d'isolation

Une description schématique des modules qui composent le procédé de fabrication est présenté en Figure 23. Il débute par le module d'isolation qui a pour but d'isoler électriquement les différentes structures. Un film de SiN de 20 nm est déposé par la technique de dépôt chimique en phase vapeur à basse pression (ou LPCVD pour *Low Pressure Chemical Vapor Deposition* en anglais) pour protéger la surface. Une lithographie définissant les zones actives suivie d'une implantation argon sont réalisées. La dose d'ions  $Ar^+$  implantés est de  $7 \times 10^{13}$  at/cm<sup>2</sup> avec une énergie de 150 keV. Cette implantation crée des défauts dans le cristal de GaN qui piègent les porteurs libres. Dans ces zones, le gaz d'électrons est neutralisé en surface et une couche très résistive ( $> 10^{12}$   $\Omega$ /sq) jusqu'à 100 nm dans le GaN canal est formée [201].

## c. Contact ohmique

Deux procédés de fabrication ont été utilisés pour la réalisation de contacts ohmiques : le premier avec une extension par implantation  $n^+$  dans le GaN, et le second est un contact allié après retrait total de la barrière. Les contacts entre le métal et le semiconducteur sont réalisés par un procédé damascène qui consiste à former des cavités, déposer un métal sur toute la surface puis polir la plaque pour retirer le métal qui n'est pas dans les cavités. Grâce à cette approche, les flancs du contacts sont bien définis (Figure 21c) et les difficultés de gravure lorsque les dimensions sont courtes [98], sont évitées.

### i. Contact avec implantation

L'enchaînement de l'étape de lithographie suivie de l'implantation silicium et du recuit d'activation des dopants est réalisé avant l'étape d'isolation (voir partie 1.b) pour éviter que le

budget thermique de ce recuit ne conduise à la reconstruction des défauts générés pour l'isolation électrique des composants. Une couche de SiO<sub>2</sub> amorphe est déposée avant l'implantation de silicium pour décaler le profil de concentration des dopants puis le wafer est incliné de 7° pour limiter les effets de canalisation. Cette implantation se déroule en deux étapes : une première implantation à 40 keV avec une dose de 1x10<sup>15</sup> at/cm<sup>2</sup> suivie par une seconde implantation à 100 keV avec une dose de 4x10<sup>15</sup> at/cm<sup>2</sup>. Le profil après implantation silicium résulte en une couche avec une concentration constante qui vaut ~5x10<sup>21</sup> at/cm<sup>3</sup> jusqu'à 80 nm dans le canal (Figure 21a). Le recuit d'activation des dopants silicium se déroule à 1050°C sous N<sub>2</sub>. Afin de former le contact métallique sur la couche implantée, les couches de passivation sont gravées localement. Une seconde étape de gravure permet le retrait de la barrière AlGaIn jusqu'à quelques nanomètres dans le GaN canal. Un nettoyage chimique HCl pour désoxyder la surface du GaN est enchaîné avec le dépôt du métal. Ce métal est constitué par un empilement Ti/Al/Ti/TiN. Cet empilement est ensuite recuit à 590°C pour former des alliages qui favoriseront le transport du courant. Une étape de polissage mécano-chimique permet de retirer le métal en dehors des motifs et de garder la planéité du wafer. L'empilement métallique de ce contact a été sélectionné pour plusieurs avantages : la première couche de titane forme des alliages qui favorisent le transport du courant après recuit ; l'aluminium possède une faible résistivité nécessaire pour ne pas impacter les résistances d'accès du transistor ; les couches supérieures contenant du titane permettent l'encapsulation de l'aluminium pour empêcher son oxydation. Ces métaux sont également sélectionnés pour leur compatibilité avec les enjeux de contamination dans une salle blanche de type CMOS et avec l'étape de polissage mécano-chimique. Une vue en coupe d'un accès implanté en coupe faite par microscopie électronique en transmission à balayage (ou STEM pour *Scanning Transmission Electron Microscopy*) est présentée en Figure 21b.

## ii. Contact allié avec retrait de barrière

La fabrication du contact allié est similaire au procédé précédemment décrit sans l'étape d'implantation et le recuit d'activation des dopants. Elle débute par une lithographie définissant les motifs des contacts, suivie par la gravure des couches de passivation. La barrière est ensuite gravée avec une sur-gravure de plusieurs nanomètres dans le canal. Un nettoyage HCl pour désoxyder la surface est enchaîné avec le dépôt métallique constitué de Ti/Al/Ti/TiN. Ce métal est ensuite recuit à 590°C pour former des alliages à l'interface et favoriser le transport du courant [97], [202]. Une étape de CMP permet de retirer le métal dans les zones en dehors des motifs et recouvrir une surface plane. Une coupe de cette technologie de contact est montrée en Figure 21c.

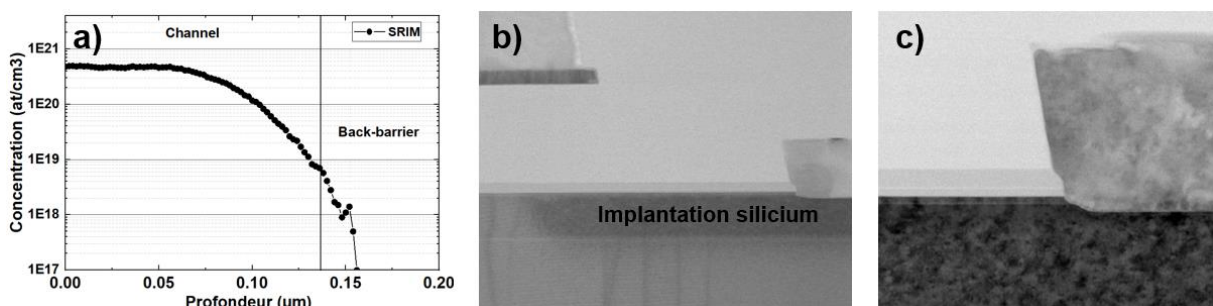


Figure 21 : a) Simulation d'une double implantation Si dans le GaN à l'aide du logiciel SRIM. b) Image STEM en coupe de l'accès implanté. c) Image STEM en coupe du contact allié avec retrait de la barrière.

## d. Grille

La grille des transistors est fabriquée en deux étapes : une première pour former le pied de grille qui contrôle les électrons du canal puis la tête de grille qui permet de diminuer la résistance de grille. Une image STEM de la grille en coupe est présentée sur la Figure 22a.

### i. Pied de grille

Le procédé de fabrication du pied de grille est réalisé par un procédé damascène. Il démarre par une lithographie composite qui définit les motifs du pied de grille par lithographie électronique (ou ebeam pour *electron beam* en anglais) suivie d'une lithographie en ultraviolet profond (ou DUV pour *deep ultraviolet* en anglais) pour créer des motifs factices dans les zones neutralisées. Ces motifs factices, qui sont plus grand ( $> 0,25 \mu\text{m}$ ), permettent d'augmenter la quantité de matière gravée lors de la gravure afin d'obtenir un signal chimique suffisant pour observer la détection de fin d'attaque lorsqu'on arrive sur la couche barrière. Cette détection de fin d'attaque permet d'assurer le contrôle et la répétabilité du procédé de fabrication. L'étape d'ouverture du pied de grille débute par la gravure de la couche  $\text{SiO}_2$  suivie du retrait de la résine par plasma  $\text{O}_2$ . Le procédé se poursuit par la gravure du  $\text{SiN}$  avec un arrêt sélectif sur la barrière  $\text{AlGaN}$ . C'est l'étape la plus critique du procédé de fabrication car il s'agit de graver quelques dizaines de nanomètres de nitrure en s'arrêtant sur une couche d' $\text{AlGaN}$  de 8 à 15nm, sans endommager ni sur-graver cette barrière  $\text{AlGaN}$  (Figure 22b). Deux nettoyages chimiques sont effectués, le premier à base de HF fortement dilué pour retirer les résidus de gravure puis le deuxième à base de HCl pour retirer l'oxydation de surface de l' $\text{AlGaN}$ . Les métaux ensuite déposés sont le  $\text{TiN}$  pour former la barrière Schottky et le W qui est compatible au CMP et qui permet de remplir de manière conforme le pied de grille par la technique CVD. Une étape de polissage mécano-chimique permet ensuite de retirer le métal dans les zones en dehors des motifs gravés et d'avoir une surface plane. Cette approche permet la fabrication de grilles jusqu'à 80 nm, un alignement précis (*overlay* moyen  $+ 3 \sigma < 125 \text{ nm}$ ) et un espacement grille-source de quelques centaines de nanomètres.

### ii. Tête de grille

Pour former la tête de grille au sommet du pied de grille, un dépôt métallique  $\text{Ti/TiN/Al/TiN}$  d'une épaisseur totale de 530 nm est déposé. L'épaisseur de ce dépôt est déterminée afin d'obtenir une faible résistance de grille. Une lithographie est réalisée pour définir les motifs de tête de grille puis l'empilement métallique est retiré par gravure plasma en dehors de ces motifs.

## e. Premier niveau d'interconnexion

La passivation est complétée par du  $\text{SiO}_2$  pour éloigner les métaux des niveaux d'interconnexion et encapsuler la grille. Une lithographie suivie d'une gravure de cette passivation permet d'ouvrir des vias sur les métaux des niveaux ohmique et grille. Ces vias sont remplis avec une couche épaisse ( $\sim 1,4 \mu\text{m}$ ) de métal ( $\text{Ti/TiN/Al/Ti/TiN}$ ). Une deuxième lithographie suivie par une gravure plasma du métal permet de définir des plots de mesures en surface afin de mesurer les transistors (Figure 22c).



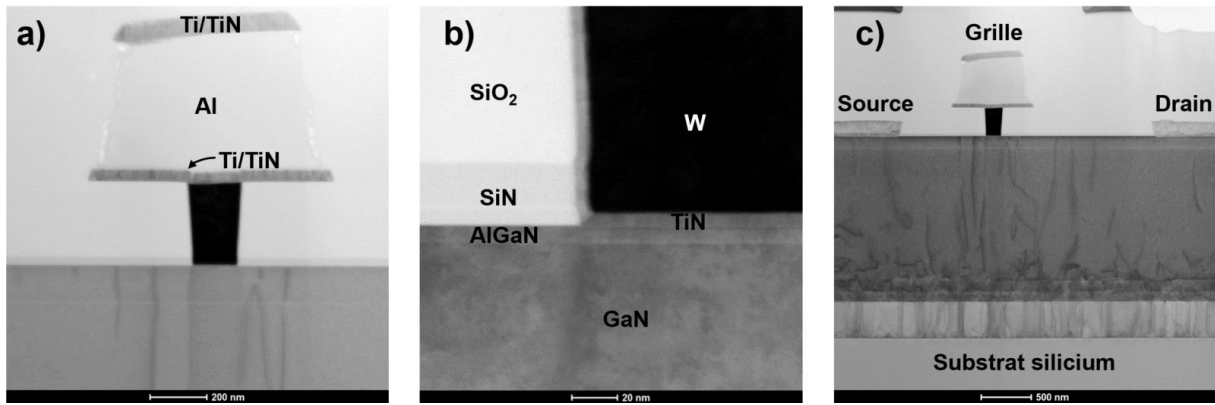


Figure 22 : a) Image STEM de la grille en coupe. b) Image STEM en coupe du coin du pied de grille. c) Image STEM en coupe après premier niveau de métal.

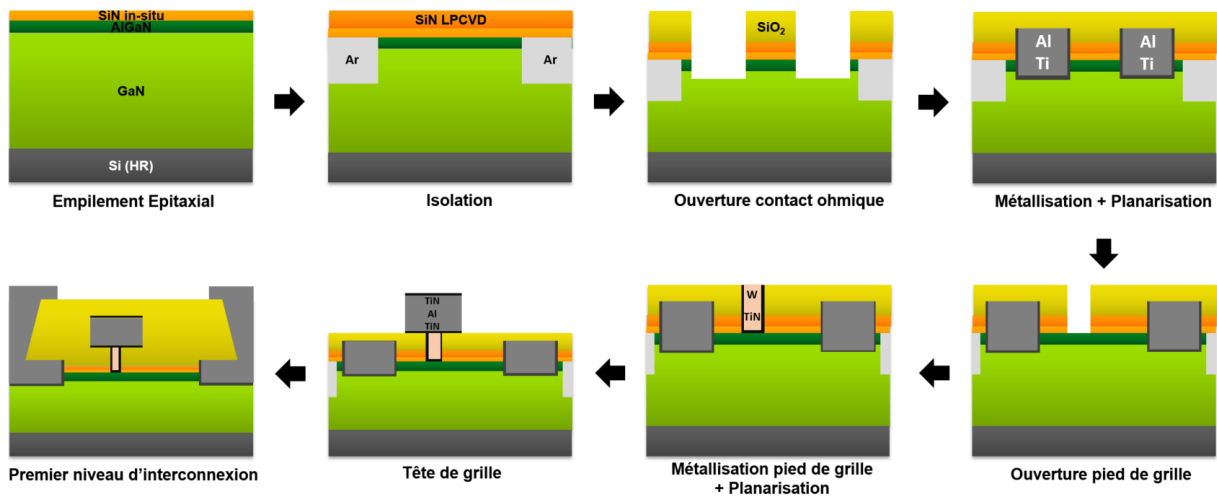


Figure 23 : Schéma récapitulatif du procédé de fabrication des transistors.

## f. Spécificités de la compatibilité CMOS

Développer une technologie de transistors GaN sur Si dans un environnement de fabrication compatible avec les technologies CMOS est un enjeu majeur pour diminuer les coûts de production en bénéficiant de substrats de plus grande taille avec des rendements plus importants que les technologies III-V. Cela permettrait d'utiliser les performances avantageuses et la meilleure efficacité énergétique des technologies GaN dans des applications large public. Cette partie détaille ces règles de compatibilité.

### i. Contraintes

Le premier aspect concerne l'introduction du matériau GaN dans une salle blanche CMOS. Ce matériau n'est jamais utilisé dans les lignes de fabrication de ce type. Le Ga est un contaminant potentiel du silicium qui peut diffuser à haute température et induire des dysfonctionnements dans les circuits. L'introduction de plaque Si avec une épitaxie GaN en face avant dans la salle blanche du Leti a donc nécessité la mise en place d'un protocole spécifique pour éviter tout risque de contamination croisée entre les équipements et les plaques. La face arrière des plaques GaN est fréquemment nettoyée pour éviter le transport de particules Ga. Des procédés spécifiques ont été

créés pour traiter ce matériau : gravure sèche et humide, stripping, nettoyage. Ces procédés ont été développés dans des équipements dits *back-end* dont le niveau de contamination métallique est moins critique en comparaison d'équipements ultra-propre dits *front-end* (four, paillasse de nettoyage). Cette contrainte réduit fortement l'accès à certains équipements et donc à certains procédés de fabrication.

Historiquement, les technologies GaN/SiC utilisent l'or dans les contacts ohmiques, la grille et les interconnexions ainsi que le procédé de *lift-off* pour la définition de ces motifs métalliques. L'or n'est jamais utilisé en salle blanche CMOS car c'est un contaminant majeur du silicium. Le procédé de *lift-off* n'est pas accepté dans ces salles blanches car il génère une quantité importante de particules sur les plaques et dans les équipements. De plus, son rendement de fabrication est généralement faible. Les métaux habituellement utilisés pour réaliser le contact Schottky de grille comme le nickel ou le platine ne peuvent être choisis dans cet environnement à cause de la contamination et de la compatibilité aux étapes de polissage. Pour réaliser des lithographies maîtrisées concernant la taille des motifs et l'alignement, la surface du wafer ne doit pas avoir de topographie. Cette contrainte de planéité empêche par exemple de réaliser l'isolation des composants en gravant des mésas. En conséquence, la filière de fabrication des transistors RF GaN a donc été entièrement repensée pour n'utiliser que des matériaux et des procédés compatibles CMOS. Cela a impliqué de mettre au point de nombreux procédés et de les valider.

Les wafers subissent des contraintes mécaniques induites par les étapes de dépôt, de recuit et surtout d'hétéro-épitaxie. L'écart important entre les paramètres cristallographiques des deux matériaux génère de fortes contraintes et donc une déformation du substrat initial (Figure 24a). Ces déformations sont caractérisées par deux grandeurs appelées *bow* (écart maximal entre la surface et le plan médian de la plaque) et *warp* (différence entre le point le plus haut et celui le plus bas sur la surface d'une plaque). Ces valeurs doivent rester inférieures à 150  $\mu\text{m}$  pour le *warp* et 50  $\mu\text{m}$  pour le *bow* pour que les plaques puissent être manipulées par les robots dans les équipements. Les équipements de lithographie sont particulièrement sensibles à la déformation des plaques. Ils sont conçus pour optimiser la résolution et l'alignement sur des plaques de silicium qui sont très planes. La forte déformation des plaques GaN/Si induit d'importants problèmes d'alignement d'un niveau par rapport au précédent. Sur notre filière technologique, la résolution n'est pas affectée car la dimension des motifs est suffisamment large et pour obtenir un focus et un alignement dans les spécifications. La déformation des plaques pose également des problèmes lors des étapes de CMP qui laissent des résidus dans les zones concaves de la plaque.

## ii. Avantages

Si la compatibilité avec l'environnement CMOS crée de nombreuses contraintes, elle permet aussi de bénéficier de la maturité des technologies silicium. Cela permet d'améliorer drastiquement l'uniformité (Figure 24c) et la répétabilité des procédés de fabrication entre plaques et entre lots. Le rendement de fabrication est également très élevé avec une faible dispersion des performances (Figure 24b). Le respect de ces contraintes permet finalement le transfert technologique de cette filière technologique vers les industriels qui est une des missions du CEA Leti.

## iii. Difficultés rencontrées

Les lots présentés dans ce manuscrit sont les premiers lots transistor GaN pour les applications hyperfréquences réalisés au CEA Leti. La mise au point de nouveaux procédés de

fabrication et des caractérisations associées ont eu pour conséquence d'augmenter considérablement le temps de fabrication en plus des délais induits par les maintenances ou les pannes. Ces lots ont donc eu une durée de fabrication supérieure à 1 an. La validation de toutes ces contraintes, les erreurs humaines et d'équipement, le risque de casse ou encore la variabilité de l'épitaxie ont impliqué que sur 47 wafers lancés en fabrications seulement 16 ont pu être analysés après mesure électrique. C'est donc une perte importante d'information qui a rendu l'analyse et la compréhension physique plus difficiles.

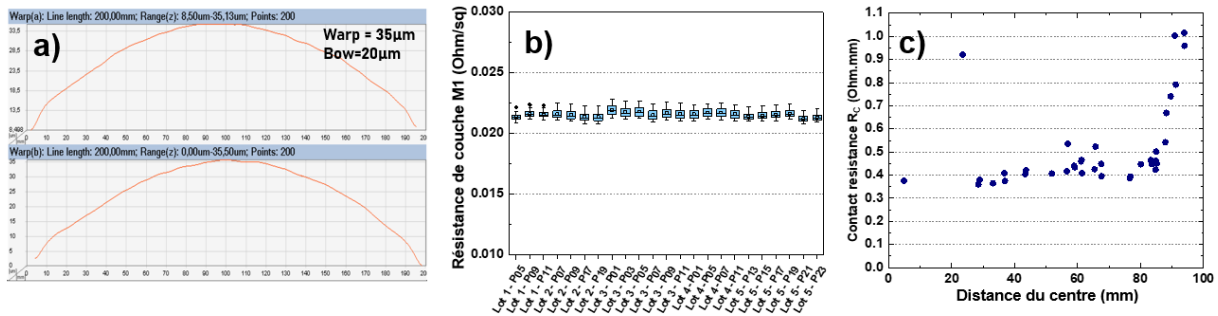


Figure 24 a) Mesure de déformation d'un wafer. b) Répétabilité de la résistance de couche du métal 1. c) Uniformité de la résistance de contact jusqu'à 90 mm du centre.

## 2. Séquence de mesures électriques

Dans cette seconde partie, la séquence standard de tests électriques ainsi que les différents transistors et structures étudiés dans la suite de ce manuscrit sont brièvement présentés.

### a. Structures de test

Le transistor de test de référence pour l'amplification de puissance en bande Ka présente deux doigts de grille avec un développement de 50 µm par grille et une longueur de 150 nm (Figure 25a). Les distances grille-source et grille-drain mesurent respectivement  $L_{GS}=0,3 \mu\text{m}$  et  $L_{GD}=1 \mu\text{m}$  (Figure 25b). Les variations de ces paramètres sur les autres transistors de test donnent un développement unitaire  $W_G$  compris entre 35 µm et 100 µm, une longueur de grille  $L_G$  entre 80 nm et 500 nm alors que les distances grille-source  $L_{GS}$  et grille-drain  $L_{GD}$  varient de 0,2 µm à 0,8 µm et de 0,6 µm à 2 µm respectivement. Quatre structures de diodes avec 20 doigts interdigités sont également mesurées. Elles ont des longueurs de grille comprises entre 100 nm à 500 nm avec un espacement entre l'anode et la cathode de 1 µm.

Pour contrôler les différentes étapes de fabrication (isolation, dépôt de métaux...) et l'épitaxie, de nombreuses structures dites PCM (pour *Process Control Monitor* en anglais) sont mesurées. On retrouve des motifs en configuration de mesure 4 pointes pour extraire la résistance des différents métaux (grille, métal 1, métal ohmique) et celle des vias. Plusieurs motifs TLM (pour *Transmission Line Method* en anglais) permettent d'extraire les résistances de couche du 2DEG, de l'implantation  $n^+$  et de la résistance du contact. Des motifs Van der Pauw permettent également d'extraire le  $R_{2DEG}$ . Des contacts interdigités séparés par de l'implantation  $Ar^+$  sont testés pour contrôler l'isolation.

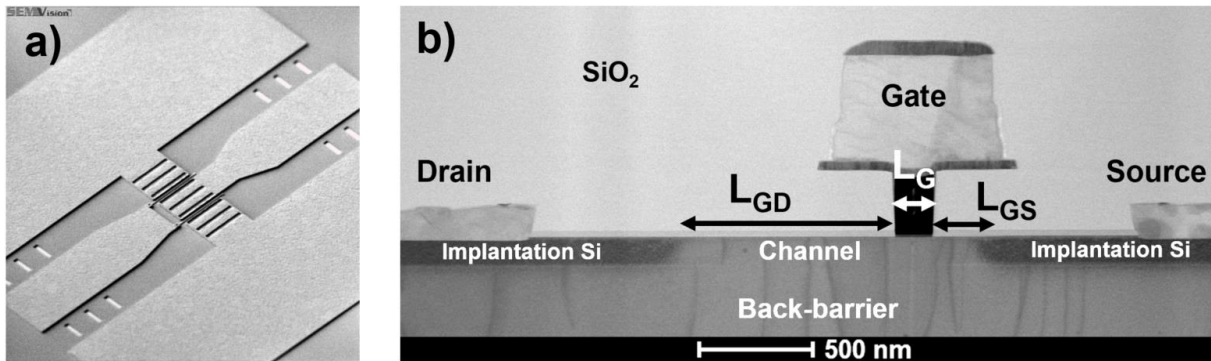


Figure 25 : a) Image SEM du transistor de référence vu de dessus. b) Image STEM en coupe du transistor avec les distances  $L_G$ ,  $L_{GS}$  et  $L_{GD}$ .

## b. Mesure électrique statique (DC)

La caractérisation des transistors débute par des mesures statiques dans le but d'analyser le potentiel des transistors. La caractéristique de transfert avec  $V_G$  allant de  $-4$  V à  $+2$  V et  $V_D=10$  V permet de déterminer la tension de pincement  $V_P$ , le courant maximal  $I_{D,max}$  et les fuites en blocage  $I_{G,leak}$ . La transconductance est également extraite car elle influence directement les figures de mérite RF. Le réseau de caractéristiques  $I_D-V_D$  montre également le courant de saturation, la conductance de drain et la résistance à l'état passant  $R_{ON}$ . La caractéristique en blocage avec  $V_G=-5$  V et  $V_D$  de  $0$  V à  $100$  V permet d'extraire la tension de claquage du transistor  $BV$  lorsque le courant atteint  $1$  mA/mm.

## c. Mesures pulsées

Avec son grand gap, le GaN est un matériau dans lequel les impuretés peuvent former de nombreux niveaux donneurs ou accepteurs. Le piégeage des porteurs dégrade les performances électriques lorsque le transistor est en fonctionnement (dégradation  $I_D$ , décalage  $V_P...$ ). Pour quantifier ces effets ainsi que l'impact de l'auto-échauffement, des mesures pulsées sont réalisées avec et sans stress entre les pulses (Figure 26a). La longueur des pulses, leur période et les conditions de stress sont des paramètres importants pour caractériser de manière fiable le piégeage. Finalement, cette mesure permet d'estimer la puissance de sortie en fonctionnement large-signal.

## d. Mesures petit-signal $S_{ij}$

Dans le cas des technologies GaN/Si, les mesures radiofréquence débutent par la caractérisation de lignes coplanaires d'impédance caractéristique  $50 \Omega$  fabriquées sur les passivations, au-dessus d'une zone où le 2DEG a été neutralisé. L'observation du paramètre caractérisant la transmission ( $S_{21}$ ) de cette ligne permet d'évaluer les pertes de signal dues aux couplages capacitif/résistifs parasites avec le substrat silicium qui affectent la performance du transistor.

La caractérisation radiofréquence des transistors est ensuite réalisée avec un signal de faible amplitude (typiquement  $-17$ dBm) qui permet d'extraire les fréquences de coupures à savoir  $f_T$  et  $f_{max}$  qui indiquent les fréquences pour lesquelles le gain en courant ( $H_{21}$ ) et le gain unilatéral en

puissance ( $U$ ) deviennent nuls. Ces grandeurs permettent d'évaluer les potentialités des dispositifs de fonctionner dans les gammes de fréquences ciblées. Par ailleurs, un circuit équivalent petit-signal du transistor peut être extrait pour identifier quels éléments (extrinsèques ou intrinsèques) brident la performance RF.

### e. Mesures large-signal ou *load-pull*

L'étape finale de caractérisation des transistors est la mesure *load-pull* ou large-signal. Elle combine le fonctionnement en fréquence et un signal de forte puissance pour extraire les caractéristiques d'amplification maximale du composant. Cette mesure nécessite d'adapter les impédances présentées en entrée et en sortie du transistor pour éviter d'introduire des plans de réflexion des ondes de puissance, qui brideraient le fonctionnement optimal du transistor (Figure 26b). Les grandeurs principalement étudiées sont le gain en puissance ( $G_P$ ), la puissance en sortie ( $P_{OUT}$ ) et le rendement d'amplification (ou PAE) définies par :

$$G_P = \frac{P_{OUT}}{P_{IN}} \quad (8)$$

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} \quad (9)$$

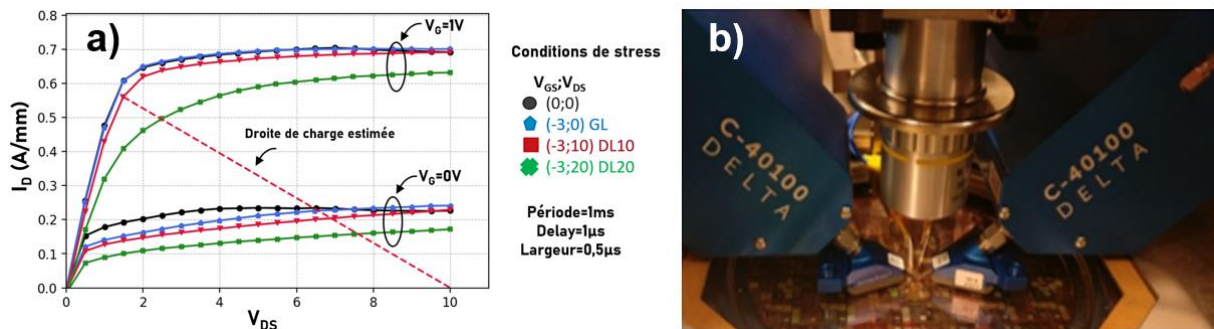


Figure 26 : a) Exemple de caractérisation pulsée d'un transistor. b) Pointes haute fréquence d'un banc de mesure *load-pull* passif.

## 3. Conclusion du chapitre

Au cours de ce chapitre, les différentes étapes pour fabriquer les transistors ont été détaillées depuis l'épitaxie jusqu'au premier niveau d'interconnexion. Les aspects de compatibilité CMOS ont été abordés avec leurs avantages et leurs limites lors d'un développement technologique. Finalement, la séquence standard de mesures électriques permettant d'évaluer les performances électriques a été présentée. Cette caractérisation permet également d'identifier l'impact des différentes étapes technologiques sur les caractéristiques DC et hyperfréquences.

# 3

## Influence des procédés de fabrication sur les performances électriques

Ce chapitre, composé de trois parties, présente les premières mesures de la filière GaN RF du CEA Leti. Dans un premier temps, l'influence des différentes étapes de fabrication de la grille sur les performances électriques sont abordées à travers diverses techniques de caractérisation. Dans la seconde partie, l'impact du recuit d'activation des dopants silicium sur le transport des électrons et la tenue en tension du transistor est étudié. La dernière partie se concentre sur la simulation de nouvelles architectures à l'aide d'un logiciel TCAD pour comprendre quelles structures pourraient améliorer le transistor.

L'ensemble des résultats présentés dans ce chapitre ont été obtenus grâce aux remarques pertinentes, aux travaux antérieurs et aux compétences avancées dans le domaine de : Erwan Morvan pour les caractérisations électriques et leurs interprétations, Yveline Gobil et Sharon Hsu pour le développement et le suivi de fabrication des transistors, Matthew Charles pour l'épitaxie, Nicolas Defrance pour les caractérisations pulsées et les mesures  $S_{ij}$ , Jérôme Biscarrat et Marianne Coig pour la brique de contact ohmique, Arnaud Anotta et Giovanni Romano pour la mise en place des routines de test électrique qui nous permettent d'avoir accès à une quantité importante de mesures statiques.

---

---

<b>1. Les procédés de fabrication de grille .....</b>	<b>48</b>
a. Formation du pied de grille .....	48
b. Empilement de grille .....	52
c. Tête de grille .....	60
d. Type de barrière .....	61
e. Conclusion .....	71
<b>2. Influence du recuit d'activation du dopage silicium .....</b>	<b>73</b>
a. Descriptions des wafers .....	73
b. Caractérisation électrique du 2DEG .....	74
c. Caractérisation électrique en blocage .....	77
d. Caractérisations physico-chimiques .....	80
e. Barrières de confinement alternatives .....	84
f. Conclusion .....	85
<b>3. Simulations TCAD d'architectures de grille avancées .....</b>	<b>86</b>
a. Description générale .....	86
b. Ajustements sur le wafer Ext 1 .....	88
c. Etude d'architectures de grilles avancées .....	89
d. Conclusion .....	92
<b>4. Conclusion du chapitre .....</b>	<b>92</b>

---

---

# 1. Les procédés de fabrication de grille

Les travaux présentés dans cette première partie ont été possibles grâce à l'aide précieuse et les compétences avancées de : Simon Ruel et Patricia Pimenta-Barros pour les développements de gravure, Hugo Dansas pour la préparation des échantillons pour les analyses par microscopie électronique, la SERMA et Adeline Grenier pour les caractérisations en microscopie électronique, Nicolas Gautier et François Pierre pour les analyses ToF-SIMS, Stéphane Piotrowicz du III-V Lab pour la caractérisation pulsée de l'échantillon 2C, Benjamin Blampey pour les mesures  $S_{ij}$  des transistors, Julien Delprato pour les mesures  $S_{ij}$  des lignes coplanaires, Alexis Divay pour les mesures *load-pull*.

La grille étant l'élément de commande du transistor, ses caractéristiques impactent directement les performances du transistor. En fonction de la gamme de fréquence et de la puissance qui sont visées, on dimensionne en conséquence la longueur et le développement total de grille ainsi que d'autres grandeurs comme les épaisseurs de barrière et de canal ou la distance entre grille et drain. Ces dimensionnements sont choisis pour maximiser la capacité de contrôle des électrons dans le canal et la tenue en tension mais également minimiser les éléments parasites (R, L et C) dans le transistor qui influencent le fonctionnement à haute fréquence. Si on trouve un optimum théorique pour l'architecture de grille, ce dernier se heurte à de nombreux autres phénomènes qui interviennent lors de la fabrication et qui influencent la performance électrique. Dans cette partie, nous étudions l'influence de plusieurs procédés de fabrication de grille sur les performances électriques statiques et radiofréquences du transistor.

## a. Formation du pied de grille

### i. Gravure nitrure

L'intégration *gate-last* (i.e. la grille fabriquée après les contacts ohmiques), additionnée à la contrainte de planéité pour les étapes de lithographie, implique que la formation du pied de grille débute par la gravure de plusieurs couches de passivation (voir p.35). Ces gravures utilisent généralement des plasmas, dont les ions sont accélérés vers la surface du wafer pour retirer la matière par réaction chimique et par bombardement ionique (ou RIE pour *Reactive Ion Etching* en anglais). Si ce bombardement ionique est efficace pour graver les motifs, il peut également créer des défauts et des charges fixes dans les matériaux situés en dessous, voire graver la barrière AlGaIn si la gravure n'est pas assez sélective.

Pour mettre en évidence l'importance de la gravure au niveau du pied de grille, nous étudions 6 wafers. On différencie certains wafers par un chiffre (1A, 1B ; 2A, 2B, 2C ; 3A) car ils sont issus d'un lot d'épitaxie différent. Ils présentent tous le même empilement épitaxial interne décrit au chapitre 2. Les procédés d'isolation des transistors et de fabrication des contacts ohmiques avec implantation de silicium sont identiques sur tous les wafers. L'unique différence est la gravure de la couche de SiN située au-dessus de la barrière AlGaIn lors de la fabrication du pied de grille. Les wafers 1A et 1B sont gravés avec un temps supérieur à 20 s, à l'aide de la détection de fin d'attaque (DFA) spectroscopique qui indique, en temps réel, quelle est la couche gravée grâce aux produits de la réaction de gravure. La gravure nitrure des wafers 2A, 2B et 2C est réalisée au temps avec des durées de 12 s, 9 s et 7 s respectivement. Le wafer 3A est gravé à l'aide la DFA avec une quantité de dioxygène plus élevée et un *bias* plus faible. La formation de la tête de grille et du



premier niveau d'interconnexion est identique. Les procédés de gravure de grille sont référencés dans le Tableau 4. Les transistors mesurés présentent deux doigts de grille d'une largeur  $W_G=75 \mu\text{m}$ . La grille a une longueur de 150 nm alors que les distances grille-source et grille-drain sont de 0,3  $\mu\text{m}$  et 1  $\mu\text{m}$  respectivement. 21 puces sont mesurées sur les wafers 200 mm mais comme le faisceau de courbes est peu dispersé ( $V_G=0 \pm 0,2 \text{ V}$ ), une seule puce représentative est représentée pour gagner en lisibilité.

Les caractéristiques de transfert  $I_D-V_G$  à  $V_{DS}=10 \text{ V}$  d'une puce représentative des wafers 1A et 1B sont présentées sur la Figure 27a. Le wafer 1B (en bleu) n'est pas fonctionnel car sa tension de seuil est supérieure à 0 V et la diode de grille injecte du courant en direct dès 0,5 V, atteignant la limitation en courant (ou *compliance* en anglais) à 1 mA/mm pour  $V_G=0,7 \text{ V}$ . Le niveau relativement élevé de fuite en inverse ( $> 3 \times 10^{-4} \text{ mA/mm}$  à  $V_G=-7 \text{ V}$ ) et l'injection rapide en direct pourraient indiquer une mauvaise barrière Schottky du métal de grille. Cependant, la tension de seuil du transistor supérieure à 0 V semble indiquer un gaz d'électrons fortement dégradé. La comparaison avec le wafer 1A indique qu'une des étapes du procédé de fabrication n'est pas maîtrisée car ces deux wafers ont eu exactement le même enchaînement d'étapes et ils possèdent des caractéristiques très différentes. Les fuites de grille en blocage atteignent  $8 \times 10^{-4} \text{ mA/mm}$  et la tension de seuil du transistor est situé vers 0 V. L'injection de grille intervient pour une tension de grille légèrement plus haute permettant au transistor de passer à l'état ON avec un courant de drain atteignant 350 mA/mm lorsque  $V_G=1 \text{ V}$ . Une image en coupe du pied de grille du wafer 1A au microscope électronique à balayage en transmission est montrée sur la Figure 27b. On remarque que la barrière AlGaIn au niveau du pied de grille est sur-gravée, ne laissant que 2 nm au-dessus du canal. Les nitrures d'élément III ne sont gravés que par plasma ou en solution acide très concentrée et chauffée. Or les nettoyages chimiques réalisés après la gravure sont faiblement concentrés et à température ambiante. Cette observation souligne donc que la recette de gravure nitrure utilisée n'est pas assez sélective sur l'AlGaIn. Ce retrait partiel de la barrière 8 nm dégrade fortement le gaz bidimensionnel d'électrons du canal.

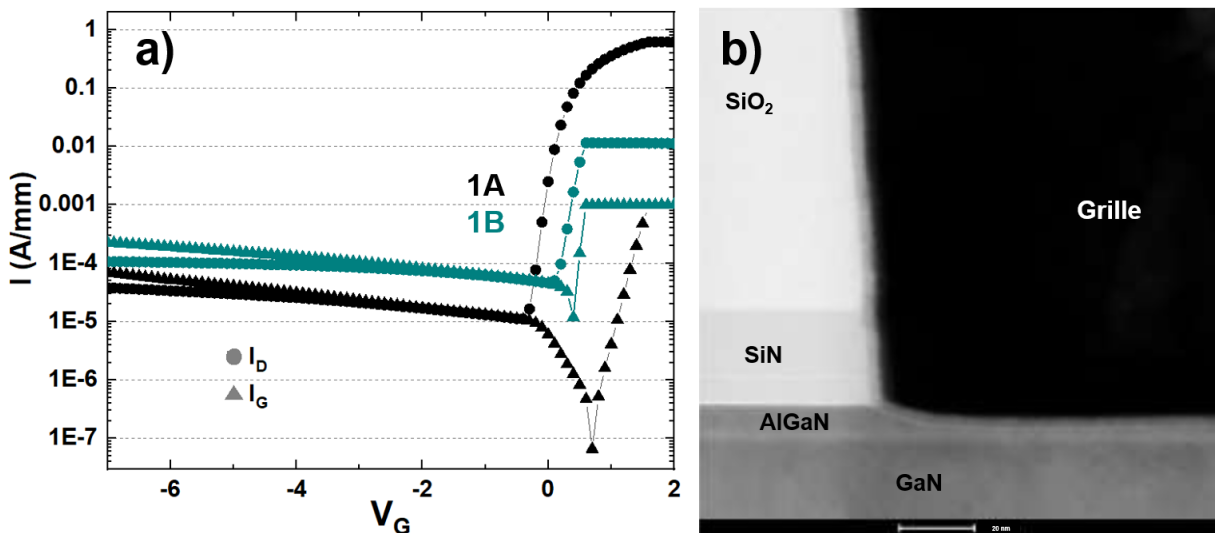


Figure 27 : a) Caractéristiques de transfert des wafers 1A et 1B. b) Image STEM en coupe du pied de grille du wafer 1A.

Wafer	1A	1B	2A	2B	2C	3A
Temps de gravure nitrure	> 20 s (DFA)	> 20 s (DFA)	12 s	9 s	7 s	> 20 s (DFA)
Tension	Elevé	Elevé	Elevé	Elevé	Elevé	Faible
Ratio CF <sub>4</sub> /O <sub>2</sub>	<15	<15	<15	<15	<15	>15

Tableau 4 : Tableau récapitulatif des caractéristiques des différents wafer étudiés.

Pour mettre en évidence cette dégradation, les wafers 2A, 2B et 2C ont été gravés en choisissant des durées inférieures qui valent 12 s, 9 s et 7 s respectivement. Les caractéristiques  $I_D$ - $V_G$  à  $V_{DS}=10$  V sont présentées sur la Figure 28a. La caractéristique du wafer 1A est superposée pour faciliter la comparaison. On observe un décalage vers les valeurs négatives de la tension de seuil pour les wafers ayant subi un temps de gravure plus court. La coupe STEM du pied de grille du wafer gravé 12 s (Figure 28b) indique que l'épaisseur de la barrière AlGa<sub>N</sub> est environ 1 nm plus fine sous la grille que dans la zone où elle est passivée. L'image est prise après le dépôt métallique donc le nanomètre retiré pourrait être le résultat du nettoyage réalisé avant dépôt pour retirer les résidus de gravure et les couches endommagées et/ou oxydées en surface. On remarque par ailleurs que le fait de diminuer le temps de gravure entre 12 s (2A) et 9 s (2C) implique un décalage la tension de seuil vers les valeurs négatives. Le retrait de la barrière qui diminue l'effet piézo-électrique de la barrière AlGa<sub>N</sub> et appauvrit le 2DEG n'était pas le seul responsable de la tension de seuil positive. Le simple fait de bombarder la surface de l'AlGa<sub>N</sub> avec les ions du plasma de gravure crée des défauts ou des charges fixes qui dégradent le 2DEG.

Une gravure de 7 s n'est pas un procédé industriel car elle est peu répétable. Une nouvelle recette a été développée en diminuant le bias pour diminuer la vitesse de gravure et en augmentant le ratio de dioxygène pour créer une couche oxydée en surface de l'AlGa<sub>N</sub> et augmenter la sélectivité de cette gravure SiN vis-à-vis de la barrière. Cette nouvelle gravure a été appliquée sur le wafer 3A en utilisant la détection de fin d'attaque après une gravure supérieure à 40 s. La caractéristique de transfert est montrée sur la Figure 28a. Cette courbe est superposée avec celle du wafer 2C indiquant qu'il n'y a pas de sur gravure de la barrière, malgré l'utilisation du signal de DFA, grâce à une meilleure sélectivité. Cette hypothèse est confirmée par l'image STEM du pied de grille (Figure 28c), l'analyse EDX de ce pied de grille ne montre pas d'oxygène résiduel à l'interface entre le métal et la barrière. Ce résultat valide le développement d'une gravure contrôlable et répétable. Cependant, la tension de pincement, définie comme la tension de grille lorsque  $I_D=I_D(V_G=0\text{ V})/100$ , qui est identique sur les wafers 2C et 3A ainsi que le courant de drain limité ( $\sim 400$  mA/mm à  $V_G=1$  V) montre que le bias plus faible de cette gravure ne semble pas moins dégrader le gaz d'électrons sous la grille. En simulant une hétérostructure avec AlGa<sub>N</sub> 7 nm, spacer AlN 0,7 nm à l'aide d'un solveur Schrödinger-Poisson, on peut estimer une tension de pincement entre -1,5 V et -2 V sans dégradation du gaz d'électrons. On constate donc que la gravure nitrure du pied de grille n'est pas la seule étape qui influence le transport dans le canal et donc la performance électrique finale du transistor. La gravure oxyde qui précède la gravure SiN, les nettoyages chimiques, le dépôt métallique ou le budget thermique ont tous une influence sur les caractéristiques électriques.

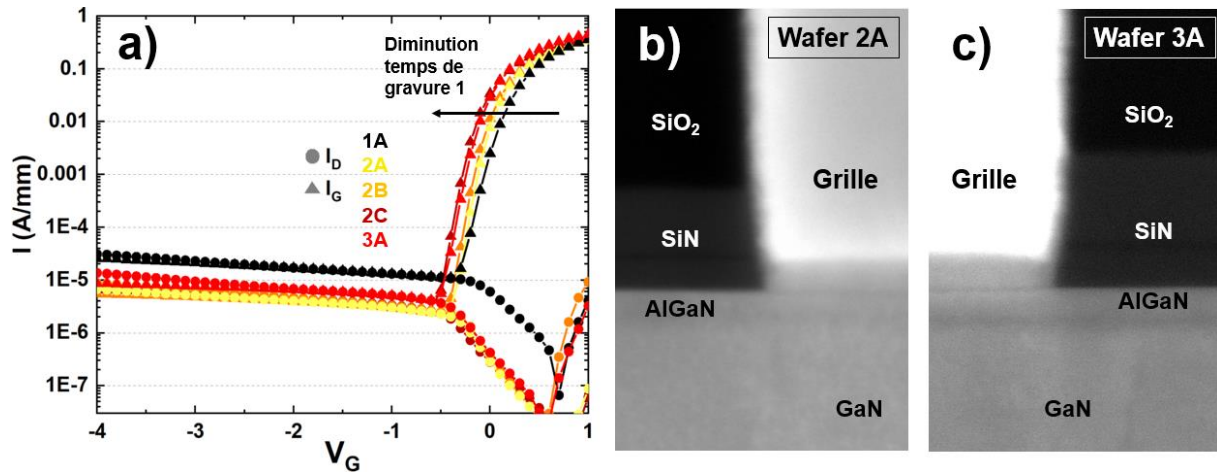


Figure 28 : a) Caractéristique de transfert  $I_D$ - $V_G$  à  $V_{DS}=10$  V d'une puce représentative des wafers 1A, 2A, 2B, 2C et 3A. Images STEM en coupe du pied de grille du b) wafer 2A (12 s) et du c) wafer 3A (>40s - DFA).

## ii. Enchaînements des étapes de grille

Pour identifier les étapes limitantes pour la performance électrique de manière rapide, nous étudions deux wafers possédant l'empilement de l'épitaxie interne décrite dans le chapitre 2. Sur ces wafers sont déposés du SiN puis du SiO<sub>2</sub> avec des épaisseurs identiques à celles qui recouvrent l'AlGaIn avant la gravure du pied de grille. On réalise ensuite sur la plaque entière les étapes de fabrication de pied de grille avant le dépôt métallique : la gravure oxyde, le retrait de résine (ou *stripping*), la gravure nitrure et les nettoyages. Entre chacune de ces étapes, la résistance du 2DEG est mesurée par une technique 4 points pleine plaque [203] sur 21 sites. On compare deux gravures oxyde et on nomme ces wafers Ox-1 et Ox-2 pour les différencier. La gravure du premier wafer présente un bias et une vitesse de gravure plus élevés que pour le second.

La résistance de couche du 2DEG au cours du procédé de fabrication est présentée sur la Figure 29a pour Ox-1 et la Figure 29b pour Ox-2. Les deux wafers ont un  $R_{S,2DEG}$  proche de 350  $\Omega$ /sq après épitaxie. La première mesure après l'étape d'épitaxie est donc faite après gravure oxyde et stripping. Une nette augmentation est visible pour les deux échantillons, cependant la gravure oxyde 1 induit une dégradation plus importante avec valeur médiane de 730  $\Omega$ /sq et une dispersion plus grande que le wafer Ox-2 qui a une valeur médiane de 456  $\Omega$ /sq. L'étape de stripping étant similaire, la gravure oxyde 1 induit plus de charges et de défauts que la gravure 2. Cependant même la gravure Ox-2 influence la conduction du 2DEG avec une augmentation de 50 % du  $R_{S,2DEG}$  malgré un arrêt sur le SiN 30 nm au-dessus de la barrière indiquant une limite du procédé de fabrication. Après l'étape de gravure nitrure avec arrêt sur la barrière AlGaIn développée dans la partie précédente, la mesure de résistance de couche souligne une nouvelle dégradation à 1125  $\Omega$ /sq pour Ox-1 et à 609  $\Omega$ /sq pour Ox-2. Cette augmentation est attendue car plusieurs études ont montré que la passivation de la barrière améliore la conductivité du 2DEG en évitant l'oxydation et en neutralisant les états de surface [204], [205]. Étonnamment, la dégradation n'est pas identique sur les deux wafers mais on peut supposer que les liaisons pendantes étaient différentes du fait des gravures oxydes. Pour retirer les résidus de gravure, l'oxydation de surface, les couches endommagées et recouvrir une surface de meilleure qualité, des nettoyages chimiques sont généralement réalisés avant le dépôt de métal [206], [207]. Nous débutons par un nettoyage HF fortement dilué pour retirer les polymères générés pendant la gravure. Après cette étape, le  $R_{S,2DEG}$  augmente d'environ 200  $\Omega$ /sq et vaut 1395  $\Omega$ /sq en valeur médiane sur le wafer Ox-1 et 810  $\Omega$ /sq

sur Ox-2. On remarque que ce nettoyage impacte l'état de surface de la barrière et dégrade la résistivité du gaz d'électron. Un second nettoyage à base de HCl est réalisé sur la surface dans le but de retirer l'oxydation. L'influence sur le  $R_{S,2DEG}$  est faible avec une augmentation de  $73 \Omega/\text{sq}$  de la valeur médiane sur Ox-1 et une diminution de  $39 \Omega/\text{sq}$  sur Ox-2. La dispersion des mesures est augmentée sur les deux wafers même s'il faut garder à l'esprit que le nettoyage et la mesure ne sont pas directement enchaînés. Donc l'oxydation de surface pourrait se reformer dans l'environnement de la salle blanche. Pour comparer, un autre nettoyage désoxydant à base d'EKC est réalisé et la mesure n'indique pas non plus de variation notable de la résistance de couche du 2DEG.

L'influence de ces divers procédés pourrait être différente sur des motifs de grille submicroniques et l'impact des nettoyages désoxydant est difficile à évaluer sans contrainte d'enchaînement. Mais malgré ces limites, cette étude a mis en lumière la dégradation que peut engendrer la gravure oxyde notamment pour la recette Ox-1. Le nettoyage HF semble également avoir un effet néfaste sur l'état de surface de la barrière. Une étude chimique par spectroscopie de photoélectrons (ou XPS pour *X-ray Photoelectron Spectroscopy*) pourrait améliorer la compréhension de l'influence de ce traitement sur la surface. Finalement, une intégration de type *gate-first* permettrait de s'affranchir de ces gravures de passivations épaisses et des essais avec différents nettoyages chimiques indiqueraient quel traitement est le plus pertinent pour fabriquer une grille avec le procédé le moins dégradant pour le transport des électrons du canal.

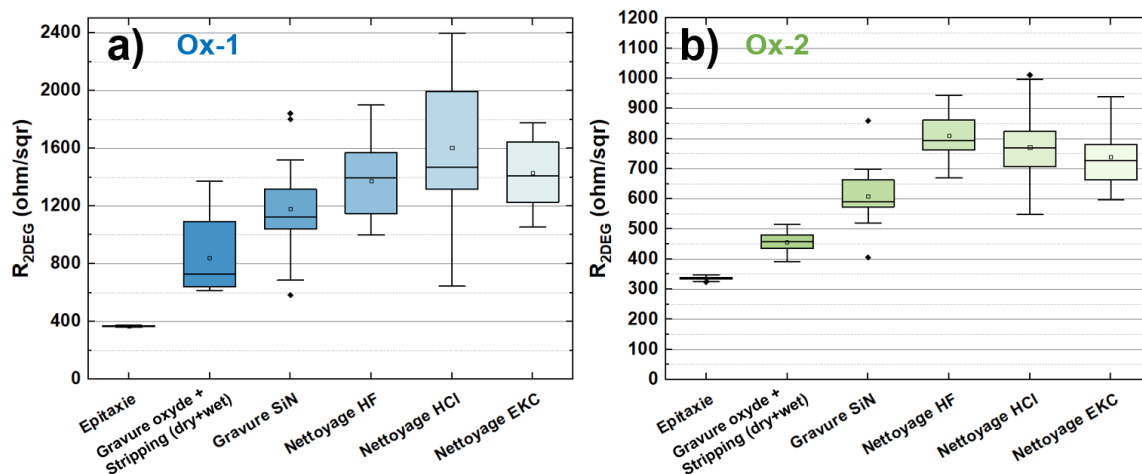


Figure 29 : *Boxplot* représentant la moyenne (point), la médiane (trait), le premier quartile (boîte) et le troisième quartile (barre) de la résistance de couche du 2DEG à chacune des étapes pour les wafers a) Ox-1 et b) Ox-2.

## b. Empilement de grille

La réduction de la distance grille-drain ainsi que l'amincissement de la barrière, qui sont nécessaires pour le fonctionnement à haute fréquence, induisent des pics de champs électrique plus intenses sous la grille qui peuvent influencer la fiabilité ou encore les fuites de grille. Pour adresser ces phénomènes, certaines technologies utilisent une structure MIS [104]. Les isolants les plus étudiés sur les technologies HEMT sont le SiN [123]–[128], [208], l' $\text{Al}_2\text{O}_3$  [119], [120], le  $\text{HfO}_2$  [122] ou des multicouches [129]. Les deux désavantages principaux des structures MIS sont l'augmentation des effets de piégeage dans l'isolant ou aux interfaces d'une part, et la diminution du contrôle électrostatique à cause de l'épaisseur d'isolant d'autre part. Le piégeage dégrade les

caractéristiques électriques avec des effets d'hystérésis (décalage de la tension de pincement) et d'écroulement du courant de drain (*current collapse*). Dans le cas des applications à haute fréquence, l'amélioration du  $f_T$  et du  $f_{max}$  passe par l'amincissement des couches sous la grille pour maximiser le  $g_m$ . Cela pousse l'utilisation de diélectriques à haute permittivité (ou *high-K*) et le développement des dépôts par couche atomique (ou ALD pour *Atomic Layer Deposition*) très bien contrôlés. L'utilisation d'un empilement MIS nécessite donc un compromis entre ces trois composantes qui sont les fuites, le piégeage et le contrôle électrostatique.

### i. Description des wafers

Dans cette étude nous allons comparer deux wafers, l'un avec une grille Schottky et l'autre avec une grille MIS. Les wafers 2C et 4A proviennent de deux lots d'épitaxie différents mais ils présentent un empilement épitaxial identique, décrit dans le chapitre 2. Hormis la fabrication du pied de grille, le procédé de fabrication est similaire pour ces deux wafers qui ont un contact implanté. La grille Schottky du wafer 2C est formée après ouverture des couches de passivations et nettoyages HF puis HCl dilués suivi du remplissage métallique de TiN déposé par PVD pour la barrière électrostatique et de W déposé par CVD pour le remplissage. Pour le wafer 4A, les mêmes nettoyages sont réalisés après l'ouverture des passivations sur l'AlGaN et avant le dépôt par couche atomique de 5 nm d'Al<sub>2</sub>O<sub>3</sub>. Cette épaisseur est déterminée pour être équivalente à l'autre approche envisagée qui utilise 2,5 nm de SiN in-situ. La grille est ensuite remplie par le même dépôt métallique TiN/W. La formation de la tête de grille après polissage et le premier niveau d'interconnexions suivent le procédé décrit dans le chapitre 2. La résistance de couche du gaz d'électrons, mesurée pleine plaque [203] après épitaxie, est d'environ 330 Ω/sq. Le motif TLM permet l'extraction du  $R_{2DEG}$  en fin de fabrication avec une augmentation à 573 Ω/sq pour le wafer 2C et à 655 Ω/sq pour le wafer 4A. Cette dégradation est principalement due au recuit d'activation des dopants pour la formation de l'accès implanté (voir p.73). L'analyse de ces structures permet également l'extraction des résistances d'accès des wafers 2C et 4A qui valent  $0,64 \pm 0,03 \Omega \cdot mm$  et  $0,41 \pm 0,02 \Omega \cdot mm$  respectivement. Les transistors mesurés ont deux doigts de grille de 75 μm avec un  $L_G$  de 150 nm. Les distances grille-source et grille-drain sont de 0,3 μm et 1 μm respectivement.

### ii. Mesures électriques DC

Les caractéristiques de transfert  $I_D$ - $V_G$  à  $V_{DS}=10$  V sont tracées sur la Figure 30a. Par soucis de lisibilité, seule une courbe représentative des 21 points de mesure est tracée. La tension de pincement  $V_P$ , extraite lorsque  $I_D=I_{D,(V_G=0 V)}/100$ , vaut -0,4 V sur le wafer 2C alors qu'elle est de - 1,4 V sur le wafer 4A. Comme discuté dans la partie précédente, de nombreux procédés influencent la densité du gaz d'électron et donc le  $V_P$ . Cependant ces deux wafers ont subi des étapes de gravure et de nettoyage identiques. La tension de pincement plus négative sur le wafer avec de l'Al<sub>2</sub>O<sub>3</sub> peut donc s'expliquer par la présence de charges dans l'oxyde et/ou par le fait que le métal est repoussé plus loin de la barrière minimisant ainsi son influence sur le 2DEG. En plus d'une tension de pincement plus négative, le wafer Al<sub>2</sub>O<sub>3</sub> présente un courant de drain maximal (à  $V_G=+1$  V) 81% plus important, avec 692 mA/mm contre 382 mA/mm sur le wafer 2C. L'utilisation de l'empilement MIS permet de diminuer les fuites de grilles à un niveau inférieur à  $1 \times 10^{-9}$  mA/mm quand le transistor est pincé. Le contrôle de la grille sur le 2DEG décrit par la transconductance  $g_m$  montre un maximum plus important  $g_{m,max}=373$  mS/mm sur le wafer 2C que sur le wafer 4A (353 mS/mm). Cette diminution est attendue car les 5 nm d'Al<sub>2</sub>O<sub>3</sub> abaissent le contrôle électrostatique de la grille sur les électrons du canal. Cependant cette variation est faible par rapport à l'augmentation de la

distance entre le métal et le 2DEG car le gaz d'électrons est moins dégradé sur la plaque avec la structure MIS (4A). Sur cet empilement avec  $\text{Al}_2\text{O}_3$ , la mesure des fuites se trouve à la limite de précision de mesure indiquant qu'une épaisseur plus fine d'isolant pourrait être déposée pour bénéficier de faibles fuites en augmentant le  $g_{m,\max}$  pour améliorer le fonctionnement à haute fréquence ( $f_T$ ,  $f_{\max}$ ) puisque la technologie ALD permet de déposer des couches uniformes entre 1 et 2 nm.

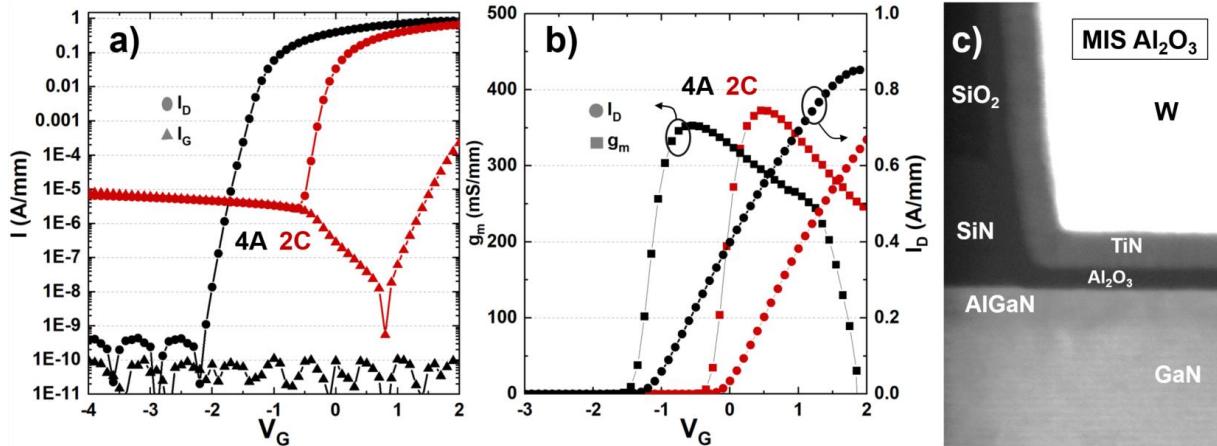


Figure 30 : a) Caractéristique de transfert  $I_D$ - $V_G$  à  $V_{DS}=10$  V pour les wafers 4A (MIS  $\text{Al}_2\text{O}_3$ ) et 2C (Schottky) b) Caractéristique de transfert  $I_D$ - $V_G$  à  $V_D=10$  V en échelle linéaire avec la transconductance  $g_m$  sur l'axe de droite. c) Image STEM du coin du pied de grille d'un wafer avec empilement MIS  $\text{Al}_2\text{O}_3$  et TiN CVD.

### iii. Mesures pulsées

Comme mentionné plus haut, les couches d'isolant sous la grille peuvent être une source importante de piégeage. La caractérisation du piégeage est difficile à cause de la grande diversité de pièges avec des énergies et des constantes de temps variées. Grâce à l'amélioration des bancs pulsés avec des largeurs de pulse inférieures à  $1 \mu\text{s}$ , cette caractérisation est devenue plus robuste et reproductible. Ce type de caractérisation consiste à stresser le transistor puis à mesurer un point de la caractéristique  $I_D$ - $V_D$  de manière rapide pour que la mesure ne change pas l'état de stress du composant. On répète l'opération pour chaque point de la caractéristique et sous différentes conditions de stress pour discriminer le piégeage lié à la grille (*gate lag*) de celui lié au drain (*drain lag*). En plus des effets de piège, la mesure pulsée permet de minimiser l'effet de l'auto-échauffement du transistor en régime de saturation qui dégrade les propriétés de transport.

Les deux wafers ont été caractérisés sur deux bancs différents, à l'IEMN à Lille pour le wafer 4A (Figure 32a) et au III-V Lab à Palaiseau par S. Piotrowicz pour le wafer 2C (Figure 32b). Les conditions de mesure ne sont donc pas identiques et on ne peut comparer de manière quantitative les résultats. Cependant ces mesures permettent tout de même d'avoir un bon aperçu des effets de piégeages sur ces composants.

Le piégeage peut avoir plusieurs types d'influence sur la caractéristique électrique en faisant chuter le courant sur toute la caractéristique ou uniquement sur une partie (région du coude, saturation...). Plus rarement, le piégeage augmente le courant par rapport à la caractéristique sans stress. Le choix de la façon dont on calcule le *lag* est donc primordial. Les transistors étudiés dans ce manuscrit ont comme application l'amplification de puissance RF, nous avons donc fait le choix



de calculer le *lag* en comparant la puissance maximale en sortie estimée par rapport aux caractéristiques à différents stress. En prenant l'exemple de la Figure 31, si on polarise notre transistor en classe B à une tension de repos  $V_{DS,q}=10\text{ V}$  et qu'on fait l'approximation d'un fonctionnement linéaire, le point de fonctionnement du transistor parcourt la droite de charge représentée en pointillés. La puissance de sortie dépend de l'excursion en tension et en courant sur cette droite. Dans l'approximation linéaire, la puissance de sortie est exprimée par la relation :

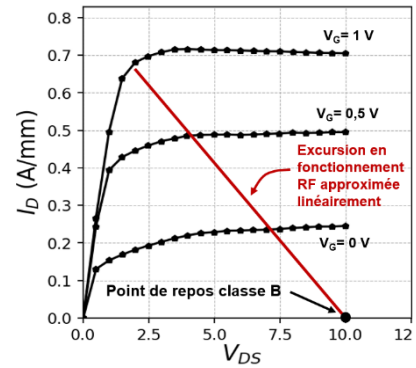


Figure 31 : Caractéristique  $I_D-V_{DS}$  avec l'excursion RF approximée linéairement.

$$P_{out} = U_{eff} \cdot I_{eff} \text{ où } U_{eff} \text{ et } I_{eff} \text{ sont les amplitudes efficaces en tension et en courant}$$

En classe B, on est pincé la moitié du temps et en négligeant les effets d'auto-polarisation, on obtient une sinusoïde mono-alternance redressée pour laquelle :

$$U_{eff} = \frac{1}{2} \cdot (V_{DS,q} - V_{coude}) \text{ et } I_{eff} = \frac{1}{2} \cdot I_{coude} \text{ soit } P_{out} = \frac{1}{4} \cdot (V_{DS,q} - V_{coude}) \cdot I_{coude}$$

Pour estimer l'influence du stress de grille (*gate lag*) ou de drain (*drain lag*), on calcule donc le rapport des puissances entre la caractéristique avec stress vis-à-vis de la caractéristique sans stress. Une autre façon d'extraire le *gate lag* consiste à faire le rapport des courants de drain maximum des caractéristiques avec et sans stress de grille. Cette méthode a pour limite principale de sous-estimer l'effet du piégeage lorsqu'il impacte uniquement la région du coude. Dans ce qui suit, nous discuterons des valeurs de *gate lag* et *drain lag* extraites en puissance.

Sur le wafer avec empilement MIS (4A), 6 puces ont été testées et une caractéristique est présentée en Figure 32a. La courbe noire décrit la caractéristique pulsée à  $V_G=1\text{ V}$  sans aucun stress. Comme attendu, le courant en régime de saturation ( $>800\text{ mA/mm}$ ) est supérieur au courant observé en mesure continue ( $>600\text{ mA/mm}$ ) car la mesure pulsée minimise l'effet de l'auto-échauffement et du piégeage sur cette caractéristique avec un point de repos à  $0\text{ V}$  sur la grille et le drain. La comparaison avec la configuration avec stress de grille (en bleu) met en évidence un *lag* « négatif » puisque le courant de drain est légèrement augmenté. Ce phénomène est probablement dû à l'apparition de charges positives dans l'alumine ou à une interface lors de la phase de stress. Cependant la variation est faible ( $<3\%$ ) indiquant que l'utilisation de cette structure MIS ne semble pas poser de problème concernant le piégeage. Pour confirmer cette observation, une étude avec des conditions de stress plus nombreuses pourrait être menée. Les caractérisations avec stress de drain jusqu'à  $20\text{ V}$  montrent une dégradation croissante du courant de drain dans la région du coude. Si la perte en puissance est acceptable avec un stress de  $10\text{ V}$  ( $\sim 7\%$ ), on remarque une nette dégradation lorsque la tension de drain vaut  $20\text{ V}$  ( $\sim 23\%$ ). Ce phénomène, qui est courant dans les technologies HEMT [130], [209], peut être lié au piégeage de porteurs dans les couches de passivation au-dessus de la jonction grille-drain ou plus fréquemment dans les couches du *buffer* à cause de défauts liés au carbone qui s'incorpore dans les couches lors de l'épitaxie [84]. La puissance de sortie estimée avec une polarisation à  $V_{DS,q}=10\text{ V}$  est de  $1,5\text{ W/mm}$ . Cette estimation est en théorie surestimée car elle ne prend pas en compte l'auto-échauffement, les extremums de tension de drain et de grille sont plus importants lors du balayage en puissance et les effets non linéaire s'ajoutent. Cette valeur est cependant en deçà du potentiel des technologies HEMT GaN à cause notamment du courant de drain qui est limité ( $< 1\text{ A/mm}$ ).

La caractérisation du wafer 2C (Figure 32b) ne montre quasiment aucun effet de *gate lag*. L'effet du piégeage lié à la polarisation de drain au-delà de 20 V est également très marqué sur ce wafer qui présente une épitaxie et des passivations similaires. La limitation de la puissance de sortie est encore plus visible sur ce transistor puisque le gaz d'électrons est plus dégradé (Tableau 5).

Du fait des performances statiques limitées et de pertes RF dans le substrat supérieures à 1 dB/mm pour ces deux wafers, nous ne réalisons pas de caractérisation radiofréquence (mesures petit-signal et large-signal). Cette étude a démontré le potentiel de la structure MIS Al<sub>2</sub>O<sub>3</sub> qui ne semble pas engendrer d'effet de piégeage même si des polarisations de stress de grille plus négative pourraient être testées. L'amélioration de cette structure passe par une optimisation de l'épaisseur d'oxyde pour trouver un compromis entre  $g_m$  et fuites de grille. Les études des nettoyages avant dépôt de l'alumine et des recuits post-dépôt pourraient également améliorer les performances DC ou les aspects de fiabilité qui n'ont pas été abordés ici. Les caractérisations pulsées ont également mis en évidence une limite de notre empilement épitaxial ou de passivation qui engendre un piégeage important sous l'effet de la polarisation de drain. Finalement, cette comparaison a mis en lumière la dégradation du transport sous la grille Schottky probablement à cause de la métallisation de grille.

	GL	Drain Lag 10 V	Drain Lag 15 V	Drain Lag 20 V	Drain Lag 40 V	P <sub>OUT</sub> 10 V (W/mm)	P <sub>OUT</sub> 20 V (W/mm)
Wafer 2C Schottky	> 2%	-	-	-20%	>40%	-	~1,8
Wafer 4A MIS Al <sub>2</sub> O <sub>3</sub>	> -3%	-7%	-15 %	-23 %	-	~1,5	~2,8

Tableau 5 : Tableau récapitulatif du piégeage et de la densité de puissance estimée des wafers 2C et 4A. N.B : les caractérisations pulsées sont réalisées dans des conditions différentes (voir Figure 32).

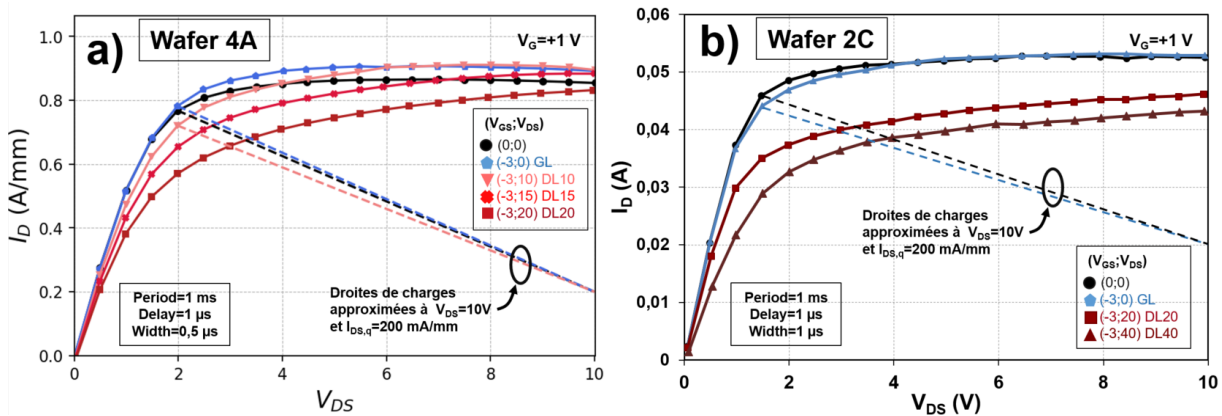


Figure 32 : a) Caractérisation pulsée du wafer 4A (MIS Al<sub>2</sub>O<sub>3</sub>) avec une largeur de pulse de 500 ns. b) Caractérisation pulsée du wafer 2C (Schottky) avec une largeur de pulse 1  $\mu$ s (S. Piotrowicz).

#### iv. Analyse chimique de l'empilement de grille Schottky

Pour comprendre d'où vient cette dégradation du transport lors de la formation de la grille Schottky, nous réalisons une caractérisation par spectroscopie de masse en temps de vol (ou ToF-SIMS pour *Time of Flight Secondary Ion Mass Spectrometry*) sur un wafer du même lot que le wafer 2C avec un empilement métallique de grille identique. Cette technique comporte plusieurs cycles composés d'une première étape d'abrasion par un canon à ions argon qui arrache de la matière en surface. Lors de la seconde étape, un second faisceau ionique à base de césium ionise la matière qui a été arrachée puis ces espèces sont accélérées par un champ électrique. Le temps mis par



chaque espèce pour atteindre le détecteur dépend de sa masse, on peut donc déterminer avec précision (jusqu'à 1 ppm) la concentration chimique d'un élément. Cette analyse nécessite de trouver le meilleur compromis entre intensité du signal et résolution spatiale. Pour avoir un signal assez important, nous analysons un motif de grille d'une longueur de 30  $\mu\text{m}$  et d'une largeur de 150  $\mu\text{m}$ . Seul le signal provenant de la partie centrale de ce motif (en vert) est analysé afin d'éviter les effets de bord (Figure 33a). Cette caractérisation est réalisée en polarisation négative, c'est-à-dire qu'on détecte les espèces chargées négativement.

Le profil des espèces  $\text{F}^-$ ,  $\text{TiN}^-$ ,  $\text{AlGaN}^-$  et  $\text{GaN}^-$  est tracé sur la Figure 33b. Le suivi de ces espèces permet d'identifier les différentes couches de l'empilement. Le minimum de l'échelle en ordonnée est fixé à 10 coups car en dessous le signal est assimilé à du bruit. Entre 0 et 900 s, la couche de tungstène gravée contient du fluor. Ce fluor s'insère lors du dépôt chimique en phase vapeur puisque le précurseur utilisé est le  $\text{WF}_6$ . On entre ensuite dans la couche de TiN dans laquelle le signal du fluor est plus intense du fait de la présence d'oxygène (non montré ici) qui exalte la détection du fluor. Vers 1300 s le signal provenant du TiN décroît alors que celui des fragments  $\text{AlGaN}^-$  augmentent caractérisant l'analyse de la barrière AlGaN 7 nm. Le signal lié au fluor décroît mais il est présent jusqu'à l'interface avec le GaN canal vers 1550 s. Cette observation indique que le fluor, présent dans le précurseur lors du dépôt du tungstène, diffuse au travers du TiN jusque dans la barrière AlGaN voire jusque dans le canal. Les contraintes liées aux dépôts CVD du W sont connues depuis longtemps dans les technologies silicium et leurs impacts sur les technologies de grille ont été étudiées [210]–[213]. Dans les technologies GaN, les espèces fluorées sont notamment utilisées pour fabriquer des composants dit *normally-off*, c'est-à-dire avec une tension de seuil positive [214], [215] puisque ces impuretés sont généralement chargées négativement. Dans notre cas la présence du fluor au niveau de l'hétérostructure sous la grille est probablement responsable d'une partie de la dégradation du 2DEG qui se caractérise notamment par une tension de pincement très proche de 0 V et un courant de drain maximal largement inférieur à 1 A/mm.

Sur le wafer 2C, l'un des transistors avec une grille de 80 nm présente une caractéristique de transfert  $I_D$ - $V_G$  différentes des 20 autres sites mesurés (non montrée ici). La tension de pincement extraite est décalée de -0.3 V indiquant que le gaz d'électrons sous la grille est moins dégradé sur ce composant. L'analyse chimique du pied de grille en coupe par spectroscopie de rayons X à dispersion d'énergie (ou EDX pour *Energy Dispersive X-ray*) est présentée sur la Figure 33c. Contrairement aux autres images en coupe observées jusqu'à présent, un vide est visible à l'intérieur du pied de grille. On remarque que le dépôt métallique du tungstène (en rose) s'est refermé sur la partie supérieure avant d'avoir complètement rempli le motif. Ce dispositif qui possède un  $V_P$  plus négatif a donc été en contact avec le précurseur  $\text{WF}_6$  pendant un temps plus court que les autres transistors. Cette observation est donc cohérente avec l'analyse SIMS ci-dessus qui indique que la contamination au fluor au niveau du pied de grille est responsable d'une partie de la dégradation du 2DEG. Cette méthode de caractérisation ne permet pas d'observer le fluor car il est présent en trop faible quantité dans les métaux et cet élément est difficile à observer. Il faut donc utiliser des techniques d'analyse chimique plus résolue en termes de concentration.

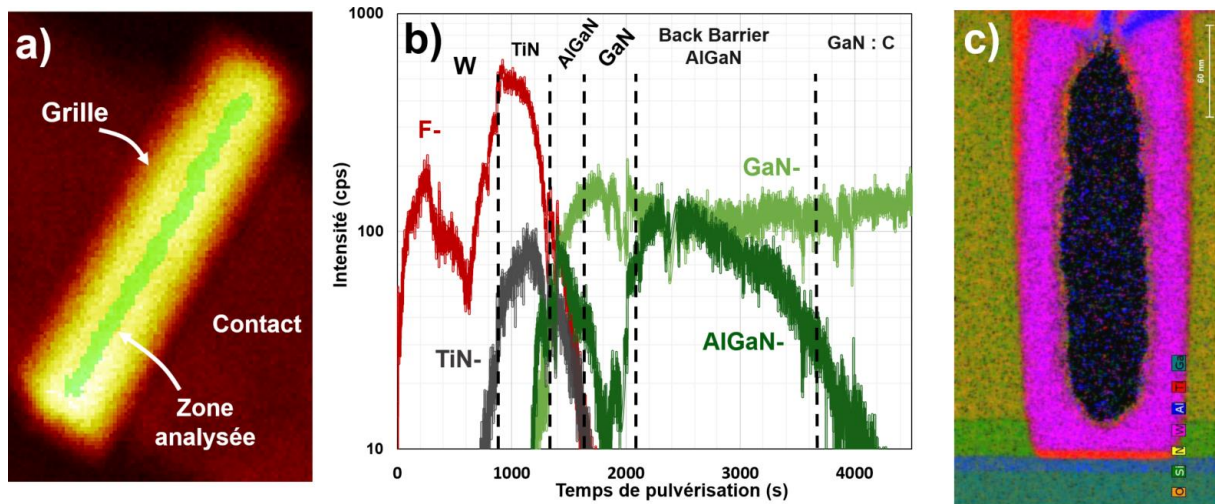


Figure 33 : a) Vue de dessus du transistor analysé en SIMS b) Profil ToF-SIMS de la zone analysée montrée sur a). (N. Gautier) c) Image EDX en coupe du transistor  $L_G=80$  nm avec un  $V_P$  décalé de  $-0.3$  V. (A. Grenier)

### v. Barrière TiN de diffusion du fluor

A la vue de la caractérisation chimique de l'empilement métallique de grille, il est nécessaire de développer un dépôt TiN faisant barrière à la diffusion du fluor présent dans le précurseur gazeux du tungstène. Dans cette partie nous étudions 4 dépôts TiN pleine plaque sur des wafers Si avec 20 nm d'oxydation thermique en surface suivis d'un dépôt W CVD. Ce tungstène est gravé en gravure humide puis chaque wafer est analysé par spectrométrie de masse d'ions secondaires. Nous comparons un dépôt physique en phase vapeur (PVD) de 20 nm, un dépôt chimique en phase vapeur assisté par organométalliques (MOCVD) de 20 nm et un dépôt chimique en phase vapeur par couches atomiques (ALCVD) avec deux épaisseurs (20 nm et 10 nm).

Les différents profils sont présentés sur la Figure 34 en suivant les espèces  $TiN^-$  et  $O_2^-$  pour déterminer les différentes couches ainsi que les contaminants  $C^-$ ,  $H^-$  et  $F^-$ . En comparant le temps de pulvérisation du TiN entre les différents échantillons, on observe que les échantillons PVD et MOCVD ont une épaisseur comparable. Cependant l'échantillon ALCVD 20 nm présente un temps de pulvérisation presque 50% plus faible. En prenant les deux premiers échantillons comme références à 20 nm, on détermine donc des épaisseurs de 11,7 nm et 5,1 nm pour les échantillons ALCVD 20 nm et 10 nm respectivement. Ce dépôt est réalisé dans un équipement pour substrat 300 mm. Cette différence entre l'épaisseur spécifiée et celle réellement déposée est probablement due à l'utilisation d'un *holder* 300 mm qui sert de support pour notre wafer 200 mm. La température sur le wafer étant contrôlée par le *chuck*, elle est donc plus faible à cause de la présence de ce *holder*. Le suivi des espèces hydrogène et carbone met en évidence la contamination des dépôts CVD à cause des précurseurs gazeux. Le dépôt par couches atomiques étant plus lent et mieux contrôlé, il permet de limiter cette contamination par rapport au dépôt MOCVD en la divisant par 5. Pour diminuer l'incorporation de carbone et d'hydrogène, le dépôt MOCVD est réalisé par cycles de 5 nm entrecoupés par des plasmas de densification hydrogène. Le profil indique que ce plasma retire une partie des contaminants uniquement à la surface de chaque couche de 5 nm avec une ré-augmentation ensuite résultant en un profil sinusoïdal. De plus, des atomes d'oxygènes sont incorporés lors de cette étape alors que les autres techniques de dépôts ne montrent pas ce type d'impuretés dans le TiN.

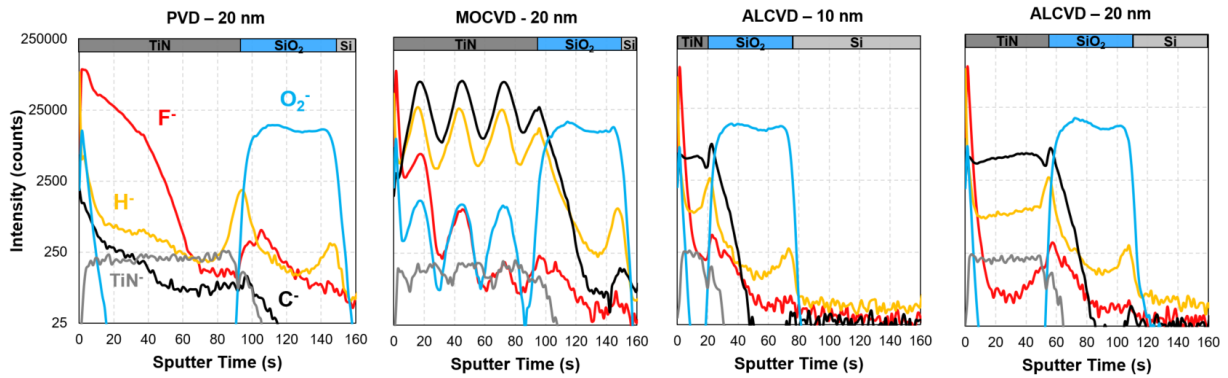


Figure 34 : Profil SIMS des différents dépôts de TiN. (F. Pierre)

Les profils de la diffusion du fluor dans le TiN sont superposés sur la Figure 35a. Le dépôt PVD est celui qui empêche le moins la diffusion du fluor avec un profil de concentration qui décroît faiblement avec la profondeur. Sur le dépôt MOCVD, on retrouve une accumulation de fluor aux interfaces entre les différentes couches densifiées. Enfin ce sont les dépôts ALCVD pour lesquels la décroissance de la concentration en fluor est la plus marquée. On peut voir sur la Figure 35b que la concentration en fluor qui a traversé le TiN et qui se trouve dans la couche de SiO<sub>2</sub> forme un pic juste après l'interface. Cela est probablement le résultat d'une ségrégation de surface. Ce pic de concentration est plus faible sur le wafer avec le dépôt MOCVD (230 cps) car il est plus épais que les dépôts ALCVD. Ce sont ensuite les deux dépôts ALCVD de 10 et 5 nm qui présentent plus de contamination (350 cps et 433 cps) alors que le dépôt PVD est celui qui confine le moins bien (512 cps). Cependant cette contamination est présente pour toutes les configurations ce qui est problématique car la présence de fluor dans la barrière AlGaN impacte le transport et le piégeage des électrons. L'utilisation d'un dépôt TiN ALCVD plus épais pourrait donc être bénéfique. Un autre aspect à prendre en compte pour le TiN qui forme la grille Schottky est son travail de sortie avec un impact direct sur les fuites de grille. En parallèle du développement d'une barrière de diffusion au fluor, des empilements de grille avec des remplissages alternatifs pourraient être envisagés en gardant la compatibilité avec le polissage mécano-chimique. Des empilements TiN/Cu ou TiN/Al pourraient être des solutions pour s'affranchir de cette contamination fluor et sont en cours d'évaluation.

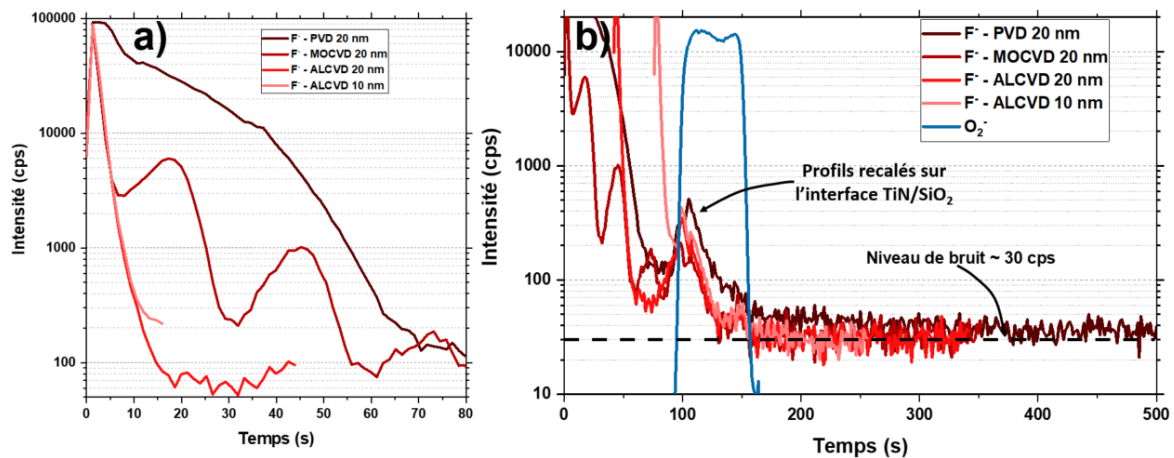


Figure 35 : a) Profil du fluor dans le TiN pour les différents dépôts. b) Profils du fluor recalés sur l'interface TiN/SiO<sub>2</sub> pour déterminer quel dépôt minimise la diffusion du fluor au-delà du TiN.

### c. Tête de grille

La tête de grille peut avoir un effet de *field-plate* si elle est située assez proche du gaz d'électrons. Mais son objectif principal est de diminuer la résistance de grille  $R_G$  qui impacte fortement la fréquence maximale d'oscillation  $f_{\max}$ . L'utilisation d'or étant impossible dans un environnement CMOS, cette tête de grille est formée avec un empilement Ti/TiN/Al/Ti/TiN. Les couches contenant le titane sont fines mais elles permettent notamment l'adhérence des dépôts métalliques, d'empêcher l'oxydation de l'aluminium et de servir de couche antireflet pour l'étape de lithographie avant gravure.

La maîtrise de cette gravure des flancs de la tête de grille est importante car elle peut engendrer une corrosion latérale et créer de la rugosité diminuant la section de la grille et augmentant sa résistance. L'image STEM de la tête de grille du wafer 2C est présentée sur la Figure 36a. On observe cette gravure latérale de la tête de grille par rapport aux couches Ti/TiN qui l'encapsulent. Cet effet intervient notamment à cause de la consommation latérale de la résine lors de la gravure. Il est possible d'annuler cet effet en réalisant un durcissement de la résine et en adaptant la chimie pour augmenter la polymérisation lors de la gravure. Une image en coupe d'une grille avec une gravure optimisée est montrée en Figure 36b.

Les transistors dissipent une quantité de chaleur importante en fonctionnement car ils ont pour application l'amplification de puissance RF. Chaque brique technologique doit donc être robuste pour ne pas impacter la fiabilité du composant. Ces briques doivent également supporter le budget thermique des étapes qui leur succèdent pour ne pas dégrader les performances électriques. Nous étudions la résistance de grille entre plusieurs recuits cumulés du wafer 2A décrit dans la partie précédente. La résistance d'un doigt de grille mesurée en configuration 4 pointes en fin de procédé de fabrication puis après les différents recuits est tracée sur la Figure 36c. Les dimensions de la grille sont une largeur  $W_G=50 \mu\text{m}$ , une longueur du pied de  $L_G=150 \text{ nm}$  et des latéraux de grille qui dépassent de  $L_W=0,25 \mu\text{m}$  au-dessus du pied. Chaque point représente la valeur moyenne alors que les traits représentent la valeur médiane. Les boîtes encadrent le premier quartile et les barres d'erreurs indiquent la dispersion de toutes les valeurs sur 21 points de mesure. En fin de procédé de fabrication, la résistance médiane vaut  $6,4 \Omega$ . Cette valeur augmente à  $6,6$  et  $6,7 \Omega$  et la dispersion se diminue après deux recuits à  $400^\circ\text{C}$  pendant 1h sous atmosphère  $\text{N}_2$ . Une légère augmentation jusqu'à  $7,4 \Omega$  est également visible après un 3<sup>ème</sup> recuit à  $450^\circ\text{C}$ . Le recuit à  $500^\circ\text{C}$  engendre une dégradation plus forte avec une valeur médiane de  $9,4 \Omega$  et une augmentation de la dispersion. Ce phénomène souligne l'importance de contrôler le budget thermique lors de la fabrication notamment lorsque la grille est fabriquée avant les contacts ohmiques (intégration *gate-first*). L'évolution de cette résistance de grille est principalement due à l'inter-diffusion d'atomes lors des recuits et à la formation d'alliages métalliques. ElKashlan et al. ont montré que le retrait des couches de titane dans l'empilement de tête de grille empêche la formation d'alliages  $\text{TiAl}_x$  qui dégradent la résistance de grille avec un fort impact sur le  $f_{\max}$  [216]. La couche de titane supérieure a donc été retirée sur les lots suivants.

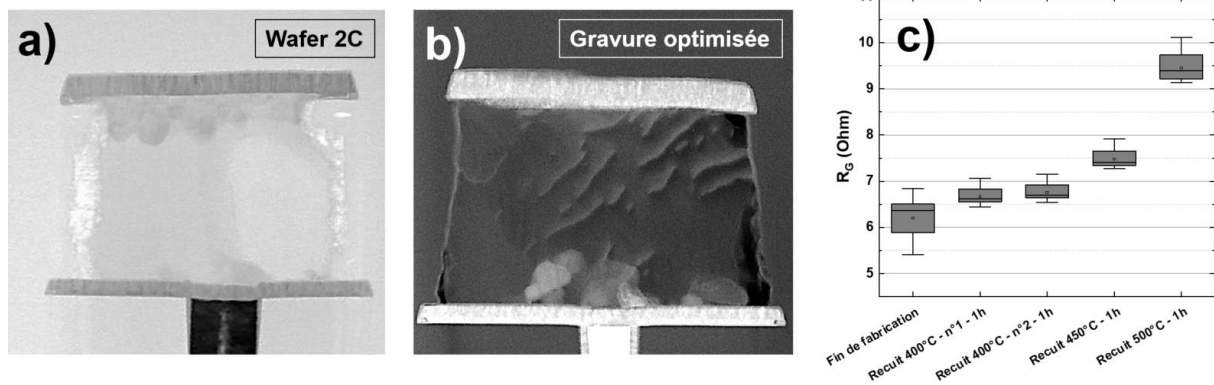


Figure 36 : a) Image STEM en coupe d'une tête de grille avec forte corrosion latérale. b) Image STEM en coupe d'une tête de grille avec résine durcie et chimie de gravure optimisée. c) *Boxplot* représentant la résistance d'un doigt de grille  $W_G=50 \mu\text{m}$ ,  $L_G=150 \text{ nm}$  et  $L_W=0.25 \mu\text{m}$  de fabrication et après plusieurs recuits.

## d. Type de barrière

La barrière est une partie primordiale de l'empilement épitaxial. L'addition des polarisations spontanée et piézoélectrique génèrent le gaz bidimensionnel d'électrons et son épaisseur joue un rôle important sur le contrôle électrostatique de la grille sur ce dernier. Le rapport optimal entre la longueur de grille et l'épaisseur de la barrière se situe autour de  $L_G/a \sim 15$  [71]. Dans cette partie nous allons comparer deux barrières différentes, une barrière AlGaIn de 15 nm et une barrière AlN de 5 nm.

### i. Description des wafers

Les deux wafers ont été achetés chez un fournisseur extérieur, ils possèdent l'empilement épitaxial externe présenté dans le chapitre 2 avec une barrière différente. On nomme Ext 1 le wafer avec la barrière AlGaIn 15 nm et Ext 2 celui avec une barrière AlN 5 nm. Le procédé de fabrication avec un contact ohmique allié est identique sur les deux wafers et il est également décrit au chapitre 2. La métallisation de grille est réalisée avec un TiN ALCVD et remplie avec du W par CVD. Pour essayer de limiter la diffusion du fluor présent dans le précurseur WF6, le dépôt de TiN est spécifié à la limite maximale de la fenêtre de procédé soit 30 nm. Comme attendu, ce dépôt de TiN est de l'ordre de 15 nm (Figure 37b) à cause de la diminution de température du wafer par rapport au *chuck* du fait de l'utilisation d'un *holder* 300 mm entre les deux.

La résistance de couche du 2DEG mesurée en 4 points pleine plaque [203] après épitaxie indique un  $R_{2\text{DEG}}$  de  $295 \Omega/\text{sq}$  pour Ext 1 et de  $450 \Omega/\text{sq}$  avec des valeurs plus dispersées pour Ext 2. Cette mesure souligne la difficulté d'épitaxier des couches d'AlN fines avec une qualité suffisante pour former un gaz d'électron avec une faible résistance de couche.

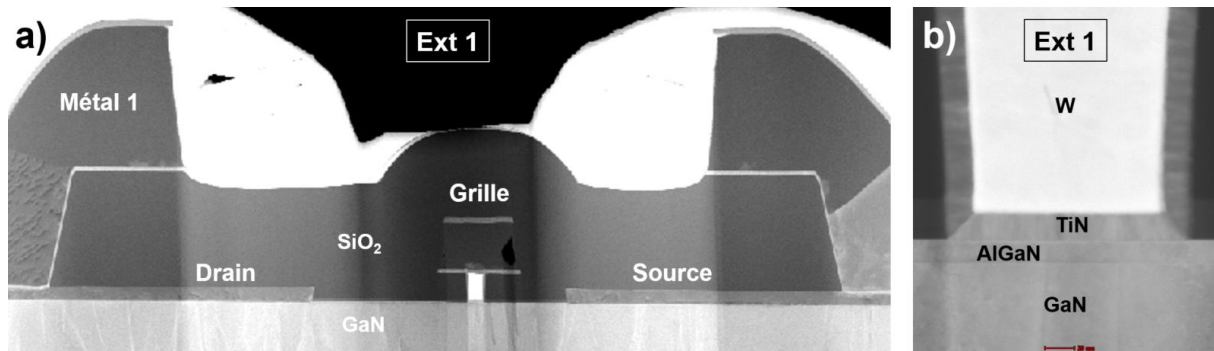


Figure 37 : a) Image STEM en coupe du wafer Ext 1. b) Zoom sur le pied de grille.

## ii. Mesures électriques statiques

La caractérisation électrique DC est faite sur 21 puces sur le wafer 200 mm. Les motifs TLM permettent d'extraire la résistance de couche du 2DEG à la fin du procédé de fabrication. Sur le wafer Ext 1, on obtient un  $R_{2DEG}=295 \pm 5 \Omega/sq$  alors que sur le wafer Ext 2 on a  $R_{2DEG}=343 \pm 10 \Omega/sq$ . On note la variation entre la mesure après épitaxie et la mesure après fabrication pour le wafer avec barrière AlN. Une amélioration de la résistance de couche du gaz d'électrons pendant la fabrication étant peu probable, l'hypothèse la plus fiable est que la technique de mesure 4 pointes pleine plaque est moins adaptée à ce type de barrière puisqu'elle dépend de la formation d'un contact électrique entre la pointe et le 2DEG à travers la barrière. La résistance de contact est également extraite grâce aux structures TLM. Le  $R_C$  vaut  $0,40 \pm 0,03 \Omega.mm$  et  $0,68 \pm 0,1 \Omega.mm$  sur les wafers Ext 1 et Ext 2 respectivement. Les paramètres qui varient entre les deux plaques et qui pourraient expliquer cette différence sont notamment la densité du 2DEG ou encore la gravure retirer la barrière qui est plus longue avec la barrière de 15 nm.

Les caractéristiques de transferts à  $V_{DS}=10 V$  sont présentées en Figure 38a. Le transistor mesuré possède deux doigts de grille d'une largeur  $W_G=50 \mu m$  et d'une longueur  $L_G=150 nm$ . L'espacement grille-source vaut  $L_{GS}=0,8 \mu m$  alors que l'espacement grille drain vaut  $L_{GD}=1,5 \mu m$ . On remarque que les deux plaques ont des caractéristiques assez différentes. Le wafer Ext 1 possède une tension de pincement de  $-2,3 V$  alors qu'elle est de  $-0,6 V$  sur Ext 2. Il est probable que les étapes de grilles qui impactent les électrons du canal (voir parties précédentes) aient eu une influence différente sur les deux barrières. Ce phénomène se caractérise par un courant maximal 40% moins élevé avec la barrière AlN 5 nm ( $\sim 600 mA/mm$ ) que sur la barrière AlGaIn 15 nm ( $\sim 1 A/mm$  à  $V_G=1 V$ ). Lorsque le transistor est pincé, les fuites de grilles sont de l'ordre de  $2,5 \times 10^{-4} A/mm$  sur le wafer Ext 1 et de  $7 \times 10^{-5} A/mm$  sur Ext 2. La transconductance à  $V_{DS}=10 V$  tracée sur la Figure 38b, indique des maximums de  $425 mS/mm$  et de  $450 mS/mm$  pour les plaques avec barrière AlGaIn et AlN respectivement. Malgré une barrière plus fine sur la plaque Ext 2, on n'observe qu'une très légère augmentation de la transconductance extrinsèque. Cette très faible différence met en évidence la nécessité de fabriquer des contacts faiblement résistif car la résistance transconductance intrinsèque, calculée à l'aide de la relation en p.22, est plus élevée de  $207 mS/mm$  sur Ext 2 que sur Ext 1. De plus, cette mesure met en évidence que l'utilisation de barrières fines avec un 2DEG performant pour le fonctionnement à haute fréquence nécessite un procédé de fabrication parfaitement maîtrisé pour ne pas dégrader le gaz d'électrons. La caractérisation en blocage à  $V_G=-5 V$  est présentée sur la Figure 38c. Sur le wafer Ext 1 les fuites de la jonction grille-drain augmentent fortement jusqu'à atteindre la limitation en courant à  $1 mA/mm$  lorsque  $V_{DS}=24 V$ .



On observe également une augmentation des fuites de grille sur Ext 2 jusqu'à  $V_{DS}=25$  V avant un second régime pour lesquelles le niveau de courant est quasiment stable jusqu'à ce qu'un courant entre source et drain s'active et atteigne la limitation en courant autour de 68 V. La tension de claquage de 24 V extraite lorsque le courant atteint 1 mA/mm souligne le niveau élevé de fuites de grilles sur le wafer Ext 1. Ces fuites génèrent évidemment des pertes, elles empêchent de polariser le transistor à une tension de repos supérieure à 15 V mais surtout elles impactent la fiabilité du transistor. Notre barrière Schottky formée par le TiN au pied de grille est insuffisante mais il est possible d'abaisser ce niveau de fuites en optimisant le dépôt et la gestion du champ électrique [117], [217]. Sur la plaque avec la barrière AlN, le courant source-drain est caractéristique d'un effet *punch-through*, c'est-à-dire que la tension de drain devient suffisante pour abaisser la barrière de potentiel formée par la polarisation négative de grille. Cependant cette tension de claquage montre que ces transistors peuvent être polarisés avec une tension de drain statique de 25 V.

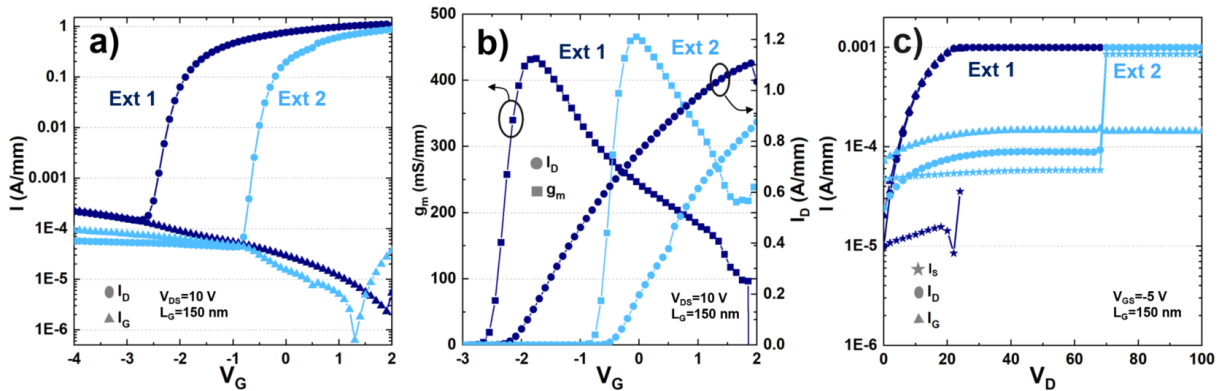


Figure 38 : a) Caractéristiques de transfert  $I_D$ - $V_G$  à  $V_{DS}=10$  V. b) Transconductances  $g_m$  en fonction de  $V_G$  à  $V_{DS}=10$  V. c) Caractéristiques en blocage à  $V_G=-5$  V.

### iii. Etude du 2DEG sous la grille

A l'image des structures TLM qui permettent d'extraire la résistance de couche du 2DEG grâce à des contacts espacés par différentes longueurs, l'analyse de la résistance à l'état ON ( $R_{ON}$ ) en régime linéaire pour différentes longueurs de grille permet d'extraire la résistance du 2DEG sous la grille notée  $R_{channel}$ . Nous mesurons 5 longueurs de grilles différentes de 80 nm, 100 nm, 120 nm, 150 nm et 500 nm en extrayant le point à  $V_G=0$  V de la caractéristique de transfert  $I_D$ - $V_G$  à  $V_{DS}=0,5$  V (Figure 39a). Cette technique a pour principal désavantage de dépendre de la mesure de plusieurs transistors qui peuvent présenter de la dispersion.

La mesure d'une structure barre de Hall avec grille (Figure 39b) permet d'étudier plus finement le transport sous la grille en extrayant la densité d'électrons  $n_S$  et leur mobilité faible champ  $\mu$  au travers d'une mesure de résistance de couche 4 pointes et d'une mesure de capacité. Cette structure est présentée en Figure 39b et donne accès à ces grandeurs par les relations [218] :

$$R_{channel}(V_G) = \frac{W}{l_{2DEG}} \frac{|V_{high}(V_G) - V_{low}(V_G)|}{I(V_G)} \quad (10)$$

Avec  $W$  la largeur de la barre de Hall,  $l_{2DEG}$  la longueur entre les deux sondes de mesure 4 pointes,  $I$  le courant qui traverse la structure et  $V_{high}$  et  $V_{low}$  le potentiel des deux électrodes pour la mesure 4 pointes. Pour s'assurer d'être en régime linéaire et pour minimiser l'auto-échauffement, la tension de drain est fixée à  $V_D=+2$  V.

$$n_s(V_G) = \frac{1}{q} \int_{-\infty}^{V_G} C(V_G). dV \quad (11)$$

Avec  $q$  la charge élémentaire et  $C$  la capacité mesurée entre l'électrode de grille et les électrodes de source et de drain avec le *chuck* à la masse.

$$\mu_{2DEG}(V_G) = \frac{1}{q.R_{channel}.n_s} \quad (12)$$

Le principal désavantage de cette structure est qu'elle nécessite une grille avec une surface importante pour pouvoir mesurer la capacité de la structure. Or la dégradation du 2DEG à cause des procédés de fabrication de grille peut être différente sur des grilles de quelques centaines de nanomètres et sur une grille de plus de 100  $\mu\text{m}$ .

Sur les graphiques a) et b) de la Figure 40, la résistance à l'état passant extraite en fonction de la longueur de grille est tracée pour les deux plaques. On observe que sur certaines puces, la variation de  $R_{ON}$  entre les différentes grilles n'est pas linéaire à cause de la dispersion entre transistors. Cette dispersion est plus marquée sur le wafer Ext 2 car la tension de pincement est très proche de 0 V sur cette plaque, le niveau de courant extrait à  $V_G=0$  V est donc dans un régime de forte augmentation ce qui induit qu'une faible variabilité sur la caractéristique induit une forte variation sur le courant extrait et donc sur le  $R_{ON}$ . Sur le wafer Ext 1 qui présente un gaz d'électron moins dégradé, le point à  $V_G=0$  V est en régime de forte accumulation donc les variations sont beaucoup plus faibles. Cela met en évidence la limite de cette technique pour extraire le  $R_{channel}$  lorsque le  $V_P$  est trop proche de 0 V. La valeur médiane du  $R_{channel}$  extrait sur le wafer Ext 1 (Figure 40c) est de 514  $\Omega/\text{sq}$  avec des extremum qui sont de 477  $\Omega/\text{sq}$  et 634  $\Omega/\text{sq}$ . Ces valeurs mettent en évidence la dégradation du transport sous la grille du fait des procédés de fabrication de grille. La résistance de couche des électrons sous la grille est notamment plus faible sur le bord du wafer et cette tendance peut s'expliquer par une gravure plus rapide au centre qu'au bord induisant un peu plus de sur-gravure et donc de dégradation sur le 2DEG.

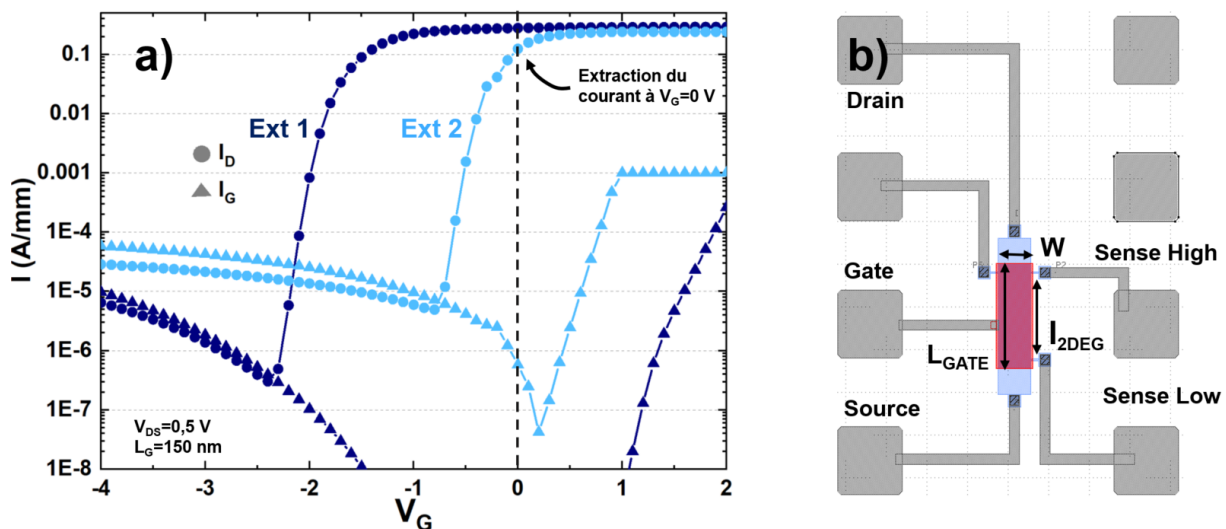


Figure 39 : a) Caractéristique de transfert  $I_D-V_G$  à  $V_{DS}=0.5$  V pour des transistors à grille  $L_G=150$  nm. b) Design d'une structure barre de Hall avec grille.



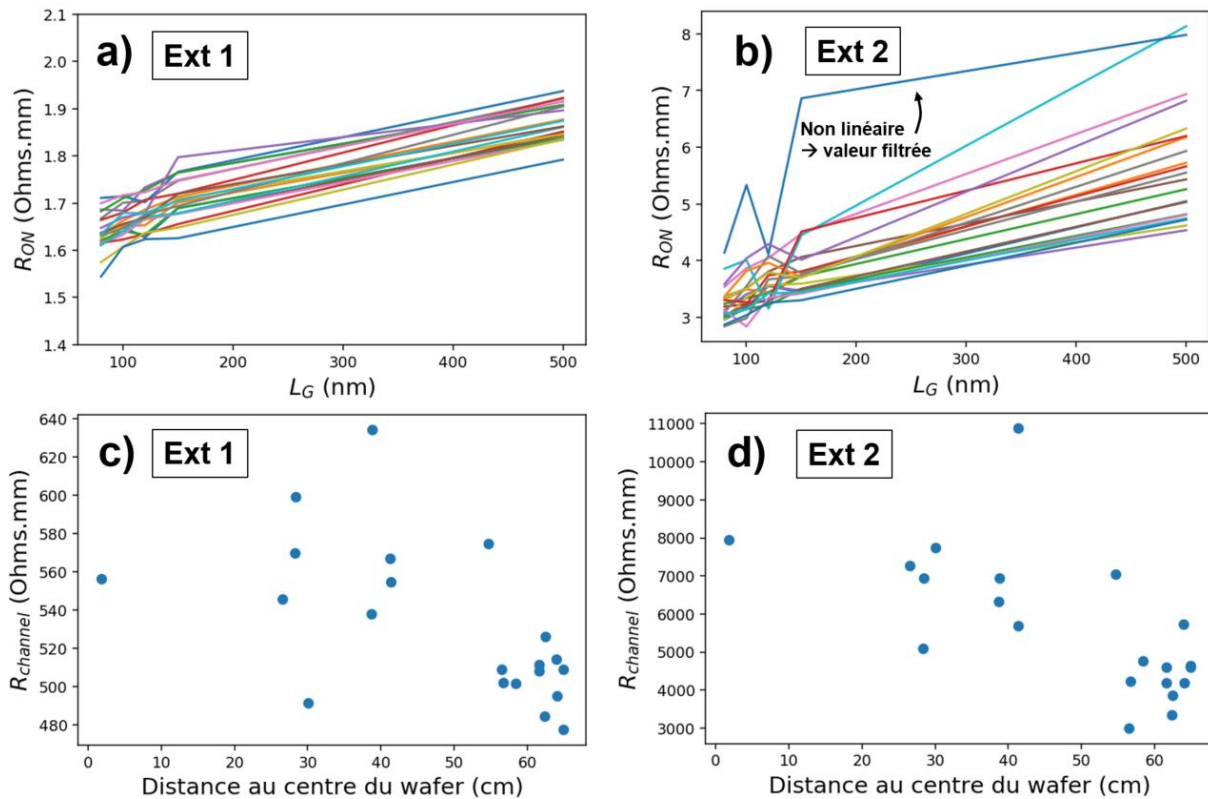


Figure 40 :  $R_{ON}$  en fonction de la longueur de grille sur le wafer a) Ext 1 et b) Ext 2.  $R_{channel}$  en fonction de la position sur le wafer extrait en faisant une régression linéaire entre les différentes longueurs de grilles pour c) Ext 1 et d) Ext 2.

Les valeurs de  $R_{channel}$  à  $V_G=0$  V extraites des mesures 4 pointes sur la structure barre de Hall avec grille sont présentées en fonction de la distance au centre de la plaque sur la Figure 41. La densité surfacique de porteur  $n_s$  et leur mobilité faible champ  $\mu$  sous la grille, qui sont déduites de la mesure capacitive, sont également montrées. Sur Ext 1 les valeurs de  $R_{channel}$  sont comprises entre  $652 \Omega/sq$  et  $757 \Omega/sq$  avec une valeur médiane de  $686 \Omega/sq$ . Les valeurs mesurées sur cette structure sont donc plus élevées que par la caractérisation via les différentes longueurs de grille. Cet effet peut s'expliquer par la différence en taille des motifs. En effet la structure de barre de Hall avec grille nécessite une surface importante pour effectuer la mesure capacitive mais l'influence du plasma de gravure sur une structure longue de  $125 \mu m$  est potentiellement différente que sur une grille inférieure à  $500$  nm. Cependant on retrouve la tendance d'une dégradation plus forte au centre qu'au bord. Les extractions  $n_s$ ,  $\mu$  (Figure 41b et c) soulignent que cette dégradation résulte de défauts qui impactent la densité et la mobilité des porteurs. La caractérisation du wafer avec barrière AlN 5 nm (Ext 2) met en évidence que la dégradation du transport sous la grille est bien plus marquée sur cette plaque avec un  $R_{channel}$  compris entre  $2000$  et  $3350 \Omega/sq$ . Même s'il a été vu précédemment que la dégradation pouvait être légèrement surestimée par rapport aux grilles courtes, cette observation est cohérente avec les caractérisations DC vues dans la partie précédente où cette plaque possédait une tension de pincement très proche de  $0$  V et un courant maximal largement inférieur à celui de Ext 1. La Figure 41e montre que cette forte résistivité est principalement due à une dégradation de la densité d'électrons comprise autour de  $2 \times 10^{12} /cm^2$ , ce qui est quasiment un ordre de grandeur plus faible que les valeurs atteignables après épitaxie. La mobilité reste dans des valeurs acceptables pour la plupart des puces avec des points allant jusqu'à  $1400 cm^2/(V.s)$ .

Ces mesures confirment les observations faites dans la partie précédente, les barrières fines nécessaires pour le fonctionnement à haute fréquence nécessitent un procédé de fabrication plus optimisé que sur des barrières plus épaisses. Dans le cas d'une barrière AlN 5 nm, notre procédé de fabrication a multiplié la résistance de couche du 2DEG sous la grille de plus de 5 fois. Ce constat s'ajoute aux plaques épitaxiées en interne et étudiée dans la partie précédente qui avaient des barrières de 7 nm et des caractéristiques dégradées. On peut voir que dans l'état actuel, il faut une barrière d'au moins 15 nm (Ext 1) pour limiter la dégradation du gaz d'électrons. Des améliorations sur les gravures, les nettoyages et les dépôts métalliques sont donc nécessaires pour fabriquer transistors fonctionnant à des fréquences au-delà de 30 GHz.

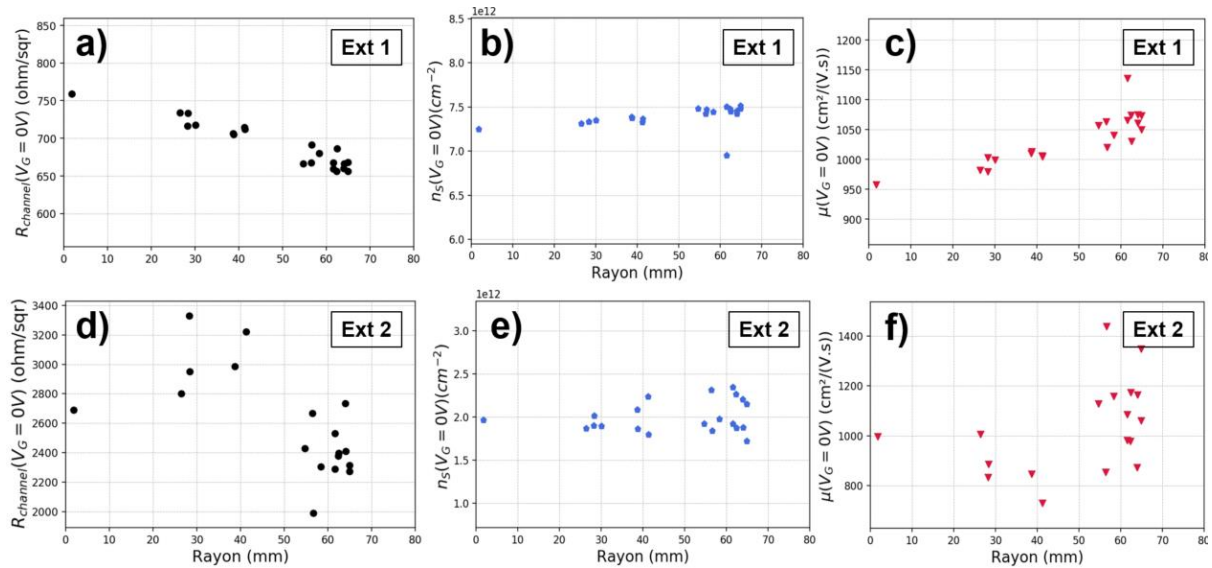


Figure 41 : Résistance de couche sous la grille ( $R_{channel}$ ), densité de porteurs ( $n_s$ ) et mobilité faible champ ( $\mu$ ) extraits à  $V_G=0$  V en fonction de la distance au centre du wafer pour la plaque Ext 1 (a, b, c) et pour Ext 2 (d, e, f).

#### iv. Caractérisation pulsée

Dans cette partie nous caractérisons les effets de piégeage. Ces mesures ont été réalisées à l'IEMN à Lille et seul le wafer Ext 1 a été caractérisé. Le banc et les conditions de mesure sont identiques au wafer 4A (voir p.54). La caractéristique d'une puce représentative est tracée en Figure 42a. En comparant les courbes noire et bleue, on s'aperçoit que le piégeage lié au stress de grille est quasiment nul ( $< 1\%$  sur les 9 puces) et que le courant de saturation est supérieur à 1 A/mm. Malgré des conditions de stress légèrement différentes, cette absence de *gate lag* est cohérente avec la mesure du wafer 2C avec une technologie de grille Schottky assez proche. La caractérisation du piégeage engendré par la polarisation de drain est décrite par les courbes rouges (de rouge clair à rouge foncé pour  $V_{DS}$  allant de 10 à 20 V). Comme attendu, le phénomène de piégeage est de plus en plus marqué lorsque la polarisation de stress augmente. C'est la région du coude qui est la plus impactée et la perte en puissance est d'environ 7% à  $V_{DS}=10$  V jusqu'à 18% à 20 V. Avec les mêmes conditions de mesure, on a mis en évidence dans la partie précédente un *drain lag* plus important sur le wafer 4A ( $> 20\%$  à  $V_{DS}=20$  V) malgré un courant maximal plus faible. Les passivations entre les deux wafers sont identiques par contre les épitaxies sont différentes. La différence de *drain lag* sur les épitaxies internes est donc assimilée à du piégeage dans les couches du *buffer*. Les épitaxies réalisées par MOVPE souffrent généralement d'effet de piégeage à cause du carbone, présent dans les précurseurs gazeux, qui s'incorpore dans les couches lors de la croissance [219], [220]. Ces défauts, en majorité de type accepteur, jouent également un rôle dans

le transport puisqu'ils ont une influence sur le niveau de Fermi des différentes couches et donc sur le confinement dans le canal notamment dans le cas de *back-barrier* à base de GaN dopé C comme sur le wafer Ext 1. Il est donc nécessaire de trouver un compromis entre confinement et piégeage [84].

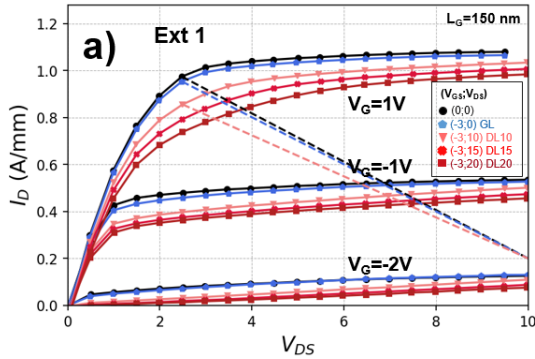


Figure 42 : a) Caractéristique  $I_D$ - $V_D$  pulsée à différents  $V_G$  et différentes polarisation de stress.

b)	GL puissance	Drain Lag 10 V	Drain Lag 15 V	Drain Lag 20 V	$P_{OUT}$ 10 V (W/mm)	$P_{OUT}$ 20 V (W/mm)
Wafer 4A MIS $Al_2O_3$	< -3%	-7%	-15 %	-23 %	-1,5	-2,8
Wafer Ext 1 AlGaN 15 nm	< 1%	-7%	-13 %	-18 %	-1,7	-3,55

Paramètres de pulse : Période=1 ms ; Delay=1  $\mu$ s ; Largeur=0,5  $\mu$ s

Tableau 6 : b) Tableau récapitulatif du *lag* extrait en puissance sur la caractéristique à  $V_G=1$  V. Valeurs moyennes sur 6 puces pour wafer 4A et 9 puces pour Ext 1.

## v. Caractérisation petit-signal ( $S_{ij}$ )

Premièrement, nous étudions la propagation du signal sur des lignes coplanaires (ou CPW pour *Coplanar Wave Guide*) possédant une impédance proche de  $50 \Omega$  afin d'estimer les pertes dues à la conductivité du substrat. Ensuite nous mesurons les transistors avec un signal RF de faible amplitude sur une large gamme de fréquence. L'analyse des signaux transmis et réfléchis en entrée et en sortie du transistor, permettent de calculer différents gains et d'extraire les grandeurs caractéristiques telles que le  $f_T$  et le  $f_{max}$  pour évaluer la performance en fréquence.

Pour une ligne coplanaire adaptée en impédance, la transmission de l'entrée vers la sortie ou de la sortie vers l'entrée est identique. C'est-à-dire que les coefficients de transmission  $S_{21}$  ou  $S_{12}$  sont symétriques. Nous nous intéressons donc au module de  $S_{21}$  qui caractérise les pertes lors de la propagation du signal dans la ligne dans le cas de structures adaptées en impédance. Ces pertes sont majoritairement le résultat du couplage capacitif avec les porteurs présents dans le substrat et des pertes internes (métalliques) de la ligne. Les pertes extraites sur une ligne de 1,4 mm d'une puce du wafer Ext 1 sont tracées en fonction de la fréquence sur la Figure 43a. Elles sont comprises entre -0.06 dB/mm et -0.26 dB/mm sur la plage de fréquence comprise entre 400 MHz et 40 GHz. Les transistors étudiés dans ce manuscrit sont conçus pour fonctionner dans la gamme de fréquence autour de 30 GHz. Une cartographie des pertes extraites à 30 GHz sur un carré de  $13 \times 13$  cm<sup>2</sup> du wafer Ext 1 est présentée sur la Figure 43b. La valeur médiane indique des pertes à  $-0,14 \pm 0,04$  dB/mm. Pour avoir de bonnes performances RF à 30 GHz, il est admis que les pertes dans le substrat doivent être inférieure à -0,3 dB/mm [43]. Les pertes dans la ligne sont dans la gamme de -0.05 à - 0.1 dB/mm. Cette mesure démontre donc que les conditions d'épitaxie utilisées par le fournisseur extérieur permettent de s'affranchir de la contamination du substrat par les espèces Ga et Al pendant la croissance et que le procédé de fabrication n'induit pas non plus de dopage et/ou de charges qui viendraient augmenter ces pertes RF. La caractérisation du wafer Ext 2 présente des pertes identiques (non montré ici) ce qui est cohérent car la contamination du substrat lors de l'épitaxie est influencée par les nettoyages de surface avant la croissance, par la contamination résiduelle dans le bâti et par les conditions du début de la croissance (types de couche, pression, gaz, température) [72], [221]–[224]. La polarisation du transistor en fonctionnement pourrait

également influencer sur les pertes RF en générant des charges dans l'empilement épitaxial ou des porteurs dans le silicium. La Figure 43c montre les pertes extraites à 30 GHz en fonction de la polarisation appliquée sur la ligne. Cette mesure ne montre aucune variation pour une polarisation comprise entre -30 V et +30 V.

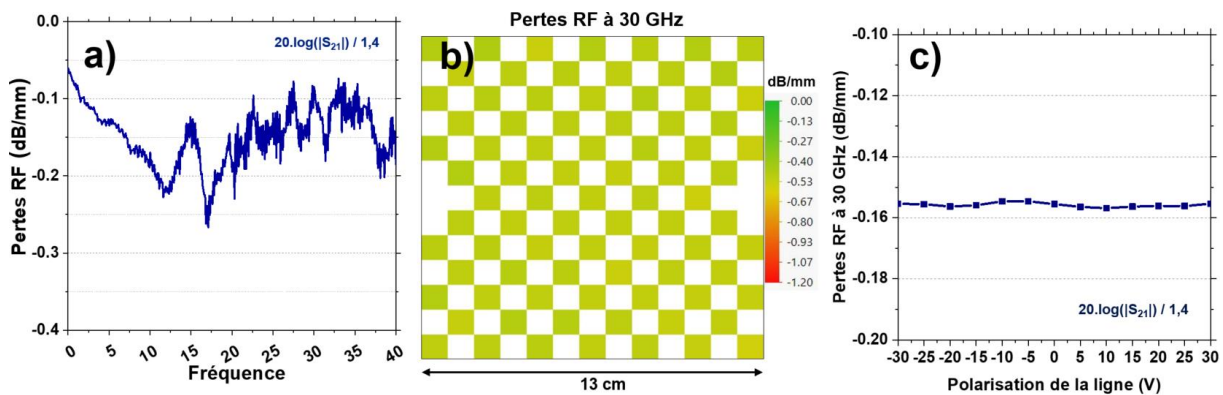


Figure 43 : a) Mesure de pertes RF à partir du module de  $S_{21}$  d'une ligne de 1,4 mm sur une puce du wafer Ext 1. (J. Delprato) b) Cartographie des pertes RF extraites à 30 GHz sur le wafer Ext 1. (J. Delprato) c) Pertes RF extraites à 30 GHz sur une puce du wafer Ext 1 en fonction de la polarisation de la ligne. (N. Defrance)

La caractérisation petit-signal est ensuite réalisée sur le transistor de référence décrit plus haut ( $L_G=150$  nm,  $L_{GS}=0,8$   $\mu\text{m}$ ,  $L_{GD}=1,5$   $\mu\text{m}$ ) avec une polarisation statique en classe AB ( $I_{DS,q}=0,2$  A/mm,  $V_{DS,q}=10$  V) et un balayage en fréquence de 500 MHz à 67 GHz. Afin de s'affranchir de l'influence des plots de mesures, le *de-embedding* d'une ligne métallique de 125  $\mu\text{m}$  est réalisé. Le gain en courant ( $H_{21}$ ), le gain stable maximal (MSG) et le gain unilatéral ( $U_{\max}$ ) sont tracés pour les plaques Ext 1 et Ext 2 sur la Figure 44. Le gain MSG à 28 GHz vaut 10,8 dB et 12,3 dB sur Ext 1 et Ext 2 respectivement. Le couple  $f_T$ ,  $f_{\max}$  est extrait en déterminant la fréquence pour laquelle le module du gain en courant  $|H_{21}|$  et le gain unilatéral  $U_{\max}$  deviennent nuls. En faisant une régression linéaire de -20 dB par décade sur ces caractéristiques, on extrait un couple de valeur qui vaut  $f_T=60 \pm 4$  GHz,  $f_{\max}=158 \pm 15$  GHz sur Ext 1 et  $f_T=52 \pm 4$  GHz,  $f_{\max}=188 \pm 15$  GHz sur Ext 2. L'incertitude sur  $f_T$  est estimée en extrayant ces grandeurs sur 2 autres transistors de la plaque. L'extraction du  $f_{\max}$  est aussi réalisée sur plusieurs transistors mais l'incertitude est dominée par la variabilité de la régression linéaire. Malgré une transconductance plus élevée, la fréquence de coupure est plus faible sur la barrière AlN 5 nm (Ext 2). En reprenant l'expression analytique du  $f_T$  par rapport au schéma équivalent à 16 éléments (équation 5), on peut estimer que la capacité  $C_{GS}$  ainsi que les résistances d'accès  $R_S$  et  $R_D$  sont plus élevées sur cette plaque ( $R_C$  et  $R_{2DEG}$  plus résistifs) et que ces éléments parasites dégradent le  $f_T$ . A l'inverse, le  $f_{\max}$  est plus élevé sur Ext 2. Cette tendance est plus difficile à expliquer puisque les éléments qui influencent  $f_{\max}$  (équation 6) sont, à priori, moins optimisés sur Ext 2. La résistance de grille statique est équivalente sur les deux plaques et sur Ext 2, la résistance de source est plus élevée et le  $f_T$  est plus faible. On peut émettre l'hypothèse que  $g_D$  est plus élevé sur Ext 1 puisque le rapport entre la longueur de grille et l'épaisseur de barrière induit un moins bon contrôle électrostatique des électrons. Pour vérifier cette hypothèse, le modèle équivalent petit-signal devrait être extrait sur ces deux plaques. Ces performances petit-signal sont très encourageantes pour une technologie 200 nm compatible CMOS notamment avec les pistes d'améliorations évoquées plus haut dans ce chapitre.

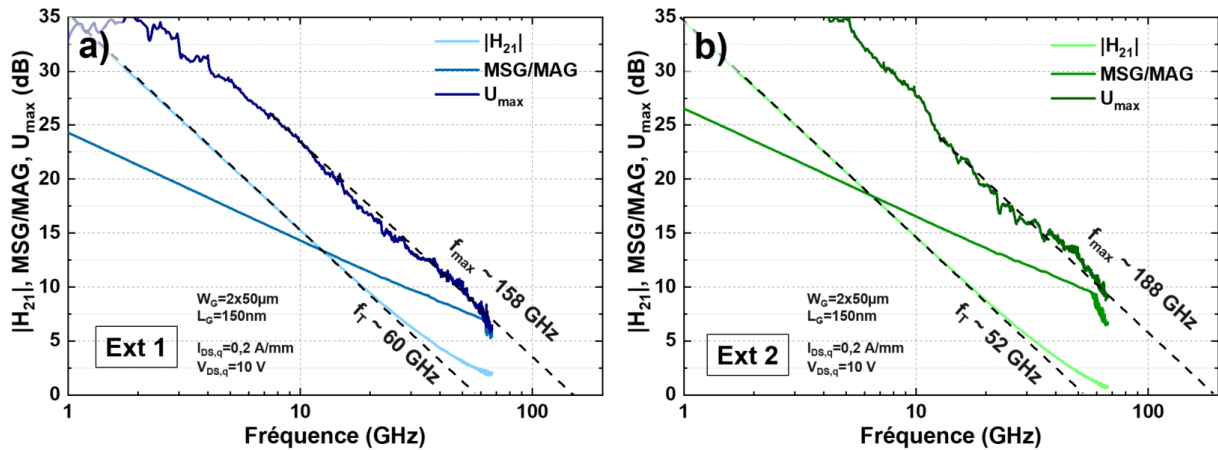


Figure 44 : Différents gains ( $H_{21}$ ,  $U_{\max}$ , MSG) représentés en fonction de la fréquence pour a) le wafer Ext 1 et b) le wafer Ext 2. (B. Blampey)

## vi. Caractérisation large-signal

La caractérisation des transistors se termine par une mesure large-signal pour déterminer leur capacité à amplifier un signal radiofréquence avec un niveau de puissance de sortie important et un niveau d'efficacité intéressant. Dans un circuit intégré, les transistors sont agencés selon plusieurs étages d'amplification reliés par des lignes de transmission et des composants passifs pour minimiser les pertes lors de la propagation du signal. La difficulté de la mesure large-signal réside donc dans le fait d'extraire la performance intrinsèque du transistor en s'affranchissant des plots de mesure et de la désadaptation d'impédance en entrée et en sortie du transistor.

Les balayages en puissance sont réalisés en faisant varier les impédances de source et de charge pour déterminer l'optimum de PAE. Le transistor ( $W_G=2 \times 50 \mu\text{m}$ ,  $L_G=150 \text{ nm}$ ,  $L_{GS}=0,8 \mu\text{m}$ ,  $L_{GD}=1,5 \mu\text{m}$ ) est polarisé en classe AB ( $I_{DS,q}=0,2 \text{ A/mm}$ ) à 28 GHz. Le gain, la puissance de sortie ( $P_{OUT}$ ) et le rendement d'amplification (PAE) pour les deux wafers à différentes polarisations de drain sont présentés sur la Figure 45.

Sur Ext 1 le gain à  $V_{DS}=10 \text{ V}$  est supérieur à 13 dB lorsque la puissance en entrée est inférieure à 3 dBm. La puissance en sortie augmente d'abord linéairement avec la puissance en entrée avant un point d'inflexion situé entre 0 et 5 dBm. Le rendement d'amplification augmente jusqu'à atteindre un maximum qui vaut  $PAE_{\max}=41 \%$  lorsque  $P_{OUT}=1,63 \text{ W/mm}$ . Il est intéressant de noter que cette valeur de puissance maximale en sortie est cohérente avec la valeur estimée en approximation linéaire sur la caractéristique pulsée (voir Tableau 6). Ces caractéristiques sont un peu inférieures aux composants fabriqués sur substrats SiC ou sur Si 150 mm mais elles démontrent le potentiel de cette technologie et elles sont proches des deux autres acteurs, que sont l'IMEC [189] et Intel [182], qui travaillent sur des technologies GaN/Si compatibles CMOS sur cette gamme de fréquences. On note également qu'il est nécessaire d'améliorer la linéarité du transistor puisqu'au pic de PAE le gain vaut 7,5 dB soit une compression de 5,5 dB par rapport au gain à faible puissance d'entrée. Ces contraintes de linéarité sont notamment importantes pour les applications de télécommunication.

Le balayage en puissance à plus fort  $V_{DS,q}$  (15 V et 20 V) montre une légère variabilité de  $P_{OUT}$ , et donc du gain, à faible  $P_{IN}$  qui résulte probablement d'effets de piégeage et dépiégeage au cours des différentes mesures. La mesure à 15 V démontre cependant un maximum de PAE quasiment identique (40 %) avec une puissance de sortie de 2,4 W/mm. A partir de  $V_{DS,q}=20 \text{ V}$ ,



une dégradation du rendement d'amplification est observable ( $PAE_{max}=33\%$ ). Cette diminution du rendement d'amplification est corrélée avec une densité de puissance en sortie de  $3\text{ W/mm}$  plus faible que celle estimée à  $3,7\text{ W/mm}$  à partir des mesures pulsées (Tableau 6). A fort  $P_{IN}$ , le balayage en tension vaut environ 2,5 fois la polarisation de drain statique ( $V_{DS,q}$ ). Donc plus  $V_{DS,q}$  augmente, plus la tension de drain maximale atteinte lors du balayage est élevée. Avec une polarisation de  $V_{DS,q}=20\text{ V}$ , les effets de *drain lag* sont donc plus marqués qu'avec des tension plus basses (10 V et 15 V) et peuvent expliquer la diminution du pic de PAE et l'écart avec la puissance de sortie estimée.

La caractérisation de Ext 2 (Figure 45b) ne démontre aucune dispersion à faible  $P_{IN}$  entre les différents  $V_{DS,q}$  avec un gain qui vaut 13 dB. Cependant l'amplification large-signal est beaucoup plus limitée sur cette plaque avec un pic de PAE qui passe de 30 % à 16 % lorsque  $V_{DS,q}$  augmente de 10 V à 20 V. La densité de puissance en sortie reste inférieure à  $1\text{ W/mm}$  ( $\sim 0,7\text{ W/mm}$ ) pour ces mêmes tensions statiques de drain. Ces performances limitées sont cohérentes avec les mesures DC réalisées sur ce wafer. La dégradation du 2DEG sous la grille résulte en une tension de pincement proche de 0 V et un courant de drain maximal limité. Sous une polarisation RF, le balayage en courant et en tension s'en trouve également limité et ne permet pas d'amplifier efficacement le signal.

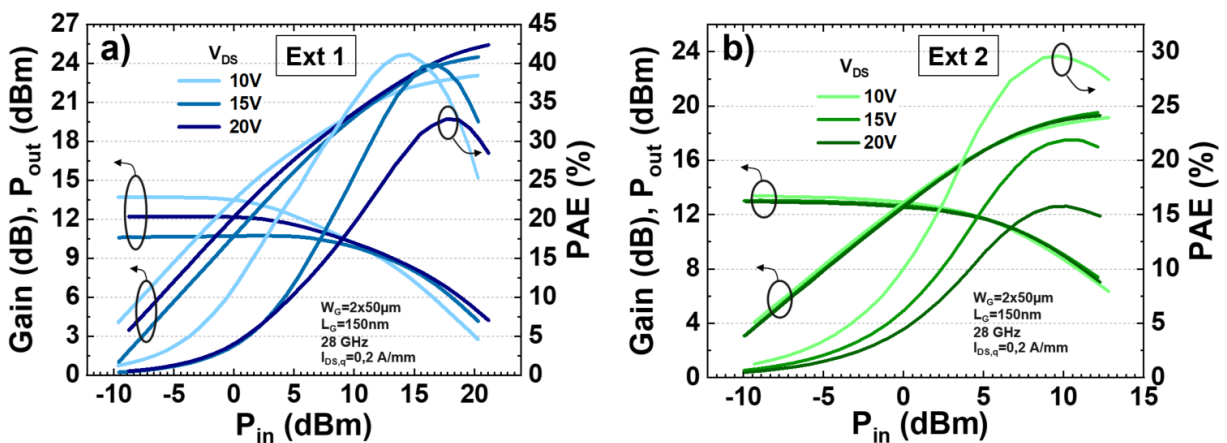


Figure 45 : Mesures *load-pull* à 28 GHz à différents  $V_{DS,q}$  avec le gain et la puissance de sortie sur l'axe de gauche et la PAE sur l'axe de droite en fonction de la puissance en entrée sur l'échantillon a) Ext 1 et b) Ext 2. (A. Divay)

## e. Conclusion

Dans la première partie de ce chapitre, les contraintes de fabrication et leurs impacts sur les performances électriques du transistor ont été mises en évidence. La planéité nécessaire aux étapes de lithographie implique la gravure de couches de passivations épaisses au-dessus de la barrière AlGaIn notamment pour une intégration *gate-last*. L'analyse de plusieurs lots électriques a mis en évidence que ces gravures doivent être optimisées et sélectives pour ne pas dégrader le transport sous la grille. Cependant l'étude pleine plaque de la résistance de couche du 2DEG entre chaque procédé de fabrication indique que chacune des étapes peut avoir un impact et notamment les nettoyages chimiques. Par la suite, nous avons vu que le choix des matériaux et de l'architecture de grille étaient prépondérants pour trouver un compromis entre de nombreuses caractéristiques que sont les fuites de grille, le contrôle électrostatique du canal, le piégeage, le transport sous la grille ou encore la tenue en tension. Le remplacement des métaux tel que l'or pour la compatibilité CMOS engendre également de nouvelles problématiques comme la contamination fluor présente dans le précurseur du dépôt tungstène pour le remplissage des grilles et la compatibilité à l'étape de polissage. Des dépôts TiN/Cu ou TiN/Al sont à l'étude car ils sont compatibles à l'étape de CMP mais ils pourraient engendrer un remplissage partiel du pied de grille qui serait problématique pour la fiabilité du composant.

De même, la formation d'alliage  $TiAl_x$  au niveau de la tête de grille dégrade la résistance de la tête de grille lors des recuits. Finalement, deux wafers avec des barrières différentes ont été comparés. Si les barrières fines sont mieux adaptées au fonctionnement à haute fréquence, l'analyse électrique des transistors met en évidence que notre procédé de fabrication actuel dégrade trop le transport sous la grille pour ces structures rendant l'amplification RF en puissance inefficace. À l'inverse le wafer avec barrière AlGaIn 15 nm démontre des performances très encourageantes pour le développement de technologies GaN RF sur silicium compatibles CMOS. Des structures de retrait partiel de la barrière sous la grille sont à l'étude afin d'améliorer le contrôle électrostatique du gaz 2D sous la grille.

Industrie / Centre R&D	Paramètres technologiques					Mesures DC			Petit-signal			Large-signal				
	Diamètre du substrat (mm)	Compatibilité CMOS	Barrière	Type de grille	L <sub>G</sub> (nm)	I <sub>D,max</sub> (A/mm)	g <sub>m,max</sub> (mS/mm)	BV (V)	MSG à 30 GHz (dB)	f <sub>T</sub> (GHz)	f <sub>max</sub> (GHz)	Fréq. de mesure (GHz)	V <sub>DS,q</sub>	PAE <sub>,max</sub> (%)	G <sub>p</sub> à PAE <sub>,max</sub> (dB)	P <sub>OUT</sub> à PAE <sub>,max</sub> (W/mm)
OMMIC [225]	100 → 150	Non	AlN	Schottky	100	1,7	800	>40	13	105	180	30	12	48	-	3.3
ETH [195]	100	Non	AlGaN	Schottky	100	1,05	540	29	-	95	145	40	10	25		0,75
IEMN [184]	100	Non	AlGaN	Schottky	75	1,1	375	55	12	116	150	40	25	12,5	4,5	2,7
IEMN [196]	100	Non	AlN	Schottky	100	1,8	550	100	-	80	192	40	15	18	5,5	2,25
ITRI [197]	100	Non	InAlGaN	Schottky	140	0,9	450	-	11	100	97	28	6	20	-	1,1
Panasonic [198]	150	-	AlGaN	MIS SiN	250	1,1	-	350	-	-	-	26,5	55	-	4	2
MIT [177]*	200	Oui	InAlN	Schottky	120	1	340	-	-	51	88	10	20	53	12	4,5
Raytheon [199]*	200	Oui	AlGaN	-	250	1	-	100	-	-	-	10	28	48	8,7	4,7
IMEC [189]	200	Oui	AlGaN	Schottky	200	1,2	400	-	-	50	125	28	4	42	6,1	0,5
<b>CEA Leti</b>	<b>200</b>	<b>Oui</b>	<b>AlGaN</b>	<b>Schottky</b>	<b>150</b>	<b>1</b>	<b>425</b>	<b>24</b>		<b>61</b>	<b>165</b>	<b>28</b>	<b>15</b>	<b>40</b>	<b>7</b>	<b>2,4</b>
Intel [182]	300	Oui	InAlN	MIS	50	1,5	1000	10	-	150	320	28	10	50	6,5	2,7

Tableau 7 : Récapitulatif des différents acteurs des technologies GaN sur silicium pour les applications en bande Ka. \*Malgré des dimensionnements de grilles courts et la volonté de monter en fréquence, les acteurs annotés d'un astérisque n'ont présenté des résultats large-signal qu'à 10 GHz.



## 2. Influence du recuit d'activation du dopage silicium

Les caractérisations présentées dans cette deuxième partie ont été réalisées grâce aux compétences avancées de : Audrey Jannaud et Hugo Dansas pour la préparation des échantillons pour les analyses par microscopie électronique et en champ proche, François Aussenac pour la microscopie électronique en transmission, Denis Mariolle pour les caractérisations en champ proche, Probion® pour l'analyse par spectrométrie de masse et Cédric Lacam du III-V Lab pour la mesure de résistivité du 2DEG sur wafers cassés.

L'implantation de silicium dans le GaN permet de former des couches avec une faible résistivité et un contact métal/GaN  $n^+$  de très faible résistance [226]–[229]. L'utilisation d'un accès implanté permet aussi de déporter les métaux de contact ohmique de la grille alors que les dimensions des transistors pour les hautes fréquences sont de plus en plus courtes. A l'inverse, l'utilisation de contacts alliés engendre une grande proximité entre ces métaux créant des capacités parasites qui diminuent les performances radiofréquence. Cette proximité peut également engendrer des difficultés de fabrication lors de la gravure de ces métaux [98]. L'implantation est également une technique bien maîtrisée avec d'excellents résultats en termes d'uniformité et de répétabilité et elle est compatible aux salles blanches CMOS. De plus, l'implantation peut être utilisée pour la fabrication de résistances, sans étape de fabrication additionnelle, qui sont utilisées lors de la conception de circuits intégrés monolithiques hyperfréquence (ou MMIC pour *Monolithic Microwave Integrated Circuit* en anglais). L'activation des dopants dans le GaN nécessite cependant des bilans thermiques importants. Dans cette étude, nous allons voir comment les procédés de fabrication des autres briques que celle de la grille influencent également la performance électrique du transistor.

### a. Descriptions des wafers

Pour cette étude, nous analysons 4 wafers avec l'empilement épitaxial interne (voir chapitre 2) provenant de deux lots d'épitaxie différents. Ces wafers sont fabriqués selon les procédés décrits dans le chapitre 2. Les wafers 3A et 3B comparent les performances électriques avec un contact implanté et avec un contact allié avec retrait de la barrière. Le wafer 4A sert de référence et présente les mêmes étapes de fabrication que le 3A. Le wafer 4B présente une implantation argon d'isolation plus profonde (Figure 46a). Ce wafer permet de comprendre le mécanisme de claquage des transistors avec un contact implanté silicium via l'étude des structures d'isolation. Il possède également une technologie de pied de grille sans gravure du SiN qui recouvre la barrière AlGaIn (Figure 46c). Cette structure MIS épaisse (15-25 nm) permet l'étude de l'influence du recuit haute température sur la densité de porteurs et leur mobilité faible champ  $\mu$  en s'affranchissant de l'influence du métal de grille. Ces informations sont référencées dans le Tableau 8.

Il est important de noter que le masque utilisé pour la lithographie du niveau métal ohmique est identique pour tous les wafers. Comme le wafer 3B n'a pas d'implantation silicium pour les accès, toutes ses dimensions grille-source et grille-drain sont rallongées de 0,5  $\mu\text{m}$  par rapport aux wafers 3A, 4A et 4B qui ont l'implantation. Les dimensions des transistors implantés sont dans la gamme de 80 à 500 nm pour  $L_G$  ; de 0,2 à 0,8  $\mu\text{m}$  pour  $L_{GS}$  et de 0,6 à 2  $\mu\text{m}$  pour  $L_{GD}$ . Pour le wafer 3B, ces distances  $L_{GS}$  et  $L_{GD}$  sont de 0,7 à 1,3  $\mu\text{m}$  et de 1,1 à 2,5  $\mu\text{m}$  respectivement.

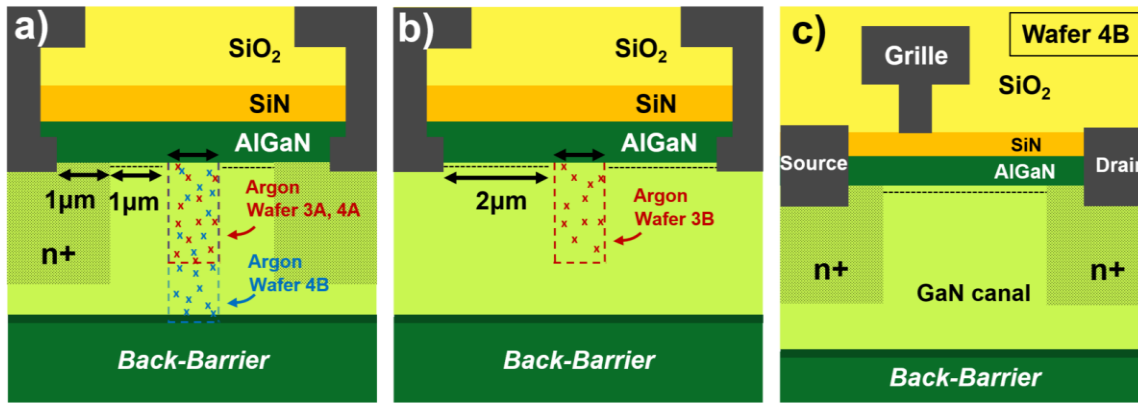


Figure 46 : a) Structure de test d'isolation des wafers implantés (3A, 4A, 4B) et b) du wafer avec contact allié. c) Schéma en coupe du transistor 4B avec une grille MIS SiN épaisse pour négliger l'influence de la fabrication de grille sur le 2DEG.

Wafer	Contact ohmique	Profondeur Isolation	Empilement de grille	$R_{S,2DEG}$ ( $\Omega/sqr$ )		$R_C$ ( $\Omega.mm$ )	$R_{S,n+}$ ( $\Omega/sqr$ )
				Post epi	Post process		
3A	Implanté Si	100 nm	Schottky	336	656	0.5 $\pm 0.02$	67 $\pm 1$
3B	Non implanté	100 nm	Schottky	338	341	0.47 $\pm 0.05$	-
4A	Implanté Si	100 nm	Schottky	336	655	0.39 $\pm 0.01$	66 $\pm 1$
4B	Implanté Si	150 nm	MIS SiN	336	593	0.44 $\pm 0.02$	67 $\pm 1$

Tableau 8 : Tableau récapitulatif des caractéristiques des différents wafer étudiés.

## b. Caractérisation électrique du 2DEG

Les mesures sont réalisées sur 21 puces situées dans un rayon de 68 mm sur les *wafers*. Les mesures TLM à la fin du premier niveau d'interconnexion montrent que la résistance de couche des 3 wafers implantés vaut  $67 \pm 1 \Omega/sq$  avec une très faible dispersion. Comparativement aux données de la littérature [226], [227], ces faibles valeurs de résistance indiquent une bonne activation des dopants. L'extraction de la résistance de contact entre le métal et la couche implantée vaut  $44 \pm 2 m\Omega.mm$  ce qui est extrêmement faible. La résistance globale de l'accès, qui comprend également la résistance entre la couche implantée et le 2DEG, vaut  $0.50 \pm 0.02 \Omega.mm$  pour le wafer 3A,  $0.39 \pm 0.01 \Omega.mm$  pour le wafer 4A et  $0.44 \pm 0.02 \Omega.mm$  pour le wafer 4B. Ces valeurs sont égales aux valeurs de la littérature qui utilisent des recuits d'activation à des températures beaucoup plus élevées [228], [229]. Elles démontrent le potentiel de cette technologie pour les applications radiofréquence avec des faibles résistances d'accès et des métaux déporté par rapport à la grille.

Des mesures pleine plaque 4 pointes pour mesurer la résistance de couche sont réalisées après épitaxie [203]. Puis la caractérisation des motifs TLM après la fabrication des contacts ohmiques ainsi qu'en fin de procédé de fabrication, permet également d'extraire cette résistance de couche. En comparant ces valeurs, on observe que le  $R_{S,2DEG}$  du wafer non implanté (3B) reste identique à  $340 \Omega/sq$  alors que ceux des wafers avec contact implanté (3A, 4A, 4B) passent de  $340 \Omega/sq$  à  $600-650 \Omega/sq$  (Figure 47a). La dégradation intervient principalement après les briques d'isolation et de fabrication du contact ( $\sim 600 \Omega/sq$ ), ce qui indique que c'est principalement le recuit haute température ( $1050^\circ C$ ) pour l'activation des dopants silicium qui induit cette augmentation de la résistance de couche du 2DEG. Ces valeurs sont référencées dans le Tableau 8.

Cette modification du gaz d'électrons se traduit également par plusieurs différences sur les caractéristiques de transfert  $I_D-V_G$  des deux wafers (Figure 47b). La tension de pincement extraite à  $I_{D,V_G=0V}/100$  est décalée de -0.3 V sur le wafer implanté (3A) (-0.6 V contre -0.3 V) et le courant maximal ( $I_{D,max}$ ) atteint 720 mA/mm contre 900 mA/mm sur le wafer 3B. Ces deux caractéristiques associées à la valeur de résistance de couche du 2DEG plus élevée après le recuit d'activation des dopants sur le wafer 3A indiquent une dégradation de la densité d'électrons dans le 2DEG lors de cette étape. Lorsque le transistor est pincé, les fuites de la jonction grille-drain sont plus importantes sur le wafer sans implantation pour atteindre  $2 \times 10^{-4}$  A/mm lorsque  $V_G = -4$  V contre  $2 \times 10^{-5}$  A/mm sur le wafer 3A. La différence entre ces niveaux de fuite, alors que le procédé de fabrication de grille est identique, pourrait s'expliquer par une modification de l'interface entre la barrière et le canal lors du recuit haute température qui modifierait la hauteur de barrière de potentiel vue par les électrons. Sur le wafer 3A, le saut dans la courbe de courant de grille lors de l'injection entre +0.5 V et +1 V a été identifié comme un problème d'oscillation du transistor pour ces conditions de polarisation.

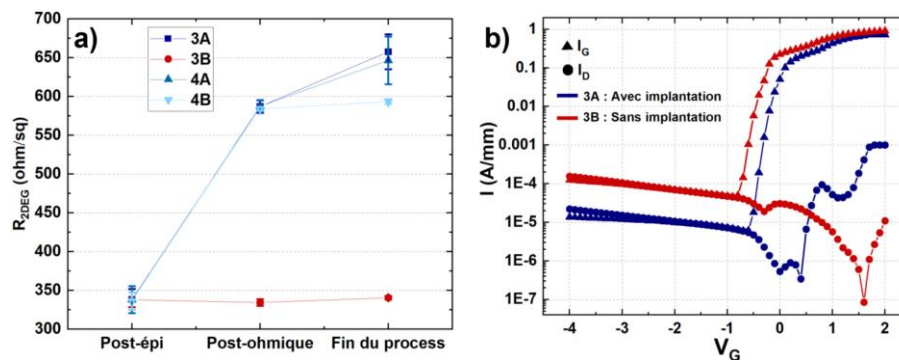


Figure 47 : a) Résistance de couche du 2DEG en fonction des différentes étapes de fabrication pour les 4 wafers. b) Caractéristique de transfert  $I_D-V_G$  à  $V_{DS}=10$  V pour les wafers 3A et 3B. (N.B : le saut de courant de grille en direct pour le wafer 3A est dû à un phénomène d'oscillation)

La densité d'électrons  $n_s$  et leur mobilité faible champ  $\mu$  sous la grille sont étudiées à l'aide de la barre de Hall avec grille décrite dans la partie précédente. Cependant, sur ce type de structure, la dégradation du transport est principalement induite par la technologie de fabrication de grille (gravure, nettoyage, dépôt). C'est pourquoi nous avons fabriqué le wafer 4A avec un contact implanté et une électrode de grille formée sans gravure de la passivation SiN (entre 15 nm et 30 nm restant au-dessus de la barrière AlGaIn). Ce wafer permet d'étudier la dégradation du transport due au recuit haute température en négligeant la dégradation induite par la gravure du pied de grille sur l'AlGaIn et le dépôt métallique.

La résistance de couche sous la grille, notée  $R_{channel}$ , à  $V_G=0$  V est présentée dans la Figure 48 en fonction de la distance au centre du wafer. La valeur médiane sur 21 points est de 662  $\Omega/sq$ . En comparant avec les valeurs  $R_{s,2DEG}$  extraites en fin de fabrication sur les structures TLM, donc sans grille (Figure 47a), on observe une augmentation de 69  $\Omega/sq$ . Cette augmentation est largement inférieure à la dégradation induite par le recuit haute température pour l'activation des dopants silicium (+257  $\Omega/sq$ ). La structure MIS SiN épaisse nous permet donc d'étudier l'impact du recuit sur la résistance de couche du gaz d'électron tout en négligeant l'influence de la technologie de grille.

La résistance du 2DEG sous la grille en fonction de la polarisation de grille est présentée sur la Figure 48a. Elle décroît d'environ  $1500 \text{ } \Omega/\text{sq}$  à  $V_G = -3 \text{ V}$  pour atteindre  $620 \text{ } \Omega/\text{sq}$  lorsque  $V_G = 0 \text{ V}$ . Cette tendance est logique car les électrons s'accumulent sous la grille lorsque sa polarisation augmente vers les valeurs positives. Sur la Figure 49a, on remarque que cette tendance est corrélée avec l'augmentation de la densité surfacique du 2DEG déterminée à partir de la mesure C-V. Elle vaut  $1 \times 10^{12} \text{ cm}^{-2}$  lorsque  $V_G$  vaut environ  $-4.5 \text{ V}$  jusqu'à atteindre une valeur supérieure à  $1 \times 10^{13} \text{ cm}^{-2}$  pour  $V_G = +1 \text{ V}$ . La faible diminution de  $R_{\text{channel}}$  entre  $-1 \text{ V}$  et  $+1 \text{ V}$  malgré l'augmentation importante de  $n_s$  se traduit par une décroissance de la mobilité des électrons sur cette gamme de tension de grille (Figure 49b). Le modèle de mobilité dérivé du formalisme développé par Kubo [230] et Greenwood [231] au milieu du XXème siècle, présente 4 composantes qui influencent la diffusion des porteurs libres : les phonons optiques et acoustiques, l'interaction Coulombienne et la rugosité de surface [218]. La limitation de la mobilité faible champ du fait de l'interaction Coulombienne engendrée par la densité du 2DEG intervient généralement pour des valeurs proches de  $1 \times 10^{13} \text{ cm}^{-2}$  [232]. On remarque sur la Figure 49b que pour notre dispositif, cette décroissance intervient alors que  $n_s$  vaut environ  $6 \times 10^{12} \text{ cm}^{-2}$ . La limitation par les phonons optiques et acoustiques intervient généralement à des températures plus élevées [218], [233]. On peut donc émettre l'hypothèse que cette limitation de la mobilité faible champ est due à l'interaction Coulombienne avec des impuretés qui auraient diffusé lors du recuit ou à de la diffusion par la rugosité engendrée à l'interface AlGaIn/GaN lors du recuit haute température.

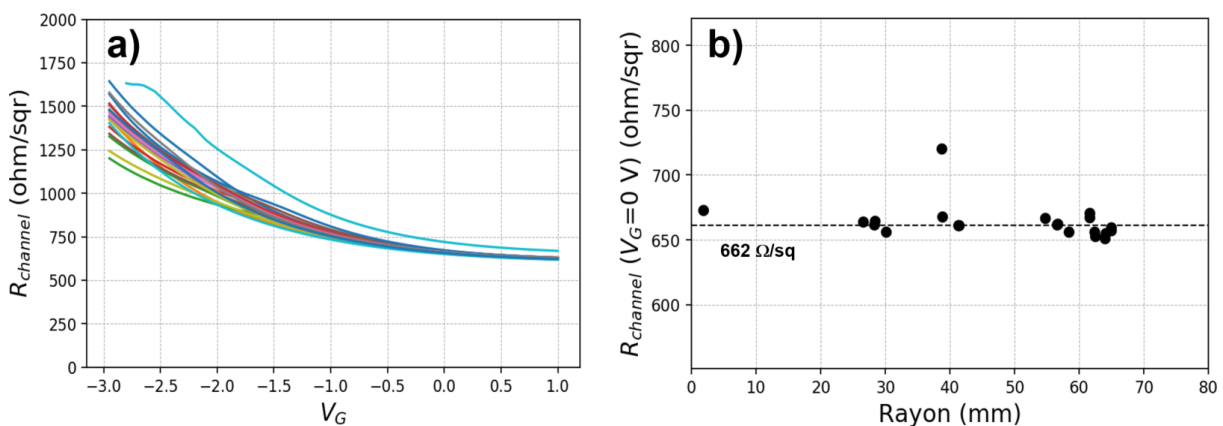


Figure 48 : a) Résistance de couche sous la grille ( $R_{\text{channel}}$ ) en fonction de la tension de grille b)  $R_{\text{channel}}$  à  $V_G = 0 \text{ V}$  en fonction de la distance au centre du wafer sur le wafer 4B.

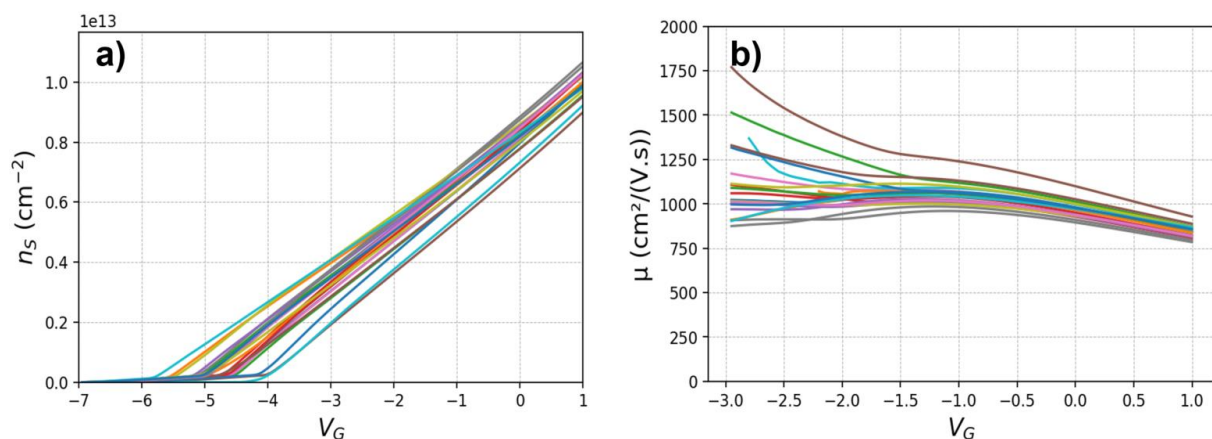


Figure 49 : a) Densité surfacique et c) mobilité faible champ des électrons en fonction de la tension de grille.

L'extraction de la densité d'électrons et de leur mobilité faible champ lorsque la tension de grille vaut 0 V est montrée en Figure 50a en fonction de la distance motif par rapport au centre du wafer. La valeur médiane de  $8,3 \times 10^{12} \text{ e}^-/\text{cm}^2$  est plutôt élevée pour une barrière AlGaIn de 7 nm avec une légère dégradation ( $+69 \text{ } \Omega/\text{sq}$  sur le  $R_{2\text{DEG}}$ ) engendrée par la technologie de grille. Pour 80 % des 21 points de mesures, la mobilité est inférieure à  $1000 \text{ cm}^2/(\text{V}\cdot\text{s})$  (Figure 76), bien loin des valeurs maximales supérieures à  $2000 \text{ cm}^2/(\text{V}\cdot\text{s})$ . Cette caractérisation souligne que l'augmentation de la résistance de couche du gaz d'électrons après le recuit haute température est principalement due à une dégradation de la mobilité des porteurs. En reprenant l'hypothèse émise au paragraphe précédent sur la limitation de la mobilité avec l'augmentation de  $V_G$ , cette dégradation après recuit pourrait être induite par la diffusion d'impuretés et/ou l'augmentation de la rugosité aux interfaces entre le canal, le spacer AlN et la barrière AlGaIn.

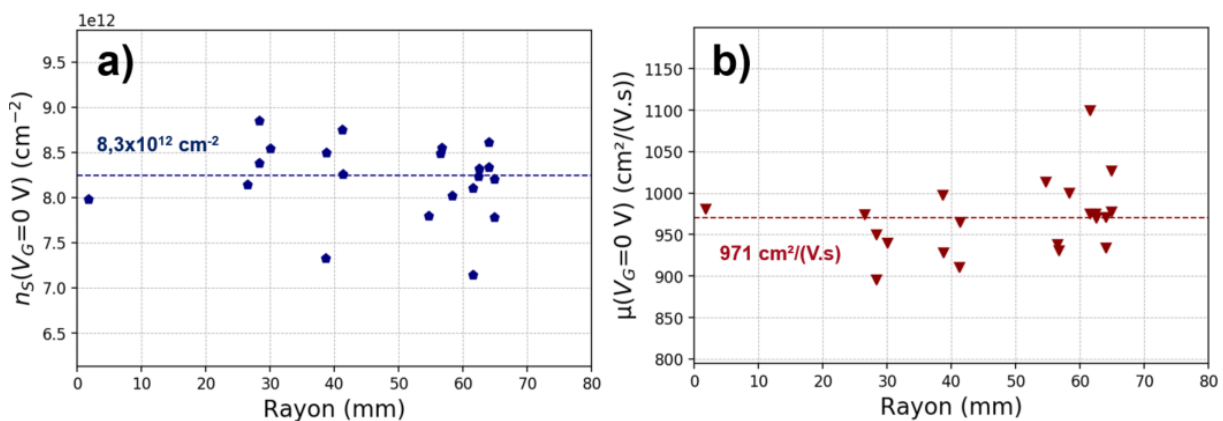


Figure 50 : a) Densité surfacique et b) mobilité faible champ des électrons sous la grille à  $V_G=0 \text{ V}$  en fonction de la distance au centre du wafer 4B.

### c. Caractérisation électrique en blocage

Dans cette partie, nous analysons l'influence de la brique technologique de contact ohmique sur la tenue en tension des transistors. Les caractéristiques en blocage ( $V_G=-5 \text{ V}$  et  $V_{DS}$  de 0 V à 100 V) des wafers 3A (accès avec implantation silicium) et 3B (contact allié avec retrait de barrière) sont présentées sur la Figure 51. Par soucis de lisibilité, une seule puce de chaque wafer est tracée avec différentes distances grille-drain. Les caractéristiques des transistors du wafers 3A (Figure 51a) présentent 3 régimes. Une première augmentation forte des fuites grilles-drain jusqu'à  $V_{DS}=10 \text{ V}$  suivie par un régime de quasi-saturation avec un niveau de courant compris entre 2 et  $3 \times 10^{-5} \text{ A}/\text{mm}$  et où les fuites augmentent très lentement. Pour ces deux régimes le courant majoritaire est celui de grille (représenté par des triangles) car c'est la somme des fuites grille-drain et grille-source. Puis un troisième mécanisme s'active pour une tension  $V_{DS}$  qui dépend de l'espacement grille-drain. Le courant de drain augmente très rapidement et devient prépondérant devant le courant de grille avant d'atteindre la limitation en courant à  $1 \text{ mA}/\text{mm}$ . En comparant les différents espacements grille-drain, on note que ce mécanisme apparaît lorsque le champ latéral moyen entre source et drain vaut environ  $35 \text{ V}/\mu\text{m}$ .

Le wafer avec contact allié (3B – Figure 51b) présente des caractéristiques en blocage assez similaires. Les fuites de grille augmentent rapidement jusqu'à  $V_{DS}=10 \text{ V}$  avant d'atteindre un régime de quasi-saturation autour de  $3 \times 10^{-4} \text{ mA}/\text{mm}$ . Ce niveau plus élevé de fuite de grille pourrait s'expliquer par une densité de porteurs plus élevée sur ce wafer ou d'une modification de la barrière



AlGaN lors du recuit haute température du wafer 3A qui transforme le potentiel électrostatique sous la grille. Comme sur le wafer 3A, un nouveau mécanisme dépendant de la distance grille-drain s'active à plus fort  $V_{DS}$  avec une augmentation forte du courant de drain qui devient supérieur au courant de grille avant d'atteindre la limitation en courant.

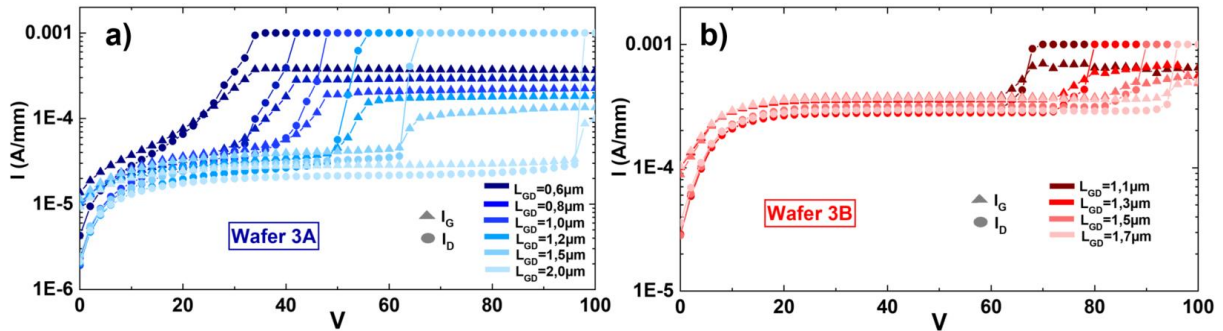


Figure 51 : a) Caractéristique en blocage sur une puce pour différentes distances grille-drain sur a) le wafer 3A avec accès implanté silicium b) et sur le wafer 3B avec contact allié.

Par abus de langage, la tension extraite lorsque le courant atteint 1 mA/mm est appelée tension de claquage (ou BV pour *breakdown voltage* en anglais). Sur les deux wafers, le courant de *bulk* étant très largement inférieur aux courants de grille, de source et de drain (non montré ici), la tension de claquage est donc limitée par un courant entre le drain et la source. Deux mécanismes peuvent intervenir (Figure 52) :

- L'effet *punch-through* ou *DIBL* [71], [87], [234] qui apparait dans des transistors à grille courte pour lesquels la tension de drain diminue la barrière de potentiel créée par la grille jusqu'à ce que les électrons puissent traverser le canal (Figure 52 (2) )
- Des fuites qui traversent les couches situées sous le canal à cause d'un mauvais confinement (Figure 52 (3) ), et qui s'activent lorsque la barrière verticale de potentiel est franchie

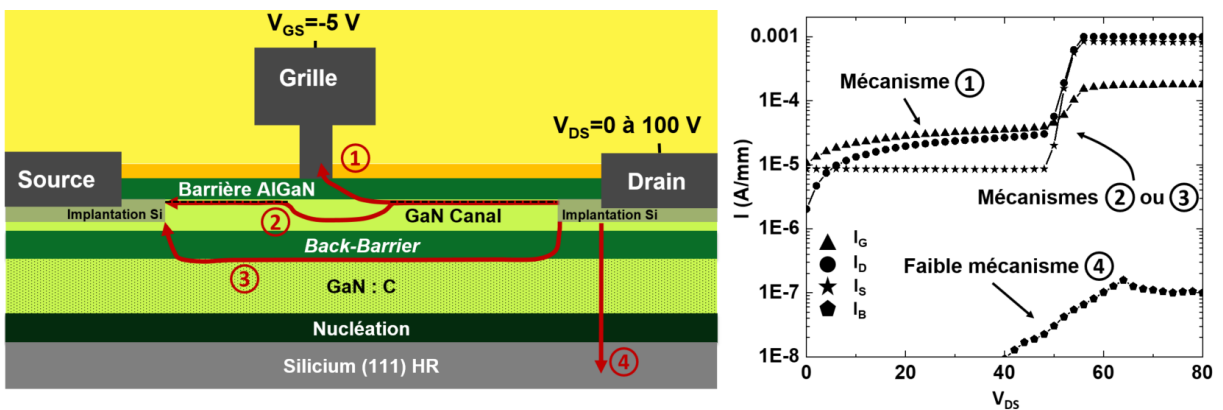


Figure 52 : Représentation schématique des courants limitant la tension de claquage : 1) les fuites de la jonction grille-drain 2) l'effet *punch-through* 3) les fuites sous le canal 4) le claquage vertical par le *bulk*.

Cependant le transistor avec une distance  $L_{GD}=1,2 \mu\text{m}$  sur le wafer 3A présente un BV de 54 V alors que celui du transistor du wafer 3B avec un  $L_{GD}=1,1 \mu\text{m}$  est plus élevé (~66 V). Cette observation semble indiquer que les mécanismes sur les deux wafers sont différents. L'analyse des structures d'isolation permet une meilleure compréhension des mécanismes de claquage.

Comme les distances entre le contact et la zone neutralisée par l'implantation argon sont différentes (Figure 46b), le courant entre deux contacts séparés par une implantation argon de  $1\ \mu\text{m}$  de long est présenté en fonction du champ électrique latéral moyen sur la Figure 53a. Sur le wafer avec contact allié (3B en rouge), les fuites entre peignes de mesure augmentent jusqu'à atteindre  $1 \times 10^{-8}\ \text{A}$  à  $40\ \text{V}/\mu\text{m}$  soit  $200\ \text{V}$ . Cela prouve qu'il n'y a pas de fuite de courant sous le transistor et que la fuite latérale entre source et drain observée sur les transistors est un effet *punch-through*.

Sur le wafer avec accès implanté silicium (3A – bleu foncé), les fuites dépassent celles du wafer 3B à partir d'un champ électrique moyen de  $18\ \text{V}/\mu\text{m}$ . Cela montre que la fabrication de l'accès implanté crée un lien électrique avec les couches sous le canal. Le courant continue d'augmenter jusqu'à ce qu'un autre mécanisme de conduction s'active lorsque le champ électrique vaut environ  $35\ \text{V}/\mu\text{m}$ . C'est à cette même valeur de champ moyen que le mécanisme de claquage s'active sur les transistors. Cela indique que le courant peut passer entre deux contacts implantés séparés par une zone très résistive implantée  $\text{Ar}^+$  jusqu'à  $100\ \text{nm}$  (Figure 46a).

Pour confirmer que ces fuites passent par les couches situées sous le canal, nous avons mesuré les structures d'isolation sur les wafer 4A et 4B. Le wafer 4A est identique au wafer 3A mais il provient d'un autre lot d'épitaxie. Le wafer 4B possède une brique d'isolation argon plus profonde qui dépasse la profondeur du canal (Figure 46a). Les courbes I-E de ces structures d'isolations sont également tracées sur la Figure 53a. On remarque que l'implantation argon plus profonde sur le wafer 4B n'empêche pas le mécanisme de fuite qui s'active également vers  $35\ \text{V}/\mu\text{m}$ . Cette observation démontre que la technologie d'accès implanté crée un lien électrique avec les couches situées sous le canal qui est responsable du claquage des transistors. Cette fuite se traduit par une dépendance inhabituelle de la tension de claquage avec la distance source-drain comme présenté sur la Figure 53b. Pour ce wafer 3A, chaque point représente un design de transistor avec les variations de  $L_G$ ,  $L_{GS}$  et  $L_{GD}$  détaillées plus haut. Les barres d'erreurs représentent l'écart-type sur 21 transistors mesurés. On remarque que les 13 topologies pour lesquelles  $L_{SD} < 2\ \mu\text{m}$  présentent la même tendance linéaire du BV en fonction de l'espacement source-drain avec une pente de  $32\ \text{V}/\mu\text{m}$ . Le transistor avec la plus grande dimension présente une tendance différente ce qui laisse penser que le mécanisme de fuite est différent ou qu'il s'active à une plus forte tension lorsque  $L_{SD} > 2\ \mu\text{m}$ . L'analyse électrique des transistors et des structures d'isolation ont permis de mettre en évidence que la brique technologique des accès implantés silicium modifie le mécanisme de claquage des transistors à travers une fuite inhabituelle par les couches sous le canal.

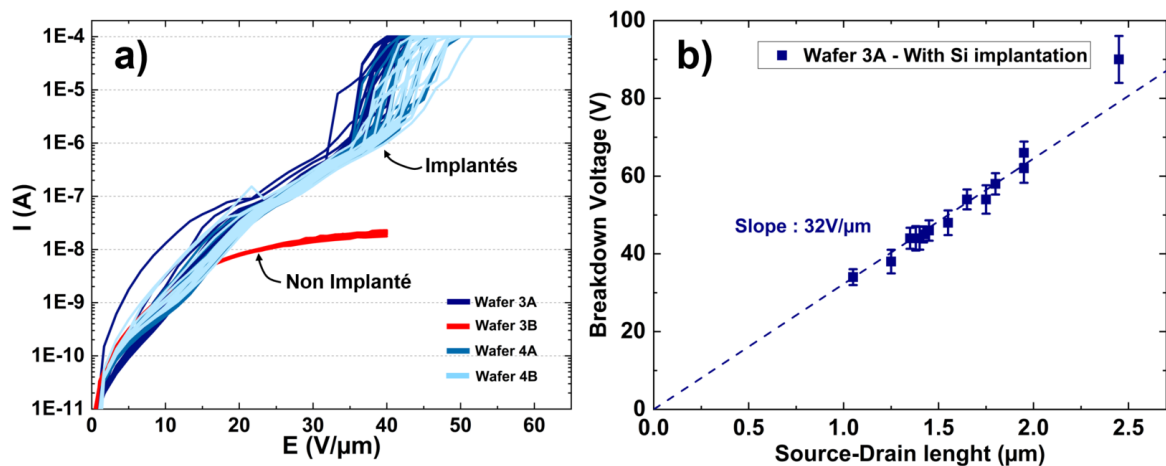


Figure 53 : a) I-E des structures d'isolation des wafer 3A, 3B, 4A et 4B. b) Tension de claquage en fonction de la distance source-drain. Chaque point représente un design de transistor avec des variations de  $L_G$ ,  $L_{GS}$  et  $L_{GD}$ .

## d. Caractérisations physico-chimiques

### i. Microscopie électronique à balayage en transmission

Une image de la jonction grille-source en microscopie électronique à balayage en transmission est présentée en Figure 54. Le détecteur champ sombre annulaire à grand angle (ou HAADF pour *High-angle annular dark-field en anglais* en anglais) est utilisé. La luminosité de ce mode est proportionnelle à la racine carrée du nombre atomique des éléments. La présence d'une couche contrastée plus foncée à l'interface canal/back-barrier souligne la présence d'atomes plus léger que le gallium. Sur le wafer avec accès implanté (Figure 54a), on remarque une discontinuité de cette couche sous la grille alors que sur le wafer avec contact allié (Figure 54b) cette couche est présente sur toute la longueur du canal. Cette observation indique que la discontinuité sur le wafer 3A est due à la technologie de contact. Cette couche étant présente sur le wafer 3B, elle ne résulte pas d'une ségrégation de silicium.

Une acquisition par spectroscopie à dispersion d'énergie de rayons X (ou EDX pour *Energy Dispersive X-ray en anglais*) de trois profils d'aluminium selon les flèches de la Figure 54 est montrée sur la Figure 55. Le profil dans la zone implantée silicium (Figure 55a – bleu clair) et celui du wafer 3B présentent le profil attendu avec un premier pic au niveau de la barrière AlGaIn puis un second au niveau de la back-barrier. Cependant le profil du wafer 3A sous la grille (bleu foncé) indique une dégradation de la back-barrier avec la diffusion des atomes d'aluminium de la première couche à forte concentration en aluminium vers le canal. Seules les étapes d'implantation silicium et le recuit d'activation des dopants à 1050°C diffèrent entre ces deux wafers. Cette dégradation de la back-barrier est donc engendrée par le recuit. L'interdiffusion des atomes d'aluminium de l'empilement épitaxial lors de traitement thermique a également été observée par Nemoz et al. [235]. Ces profils montrent également que la barrière est plus robuste puisque les atomes d'aluminium qu'elle contient ne diffusent pas dans le canal. Comme la back-barrier influence le transport du gaz d'électrons, la dégradation de cette dernière après le recuit 1050°C pourrait avoir un rôle dans l'augmentation de la résistance de couche du 2DEG vue plus haut. Cette modification de l'empilement épitaxial lors du procédé de fabrication pourrait également être responsable de la fuite sous le canal qui est responsable du claquage latéral entre source et drain.

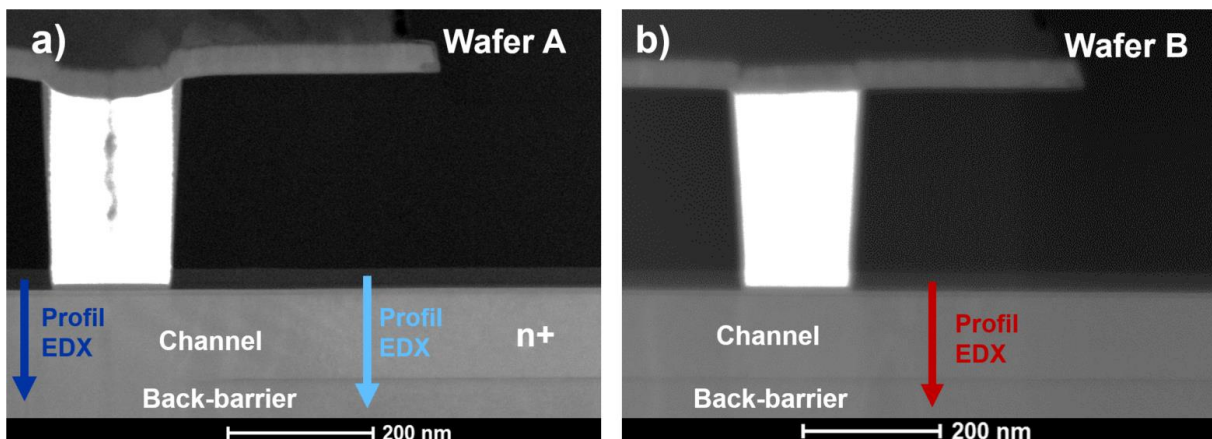


Figure 54 : a) Image STEM de la jonction grille-source a) du wafer 3A et b) du wafer 3B (F. Aussenac).



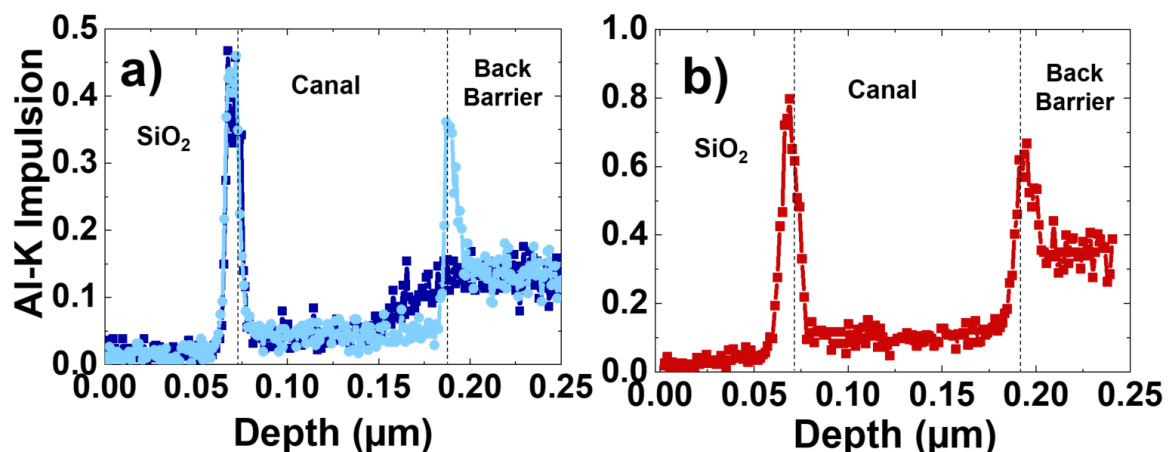


Figure 55 : Profil EDX de l'aluminium selon les flèches sur les figures a) 54.a et b) 54.b (F. Aussenac).

## ii. Microscopie en champ proche

Des images par microscopie en champ proche en coupe sont analysées dans cette partie afin d'identifier le chemin emprunté par les électrons lorsque la fuite entre source et drain s'active. Les images de la Figure 56 sont réalisées par microscopie à balayage de résistance de constriction (ou SSRM pour *Scanning Spreading Resistance Microscopy* en anglais). Le principe repose sur le balayage d'une sonde conductrice en surface de l'échantillon en polarisant la sonde ou l'échantillon. Le courant collecté par la sonde permet d'identifier les couches conductrices ou non. Plus un point est foncé, plus sa résistance est faible. L'échelle représente le logarithme en base 10 de la résistance mesurée entre la pointe et l'échantillon polarisé. Les profils des deux wafers sont assez similaires avec peu de couches conductrices ce qui est attendu car le GaN non dopé est très résistif et les oxydes qui passivent les transistors sont isolants. Cependant, les couches métalliques de l'échantillon n'apparaissent pas toutes conductrices. Par exemple, sur les motifs de tête grille situés au milieu de l'image, seules les couches d'encapsulation Ti/TiN apparaissent conductrices alors que l'aluminium, situé entre ces couches, possède une résistivité plus faible. De plus, on remarque des traits blancs verticaux sur les deux coupes qui correspondent à des zones où le contact électrique entre la sonde et l'échantillon est totalement perdu.

Ces observations mettent en évidence les limites de cette technique pour l'analyse de transistors GaN en coupe. Premièrement, l'analyse en coupe nécessite la préparation et le collage d'une lame prélevée par sonde ionique focalisée (ou FIB pour *Focused Ion Beam* en anglais). Cette technique qui permet de graver la matière autour de la lame avant de la prélever à l'aide de micromanipulateurs, endommage les couches qui entourent la lame. Pour retirer cette couche dégradée, l'échantillon est poli. Mais le polissage ne s'effectue pas à la même vitesse sur les différents matériaux qui composent le transistor. Comme l'acquisition se déroule en mode contact, les variations topographiques en surface pourraient expliquer pourquoi certains matériaux métalliques n'apparaissent pas conducteurs si la sonde n'est pas en contact avec ces derniers. Le caractère très résistif du GaN engendre de très fortes variations d'amplitudes de la résistance entre les zones où on trouve du GaN et celles qui contiennent des métaux. De plus, le GaN s'oxyde très rapidement en surface et cette oxydation rend la formation du contact entre la sonde et l'échantillon plus difficile. Un compromis nécessite d'être trouvé entre la force appliquée sur l'échantillon et la formation du contact électrique. En effet, en appliquant une force plus importante entre la pointe et la surface, le contact électrique est meilleur ; cependant la pointe se dégrade au cours du balayage de la surface

(non montré ici). Ces analyses en sonde proches mettent en évidence les limitations de ces caractérisations et ne permettent pas de déterminer la couche par laquelle transitent les électrons lors de la fuite latérale entre source et drain.

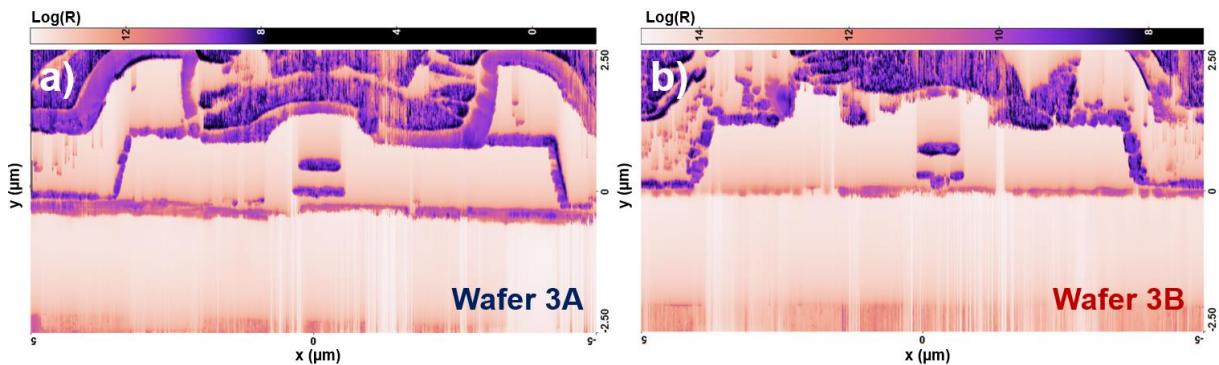


Figure 56 : Acquisition de mesure SSRM en coupe sur a) le wafer 3A et b) le wafer 3B (D. Mariolle).

Afin de contourner cette problématique de contact électrique avec la surface du GaN, des acquisitions par microscopie capacitive à balayage [236] (ou SCM pour *Scanning Capacitance Microscopy*) sont affichées sur la Figure 57. Cette technique utilise un contact moins fort puisqu'elle mesure la variation de la capacité de la structure MOS entre la pointe, l'oxyde en surface et le semiconducteur sous une tension alternative. Cette variation de la capacité est inversement proportionnelle à la concentration de porteur, elle permet donc de détecter des dopages faibles dans un matériau. L'échelle sur la Figure 57 est un signal composite contenant l'amplitude et la phase de la variation de capacité en fonction de la variation de tension.

Pour faciliter la lecture, des images STEM à l'échelle de la grille et du bord des contacts ohmiques ont été superposés sur les figures. En partant du bas de l'image, on remarque une première couche de type p (en jaune) Le démarrage de l'épitaxie à une température de l'ordre de 1000°C est responsable de cette première couche dopée p avec la diffusion d'atomes de gallium et d'aluminium dans le silicium HR. Cette couche, qui entraîne des pertes RF dans le substrat, semble plus épaisse sur le wafer 3A. Cependant l'échelle est plus étendue dans la gamme de dopage p sur cet échantillon. La largeur plus importante de cette couche pourrait également s'expliquer par la diffusion plus marquée des dopants sur ce wafer à cause du budget thermique plus important dû au recuit d'activation des dopants silicium. En remontant, une seconde couche dopée p est observable dans les couches de nucléation des deux échantillons. Ce dopage résiduel pourrait être induit par effet piézo-électrique entre les différentes couches d'adaptation des contraintes (voir chapitre 2) d'AlGaIn avec un pourcentage d'aluminium décroissant. Il est peu probable que le courant de fuite entre source-drain en blocage sur la wafer 3A transite par cette couche car il y a une épaisseur importante ( $\sim 1 \mu\text{m}$ ) de buffer hautement résistif entre les contacts ohmiques et ces couches. De plus, les trous dans le GaN possèdent de mauvaises propriétés de transport. Plus haut, c'est en surface de la zone active qu'on détecte les dernières couches dopées. Sur le wafer avec contact allié (Figure 57b), cette couche dopée n est située entre les contacts de source et de drain avec un signal moins intense sous la grille. D'après ses dimensions ( $\sim 0,8 \mu\text{m}$  entre source et grille et  $\sim 1,5 \mu\text{m}$  entre grille et drain), ce signal provient de l'accumulation et de la désertion des porteurs du 2DEG sous la polarisation alternative de la pointe. L'atténuation du signal sous la grille peut résulter de la dégradation du 2DEG par la technologie de grille ou de la modification du signal mesuré à cause de la présence des métaux de grille à proximité. Sur le wafer avec accès implantés (Figure 57a), on observe aussi le signal de type n induit par les électrons du 2DEG avec les dimensions attendues ( $\sim 0,3 \mu\text{m}$  entre

source et grille et  $\sim 0,8 \mu\text{m}$  entre grille et drain). L'atténuation du signal sous la grille est également visible mais la précision de cette mesure ne permet pas de comparer les échantillons sur cet aspect. Au niveau des contacts ohmiques, un signal de type n est présent à environ 100 nm de profondeur. Ce signal est assimilé à la poche d'implantation silicium qui n'est pas visible sur les couches de surface car le dopage est trop important ( $> 3 \times 10^{20} \text{ at/cm}^3$ ) pour être détecté en SCM.

Finalement, la SCM est dépendante de la morphologie de surface induite par la préparation de la lame, elle ne permet pas de détecter les forts dopages et on peut voir sur ces acquisitions que les électrons du 2DEG induisent un signal sur plusieurs dizaines de nanomètres alors qu'ils sont localisés sur quelques nanomètres au repos. Si aucune couche avec un dopage résiduel pouvant être responsable des fuites entre source et drain en blocage sur le wafer 3A n'a été identifiée, c'est probablement dû aux limites induites par la préparation de l'échantillon et la précision de la mesure.

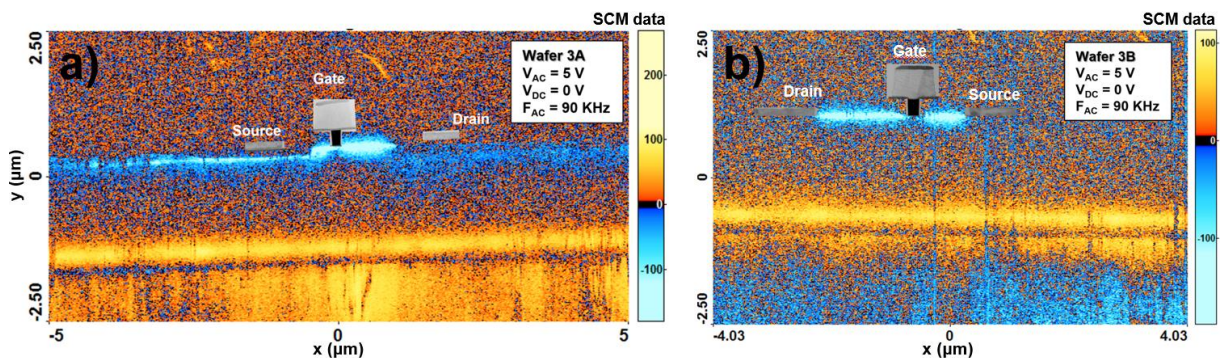


Figure 57 : Acquisition de mesure SCM en coupe sur a) le wafer 3A et b) le wafer 3B (D. Mariolle).

### iii. Spectroscopie de masse par temps de vol

Pour comprendre le lien électrique formé par l'implantation silicium entre le métal ohmique et les couches sous le canal, nous avons réalisé les étapes d'implantation et de recuit  $1050^\circ\text{C}$  sur un wafer avec le même empilement épitaxial. Le profil de dopage a ensuite été étudié par spectroscopie de masse par temps de vol (ou ToF-SIMS pour *Time of Flight Secondary Ion Mass Spectroscopy* en anglais). La concentration de Si en fonction de la profondeur est tracée sur la Figure 58. Pour comparer, un profil simulé à l'aide du logiciel SRIM après implantation et avant recuit est superposé sur la figure. Avec le procédé d'implantation double énergie et double dose, le silicium est principalement localisé dans le canal avec une forte décroissance de la concentration après 80 nm. Cependant le profil expérimental en surface en fin de fabrication est plus élevé que le profil simulé en fin d'étape d'implantation. De plus, une discontinuité est présente après 100 nm et la concentration en silicium avec la profondeur décroît beaucoup plus lentement sur le profil ToF-SIMS. A cause de cette lente décroissance, la concentration vaut toujours  $1 \times 10^{18} \text{ at/cm}^3$  à 400 nm sous la surface. Ce phénomène pourrait s'expliquer par un effet de canalisation (ou *channeling effect* en anglais) qui est présent selon certaines orientations cristallographiques du GaN. Cependant, l'étape d'implantation est réalisée avec des couches de passivations amorphes en surface et un angle de  $7^\circ$  pour empêcher cet effet. L'analyse EDX a mis en lumière la diffusion d'aluminium dans l'empilement épitaxial. Les atomes de silicium pourraient également diffuser grâce au budget thermique du recuit d'activation. Jakiela et al. ont étudié la diffusion du silicium dans le GaN [237]. Les échantillons recuits à  $1100^\circ\text{C}$  pendant 40 min et 60 min présentent exactement la même queue de distribution présente sur notre empilement. Cette répartition est caractéristique des mécanismes de diffusion et ils proposent que la diffusion de ces atomes se fait selon les dislocations présentes

dans l'épitaxie. Cette analyse met en évidence une concentration de silicium plus élevée qu'attendu. Elle est due à la diffusion du silicium dans l'empilement épitaxial lors du recuit haute température et elle crée un lien électrique entre le métal ohmique et les couches situées sous le canal. Une technologie d'accès implanté avec une énergie d'implantation plus faible pour concentrer les dopants en surface ou avec un budget thermique plus faible pourrait éviter ce problème.

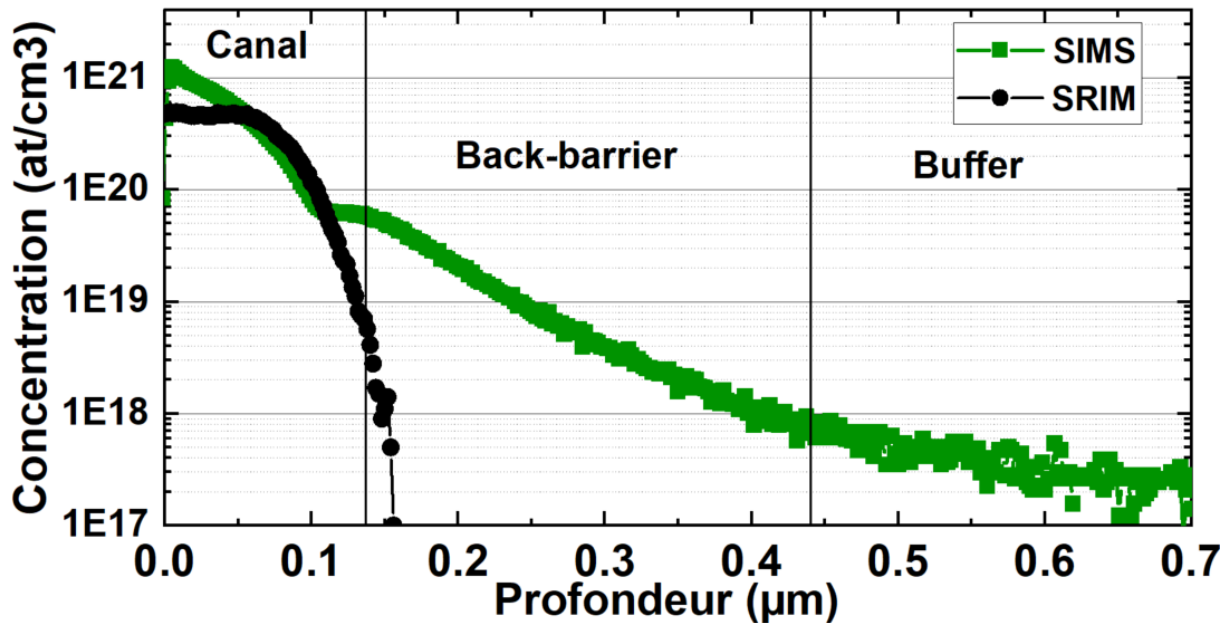


Figure 58 : Profil ToF-SIMS du silicium en fonction de la profondeur dans l'empilement épitaxial (N. Gautier).

### e. Barrières de confinement alternatives

L'analyse EDX en coupe a mis en lumière la dégradation de la *back-barrier* à cause du recuit haute température sur la wafer 3A. Cette couche a une forte influence électrostatique sur les électrons du 2DEG. Sa dégradation pourrait donc jouer un rôle dans l'augmentation de la résistance de couche du 2DEG après recuit. Pour étudier ce phénomène, nous avons épitaxié 4 wafers avec des barrières de confinement différentes. Le premier possède un empilement identique aux wafers étudiés ci-dessus. Le second possède une barrière de confinement à base d'AlGaIn mais avec des concentrations en aluminium différentes. Sur le troisième wafer, le buffer en GaN dopé C sert de *back-barrier*. Enfin le quatrième wafer possède une *back-barrier* avec deux couches minces de GaN dopées n et p.

Ces wafers ont été cassés après épitaxie et le recuit a déformé les morceaux, c'est pourquoi il y a peu de points de mesure (Figure 59). Malgré cela on observe que la résistance de couche après épitaxie est de l'ordre de 330  $\Omega$ /sq sur les 4 wafers ce qui est cohérent avec les mesures pleine plaque réalisées sur les autres lots après épitaxie. De plus, le wafer de référence après recuit présente une valeur médiane de  $R_{2DEG}$  à 580  $\Omega$ /sq proche des valeurs de résistance de couche mesurées sur les wafer 3A, 4A et 4B. Les résultats sur les autres wafers indiquent une dégradation du  $R_{2DEG}$  moins marquée que sur le wafer de référence. Tous les points de mesures sont inférieurs à 500  $\Omega$ /sq. La structure la plus robuste semble être la barrière de confinement de type jonction p-n avec 5 points à 400  $\Omega$ /sq. Cette analyse souligne l'importance du choix de la barrière de confinement vis-à-vis du procédé de fabrication utilisé.

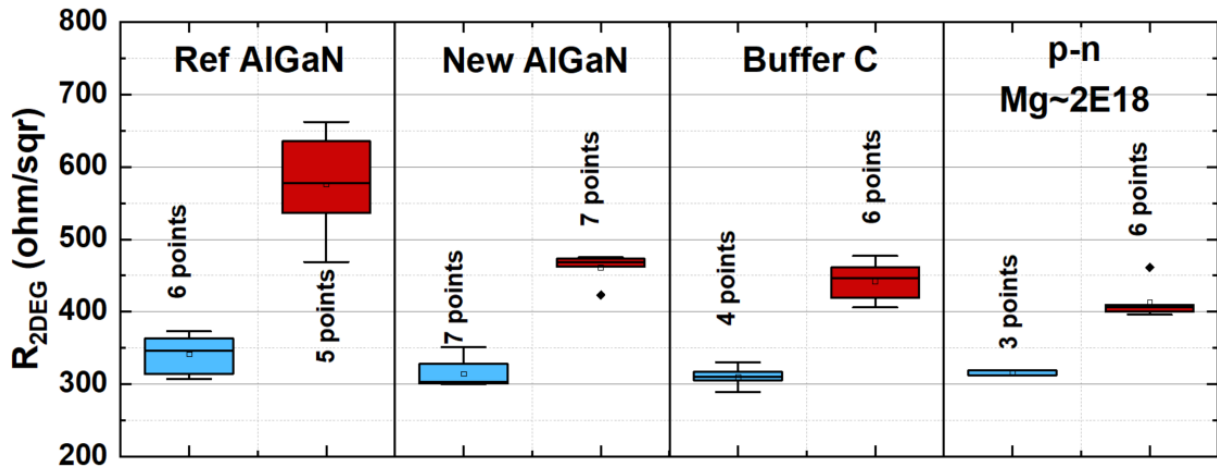


Figure 59 : Mesure  $R_{2DEG}$  pleine plaque avant (en bleu) et après recuit 1050°C (en rouge) (C.Lacam – IIV Lab).

## f. Conclusion

Dans cette partie, nous avons étudié l'influence d'un recuit haute température pour l'activation des dopants de l'accès implanté sur les caractéristiques statiques du transistor. Cette technologie d'accès possède des avantages importants pour les applications haute fréquence comme la faible résistance de contact, de bonnes performances en température, le rendement, la répétabilité, le déport des métaux ohmiques dans des transistors aux dimensions réduites et la compatibilité CMOS. Mais cette étude a montré certaines limites comme la dégradation du transport du gaz d'électrons, principalement due à la diminution de la mobilité des électrons. La comparaison des caractéristiques en blocage avec un contact allié avec retrait de la barrière a également mis en évidence que l'accès implanté induit un nouveau mécanisme de claquage avec une fuite entre source et drain qui passe dans les couches situées sous le canal. Ces travaux ont été publiés [238].

Le chemin emprunté par les électrons n'a pas pu être identifié par microscopie en champ proche à cause des limites de résolution et de préparation d'échantillon. Cependant l'étude chimique par microscopie électronique à balayage en transmission a démontré la dégradation de la back-barrier via la diffusion des atomes d'aluminium lors du recuit haute température. De même, le profil ToF-SIMS de la couche implantée silicium a démontré la diffusion des dopants lors de ce recuit permettant le lien électrique entre les métaux du contact ohmique et les couches situées sous le canal. Pour résoudre ces problématiques, le budget thermique pourrait être diminué ou des recuits localisés comme les recuits laser pourraient être utilisés [239]. L'implantation silicium pourrait être réalisée à plus faible énergie afin de localiser les dopants en surface et empêcher le lien électrique avec les couches du *buffer*. Enfin des barrières de confinements différentes pourraient être étudiées. Notre étude pleine plaque du  $R_{2DEG}$  montre notamment que la dégradation du transport dans le canal peut être largement minimisée en utilisant une *back-barrier* de type jonction p-n.



### 3. Simulations TCAD d'architectures de grille avancées

Les simulations TCAD présentées dans cette troisième partie ont été effectuées grâce aux connaissances et aux travaux antérieurs dans le domaine de Marie-Anne Jaud et surtout, grâce à la conception du modèle initial de simulation et aux conseils de Pascal Scheiblin. Les développements de gravure partielle de la barrière ont été réalisés par Simon Ruel et Patricia Pimenta-Barros.

Au travers des parties précédentes, nous avons vu que la variation des procédés de fabrication permet d'améliorer la compréhension physique du fonctionnement du transistor et d'identifier les leviers qui permettent d'améliorer ses performances. Mais de nombreux problèmes sont susceptibles d'intervenir durant cette fabrication qui nécessite beaucoup de temps d'optimisation. Les erreurs de manipulation et de fabrication engendrent une perte importante de temps et d'information. L'augmentation vertigineuse de la capacité de calcul informatique a permis de développer des logiciels de simulation et de conception assisté par ordinateur (CAO ou CAD pour *Computer-Aided Design* en anglais). Dans le domaine des semiconducteurs, ces logiciels sont appelés TCAD pour *Technology Computer-Aided Design*. Ils permettent de gagner du temps et des expériences en simulant des structures jusqu'à 3 dimensions. Dans la suite de cette partie, nous analysons les simulations réalisées sur le logiciel Sentaurus développé par Synopsys®.

#### a. Description générale

##### i. Fonctionnement de la TCAD

La simulation débute en définissant la structure à modéliser. Il existe deux approches différentes pour créer cette structure : la conception du composant en simulant les procédés de fabrication ou la création de la structure en utilisant des formes géométriques. La première simule l'enchaînement de toutes les étapes technologiques en créant les motifs, les dopages ou mêmes les défauts dans le matériau. La seconde consiste en une conception du composant purement géométrique en assimilant à chaque zone un matériau et des propriétés physiques. En plus de la structure globale, la simulation nécessite de définir un maillage de la structure. Ce maillage sert dans la partie suivante lorsqu'on simule un test électrique sur le composant. En fonction du potentiel appliqué sur les électrodes, le logiciel résout au minimum l'équation de Poisson et la condition d'équilibre des charges en utilisant les paramètres matériau de chaque nœud du réseau. Le maillage est donc primordial car il augmente considérablement le temps de calcul s'il est très fin, et il diminue la probabilité de convergence s'il est trop lâche. La simulation TCAD est un outil extrêmement puissant car elle permet de dégager des tendances sur un nombre élevé d'expérimentations sur un temps très court. Cependant la simulation se heurte aux approximations de calculs ainsi qu'aux choix de matériaux, de modèles et de conditions aux limites. Il est donc fondamental de confronter au moins une partie des résultats à l'expérience.

## ii. Modèle initial

Le développement du modèle TCAD d'un HEMT GaN avec des simulations qui convergent et qui sont fiables et répétables nécessite une grande connaissance du langage de programmation, des modèles physiques associés à cette technologie ainsi qu'un temps de développement considérable. Au cours des dernières années, de nombreux travaux ont été réalisés au CEA Leti sur ce type de composants notamment pour les applications d'électronique de puissance. Après le lancement d'une filière GaN pour les radiofréquences en 2018, un modèle adapté a été développé par Pascal Scheiblin. Ce modèle initial est décrit ci-dessous.

L'approche choisie consiste à définir géométriquement les différentes couches qui composent l'empilement du transistor en coupe. Les caractéristiques électriques des simulations sont ensuite alignées sur celles du transistor en modifiant les paramètres physiques des matériaux (effet piézoélectrique, dopage, contacts...). Une coupe de ce modèle initial est présentée sur la Figure 60a et le maillage qui lui est associé est présenté sur la Figure 60b. La structure est constituée de 1,3  $\mu\text{m}$  de GaN dopé au carbone à  $2,5 \times 10^{16} / \text{cm}^3$  surmonté par l'hétérostructure AlN 0.7nm / AlGaIn responsable de la formation du 2DEG avec un SiN de quelques nanomètres par-dessus. Pour obtenir les densités d'électrons mesurées expérimentalement, des défauts donneurs sont rajoutés à l'interface AlGaIn/SiN avec une densité surfacique de  $2,5 \times 10^{12} / \text{cm}^2$ . Dans notre modèle, le carbone contenu dans les couches III-N est défini comme un donneur profond situé à 0,9 eV de la bande de conduction. L'empilement des passivations diffère de celui utilisé jusqu'à présent. Une première couche de SiO<sub>2</sub> de 20 nm est présente sur le SiN *in situ*. Puis on retrouve une seconde couche de SiN et une couche épaisse de SiO<sub>2</sub> encapsulant le tout. Par rapport au schéma de passivation décrit dans le chapitre 2, cet empilement permet de former un *field-plate* nanométrique juste au-dessus du coin de grille (Figure 60c). En effet, la gravure plasma des passivations jusqu'à la barrière AlGaIn permet de former la cavité du pied de grille puis une gravure en solution chimique à base de HF permet de graver sélectivement et de manière isotrope le SiO<sub>2</sub>. Cette structure métallique posée sur le SiN *in situ* permet de repousser plus efficacement les électrons du 2DEG et de diminuer le pic de champ électrique. Les contacts ohmiques sont en configuration contact allié avec retrait de la barrière sans implantation silicium. Les modèles de conduction du gaz d'électrons vers le contact Schottky de la grille au travers de la barrière AlGaIn sont assez difficiles à modéliser. La présence de cette barrière de potentiel implique que le mode de transport n'est pas uniquement thermoionique. De nombreux mécanismes par effet tunnel et par pièges sont largement cités dans la littérature [217], [240]–[243]. Par manque de temps et d'études précises sur la conduction dans notre empilement, notre modèle TCAD ne prend pas en compte les fuites de grille.

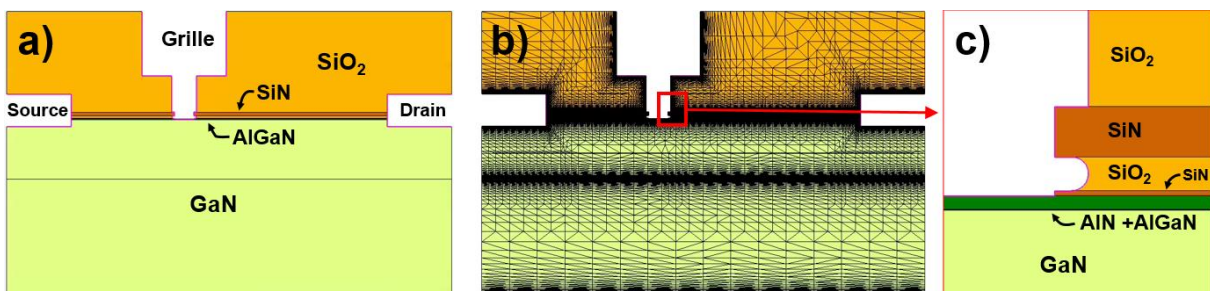


Figure 60 : a) Image TCAD en coupe du modèle initial. b) Modèle initial avec les nœuds du maillage. c) Zoom au coin de grille.

## b. Ajustements sur le wafer Ext 1

Avant de simuler des expériences, il est primordial d'avoir un modèle représentatif de notre transistor. Nous choisissons d'ajuster le modèle sur le wafer Ext 1 qui présente les meilleures performances.

### i. Barrière de confinement

Le modèle de base ne prend pas en compte la barrière de confinement. Il possède une couche de GaN avec un niveau de dopage du canal, qui est dit non intentionnellement dopé (NID), qui vaut  $2,5 \times 10^{16} / \text{cm}^3$ . Comme son nom l'indique, la barrière de confinement empêche les électrons du 2DEG de se déplacer à travers les couches situées sous le canal. Son absence permet l'apparition de courant entre source et drain même lorsque le transistor est pincé (Figure 61a). La représentation en coupe de la densité de courant souligne que sans cette barrière de confinement, les électrons peuvent circuler en profondeur dans l'empilement épitaxial. Son impact électrostatique sur le transport des électrons du 2DEG est également visible sur la tension de seuil, le courant maximal ou encore sur la pente sous le seuil. Ces variations sont visibles sur les caractéristiques de transfert simulées avec deux concentrations de carbone dans la couche sous le canal sur les Figure 61b et c. L'analyse SIMS du wafer Ext 1 indique que la concentration chimique en carbone dans la *back-barrier* est de l'ordre de  $5 \times 10^{17} \text{ at/cm}^3$  mais tous ces atomes ne sont pas en site substitutionnel et activés. Par rapport à cette mesure expérimentale et aux mesures électriques statiques, la couche de GaN dopé C est ajustée dans la simulation avec une concentration de  $4 \times 10^{17} \text{ at/cm}^3$ .

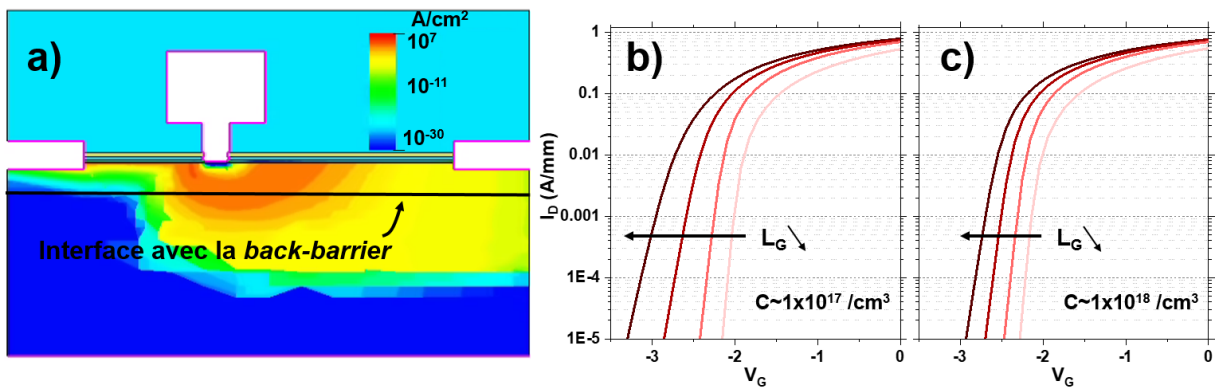


Figure 61 : a) Coupe TCAD représentant la densité de courant à  $V_G = -5\text{V}$  et  $V_{DS} = 50\text{V}$ . Caractéristiques de transfert simulées à  $V_{DS} = 10\text{V}$  pour différentes longueurs de grille (80 nm, 100 nm, 150 nm, 500 nm) avec une concentration en carbone dans la *back-barrier* de b)  $1 \times 10^{17} / \text{cm}^3$  et c)  $1 \times 10^{18} / \text{cm}^3$ .

### ii. Densité d'électrons, tension de seuil et courant maximal

Le modèle initial avait été calibré sur des lots plus anciens avec densités d'électrons plus faibles. Pour le wafer Ext 1, le fournisseur extérieur indique un  $R_{2\text{DEG}} = 263 \Omega/\text{sq}$  avec  $n_S = 1,33 \times 10^{13} / \text{cm}^2$  et  $\mu = 1798 \text{ cm}^2 / (\text{V.s})$ . La mesure de résistance de couche 4 pointes réalisée en interne, qui est en ligne avec les mesures TLM en fin de procédé de fabrication, indique  $R_{2\text{DEG}} = 295 \Omega/\text{sq}$ . Nous supposons que la résistance de couche donnée par le fournisseur est légèrement sous-estimée et nous adaptons à  $3,4 \times 10^{12} / \text{cm}^2$  la densité surfacique de donneurs à l'interface AlGaIn/SiN pour générer un 2DEG de l'ordre de  $1,2 \times 10^{13} / \text{cm}^2$ .



Au niveau des électrodes, le travail de sortie du métal de grille est ajusté à 4,7 eV pour obtenir la bonne tension de seuil. Cependant nous avons observé qu'en régime de forte accumulation, le courant de drain simulé est largement supérieur au courant de drain expérimental. Cette limitation pourrait résulter de défauts générés par les procédés de fabrication de grille qui ne sont pas pris en compte ici. Mais le courant de saturation peut également être limité par les contacts ohmiques. Comme on peut le voir sur la Figure 62a, la prise en compte dans la simulation d'un contact de type Schottky, avec un travail de sortie très faible, permet de décrire cette limitation du courant de drain. Cette modélisation est cohérente car sur le wafer Ext 1, le courant de saturation mesuré sur les structures TLM, donc sans grille, est également limité autour de 1,2 A/mm ce qui est plus bas qu'attendu pour une hétérostructure avec un  $R_{2DEG} < 300 \Omega/\text{sq}$ . Le travail de sortie des contacts ohmiques est ajusté à 4,1 eV (Figure 62a).

L'ajustement final des courbes simulées sur les courbes expérimentales du wafer Ext 1 est présenté sur la Figure 62b. Une bonne cohérence des résultats est obtenue pour des longueurs de grilles de 100 nm à 500 nm.

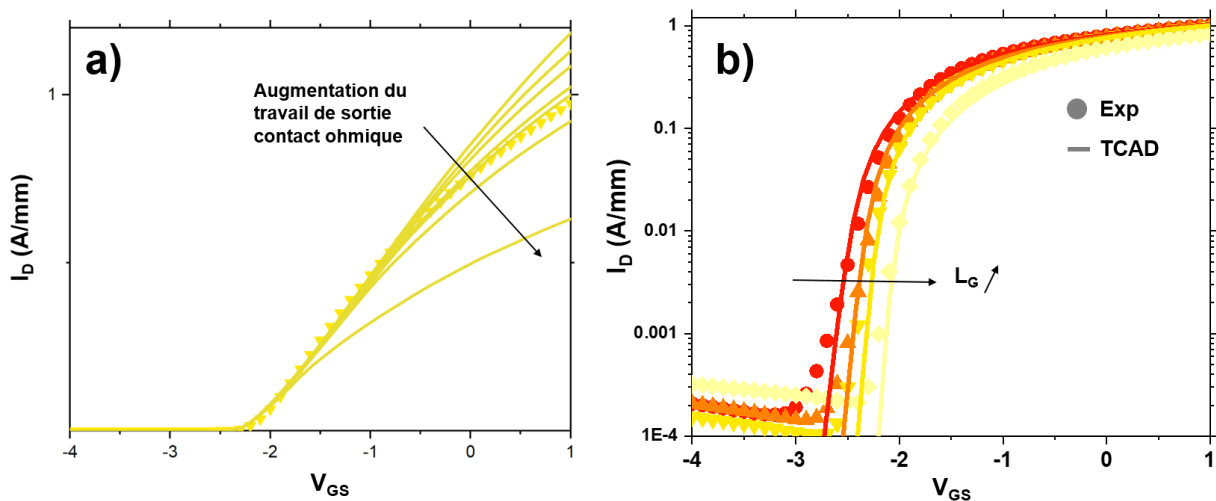


Figure 62 : a) Caractéristiques  $I_D$ - $V_G$  à  $V_{DS}=10$  V expérimentale (triangles -  $L_G=150$  nm) et simulées (lignes) pour différents travaux de sortie du métal ohmique. b) Caractéristiques  $I_D$ - $V_G$  à  $V_{DS}=10$  V expérimentales (symboles -  $L_G= 100 ; 120 ; 150 ; 500$  nm) et simulées (traits pleins).

### c. Étude d'architectures de grilles avancées

Dans la suite de cette partie, nous utilisons la TCAD pour déterminer des axes d'améliorations en modifiant l'architecture de grille comparativement à la structure du wafer Ext 1 (AlGaN 15 nm) qui possède les meilleures performances présentées dans ce manuscrit (voir partie 1 de ce chapitre). La première approche consiste à simuler un retrait partiel de la barrière AlGaN pour obtenir un ratio longueur de grille/épaisseur de barrière plus favorable [71] pour les applications haute fréquence. Nous étudions deux retraits de 10 nm dans une barrière AlGaN de 20 nm. Le premier avec un profil de gravure avec un angle de  $30^\circ$  par rapport au pied de grille (Figure 63b). Ce profil est réalisable en optimisant les conditions de gravure ICP-RIE et permet de diminuer le pic de champ électrique au coin de grille en ne formant pas d'angle droit. Cet angle de gravure permet également de réduire la longueur effective de grille. Le second retrait possède un profil droit comme dans le cas d'une gravure ALE qui présente les avantages d'être très bien contrôlé et de générer peu de défauts (Figure 63c).

Le second point d'amélioration consiste à former un *field-plate* nanométrique juste au-dessus du coin du pied de grille pour diminuer le pic de champ électrique. En lissant ces pics de champ, les fuites de grille [117], la tenue en tension [117] et la fiabilité [244], [245] du composant sont susceptibles d'être améliorés. Comme évoqué plus haut, ce *field-plate* est réalisable technologiquement dans un empilement de couches de passivation composé de SiN *in-situ*/SiO<sub>2</sub> ~20 nm/SiN/SiO<sub>2</sub> en réalisant un traitement chimique à base de HF après ouverture de la cavité du pied de grille. En utilisant des techniques de dépôt métallique conforme, on crée ainsi un nano-*field-plate* au-dessus du SiN *in-situ*. Pour satisfaire à la contrainte de remplissage, la longueur de ce *field-plate* est fixée à 20 nm.

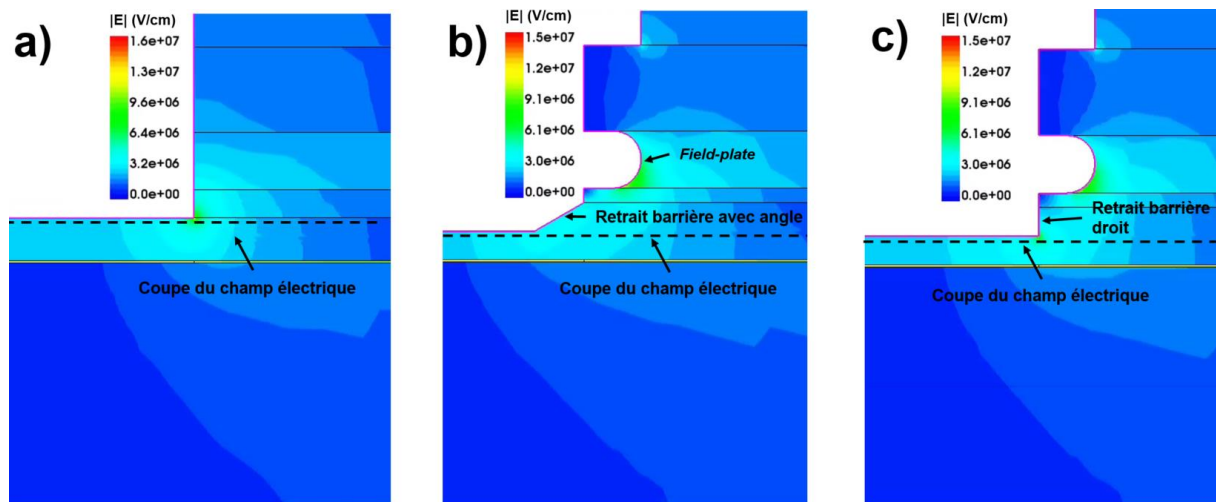


Figure 63 : a) Coupe TCAD du module du champ électrique au pied de grille à  $V_{GS}=-5$  V et  $V_{DS}=10$  V à) sur la structure de référence b) sur la structure avec *field-plate* et retrait partiel de barrière avec pente. c) sur la structure avec *field-plate* et retrait partiel de barrière en profil droit.

Le module du champ électrique dans l'AlGaN à 1 nm sous le métal de grille selon les coupes de la figure précédente est tracé sur la Figure 64. Les conditions de polarisation de la simulation sont  $V_{GS}=-5$  V et  $V_{DS}=10$  V et le transistor possède une longueur de grille de 150 nm. Le maximum du champ électrique sur la structure Ext 1 (en noir) atteint 6,55 MV/cm sous le coin de grille. Sur une structure avec une gravure partielle droite et l'ajout d'un *field-plate* de 20 nm (en rouge), le pic de champ est diminué de 19 % jusqu'à 5,34 MV/cm. Dans le cas d'un retrait avec un angle de gravure (en bleu), le pic de champ est lissé avec une valeur maximale de 3,73 MV/cm démontrant une diminution de 43 %. Cette tendance est attendue puisque le champ diminue lorsque l'angle du métal augmente. La configuration optimale consisterait à avoir un bord de grille arrondi [246] mais cette approche n'est pas réalisable d'un point de vue technologique. Ces deux structures permettent donc de répartir le champ électrique sur une région plus importante. Cette diminution au pied de grille s'accompagne d'une augmentation dans la région du *field-plate* dans la couche de SiO<sub>2</sub>. Cette structure pourrait donc augmenter le piégeage de grille (*gate lag*) et la capacité de grille, qui influence le fonctionnement en fréquence.

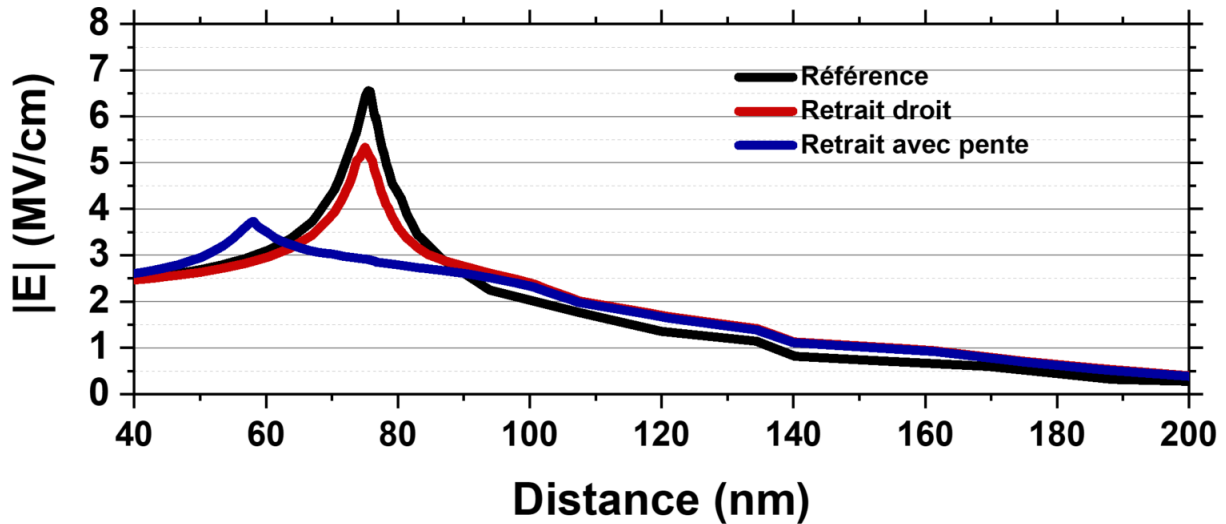


Figure 64 : Profil du champ électrique selon une coupe horizontale située 1 nm sous le métal de grille.

Les images de la Figure 65 présentent l'analyse en microscopie électronique en transmission en coupe des développements pour la formation d'un *field-plate* au pied de grille (Figure 65a) et du retrait partiel de la barrière en pente (Figure 65b). On note que le *field-plate* est légèrement plus court qu'attendu avec une longueur comprise autour de 15 nm et une gravure plus marquée sur le haut de la couche SiO<sub>2</sub>. Cependant on observe que cette structure est technologiquement réalisable et qu'une augmentation du temps de gravure chimique sur les futurs lots permettra d'obtenir la longueur de *field-plate* visée. De même, l'interface TiN/AlGaN (soulignée par des pointillés par soucis de lisibilité) présente une pente intéressante pour diminuer les pics de champ après retrait partiel de la barrière. Il faut garder à l'esprit que le champ électrique n'est pas l'unique paramètre à prendre en compte puisque ces étapes de gravures peuvent induire des défauts et perturber le transport du courant dans le canal comme nous l'avons vu dans la première partie de ce chapitre. Une étude comparative entre cette gravure et une gravure de type ALE devra être menée afin de trouver le meilleur compromis entre le facteur de forme du coin de grille et les défauts générés par la gravure. Ces études préliminaires sont encourageantes pour trouver des leviers technologiques pour améliorer la performance électrique des HEMT GaN en bande Ka et au-delà.

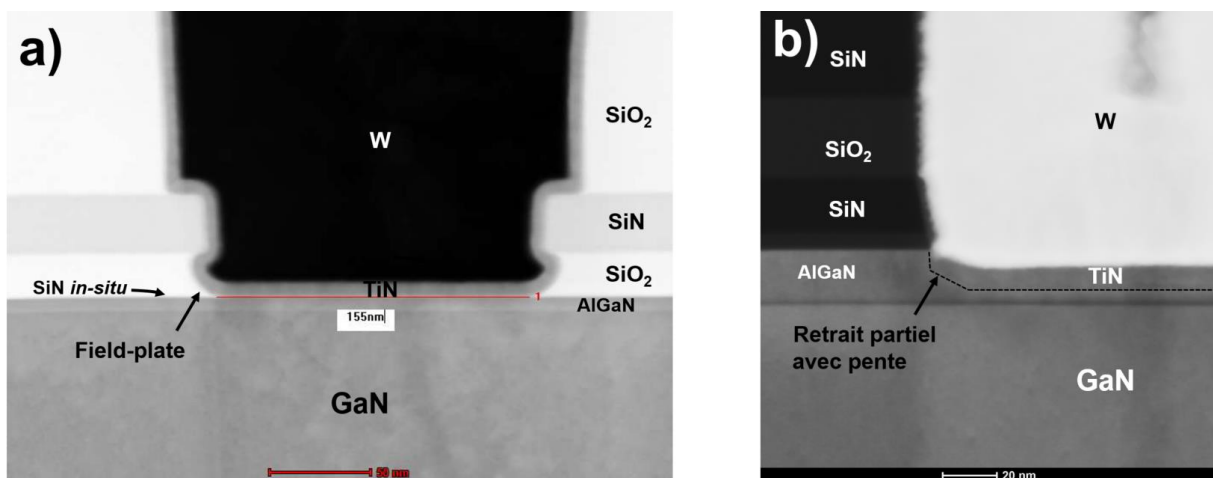


Figure 65 : a) Image STEM en coupe d'un pied de grille (L<sub>G</sub>=150 nm) avec formation de *field-plate* au-dessus du coin de grille. b) Image STEM d'un pied de grille (L<sub>G</sub>=150 nm) avec gravure partielle en pente de la barrière AlGaN.

## d. Conclusion

Dans la dernière partie de ce chapitre, nous avons étudié comment l'utilisation de la TCAD permet de déterminer des axes d'amélioration de la structure du transistor. Le fonctionnement à haute fréquence passe par une diminution de l'épaisseur de barrière sous la grille et l'utilisation d'un retrait partiel est une option intéressante. Nous avons vu l'intérêt d'utiliser une gravure en pente pour diminuer le pic de champ électrique au coin de grille avec une influence attendue sur les fuites de grille, la tenue en tension et la fiabilité. Cependant une comparaison expérimentale avec d'autres gravures est nécessaire pour comparer également les dégradations engendrées par cette étape. Dans cette optique de diminuer le pic de champ, nous avons mis en évidence l'intérêt d'utiliser un *field-plate* situé au-dessus du coin de grille tout en démontrant sa faisabilité technologique. Après fabrication des transistors, une caractérisation radiofréquence sera nécessaire pour étudier l'influence de ce *field-plate* sur les capacités de grille qui impactent le fonctionnement à haute-fréquence. Ces effets, ainsi que les effets de piégeages, pourront également être étudiés comparativement via la simulation TCAD en ayant une modélisation précise des pièges dans le *buffer* et les couches de passivation.

## 4. Conclusion du chapitre

Lors de ce troisième chapitre l'impact des procédés de fabrication sur les performances électriques du transistor a été étudié. L'intégration respectant la compatibilité CMOS et l'approche damascène utilisant le polissage mécano-chimique nécessitent de repenser les étapes de gravures, de nettoyage et de métallisation. Après avoir développé une gravure des passivations répétable et contrôlée, la dégradation du gaz d'électrons par l'enchaînement des étapes technologiques a été mise en évidence. Les conditions de gravure et les nettoyages devront encore être optimisés et le fluor contenu dans le précurseur du tungstène a été identifié comme une cause probable de la dégradation. Des métallisations à base de TiN/Cu et TiN/Al sont à l'étude. Nous avons également montré que l'utilisation du contact ohmique avec implantation présente des avantages importants pour les applications haute fréquence mais le recuit haute température pour l'activation des dopants induit une forte dégradation de la mobilité faible champ des électrons. Cette option technologique induit également un nouveau mécanisme de claquage par les couches situées sous le canal. La modification des conditions d'implantation et l'utilisation d'autres barrières de confinement sont à l'étude pour s'affranchir de ces problématiques. Malgré ces axes d'amélioration restants, la caractérisation d'une plaque avec une barrière plus épaisse (15 nm) et de faibles pertes RF dans le substrat nous a permis de démontrer des performances en fréquence très satisfaisantes ( $f_T=60$  GHz et  $f_{max}\sim 158$  GHz ;  $PAE_{max}=40$  % et  $P_{out}=2,4$  W/mm à 28 GHz et  $V_{DS,q}=15$  V). Finalement, l'influence de structures de grille optimisées pour diminuer le champ électrique au coin de grille a été étudiée par simulation TCAD. L'utilisation d'un retrait partiel de la barrière avec une pente et d'un field plate permet de réduire de 43 % le pic de champ avec des améliorations attendues sur les fuites de grille, la tenue en tension et la fiabilité. Cependant une analyse électrique permettra de comparer ce gain avec l'influence de ces procédés technologiques sur la dégradation du gaz d'électrons, sur les capacités de grille et sur le piégeage.



# 4

## Mesures et modélisation radiofréquence

Dans ce chapitre, deux caractérisations en fréquence réalisées à l'IEMN sont présentées pour remonter aux grandeurs qui décrivent les différentes parties du transistor. A travers des méthodes simples, l'objectif est d'évaluer les éléments limitants le fonctionnement à haute fréquence. Dans un premier temps, les éléments du modèle équivalents petit-signal sont extraits par une méthode analytique et comparés sur deux plaques. Dans la deuxième partie, le temps de transit des électrons dans le canal est étudié à l'aide de mesures petit-signal à différentes conditions de polarisation afin de déduire ses différentes composantes.

Les travaux présentés dans ce chapitre n'auraient pas été possibles sans les remarques pertinentes, les travaux antérieurs et les compétences avancées dans le domaine de : Nicolas Defrance pour les mesures  $S_{ij}$ , l'extraction du modèle équivalent et l'analyse des résultats, Erwan Morvan pour le design des composants et les interprétations des caractérisations électriques, Yveline Gobil et Sharon Hsu pour le développement et le suivi de fabrication des transistors, Matthew Charles pour l'épitaxie.

---



---

<b>1. Schéma équivalent petit-signal .....</b>	<b>96</b>
a. Schéma équivalent et méthodologie d'extraction.....	96
b. Description des wafers étudiés .....	98
c. Extraction du schéma équivalent .....	99
i. Variations selon $L_{GS}$ .....	100
ii. Variations selon $L_{GD}$ .....	103
iii. Variations selon $L_G$ .....	104
iv. Variations selon $W_G$ .....	106
v. Identification des limites du transistor.....	108
d. Conclusion .....	110
<b>2. Extraction du temps de transit .....</b>	<b>111</b>
a. Méthodologie d'extraction .....	111
b. Etude des temps de transit .....	113
i. Transistor de référence .....	113
ii. Variation de $L_G$ .....	114
iii. Variation de $L_{GS}$ .....	116
iv. Variation de $L_{GD}$ .....	116
c. Conclusion.....	117
<b>3. Conclusion du chapitre.....</b>	<b>118</b>

---



---



# 1. Schéma équivalent petit-signal

Nous avons vu dans le chapitre précédent que les choix technologiques et l'optimisation des procédés de fabrications jouent un rôle clé sur les performances des HEMT GaN pour l'amplification de puissance en bande Ka. Mais lorsque ces procédés sont stabilisés, il est important d'identifier quelles briques technologiques limitent l'amplification à haute fréquence du transistor. L'une des méthodes pour améliorer la compréhension consiste à extraire les éléments d'un schéma électrique équivalent du composant.

Le schéma équivalent petit-signal (ou SSEC pour *small-signal equivalent circuit*) permet d'améliorer la compréhension physique et d'identifier les facteurs limitant les performances RF mais c'est également le point de départ des modèles large-signal et il est utilisé pour concevoir les circuits intégrés (MMIC). Le développement de ces modèles a débuté dans les années 70 [70] et a continuellement été amélioré et discuté depuis pour les différentes technologies et les méthodes d'extraction des paramètres du schéma équivalent [67], [69], [247], [248].

La première source de discussion est évidemment le choix des éléments (R, C et L) qui composent le modèle équivalent. Pour les HEMTs, le modèle le plus simple contient 15 éléments même si certains groupes proposent des modèles comportant jusqu'à 22 éléments [247]. Lorsque le nombre d'éléments est supérieur à 16, les conditions de mesures classiques ne permettent pas de déterminer analytiquement chacun des termes. Il faut alors utiliser des routines d'optimisation graphique ou ajouter de nouvelles conditions de mesure. Dans le cas des technologies HEMT GaN sur silicium, la limite principale vient généralement des pertes induites par la conductivité du substrat qui peuvent être modélisées par des circuits RC [249], [250]. Les approximations faites pour l'extraction des éléments génèrent également de nombreux travaux pour comprendre la dépendance des différentes composantes en fonction de la fréquence ou de la tension. La température [251], [252] et les effets de piégeage [253]–[256] sont deux autres aspects qui sont étudiés dans la modélisation du schéma équivalent puisqu'ils sont nécessaires pour l'extension à des modèles large-signal.

## a. Schéma équivalent et méthodologie d'extraction

Dans cette étude, l'objectif est de caractériser les transistors en identifiant les éléments parasites qui limitent le fonctionnement en fréquence. Pour cela nous choisissons le modèle standard à 16 éléments décrit sur la Figure 66. Ce modèle est constitué des inductances et des capacités générées par les plots de mesures qui sont  $L_S$ ,  $L_D$ ,  $L_G$ ,  $C_{PD}$  et  $C_{PG}$ . Les résistances d'accès de source ( $R_S$ ) et de drain ( $R_D$ ) sont la somme des résistances des pistes métalliques, des vias, du contact métal/semiconducteur et du gaz d'électrons mais les composantes majoritaires sont le contact et la longueur du 2DEG. De même, la résistance de grille est gouvernée par la section de la tête de grille, la résistivité du métal et la longueur du doigt ( $W_G$ ). Les capacités entre les 3 terminaux notées  $C_{GS}$ ,  $C_{GD}$  et  $C_{DS}$  sont principalement liées à l'interaction entre les plots métalliques et le gaz d'électrons mais le couplage entre les lignes métalliques peut également avoir une influence. La conductance de drain  $g_D$  (ou  $1/R_{DS}$ ) caractérise l'influence de la tension de drain sur le contrôle des électrons par la grille. Les résistances  $R_{GS}$  (ou  $R_i$ ) et  $R_{GD}$  sont les éléments les plus difficiles à corrélérer avec des grandeurs physiques. Ils ne sont pas liés aux mécanismes de fuite de grille. Le dernier élément est la source de courant qui permet, dans notre cas, l'amplification de puissance.

L'identification de chacune des composantes du schéma équivalent se déroule en trois étapes. La première mesure petit-signal est réalisée avec une polarisation statique nulle sur le drain et une polarisation  $V_G > 0$  V pour se placer en régime d'injection de grille. Dans cette configuration il n'y a pas de courant circulant entre source et drain et les effets capacitifs peuvent être négligés ou leur résiduel est estimé. On déduit de cette mesure les inductances ( $L_S$ ,  $L_D$ ,  $L_G$ ) et les résistances ( $R_S$ ,  $R_D$ ,  $R_G$ ). La seconde mesure petit-signal est faite en régime de forte inversion ( $V_G < V_P$ ) avec  $V_{DS} = 0$  V. Dans ce cas, il n'y a aucun courant dans la structure, hormis les fuites de grille, et le schéma équivalent est purement capacitif. On en déduit les capacités des plots de mesure en faisant l'approximation  $C_{PG} = C_{PD}$ . C'est la méthode dite du *cold-FET*. La dernière mesure est réalisée en fonctionnement transistor avec une polarisation statique qui vaut  $V_{GS} = V_{gm,max}$  et  $V_{DS} = 10$  V pour extraire analytiquement les éléments intrinsèques.

La première façon de vérifier la validité de l'extraction consiste à analyser le comportement des différents éléments extraits en fonction de la fréquence. Dans un modèle idéal, ils sont indépendants de la fréquence. Les variations qui peuvent être observées indiquent la gamme de fréquence limite pour laquelle le modèle est valide et elles indiquent que d'autres éléments parasites doivent être pris en compte si on veut modéliser le transistor avec plus de précision et sur une plus large gamme de fréquence. A la suite de ces trois mesures permettant l'extraction de l'ensemble des éléments du schéma équivalent, les paramètres  $S_{ij}$  simulés sont calculés sur toute la gamme de fréquence en utilisant les valeurs ( $R$ ,  $L$ ,  $C$ ) extraites à 30 GHz. Ces derniers sont comparés graphiquement avec les mesures brutes dans le but de confirmer la fiabilité de l'extraction. Finalement, l'analyse de transistors avec des distances caractéristiques différentes ( $L_{GS}$ ,  $L_{DS}$ ,  $L_G$ ,  $W_G$ ) permet également de vérifier la validité du modèle en observant si les éléments extraits présentent la tendance attendue par rapport au dimensionnement du composant.

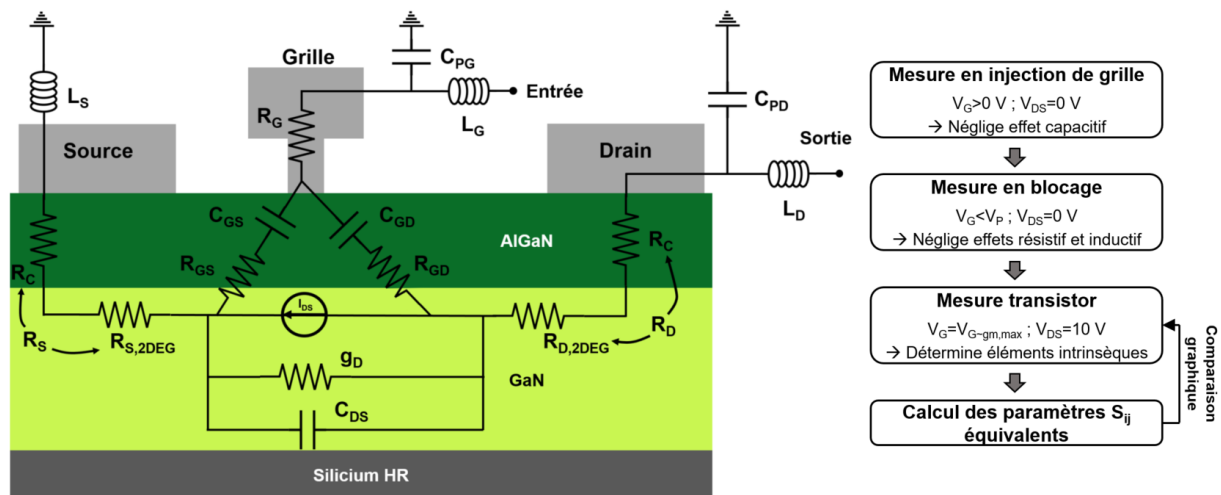


Figure 66 : Schéma équivalent à 16 éléments et méthodologie d'extraction des paramètres.

Si la validité du modèle est satisfaisante, l'étude des fréquences de coupure ( $f_T$  et  $f_{max}$ ), liées aux grandeurs du schéma équivalent par les expressions rappelées ci-dessous, indiquent quels éléments parasites limitent le fonctionnement en fréquence du transistor.

$$f_T = \frac{g_m}{2\pi \cdot (C_{GS} + C_{GD}) (1 + (R_S + R_D) \cdot g_D) + 2\pi \cdot (R_S + R_D) \cdot C_{GD} \cdot g_m} \quad (13)$$

$$f_{max} = \frac{f_T}{2 \sqrt{g_D \cdot (R_G + R_S + R_{GS}) + g_m \cdot R_G \frac{C_{GD}}{C_{GD} + C_{GS}}}} \quad (14)$$

On rappelle également la relation qui lie la transconductance intrinsèque à la transconductance extrinsèque :

$$g_{m,int} = \frac{g_{m,ext}}{1 - R_S \cdot g_{m,ext}} \quad (15)$$

## b. Description des wafers étudiés

Dans cette partie nous étudions les *wafers* 3B et Ext 1 décrits dans le chapitre précédent. Le premier possède un empilement de l'épitaxie interne avec une barrière AlGaIn de 7 nm. Le wafer Ext 1 présente l'empilement épitaxial du fournisseur extérieur avec une barrière AlGaIn de 15 nm. La technologie de contact utilisée est un contact allié avec retrait de barrière. L'empilement de grille est de type Schottky avec du TiN ALCVD 8 nm sur 3B et 15 nm sur Ext 1, rempli avec du W. Les mesures TLM en fin de procédé de fabrication sur 21 puces démontrent des résistances de contacts qui valent  $R_C = 0,47 \pm 0,05 \Omega$  et  $R_C = 0,40 \pm 0,03 \Omega$  sur 3B et Ext 1 respectivement. Les résistances de couche du gaz d'électrons valent  $R_{2DEG} = 341 \pm 3 \Omega/sq$  sur 3B et  $R_{2DEG} = 295 \pm 5 \Omega/sq$  sur Ext 1. Sur les caractéristiques de transfert à  $V_{DS} = 10$  V, la tension de seuil est plus élevée sur 3B (-0,6 V) que sur Ext 1 (-2,3 V) du fait de la plus forte dégradation du 2DEG sous la grille à cause de la barrière plus fine et du dépôt TiN plus fin (voir chapitre 3). Cette barrière plus fine sur 3B induit un maximum de transconductance ( $506 \pm 10$  mS/mm) plus élevé que sur Ext 1 ( $425 \pm 10$  mS/mm). Ces valeurs sont référencées dans le Tableau 9.

Les pertes RF dues à la conductivité du substrat sont déterminées à partir du module de  $S_{21}$  de lignes coplanaires adaptées en impédance à 50  $\Omega$ . A 30 GHz, on détermine des pertes médianes de -0,8 dB/mm sur 3B et -0,14 dB/mm sur Ext 1.

Sur les deux plaques, 16 topologies différentes de transistors sont mesurées. Le transistor de référence possède une longueur de grille de 150 nm avec un développement de  $2 \times 50 \mu m$ . Les distances grille-source et grille-drain valent 0,8  $\mu m$  et 1,5  $\mu m$  respectivement. Les variations de dimensions sont  $L_G = 80 ; 100 ; 120 ; 500$  nm ,  $W_G = 35 ; 75 ; 100 \mu m$  ,  $L_{GS} = 0,7 ; 0,9 ; 1,1 ; 1,3 \mu m$  et  $L_{GD} = 1,1 ; 1,3 ; 1,7 ; 2,0 \mu m$ .

Wafer	Epitaxie	Contact ohmique	Empilement de grille	$R_{S,2DEG}$ ( $\Omega/sqr$ ) Post process	$R_C$ ( $\Omega.mm$ )	$g_{m,ext}$ (mS/mm) à $V_{DS} = 10$ V	Pertes RF (dB/mm) 30 GHz
3B	Interne (AlGaIn 7 nm)	Allié avec retrait barrière	Schottky TiN 8 nm/W	$341 \pm 3$	$0.47 \pm 0.05$	$506 \pm 10$	0,8
Ext 1	Externe (AlGaIn 15 nm)	Allié avec retrait barrière	Schottky TiN 15 nm/W	$295 \pm 5$	$0.40 \pm 0.03$	$425 \pm 10$	0,14

Tableau 9 : Tableau récapitulatif des caractéristiques des deux wafer étudiés.

### c. Extraction du schéma équivalent

Les graphiques des éléments extraits de la partie active du transistor en fonction de la fréquence sont tracés sur la Figure 67. On observe qu'à très basse fréquence, les premiers points en fréquence ne sont pas exploitables avec une divergence de certaines composantes qui ne nous impactent pas pour la modélisation des transistors autour de 30 GHz. Les éléments  $C_{GD}$ ,  $C_{GS}$ ,  $g_m$ ,  $R_{GS}$  du modèle présentent une zone constante jusqu'à 50 GHz. Le  $R_{GD}$  est le seul élément qui a une tendance différente sur les deux *wafers*. Il est constant jusqu'à 67 GHz sur Ext 1 (en bleu) alors qu'il a une tendance décroissante sur toute la gamme de fréquence sur 3B (en rouge). Les variations entre les deux plaques sont l'épitaxie, avec notamment une barrière plus fine et une *back-barrier* différente qui impactent notamment les effets de piégeage, mais aussi des pertes RF dans le substrat qui sont largement plus forte sur 3B. Ces pertes RF influent potentiellement sur l'extraction de ce paramètre car elles ne sont pas prises en compte dans notre modèle. L'élément  $C_{DS}$  présente une légère décroissance en fonction de la fréquence qui est également plus marquée sur 3B que sur Ext 1. Finalement, l'élément  $g_D$  présente une tendance quasi-stable jusqu'à 35 GHz avant de décroître rapidement. Ces observations soulignent donc certaines limites de notre modèle, notamment à plus haute fréquence. Cependant notre but n'est pas de réaliser une modélisation précise pour la conception d'un amplificateur, nous souhaitons analyser les aspects du transistor limitant le fonctionnement à haute fréquence. Les tendances observées sur ces graphes semblent donc justifier l'utilisation de ce modèle. Dans ce qui suit, les valeurs sont extraites pour le point à 30 GHz.

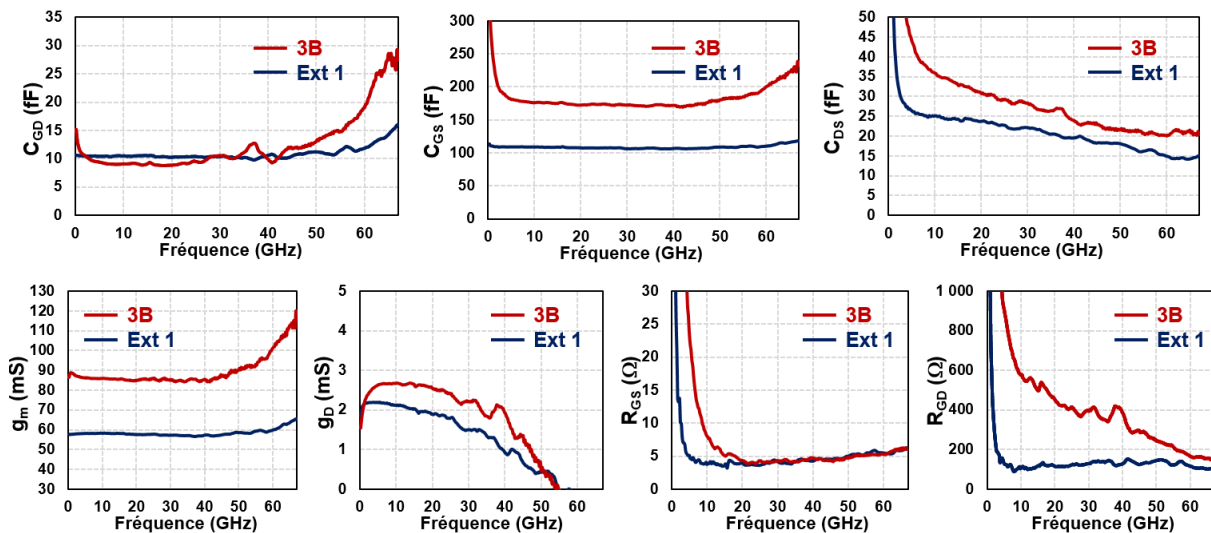


Figure 67 : Graphiques représentant les éléments intrinsèques extraits en fonction de la fréquence.

En prenant ces paramètres extraits à 30 GHz et en calculant analytiquement les paramètres  $S_{ij}$  qui leurs sont associés, on peut comparer ces courbes avec les paramètres  $S_{ij}$  initialement mesurés. Comme on pouvait s'y attendre vue la stabilité des éléments du schéma équivalent, on remarque sur la Figure 68 une très bonne cohérence entre les paramètres  $S_{ij}$  mesurés et ceux calculés à partir des valeurs à 30 GHz. Malgré les variations observées à haute fréquence sur la figure précédente, le modèle petit-signal extrait à 30 GHz démontre une bonne représentativité de nos composants pour mettre en évidence les éléments à améliorer pour augmenter la performance en fréquence.

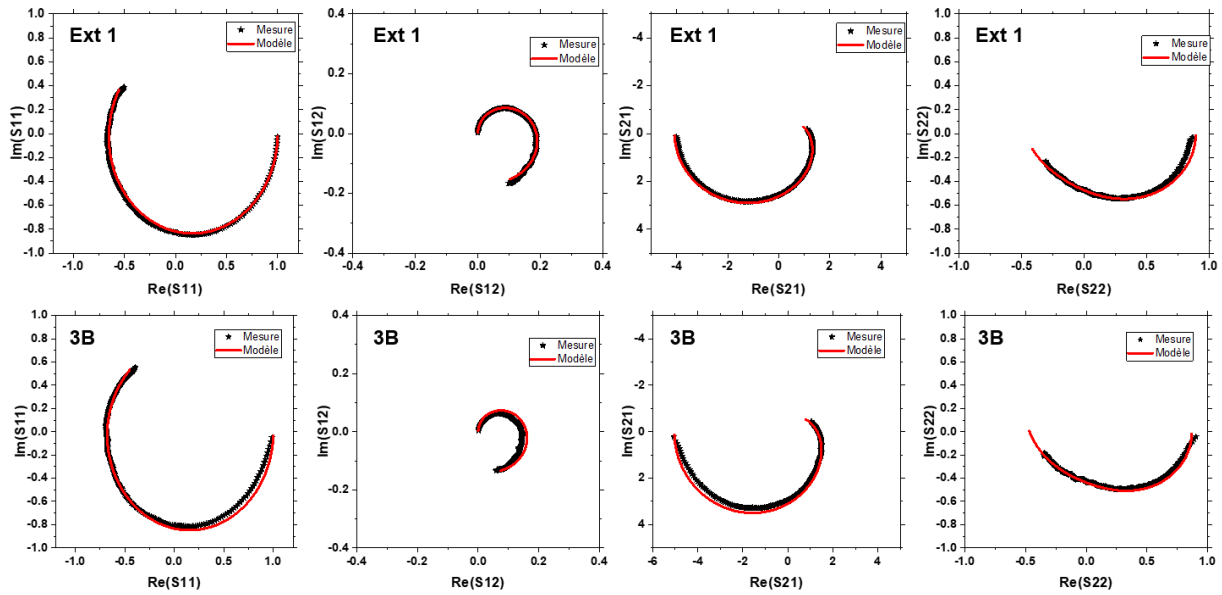


Figure 68 : Paramètres  $S_{ij}$  mesurés (en noir) comparés avec les paramètres  $S_{ij}$  calculés à partir des valeurs extraites à 30 GHz. Graphique du haut sur Ext 1 et en bas sur 3B.

### i. Variations selon $L_{GS}$

La réduction de la distance grille-source est un paramètre important pour la montée en fréquence. Elle permet d'avoir une longueur de 2DEG plus courte et ainsi de réduire la résistance de source. Cette résistance d'accès influence  $f_T$  et  $f_{max}$  en augmentant l'expression au dénominateur et en augmentant la transconductance extrinsèque.

Les résistances ( $R_S$ ,  $R_D$ ,  $R_G$ ) extraites sur des transistors avec  $L_{GS}$  allant de  $0,7 \mu\text{m}$  à  $1,3 \mu\text{m}$  sont tracées sur la Figure 69. Comme attendu, la résistance de source (Figure 69a) augmente sur les deux wafers lorsque l'espacement entre source et grille augmente. Les valeurs sur la plaque 3B (en rouge) sont plus élevées que sur Ext 1 (en bleu) de  $1,1 \pm 0,1 \Omega$  en moyenne. Sur ce wafer, les mesures TLM qui indiquent des résistances de contact et de couche du 2DEG plus importantes de  $+0,07 \Omega.\text{mm}$  et  $+46 \Omega/\text{sq}$  respectivement. Avec un développement de  $2 \times 50 \mu\text{m}$  et une longueur variant de  $0,7 \mu\text{m}$  à  $1 \mu\text{m}$ , l'impact sur  $R_S$  se situe entre  $1,0$  et  $1,3 \Omega$ . L'écart des valeurs extraites entre les deux wafers est donc cohérent avec les grandeurs mesurées sur les motifs TLM. En réalisant une régression linéaire entre chacun des points de la Figure 69a, la résistance de contact, estimée à partir de l'intersection avec l'origine, et la résistance de couche du 2DEG, représentée par la pente, sont déterminées. Les valeurs  $R_{2DEG}$  sont légèrement sous-estimées avec  $270 \Omega/\text{sq}$  sur 3B et  $280 \pm 10 \Omega/\text{sq}$  sur Ext 1. La résistance de contact  $R_C$  extraite vaut  $0,44 \Omega.\text{mm}$  sur 3B et  $0,33 \Omega.\text{mm}$  sur Ext 1, ce qui est très proche des valeurs mesurées en statique (Tableau 9). Les grandeurs physiques déterminées à partir du schéma sont donc cohérentes malgré les incertitudes dues à la variabilité des caractéristiques électriques entre les transistors, aux limites de la méthode d'extraction du schéma équivalent et au manque de points entre  $0 \mu\text{m}$  et  $0,7 \mu\text{m}$ .

Hormis pour le transistor avec  $L_{GS}=1,1 \mu\text{m}$  du wafer Ext 1, les valeurs de résistance de drain sont constantes sur les deux plaques (Figure 69b). Comme pour  $R_S$ , les valeurs sont plus élevées sur 3B avec  $R_D=9,4 \pm 0,1 \Omega$  contre  $R_D=8,0 \pm 0,2 \Omega$  sur Ext 1. D'après les mesures DC, la différence de résistance de contact et de résistance de couche du 2DEG entre les deux wafers implique un  $R_D$

plus faible de  $1,39 \Omega$  sur Ext 1. En enlevant le point  $L_{GS}=1,1 \mu\text{m}$  aberrant, cela démontre que les valeurs extraites du schéma équivalent sont donc cohérentes avec les mesures statiques.

L'extraction des résistances de grille montre une résistance  $R_{G,RF}=1,55 \pm 0,1 \Omega$  sur le wafer 3B (Figure 69c). Sur Ext 1, les valeurs sont plus dispersées avec une valeur moyenne de  $1,4 \pm 0,4 \Omega$ . La résistance de grille statique mesurée en technique 4 pointes sur un doigt de grille de  $50 \mu\text{m}$  est de  $R_{G,DC}=5,7 \pm 0,3 \Omega$  et  $R_{G,DC}=5,6 \pm 0,3 \Omega$  sur 3B et Ext 1 respectivement. D'après le modèle développé par Kuvás [257], le réseau de branches RC distribuées le long de la grille impliquent que l'impédance RF de la grille est égale à la valeur mesurée en DC divisée par trois fois le nombre de doigt de grille au carré. Dans notre cas, on en estime d'après nos mesures statiques :  $R_{G,RF} \sim 0,95 \Omega$ . Si l'ordre de grandeur est cohérent, on remarque un écart sur l'extraction de la résistance de grille du modèle équivalent et une variabilité entre valeurs sur Ext 1. Cette limite du modèle est à prendre en considération car la résistance de grille peut avoir une influence sensible sur le  $f_{\text{max}}$  estimé.

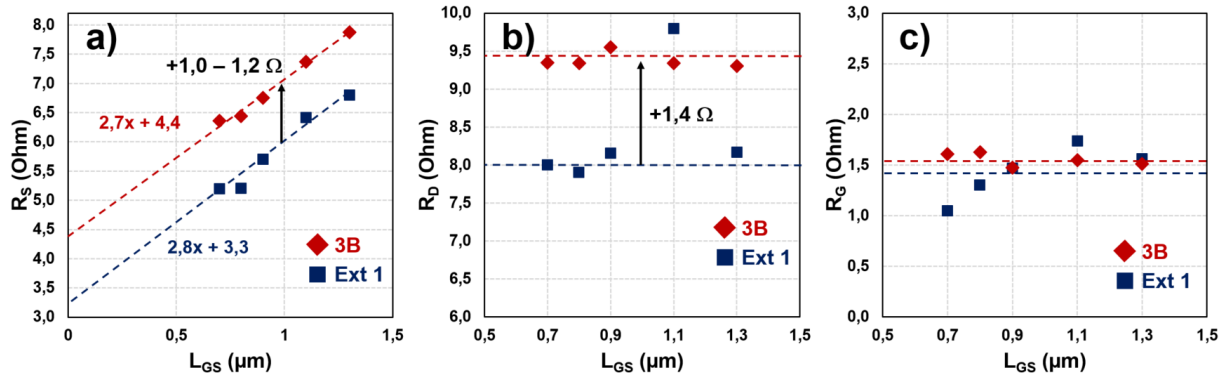


Figure 69 : Résistances a) de source, b) de drain, c) de grille extraites sur des transistors avec variation de longueur grille-source.

Comme attendu, la capacité entre grille et source  $C_{GS}$  qui influence le pilotage de la grille sur les électrons du canal est largement prédominante sur les autres capacités de la structure (Figure 70). Dans l'approximation d'une capacité plane définie par le métal de grille et le gaz d'électron séparés par la barrière AlGaIn, la capacité peut s'exprimer par l'expression :

$$C_{GS} = \frac{\epsilon_0 \cdot \epsilon_{\text{AlGaIn}} \cdot S}{e_{\text{AlGaIn}}} \text{ où } S = L_G \cdot W_G \quad (16)$$

Avec  $\epsilon_0$  est la permittivité diélectrique du vide,  $\epsilon_{\text{AlGaIn}}$  la permittivité diélectrique relative de l'AlGaIn,  $S$  la surface définie par le produit  $L_G \times W_G$  et  $e_{\text{AlGaIn}}$  l'épaisseur de la barrière.

Le ratio entre l'épaisseur de barrière des deux plaques est d'environ 1,875 alors que le ratio entre les capacités grille-source vaut 1,5 (Figure 70a). Si on peut supposer que la permittivité diélectrique est équivalente entre les deux épitaxies, cette différence peut s'expliquer par l'incertitude de l'extraction des paramètres du schéma équivalent mais surtout par l'incertitude du modèle du condensateur plan. En effet, il existe une influence latérale de la grille sur le gaz d'électrons ainsi que des capacités résiduelles entre les métaux de la structure [68]. De plus, le gaz d'électrons n'est pas un métal donc il dispose d'une densité de charge finie contrairement au modèle du condensateur plan qui utilise deux armatures métalliques idéales. On remarque d'ailleurs que sur les deux plaques  $C_{GS}$  décroît légèrement lorsque  $L_{GS}$  augmente (Figure 70a). Cette tendance peut s'expliquer par la diminution de la capacité parasite entre le métal de grille et le métal de source lorsque l'espacement

grille-source augmente. En prenant en compte la limite du modèle du condensateur plan, on observe donc que l'ordre de grandeur du ratio entre les capacités  $C_{GS}$  des deux plaques est satisfaisant.

Comme on pouvait s'y attendre, les capacités  $C_{GD}$  et  $C_{DS}$  ne montrent aucune dépendance aux variations de  $L_{GS}$ . En prenant en compte les différents points, on détermine  $C_{GD}=9,9 \pm 0,5$  fF sur les deux plaques (Figure 70b). On observe que la capacité  $C_{DS}$  de la plaque 3B est supérieure d'environ 6 fF à celle de Ext 1 mais il est difficile de faire un lien entre cette variation et les grandeurs physiques du transistor. On peut émettre l'hypothèse que cette variation est induite par l'absence de modélisation du couplage avec le substrat puisque la conductivité du substrat est plus élevée sur la plaque 3B.

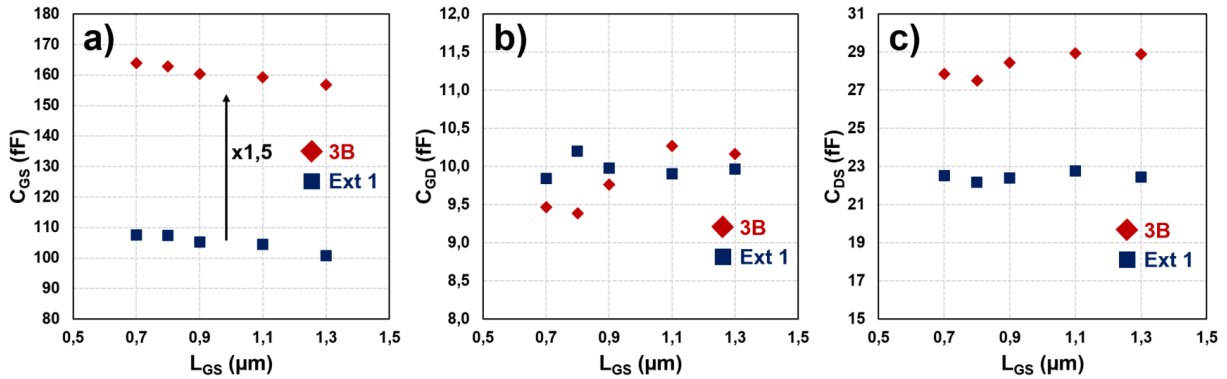


Figure 70 : Capacités entre a) grille et source, b) grille et drain et c) drain et source par rapport à la variation de l'espacement grille-source.

L'extraction des résistances  $R_{GS}$  et  $R_{GD}$  est difficile à mettre en relation avec les grandeurs physiques du transistor. On note que les valeurs extraites de la structure  $L_{GS}=1,1 \mu m$  du wafer Ext 1 sont légèrement différentes des autres comme pour  $R_D$  (Figure 69). Les caractéristiques électriques sur ce transistor semblent influencées par la variabilité de procédé de fabrication. On détermine  $R_{GS}=7,5 \pm 1 \Omega$  pour les deux plaques ainsi que  $R_{GD}=255 \pm 15 \Omega$  et  $R_{GD}=125 \pm 15 \Omega$  sur 3B et Ext 1 respectivement (Figure 71).

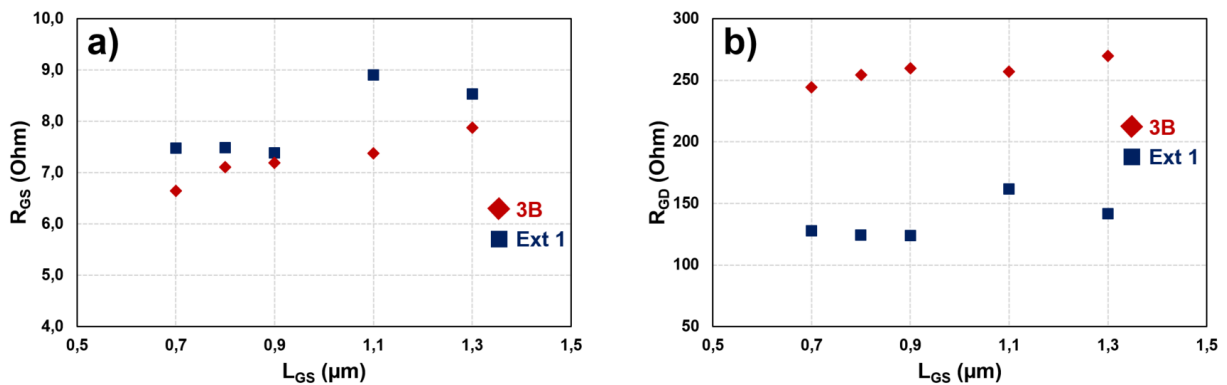


Figure 71 : Résistances a)  $R_{GS}$  et b)  $R_{GD}$  en fonction de la distance grille-source.

Finalement, les deux derniers paramètres d'intérêt que sont la transconductance intrinsèque et la conductance de drain sont présentées sur la Figure 72. L'augmentation de la résistance de source dégrade la transconductance extrinsèque mais on voit également sur la Figure 72a que la transconductance intrinsèque extraite diminue lorsque l'espacement grille-source augmente. Elle passe de 770 mS/mm à 710 mS/mm sur 3B et de 570 mS/mm à 534 mS/mm sur Ext 1. Cet écart du maximum de transconductance entre les deux plaques est cohérent avec la barrière plus fine sur



la plaque 3B permettant un contrôle électrostatique plus efficace des électrons du canal. Cependant cette transconductance intrinsèque, qui décrit le contrôle électrostatique dans un cas idéal où la résistance d'accès serait nulle, reste plus basse que les valeurs atteignables pour les HEMT GaN en bande Ka [258]. La diminution de la longueur de grille et de l'épaisseur de barrière est un paramètre clé et le courant maximal qui traverse le transistor est également important et ne doit pas être dégradé par la technologie de grille ou limité par les contacts ohmiques (voir chapitre 3).

En partant de la transconductance intrinsèque extraite et en réutilisant la résistance de source étudiée plus haut, on peut estimer la transconductance extrinsèque et la comparer aux mesures statiques à l'aide de l'équation 15. Pour le transistor de référence, la valeur médiane du maximum de transconductance mesurée en 21 points sur le *wafer* 3B est de  $506 \pm 10$  mS/mm. L'écart relatif avec la valeur du modèle (531 mS/mm) est donc inférieur à 5 %. Sur le *wafer* Ext 1, cet écart relatif est inférieur à 3 % (425 mS/mm mesuré contre 437 mS/mm pour le modèle). La concordance entre modèle et mesure renforce donc la fiabilité dans cette extraction.

L'analyse de la conductance de drain (Figure 72b) donne des indications sur le confinement des électrons. En négligeant la structure  $L_{GS}=1,1 \mu\text{m}$  sur Ext 1, on détermine  $g_D=1,7 \pm 0,1$  mS. Sur la plaque 3B on obtient  $g_D=2,4 \pm 0,1$  mS. Ces deux *wafers* possèdent une barrière de confinement différente, cette différence n'est donc pas étonnante. On pourrait supposer que la *back-barrier* version GaN dopé C est plus efficace que celle à base d'AlGaN. Cependant les pertes RF ne sont pas prises en compte dans notre modèle et elles sont plus importantes sur le *wafer* 3B. Elles pourraient donc avoir une influence sur l'extraction de ce paramètre et fausser l'analyse.

Tous les éléments équivalents ont été analysés dans cette première partie portant sur les transistors avec différents dimensionnements. Dans la suite, seuls les paramètres en lien avec la distance étudiée seront présentés pour une meilleure clarté.

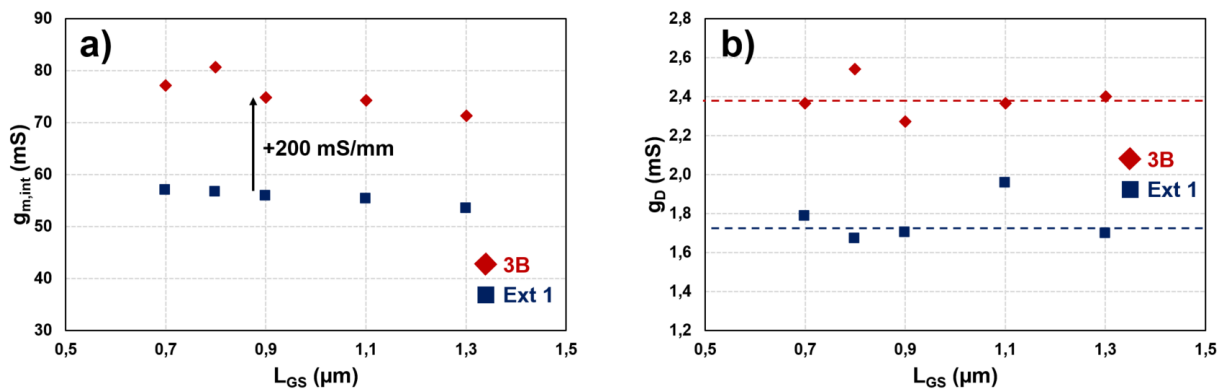


Figure 72 : a) Transconductance intrinsèque du modèle équivalent pour différents espacements grille-source. b) Conductance de drain du modèle équivalent pour différentes longueurs grille-source

## ii. Variations selon $L_{GD}$

Tout comme la distance  $L_{GS}$ , l'espacement entre la grille et le drain impacte le fonctionnement RF par sa résistance caractéristique  $R_D$ . Mais dans le cas des transistors pour l'amplification de puissance, la polarisation appliquée sur le drain est importante. C'est pourquoi il est nécessaire de trouver un compromis entre la minimisation de la résistance  $R_D$  et la tenue en tension du composant. C'est la raison pour laquelle ce type de transistor est asymétrique : un accès

grille-source le plus court possible pour minimiser la résistance  $R_S$  et une sortie grille-drain plus longue pour supporter les fortes tensions et ainsi, atteindre des densités de puissance importantes.

La résistance  $R_D$  extraite est tracée en fonction de l'espacement grille-drain sur la Figure 73a. La tendance attendue d'une augmentation de la résistance lorsque la distance augmente est observable. Comme dans la partie précédente, on peut estimer la résistance de couche du 2DEG en étudiant la pente et la résistance de contact au travers de l'ordonnée à l'origine. Pour les deux plaques, la résistance  $R_{2DEG}$  vaut  $270 \Omega/\text{sq}$  ce qui est sous-estimé mais relativement proche des valeurs mesurées sur les motifs TLM (Tableau 9). La résistance de contact extraite à partir des points du wafer 3B est de  $0,54 \Omega.\text{mm}$  contre  $0,47 \Omega.\text{mm}$  mesuré sur les TLM. Sur le wafer Ext 1, les deux valeurs sont identiques ( $R_C=0,4 \Omega.\text{mm}$ ). Enfin sur la Figure 73a, l'écart moyen de  $R_D$  entre les points de Ext 1 et ceux de 3B vaut  $+1,4 \pm 0,3 \Omega$ . En utilisant la variation de  $R_C$  et  $R_{2DEG}$  entre les deux plaques, la différence de  $R_D$  est comprise entre  $1,2$  et  $1,85 \Omega$  pour les variations de  $L_{GD}$ . En prenant en compte l'incertitude sur l'extraction, l'incertitude de variabilité entre transistors et le manque de points entre  $0$  et  $1 \mu\text{m}$ , l'ordre de grandeur des différentes caractéristiques physiques est très satisfaisant.

Sur la Figure 73b, les capacités grille-drain sont représentées. On note que sur Ext 1,  $C_{GD}$  est constant autour de  $10 \pm 0,2 \text{ fF}$  alors que sur 3B, 4 points sur 5 soulignent une augmentation de  $C_{GD}$  lorsque  $L_{GD}$  augmente. Cette augmentation lorsqu'on repousse le plot métallique de drain est difficilement explicable mais comme nous l'avons vu plus haut, le modèle est moins précis sur le wafer 3B à cause du couplage avec le substrat qui n'est pas pris en compte. Cette tendance est donc probablement un artefact provenant de l'extraction.

Dans l'incertitude de la précision de l'extraction, la conductance de drain ne semble pas affectée par la variation de la longueur grille-drain (Figure 73c). On retrouve les valeurs observées dans la partie précédente de  $g_D=1,7 \pm 0,1 \text{ mS}$  et  $g_D=2,4 \pm 0,1 \text{ mS}$  sur Ext 1 et 3B respectivement.

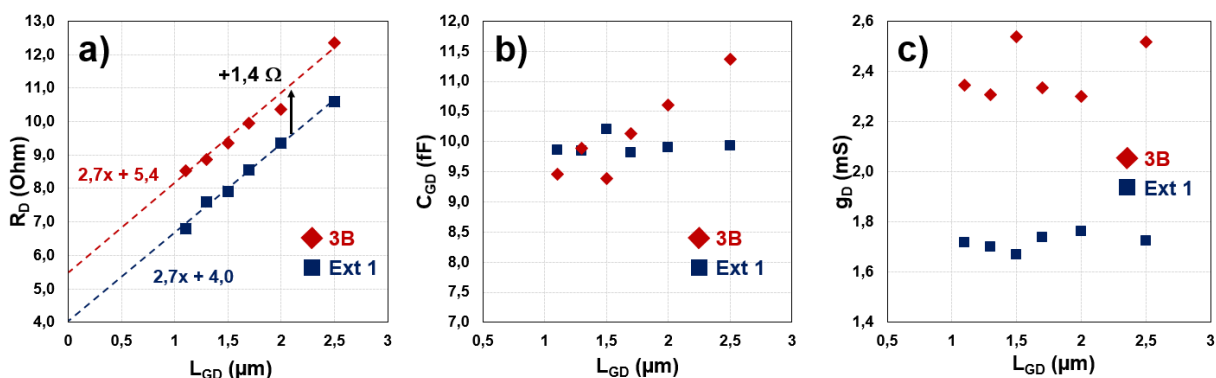


Figure 73 : a) Résistance de drain, b) capacité grille-drain et c) conductance de drain extraits sur 6 transistors avec un espacement grille-drain différents.

### iii. Variations selon $L_G$

La réduction de la longueur de grille est nécessaire pour le fonctionnement à haute fréquence car elle impacte de manière significative les fréquences de coupure au travers de son influence sur  $C_{GS}$  et  $g_{m,int}$  notamment. Pour éviter les effets de canaux courts et diminuer le  $g_D$ , le ratio entre la longueur de grille et l'épaisseur de barrière est également primordial et doit valoir environ 15 [71], [105].

Les capacités de grille sont présentées sur la Figure 74. La capacité grille-source (Figure 74a) démontre la tendance attendue d'une augmentation lorsque la longueur de grille augmente. Pour le wafer 3B, la régression linéaire sur les 5 grilles détermine une pente de  $605 \text{ fF}/\mu\text{m}$ . Connaissant l'épaisseur de barrière (8 nm) et le développement  $W_G=100 \mu\text{m}$ , on peut en extraire la permittivité diélectrique relative de la barrière qui vaut 5,5 selon le modèle du condensateur plan. Dans le cas de Ext 1, la pente extraite est plus basse car la barrière est plus épaisse. On peut en déduire une permittivité relative  $\epsilon_r \approx 6,7$ . La permittivité diélectrique relative statique des composés III-N à base de gallium et d'aluminium se situe plutôt autour de 9-10. La précision du schéma équivalent et l'utilisation du modèle du condensateur plan ne sont donc pas suffisamment précis pour extraire de manière satisfaisante cette propriété physique du matériau. Comme discuté plus haut, ce modèle du condensateur plan présente de nombreuses approximations par rapport à notre structure. Donc le ratio des deux pentes, qui vaut 1,52 contre 1,875 estimé avec une capacité plane, indique que le schéma équivalent décrit avec une bonne cohérence les variations des grandeurs caractéristiques du transistor.

L'interception avec l'origine décrit les capacités résiduelles sans pied de grille. Les métallisations et les couches de passivations étant identiques, on peut estimer que ce résiduel est le même sur les deux plaques. Les régressions linéaires indiquent des valeurs de 78 fF et 49 fF sur 3B et Ext 1 respectivement. Cette variation s'explique d'une part, par les composantes latérales de la capacité de grille sur le 2DEG qui pourraient être différentes du fait des deux épaisseurs de barrière et d'autre part à cause des incertitudes liées à l'extraction.

La variation de la capacité grille-drain en fonction de la longueur de grille est plus difficile à relier aux grandeurs physiques du système (Figure 74). On note une augmentation sur les deux plaques mais la tendance n'est pas la même et le phénomène n'est pas linéaire car le coefficient de détermination des régressions est inférieur à 0,985. Comme attendu, cette capacité est largement inférieure à  $C_{GS}$ .

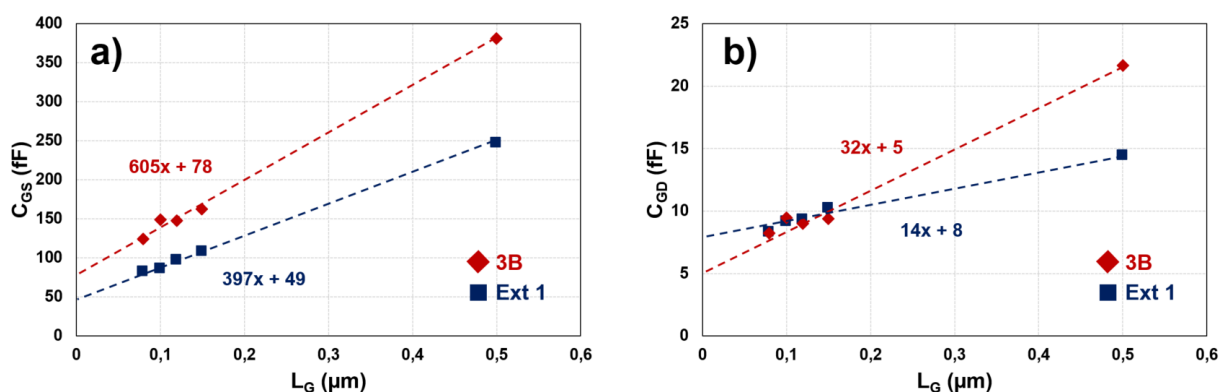


Figure 74 : Capacités a) grille-source et b) grille-drain en fonction de la longueur de grille.

L'extraction de la transconductance intrinsèque sur les différentes longueurs de grille (Figure 75a) met en évidence l'importance du dimensionnement entre la longueur de la grille et l'épaisseur de la barrière ( $L_G/a$ ). Sur la plaque 3B, la diminution de la longueur de grille induit une forte augmentation de  $g_{m,int}$  avec quelques variations dues aux incertitudes déjà mentionnées. Entre la grille de 500 nm et celle de 80 nm, l'augmentation est d'environ 41 %. Dans cette configuration le rapport  $L_G/a$  pour la grille la plus courte vaut 10. A l'inverse, sur le wafer Ext 1 l'augmentation de  $g_{m,int}$  n'est que d'environ 10 % car avec la barrière 15 nm, ce ratio passe à 5,3 pour la grille de

80 nm. Ce phénomène souligne que si on diminue la longueur de grille sans diminuer l'épaisseur de barrière, le gain sur la transconductance intrinsèque est faible. Cette observation est cohérente avec les travaux de Jessen et Shinoara [68], [71] sur le dimensionnement des HEMTs pour les hautes fréquences. Cependant on a pu voir au chapitre précédent que les aspects de fabrication doivent également être pris en compte car les procédés peuvent dégrader plus fortement le transport dans le cas de barrières fines et donc diminuer la capacité d'amplification du transistor malgré un meilleur design.

Ce mauvais contrôle électrostatique des électrons du canal possède un deuxième aspect négatif qui est mis en avant sur la Figure 75b. En analysant la conductance de drain en fonction de la longueur de grille, on observe que l'effet de canal court induit une augmentation de  $g_D$  d'environ 87 % entre les grilles 500 nm et 80 nm de la plaque 3B. Dans le cas du *wafer* Ext 1, cette augmentation est supérieure à 570 %. A cause du mauvais contrôle électrostatique du canal, l'influence de la tension de drain sur les grille courtes est largement plus fort. Cet aspect pénalise les fréquences de coupure des transistors et il affecte également leur tenue en tension.

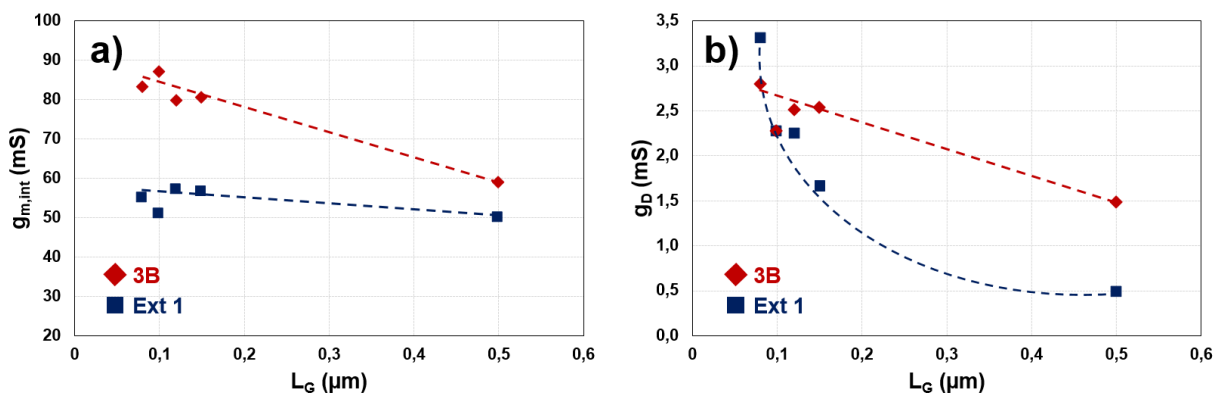


Figure 75 : a) Transconductance intrinsèque et b) conductance de drain en fonction de la longueur de grille. N.B : Les courbes en pointillés sont uniquement une aide visuelle de la tendance de la courbe.

#### iv. Variations selon $W_G$

Le développement total de grille est choisi en fonction de l'application visée. Plus le  $W_{G,total}$  est grand et plus le courant dans le transistor est important. On détermine donc  $W_{G,total}$  en fonction de la puissance requise. Il y a cependant d'autres aspects à prendre en compte comme l'auto-échauffement et la résistance de grille. Plus le développement est grand et plus l'auto-échauffement au niveau de la jonction grille drain va être important. Cette augmentation de température a pour conséquence une augmentation de la résistance du 2DEG et donc la baisse des performances d'amplification. Mais elle affecte également fortement sa fiabilité. La solution consiste généralement à fabriquer plusieurs doigts en parallèles car l'effet de proximité entre les sources de chaleur est largement atténué. A section de grille constante, un doigt de grille plus développé possède également une résistance de grille plus importante. Or cette résistance de grille a une influence importante sur la fréquence maximale d'oscillation. Le schéma équivalent a été extrait sur les transistors avec différents développements  $W_G$  uniquement pour le wafer Ext 1.

Les capacités de grille ( $C_{GS}$ ,  $C_{GD}$ ) et la transconductance intrinsèque sont tracées en fonction du développement total sur la Figure 76. On remarque premièrement que le transistor avec deux doigts de 75  $\mu m$  ( $W_G=150 \mu m$ ) présente des caractéristiques inattendues. Les trois grandeurs étant proportionnelle à la surface, elles augmentent linéairement lorsque  $W_G$  augmente. Le ratio attendu

autour de 2 entre les valeurs de  $W_G=100\ \mu\text{m}$  et de  $W_G=200\ \mu\text{m}$  est d'ailleurs de 1,85 pour  $C_{GS}$ , de 2,35 pour  $C_{GD}$  et de 1,92 pour  $g_{m,int}$ . L'écart avec la valeur théorique pour  $g_{m,int}$  s'explique par l'incertitude de l'extraction. La variation plus importante qu'attendu pour les capacités provient de l'influence des différentes capacités parasites. Les résultats sur  $W_G=150\ \mu\text{m}$  résultent probablement d'une défectivité de ce transistor. Les valeurs extraites sont environ deux fois plus faibles que celles estimées donc on peut émettre l'hypothèse qu'un des deux doigts de grille n'est pas fonctionnel. Le faible nombre de points et l'incertitude d'extraction induisent également des valeurs d'ordonnée à l'origine très légèrement négative, qui n'ont pas de sens physique, sur les régressions de  $C_{GS}$  et  $C_{GD}$  en fonction de  $W_G$ .

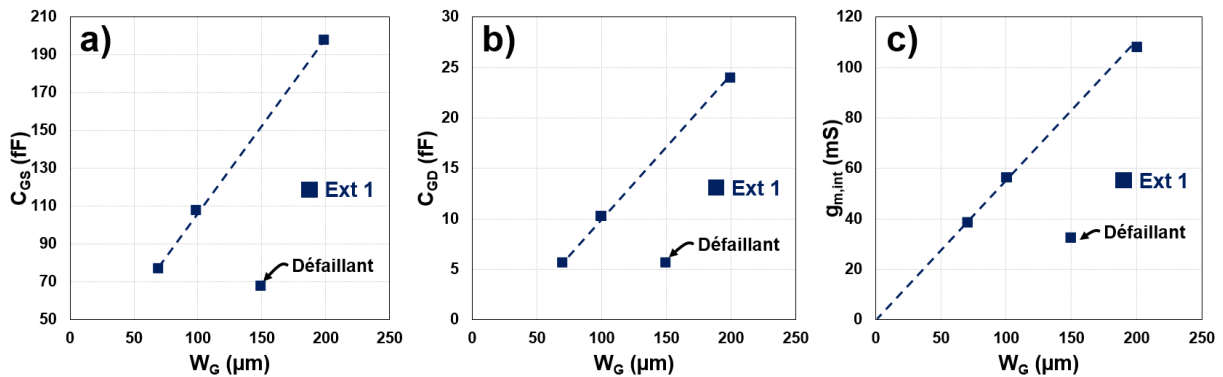


Figure 76 : a) Capacité grille-source, b) capacité grille-drain et c) transconductance intrinsèque en fonction de plusieurs développements de grille.

L'analyse des résistances du transistor (Figure 77) montre également les tendances attendues avec une décroissance des résistances de source et de drain et une augmentation de la résistance de grille lorsque  $W_G$  augmente. Les résistances d'accès montrent une tendance linéaire avec l'inverse du développement avec une pente de  $0,53\ \Omega\cdot\text{mm}$  côté source et de  $0,8\ \Omega\cdot\text{mm}$  côté drain. Cette valeur de résistance par unité de développement contient la résistance de contact ainsi que la résistance liée au gaz bidimensionnel d'électrons. La longueur de 2DEG est plus importante de  $0,7\ \mu\text{m}$  côté drain. En reprenant la résistivité de couche sur cette plaque, qui vaut  $295\ \Omega/\text{sq}$ , on en déduit que la pente devrait être supérieure de  $0,21\ \Omega\cdot\text{mm}$ . L'extraction de notre modèle indique une variation de  $0,27\ \Omega\cdot\text{mm}$  montrant une bonne cohérence des résultats. Étonnamment, l'augmentation de  $R_G$  n'est pas linéaire avec l'augmentation de  $W_G$ . Les incertitudes liées à l'extraction du modèle équivalent peuvent être à l'origine de cet écart.

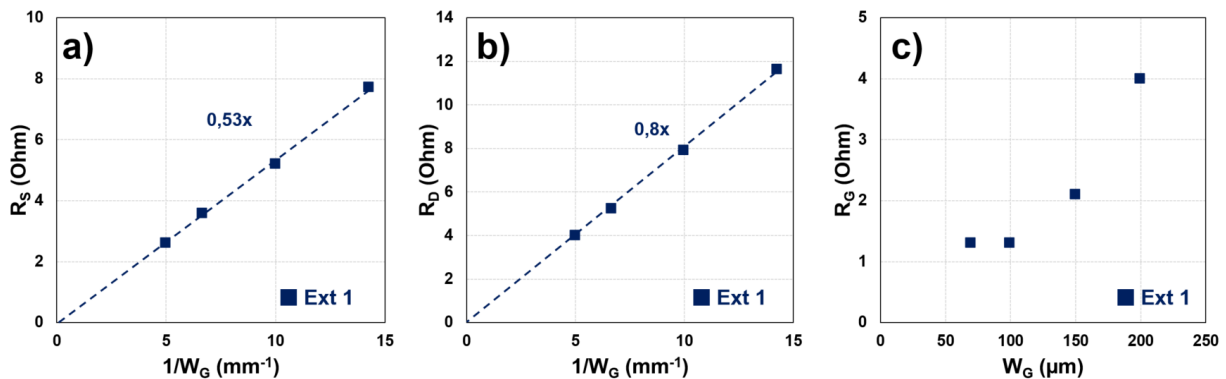


Figure 77 : Résistances a) de source, b) de drain et c) de grille en fonction du développement total du transistor.

## v. Identification des limites du transistor

Les parties précédentes ont mis en évidence certaines limites de l'extraction du schéma équivalent : la mesure d'un seul transistor par topologie induit quelques points aberrants et un peu de variabilité ; le choix du modèle à 16 éléments limite la comparaison entre ces deux wafers en ne prenant pas en compte l'influence du substrat silicium. Cependant l'analyse des éléments intrinsèques extraits en fonction de la fréquence, la comparaison des paramètres  $S_{ij}$  mesurés et ceux calculés à partir des valeurs extraites à 30 GHz ainsi que les tendances cohérentes des valeurs extraites en fonction du dimensionnement du transistor démontrent la pertinence de ce schéma équivalent pour étudier les éléments parasites qui limitent les fréquences de coupure. Dans cette partie nous reprenons les valeurs extraites sur le transistor de référence ( $L_G=150$  nm,  $L_{GS}=0,8$   $\mu\text{m}$ ,  $L_{GD}=1,5$   $\mu\text{m}$ ,  $W_G=2 \times 50$   $\mu\text{m}$ ) et nous étudions l'influence de la variation de ces éléments sur ces fréquences de coupures ( $f_T$ ,  $f_{\text{max}}$ ).

Le  $f_T$  extrait du schéma équivalent du transistor de référence vaut 67 GHz sur la plaque 3B et 71 GHz sur Ext 1. Sur les mesures  $S_{ij}$  après *de-embedding* des plots de mesure, l'interpolation avec une pente à -20dB/décade du gain en courant  $H_{21}$  indique des  $f_T$  de 65 GHz et de 61 GHz sur 3B et Ext 1 respectivement. Comme on pouvait s'y attendre à la vue des résultats précédents, le modèle décrit avec une bonne précision la fréquence de coupure du transistor même si elle est légèrement surestimée notamment sur Ext 1.

L'analyse des termes au dénominateur de l'expression met en évidence que le premier terme (entouré en rouge) est prédominant devant les autres éléments parasites. Les résistances d'accès  $R_S$  et  $R_D$  pourraient être diminuées en réduisant les distances  $L_{GS}$  et  $L_{GD}$  et en optimisant la résistance de contact. En se plaçant dans le cas idéal où ces résistances seraient totalement négligeables, le gain sur la fréquence de coupure est estimé à 12 % sur 3B et 8 % sur Ext 1 (Figure 78). Cette différence est cohérente puisque les résistances  $R_{2\text{DEG}}$  et  $R_C$  sont plus faibles sur Ext 1, le gain en les négligeant est donc également plus faible sur cette plaque. Cette observation indique d'une part qu'il est possible d'optimiser un peu les performances en fréquence en travaillant sur les résistances d'accès et d'autre part, que la limitation principale provient du manque de  $g_{m,\text{int}}$  sur nos transistors. Les technologies démontrant les meilleurs couples de fréquences de coupure possèdent un niveau de transconductance extrinsèque maximale supérieur [182], [188]. Si ces résultats sont déjà encourageants, il est évident que le compromis entre l'épaisseur de la barrière et la dégradation du transport sous la grille peut encore être amélioré. Sur le wafer Ext 1, les propriétés de transport sont bonnes et ont permis de démontrer des caractéristiques RF intéressantes (voir chapitre 3 – partie 1.d). Cependant le rapport entre la longueur de grille et l'épaisseur de barrière sous la grille est trop faible ce qui limite le  $g_m$  et augmente le  $g_D$  comme l'a montrée la Figure 75. A l'inverse, la plaque 3B possède un empilement plus favorable mais la technologie de grille dégrade trop fortement le gaz d'électrons. Nous avons également identifié que le courant de saturation, qui est lié à la transconductance du transistor, est également limité par la technologie de contact ohmique. Sur les motifs TLM, donc sans grille, de tous les wafers étudiés, le courant maximal qui traverse une structure de la taille du transistor est compris entre 900 mA/mm et 1,35 A/mm. Or pour Ext 1 qui présente une très faible résistance de couche du gaz d'électrons (<300 /sq), on s'attend à un courant de saturation plus élevé.

3B :  $f_t = \frac{g_{m,int}}{2\pi \cdot (C_{GS} + C_{GD}) \left( 1 + (R_S + R_D) \cdot g_D + (R_S + R_D) \cdot C_{GD} \cdot g_m \right)} = 67 \text{ GHz}$   $\rightarrow$   $f_t = \frac{g_{m,int}}{2\pi \cdot (C_{GS} + C_{GD})} = 75 \text{ GHz}$   
 Néglige résistances d'accès +12 %

Ext 1 :  $f_t = \frac{g_{m,int}}{2\pi \cdot (C_{GS} + C_{GD}) \left( 1 + (R_S + R_D) \cdot g_D + (R_S + R_D) \cdot C_{GD} \cdot g_m \right)} = 71 \text{ GHz}$   $\rightarrow$   $f_t = \frac{g_{m,int}}{2\pi \cdot (C_{GS} + C_{GD})} = 77 \text{ GHz}$   
 Néglige résistances d'accès +8 %

Figure 78 : Identification des éléments limitants les fréquences de coupure ( $f_T$  et  $f_{max}$ ) sur 3B et Ext 1.

La fréquence maximale d'oscillation estimée à partir du schéma équivalent vaut 159 GHz et 203 GHz sur 3B et Ext 1 respectivement. Les fréquences de coupure déterminées à partir d'une interpolation à -20 dB/dec du gain unilatéral mesuré après *de-embedding* montre un  $f_{max}$  de 128 GHz sur 3B et 165 GHz sur Ext 1. La valeur dérivée du modèle est donc surestimée par rapport à la mesure mais nous nous intéressons à l'influence des différents paramètres sur cette grandeur plutôt qu'à un modèle prédictif.

La variation du  $f_{max}$  en fonction de la résistance de grille statique est présentée en Figure 79a. Sur ces courbes, la résistance de grille RF utilisée dans le calcul de  $f_{max}$  est estimée par rapport au modèle de Kuvás [257] dans lequel la résistance RF est inversement proportionnelle à trois fois le nombre de doigts de grille au carré. On remarque que la variation du  $R_{G,RF}$  n'induit que de faibles variations de la fréquence maximale d'oscillation. Il est possible d'épaissir ou d'élargir le dépôt métallique de tête de grille mais on note que ce n'est pas un élément limitant sur nos transistors.

En diminuant la résistance de contact et en réduisant la distance grille-source, il est possible de diminuer la résistance d'accès côté source. La Figure 79b montre la tendance de  $f_{max}$  en fonction de la variation de la résistance  $R_S$ . En diminuant la résistance de contact à 0,1  $\Omega$ .mm [97] et en réduisant la longueur  $L_{GS}$  à 400 nm, il est possible de diminuer  $R_S$  d'environ 3,5  $\Omega$ . D'après le modèle équivalent, cette variation augmente le  $f_{max}$  d'environ 20 GHz en conservant tous les autres éléments constants.

La Figure 79c démontre que l'amélioration du  $f_T$  devrait augmenter fortement la fréquence maximale d'oscillation. Les variations relativement faibles qui sont induites par les résistances caractéristiques ( $R_S$ ,  $R_G$ ) soulignent qu'il n'y a pas d'élément parasite qui bride la performance RF. L'amélioration du  $f_T$  au travers de l'amélioration du rapport  $L_G/a$  et l'augmentation du courant maximal dans le transistor en optimisant les procédés de fabrication de grille et de contact ohmique devrait bénéficier au  $f_{max}$ . Cette Figure 79c est utile pour observer la tendance mais il n'est pas possible d'estimer précisément les variations car l'augmentation du  $f_T$  s'accompagnera forcément de variations d'autres paramètres qui impactent le  $f_{max}$  comme  $g_{m,int}$  ou  $C_{GS}$ .



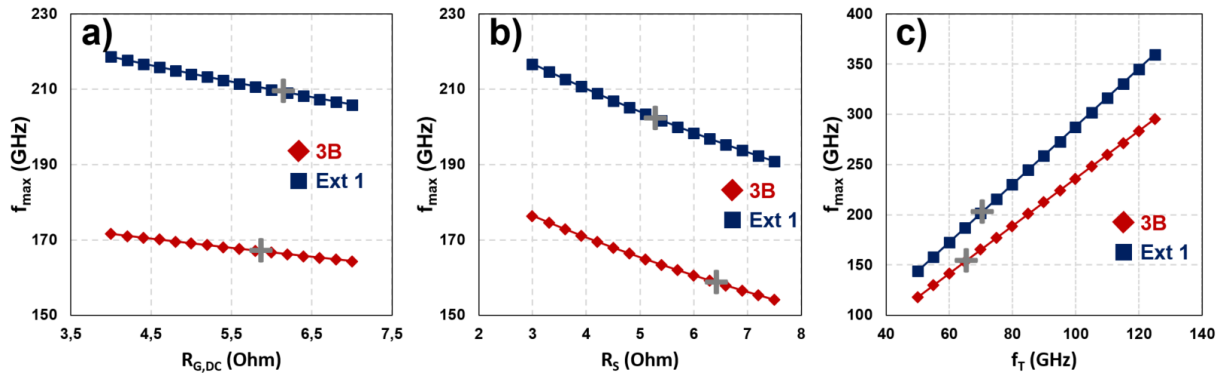


Figure 79 : a)  $f_{\max}$  estimé du transistor de référence ( $2 \times 50 \mu\text{m}$ ) en fonction de la résistance statique d'un doigt de grille de  $50 \mu\text{m}$  en utilisant le modèle de Kuvás [257]. b)  $f_{\max}$  estimé en fonction de la résistance de source. c)  $f_{\max}$  en fonction de la fréquence de coupure (N.B : tous les autres éléments sont constants). Les croix grises indiquent la performance du transistor étudié ( $V_{GS}=V_{G,gm\max}$  et  $V_{DS}=10 \text{ V}$ ).

## d. Conclusion

Dans la première partie de ce chapitre nous avons modélisé notre transistor par un schéma équivalent petit-signal contenant 16 éléments dans le but d'identifier les facteurs perturbant le fonctionnement en fréquence. Les limites de ce modèle et de son extraction ont été identifiées mais l'analyse fréquentielle des éléments extraits et la comparaison de paramètres  $S_{ij}$  extraits à 30 GHz avec ceux mesurés ont démontré une bonne cohérence. L'analyse de 16 transistors avec des dimensionnements variables sur deux plaques provenant d'épitaxies différentes a mis en évidence la pertinence du modèle entre les plaques et avec les variations géométriques. Finalement, l'analyse des expressions analytiques des fréquences de coupure du transistor a montré que l'amélioration du dimensionnement de la grille par rapport à l'épaisseur de barrière et l'augmentation du courant de saturation sont nécessaires pour améliorer au premier ordre les performances.

## 2. Extraction du temps de transit

Pour étudier le fonctionnement en fréquence du transistor, une approche développée par Moll [259] en 1988 permet d'identifier les éléments qui limitent le fonctionnement en fréquence au travers d'une série de mesures petit-signal avec différentes polarisations statiques. Comme dans la partie précédente, cette méthode repose sur la modélisation du transistor par des éléments électriques discrets (R, L et C). Ces éléments parasites sont responsables de la diminution des différents gains en fonction de la fréquence. En prenant en compte un temps de transit des électrons dans le transistor inversement proportionnel à la fréquence de coupure  $f_T$ , on peut le découper en trois composantes (équations 18 et 19). Une composante intrinsèque  $\tau_{int}$  liée à la vitesse de saturation des porteurs sous la grille, une composante  $\tau_C$  liée aux temps caractéristiques de charge des capacités parasites de grille et une composante  $\tau_{drain}$  liée à l'influence de la polarisation de drain sur les électrons du canal. Ce formalisme permet d'identifier chacun des termes en réalisant des mesures petit-signal à diverses polarisations statiques. D'abord utilisé pour les technologies GaAs, cette méthode s'est ensuite étendue aux HEMT GaN [105], [260]–[265].

$$f_T = \frac{1}{2\pi\tau_{total}} \quad (17)$$

$$\tau_{total} = \frac{(C_{GS}+C_{GD})}{g_{m,int}} + (R_S + R_D) \cdot C_{GD} + \frac{(C_{GS}+C_{GD})(R_S+R_D) \cdot g_D}{g_{m,int}} \quad (18)$$

$$\tau_{total} = \tau_{int} + \tau_C + \tau_{drain} \quad (19)$$

### a. Méthodologie d'extraction

L'extraction de ces constantes de temps est conditionnée par la validité du schéma équivalent. Comme nous l'avons abordé dans la partie précédente, ce modèle ne prend pas en compte le couplage avec le substrat, nous concentrons donc cette analyse sur le wafer Ext 1 qui ne présente pas de pertes liées à la conductivité du silicium. Sur cette plaque, en plus du transistor de référence ( $L_G=150$  nm,  $L_{GS}= 0,8$   $\mu\text{m}$ ,  $L_{GD}= 1,5$   $\mu\text{m}$ ), 9 transistors sont caractérisés avec des variations de  $L_G= 80$  nm ; 120 nm, de  $L_{GS}= 0,7$   $\mu\text{m}$  ; 0,9  $\mu\text{m}$  et 1,3  $\mu\text{m}$ , et de  $L_{GD}= 1,1$   $\mu\text{m}$  ; 1,3  $\mu\text{m}$  ; 2  $\mu\text{m}$  ; 2,5  $\mu\text{m}$ .

Les différents transistors sont caractérisés par des mesures petit-signal de 250 MHz à 50 GHz répétées à diverses polarisations statiques :  $V_G$  variant de -3,5 V à -1,5 V par pas de 0,1 V et  $V_D$  variant de 8 V à 14 V par pas de 2 V soit 81 mesures par transistor. L'influence des plots de mesure est retirée des mesures brutes par *de-embedding*. Pour chaque mesure le gain en courant  $H_{21}$  est

tracé en fonction de la fréquence et une régression linéaire des points en 250 MHz et 1 GHz est faite (Figure 80a). Si la pente est comprise entre 19,8 et 20,2 dB/dec, la fréquence de coupure est extraite lorsque la régression coupe l'axe des abscisses (i.e. quand le gain vaut 0 dB). Les temps de transit totaux sont calculés à partir du  $f_T$  pour chaque polarisation selon l'équation 17. Ces temps de transit sont ensuite tracés en fonction de l'inverse de la densité linéique de courant. Avec un courant infini, le temps de charge est négligeable et on détermine  $\tau_{int} + \tau_{drain}$  à l'intersection entre l'axe des ordonnées et l'asymptote formée par les premiers points après le minimum de  $\tau_{total}$  pour chaque polarisation de drain (Figure 80b). Comme la linéarité décroît lorsque  $1/I_{DS}$  augmente, la régression est effectuée sur les 4 premiers points après le point d'inflexion.

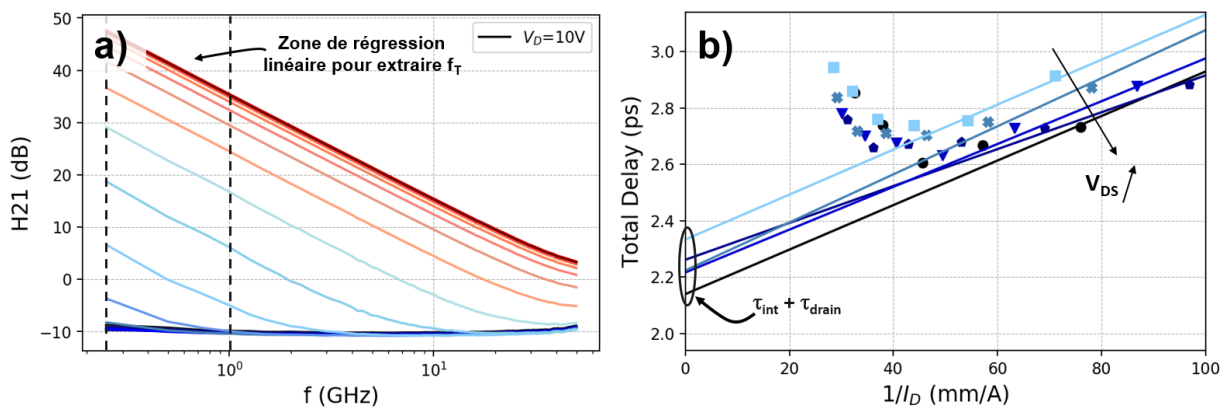


Figure 80 : a) Gain en courant  $H_{21}$  du transistor de référence pour différentes polarisation de grille à  $V_{DS}=10$  V. b) Temps de transit total en fonction de l'inverse de la densité de courant linéique pour déterminer  $\tau_{int} + \tau_{drain}$ .

Finalement, les temps de transit totaux sont tracés en fonction de la chute de potentiel aux bornes de la grille  $V_{DS}-I_{DS}(R_S+R_D)$ . La variation de  $R_S$  et  $R_D$  avec l'échauffement lorsque  $V_{DS}$  augmente est négligée et ces valeurs sont prises constantes et calculées à partir des valeurs de  $R_C$  et  $R_{2DEG}$  extraites sur les motifs TLM à faible tension. Pour minimiser l'incertitude sur l'extraction de ces paramètres, une régression d'ordre 4 est faite sur les 5 points qui se situent autour du minimum de la parabole de chaque tension de drain (Figure 81). Le minimum est donc extrait sur chacune de ces régressions puis une régression linéaire entre ces minimums permet d'extrapoler le temps de transit lorsque la polarisation vaut 0 V donc sans la composante  $\tau_{drain}$ . L'ordonnée à l'origine nous indique donc la somme  $\tau_{int} + \tau_c$  et l'écart entre cette valeur et le minimum de chaque parabole vaut  $\tau_{drain}$ . Le traitement graphique de ces temps de transit permet d'extraire chaque composante ( $\tau_{int}$ ,  $\tau_c$ ,  $\tau_{drain}$ ) et de déterminer ainsi quelle composante du transistor limite le transport dans le canal. L'incertitude liée à l'extraction est déterminée à 0,1 ps en modifiant les points de l'extrapolation.

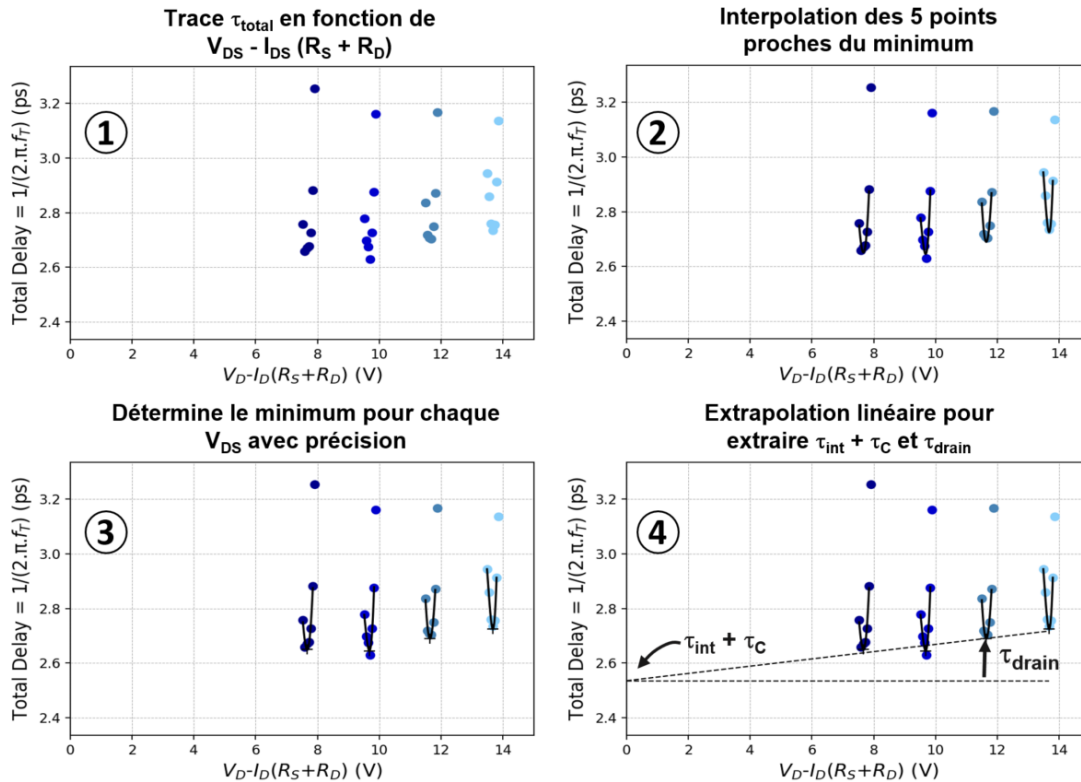


Figure 81 : Méthodologie de la détermination graphique de  $\tau_{\text{int}} + \tau_{\text{c}}$  et de  $\tau_{\text{drain}}$ .

## b. Etude des temps de transit

### i. Transistor de référence

A partir de toutes les fréquences de coupure extraites des mesures petit-signal, il est possible de construire une cartographie du  $f_T$  en fonction du point de polarisation statique utilisé (Figure 82a). On observe une large plage, délimitée par un courant entre 125 mA/mm et 350 mA/mm et une tension entre 8 V et 14 V, pour laquelle le  $f_T$  est supérieur ou égal à 56 GHz. Une zone de faible surface autour de 200 mA/mm et 10 V présente l'optimum de  $f_T$  avec des valeurs supérieures ou égales à 60 GHz.

L'extraction des composantes de  $\tau_{\text{total}}$  sur le transistor de référence selon la méthode décrite précédemment est présentée sur la Figure 82b. Comme la cartographie de  $f_T$  le soulignait, la valeur de  $\tau_{\text{total}}$  varie peu entre les différentes polarisations de drain. Il apparaît clairement que la composante principale du temps de transit est liée à  $\tau_{\text{int}}$  qui est supérieure à 76 % du total pour toutes les conditions de  $V_{\text{DS}}$ . Cette observation est cohérente avec l'analyse précédente au travers du schéma équivalent. C'est le manque de capacité d'amplification du courant qui limite principalement le fonctionnement à plus haute fréquence. L'extraction du temps de charge présente quelques variations (de 13 % à 18 % du total) mais aucune tendance claire. Ces légères variations sont dues aux incertitudes liées à la répétition des mesures  $S_{ij}$  à différentes polarisations qui peut influencer l'état de fonctionnement du transistor ainsi qu'à la précision de l'extraction graphique des composantes de  $\tau_{\text{total}}$ . La composante  $\tau_{\text{drain}}$  augmente légèrement lorsque  $V_{\text{DS}}$  augmente. Cette tendance attendue résulte de l'accentuation de l'influence électrostatique de l'électrode de drain sur les électrons du canal lorsque la polarisation s'élève. Elle se traduit par l'augmentation de la conductance de drain  $g_D$  à fort  $V_{\text{DS}}$  mais cette composante reste inférieure à 7 %.

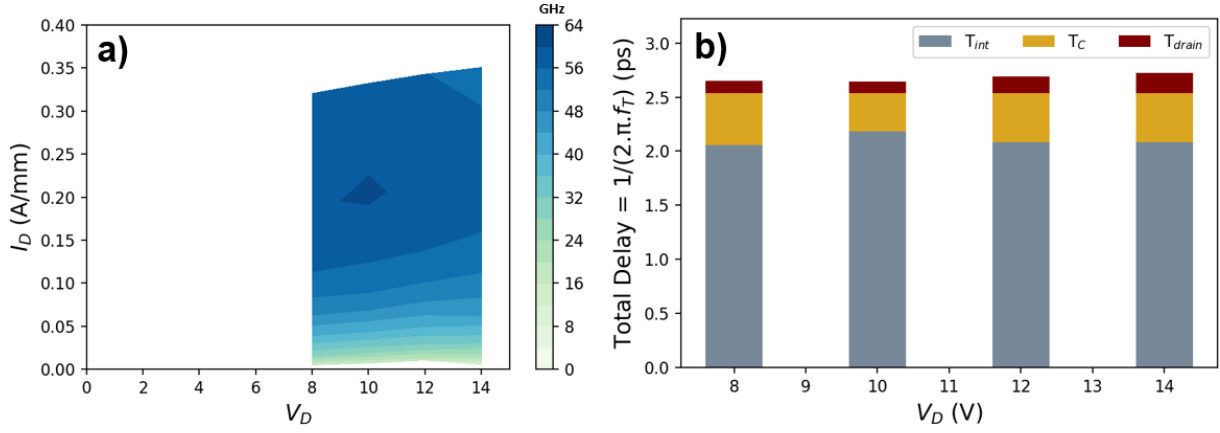


Figure 82 : a) Cartographie de la fréquence de coupure en fonction du point de polarisation statique du transistor de référence. b)  $\tau_{total}$  représenté par les différentes composantes ( $\tau_{int}$  en gris,  $\tau_c$  en doré,  $\tau_{drain}$  en rouge) en fonction de la polarisation de drain.

## ii. Variation de $L_G$

Les variations des différentes composantes du temps de transit sont tracées en fonction des trois longueurs de grille et de la polarisation de drain sur la Figure 83. L'augmentation de  $f_T$  lorsque la longueur de grille diminue se traduit par la tendance inverse sur  $\tau_{total}$  (Figure 83a). Cette décroissance est corrélée avec la diminution de  $\tau_{int}$  (Figure 83b) due à l'augmentation de la transconductance intrinsèque et la diminution de la capacité  $C_{GS}$  lorsque  $L_G$  diminue. Sur  $\tau_{int}$ , seuls les points à  $V_{DS}=14$  V (orange) présentent une tendance légèrement différente. Ce phénomène peut s'expliquer par des effets de piégeages plus importants à cette polarisation qui est la plus élevée et qui est la dernière mesure de la séquence de test. Mais la variation pourrait également être liée à l'incertitude de l'extraction de  $\tau_{int} + \tau_c$  puisque ces valeurs plus basses à  $V_{DS}=14$  V correspondent à des valeurs de  $\tau_c$  plus élevées pour cette même tension (Figure 83c).

En décorrélant les 3 composantes du temps de délai, cette technique permet théoriquement d'accéder à la vitesse de saturation  $v_s$  des électrons sous la grille. En effet, on connaît distance parcourue par les électrons sous la grille ( $L_G$ ) et le temps nécessaire pour parcourir cette distance ( $\tau_{int}$ ). On en déduit que la vitesse de saturation vaut  $5,8 \pm 0,1 \times 10^6$  cm/s pour  $L_G=80$  nm,  $7,3 \pm 0,5 \times 10^6$  cm/s pour  $L_G=120$  nm et  $7,1 \pm 0,2 \times 10^6$  cm/s pour  $L_G=150$  nm. Ces valeurs sont largement inférieures à la valeur maximale théorique qui est d'environ  $2,5 \times 10^7$  cm/s dans le GaN *bulk*. Mais dans le cas des transistors à effets de champs (ou FET pour *Field Effect Transistors*), la zone où les électrons sont repoussés par l'influence électrostatique de la grille s'étend au-delà du métal. La distance utilisée est donc la longueur effective de grille  $L_{G,eff}$  qui peut s'apparenter d'après le modèle développé par Chao et al. [266] à :

$$L_{G,eff} = L_G + \beta \cdot (d + \Delta d) \quad (20)$$

Où  $\beta$  est une constante proche de 2 pour les structures HEMT,  $d$  est la distance entre la grille et le gaz d'électrons et  $\Delta d$  est l'épaisseur du gaz d'électrons

On peut négliger  $\Delta d$  devant  $d$  et déterminer  $v_s=8,0 \pm 0,2 \times 10^6$  cm/s pour  $L_G=80$  nm,  $v_s=9,1 \pm 0,6 \times 10^6$  cm/s pour  $L_G=120$  nm et  $v_s=8,6 \pm 0,4 \times 10^6$  cm/s pour  $L_G=150$  nm. Malgré la valeur un peu plus faible pour  $L_G=80$  nm, ces valeurs sont du même ordre de grandeur et elles sont cohérentes avec d'autres travaux similaires [267]. Cependant elles soulignent la dégradation du

transport à cause de la technologie de grille déjà observée au chapitre 3. Il est intéressant de noter qu'en reprenant les valeurs  $g_{m,int}$ ,  $C_{GS}$  et  $C_{GD}$  extraites du schéma équivalent à la partie précédente, le temps de transit intrinsèque calculé à partir de l'équation 19 vaut 2,08 ps pour le transistor de référence, soit une vitesse de saturation de  $8,7 \times 10^6$  cm/s. Pour les grilles plus courtes les paramètres du modèle équivalent montrent des valeurs plus dégradées de  $7,0 \times 10^6$  cm/s pour  $L_G=120$  nm et  $6,7 \times 10^6$  cm/s pour  $L_G=80$  nm.

Une seconde méthode consiste à faire une régression entre les points du graphique  $\tau_{int}$  en fonction de  $L_G$ . Cette méthode considère donc la variation entre  $L_G$  et  $L_{G,eff}$  constante pour toutes les grilles comme dans le modèle de Chao. La régression est faite en négligeant les points à  $V_{DS}=14$  V qui sont probablement influencés par le piégeage (voir courbe pointillés – Figure 83b). Cette régression indique une pente dont l'inverse nous donne  $v_s=9,3 \times 10^6$  cm/s. Cette valeur est proche de celles extraites précédemment. L'ordonnée à l'origine n'est pas nulle et vaut 0,46 ps. Ce résiduel est dû au fait que nous n'avons pas utilisé  $L_{G,eff}$  en abscisse. En réutilisant la pente et l'ordonnée à l'origine, on peut donc déduire que pour passer par l'origine des axes, il faut décaler tous nos points de +43 nm. On en déduit qu'avec cette méthode le coefficient  $\beta$  vaut environ 2,9 contre la valeur de 2 utilisée empiriquement pour les résultats obtenus avec le modèle de Chao. Malgré une valeur plus élevée, ce résultat reste en deçà des valeurs obtenues sur des technologies GaN/SiC plus matures [105], [261]. Ces valeurs sont également soumises au modèle utilisé et la prise en compte d'autres éléments parasites pourrait réduire le temps de transit intrinsèque et augmenter la vitesse de saturation calculée.

Sur la Figure 83a, on note une augmentation de  $\tau_{total}$  lorsque la tension de drain augmente. Cette variation est corrélée avec l'augmentation de  $\tau_{drain}$  de +0,08 ps sur  $L_G=150$  nm lorsque  $V_{DS}$  passe de 8 V à 14 V jusqu'à +0,23 ps pour  $L_G=80$  nm (Figure 83d). L'effet est donc plus marqué sur les grilles courtes ce qui est cohérent avec les résultats obtenus sur le schéma équivalent de la partie précédente. L'augmentation de  $g_D$  est plus marquée sur les grilles de 80 nm ce qui affecte leur fréquence de coupure. La diminution des épaisseurs de barrière et de canal et l'optimisation de la barrière de confinement sont primordiaux pour fabriquer des transistors avec des grilles de 80 nm et moins.

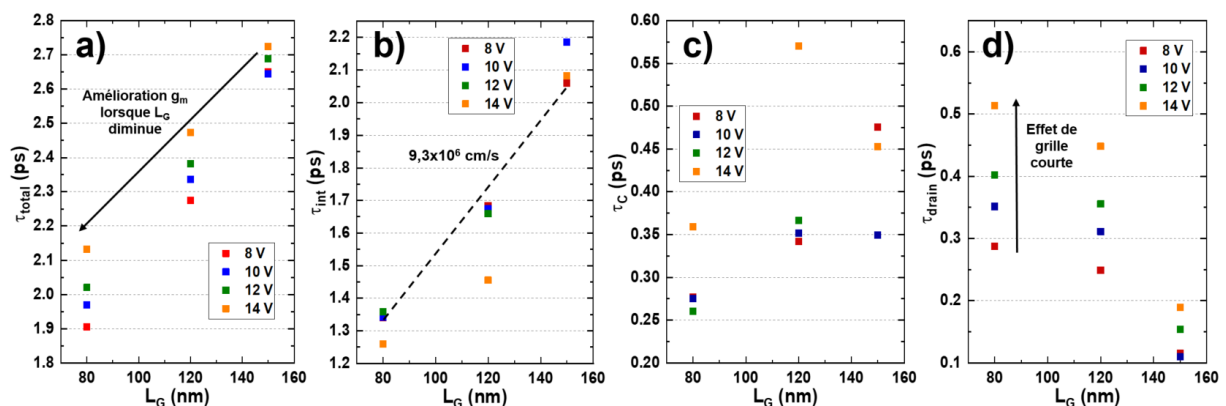


Figure 83 : Représentation des différents temps de transit en fonction de la longueur de grille et de la polarisation de drain : a)  $\tau_{total}$  b)  $\tau_{int}$  c)  $\tau_c$  d)  $\tau_{drain}$ .

### iii. Variation de $L_{GS}$

L'espacement grille-source influence notamment la résistance d'accès qui impacte le  $g_{m,ext}$  du transistor. L'extraction des différentes composantes de  $\tau_{total}$  en fonction de la polarisation de drain pour le transistor  $L_{GS}=0,9 \mu m$  est montrée sur la Figure 84a. Comme précédemment la composante intrinsèque est largement prépondérante alors que  $\tau_{drain}$  augmente avec  $V_{DS}$ . Sur l'extraction de  $\tau_{total}$  pour toutes les longueurs  $L_{GS}$ , les variations sont faibles ( $\sim 0,3$  ps soit 6 GHz sur  $f_T$ ). Ces variations suivent la tendance de  $\tau_{int}$  (Figure 85a), ce qui indique qu'elles sont dues à une légère variabilité entre transistors plutôt qu'à une influence de l'augmentation de la résistance de source car  $\tau_{int}$  ne dépend pas de  $R_S$ . Les composantes  $\tau_C$  et  $\tau_{drain}$  qui dépendent de  $R_S$ , ne présentent pas de tendance avec  $L_{GS}$ . Ce résultat est cohérent avec l'extraction du schéma équivalent de la partie précédente qui a mis en évidence que la performance du transistor en fréquence est principalement limitée par la capacité d'amplification du courant et pas par les résistances d'accès.

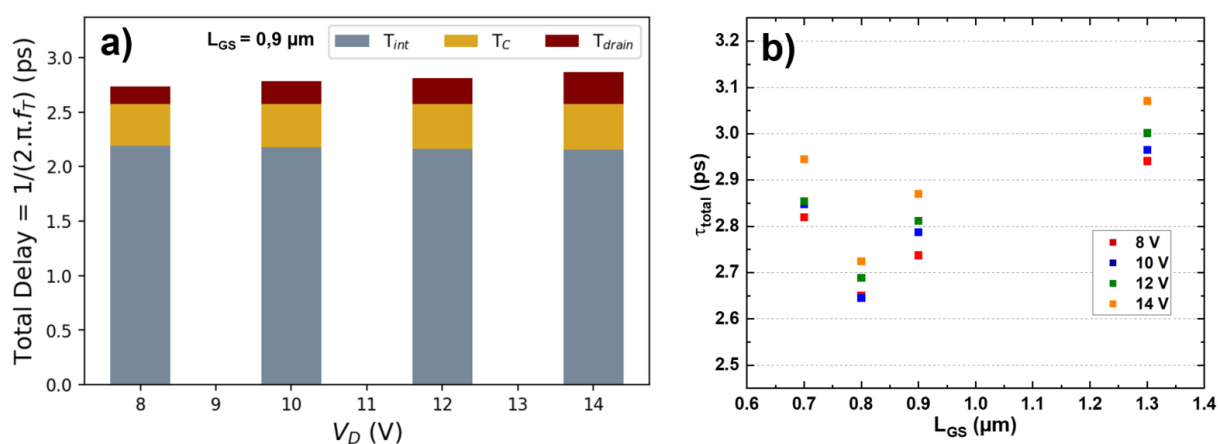


Figure 84 : a) Diagramme en barres des composantes de  $\tau_{total}$  en fonction de  $V_{DS}$  sur le transistor  $L_{GS}=0,9 \mu m$ . b)  $\tau_{total}$  en fonction de l'espacement grille-source pour toutes les polarisations de drain.

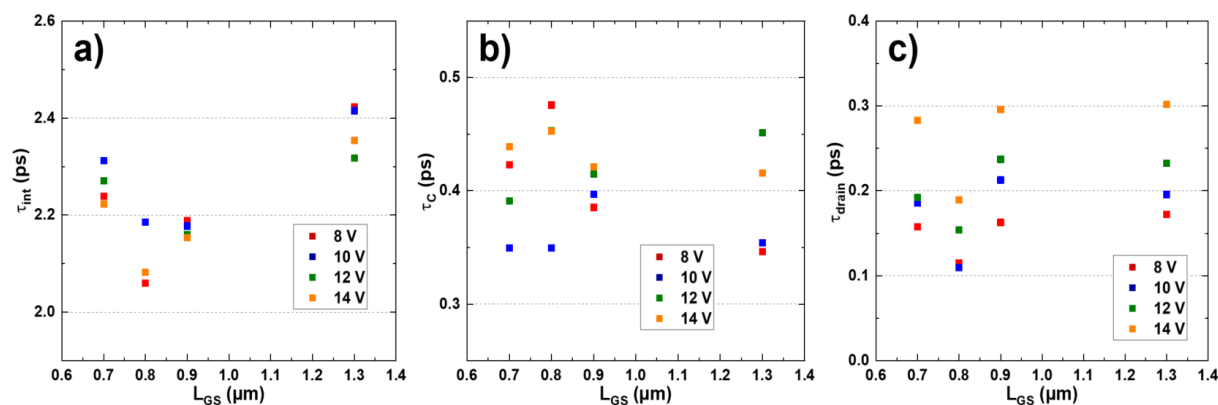


Figure 85 : a)  $\tau_{int}$ , b)  $\tau_C$  et c)  $\tau_{drain}$  en fonction de la distance grille-source pour les différentes polarisations  $V_{DS}$ .

### iv. Variation de $L_{GD}$

L'analyse du temps de transit dans des transistors avec des variations de distance grille-drain présente des variations inattendues. Le temps de transit total (Figure 86a) ne présente pas de tendance précise mais on observe une dispersion lorsque  $V_{DS}$  augmente pour les distances les plus courtes. Cet écart est corrélé avec l'augmentation plus forte de  $\tau_{drain}$  pour  $L_{GD}=1,1 \mu m$  et  $1,3 \mu m$  (Figure 86d). En reprenant l'équation 19, on peut voir que  $\tau_{int}$  ne dépend que d'éléments



indépendants de  $L_{GD}$  ( $g_{m,int}$ ,  $C_{GS}$ ,  $C_{GD}$ ). Mais ces variations sont dans la limite de la précision d'extraction et une imprécision sur l'un des paramètres fait varier artificiellement les autres composantes. Un élément parasite non pris en compte dans notre modèle et qui dépendrait de  $R_D$  est également une autre possibilité qui expliquerait la dépendance de  $\tau_{int}$  vis-à-vis de  $L_{GD}$ .

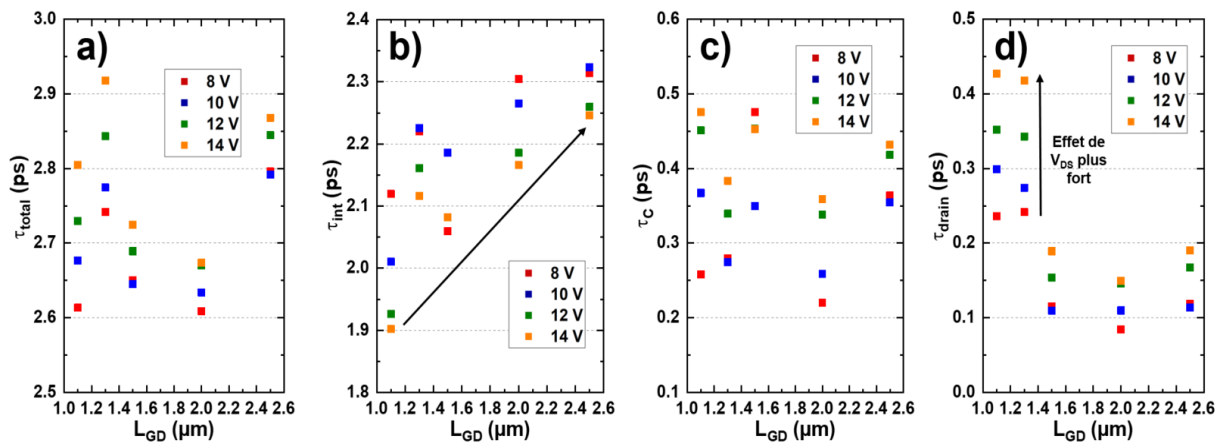


Figure 86 : Représentation des différents temps de transit en fonction de la longueur grille-drain et de la polarisation de drain : a)  $\tau_{total}$  b)  $\tau_{int}$  c)  $\tau_c$  d)  $\tau_{drain}$ .

## c. Conclusion

En utilisant la méthode développée par Moll, le temps de transit et ses différentes composantes ont été étudiés sur le wafer Ext 1. Cette analyse repose sur le même schéma équivalent abordé dans la partie précédente mais elle s'appuie sur un nombre important de mesures et une méthode graphique d'extraction des différentes composantes.

L'étude de 10 transistors avec des longueurs caractéristiques qui varient a mis en évidence des incertitudes liées à la détermination graphique des différents éléments, notamment dans notre cas où seul 1 transistor par topologie est mesuré. Malgré cette limitation, l'analyse des différents composants a souligné des tendances claires comme la diminution du temps de transit intrinsèque couplée à l'augmentation de la composante de drain lorsque la longueur de grille diminue. Ces résultats confortent la cohérence de cette méthode et mettent en évidence que le levier d'amélioration principal sur la structure d'étude est un meilleur dimensionnement de l'épaisseur de barrière par rapport à la longueur de grille sans dégrader le transport sous la grille afin de diminuer la composante  $\tau_{int}$ .

La vitesse de saturation des électrons dans le canal a également été étudiée à l'aide du formalisme proposé par Chao [266]. Les résultats entre les différentes grilles sont cohérents et indiquent  $v_s \sim 8,5 \times 10^6$  cm/s même si la valeur sur la grille de 80 nm est légèrement plus basse. La comparaison avec la méthode utilisant une régression entre le  $\tau_{int}$  des différentes grilles montre une valeur du même ordre de grandeur mais légèrement plus élevée ( $9,3 \times 10^6$  cm/s). Le coefficient de correction  $\beta$ , entre  $L_G$  et  $L_{G,eff}$ , vaut environ 2,9 avec cette méthode contre 2 empiriquement par la méthode de Chao. Ces valeurs restent plus basses que les résultats des meilleures technologies GaN/SiC de la littérature et elles mettent en évidence la dégradation du transport liée à la technologie de grille abordée au chapitre 3.

### 3. Conclusion du chapitre

Au cours de ce chapitre le fonctionnement en fréquence sous un signal de faible amplitude a été étudié par deux approches différentes. Ces deux techniques s'appuient sur la modélisation du transistor par un schéma équivalent petit-signal composé de 16 éléments.

Dans un premier temps les éléments de ce schéma ont été extraits analytiquement en utilisant la méthode dite du « *cold-FET* ». Cette méthode de *de-embedding* tout comme le choix des différents éléments du modèle et la caractérisation d'un seul transistor par topologie sont des sources d'incertitudes pour cette analyse. Cependant, la vérification de l'extraction des éléments en fonction de la fréquence et la bonne cohérence des paramètres  $S_{ij}$  mesurés par rapport à ceux calculés à partir des éléments extraits à 30 GHz ont démontré la fiabilité de cette étude. L'analyse des variations des longueurs caractéristiques du transistor a démontré les tendances attendues et a permis de remonter aux grandeurs physiques mesurées électriquement en statique ( $R_C$ ,  $g_{m,ext}$ ) avec une bonne précision sur deux plaques différentes. Les paramètres extraits sur ces deux wafers ont souligné que l'axe d'amélioration principal pour atteindre des fréquences de fonctionnement plus élevées est l'addition d'un bon dimensionnement des éléments qui influencent le contrôle électrostatique de grille ( $L_G$ , épaisseur de barrière et de canal, efficacité de *back-barrier*) avec un courant de saturation élevé en utilisant des procédés de fabrication qui ne limitent pas le transport des électrons.

Ce résultat a été conforté dans la deuxième partie qui a détaillé l'étude des composantes du temps de transit des électrons dans le transistor. Si l'extraction graphique en utilisant des mesures petit-signal à différentes polarisations a montré un peu de variabilité, la tendance sur tous les transistors testés est claire : la composante majoritaire est le temps de transit intrinsèque qui est relié à la transconductance et aux capacités de grille. Cette approche a également permis l'étude de la vitesse de saturation des porteurs dans le canal par le formalisme développé par Chao. Cette méthode a été comparée en faisant une régression linéaire sur le  $\tau_{int}$  de plusieurs longueurs de grilles. Les valeurs extraites sont cohérentes entre elles et sont comprises entre 8 et  $9 \times 10^6$  cm/s, ce qui met en évidence la dégradation du transport sur ces structures par rapport aux valeurs supérieures à  $1 \times 10^7$  cm/s de la littérature [71]. Les optimisations technologiques, discutée dans le chapitre 3, pour ne pas dégrader le gaz d'électrons devraient avoir une influence bénéfique sur la vitesse de saturation.



# 5

## Etudes préliminaires sur la fiabilité des transistors

Dans ce dernier chapitre, des aspects préliminaires sur la fiabilité du transistor sont présentés. Dans un premier temps, l'impact de recuits cumulés sur les caractéristiques électriques du transistor est analysé et la stabilité des composants est décrite. Dans un second temps, la résistance thermique de deux empilements GaN/Si est étudiée par caméra infrarouge. Les dimensions influentes du transistor sur la résistance thermique sont caractérisées pour cerner les enjeux du dimensionnement d'un transistor pour l'amplification de puissance avec un fort développement.

Les travaux présentés dans ce chapitre n'auraient pas été possibles sans les remarques pertinentes, les travaux antérieurs et les compétences avancées dans le domaine de : Erwan Morvan pour le design des composants et les interprétations des caractérisations électriques, Yveline Gobil et Sharon Hsu pour le développement et le suivi de fabrication des transistors, Matthew Charles pour l'épitaxie, Arnaud Anotta et Giovanni Romano pour la mise en place des routines de test électrique nous permettant d'accéder à une quantité importante de mesures statiques.

---

---

<b>1. Recuits cumulés en fin de fabrication .....</b>	<b>122</b>
a. Description de l'étude .....	122
b. Caractéristiques électriques après recuits successifs.....	123
i. Métaux et interconnexions.....	123
ii. Gaz d'électrons et contacts .....	124
iii. Transistors.....	127
c. Conclusion.....	129
<b>2. Résistance thermique d'empilements GaN sur silicium .....</b>	<b>130</b>
a. Description du protocole de mesure .....	130
b. Extraction de la résistance thermique .....	132
i. Transistor de référence .....	132
ii. Influence du développement ( $W_G$ ).....	133
iii. Influence de la longueur du plot de drain.....	134
iv. Influence du fractionnement .....	135
c. Conclusion.....	138
<b>3. Conclusion du chapitre.....</b>	<b>139</b>

---

---

# 1. Recuits cumulés en fin de fabrication

Les traitements thermiques sont largement utilisés au cours du procédé de fabrication pour activer les dopants [226], former des alliages au niveau des contacts ohmiques [97], améliorer l'interface au niveau du pied de grille [268] ou encore en fin de fabrication, pour stabiliser l'ensemble de la structure [269]. Cependant, nous avons vu au Chapitre 3 que ce budget thermique peut aussi dégrader la structure épitaxiale et influencer le transport des électrons.

La température influence également fortement la fiabilité du transistor. Ces augmentations de températures proviennent soit du transistor lorsqu'il dissipe de l'énergie en fonctionnement, soit des sources de chaleurs dans son environnement d'utilisation (composants électriques, moteur, rayonnements).

Dans la première partie de ce chapitre, nous étudions l'influence de recuits cumulés sur les performances électriques statiques d'une plaque en fin de procédé de fabrication. Les objectifs sont d'identifier une potentielle évolution des caractéristiques du transistor et d'observer la robustesse des différentes briques technologiques vis-à-vis de l'enchaînement des recuits et des mesures électriques. Ceci est une étude préliminaire, la technologie n'étant pas assez mature pour engager une étude de fiabilité plus approfondie.

## a. Description de l'étude

Cette étude est menée sur la plaque 2A présentée dans le Chapitre 3. Ce *wafers* possède l'empilement épitaxial réalisé au CEA Leti décrit au Chapitre 2. Le procédé de fabrication utilise le contact assisté par implantation silicium, lequel utilise un recuit d'activation des dopants à 1050°C sous N<sub>2</sub>. La brique d'isolation électrique des composants est réalisée par implantation d'ions Ar<sup>+</sup>. Elle est suivie de la formation du contact ohmique par damascène sur les poches implantées silicium. La cavité du pied de grille est formée en gravant les couches de passivation après la définition des motifs par lithographie électronique. La couche de SiN qui recouvre la barrière AlGaIn est gravée au temps (12 s) par une gravure faiblement sélective (voir Chapitre 3). Cette cavité est remplie par un empilement de TiN PVD / W CVD. Après polissage, la tête de grille et le premier niveau d'interconnexion sont fabriqués selon les procédés de fabrication décrits au Chapitre 2.

L'étude débute par la séquence de mesures électriques des PCM et des transistors en fin de procédé de fabrication. La plaque subit ensuite des enchaînements de recuit pendant 1h sous atmosphère de N<sub>2</sub> puis de mesure électrique. Les deux premiers recuits sont effectués à 400°C, le troisième à 450°C et le quatrième à 500°C. Au-delà de 500°C, les plots de mesure en aluminium sont susceptibles de fluer. Nous n'avons donc pas réalisé de recuit à des températures plus élevées pour limiter les risques de contamination métallique. Les tests électriques sont réalisés sur 21 sites distribués sur un rayon de 68 mm.

## b. Caractéristiques électriques après recuits successifs

### i. Métaux et interconnexions

La fabrication des différents niveaux métalliques répond aux contraintes de remplissage, de compatibilité à l'environnement de salle blanche ou encore, de minimisation des capacités résiduelles et des résistances d'accès. Ces motifs métalliques sont donc dimensionnés afin que leur résistance soit négligeable devant les résistances intrinsèques de la structure. Sur nos transistors de test, ces résistances parasites sont constituées des résistances du plot de mesure (métal 1), du métal ohmique et du via qui connecte ces deux niveaux métalliques (Figure 90a).

Sur la Figure 87a, on observe la résistance de couche du métal ohmique en fonction des différents recuits. Cette résistance est anormalement élevée ( $> 4 \Omega/\text{sq}$ ) et dispersée alors qu'une couche uniforme d'aluminium avec une épaisseur de 200 nm possède une résistance de couche qui peut descendre jusqu'à  $0,14 \Omega/\text{sq}$  en prenant une résistivité de  $2,7 \times 10^{-8} \Omega \cdot \text{m}$  [270]. L'écart entre la valeur visée et la valeur mesurée est due à un surpolissage du métal. Sur une structure damascène, le métal dans la cavité est consommé plus fortement au centre du motif que sur les bords, formant une cuvette (ou *dishing* en anglais). La dispersion des valeurs est influencée par le polissage qui est légèrement plus fort au bord de la plaque qu'au centre. Cependant, elle est surtout impactée par la déformation de la plaque sous les contraintes engendrées par l'épitaxie et le recuit d'activation des dopants silicium. A cause de cette déformation, il existe des variations topographiques sur la plaque et le polissage est moins marqué dans les creux que sur les bosses. Cette observation a permis d'adapter l'étape de polissage sur les lots suivants en diminuant le temps de procédé, les valeurs de résistance de couche sont comprises entre 0,25 et 0,6  $\Omega/\text{sq}$  en fonction de la déformation de la plaque. Malgré la forte dégradation intervenue à l'étape de polissage sur ce *wafer* 2A, la résistance de couche du métal reste largement inférieure à celle de la couche implantée n<sup>+</sup> (Figure 91b), la longueur de transfert du contact n'est donc pas (ou peu) impactée [271] (de l'ordre de 1  $\mu\text{m}$ ). De même, cette dégradation n'affecte pas les résistances d'accès du transistor. Après les 4 séquences de recuit et mesure, la valeur médiane augmente de 23 % à cause de la formation d'alliages métalliques entre les couches de titane du métal 1 et l'aluminium du contact ohmique notamment [216].

La résistance de couche du métal 1, déposé en fin de fabrication, est tracée en fonction des différents recuits sur la Figure 87b. Avant recuit, ce dépôt possède une résistance de  $21,3 \pm 1 \text{ m}\Omega/\text{sq}$  qui augmente jusqu'à  $24,5 \pm 2 \text{ m}\Omega/\text{sq}$ . Cette faible augmentation et l'excellente uniformité soulignent la qualité de ce dépôt métallique et de l'étape de gravure.

La résistance du métal de grille est également un paramètre important car elle impacte le fonctionnement en fréquence du transistor. L'étude de la résistance de grille sur cette plaque a été détaillée dans le Chapitre 3 avec la mise en évidence de la formation d'alliages intermétalliques entre aluminium et titane qui font augmenter la résistance du métal notamment à partir de 500°C. La couche de titane supérieure a donc été supprimée de l'empilement sur les lots suivants.



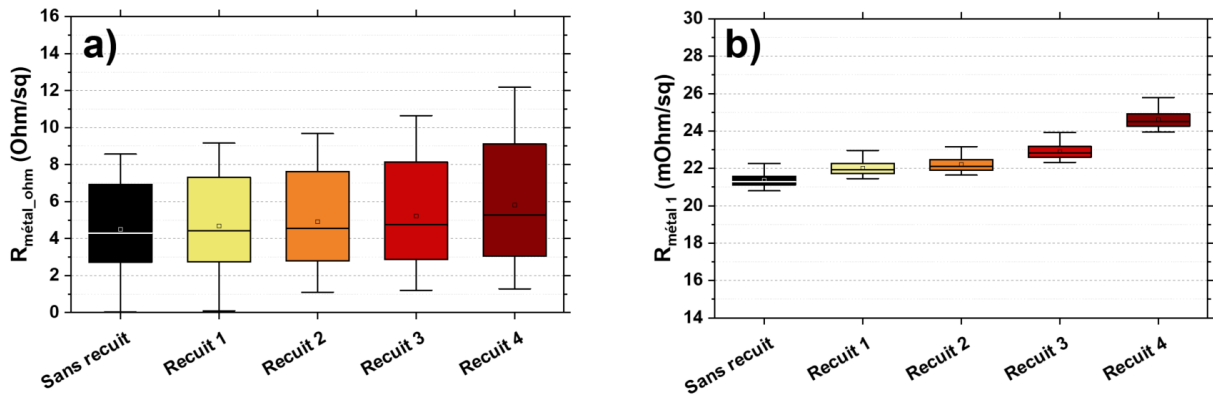


Figure 87 : Résistance de couche en fonction des différents recuits pour le métal des contacts ohmiques et pour le métal du premier niveau d'interconnexion.

Les vias permettent le contact électrique entre les différents niveaux de métal au travers des couches de passivation. Les vias du contact ohmique et de la grille présentent des tendances identiques au cours des recuits successifs (Figure 88). Après deux recuits à 400°C et un à 450°C, la variation est très faible (< 13 %) et la dispersion est stable. Après le dernier recuit à 500°C, on note une nette augmentation de la résistance du via de grille de 97 mΩ pour le via de grille et 319 mΩ pour le via ohmique même si ces valeurs restent négligeables devant la résistance du transistor à l'état passant. On remarque que les 21 points de mesure sont fonctionnels et que l'uniformité est très bonne. Hormis le problème de polissage du contact ohmique qui a été optimisé par la suite, l'analyse électrique de ces briques technologiques souligne l'excellent rendement et l'uniformité de ces procédés.

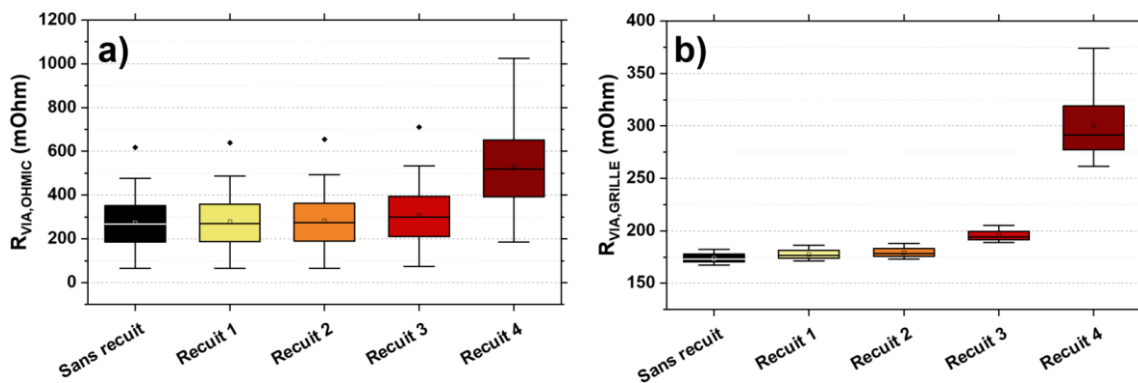


Figure 88 : a) Résistance unitaire de via ohmique extraite sur une chaîne de 14 vias. b) Résistance unitaire de via de grille extraite sur une chaîne de 64 vias.

## ii. Gaz d'électrons et contacts

Après avoir vérifié la qualité, l'uniformité et la stabilité du niveau d'interconnexion, cette deuxième partie s'intéresse à l'étude des contacts ohmiques et du gaz d'électrons. La caractéristique I-V d'un motif TLM d'une longueur équivalente au transistor est présentée sur la Figure 89a. Pour un souci de lisibilité, seules les courbes en fin de fabrication et après le 4ème recuit (500°C) sont tracées. On remarque que lors de la première mesure (courbes noires), plusieurs points dans la zone inférieure à 2 V présentent un caractère non-linéaire contrairement aux courbes après recuits et mesures successives (courbes rouges). Le courant extrait à  $V=1$  V pour chaque mesure est montré sur la Figure 89b et met en évidence la stabilisation du contact après une première mesure et un recuit à 400°C. Le courant médian sur 21 sites passe de 223 mA/mm à une valeur supérieure à

350 mA/mm. La dispersion est fortement réduite et les mesures entre le recuit 1 et le recuit 4 indiquent une très bonne stabilité. Du fait de ces non linéarités à faible tension en fin de fabrication, on ne discutera des valeurs de  $R_{\text{accès}}$  et  $R_{2\text{DEG}}$ , qui sont extraites en régime linéaire, qu'à partir du premier recuit.

Le régime de saturation est étudié sur la Figure 89c. La variation entre la première mesure et les suivantes est moins marquée dans cette gamme de tension. Il est possible que le fait de passer un courant plus important dans la structure permette de supprimer les éléments non linéaires observés à faible tension en modifiant l'interface entre le métal et le gaz d'électrons. On remarque que le courant en saturation à  $V=8$  V est inférieur à 1 A/mm pour toutes les mesures malgré l'absence de grille sur ce type de structure. Pour obtenir des performances d'amplification à l'état de l'art, le niveau de courant maximal dans la structure TLM doit être supérieur à 1,5 A/mm pour obtenir un courant de saturation supérieur à 1,3 A/mm sur les transistors. Comme discuté au Chapitre 3, la minimisation de la dégradation du 2DEG et la capacité du contact à passer un fort courant sont à améliorer.

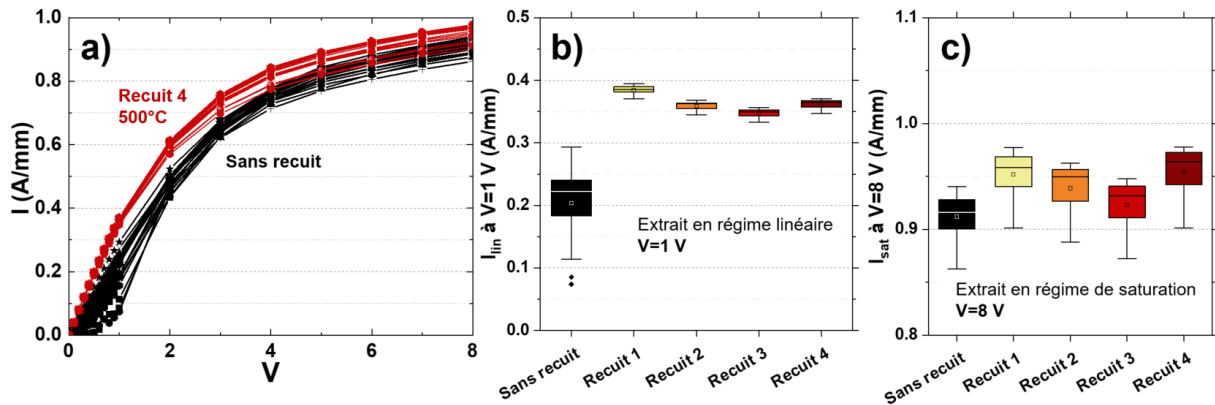


Figure 89 : a) Caractéristique I-V sur un motif TLM espacé de 1,5 µm en fin de fabrication et pour le recuit n°4. b) Courant extrait en régime linéaire (à V=1 V) sur le TLM espacé de 1,5 µm pour tous les recuits. c) Courant extrait en régime de saturation (à V=8 V) sur le TLM espacé de 1,5 µm pour tous les recuits.

Comme discuté dans le paragraphe précédent, les composantes résistives issues des niveaux métalliques sont négligeables devant les résistances internes du transistor. Dans le cas du contact implanté, la résistance d'accès est liée à la résistance entre le métal et le GaN dopé  $n^+$  ( $R_{C,n^+}$ ), à la résistance de la couche implantée ( $R_{n^+}$ ) ainsi qu'à la résistance de transition entre la zone implantée et le gaz d'électron ( $R_T$ ) (Figure 90a) :

$$R_{\text{accès}} = R_{C,n^+} + R_{n^+} + R_T \quad (21)$$

La résistance totale d'accès est présentée sur la Figure 90b. Après le premier recuit cette résistance vaut  $R_{\text{accès}}=0,64 \pm 0,05 \Omega.\text{mm}$ . Elle augmente jusqu'à atteindre  $0,75 \pm 0,07 \Omega.\text{mm}$  après le recuit à 450°C puis elle redescend à  $0,71 \pm 0,07 \Omega.\text{mm}$  après le recuit 4 à 500°C. Pour comprendre ces fluctuations et déterminer quelle composante prédomine dans cette résistance totale d'accès, nous étudions une structure TLM composée de contacts ohmiques métalliques séparés par du GaN dopé  $n^+$  de différentes longueurs. En traçant la résistance en fonction de la distance des contacts, on peut identifier  $R_{n^+}$  via la pente et  $R_{C,n^+}$  en déterminant l'ordonnée à l'origine. Ces grandeurs sont tracées en fonction des différents recuits sur la Figure 91. La résistance de contact en fin de procédé de fabrication est faible sur les 21 points de mesures avec une valeur de  $R_{C,n^+}=0,08 \pm 0,03 \Omega.\text{mm}$ . La modification des alliages à l'interface est probablement responsable

de la légère augmentation jusqu'à  $R_{C,n^+}=0,11 \pm 0,03 \Omega \cdot \text{mm}$  après le recuit 4. Cette composante reste donc inférieure à 16% du total du  $R_{\text{accès}}$ . La résistance de couche de la couche implantée silicium possède un comportement stable et uniforme avec une valeur  $R_{\text{sheet},n^+}=71 \pm 5 \Omega/\text{sq}$  soit  $R_{n^+}=0,035 \Omega \cdot \text{mm}$  dans le cas du transistor pour une longueur de 500 nm. La contribution de cette composante dans la résistance de contact est donc totalement négligeable. C'est un des avantages de cette approche pour former les accès, la couche implantée permet de déporter les métaux de source et de drain sans augmenter la résistance. On en déduit que la composante majoritaire du  $R_{\text{accès}}$  est la résistance dite de transition entre la couche implantée et le gaz d'électrons  $R_T$ . Comme discuté dans le chapitre 4, il est nécessaire d'optimiser cette brique technologique pour diminuer la résistance de couche et augmenter la capacité à passer un fort courant. En travaillant sur les conditions d'implantation notamment, nous avons pu diminuer la résistance d'accès jusqu'à  $R_{\text{accès}}=0,12 \pm 0,01 \Omega \cdot \text{mm}$  (non montré ici).

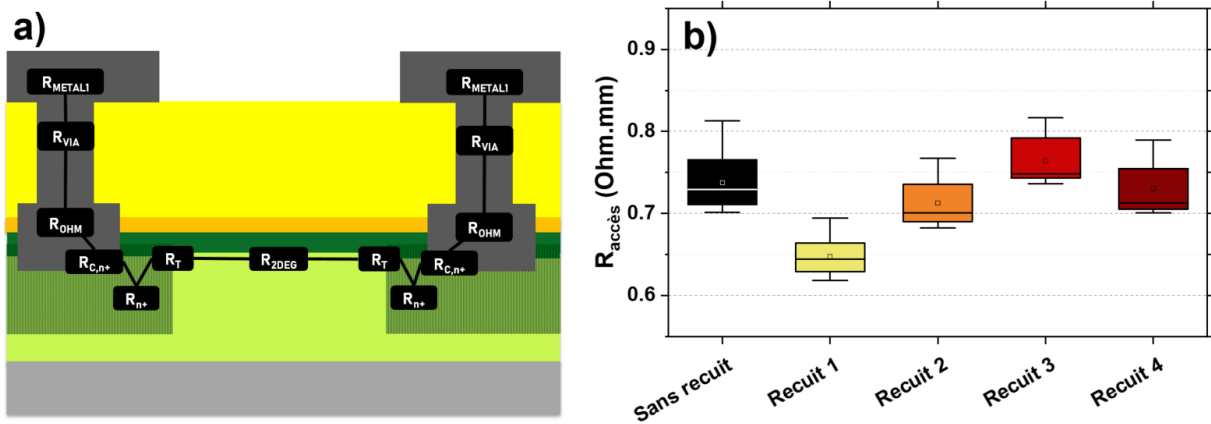


Figure 90 : a) Schéma représentant les différentes composantes de la résistance d'accès. b) Résistance totale des accès en fonction des différents recuits.

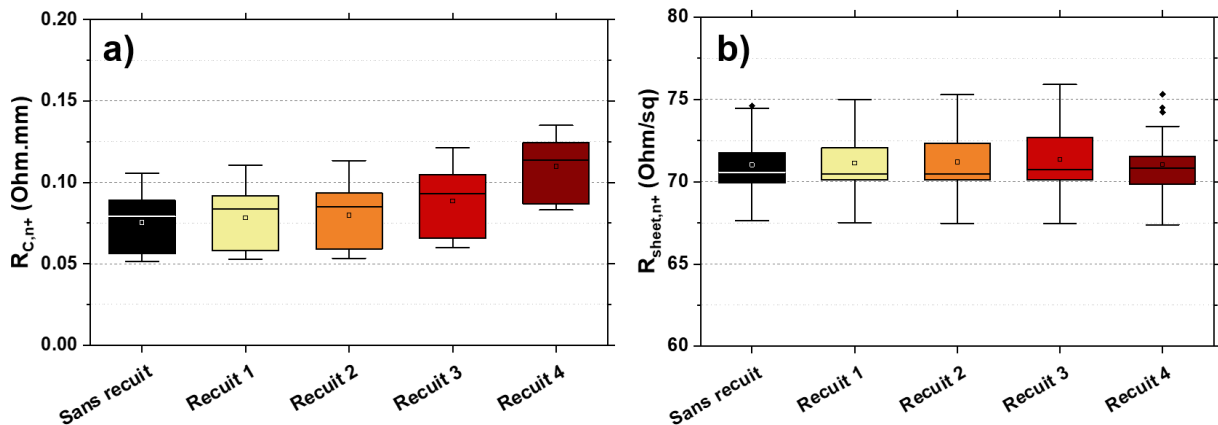


Figure 91 : a) Résistance de contact entre le métal ohmique et la couche implantée  $n^+$ . b) Résistance de la couche implantée  $n^+$ .

La résistance de couche du gaz d'électrons présente les mêmes valeurs selon l'extraction sur les structures TLM ou Van der Pauw. Cette tendance en fonction des différents recuits est représentée sur la Figure 92a. Après le recuit 1 on détermine  $R_{2\text{DEG}}=559 \pm 20 \Omega/\text{sq}$ . Comme analysé dans le Chapitre 3, cette valeur élevée est due à la dégradation du gaz d'électrons lors du recuit haute température d'activation des dopants silicium. Au cours des différentes séquences de recuit et de mesure, on observe des variations de l'ordre  $30 \Omega/\text{sq}$  sans tendance nette. Ces variations

pourraient indiquer la diffusion d'espèces dans l'empilement notamment l'aluminium de la *back-barrier* (voir Chapitre 3) ou encore d'autres atomes tels que l'hydrogène, l'oxygène ou le carbone qui sont présents dans les couches de passivations notamment. Il est intéressant de noter que  $R_{2DEG}$  suit les mêmes variations que la résistance de transition entre la couche implantée et le gaz d'électrons ce qui suggère que cette résistance parasite dépend de l'état électronique du 2DEG.

Finalement, les fuites à 100 V entre des plots de contacts séparés par 3  $\mu\text{m}$  dont 1  $\mu\text{m}$  implanté argon (Figure 46a) pour l'isolation électrique des composants sont présentées sur la Figure 92b. Le niveau de courant de fuite en fin de fabrication vaut  $0,45 \pm 0,1 \mu\text{A}/\text{mm}$ . Nous avons démontré que l'implantation silicium des contacts augmente ce niveau de fuite par rapport à un contact allié (Chapitre 3), cependant ce niveau reste suffisamment bas pour isoler électriquement les différents composants. Comme attendu [201], cette isolation ne présente aucune variation avec les traitements thermiques jusqu'à 500°C ainsi qu'une très bonne uniformité sur les 21 points de mesure.

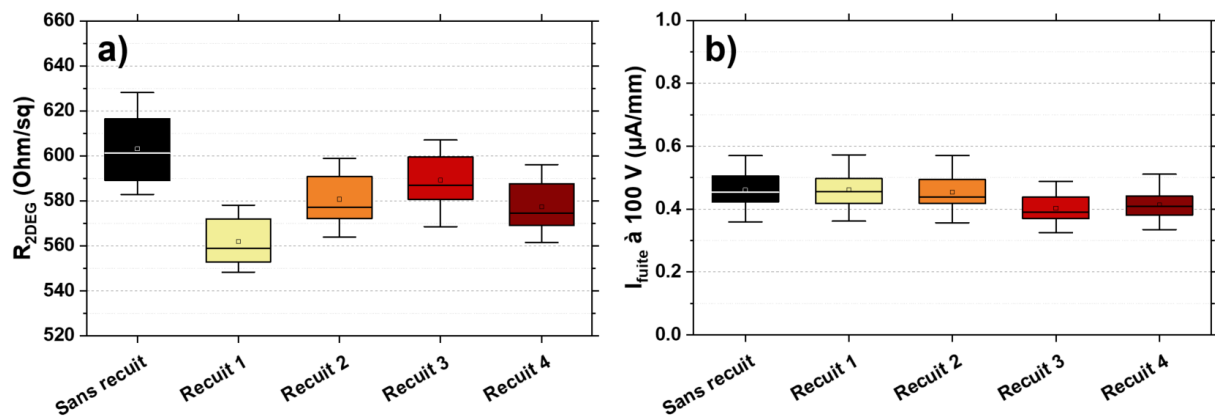


Figure 92 : a) Résistance de couche du gaz d'électrons extraite par la méthode TLM après les différents recuits. b) Fuites à 100 V entre deux contacts séparés par 3  $\mu\text{m}$  de distance dont 1  $\mu\text{m}$  implanté  $\text{Ar}^+$  pour l'isolation électrique pour tous les recuits.

### iii. Transistors

Les caractéristiques de transfert à  $V_{DS}=10 \text{ V}$  sur 21 sites de mesures d'un transistor ( $W_G=2 \times 35 \mu\text{m}$  ;  $L_G=150 \text{ nm}$ ,  $L_{GS}=0,3 \mu\text{m}$  ;  $L_{GD}=1 \mu\text{m}$ ) sont tracées après chaque recuit cumulé sur la Figure 93. En plus du budget thermique lié aux recuits successifs entre 400°C et 500°C, les transistors subissent à chaque étape 4 tests : deux caractéristiques de transfert  $I_D-V_G$  à  $V_{DS}=0,5 \text{ V}$  et 10 V ; une caractéristique  $I_D-V_D$  jusqu'à 10 V et  $V_G$  de -4 V à +1 V ; une caractéristique en blocage à  $V_G=-5 \text{ V}$  et  $V_{DS}$  de 0 à 100 V.

En première observation, les 105 courbes présentées sur ce graphique soulignent une excellente superposition des mesures successives. Aucun transistor n'est défaillant après les 4 recuits et les 5 séquences de test électrique.

Au niveau du courant de grille (triangle) en direct ( $V_G > 1 \text{ V}$ ), on note un point de mesure avec une injection différente. Il correspond à la puce au centre de la plaque donc cette variation pourrait être induite par les étapes de gravure des passivations sur la gravure AlGaIn au pied de grille puisque ces gravures sont légèrement plus rapides au centre qu'au bord de la plaque. En observant le courant tracé en échelle logarithmique, les fuites en blocages, la zone du pincement et

le courant en saturation ont des tendances très similaires sur les mesures successives. Les graphiques de la Figure 94 analysent en détail ces grandeurs entre chaque étape.

La tension de pincement, définie comme la tension atteinte lorsque le courant est 100 fois inférieur au courant à  $V_G=0$  V, décroît très légèrement en valeur médiane de -0,22 V à -0,29 V (Figure 94a). Dans l'incertitude de la dispersion sur les 21 points de mesure, cette variation est quasiment négligeable. La tendance inverse est observable sur le courant de saturation extrait à  $V_G=+2$  V (Figure 94b) avec  $I_{D,max}$  qui passe de  $666 \pm 80$  mA/mm en fin de fabrication à  $706 \pm 80$  mA/mm après le dernier recuit à 500°C. Ces faibles variations sont également cohérentes avec l'évolution de la résistance faible champ du gaz d'électrons étudiée dans la partie précédente (Figure 92a). Finalement l'unique évolution claire des caractéristiques des transistors au cours des mesures successives concerne les courants de fuites en régime de pincement. Sur la Figure 94c, la distribution du courant de grille à  $V_G=-4$  V indique  $I_{G,fuite}=7 \pm 5$   $\mu$ A/mm à la fin de la fabrication. Les fuites et leur dispersion augmentent entre chacun des recuits pour atteindre  $23 \pm 10$   $\mu$ A/mm. Cette multiplication par 3 du niveau de fuite pourrait s'expliquer par une modification de l'interface de grille à cause du budget thermique ou par un vieillissement du composant à cause des mesures successives notamment la mesure en blocage qui stresse fortement la jonction grille-drain. Sur ce graphique, on remarque également que le point correspondant à la puce centrale présente un niveau de fuite plus élevé. Cette observation est cohérente avec la différence concernant l'injection de grille. Elle souligne également le lien entre sur-gravure et les défauts générés qui ont été étudiés au Chapitre 3 et qui pourraient influencer les fuites dans ce cas.

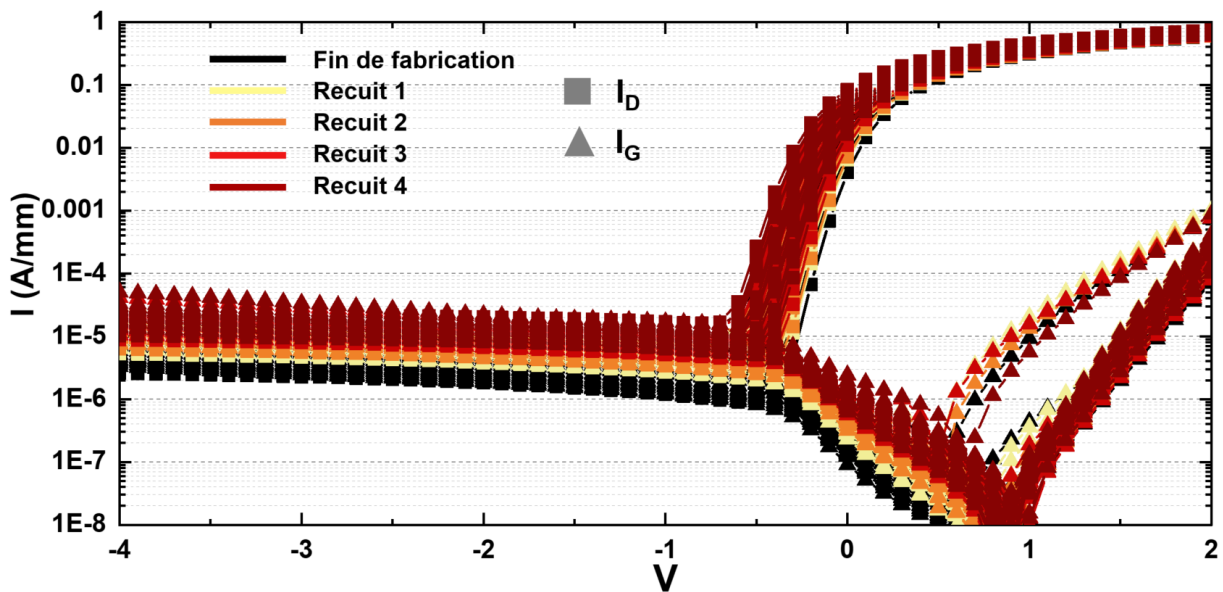


Figure 93 : Caractéristique de transfert  $I_D$ - $V_G$  à  $V_{DS}=10$  V d'un transistor ( $W_G=2 \times 35$   $\mu$ m ;  $L_G=150$  nm,  $L_{GS}=0,3$   $\mu$ m ;  $L_{GD}=1$   $\mu$ m) sur 21 sites mesurés entre chacun des recuits cumulés soit 105 courbes.

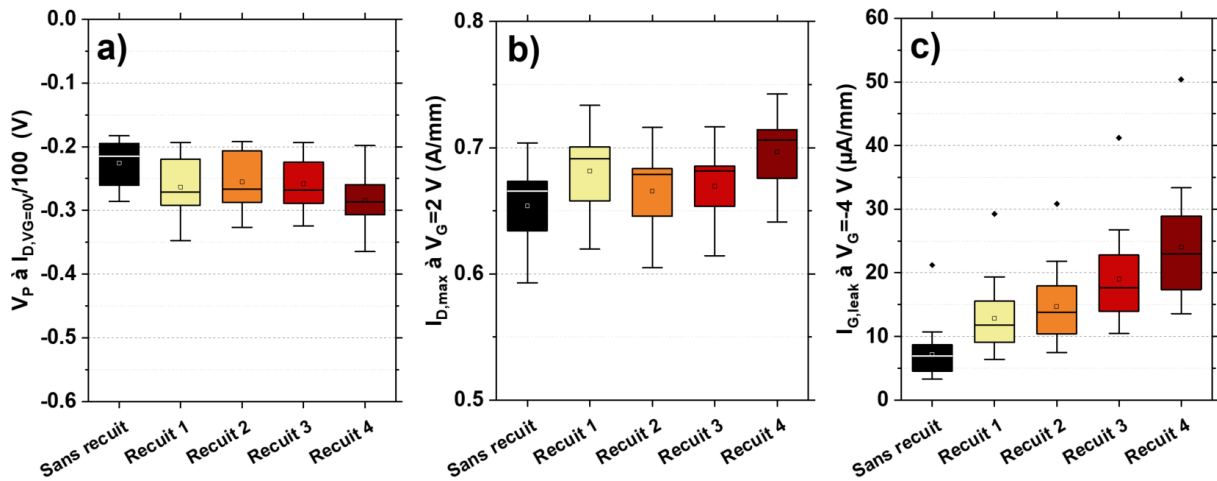


Figure 94 : a) Tension de pincement définie comme la tension atteinte pour un courant égal au courant à  $V_G=0$  V divisé par 100. b) Courant de drain maximal à  $V_G=2$  V. c) Courant de fuite de grille à  $V_G=-4$  V.

### c. Conclusion

Au cours de la première partie de ce chapitre, nous avons étudié la stabilité de nos transistors vis-à-vis de recuits entre 400°C et 500°C et de mesures électriques successives. Hormis pour le métal ohmique dégradé par un sur-polissage, les structures PCM indiquent d'excellents rendement, uniformité et stabilité jusqu'à la troisième étape (recuit à 450°C). A partir de 500°C, on note une augmentation des résistances des niveaux d'interconnexion sous la diffusion des atomes de titane et d'aluminium et la formation d'alliage. Les structures TLM mettent en évidence les excellentes uniformité et stabilité de la couche implantée silicium ainsi que les légères variations de la résistance d'accès qui est gouvernée par la résistance de transition entre la couche implantée et le gaz d'électrons. Après une mesure et un recuit, on note également une stabilisation du régime linéaire de la caractéristique courant-tension sur le TLM. Finalement les caractéristiques de transferts des 21 puces mesurées au cours des enchainements recuit/mesure n'indiquent aucune amélioration des performances mais elles démontrent la robustesse de ces composants avec uniquement une augmentation des fuites de grille en blocage jusqu'à 23  $\mu A/mm$ . Cette étude ouvre la porte à des tests de fiabilité plus poussés et à la réalisation d'analyse similaires sur des lots plus performants décrits aux Chapitres 3 et 4.

## 2. Résistance thermique d'empilements GaN sur silicium

Les travaux présentés dans cette seconde partie ont été possibles grâce à l'aide précieuse et les compétences avancées de Nicolas Defrance et Vanessa Avramovic pour la caractérisation par caméra thermique.

Grâce aux propriétés physiques du matériau, les transistors à base de GaN démontrent des densités de puissance et des rendements d'amplification intéressants pour les applications radiofréquence. Malgré ces rendements importants, la puissance dissipée par effet Joule dans le transistor est élevée et elle se détermine, en fonctionnement RF, par la relation rappelée ci-dessous :

$$P_{diss} = P_{DC} (1 - PAE) \text{ avec } PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (22)$$

L'augmentation de la température du transistor est généralement défavorable avec une augmentation de la résistance du gaz d'électrons et une diminution de  $v_{sat}$  qui dégradent les performances [272], [273]. De plus, la température de fonctionnement du transistor impacte sa durée de vie [274], [275]. Pour limiter cette influence, les circuits intégrés sont conçus avec des matériaux qui dissipent l'énergie thermique [276], [277] et la résistance thermique du transistor doit être la plus faible possible pour que la chaleur soit évacuée efficacement vers ces dissipateurs thermiques. C'est un des éléments qui pénalise en théorie les technologies GaN/Si par rapport aux technologies GaN/SiC car à température ambiante, la conductivité thermique du SiC est trois fois supérieure à celle du silicium. Cependant cette différence diminue lorsque le substrat est à la température de fonctionnement [10] et les nombreuses couches de l'empilement épitaxial de GaN jouent également un rôle majeur dans la résistance thermique en raison de la constriction du flux de chaleur sous la grille. Le choix de la nature des couches de l'épitaxie et de leurs interfaces doit donc répondre aux problématiques de conductivité thermique de l'empilement en plus de la gestion des contraintes mécaniques et de l'optimisation des performances électriques.

Dans cette partie nous caractérisons la résistance thermique de deux empilements GaN sur Si à l'aide d'une caméra thermique pour déterminer si la fabrication de transistor GaN/Si compatibles CMOS pour l'amplification de puissance radiofréquence présente un désavantage notable vis-à-vis des substrats SiC concernant la dissipation de la chaleur.

### a. Description du protocole de mesure

Les plaques sont aspirées sur un support chauffant avec 4 pointes pour polariser le transistor. A l'aplomb de l'échantillon est positionnée une caméra infrarouge QFI InSb refroidie à l'azote liquide. Le retrait du bruit thermique est réalisé en fermant l'obturateur devant la caméra avant de mesurer le signal dans le « noir ». Après avoir placé les pointes sur les plots de mesure, une acquisition est réalisée sans aucune polarisation, afin de calibrer les émissivités des matériaux. Le transistor est ensuite polarisé en régime de saturation par des tensions statiques faisant augmenter la température de la jonction grille-drain où le champ électrique est le plus fort. La puissance dissipée est donnée par la relation :

$$P_{diss} = V_{DS} \cdot I_{DS} = \frac{\Delta T}{R_{th}} \quad (23)$$



Dans notre configuration, nous extrayons la résistance thermique entre la jonction et le support. La température maximale de la jonction est ensuite estimée de l'image infrarouge (Figure 95a) pour différentes conditions de polarisation, c'est-à-dire pour différentes puissances dissipées. Il faut garder à l'esprit que cette méthode sous-estime la température maximale atteinte entre grille et drain. En traçant la température mesurée en fonction de la puissance dissipée, on peut déterminer la résistance thermique de notre structure en extrayant la pente (Figure 95c). Pour augmenter l'émission lumineuse et donc la précision de la mesure, le support situé sous la plaque est chauffé à 70°C. Cependant, on remarque sur la Figure 95c que la résistance thermique extraite (i.e. la pente) augmente lorsque la température du support est plus élevée. Cette observation est cohérente avec le fait que la conductivité thermique des matériaux décroît lorsque la température augmente, faisant ainsi augmenter la résistance globale de l'empilement. Il est donc important de noter que les conditions de mesure avec le support à 70°C permettent une caractérisation plus précise mais elles surestiment la résistance thermique. A l'inverse, l'empilement au-dessus du canal, composé par la barrière AlGaIn et les couches de passivations (SiN 30 nm et SiO<sub>2</sub> ~2 µm), est susceptible d'absorber une partie des rayonnements IR émis par le point chaud. La température déterminée à partir du signal reçu par la caméra est donc potentiellement sous-estimée. Sur les courbes de la Figure 95c, l'ordonnée à l'origine correspond à la température sans dissipation thermique et on note une bonne cohérence avec la température du support moins 6 ou 7 degrés. Cette différence peut s'expliquer par la dissipation thermique par le haut de la structure qui abaisse la température mesurée par la caméra thermique ainsi qu'à l'incertitude sur la régression.

Dans cette étude, les plaques 3B et Ext 1, déjà présentées dans les Chapitres 3 et 4, sont caractérisées. Elles possèdent des empilements épitaxiaux différents puisque 3B provient d'une épitaxie interne et Ext 1 présente l'empilement du fournisseur externe avec barrière AlGaIn 15 nm (voir Chapitre 2). Nous étudions 8 transistors différents qui présentent des variations de développement de grille  $W_G$ , de longueur du plot de drain (ou *pitch*) et de fractionnement de la zone active en plusieurs parties (Figure 95b).

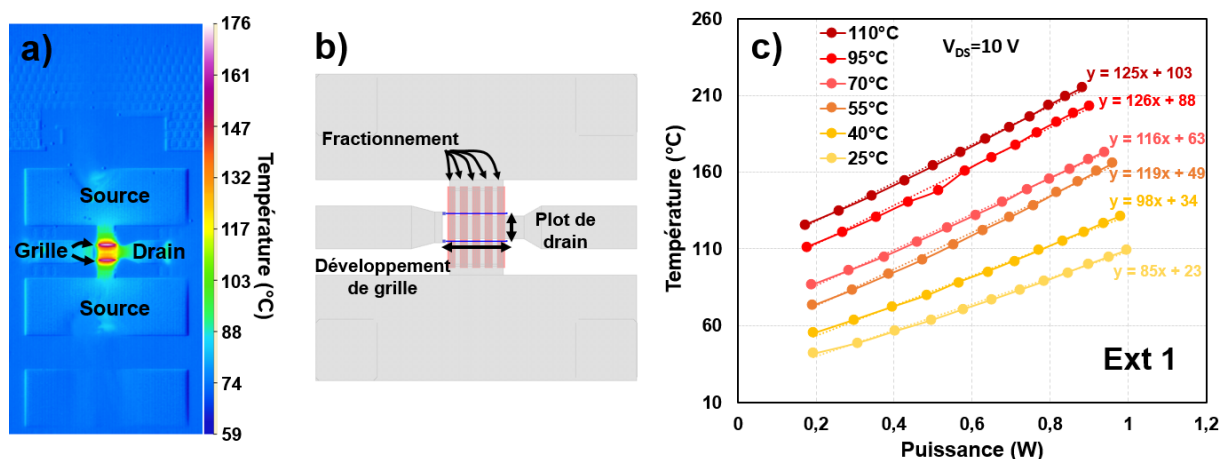


Figure 95 : a) Image en caméra infrarouge d'un transistor en fonctionnement vu de dessus. b) Schéma vu de dessus des différents paramètres influents sur la résistance thermique. c) Courbe de la température maximale mesurée en fonction de la puissance dissipée pour différentes températures du support.

## b. Extraction de la résistance thermique

### i. Transistor de référence

L'équation 23 indique que pour faire varier la puissance, on peut augmenter  $V_{DS}$  ou  $I_{DS}$ . En configuration transistor, on peut donc faire varier la tension de drain  $V_{DS}$  ou la tension de grille  $V_{GS}$  qui permet de piloter le courant  $I_{DS}$ . Sur la Figure 96a, on observe la caractérisation d'un transistor de référence ( $W_G=2 \times 50 \mu\text{m}$  ;  $L_G=150 \text{ nm}$  ;  $L_{GS}=0,8 \mu\text{m}$  ;  $L_{GD}=1,5 \mu\text{m}$ ) de la plaque Ext 1 en faisant varier  $V_D$  et  $V_G$ . Sur le balayage en  $V_G$  (courbe bleue foncée), on note une bonne linéarité entre 0,2 et 0,8 W avec une résistance thermique extraite qui vaut 114 K/W soit 11,4 K/(W/mm) en normalisant par le développement du transistor. A l'inverse, le balayage en  $V_{DS}$  présente deux régimes distincts pour des valeurs inférieures ou supérieures à 0,5 W de puissance dissipée. Cette non-linéarité peut s'expliquer par le fait qu'en augmentant la tension de drain, le champ électrique dans la jonction grille-drain évolue donc, la répartition des porteurs sous la grille est également modifiée. Ce sont les interactions entre ces porteurs et le cristal qui créent la source de chaleur. La modification de la polarisation de drain est donc susceptible de modifier la répartition du point chaud dans la structure. Si la forme de la source de chaleur varie, la dissipation dans l'empilement change aussi. La résistance thermique extraite est donc différente. Avec cette observation, nous déterminons la résistance thermique des différents transistors en faisant varier la tension de grille.

La caractérisation de deux transistors de la plaque 3B est montrée sur la Figure 96b. On note aussi une bonne linéarité entre 0,2 et 0,8 W permettant d'extraire la résistance thermique de l'empilement. Les résultats sont identiques sur les deux puces et mettent en évidence la reproductibilité des résultats. La résistance thermique extraite sur cette plaque vaut  $R_{TH}=133 \text{ K/W}$  ou 13,3 K/(W/mm). Cette mesure met en évidence l'influence de l'empilement épitaxial pour dissiper la chaleur. En plus des couches de nucléations, ces deux plaques possèdent une barrière de confinement différente. Sur la plaque 3B il existe une interface avec une couche d'AlGaIn sous le canal alors que sur Ext 1, la *back-barrier* est constituée par du GaN dopé au carbone. Il est probable que la présence de cette interface GaN/AlGaIn impacte négativement la résistance thermique de l'empilement 3B.

En réutilisant les valeurs extraites de la caractérisation large-signal de la plaque Ext 1 et en les injectant dans l'équation 23, on détermine qu'au maximum de PAE l'énergie dissipée dans le transistor vaut 0,12 W. Avec les mêmes performances, le transistor de la plaque 3B, qui possède une résistance thermique plus élevée de 19 K/W serait à une température plus élevée de 2,2°C. Cette différence est faible mais pour l'amplification de puissance les transistors auraient un développement total et une polarisation de drain plus élevés. Cet écart de température serait donc plus marqué. Il ne faut donc pas négliger l'importance d'optimiser la dissipation thermique pour ne pas dégrader les performances et la fiabilité des transistors.

Il est difficile de comparer directement ces valeurs avec les valeurs de la littérature en raison de la diversité de méthodes de caractérisations, des dimensions différentes de transistors ( $W_G$ ,  $L_G$ ), des conditions de polarisation et de la présence ou non de dissipateurs thermiques. Cependant on peut noter que les travaux de Kuzmik et al. [278] et de Martin-Horcajo et al. [279] sur des transistors GaN/Si avec des dimensions proches montrent, par des mesures électriques et des modèles, des résistances thermiques 2 à 3 fois supérieures. Sur des technologies MMIC GaN/SiC matures, des valeurs de résistances thermiques plus faibles ont été démontrées [251], [280]–[282] mais les procédés

employés après la fabrication des transistor pour évacuer la chaleur jouent un rôle important dans ces caractérisations [276], [277]. Pour se comparer à ces technologies, la fabrication de l'ensemble des composants actifs et passifs du circuit intégré monolithique ainsi que l'amincissement du substrat et l'utilisation de dissipateurs thermiques sont nécessaires.

Si on a vu une différence entre deux épitaxies du fait de la variation de la nature des couches et des interfaces [283], cette caractérisation par caméra infrarouge met en évidence qu'il n'existe pas de problème particulier concernant la résistance thermique de ces empilements GaN/Si pour les applications d'amplification de puissance RF.

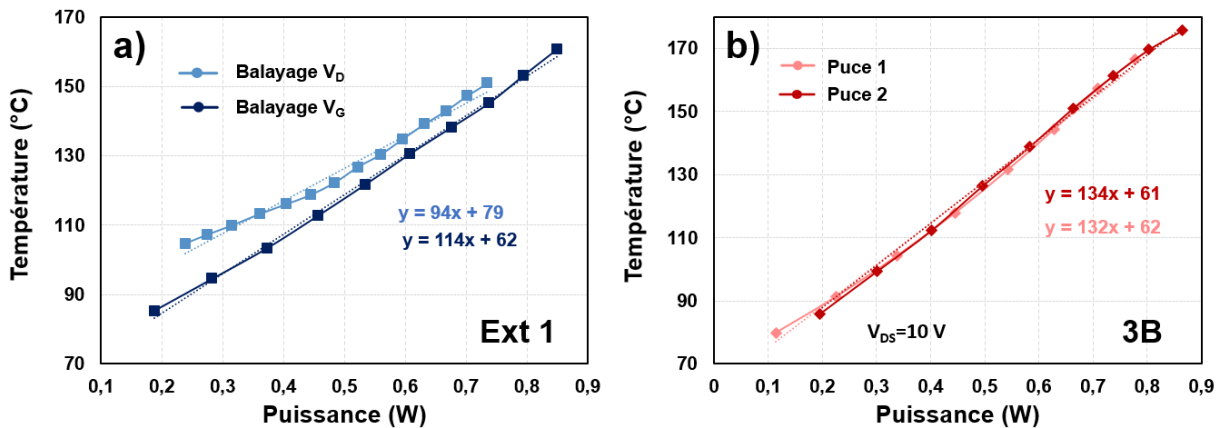


Figure 96 : a) Caractéristique de la température maximale mesurée en fonction de la puissance dissipée en balayant la tension de drain ou de grille sur la plaque Ext 1 ( $W_G=2 \times 50 \mu\text{m}$ ). b) Courbe température maximale mesurée en fonction de la puissance dissipée sur 2 puces de la plaque 3B ( $W_G=2 \times 50 \mu\text{m}$ ).

## ii. Influence du développement ( $W_G$ )

La zone au centre du doigt de grille est la plus chaude [284] car elle subit l'influence de l'échauffement de toutes les autres parties de la grille qui l'entourent. A puissance dissipée équivalente, plus le développement est long et plus la température maximale de la jonction grille-drain est élevée. La dépendance de la température maximale de jonction suit une loi en l'inverse de la racine carrée de  $W_G$  [285]–[287]. Lors de la conception d'un transistor de puissance, le compromis entre le nombre de doigts et leur largeur pour atteindre la puissance brute visée doit donc prendre en compte les aspects thermiques.

Pour vérifier la validité de notre extraction, nous avons mesuré trois autres transistors avec deux doigts de grilles mais avec des développements de  $35 \mu\text{m}$ ,  $75 \mu\text{m}$  et  $100 \mu\text{m}$ . Les résultats sur la plaque 3B sont présentés sur la Figure 97a. Comme attendu, plus le développement est grand plus la résistance thermique, est faible puisque la section du cône par lequel la chaleur se disperse augmente. Hormis un point de la courbe du transistor  $W_G=100 \mu\text{m}$ , les caractéristiques présentent une bonne linéarité sur le balayage en  $V_G$ . En prenant la valeur extraite pour un développement de  $2 \times 50 \mu\text{m}$  ( $R_{TH}=133 \text{ K/W}$ ), on peut estimer la résistance thermique des autres développements en suivant une loi en racine carrée. Pour  $W_G=2 \times 100 \mu\text{m}$ , on déduit  $R_{TH}=94 \text{ K/W}$ , ce qui est dans un ordre de grandeur cohérent avec la valeur extraite expérimentalement ( $R_{TH}=86 \text{ K/W}$ ).

Sur la Figure 97b, la caractérisation sur la plaque Ext 1 est montrée. La tendance de la température en fonction de la puissance dissipée présente une très bonne linéarité sur cette plaque également. La tendance du  $R_{TH}$  en fonction du  $W_G$  est cohérente avec des valeurs plus faibles pour toutes les topologies que sur le wafers 3B. Cette observation vient conforter la caractérisation sur

le transistor de référence qui a démontré un empilement avec une résistance thermique plus faible sur Ext 1. La dépendance de la résistance thermique avec le développement total de grille implique que la variation entre les  $R_{TH}$  extraites sur 3B et Ext 1 est encore plus marquée sur les développements courts, utilisés à haute fréquence. En effet, pour  $W_G=2 \times 35 \mu\text{m}$  on détermine entre les deux plaques  $\Delta R_{TH}=25 \text{ K/W}$ , mettant en évidence la moins bonne conductivité thermique des couches sur 3B, notamment la barrière de confinement en AlGaIn qui est proche de la source de chaleur.

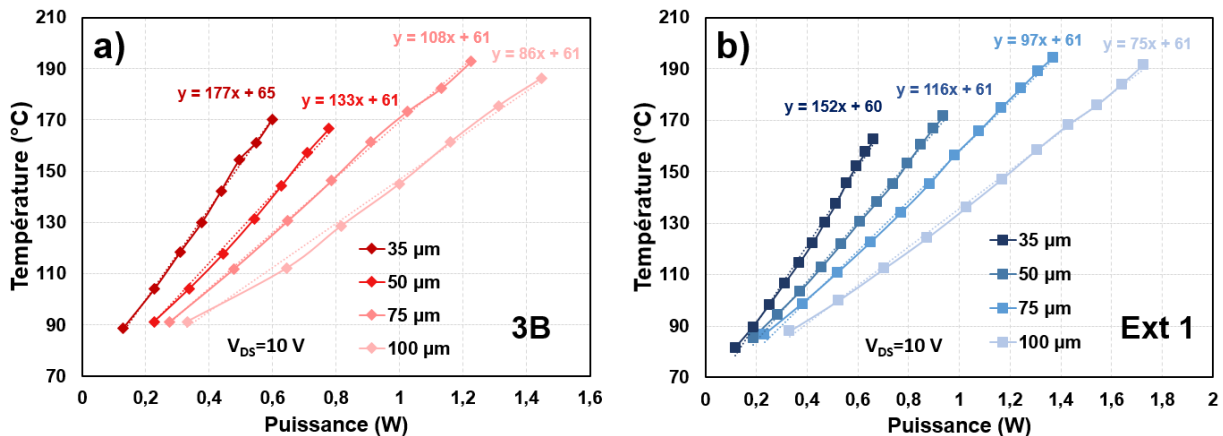


Figure 97 : Caractéristique de la température maximale mesurée en fonction de la puissance dissipée pour plusieurs développements de grille a) sur la plaque 3B et b) sur la plaque Ext 1.

### iii. Influence de la longueur du plot de drain

La taille du plot de drain détermine la distance entre les doigts de grille. Plus le plot de drain est court et plus le recouvrement entre les cônes de chaleur des différents doigts est grand. Cet effet de proximité est donc négatif sur la température du transistor en fonctionnement mais la réduction de cette distance présente l'intérêt de fabriquer des transistors multi-doigts plus compacts.

Sur le transistor de référence l'espacement vaut  $34 \mu\text{m}$  que nous comparons avec deux autres espacements de  $22 \mu\text{m}$  et  $46 \mu\text{m}$ . Pour la plaque 3B (Figure 98a), l'effet de proximité entre les doigts de grille est bien visible avec une réduction de la résistance thermique lorsque la distance entre les doigts augmente. Cette résistance thermique passe de  $118 \text{ K/W}$  avec un espacement de  $46 \mu\text{m}$  à  $151 \text{ K/W}$  pour la distance la plus courte ( $22 \mu\text{m}$ ). En reprenant les performances de Ext 1 en caractérisation large-signal ( $P_{DC}=0,02 \text{ W}$  ;  $PAE=41\%$ ), cet écart induirait une variation de température maximale de  $3,9^\circ\text{C}$  sur ces deux transistors. Là encore, cette variation est faible mais si on suppose la même performance large-signal sur un transistor avec 6 doigts en parallèle et une polarisation de drain de  $20 \text{ V}$ , l'écart de température serait supérieur à  $23^\circ\text{C}$ . Cela souligne les compromis à trouver entre le fonctionnement optimal du transistor et son encombrement.

Concernant la plaque Ext 1, le rapprochement de  $34 \mu\text{m}$  à  $22 \mu\text{m}$  entre les deux grilles implique une augmentation de  $+18 \text{ K/W}$  de la résistance thermique. Cependant le transistor avec un espacement plus grand ( $44 \mu\text{m}$ ) ne présente aucune amélioration par rapport au transistor de référence. Cela met en évidence que la chaleur se répartie différemment sur cet empilement et que le recouvrement des sources de chaleur est déjà négligeable pour un espacement de  $34 \mu\text{m}$ .

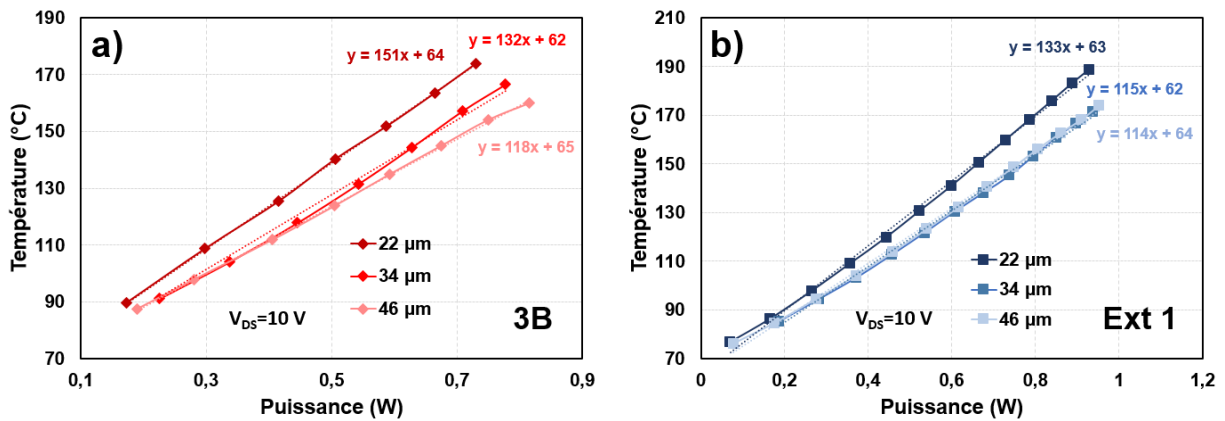


Figure 98 : Caractéristique température maximale mesurée en fonction de la puissance dissipée pour plusieurs largeurs de plot de drain a) sur la plaque 3B et b) sur la plaque Ext 1.

#### iv. Influence du fractionnement

Nous avons vu dans la deuxième partie que l'échauffement est plus fort sur les grilles avec un grand développement à cause de la proximité des différentes sources de chaleur réparties le long de la grille. L'utilisation de l'implantation argon pour isoler électriquement permet de facilement fractionner le canal en plusieurs morceaux de zone active séparé par de l'isolation (Figure 95b). Ainsi les points chauds sont espacés et l'auto-échauffement est minimisé. Le désavantage de cette technique provient du fait que pour une même largeur de zone active, le doigt de grille est rallongé de la distance des zones implantées argon. Un doigt plus long implique notamment une résistance de grille plus élevée qui peut impacter le fonctionnement en fréquence du transistor.

Nous comparons le transistor de référence avec deux transistors fractionnés. Le premier avec deux zones actives de 25 μm séparées par 25 μm d'isolation Ar<sup>+</sup> et le second avec 5 zones actives de 10 μm séparées de 6,25 μm (Figure 95b).

La caractérisation de ces structures est observable en Figure 99. Pour les deux plaques, les transistors fractionnés possèdent une pente moins importante donc une résistance thermique plus faible. La séparation en plusieurs sources de chaleur et leur espacement permettent de minimiser le recouvrement de la zone dans laquelle l'énergie thermique se dissipe. Sur la plaque 3B (Figure 99a) qui présente l'empilement thermique le moins favorable, le fractionnement en deux zones actives de 25 μm permet une diminution de R<sub>TH</sub> de 15 %. Comme nous l'avons vu en partie ii, la température maximale de jonction dépend de la racine du développement. Il est donc logique d'observer une diminution de 39 % de la résistance thermique (81 K/W) lorsqu'on utilise des zones actives plus courtes (5x10 μm).

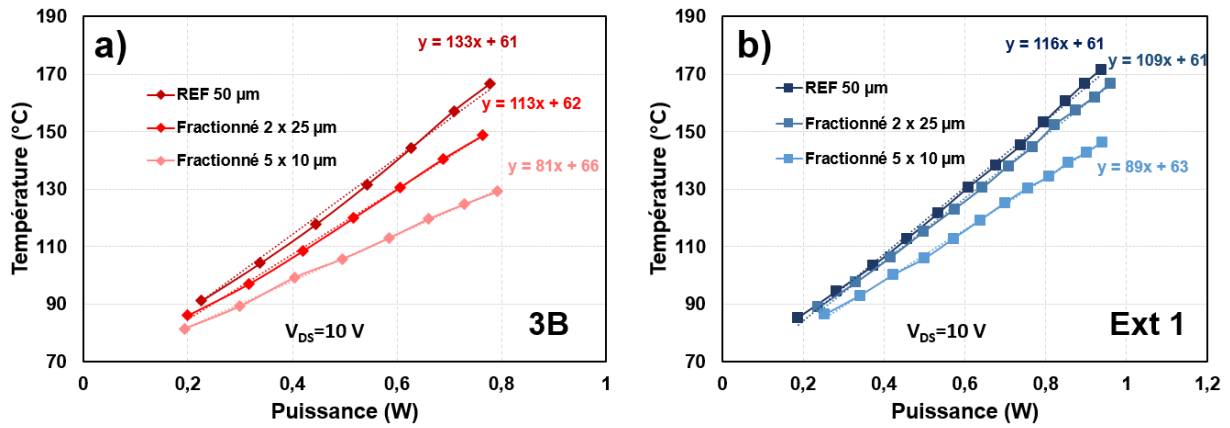


Figure 99 : Caractéristique de la température maximale mesurée en fonction de la puissance dissipée pour différents fractionnements a) sur la plaque 3B et b) sur la plaque Ext 1.

Sur la plaque Ext 1 (Figure 99b), la répartition de la chaleur est différente dans l'empilement et l'influence du fractionnement est moins marquée que sur 3B. La séparation en deux zones actives de 25  $\mu\text{m}$  n'induit qu'une diminution de 6 % de  $R_{\text{TH}}$ . Comme précédemment, le fractionnement en zones actives plus fines est plus efficace avec une diminution de 23 % pour atteindre 89 K/W soit 8,9 K/(W/mm). Il est intéressant de noter que sur toutes les structures compactes vues précédemment, la plaque 3B possède un  $R_{\text{TH}}$  plus élevé que Ext 1. Alors que sur les transistors fractionnés, la répartition différente du cône de chaleur sous le transistor induit des résistances thermiques quasiment identiques sur les deux empilements.

Si le fractionnement a démontré une influence significative sur la résistance thermique de l'empilement en séparant les sources de chaleurs, sa mise en place peut également impacter les performances électriques en modifiant la résistance de grille ( $W_G$  plus long pour une même largeur active) et les capacités entre la grille et le canal. L'analyse du temps de transit des électrons sous la grille détaillée dans le chapitre 4 a été réalisée sur un transistor de référence et sur le transistor fractionné en 5x10  $\mu\text{m}$ . On rappelle les relations :

$$f_T = \frac{1}{2\pi\tau_{\text{total}}} \quad (24)$$

$$\tau_{\text{total}} = \frac{(C_{GS} + C_{GD})}{g_{m,\text{int}}} + (R_S + R_D) \cdot C_{GD} + \frac{(C_{GS} + C_{GD})(R_S + R_D) \cdot g_D}{g_{m,\text{int}}} = \tau_{\text{int}} + \tau_C + \tau_{\text{drain}} \quad (25)$$

L'extraction des différentes composantes est montrée sur la Figure 100. A  $V_{\text{DS},q}=10$  V, la fréquence de coupure  $f_T$  passe de 60 GHz sur la référence à 53 GHz sur le transistor fractionné (Figure 100a). Cette diminution du  $f_T$  a été confirmée à  $V_{\text{DS},q}=10$  V sur 3 autres puces avec un écart moyen de 5 GHz. Cette variation est relativement faible (~8 %) mais elle indique une influence du fractionnement sur le fonctionnement du transistor. En analysant les différentes composantes de l'équation 25, on observe que les composantes  $\tau_{\text{int}}$  et  $\tau_{\text{drain}}$  sont supérieures sur le transistor fractionné alors que la composante  $\tau_C$  est plus faible (Figure 100). L'extraction de la transconductance extrinsèque sur 21 transistors montre que  $g_{m,\text{ext}}$  vaut  $395 \pm 5$  mS/mm sur le transistor fractionné contre  $425 \pm 10$  mS/mm sur le transistor de référence. Cette diminution de 7 % de la valeur de  $g_{m,\text{ext}}$  sur la structure fractionnée explique que les valeurs extraites de  $\tau_{\text{int}}$  et  $\tau_{\text{drain}}$  soient plus élevées. Cependant, cette variation n'est pas attendue. La précision des étapes de lithographie et d'implantation  $\text{Ar}^+$  écartent l'hypothèse d'une zone active plus courte que celle dessinée sur la structure fractionnée. Les hypothèses les plus probables sont donc la génération de

défauts qui impactent le transport en bordure de zone implantée Ar<sup>+</sup> et qui sont plus visibles sur le transistor avec plusieurs bandes implantées, ou à une contrainte dans le cristal engendrée par l'implantation Ar<sup>+</sup> qui modifie le transport dans les bandes de 5 μm de zone active. En analysant l'expression de  $\tau_c$ , la valeur inférieure d'environ 2 ps sur la structure fractionnée peut s'expliquer par un effet d'auto-échauffement plus faible sur ce transistor. Si la température est plus basse, la résistance de couche du gaz d'électron est plus faible et la résistance de contact peut également être diminuée ce qui rendrait le terme  $R_S+R_D$  plus faible.

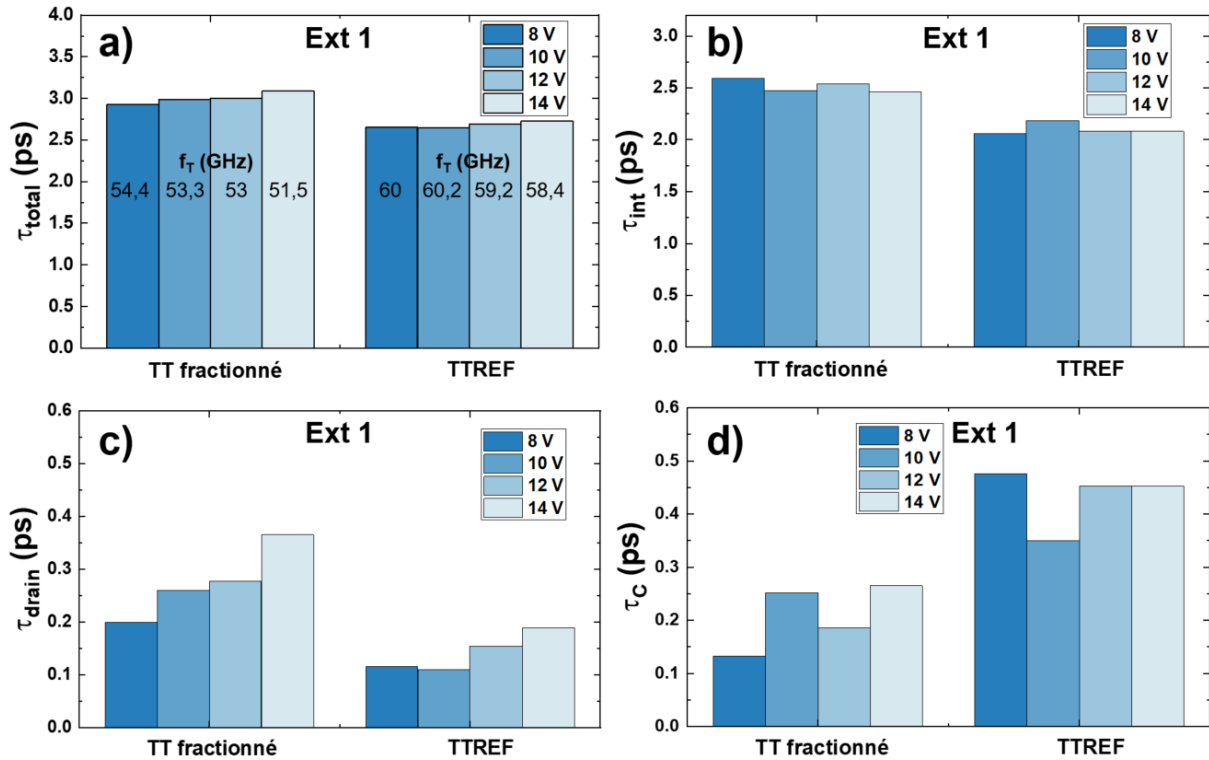


Figure 100 : a) Temps de transit total  $\tau_{total}$  sur le transistor fractionné et sur le transistor de référence pour des polarisation  $V_G = V_{gm,max}$  et  $V_{DS,q}$  de 8 V à 10 V. Les différentes composantes : b)  $\tau_{int}$  c)  $\tau_{drain}$  d)  $\tau_c$ .

Le gain unilatéral ( $U_{max}$ ) permet d'extraire la fréquence maximale d'oscillation en estimant la fréquence pour laquelle le gain est égal à 0 dB par une pente à -20 dB/déc. Il est présenté pour les deux structures sur la Figure 101. Lorsque le gain s'infléchit, on note que la structure de référence est légèrement décalée vers les fréquences plus élevée. Cette observation se traduit par une extraction du  $f_{max}$  de 177 GHz (en noir) contre 163 GHz sur le transistor fractionné (en rouge). En répétant la mesure sur 3 transistors, l'écart moyen du  $f_{max}$  entre les deux transistors est de 17 GHz. Il n'est pas étonnant de déterminer un  $f_{max}$  plus faible sur la structure fractionnée puisqu'à cause des bandes implantées Ar<sup>+</sup>, la largeur de la zone active vaut  $5 \times 10 \mu m$  mais la longueur totale du doigt de grille mesure  $75 \mu m$ . La résistance de grille statique est donc 50 % plus élevée sur cette structure ce qui impacte le  $f_{max}$  même si, nous avons vu au chapitre précédent que sur nos transistors, ce parasite  $R_G$  n'avait qu'une faible influence sur l'évolution de cette fréquence maximale d'oscillation. On a également vu sur la Figure 100 que le  $f_T$  est plus bas sur le transistor fractionné alors que c'est un paramètre qui influence  $f_{max}$ . Le fractionnement de la zone active du transistor est donc extrêmement bénéfique pour la dissipation thermique mais il pourrait également impacter le fonctionnement en fréquence. Pour trouver le meilleur compromis entre ces structures, une étude sur la performance d'amplification et la fiabilité des transistors avec un nombre plus important de doigts de grille (effet d'auto-échauffement plus marqué) devra être menée.



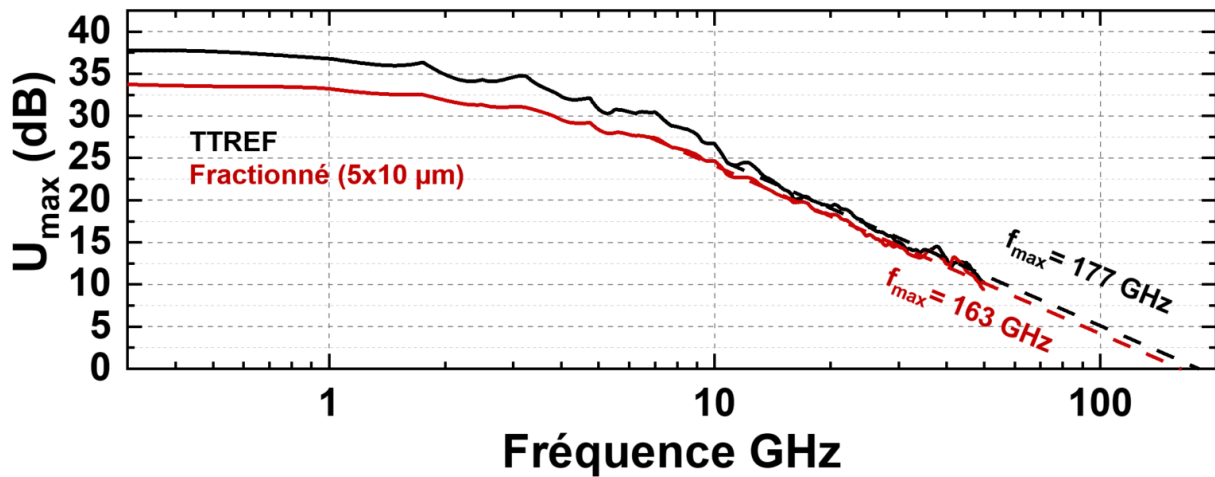


Figure 101 : Gain unilatéral en fonction de la fréquence pour le transistor de référence ( $W_G=50 \mu\text{m}$ ) et le transistor fractionné ( $W_G=5 \times 10 \mu\text{m}$ ) pour  $V_G = V_{g_{m,\max}}$  et  $V_{DS,q}=10 \text{ V}$ .

### c. Conclusion

Dans cette deuxième partie, nous nous sommes intéressés à la résistance thermique de l'empilement épitaxial. Historiquement cette problématique était considérée comme un désavantage important des technologies GaN/Si par rapport à celles sur substrat SiC. Cependant la qualité cristalline et la nature des couches épitaxiées ainsi que leurs interfaces influencent fortement cette résistance thermique. De plus, la différence de conductivité thermique entre le silicium et le SiC est moins marquée à la température de fonctionnement du transistor qu'à température ambiante. L'analyse de différentes structures a montré les tendances attendues concernant les variations de  $R_{\text{TH}}$  par rapport aux distances caractéristiques du transistor. Elle a également mis en évidence la plus forte résistivité thermique de l'épitaxie interne par rapport à celle du fournisseur extérieur. Si les variations de températures induites sur ces transistors de test avec deux doigts de grille restent limitées, l'impact sur des transistors pour l'amplification de puissance avec un développement plus important sera plus marqué. Nous avons souligné qu'il faut trouver un compromis entre la surface utilisée sur la plaque pour un transistor et le recouvrement des différentes sources de chaleurs qui augmentent la température de fonctionnement et pénalisent donc les performances et la durée de vie du composant. Le choix du nombre de doigt et de leur longueur est donc prépondérant alors que le fractionnement de la zone active est une solution très encourageante même si elle semble influencer le fonctionnement radiofréquence. Dans cette étude, nous nous sommes intéressés à la dissipation thermique en fonctionnement statique. On peut se demander si cette résistance thermique possède le même comportement sous une polarisation RF même si les travaux de Pavlidis et al. [288] ont montré des résultats proches en polarisation DC et RF en utilisant la thermométrie par résistance de grille.

### 3. Conclusion du chapitre

Au cours de ce cinquième et dernier chapitre, des aspects préliminaires sur la robustesse et la fiabilité des transistors ont été abordés. Dans un premier temps, nous avons étudié l'influence de recuits cumulés entre 400°C et 500°C en fin de fabrication sur nos transistors, afin d'observer les potentielles variations des performances électriques ou les défaillances des transistors. L'analyse des mesures successives après les traitements thermiques a mis en lumière l'excellent rendement ainsi que l'uniformité des procédés sur les plaques 200 mm. Les caractéristiques des transistors ne présentent presque aucune variabilité après 4 séquences de recuit et de mesure. Seules les fuites de la jonction grille-drain augmentent jusqu'à 23  $\mu\text{A}/\text{mm}$  probablement avec une évolution de l'interface du pied de grille. Cette étude ouvre la voie à de nouveaux tests sur des plaques plus performantes, à des études de défaillances des composants ou encore à des essais de résistance aux rayonnements ionisants pour les applications spatiales.

Dans la seconde partie, nous avons déterminé la résistance thermique de deux empilements GaN/Si à l'aide d'une caméra infrarouge. La cohérence de l'extraction a été vérifiée en étudiant l'évolution de la résistance thermique en fonction des variations des grandeurs caractéristiques des transistors. L'influence de la longueur des doigts de grilles et de leur proximité a été vérifiée mettant en évidence la complexité de concevoir un transistor pour l'amplification de puissance avec un grand développement ( $W_{\text{total}}$ ). Les deux empilements ont démontré de bonnes performances de dissipation thermique malgré l'absence de procédés de fabrication spécifiques (amincissement du substrat, dissipateurs thermiques métalliques). La fabrication de transistors avec la partie active fractionnée en plusieurs zones de faible largeur est très bénéfique pour diminuer la température de fonctionnement (23 % sur Ext 1 et 39 % sur 3B) même si elle semble influencer le fonctionnement en fréquence. Pour identifier les potentielles limites de cette caractérisation (absorption par les couches de passivation, support à 70°C), des extractions de résistance thermique par d'autres techniques telles que la spectroscopie Raman ou la thermométrie par résistance de grille pourraient être envisagées.

# Conclusion générale et perspectives

L'amélioration des épitaxies de GaN sur substrat silicium et la démonstration de performances équivalentes aux HEMT GaN/SiC à 3 GHz ont ouvert la voie au développement de cette technologie pour les applications à des fréquences millimétriques (~30 GHz) et au-delà. Ce manuscrit a décrit une partie du développement, débuté en 2018 au CEA Leti, d'une ligne de fabrication de transistors GaN/Si 200 mm compatible CMOS pour l'amplification en bande Ka.

Au cours du premier chapitre, l'intérêt de développer une technologie GaN sur des substrats silicium de grand diamètre avec des procédés de fabrications compatibles CMOS a été discuté. Ces composants sont capables de générer une forte densité de puissance à haute fréquence associée avec un haut rendement énergétique. Ils sont parfaitement adaptés pour l'amplification des signaux des futures architectures de télécommunications ou de systèmes radar. Pour chacune des applications, ces gains en performance et en rendement énergétique doivent également être comparés avec l'impact environnemental du développement, de la production et de la fin de vie des composants. D'un point de vue technologique, la diminution des dimensions du transistor pour les applications haute fréquence et l'utilisation de procédés compatibles aux lignes de production silicium nécessitent d'adresser les problématiques des fuites de grille, de la tension de claquage, des effets de canaux courts ou encore du piégeage afin de bénéficier de performances électriques optimales.

Le second chapitre a permis de décrire l'approche technologique utilisée au CEA Leti. Les contraintes et avantages de cet environnement sont présentés et l'enchaînement des étapes de fabrication est montré à partir de deux épitaxies différentes. Les métallisations sont à base de Ti/Al pour le contact ohmique et TiN/W pour le pied de grille pour répondre aux enjeux de contamination et de polissage. La séquence de caractérisation électrique est également détaillée.

Au cours des différentes parties du chapitre 3, nous avons discuté de l'influence des procédés de fabrication sur les performances électriques des transistors. La contrainte de planéité associée à la fabrication de la grille après les contacts ohmiques implique la gravure de couches épaisses de passivations pour former la cavité du pied de grille. Le développement d'une gravure sélective et reproductible et son influence sur la tension de pincement ont été montrés. La comparaison des performances électriques de différentes grilles ainsi que leur caractérisation physico-chimique ont mis en évidence la contamination du pied de grille au fluor due à la métallisation tungstène, l'impact de la fabrication de la grille sur le transport des électrons ou encore le comportement prometteur de l'empilement MIS Al<sub>2</sub>O<sub>3</sub>. L'influence des procédés des autres briques technologiques sur le transport du courant a également été analysée. L'étude du recuit d'activation des dopants silicium du contact implanté a démontré une dégradation de la mobilité faible champ des électrons, la diffusion des atomes d'aluminium de la barrière de confinement et la formation d'un nouveau mécanisme de claquage sous le canal. Le développement de nouvelles stratégies de fabrication pour répondre à ces problématiques a permis de démontrer des performances d'amplification très prometteuses (PAE~40% ; P<sub>OUT</sub>=2,4 W/mm à V<sub>DS,q</sub>=15 V). De nouvelles approches (métallisation, gravure, nettoyage) associés au développement de structure de grilles avancées, pour diminuer les pics de champ électrique au pied de grille, devraient encore faire progresser ces caractéristiques électriques.

Le chapitre 4 est focalisé sur la caractérisation radiofréquence petit-signal des transistors. Dans la première partie, la modélisation par un schéma équivalent à 16 éléments a été réalisée sur deux plaques. En prenant en compte les limites du modèle, nous avons clairement identifié que l'amélioration des performances en fréquence nécessite un ratio autour de 15 entre la longueur de grille et l'épaisseur de barrière tout en optimisant les procédés de fabrication (grille et contact ohmique) pour ne pas dégrader le courant de saturation. Ces observations ont été confrontées à une extraction graphique du temps de transit détaillée dans la deuxième partie du chapitre. Les résultats sont cohérents et indiquent qu'un meilleur compromis entre contrôle électrostatique avec une barrière fine et dégradation du transport doit être trouvé. Cette dégradation est également soulignée par l'extraction de la vitesse de saturation, par deux méthodes différentes, qui est inférieure à  $10^7$  cm/s.

Au cours du dernier chapitre, des aspects préliminaires sur la fiabilité des composants ont été étudiés. Le comportement électrique des différentes briques technologiques et des transistors au cours d'enchaînements de recuits et de mesures successifs a été analysé mettant en évidence l'intérêt des technologies de fabrication CMOS en terme de d'uniformité et de robustesse. Les métallisations sont très stables jusqu'à  $500^\circ\text{C}$  et aucun transistor ne présente de défaillance après 4 recuits et 5 séquences de mesure électrique. Seules les fuites de grilles en blocages augmentent jusqu'à  $23 \mu\text{A}/\text{mm}$  sous l'effet de la modification de la barrière Schottky. La résistance thermique de deux empilements GaN/Si a ensuite été extraite à l'aide d'une caméra infrarouge. Les variations observées entre les deux plaques a mis en lumière l'influence du choix des couches sur le  $R_{\text{TH}}$  notamment les couches proches de la source de chaleur. Les résistances thermiques extraites sont performantes pour des épitaxies sur substrat silicium. La caractérisation de transistors fractionnés a montré une nette diminution de la résistance thermique mais également une influence sur le fonctionnement radiofréquence.

De nombreuses optimisations ont été réalisées au cours de ces trois années mais il reste encore des axes d'améliorations pour le futur au niveau de l'épitanie (pertes, barrière de confinement), du contact ohmique ( $R_c$ ,  $I_{\text{sat}}$ ) et de la grille ( $I_{\text{leak}}$ ,  $v_{\text{sat}}$ ) pour bénéficier de tout le potentiel de cette technologie. Les aspects de fiabilité devront également être explorés pour identifier les faiblesses du composant. Finalement, la fabrication de niveaux d'interconnexions supplémentaires et de composants passifs seront nécessaires pour la fabrication de circuits intégrés monolithiques (MMIC).

# Bibliographie

- [1] D. Civera, "LED, nitrure de gallium et Panasonic." <https://www.tomshardware.fr/led-nitrure-de-gallium-et-panasonic/> (accessed Sep. 19, 2022).
- [2] K. Hiot, "Chargeurs au nitrure de gallium (GaN): à quoi sert cette technologie?" <https://www.lesnumeriques.com/telephone-portable/chargeurs-au-nitrure-de-gallium-gan-a-quoi-sert-cette-technologie-a183359.html> (accessed Sep. 19, 2022).
- [3] Ezgi Dogmus, A. Bonnabel, and L. Hong, "RF GaN Market: Applications, Players, Technology and Substrates 2019-2024." Yole Développement, Apr. 2019. [Online]. Available: <https://www.i-micronews.com/products/rf-gan-market-applications-players-technology-and-substrates-2019/?cn-reloaded=1>
- [4] B. Madeline, "Les prix de l'énergie explosent, les usines s'arrêtent," *Le Monde*, Sep. 19, 2022. [Online]. Available: [https://www.lemonde.fr/economie/article/2022/09/19/face-a-la-flambee-des-prix-de-l-energie-l-industrie-francaise-reduit-la-voilure\\_6142319\\_3234.html](https://www.lemonde.fr/economie/article/2022/09/19/face-a-la-flambee-des-prix-de-l-energie-l-industrie-francaise-reduit-la-voilure_6142319_3234.html)
- [5] S. B. Boyd, *Life-Cycle Assessment of Semiconductors*. New York, NY: Springer New York, 2012. doi: 10.1007/978-1-4419-9988-7.
- [6] R. Loukhil, "Après ses revers en Europe, Huawei oriente sa stratégie 5G vers l'industrie," *L'usine nouvelle*, Sep. 19, 2022. <https://www.usinenouvelle.com/article/apres-ses-revers-en-europe-huawei-oriente-sa-strategie-5g-vers-l-industrie.N989209>
- [7] E. Morozov, "Bataille géopolitique autour de la 5G," *Le Monde Diplomatique*, Oct. 2020. [Online]. Available: <https://www.monde-diplomatique.fr/2020/10/MOROZOV/62292>
- [8] "GREAT: développer une technologie de nitrure de gallium (GaN), enjeu stratégique pour la défense," *Agence Innovation Défense*, Mar. 04, 2021. <https://www.defense.gouv.fr/aid/actualites/great-developper-technologie-nitrure-gallium-gan-enjeu-strategique-defense> (accessed Sep. 19, 2022).
- [9] J.-M. Bezat, "Les dépenses militaires poursuivent leur course en avant dans le monde," *Le Monde*, Apr. 25, 2022. [Online]. Available: [https://www.lemonde.fr/economie/article/2022/04/25/les-depenses-militaires-poursuivent-leur-course-en-avant\\_6123525\\_3234.html#:~:text=D%C3%A9fense-,Les%20d%C3%A9penses%20militaires%20poursuivent%20leur%20course%20en%20avant%20dans%20le,l'Europe%20aussi%20se%20r%C3%A9arme.&text=Lecture%204%20min.](https://www.lemonde.fr/economie/article/2022/04/25/les-depenses-militaires-poursuivent-leur-course-en-avant_6123525_3234.html#:~:text=D%C3%A9fense-,Les%20d%C3%A9penses%20militaires%20poursuivent%20leur%20course%20en%20avant%20dans%20le,l'Europe%20aussi%20se%20r%C3%A9arme.&text=Lecture%204%20min.)
- [10] T. Boles, "GaN-on-silicon present challenges and future opportunities," Oct. 2017, pp. 21–24. doi: 10.23919/EuMIC.2017.8230650.
- [11] H. Warlimont and W. Martienssen, *Handbook of Materials Data*, 2nd edition. Springer International Publishing AG, 2018.
- [12] P. K. Panda, "Review: environmental friendly lead-free piezoelectric materials," *J. Mater. Sci.*, vol. 44, no. 19, pp. 5049–5062, Oct. 2009, doi: 10.1007/s10853-009-3643-0.
- [13] S. Tadigadapa and K. Mateti, "Piezoelectric MEMS sensors: state-of-the-art and perspectives," *Meas. Sci. Technol.*, vol. 20, no. 9, p. 092001, Sep. 2009, doi: 10.1088/0957-0233/20/9/092001.
- [14] O. Ambacher *et al.*, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures," *J. Appl. Phys.*, vol. 87, no. 1, pp. 334–344, Jan. 2000, doi: 10.1063/1.371866.
- [15] I. Akasaki and H. Amano, "Crystal Growth and Conductivity Control of Group III Nitride Semiconductors and Their Application to Short Wavelength Light Emitters," *Jpn. J. Appl. Phys.*, vol. 36, no. Part 1, No. 9A, pp. 5393–5408, Sep. 1997, doi: 10.1143/JJAP.36.5393.
- [16] B. J. Baliga, "Power semiconductor device figure of merit for high-frequency applications," *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 455–457, Oct. 1989, doi: 10.1109/55.43098.
- [17] E. O. Johnson, "Physical limitations on frequency and power parameters of transistors," in *Semiconductor Devices: Pioneering Papers*, 1991, pp. 163–177.
- [18] H. Isnard, "L'industrie de la bauxite en France," *L'information Géographique*, pp. 9–12, 1952.
- [19] "Une des deux mines françaises de Bauxite est exploitée à Pézènes," *Midi Libre*, Oct. 12, 2020.
- [20] S. Althaf and C. W. Babbitt, "Disruption risks to material supply chains in the electronics sector," *Resour. Conserv. Recycl.*, vol. 167, p. 105248, Apr. 2021, doi: 10.1016/j.resconrec.2020.105248.
- [21] "Mineral Commodity Summaries 2022," *US Geol. Surv.*, p. 206, 2022.
- [22] "Critical Raw Materials Resilience: Charting a Path towards greater Security and Sustainability." European Commission, Mar. 09, 2020.
- [23] P. Blazy and E.-A. Jdid, "Métallurgie du gallium," p. 16, 2011.
- [24] F. Lu *et al.*, "Resources and extraction of gallium: A review," *Hydrometallurgy*, vol. 174, pp. 105–115, Dec. 2017, doi: 10.1016/j.hydromet.2017.10.010.

- [25] É. Ujaczki *et al.*, "Recovery of Gallium from Bauxite Residue Using Combined Oxalic Acid Leaching with Adsorption onto Zeolite HY," *J. Sustain. Metall.*, vol. 5, no. 2, pp. 262–274, Jun. 2019, doi: 10.1007/s40831-019-00226-w.
- [26] N. Dudot, "Les Mines de Bauxite de France," *Exxplore*. <https://www.exxplore.fr/pages/Mines-Bauxite.php> (accessed May 12, 2022).
- [27] "Présentation du programme Horizon Europe," Dec. 09, 2020. <https://www.horizon-europe.gouv.fr/presentation-du-programme-horizon-europe-24104> (accessed Sep. 26, 2022).
- [28] "CEA Leti - Les défis sociétaux." <https://www.leti-cea.fr/cea-tech/leti/Pages/Leti/a-propos-du-Leti/d%c3%a9fis-societaux.aspx> (accessed Sep. 26, 2022).
- [29] "MOOC: Les impacts du numérique," *Inria*. <https://learninglab.gitlabpages.inria.fr/mooc-impacts-num/mooc-impacts-num-ressources/Partie4/FichesConcept/FC4.4.1-point5G-MoocImpactNum.html> (accessed Sep. 27, 2022).
- [30] "Qu'est-ce qu'une ACV?," *Ademe*, Sep. 26, 2022. <https://expertises.ademe.fr/economie-circulaire/consommer-autrement/passer-a-laction/dossier/analyse-cycle-vie/quest-lacv>
- [31] J. Guerid, J.-B. Dore, J. Reverdy, B. Reig, A. Clemente, and L. Di Cioccio, "Toward Eco-Design of a 5G mmWave Transmarray Antenna Based on Life Cycle Assessment," Grenoble, France, Jun. 2022, pp. 440–445. doi: 10.1109/EuCNC/6GSummit54941.2022.9815659.
- [32] G. Li *et al.*, "GaN-based light-emitting diodes on various substrates: a critical review," *Rep. Prog. Phys.*, vol. 79, no. 5, p. 056501, May 2016, doi: 10.1088/0034-4885/79/5/056501.
- [33] S. P. DenBaars *et al.*, "Development of gallium-nitride-based light-emitting diodes (LEDs) and laser diodes for energy-efficient lighting and displays," *Acta Mater.*, vol. 61, no. 3, pp. 945–951, Feb. 2013, doi: 10.1016/j.actamat.2012.10.042.
- [34] S. Rajbhandari *et al.*, "A review of gallium nitride LEDs for multi-gigabit-per-second visible light data communications," *Semicond. Sci. Technol.*, vol. 32, no. 2, p. 023001, Feb. 2017, doi: 10.1088/1361-6641/32/2/023001.
- [35] D. Zhu, D. J. Wallis, and C. J. Humphreys, "Prospects of III-nitride optoelectronics grown on Si," *Rep. Prog. Phys.*, vol. 76, no. 10, p. 106501, Oct. 2013, doi: 10.1088/0034-4885/76/10/106501.
- [36] "La consommation d'électricité en chiffres," *edf.fr*. <https://www.edf.fr/groupe-edf/espaces-dedies/l-energie-de-a-a-z/tout-sur-l-energie/l-electricite-au-quotidien/la-consommation-d-electricite-en-chiffres> (accessed May 08, 2022).
- [37] IPCC, "Global warming of 1.5°C," 2018.
- [38] "Radiofréquences," Jan. 06, 2021. <https://www.ecologie.gouv.fr/radiofrquences> (accessed May 09, 2022).
- [39] "L'énergie radiofréquence et la sécurité." <https://www.ic.gc.ca/eic/site/smt-gst.nsf/fra/sf11467.html> (accessed May 12, 2022).
- [40] "IEEE Std 521-2002, IEEE Standard for Letter Designations for Radar-Frequency Bands," p. 10.
- [41] G. Ma, Qiang Chen, O. Tornblad, Tao Wei, C. Ahrens, and R. Gerlach, "High frequency power LDMOS technologies for base station applications status, potential, and benchmarking," in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, Tempe, Arizona, USA, 2005, pp. 361–364. doi: 10.1109/IEDM.2005.1609351.
- [42] S. E. Gunnarsson *et al.*, "Highly integrated 60 GHz transmitter and receiver MMICs in a GaAs pHEMT technology," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2174–2186, Nov. 2005, doi: 10.1109/JSSC.2005.857366.
- [43] M. Rocchi, "Millimeter Wave GaN on Si MMICs," presented at the EuMIC: Progress and Status of Gallium Nitride Monolithic Microwave Integrated Circuits, EuMW, London, Apr. 02, 2022.
- [44] D. Schnauffer and B. Peterson, "Gallium Nitride – A Critical Technology for 5G," p. 7, 2016.
- [45] F. Iucolano, "GaN-on-Si HEMTs for wireless base stations," *Mater. Sci. Semicond. Process.*, p. 6, 2019.
- [46] "Guidelines for Limiting Exposure to Electromagnetic Fields (100 kHz to 300 GHz)," *Health Phys.*, vol. 118, no. 5, pp. 483–524, May 2020, doi: 10.1097/HP.0000000000001210.
- [47] "Parlons 5G: toutes vos questions sur la 5G," *arcep.fr*, 2021. <https://www.arcep.fr/nos-sujets/parlons-5g-toutes-vos-questions-sur-la-5g.html> (accessed Apr. 14, 2022).
- [48] Qualcomm, "Future of 5G," 2019. [Online]. Available: [www.qualcomm.com/research/5g](http://www.qualcomm.com/research/5g)
- [49] "Numérique et environnement," *arcep.fr*. <https://www.arcep.fr/nos-sujets/numerique-et-environnement.html> (accessed Apr. 14, 2022).
- [50] G. Pitron, "Quand le numérique détruit la planète," *Le Monde Diplomatique*, Oct. 2021.
- [51] M. Vidard, "Pollution Numérique: Voyage au bout d'un like," *La Terre au Carré*, France Inter, Nov. 21, 2021.
- [52] C. Pocréaux and F. Ruffin, "5G, la course à quoi?," *Le Monde Diplomatique*, p. 28, Nov. 2020.
- [53] "Macron défend la 5G contre le «modèle Amish»,," *Le Figaro*, Sep. 14, 2020.
- [54] "L'Afghanistan sous les bombes," *Le Monde*, Oct. 08, 2001.
- [55] "Avancée des troupes au sol dans le sud de l'Irak," *Le Monde*, Mar. 21, 2003.
- [56] "Affrontements dans le Haut-Karabakh: l'Arménie et l'Azerbaïdjan au seuil de la guerre," *Le Monde*, Nov. 28, 2020.
- [57] E. Brachet, "Au Darfour, l'interminable crise," *Le Monde*, Mar. 08, 2021.
- [58] E. Micheletti, "La France élimine le chef du groupe État islamique au Grand Sahara," *Marianne*, Sep. 16, 2021.
- [59] "Ethiopie: les rebelles du Tigré promettent à leur tour une trêve," *L'Obs*, Mar. 25, 2022.

- [60] H. Maillot, "L'Ukraine a-t-elle les capacités militaires de résister à l'invasion russe?," *Le Figaro*, Feb. 24, 2022.
- [61] "« Annexion » de la Crimée: les Etats-Unis et l'UE adoptent des sanctions ciblées," *Le Monde*, Mar. 17, 2014.
- [62] M. Rafenberg, "Face aux tensions persistantes avec la Turquie, la Grèce muscle sa défense militaire," *Le Monde*, Nov. 16, 2020.
- [63] "GaN HEMTs for Pulsed Radar Applications," *www.wolfspeed.com*, Jun. 01, 2022. <https://www.wolfspeed.com/knowledge-center/article/gan-hemts-for-pulsed-radar-applications/> (accessed Apr. 20, 2022).
- [64] B. Pribble, "Design of High Performance Microwave and Millimeter Wave MMICs," presented at the WS06: Progress and Status of Gallium Nitride Monolithic Microwave Integrated Circuits, EuMW, London, Apr. 02, 2022.
- [65] E. Limiti, "Multifunctional front-end integration for radar/earth observation at mmWaves," presented at the WS06: Progress and Status of Gallium Nitride Monolithic Microwave Integrated Circuits, EuMW, London, Apr. 02, 2022.
- [66] "Applications: RF Energy," *www.rfhic.com*. <https://rfhic.com/applications/rf-energy/> (accessed Apr. 21, 2022).
- [67] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microw. Theory Tech.*, vol. 36, no. 7, pp. 1151–1159, Jul. 1988, doi: 10.1109/22.3650.
- [68] K. Shinohara *et al.*, "Scaling of GaN HEMTs and Schottky Diodes for Submillimeter-Wave MMIC Applications," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 2982–2996, Oct. 2013, doi: 10.1109/TED.2013.2268160.
- [69] A. Alt, D. Marti, and C. R. Bolognesi, "Transistor Modeling: Robust Small-Signal Equivalent Circuit Extraction in Various HEMT Technologies," *IEEE Microw. Mag.*, vol. 14, no. 4, pp. 83–101, Jun. 2013, doi: 10.1109/MMM.2013.2248593.
- [70] P. L. Hower and N. G. Bechtel, "Current saturation and small-signal characteristics of GaAs field-effect transistors," *IEEE Trans. Electron Devices*, vol. 20, no. 3, pp. 213–220, Mar. 1973, doi: 10.1109/T-ED.1973.17631.
- [71] G. H. Jessen *et al.*, "Short-Channel Effect Limitations on High-Frequency Operation of AlGaIn/GaN HEMTs for T-Gate Devices," *IEEE Trans. Electron Devices*, vol. 54, no. 10, pp. 2589–2597, Oct. 2007, doi: 10.1109/TED.2007.904476.
- [72] K. Matsumoto, T. Ono, Y. Honda, K. Torigoe, M. Kushimoto, and H. Amano, "Origin of acceptor diffusion into silicon substrate during GaN growth by metal organic chemical vapor deposition," *Jpn. J. Appl. Phys.*, vol. 58, no. 7, p. 075502, Jul. 2019, doi: 10.7567/1347-4065/ab2657.
- [73] S. Ghosh *et al.*, "Origin(s) of Anomalous Substrate Conduction in MOVPE-Grown GaN HEMTs on Highly Resistive Silicon," *ACS Appl. Electron. Mater.*, vol. 3, no. 2, pp. 813–824, Feb. 2021, doi: 10.1021/acsaelm.0c00966.
- [74] D. Marti, M. Vetter, A. R. Alt, H. Benedickter, and C. R. Bolognesi, "110 GHz Characterization of Coplanar Waveguides on GaN-on-Si Substrates," *Appl. Phys. Express*, vol. 3, no. 12, p. 124101, Dec. 2010, doi: 10.1143/APEX.3.124101.
- [75] T. T. Luong *et al.*, "RF loss mechanisms in GaN-based high-electron-mobility-transistor on silicon: Role of an inversion channel at the AlN/Si interface," *Phys. Status Solidi A*, vol. 214, no. 7, p. 1600944, Jul. 2017, doi: 10.1002/pssa.201600944.
- [76] W.-C. Tzeng, Y.-E. Jeng, L.-C. Chang, Y.-T. Ho, C.-H. Wu, and C.-C. Hsu, "Investigation on Different Buffer to Suppress the RF-Loss in AlGaIn/GaN-on-Si HEMTs," Nov. 2019, pp. 1–3. doi: 10.1109/IFEEC47410.2019.9015146.
- [77] K. Reiser, J. Twynam, H. Brech, S. Hardikar, and R. Weigel, "Increased RF-Losses at the GaN/Si Interface after Eutectic Die Attach," Sep. 2019, pp. 196–199. doi: 10.23919/EuMIC.2019.8909678.
- [78] L. Pattison, T. Boles, N. Tuffy, and G. Lopes, "Improving GaN on Si Power Amplifiers through reduction of parasitic conduction layer," Oct. 2014, pp. 92–95. doi: 10.1109/EuMIC.2014.6997799.
- [79] A. Able, W. Wegscheider, K. Engl, and J. Zweck, "Growth of crack-free GaN on Si(111) with graded AlGaIn buffer layers," *J. Cryst. Growth*, vol. 276, no. 3–4, pp. 415–418, Apr. 2005, doi: 10.1016/j.jcrysgro.2004.12.003.
- [80] H. Marchand *et al.*, "Metalorganic chemical vapor deposition of GaN on Si(111): Stress control and application to field-effect transistors," *J. Appl. Phys.*, vol. 89, no. 12, pp. 7846–7851, Jun. 2001, doi: 10.1063/1.1372160.
- [81] E. Feltin *et al.*, "Stress control in GaN grown on silicon (111) by metalorganic vapor phase epitaxy," *Appl. Phys. Lett.*, vol. 79, no. 20, pp. 3230–3232, Nov. 2001, doi: 10.1063/1.1415043.
- [82] S.-H. Jang and C.-R. Lee, "High-quality GaN/Si(111) epitaxial layers grown with various Al<sub>0.3</sub>Ga<sub>0.7</sub>N/GaN superlattices as intermediate layer by MOCVD," *J. Cryst. Growth*, vol. 253, no. 1–4, pp. 64–70, Jun. 2003, doi: 10.1016/S0022-0248(03)01015-7.
- [83] A. Ubukata *et al.*, "GaN growth on 150-mm-diameter (111) Si substrates," *J. Cryst. Growth*, vol. 298, 2007, doi: 10.1016/j.jcrysgro.2006.10.147.
- [84] F. Medjdoub, "Technological development towards high performance mm-wave GaN HEMTs with enhanced reliability," presented at the WS06 - Progress and Status of Gallium Nitride Monolithic Microwave Integrated Circuits, Apr. 02, 2022.
- [85] G. Meneghesso, M. Meneghini, and E. Zanoni, "Breakdown mechanisms in AlGaIn/GaN HEMTs: An overview," *Jpn. J. Appl. Phys.*, vol. 53, no. 10, p. 100211, Oct. 2014, doi: 10.7567/JJAP.53.100211.
- [86] M. Micovic *et al.*, "GaN double heterojunction field effect transistor for microwave and millimeterwave power applications," 2004, pp. 807–810. doi: 10.1109/IEDM.2004.1419298.



- [87] E. Bahat-Treidel, O. Hilt, F. Brunner, J. Wurfl, and Gü. Trankle, "Punchthrough-Voltage Enhancement of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs Using AlGa<sub>N</sub> Double-Heterojunction Confinement," *IEEE Trans. Electron Devices*, vol. 55, no. 12, pp. 3354–3359, Dec. 2008, doi: 10.1109/TED.2008.2006891.
- [88] J.-C. Jacquet, P. Gamarra, S. Piotrowicz, C. Lacam, M. A. Poisson, and O. Patard, "Field-effect transistor with optimised performance and gain," EP3369115 A1, Oct. 30, 2015
- [89] E. Morvan, "TRANSISTOR A HETEROJONCTION A CONFINEMENT DE GAZ D'ELECTRONS AMELIORE"
- [90] T. E. Kazior, E. M. Chumbes, B. Schultz, J. Logan, D. J. Meyer, and M. T. Hardy, "High Power Density ScAlN-Based Heterostructure FETs for mm-Wave Applications," *IEEE MTT- Int. Microw. Symp.*, p. 4, 2019.
- [91] A. J. Green *et al.*, "RF Power Performance of Sc(Al,Ga)N/GaN HEMTs at Ka-Band," *IEEE Electron Device Lett.*, vol. 41, no. 8, pp. 1181–1184, Aug. 2020, doi: 10.1109/LED.2020.3006035.
- [92] T. Nanjo *et al.*, "Enhancement of Drain Current by an AlN Spacer Layer Insertion in AlGa<sub>N</sub>/Ga<sub>N</sub> High-Electron-Mobility Transistors with Si-Ion-Implanted Source/Drain Contacts," *Jpn. J. Appl. Phys.*, vol. 50, no. 6, p. 064101, Jun. 2011, doi: 10.1143/JJAP.50.064101.
- [93] N. Man Shrestha, Y. Li, and E. Y. Chang, "Simulation study on electrical characteristic of AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistors with AlN spacer layer," *Jpn. J. Appl. Phys.*, vol. 53, no. 4S, p. 04EF08, Jan. 2014, doi: 10.7567/JJAP.53.04EF08.
- [94] J. W. Chung, W. E. Hoke, E. M. Chumbes, and T. Palacios, "AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT With 300-GHz f<sub>max</sub>," *IEEE Electron Device Lett.*, vol. 31, no. 3, pp. 195–197, Mar. 2010, doi: 10.1109/LED.2009.2038935.
- [95] A. Malmros, H. Blanck, and N. Rorsman, "Electrical properties, microstructure, and thermal stability of Ta-based ohmic contacts annealed at low temperature for Ga<sub>N</sub> HEMTs," *Semicond. Sci. Technol.*, vol. 26, no. 7, p. 075006, Jul. 2011, doi: 10.1088/0268-1242/26/7/075006.
- [96] H. Lu, Z. Si, B. Hou, L. Yang, X. Ma, and Y. Hao, "Low Contact Resistance CMOS-Compatible RF Ga<sub>N</sub>-on-Silicon HEMTs," p. 4, 2021.
- [97] T. Yoshida and T. Egawa, "Role of thin Ti layer in formation mechanism of low temperature-annealed Ti/Al-based ohmic contact on AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure," *Semicond. Sci. Technol.*, vol. 33, no. 7, p. 075006, Jul. 2018, doi: 10.1088/1361-6641/aac3c3.
- [98] U. Peralagu *et al.*, "CMOS-Compatible Ga<sub>N</sub>-Based Devices on 200mm-Si for RF Applications: Integration and Performance," in *IEDM*, San Francisco, CA, USA, 2019, p. 4.
- [99] H. T. Wang, L. S. Tan, and E. F. Chor, "AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistors with implanted ohmic contacts," *Thin Solid Films*, vol. 515, no. 10, pp. 4476–4479, Mar. 2007, doi: 10.1016/j.tsf.2006.07.133.
- [100] R. Simon, R. Vianden, and K. Köhler, "Implantation Studies on Silicon-Doped Ga<sub>N</sub>," *J. Electron. Mater.*, vol. 42, no. 1, pp. 21–25, Jan. 2013, doi: 10.1007/s11664-012-2278-0.
- [101] J. C. Gallagher *et al.*, "Reduced Contact Resistance in Ga<sub>N</sub> Using Selective Area Si Ion Implantation," *IEEE Trans. Semicond. Manuf.*, vol. 32, no. 4, pp. 478–482, Nov. 2019, doi: 10.1109/TSM.2019.2932272.
- [102] Z. Zheng, H. Seo, L. Pang, and K. K. Kim, "Nonalloyed ohmic contact of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs by selective area growth of single-crystal n<sup>+</sup>-Ga<sub>N</sub> using plasma assisted molecular beam epitaxy: Nonalloyed ohmic contact of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs," *Phys. Status Solidi A*, vol. 208, no. 4, pp. 951–954, Apr. 2011, doi: 10.1002/pssa.201026557.
- [103] Y. Yue *et al.*, "InAlN/AlN/GaN HEMTs With Regrown Ohmic Contacts and f<sub>T</sub> of 370 GHz," *IEEE Electron Device Lett.*, vol. 33, no. 7, pp. 988–990, Jul. 2012, doi: 10.1109/LED.2012.2196751.
- [104] H. V. Then *et al.*, "3D heterogeneous integration of high performance high-K metal gate Ga<sub>N</sub> NMOS and Si PMOS transistors on 300mm high-resistivity Si substrate for energy-efficient and compact power delivery, RF (5G and beyond) and SoC applications," in *IEDM*, San Francisco, California, USA, Dec. 2019, p. 17.3.1-17.3.4. doi: 10.1109/IEDM19573.2019.8993583.
- [105] K. Shinohara *et al.*, "220GHz f<sub>T</sub> and 400GHz f<sub>max</sub> in 40-nm Ga<sub>N</sub> DH-HEMTs with re-grown ohmic," in *2010 International Electron Devices Meeting*, San Francisco, CA, USA, Dec. 2010, p. 30.1.1-30.1.4. doi: 10.1109/IEDM.2010.5703448.
- [106] N. Miura *et al.*, "Thermal annealing effects on Ni/Au based Schottky contacts on n-Ga<sub>N</sub> and AlGa<sub>N</sub>/Ga<sub>N</sub> with insertion of high work function metal," *Solid-State Electron.*, vol. 48, no. 5, pp. 689–695, May 2004, doi: 10.1016/j.sse.2003.07.006.
- [107] H. Kim *et al.*, "Passivation effects in Ni/AlGa<sub>N</sub>/Ga<sub>N</sub> Schottky diodes by annealing," *Appl. Phys. Lett.*, vol. 89, no. 5, p. 053516, Jul. 2006, doi: 10.1063/1.2234569.
- [108] S. Saadaoui, M. Mongi Ben Salem, M. Gassoumi, H. Maaref, and C. Gaquière, "Electrical characterization of (Ni/Au)/Al<sub>0.25</sub>Ga<sub>0.75</sub>N/GaN/SiC Schottky barrier diode," *J. Appl. Phys.*, vol. 110, no. 1, p. 013701, Jul. 2011, doi: 10.1063/1.3600229.
- [109] S. Saadaoui, O. Fathallah, F. Albouchi, M. Mongi Ben Salem, C. Gaquière, and H. Maaref, "Hole trap, leakage current and barrier inhomogeneity in (Pt/Au) Al<sub>0.2</sub>Ga<sub>0.8</sub>N/GaN heterostructures," *J. Phys. Chem. Solids*, vol. 132, pp. 157–161, Sep. 2019, doi: 10.1016/j.jpcs.2019.02.027.
- [110] A. Sozza *et al.*, "Thermal stability of Mo-based Schottky contact for AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT," *Electron. Lett.*, vol. 41, no. 16, p. 927, 2005, doi: 10.1049/el:20051475.

- [111] Jin-Ping Ao, D. Kikuta, N. Kubota, Y. Naoi, and Y. Ohno, "Copper gate AlGaIn/GaN HEMT with low gate leakage current," *IEEE Electron Device Lett.*, vol. 24, no. 8, pp. 500–502, Aug. 2003, doi: 10.1109/LED.2003.815158.
- [112] J. Park, K. Lee, H.-Y. Cha, and K. Seo, "Thermal instability of copper gate AlGaIn/GaN HEMT on Si substrate," *Electron. Lett.*, vol. 46, no. 14, p. 1011, 2010, doi: 10.1049/el.2010.1485.
- [113] J. Chen, H. Wakabayashi, K. Tsutsui, H. Iwai, and K. Kakushima, "Poly-Si gate electrodes for AlGaIn/GaN HEMT with high reliability and low gate leakage current," *Microelectron. Reliab.*, vol. 63, pp. 52–55, Aug. 2016, doi: 10.1016/j.microrel.2016.05.014.
- [114] J.-P. Ao, A. Suzuki, K. Sawada, S. Shinkai, Y. Naoi, and Y. Ohno, "Schottky contacts of refractory metal nitrides on gallium nitride using reactive sputtering," *Vacuum*, vol. 84, no. 12, pp. 1439–1443, Jun. 2010, doi: 10.1016/j.vacuum.2009.12.006.
- [115] T. Kawanago *et al.*, "Advantage of TiN Schottky gate over conventional Ni for improved electrical characteristics in AlGaIn/GaN HEMT," Sep. 2013, pp. 107–110. doi: 10.1109/ESSDERC.2013.6818830.
- [116] L. Li *et al.*, "GaN Schottky Barrier Diode With TiN Electrode for Microwave Rectification," *IEEE J. Electron Devices Soc.*, vol. 2, no. 6, pp. 168–173, Nov. 2014, doi: 10.1109/JEDS.2014.2346395.
- [117] J. Hu *et al.*, "Performance Optimization of Au-Free Lateral AlGaIn/GaN Schottky Barrier Diode With Gated Edge Termination on 200-mm Silicon Substrate," *IEEE Trans. Electron Devices*, vol. 63, no. 3, pp. 997–1004, Mar. 2016, doi: 10.1109/TED.2016.2515566.
- [118] H. O. Chahdi *et al.*, "Mechanisms of a Rectifying TiN Gate Contact for AlGaIn/GaN HEMTs on Silicon Substrate," *IEEE Trans. Nanotechnol.*, vol. 19, pp. 682–688, 2020, doi: 10.1109/TNANO.2020.3019916.
- [119] Z. H. Liu, G. I. Ng, S. Arulkumaran, Y. K. T. Maung, and H. Zhou, "Temperature-dependent forward gate current transport in atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN metal-insulator-semiconductor high electron mobility transistor," *Appl. Phys. Lett.*, vol. 98, no. 16, p. 163501, Apr. 2011, doi: 10.1063/1.3573794.
- [120] A. Calzolaro, T. Mikolajick, and A. Wachowiak, "Status of Aluminum Oxide Gate Dielectric Technology for Insulated-Gate GaN-Based Devices," *Materials*, vol. 15, no. 3, p. 791, Jan. 2022, doi: 10.3390/ma15030791.
- [121] A. Pérez-Tomás, A. Fontserè, M. R. Jennings, and P. M. Gammon, "Modeling the effect of thin gate insulators (SiO<sub>2</sub>, SiN, Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub>) on AlGaIn/GaN HEMT forward characteristics grown on Si, sapphire and SiC," *Mater. Sci. Semicond. Process.*, vol. 16, no. 5, pp. 1336–1345, Oct. 2013, doi: 10.1016/j.mssp.2012.10.014.
- [122] C. Liu, E. F. Chor, and L. S. Tan, "Investigations of HfO<sub>2</sub>/AlGaIn/GaN metal-oxide-semiconductor high electron mobility transistors," *Appl Phys Lett*, p. 4.
- [123] M. J. Hanna, H. Zhao, and J. C. Lee, "Poole Frenkel current and Schottky emission in SiN gate dielectric in AlGaIn/GaN metal insulator semiconductor heterostructure field effect transistors," *Appl. Phys. Lett.*, vol. 101, no. 15, p. 153504, Oct. 2012, doi: 10.1063/1.4758995.
- [124] N. Ronchi *et al.*, "Combined PEALD Gate-Dielectric and In-Situ SiN Cap-Layer for Reduced V<sub>th</sub> Shift and R<sub>DS-ON</sub> Dispersion of AlGaIn/GaN HEMTs on 200 mm Si Wafer," presented at the 2014 International Conference on Solid State Devices and Materials, Tsukuba International Congress Center (EPOCHAL TSUKUBA), Ibaraki, Japan, Sep. 2014. doi: 10.7567/SSDM.2014.E-1-2.
- [125] M. Hua *et al.*, "GaN-Based Metal-Insulator-Semiconductor High-Electron-Mobility Transistors Using Low-Pressure Chemical Vapor Deposition SiN<sub>x</sub> as Gate Dielectric," *IEEE Electron Device Lett.*, vol. 36, no. 5, pp. 448–450, May 2015, doi: 10.1109/LED.2015.2409878.
- [126] X. Meng *et al.*, "Robust SiN<sub>x</sub>/GaN MIS-HEMTs With Crystalline Interfacial Layer Using Hollow Cathode PEALD," *IEEE Electron Device Lett.*, vol. 39, no. 8, pp. 1195–1198, Aug. 2018, doi: 10.1109/LED.2018.2849100.
- [127] S. Zhang *et al.*, "Suppression of Gate Leakage Current in Ka-Band AlGaIn/GaN HEMT With 5-nm SiN Gate Dielectric Grown by Plasma-Enhanced ALD," *IEEE Trans. Electron Devices*, vol. 68, no. 1, pp. 49–52, Jan. 2021, doi: 10.1109/TED.2020.3037888.
- [128] H. Xie *et al.*, "AlN/GaN MISHEMTs on Si with in-situ SiN as a gate dielectric for power amplifiers in mobile SoCs," *Appl. Phys. Express*, vol. 15, no. 1, p. 016503, Jan. 2022, doi: 10.35848/1882-0786/ac428b.
- [129] M. Van Hove *et al.*, "CMOS Process-Compatible High-Power Low-Leakage AlGaIn/GaN MISHEMT on Silicon," *IEEE Electron Device Lett.*, vol. 33, no. 5, pp. 667–669, May 2012, doi: 10.1109/LED.2012.2188016.
- [130] S. C. Binari *et al.*, "Trapping effects and microwave power performance in AlGaIn/GaN HEMTs," *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 465–471, Mar. 2001, doi: 10.1109/16.906437.
- [131] T. Kawanago *et al.*, "Gate Technology Contributions to Collapse of Drain Current in AlGaIn/GaN Schottky HEMT," *IEEE Trans. Electron Devices*, vol. 61, no. 3, pp. 785–792, Mar. 2014, doi: 10.1109/TED.2014.2299556.
- [132] W. M. Waller *et al.*, "Control of Buffer-Induced Current Collapse in AlGaIn/GaN HEMTs Using SiN<sub>x</sub> Deposition," *IEEE Trans. Electron Devices*, vol. 64, no. 10, pp. 4044–4049, Oct. 2017, doi: 10.1109/TED.2017.2738669.
- [133] "HRL Laboratories." <https://mmics.hrl.com/> (accessed May 22, 2022).
- [134] W. Liu *et al.*, "6.2 W/Mm and Record 33.8% PAE at 94 GHz From N-Polar GaN Deep Recess MIS-HEMTs With ALD Ru Gates," *IEEE Microw. Wirel. Compon. Lett.*, vol. 31, no. 6, pp. 748–751, Jun. 2021, doi: 10.1109/LMWC.2021.3067228.
- [135] T. E. Kazior, "Next Generation GaN-based Materials and Devices for RF Applications," presented at the International Microwave Symposium, Philadelphia, PA, Jun. 2018.

- [136] J. LaRoche *et al.*, "Fabrication of GaN MISHEMTs Fabricated From GaN Grown By MOCVD on High Resistance 200mm <111> Si Substrates," in *CS MANTECH*, Denver, Colorado, USA, 2014, p. 4.
- [137] W. E. Hoke *et al.*, "AlGaIn/GaN high electron mobility transistors on 100 mm silicon substrates by plasma molecular beam epitaxy," *J. Vac. Sci. Technol. B Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 29, no. 3, p. 03C107, May 2011, doi: 10.1116/1.3549889.
- [138] "MACOM." <https://www.macom.com/products/rf-microwave-mmwave/amplifiers/rf-power-amplifiers/rf-power-amplifiers-5W> (accessed May 22, 2022).
- [139] P. Saunier, "GaN for Next Generation Electronics," Oct. 2014, pp. 1–4. doi: 10.1109/CSICS.2014.6978558.
- [140] D. Wohler, B. Peterson, T. R. Mya Kywe, L. Ledezma, and J. Gengler, "8-Watt Linear Three-Stage GaN Doherty Power Amplifier for 28 GHz 5G Applications," in *BCICTS*, Nashville, Tennessee, USA, Nov. 2019, pp. 1–4. doi: 10.1109/BCICTS45179.2019.8972750.
- [141] Y. Cao *et al.*, "Qorvo's Emerging GaN Technologies for mmWave Applications," in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA, Aug. 2020, pp. 570–572. doi: 10.1109/IMS30576.2020.9223913.
- [142] "Cree acquires Infineon RF Power Business," Mar. 06, 2018. <https://www.infineon.com/cms/en/about-infineon/press/press-releases/2018/INFXX201803-041.html> (accessed May 22, 2022).
- [143] "GaN/SiC HEMT," GCS. [http://gcsincorp.com/dedicated\\_pure-play\\_wafer\\_foundry/GaN%20HEMT.php](http://gcsincorp.com/dedicated_pure-play_wafer_foundry/GaN%20HEMT.php) (accessed Aug. 31, 2022).
- [144] "Northrop Grumman - Power Amplifiers." <https://www.northropgrumman.com/who-we-are/microelectronics-products-power-amplifiers/> (accessed May 23, 2022).
- [145] "Maturing microelectronics for next-generation radar, electronic warfare, and communications systems," Sep. 17, 2018. <https://www.baesystems.com/en/article/maturing-microelectronics-for-next-generation-radar-electronic-warfare-and-communications-systems>
- [146] M. Litchfield and D. Dugas, "10W and 30W, 32-37 GHz, Ka-Band GaN MMIC Power Amplifiers on SiC," in *2021 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Monterey, CA, USA, Dec. 2021, pp. 1–4. doi: 10.1109/BCICTS50416.2021.9682477.
- [147] "NXP Semiconductors: Radio Frequency," Aug. 29, 2022. [https://www.nxp.com/products/radio-frequency:RF\\_HOME](https://www.nxp.com/products/radio-frequency:RF_HOME)
- [148] S. Samis, C. Friesicke, T. Maier, R. Quay, and A. F. Jacob, "Broadband High-Efficiency Power Amplifiers in 150 nm AlGaIn/GaN Technology at Ka-Band," in *2020 IEEE Asia-Pacific Microwave Conference (APMC)*, Hong Kong, Hong Kong, Dec. 2020, pp. 260–262. doi: 10.1109/APMC47863.2020.9331569.
- [149] S. Samis *et al.*, "A 5 W AlGaIn/GaN power amplifier MMIC for 25–27 GHz downlink applications," in *2018 11th German Microwave Conference (GeMiC)*, Freiburg, Germany, Mar. 2018, pp. 9–12. doi: 10.23919/GEMIC.2018.8335015.
- [150] K. Harrouche, R. Kabouche, E. Okada, and F. Medjdoub, "High Power AlN/GaN HEMTs with record power-added-efficiency >70% at 40 GHz," in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA, Aug. 2020, pp. 285–288. doi: 10.1109/IMS30576.2020.9223971.
- [151] C. Potier *et al.*, "10W Ka Band MMIC Power Amplifiers based on InAlGaIn/GaN HEMT Technology," *EuMA*, p. 4, 2019.
- [152] P. Neining *et al.*, "Broadband 100-W Ka-Band SSPA Based on GaN Power Amplifiers," *IEEE Microw. Wirel. Compon. Lett.*, pp. 1–4, 2022, doi: 10.1109/LMWC.2022.3166563.
- [153] M. Ayad, N. Poitrenaud, V. Serru, M. Camiade, J. Gruenenpuett, and K. J. Riepe, "A High Efficiency MMIC X-band GaN Power Amplifier," in *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands, Jan. 2021, pp. 788–791. doi: 10.23919/EuMC48046.2021.9338001.
- [154] A. Maati *et al.*, "Design and Characterization of a Ka Band 40 W RF Chain Based on GH15-10 GaN Technology for Space Solid State Power Amplifier Applications," in *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands, Jan. 2021, pp. 780–783. doi: 10.23919/EuMC48046.2021.9338161.
- [155] K. Joshin and T. Kikkawa, "High power AlGaIn/GaN HEMTs for wireless base station application," in *63rd Device Research Conference Digest, 2005. DRC '05.*, Santa Barbara, CA, USA, 2005, pp. 173–176. doi: 10.1109/DRC.2005.1553108.
- [156] "Fujitsu Develops GaN HEMT Technology for Next-generation Mobile Phone Base Station Amplifiers," 2005. <https://www.fujitsu.com/global/about/resources/news/press-releases/2005/1205-02.html> (accessed May 24, 2022).
- [157] "Fujitsu Develops GaN Power Amplifier with World's Highest Output Performance for W-Band Wireless Transmissions," Jan. 25, 2016. <https://www.fujitsu.com/global/about/resources/news/press-releases/2016/0125-01.html>
- [158] Y. Kumazaki *et al.*, "Over 80% power-added-efficiency GaN high-electron-mobility transistors on free-standing GaN substrates," *Appl. Phys. Express*, vol. 14, no. 1, Jan. 2021, doi: 10.35848/1882-0786/abc1cc.

- [159] J. Kotani, S. Ozaki, J. Yaita, A. Yamada, and T. Ohki, "Current status of high-power GaN HEMTs and future prospects on AlN-based devices," in *2021 IEEE International Meeting for Future Electron Devices, Kansai (IMFEDK)*, Kyoto, Japan, Nov. 2021, pp. 1–3. doi: 10.1109/IMFEDK53601.2021.9637617.
- [160] N. Ui, "RF GaN HEMT Product and Application for Base Station," 2020, p. 3.
- [161] K. Inoue, K. Sugawara, K. Kikuchi, I. Makabe, and H. Yamamoto, "Feasibility Study of InAlN/GaN HEMT for sub-6 GHz Band Applications," in *2019 IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Nashville, TN, USA, Nov. 2019, pp. 1–4. doi: 10.1109/BCICTS45179.2019.8972761.
- [162] "GaN Semiconductors are Enabling New X-band Radars," Nov. 22, 2021. <https://sumitomoelectric.com/publications/pr-news-articles/2021/11/gan-semiconductors-are-enabling-new-x-band-radars> (accessed May 24, 2022).
- [163] "RFHIC GaN T/R Modules." <https://rfhic.com/power-amplifiers/gan-tr-modules/> (accessed May 24, 2022).
- [164] "GaN HEMT Die," WAVICE Inc. <http://www.wavice.com/products/gan-hemt-die/> (accessed Aug. 31, 2022).
- [165] Y.-W. Lien *et al.*, "An Improved 0.25 $\mu$ m GaN on SiC MMIC Technology for Radar and 5G Applications," p. 5.
- [166] "WIN Semiconductors - MMIC Advanced Technology." [https://www.winfoundry.com/en-US/Tech/tech\\_advanced#s\\_4](https://www.winfoundry.com/en-US/Tech/tech_advanced#s_4) (accessed May 24, 2022).
- [167] Y.-W. Lien *et al.*, "GaN technologies for applications from L- to Ka-band," in *2017 IEEE International Conference on Microwaves, Antennas, Communications and Electronic Systems (COMCAS)*, Tel-Aviv, Nov. 2017, pp. 1–5. doi: 10.1109/COMCAS.2017.8244831.
- [168] "0,25  $\mu$ m GaN/SiC HEMT process," HIWAFER. <http://www.hiwafer.com/gan-process-products/10.html> (accessed Aug. 31, 2022).
- [169] "Gallium nitride (GaN) core," Dynax. <http://en.dynax-semi.com/danhuajiaguanxin/> (accessed Aug. 31, 2022).
- [170] P. Murugapandian, S. Ravimaran, and J. William, "30 nm T-gate enhancement-mode InAlN/AlN/GaN HEMT on SiC substrates for future high power RF applications," *J. Semicond.*, vol. 38, no. 8, p. 084001, Aug. 2017, doi: 10.1088/1674-4926/38/8/084001.
- [171] J.-W. Lee, V. Kumar, and I. Adesida, "High-Power-Density 0.25  $\mu$ m Gate-Length AlGaIn/GaN High-Electron-Mobility Transistors on Semi-Insulating 6H-SiC Substrates," *Jpn. J. Appl. Phys.*, vol. 45, no. 1A, pp. 13–17, Jan. 2006, doi: 10.1143/JJAP.45.13.
- [172] X. Wang *et al.*, "AlGaIn/AlN/GaN/SiC HEMT structure with high mobility GaN thin layer as channel grown by MOCVD," *J. Cryst. Growth*, vol. 298, pp. 835–839, Jan. 2007, doi: 10.1016/j.jcrysgro.2006.10.219.
- [173] Y. Hao *et al.*, "High-Performance Microwave Gate-Recessed AlGaIn/AlN/GaN MOS-HEMT With 73% Power-Added Efficiency," *IEEE Electron Device Lett.*, vol. 32, no. 5, pp. 626–628, May 2011, doi: 10.1109/LED.2011.2118736.
- [174] T. E. Kazior, "Wafer Scale Integration of III-Vs (GaN) with Si CMOS for RF Applications," Andover, MA, May 03, 2016.
- [175] "Raytheon Technologies and GlobalFoundries Partner to Accelerate 5G Wireless Connectivity," May 19, 2021. <https://gf.com/raytheon-technologies-and-globalfoundries-partner-accelerate-5g-wireless-connectivity/> (accessed May 25, 2022).
- [176] "STMicroelectronics and MACOM RF Gallium-Nitride-on-Silicon prototypes achieve technology and performance milestones," May 13, 2022. <https://newsroom.st.com/media-center/press-item.html/t4449.html> (accessed May 24, 2022).
- [177] S. Warnock *et al.*, "InAlN/GaN-on-Si HEMT with 4.5 W/mm in a 200-mm CMOS-Compatible MMIC Process for 3D Integration," in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA, Aug. 2020, pp. 289–292. doi: 10.1109/IMS30576.2020.9224061.
- [178] L. Li *et al.*, "GaN HEMTs on Si With Regrown Contacts and Cutoff/Maximum Oscillation Frequencies of 250/204 GHz," *IEEE Electron Device Lett.*, vol. 41, no. 5, pp. 689–692, May 2020, doi: 10.1109/LED.2020.2984727.
- [179] A. L. Hickman *et al.*, "Next generation electronics on the ultrawide-bandgap aluminum nitride platform," *Semicond. Sci. Technol.*, vol. 36, no. 4, p. 044001, Apr. 2021, doi: 10.1088/1361-6641/abe5fd.
- [180] H. W. Then *et al.*, "Experimental observation and physics of negative capacitance and steeper than 40mV/decade subthreshold swing in Al<sub>0.83</sub>In<sub>0.17</sub>N/AlN/GaN MOS-HEMT on SiC substrate," in *2013 IEEE International Electron Devices Meeting*, Washington, DC, USA, Dec. 2013, p. 28.3.1-28.3.4. doi: 10.1109/IEDM.2013.6724709.
- [181] H. W. Then *et al.*, "Gallium Nitride and Silicon Transistors on 300 mm Silicon Wafers Enabled by 3-D Monolithic Heterogeneous Integration," *IEEE Trans. Electron Devices*, vol. 67, no. 12, pp. 5306–5314, Dec. 2020, doi: 10.1109/TED.2020.3034076.
- [182] H. W. Then *et al.*, "Advanced Scaling of Enhancement Mode High-K Gallium Nitride-on-300mmSi(111) Transistor and 3D Layer Transfer GaN-Silicon Finfet CMOS Integration," in *IEDM*, San Francisco, California, USA, 2021, p. 4.
- [183] Q. Yu *et al.*, "5G mmWave Power Amplifier and Low-Noise Amplifier in 300mm GaN-on-Si Technology," in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Honolulu, HI, USA, Jun. 2022, pp. 126–127. doi: 10.1109/VLSITechnologyandCir46769.2022.9830383.

- [184] P. Altuntas *et al.*, "Power Performance at 40 GHz of AlGaN/GaN High-Electron Mobility Transistors Grown by Molecular Beam Epitaxy on Si(111) Substrate," *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 303–305, Apr. 2015, doi: 10.1109/LED.2015.2404358.
- [185] D. Marti, C. R. Bolognesi, Y. Cordier, M. Chmielowska, and M. Ramdani, "RF Performance of AlGaN/GaN High-Electron-Mobility Transistors Grown on Silicon (110)," *Appl. Phys. Express*, vol. 4, no. 6, p. 064105, Jun. 2011, doi: 10.1143/APEX.4.064105.
- [186] D. Marti *et al.*, "94-GHz Large-Signal Operation of AlInN/GaN High-Electron-Mobility Transistors on Silicon With Regrown Ohmic Contacts," *IEEE Electron Device Lett.*, vol. 36, no. 1, pp. 17–19, Jan. 2015, doi: 10.1109/LED.2014.2367093.
- [187] D. Marti, L. Lugani, J.-F. Carlin, M. Malinverni, N. Grandjean, and C. R. Bolognesi, "W Band MMIC Amplifiers Based on AlInN/GaN HEMTs Grown on Silicon," *IEEE Electron Device Lett.*, vol. 37, no. 8, pp. 1025–1028, Aug. 2016, doi: 10.1109/LED.2016.2581301.
- [188] "OMMIC - GaN POWER AMPLIFIERS." <https://www.ommic.com/our-gan-products/> (accessed May 24, 2022).
- [189] B. Parvais *et al.*, "GaN-on-Si mm-wave RF Devices Integrated in a 200mm CMOS Compatible 3-Level Cu BEOL," in *IEDM*, San Francisco, CA, USA, 2020, p. 4.
- [190] H. Xie *et al.*, "GaN-on-Si HEMTs Fabricated With Si CMOS-Compatible Metallization for Power Amplifiers in Low-Power Mobile SoCs," *IEEE Microw. Wirel. Compon. Lett.*, pp. 1–4, 2020, doi: 10.1109/LMWC.2020.3036389.
- [191] S. Lei *et al.*, "Low leakage GaN HEMTs with sub-100 nm T-shape gates fabricated by a low-damage etching process," *J. Mater. Sci. Mater. Electron.*, vol. 31, no. 8, pp. 5886–5891, Apr. 2020, doi: 10.1007/s10854-019-02758-z.
- [192] H. Lu *et al.*, "High RF Performance GaN-on-Si HEMTs with Passivation Implanted Termination," *IEEE Electron Device Lett.*, pp. 1–1, 2021, doi: 10.1109/LED.2021.3135703.
- [193] "TSMC Annual Report 2016." <https://investor.tsmc.com/static/annualReports/2016/english/annual2016e.pdf>
- [194] M. Rocchi, "100nm and 60nm GaN/Si MMICs for 5G Mobile Telecommunications," Hawaii, p. 19.
- [195] D. Marti, S. Tirelli, A. R. Alt, J. Roberts, and C. R. Bolognesi, "150-GHz Cutoff Frequencies and 2-W/mm Output Power at 40 GHz in a Millimeter-Wave AlGaN/GaN HEMT Technology on Silicon," *IEEE Electron Device Lett.*, vol. 33, no. 10, pp. 1372–1374, Oct. 2012, doi: 10.1109/LED.2012.2204855.
- [196] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, and P. A. Rolland, "First Demonstration of High-Power GaN-on-Silicon Transistors at 40 GHz," *IEEE Electron Device Lett.*, vol. 33, no. 8, pp. 1168–1170, Aug. 2012, doi: 10.1109/LED.2012.2198192.
- [197] P.-T. Tu *et al.*, "Quaternary Barrier AlInGaN/GaN-on-Si High Electron Mobility Transistor with Record FT-Lg Product of 13.9 GHz-Pm," p. 2, 2020.
- [198] T. Ueda, T. Tanaka, and D. Ueda, "Current status on GaN-based RF-power devices," in *2011 Proceedings of the ESSCIRC (ESSCIRC)*, Helsinki, Finland, Sep. 2011, pp. 61–66. doi: 10.1109/ESSCIRC.2011.6044915.
- [199] J. LaRoche *et al.*, "Towards a Si Foundry-Compatible, High-Performance,  $\leq 0.25 \mu\text{m}$  Gate, GaN-on-Si MMIC Process on High-Resistivity 200 mm  $\langle 111 \rangle$  Si With A Cu Damascene BEOL," p. 4, 2016.
- [200] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, "Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors," *Appl. Phys. Lett.*, vol. 77, no. 2, pp. 250–252, Jul. 2000, doi: 10.1063/1.126940.
- [201] J. Moereke, E. Morvan, W. Vandendaele, F. Allain, A. Torres, and M. Plissonnier, "Performance Limiting Leakage Current Across Ar-Implantation Isolation in AlGaIn/GaN Structures for High Power Applications," 2016, p. 4.
- [202] A. Firrincieli, B. De Jaeger, S. You, D. Wellekens, M. Van Hove, and S. Decoutere, "Au-free low temperature ohmic contacts for AlGaIn/GaN power devices on 200 mm Si substrates," *Jpn. J. Appl. Phys.*, vol. 53, no. 4S, p. 04EF01, Jan. 2014, doi: 10.7567/JJAP.53.04EF01.
- [203] J. Lehmann *et al.*, "Novel sheet resistance measurement on AlGaIn/GaN HEMT wafer adapted from four-point probe technique," in *Proceedings of the 2015 International Conference on Microelectronic Test Structures*, Tempe, AZ, USA, Mar. 2015, pp. 163–168. doi: 10.1109/ICMTS.2015.7106134.
- [204] S. Arulkumaran, T. Egawa, H. Ishikawa, T. Jimbo, and Y. Sano, "Surface passivation effects on AlGaIn/GaN high-electron-mobility transistors with SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, and silicon oxynitride," *Appl. Phys. Lett.*, vol. 84, no. 4, p. 3, Jan. 2004, doi: 10.1063/1.1642276.
- [205] Y. Ohno, T. Nakao, S. Kishimoto, K. Maezawa, and T. Mizutani, "Effects of surface passivation on breakdown of AlGaIn/GaN high-electron-mobility transistors," *Appl. Phys. Lett.*, vol. 84, no. 12, p. 3, Mar. 2004, doi: 10.1063/1.1687983.
- [206] C. R. English *et al.*, "Impact of surface treatments on high- $\kappa$  dielectric integration with Ga-polar and N-polar GaN," *J. Vac. Sci. Technol. B Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 32, no. 3, p. 03D106, May 2014, doi: 10.1116/1.4831875.
- [207] L. Vauche *et al.*, "Study of an Al<sub>2</sub>O<sub>3</sub>/GaN Interface for Normally Off MOS-Channel High-Electron-Mobility Transistors Using XPS Characterization: The Impact of Wet Surface Treatment on Threshold Voltage V<sub>TH</sub>," *ACS Appl. Electron. Mater.*, vol. 3, no. 3, pp. 1170–1177, Mar. 2021, doi: 10.1021/acsaelm.0c01023.

- [208] Z. Zhang *et al.*, "AlGaIn/GaN MIS-HEMTs of Very-Low  $V_{th}$  Hysteresis and Current Collapse With In-Situ Pre-Deposition Plasma Nitridation and LPCVD-Si<sub>3</sub>N<sub>4</sub> Gate Insulator," *IEEE Electron Device Lett.*, vol. 38, no. 2, pp. 236–239, Feb. 2017, doi: 10.1109/LED.2016.2636136.
- [209] A. M. Angelotti, G. P. Gibiino, C. Florian, and A. Santarelli, "Trapping Dynamics in GaN HEMTs for Millimeter-Wave Applications: Measurement-Based Characterization and Technology Comparison," *Electronics*, vol. 10, no. 2, p. 137, Jan. 2021, doi: 10.3390/electronics10020137.
- [210] M. Fukumoto and T. Ohzone, "Fluorine distributions in a chemical vapor deposited tungsten silicide/polycrystalline silicon composite gate structure," *Appl. Phys. Lett.*, vol. 50, no. 14, pp. 894–896, Apr. 1987, doi: 10.1063/1.98025.
- [211] I.-C. Chen, M. Rodder, H.-J. Wann, and D. Spratt, "Performance and reliability enhancement for CVD tungsten polycided CMOS transistors due to fluorine incorporation in the gate oxide," *IEEE Electron Device Lett.*, vol. 15, no. 9, pp. 351–353, Sep. 1994, doi: 10.1109/55.311131.
- [212] H. Yang *et al.*, "A comparison of TiN processes for CVD W/TiN gate electrode on 3 nm gate oxide," in *International Electron Devices Meeting. IEDM Technical Digest*, Washington, DC, USA, 1997, pp. 459–462. doi: 10.1109/IEDM.1997.650423.
- [213] J. Moon, T. Y. Lee, H. J. Ahn, T. I. Lee, W. S. Hwang, and B. J. Cho, "Fluorine Effects Originating From the CVD-W Process on Charge-Trap Flash Memory Cells," *IEEE Trans. Electron Devices*, vol. 66, no. 1, pp. 378–382, Jan. 2019, doi: 10.1109/TED.2018.2873693.
- [214] Yong Cai, Yugang Zhou, K. J. Chen, and K. M. Lau, "High-performance enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment," *IEEE Electron Device Lett.*, vol. 26, no. 7, pp. 435–437, Jul. 2005, doi: 10.1109/LED.2005.851122.
- [215] T. Palacios, C.-S. Suh, A. Chakraborty, S. Keller, S. P. DenBaars, and U. K. Mishra, "High-performance E-mode AlGaIn/GaN HEMTs," *IEEE Electron Device Lett.*, vol. 27, no. 6, pp. 428–430, Jun. 2006, doi: 10.1109/LED.2006.874761.
- [216] R. Y. EIKashlan *et al.*, "Analysis of Gate-Metal Resistance in CMOS-Compatible RF GaN HEMTs," *IEEE Trans. Electron Devices*, vol. 67, no. 11, pp. 4592–4596, Nov. 2020, doi: 10.1109/TED.2020.3017467.
- [217] Y. Li *et al.*, "Investigation of gate leakage current mechanism in AlGaIn/GaN high-electron-mobility transistors with sputtered TiN," *J. Appl. Phys.*, vol. 121, no. 4, p. 044504, Jan. 2017, doi: 10.1063/1.4974959.
- [218] I. Nifa *et al.*, "Characterization and modeling of 2DEG mobility in AlGaIn/AlN/GaN MIS-HEMT," *Microelectron. Eng.*, vol. 215, p. 110976, Jul. 2019, doi: 10.1016/j.mee.2019.05.003.
- [219] A. G. Viey and W. Vandendaele, "Carbon-Related pBTI Degradation Mechanisms in GaN-on-Si E-Mode MOSc-HEMT," p. 4.
- [220] E. Zanoni *et al.*, "Reliability Physics of GaN HEMT Microwave Devices: The Age of Scaling," in *2020 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, Apr. 2020, pp. 1–10. doi: 10.1109/IRPS45951.2020.9128358.
- [221] S. Yadav *et al.*, "Substrate RF Losses and Non-linearities in GaN-on-Si HEMT Technology," in *2020 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, Dec. 2020, p. 8.2.1-8.2.4. doi: 10.1109/IEDM13553.2020.9371893.
- [222] P. Cardinael *et al.*, "Impact of III-N buffer layers on RF losses and harmonic distortion of GaN-on-Si Substrates," in *ESSDERC 2021 - IEEE 51st European Solid-State Device Research Conference (ESSDERC)*, Grenoble, France, Sep. 2021, pp. 303–306. doi: 10.1109/ESSDERC53440.2021.9631822.
- [223] S. Chang, M. Zhao, V. Spampinato, A. Franquet, and L. Chang, "The influence of AlN nucleation layer on RF transmission loss of GaN buffer on high resistivity Si (111) substrate," *Semicond. Sci. Technol.*, vol. 35, no. 3, p. 035029, Mar. 2020, doi: 10.1088/1361-6641/ab7149.
- [224] Y. Cordier *et al.*, "Influence of AlN Growth Temperature on the Electrical Properties of Buffer Layers for GaN HEMTs on Silicon," *Phys. Status Solidi A*, vol. 215, no. 9, p. 1700637, May 2018, doi: 10.1002/pssa.201700637.
- [225] "Transistor processes," *OMMIC*. <https://www.ommic.com/iii-v-processes/> (accessed Sep. 20, 2020).
- [226] M. Coig *et al.*, "Si and Mg Ion Implantation for Doping of GaN Grown on Silicon," in *2018 22nd International Conference on Ion Implantation Technology (IIT)*, Würzburg, Germany, Sep. 2018, pp. 70–73. doi: 10.1109/IIT.2018.8807956.
- [227] Tomoaki. Nishimura, T. Kasai, T. Mishima, K. Kuriyama, and T. Nakamura, "Reduction in contact resistance and structural evaluation of Al/Ti electrodes on Si-implanted GaN," *Nucl. Instrum. Methods Phys. Res. Sect. B Beam Interact. Mater. At.*, vol. 450, pp. 244–247, Jul. 2019, doi: 10.1016/j.nimb.2018.09.001.
- [228] Haijiang Yu *et al.*, "Ion implanted AlGaIn-GaN HEMTs with nonalloyed Ohmic contacts," *IEEE Electron Device Lett.*, vol. 26, no. 5, pp. 283–285, May 2005, doi: 10.1109/LED.2005.846583.
- [229] F. Recht *et al.*, "Nonalloyed ohmic contacts in AlGaIn/GaN HEMTs by ion implantation with reduced activation annealing temperature," *IEEE Electron Device Lett.*, vol. 27, no. 4, pp. 205–207, Apr. 2006, doi: 10.1109/LED.2006.870419.
- [230] R. Kubo, "Statistical-Mechanical Theory of Irreversible Processes: General Theory and Simple Applications to Magnetic and Conduction Problems," Jun. 1957.

- [231] D. A. Greenwood, "The Boltzmann Equation in the Theory of Electrical Conduction in Metals," *Proc. Phys. Soc.*, vol. 71, no. 4, pp. 585–596, Apr. 1958, doi: 10.1088/0370-1328/71/4/306.
- [232] K. Narang *et al.*, "Investigation of carrier gas on morphological and structural characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT," *Mater. Res. Bull.*, vol. 153, p. 111875, Sep. 2022, doi: 10.1016/j.materresbull.2022.111875.
- [233] S. B. Lisesivdin, S. Acar, M. Kasap, S. Ozcelik, S. Gokden, and E. Ozbay, "Scattering analysis of 2DEG carrier extracted by QMSA in undoped Al<sub>0.25</sub>Ga<sub>0.75</sub>N/GaN heterostructures," *Semicond. Sci. Technol.*, vol. 22, no. 5, pp. 543–548, May 2007, doi: 10.1088/0268-1242/22/5/015.
- [234] M. J. Uren *et al.*, "Punch-through in short-channel AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs," *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 395–398, Feb. 2006, doi: 10.1109/TED.2005.862702.
- [235] M. Nemoz *et al.*, "Interdiffusion of Al and Ga in AlN/AlGa<sub>N</sub> superlattices grown by ammonia-assisted molecular beam epitaxy," *Superlattices Microstruct.*, vol. 150, p. 106801, Feb. 2021, doi: 10.1016/j.spmi.2020.106801.
- [236] J. R. Matey and J. Blanc, "Scanning capacitance microscopy," p. 9.
- [237] R. Jakiela, A. Barcz, E. Dumiszewska, and A. Jagoda, "Si diffusion in epitaxial Ga<sub>N</sub>," *Phys. Status Solidi C*, vol. 3, no. 6, pp. 1416–1419, Jun. 2006, doi: 10.1002/pssc.200565112.
- [238] A. Chanuel *et al.*, "Breakdown Mechanism of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT on 200 mm Silicon Substrate with Silicon Implant-Assisted Contacts," *Trans. Electron Devices*, vol. Volume 69, Issue 10, Oct. 2022, doi: 10.1109/TED.2022.3201837.
- [239] A.-J. Tzou, D.-H. Hsieh, S.-H. Chen, Z.-Y. Li, C.-Y. Chang, and H.-C. Kuo, "Non-thermal alloyed ohmic contact process of Ga<sub>N</sub>-based HEMTs by pulsed laser annealing," *Semicond. Sci. Technol.*, vol. 31, no. 5, p. 055003, May 2016, doi: 10.1088/0268-1242/31/5/055003.
- [240] S. Karmalkar, D. M. Sathaiya, and M. S. Shur, "Mechanism of the reverse gate leakage in AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistors," p. 4, 2003.
- [241] K. Köhler *et al.*, "Leakage mechanism in Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN heterostructures with AlN interlayer," *Semicond. Sci. Technol.*, vol. 37, no. 2, p. 025016, Jan. 2022, doi: 10.1088/1361-6641/ac44e3.
- [242] Y. Yao *et al.*, "Current transport mechanism of AlGa<sub>N</sub>/Ga<sub>N</sub> Schottky barrier diode with fully recessed Schottky anode," *Jpn J Appl Phys*, p. 7, 2015.
- [243] S. Turuvekere, N. Karumuri, A. A. Rahman, A. Bhattacharya, A. DasGupta, and N. DasGupta, "Gate Leakage Mechanisms in AlGa<sub>N</sub>/Ga<sub>N</sub> and AlInN/GaN HEMTs: Comparison and Modeling," *IEEE Trans. Electron Devices*, vol. 60, no. 10, pp. 3157–3165, Oct. 2013, doi: 10.1109/TED.2013.2272700.
- [244] C.-Y. Lin *et al.*, "On the impact of Gate field-plate length and barrier layer thickness on TDDDB lifetime of Ga<sub>N</sub>-on-Si MISHEMT devices for RF/5G/mm-Wave applications," in *2020 IEEE International Integrated Reliability Workshop (IIRW)*, South Lake Tahoe, CA, USA, Oct. 2020, pp. 1–7. doi: 10.1109/IIRW49815.2020.9312857.
- [245] K. M. Bothe *et al.*, "Improved X-Band Performance and Reliability of a Ga<sub>N</sub> HEMT With Sunken Source Connected Field Plate Design," *IEEE Electron Device Lett.*, vol. 43, no. 3, pp. 354–357, Mar. 2022, doi: 10.1109/LED.2022.3146194.
- [246] A. Ray, S. Bordoloi, B. Sarkar, P. Agarwal, and G. Trivedi, "Numerical Simulation of Enhanced-Reliability Filleted-Gate AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT," *J. Electron. Mater.*, Jan. 2020, doi: 10.1007/s11664-019-07905-0.
- [247] A. Jarndal and G. Kompa, "A new small-signal modeling approach applied to Ga<sub>N</sub> devices," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 11, pp. 3440–3448, Nov. 2005, doi: 10.1109/TMTT.2005.857332.
- [248] P. K. Kaushik, S. K. Singh, A. Gupta, and A. Basu, "Small-Signal Analysis of Channel Resistance  $R_{L}$  at Low Gate Bias Voltages in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs," *IEEE Trans. Electron Devices*, pp. 1–6, 2021, doi: 10.1109/TED.2021.3116533.
- [249] M. Goto, Y. Ohta, T. Aigo, and A. Moritani, "A Small-signal Linear Equivalent HEMT's Fabricated on GaAs-on-Si," *IEEE Trans. Microw. THEORY Tech.*, vol. 44, no. 5, p. 6, 1996.
- [250] E. M. Chumbes *et al.*, "AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistors on Si(111) substrates," *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 420–426, Mar. 2001, doi: 10.1109/16.906430.
- [251] M. A. Alim, A. A. Rezazadeh, and C. Gaquiere, "Temperature Effect on DC and Equivalent Circuit Parameters of 0.15-  $\mu\text{m}$  Gate Length Ga<sub>N</sub>/SiC HEMT for Microwave Applications," *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 11, pp. 3483–3491, Nov. 2016, doi: 10.1109/TMTT.2016.2604815.
- [252] G. Crupi, A. Raffo, G. Avolio, D. M. M.-P. Schreurs, G. Vannini, and A. Caddemi, "Temperature Influence on Ga<sub>N</sub> HEMT Equivalent Circuit," *IEEE Microw. Wirel. Compon. Lett.*, vol. 26, no. 10, pp. 813–815, Oct. 2016, doi: 10.1109/LMWC.2016.2601487.
- [253] H. Sanchez-Martin *et al.*, "Characterization and modeling of traps and RF frequency dispersion in AlGa<sub>N</sub>/AlN/GaN HEMTs," in *2016 11th European Microwave Integrated Circuits Conference (EuMIC)*, London, United Kingdom, Oct. 2016, pp. 153–156. doi: 10.1109/EuMIC.2016.7777513.
- [254] A. Jarndal, "Genetic algorithm-based neural-network modeling approach applied to AlGa<sub>N</sub>/Ga<sub>N</sub> devices: Genetic-NN Modeling Approach," *Int. J. RF Microw. Comput.-Aided Eng.*, vol. 23, no. 2, pp. 149–156, Mar. 2013, doi: 10.1002/mmce.20660.



- [255] M. Mishra, S. Kumar, S. K. Tomar, S. Vinayak, and B. K. Sehgal, "Effect of traps on small signal equivalent circuit in AlGaIn/GaN HEMTs," in *2014 IEEE 2nd International Conference on Emerging Electronics (ICEE)*, Bengaluru, India, Dec. 2014, pp. 1–4. doi: 10.1109/ICEEelec.2014.7151174.
- [256] J. B. King and T. J. Brazil, "A GaN HEMT equivalent circuit model with novel approach to dispersion modelling," p. 4.
- [257] R. L. Kuvas, "Equivalent circuit model of FET including distributed gate effects," *IEEE Trans. Electron Devices*, vol. 27, no. 6, pp. 1193–1195, Jun. 1980, doi: 10.1109/T-ED.1980.20006.
- [258] S. Colangeli *et al.*, "Linear Characterization and Modeling of GaN-on-Si HEMT Technologies with 100 nm and 60 nm Gate Lengths," *Electronics*, vol. 10, no. 2, p. 134, Jan. 2021, doi: 10.3390/electronics10020134.
- [259] N. Moll, M. R. Hueschen, and A. Fischer-Colbrie, "Pulse-doped AlGaAs/InGaAs pseudomorphic MODFETs," *IEEE Trans. Electron Devices*, vol. 35, no. 7, pp. 879–886, Jul. 1988, doi: 10.1109/16.3339.
- [260] M. Akita, S. Kishimoto, and T. Mizutani, "High-frequency measurements of AlGaIn/GaN HEMTs at high temperatures," *IEEE Electron Device Lett.*, vol. 22, no. 8, pp. 376–377, Aug. 2001, doi: 10.1109/55.936348.
- [261] T. Suemitsu, K. Shiojima, T. Makimura, and N. Shigekawa, "Intrinsic Transit Delay and Effective Electron Velocity of AlGaIn/GaN High Electron Mobility Transistors," *Jpn. J. Appl. Phys.*, vol. 44, no. No. 6, pp. L211–L213, Jan. 2005, doi: 10.1143/JJAP.44.L211.
- [262] D. W. DiSanto and C. R. Bolognesi, "At-Bias Extraction of Access Parasitic Resistances in AlGaIn/GaN HEMTs: Impact on Device Linearity and Channel Electron Velocity," *IEEE Trans. Electron Devices*, vol. 53, no. 12, pp. 2914–2919, Dec. 2006, doi: 10.1109/TED.2006.885663.
- [263] D. S. Lee, X. Gao, S. Guo, D. Kopp, P. Fay, and T. Palacios, "300-GHz InAlN/GaN HEMTs With InGaIn Back Barrier," *IEEE Electron Device Lett.*, vol. 32, no. 11, pp. 1525–1527, Nov. 2011, doi: 10.1109/LED.2011.2164613.
- [264] F. Lecourt, "Hétérostructures AlGaIn/GaN et InAlN/GaN pour la réalisation de HEMTs de puissance hyperfréquence en bande Ka," p. 257, 2012.
- [265] Y. Tang *et al.*, "Ultrahigh-Speed GaN High-Electron-Mobility Transistors With  $f_{T}/f_{\mathrm{max}}$  of 454/444 GHz," *IEEE Electron Device Lett.*, vol. 36, no. 6, pp. 549–551, Jun. 2015, doi: 10.1109/LED.2015.2421311.
- [266] P.-C. Chao *et al.*, "DC and microwave characteristics of sub-0.1-  $\mu$  m gate-length planar-doped pseudomorphic HEMTs," *IEEE Trans. Electron Devices*, vol. 36, no. 3, pp. 461–473, Mar. 1989, doi: 10.1109/16.19955.
- [267] A. Agboton *et al.*, "Electron delay analysis and image charge effect in AlGaIn/GaN HEMT on silicon substrate," in *2013 Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, Bucharest, Romania, Sep. 2013, pp. 57–60. doi: 10.1109/ESSDERC.2013.6818818.
- [268] T. Nanjo *et al.*, "Improvement of DC and RF Characteristics of AlGaIn/GaN High Electron Mobility Transistors by Thermally Annealed Ni/Pt/Au Schottky Gate," *Jpn. J. Appl. Phys.*, vol. 43, no. 4B, pp. 1925–1929, Apr. 2004, doi: 10.1143/JJAP.43.1925.
- [269] J. Lee, D. Liu, H. Kim, and W. Lu, "Post-annealing effects on device performance of AlGaIn/GaN HFETs," *Solid-State Electron.*, vol. 48, no. 10–11, pp. 1855–1859, Oct. 2004, doi: 10.1016/j.sse.2004.05.026.
- [270] S. O. Kasap and P. Capper, Eds., *Springer handbook of electronic and photonic materials*. New York: Springer, 2006.
- [271] D. K. Schroder, "Semiconductor Material and Device Characterization," in *Semiconductor Material and Device Characterization*, Hoboken, NJ, USA: John Wiley & Sons, Inc., 2005, pp. i–xv. Accessed: Jun. 22, 2020. [Online]. Available: <http://doi.wiley.com/10.1002/0471749095.fmatter>
- [272] A. Nigam, T. N. Bhat, and S. Rajamani, "Effect of self-heating on electrical characteristics of AlGaIn/GaN HEMT on Si (111) substrate," *AIP Adv.*, p. 11, 2017.
- [273] S. Arulkumaran *et al.*, "Temperature dependent microwave performance of AlGaIn/GaN high-electron-mobility transistors on high-resistivity silicon substrate," *Thin Solid Films*, p. 5, 2007.
- [274] D. Maier *et al.*, "Testing the Temperature Limits of GaN-Based HEMT Devices," *IEEE Trans. DEVICE Mater. Reliab.*, vol. 10, no. 4, p. 10, 2010.
- [275] G. Meneghesso, F. Rampazzo, F. Zanoni, A. Tazzoli, and M. Meneghini, "Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives," *IEEE Trans. DEVICE Mater. Reliab.*, vol. 8, no. 2, p. 12, 2008.
- [276] E. A. Jones and M. de Rooij, "High-Power-Density GaN-Based Converters: Thermal Management Considerations," *IEEE Power Electron. Mag.*, vol. 6, no. 4, pp. 22–29, Dec. 2019, doi: 10.1109/MPPEL.2019.2946699.
- [277] A. Prejs, S. Wood, R. Pengelly, and W. Pribble, "Thermal analysis and its application to high power GaN HEMT amplifiers," p. 4, 2009.
- [278] J. Kuzmik, R. Javorka, A. Alam, M. Marso, M. Heuken, and P. Kordos, "Determination of channel temperature in AlGaIn/GaN HEMTs grown on sapphire and silicon substrates using DC characterization method," *IEEE Trans. Electron Devices*, vol. 49, no. 8, pp. 1496–1498, Aug. 2002, doi: 10.1109/TED.2002.801430.
- [279] S. Martin-Horcajo, A. Wang, M.-F. Romero, M. J. Tadjer, and F. Calle, "Simple and Accurate Method to Estimate Channel Temperature and Thermal Resistance in AlGaIn/GaN HEMTs," *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4105–4111, Dec. 2013, doi: 10.1109/TED.2013.2284851.

- [280] L. Baczkowski *et al.*, "Thermal Characterization Using Optical Methods of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs on SiC Substrate in RF Operating Conditions," *IEEE Trans. Electron Devices*, vol. 62, no. 12, pp. 3992–3998, Dec. 2015, doi: 10.1109/TED.2015.2493204.
- [281] M. Riccio, A. Pantellini, A. Irace, G. Breglio, A. Nanni, and C. Lanzieri, "Electro-thermal characterization of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT on Silicon Microstrip Technology," *Microelectron. Reliab.*, vol. 51, no. 9–11, pp. 1725–1729, Sep. 2011, doi: 10.1016/j.microrel.2011.07.003.
- [282] M. Zhao *et al.*, "Thermal analysis of AlGa<sub>N</sub>/Ga<sub>N</sub> high-electron-mobility transistors by infrared microscopy," *Opt. Commun.*, vol. 291, pp. 104–109, Mar. 2013, doi: 10.1016/j.optcom.2012.10.077.
- [283] J. Cho, E. Bozorg-Grayeli, D. H. Altman, M. Asheghi, and K. E. Goodson, "Low Thermal Resistances at Ga<sub>N</sub>-SiC Interfaces for HEMT Technology," *IEEE Electron Device Lett.*, vol. 33, no. 3, pp. 378–380, Mar. 2012, doi: 10.1109/LED.2011.2181481.
- [284] G. Pavlidis, S. Pavlidis, E. R. Heller, E. A. Moore, R. Vetury, and S. Graham, "Characterization of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs Using Gate Resistance Thermometry," *IEEE Trans. Electron Devices*, vol. 64, no. 1, pp. 78–83, Jan. 2017, doi: 10.1109/TED.2016.2625264.
- [285] K. R. Bagnall, O. I. Saadat, T. Palacios, and E. N. Wang, "Analytical thermal model for HEMTs with complex epitaxial structures," in *Fourteenth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm)*, Orlando, FL, USA, May 2014, pp. 947–958. doi: 10.1109/ITHERM.2014.6892384.
- [286] A. M. Darwish, A. Bayba, and H. A. Hung, "Thermal resistance calculation of AlGa<sub>N</sub>/Ga<sub>N</sub> on SiC devices," in *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No.04CH37535)*, Fort Worth, TX, USA, 2004, pp. 2039–2042. doi: 10.1109/MWSYM.2004.1339014.
- [287] J. Joh, J. A. del Alamo, U. Chowdhury, T.-M. Chou, H.-Q. Tserng, and J. L. Jimenez, "Measurement of Channel Temperature in Ga<sub>N</sub> High-Electron Mobility Transistors," *IEEE Trans. Electron Devices*, vol. 56, no. 12, pp. 2895–2901, Dec. 2009, doi: 10.1109/TED.2009.2032614.
- [288] G. Pavlidis, S. Som, J. Barrett, W. Struble, J. Atherton, and S. Graham, "Gate Resistance Thermometry for Ga<sub>N</sub>/Si HEMTs under RF Operation," p. 4.