

THESE

Pour obtenir le grade de :

Docteur de l'université de Lille

Ecole Graduée des Sciences de l'Ingénierie & des Systèmes (EG ENGSYS – 632)

Spécialité : Microélectronique & Nanotechnologies

Préparée au sein du laboratoire IEMN CNRS UMR8520

Thèse présentée par :

Yassine FOUZI

Dirigée par **Sylvain BOLLAERT** (Professeur de l'université, IEMN, Lille)

Et encadrée par **Nicolas DEFRANCE** (Maître de Conférences, IEMN, Lille)

Caractérisation électrique & modélisation non-linéaire de HEMTs GaN en technologie compatible CMOS : évaluation des performances pour la conception de MMIC en bande Ka

Thèse Soutenue publiquement le 18/12/2025

Devant le jury composé de :

M. Kamel HADDADI	Professeur - Université de Lille	Président
Mme. Nathalie MALBERT	Professeure - Université de Bordeaux	Rapporteure
M. Jean Guy TARTARIN	Professeur - Université de Toulouse	Rapporteur
M. Philippe ALTUNTAS	Docteur - MACOM	Examineur
Mme. Valeria DI GIACOMO BRUNEL	Docteure - UMS	Examinatrice
M. Sylvain BOLLAERT	Professeur - Université de Lille	Directeur de thèse
M. Nicolas DEFRANCE	Maitre de conférences - Université de Lille	Encadrant de thèse
M. Erwan MORVAN	Docteur - CEA Leti	Invité

Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés au sein de l'Institut d'Electronique de Microélectronique et de Nanotechnologie (IEMN), au sein de l'équipe Puissance. A ce titre, j'aimerais remercier ici l'ensemble des personnes qui m'ont accueilli et accompagné tout au long de ce travail de thèse.

Je tiens à remercier l'ensemble des membres de mon jury de thèse, notamment à M. Kamel HADDADI, Professeur à l'université de Lille, pour m'avoir fait l'honneur de présider le jury de cette thèse. J'adresse également mes remerciements à Mme. Nathalie MALBERT, Professeure à l'université de Bordeaux, et à M. Jean Guy TARTARIN, Professeur à l'université de Toulouse, pour avoir accepté d'être les rapporteurs de ce travail. Mes remerciements vont également à M. Philippe ALTUNTAS, ingénieur à MACOM, ainsi qu'à Mme. Valeria Di GIACOMO BRUNEL, responsable des solutions produits et services fonderies à UMS, pour avoir accepté d'être membres de ce jury.

Mes remerciements s'adressent à mon directeur de thèse, Sylvain BOLLAERT, pour avoir supervisé ces travaux, ainsi que pour ses conseils et ses encouragements, qui m'ont permis de les mener à bien.

J'exprime ma profonde gratitude à mon encadrant de thèse, Nicolas DEFRANCE. Je le remercie de m'avoir donné l'opportunité de réaliser cette thèse et de travailler sur un sujet particulièrement intéressant. Je lui suis également reconnaissant pour la confiance qu'il m'a accordée au fil du temps, ainsi que pour sa disponibilité, son écoute et la clarté de ses réponses, toujours constructives.

Cette thèse a été rendue possible grâce à la collaboration avec le CEA Leti. Je souhaite exprimer ma gratitude à Erwan MORVAN pour la mise à disposition des composants ayant servi de support à cette étude. Je le remercie également pour la richesse de nos échanges, qui ont contribué à éclairer de nombreux points tout au long de mes travaux. J'adresse également mes remerciements à Ayssar SERHAN ingénieur au CEA Leti, pour son aide et son accompagnement lors de la phase de conception de l'amplificateur. Ses conseils ont été précieux pour mener cette étape à bien.

Je tiens également à remercier l'équipe CHOP à l'IEMN, et plus particulièrement Etienne OKADA et Sylvie LEPILLIET pour leur disponibilité et le temps qu'ils m'ont consacré dans la formation et la prise en main des différents bancs de mesure.

Je souhaite remercier l'ensemble de mes collègues de l'équipe PUISSANCE. J'ai eu la chance d'évoluer dans une ambiance et un environnement de travail agréable, marqué par la bonne humeur, et un véritable esprit d'équipe. J'adresse mes remerciements à Marie LESECQ responsable de l'équipe, pour ses encouragements constants depuis le début de ma thèse, ainsi que pour le temps qu'elle a consacré à la relecture et à la correction de ce manuscrit. Je remercie également Zahia BOUGRIOUA pour ses conseils durant ma période de rédaction.

Merci à Martin DOUBLET pour son aide précieuse sur Labview, qui m'a permis de gagner un temps considerable et d'avancer plus efficacement dans mes travaux. Je lui suis également reconnaissant pour son implication lors de la préparation de ma présentation de soutenance, qui a largement contribué à améliorer la qualité et la beauté de mes diapositives. Je considère toutefois que nous sommes quittes avec tous les cours de baby-foot que je t'ai donné! Tous mes voeux de bonheur à toi et à Linda pour l'avenir. Merci également à Seif EL WHIBI, pour sa bienveillance et la bonne humeur qu'il apporte chaque jour à l'équipe. J'ai aussi beaucoup apprécié nos échanges, ainsi que sa volonté constante d'améliorer son process technologique, qui lui conduira sans doute à réaliser des composants à l'état de l'art.

Je tiens aussi à remercier mon collègue de bureau, Edouard LEBOUVIER, pour ses encouragements et sa gentillesse, lorsqu'il acceptait de travailler dans le noir à chaque fois que je lui demandais d'éteindre la lumière du bureau. J'adresse aussi mes remerciements à Jean Claude BADJI, pour son aide lors des simulations TCAD. Je lui souhaite bon courage et plein de réussite pour la suite de sa thèse.

Je remercie également les autres membres du groupe, notamment Nagesh BHAT, ainsi qu'Esteban MILANESI pour sa gentillesse et son calme, malgré les nombreuses fois où Martin et moi avons pu le taquiner. Je remercie aussi Benjamin CART, pour son aide précieuse lors des mesures de diodes à un moment où j'étais fortement pris par la rédaction.

Enfin, j'exprime ma plus profonde reconnaissance à mes parents, pour leurs sacrifices, leurs encouragements et leur soutien moral, qui m'ont permis de poursuivre et d'achever mes études jusqu'au doctorat. J'adresse également tous mes vœux de réussite à ma sœur dans sa nouvelle aventure.

Sommaire

Introduction Générale.....	7
Chapitre 1 - Intérêt et potentiel de la technologie HEMT GaN.....	11
Introduction	12
1. Motivation	13
1.1. Evolution des réseaux de télécommunication	13
1.2. Choix du composant.....	15
1.3. Intérêt du CMOS compatible GaN sur Si	16
2. Propriétés physiques du matériau GaN	18
2.1. Choix du GaN.....	18
2.2. Figure de mérites	19
2.2.1. Facteur de mérite de Johnson (JFOM)	19
2.2.2. Facteur de mérite Baliga haute fréquence (BHFOM)	19
2.2.3. Facteur de mérite Keyes (KFOM).....	19
3. Evaluation des performances du matériau GaN.....	20
3.1. Champ de claquage	20
3.2. Fréquence de fonctionnement.....	20
3.3. Linéarité	20
3.4. Gestion thermique	21
3.5. Structure cristalline	21
4. Fonctionnement du HEMT GaN.....	23
4.1. Principe de fonctionnement.....	23
4.2. Polarisation spontanée et piézoélectrique	23
4.3. Densité de porteurs dans le canal	24
4.4. Hétérojonction Barrière/Buffer.....	25
5. Architectures des couches épitaxiale	27
5.1. Introduction	27
5.2. Méthode d'épitaxie.....	27
5.2.1. Croissance MOCVD.....	27
5.2.2. Croissance MBE	28
5.3. Structure épitaxiale des transistors HEMT	28
5.3.1. Substrat	28
5.3.2. Couche de nucléation	30
5.3.3. Couche Back-Barrier	30
5.3.4. Couche Buffer GaN	31
5.3.5. Couche Canal	32
5.3.6. Couche Espaceur AlN.....	32
5.3.7. Couche Barrière	32
5.3.8. Cap Layer	34
5.3.9. Passivation.....	34

6. Processus de développement technologique.....	35
6.1. Fabrication de la grille	35
6.1.1. Contact Schottky	35
6.1.2. Contact MIS	36
6.2. Fabrication du contact ohmique	38
6.2.1. Contact allié.....	39
6.2.2. Contact non allié.....	39
7. Effet limitatif.....	40
7.1. Les phénomènes thermiques	40
7.2. Les phénomènes de piège	42
7.2.1. Origine des pièges	42
7.2.2. Impact des pièges sur les performances des HEMTS	43
7.2.3. Solution pour limiter ces effets de pièges	44
8. Limitation au fonctionnement d'un HEMT.....	45
8.1. Impact sur l'efficacité énergétique (PAE).....	45
8.2. Impact sur la puissance de sortie (Pout)	46
8.3. Les effets de canaux court.....	47
9. Etat de l'art et positionnement de la recherche	48
10. Conclusions du chapitre	49

Chapitre 2 - Caractérisation électrique & analyse des technologies CMOS-compatibles 51

Introduction	52
1. Motivation.....	53
2. Présentation des structures de test.....	53
3. Développement technologique.....	54
3.1. Compatibilité CMOS	54
3.2. Contact Ohmique	55
3.3. Contact Grille.....	55
3.3.1. MISHEMT GaN	56
3.3.2. Recess Gate HEMT.....	56
4. Caractérisation électrique des dispositifs	57
4.1. Caractérisation électrique en régime statique.....	58
4.1.1. Caractéristique de sortie I_{ds} (V_{ds})	58
4.1.2. Caractéristique de transfert I_{ds} (V_{gs})	60
4.1.3. Mesure DIBL	62
4.2. Mesure Pulsée.....	65
4.3. Caractérisation hyperfréquence	67
5. Etude des temps de transit	69
5.1. Extraction du temp de transit	70
5.2. Résultat et analyse	72
5.3. Synthèse	77
6. Caractérisation des défauts d'interface Dit.....	77
6.1. Technique de caractérisation	78
6.2. Résultat et analyse	80

7. Développement du banc de mesure IV paramètre S pulsée	83
7.1. Principe de la mesure IV paramètre S pulsée	84
7.2. Impact des pièges lors de la mesure IV pulsé	85
8. Mesure grand signal	87
8.1. Principe des mesures load pull	87
8.2. Résultats en conditions optimales	88
9. Conclusion du chapitre	90
 Chapitre 3 - Modélisation non linéaire électrothermique.....	 91
Introduction	92
1. Type de modèle.....	92
1.1. Modèle Physique.....	93
1.2. Modèle ANN	94
1.3. Modèle Empirique.....	95
2. Etapes de modélisation	96
3. Modélisation linéaire	97
3.1. Extraction des paramètres extrinsèques.....	98
3.1.1. Extraction des capacités parasites.....	98
3.1.2. Extraction des paramètres extrinsèques inductifs et résistifs.....	100
3.2. Extraction des éléments intrinsèques	102
3.3. Exemple de modélisation petit signal du transistor MIS 2x50 μm	103
4. Modélisation non linéaire.....	107
4.1. Modélisation de la source de courant.....	108
4.1.1. Modélisation des courants de diodes	108
4.1.2. Modélisation du courant de drain (Angelov modifié)	109
4.2. Modélisation thermique	112
4.2.1. Méthode d'extraction de la résistance thermique.....	112
4.2.2. Extraction de la résistance thermique.....	113
4.2.3. Modèle thermique	115
4.2.4. Variation des paramètres du modèle en fonction de la température	116
4.3. Modélisation non linéaire des capacités.....	118
4.3.1. Modélisation non linéaire à 1D	119
4.3.2. Modélisation non linéaire à 2D	120
4.4. Modèle de piège	121
4.4.1. Extraction des paramètres du modèle	122
4.4.2. Mise à l'échelle des paramètres du modèle de la source de courant	123
5. Validation du modèle large signal	125
5.1. Validation du modèle en petit signal	125
5.2. Validation du modèle en large signal	127
5.2.1. Performances optimales à 40GHz	127
5.2.2. Performances optimales à 28 GHz	127
5.2.3. Comparaison du modèle à différente impédance.....	128
6. L'impact de l'effet DIBL sur les performances en puissance.....	131
6.1. Simulation du modèle prenant en compte l'effet DIBL.....	131
6.2. Simulation du modèle en réduisant l'effet DIBL	132
7. Conclusion du chapitre	133

Chapitre 4 - Conception d'un amplificateur de puissance en bande Ka	134
Introduction	135
1. Etat de l'art des amplificateurs MMIC en bande K et Ka.....	135
2. Présentation de l'architecture de l'amplificateur de puissance	136
2.1. Présentation du cahier de charge	136
2.2. Topologie de l'amplificateur	137
2.3. Choix du transistor	137
2.3.1. Mise en échelle du modèle non linéaire	138
2.3.2. Choix du point de polarisation	138
2.3.3. Simulation load-pull	139
3. Critère de conception	140
3.1. Conception des circuits de polarisation	141
3.2. Réseaux d'adaptation.....	142
3.2.1. Quadripôle d'adaptation de sortie (OMN)	143
3.2.2. Quadripôle d'adaptation inter-étage (ISMN)	145
3.2.3. Quadripôle d'adaptation d'entrée (IMN)	147
4. Simulation de la première étape de l'amplificateur	149
5. Combineur de puissance.....	150
5.1. Principaux types de combineurs	150
5.2. Coupleur de Lange	151
6. Simulation de l'amplificateur complet.....	152
6.1. Simulation petit signal.....	152
6.2. Simulation grand signal	153
7. Facteur de stabilité linéaire	153
8. Conclusion du chapitre	154
Conclusion générale.....	156
Références.....	158
Résumé.....	166
Abstract.....	166

Introduction Générale

L'évolution technologique est étroitement liée à l'évolution permanente des besoins des consommateurs. À mesure que la société progresse, la recherche et le développement de nouvelles technologies permettant de concevoir et de fabriquer des appareils plus rapides, plus puissants et plus économes en énergie s'intensifient. Cette dynamique a conduit à des avancées majeures dans le domaine des composants microélectroniques, particulièrement en ce qui concerne les technologies à transistors.

Le premier circuit intégré, mis au point par Jack Kilby en 1958, ne contenait que quelques composants à base d'éléments actifs (transistor, diode) et passifs (résistance, capacité). Aujourd'hui, une seule puce peut intégrer des milliards de composants, illustrant le chemin parcouru depuis cette première démonstration et témoignant de l'évolution spectaculaire de la microélectronique.

Cette progression a ouvert la voie à une miniaturisation et à une intégration accrues des composants semi-conducteurs, favorisant ainsi le développement des technologies radiofréquences (RF). À l'origine, celles-ci reposaient sur des assemblages hybrides associant transistors et composants passifs discrets, ce qui limitait la densité d'intégration et la fréquence de fonctionnement. Avec la production à grande échelle, l'émergence des RFIC (Radio-Frequency Integrated Circuits) a marqué une étape clé, en permettant la transition vers des circuits intégrés multifonctions. Cette évolution a rendu possible la conception de systèmes complexes qui occupent aujourd'hui une place centrale dans des secteurs stratégiques tels que la défense, le spatial et les télécommunications, tous confrontés à une exploitation croissante de bandes de fréquences toujours plus élevées.

Dans les domaines spatial et télécom, les besoins croissants en bande passante, en débits élevés et en capacité spectrale ont conduit à l'exploration de nouvelles bandes de fréquences, notamment les bandes K et Ka (18 – 40 GHz). En particulier, la bande Ka est bien adaptée aux transmissions de données à très haut débit, notamment pour les constellations de satellites en orbite basse (LEO). Par ailleurs, elle demeure une candidate importante pour certaines applications de la 5G dans la bande FR2 (Frequency Range 2), tandis que les futurs réseaux 6G devraient s'appuyer sur des fréquences encore plus élevées, telles que la bande millimétrique E (71 – 86 GHz). L'exploitation de ces bandes, en lien avec l'émergence des nouvelles générations de réseaux, aura un impact considérable sur l'infrastructure globale des télécommunications, affectant aussi bien les modules de transmission et de réception des stations de base que les dispositifs intégrés aux terminaux utilisateurs.

L'augmentation de la fréquence et des exigences de puissance dans les systèmes RF a été rendue possible grâce aux progrès constants dans le domaine des technologies de transistors. La technologie CMOS (Complementary Metal-Oxide-Semiconductor) s'est imposée dans les télécommunications grâce à son faible coût, sa consommation énergétique réduite et sa capacité d'intégration élevée (RF, analogique et numérique sur un même circuit). Toutefois, elle reste limitée par les propriétés intrinsèques du silicium.

En effet, au-delà de quelques gigahertz, le CMOS montre ses faiblesses en termes de densité de puissance et d'efficacité énergétique. Pour surmonter ces limitations, l'industrie s'est tournée vers des semi-conducteurs III-V, d'abord l'arséniure de gallium (GaAs), puis le nitrure de gallium (GaN). Ce dernier, grâce à sa large bande interdite et à sa bonne conductivité thermique, s'est rapidement imposé comme matériau de référence pour la fabrication de transistors HEMT (High Electron Mobility Transistor), offrant des performances RF supérieures en termes de linéarité, de rendement et de puissance de sortie, en particulier dans les gammes micro-ondes et millimétriques.

L'intérêt croissant pour le GaN a conduit à une activité de recherche intense, aboutissant à une meilleure compréhension des structures HEMT Al-(In)GaN/GaN et à une amélioration continue des procédés de fabrication. Cette évolution a permis d'atteindre un niveau de maturité industrielle garantissant la fiabilité et la robustesse de la technologie. Cependant, certains défis persistent, notamment liés à l'auto-échauffement et aux défauts cristallins, qui se manifestent sous forme de pièges électriquement actifs. Ces phénomènes dégradent les performances dynamiques des dispositifs et nécessitent la mise en place de techniques de mesure spécifiques pour les caractériser et les analyser. Parallèlement, une modélisation non linéaire du transistor prenant en compte ces effets indésirables s'avère nécessaire afin de reproduire le comportement réel du composant dans une stratégie de conception de circuits.

C'est dans ce contexte que ce travail de recherche, mené au sein du groupe PUISSANCE à l'IEMN, porte sur l'étude d'une nouvelle technologie de transistors HEMT GaN compatibles CMOS réalisés sur substrat silicium (Si), développée par le CEA-Leti. Cette technologie présente de nombreux atouts, en faisant l'une des meilleures candidates pour le déploiement de la nouvelle génération de réseaux 5G en bande FR2.

Durant le premier chapitre, nous mettrons en avant l'intérêt de la technologie HEMT GaN sur Si, en soulignant sa compatibilité CMOS, qui permet la valorisation de fonderies 200 mm, l'accès à des équipements et procédés avancés et à des techniques d'hybridation 3D, et aussi de faciliter l'intégration avec des modules front-end et back-end de la chaîne émission-réception. Nous évaluerons ensuite son potentiel vis-à-vis des autres technologies de transistors dédiées à l'amplification de puissance dans les bandes K et Ka. Cette description sera suivie d'une présentation générale de la technologie GaN, en précisant notamment le rôle et l'impact des différentes couches épitaxiées au sein de l'architecture globale. Nous décrirons ensuite les procédés de fabrication des électrodes de grille et de drain, dont l'optimisation conditionne fortement les performances RF du transistor. Enfin, nous étudierons les effets limitatifs observés sur cette technologie et leur impact sur les caractéristiques du dispositif.

Dans le second chapitre, nous proposerons une méthodologie complète de caractérisation et d'analyse des effets dispersifs, en présentant les protocoles de mesure dédiés aux phénomènes thermiques et aux pièges. Nous comparerons ensuite les performances de deux variantes de transistors CMOS compatibles sur substrat Si, MISHEMT et Recess-Gate, développées par le CEA-Leti. Afin de mieux appréhender le comportement non linéaire des dispositifs, un banc de mesure pulsé a été conçu. Celui-ci permet de minimiser l'influence des effets thermiques et des pièges pour extraire fidèlement le comportement des transistors dans les conditions de fonctionnement correspondant à la conception d'un amplificateur de puissance.

La troisième partie de ce manuscrit sera dédiée à l'élaboration d'un modèle électrique petit signal et grand signal précis, indispensable à la conception d'un circuit MMIC répondant à des spécifications définies. Ce modèle contribuera à la fois à l'optimisation de la technologie GaN et à la prédiction de ses performances à haute fréquence.

Le dernier chapitre portera sur la conception d'un amplificateur de puissance pour une bande de fréquences comprise entre 26 et 30 GHz à partir des transistors étudiés durant cette thèse.

Chapitre 1 - Intérêt et potentiel de la technologie HEMT GaN

Introduction

La transition technologique des systèmes RF, initialement développés pour répondre aux exigences croissantes de performance dans des secteurs critiques tels que les infrastructures de télécommunications, les systèmes radar et les missions spatiales, impose l'utilisation de composants fiables et robustes, capables de couvrir un large spectre de fréquences allant de la bande micro-ondes à la bande millimétrique.

Cette demande a conduit à des avancées scientifiques notables, parmi lesquelles la miniaturisation des composants, rendue possible par le développement des transistors à base de silicium. Ces dispositifs ont permis d'augmenter les fréquences de fonctionnement, de standardiser les architectures et de les diffuser largement, en particulier dans le secteur des télécommunications. Au fil des années, l'augmentation du nombre d'utilisateurs et de leurs besoins a entraîné une croissance considérable du volume de données échangées, exerçant une pression accrue sur les bandes de fréquences traditionnellement exploitées et introduisant de nouvelles contraintes liées à la conception de circuits adaptés à cette migration technologique.

Bien que les composants à base de silicium demeurent la technologie de référence en raison de leur faible coût, ils se révèlent de moins en moins adaptés pour fournir des puissances suffisantes et rendement à haute fréquence. Ainsi, les recherches se sont orientées vers des matériaux à large bande interdite, au premier rang desquels le nitrure de gallium (GaN), aujourd'hui considéré comme le meilleur candidat. Le GaN présente en effet des propriétés physiques remarquables, telles qu'un fort champ de claquage, une bonne mobilité électronique en structures HEMT et une conductivité thermique satisfaisante. Ces caractéristiques en font un matériau particulièrement adapté à la conception d'amplificateurs de puissance destinés aux applications militaires, aux communications par satellites et aux liaisons radio.

Bande (GHz)	L (1 -2)	S (2 -4)	C (4 -8)	X (8 -12)	Ku (12 - 18)	K (18 - 27)	Ka (27 - 40)	V (40 - 75)	W (75 - 110)
Télécom / Spatial	4G / 5G (FR1)		Candidat 5G FR3 (réseaux local / privé)			Candidat 5G FR2			6G
	IoT large porté	Wifi / Bluetooth				Satcom		Liaisons inter-satellites	
	GPS	Radar météo							
Défense	Radar longue portée	Radar surface	Radar Maritime /aéroporté	Radar Naval /aéroporté	Radar haute résolution / précision			Radar avancé, autodirecteurs / Missiles autoguidés	

Figure 1.1 : Gammes et appellations des différentes bandes radio fréquences

Cette première partie du manuscrit est consacrée à l'étude d'une nouvelle technologie de transistors GaN compatible CMOS, développée sur substrat silicium (Si), et spécifiquement orientée vers les applications de télécommunications. Elle vise à répondre aux exigences du déploiement de la nouvelle génération de réseaux 5G dans la bande FR2, couvrant les bandes K (18–27 GHz) et Ka (27–40 GHz).

Ces bandes sont également utilisées dans le secteur spatial, ce qui impose des exigences particulièrement strictes en matière de gestion thermique. Ce paramètre est en effet essentiel pour garantir la fiabilité à long terme des composants. Dans ce contexte, le GaN sur Si entre en concurrence directe avec le GaN sur SiC, ce dernier bénéficiant d'une conductivité thermique élevée (4,5 W/cm·K contre 1,5 W/cm·K pour le Si), qui lui confère un avantage déterminant pour les applications à forte puissance.

1. Motivation

1.1. Evolution des réseaux de télécommunication

La croissance exponentielle du nombre d'objets connectés génère un volume massif de trafic de données, créant une tension entre les besoins en capacité et la rareté du spectre disponible. Les fréquences sub-6 GHz, traditionnellement utilisées pour les communications sans fil, offrent une bonne couverture et une pénétration efficace à travers les obstacles. Toutefois, ces bandes souffrent aujourd'hui de saturation et ne peuvent plus répondre aux besoins des services émergents [1].

La solution consiste à exploiter de nouvelles bandes à plus haute fréquence, offrant des largeurs spectrales plus importantes et des débits supérieurs. Dans cette perspective, les bandes K et Ka (18–40 GHz) représentent une étape clé. Leur disponibilité spectrale en fait un pilier de l'architecture du réseau 5G, en permettant la mise en œuvre de communications à très haut débit. Ces bandes constituent également un levier essentiel pour l'essor de nouveaux écosystèmes numériques connectés, tels que la réalité augmentée, les véhicules autonomes et les réseaux industriels à faible latence.

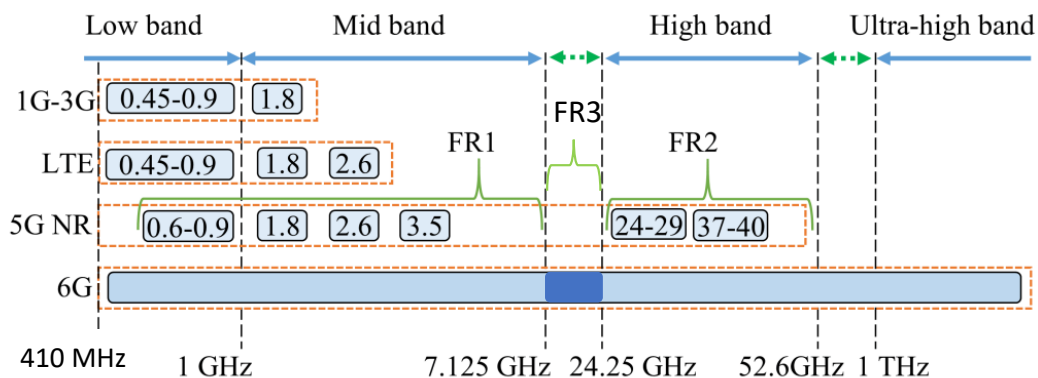


Figure 1.2 : Evolution des générations de réseaux de télécommunications en fonction de la fréquence [2]

L'émergence de dispositifs connectés toujours plus nombreux et diversifiés accélère ainsi l'évolution des générations de réseaux télécoms. Chaque nouvelle génération vise à dépasser les limites techniques de la précédente afin de répondre à la demande croissante des utilisateurs. La première génération de réseaux 5G, déployée majoritairement dans les bandes sub-6 GHz, assure une couverture étendue et une bonne pénétration des signaux, mais sa bande passante, limitée à 100 MHz, restreint la capacité des canaux et les débits maximaux.

Pour surmonter ces limites, la 5G en bande FR2 exploite les ondes millimétriques. Ces dernières présentent des caractéristiques de propagation différentes de celles des micro-ondes : l'atténuation des signaux est plus importante, ce qui nécessite une densification des sites d'émission et rend le déploiement plus complexe et plus coûteux. Néanmoins, elles offrent des largeurs de bande supérieures à 400 MHz et permettent d'atteindre des débits multi-gigabits par seconde. Par ailleurs, la multiplication des liaisons rapprochées améliore la réutilisation spectrale, renforçant ainsi la confidentialité et la sécurité des communications. Ces caractéristiques ouvrent la voie à de nouvelles applications critiques, telles que la télémédecine et la conduite autonome.

Le tableau suivant compare les deux générations du réseau 5G : FR1 déployée dans les bandes micro-ondes et FR2 utilisant les bandes millimétriques :

Caractéristique	SUB-6GHZ (5G FR1)	K & Ka (5G FR2)
Bande de Fréquence	450 MHz – 7.125 GHz	18 -27 GHz / 24 - 40 GHz
Bande Passante	<= 100 MHz	> 400 MHz
Débit Maximal	100 Mbps – 2 Gbps	1 Gbps – 20 Gbps
Latence	10 – 20 ms	< 5ms
Couverture	Plusieurs Km	Courte portée (100 à 300 m)
Pénétration des obstacles	Excellente	Faible
Cout du déploiement	Modéré	Elevé
Type d'antenne	MIMO classique	Massive MIMO, faisceaux directionnels

Table 1.1 : Tableau comparatif des deux générations 5G FR1 et FR2

Ce progrès illustre la nécessité d'exploiter des bandes de fréquences plus élevées afin de satisfaire la demande croissante en capacité. Dans cette perspective, la bande FR3 (7,125–24,25 GHz) combine les avantages des bandes FR1 et FR2, en offrant une bande passante plus large que la FR1, tout en présentant des pertes de propagation moindres que la FR2.

Il est également important de se préparer à la génération suivante : la 6G, dont le déploiement est envisagé à l'horizon 2030. Cette nouvelle génération exploitera des fréquences pouvant atteindre 110 GHz et au-delà, avec pour ambition de multiplier par dix les performances actuelles, d'atteindre des débits allant jusqu'à 100 Gbps, d'offrir une latence quasi nulle et d'accroître encore la densité de connexions.

1.2. Choix du composant

Historiquement, les infrastructures télécoms reposaient essentiellement sur des amplificateurs de puissance RF à base de transistors Si LDMOS (Laterally Diffused Metal-Oxide Semiconductor), largement utilisés dans les stations de base sub-6 GHz. Bien que cette technologie ait démontré sa robustesse et sa maturité, elle demeure intrinsèquement limitée en fréquence (≈ 3 GHz) et en efficacité énergétique. Pour dépasser ces limites, la technologie GaAs a été adoptée, mettant à profit sa très haute mobilité électronique ($8500 \text{ cm}^2/\text{V.s}$) et permettant d'améliorer la bande passante et la linéarité des amplificateurs de puissance.

Cependant, le choix des composants destinés aux amplificateurs RF des systèmes de communication sans fil doit relever plusieurs défis afin d'accompagner la transition technologique des infrastructures télécoms. Parmi ces enjeux, la linéarité demeure un paramètre essentiel pour prévenir la distorsion du signal et garantir la qualité de transmission. Les composants LDMOS, réputés pour leur bonne linéarité mais limités en puissance et en fréquence, laissent ainsi la place aux transistors GaN, capables de fonctionner à des tensions de polarisation plus élevées, de délivrer des puissances de sortie très importantes à haute fréquence et de maintenir une bonne linéarité.

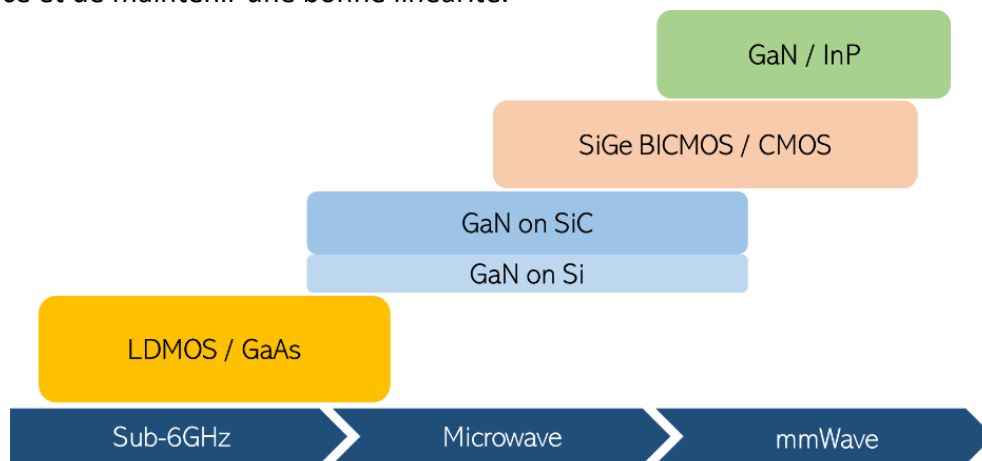


Figure 1.3 : Evolution des technologies RF en télécom

Comme illustré dans la figure 1.3, l'exploitation de nouvelles bandes de fréquences stimule l'innovation dans les technologies de composants RF. Les industriels jouent un rôle clé dans ce processus, en développant des technologies adaptées aux besoins spécifiques de chaque application. Par exemple, GlobalFoundries, Intel et Infineon se concentrent principalement sur le développement du GaN sur silicium pour produire des dispositifs à faible coût et à haut rendement, destinés aux smartphones et aux stations de base 5G autour de 30 GHz.

De leur côté, Wolfspeed, Northrop Grumman, HRL Laboratories, Raytheon, BAE Systems et Fraunhofer IAF privilégient le GaN sur SiC pour les applications spatiales et radar. D'autres entreprises, comme Teledyne, IHP Microelectronics et STMicroelectronics, investissent dans les composants à base d'InP pour les applications à très haute fréquence, au-delà de 100 GHz, grâce à leurs fréquences de coupure très élevées. Enfin, IHP Microelectronics et STMicroelectronics développent également des technologies SiGe BiCMOS, qui combinent des performances en bande millimétrique avec une intégration CMOS, ciblant des applications nécessitant un compromis optimal entre coût, fréquence et intégration [3].

1.3. Intérêt du CMOS compatible GaN sur Si

L'intérêt pour le développement de transistors HEMT GaN sur Si est de plus en plus marqué. Cette structure fait l'objet d'un nombre croissant de travaux et de recherches, comparativement à d'autres filières comme le GaN sur SiC, le GaAs ou l'InP. La technologie GaN sur Si gagne en popularité grâce à des industriels tels que STMicroelectronics, MACOM, Infineon, GlobalFoundries ou Finwave, qui cherchent à exploiter la compatibilité du GaN sur Si avec les lignes de production silicium standard afin de réduire les coûts et de faciliter la montée en volume [4]. L'intérêt réside également dans la possibilité d'utiliser des wafers silicium de grand diamètre (200 ou 300 mm), permettant une production à haut volume et à moindre coût, ce qui favorise son adoption dans le marché grand public.

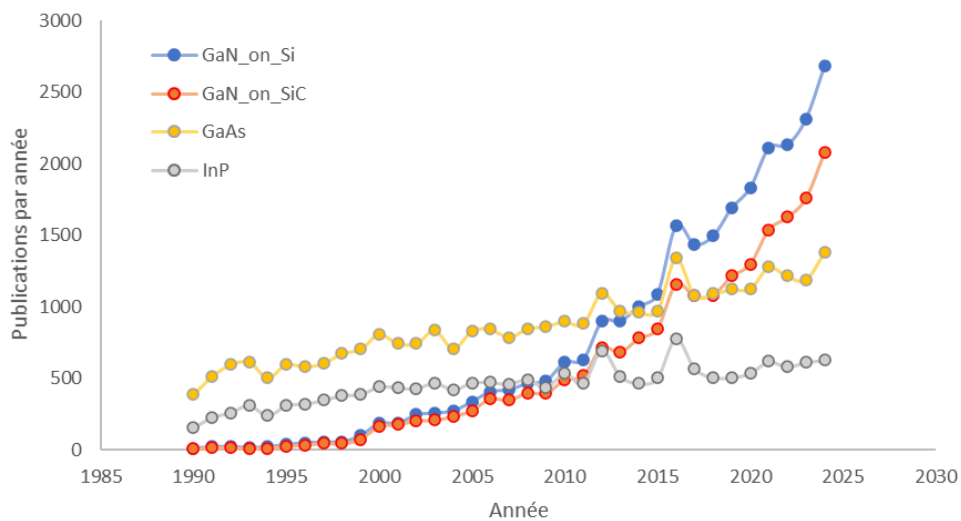


Figure 1.4 : Evolution du nombre de publication par an pour les HEMT GaN sur Si ou SiC, GaAs et InP [5]

Les technologies HEMT GaN sur Si non compatibles CMOS n'exploitent pas pleinement les capacités offertes par l'utilisation d'un substrat silicium. En assurant la compatibilité avec les procédés CMOS, il devient possible d'envisager une intégration hétérogène sur une même puce, combinant transistors et éléments fonctionnels de l'architecture front-end tels que filtres, commutateurs RF, convertisseurs ADC/DAC, amplificateurs de puissance et à faible bruit. Cette intégration permet de créer des composants multifonctions tout en favorisant la miniaturisation grâce à la réduction du nombre d'interconnexions.

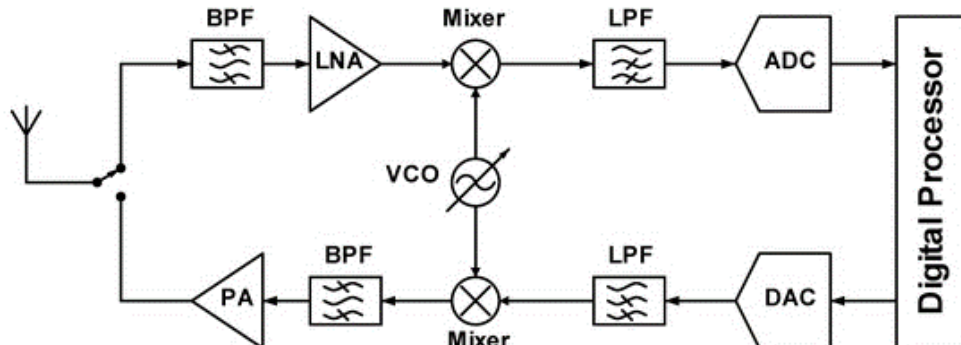


Figure 1.5 : Blocs de circuits RF constituant un système RX/TX

C'est dans cette perspective que cette thèse porte sur l'étude de deux composants GaN sur silicium compatibles CMOS, développés par le CEA-Leti selon des procédés différents de ceux des transistors HEMT classiques. Ces dispositifs sont fabriqués dans un environnement CMOS-compatible. Toutefois, l'optimisation de ces transistors, en particulier pour améliorer leur efficacité énergétique, demeure un enjeu majeur lors de la conception d'amplificateurs de puissance.

Un défi crucial réside dans la recherche d'un compromis entre linéarité et efficacité énergétique (PAE). En effet, pour limiter la distorsion induite par les modulations complexes à large bande passante et à haut débit, les amplificateurs doivent fonctionner en back-off, c'est-à-dire à une puissance inférieure au point de saturation. Ce mode de fonctionnement réduit le rendement énergétique, mais il demeure indispensable pour garantir la linéarité requise par les systèmes de communication de nouvelle génération, en particulier dans le cadre du déploiement de la 5G FR2.

2. Propriétés physiques du matériau GaN

2.1. Choix du GaN

Pour concevoir des composants capables de délivrer une puissance élevée à haute fréquence, le nitrure de gallium (GaN), matériau semiconducteur prometteur de la famille des III-V, a connu un essor considérable depuis son intégration dans la technologie des transistors HEMTs. Cette avancée technologique a permis de surpasser les performances des composants traditionnels à base de silicium (Si) et d'arséniure de gallium (GaAs).

Nous détaillons ci-après les principales propriétés de ces matériaux [6], en présentant leurs impacts directs sur les performances des transistors.

Propriétés du matériau	Si	SiC	GaAs	GaN
Largeur bande interdite (eV)	1.1	3.26	1.42	3.49
Mobilité (cm ² /Vs) à 300 K	1500	700	8500	2000
Vitesse de saturation des porteurs (x 10 ⁷ cm/s) à 300 K	1	2	2.1	2.7
Champ électrique (MV/cm)	0.3	2	0.4	3.3
Conductivité thermique (W/cm.K) à 300 K	1.5	4.5	0.5	1.7
Constante diélectrique	11.8	10	12.8	9

Table 1.2 : Comparaison des principales propriétés des matériaux Si, SiC, GaAs et GaN

La table 1.2 présente une comparaison des principaux matériaux utilisés pour le développement des transistors. Le silicium (Si) possède une bande interdite relativement étroite (1,1 eV), ce qui limite sa tension de claquage. Sa conductivité thermique, modeste (1,5 W/cm.K), restreint également son efficacité dans les applications de puissance. Le carbure de silicium (SiC), avec une bande interdite de 3,26 eV, offre une meilleure tenue en tension et présente la conductivité thermique la plus élevée parmi les quatre matériaux. Toutefois, sa faible mobilité électronique et l'absence d'hétérojonction réduit son intérêt pour les applications à très haute fréquence. À l'inverse, l'arséniure de gallium (GaAs) se distingue par sa très haute mobilité électronique ($\approx 8500 \text{ cm}^2/\text{V}\cdot\text{s}$), ce qui en fait un matériau performant pour les applications RF. Cependant, son faible champ de claquage ($\approx 0,4 \text{ MV/cm}$) et sa faible conductivité thermique limitent son usage à des dispositifs de faible puissance.

Le GaN se distingue par une combinaison unique de propriétés physiques qui surpassent celles des matériaux précédemment cités. Il offre un compromis optimal, associant une excellente tenue en tension grâce à sa large bande interdite (3,49 eV) et son champ électrique critique (3,3 MV/cm), à une bonne mobilité électronique et une conductivité thermique suffisante pour assurer une dissipation efficace de la chaleur. Ces caractéristiques font du GaN un matériau privilégié pour les applications de puissance et à haute fréquence.

2.2. Figure de mérites

L'évaluation et la comparaison des performances de ces matériaux, dans la perspective d'apprécier leur contribution à l'amélioration des dispositifs destinés aux applications RF ou de puissance, reposent sur l'analyse de leurs figures de mérite [7]. Ces dernières constituent des indicateurs synthétiques, calculés à partir des propriétés physiques fondamentales des matériaux, et d'approximations sur l'architecture du transistor permettent de les caractériser en fonction de leur potentiel en termes de performances électriques et thermiques.

Facteur de mérite	Si	SiC	GaAs	GaN
JFOM (Johnson)	1	180	7.1	760
BHFOM (Baliga)	1	22.9	10.8	77.8
KFOM (Keyes)	1	4.6	0.45	1.6

Table 1.3 : Facteur de mérite des matériaux normalisé par rapport au Si

Les principaux facteurs de mérite servant à caractériser les matériaux utilisés pour la fabrication de transistor sont présentés dans le tableau 1.3. On y trouve les figures de mérites du SiC, GaAs et du GaN normalisé par rapport au Si :

2.2.1. Facteur de mérite de Johnson (JFOM)

Dépend du produit du champ électrique critique (E_c) et de la vitesse de saturation (V_{sat}), il traduit la capacité d'un matériau à fonctionner à haute fréquence, donc son potentiel pour les applications RF/micro-ondes.

$$JFOM = \left(\frac{E_c \cdot V_{sat}}{2\pi} \right)^2 \quad (1.1)$$

2.2.2. Facteur de mérite Baliga haute fréquence (BHFOM)

Combinant la mobilité des porteurs μ et le champ de claquage E_c , cet indicateur est une extension du « Baliga » classique adapté à l'évaluation des performances dans les composants de puissance. Une valeur élevée indique un matériau capable de supporter de hautes tensions, tout en minimisant les pertes liées à la commutation rapide.

$$BHFOM = \mu \cdot (E_c)^2 \quad (1.2)$$

2.2.3. Facteur de mérite Keyes (KFOM)

Intégrant la vitesse de saturation (V_{sat}), la conductivité thermique (K) et la constante diélectrique (ϵ_r), il reflète la capacité d'un matériau à dissiper la chaleur et à fonctionner à haute température. Plus ce facteur est élevé, meilleure est la capacité du matériau à dissiper la chaleur efficacement.

$$KFOM = K \cdot \left(\frac{c \cdot V_{sat}}{4\pi \cdot \epsilon_r} \right)^{0.5} \quad (1.3)$$

3. Evaluation des performances du matériau GaN

3.1. Champ de claquage

Pour les dispositifs destinés aux applications de puissance, un matériau présentant un champ de claquage élevé améliore fortement sa capacité à supporter des tensions plus importantes. Cette propriété est étroitement liée à la largeur de la bande interdite du matériau qui correspond à l'énergie nécessaire pour qu'un électron passe de la bande de valence à la bande de conduction. Plus cette largeur est élevée, plus le champ de claquage est grand, ce qui permet au matériau de résister à des champs électriques intenses [8].

$$E_c \approx E_g^{\frac{3}{2}} \quad (1.4)$$

A partir des tableaux 1.1 et 1.2, le GaN et le SiC se distinguent par les valeurs les plus élevées du facteur de mérite de Baliga (BHFOM).

3.2. Fréquence de fonctionnement

Le choix d'un matériau pour la fabrication d'un composant fonctionnant à haute fréquence est évalué à partir de sa fréquence de coupure potentielle. Les facteurs de mérite de Johnson (JFOM) et Baliga (BHFOM) permettent de caractériser cette grandeur en combinant le champ de claquage et la vitesse de saturation, deux paramètres essentiels pour les opérations à haute fréquence. Ces facteurs reflètent la capacité du matériau à supporter des tensions élevées tout en assurant un transport rapide des porteurs.

Il est essentiel de noter que la vitesse ne suit pas un comportement linéaire. A fort champ électrique, elle atteint une valeur de saturation. Cette vitesse associée à la longueur de grille du transistor L_g détermine au premier ordre la fréquence de coupure du composant [8] selon la relation suivante :

$$F_t = \frac{V_{sat}}{2 \cdot \pi \cdot L_g} \quad (1.5)$$

En se basant sur les données du tableau 1.3, le GaN possède des facteurs JFOM et BHFOM supérieurs aux autres matériaux.

3.3. Linéarité

Dans les applications de télécommunication, la linéarité du transistor est un critère très important, car elle reflète la capacité à amplifier un signal sans générer de distorsions. Cette linéarité dépend de la réponse en fréquence et en puissance du composant, notamment de la transconductance (G_m), qui décrit la variation du courant de sortie qui varie en fonction de la tension d'entrée appliquée à la grille V_{gs} . La transconductance (ou plus exactement : son évolution en fonction de V_{gs}) influence directement l'apparition des harmoniques et des intermodulations, qui dégradent la qualité du signal amplifié [9].

Un composant présentant une bonne linéarité génère moins de distorsions, assurant ainsi une amplification plus fidèle du signal d'entrée. La figure de mérite de Johnson (JFOM) relie les propriétés fondamentales susceptibles d'influencer les performances des composants. Elle souligne l'avantage du GaN par rapport aux autres matériaux tels que le GaAs ou le SiC pour les applications de puissance à haute fréquence, ce qui confirme son intérêt pour les systèmes RF combinant forte puissance et hautes fréquences. Toutefois, la JFOM ne constitue pas un indicateur direct de linéarité, qui doit être évalué au moyen de plusieurs indicateurs RF de distorsion, tel que le point d'interception du troisième ordre (IP3) ou le niveau d'intermodulation (IMD3).

3.4. Gestion thermique

Un des paramètres essentiels pour garantir la fiabilité d'un composant et sa capacité en puissance à évacuer efficacement la chaleur générée lors de l'augmentation de la puissance dissipée. Comme le montre le tableau 1.2, les matériaux SiC et GaN présentent une conductivité thermique nettement supérieure à celle du Si et du GaAs [8].

Cette supériorité thermique se reflète également dans la figure de mérite de Keyes, élevée pour ces matériaux, indiquant leur aptitude à fonctionner à des températures de jonction élevées tout en assurant une dissipation efficace de la chaleur. La capacité thermique constitue ainsi un critère majeur pour évaluer la durée de vie et la robustesse des transistors, en particulier dans les applications à haute puissance et haute fréquence.

3.5. Structure cristalline

Le GaN cristallise principalement sous deux formes : wurtzite (hexagonale) et zinc blende (cubique). La structure wurtzite ($a = 3,189 \text{ \AA}$, $c = 5,186 \text{ \AA}$) est anisotrope et thermodynamiquement plus stable. Elle présente une bande interdite de 3,39 eV et reste la plus utilisée dans les dispositifs électroniques et optoélectroniques.

La structure zinc blende ($a = 4,52 \text{ \AA}$), plus isotrope, possède une bande interdite légèrement plus faible ($\approx 3,2 \text{ eV}$). Sa mobilité électronique plus élevée peut théoriquement favoriser des fréquences de coupure supérieures, mais sa stabilité limitée restreint son usage. Les masses effectives des électrons diffèrent également : $0,2 m_e$ dans le GaN wurtzite comparée à $0,13 m_e$ dans le zinc blende [10]. Cette différence influence la mobilité électronique et favorise une vitesse de saturation plus élevée dans le zinc blende, et par conséquent une fréquence de coupure potentiellement plus élevée.

La structure wurtzite, dominante, est polaire. Elle présente deux faces : la face Ga (0001) et la face N (000-1), qui diffèrent par leurs propriétés physiques, notamment leur polarisation intrinsèque. Cette polarisation spontanée, combinée à la polarisation piézoélectrique induite par les contraintes mécaniques lors de la croissance épitaxiale, conduit à la formation d'un gaz d'électrons bidimensionnel (2DEG), élément clé du fonctionnement des transistors HEMT.

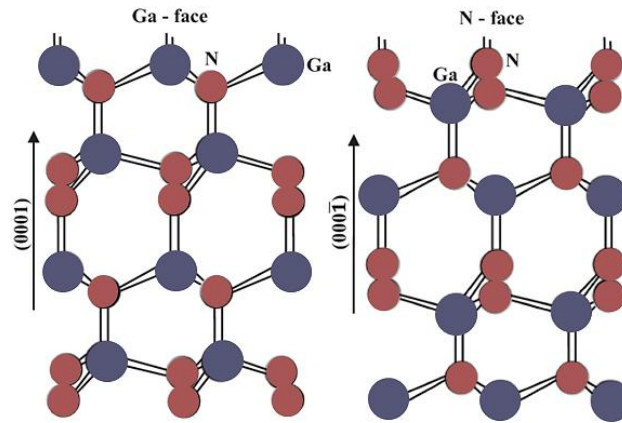


Figure 1. 6 : Structure cristalline du GaN wurtzite face Ga (gauche) et face (N) droite

La structure wurtzite est donc la forme la plus utilisée dans les dispositifs GaN notamment dans les diodes laser et transistors HEMTs. Elle se caractérise par une alternance de plans d'atomes de gallium et d'azote, chaque atome de Ga étant lié de manière covalente à quatre atomes de N selon une configuration tétraédrique (figure 1.7). Cette structure présente deux directions polaires [10] (figure 1.6) : face Ga où les atomes de gallium sont exposés en surface, correspondant à la direction cristallographique (0001), et la face (N) opposée, correspondant à la direction (0001 $\bar{1}$). Ces deux faces polaires possèdent des propriétés physiques différentes, notamment en termes de polarisation électrique intrinsèque et comportement lors de la croissance épitaxiale.

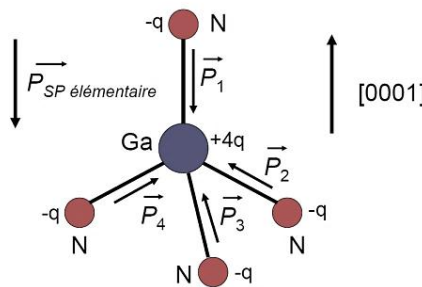


Figure 1.7 : Tétraèdre de la structure GaN wurtzite

La figure 1.7 illustre la polarisation spontanée dans la structure tétraédrique du GaN wurtzite dans la direction (0001). Les vecteurs $\vec{P}_1, \vec{P}_2, \vec{P}_3, \vec{P}_4$, indiquent les dipôles élémentaires formés par les liaisons covalentes entre l'atome de Ga et les quatre atomes de N. La somme vectorielle de ces dipôles donne naissance à une polarisation spontanée P_{sp} dirigée vers le sens opposé à (0001). Cette polarisation électrique intrinsèque est présente sans contrainte mécanique. Lorsqu'une contrainte est appliquée à la couche épitaxiale, elle induit une polarisation piézoélectrique supplémentaire, résultant des variations des constantes de réseau dues à la déformation.

La somme de ces deux polarisations engendre une polarisation totale qui induit la formation d'un gaz bidimensionnel dans les transistors HEMTs. La densité de porteurs du 2DEG varie selon le type de barrière. Le fonctionnement de cette polarisation combinée et la formation du canal seront détaillés dans les paragraphes suivants.

4. Fonctionnement du HEMT GaN

4.1. Principe de fonctionnement

Le transistor HEMT (High Electron Mobility Transistor) est conçu pour les applications à haute fréquence et puissance. Il repose sur une hétérojonction formée entre deux semiconducteurs de largeurs de bande interdite différentes. Cette hétérostructure engendre la formation d'un canal de conduction appelé 2DEG, situé à l'interface entre la couche barrière et le canal GaN (Figure 1.8).

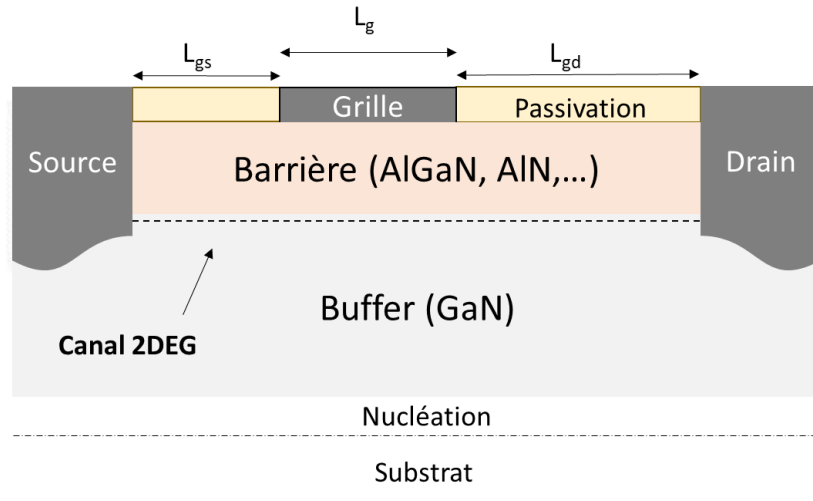


Figure 1.8 : Schéma de la structure HEMT GaN

Ce transistor comporte trois électrodes, la grille, la source et le drain. La grille agit comme une électrode de commande, permettant d'ouvrir ou de fermer le canal. La tension appliquée entre la grille et la source V_{gs} permet de contrôler la densité d'électrons au sein du canal. Par ailleurs, la puissance délivrée par le transistor est contrôlée par la tension appliquée entre le drain et la source V_{ds} qui influence directement la vitesse des électrons dans le canal.

Deux modes de fonctionnement distincts existent : Normally-on, où le transistor conduit par défaut sans appliquer de polarisation sur la grille ; et un mode Normally-off, requérant une polarisation positive sur la grille, idéalement supérieur à $V_{gs} = 0V$ pour permettre la conduction. Nous décrirons dans les paragraphes suivant l'origine des électrons présents dans ce canal ainsi le mécanisme de contrôle du courant généré par ce composant.

4.2. Polarisation spontanée et piézoélectrique

Les électrons du canal 2DEG proviennent principalement des états donneurs situés à la surface de la barrière [11]. Leur accumulation résulte de la combinaison de la polarisation spontanée (intrinsèque au GaN wurtzite) et de la polarisation piézoélectrique, induite par les contraintes mécaniques de la couche AlGaN déposée sur le buffer GaN.

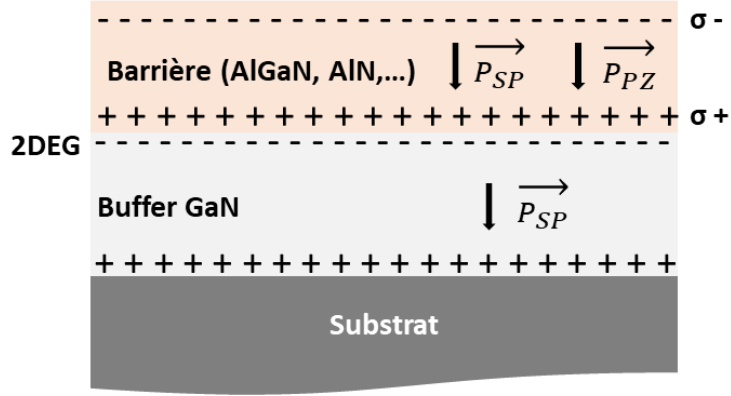


Figure 1.9 : Orientation des effets de polarisations dans un HEMT GaN

Nous avons présenté précédemment, lors de la description de la structure cristalline asymétrique du GaN en forme de tétraèdre (figure 1.7), que le décalage entre l'atome central et le barycentre entraîne spontanément l'apparition d'une polarisation électrostatique.

La polarisation piézoélectrique induite par la déformation mécanique due à la compression ou à l'extension du réseau cristallin de la couche barrière AlGaIn déposé sur le buffer GaN, s'ajoute à la polarisation spontanée.

$$|\sigma| = |P_{SP\ AlGaIn}(x_{Al}) + P_{PZ\ AlGaIn}(x_{Al}) - P_{SP\ GaN}| \quad (1.6)$$

La somme de ces deux polarisations représente la polarisation totale, la densité d'électrons générée varie en fonction de l'épaisseur de la barrière AlGaIn ainsi que de la concentration en aluminium dans cette couche.

4.3. Densité de porteurs dans le canal

Sur la figure 1.10 sont représentées la répartition des charges dans une structure HEMT AlGaIn/GaN, ainsi que la forme du champ électrique à l'interface de chaque couche [11]. La différence de polarisation totale entre la couche barrière (AlGaIn) et buffer (GaN) génère une charge de polarisation fixe aux interfaces. L'interface métal/barrière présente des charges négative ($-\sigma_{\text{Métal/Barrière}}$), et des charges positives à l'interface barrière/buffer ($+\sigma_{\text{Barrière/Buffer}}$). Pour compenser cette charge positive, les électrons libres s'accumulent à proximité de l'interface, formant le canal 2DEG.

$$\sigma_{2DEG} = q \cdot n_s \quad (1.7)$$

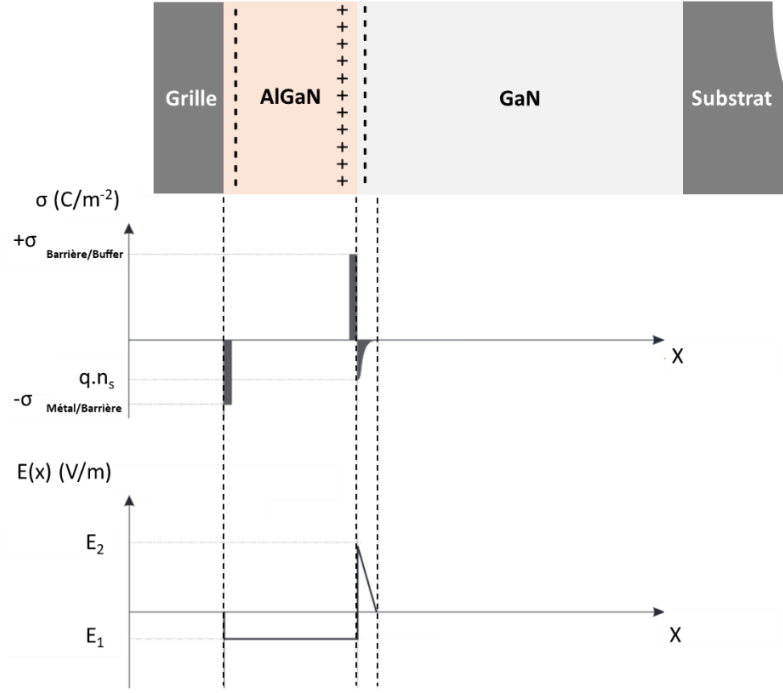


Figure 1.10 : Répartition des charges et du champ électrique d'une structure HEMT AlGaN/GaN

La différence de polarisation entre les deux couches crée une charge à l'interface formant un puit quantique où les électrons s'accumulent, générant un champ électrique dirigé perpendiculairement vers le substrat, et dont le profil est illustré sur la figure 1.10.

Au niveau de la barrière, le champ est quasi constant en raison de la charge fixe à l'interface et de l'absence de porteurs libres :

$$E_1 = \frac{q \cdot n_s - \sigma_{AlGaN/GaN}}{\epsilon_{AlGaN}} \quad (1.8)$$

Ce champ décroît ensuite rapidement à l'interface AlGaN/GaN, les électrons du 2DEG compensant partiellement la charge liée exprimé par E_2 :

$$E_2 = \frac{q \cdot n_s}{\epsilon_{GaN}} \quad (1.9)$$

4.4. Hétérojonction Barrière/Buffer

La discontinuité de la bande de conduction joue un rôle fondamental dans la formation du canal 2DEG à l'interface Barrière/Buffer [11], [12] (figure 1.11). Cette discontinuité correspond à la différence d'énergie entre les bandes de conduction du GaN et de l'AlGaN. Sous l'effet combiné des polarisations spontanée et piézoélectrique, un champ électrique interne est généré, entraînant une inclinaison de la bande de conduction dans la couche AlGaN vers le bas. Cette inclinaison réduit l'énergie de la bande de conduction à l'interface, créant une barrière énergétique qui empêche les électrons de passer dans la couche AlGaN, tout en favorisant leur accumulation dans un puit quantique situé à l'interface. Ce confinement forme un canal 2DEG caractérisé par une mobilité élevée qui dépend des conditions de polarisation électrique appliquée au transistor.

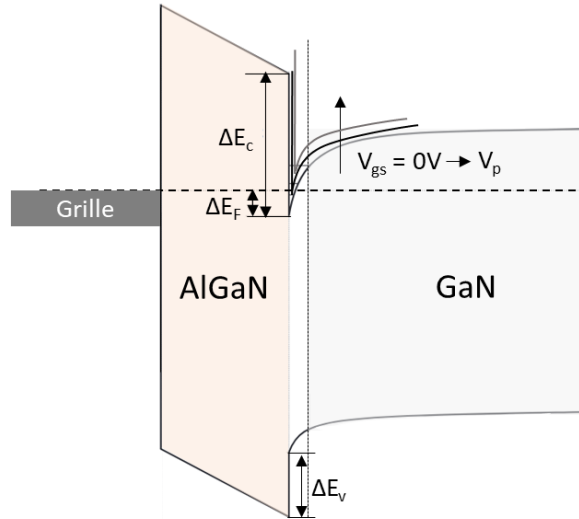


Figure 1.11 : Diagramme d'énergie de la structure HEMT AlGaN/GaN

Le contrôle du courant généré par le transistor HEMT GaN repose principalement sur l'action conjointe des tensions appliquées à la grille et au drain. La modulation de la densité d'électrons est réalisée par le pilotage de la grille via un contact Schottky ou MIS entre la grille et la couche AlGaN.

Le courant I_{ds} généré par le transistor est déterminé par la densité de porteur n_s , la vitesse des porteurs et du développement total du transistor Z , et peut s'exprimer selon l'équation suivante :

$$I_{ds} = q \cdot n_s \cdot v(E) \cdot Z \quad (1.10)$$

Lorsque la grille est polarisée à une valeur proche ou égale à la tension de pincement, la bande de conduction se situe au-dessus du niveau de Fermi, aucun porteur n'est présent dans le canal et le transistor est bloqué. En augmentant V_{gs} , la bande de conduction descend sous le niveau de Fermi, peuplant le canal bidimensionnel (2D) avec des électrons.

Parallèlement à cet effet, la tension V_{ds} crée un champ électrique longitudinal dans le canal, responsable de l'augmentation progressive de la vitesse des électrons jusqu'à atteindre leur vitesse de saturation, limitant ainsi leur mobilité effective, et stabilisant le courant I_{ds} en régime de saturation. L'effet combiné d'une haute densité d'électrons et d'une gestion optimale du champ électrique permet d'obtenir un courant élevé et de bonnes performances en fréquence et en puissance du transistor, malgré la limitation liée à la vitesse de saturation.

Cette amélioration dépend étroitement de la structure épitaxiale employée lors de la fabrication du transistor. Dans les sections suivantes, nous présenterons d'abord la structure épitaxiale des transistors HEMTs GaN, en détaillant le rôle de chaque couche et son impact sur les performances. Ensuite, nous analyserons les différents développements technologiques, en soulignant plus particulièrement l'influence des techniques de contrôle de grille sur les performances finales du dispositif.

5. Architectures des couches épitaxiales

5.1. Introduction

Dans cette section, nous décrivons l'importance des différentes couches épitaxiales constituant la structure d'un transistor HEMT GaN. La maîtrise de cette étape est cruciale, car la qualité cristalline et la composition des couches influencent directement les performances du composant selon les applications visées. La réduction des défauts cristallins améliore également la fiabilité et la robustesse du dispositif, prolongeant ainsi sa durée de vie.

Les variations de performances observées entre différentes technologies de HEMTs résultent en grande partie de la qualité des structures épitaxiales. La croissance des multiples couches semiconductrices constitue une étape critique, nécessitant un dépôt continu à haute température. Une épitaxie de haute qualité, avec un faible taux de défauts cristallins, déposée sur un substrat adéquat assurant une bonne gestion thermique, influence directement les paramètres clés du transistor, notamment la densité d'électrons et la mobilité électronique dans le canal 2DEG.

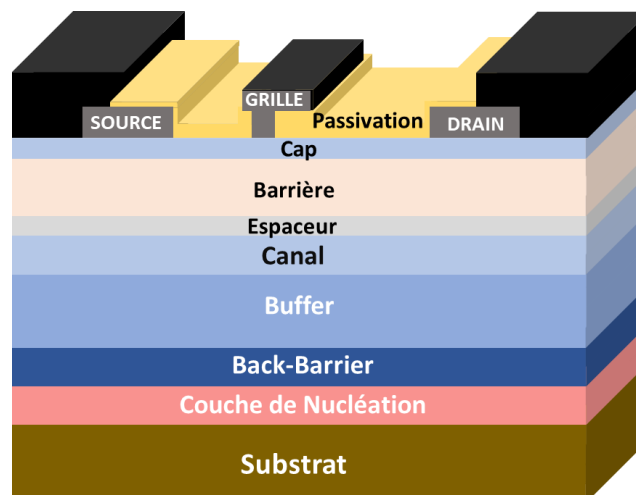


Figure 1.12 : Structure Epitaxiale d'un transistor HEMT

5.2. Méthode d'épithaxie

L'optimisation et le contrôle des structures HEMTs reposent sur la maîtrise des techniques de croissance épithaxiale, principalement la MOCVD (Metal Organic Chemical Vapor Deposition) et la MBE (Molecular Beam Epitaxy). Chacune de ces méthodes présente des caractéristiques spécifiques adaptées aux choix d'application et aux volumes de production.

5.2.1. Croissance MOCVD

La MOCVD repose sur des réactions chimiques en phase vapeur à la surface d'un substrat chauffé. Elle permet d'obtenir des taux de croissance élevés et de produire des couches minces à grande échelle. La technique fonctionne à basse pression (15 à 750 Torr) et utilise des précurseurs métalliques organiques et des hydrures transportés par un gaz porteur d'hydrogène [13]. Les températures de croissance élevées (600 à 1200 °C) favorisent une excellente qualité cristalline et permettent l'activation efficace des dopants, comme le silicium, sans dégrader les propriétés électriques [14].

La MOCVD domine la production de HEMTs grâce à sa flexibilité et sa capacité à produire rapidement et de manière reproductible de grands volumes de dispositifs.

5.2.2. Croissance MBE

La MBE se réalise à des températures plus basses dans un environnement ultra-vide, sans gaz porteur. L'épitanie s'effectue par évaporation de sources atomiques ou moléculaires très directionnelles, contrôlées via des obturateurs permettant d'alterner rapidement les matériaux. Cette méthode assure un contrôle très précis des couches et une qualité cristalline exceptionnelle, particulièrement adaptée aux structures fines et complexes, bien que son taux de croissance soit plus faible et sa sensibilité thermique élevée [13].

Ainsi, la croissance MBE offre des structures cristallines plus pures et (potentiellement) des propriétés électriques supérieures, mais elle est limitée par la sensibilité thermique et le faible taux de croissance. La MOCVD, en revanche, assure une meilleure robustesse et facilite la production à grande échelle, au prix d'une pureté légèrement moindre des couches et d'interfaces moins nettes.

5.3. Structure épitaniale des transistors HEMT

La structure épitaniale prise en compte lors du développement du transistor HEMT est représentée sur la figure 1.12. Chaque couche possède un rôle défini et influence grandement les performances électriques du composant. Nous décrirons dans les paragraphes suivant l'intérêt de chaque couche et son impact sur les caractéristiques des dispositifs.

5.3.1. Substrat

Le choix d'un substrat pour la croissance des matériaux III-V est crucial ; il constitue la base physique qui conditionne la qualité cristalline des couches déposées. Ce choix est influencé par plusieurs paramètres tels que la conductivité thermique et le désaccord de maille avec le GaN.

Dans la littérature, les matériaux les plus couramment utilisés comme substrat pour le développement des HEMTs, sont le Si, SiC, GaN, AlN ou diamant.

Matériau	Constante de maille α (Å)	Désaccord de maille avec le GaN (%)	Conductivité thermique K(W/cm.K)	Coefficient d'expansion thermique $\Delta\alpha/\alpha$ (10^{-6} K ⁻¹)	Isolation électrique (Ω .cm)
Si	5.43	17	1.5	2.6	10^3
SiC	3.08	3.5	4.9	4.2	10^5
GaN	3.19	0	1.3	5.6	10^6
Diamant	3.57	11.8	20	1	$>10^7$
AlN	3.11	2.5	3.2	4.2	10^{14}

Table 1.4 : Propriétés des substrats utilisés pour la croissance du GaN

A partir du tableau 1.4, on remarque que la plupart des matériaux choisis comme substrat pour le développement des transistors GaN HEMTs ne permettent pas une croissance épitaxiale directe de couches de haute qualité, du fait de leur désaccord de maille avec le GaN. La croissance se fait donc en hétéroépitaxie, ce qui entraîne l'apparition de dislocations et, par conséquent, des problèmes de reproductibilité et de fiabilité. Nous décrivons dans les prochains paragraphes les avantages et inconvénients de chaque type de substrat.

- **Substrat GaN**

L'utilisation d'un substrat GaN massif présente de nombreux avantages [15], notamment une structure cristalline et un coefficient d'expansion thermique très proche de celui des couches épitaxiées. Cela permet de simplifier la structure en supprimant la couche de nucléation, de réduire les contraintes mécaniques et thermiques, et d'assurer une meilleure uniformité tout en limitant la formation de fissures et de défauts cristallins. Cependant, l'adoption de ce substrat reste limitée par plusieurs défis, tels que les difficultés de croissance liées aux contraintes internes provoquées par l'anisotropie des propriétés physiques, ainsi que la taille limitée des wafers à quatre pouces, ce qui constitue un obstacle pour la fabrication à grande échelle, en plus de leur coût élevé.

- **Substrat Si**

Le silicium est un substrat plus mature, moins coûteux et disponible à grande échelle, avec des wafers <111> HR pouvant atteindre 12 pouces. Il facilite la production des composants tout en réduisant le coût de fabrication industrielle, et il est apprécié pour son intégration possible dans une salle blanche de type CMOS. Cependant, son fort désaccord de maille avec le GaN (17 %) entraîne des contraintes mécaniques lors de la croissance épitaxiale et provoque une densité élevée de défauts cristallins, impactant la fiabilité et les performances des HEMTs. Sa faible conductivité thermique limite la dissipation de chaleur, et son coefficient d'expansion thermique très différent de celui du GaN peut générer des fissures susceptibles de dégrader le dispositif [16], ainsi que des déformations de wafer (bow/warp) qu'il faut maintenir dans des spécifications strictes.

- **Substrat SiC**

Le carbure de silicium est largement utilisé comme substrat pour les HEMTs GaN en raison de ses propriétés physiques compatibles avec le GaN [17]. Son faible désaccord de maille d'environ 3,5 % réduit les contraintes mécaniques et améliore la qualité cristalline des couches épitaxiées, tout en permettant la simplification des couches III-N intermédiaires. De plus, sa haute conductivité thermique (4,9 W/cm·K) améliore la gestion thermique au sein du composant. Cependant, le coût élevé et la taille limitée des wafers restreignent son utilisation à des applications industrielles exigeantes, notamment dans le secteur de la défense et spatial.

- **Substrat Diamant**

Le diamant améliore significativement les performances électriques des HEMTs GaN grâce à sa conductivité thermique quatre fois supérieure à celle du SiC [18], ce qui assure une meilleure dissipation de la chaleur et permet de supporter des puissances plus élevées. Une meilleure gestion thermique limite l'apparition de défauts liés à la dilatation thermique, qui

prévient de l'activation de mécanismes de vieillissement et améliore la fiabilité et la durée de vie du composant. Néanmoins, son intégration avec le GaN reste complexe, son coût est élevé et sa faible épaisseur limite la capacité volumique de dissipation thermique, ce qui atténue quelque peu son avantage théorique.

- **Substrat AlN**

Substrat en pleine émergence pour la croissance du GaN lié à sa bonne compatibilité cristalline, il possède une constante de réseau très proche de celle du GaN qui se présente par un faible désaccord de maille (environ 2,5%) [18]. Cet accord permet de réduire les défauts cristallins lors de la croissance, et d'améliorer la qualité de la couche épitaxiée. Il bénéficie aussi d'une conductivité thermique comparable au SiC, et garantit une très bonne isolation électrique, ce qui réduit les fuites de courants, et renforce la robustesse du composant face à de forte tension. Néanmoins de nombreux défis techniques freinent l'adoption de ce substrat tel que le coût et la taille limitée.

5.3.2. Couche de nucléation

Cette couche sert principalement à compenser le décalage de réseau entre le buffer GaN et le substrat. La réduction du désaccord de maille diminue les contraintes mécaniques dans le buffer et le nombre de dislocations dans les couches supérieures. Une couche AlN de bonne qualité favorise la croissance des super-réseaux et du buffer ou gradients $\text{Al}_x\text{Ga}_{1-x}\text{N}$, empêche la diffusion du Ga dans le substrat et permet d'atteindre une haute tension de claquage verticale, paramètre essentiel pour les applications de puissance [19].

Cependant, cette couche contribue à l'augmentation de la température du canal du transistor. De nouvelles techniques de croissance, telles que le dépôt MOCVD en « hot-wall » avec chauffage uniforme des parois du réacteur, permettent de réduire cette résistance thermique à l'interface (TBR) et d'obtenir une couche de meilleure qualité [20].

5.3.3. Couche Back-Barrier

La couche back-barrier peut être insérée soit sous le canal GaN dans la structure HEMT, et elle est généralement composée d'un alliage AlGaIn ou InGaIn. Cette back-barrier a pour rôle principal de surélever la bande de conduction dans le buffer GaN par rapport au canal, ce qui crée une barrière supplémentaire améliorant le confinement du gaz d'électrons bidimensionnel fortement polarisé.

Ce confinement renforce le contrôle du courant de drain, car la modulation de la densité d'électrons par la tension appliquée sur la grille devient plus efficace, ce qui entraîne une amélioration de la tension de pincement [21]. Le choix de l'épaisseur de cette couche constitue un compromis délicat pour maximiser les performances du transistor. Une back-barrier relativement fine permet de maintenir une densité 2DEG élevée et facilite la croissance des couches, mais elle est moins efficace pour confiner les électrons. À l'inverse, une couche plus épaisse améliore le confinement du canal et réduit les courants de fuite, augmentant ainsi la tension de claquage. Cependant, cette augmentation de l'épaisseur a pour inconvénient principal d'accroître la résistance thermique de la structure HEMT, ce qui peut limiter la dissipation de la chaleur dans des applications de puissance élevée [22].

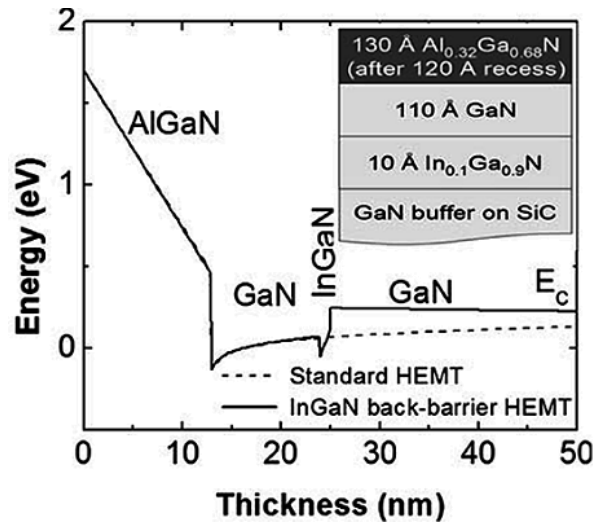


Figure 1.13 : Diagramme de bande d'un transistor HEMT avec et sans back-barrier [21]

5.3.4. Couche Buffer GaN

Le rôle de la couche tampon est d'isoler électriquement les couches supérieures actives du substrat. Des études ont montré que l'augmentation de l'épaisseur du buffer [23], améliore la résistance au courant de fuite verticale, et réduit les pertes d'énergie. Cela contribue à l'amélioration de la tension de claquage, et assure l'isolation du canal du transistor, afin qu'aucun courant ne circule lorsque la tension de grille V_{gs} est au pincement. Cette capacité de bloquer les fuites à fort V_{ds} améliore l'efficacité énergétique du transistor.

La couche buffer GaN non intentionnellement dopé présentent une conductivité de type n causée par des impuretés résiduelles, comme l'azote ou l'oxygène, ce qui affecte l'isolation de cette couche, et nécessite un dopant de type p pour compenser cette conductivité en introduisant des impuretés sous forme d'accepteurs profonds, tel que le fer ou le carbone (principaux candidats utilisés pour ce dopage). Ces impuretés permettent de piéger les électrons libres et minimiser les courants de fuite verticaux et horizontaux qui dégradent la fiabilité du transistor.

Les buffers GaN compensés carbone [23] et [24] ont démontré une meilleure stabilité électrique des composants, et moins de dégradations liées aux effets de piégeage. Ils offrent a priori une meilleure tension de claquage, comparativement aux buffers dopés au fer qui nécessitent une concentration optimale afin de réduire les défauts liés à la contamination et à la netteté des interfaces. La compensation carbone doit être absolument contrôlée, car une surdose risque d'accentuer les effets de piégeages, et d'affaiblir les performances dynamiques du transistor. A contrario, une trop faible concentration tend à dégrader le confinement des électrons dans le canal, entraînant une augmentation des effets de DIBL (Drain Induced Barrier Lowering).

Ces compromis soulignent la nécessité d'optimiser cette concentration de carbone, en assurant à la fois une haute résistivité de la structure et une minimisation des effets de pièges électriquement actifs en conditions de polarisation. Des approches par super réseaux placés au-dessous du buffer ont également permis d'apporter des améliorations en termes de tension de claquage et de réduction des effets de piégeages [25].

5.3.5. Couche Canal

Le canal est constitué d'un matériau GaN non dopé déposé sur la couche buffer, il correspond à la couche dans laquelle se forme le canal de conduction pour maximiser la mobilité, où les porteurs de charges circulent sous l'effet d'un champ électrique. L'épaisseur de cette couche est un paramètre clé impactant significativement les performances du transistor. Un canal GaN suffisamment épais peut conduire à une diminution des effets de pièges dits de « drain-lag » mais minimise les avantages liés à l'utilisation d'une back-barrier. A contrario, une épaisseur plus fine implique un couplage plus important entre les électrons du 2-DEG et les défauts du buffer. Ceci entraîne une dégradation des performances en puissance des composants [24], [26].

5.3.6. Couche Espaceur AlN

Cette couche sépare la couche barrière de celle de transport, créant un décalage de bande qui réduit les défauts d'interface et améliore la mobilité dans le canal. Elle contribue également à une légère augmentation de la densité du 2DEG en renforçant la discontinuité de bande entre la barrière et le buffer [27]. Cette fine couche, généralement d'environ 1 nm, est composée d'AlN. Une épaisseur trop importante peut provoquer une augmentation des dislocations et des impuretés, générant des contraintes qui affectent la mobilité des électrons et diminuent les performances du HEMT.

5.3.7. Couche Barrière

La couche barrière est caractérisée par une énergie de bande interdite supérieure à celle du canal, créant une discontinuité de bande de conduction qui confine les électrons dans un puits de potentiel. La composition et l'épaisseur de cette barrière régulent la polarisation induite et, par conséquent, la densité de charges électroniques, influençant directement la résistance du canal 2DEG et la tension de pincement.

Les principaux alliages utilisés pour former la barrière des transistors HEMT, sont AlGaIn, InAlN, InGaAlN, AlN puis le ScAlN. Nous présenterons en premier lieu leurs principales propriétés qui influencent les performances globales du transistor, puis en second lieu nous fournirons une brève description des avantages et inconvénient de chaque type de barrière :

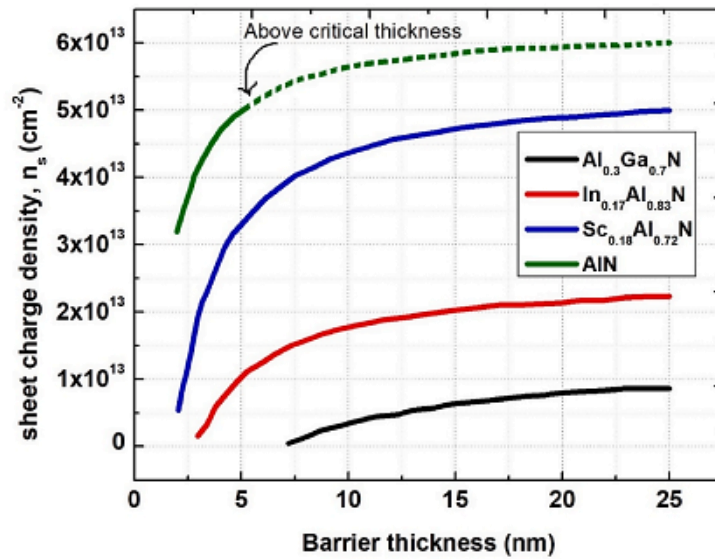


Figure 1.14 : Evolution de la densité d'électron en fonction de l'épaisseur des différentes barrières [28]

- **Barrière AlGaN**

Les principaux alliages utilisés pour cette barrière sont AlGaN, InAlN, AlN et ScAlN. L'AlGaN est le plus couramment utilisé en raison de sa croissance maîtrisée et reproductible. L'augmentation du pourcentage d'aluminium favorise une polarisation plus élevée et augmente la densité de porteurs, mais elle génère également des contraintes mécaniques qui compriment le réseau cristallin du GaN et réduisent la mobilité des électrons (fig. 15). Maintenir une barrière épaisse sans relaxation devient alors difficile et peut entraîner des défauts cristallins, limitant la densité d'électrons tout en diminuant la fiabilité du transistor.

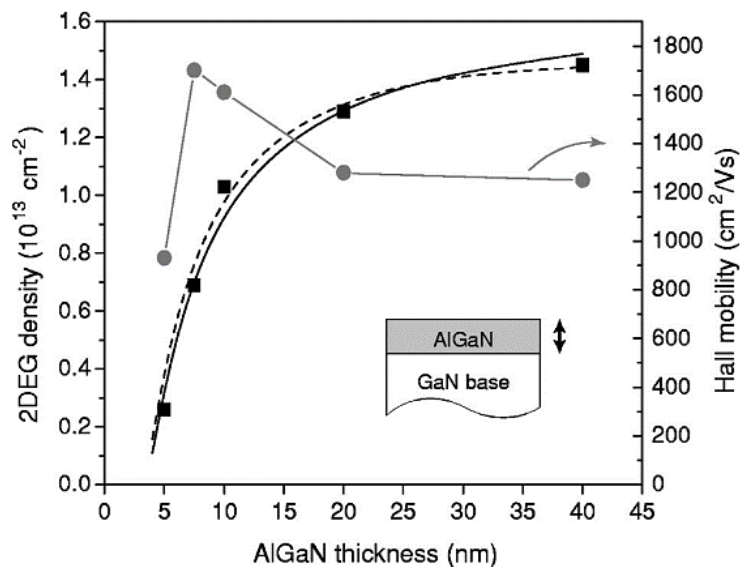


Figure 1.15 : Evolution de la densité d'électron et mobilité en fonction de l'épaisseur de l'AlGaN [29]

Les HEMTs commerciaux utilisent typiquement une fraction d'aluminium d'environ 30 % avec une épaisseur de 20 à 25 nm, ce qui se traduit par une densité de $0,8 \times 10^{13} \text{ cm}^{-2}$, inférieure à celle obtenue avec d'autres barrières [29].

- **Barrière InAlN**

La barrière InAlN est moins mature que la barrière AlGaIn. Son grand avantage se situe au niveau d'un désaccord de maille avec le GaN presque nul. Sa croissance est plus complexe à maîtriser à cause de la présence d'indium qui rend le contrôle précis de la composition et de la qualité cristalline difficile durant l'épithaxie [26]. Ce choix de barrière offre une polarisation suffisante pour générer une densité d'électrons raisonnable de $1,8 \times 10^{13} \text{ cm}^{-2}$ [28] [30]. Cette barrière poussant à plus basse température, elle peut aussi être dégradée par certains procédés haute température.

- **Barrière ScAlN**

La barrière ScAlN, quant à elle, est une technologie émergente très prometteuse. Elle combine une forte polarisation avec un désaccord de maille quasi nul pour une fraction molaire de 20% de scandium. Cette barrière présente une épaisseur critique plus élevée qui se traduit par une densité 2DEG pouvant dépasser les $3 \times 10^{13} \text{ cm}^{-2}$. Sa croissance, souvent réalisée par MBE, est cependant plus complexe et nécessite un contrôle précis des paramètres de dépôt [28][29].

5.3.8. Cap Layer

La couche cap, déposée au sommet de la barrière AlGaIn, protège la surface du transistor et améliore le contact métal-semiconducteur. Constituée de GaN ou d'AlGaIn à faible teneur en aluminium, elle réduit le piégeage de surface et la dégradation due aux contaminants ou à l'oxydation. Elle contribue également à augmenter la densité de porteurs près de la grille et à stabiliser les caractéristiques statiques et dynamiques du transistor.

Les meilleurs résultats sont obtenus avec un cap in-situ, déposé directement pendant la croissance, offrant une interface de haute qualité et une morphologie optimisée [31].

5.3.9. Passivation

La passivation consiste à recouvrir la surface du HEMT par un matériau isolant, généralement du SiN ou de l' Al_2O_3 , afin de protéger le composant contre les contaminants et les défauts de surface. Cette couche réduit les fuites de courant en surface et atténue les phénomènes de piégeage liés aux états de surface.

Elle joue également un rôle crucial dans la stabilité thermique et électrique du transistor, en améliorant la fiabilité à long terme et en limitant la dégradation des performances sous de fortes tensions ou températures élevées. La passivation contribue ainsi à optimiser la robustesse et la durée de vie du composant, tout en maintenant des performances élevées en fréquence et en puissance [32], [33].

6. Processus de développement technologique

Nous avons présenté dans les paragraphes précédents l'importance cruciale du choix de la structure épitaxiale pour améliorer les performances des transistors HEMTs. Cette première étape conditionne la qualité des couches déposées, et permet de limiter les effets indésirables tels que les défauts cristallins et les fuites de courant.

La seconde étape concerne le processus technologique pour la fabrication du transistor, incluant notamment la formation des contacts ohmiques drain et source, ainsi que la fabrication de la grille. La maîtrise de ces étapes est essentielle pour minimiser les résistances d'accès et optimiser la modulation de la grille, pour garantir des dispositifs plus fiables et robustes. Un mauvais process de fabrication peut dégrader les performances RF du transistor et augmenter ses pertes en puissance.

6.1. Fabrication de la grille

La modulation de la densité d'électrons dans le canal du transistor est principalement contrôlée par la grille, qui définit non seulement l'ouverture ou la fermeture du canal, mais également le mode de fonctionnement du transistor : normally-off (mode enrichissement), où le canal est naturellement bloqué en l'absence de polarisation appliquée sur la grille, ou normally-on (mode déplétion), où le canal est naturellement conducteur sans polarisation.

Au cours de cette thèse, nous nous focaliserons sur le mode déplétion, dans lequel la grille peut être réalisée sous forme de contact Schottky ou de structure MIS (Metal-Insulator-Semiconductor).

6.1.1. Contact Schottky

Le contact Schottky est un contact métal-semiconducteur simple à fabriquer. Son principal inconvénient réside dans la présence de courants de fuite potentiellement significatifs sous forte polarisation, limitant la robustesse du transistor.

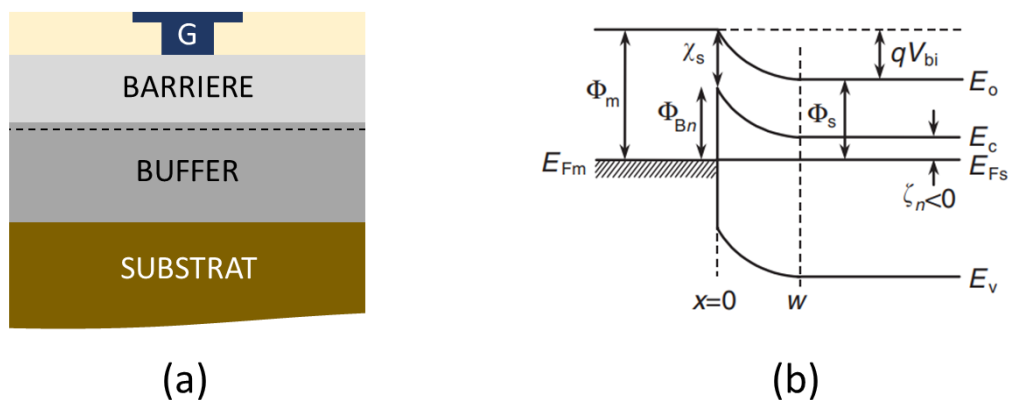


Figure 1.16 : (a) Structure contact Schottky et (b) Diagramme de bande d'énergie d'un contact métal et semiconducteur de type n ($\Phi_M > \Phi_S$)

Sur la figure 1.16b, on présente un diagramme de bande représentant le contact Schottky, où le métal est défini par son travail de sortie $q\Phi_M$, et le semiconducteur est caractérisé par sa fonction de travail $q\Phi_S$ ainsi que son affinité électronique $q\chi_s$ [34].

La barrière de potentiel à l'interface métal-semiconducteur, donnée par le modèle de Schottky-Mott, s'exprime au premier ordre par $\Phi_{Bn} = \Phi_M - \Phi_S$, où Φ_M est le travail de sortie du métal et Φ_S celui du semiconducteur. La hauteur et la forme de cette barrière dépendent du dopage du semiconducteur et de la différence des travaux de sortie, à condition que le niveau de Fermi ne soit pas fortement pincé sur l'énergie des défauts à l'interface.

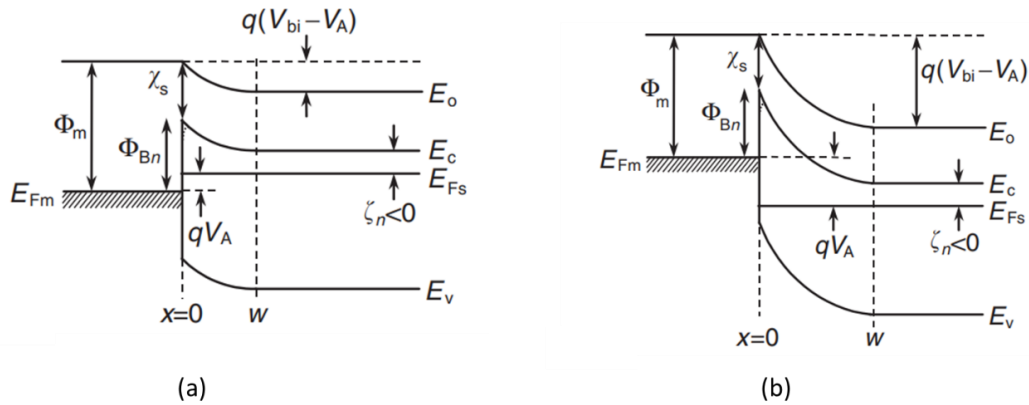


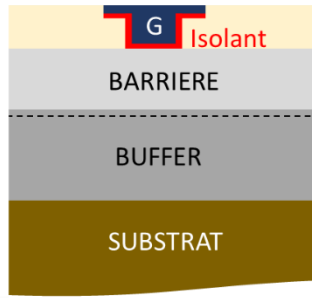
Figure 1.17 : Diagramme des bandes d'énergie d'un contact Schottky sous polarisation positive (a) et négative (b)

La tension appliquée sur le métal définit la position du niveau de Fermi. Sous polarisation positive (figure 1.17a), la bande de conduction du semiconducteur se rapproche du métal, ce qui réduit la barrière effective et favorise l'émission thermoïonique des électrons : un courant s'établit alors du métal vers le semiconducteur.

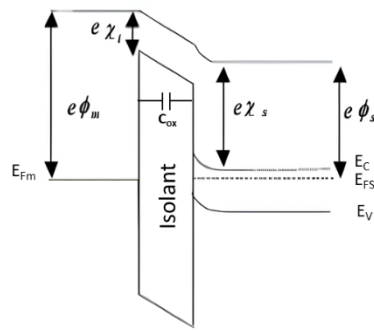
À l'inverse, sous polarisation négative (figure 1.17b), la barrière et la zone de déplétion s'accroissent. Le franchissement de la barrière par les électrons devient plus difficile, de sorte que le courant inverse reste très faible, et se trouve limité par les courants de fuites, fortement dépendants de la qualité de fabrication.

6.1.2. Contact MIS

La contact MIS introduit une couche isolante entre le métal et le semiconducteur (18a), permettant de contrôler le canal par effet capacitif (18b). La présence de cette couche réduit de plusieurs ordres de grandeur le courant de fuite de la grille et améliore la fiabilité du transistor en modulant plus efficacement la densité d'électrons dans le canal 2DEG. En revanche, elle peut également introduire des charges et des états d'interfaces qui peuvent dégrader les performances du transistor.



(a)

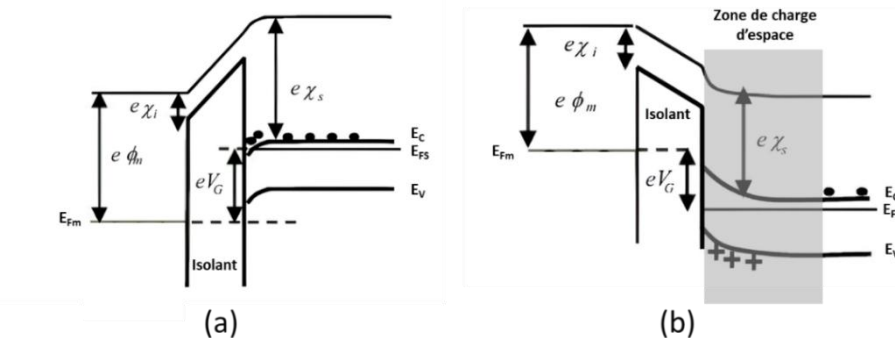


(b)

Figure 1.18 : (a) Structure contact MIS et (b) Diagramme de bande d'énergie d'un contact métal isolant semiconducteur type n

Ce contact MIS peut se réaliser soit en utilisant des oxydes à hautes permittivité diélectrique (Al_2O_3 , NiO_2), ou avec un matériau diélectrique (Si_3N_4 , AlN). L'utilisation d'un oxyde Al_2O_3 [35], présentant une large bande interdite et une constante diélectrique élevée, offre une meilleure capacité d'isolation et une meilleure barrière contre les fuites de courant ; cette couche peut être déposée par un procédé de dépôt en couche atomique (ALD), permettant un contrôle précis de l'épaisseur. Cependant, ce dépôt crée de nombreux défauts dans la couche d'oxyde, qui agissent sous formes de pièges électriquement actifs, capturant et émettant des porteurs de charge à proximité du canal ; ceci entraîne une instabilité de la tension de seuil (V_{th}) en fonction des conditions de fonctionnement. Cette couche doit être très fine pour préserver le contrôle de la grille et les performances en fréquences, mais suffisamment épaisse pour éviter des courants tunnel importants.

Un second choix d'isolant repose sur l'utilisation d'une couche diélectrique Si_3N_4 [35] qui présente une constante diélectrique plus faible que l'oxyde Al_2O_3 , cette couche est déposée en in-situ durant la croissance MOCVD, ce qui permet d'obtenir une couche de bonne qualité, une interface non contaminée et d'économiser une étape de fabrication. Elle nécessite un dépôt de bonne qualité afin de bénéficier d'une faible densité de défauts, réduisant ainsi les effets de pièges.



(a)

(b)

Figure 1.19 : Diagramme des bandes d'énergie d'un contact MIS sous polarisation positive (a) et négative (b)

Sous polarisation positive, les électrons s'accumulent à l'interface, réduisant la zone de déplétion et faisant correspondre la capacité mesurée à celle de l'oxyde (C_{ox}). Sous polarisation négative, les électrons sont repoussés, formant une zone de charge d'espace dont la largeur dépend de la tension appliquée, diminuant la capacité mesurée.

6.2. Fabrication du contact ohmique

Un bon contact ohmique est caractérisé par une faible résistance de contact R_c , essentielle pour garantir de bonnes performances aux transistors dédiés aux applications qui exigent de la puissance à haute fréquence. En effet, une bonne maîtrise de ce contact permet d'améliorer la puissance de sortie et l'efficacité énergétique du composant. La formation de ce contact est réalisée comme le contact Schottky mais conditionnée par la différence des travaux de sortie ($\Phi_M < \Phi_S$) et la nature du dopage du semiconducteur.

Lors du contact, le travail de sortie du métal doit être inférieur à celui du semiconducteur ($\Phi_M < \Phi_S$), alors les électrons passent du métal vers le semiconducteur, ce qui fait apparaître un déficit d'électrons dans le métal et une zone d'accumulation à l'interface avec le semiconducteur (figure 1.20), qui résulte d'une courbure des bandes de conduction et de valence, favorisant le passage des électrons du métal vers le semiconducteur.

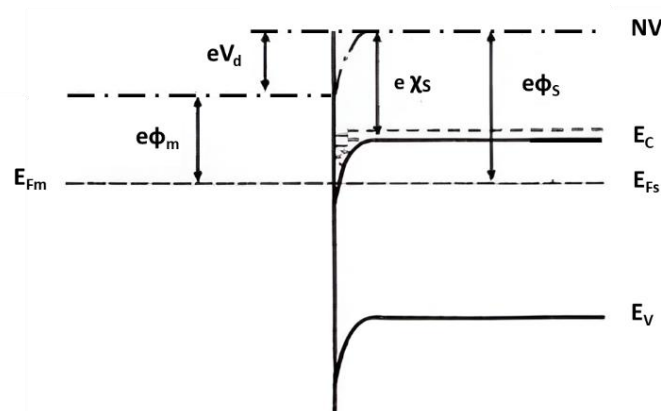


Figure 1.20 : Diagramme de bande d'énergie d'un contact ohmique ($\Phi_M < \Phi_S$)

La formation de ce contact est difficile avec un semiconducteur à large bande interdite comme le GaN, en raison de la hauteur importante de la barrière de potentiel à l'interface métal-semiconducteur. Pour réduire cette barrière, il est important de diminuer l'épaisseur de la zone de déplétion, ce qui peut être réalisé en augmentant la concentration d'électron (N_d) par dopage du semiconducteur. Cette réduction favorise le transport des électrons par effet tunnel, diminuant l'énergie nécessaire pour qu'ils franchissent l'interface métal-semiconducteur, entraînant une baisse de la résistance de contact R_c [36]. Les contacts ohmiques peuvent être réalisés selon deux approches : les contacts alliés et les contacts non alliés :

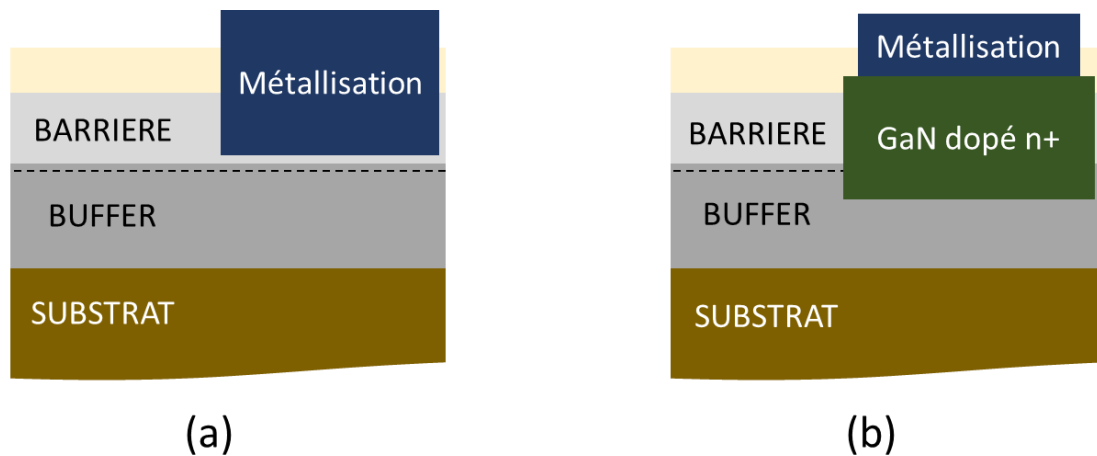


Figure 1.21 : Structure du contact ohmique (a) allié et (b) non allié

6.2.1. Contact allié

Les contacts alliés, tels que l'empilement Ti/Al/Ni/Au (le plus utilisé aujourd'hui) [37], [38], permettent un procédé simple : le dépôt métallique suivi d'un recuit thermique forme des composés métalliques et crée des défauts donneurs locaux qui dopent le semiconducteur, réduisant la résistance de contact.

Dans le cas présent, le séquentiel Ti/Al favorise la formation de TiN, le nickel limite la diffusion, et l'or protège contre l'oxydation et améliore la conductivité. Des alternatives « gold-free » [39] ont été développées pour la compatibilité CMOS.

6.2.2. Contact non allié

Cette méthode offre une résistance de contact plus faible que celle des contacts alliés, elle repose sur une ré-épitaxie sélective dopée n+ dans les zones de source et de drain (figure 1.21b), ce qui réduit la barrière de potentiel effective. Pour définir les zones de contact, le procédé débute par la gravure de l'hétérostructure jusqu'au canal, suivie d'une croissance à basse température d'une couche GaN fortement dopé au silicium régénérée dans cette cavité. Ensuite, un empilement métallique est déposé sur cette couche ré-épitaxiée sans recuit thermique, formant ainsi le contact ohmique non allié [40], [41], [42].

Ce procédé de fabrication évite les problèmes liés au recuit thermique, lequel engendre des diffusions des métaux et, par conséquent, des défauts de rugosité de surface. L'inconvénient de cette méthode réside en la nécessité d'une ré-épitaxie, en MOCVD ou MBE, qui rend le process technologique globalement plus complexe.

7. Effet limitatif

Lors de ce premier chapitre, nous avons démontré que les transistors GaN HEMTs, grâce à leurs propriétés physiques intrinsèques et à la structure spécifiques des matériaux choisis lors de la fabrication, offrent un fort potentiel technologique pour des applications de puissance lors d'un fonctionnement à haute fréquence. Cependant, ces composants sont soumis à des effets limitatifs intrinsèques qui peuvent compromettre leur fonctionnement optimal et leur fiabilité à long terme.

Parmi ces effets qui influencent les performances des transistors GaN, on note :

- Les effets thermiques où l'élévation de la température par auto-échauffement, entraîne une dégradation de ses performances.
- Les effets de pièges qui constituent une limitation majeure. Ces pièges proviennent de défauts ponctuels ou étendus situés dans la structure même du HEMT, et capables de capturer ou d'émettre des électrons du canal 2DEG, perturbant le fonctionnement nominal du transistor.
- L'effet canal court qui se produit lorsque le rapport d'aspect devient défavorable à une modulation optimale du canal, réduisant ainsi le contrôle de la grille sur la barrière de potentiel qui pilote le passage des électrons dans le canal. Cela limite la fréquence maximale de fonctionnement et affecte la fiabilité du HEMT.

Durant cette thèse, nous procéderons à la caractérisation de ces effets limitatifs, qui présentent des défis majeurs dans la fabrication des composants. Une compréhension approfondie de leur impact en fonction de la technologie des transistors étudiés, permettra de développer des solutions adaptées pour les minimiser. Cette caractérisation est également essentielle pour le développement de modèles de transistors capables de prédire leur comportement, avec et sans la présence de ces effets limitatifs.

7.1. Les phénomènes thermiques

Lors de la présentation de la structure épitaxiale du transistor HEMT, nous avons souligné l'importance du choix des alliages pour chaque couche, un paramètre essentiel lors de l'épitaxie. Le choix d'un substrat présentant une bonne conductivité thermique joue un rôle crucial dans l'optimisation de la gestion thermique au sein du transistor.

La dissipation thermique dans un HEMT dépend de la répartition du champ électrique et de la puissance dissipée dans le canal, laquelle varie en fonction des conditions de polarisation. Lorsqu'un courant élevé circule entre la source et le drain, les électrons dans le canal acquièrent une énergie importante sous l'effet du champ électrique. Ces électrons transfèrent ensuite cette énergie au réseau cristallin par des collisions (i.e en émettant des phonons), générant de la chaleur dans une zone localisée du canal. Cette zone de dissipation, représentée en rouge sur la figure 1.22, n'est pas uniforme et influence directement la résistance thermique et la température de jonction du composant, impactant ainsi les performances du transistor.

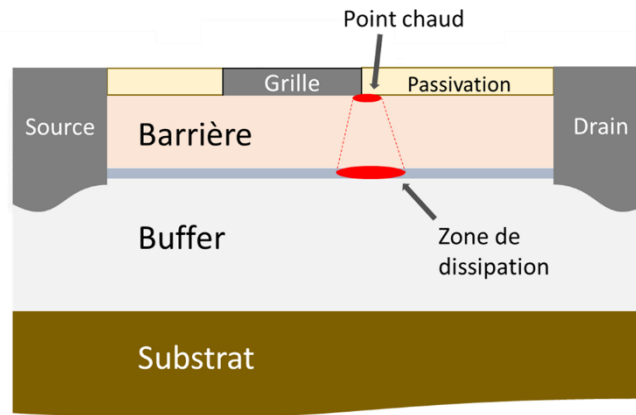


Figure 1.22 : Localisation de la zone de dissipation thermique dans la structure du GaN HEMT

Pendant le fonctionnement, la localisation du point chaud peut varier en fonction de la polarisation appliquée. Selon Aubry *et al.* [41], l'augmentation de la tension V_{ds} concentre la puissance dissipée au pied du doigt de grille côté drain, augmentant l'effet thermique (via la température de jonction).

En revanche, en maintenant la même tension de drain et en faisant varier la tension de grille V_{gs} , le potentiel des porteurs dans le canal est modifié, étalant la zone de dissipation et réduisant sa concentration. Cette distribution plus homogène limite l'élévation de la température et réduit l'évolution de la résistance thermique.

L'autoéchauffement du transistor, résultat de la dissipation de puissance, influence les propriétés physiques du composant et, par conséquent, ses performances.

- **Bande interdite**

La largeur de la bande interdite diminue avec la température, ce qui influence la concentration des porteurs et entraîne une réduction de la tension de claquage. En effet, la dilatation du réseau cristallin à haute température réduit l'énergie du gap E_g . Cette diminution est décrite par la formule de Varshni :

$$E_g(T) = E_g(0) - \alpha \cdot \left(\frac{T^2}{T + \beta} \right) \quad (1.11)$$

α est un coefficient qui décrit la décroissance de E_g avec la température, et β est un paramètre lié à la température caractéristique des vibrations du réseau.

- **Mobilité électronique**

L'augmentation de la température entraîne une diminution de la mobilité électronique et de la vitesse de saturation, en raison des collisions accrues entre électrons et réseau cristallin. Cela réduit le courant de drain ainsi que la fréquence de coupure du transistor.

L'équation suivante permet de décrire la diminution de cette mobilité en fonction de la température par :

$$\mu(T) = \mu_0 \cdot \left(\frac{T}{T_0}\right)^{\gamma} \quad (1.12)$$

γ est un exposant qui reflète le mécanisme de diffusion dominant qui dépend de la température.

- **Conductivité thermique**

La conductivité thermique des semiconducteurs décroît avec la température, limitant l'évacuation de la chaleur et la capacité du matériau à dissiper la température, ce qui accentue l'autoéchauffement. L'évolution de la conductivité thermique peut être approximée par l'équation :

$$K_{TH}(T) = K_{TH_300} \left(\frac{T}{300}\right)^a \quad (\text{W/m/K}) \quad (1.13)$$

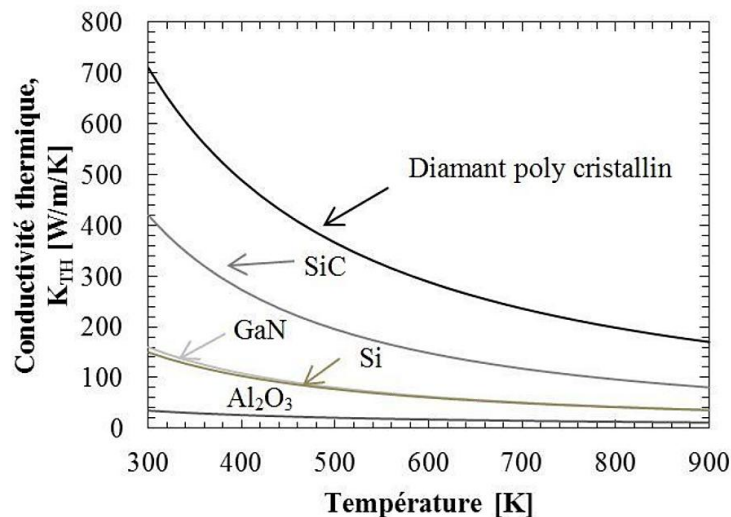


Figure 1.23 : Evolution de la conductivité thermique des différents matériaux semiconducteurs en fonction de la température [44]

7.2. Les phénomènes de piège

7.2.1. Origine des pièges

Les pièges dans les transistors GaN HEMT proviennent principalement des défauts cristallins introduits lors de la croissance épitaxiale. Le choix des alliages est crucial : un faible désaccord de maille entre les couches limite la formation de dislocations et de défauts [45].

La compensation du buffer GaN par du fer ou du carbone, utilisée pour améliorer l'isolation électrique, génère des pièges accepteurs profonds. De plus, les procédés de fabrication peuvent créer des pièges donneurs ou accepteurs aux interfaces du composant. La densité de pièges évolue selon les conditions de fonctionnement : forte polarisation électrique ou élévation de la température de jonction favorisent l'activation de pièges supplémentaires.

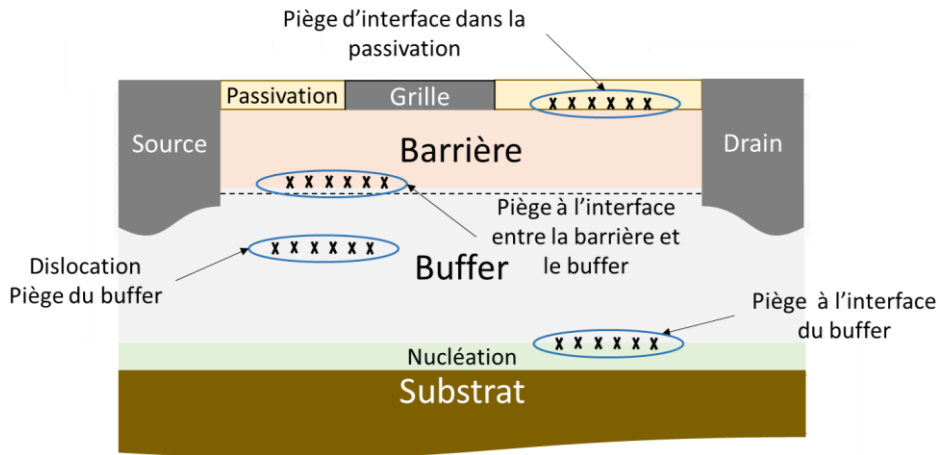


Figure 1.24 : Localisation des pièges dans la structure du HEMT GaN

7.2.2. Impact des pièges sur les performances des HEMTS

Les pièges présents dans la structure du transistor agissent comme des sites de capture et d'émission des électrons du canal 2DEG, limitant le courant de drain. Cet effet influence directement la résistance R_{on} et, par conséquent, les performances en puissance du composant, se traduisant par une réduction de la puissance de sortie et de l'efficacité énergétique à fort V_{ds} .

Durant la caractérisation du composant, lors de variations rapides de V_{gs} ou V_{ds} , les pièges présentent des constantes de temps de capture plus faibles que celles d'émission, induisant des effets transitoires : Gate-Lag et Drain-Lag.

- **Gate Lag**

Lorsqu'une impulsion positive est appliquée sur la grille, passant d'un état pincé à un état passant tout en maintenant la tension de drain constante, l'évolution du courant de drain présente un retard avant d'atteindre sa valeur nominale (figure 1.25). Ce retard est causé par la capture d'électrons par des pièges donneurs situés à la surface de la barrière entre la grille et le drain [45] [46].

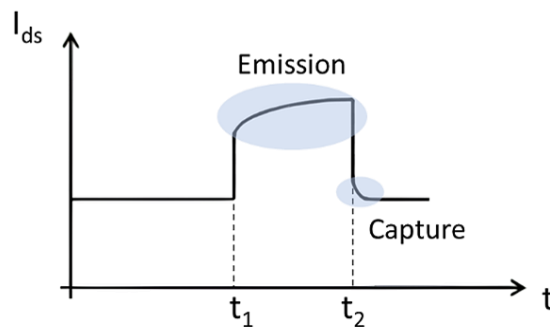


Figure 1.25 : Effet Gate lag

Les électrons capturés passent par effet tunnel à travers la barrière Schottky de la grille, créant une charge négative qui agit comme une grille virtuelle (figure 1.26) [47]. Cela entraîne l'extension de la zone de déplétion, et les électrons capturés ne peuvent répondre rapidement à la variation de tension, réduisant ainsi le courant de drain.

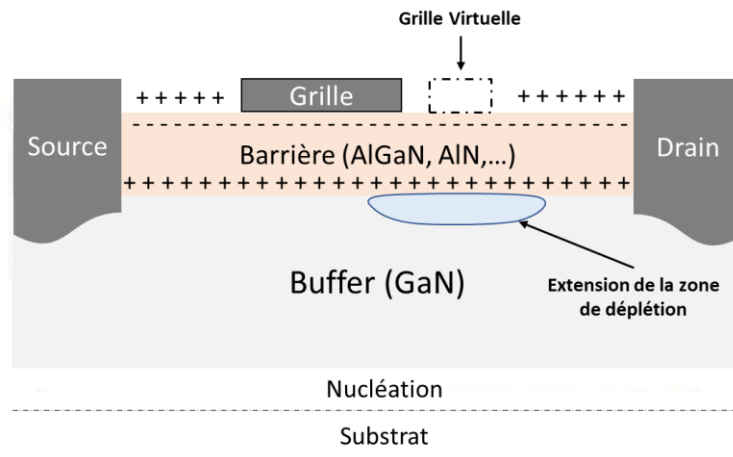


Figure 1.26 : Structure visualisant l'effet de grille virtuelle

- **Drain lag**

Ce phénomène est lié à la capture et à l'émission d'électrons piégés dans la couche buffer et à l'interface barrière/buffer. Sous l'effet d'une forte impulsion de V_{ds} , un champ électrique important se crée entre la source et le drain, fournissant de l'énergie aux électrons du canal. Ces électrons sont injectés dans la barrière ou dans le buffer, où ils sont capturés par des pièges profonds [45].

La capture des électrons réduit la densité d'électrons dans le canal, provoquant une diminution du courant de drain durant l'impulsion. Les électrons se libèrent progressivement, entraînant une récupération retardée du courant, comme illustré par les transitoires de courant (figure 1.27).

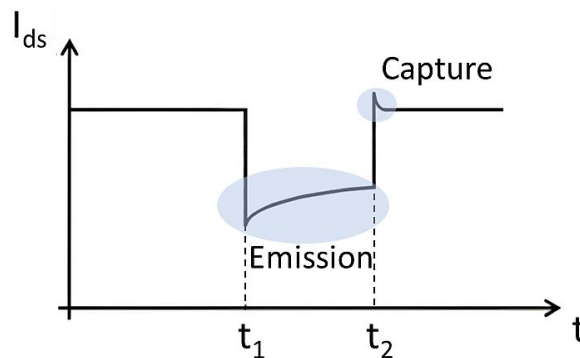


Figure 1.27 : Effet Drain Lag

7.2.3. Solution pour limiter ces effets de pièges

La maîtrise et la réduction des pièges sont essentielles pour améliorer les performances et la fiabilité des transistors. La passivation de surface, par l'utilisation de couches isolantes, permet de réduire la densité des pièges en surface, principale source du gate-lag [50] [51]. D'autres méthodes visent à diminuer ces pièges en ajoutant une couche de recouvrement (cap) en GaN de haute qualité [52], qui compense les charges de polarisation négatives et réduit la capture des électrons.

Le contrôle des défauts et des impuretés présents dans le buffer durant la croissance est également crucial. L'utilisation de buffers compensés au fer ou au carbone, ou de buffers non dopés à faible épaisseur, limite la capture des électrons dans le canal, améliorant ainsi la conduction et la stabilité du dispositif.

Une autre approche consiste à intégrer des plaques de champ au niveau de l'électrode de la grille [53] [54]. Cette technique réduit l'intensité du champ électrique (figure 1.28), limitant l'injection d'électrons dans les pièges situés à la barrière et dans le buffer. Elle diminue les effets des pièges et augmente la tension de claquage du composant. Cependant, elle entraîne une augmentation de la capacité C_{gd} , ce qui peut dégrader les performances en fréquence du transistor.

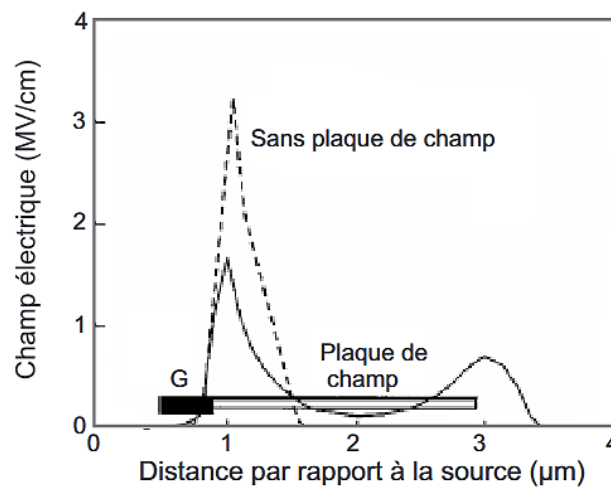


Figure 1.28 : Influence de la plaque de champ sur le pic du champ électrique [54]

Ces solutions combinées ne permettent pas d'éliminer complètement les pièges, mais elles réduisent leur impact. La recherche de nouveaux matériaux, de techniques de croissance ou de procédés innovants permettra d'améliorer les performances, la fiabilité et la durée de vie des HEMTs GaN destinés aux applications haute fréquence et haute puissance.

8. Limitation au fonctionnement d'un HEMT

La limitation de l'efficacité énergétique (PAE) et de la puissance de sortie (P_{out}) du transistor HEMT GaN, est principalement causée par deux facteurs décrit précédemment : les effets thermiques et les effets de pièges [55].

8.1. Impact sur l'efficacité énergétique (PAE)

Lors d'un fonctionnement à haute puissance, l'augmentation de la puissance dissipée provoque une élévation locale de la température du dispositif, provoquant un auto-échauffement du composant. A son tour, celui-ci engendre une dégradation des propriétés physiques du transistor entraînant une diminution de son efficacité à convertir la puissance DC en puissance RF, réduisant ainsi la PAE, comme présenté dans l'équation ci-dessous :

$$P_{diss} = P_{DC} \cdot (1 - PAE) \quad (1.14)$$

La présence de défauts sous forme de pièges dans la structure du transistor provoque également des effets de dispersion dans la transconductance et dans la conductance de sortie, induisant une dégradation supplémentaire de l'efficacité énergétique. La PAE dépend également du gain et de la tension de coude, laquelle souffre d'une augmentation en fonction de la densité des pièges présents dans la structure. Ainsi, un gain élevé et une tension de coude plus faible permettent d'optimiser l'efficacité énergétique du transistor. L'équation suivante permet d'évaluer la PAE en fonction des différents indicateurs :

$$PAE = \alpha \cdot \left(1 - \frac{1}{G}\right) \cdot \left(\frac{V_{ds} - V_{Coude}}{V_{ds}}\right) \quad (1.15)$$

α est un paramètre qui dépend de la classe de fonctionnement et G correspond au gain en puissance.

Ce gain, dépend de façon non négligeable de la capacité C_{gd} . Cette capacité diminue lorsque la tension de drain augmente, ce qui montre l'avantage de polariser le composant à des tensions V_{ds} plus élevées pour améliorer le gain. Cependant l'augmentation de la tension de polarisation accroît le champ électrique au sein du composant, ce qui active des pièges plus profonds dans la structure du transistor et induisent à une diminution de ce gain, dégradant ainsi sa PAE.

8.2. Impact sur la puissance de sortie (Pout)

Le courant maximal et la tension de coude déterminent l'amplitude maximale du cycle de charge, la réduction de ce dernier induit une limitation de la puissance de sortie. La figure 1.29, illustre les droites de charge utilisées selon la polarisation V_{ds} choisie lors de la mesure de puissance.

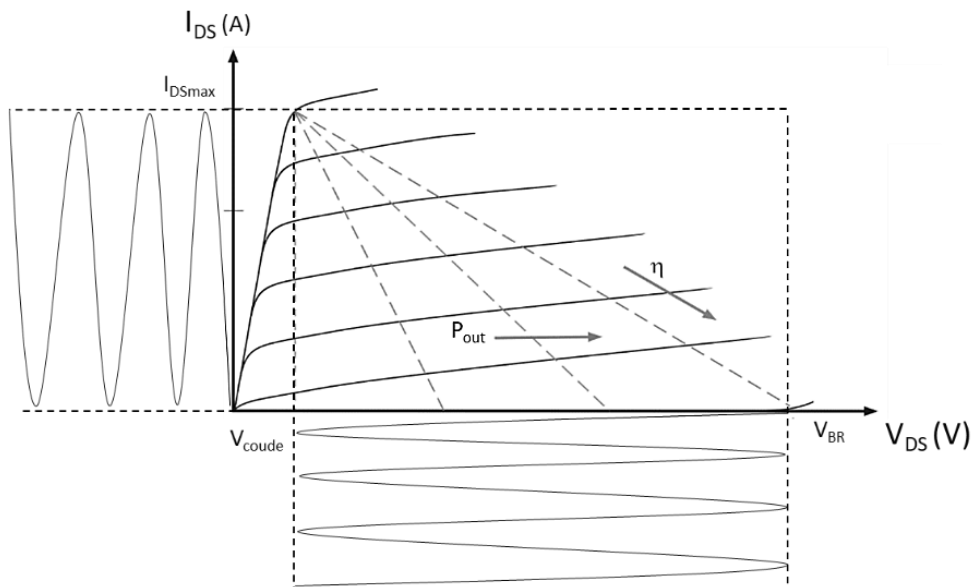


Figure 1.29 : Droite de charge choisie en fonction de la polarisation de drain

$$P_{out} = \frac{1}{8} (\Delta I \cdot \Delta V) = \frac{1}{8} \cdot I_{dsmax} (V_{dsmax} - V_{dsmin}) = \frac{1}{8} I_{dsmax} (BV_{gd} - V_{coude}) \quad (1.16)$$

Cette équation (extraite idéalement pour un composant polarisé en classe A) montre qu'une puissance de sortie élevée peut être obtenue avec un composant présentant un fort courant de saturation (I_{dsmax}), une tension de claquage (V_{BR}) élevée, et une faible tension de coude (V_{coude}).

Pour un dispositif idéal, la puissance de sortie augmente linéairement avec la tension V_{ds} . Cependant, la présence de défauts dans la structure des transistors GaN HEMTs engendre des effets dispersifs liés à la présence de pièges électriquement actifs, qui modifient les caractéristiques électriques du transistor.

8.3. Les effets de canaux court

L'augmentation de la fréquence de fonctionnement d'un transistor HEMT GaN est principalement liée à la longueur de grille. Une grille plus courte permet d'atteindre des fréquences plus élevées en réduisant le temps de transit des électrons dans le canal. Cependant, la réduction de L_g entraîne des effets indésirables, connus sous le nom d'effets de canal court (SCE : Short Channel Effects), qui limitent la capacité de la grille à contrôler efficacement les porteurs dans le canal [57].

Ces effets apparaissent lorsque le rapport entre la longueur de la grille et l'épaisseur de la barrière diminue, réduisant le contrôle électrostatique exercé par la grille. Dans ces conditions, les électrons dans le canal sont influencés non seulement par la grille, mais également par la tension appliquée sur le drain (V_{ds}).

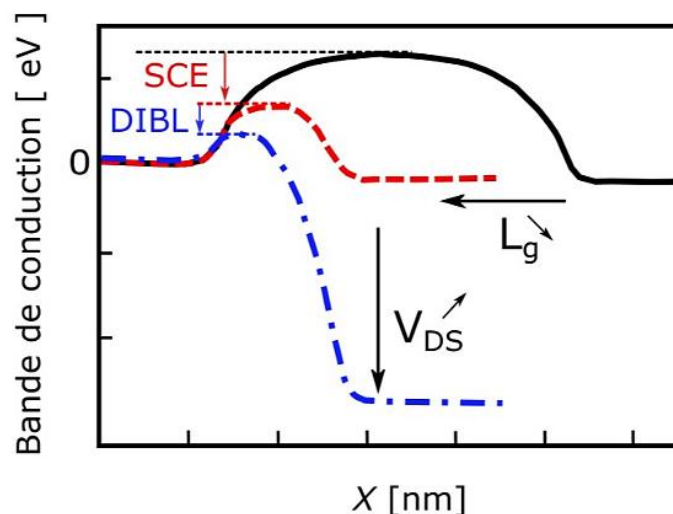


Figure 1.30 : Effet de canal court et DIBL sur la barrière de potentiel [58]

Un phénomène central associé aux SCE est le DIBL (Drain-Induced Barrier Lowering). Lorsque la tension de drain augmente, le potentiel longitudinal dans le canal est modifié : la hauteur de la barrière de potentiel sous la grille diminue, facilitant l'injection des électrons depuis la source vers le drain. Ce mécanisme conduit à plusieurs conséquences :

- **Réduction de la tension de seuil (V_{th})** : la barrière plus basse permet aux électrons de traverser le canal plus facilement, même à des tensions de grille inférieures à la valeur nominale.

- **Augmentation du courant de fuite** : la réduction de la barrière favorise le passage des électrons en dehors de la conduction normale, ce qui peut induire des pertes de courant même lorsque la grille est supposée bloquer le canal.
- **Diminution du contrôle électrostatique de la grille** : le drain influence directement la densité de porteurs dans le canal, réduisant l'efficacité de modulation du courant par la grille.

La figure 1.30 illustre ces effets dans un transistor HEMT GaN. La barrière énergétique que doivent franchir les électrons de la source vers le drain diminue lorsque V_{ds} augmente (courbe bleue). Cette variation est directement liée à l'intensification du champ électrique dans le canal, qui accentue le DIBL et limite la capacité du transistor à fonctionner correctement à haute fréquence.

Le DIBL est particulièrement critique dans les HEMTs GaN à cause de la forte mobilité des électrons dans le canal 2DEG, qui amplifie l'impact d'une barrière longitudinale abaissée. La conception des dispositifs doit donc tenir compte de ce phénomène, en optimisant la longueur de grille, l'épaisseur et la composition de la barrière ainsi que la géométrie des électrodes afin de minimiser les effets de canal court tout en conservant des performances de fréquence élevées.

Dans le second chapitre, l'étude des temps de transit électroniques permettra d'évaluer les limites de fréquence liées à la réduction de L_g , et de déterminer les compromis entre miniaturisation et contrôle électrostatique

9. Etat de l'art et positionnement de la recherche

Grace aux avantages intrinsèques de la technologie GaN, son utilisation pour les prochaines applications télécom, spatial et défense est pleinement justifiée. Sa maturité technologique, et son développement continue, renforce la maîtrise du développement et de la fabrication des transistors HEMT GaN.

Les dispositifs GaN sur SiC, grâce à leur maturité, ont déjà démontré de très bonnes performances en fréquence et en puissance à l'état de l'art, confirmant leur supériorité pour la réalisation d'amplificateurs de puissance destinés aux systèmes de défense et spatiaux. Cependant, leur coût élevé et une capacité de production limitée ont favorisé l'orientation vers des composants GaN sur Si, dont les performances sont proches de celles des dispositifs GaN sur SiC.

Au cours de cette thèse, une nouvelle technologie GaN HEMT compatible CMOS sur substrat Si a démontré des performances à l'état de l'art pour les applications télécom, notamment en vue du déploiement des nouvelles bandes 5G en bande K et Ka. Comme l'illustre la figure 1.31, la comparaison des performances en puissance entre des composants non compatibles CMOS sur substrat Si et SiC et des composants compatibles CMOS sur Si (sélectionnée en vert) [59] – [66] montre des résultats compétitifs, tout en offrant des avantages d'intégration et de fabrication adaptée à la filière silicium.

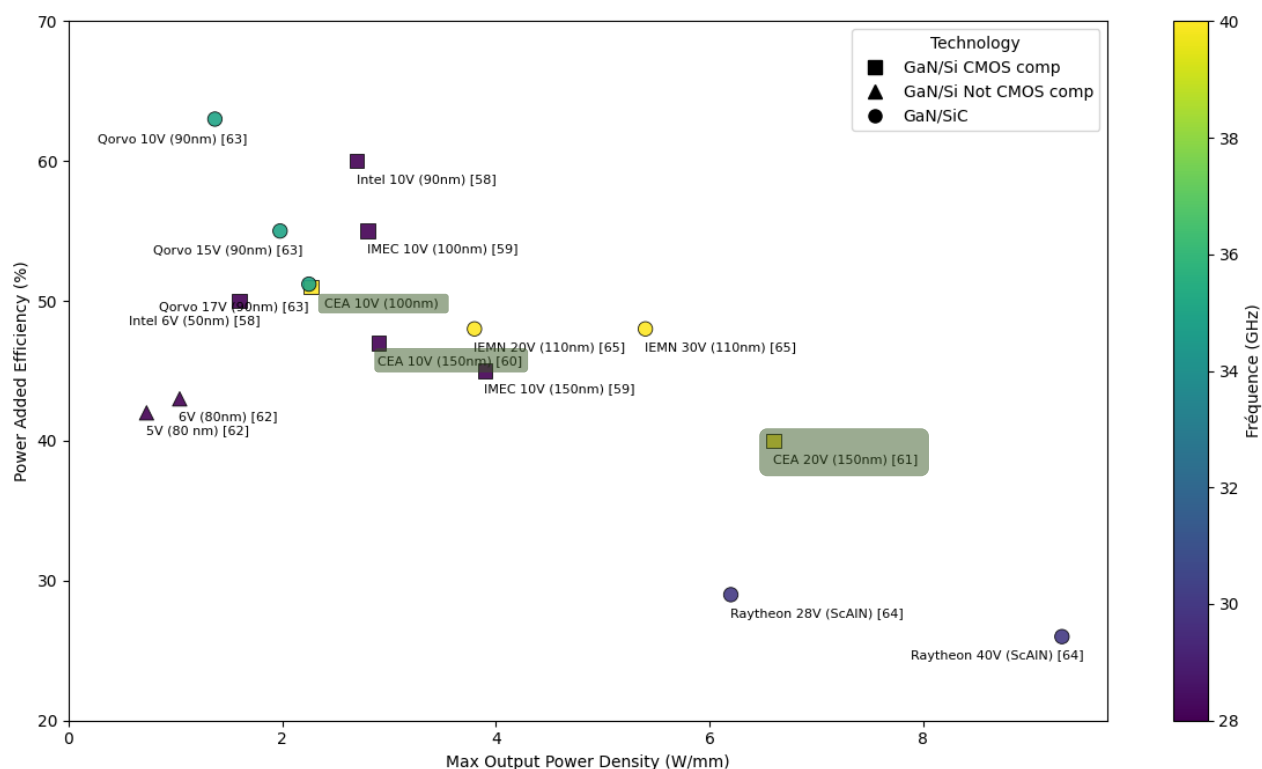


Figure 1.31 : Etat de l'art des transistors GaN/Si CMOS compatible et non compatible et des transistors GaN/SiC dans les bandes K et Ka

10. Conclusions du chapitre

Durant ce premier chapitre, nous avons montré que la technologie GaN constitue une avancée majeure pour le développement des systèmes de télécommunications, notamment pour le déploiement des nouvelles bandes 5G (FR2, FR3). Grâce à ses performances physiques supérieures et à son utilisation dans la fabrication de transistors HEMT, ces derniers, basés sur la formation d'un canal 2DEG, supportent de fortes densités de courant, de hautes tensions de claquage et des champs électriques élevés, permettant de délivrer des puissances importantes.

Nous avons également souligné l'intérêt d'une technologie de transistor GaN/Si compatible CMOS, dont les principaux avantages sont la réduction des coûts de fabrication, permettant d'augmenter la capacité de production, et la facilitation de l'intégration hétérogène avec d'autres composants en silicium, ouvrant la voie à des puces multifonctions avec des pertes d'interconnexion réduites. Cependant, des effets limitatifs tels que les pièges et l'autoéchauffement peuvent dégrader la fiabilité et les performances de ces dispositifs, rendant leur caractérisation indispensable pour optimiser la structure et le procédé technologique afin de maximiser la puissance, l'efficacité et la linéarité.

Le chapitre suivant sera dédié à l'étude de deux technologies de transistors GaN CMOS compatibles : MIS-HEMT et Recess Gate HEMT, pour lesquelles nous procéderons d'abord à l'évaluation des performances, puis à la caractérisation des effets limitatifs.

Chapitre 2 - Caractérisation électrique & analyse des technologies CMOS-compatibles

Introduction

Le premier chapitre a mis en évidence les atouts de la technologie GaN, dont les propriétés physiques permettent de générer des puissances élevées à haute fréquence. Cependant, conjuguer performance et fiabilité reste un défi majeur dans le développement des HEMTs.

L'amélioration des fréquences de fonctionnement de ces transistors repose principalement sur la réduction de leurs dimensions, notamment la longueur de grille. Cette miniaturisation, bien qu'efficace, introduit également des phénomènes limitants tels que les effets de canal court, les pièges et les contraintes thermiques, qui peuvent dégrader les performances globales. Comprendre l'origine de ces effets dispersifs nécessite donc une caractérisation approfondie, afin d'évaluer la qualité de la structure épitaxiale et de définir les leviers d'optimisation des dispositifs.

Dans ce chapitre, nous abordons l'étude de deux technologies de HEMTs GaN compatibles CMOS, développées par le CEA-Leti, reposant sur des hétérostructures et des processus technologiques distincts :

- MISHEMT AlN/GaN (MIS)
- Recess Gate AlGaIn/GaN (REC)

Après une présentation détaillée de leurs structures épitaxiales, nous analyserons leurs caractéristiques statiques à partir de mesures DC en petit signal. Les performances en fréquence seront ensuite évaluées par des mesures hyperfréquences, permettant de déterminer les fréquences de transition (F_t) et maximales (F_{max}). L'impact des dimensions géométriques sur ces fréquences ainsi que les limitations liées aux transistors à faible longueur de grille, seront étudiés à travers l'analyse du temps de transit des électrons dans le canal.

Une deuxième étape de caractérisation se concentrera sur les effets de pièges présents dans la structure. Les mesures pulsées permettront de réduire l'influence thermique et de quantifier les phénomènes de gate-lag et drain-lag, tandis que des mesures C-V permettront de compléter cette analyse en identifiant la signature des pièges et en estimant la densité d'états d'interface (D_{it}).

Enfin, le chapitre se conclura par la description du banc de mesure développé pour l'acquisition des paramètres S en mode pulsé. Ce dispositif est indispensable pour l'extraction des paramètres intrinsèques et la modélisation réaliste des transistors pour un point de polarisation donné.

1. Motivation

Le chapitre précédent a dressé un état de l'art des technologies GaN pour les applications de puissance tout en soulignant le rôle crucial des caractéristiques intrinsèques des dispositifs dans l'atteinte de performances élevées. Les travaux explorés dans ce chapitre visent à approfondir cette analyse en s'attaquant à une limitation spécifique identifiée sur une première génération de transistors à grille de type MIS (Metal-Insulator-Semiconductor).

Des mesures en courant continu (DC), en petits signaux (S_{ij}) et en grands signaux ont révélé qu'une conductance de sortie non négligeable à des tensions de polarisation élevées ($V_{ds}=20V$) limitait la PAE. Ce constat, étayé par une modélisation électrique rigoureuse, a orienté la recherche vers une nouvelle génération de transistors.

En réponse à cette limitation, une évolution technologique avec un canal plus fin et une grille de type recess a été explorée. Cette conception, théoriquement, devait améliorer le contrôle du canal et réduire les courants de fuite, des facteurs essentiels pour optimiser l'efficacité. Ce chapitre se propose d'examiner de manière comparative les performances électriques des deux technologies, MIS et recess. Bien que la technologie recess présente des améliorations significatives en termes de conductance à fort V_{ds} , des phénomènes de current collapse ou effets de lag plus prononcés ont été observés.

Dans ce document, le choix a été fait de présenter les résultats obtenus pour chaque technologie en vue de les qualifier pour des applications d'amplification en haute fréquence. Il convient toutefois de rappeler que la nouvelle génération de composants ne peut s'avérer compétitive en termes de puissance de sortie, du fait de la limitation inhérente à la technologie choisie et à la structure épitaxiale (impossibilité de polariser le drain à des tensions supérieures à 10-12V).

2. Présentation des structures de test

Le choix des structures épitaxiales a été guidé par les exigences de composants RF destinés aux bandes K et Ka, en lien avec les applications ciblées dans ce travail. La croissance des épitaxies des deux types de HEMTs GaN a été réalisée par un fournisseur industriel externe, utilisant la technique MOCVD sur substrats silicium haute résistivité de 200 mm, garantissant une intégration industrielle à grande échelle.

La structure « MIS » est caractérisée par une fine couche diélectrique de SiN déposée in-situ (2,5 nm), formant le contact MIS (Metal-Insulator-Semiconductor) de la grille. La structure « REC » se distingue par un contact Schottky (Métal/Semiconducteur).

Les deux structures (figure 2.1) partagent une architecture commune au niveau de la couche buffer, dopée au carbone pour compenser le dopage résiduel de type n du GaN et réduire les pertes RF. Au-dessus, une couche de gestion des contraintes limite les fuites verticales et renforce le confinement des électrons dans le canal. Enfin, une couche d'AlN atténue le désaccord de maille entre le substrat Si et les couches supérieures. Les épaisseurs exactes et les propriétés de ces couches restent confidentielles et appartiennent au fournisseur.

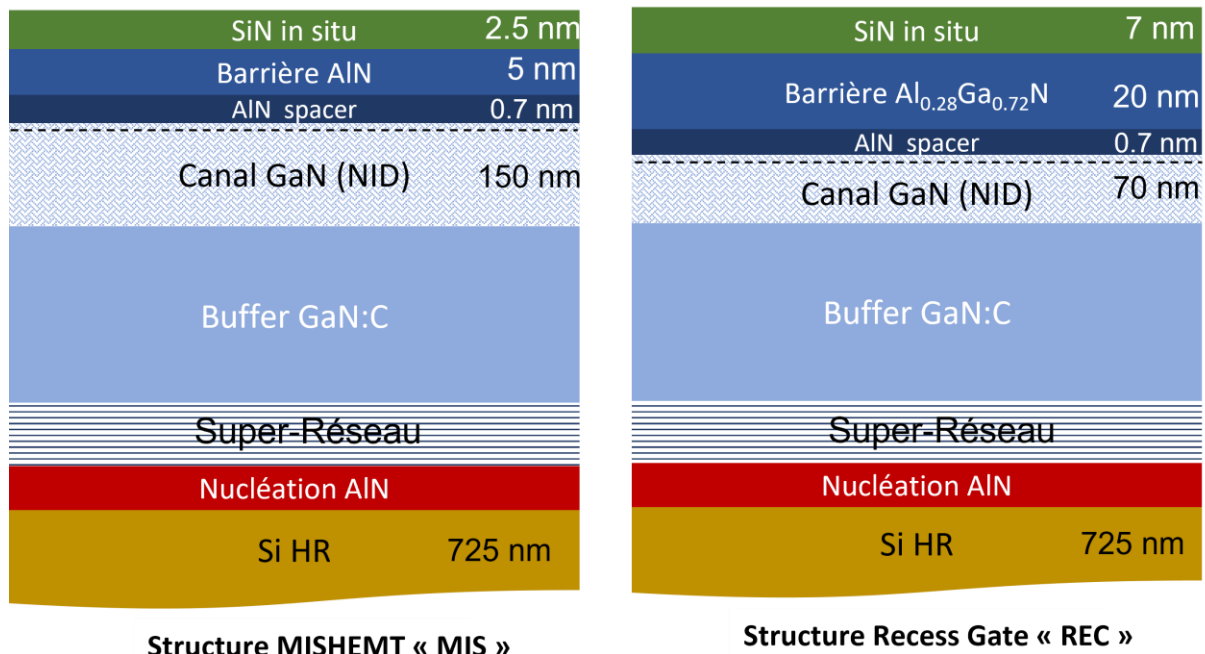


Figure 2.1 : Structure épitaxiale MISHEMT AlN/GaN « MIS » et Recess Gate AlGaIn/GaN « REC »

Les deux épitaxies étudiées se distinguent principalement par la nature de la couche barrière et l'épaisseur du canal GaN. La structure « MIS » se caractérise par une barrière AlN de 5 nm, offrant une densité électronique élevée mesurée avant process ($n_s = 1,7 \times 10^{13} \text{ cm}^{-2}$) grâce à une forte polarisation spontanée et piézoélectrique. Cette barrière est suivie d'un canal GaN non intentionnellement dopé, permettant de réduire les effets de piégeage en augmentant la distance entre le canal et le buffer.

À l'inverse, la structure « REC » présente une barrière AlGaIn de 20 nm avec un pourcentage d'aluminium d'environ 28%, conduisant à une densité d'électrons inférieure à celle obtenue avec la barrière AlN ($n_s = 1,02 \times 10^{13} \text{ cm}^{-2}$). Le canal GaN qui la suit possède une épaisseur de 70 nm.

Comme nous le verrons dans la suite de ce chapitre, un compromis entre l'épaisseur du canal GaN et le dopage carbone du buffer permet de maîtriser la densité de pièges responsables de la capture des électrons du canal 2DEG lors du fonctionnement dynamique du transistor. Ce compromis influence également les effets de canal court, notamment le phénomène DIBL, qui impacte à la fois la fiabilité et les performances RF des dispositifs.

3. Développement technologique

3.1. Compatibilité CMOS

Le CEA-Leti a développé un procédé technologique optimisé pour la fabrication de HEMTs GaN compatibles CMOS sur des wafers de 200 mm [62]. Cette compatibilité garantit un rendement élevé tout en permettant une intégration avec les lignes de production CMOS [67][68]. Un protocole strict a été défini pour limiter les risques de contamination, contrôler la planéité des wafers, optimiser le choix des matériaux et contrôler les traitements thermiques.

Le gallium, dopant de type p pour le silicium, représente une source potentielle de contamination dans les salles blanches CMOS. Pour limiter ces risques, des procédés spécifiques ont été mis en œuvre afin d'éviter toute contamination croisée entre wafers et équipements.

De même, les contacts métalliques classiques utilisant de l'or sont proscrits, car ce matériau constitue un contaminant majeur pour le silicium. La technique de lift-off est remplacée par des procédés compatibles CMOS, réduisant le risque de contamination tout en préservant la qualité des dispositifs, en plus de l'augmentation du rendement de fabrication.

Ces adaptations, bien que contraignantes, permettent de tirer parti de la maturité des technologies silicium, améliorant l'uniformité et la reproductibilité des composants sur l'ensemble du wafer et facilitant ainsi la production à grande échelle.

3.2. Contact Ohmique

Le développement des contacts ohmiques pour les deux structures repose sur un procédé optimisé visant à préserver les propriétés du 2DEG tout en minimisant la résistance de contact.

Les contacts sont réalisés par gravure complète de la barrière suivie d'une sur-gravure dans le canal, puis dépôt métallique Ti/Al selon un procédé damascène, compatible CMOS et remplaçant la technique de lift-off. Ce procédé consiste à former des cavités dans les zones de contact, déposer le métal sur toute la surface, puis polir le wafer pour retirer l'excédent, définissant ainsi précisément le contact.

Les contacts ohmiques sont ensuite recuits à basse température (590 °C), limitant la dégradation du canal 2DEG observée avec des recuits à haute température. Les mesures montrent une faible résistance de canal ($R_{\text{sheet}} = 268 \text{ } \Omega/\text{sq}$ pour la « MIS » et un $R_{\text{sheet}} = 300 \text{ } \Omega/\text{sq}$ pour la « REC ») proche des valeurs post-épitaxies. Ce procédé optimisé a permis d'obtenir des résistances de contacts plus faibles, ce qui se traduit par une faible résistance en état passant R_{on} , essentielle pour améliorer les performances RF et de puissance.

Les mesures TLM confirment de faibles résistances de contact : $R_c = 0,4 \text{ } \Omega.\text{mm}$ pour la structure MIS et $R_c = 0,27 \text{ } \Omega.\text{mm}$ pour la technologie REC, traduisant un impact limité du procédé sur les performances électriques et une amélioration notable des performances RF et de puissance.

3.3. Contact Grille

Le développement de la grille a également été réalisé selon un procédé damascène pour assurer la compatibilité CMOS. La différence principale entre les deux structures réside dans la nature du contact de grille, le contrôle dimensionnel et la définition des contacts : la structure MIS utilise un contact métal/isolant/semiconducteur (MIS), tandis que la structure REC repose sur un contact Schottky métal/semiconducteur. Ces choix influencent directement les caractéristiques électriques et la dynamique des transistors.

3.3.1. MISHEMT GaN

Le développement de la grille pour le composant « MIS » repose sur un procédé compatible CMOS, garantissant la préservation de la qualité de la couche diélectrique. Cette dernière est constituée d'une fine couche de SiN de 2,5 nm déposée in-situ par MOCVD, assurant un isolant de haute qualité et minimisant les fuites de courant de grille. Avant le dépôt du métal de grille TiN, une gravure humide de la couche d'oxyde SiO₂ est effectuée, créant une forme arrondie aux bords de la grille. Cette géométrie permet de réduire les pics de champ électrique, améliorant ainsi la fiabilité et la robustesse du transistor.

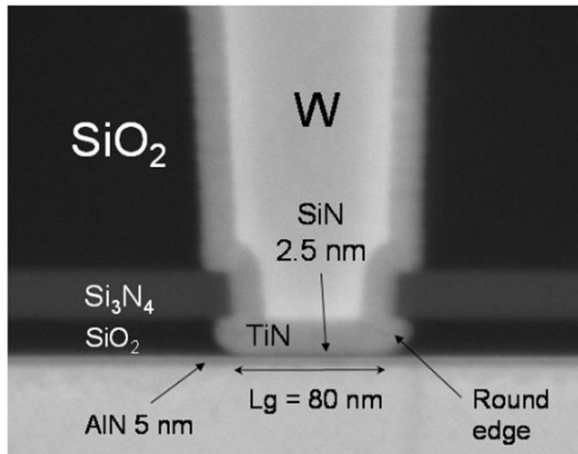


Figure 2.2 : Image STEM du pied de grille et la structure du MISHEMT

La figure 2.2 présente une image STEM du pied de grille illustrant cette forme arrondie au niveau du métal TiN, confirmant une bonne définition des bords. Des simulations TCAD ont également corroboré cette réduction [62][69].

Ce procédé permet non seulement d'obtenir une faible résistance statique $0.106 \Omega/\mu\text{m}$ pour $L_g = 150 \text{ nm}$, limitant les pertes résistives, mais également de préserver les propriétés du 2DEG, avec une densité électronique élevée $n_s = 1,85 \cdot 10^{13} \text{ cm}^{-2}$ et une faible résistance de canal $R_{\text{sheet}} = 268 \Omega/\text{sq}$.

3.3.2. Recess Gate HEMT

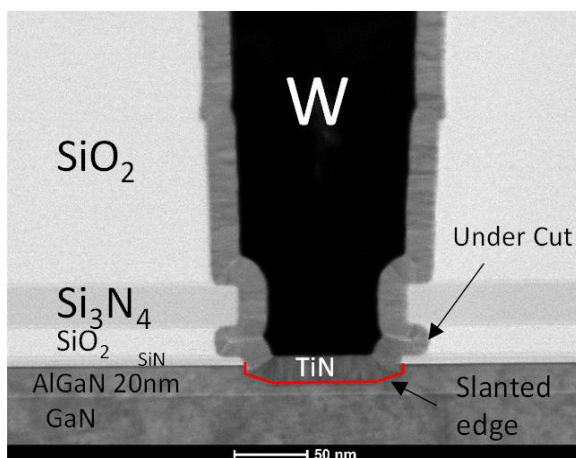


Figure 2.3 : Image STEM du pied de grille et la structure du Recess Gate

Pour ce composant, la commande de grille est un contact Schottky entre le métal TiN et la barrière AlGaIn, réalisé selon un procédé damascène. Ce procédé débute par une gravure d'environ 10 nm de la barrière afin de déposer le pied de grille. Après une combinaison de gravures sèches et humides, le pied de grille est formé puis recouvert de métal TiN, créant un undercut tel qu'illustré sur la figure 2.3. Cet undercut, fonctionnant comme un field plate de 20 nm, permet de réduire le pic de champ électrique au sein du transistor.

Par ailleurs, la technique dite de « slanted gate » est utilisée pour façonner les pieds de grille sous forme de flancs inclinés, réduisant ainsi la longueur effective de la grille et le champ électrique. Cette configuration influence directement l'amélioration de la fréquence de fonctionnement du transistor.

4. Caractérisation électrique des dispositifs

La caractérisation électrique du transistor vise d'abord à déterminer ses principaux paramètres de performance, puis à identifier les effets limitants présents lors des mesures. Elle repose sur trois types de mesures complémentaires :

- Une caractéristique de sortie I_{ds} (V_{ds}) (Courant-Tension), qui consiste à analyser le comportement du transistor dans son régime linéaire et de saturation, en effectuant une mesure de son courant de drain en fonction de la tension drain source V_{ds} , pour différentes valeurs de tension de grille V_{gs} . Une seconde mesure de la caractéristique de transfert I_{ds} (V_{gs}), permet d'extraire la transconductance maximale et la tension de pincement du composant.
- Les mesures en paramètre S permettent d'évaluer les performances en fréquence de chaque transistor et d'identifier les éléments limitant les performances RF, constituant ainsi un axe clé d'optimisation technologique.
- Les mesures pulsées visent à analyser les effets dispersifs liés aux pièges présents dans la structure. Des impulsions de tension sont appliquées tout en maintenant différents points de polarisation (V_{gq} et V_{dq}). Cette caractérisation est particulièrement pertinente pour les transistors GaN, où les pièges peuvent dégrader les performances en puissance. Elle permet de quantifier l'influence de ces pièges et de guider l'optimisation de la structure pour améliorer la fiabilité et les performances.

Dans ce chapitre, nous étudions les deux technologies de transistors MIS et REC en présentant les résultats obtenus sur différentes longueurs de grille. Le transistor REC de référence présente une longueur de grille $L_g = 100$ nm (épaisseur de canal 70 nm) avec une longueur grille-source $L_{gs} = 0,4$ μm et une longueur grille-drain $L_{gd} = 1$ μm , tandis que le transistor MIS de référence présente une longueur de grille $L_g = 150$ nm (épaisseur de canal 150 nm) et $L_{gs} = 0,4$ μm et $L_{gd} = 1,1$ μm . Les deux dispositifs caractérisés possèdent deux doigts de grille de largeur 50 μm (2x50).

4.1. Caractérisation électrique en régime statique

4.1.1. Caractéristique de sortie $I_{ds}(V_{ds})$

La caractéristique de sortie $I_{ds}(V_{ds})$, obtenue à partir de mesures DC, permet d'extraire la densité de courant de saturation I_{dsmax} , ainsi que la résistance drain-source R_{on} à partir de la zone linéaire de la caractéristique de sortie. Une faible valeur de cette résistance indique une bonne qualité des contacts ohmiques.

La figure 2.4 présente deux caractéristiques IV des deux structures MIS et REC pour deux longueurs de grilles différentes $L_g = 100$ nm et $L_g = 150$ nm.

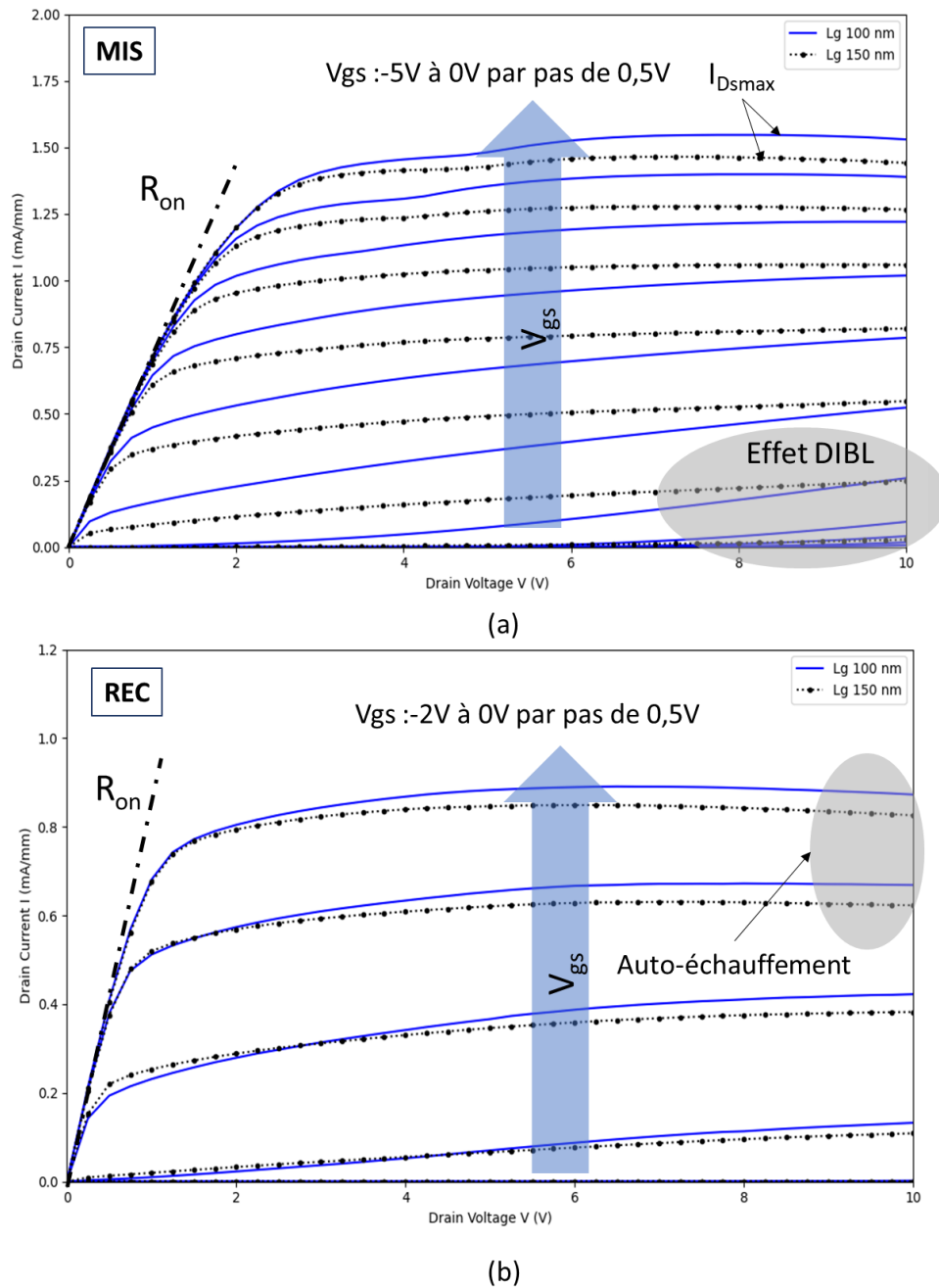


Figure 2.4 : Caractéristique de sortie $I_{ds}(V_{ds})$ (a) MISHEMT et (b) Recess Gate HEMT à température ambiante pour deux longueurs de grille différente $L_g = 100$ nm (en bleu) et $L_g = 150$ nm (en noir)

On observe que pour les deux structures, les composants à plus courte longueur de grille présentent une densité de courant plus élevée. Cette augmentation du courant de sortie s'explique par un meilleur contrôle sur la cinétique des porteurs dans le canal lorsque la longueur de grille diminue. Ce phénomène s'accompagne d'une amélioration de la capacité du transistor à moduler le courant dans le canal, lui permettant de supporter un courant plus important pour une même tension de grille.

Pour une longueur de grille $L_g = 100$ nm, le courant de drain maximal à $V_{gs} = 0$ V est mesuré à $I_{dsmax} = 1,547$ A/mm pour la structure MIS, tandis que la structure REC atteint $I_{dsmax} = 0,89$ A/mm. Cette différence est directement liée à la nature des barrières : la structure MIS utilise une barrière AlN, induisant une densité d'électrons élevée ($1,7 \times 10^{13} \text{ cm}^{-2}$), tandis que la barrière AlGaIn de la structure REC, avec un taux d'aluminium de 28 %, génère une densité d'électrons plus faible ($1,02 \times 10^{13} \text{ cm}^{-2}$).

Sur la structure MIS, on observe également un décalage de la tension de seuil sous forte polarisation V_{ds} , particulièrement marqué pour les transistors à faible longueur de grille. Ce phénomène est attribué aux effets de canal court, notamment à l'effet DIBL, alors qu'il est moins prononcé sur la structure REC. Une caractérisation et une analyse détaillée de ces effets dispersifs seront présentées ultérieurement dans le chapitre, en mettant en relation leur ampleur avec la structure épitaxiale et la longueur de grille des composants.

La résistance drain-source nommée R_{on} est déterminée à partir de la zone linéaire de la caractéristique IV ; elle s'exprime comme la dérivée de la tension de drain par rapport au courant de drain I_{ds} à $V_{gs} = 0$ V, selon l'équation suivante :

$$R_{ds} = \left. \frac{\partial V_{ds}}{\partial I_{ds}} \right|_{V_{gs}=0V} \quad (2.1)$$

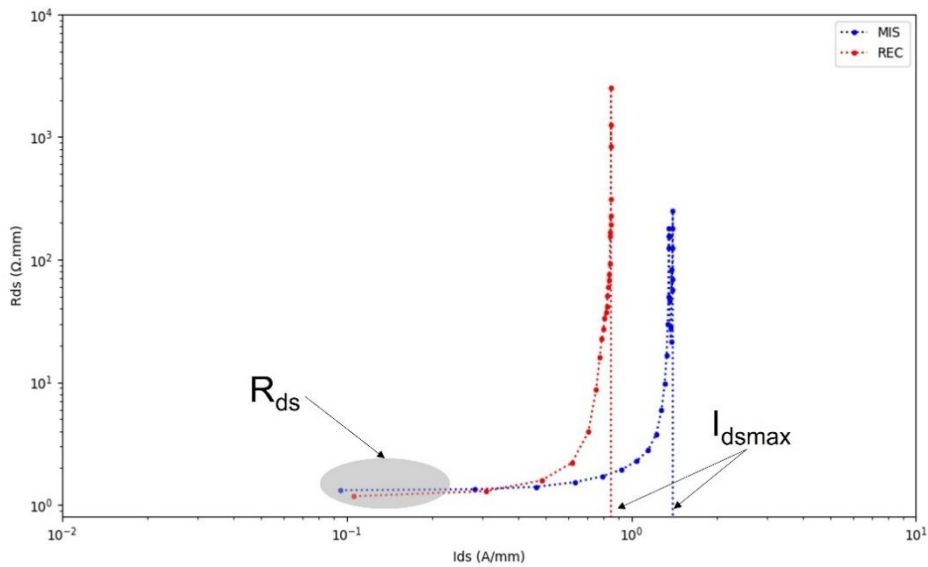


Figure 2.5 : Résistance R_{ds} du composant MISHEMT (en bleu) et Recess Gate HEMT (en rouge) en fonction du courant de drain I_{ds}

On relève une faible résistance à l'état passant $R_{ds} = 1,1 \Omega \cdot \text{mm}$ pour la structure REC, tandis que la structure MIS présente une résistance plus élevée $R_{ds} = 1,3 \Omega \cdot \text{mm}$. Ces valeurs sont en accord avec les résistances de contacts extraites des mesures TLM et montrent que l'optimisation des contacts ohmiques dans la structure REC a permis de réduire sensiblement cette résistance R_{ds} , et par conséquent d'abaisser la tension de coude observée sur la caractéristique IV. Cette diminution a un impact direct sur la tension de coude et sur les pertes résistives lors du passage du courant, ce qui contribue à l'amélioration des performances en puissance du composant.

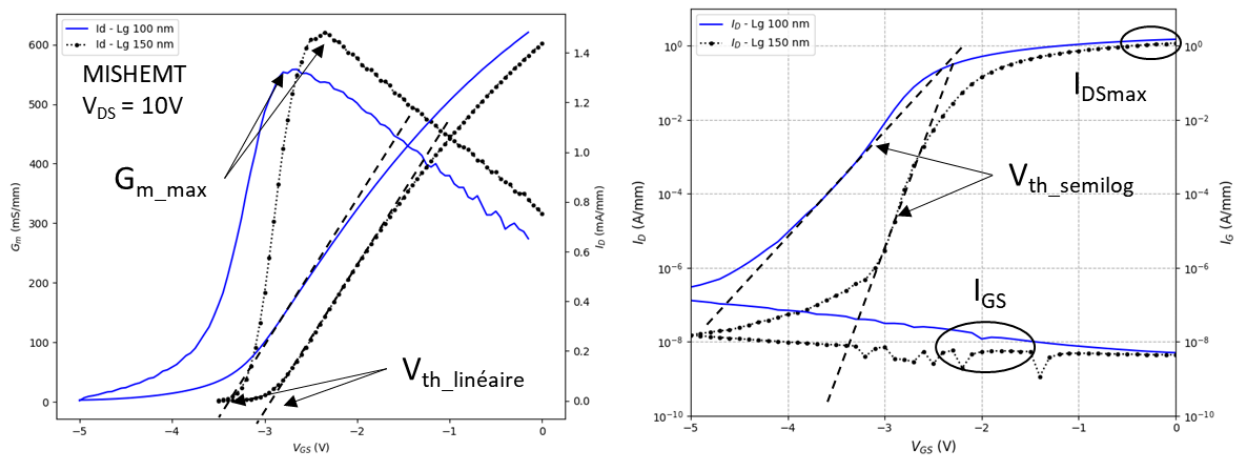
4.1.2. Caractéristique de transfert I_{ds} (V_{gs})

La transconductance G_m est un paramètre clé reflétant l'efficacité du contrôle exercé par la grille sur les porteurs dans le canal 2DEG. Elle est définie par la variation du courant de drain en fonction de la tension de grille à V_{ds} constante.

$$G_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (2.2)$$

Une transconductance élevée traduit un contrôle efficace de la grille sur le canal, améliorant les performances du transistor en termes de fréquence de fonctionnement, de gain et de linéarité. L'analyse de la caractéristique de transfert permet ainsi d'extraire la tension de seuil V_{th} ainsi que la transconductance maximale G_{m_max} du transistor. Une valeur élevée de G_m indique un gain petit signal important et signifie qu'une faible variation de V_{gs} entraîne une variation significative du courant de drain I_{ds} , rendant le transistor très sensible à la commutation.

Plusieurs topologies de transistors ont été mesurées. La figure 2.6 présente les résultats de mesure indiquant une transconductance maximale de $G_{m_max} = 620 \text{ mS/mm}$ pour le transistor MIS de longueur de grille 150 nm, et de $G_{m_max} = 605 \text{ mS/mm}$ pour le transistor REC à $L_g = 100 \text{ nm}$. Ces deux composants présentent environ le même ordre de grandeur avec une valeur de transconductance légèrement supérieur dans le composant MIS par rapport au REC, qui s'explique principalement par une densité d'électrons dans le canal 2DEG plus élevée, tout en maintenant un rapport d'aspect satisfaisant.



(a)

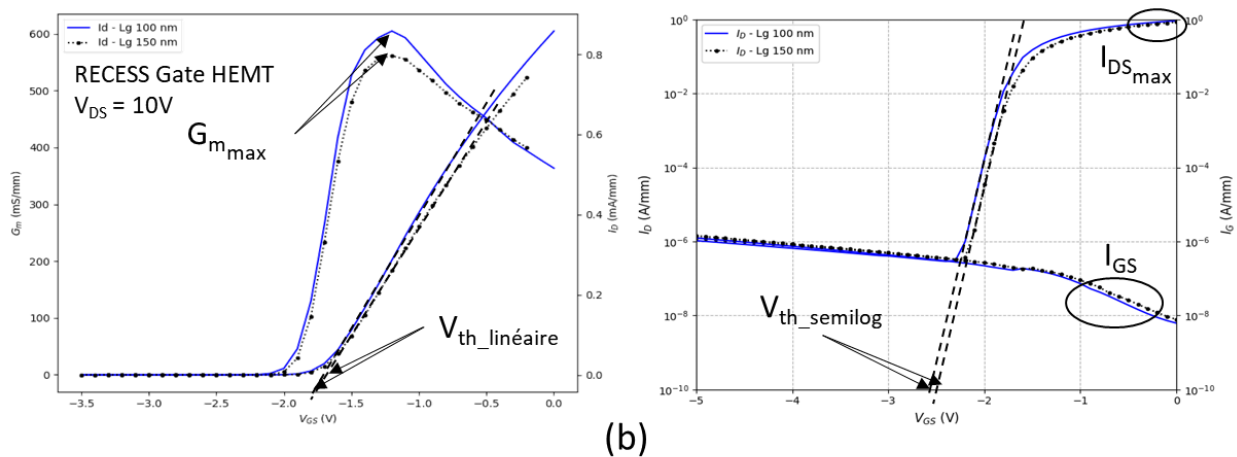


Figure 2.6 : Caractéristique de transfert $I_D(V_{GS})$ et transconductance G_m associé (a) MISHEMT et (b) Recess Gate HEMT à $V_{ds} = 10V$ pour deux longueurs de grille différentes $L_g = 100$ nm (en bleu) et $L_g = 150$ nm (en noir)

La figure 2.6 compare les caractéristiques de transfert des deux technologies pour les longueurs de grille étudiées ($L_g = 100$ nm et $L_g = 150$ nm), polarisées à $V_{ds} = 10$ V. Sur la figure 2.6(a), correspondant à la structure MIS, on observe un décalage négatif de la tension de seuil ainsi qu'une diminution de la transconductance lorsque la longueur de grille diminue. En revanche, la figure 2.6(b), représentant le transistor REC, montre uniquement un léger décalage de la tension de seuil et une augmentation modérée de la transconductance.

Ce décalage plus prononcé dans la structure MIS s'explique par les effets de canal court, notamment le DIBL. Sous un fort champ électrique, la barrière de potentiel sous la grille est abaissée, entraînant un déplacement de la tension de seuil vers des valeurs plus négatives et une perte de contrôle de la grille sur le canal. La structure REC, plus robuste face à ces effets dispersifs grâce à un canal plus mince de 70 nm, ce qui limite l'impact du DIBL sur ses performances – rappelons que c'était l'objectif initial du développement de cette seconde technologie avec un canal GaN plus mince, démontrant une meilleure stabilité électrique.

Technologie	MISHEMT		RECESS Gate HEMT	
L_g	100 nm	150 nm	100 nm	150 nm
I_{DSmax} (A/mm) à $V_{GS} = 0V$ et $V_{ds} = 10V$	1,55	1,465	0,877	0,84
R_{ds} à $V_{GS} = 0V$	1,3 $\Omega \cdot mm$		1,1 $\Omega \cdot mm$	
G_{mmax} (mS/mm) à $V_{ds} = 10V$	558	620	605	560
Tension de pincement $V_{thlinear}$ (V)	-3,45	-2,9	-1,84	-1,87
I_{g_leak} (nA/mm) à $V_{ds} = 10V$ et $V_{GS} = V_{th}$	10		100	

Table 2.1 : Synthèse des performances électrique des transistors MIS et REC

À partir du tableau de synthèse, on constate que les deux composants présentent d'excellentes performances en termes de transconductance, ainsi qu'un courant de grille très faible. Le composant MIS se distingue par une réduction encore plus marquée du courant de grille grâce à la présence d'un diélectrique SiN déposé in-situ, qui bloque efficacement les fuites potentielles.

Une différence notable apparaît toutefois au niveau de la tension de seuil. Pour une longueur de grille $L_g = 150\text{nm}$, on relève une tension de pincement plus négative pour le composant MIS ($V_{th} = -2,9\text{ V}$) que la REC ($V_{th} = -1,87\text{ V}$). Cette particularité peut s'expliquer par la présence d'un 2DEG davantage peuplé dans le cas de la structure MIS (barrière AlN). Dans la structure REC, une partie de la barrière AlGaIn sous la grille a été gravée ($\sim 10\text{ nm}$) avant la formation du pied de grille. Plus cette gravure est profonde, plus la tension de seuil devient positive, car la barrière réduite sous la grille facilite la commande du composant.

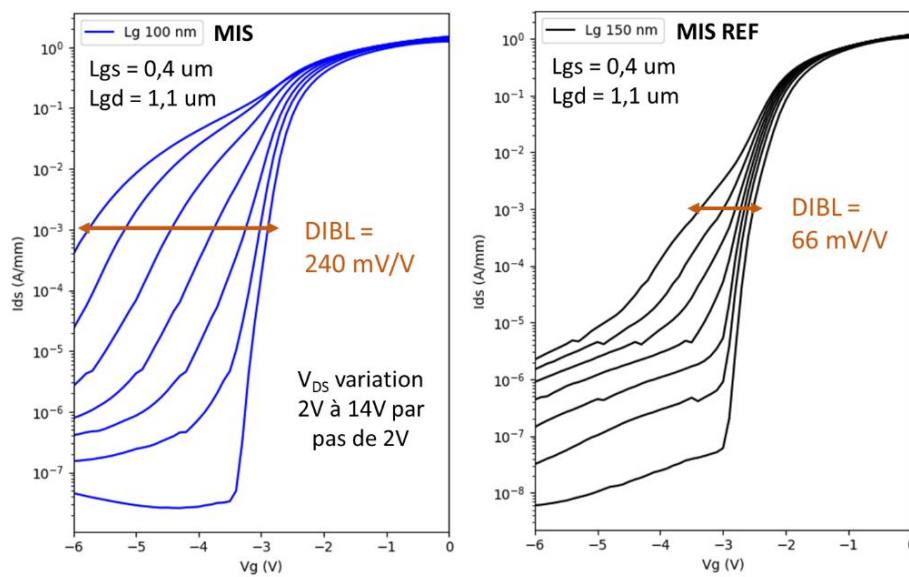
4.1.3. Mesure DIBL

Comme évoqué précédemment, les effets DIBL (Drain Induced Barrier Lowering) correspondent à la réduction de la barrière de potentiel sous la grille sous l'effet d'une tension de drain. Il s'agit d'un type d'effet de canal court particulièrement visible pour les transistors HEMT à faible longueur de grille.

Ces effets se traduisent par une tension de pincement et une conductance de sortie dépendant de la polarisation du drain. La mesure du DIBL permet d'évaluer la capacité de la grille à confiner efficacement les électrons dans le canal. Une valeur élevée du DIBL indique un contrôle insuffisant du canal, se traduisant par un décalage de la tension de seuil vers des valeurs plus négatives et une augmentation de la conductance de sortie (G_{ds}), ces variations étant amplifiées pour des tensions V_{ds} élevées. Le DIBL impacte également la fréquence de fonctionnement et augmente les fuites de courant de drain, réduisant l'efficacité énergétique du transistor.

La figure 2.7 présente les mesures DIBL des structures MIS et REC pour deux longueurs de grilles $L_g = 150\text{ nm}$ et $L_g = 100\text{ nm}$. Ces mesures sont réalisées en balayant V_{gs} de -6V à 0V , et V_{ds} de 2V à 14V par pas de 2V . L'extraction du DIBL s'ensuit via :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{ds}} \quad (2.3)$$



(a)

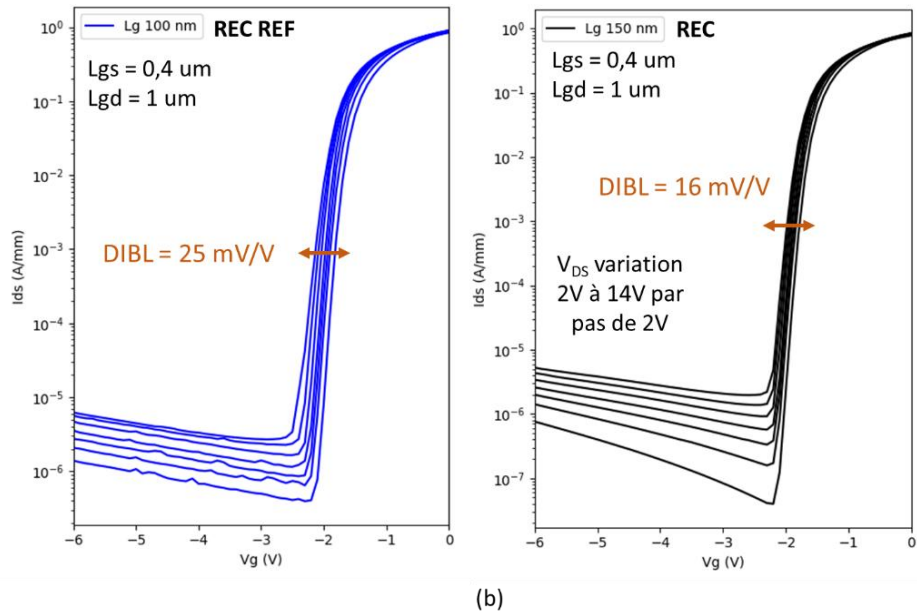


Figure 2.7 : Caractéristique de transfert $I_{ds}(V_{gs})$ associée (a) MISHEMT et (b) Recess Gate HEMT pour deux longueurs de grille différentes $L_g = 100$ nm (en bleu) et $L_g = 150$ nm (en noir)

Les coefficients DIBL montrent un écart significatif entre MIS et REC : pour le MIS, le DIBL atteint 240 mV/V à $L_g = 100$ nm et 66mV/V à $L_g = 150$ nm (REF). En comparaison la structure REC présente un DIBL plus faible, respectivement 25mV/V à 16mV/V.

En complément, le phénomène de « punch-through » [70], lié au DIBL, résulte d'un mauvais confinement du 2DEG à l'interface barrière/canal GaN non dopé, permettant aux électrons de contourner la zone de déplétion et de circuler dans la couche buffer dopée au carbone. Ce phénomène explique le décalage plus prononcé de la tension de seuil à faible longueur de grille.

La figure 2.8 illustre des simulations TCAD à $V_{ds} = 10$ V, la figure 2.8a montre la structure MIS avec des contours de densité de courant indiquant un passage profond du courant dans le buffer, tandis que la figure 2.8b pour la structure REC montre un confinement plus efficace du courant au niveau de l'interface barrière/canal.

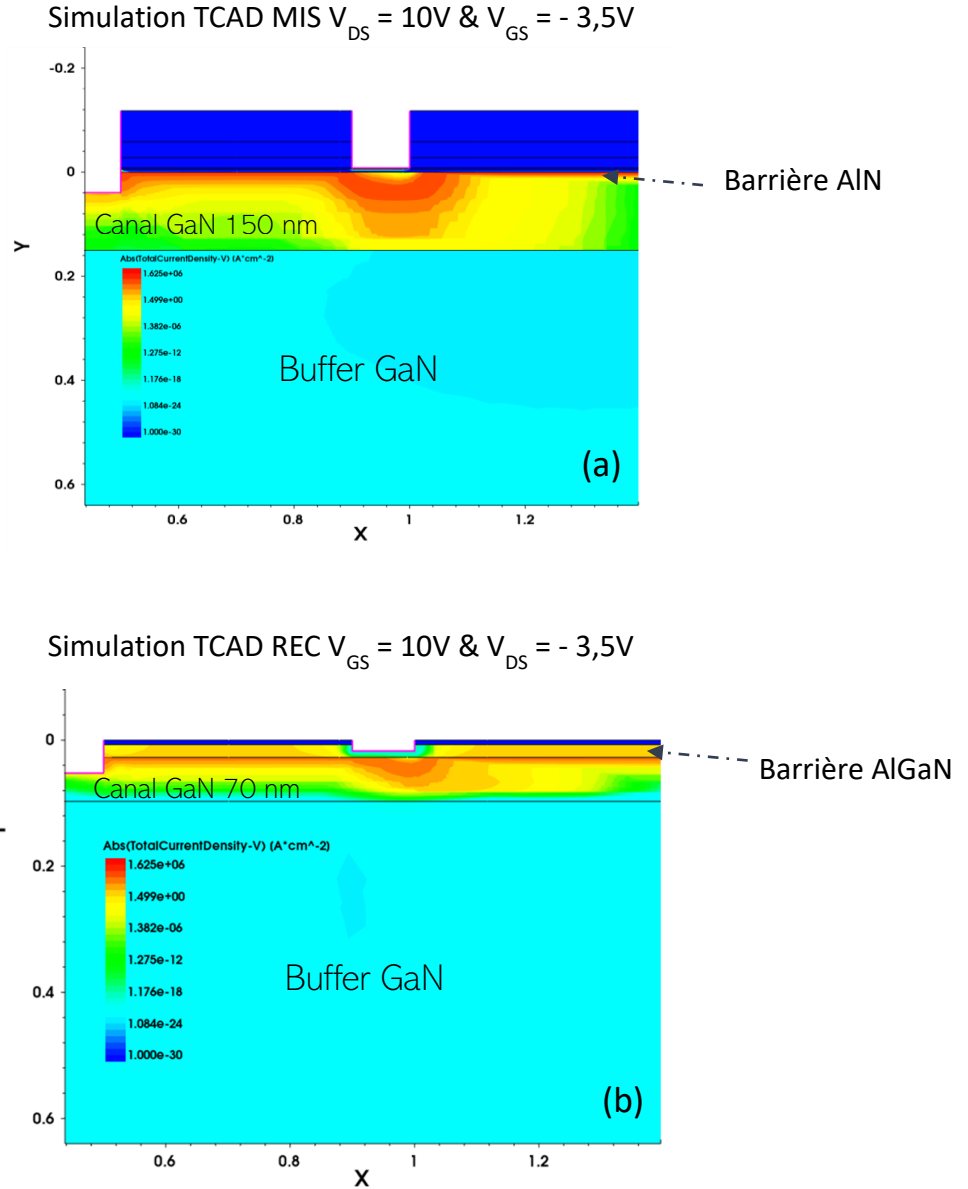


Figure 2.8 : Simulation TCAD (a) MISHEMT et (b) Recess Gate HEMT pour deux longueurs de grille différente $L_g = 100$ nm et $L_g = 150$ nm polarisés à $V_{ds} = 10V$

Pour le MIS, un dopage accepteur faible abaisse la bande de conduction dans le buffer, favorisant le punch-through, surtout avec un canal GaN épais (150 nm) qui limite le rôle des accepteurs carbone à confiner les électrons dans le canal [72]. En revanche, pour le REC, un dopage carbone élevé et un canal plus mince (70 nm) créent une barrière de potentiel plus haute, supprimant l'effet punch-through et limitant les effets de canal court dans les dispositifs à faible longueur de grille pour un fonctionnement à haute fréquence, réduisant aussi leur conductance de sortie à fort V_{ds} et par conséquent améliorant leur efficacité énergétique.

4.2. Mesure Pulsée

Pour identifier les mécanismes de piégeage susceptible d'affecter les performances en puissance des composants étudiés, il est important de recourir à des mesures en mode impulsif. En appliquant des courtes impulsions, il est possible d'évaluer les variations de courant impactés par les effets de pièges présents dans la structure du HEMT.

Cette mesure a été réalisée sur un banc de mesure impulsif Keithley S4200A, permettant d'appliquer des impulsions de largeur de pulse très courtes, facilitant la dé-corrélation entre les effets thermiques et les effets de pièges présents dans la structure du transistor HEMT. Lors de la mesure, des largeurs d'impulsion courtes ont été choisies, typiquement à 500 ns, associées à un rapport cyclique d'environ 1%. Ce choix permet de réaliser des mesures dans des conditions quasi-isothermes.

Cette caractérisation repose aussi sur le choix (pertinent) d'un point de polarisation de repos. Pour évaluer l'influence des pièges sur les performances statiques, différents points de polarisation ont été appliqués. Il est généralement admis que la durée d'émission des pièges est plus longue que celle de capture, impliquant que le courant mesuré durant l'impulsion dépend à la fois des tensions au repos (V_{gsq} et V_{dsq}) ainsi que des tensions instantanées (V_{gsi} et V_{dsi}) comme présenté sur la figure 2.9.

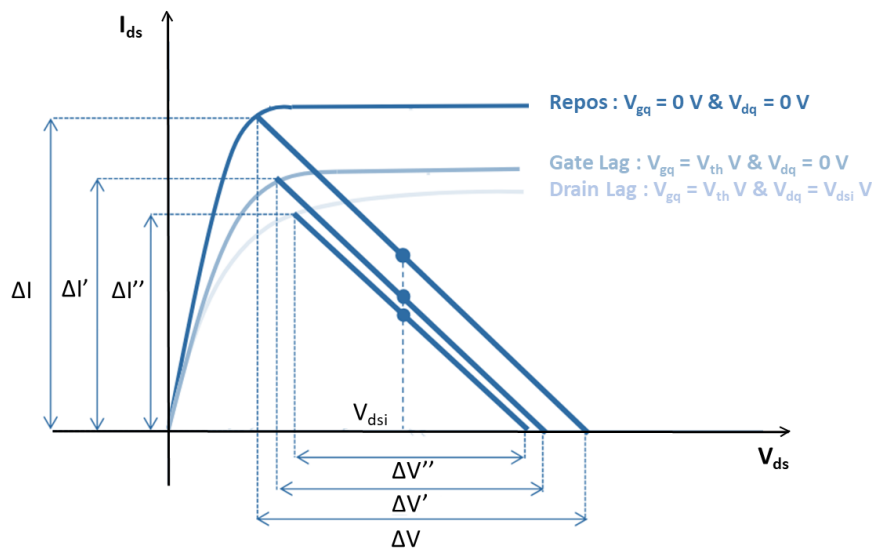


Figure 2.9 : Schéma présentant la méthode de calcul du pourcentage de Gate-Lag et Drain-Lag à partir de mesures pulsées à différents points de repos

Ainsi à partir de la figure 2.9, les paramètres nécessaires pour le calcul du pourcentage de gate-lag et drain-lag sont extraits à partir de chaque caractéristique IV en fonction du point de repos choisi pour chaque mesure :

$$GL (\%) = 1 - \frac{\Delta I' \cdot \Delta V'}{\Delta I \cdot \Delta V} \quad (2.4)$$

$$DL (\%) = 1 - \frac{\Delta I'' \cdot \Delta V''}{\Delta I' \cdot \Delta V'} \quad (2.5)$$

La figure 2.10 présente les résultats de mesures de caractérisation des effets de pièges effectués sur les deux structures MIS (figure 2.10a) et REC (figure 2.10b). La mesure a été réalisée en variant la tension de grille V_{gs} de -3V à 1V par pas de 1V et V_{ds} de 0V à 20V par pas de 0,25V :

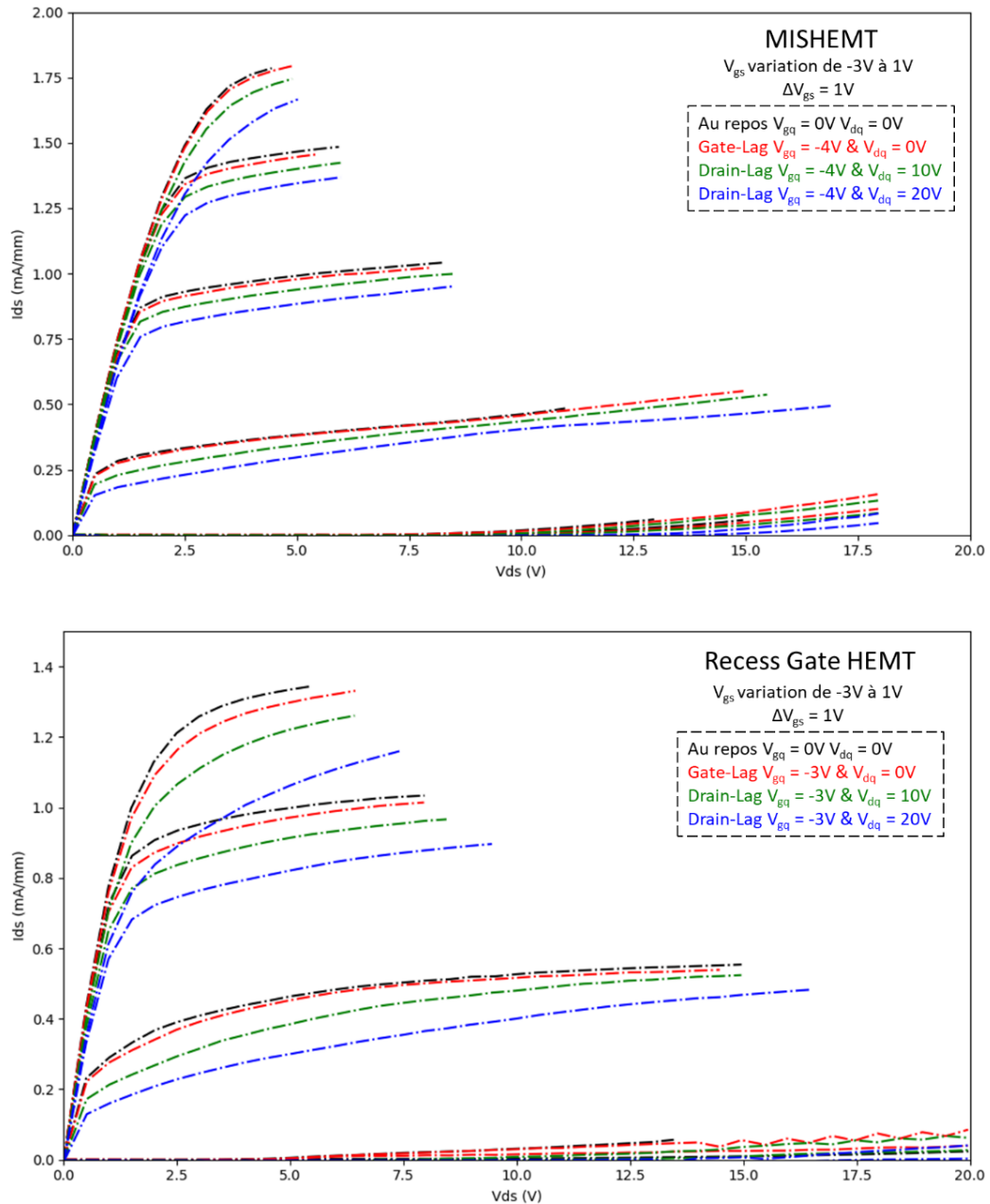


Figure 2.10 : Caractérisation des effets de pièges (Gate-Lag & Drain-Lag) pour le composant MIS (a) et REC (b)

Les résultats (figure 2.10) montrent un Gate-Lag très faible pour MIS (~ 2 %) contre 4 % pour REC, indiquant une excellente passivation. Par ailleurs, on observe un pourcentage de drain lag plus important dans le transistor REC comparé au MIS ; plusieurs raisons peuvent être évoquées :

- Le fournisseur des wafers choisis pour la fabrication de ces composants ne maîtrise pas précisément le taux de dopage en carbone dans la couche buffer, qui participe à la compensation des donneurs intrinsèques dans les technologies nitrures.
- La faible épaisseur de canal GaN dans le transistor REC (70nm) comparé au MIS (150nm) indique que le 2DEG est situé à proximité immédiate du buffer. Les centres de piégeages se retrouvent ainsi non loin du canal, augmentant la probabilité de capture des porteurs de charges du 2DEG.
- A densité de défauts équivalente, le composant REC, présentant une faible densité d'électrons dans le canal ($n_s = 1,02 \times 10^{13} \text{cm}^{-2}$), est davantage impacté par les effets de piégeage que le transistor MIS à fort densité d'électrons ($n_s = 1,7 \times 10^{13} \text{cm}^{-2}$).

On relève dans le tableau 2.2 une synthèse des valeurs de gate lag et drain lag extraites à partir des mesures effectuées sur les deux technologies de transistors. La plus forte sensibilité de la technologie REC aux conditions de polarisation se répercutera naturellement sur les performances en puissance (malgré l'effet DIBL davantage maîtrisé).

Transistor	Gate-Lag (%)	Drain-Lag 10V (%)	Drain-Lag 20V (%)
MIS AlN/GaN	2%	5%	15%
REC AlGaIn/GaN	4%	9%	23%

Table 2.2 : Synthèse des pourcentages de gate-Lag et drain-lag des transistors MIS et REC

4.3. Caractérisation hyperfréquence

La détermination de la fréquence maximale de fonctionnement du transistor est évaluée à partir de la mesure des paramètres [S]. Cette caractérisation petit signal consiste à appliquer un signal RF sur une large bande de fréquence. Durant cette étude nous avons effectué ces mesures avec un VNA fonctionnant à une bande de fréquence [0.25 – 110 GHz]. En extrapolant (le cas échéant) les résultats de mesures avec une pente théorique de -20dB/décade sur les courbes des modules du gain en courant (H_{21}) et du gain unilatéral de Mason (U), on détermine respectivement les fréquences de coupure du gain en courant (F_t), et du gain unilatéral aussi appelée fréquence maximale d'oscillation (F_{max}).

Notons qu'une procédure d'épluchage (de-embedding) des pads d'accès des transistors a été effectuée en utilisant des structures dédiées en circuit ouvert (Open) et en court-circuit (short), afin d'éliminer les effets parasites liés aux lignes d'accès coplanaires des transistors.

On relève sur la figure 2.11 les meilleures performances en fréquence obtenues pour chacune des technologies MIS et REC en fonction de leur longueur de grille à $V_{ds} = 10V$:

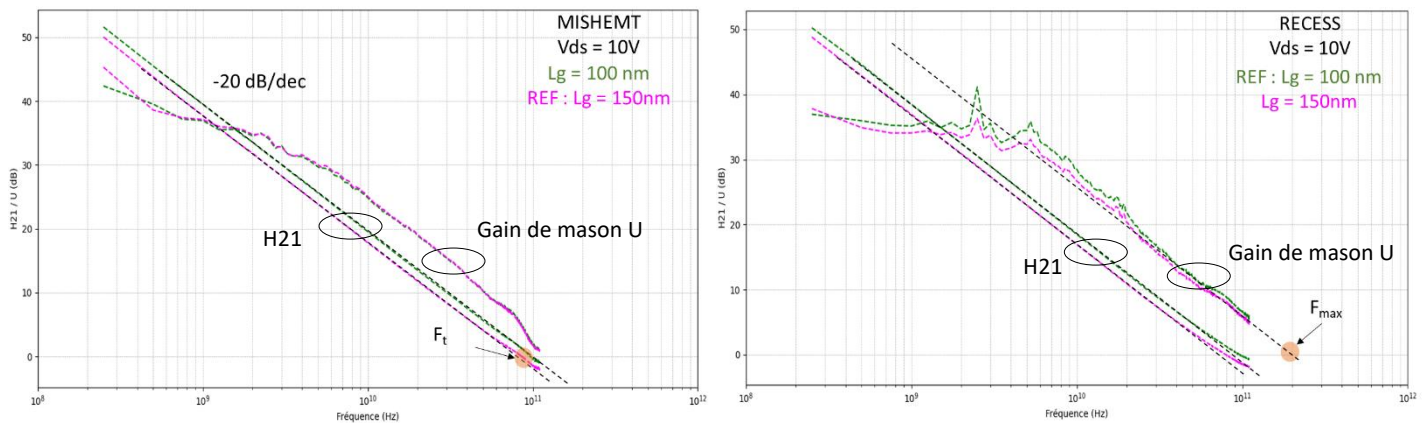


Figure 2.11 : Module du gain en courant H21 et gain unilatéral de Mason U en fonction de la fréquence

Transistor	MIS AlN/GaN		REC AlGaIn/GaN	
L_g	100 nm	150 nm	100 nm	150 nm
F_t (GHz)	95	85	84,5	70
F_{max} (GHz)	167	167	220	198

Table 2.3 : Synthèse des performances RF des transistors MIS et REC

A partir des résultats, on remarque que la fréquence de coupure (F_t) du composant MIS est supérieure à celle du transistor REC. Selon l'équation présentée ci-dessous, qui évalue approximativement la fréquence de coupure intrinsèque en fonction des paramètres du schéma équivalent petit signal du transistor, la transconductance intrinsèque (G_{m_int}) influence grandement la fréquence F_t . Les mesures précédentes ont effectivement montré que le composant MIS présente une transconductance maximale supérieure à celle du REC, ce qui peut constituer une première explication de la différence observée entre les deux structures.

$$F_{t_int} = \frac{G_{m_int}}{2 \cdot \pi \cdot (C_{gs} + C_{gd})} \quad (2.6)$$

Cette dernière peut également s'expliquer par l'influence de plusieurs facteurs sur la vitesse de saturation des porteurs dans le canal. Afin de mieux comprendre cet écart observé sur la fréquence de coupure, une analyse du temps de transit total et l'impact de chacune de ses composantes sera proposée dans la suite de ce travail.

On constate également une réduction de la fréquence maximale d'oscillation (F_{max}) du composant MIS comparé au REC. Cette diminution peut s'expliquer par plusieurs facteurs, notamment une présence des effets de canal court qui sont plus marqués sur le composant MIS, comme cela a été évoqué lors de la caractérisation des effets DIBL. Ces effets dégradent la qualité du contrôle de la grille sur le canal, et tend à augmenter les capacités parasites, aboutissant à la réduction de F_{max} .

En revanche, le transistor REC combine une résistance de grille (R_g) plus faible, un recess de 10 nm de la barrière sous la grille, qui améliore son contrôle électrostatique, et une faible épaisseur du canal GaN limitant les effets de canal court, ce qui contribue à augmenter f_{max} [75], sa valeur peut être approximée par l'équation suivante :

$$F_{max} = \frac{F_t}{2 \sqrt{2 \cdot \pi \cdot F_t \cdot R_g \cdot C_{gd} + \frac{R_g}{R_{ds}}}} \quad (2.7)$$

5. Etude des temps de transit

De nombreuses études sur les transistors HEMTs visent à améliorer leur fréquence de fonctionnement et leurs performances en haute fréquence. Un indicateur clé de cette performance est la fréquence de coupure (F_t), inversement proportionnelle au temps de transit total (τ_{total}) des porteurs dans le canal. Ce temps de transit dépend principalement de la longueur de grille du transistor (temps intrinsèque), ainsi que des délais parasites liés aux éléments résistifs et capacitifs du dispositif (temps extrinsèque). Plusieurs méthodes permettent d'optimiser la structure du composant afin de réduire le temps de transit des électrons et, par conséquent, d'augmenter la fréquence de coupure [78][81][82].

La méthode la plus courante consiste à réduire la longueur de grille, ce qui diminue la distance parcourue par les électrons dans le canal et réduit ainsi le temps de transit. D'autres approches consistent à augmenter la vitesse des porteurs : un canal offrant une vitesse plus élevée permet aux électrons de le traverser plus rapidement, améliorant ainsi la fréquence de fonctionnement du transistor. Cette optimisation dépend de la qualité de la couche épitaxiale et de la gestion thermique du dispositif. Un faible désaccord de maille cristalline réduit la densité de dislocations, limitant les perturbations sur le passage des électrons et favorisant une vitesse accrue.

Le choix des matériaux et l'épaisseur des différentes couches épitaxiales influencent également les performances en fréquence. L'épaisseur de la barrière (T_{bar}) constitue un paramètre critique : un rapport d'aspect élevé $\frac{L_G}{T_{bar}}$ permet d'atténuer les effets dispersifs, notamment les effets de canal court, qui peuvent limiter la fréquence de coupure.

La suite de cette étude portera sur l'extraction du temps de transit intrinsèque des technologies étudiées, à partir de mesures des paramètres S. L'analyse des résultats permettra d'identifier les facteurs limitant la fréquence de coupure et de proposer des axes d'amélioration pour optimiser les performances en haute fréquence.

5.1. Extraction du temp de transit

La fréquence de coupure d'un transistor est inversement proportionnelle au temps de transit total des électrons dans le canal, elle est définie à partir de l'équation :

$$F_t = \frac{1}{2 \cdot \pi \cdot \tau_{Total}} \quad (2.8)$$

Le temps de transit total des électrons dans le transistor se décompose en trois contributions : τ_{int} , correspondant au parcours des électrons sous la grille ; τ_{RC} , lié aux retards de charge associés aux accès drain et source ; et τ_D , représentant le délai dans la région de déplétion côté drain. Chacun de ces temps de transit peut être modélisé à l'aide d'équations issues du schéma équivalent en petit signal du transistor, permettant d'évaluer l'impact de chaque paramètre sur la vitesse effective des porteurs de charge dans le canal [76], comme illustré dans l'équation ci-dessous :

$$\underbrace{\frac{1}{2 \cdot \pi \cdot F_t}}_{\tau_{Total}} = \underbrace{\frac{C_{gs} + C_{gd}}{g_m}}_{\tau_{int}} + \underbrace{\frac{(R_s + R_d) \cdot (C_{gs} + C_{gd})}{g_m \cdot R_{ds}}}_{\tau_D} + \underbrace{(R_s + R_d) \cdot C_{gd}}_{\tau_{RC}} \quad (2.9)$$

- **Temps de transit intrinsèque (τ_{int})** correspond au temps nécessaire aux électrons pour traverser la longueur de grille L_g , et permet d'estimer la vitesse moyenne sous la grille.

$$V_{sat} = \frac{L_g}{\tau_{int}} \quad (2.10)$$

- **Temps de retard parasites (τ_{RC})**, représente la cause principale de la limitation des performances en fréquence du composant, il correspond au temps nécessaire pour charger et décharger les capacités parasites à travers les résistances parasites. D'après les formules, ce délai est causé par la charge de la capacité C_{gd} à travers les résistances d'accès R_s et R_d .
- **Temps de retard de drain (τ_D)** dépend fortement de la polarisation de drain (V_{ds}), il est associé au temps que mettent les électrons à traverser la région de déplétion qui s'étend entre la grille et le drain. Son impact est particulièrement marqué lorsque la résistance drain source R_{ds} est élevée.

Deux méthodes principales permettent l'extraction des temps de transit : celle de Moll [77], limitée par la séparation des composantes, et celle de Suemitsu [75], qui isole chaque contribution, et qui a été utilisée dans cette étude.

L'extraction repose sur des mesures de paramètres S réalisées sur une bande de 0,25–110 GHz, pour quatre valeurs de V_{ds} (6V, 10V, 14V, 18V), combinées à un processus de de-embedding utilisant des structures Open et Short pour éliminer l'influence des pads d'accès.

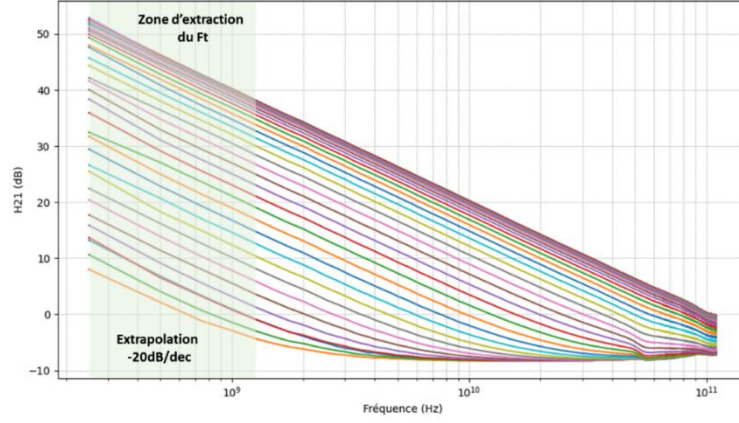


Figure2. 12 : Module du gain en courant H21 en fonction de la fréquence pour différentes polarisations de grille à V_{ds} constant

Le temps de transit total est évalué à chaque point de polarisation, puis décomposé en trois composantes au moyen d'un protocole d'extraction en deux étapes :

1. **Extraction de τ_D** : Le temps de retard total est tracé en fonction de la tension aux bornes du canal $V_{dsi} = V_{ds} - I_{ds} \cdot (R_s + R_d)$ (figure 2.13a). En extrapolant, pour chaque V_{ds} , le minimum de la courbe du temps de transit total extrait jusqu'à $V_{dsi} = 0V$, on obtient un temps associé à la déplétion nul, ainsi τ_D peut être isolé :

$$\tau_{Total} - \tau_D = \tau_{int} + \tau_{RC} \quad (2.11)$$

2. **Extraction de τ_{RC}** : En maintenant V_{ds} constant et en faisant varier V_{gs} , le temps total est tracé en fonction de l'inverse du courant de drain (figure 2.13b). L'extrapolation à $1/I_{ds} = 0V$ permet d'isoler le temps de charge :

$$\tau_{Total} - \tau_{RC} = \tau_{int} + \tau_D \quad (2.12)$$

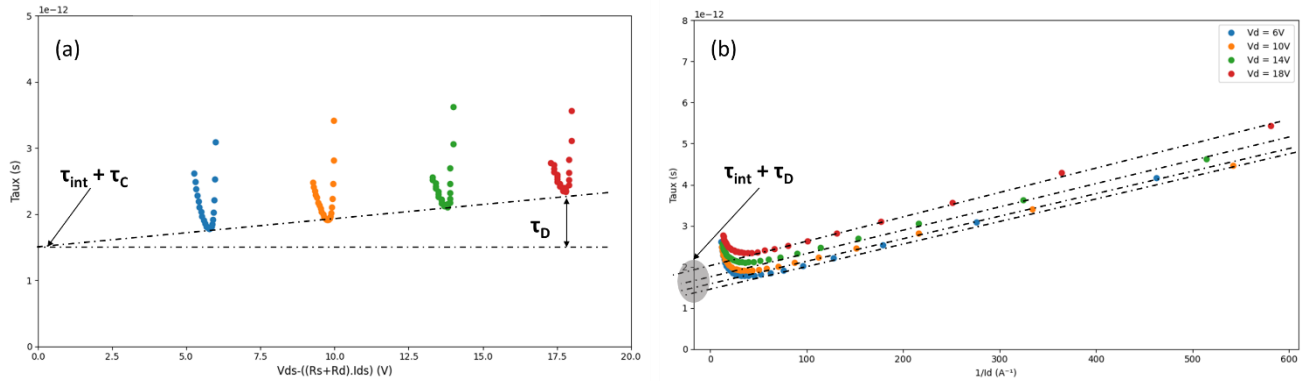


Figure 2.13 : Temps de transit total en fonction de la tension aux bornes du canal V_{dsi} (a) et (b) en fonction de l'inverse du courant de drain ($1/I_{ds}$)

Ces étapes permettent de déterminer le temps de transit intrinsèque τ_{int} , la principale contribution à la fréquence de coupure, ainsi que les temps parasites τ_{RC} et τ_D limitant les performances.

$$\tau_{int} = \tau_{Total} - \tau_{RC} - \tau_D \quad (2.13)$$

5.2. Résultat et analyse

La figure 2.14 présente les résultats de l'extraction des temps de transit des technologies MIS et REC calculé pour deux longueurs de grille différentes $L_g = 100$ nm et 150 nm :

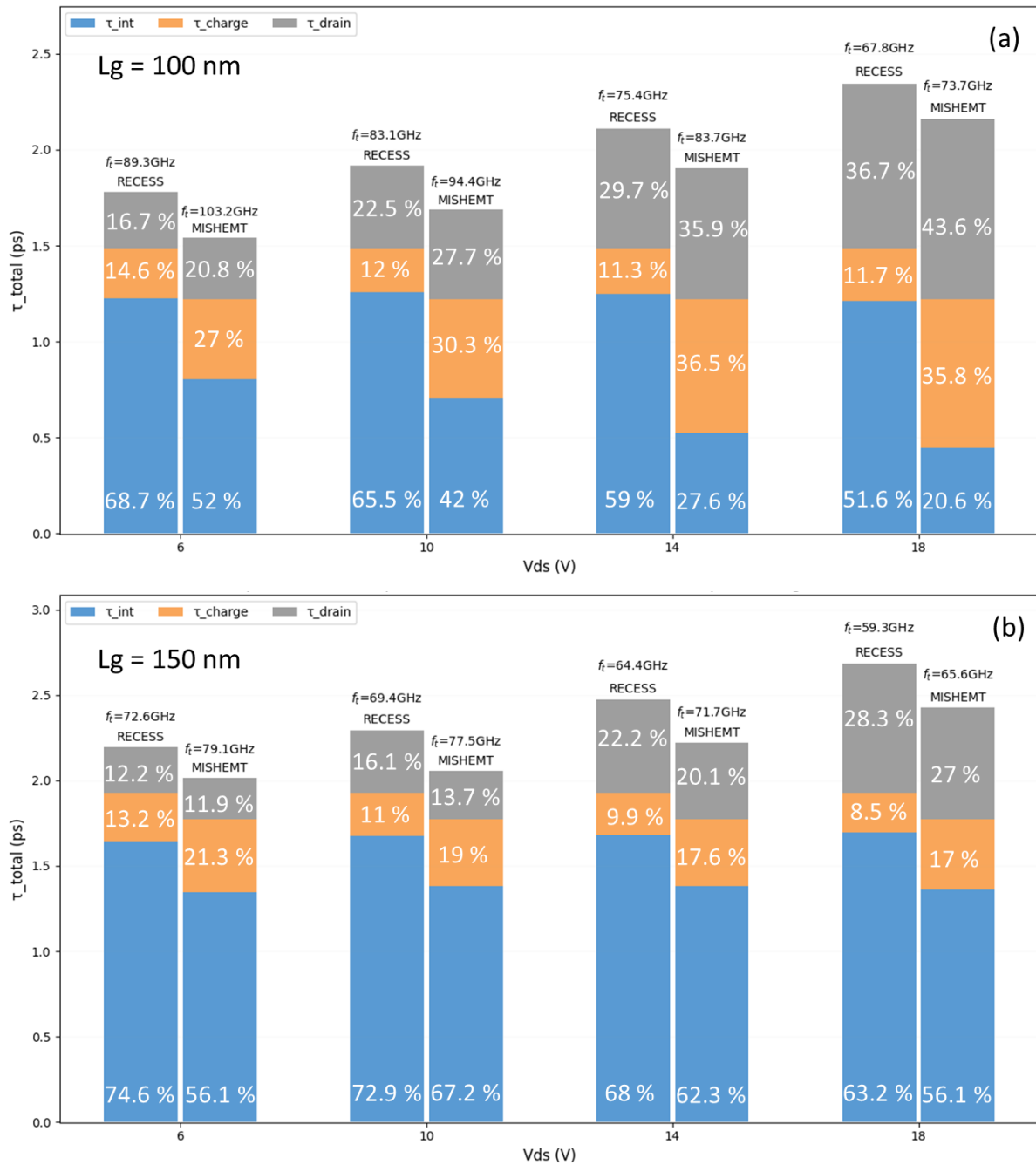


Figure 2.14 : Taux de transit τ_{int} (bleu) et τ_{RC} (Orange) et τ_D (Gris) pour deux longueurs de grille différentes $L_g = 100$ nm (a) et $L_g = 150$ nm (b) en fonction de la tension V_{ds}

Pour une longueur de grille à 100 nm et 150 nm, la fréquence de transition F_t est plus élevée sur le composant MIS que sur le REC. A partir des valeurs du temps de transit intrinsèque, on relève dans le tableau 2.4, pour $V_{ds} = 10$ V, les vitesses de saturation correspondantes à chaque technologie :

Longueur de grille (nm)	100 nm		150 nm	
Transistors	MIS	REC	MIS	REC
Vitesse de saturation (10^7 cm/s)	1,411	0,796	1,085	0,896

Table 2.4 : Synthèse des vitesses de saturation des transistors MIS et REC à $V_{ds} = 10V$

On relève une valeur de V_{sat} plus élevée pour le MIS, principalement attribuée à un temps de transit intrinsèque (τ_{int}) plus court, réduisant le délai sous la grille, et améliorant les performances en fréquence.

Cette différence de τ_{int} s'explique par la technologie de pied de grille : la micro field plate de 20 nm du composant REC allonge la longueur effective de grille (L_{geff}) qui s'exprime par l'équation suivante [80] :

$$L_{geff} = L_g + \beta \cdot (d + \Delta d) \quad (2.14)$$

où d est la distance grille-canal, et Δd l'épaisseur du 2DEG, et β paramètre qui dépend de la technologie ($\beta = 2$ pour une grille rectangulaire). Cette extension augmente τ_{int} et ralentit la réponse du transistor.

Le temps de transit de charge τ_{RC} est plus élevé dans le MIS, en raison d'une résistance de contact plus grande $R_c = 0.4 \Omega \cdot mm$ vs $R_c = 0.24 \Omega \cdot mm$ pour REC. De même, la nature du matériau de barrière du composant MIS, qui présente une densité d'électron plus élevée, favorisent une déplétion grille-drain plus faible à V_{gd} constant, ce qui contribue à l'augmentation de la capacité C_{gd} . De plus, la faible épaisseur de sa barrière (5 nm) entraîne aussi une augmentation de la capacité C_{gs} .

Le temps de transit de drain τ_D reste similaire pour les deux technologies, à $L_g = 150nm$, car il dépend principalement de la vitesse effective des électrons dans la région de déplétion et non des résistances extrinsèques ou de la mobilité. Sa dépendance en fonction de la tension appliquée illustre à nouveau les effets DIBL parasite, notables pour une longueur de grille de 100nm, qui entraînent une augmentation de τ_D dans la structure MIS, comparativement au REC où cet effet est moins prononcé.

- **Variation de la longueur de grille L_g**

La figure 2.15 présente la variation des différentes composantes du temps de transit totale en fonction de la longueur de grille L_g pour plusieurs polarisations de drain (6V, 10V, 14V, 18V) pour les deux composants MIS et REC.

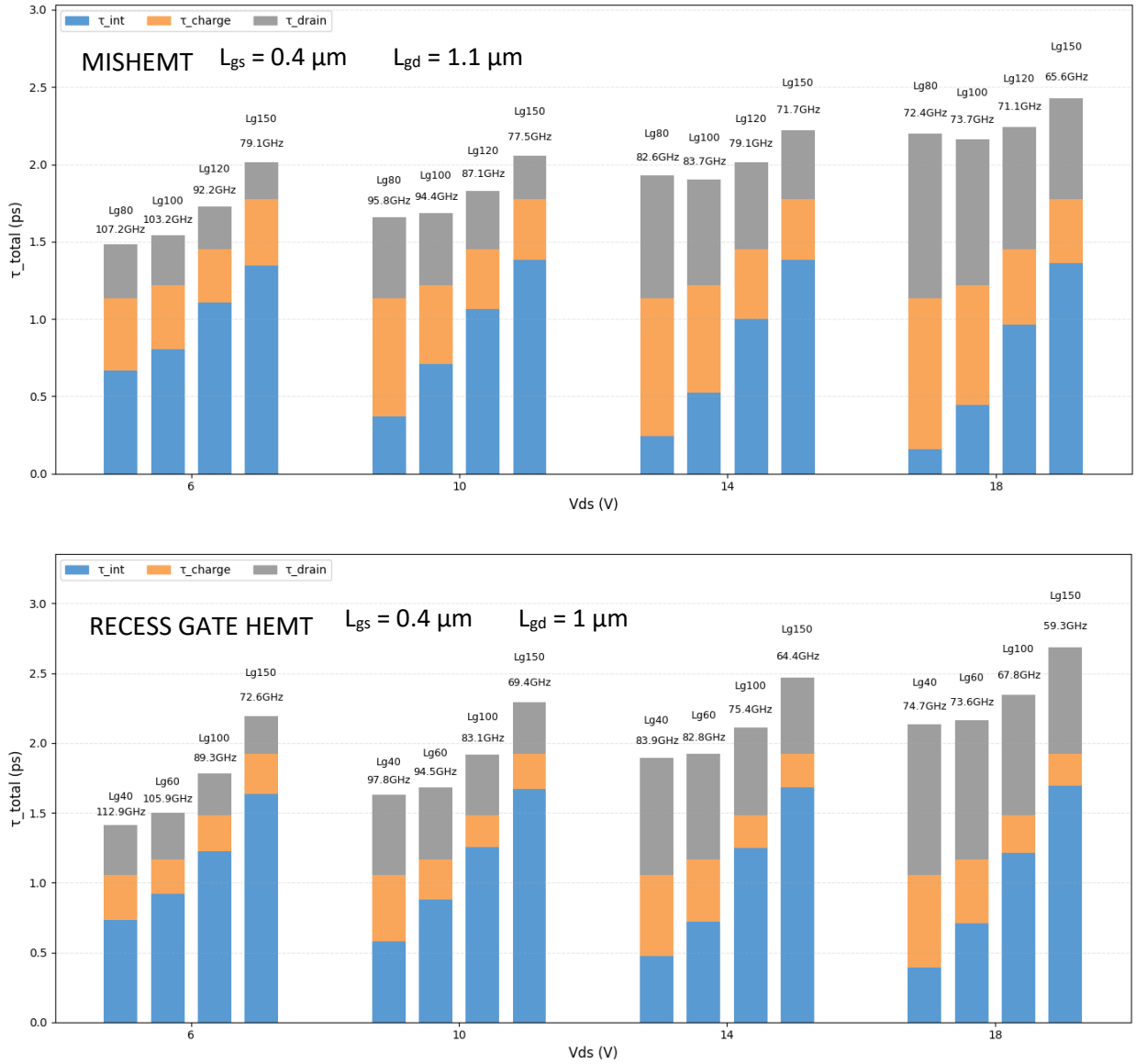


Figure 2.15 : Evolution du taux de transit τ_{int} et τ_{RC} et τ_D du transistor MIS et REC en fonction de L_g

On observe que la diminution de la longueur de grille entraine une réduction du temps de transit intrinsèque, et se traduit naturellement par une augmentation de la fréquence de coupure (f_t). Pour des L_g très faibles, l'augmentation de la tension V_{ds} semble réduire davantage la contribution de τ_{int} ; il est possible que des effets balistiques commencent à apparaître à ces échelles (le libre parcours moyen des électrons dans le GaN étant estimé à quelques dizaines de nm).

En revanche, cette amélioration s'accompagne d'une hausse de τ_{RC} , essentiellement liée à l'augmentation des résistances extrinsèques. En outre, une hausse sensible de τ_D est observée ; celle-ci semble être corrélée à l'extension de la zone de déplétion sous la grille (phénomène renforcé par les effets de canal court, particulièrement marqués pour de faibles L_g sur la technologie MIS).

- **Variation de la longueur grille source L_{gs}**

L'extraction des différentes composantes du temps de transit total lors d'une variation de L_{gs} pour les deux composants REC et MIS est présenté sur la figure 2.16 :

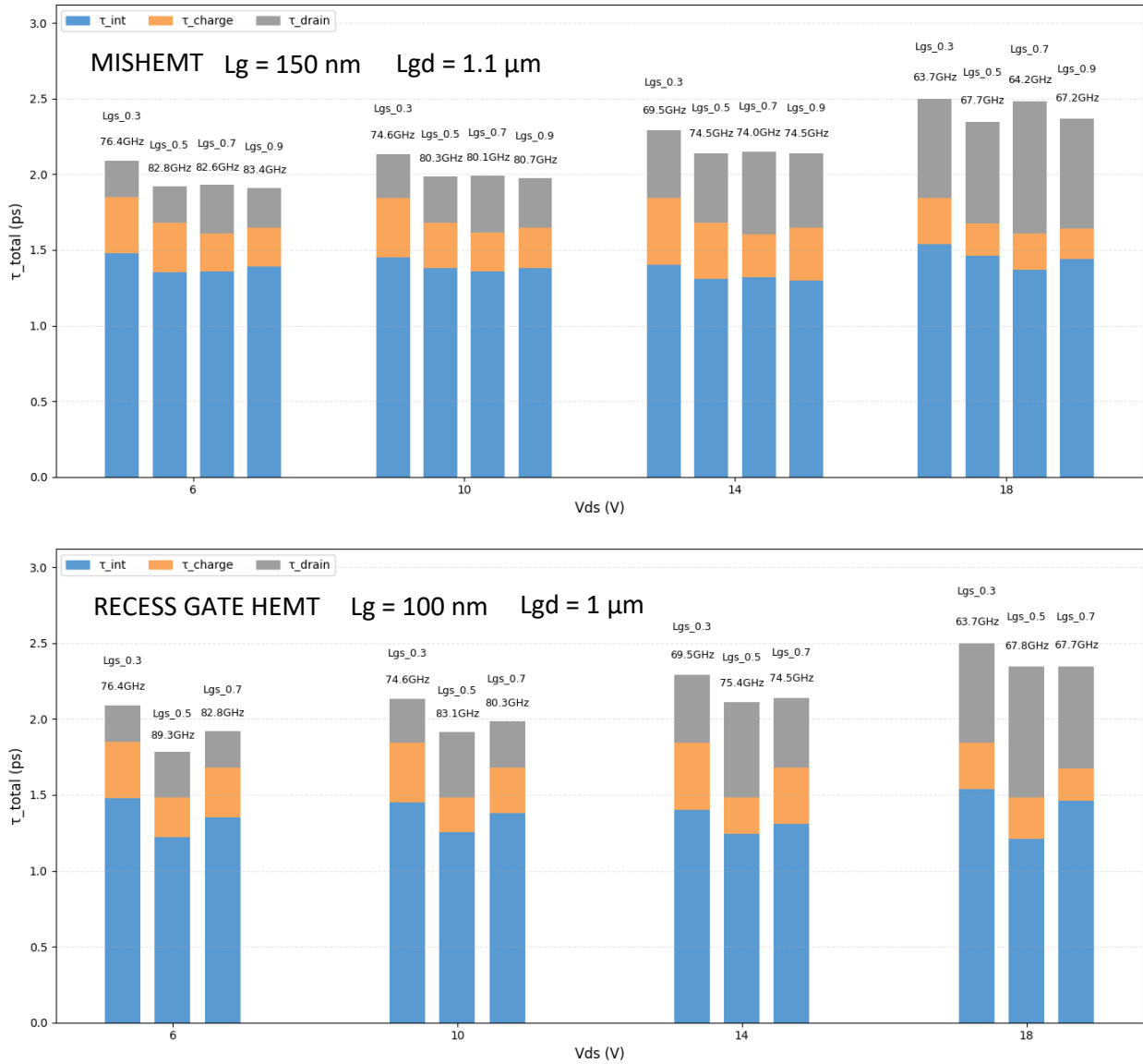


Figure 2.16 : Evolution du taux de transit τ_{int} et τ_{RC} et τ_D du transistor de référence du MIS et REC en fonction de L_{gs}

L'augmentation de la longueur L_{gs} présente un double effet : elle contribue à une hausse de la résistance R_s , ce qui accroît légèrement le temps de transit intrinsèque ; elle engendre par ailleurs une réduction de la capacité C_{gs} , ce qui réduit le temps de transit de charge.

- **Variation de la longueur grille drain L_{gd}**

La figure 2.17 présente l'évolution des temps de transit pour différentes L_{gd} en fonction de la tension de polarisation V_{ds} :

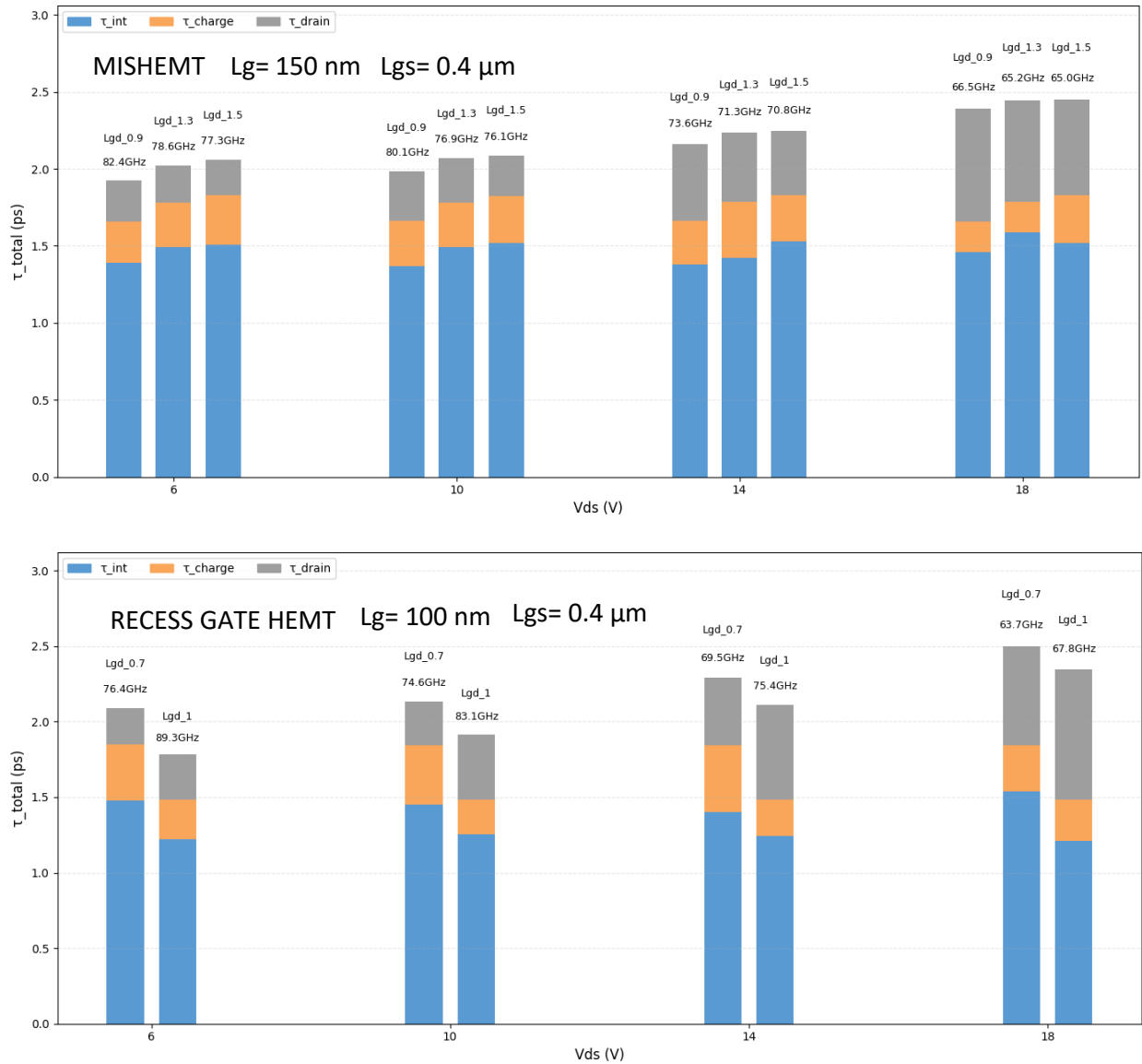


Figure 2.17 : Evolution du taux de transit τ_{int} et τ_{RC} et τ_D du transistor de référence du MIS et REC en fonction de L_{gd}

La figure 2.17 présente l'évolution des temps de transit pour différentes longueurs grille drain (L_{gd}) en fonction de la tension de polarisation V_{ds} . Pour le composant MIS, on observe une légère augmentation du temps de transit total en fonction de la longueur L_{gd} . Elle est attribuée principalement à l'allongement de la distance de transport des électrons entre les deux accès. La diminution du couplage grille drain s'accompagne d'une hausse de la résistance de drain R_d , ce qui conduit à une élévation du temps de transit.

Pour le composant REC, on observe une augmentation du temps de transit intrinsèque pour $L_{gd} = 0,7 \mu\text{m}$. Pour cette topologie, le gain en performances espéré semble contrebalancé par les effets thermiques liés à la présence d'un pic de champ électrique. Ce dernier induit un échauffement local qui provoque une diminution de la vitesse de saturation des électrons et entraîne une augmentation du temps de transit intrinsèque. Cette hypothèse semble corroborée par les mesures IV statiques : courant de saturation moins élevé sur ce composant et extraction d'un G_m intrinsèque sensiblement plus faible que pour les autres topologies.

5.3. Synthèse

L'analyse des temps de transit montre que le temps de transit intrinsèque τ_{int} constitue le paramètre principal déterminant la fréquence de coupure des transistors. Les résistances extrinsèques et les capacités parasites jouent également un rôle limitant, en particulier pour les longueurs de grille faibles, où leurs effets deviennent prépondérants.

Dans le composant MIS, les effets de canal court augmentent la conductance de drain, réduisant la fréquence maximale de fonctionnement. À l'inverse, la présence d'une micro field plate dans le composant REC accroît la longueur effective de la grille, ce qui allonge légèrement le temps de transit intrinsèque, tout en améliorant le confinement électrostatique et la maîtrise du canal. Des longueurs grille-drain trop faibles ($\leq 700\text{nm}$) semblent limiter le gain escompté sur les performances hyperfréquences, probablement pour des raisons de dissipation thermique.

Pour atteindre des fréquences de coupure plus élevées, il est donc essentiel de réduire la longueur de grille, de minimiser les résistances de contact et les effets thermiques, d'optimiser l'épaisseur de la barrière et du processus technologique de la grille afin de réduire les capacités intrinsèques C_{gs} et C_{gd} , tout en maintenant une forte densité de porteurs et une mobilité élevée dans le canal. Par ailleurs, un buffer efficace permet de limiter les effets de canal court et de renforcer le confinement des électrons, contribuant ainsi à l'amélioration globale des performances en fréquence des transistors HEMT.

Une longueur de grille de 150nm pour la technologie MIS et de 100nm pour le composant REC semble la plus adaptée. Une réduction supplémentaire de L_g est envisageable, à condition d'optimiser la structure épitaxiale du composant réduisant l'effet DIBL.

Une diminution importante de L_{gs} permet de réduire la résistance R_s et d'améliorer le G_m , et ainsi la fréquence de coupure. Cependant, une longueur plus faible accroît les effets parasites et le couplage entre la source et la grille, une longueur $L_{gs} = 0,4 - 0,5 \mu\text{m}$ paraît la plus adaptée pour les deux technologies REC et MIS. De même, une longueur $L_{gd} = 0,9 \mu\text{m}$ présente un bon compromis entre performance et robustesse, une réduction trop importante impliquera une augmentation de la capacité C_{gd} , ainsi qu'une limitation manifeste en termes de dissipation thermique. Ces effets parasites tendent à réduire les performances en fréquence des composants étudiés.

6. Caractérisation des défauts d'interface Dit

Lors de la croissance épitaxiale des transistors HEMT GaN, des défauts d'interface(s) peuvent apparaître au sein de l'hétérostructure, principalement en raison de désaccords de maille ou de la présence d'impuretés lors du dépôt des différentes couches constituant le transistor. Ces défauts correspondent à des états énergétiques localisés, généralement situés entre la barrière et le buffer. Leur caractérisation est essentielle, car ils influencent directement les performances du transistor en réduisant la mobilité des porteurs dans le canal, en limitant la transconductance maximale et en compromettant la fiabilité du dispositif. De plus, ces états peuvent induire des variations de la tension de seuil et engendrer des dispersions dans les caractéristiques électriques.

Une évaluation précise de la densité de ces défauts permet d'en identifier l'origine et d'optimiser la structure du composant lors de sa croissance, améliorant ainsi ses performances et sa fiabilité [84].

6.1. Technique de caractérisation

Ces défauts structuraux sont considérés comme des pièges, c'est-à-dire des sites où les électrons peuvent être capturés ou émis vers la bande de conduction ou de valence selon des constantes de temps propres. La méthode Capacité-Tension (C-V) constitue un outil particulièrement efficace pour cette évaluation. Elle repose sur la mesure de l'évolution de la capacité du contact métal/semiconducteur en fonction de la tension appliquée et de la fréquence, révélant la présence et le comportement dynamique des pièges.

Dans cette étude, la qualité du contact de grille a été examinée à l'aide de mesures réalisées sur une diode MIS, intégrant un diélectrique sous la grille, ainsi que sur une diode Schottky pour caractériser le contact métal/semiconducteur. La diode étudiée présente une surface de $200 \times 200 \mu\text{m}^2$. Les mesures ont été effectuées à l'aide d'un impédancemètre appliquant un signal AC de faible amplitude (typiquement 30mV) superposé à une polarisation DC, permettant de relier l'impédance mesurée aux éléments d'un circuit équivalent RC.

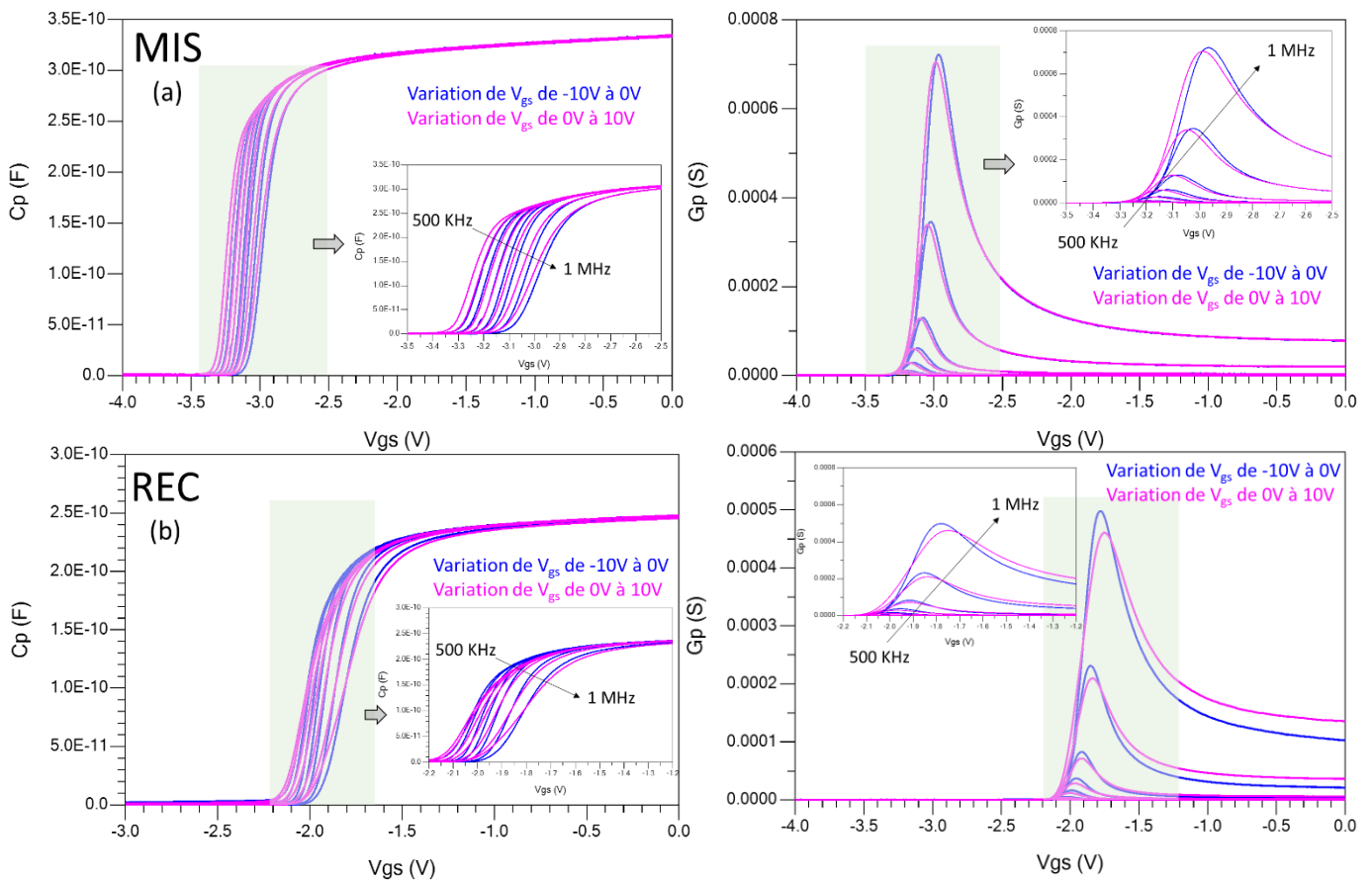


Figure 2.18 : Evolution de la capacité et de la conductance mesuré à partir de la méthode CV pour les deux structures étudiées (a) MIS et (b) REC

Les résultats, présentés sur la figure 2.18, montrent l'évolution de la capacité et de la conductance pour les structures MIS (figure 2.18a) et REC (figure 2.18b). Les variations de capacité en fonction de la tension de grille mettent en évidence l'influence des pièges sur la déplétion sous la grille.

Les deux technologies présentent une légère variation de capacité et un faible décalage de V_{th} en fonction de la fréquence, mais l'effet est plus prononcé pour le composant REC, indiquant une densité de pièges plus élevée et des constantes de temps plus longues. L'hystérésis observée lors des mesures en direct (V_g balayé de -10 V à 0 V et inversement) confirme cette différence et met en lumière le rôle des pièges dans la dynamique électrique des composants.

Pour quantifier ces phénomènes, une technique d'extraction de la densité de défauts d'interface (Dit) et des constantes de temps des pièges (τ_{it}) a été appliquée à partir de la conductance $G(V)$. La figure 2.19 illustre le diagramme de bande d'énergie d'une structure HEMT et son schéma équivalent de capacité et conductance, où G_m et C_m regroupent les contributions de tous les niveaux de pièges, permettant de visualiser la relation entre les pièges d'interface et les performances électriques.

Ces analyses mettent en évidence la supériorité de la structure MIS en termes de densité de pièges et de stabilité de la tension de seuil, ce qui traduit un contrôle électrostatique plus efficace et une meilleure performance dynamique par rapport à la structure REC. Ainsi, cette approche expérimentale offre une vision détaillée et quantitative des défauts d'interface, révélant l'influence cruciale des pièges sur le comportement électrique des HEMT et fournissant des pistes concrètes pour l'optimisation de la croissance et de la conception des transistors GaN de prochaine génération.

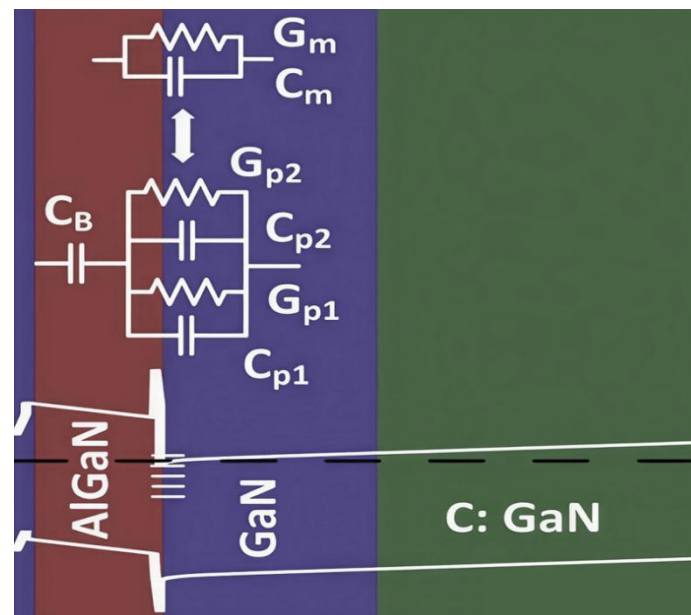


Figure 2.19 : Diagramme de bandes d'énergie pour chaque couche de la structure d'un composant GaN avec une présentation du circuit équivalent de la capacité et de la conductance du canal [86]

Les mesures ont été réalisées pour différents niveaux de la tension de grille (ou d'anode, dans le cas d'une diode), tout en faisant varier la fréquence du signal AC. Ainsi l'extraction de la conductance corrigée (G_p/w) est obtenue après un de-embedding de la capacité de la barrière résiduelle [86] en utilisant l'équation suivante :

$$\frac{G_p}{w} = \frac{w \cdot G_m \cdot C_B^2}{G_m^2 + w^2 \cdot (C_B - C_m)^2} \quad (2.15)$$

G_m et C_m représentent respectivement les valeurs de la capacité et de la conductance extraite des mesures, C_B représente la capacité de la barrière déterminée des mesures CV et w correspond à la pulsation du signal AC.

Il devient alors possible d'extraire les paramètres propres des pièges, tels que la densité de défauts d'interface D_{it} et la constante de temps associée τ_{it} . On procède à un ajustement entre les valeurs mesurées/corrigées et les évolutions théoriques [84] présentées ci-dessous :

$$\frac{G_p}{w} = \frac{q \cdot w \cdot \tau \cdot D_{it}}{1 + (w \cdot \tau)^2} \quad (2.16)$$

$$\frac{G_p}{w} = \frac{q \cdot D_{it}}{2 \cdot w \cdot \tau} \cdot \ln(1 + (w \cdot \tau)^2) \quad (2.17)$$

Ces deux équations décrivent le modèle de circuit équivalent utilisé pour analyser les pièges. La première équation assume un niveau d'énergie unique, tandis que la seconde suppose l'existence d'un continuum de niveaux énergétique résultant en une courbe plus large et asymétrique. Dans la littérature les auteurs priorisent l'équation 2 pour une extraction réelle du D_{it} et τ_{it} , car les mesures montrent une dispersion qui correspond davantage à un continuum de pièges présent à de multiples niveaux, contrairement à la première qui sous-estime la distribution en énergie des défauts.

6.2. Résultat et analyse

La mesure a été réalisée en faisant varier la tension de grille V_g depuis des valeurs proches du pincement jusqu'au pincement total, assurant ainsi la formation complète de la région de déplétion au niveau de l'interface barrière/canal. Cette configuration permet aux pièges situés à proximité d'interagir efficacement avec les porteurs. La figure 2.20 présente les résultats expérimentaux (points) et le modèle utilisé pour estimer la densité de défauts d'interface (D_{it}) et les constantes de temps de capture (τ_{it}) (traits pleins), avec un balayage de fréquence du signal AC de 100 Hz à 6 MHz.

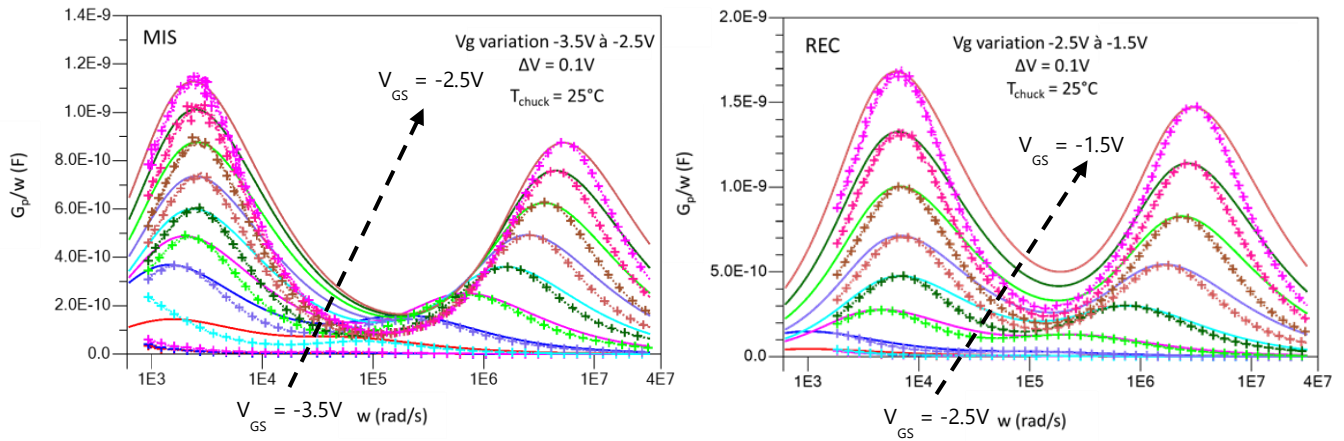


Figure 2.20 : La conductance corrigée G_p/w en fonction de la pulsation pour différent tension V_g pour les deux structures MIS (gauche) et REC (droite)

Sur cette figure, deux pics distincts apparaissent pour les composants MIS et REC, révélant l'existence de deux types de pièges : les pièges lents, caractérisés par un temps de capture élevé, et les pièges rapides, avec un temps de capture court.

L'intensité de ces pics varie en fonction de la tension de grille V_g , les pièges lents présentent une valeur de conductance plus élevée que celles des pièges rapides. On observe également que le temps de capture du premier pic est plus élevé pour le composant MIS ($\tau_{it} = 0,8$ ms) que pour le composant REC ($\tau_{it} = 0,28$ ms). En revanche, pour le second, le temps de capture est sensiblement plus faible pour la MIS ($\tau_{it} = 0,81$ μ s) que pour la REC ($\tau_{it} = 1,22$ μ s).

Cette distinction souligne que la structure REC est davantage affecté par les pièges rapides, en cohérence avec les mesures pulsées montrant un pourcentage de drain lag élevé. Cette observation peut s'expliquer par l'épaisseur réduite du canal GaN dans le REC (70 nm), favorisant une capture rapide mais un relâchement plus lent des électrons, contrairement au MIS, dont le canal plus épais (150 nm) limite le drain lag. L'épaisseur du canal met ainsi en évidence un compromis entre le confinement des porteurs et les phénomènes de piégeage.

La conductance mesurée en fonction de la fréquence et de la température du chuck (25 °C à 120 °C, figure 2.21) permet de suivre l'évolution des pièges pour une tension de grille proche du pincement sur les deux structures à l'étude.

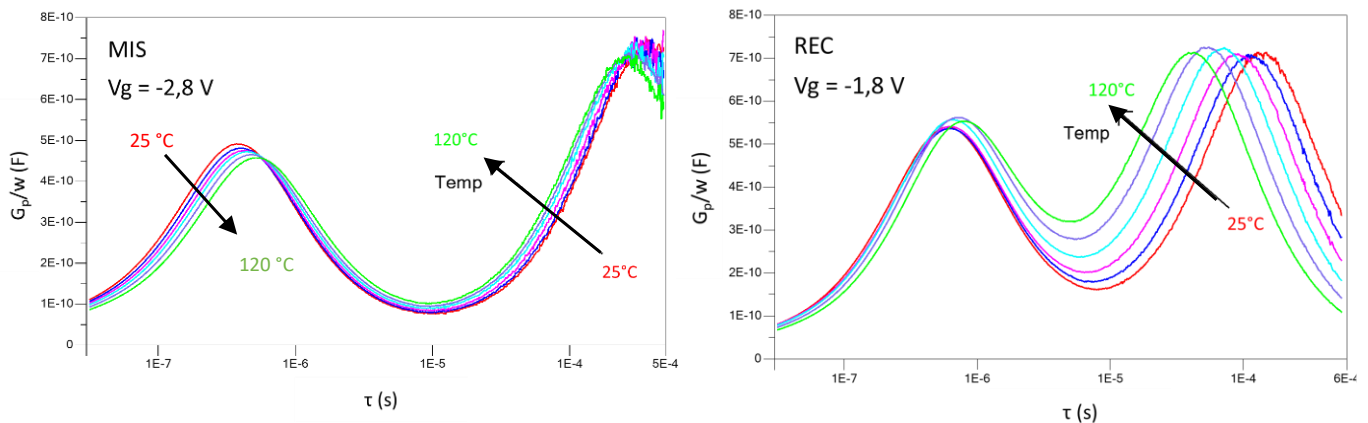


Figure 2.21 : Evolution de la conductance en fonction du temps pour différentes températures de Chuck pour les deux structures MIS (gauche) et REC (droite)

Pour des tensions proches du pincement, la densité de défauts d'interface est plus élevée dans le composant REC ($D_{it}=3,18 \times 10^{13} \text{ cm}^{-2}/\text{eV}$ pour les pièges lents et $2,5 \times 10^{13} \text{ cm}^{-2}/\text{eV}$ pour les pièges rapides) que dans le MIS ($D_{it}=2,98 \times 10^{13} \text{ cm}^{-2}/\text{eV}$ et $2 \times 10^{13} \text{ cm}^{-2}/\text{eV}$, respectivement).

On présente dans le tableau ci-dessous un récapitulatif des résultats obtenus durant cette caractérisation :

Transistor	$D_{it} (\text{cm}^{-2}\text{eV}^{-1})$		τ_{it}	
	Piège lent	Piège rapide	Piège lent	Piège rapide
MIS	$2,98 \times 10^{13}$	2×10^{13}	0,8 ms	0,81 μs
REC	$3,18 \times 10^{13}$	$2,5 \times 10^{13}$	0,28 ms	1,22 μs

Table 2.5 : Synthèse des extractions des défauts d'interface et des temps de capture pour les composants MIS et REC

Les constantes de temps de capture (τ_{it}) montrent une faible variation avec la température pour les pièges lents, tandis que pour les pièges rapides, τ_{it} augmente avec la température, un comportement inverse à celui prévu par le modèle classique de Shockley-Read-Hall.

Ce phénomène peut être attribué à un mécanisme de capture par émission multiphonon [85], où la section efficace de capture diminue avec la température, réduisant la probabilité qu'un électron libre soit capturé, comme il est décrit par l'équation suivante :

$$\tau_{it} = \frac{1}{\sigma \cdot v_{th} \cdot N_c \cdot \exp\left(\frac{E_T - E_C}{kT}\right)} \quad (2.18)$$

σ est la section efficace de capture, v_{th} représente la vitesse thermique des électrons, N_c est la densité effective d'état dans la BC.

Pour les pièges lents, la faible dépendance thermique et l'énergie d'activation très basse ($<0,1 \text{ eV}$) suggèrent des mécanismes de piégeage non thermiques, tels que l'effet dit électrons chauds [87] [89]. Dans ce contexte, les électrons gagnent une énergie cinétique suffisante sous champ électrique intense pour franchir les barrières énergétiques et se piéger, puis se libèrent par effet tunnel, un processus peu sensible à la température où les électrons nécessitent peu d'énergie pour franchir la barrière. La probabilité de dépiégeage par tunnel augmente avec la densité de défauts d'interface, soulignant l'importance de la maîtrise de D_{it} pour optimiser les performances du transistor.

Ainsi, la spectroscopie en admittance s'avère particulièrement efficace pour caractériser les défauts d'interface et leurs constantes de temps. Cette méthode offre un double avantage : elle permet de distinguer les pièges lents et rapides et de suivre leur comportement en fonction de la température et de la polarisation. Toutefois, elle présente certaines limitations, notamment la difficulté à isoler complètement les contributions des pièges dans des structures complexes et la sensibilité aux effets capacitifs parasites à haute fréquence et de la résistance série R_s . Malgré ces contraintes, l'analyse révèle de manière quantitative les différences fondamentales entre les structures des technologies MIS et REC et fournit des indications précieuses pour l'optimisation de la croissance épitaxiale et de la conception des transistors HEMT.

7. Développement du banc de mesure IV paramètre S pulsée

Pour obtenir une mesure précise de la caractéristique de sortie d'un transistor HEMT à base de nitrure de gallium (GaN), il est indispensable de prendre en considération les phénomènes dispersifs, tels que l'auto-échauffement et les effets de pièges. Ces derniers influencent directement la réduction du courant de drain ainsi que l'augmentation de la résistance à l'état passant R_{on} , entraînant une dégradation notable des performances du composant.

Les mesures de paramètres S réalisées en régime continu (CW) lors de la caractérisation des dispositifs étudiés ont permis d'extraire les performances radiofréquences (RF) des transistors pour des points de polarisation spécifiques. Toutefois, lors d'une mesure continue de chaque point de la caractéristique de sortie, l'excitation en mode CW induit un auto-échauffement du dispositif, ce qui réduit ses performances électriques. Cet effet peut être confondu avec le piégeage des électrons du canal par les défauts de la structure du transistor, conduisant ainsi à une erreur dans l'extraction de la transconductance et de la conductance de sortie à partir des mesures RF-CW.

Afin de pallier ces limitations, un banc de mesure dédié à l'acquisition de paramètres S en régime pulsé a été développé au cours de cette thèse. La configuration de ce banc est présentée à la figure 2.22. Ce dispositif permet de combiner les mesures pulsées des caractéristiques courant-tension ($I-V$) avec celles des paramètres S , en fonction des tensions de polarisation de repos (V_{gq} et V_{dq}).

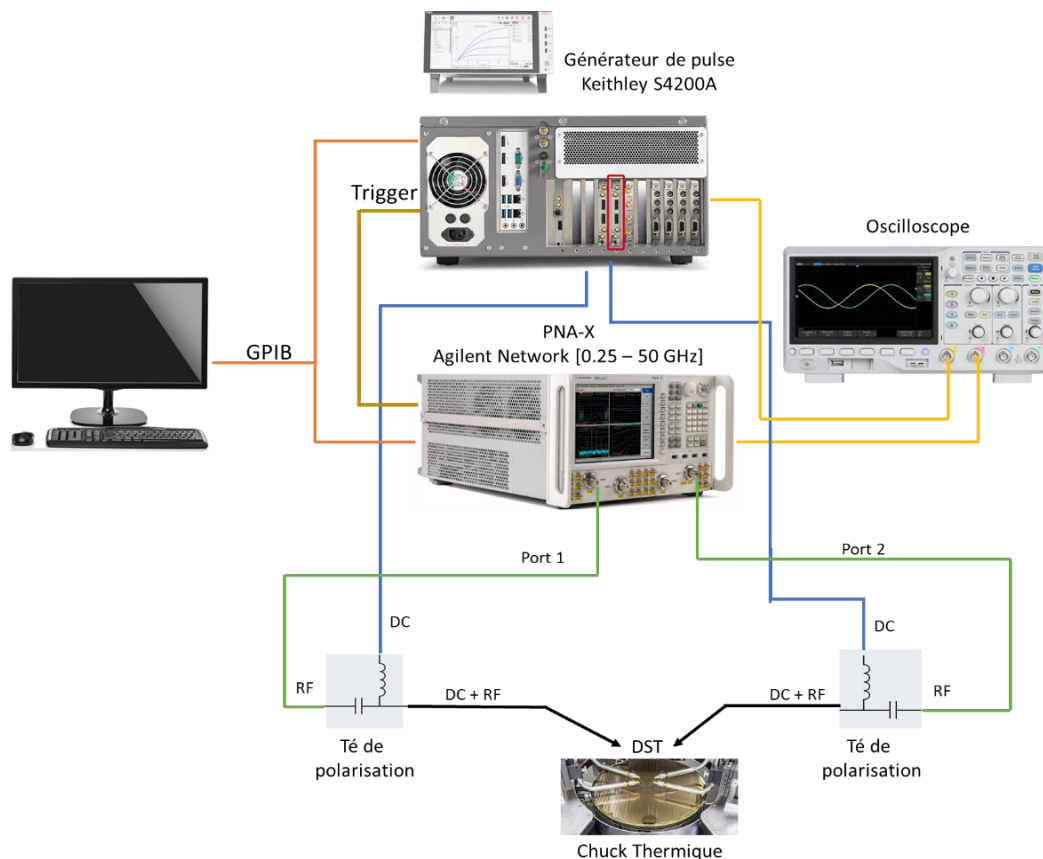


Figure 2.22 : Schéma du montage du banc de mesure paramètre S en mode impulsionnel

Le banc de mesure développé combine plusieurs instruments, pilotés via un programme élaboré sous LabVIEW, permettant à la fois la gestion des séquences de mesure et le contrôle des différents appareils. Le générateur d'impulsions (Keithley 4200A-SCS) applique des pulses aux accès grille et drain, avec des largeurs et périodes d'impulsion ajustables. Il offre également la possibilité de définir le nombre d'impulsions à moyenner (N) : un nombre de moyennages plus élevé accroît la précision des mesures, mais allonge leur durée.

Le temps de mesure imposé par le générateur d'impulsions doit être strictement synchronisé avec les paramètres des impulsions RF appliquées par le PNA-X (Agilent Technologies), opérant dans une bande de fréquences comprise entre 0,25 et 50 GHz. Plusieurs paramètres influencent la mesure, en particulier la largeur de l'impulsion RF, qui doit être inférieure à celle de l'impulsion DC. De plus, la définition de la largeur de bande intermédiaire (IFBW, Intermediate Frequency Bandwidth) du PNA-X, ainsi que son paramètre de moyennage (average), jouent un rôle essentiel dans l'optimisation de la précision et du temps de mesure.

Pour réduire les effets thermiques, il est nécessaire d'appliquer des impulsions de faible largeur, de l'ordre de 1 μ s, voire idéalement 500 ns. Cependant, ces impulsions courtes exigent l'utilisation d'une largeur de bande IFBW élevée, ce qui diminue la dynamique de mesure. Un moyennage important permet d'améliorer le rapport signal/bruit (SNR), mais au prix d'une augmentation du temps total de mesure.

La synchronisation entre le PNA-X et le générateur d'impulsions est assurée par un déclencheur externe (trigger). Elle doit être configurée avec précision : les délais appliqués par le VNA doivent être ajustés en fonction de la largeur d'impulsion et de l'IFBW, afin d'aligner correctement la fenêtre de mesure RF générée par l'analyseur de réseaux avec celle du générateur d'impulsions. Un compromis doit ainsi être trouvé entre précision et rapidité, en tenant compte du temps d'acquisition, du rapport cyclique (garantissant une mesure quasi-isotherme), du nombre d'impulsions moyennées par le Keithley, ainsi que de la largeur de bande IFBW et du paramètre de moyennage du PNA-X.

Le transistor testé est placé sur un chuck thermique, permettant de réaliser des mesures à différentes température afin d'évaluer son impact sur les caractéristiques électriques et les paramètres intrinsèques du composant.

7.1. Principe de la mesure IV paramètre S pulsée

Le banc consiste à appliquer des impulsions DC aux accès grille et drain, synchronisées avec une impulsion RF, comme illustré à la figure 2.23. Afin de limiter l'échauffement, les impulsions appliquées sont volontairement plus courtes que le temps caractéristique d'élévation thermique du composant, ce qui permet de minimiser l'influence thermique et d'isoler l'impact des pièges sur la réponse du transistor.

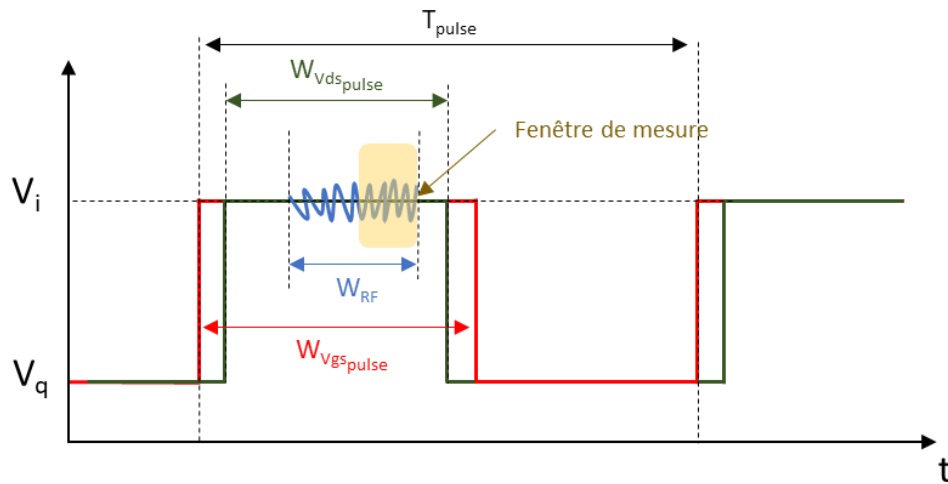


Figure 2.23 : Diagramme temporel du principe de mesure paramètre S pulsée

Cette approche permet d'obtenir des données représentatives du comportement intrinsèque du composant, tout en réduisant l'influence des effets thermiques susceptibles de dégrader ses performances. Les mesures pulsées, effectuées pour des tensions de repos spécifiques, constituent ainsi une étape indispensable pour l'élaboration d'un modèle grand signal fiable, capable de reproduire les performances en puissance du transistor.

Un modèle précis, validé par la confrontation simulation/mesure, est crucial pour l'optimisation de la conception des amplificateurs de puissance, en garantissant des prédictions cohérentes avec le comportement réel du composant. Cette exigence est d'autant plus importante que plusieurs paramètres intrinsèques, tels que le courant de drain et la résistance à l'état passant, sont fortement dépendants de la température et des conditions de mesure.

Ainsi, la réalisation de mesures de paramètres S en mode pulsé, s'impose comme une étape clé pour garantir la précision du modèle, et par conséquent la fiabilité et l'efficacité des circuits d'amplification développés à partir de ces composants.

7.2. Impact des pièges lors de la mesure IV pulsé

La caractérisation pulsée permet une meilleure analyse du comportement dynamique du transistor, en révélant l'influence des pièges à différents points de repos. La figure 2.24 illustre le principe de la mesure IV en mode impulsionnel, en se concentrant sur l'évolution du courant de drain pour une tension de grille fixe V_{gs} .

La courbe bleue correspond à une mesure effectuée au point de repos $V_{dq} = 0V$, où les impulsions sont toujours positives. Ce régime met en évidence la phase de capture des pièges, généralement très rapide. La courbe verte correspond à une mesure effectuée au point de repos $V_{dq} = 10V$, révélant l'activation des pièges, lesquels influencent le courant de drain mesuré.

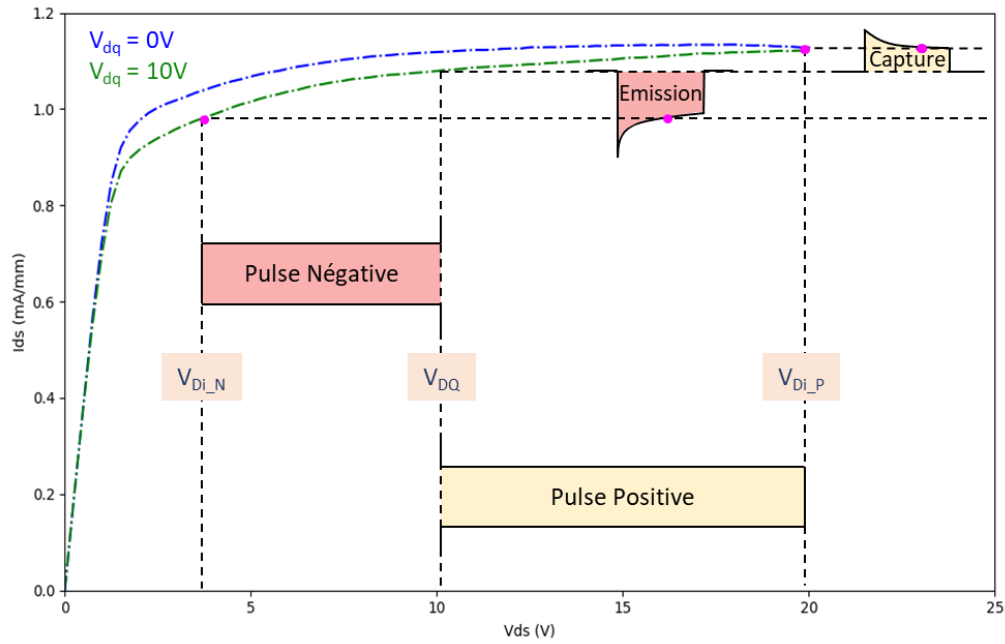


Figure 2.24 : Représentation du principe de mesure impulsionnelle associé à chaque point de la caractéristique de sortie du transistor

Dans ce cas, les impulsions négatives (courbe rouge, figure 2.24) correspondent à la phase d'émission des pièges, caractérisée par des constantes de temps plus longues. Lorsque la largeur d'impulsion choisie est plus courte que la durée de cette phase ($W_{\text{pulse}} < \tau_{\text{émission}}$), le courant mesuré n'atteint pas son état établi, entraînant une diminution du courant de drain.

Inversement, lors de l'application d'impulsions positives pour des tensions $V_{ds} > V_{dq}$ (courbe jaune), la largeur de l'impulsion est inférieure à la constante de temps de capture ($\tau_{\text{capture}} < \tau_{\text{émission}}$), ce qui permet de mesurer le courant avant capture complète, donnant ainsi un courant plus élevé, proche de la courbe bleue obtenue pour $V_{dq} = 0V$.

Cependant, cette méthode standard présente des limitations dues à l'asymétrie des phénomènes de piégeage : la capture des porteurs est rapide, tandis que leur émission est plus lente. Cette dissymétrie entraîne une variation non contrôlée des charges piégées pendant les impulsions, compromettant la stabilité de l'état de piégeage et réduisant la précision des mesures IV pour un point de repos donné.

Pour pallier ces limites, la littérature propose des techniques alternatives, telles que la méthode double-pulse [89]. Celle-ci consiste à appliquer deux impulsions successives, comme illustré à la figure 2.25 : la première, appelée pré-pulse, est utilisée pour stabiliser l'état de piégeage avant la véritable mesure.

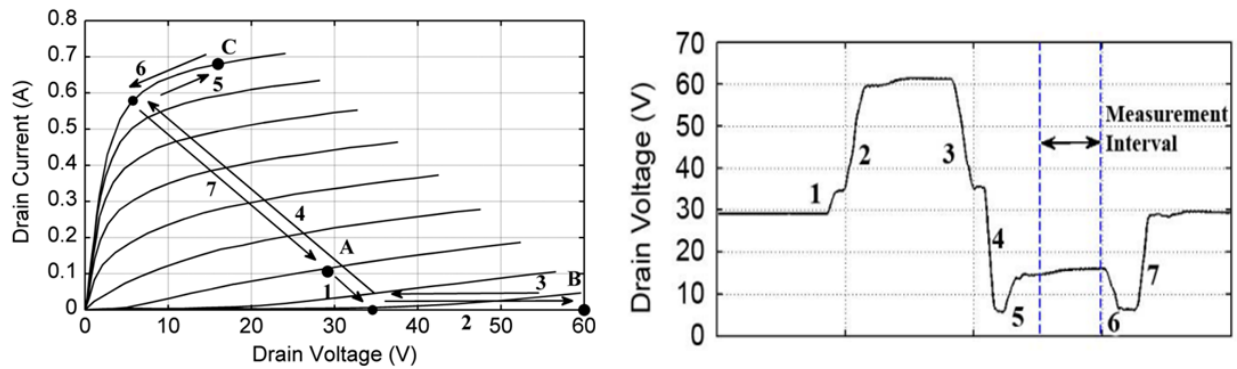


Figure 2.25 : Présentation du principe de mesure double-pulse sur la caractéristique IV associée aux formes d'onde de tension [89]

La figure 2.25 (gauche) présente une caractéristique IV annotée selon les séquences de la mesure double-pulse, tandis que la figure 2.25 (droite) illustre la forme d'onde de la tension appliquée au drain. La pré-pulse, définie entre les intervalles 1 et 3, permet de fixer un état de piégeage stable avant la mesure, assurant ainsi une répétabilité accrue.

Cette technique améliore la précision des mesures et, par conséquent, la fiabilité du modèle du transistor par rapport à la méthode standard. Elle constitue donc une piste d'amélioration du banc de mesure IV-paramètres S pulsé développé dans le cadre de cette thèse.

8. Mesure grand signal

La plateforme de caractérisation de l'IEMN dispose d'un banc de mesure load-pull actif, permettant la caractérisation non linéaire des transistors afin d'évaluer leur comportement en régime grand signal. Le principe de cette technique consiste à appliquer une puissance d'entrée au dispositif, à mesurer la puissance de sortie (P_{out}) et à en déduire le gain ainsi que l'efficacité énergétique (Power Added Efficiency, PAE), tout en faisant varier l'impédance de sortie du composant pour identifier l'impédance optimale garantissant ses meilleures performances.

8.1. Principe des mesures load pull

La modification de l'impédance de charge du transistor peut être réalisée soit à l'aide d'un banc passif, soit à l'aide d'un banc actif. Le banc passif repose sur un tuner mécanique, capable de générer des réflexions en ajustant l'amplitude et la phase du signal, afin de créer une impédance spécifique sur l'abaque de Smith. Bien que cette méthode soit plus simple et moins onéreuse, elle présente certaines limitations : les pertes associées affaiblissent le signal réfléchi par rapport au signal incident, ce qui réduit le coefficient de réflexion et empêche d'atteindre des impédances proches du bord de l'abaque de Smith.

En revanche, le banc load-pull actif (figure 2.26), utilisé dans le cadre de nos mesures, absorbe l'onde incidente dans une charge et génère une impédance virtuelle en sortie du transistor grâce à un générateur de signal contrôlant l'amplitude et la phase de l'onde réfléchie. Celle-ci est ensuite amplifiée par un amplificateur de puissance, ce qui permet d'atteindre des coefficients de réflexion élevés $\Gamma > 0,9$.

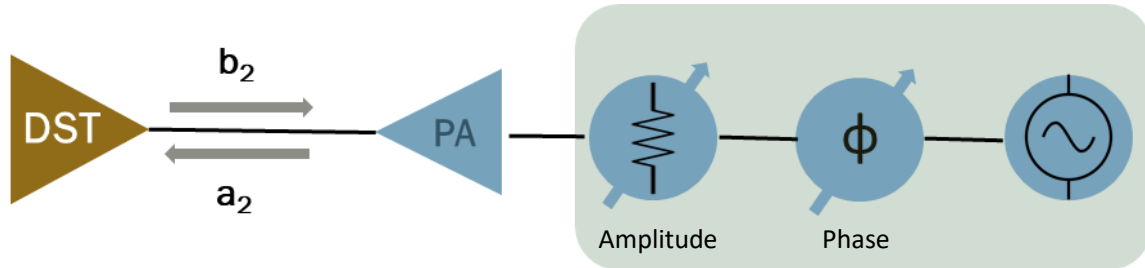


Figure 2.26 : Schéma du principe de mesure du Load pull actif

Les performances en puissance extraites de cette caractérisation dépendent à la fois du point de polarisation et de la classe de fonctionnement choisie lors des mesures. Ces classes, définies en fonction du type d'application visée, impliquent un compromis entre linéarité et efficacité énergétique.

8.2. Résultats en conditions optimales

La figure 2.27 illustre les mesures grand signal effectuées à 40 GHz sur un banc load-pull actif en conditions DC, réalisées pour les deux technologies de transistors étudiées dans ce travail : MISHEMT et Recess-Gate HEMT. Ces mesures ont été effectuées en classe AB, avec une impédance d'entrée non optimisée fixée à 50 Ω et une impédance de sortie optimale (Z_{opt}) déterminée pour chaque composant et point de polarisation.

À partir des mesures de drain lag présentées dans ce chapitre, il a été montré que l'impact des effets de pièges est moins prononcé dans les composants MIS que dans les composants REC. Pour extraire les meilleures performances en puissance pour chaque technologie, des mesures load-pull ont été réalisées en appliquant des tensions de drain adaptées : $V_{ds}=20V$ pour le transistor MIS et $V_{ds}=10V$ pour le transistor REC de taille $2 \times 50 \mu m$. Les résultats correspondants sont présentés dans la figure 2.27 :

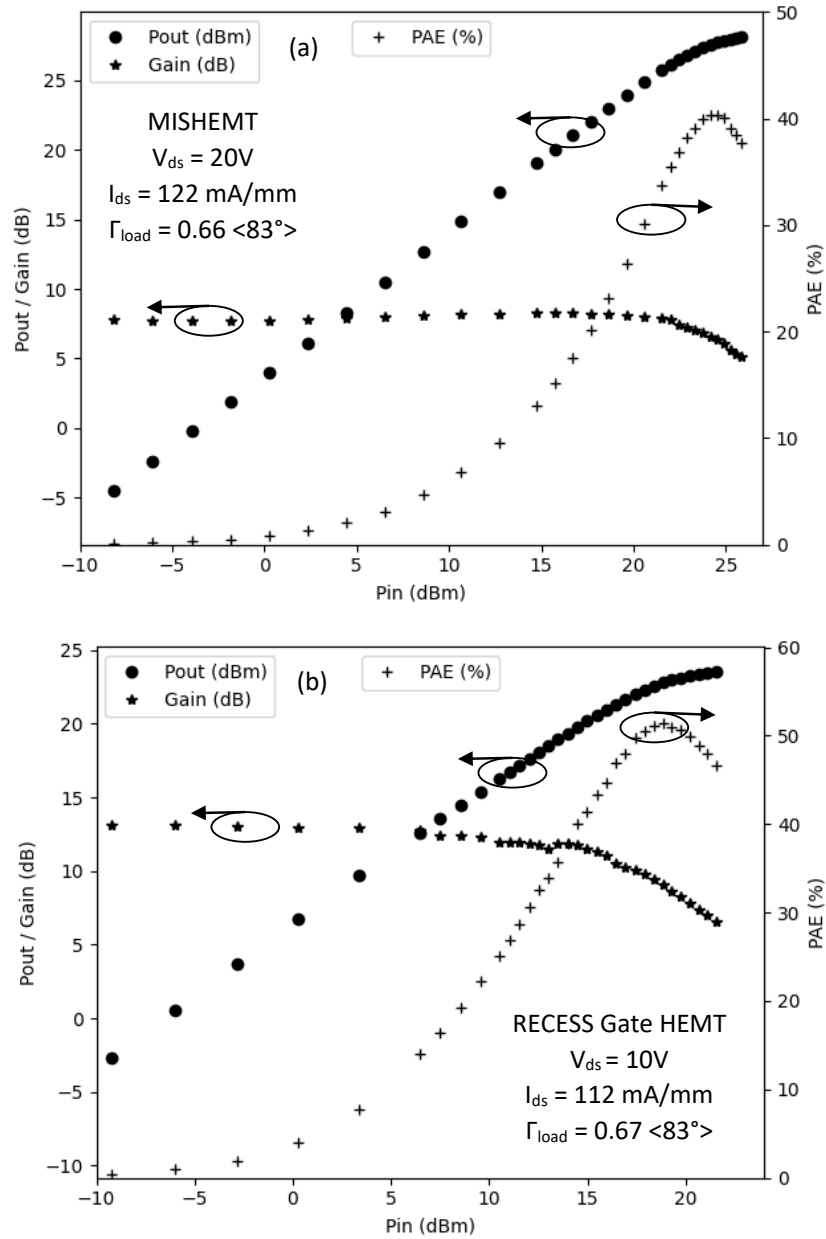


Figure 2.27 : Mesure load-pull obtenue à 40 GHz pour les transistors (a) MISHEMT ($L_g = 150$ nm) à $V_{ds} = 20$ V et (b) RECESS Gate HEMT ($L_g = 100$ nm) à $V_{ds} = 10$ V

Le tableau 2.6 présente une synthèse des résultats de mesures load-pull des deux composants, pour une impédance optimale permettant de relever les meilleures performances en puissance :

Transistor	Barrière	L_g (nm)	V_{ds} (V)	P_{out} (W/mm)	Gain (dB)	PAE (%)
MIS	AlN	150	20	6,6	8	40
REC	AlGaIn	100	10	2,27	14	51

Table 2.6 : Synthèse des résultats de mesures load-pull pour les composants MIS et REC à 40 GHz

Le composant REC polarisé à $V_{ds} = 10V$, présente une PAE élevée de 51% avec une puissance de sortie $P_{out} = 2,27 \text{ W/mm}$, tandis que le composant MIS, polarisé à $V_{ds} = 20V$, délivre une forte puissance de sortie égale à $6,6 \text{ W/mm}$ associé à une PAE de 40%. Dans le chapitre suivant, nous montrerons grâce au développement d'un modèle non linéaire du transistor MIS, qu'il est possible d'obtenir une efficacité énergétique plus élevée si l'effet DIBL est atténué à fort V_{ds} – observation quantifiée qui avait conduit au développement de la technologie REC, malheureusement parasitée par les effets de lag.

9. Conclusion du chapitre

Ce chapitre a été consacré à la description de deux technologies de transistors GaN compatibles CMOS, à savoir MISHEMT et Recess-Gate HEMT, étudiées au cours de ces travaux. Nous avons souligné l'intérêt de leur développement sur substrat silicium, qui présente des avantages significatifs en termes de compatibilité avec les lignes de production CMOS, tout en offrant un coût de fabrication réduit, facilitant leur production à grande échelle.

Ces composants ont démontré d'excellentes performances en fréquence lors de leur caractérisation en régime petit signal. L'extraction du temps de transit des électrons dans le canal a permis d'identifier les facteurs limitant leurs performances en fréquence, fournissant ainsi des pistes d'optimisation de la structure épitaxiale et du procédé technologique afin d'améliorer leurs caractéristiques.

Par la suite, nous avons étudié les effets de piégeage dans ces transistors à partir de mesures pulsées, permettant d'extraire les pourcentages de gate-lag et drain-lag, de localiser les pièges au sein de la structure épitaxiale, et de quantifier leur impact sur la caractéristique de sortie. L'extraction des densités de défauts d'interface a révélé l'existence de deux types de pièges, dits « lents » et « rapides », associés à des constantes de temps distinctes. Ces pièges ne sont pas activés thermiquement ; conformément à la littérature, nous avons supposé que les phénomènes d'émission des pièges peuvent être attribués à des mécanismes d'émission multiphonon ou par effet tunnel.

Enfin, nous avons présenté le banc de mesure développé au cours de ces travaux, permettant d'effectuer des mesures de paramètres S en mode pulsé pour chaque point de la caractéristique IV du transistor, données qui serviront à la modélisation des composants, laquelle sera détaillée dans le chapitre suivant. Les mesures load-pull ont également été présentées, permettant de déterminer les meilleures performances en puissance pour chaque technologie (MIS et REC) et constituant un élément clé pour la validation du modèle non linéaire.

Chapitre 3 - Modélisation non linéaire électrothermique

Introduction

Ce chapitre présente la procédure adoptée pour la modélisation linéaire et non linéaire des transistors GaN HEMT compatibles CMOS étudiés dans le cadre de cette thèse. L'objectif est d'intégrer les effets limitatifs de ces composants dans un modèle complet et prédictif, destiné à la conception d'amplificateurs de puissance.

Dans un premier temps, nous introduirons les principaux types de modélisation, avant de motiver le choix d'un modèle empirique. Cette approche se révèle particulièrement efficace pour l'extraction rapide des paramètres, garantit une bonne convergence en simulation sous différentes conditions expérimentales et s'adapte aisément à une implémentation dans le logiciel ADS.

La première étape consistera à extraire le schéma équivalent petit signal du transistor, qui inclut les éléments extrinsèques et intrinsèques. Ce modèle sera validé sur une large bande de fréquences, jusqu'à 110 GHz, et servira de base au modèle non linéaire. Celui-ci s'appuiera sur la modélisation de la caractéristique I-V et des capacités non linéaires (C_{gs} , C_{gd}) sous une forme bidimensionnelle, mieux adaptée aux simulations sous diverses conditions d'impédance. Enfin, les effets limitatifs spécifiques aux transistors GaN HEMTs (effets thermiques et de piégeage) seront intégrés au modèle via un réseau thermique et un circuit spécifique de pièges. L'objectif est d'obtenir un modèle complet, fiable et prédictif du comportement du transistor.

Des mesures de type Load-Pull seront ensuite réalisées afin de caractériser les transistors en régime de puissance. Ces mesures permettront d'extraire des paramètres essentiels, tels que la puissance de sortie, l'efficacité énergétique et le gain. Elles serviront à la fois à caractériser les composants et à valider le modèle grand signal à différentes fréquences (28 GHz et 40 GHz).

1. Type de modèle

Un modèle compact précis de transistor constitue un élément clé pour la conception de circuits intégrés fiables, puisqu'il permet de prédire fidèlement le comportement du dispositif tout en contribuant à l'amélioration de son développement technologique. Plusieurs approches existent pour relier le comportement du transistor à un ensemble d'équations : certains modèles reposent sur des formulations physiques fondamentales, tandis que d'autres s'appuient sur des schémas analytiques équivalents, reproduisant les performances du composant dans différentes conditions de mesure.

Chaque type de modèle adopte une approche distincte pour modéliser le comportement du composant. Nous présenterons une brève description des trois principaux types de modèles :

- Modèle Physique
- Modèle réseau de neurones ANN (Artificiel Neural Network)
- Modèle Empirique

1.1. Modèle Physique

Les modèles physiques décrivent le comportement du composant à partir d'expressions dérivées de principes physiques fondamentaux, sans s'appuyer sur des paramètres d'ajustement empiriques. Ils sont basés sur des équations fondamentales issues de la physique, telles que les équations de Poisson et de Schrödinger pour l'électrostatique et la quantification de la charge, ainsi que les lois de transport des électrons dans le canal. Grâce à cette base physique, ces modèles offrent une scalabilité supérieure aux approches empiriques et permettent une prédiction plus fiable du comportement des composants.

Un modèle physique est généralement structuré en deux parties : une première couche dérivée directement de la physique du dispositif, et une seconde étape dédiée aux effets non linéaires, dont les paramètres sont extraits directement des mesures. Par ailleurs, les deux principaux modèles physiques, ASM (Advanced SPICE Model) [90][91] et MVSG (MIT Virtual Source GaN FET) [92][93], sont adoptés par la CMC (Compact Model Coalition) en tant que modèles standards industriels pour les transistors GaN HEMT.

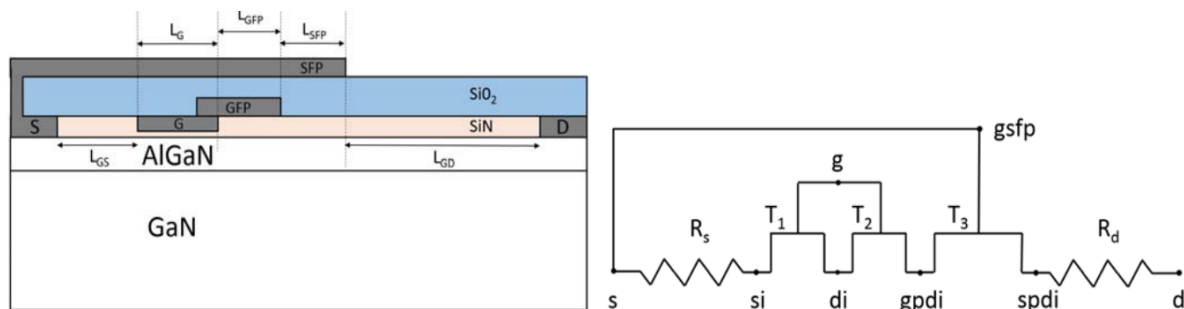


Figure 3.1 : Vue en coupe du transistor et schéma équivalent incluant les plaques de champ [91]

Le modèle physique le plus répandu est le modèle ASM. Il offre une grande configurabilité grâce à des modes qui peuvent être activés ou désactivés en fonction de la technologie du transistor. Cette flexibilité permet de prendre en compte les variations de topologies, comme la longueur des régions d'accès ou l'ajout de plaques de champ (voir Figure 3.1), ce qui le rend adaptable à diverses technologies GaN HEMTs. Les paramètres du modèle sont organisés en catégories physiquement significatives, incluant des paramètres géométriques (L_g , T_{bar} , W_g , ...), des paramètres physiques (mobilité, V_{sat} , R_c , ...) ainsi que des paramètres de lissage pour assurer une extrapolation fiable du modèle.

Bien que ces modèles soient robustes et offrent une meilleure scalabilité, ils présentent des limites liées à leur complexité. La prise en compte de tous les paramètres technologiques pour capturer l'ensemble des variations du transistor augmente la complexité numérique et le temps de calcul. De plus, ils nécessitent une extraction rigoureuse des paramètres physiques, ce qui les rend complexes à ajuster, peut dégrader la précision et freiner leur adoption.

1.2. Modèle ANN

Les modèles à base de réseaux de neurones représentent le comportement électrique des dispositifs en traitant des données expérimentales ou simulées à travers un ensemble de neurones interconnectés [94][95]. Ils permettent ainsi de capturer efficacement les relations non linéaires complexes à partir des données d'apprentissage. Le réseau est constitué de couches de neurones reliés par des connexions pondérées (voir Figure 3.2). Chaque poids, ajusté au cours de l'entraînement, détermine l'importance de la connexion dans la minimisation de l'erreur entre les sorties mesurées et modélisées.

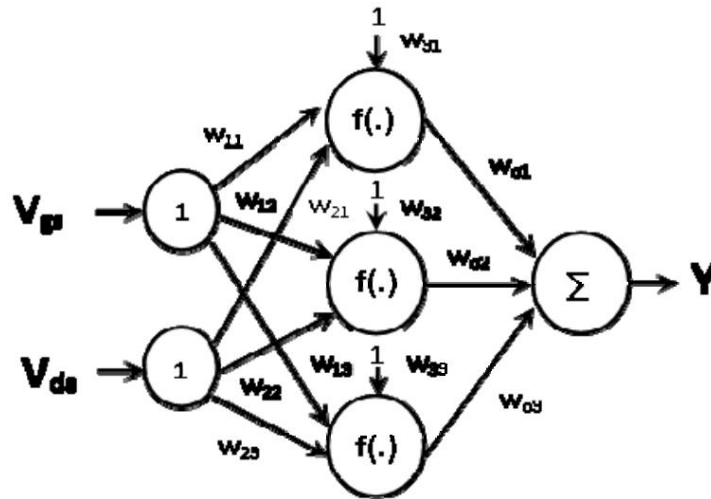


Figure 3.2 : Principe du modèle ANN [95]

Le processus de modélisation débute par l'identification des variables d'entrée (par exemple, les paramètres physiques du transistor) et des variables de sortie (caractéristiques I-V, paramètres S, etc.). Les données sont ensuite séparées en trois ensembles : apprentissage, validation et test. Cette organisation permet d'ajuster les poids du réseau, de contrôler le processus et d'évaluer la performance finale du modèle.

Une fois entraîné, ce type de modèle permet des simulations rapides et précises. Il présente aussi l'avantage de pallier certaines limites des modèles physiques ou empiriques, en offrant une meilleure capacité d'adaptation à de nouveaux phénomènes observés expérimentalement.

Néanmoins, cette approche présente plusieurs inconvénients. Elle dépend fortement de la qualité et de la représentativité des données utilisées pour l'apprentissage. De plus, le processus d'entraînement est sujet à des risques de sur-apprentissage ou de sous-apprentissage, compromettant l'adéquation du modèle. Enfin, la fiabilité se dégrade lors d'extrapolations en dehors des plages de données couvertes, le modèle pouvant alors adopter des comportements non physiques.

1.3. Modèle Empirique

Les modèles empiriques reposent sur des représentations analytiques établies à partir de données expérimentales ou simulées. Contrairement aux modèles physiques, ils n'intègrent pas directement les lois fondamentales de la physique du dispositif, mais utilisent des équations ajustées pour reproduire au mieux le comportement mesuré du transistor.

Ce type de modèle est souvent construit autour de schémas équivalents simples, comprenant des sources contrôlées, des résistances, des inductances et des capacités (figure 3.3), dont les valeurs sont extraites directement à partir de mesures électriques. L'objectif est de représenter de manière compacte et efficace les caractéristiques statiques (I-V) et dynamiques (paramètres S, capacités non linéaires) du composant. L'un des principaux avantages de cette approche réside dans sa rapidité de mise en œuvre : l'extraction des paramètres est relativement simple, ne nécessite pas une connaissance exhaustive des mécanismes physiques internes, et conduit à un modèle bien conditionné pour les simulations de circuits. De plus, ces modèles présentent généralement une bonne convergence numérique et s'adaptent facilement aux environnements de simulation commerciale, tels qu'ADS.

En revanche, leur caractère empirique limite les lois d'échelle. En effet, comme ils sont dérivés d'ajustements expérimentaux, leur validité est restreinte aux plages de fonctionnement couvertes par les mesures. Ils offrent donc moins de garanties lors d'extrapolations, par exemple pour des fréquences ou des conditions de polarisation différentes. Par ailleurs, l'absence de lien direct avec les paramètres technologiques du dispositif rend plus difficile leur utilisation dans une démarche de co-conception composant/circuit.

Malgré ces limitations, les modèles empiriques demeurent largement utilisés dans l'industrie et la recherche appliquée, en raison de leur robustesse, de leur efficacité en simulation et de leur compatibilité avec des méthodologies de conception orientées circuit. Dans le cadre de cette thèse, ce type de modèle a été retenu, car il constitue un compromis pertinent entre précision, rapidité d'extraction et facilité d'intégration dans les outils de conception de circuits RF et hyperfréquences.

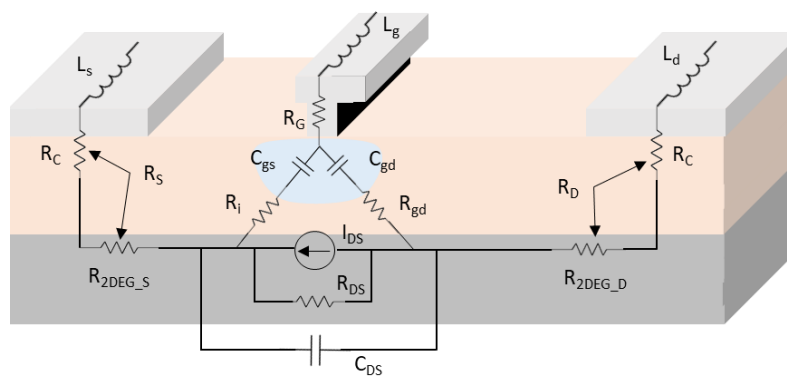


Figure 3.3 : Illustration de l'origine physique du schéma équivalent superposée à la structure d'un transistor HEMT

Les modèles empiriques ont constitué la première génération de modèles large signal dédiés au transistor HEMT (modèles Statz, Curtice, Tajima) [96] [97]. Ils ont ensuite été suivis par de nombreux autres modèles, notamment le modèle d'Angelov [98] [99], qui a connu plusieurs améliorations pour s'adapter aux effets non linéaires observés avec la réduction de la longueur de grille.

2. Etapes de modélisation

La modélisation du transistor HEMT GaN se déroule principalement en deux étapes :

- Une modélisation petit signal basée sur l'extraction des paramètres extrinsèques (fixes, liés aux accès du composant) puis des paramètres intrinsèques (dépendants de la polarisation).
- Une modélisation non linéaire qui combine un modèle de source de courant (reproduisant la caractéristique I-V), un modèle des capacités non linéaires (C_{gs} , C_{gd}), un modèle thermique fondé sur un réseau d'impédance RC pour capturer l'impact de l'élévation de température sur la caractéristique de sortie et les performances en puissance.
- Enfin, un sous-circuit de piégeage développé pour modéliser la capture et l'émission des électrons dans le canal dues aux pièges présents dans la structure. Cela améliore la précision du modèle autour du point de polarisation au repos choisi lors de la conception d'un amplificateur de puissance.

Etape de Modélisation du HEMT GaN

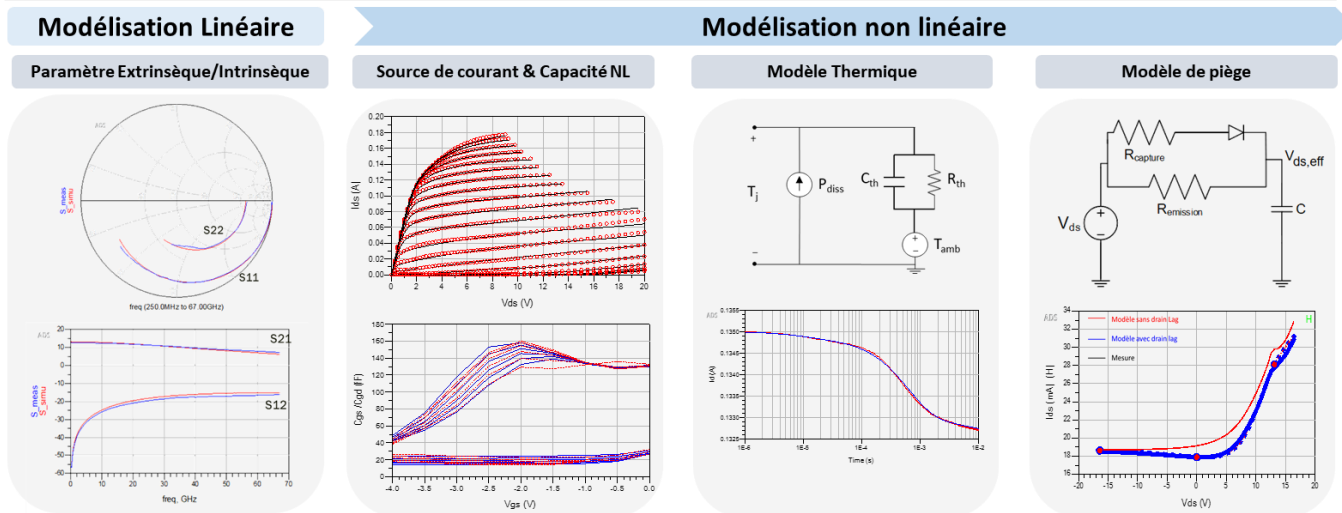


Figure 3.4 : Etapes de modélisation linéaire et non linéaire du transistor HEMT GaN

Pour la suite de ce chapitre, l'ensemble de l'étude sera réalisé sur un composant MISHEMT de taille $2 \times 50 \mu\text{m}$, avec une longueur de grille $L_g = 150 \text{ nm}$. Dans le déroulement des travaux, c'est cette première technologie qui avait fait l'objet d'une modélisation profonde compte-tenu des performances à l'état de l'art obtenues en termes de puissance de sortie. La modélisation avait alors permis de cibler les axes d'amélioration, notamment la criticité de la conductance de sortie, et avait orienté les recherches vers la filière REC.

Nous détaillerons d'abord la procédure de modélisation petit signal du transistor. Ensuite, nous développerons un modèle non linéaire répondant à des critères spécifiques : il sera à la fois compact et électrothermique, garantissant une bonne convergence en simulation large signal. De plus, il intégrera des lois d'échelle pour prédire le comportement et les performances du transistor en fonction de sa taille et du nombre de doigts.

Il est important de garder à l'esprit que le modèle développé demeure tout à fait valable pour les transistors de la technologie REC. Une fois de plus, le choix de détailler la procédure pour les composants MISHEMTs tient simplement au fait que les performances en puissance en bande Ka s'avèrent meilleure sur cette dernière technologie.

Nous nous focaliserons ainsi sur le modèle semi-empirique d'Angelov pour la modélisation non linéaire de la source de courant $I_{ds}(V_{ds})$ dont les paramètres sont facilement extractibles. Ce modèle propose aussi une approche basée sur une expression de la charge pour modéliser l'évolution des capacités C_{gs} et C_{gd} en fonction des tensions V_{ds} et V_{gs} , ce qui favorise une meilleure convergence lors de la simulation. Enfin, il intègre les effets non linéaires spécifiques aux transistors HEMTs GaN (Thermique/Piège), en les représentant par des sous-circuits adaptés.

3. Modélisation linéaire

Le modèle petit signal décrit le fonctionnement linéaire du transistor autour d'un point de polarisation. Il est représenté par un schéma équivalent sous la forme d'un circuit électrique, comme illustré à la figure 3.5. Ce modèle est composé :

- D'éléments extrinsèques (en bleu), dont les valeurs sont constantes et indépendantes de la polarisation. Ils sont associés aux plots de contact, ainsi qu'aux inductances et résistances parasites.
- D'éléments intrinsèques (en rouge), dont les valeurs dépendent de la polarisation. Ils modélisent la variation du courant de drain (G_m et G_{ds}) et les capacités intrinsèques (C_{gs} , C_{gd} et C_{ds}).

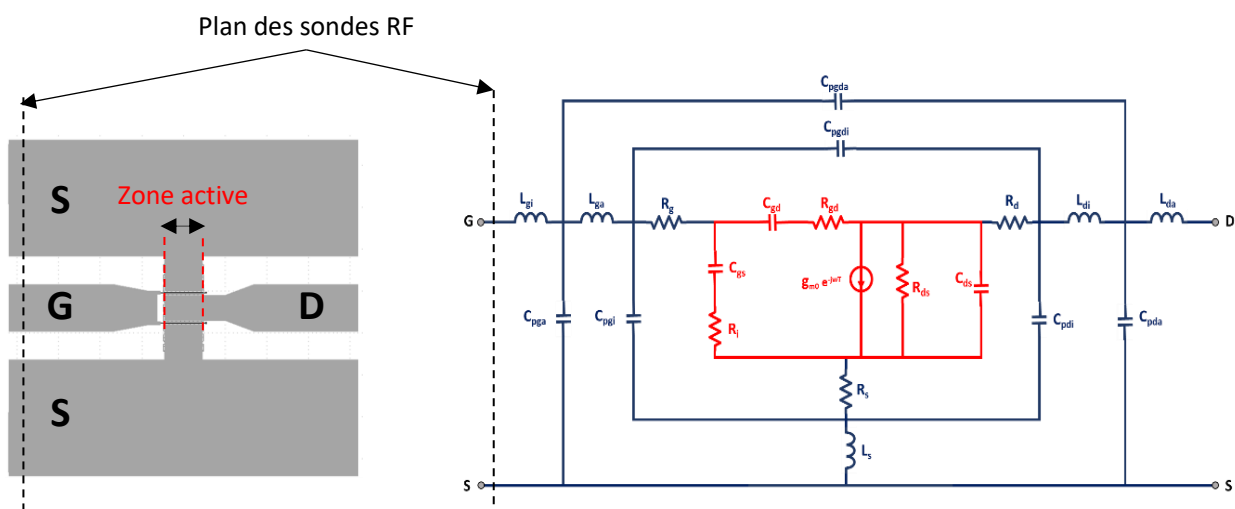


Figure 3.5 : Schéma équivalent petit signal du transistor GaN HEMT

L'objectif de ce modèle est de représenter le composant en petit signal, en reproduisant les paramètres $[S]$ mesurés sur une large bande de fréquences. Il permet également d'évaluer l'effet des éléments extrinsèques, en particulier les résistances d'accès R_d et R_s , sur les performances en fréquence, notamment la fréquence de coupure. Il constitue aussi une base essentielle pour la transition vers le modèle large signal.

3.1. Extraction des paramètres extrinsèques

Pour déterminer l'évolution des paramètres intrinsèques en fonction de la polarisation, il est tout d'abord nécessaire de réaliser une opération de de-embedding [100] visant à éliminer l'influence des éléments extrinsèques. Deux approches classiques sont couramment utilisées :

- Le de-embedding à partir de structures en circuit ouvert et court-circuit, qui repose sur la mesure de structures de test dédiées.
- La méthode Cold-FET, qui exploite des mesures de paramètres S effectuées dans des conditions spécifiques pour extraire séparément les éléments parasites.

Dans le cadre de cette étude, l'objectif étant de développer une modélisation complète et précise du composant, la méthode Cold-FET a été retenue en raison de sa capacité à caractériser finement les effets extrinsèques sans nécessiter de structures de test supplémentaires, ce qui constitue un avantage en termes d'intégration et de reproductibilité.

Cette méthode repose sur la polarisation du transistor avec une tension de drain nulle ($V_{ds}=0V$), ce qui annule l'effet de la source de courant ($G_m=0$). Dans ces conditions, la distribution de charge sous la grille devient uniforme, impliquant l'égalité $C_{gs}=C_{gd}$.

La tension appliquée à la grille est ensuite ajustée en fonction du type d'éléments parasites à extraire :

- Capacitifs (en régime cold pinch-off),
- Résistifs/inductifs (en régime de conduction).

3.1.1. Extraction des capacités parasites

Les capacités extrinsèques sont extraites en plaçant le transistor en condition dite « cold pinchoff », qui impose une polarisation à $V_{ds} = 0V$, et une tension de grille inférieure au pincement ($V_{gs} < V_p$), de sorte que le courant de drain soit nul et que la conductance de sortie du canal devient négligeable ($G_{ds} = 0$).

Dans ces conditions, le schéma équivalent petit signal du transistor à basse fréquence se réduit à une structure en π essentiellement capacitive, comme présenté à la figure 3.6. Ce circuit regroupe plusieurs capacités associées à des effets spécifiques : capacités d'accès, capacités inter-électrodes et capacités intrinsèques [101][102].

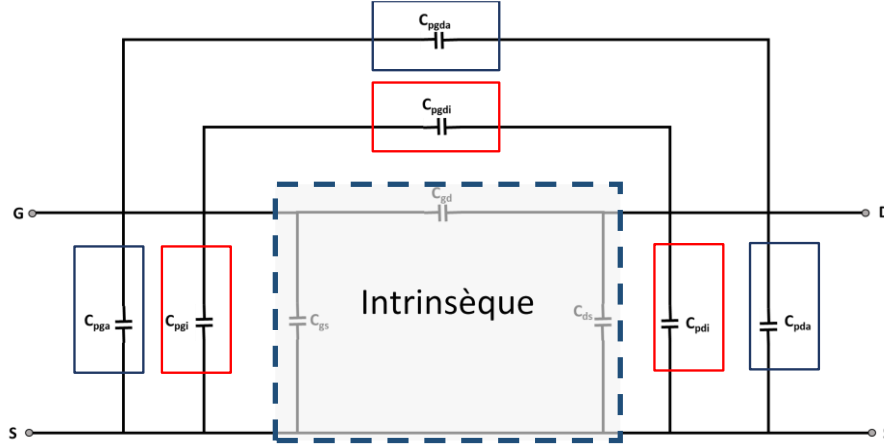


Figure 3.6 : Configuration en π du schéma équivalent en condition Cold-Fet ($V_{ds} = 0V$ & $V_{gs} < V_p$)

En général, ce modèle extrinsèque est composé essentiellement de trois capacités (C_{pg} , C_{pd} et C_{pgd}). Cependant, pour une modélisation large bande et haute fréquence, ces paramètres sont subdivisés ou distribués en différents sous-éléments afin de capturer les phénomènes parasites liés à l'architecture du composant et à son environnement de mesure.

Les capacités encadrées en bleu (C_{pga} , C_{pda} , C_{pgda}) placées à l'extérieur du schéma équivalent, représentent les effets des plots de contact du transistor ainsi que des équipements de mesure. Par ailleurs, les capacités inter-électrodes (C_{pgi} , C_{pdi} , C_{pgdi}), encadrées en rouge, capturent le couplage électromagnétique entre les électrodes et les extrémités du transistor. Leur prise en compte permet de corriger les écarts observés sur l'évolution des paramètres S en fin de bande lors de la simulation.

On relève les valeurs de ces capacités à partir des paramètres $[Y]$ mesurés en basse fréquence, au travers des équations suivantes :

$$C_{gs0} = \frac{\text{Imag}(Y_{11}) + \text{Imag}(Y_{12})}{\omega} = C_{gs} + C_{pgi} + C_{pga} \quad (3.1)$$

$$C_{ds0} = \frac{\text{Imag}(Y_{22}) + \text{Imag}(Y_{12})}{\omega} = C_{ds} + C_{pdi} + C_{pda} \quad (3.2)$$

$$C_{gd0} = \frac{-\text{Imag}(Y_{12})}{\omega} = C_{gd} + C_{pgdi} + C_{pgda} \quad (3.3)$$

Afin de distinguer et extraire précisément chaque paramètre du modèle, les capacités totales sont d'abord normalisées par la taille du transistor ($W.N$). Cela permet de décorréliser les contributions des capacités intrinsèques et extrinsèques (figure 3.7). L'équation ci-dessous indique que la capacité intrinsèque est relevée à partir de la pente de la caractéristique, tandis que les capacités extrinsèques sont déduites de l'ordonnée à l'origine.

$$C_{total}(W.N) = C_{intr}.W.N + (C_{pi_extr} + C_{pa_extr})(N) \quad (3.4)$$

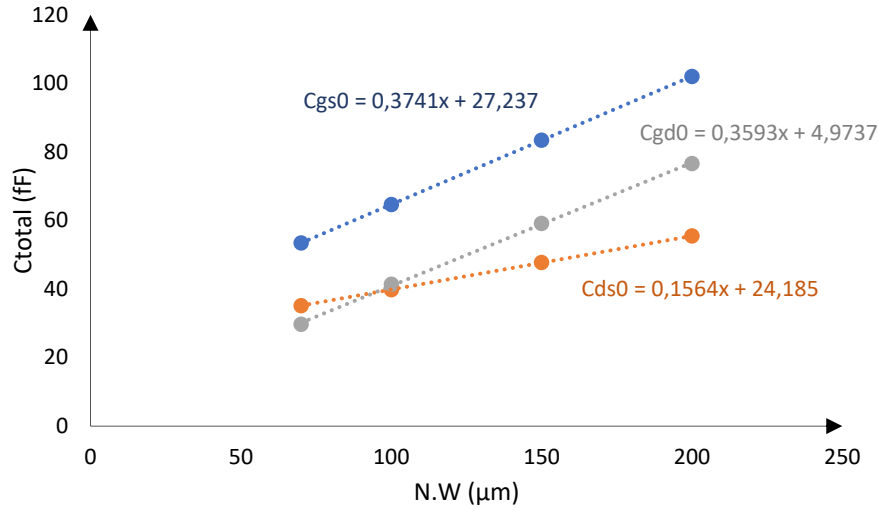


Figure 3.7 : Evolution des capacités en fonction de la taille du transistor

La validation est effectuée par rétro-simulation : le circuit équivalent est simulé et comparé aux mesures expérimentales. Un excellent accord est observé à basse fréquence (Figure 3.8), confirmant la validité de l'extraction. À plus haute fréquence, des éléments inductifs et résistifs supplémentaires doivent être inclus pour une précision optimale.

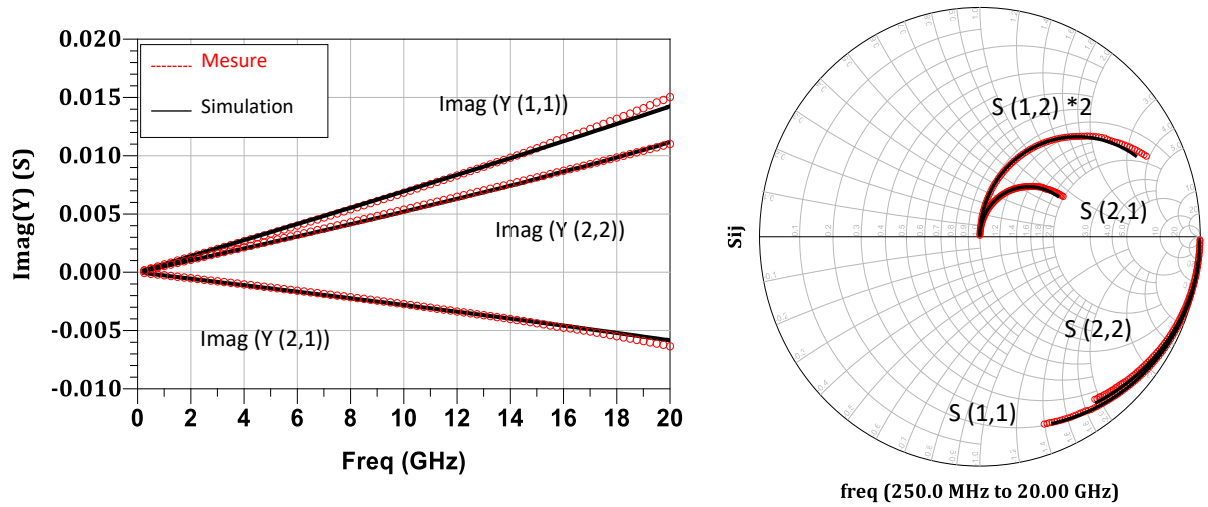


Figure 3.8 : Comparaison Simulation/mesure à $V_{ds} = 0V$ et $V_{gs} < V_p$

3.1.2. Extraction des paramètres extrinsèques inductifs et résistifs

L'extraction des éléments parasites résistifs et inductifs est réalisée en fixant V_{ds} à 0V, et en polarisant la grille en direct à $V_{gs} > 0V$. Dans ces conditions, les effets capacitifs deviennent négligeables, ce qui facilite l'estimation des contributions résistives et des inductives.

A partir de ces conditions de mesure, une représentation simplifiée du schéma équivalent, sous forme d'une structure en T devient possible (figure 3.9). Ce modèle intègre des éléments inductifs parasites distribués (L_{ga}/L_{gi} et L_{da}/L_{di}) afin de représenter avec précision le comportement du transistor à haute fréquence.

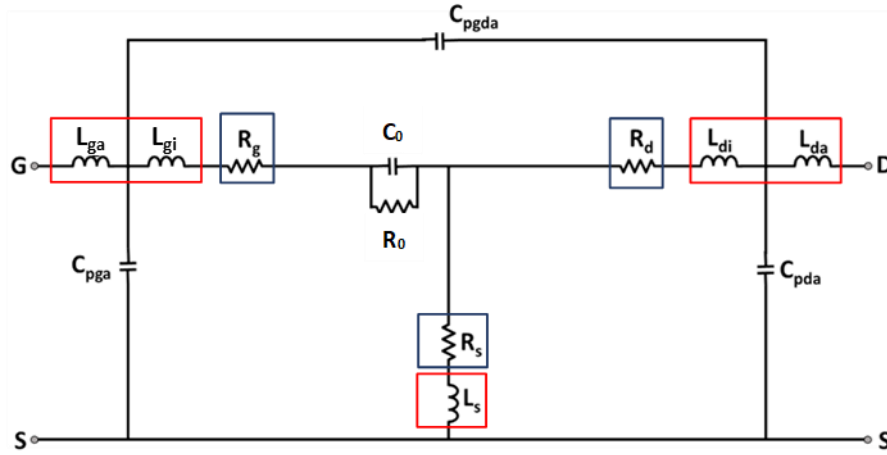


Figure 3.9 : Configuration en T du schéma équivalent en condition $V_{ds} = 0V$ & $V_{gs} > 0V$

La procédure d'extraction des éléments résistifs (R_g , R_d , R_s) et inductifs (L_g , L_d , L_s) repose sur les résultats de mesures des paramètres Z , en déduisant les inductances des parties imaginaires et les résistances des parties réelles :

$$R_s = \text{Real}(Z_{12}) \quad (3.5)$$

$$R_d = \text{Real}(Z_{22}) - \text{Real}(Z_{12}) \quad (3.6)$$

$$L_s = \frac{\text{Imag}(Z_{12})}{w} \quad (3.7)$$

$$L_d = \frac{\text{Imag}(Z_{22}) - \text{Imag}(Z_{12})}{w} \quad (3.8)$$

Concernant les éléments parasites coté grille, l'inductance L_g et la résistance R_g , sont extraites en deux étapes via une procédure qui tient compte de la présence d'une barrière Schottky [103], modélisée par une résistance et une capacité différentielles R_0 et C_0 (fig 9). Les valeurs associées peuvent être extraites analytiquement à partir du paramètre Z_{11} .

Par la suite, la valeur de l'inductance extrinsèque L_g est calculée en deux étapes : on détermine d'abord l'inductance L par régression linéaire via :

$$w \cdot \text{Imag}(Z_{11}) = w^2 L - \frac{1}{C_0} \quad (3.9)$$

Puis on déduit L_g à partir de L et de L_s :

$$L_g = L - L_s \quad (3.10)$$

Ensuite l'extraction de R_g , est calculée en déterminant d'abord R_0 à partir de l'équation suivante [103] :

$$R_0 = \sqrt{\frac{wL - \text{Imag}(Z_{11})}{wC_0 - (wL - \text{Imag}(Z_{11})) \cdot w^2 C_0^2}} \quad (3.11)$$

La valeur de cette résistance R_0 est ensuite introduite dans l'expression totale pour déterminer R_g présentée dans l'équation ci-dessous :

$$R_g = \text{Real}(Z_{11}) - R_s - \frac{L}{R_0 \cdot C_0} \quad (3.12)$$

$\text{Real}(Z_{11})$ correspond à la valeur extraite à la résonance ($\text{Imag}(Z_{11}) = 0$)

Une rétro simulation du modèle petit signal (figure 3.9), permet de valider la procédure d'extraction des éléments extrinsèques sur une large bande de fréquences, comme illustré sur la figure 3.10, où la comparaison simulation (noir)/mesure (rouge) des paramètres Z et S est menée jusqu'à 110 GHz. On observe un parfait accord entre les deux séries présentées.

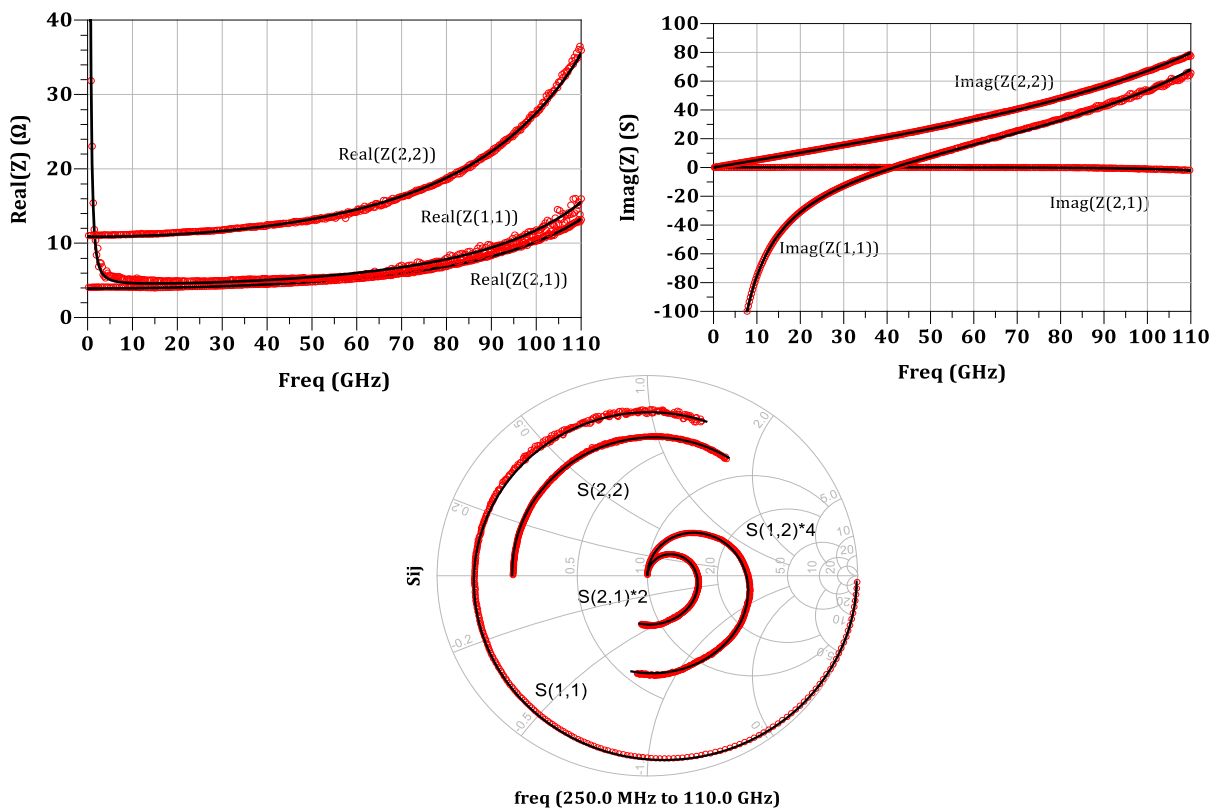


Figure 3.10 : Comparaison Simulation (noir)/mesure (rouge) à $V_{ds} = 0V$ et $V_{gs} > 0V$

3.2. Extraction des éléments intrinsèques

Nous déduisons les paramètres intrinsèques via des transformations matricielles qui permettent un épluchage de tous les éléments parasites préalablement identifiés, afin d'isoler la partie du modèle décrivant le fonctionnement intrinsèque du transistor.

La figure 3.11 présente le schéma équivalent intrinsèque du transistor : la transconductance G_m modélise le mécanisme de contrôle du courant dans le canal par la tension de grille, ce paramètre est associé au retard de commande (τ). Aussi, la conductance de drain G_d traduit les effets d'injection des électrons dans le canal à V_{gs} constante. Les capacités C_{gs} et C_{gd} représentent les variations de charges accumulées sous la grille, tandis que C_{ds} est la capacité drain source interne du transistor.

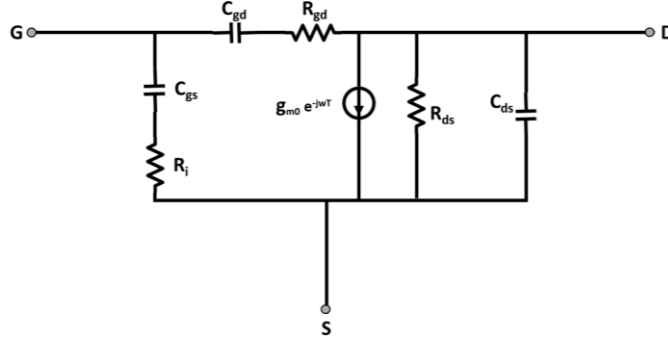


Figure 3.11 : Schéma équivalent du modèle intrinsèque du transistor

Le calcul de ces éléments intrinsèques s'obtient à partir des équations exprimant les parties réelle et imaginaire des paramètres Y [102]. Elles sont décrites ci-après :

$$A = \text{Real}(Y_{21}) - \text{Real}(Y_{12}) \quad (3.13)$$

$$B = \text{Imag}(Y_{21}) - \text{Imag}(Y_{12}) \quad (3.14)$$

$$G_m = \sqrt{(A^2 + B^2) \cdot (1 + R_i^2 C_{gs}^2 w^2)} \quad (3.15)$$

$$G_d = \frac{1}{R_{ds}} = \text{Real}(Y_{12}) + \text{Real}(Y_{22}) \quad (3.16)$$

$$C_{gd} = \frac{-\text{Imag}(Y_{12})}{w} \left[1 + \left(\frac{\text{Real}(Y_{12})}{\text{Imag}(Y_{12})} \right)^2 \right] \quad (3.17)$$

$$C_{gs} = \frac{\text{Imag}(Y_{11}) + \text{Imag}(Y_{12})}{w} \left[1 + \left(\frac{\text{Real}(Y_{11}) + \text{Real}(Y_{12})}{\text{Imag}(Y_{11}) + \text{Imag}(Y_{12})} \right)^2 \right] \quad (3.18)$$

$$C_{ds} = \frac{\text{Imag}(Y_{12}) + \text{Imag}(Y_{22})}{w} \quad (3.19)$$

$$R_{gd} = \frac{-\text{Real}(Y_{12})}{C_{gd}^2 \cdot w^2} \left[1 + \left(\frac{\text{Real}(Y_{12})}{\text{Imag}(Y_{12})} \right)^2 \right] \quad (3.20)$$

$$R_i = \frac{\text{Real}(Y_{11}) + \text{Real}(Y_{12})}{C_{gs}^2 \cdot w^2} \left[1 + \left(\frac{\text{Real}(Y_{11}) + \text{Real}(Y_{12})}{\text{Imag}(Y_{11}) + \text{Imag}(Y_{12})} \right)^2 \right] \quad (3.21)$$

$$\tau = \frac{-1}{w} \cdot \text{artan} \left(\frac{B + AR_i C_{gs} w}{A - BR_i C_{gs} w} \right) \quad (3.22)$$

3.3. Exemple de modélisation petit signal du transistor MIS 2x50 μm

La procédure de modélisation décrite précédemment a été appliquée au transistor de référence de la technologie MISHMT, caractérisé par une longueur de grille $L_g = 150 \text{ nm}$ et un développement $2 \times 50 \mu\text{m}$. Le tableau 3.1 présente les valeurs des paramètres extrinsèques, validées jusqu'à 110 GHz. Les valeurs des capacités et inductances parasites

dépendent de la plage de mesure fréquentielle et varient en fonction du banc de mesure ainsi que du type de sondes utilisées.

	$C_{pga}(fF)$	$C_{pda}(fF)$	$C_{pgda}(fF)$	$C_{pgi}(fF)$	$C_{pdi}(fF)$	$C_{pgdi}(fF)$	
	19	18	0.3	6.9	12.75	0.27	
$L_{ga}(pH)$	$L_{gi}(pH)$	$L_{da}(pH)$	$L_{di}(pH)$	$L_s(pH)$	$R_g(\Omega)$	$R_d(\Omega)$	$R_s(\Omega)$
53.55	27	42	40	1,6	0,88	6,54	4,31

Table 3.1 : Paramètres extrinsèques du composant REF 2x50 μm valides jusqu'à 110GHz

La figure 3.12 illustre l'évolution des paramètres intrinsèques en fonction de la fréquence pour un point de polarisation à $V_{ds} = 18 V$ et $V_{gs} = -3 V$:

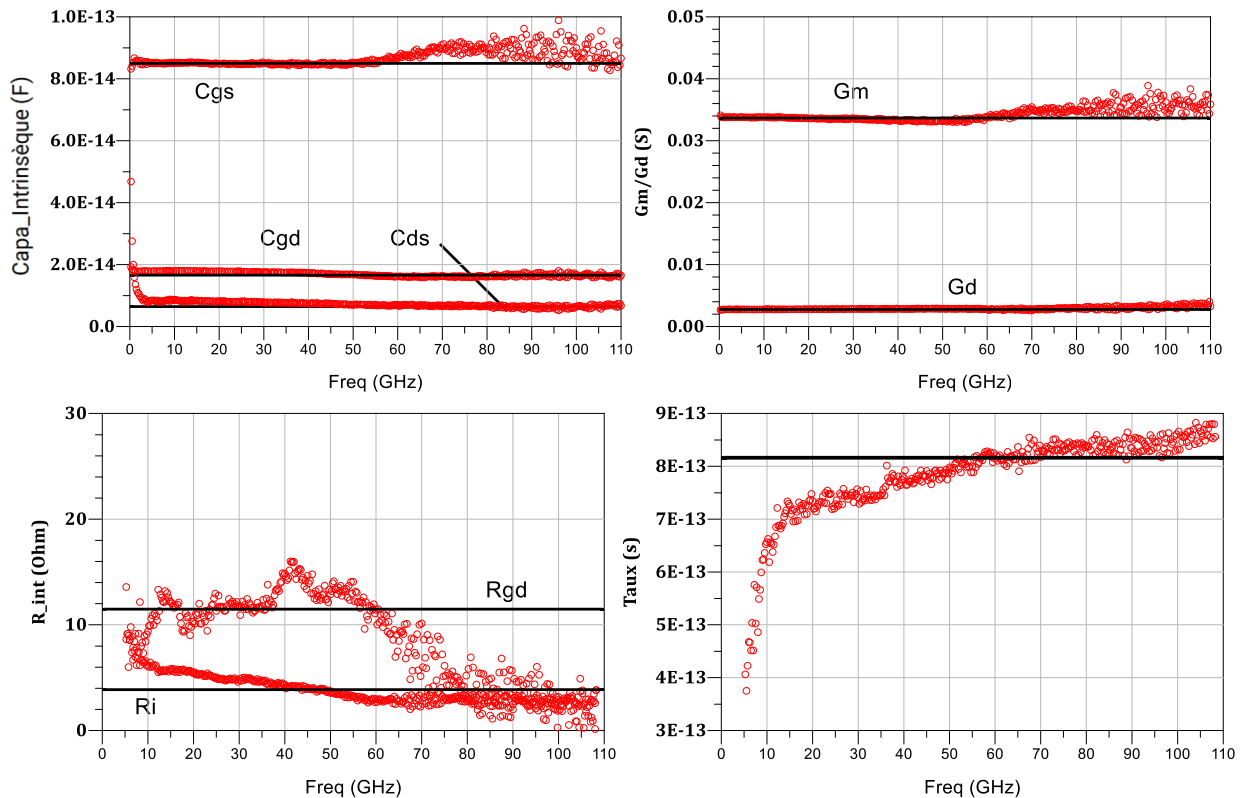


Figure 3.12 : Evolution des paramètres intrinsèques en fonction de la fréquence

G_m (mS)	G_d (mS)	C_{gs} (fF)	C_{gd} (fF)	C_{ds} (fF)	R_{gd} (Ω)	R_i (Ω)	τ (ps)
33.66	2.76	85	16.6	6.45	11.5	3.8	0.81

Table 3.2 : Paramètres Intrinsèques du transistor REF à $V_{ds} = 18V$ et $V_{gs} = -3V$

L'évolution quasi constante des paramètres intrinsèques en fonction de la fréquence (Figure 3.12) valide la procédure d'extraction des paramètres extrinsèques réalisée à l'aide d'un banc de mesure des paramètres S jusqu'à 110 GHz. Pour confirmer la validité du modèle petit signal, une comparaison entre les simulations et les mesures a été effectuée sur différents points de polarisation ($V_{ds} = 6, 10, 14$ et $18 V$) dans la bande 0.25 – 110 GHz.

La Figure 3.13 montre un excellent accord entre les courbes mesurées et simulées, démontrant la robustesse de la modélisation et du processus d'extraction.

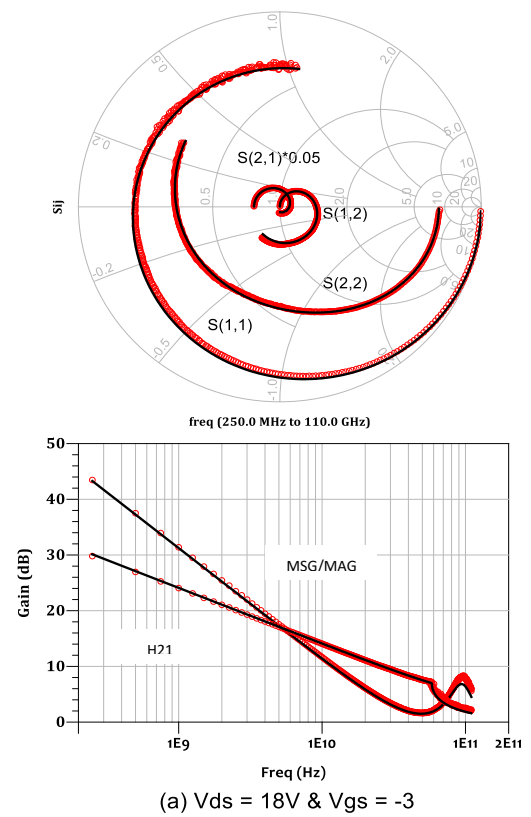
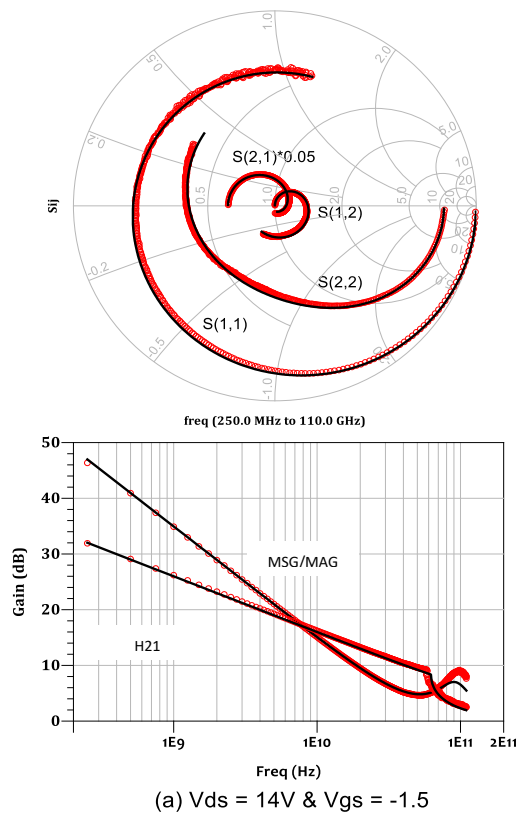
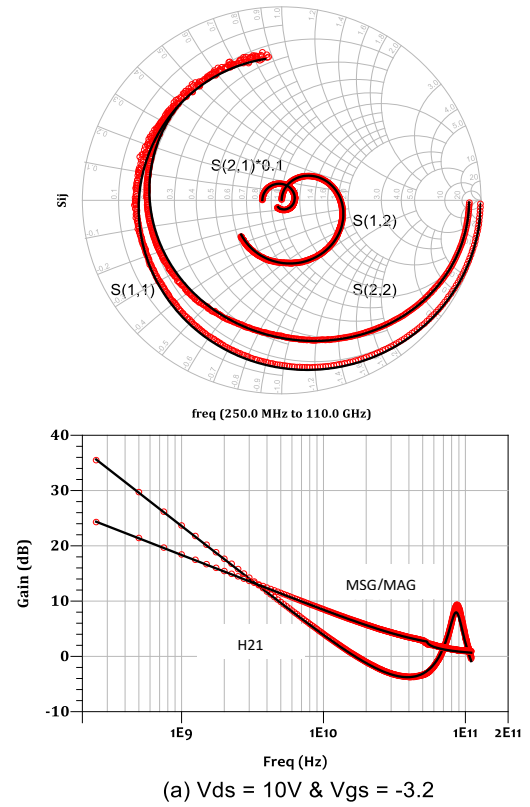
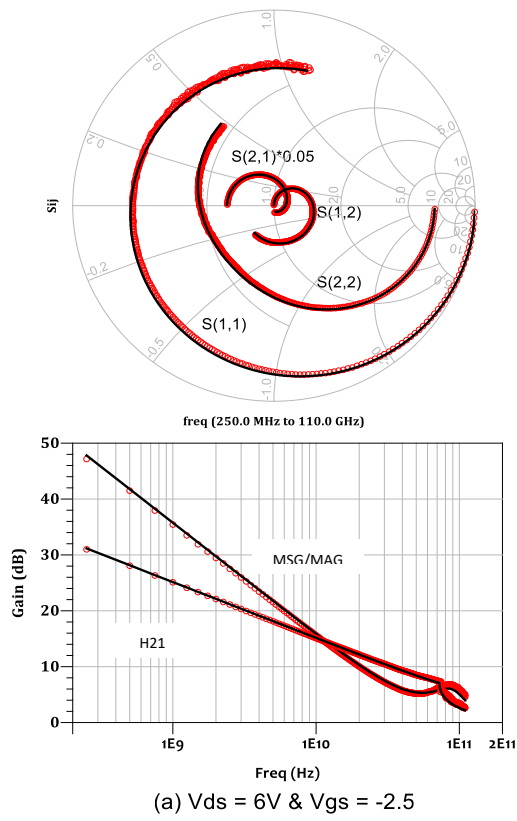


Figure 3.13 : Comparaison entre la simulation du modèle (noir) et la mesure (rouge) paramètres S à différents points de polarisations

La même procédure de modélisation a été utilisée lors d'une mesure de la caractéristique IV en paramètres S. La figure 3.14 présente les résultats de l'extraction des paramètres intrinsèques en fonction de la tension V_{gs} et V_{ds} :

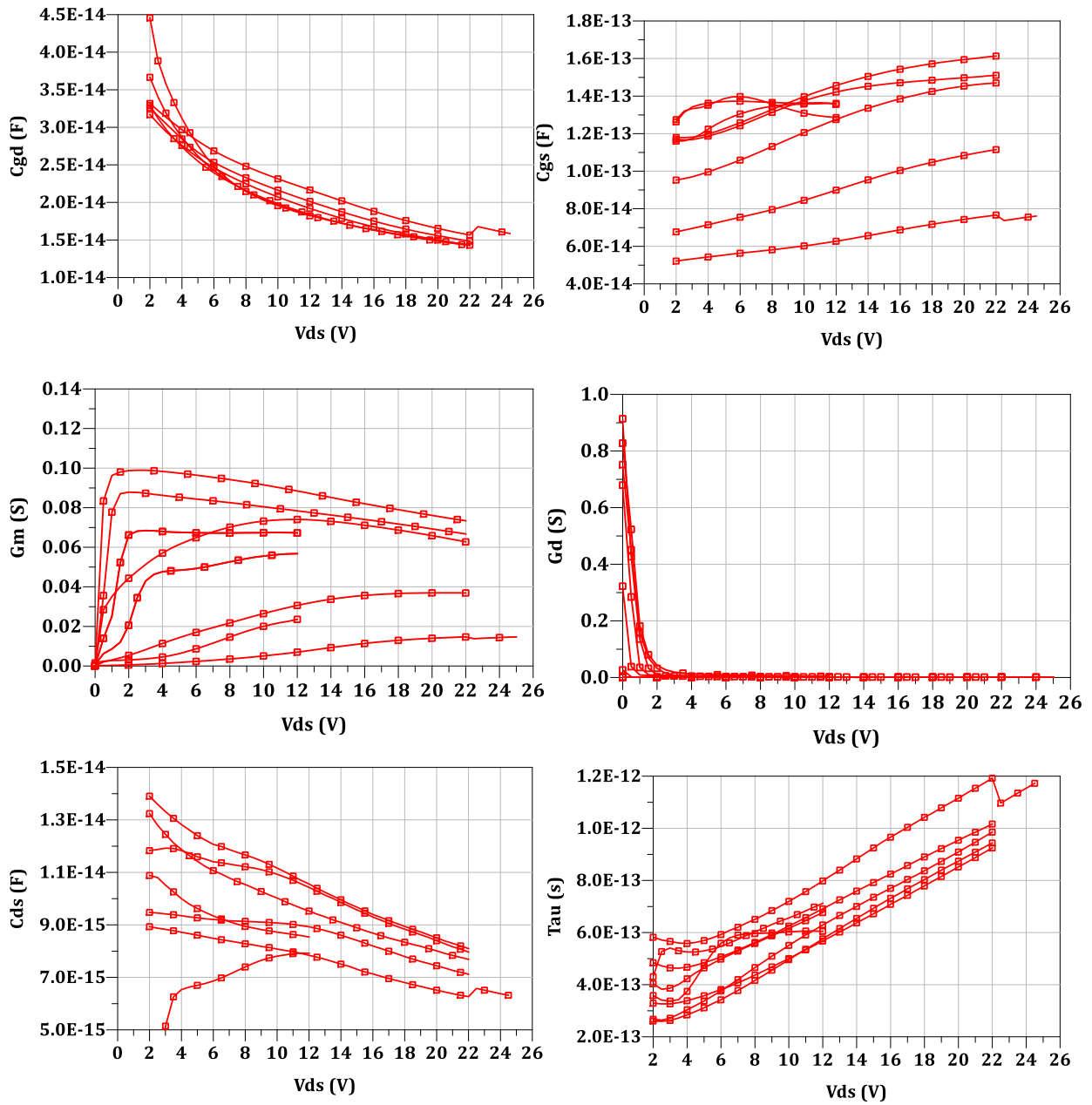


Figure 3.14 : Variations des éléments intrinsèques en fonction de la polarisation V_{ds} et V_{gs}

4. Modélisation non linéaire

Pour une modélisation large signal complète du transistor GaN HEMT, la procédure adoptée se divise en quatre étapes principales :

- Extraction et ajustement des paramètres de la source de courant $I_{ds}(V_{ds})$,
- Prise en compte des effets thermiques, via l'identification de la dépendance en température des paramètres du modèle pour reproduire l'auto-échauffement,
- Modélisation des capacités non linéaires C_{gs} , C_{gd} en fonction de V_{ds} et V_{gs} , garantissant la validité du modèle sous différentes conditions de polarisation et d'impédance,
- Ajout d'un modèle de pièges pour représenter les phénomènes de capture et d'émission de porteurs et leurs impacts sur les performances.

La figure 3.15 présente la topologie du modèle non linéaire, intégrant des sous-circuits dédiés à la modélisation des effets dispersifs caractéristiques des technologies GaN, notamment les phénomènes thermiques et les effets de piégeage.

L'originalité de cette approche réside dans l'intégration conjointe d'un modèle de courant amélioré et d'un modèle thermique, permettant de décrire avec précision le comportement du transistor en régime de puissance.

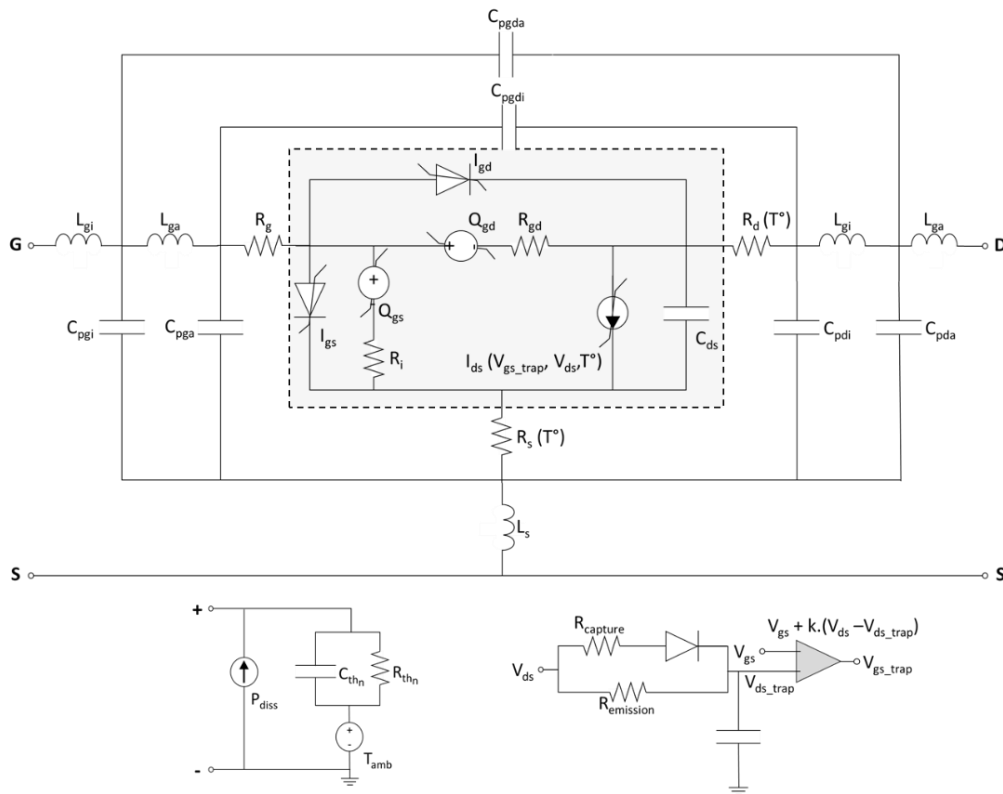


Figure 3.15 : Schéma équivalent non linéaire du transistor GaN HEMT

Les principales non linéarités dans ce circuit demeurent la source de courant I_{ds} , les diodes grille source I_{gs} et grille drain I_{gd} , puis les capacités non linéaires C_{gs} et C_{gd} . Pour une application d'amplification de puissance, les valeurs de la capacité C_{ds} , des résistances R_{gd} & R_i et le retard τ seront considérés constants ; leurs valeurs dépendront du point de polarisation.

4.1. Modélisation de la source de courant

La source de courant décrit le comportement non linéaire du courant de drain, depuis la région linéaire à la saturation. Elle traduit la réponse du transistor lors d'une variation de ses conditions de polarisation V_{ds} et V_{gs} , et permet de capturer les effets indésirables présent dans la structure du composant pouvant impacter ses performances.

Le modèle choisi pour représenter le comportement non linéaire du courant de drain est le modèle d'Angelov [98], reconnu pour sa flexibilité et sa capacité à s'adapter aux technologies avancées. Dans cette étude, une version modifiée du modèle d'Angelov a été développée afin de :

- Améliorer la modélisation de la transconductance (G_m) grâce à l'introduction d'une fonction $\sinh$, permettant de reproduire la forme asymétrique observée expérimentalement,
- Prendre en compte l'effet DIBL (Drain-Induced Barrier Lowering), phénomène accentué dans les transistors à courte longueur de grille, en intégrant un polynôme correctif pour décrire la modulation de la tension de pincement V_p en fonction de V_{ds} .

Ces modifications représentent une contribution innovante, car elles permettent de capturer des effets physiques spécifiques à la technologie GaN MISHEMT, offrant ainsi un modèle plus précis et prédictif.

Dans ce chapitre, nous allons nous focaliser sur la modélisation du transistor MISHEMT de taille $2 \times 50 \mu m$ et de longueur de grille $L_g = 150 \text{ nm}$. Des effets limitatifs dégradant la fiabilité de ce composant, notamment l'effet DIBL, ont été mis en évidence lors de la caractérisation de cette technologie au chapitre 2. Cet effet sera pris en compte dans la modélisation de la source de courant afin d'évaluer son impact sur les performances en puissance du composant.

4.1.1. Modélisation des courants de diodes

Les diodes d'entrées I_{gs} et I_{gd} sont modélisées par des générateurs de courants non linéaires. Il s'agit de décrire la conduction directe de la grille à fort V_{gs} , ainsi que les fuites de courants sous forte tension V_{gd} . Ces diodes sont modélisées classiquement à partir des équations suivantes :

$$I_{GSd} = I_j \cdot (e^{P_g \cdot \tanh(V_{gs} - V_{jg})} - e^{-P_g \cdot V_{jg}}) \quad (3.23)$$

$$I_{GD} = I_j \cdot (e^{P_g \cdot \tanh(V_{gd} - V_{jg})} - e^{-P_g \cdot V_{jg}} - K_{bdg} \cdot e^{(P_{bdg} \cdot \tanh(-V_{gd} - V_{bdgd}))}) \quad (3.24)$$

I_j : Facteur d'échelle du courant de diode en direct.

P_g, P_{bdg} : Ajuste la pente de l'évolution du courant de grille en direct/inverse.

V_{jg} : Paramètre d'ajustement de la tension de conduction en direct de la diode.

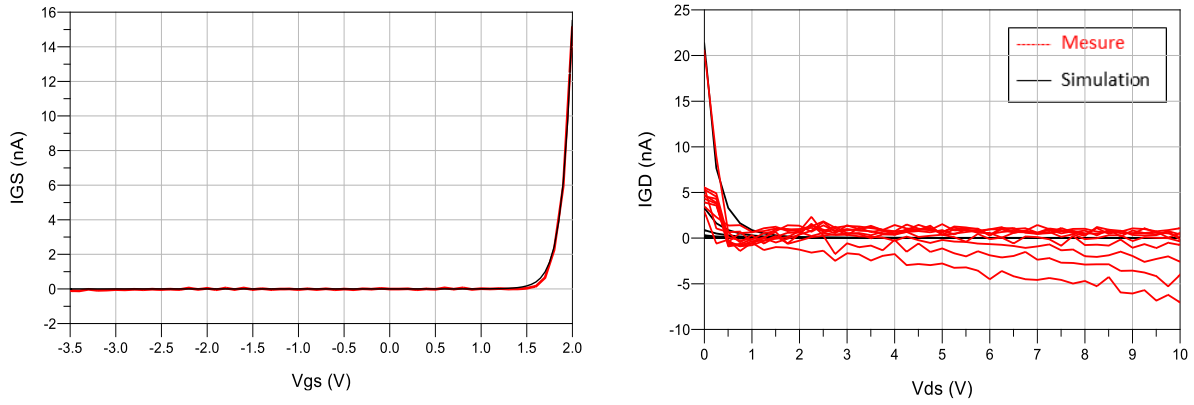


Figure 3.16 : Comparaison simulation (noir) / mesures (rouge) des diodes I_{gs} et I_{gd}

4.1.2. Modélisation du courant de drain (Angelov modifié)

Ce modèle se distingue par sa forte flexibilité, de sorte que plusieurs versions modifiées ont été développées en raison des avancées continue dans le développement de nouvelles technologies de transistors, ainsi que la réduction de la longueur de grille, créant des effets non désirables observés sur la caractéristique de sortie $I_{ds}(V_{ds})$.

La procédure de modélisation commence par l'extraction des paramètres de la fonction $Psi(\Psi)$, déduits des différentes mesures de la transconductance. Cette fonction décrit la réponse du courant de drain en fonction de la tension de grille pour une tension V_{ds} constante. Elle est représentée par l'équation suivante :

$$\Psi = P_1 \cdot (V_{gsi} - V_{pk}) + P_2 \cdot (V_{gsi} - V_{pk})^2 + P_3 \cdot (V_{gsi} - V_{pk})^3 \quad (3.25)$$

$$I_d = I_{pk} \cdot (1 + \tanh(\sinh(\Psi))) \quad (3.26)$$

V_{pk} : Représente la tension de grille au pic de la transconductance. Elle centre la fonction psi autour du point de fonctionnement optimal

I_{pk} : Le courant de drain au maximum de la transconductance

P_1 : Ce coefficient est calculé à partir de $\frac{G_{m,max}}{I_{pk}}$, il permet d'ajuster le pic de la transconductance et sa largeur.

P_2, P_3 : Coefficient de second et troisième ordre permettant d'affiner la modélisation de la forme de la transconductance.

En raison de l'asymétrie du G_m , l'introduction d'une fonction $\sinh$ modifie l'argument de la fonction $\tanh$ et améliore la modélisation du G_m sur une large plage de tension V_{gs} . Cette modification, qui n'est pas prise en compte dans le modèle original, confère à l'expression de la transconductance une précision accrue à la fois dans la zone de pincement et à fort V_{gs} . Comme le présente la figure 3.17, la comparaison entre les mesures (points), le modèle utilisant la fonction $\tanh(\Psi)$ standard (ligne bleue), et la version modifiée $\tanh(\sinh(\Psi))$ (ligne verte) met en évidence ces améliorations.

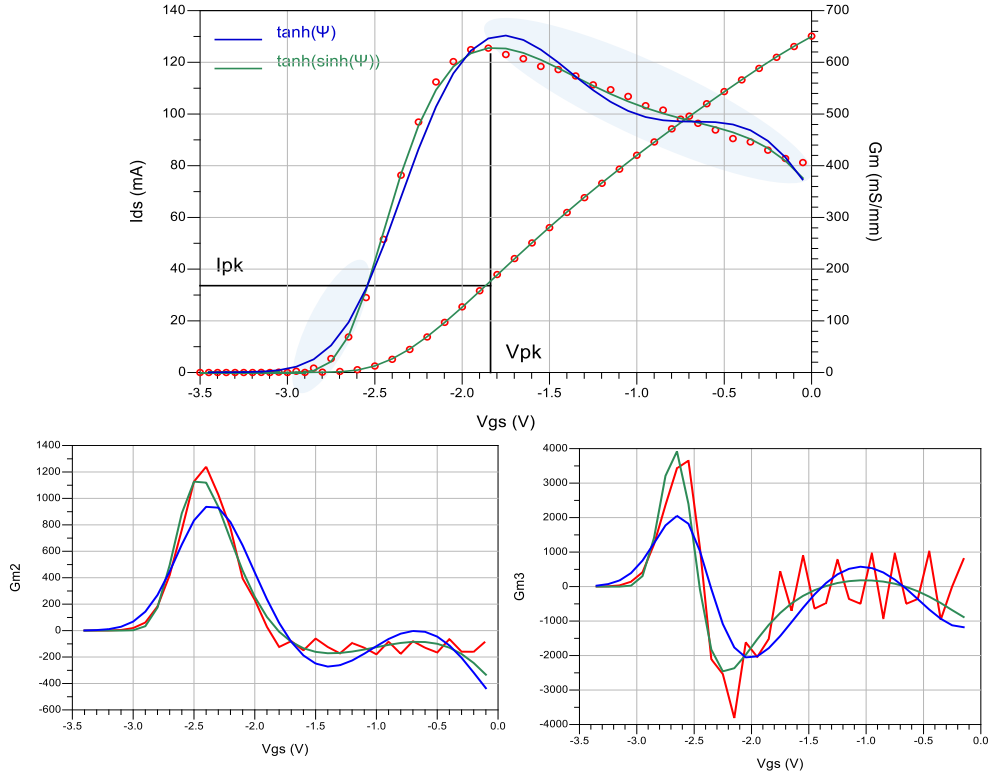


Figure 3.17 : Evolution de la transconductance G_m et ses dérivées première et seconde mesurées/simulées en fonction de V_{gs}

L'examen des dérivées première et seconde de la transconductance (figure 3.17) permet également d'affirmer que l'introduction de la fonction $\sinh$ affinera la prise en compte des non linéarités de la caractéristique IV. Les simulations harmonique-balance en seront plus précises via une meilleure représentation des effets liés aux harmoniques.

Une seconde modification majeure introduit un nouveau paramètre pour modéliser l'effet DIBL (présent dans cette technologie de transistor), lequel sera plus prononcé lors de la réduction de la longueur de grille. Lorsque V_{ds} augmente, la tension de pincement V_p se déplace vers des tensions de grille plus négatives en raison de l'abaissement et du rétrécissement de la barrière de potentiel sous la grille, ce qui affecte la zone proche du pincement (sélectionner en bleu dans la figure 3.18).

Pour prendre en compte cette non linéarité du courant de drain, on utilise un polynôme nommé M_{pk} qui permet de prendre en compte l'effet de modulation de la tension de drain, via les paramètres α_n , P_{n0} , P_{n1} , P_{n2} et P_{n3} .

$$M_{pk} = 1 + (\tanh [\alpha_m \cdot V_{dsi}] \cdot (P_{n0} + (P_{n1} \cdot V_{dsi}) + (P_{n2} \cdot V_{dsi}^2) + (P_{n3} \cdot V_{dsi}^3))) \quad (3.27)$$

Le modèle complet d'Angelov modifié [62] permettant une représentation de la caractéristique de sortie du transistor est modélisé à partir des équations suivantes :

$$P_{1m} = P_1 \cdot \left(1 + \frac{B_1}{\cosh^2[B_2 \cdot V_{dsi}]} \right) \quad (3.28)$$

$$V_{pkm} = V_{pk} - \Delta V_{pks} + (\Delta V_{pks} \cdot \tanh [\alpha_s \cdot V_{dsi}]) \quad (3.29)$$

$$\Psi = P_{1m} \cdot (V_{gsi} - V_{pkm}) + P_{2m} \cdot (V_{gsi} - V_{pkm})^2 + P_{3m} \cdot (V_{gsi} - V_{pkm})^3 \quad (3.30)$$

$$\alpha = \alpha_R + (\alpha_s \cdot (1 + \tanh [\Psi_m])) \quad (3.31)$$

$$I_{ds} = I_{pk} \cdot (1 + \mathbf{M}_{pk} \tanh [\sinh (\Psi_m)]) \cdot \tanh [\alpha \cdot V_{dsi}] \cdot (1 + \lambda V_{dsi}) \quad (3.32)$$

B1, B2 : Ajuste le paramètre P1 global afin de rendre la modélisation de la transconductance davantage sensible aux changements de V_{ds} .

λ : Paramètre de modulation de la longueur du canal. Il prend en compte l'évolution du courant I_{ds} en fonction de V_{ds} dans la région de saturation. Ce paramètre est extrait à partir de la pente de la caractéristique IV en saturation.

α : Représente la transition de la région linéaire à la zone de saturation.

La validation du modèle de courant est garantie après comparaison entre la simulation et la mesure de la caractéristique de sortie (figure 3.18). L'utilisation d'un polynôme pour modéliser l'effet DIBL, nécessite d'imposer une condition au modèle, afin de garantir une interpolation et une prédiction du modèle vers des tensions V_{ds} plus élevées cohérentes et réalistes.

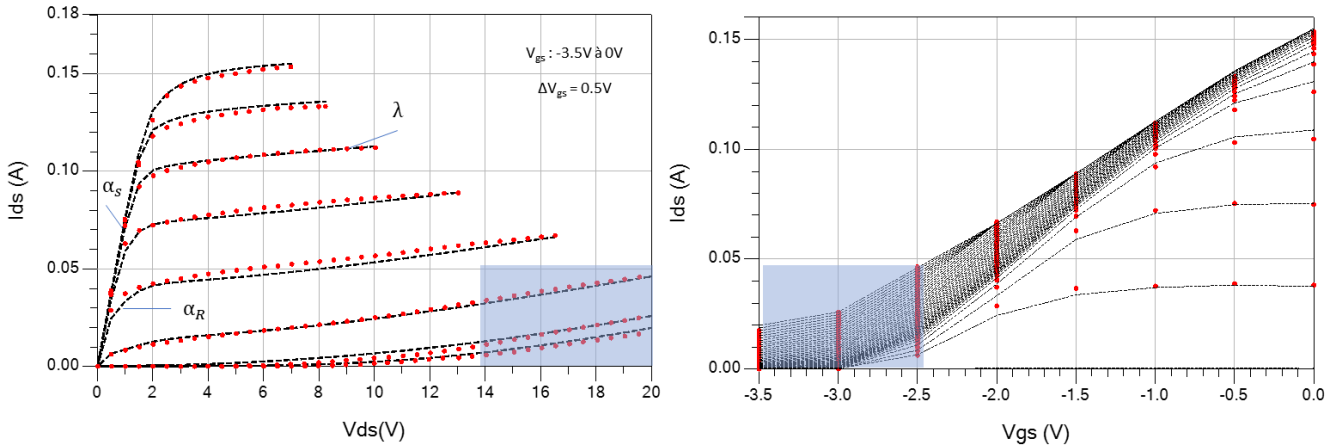


Figure 3.18 : Comparaison mesures (rouge)/modèle(noir) de la caractéristique de sortie du transistor à $V_{dq} = 0V$, $V_{gq} = 0V$

Après optimisation des paramètres du modèle de courant, un excellent accord est obtenu avec les mesures réalisées sur le transistor de référence de la technologie MISHEMT, en condition pulsée à $V_{dq} = 0V$ et $V_{gq} = 0V$ comme le présente la figure 3.18.

On présente sur le tableau ci-dessous les valeurs des paramètres du modèle de la source de courant d'Angelov modifié :

V_{pk}	I_{pk}	P_1	P_2	P_3	B_1	B_2	λ
-1.56	0.09	0.45	-0.18	0.057	0.96	0.066	0.018
α_R	α_s	ΔV_{pk}	α_m	P_{m0}	P_{m1}	P_{m2}	P_{m3}
0.03	2.67	0.4	8.73e-05	0.5	-2.9	-0.078	0.0012

Table 3.3 : Paramètres du modèle d'Angelov modifié optimisé pour une caractéristique de sortie en condition pulsée à $V_{dq} = 0V$, $V_{gq} = 0V$

4.2. Modélisation thermique

Afin d'assurer une modélisation précise et fiable du transistor GaN HEMT lors des simulations en puissance (Load-pull), il est nécessaire d'intégrer un modèle thermique permettant de capturer l'impact de la température sur le réseau IV du transistor, lequel se traduit par un auto-échauffement du composant à des tensions de polarisation élevées. Dans le cas particulier du GaN, l'obtention de niveaux de puissance élevés impliquera inexorablement une augmentation de la température de jonction ; celle-ci doit être prise en compte lors de la modélisation.

Dans cette partie du chapitre, nous décrirons d'abord la méthode électrique utilisée permettant l'extraction de la résistance thermique du composant sous-tests. Elle sera suivie d'une mesure du courant de drain en régime transitoire destinée à déterminer son impédance thermique. Ces résultats permettront de proposer un circuit thermique, intégré au modèle final du transistor, via l'identification des paramètres du modèle de courant dépendants de la température.

4.2.1. Méthode d'extraction de la résistance thermique

La dissipation de la chaleur dans un composant s'effectue principalement par conduction, elle est caractérisée par la valeur de sa résistance thermique (R_{th}), de sorte qu'une augmentation de la valeur de cette résistance se traduit par une élévation de la température de jonction du transistor pour une puissance dissipée donnée ; ceci peut accélérer la dégradation des performances du composant et réduire sa fiabilité.

La connaissance de la valeur de R_{th} est primordiale pour évaluer la température de fonctionnement du transistor, et ainsi estimer sa durée de vie (en prédisant les causes de défaillance prématurée). Elle est définie par le rapport entre la différence de température à travers un composant (ΔT) (la différence de température entre le point chaud T_{jmax} et la température de base T_0) et sa puissance dissipée (P_{diss}), on l'exprime par la formule suivante :

$$R_{th} = \frac{\Delta T}{P_{diss}} \quad (3.33)$$

D'après les travaux publiés, les trois principales approches utilisées pour extraire la résistance thermique d'un transistor GaN demeurent à ce jour : les méthodes optiques, la simulation par éléments finis et les méthodes électriques.

- **Méthode optique** (Spectroscopie micro-Raman, Thermographie infrarouge) [104][105][106] nécessitant un accès visuel à la surface supérieure du composant, elles exigent un équipement de mesure spécifique et coûteux, mais offrent une haute résolution spatiale qui permet d'estimer précisément la température de jonction maximale du composant.

- **Méthode à éléments finis** basée sur une simulation thermique via des logiciels dédiés, permettant de déterminer la température au point chaud du transistor [107], mais nécessitent la connaissance des propriétés thermiques des matériaux de la structure du transistor et ses paramètres géométriques. Cependant, les équations de chaleur ne sont pas toujours valables lorsque les dimensions de la sources et des couches adjacentes sont petites.
- **Méthode électrique** utilisée dans ces travaux, basée sur l'évaluation de l'impact de la température sur les performances du transistor. Cette méthode est plus simple à mettre en place que les approches précédentes ; néanmoins, elle relève une température du canal moyennée sur toute la structure.

4.2.2. Extraction de la résistance thermique

La méthode électrique utilisée, appelée « R_{on} Pulsé » [108], appliquée au transistor MIS, consiste à évaluer la résistance à l'état passant (R_{on}) en deux étapes, au moyen de mesures pulsées. Cette approche repose sur l'utilisation du banc de mesure Keithley S4200A, permettant de limiter l'auto-échauffement du transistor, ce qui constitue un aspect crucial pour obtenir des résultats fiables et précis.

Dans un premier temps, une phase de calibration thermique est réalisée afin d'établir la relation entre la résistance R_{on} et la température. Dans un second temps, des mesures à différents points de repos permettent de déterminer l'évolution de R_{on} en fonction de la puissance dissipée.

• Etape de calibration

L'étape de calibration débute par la polarisation du transistor au repos ($V_{gsq} = V_{dsq} = 0V$). Pour chaque température du Chuck (25°C à 175°C avec un pas de 75°C), la caractéristique IV est ensuite mesurée en mode pulsé à $V_{gsi} = 0V$ comme illustrée sur la figure 3.19a. Ensuite, la résistance R_{on} est extraite à partir de la pente de la région linéaire, et tracée en fonction de la température (figure 3.19b). Cette étape permet de caractériser précisément la sensibilité thermique du composant, constituant ainsi une base solide pour la modélisation thermique.

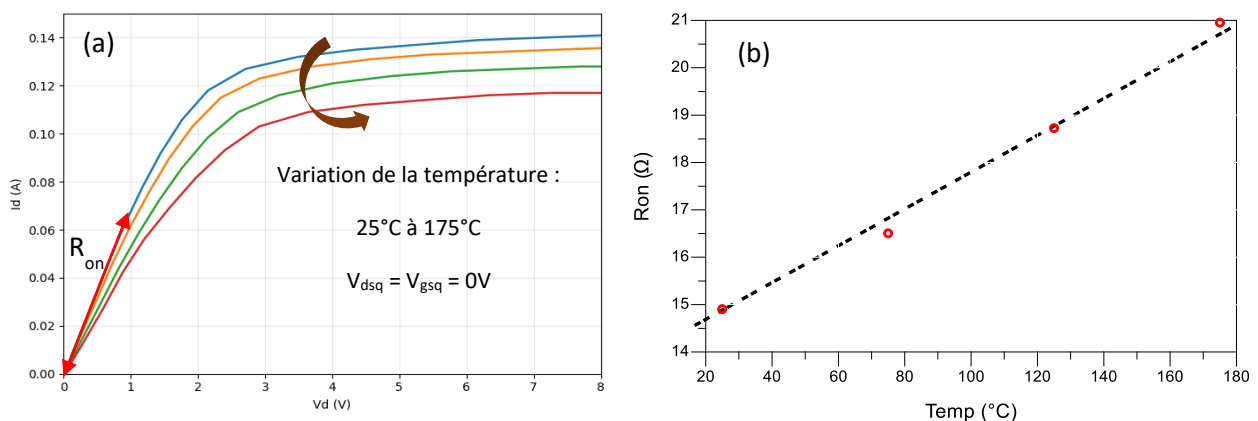


Figure 3.19 : (a) Mesure de la caractéristique IV en variant la température du Chuck et (b) évolution de la résistance R_{on} en fonction de la température

- **Variation de la puissance dissipée**

Dans la seconde étape, la puissance dissipée est modulée à partir de V_{dsq} , tout en maintenant $V_{gsq}=V_{gsi} = 0V$. La caractéristique IV est mesurée à $T_{amb} = 25^{\circ}C$ pour chaque point de repos (figure 3.20a). La résistance R_{on} est ensuite extraite dans la région linéaire et tracée en fonction de la puissance dissipée (figure 3.20b).

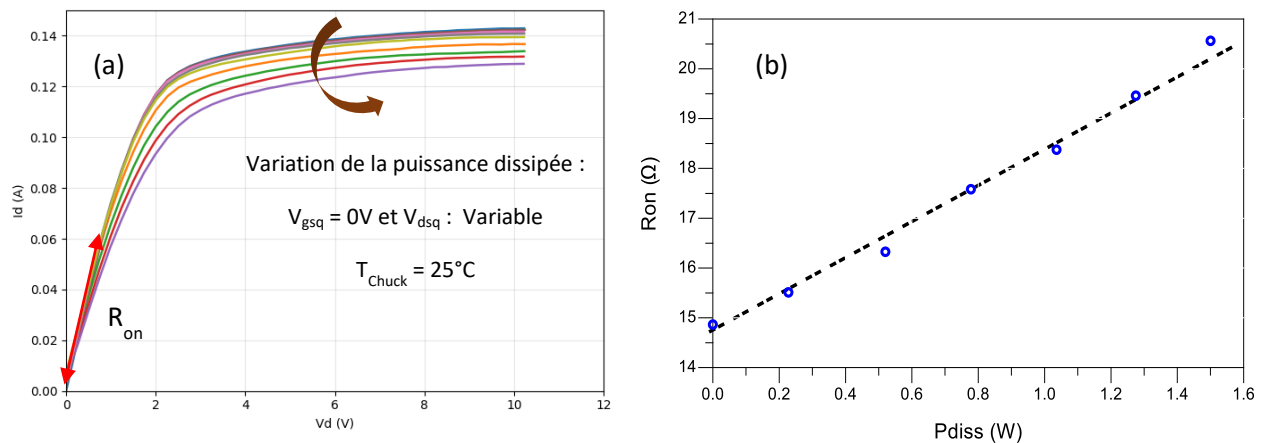


Figure 3.20 : (a) Mesure de la caractéristique IV en variant la tension V_{dq} et (b) évolution de la résistance R_{on} en fonction de la puissance dissipée

À partir des résultats combinés (figures 3.19b et 3.20b), il est possible de déterminer l'évolution de la température de jonction (T_j) en fonction de la puissance dissipée. La résistance thermique R_{th} du transistor est ensuite déduite à partir de la pente de cette courbe (figure 3.21).

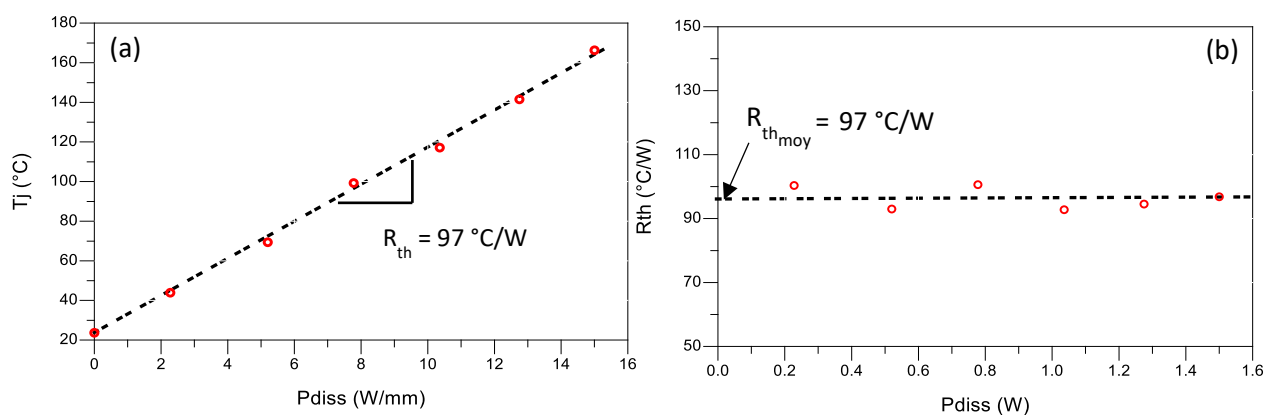


Figure 3.21 : (a) Evolution de la température en fonction de la puissance dissipée et (b) extraction de la résistance thermique à $T_c = 25^{\circ}C$

La figure 3.21a met en évidence une évolution linéaire de la température de canal (T_j) avec la puissance dissipée, validant l'hypothèse d'un échauffement homogène du dispositif. À partir de $\Delta T = T_j - T_0$ et P_{diss} , on obtient une valeur constante de R_{th} (figure 3.21b).

Dans notre étude, la valeur de $R_{th} = 97 \text{ }^{\circ}\text{C/W}$ mesurée pour le transistor MIS à $T_{chuck} = 25 \text{ }^{\circ}\text{C}$, est inférieure à celle obtenue par la méthode optique thermographie infrarouge, plus locale, pour laquelle $R_{th} = 116 \text{ }^{\circ}\text{C/W}$ [61]. La valeur mesurée sera utilisée pour estimer la température de jonction à divers points de polarisation et pour développer un modèle thermique intégré au modèle de courant.

4.2.3. Modèle thermique

Le modèle thermique du transistor est dérivé à partir de mesures électriques transitoires, exploitant l'évolution temporelle du courant de drain pour extraire les constantes de temps thermiques. Cette approche, particulièrement adaptée au cadre de la caractérisation thermique de dispositifs GaN, utilise des impulsions de largeur importante pour isoler l'effet d'auto-échauffement. La mesure est effectuée à température ambiante sur le banc pulsé. Une tension $V_{ds} = 10 \text{ V}$ est appliquée durant une impulsion de largeur $WV_{ds} = 10 \text{ ms}$, tandis que la tension de grille V_{gs} est maintenue constante.

Il est essentiel de choisir une tension V_{ds} suffisamment élevée et une tension V_{gs} faible afin que la décroissance du courant soit uniquement attribuable à l'échauffement thermique, comme montré en figure 3.22.

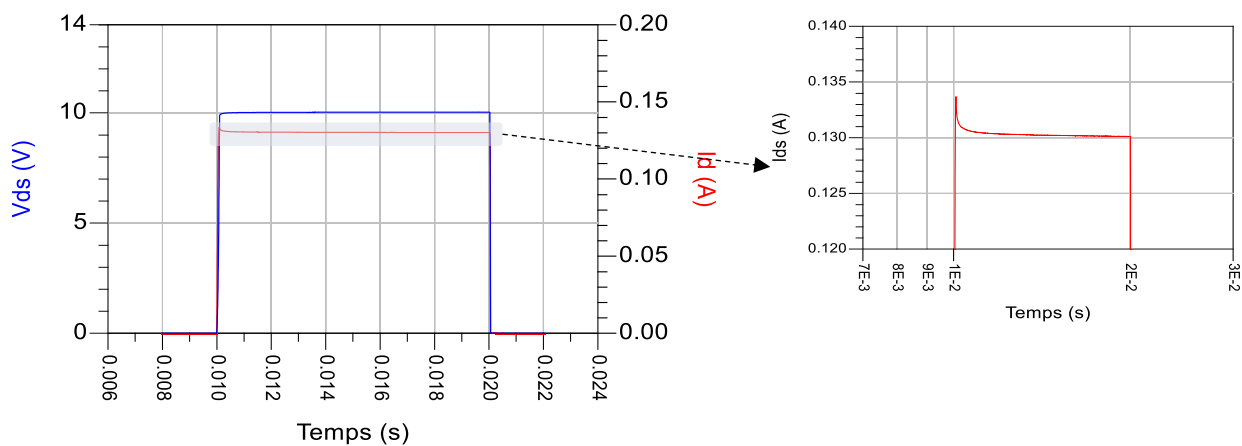


Figure 3.22 : Evolution du courant de drain en fonction du temps

Deux approches classiques existent pour modéliser la réponse thermique transitoire sous forme de réseaux RC [109] :

- **Modèle de Foster** (figure 3.23a), basé sur un ajustement mathématique par une somme d'exponentielles, offrant une extraction rapide et précise mais sans interprétation physique directe.
- **Modèle de Cauer** (figure 3.23b), dans lequel les résistances et capacités correspondent directement aux couches physiques du dispositif, permettant une interprétation physique plus intuitive.

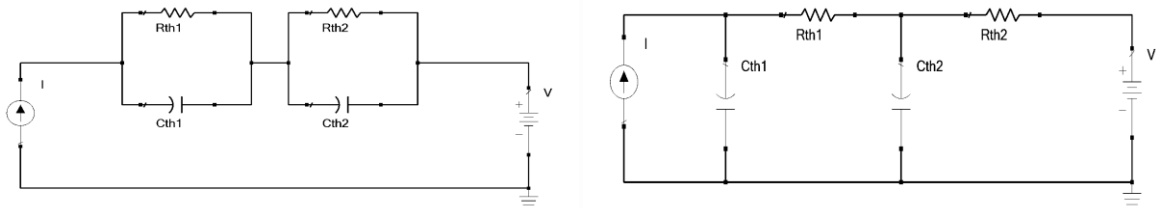


Figure 3.23 : (a) Représentation du modèle de Foster et (b) modèle de Cauer

Dans notre étude, nous avons retenu le modèle de Foster, en raison de sa simplicité et de sa capacité à reproduire fidèlement l'évolution du courant de drain. La décroissance du courant est modélisée par l'équation suivante :

$$i(t) = I_0 - \sum I_i \left(1 - e^{-\frac{t}{\tau_i}}\right) \quad (3.34)$$

Où I_0 est la valeur du courant au début de l'impulsion, et I_i correspond à la décroissance du courant associé à chaque constante de temps τ_i

Cette formulation permet d'identifier le nombre optimal de cellules RC nécessaires pour modéliser l'auto-échauffement. Après optimisation des valeurs de R et C (figure 3.24a), une comparaison simulation/mesure montre un excellent accord (figure 3.24b).

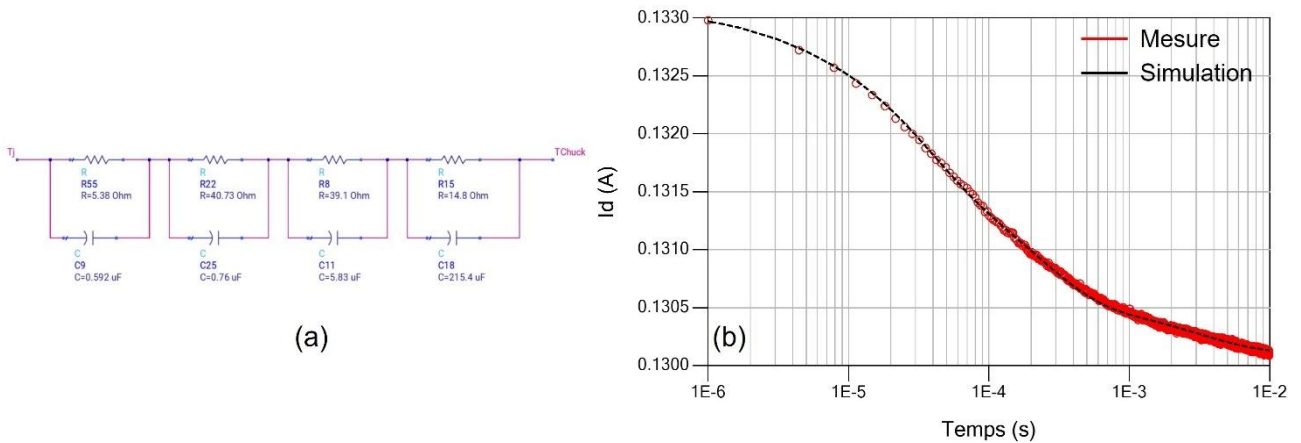


Figure 3.24 : (a) Modèle thermique du transistor MIS (Foster) et (b) Comparaison simulation et mesure de l'évolution temporelle du courant de drain

Dans le but de réaliser un modèle électrothermique du transistor tenant compte de l'influence de la température sur la caractéristique IV, il est indispensable d'identifier les paramètres du modèle dépendant de la température, afin d'intégrer le modèle thermique au modèle global de courant.

4.2.4. Variation des paramètres du modèle en fonction de la température

Une caractérisation IV pulsée a été effectuée pour différentes températures du Chuck. Les paramètres clés du modèle, notamment I_{pk} et P1, ainsi que les résistances d'accès R_s et R_d , ont été optimisés pour chaque température. La figure 3.25 montre que leur évolution est quasi linéaire avec la température, ce qui valide la pertinence du modèle choisi.

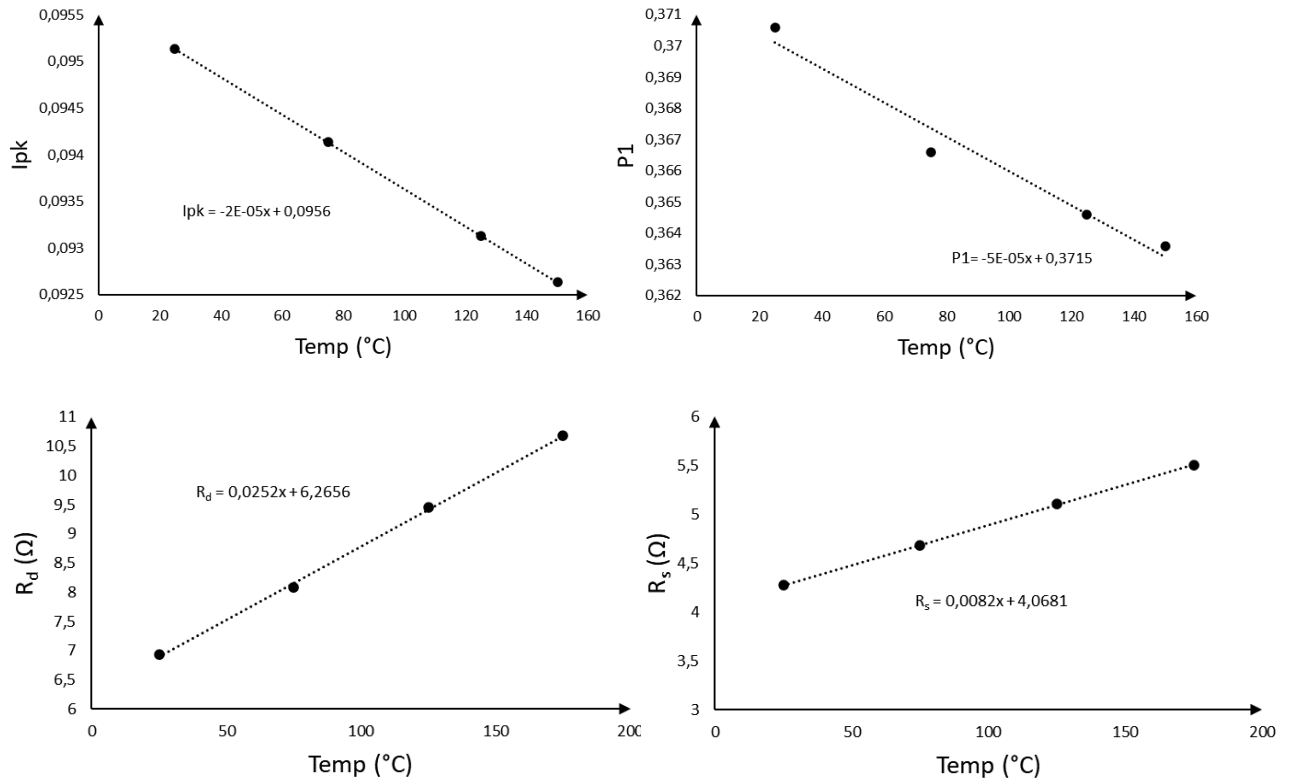


Figure 3.25 : Evolution des paramètres du modèles en fonction de la température

Ces paramètres sont intégrés au modèle à partir des équations suivantes :

- Pour le modèle de courant :

$$I_{pk} = I_{pko} \cdot (1 + a_{ipk} \cdot T) \quad (3.35)$$

$$P_1 = P_{1o} \cdot (1 + a_{p1} \cdot T) \quad (3.36)$$

- Pour les résistances d'accès :

$$R_s = R_{so} \cdot (1 + a_{rs} \cdot T) \quad (3.37)$$

$$R_d = R_{do} \cdot (1 + a_{rd} \cdot T) \quad (3.38)$$

On présente sur la figure 3.26, une comparaison entre la mesure et le modèle intégrant la variation des paramètres dépendants de la température. Cette figure montre que l'évolution de la caractéristique IV avec la température est correctement reproduite. La courbe en rouge correspond à la condition $T_{Chuck} = 50^\circ\text{C}$, tandis que la courbe bleue représente la mesure à 150°C .

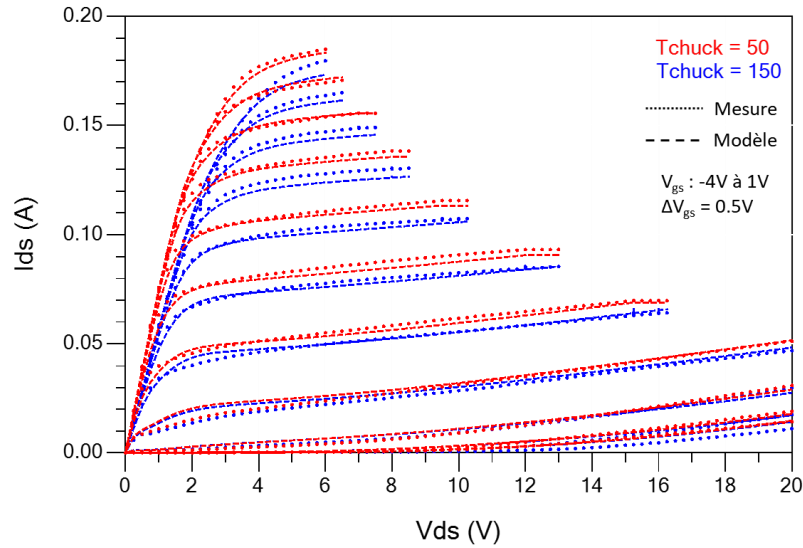


Figure 3.26 : Comparaison entre mesure et simulation du modèle de la caractéristique IV en fonction de la température

Le modèle thermique développé à partir de réseau RC modélisant l'auto-échauffement du composant est ensuite ajouté au modèle complet du transistor. La figure 3.27 présente une comparaison mesure/modèle de la caractéristique IV en condition de mesure DC à température ambiante, où la réduction du courant de sortie à fort V_{ds} est bien introduite grâce au modèle thermique.

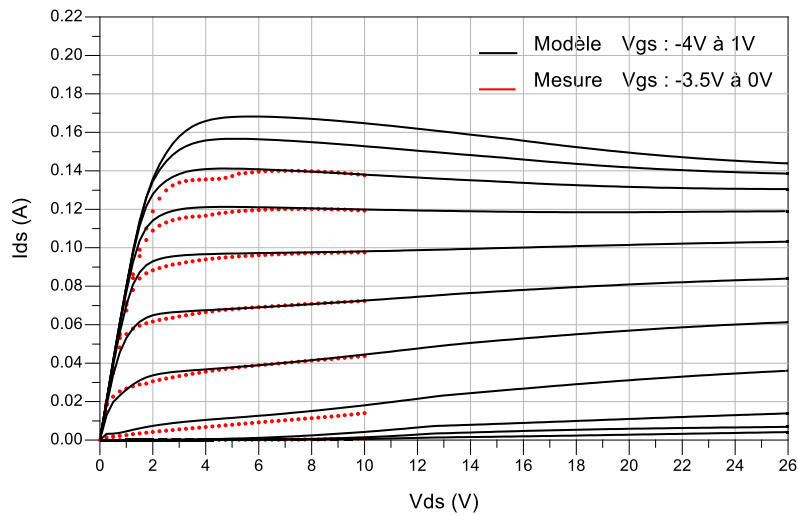


Figure 3.27 : Comparaison mesure/modèle de la caractéristique IV en condition de mesure DC

4.3. Modélisation non linéaire des capacités

L'analyse en petit signal des paramètres intrinsèques du transistor a mis en évidence que les non-linéarités dominantes concernent principalement les capacités C_{gs} et C_{gd} , dont les valeurs varient fortement avec les tensions V_{gs} et V_{ds} . Dans le cadre de la modélisation large signal, cette dépendance peut être simplifiée en une seule variable (modélisation 1D) ou en deux variables (modélisation 2D) afin d'améliorer la scalabilité et la précision du modèle.

Compte tenu de la sensibilité des capacités à la température et au point de polarisation, leur extraction est réalisée via des mesures pulsées du réseau IV et des paramètres S, en se plaçant au point de polarisation représentatif de l'application visée. Le banc de mesure dédié, décrit au chapitre 2, permet de minimiser l'auto-échauffement et d'obtenir des valeurs fiables. Le modèle choisi, validé en CW jusqu'à 110GHz, est ici appliqué aux mesures S-pulsé.

Deux approches sont présentées ci-après : la modélisation 1D, adaptée à des conditions de polarisation spécifiques, et la modélisation 2D, plus générale et physiquement cohérente.

4.3.1. Modélisation non linéaire à 1D

Dans le cas d'une application en amplification de puissance, il est possible d'extraire la variation des capacités C_{gs} et C_{gd} le long d'une droite de charge, en fonction de V_{gs} et V_{gd} respectivement. Cette approche simplifie la modélisation et permet une validation locale autour d'un point de polarisation donné.

Le modèle 1D repose sur des équations utilisant des tangentes hyperboliques [110] afin de décrire la variation continue des capacités :

$$C_{gn} = C_{gn0} + \frac{C_{gn1} - C_{gn0}}{2} \left(1 + \tanh(a_{gn} \cdot (V_{gn} + V_{m,gn})) \right) - \frac{C_{gn2}}{2} \cdot \left(1 + \tanh(b_{gn} \cdot (V_{gn} + V_{p,gn})) \right) \quad (3.39)$$

Les paramètres de ces capacités non linéaires en 1D sont présentés dans le tableau suivant :

C_{gs0}	C_{gs1}	C_{gs2}	a_{gs}	b_{gs}	V_{mgs}	V_{pgs}
$4,56 \cdot 10^{-14}$	$1,85 \cdot 10^{-13}$	$5,45 \cdot 10^{-14}$	0,95	1,37	3,06	1,83
C_{gd0}	C_{gd1}	C_{gd2}	a_{gd}	b_{gd}	V_{mgd}	V_{pgd}
$1,78 \cdot 10^{-14}$	$5,6 \cdot 10^{-14}$	$-1,92 \cdot 10^{-15}$	0,35	0,88	5,74	15,1

Table 3.4 : Paramètres du modèle des capacités non linéaires C_{gs} et C_{gd} en 1D

La figure 3.28 présente la comparaison entre les capacités C_{gs} et C_{gd} extraites des mesures de paramètres S au modèle, présentant un bon ajustement.

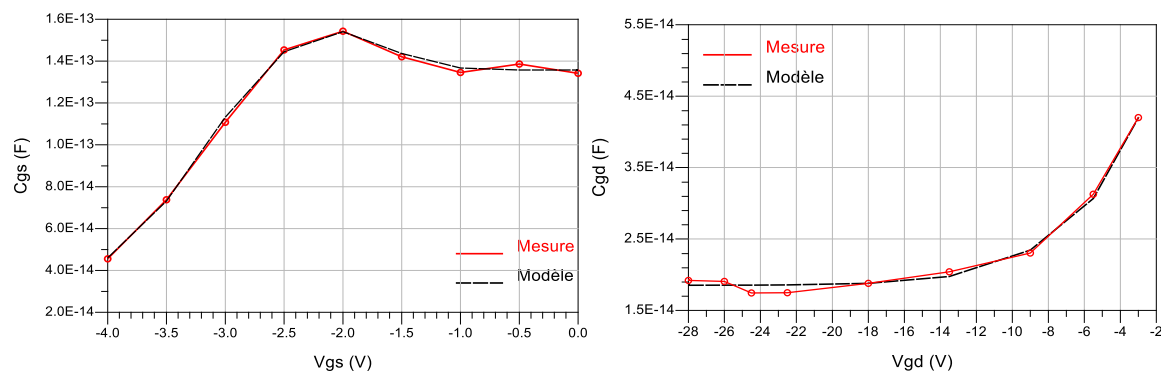


Figure 3.28 : Comparaison mesure/modèle de la capacité C_{gs} en fonction de V_{gs} et C_{gd} en fonction de V_{gd} extrait le long de la droite de charge

4.3.2. Modélisation non linéaire à 2D

Pour des applications à large bande ou dans des conditions de polarisation variables, une approche plus complète est nécessaire. La modélisation 2D décrit la dépendance des capacités C_{gs} et C_{gd} simultanément en fonction de V_{gs} et V_{ds} . Cette méthode est basée sur le modèle de charge dérivé du modèle de Chalmers, qui assure la conservation de la charge, condition indispensable pour garantir la convergence numérique lors des simulations large signal.

Au lieu de modéliser directement les capacités, cette approche repose sur l'intégration des charges différentielles Q_{gs} et Q_{gd} , calculées à partir de V_{gs} et V_{ds} [111]. Les équations suivantes définissent ce comportement :

$$Q_{gs} = \int C_{gs} \cdot (V_{gs}, V_{ds}) dV_{gs} \quad (3.40)$$

$$Q_{gs} = C_{gs0} V_{gs} + \frac{C_{gs0}}{P_{11}} \cdot (1 - P_{111} + \tanh(P_{20} + P_{21} \cdot V_{ds})) \cdot (Phi_1 + \ln(\cosh(Phi_1)) - Q_{gs0}) + 2 \cdot C_{gs0} \cdot P_{111} \cdot V_{gs} \quad (3.41)$$

$$Q_{gd} = \int C_{gd} \cdot (V_{gs}, V_{ds}) dV_{gd} \quad (3.42)$$

$$Q_{gd} = C_{gd0} V_{gd} + \frac{C_{gd0}}{P_{41}} \cdot (1 - P_{111} + \tanh(P_{30} + P_{31} \cdot V_{ds})) \cdot (Phi_4 + \ln(\cosh(Phi_4)) - Q_{gd0}) + 2 \cdot C_{gd0} \cdot P_{111} \cdot V_{gd} \quad (3.43)$$

$$Phi_1 = P_{10} + P_{11} \cdot V_{gs} + P_{111} \cdot V_{ds} \quad (3.44)$$

$$Q_{gs0} = P_{10} + P_{111} \cdot V_{ds} + \ln(\cosh(P_{10} + P_{111} \cdot V_{ds})) \quad (3.45)$$

$$Phi_4 = P_{40} + P_{41} \cdot V_{gd} - P_{111} \cdot V_{ds} \quad (3.46)$$

$$Q_{gd0} = P_{40} - P_{111} \cdot V_{ds} + \ln(\cosh(P_{40} - P_{111} \cdot V_{ds})) \quad (3.47)$$

Les expressions analytiques de Q_{gs} et Q_{gd} garantissent une description continue et cohérente des non-linéarités, tout en évitant les fuites de courant continu susceptibles de se produire dans les modèles de capacités classiques. Ce formalisme offre également une meilleure robustesse numérique, un avantage majeur pour la simulation en large signal.

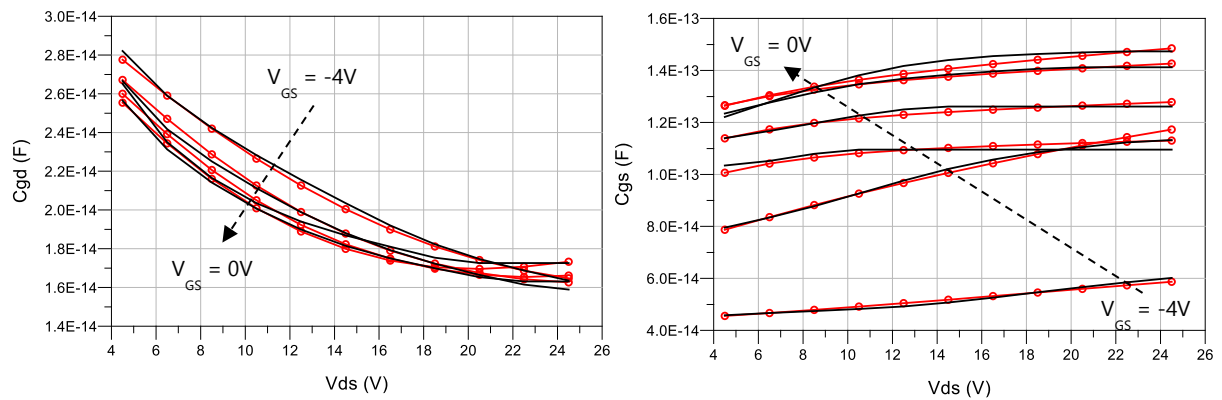


Figure 3.29 : Comparaison mesure/modèle des capacités C_{gs} et C_{gd} en fonction des tensions V_{gs} (-4V à 0V) et V_{ds} (4V à 24V)

Les paramètres de ces capacités non linéaires en 2D sont présentés dans le tableau suivant :

$C_{gs\pi}$	C_{gs0}	P_{10}	P_{11}	P_{20}	P_{21}	P_{111gs}
$4,4 \cdot 10^{-14}$	$2,59 \cdot 10^{-14}$	6,75	2,84	0,05	0,097	0,04
$C_{gd\pi}$	C_{gd0}	P_{30}	P_{31}	P_{40}	P_{41}	P_{111gd}
$1,55 \cdot 10^{-15}$	$2,37 \cdot 10^{-14}$	-0,046	-0,08	-0,129	-0,26	0,256

Table 3.5 : Paramètre du modèle de charge des capacités C_{gs} et C_{gd}

4.4. Modèle de piège

Les transistors GaN HEMT sont particulièrement sensibles aux effets de piégeage, responsables de phénomènes tels que le drain lag et de dégradations significatives des performances en grand signal, qui ne sont pas visibles lors des mesures DC classiques. Ces effets se traduisent par une réduction dynamique du courant de drain et une dispersion des caractéristiques RF, nécessitant une modélisation spécifique pour garantir la précision des simulations.

Plusieurs modèles de piège ont été proposés pour représenter l'effet dispersif dans les composants GaN, notamment celui développé par Chalmers [112], qui consiste à ajouter un circuit RC en parallèle à la sortie du circuit équivalent (figure 3.30). Ce modèle n'est pas présenté en tant que modèle de piège stricto sensu, mais plutôt comme une méthode permettant de prendre en compte les effets dispersifs induits par les pièges.

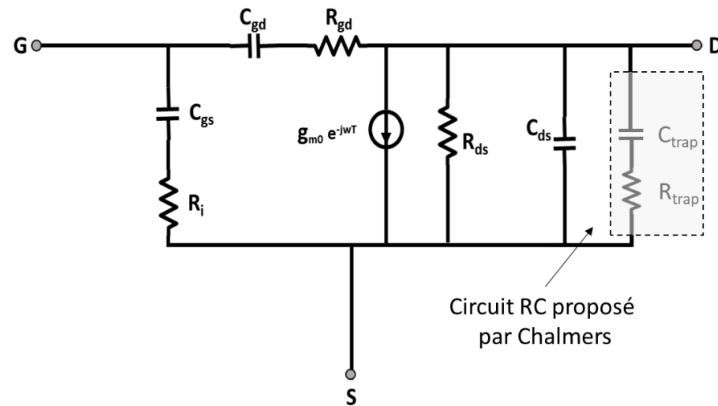


Figure 3.30 : Proposition du circuit RC pour modéliser les effets dispersifs du transistor

L'objectif de ce modèle est de corriger l'écart de conductance de sortie en condition RF et en DC. Cette différence, notée $\Delta G_{ds} = G_{dsRF} - G_{dsDC}$, est une conséquence directe des effets de piégeages qui se manifestent à faible fréquence.

Cependant, ce modèle présente des inconvénients, notamment son incapacité à distinguer les processus de capture et d'émission des pièges, ainsi qu'une précision très limitée à prédire l'impact des pièges sur les performances grand signal du transistor.

En raison de ces limitations, nous avons retenu un second modèle, développé par O. Jardel [113], qui repose sur la modification des tensions contrôlant la source de courant, afin reproduire l'influence des états de pièges sur la source de courant. Ce modèle, illustré en figure 3.31, est intégré sous forme de sous-circuit dans le modèle global du transistor.

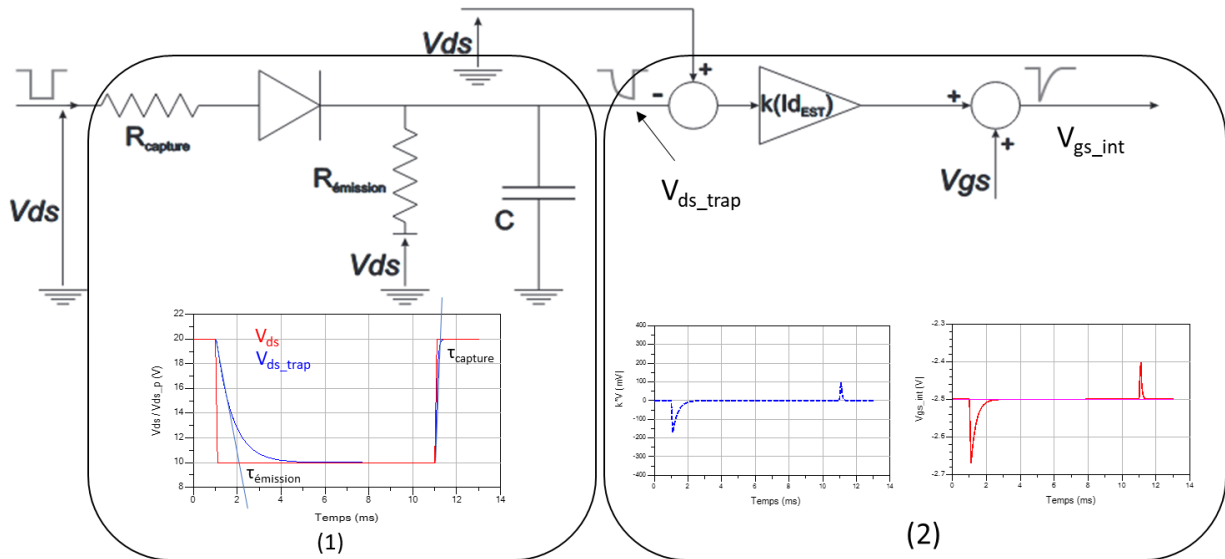


Figure 3.31 : Circuit du modèle de drain lag

Le circuit proposé vise à reproduire la dynamique de capture et d'émission des pièges, influençant la polarisation de la grille en générant une tension interne V_{gs_int} qui impacte directement l'évolution du courant de drain. Ce modèle, se décompose en trois étapes principales :

- (1) **Détecteur d'enveloppe** : Un circuit RC est utilisé pour modéliser l'asymétrie entre les temps de capture et d'émission des pièges. Lorsque la tension V_{ds} augmente, la diode devient conductrice, ce qui permet une charge rapide de la capacité à travers la résistance $R_{capture}$. Lorsque V_{ds} diminue, la diode se bloque et la capacité se décharge lentement via une résistance plus élevée $R_{émission}$. Ce mécanisme traduit fidèlement le fait que la capture des charges est un processus rapide, tandis que leur émission est plus lente et dispersive.
- (2) **Modification de la tension V_{gs}** : La tension obtenue lors de la première étape est soustraite à tension V_{ds} , puis multipliée par un facteur d'amplification k . Ce facteur ajuste l'amplitude du transitoire associé aux pièges. Le signal corrigé est ensuite ajouté à la tension V_{gs} aboutissant à la tension de grille interne V_{gs_trap} . Cette dernière permet au modèle de prédire avec précision le comportement dynamique du dispositif sous l'influence des phénomènes de piégeage.

4.4.1. Extraction des paramètres du modèle

Les paramètres du modèle sont déterminés à partir de la réponse transitoire du courant de drain à une impulsion appliquée sur la tension V_{ds} . Cette méthode repose sur l'asymétrie intrinsèque entre les deux phénomènes physiques :

- La capture, associée à une constante de temps rapide.
- L'émission, caractérisée par une constante de temps plus lente.

La figure 3.32 illustre les conditions expérimentales permettant l'extraction de ces paramètres. Pour mesurer le temps d'émission, une impulsion négative est appliquée à V_{ds} (passage de 25 V à 10 V), ce qui provoque la réémission progressive des charges piégées. La tension de grille V_{gs} est fixée légèrement en dessous de la tension de pincement, afin de limiter l'auto-échauffement et de garantir des conditions de mesure quasi-isothermes.

Les mesures sont effectuées à la température représentative de l'application visée, assurant ainsi une prise en compte réaliste de la dépendance thermique des constantes de temps des pièges.

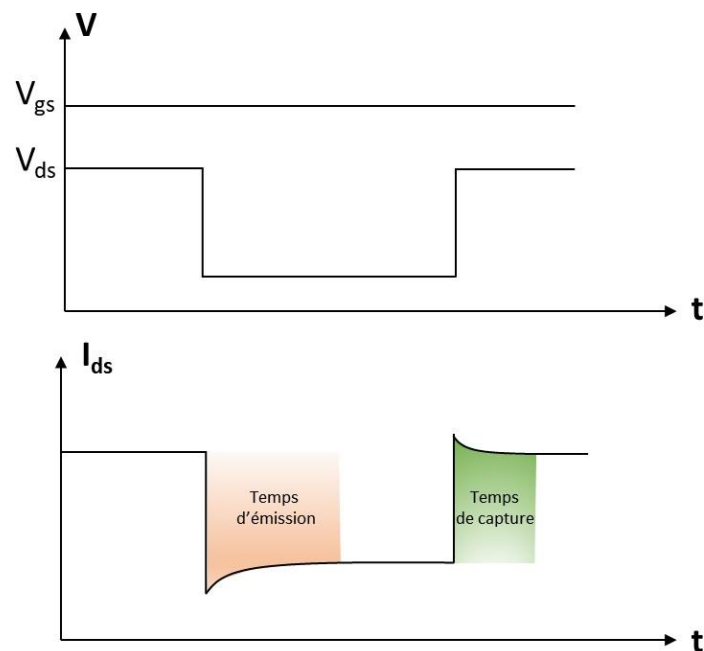


Figure 3.32 : Diagramme représentant l'évolution temporelle du courant de drain permettant de relever les temps de capture et d'émission des pièges

4.4.2. Mise à l'échelle des paramètres du modèle de la source de courant

La caractéristique IV du transistor est fortement influencée par les états des pièges, lesquels sont directement contrôlés par la tension de polarisation au repos (V_{gq} , V_{dq}). Pour intégrer cet effet, certains paramètres clés du modèle de la source de courant sont rendus sensibles à l'état des pièges grâce à des mesures pulsées réalisées pour différentes valeurs de V_{dq} . Cette approche innovante permet d'obtenir un modèle plus robuste et prédictif.

Des mesures pulsées ont été réalisées pour deux points de repos adaptés à des applications en amplification de puissance : $V_{gq} = -2,5V$ et $V_{dq} = 0V, 10V$ et $20V$. Trois paramètres principaux ont été identifiés comme étant sensibles aux effets de piégeage : v_{pk} , α_m , α_s . Leurs variations en fonction de V_{dq} sont présentées dans la figure 3.33.

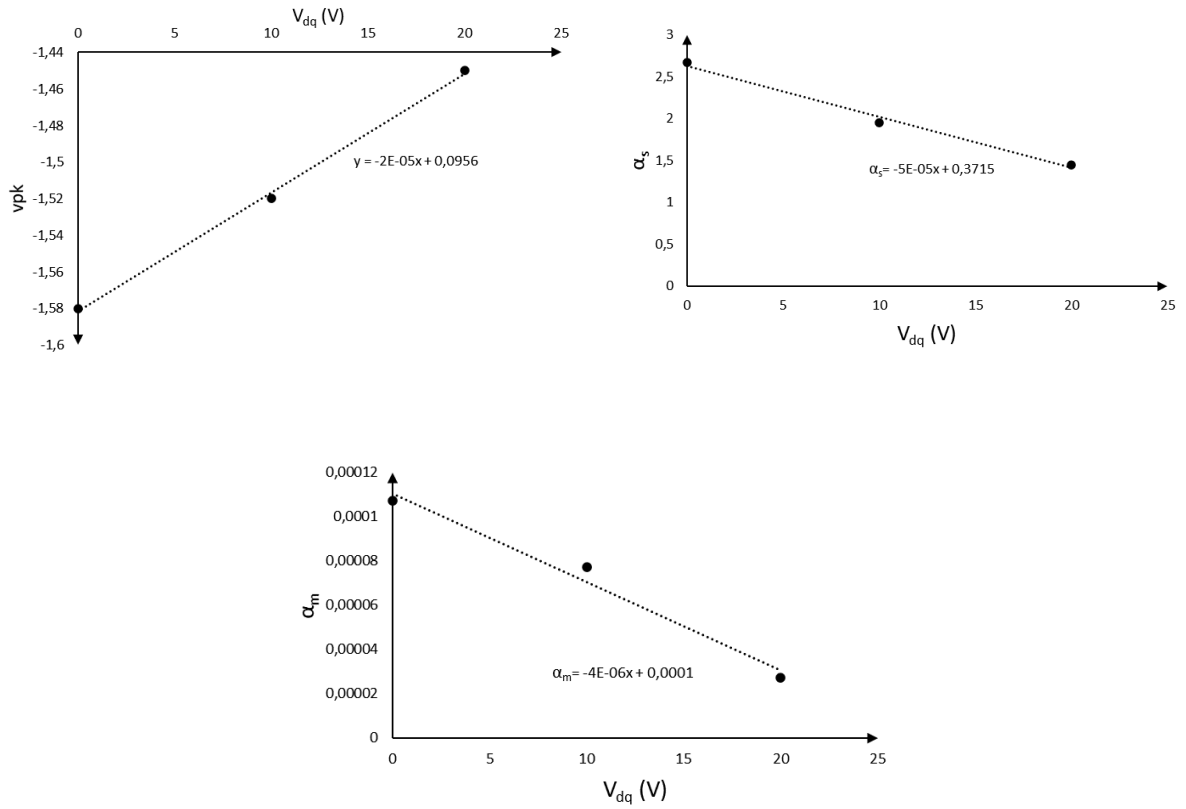


Figure 3.33 : Evolution des paramètres du modèle de courant en fonction de la tension de repos V_{dq}

Ces paramètres sont intégrés au modèle à partir des équations suivantes :

$$v_{pk} = v_{pk0} \cdot (1 + a_{vpk} \cdot V_{ds_trap}) \quad (3.48)$$

$$\alpha_m = \alpha_{m0} \cdot (1 + a_{\alpha m} \cdot V_{ds_trap}) \quad (3.49)$$

$$\alpha_s = \alpha_{s0} \cdot (1 + a_{\alpha s} \cdot V_{ds_trap}) \quad (3.50)$$

La figure 3.34 montre la comparaison entre les mesures et les simulations du modèle IV intégrant cette dépendance à l'état des pièges. Cette validation met en évidence la capacité du modèle à reproduire avec précision l'impact des pièges sur la caractéristique courant-tension. Bien que leur effet reste relativement faible dans la structure de ce composant, il est nécessaire de le prendre en compte lors de la validation du modèle en large signal.

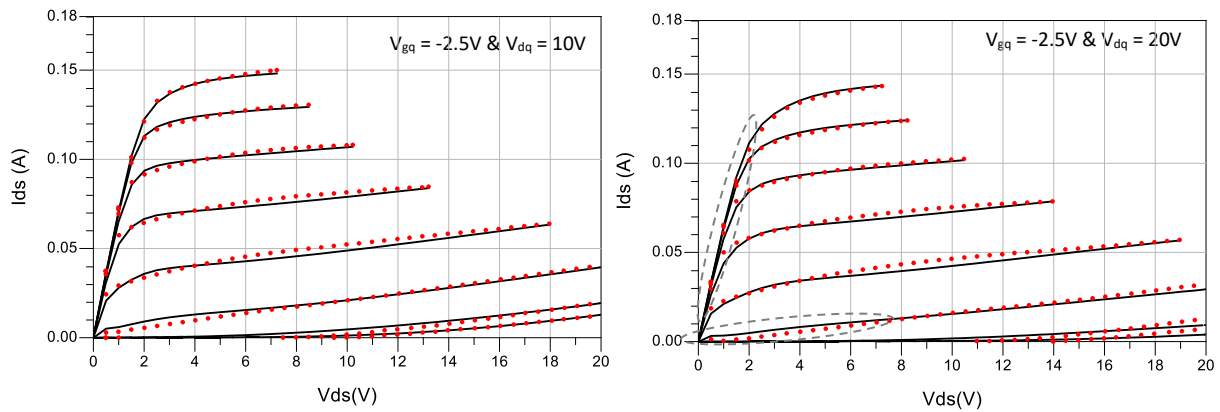


Figure 3.34 : Comparaison mesures (rouge)/modèle (noir) de la caractéristique IV à deux polarisations de repos à $V_{gq} = -2,5V$ et $V_{dq} = 10V$ et $20V$

5. Validation du modèle large signal

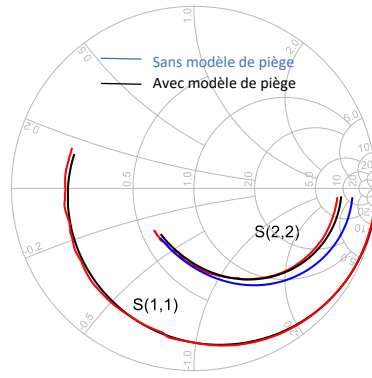
L'évaluation du modèle a été conduite en deux étapes :

- Validation en petit signal, par comparaison des mesures et des simulations des paramètres S autour du point de polarisation.
- Validation en grand signal, via l'étude des performances en puissance à partir de mesures load-pull réalisées à 28 GHz et 40 GHz.

Cette double validation sera conduite sur un composant MIS de taille $2 \times 50 \mu m$ et $L_g = 150 nm$.

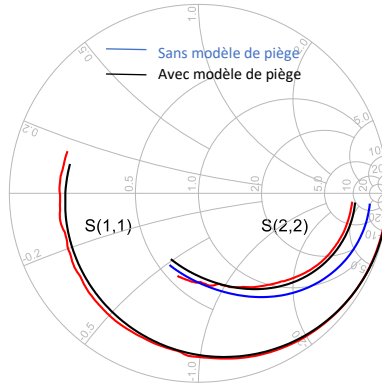
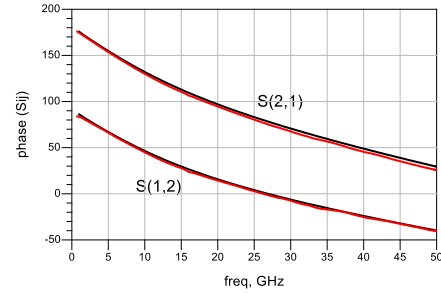
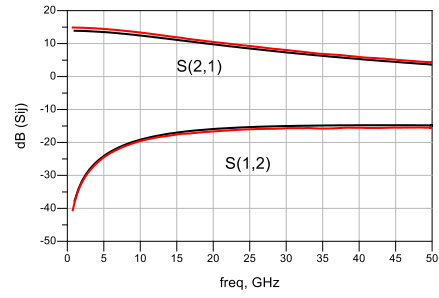
5.1. Validation du modèle en petit signal

La figure 3.35 illustre une comparaison entre les paramètres S mesurés et simulés pour deux points de polarisation cohérents avec l'application visée ($V_{gs} = -2,5 V$, $V_{ds} = 10 V$) et ($V_{gs} = -2,7 V$, $V_{ds} = 20 V$). Le modèle intègre à la fois la source de courant, la modélisation bidimensionnelle des capacités intrinsèques (C_{gs} et C_{gd}) et le modèle de piège.



(a)

$$V_{gs} = -2,5V \text{ et } V_{ds} = 10V$$



(b)

$$V_{gs} = -2,7V \text{ et } V_{ds} = 20V$$

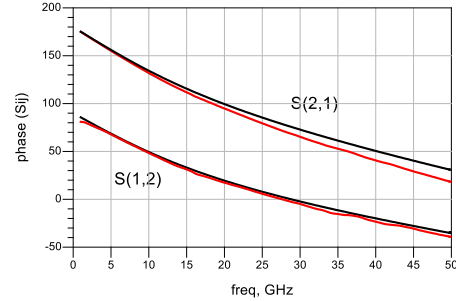
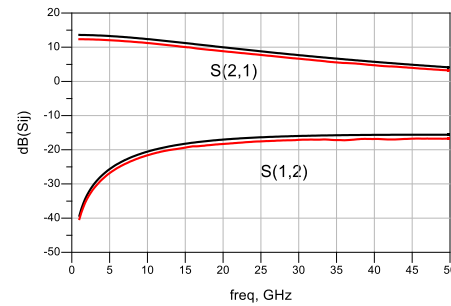


Figure 3.35 : Comparaison entre modèle (noir)/mesure (rouge) des paramètres S à deux polarisations
(a) $V_{gs} = -2,5V$ et $V_{ds} = 10V$ et (b) $V_{gs} = -2,7V$ et $V_{ds} = 20V$

Un excellent accord est observé, particulièrement pour le paramètre S_{22} . La courbe en bleu, représentant le modèle sans l'intégration des pièges, montre une divergence significative avec les mesures. L'ajout du modèle de piège corrige cet écart en tenant compte de la différence entre la conductance en régime DC et en RF. Cette amélioration est cruciale pour une détermination précise de l'impédance de sortie et une meilleure prédiction des performances en puissance.

5.2. Validation du modèle en large signal

5.2.1. Performances optimales à 40GHz

La figure 3.37 présente une rétro simulation comparant le modèle et les mesures load-pull à 40 GHz pour un transistor de référence MISHEMT ($2 \times 50 \mu\text{m}$, $L_g = 150 \text{ nm}$, $L_{gs} = 400 \text{ nm}$, $L_{gd} = 0,7 \mu\text{m}$). Le point de polarisation retenu est $V_{ds} = 20 \text{ V}$ et $I_{ds} = 122 \text{ mA/mm}$ (classe AB) pour une impédance de sortie optimale $\Gamma_{load} = 0.66 \angle 83^\circ$. Dans ces conditions, le composant délivre une puissance de sortie de 6,6 W/mm associé à une efficacité énergétique de 40%.

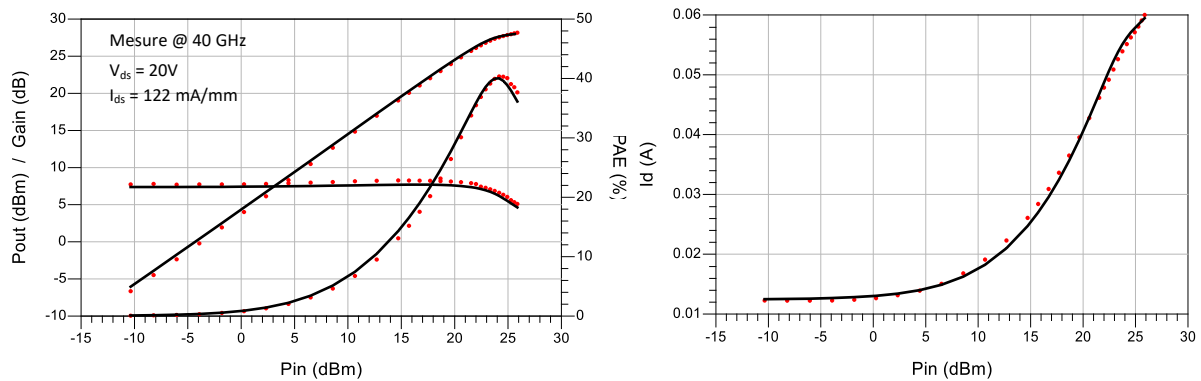
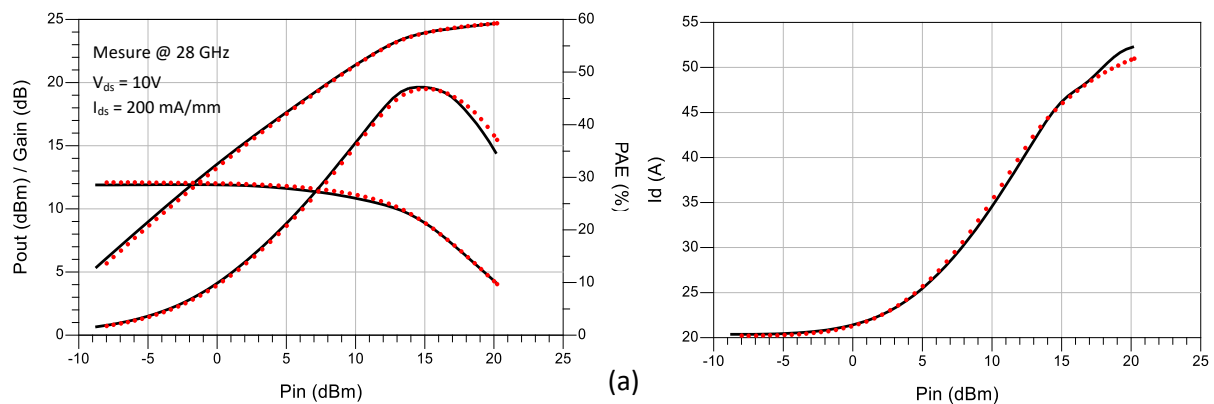


Figure 3.37 : Comparaison entre modèle (noir) / mesure (rouge) en load pull à 40 GHz à une polarisation $V_{ds} = 20 \text{ V}$ et $I_{ds} = 122 \text{ mA/mm}$

5.2.2. Performances optimales à 28 GHz

Une seconde validation du modèle à 28 GHz a été réalisée à partir de mesures effectuées chez Focus Microwaves, et pour lesquelles l'adaptation d'impédance a été réalisée en entrée et en sortie du transistor. La figure 3.38, compare le modèle aux meilleurs résultats de mesures obtenus sur le composant de référence de la technologie MISHEMT de taille $2 \times 50 \mu\text{m}$, avec $L_g = 150 \text{ nm}$ et $L_{gs} = 400 \text{ nm}$, $L_{gd} = 1,1 \mu\text{m}$.

Les résultats sont présentés pour $V_{ds} = 10 \text{ V}$ (figure 3.38a), avec une adaptation en entrée $\Gamma_{in} = 0,8 \angle 166^\circ$ et $\Gamma_{load} = 0,62 \angle 65^\circ$, puis pour $V_{ds} = 20 \text{ V}$ (figure 3.38b) avec $\Gamma_{in} = 0,8 \angle 153^\circ$ et $\Gamma_{load} = 0,73 \angle 56^\circ$.



$V_{ds} = 10 \text{ V}$

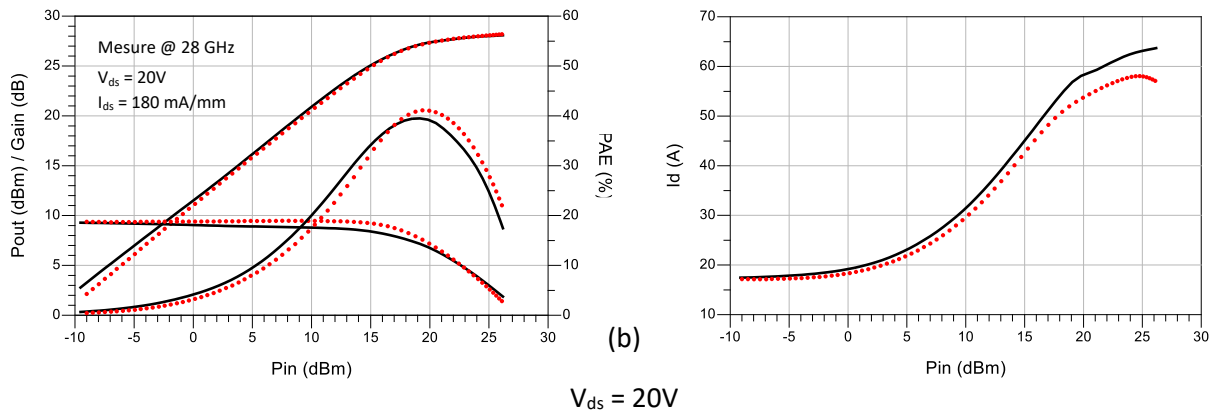


Figure 3.38 : Comparaison entre modèle (noir) / mesure (rouge) en load pull à 28 GHz à une polarisation (a) $V_{ds} = 10V$ et $I_{ds} = 200 \text{ mA/mm}$ et (a) $V_{ds} = 20V$ et $I_{ds} = 180 \text{ mA/mm}$

La figure 3.38, montrent une bonne corrélation entre modèle et mesures pour les deux conditions de polarisations. À $V_{ds} = 10V$ et $I_{ds} = 200 \text{ mA/mm}$, on relève la meilleure valeur de PAE qui atteint 47% pour une puissance de sortie $P_{out} = 2,9 \text{ W/mm}$. À $V_{ds} = 20V$ et $I_{ds} = 180 \text{ mA/mm}$, la puissance de sortie maximale atteint $6,6 \text{ W/mm}$, associée à une PAE de 41%. Ces résultats montrent que l'augmentation de la tension V_{ds} permet de délivrer une forte puissance au prix d'une baisse de l'efficacité énergétique du composant.

5.2.3. Comparaison du modèle à différente impédance

La figure 3.39 présente les mesures load-pull réalisées à 28 GHz pour différentes impédances de sortie, représentées sur un abaque de Smith. Cette analyse valide la capacité du modèle à prédire les performances du composant sur une large gamme d'impédances, un atout essentiel pour la conception d'amplificateurs de puissance large bande.

• Simulation à $V_{ds} = 10V$:

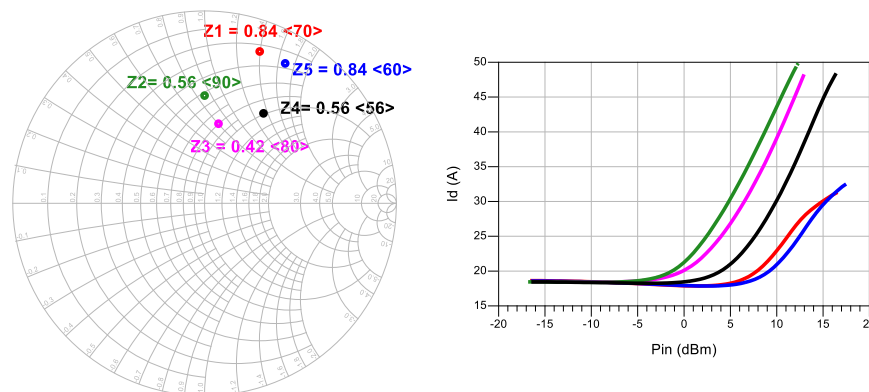


Figure 3.39 : Impédances de sorties mesurées à 28 GHz pour $V_{ds} = 10V$

Certaines impédances, telles que Z1 et Z5, situées en périphérie de l'abaque, révèlent des effets de piégeage marqués. Ceux-ci se traduisent par une diminution du courant de drain lorsque la puissance d'entrée augmente, illustrant ainsi la pertinence du modèle pour prédire des phénomènes dynamiques complexes et critiques pour les applications en haute fréquence.

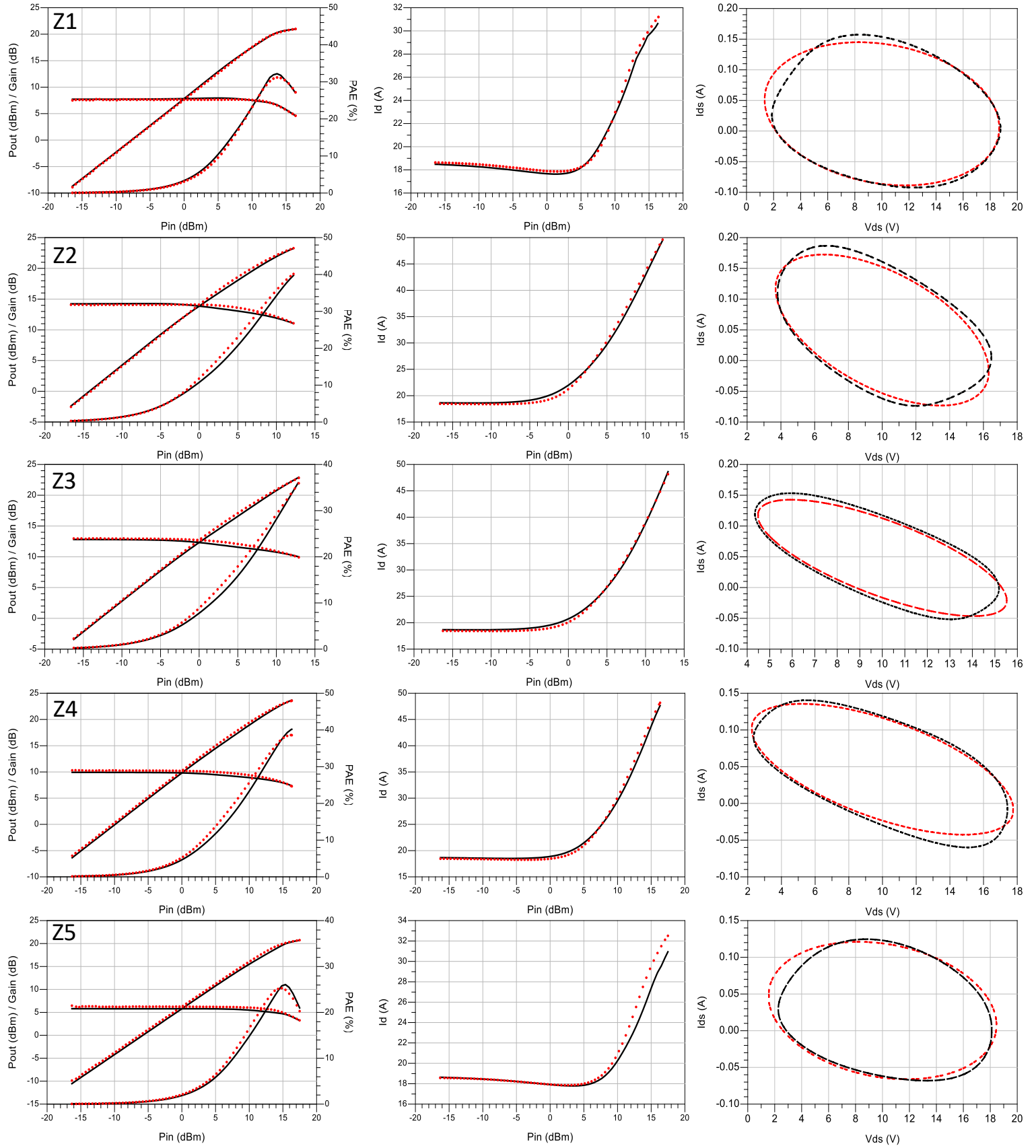


Figure 3.40 : Comparaison Modèle(noir)/Mesure(rouge) load pull à 28GHz à $V_{ds}=10V$ pour différentes impédances de sortie et cycle de charge extrinsèque à P_{in} associé à PAE_{max}

- Simulation à $V_{ds} = 20V$

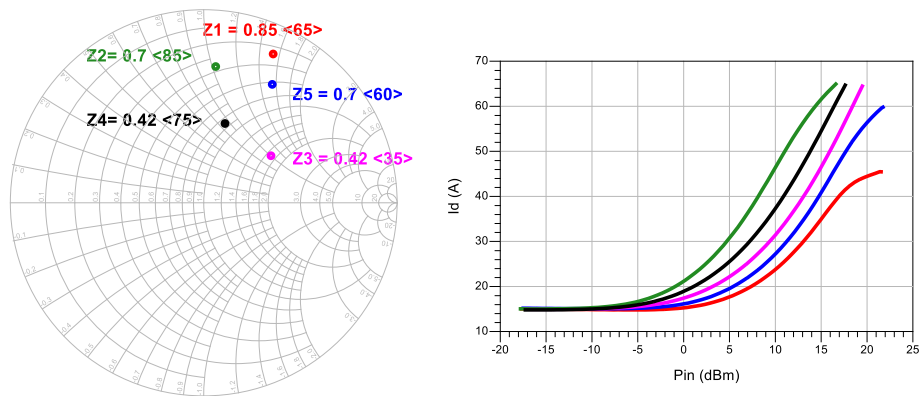
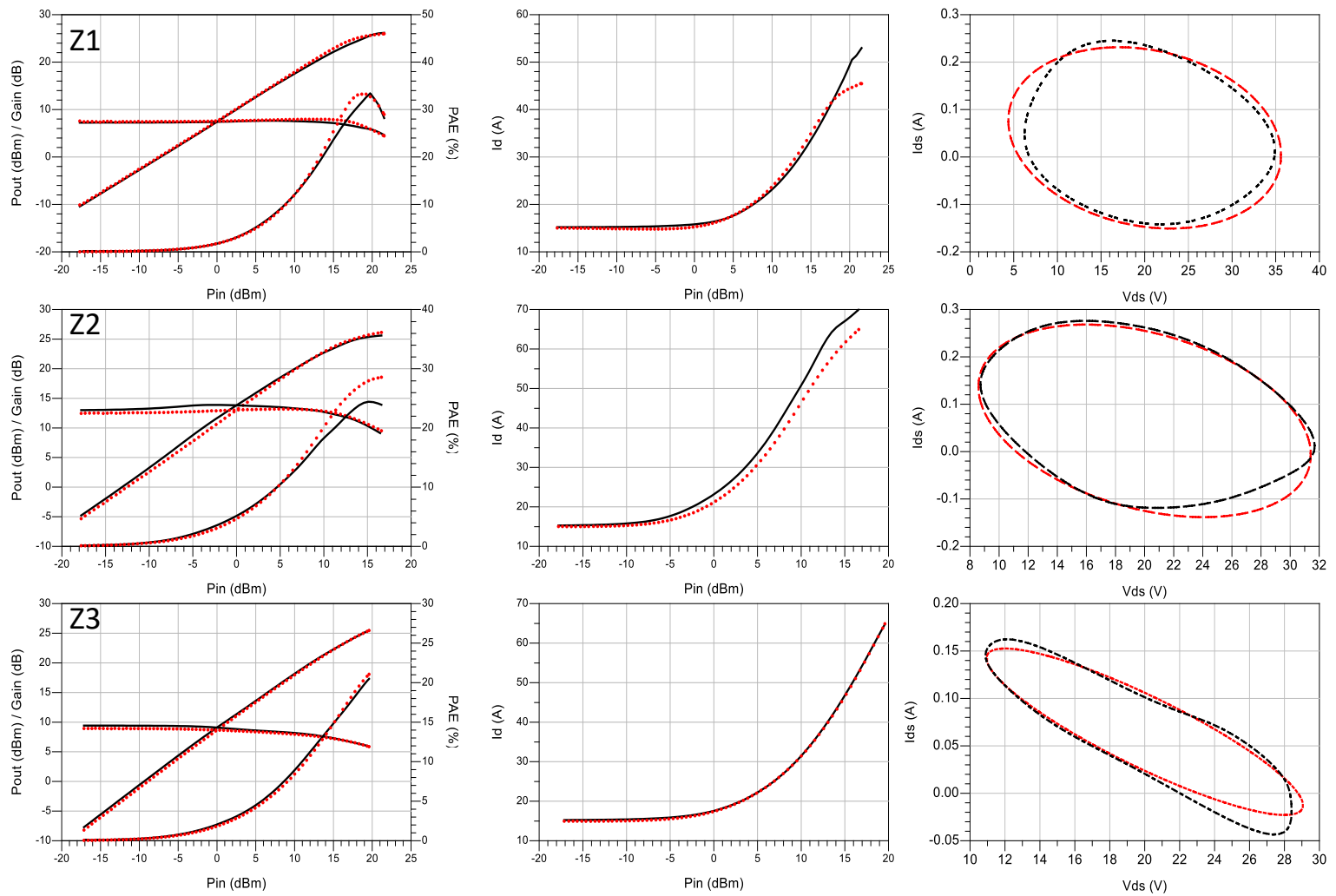


Figure 3.41 : Impédances de sorties mesurées à 28 GHz pour $V_{ds} = 20V$

La figure 3.42, illustre une comparaison entre le modèle et les mesures load pull réalisées à différentes impédances de charge (figure 3.41) mesurée à $V_{ds}=20V$. Cette comparaison présente un bon accord avec les performances en puissance ainsi que sur le cycle de charge extrinsèque.



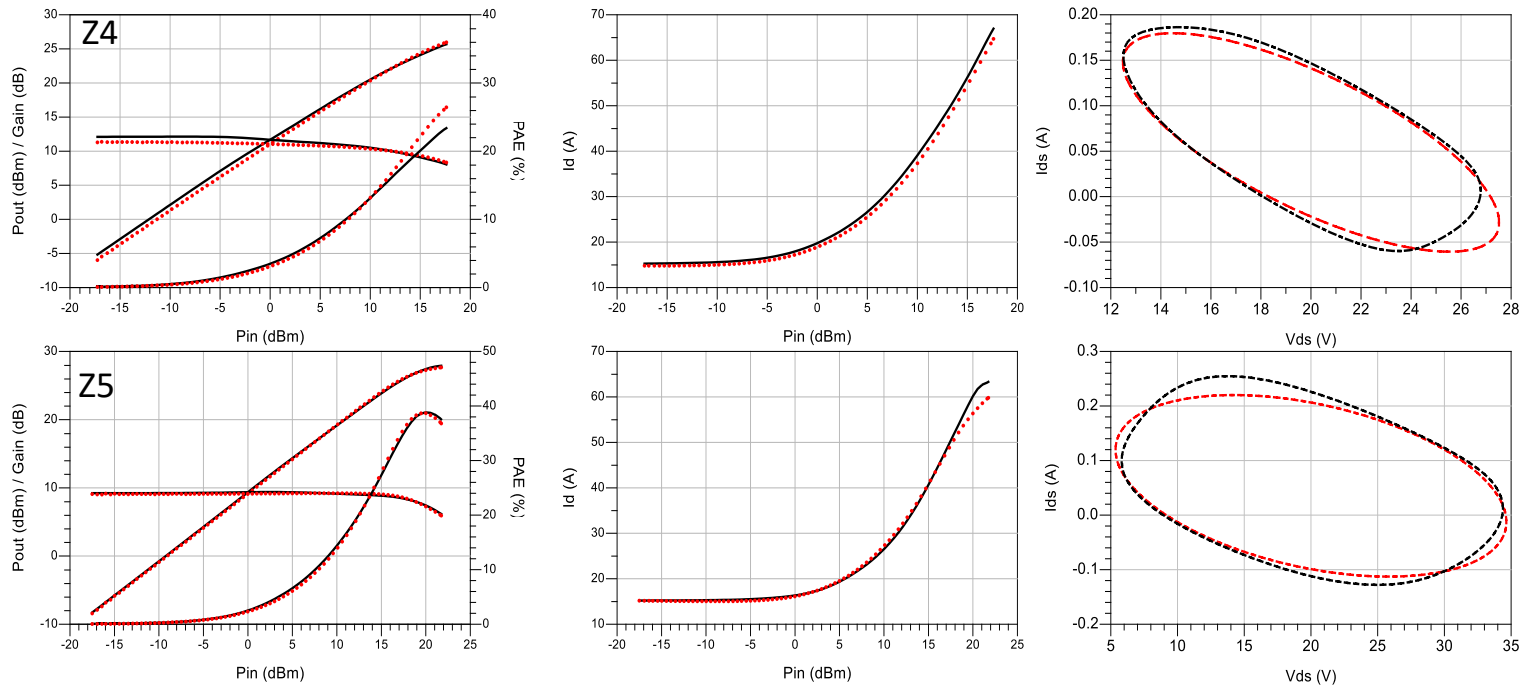


Figure 3.42 : Comparaison Modèle(noir)/Mesure(rouge) load pull à 28GHz à $V_{ds}=20V$ pour différentes impédances de sortie et cycle de charge extrinsèque à P_{in} associé à PAE_{max}

6. L'impact de l'effet DIBL sur les performances en puissance

Dans le chapitre 2, nous avons montré que la technologie MISHEMT, avec une longueur de grille de 150 nm, présente un effet DIBL (Drain-Induced Barrier Lowering). Cet effet se manifeste par une diminution de la tension de seuil à fort champ électrique. Il entraîne une augmentation de la conductance de sortie pour un même V_{gs} lorsque V_{ds} croît, ce qui intensifie les courants de fuite et la dissipation thermique, au détriment de l'efficacité RF, avec des conséquences notables sur la fiabilité et les performances globales du composant.

6.1. Simulation du modèle prenant en compte l'effet DIBL

Le modèle intégrant l'effet DIBL est présenté à la figure 3.43. La courbe bleue correspond au cycle de charge intrinsèque. On constate que le transistor ne pince pas à fort V_{ds} , ce qui éloigne l'ellipse de charge de la zone de pincement (illustrée en vert). Cette configuration dégrade les performances en puissance, notamment la PAE (Power Added Efficiency).

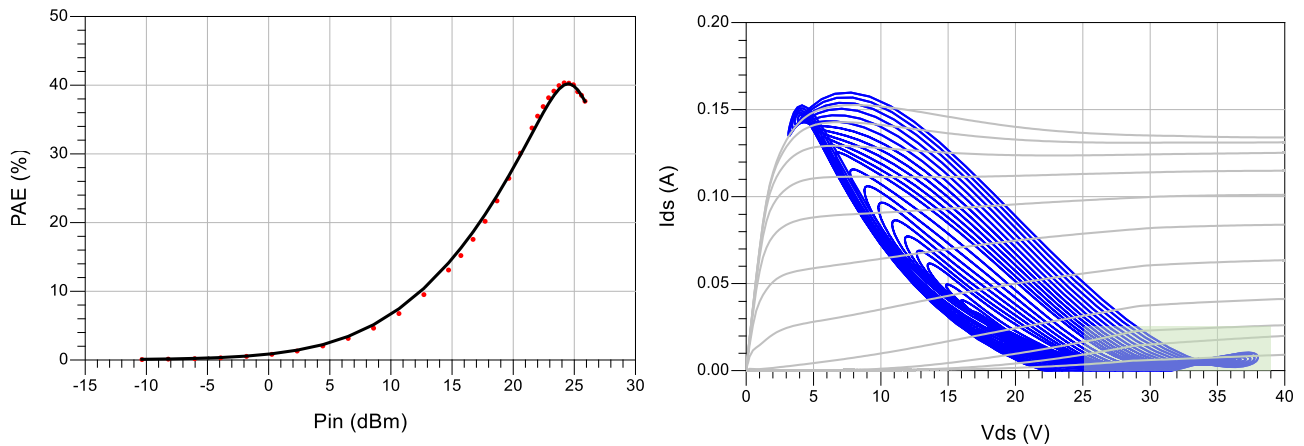


Figure 3.43 : Simulation du Modèle (noir) prenant en compte l'effet DIBL

6.2. Simulation du modèle en réduisant l'effet DIBL

En limitant l'effet DIBL, et donc la conductance de sortie à fort V_{ds} , le cycle de charge atteint la zone de pincement, ce qui permet un gain d'environ 6 points de PAE, comme le montre la figure 3.44. Cette amélioration justifie l'optimisation de la structure du composant pour réduire l'effet DIBL, améliorant ainsi l'efficacité énergétique et la fiabilité du transistor. C'est cette observation qui avait conduit à l'élaboration d'une nouvelle technologie de composants REC en utilisant un canal plus fin.

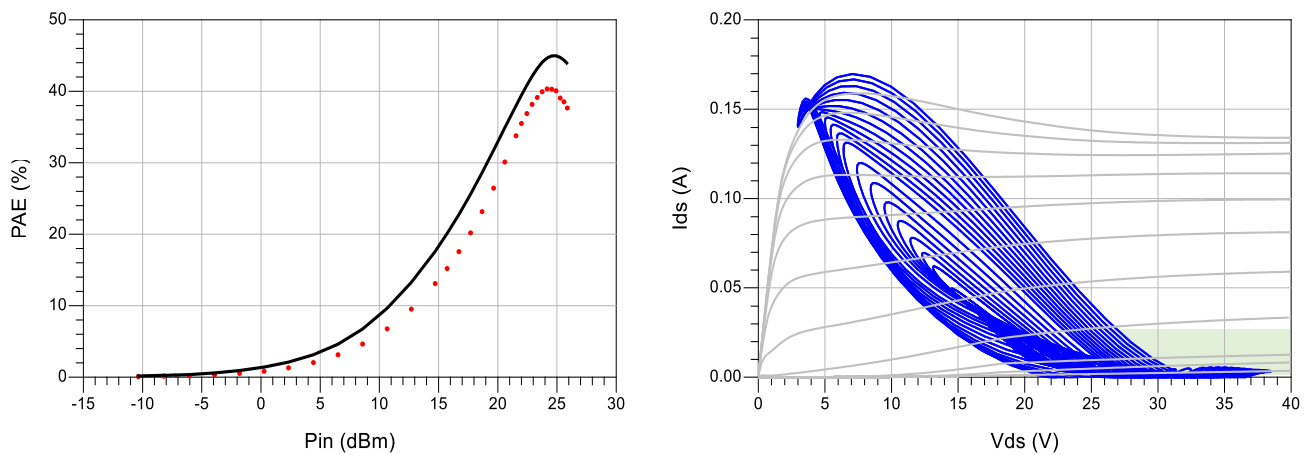


Figure 3.44 : Simulation du Modèle (noir) en réduisant l'effet DIBL

7. Conclusion du chapitre

Dans ce chapitre, nous avons présenté les principales étapes de modélisation d'un transistor MISHEMT de taille $2 \times 50 \mu\text{m}$, intégrant les effets thermiques et les pièges, ainsi que sa validation en régimes petit signal et large signal. La modélisation non linéaire bidimensionnelle des capacités intrinsèques sous forme de charges a permis de réduire les temps de simulation tout en fournissant des prédictions précises pour diverses impédances de sortie et conditions de polarisation.

Lors des mesures load pull, l'impact des pièges n'apparaît pas dans l'évolution du courant de drain en fonction de la puissance d'entrée appliquée. Comme présenté au chapitre 2, le composant MIS est particulièrement sensible aux pièges lents associés à de longs temps de capture, ce qui explique l'absence d'effet sur le courant de drain pour des conditions d'impédance normales. En revanche, lorsque les impédances de charge se situent au bord de l'abaque (forte désadaptation), l'effet des pièges devient visible. Dans ce cas, le modèle prend correctement en compte cet impact, assurant une prédiction fidèle du comportement large signal du transistor.

L'intégration de l'effet DIBL dans la modélisation de la source de courant a permis d'obtenir un bon compromis avec les résultats expérimentaux en puissance. Grâce à une rétro simulation réduisant l'impact du DIBL à fort V_{ds} , on observe une amélioration de l'efficacité énergétique du composant.

Enfin, à partir de ce modèle et en se basant sur les mesures load pull à 28 GHz, le chapitre suivant présentera la conception d'un amplificateur de puissance fondé sur ce transistor, ainsi que sur des composants passifs GaN sur Si fournis par le CEA, dans le but de réaliser un amplificateur de puissance compatible avec la technologie CMOS.

Chapitre 4 - Conception d'un amplificateur de puissance en bande Ka

Introduction

Le transistor MISHEMT compatible CMOS, doté d'une longueur de grille $L_g = 150$ nm, a démontré des performances de puissance à l'état de l'art pour la technologie GaN sur Si. Cette dernière se révèle compétitive et proche des dispositifs GaN sur SiC sous fortes polarisations V_{ds} . Dans ce contexte, la conception d'un amplificateur de puissance MMIC (Monolithic Microwave Integrated Circuit), fondée sur le modèle non linéaire développé au chapitre précédent, constitue une étape essentielle pour valider le potentiel de cette technologie en conditions réelles, en ciblant un fonctionnement en bande Ka.

La conception de cet amplificateur s'inscrit dans la continuité des travaux menés au cours de cette thèse sur la caractérisation et l'optimisation de la technologie GaN/Si compatible CMOS. Sa spécificité réside dans le développement d'un procédé intégrant, selon une approche CMOS, à la fois le transistor et les composants passifs (capacité, inductance, résistance). Les étapes de fabrication du MMIC peuvent ainsi être réalisées dans une salle blanche CMOS, en respectant un ensemble de contraintes spécifiques (certains métaux interdits, planéité, configuration des bords de plaque, ...).

Afin d'établir un compromis entre linéarité, puissance de sortie (P_{out}) et rendement en puissance ajoutée (PAE), les transistors ont été caractérisés en classe AB. Une loi d'échelle appliquée au modèle non linéaire a ensuite permis de prédire les performances en fonction de la dimension du transistor et d'assurer la conformité avec les objectifs fixés pour l'amplificateur.

Nous présenterons dans un premier temps les objectifs définis par le cahier des charges, qui déterminent les performances à atteindre pour l'amplificateur de puissance. Nous précisons ensuite l'architecture retenue, en identifiant le nombre d'étages d'amplification requis. Enfin, nous détaillerons les choix de conception réalisés pour chaque étage, avant de présenter les résultats de simulation obtenus pour l'amplificateur.

1. Etat de l'art des amplificateurs MMIC en bande K et Ka

Le tableau 4.1 illustre l'état de l'art des amplificateurs de puissance en bandes K et Ka. Les technologies GaN sur SiC établissent des références en termes de densité de puissance et d'efficacité énergétique, tandis que les solutions basées sur le GaN sur Si offrent une alternative économiquement compétitive. Ces dernières proposent un compromis intéressant entre coût de fabrication et performances, compromis qui peut être optimisé par une gestion thermique adaptée de la structure du composant et par des choix de conception appropriés.

Ref	Substrat	L_g (nm)	V_{ds} (V)	Freq (GHz)	P_{out} (dBm)	PAE (%)
[114]	SiC	150	28	27 – 29,5	39	20 - 24
[115]	SiC	150	20	24 – 28	36	23 - 41
[116]	SiC	150	25	17,3 – 20,3	41,5	37 - 28
[117]	SiC	150	20	24 – 28	35,4 – 36	27,8 – 36,8
[118]	SiC	150	24	24 – 28	32	21,7
[119]	SiC	150	25	15.5 – 17.5	39	35
[120]	SiC	150	28	14 – 18	39,2 – 41,2	35,7 – 45,4

[121]	SiC	150	24	27,5 – 29,5	35,6	25,5
[122]	SiC	150	24	26 – 30	36,1 – 36,5	25 - 27
[123]	Si	100	11	16 – 19	39,5	27
[124]	Si	100	12	6 – 18	39,5 – 42	30 - 41
[125]	Si	100	12	28	33	36 - 30
[126]	Si	100	9	17,3 – 20,2	40	35
[127]	Si	100	11	17,3 – 20,3	34	25

Table 4.1 : Etat de l'art des performances d'amplificateur de puissance MMIC fonctionnant en bande K et Ka

2. Présentation de l'architecture de l'amplificateur de puissance

La première étape de la conception consiste à définir les principaux objectifs à atteindre, notamment le gain, la puissance de sortie et l'efficacité énergétique de l'amplificateur. D'autres spécifications peuvent également entrer en jeu en fonction des contraintes liées à l'application visée.

Pour les amplificateurs destinés aux télécommunications, la réduction de la distorsion constitue une exigence prioritaire. Les critères de linéarité les plus couramment utilisés sont l'ACPR (Adjacent Channel Power Ratio), exprimé en dBc, qui évalue le rapport entre la puissance totale injectée dans les canaux adjacents et la puissance contenue dans la bande utile, ainsi que l'EVM (Error Vector Magnitude), qui mesure la qualité de modulation en quantifiant l'écart vectoriel entre les symboles idéaux et les symboles effectivement transmis ou reçus. Ce dernier paramètre reflète directement la dégradation du signal au sein de la bande utile. Dans le cadre de cette étude, aucune mesure de linéarité n'a été réalisée sur les transistors analysés. Nous limiterons donc l'évaluation aux performances en puissance.

2.1. Présentation du cahier de charge

La technologie MIS présentait un DIBL trop élevé, ce qui limite la polarisation de la tension V_{ds} . Par conséquent, l'amplificateur sera polarisé à $V_{ds} = 10$ V afin de garantir sa robustesse. Sur la base des performances du transistor à 28 GHz et d'une étude bibliographique des résultats rapportés pour des amplificateurs destinés aux applications 5G en bandes K et Ka, un cahier des charges a été établi. Celui-ci définit notamment la bande passante, la puissance de saturation (P_{sat}) et l'efficacité ajoutée de puissance (PAE), comme présenté dans le tableau ci-dessous :

Paramètre	Valeur	Unité
Polarisation (V_{ds})	10	V
Bande de fréquence	27,5 – 30,5	GHz
Puissance de sortie à la saturation (P_{sat})	2	W
P_{1dB}	1	W
PAE	> 30	%
Gain petit signal	15 – 20	dB
S_{11} & S_{22}	< -10	dB

Table 4.2 : Cahier des charges des performances à atteindre lors de la conception de l'amplificateur

2.2. Topologie de l'amplificateur

La conception de l'amplificateur repose sur une topologie à deux étages, illustrée sur la figure 4.1. Le premier étage, appelé driver, est principalement destiné à fournir un gain élevé et à fixer la puissance d'entrée nécessaire, tout en maintenant une marge suffisante au-dessus du besoin de l'étage de puissance. Cela permet de conserver un fonctionnement en régime quasi linéaire et d'éviter la compression. Le second étage d'amplification, quant à lui, détermine les performances clés en termes de puissance et d'efficacité énergétique à travers son impédance de charge et son réseau d'adaptation de sortie.

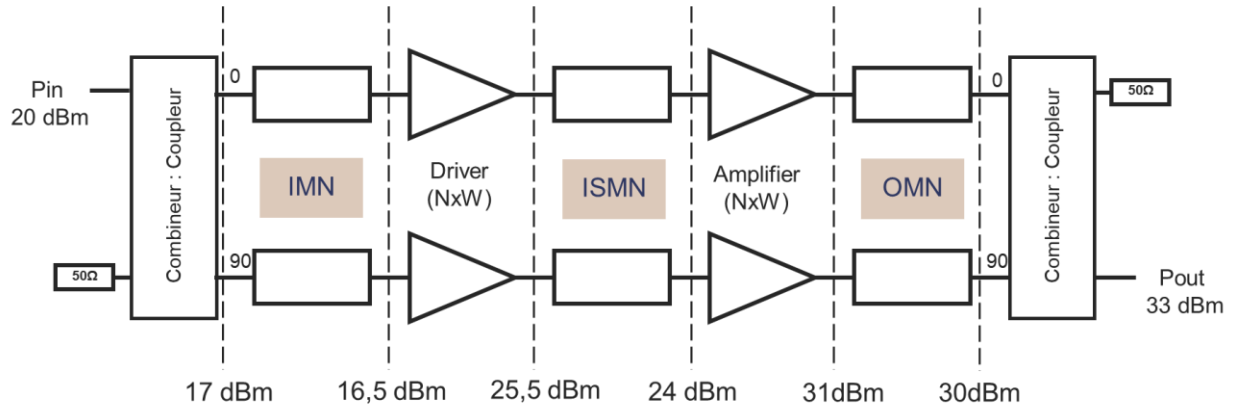


Figure 4.1 : Topologie complète de l'amplificateur de puissance choisie pour ce travail

Le cahier des charges impose une puissance de sortie en saturation de 2 W (33 dBm). Pour atteindre cet objectif, les pertes des réseaux d'adaptation doivent être estimées et intégrées car elles impactent directement le gain global et l'efficacité ajoutée de puissance (PAE). Cette étape permet de dimensionner la taille des transistors appropriée à chaque étage. L'approche adoptée consiste à calculer la puissance de saturation requise au niveau de chaque transistor (figure 2), en tenant compte des pertes d'insertion.

En supposant une perte de 1dB pour l'OMN (Output Matching Network), la puissance nécessaire au niveau du dispositif se déduit de l'équation ci-dessous, ce qui conduit à une puissance de sortie d'environ 31 dBm nécessaire au transistor de l'étage de sortie.

$$P_{sat_device} (dBm) = P_{sat_out} (dBm) + |IL_{OMN}| - 3 = 31 dBm \quad (4.1)$$

La sélection de la taille des transistors ($W \times N$) constitue l'étape suivante afin d'assurer les performances attendues à chaque étage. Les impédances optimales de source et de charge (Z_{sopt} , Z_{lopt}) sont ensuite déterminées par des simulations de type load-pull. La conception des réseaux d'adaptation d'entrée et de sortie vers ces impédances, en intégrant des facteurs de qualité (Q) réalistes, permet d'estimer précisément les pertes d'insertion et de préserver l'efficacité globale de l'amplificateur.

2.3. Choix du transistor

La conception est réalisée à partir de transistors MIS d'une largeur de grille de 50 μm . Toutefois, en l'absence de mesures load-pull pour différentes configurations de doigts de grille, une mise à l'échelle du modèle non linéaire présenté au chapitre précédent a été utilisée afin d'estimer les performances en puissance pour chaque dimension de composant.

2.3.1. Mise en échelle du modèle non linéaire

Il est possible de prédire les caractéristiques d'un composant en fonction de son nombre de doigts (N) et de sa largeur de grille (W), à partir de lois de mise à l'échelle. Dans notre cas, l'étude porte sur des transistors de largeur $W = 50 \mu\text{m}$ et longueur de grille $L_g = 150 \text{ nm}$, en faisant varier uniquement le nombre de doigts.

Une étude bibliographique sur les facteurs d'échelle [128] [129] appliqués aux modèles de transistors HEMT GaN, indique que la variation du nombre de doigts influence les paramètres extrinsèque et intrinsèque du modèle, selon un rapport d'échelle dépendant de la largeur totale de grille. En effet, la prise en compte du nombre de doigts N, s'effectue à travers une loi d'échelle du type $Mult = \frac{N}{N_{ref}}$ où N_{ref} correspond au nombre de doigt du composant de référence, fixé à 2 dans notre cas.

La réduction du nombre de doigts entraîne une diminution de la zone d'accès, qui distribue les doigts de grille et de drain, ce qui affecte les capacités, résistances et inductances extrinsèques, tandis que les paramètres intrinsèques influent sur le courant de drain (I_{ds}) et les capacités intrinsèques (C_{gs} , C_{gd} et C_{ds}), qui sont proportionnels au nombre de doigt.

Ainsi, lorsque le nombre de doigt augmente, les résistances diminuent ; le courant de drain et les capacités augmentent naturellement.

2.3.2. Choix du point de polarisation

A partir d'une simulation load-pull effectuée à la fréquence centrale de fonctionnement ($f_c = 29 \text{ GHz}$), et tenant compte de la largeur de bande visée, le transistor est polarisé en classe AB à $V_{ds} = 10 \text{ V}$ et $I_{ds} = 185 \text{ mA/mm}$ (figure 4.2). Ceci offre un bon compromis en termes de puissance de sortie et de PAE associée. Un balayage des impédances de source et de charge permet d'identifier pour chaque étage et à un niveau de compression donné, les conditions d'adaptation optimales assurant les meilleures performances.

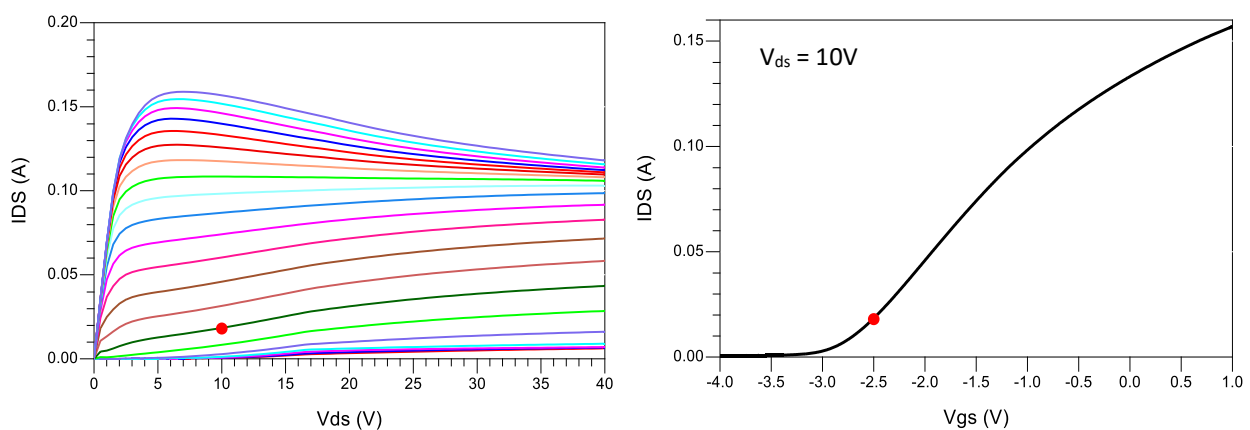


Figure 4.2 : Caractéristique DC simulée du transistor MISHEMT 2x50 μm : le point de fonctionnement choisis (en rouge) correspond à une polarisation en classe AB

2.3.3. Simulation load-pull

Pour le premier étage, l'extraction est effectuée à -1 dB de compression, afin de maximiser le gain disponible et de privilégier la linéarité. Pour le second étage, la simulation est menée à un niveau de compression plus élevé, typiquement -3 dB, afin d'atteindre les objectifs de puissance et d'efficacité.

La figure 4.3 illustre les contours de puissance, de gain et d'efficacité pour les deux tailles de transistors retenues. La figure 4.3a présente les résultats à -1 dB de compression pour le transistor à 4 doigts de grille ($N = 4$), sélectionné pour le premier étage, sur lequel un circuit RC d'entrée a été ajouté afin d'assurer la stabilité. La figure 4.3b montre les contours à -3 dB de compression du transistor à 8 doigts de grille ($N = 8$), retenu pour le second étage afin de satisfaire les exigences de puissance.

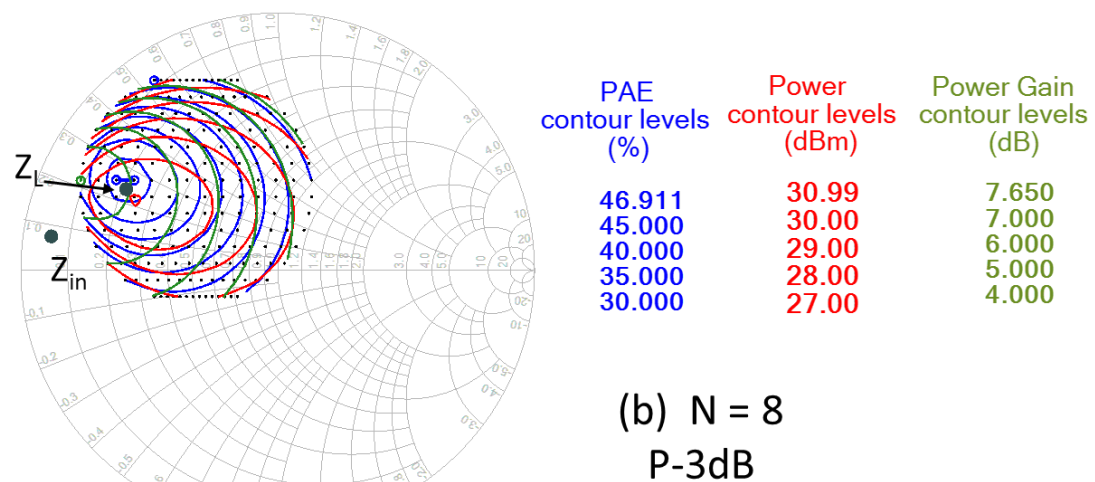
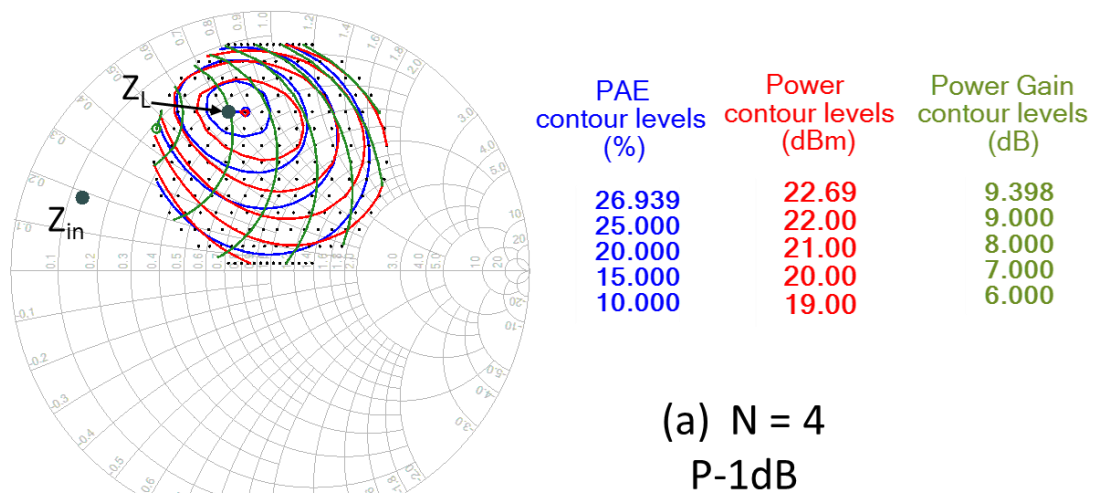


Figure 4.3 : Contours de puissance de sortie, gain et PAE pour relever le point d'impédance optimum

On présente dans le tableau 4.3, les performances estimées pour chaque taille ainsi que la valeur des impédances d'entrée et sortie associées :

Taille (W x N)	$Z_{sopt} (\Omega)$	$Z_{Lopt} (\Omega)$	$P_{out} (dBm)$	Gain (dB)	PAE (%)
4 x 50 (P-1dB)	$5,8 + j*9,87$	$17,4 + j*35,5$	22,6	7,8	26,8
8 x 50 (P-3dB)	$2,84 + j*3,94$	$11,4 + j*9,95$	31,08	7,05	45,7

Table 4.3 : Performance des tailles de transistor sélectionnées pour la conception de l'amplificateur

Une simulation load-pull a été réalisée pour les deux tailles de transistors 4x50 μm et 8x50 μm , aux impédances d'entrée et de sortie présentées dans le tableau 4.3. La figure 4.4 illustre l'évolution de la PAE et du gain en fonction de la puissance de sortie (P_{out}) :

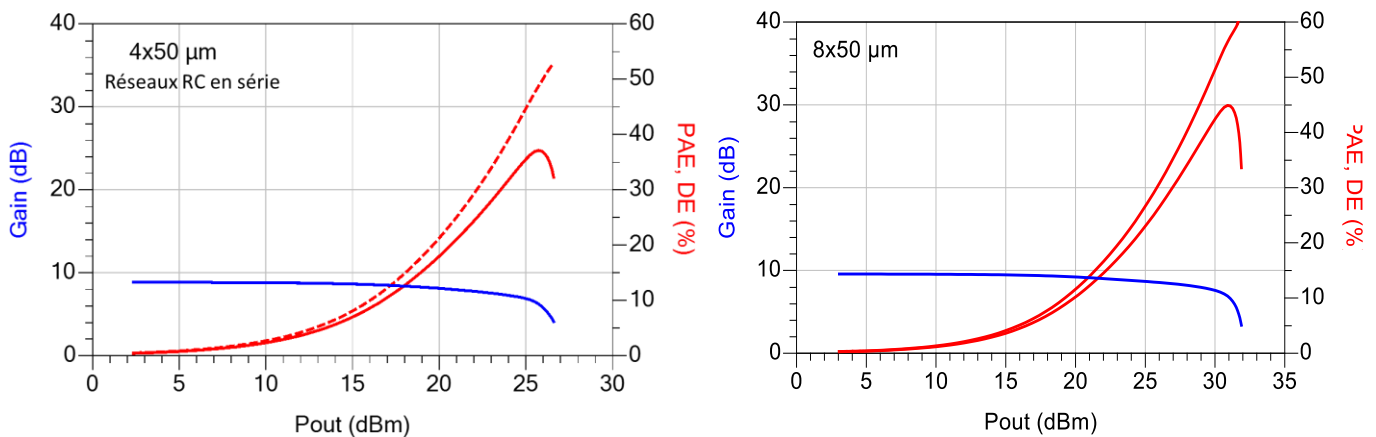


Figure 4.4 : Evolution de la PAE et du Gain en fonction de la puissance de sortie P_{out} pour les transistors 4x50 μm et 8x50 μm aux impédances Z_{sopt} et Z_{Lopt}

3. Critère de conception

La topologie retenue pour la conception de l'amplificateur est représentée sur la figure 4.5. La première étape consiste à définir et concevoir le circuit de polarisation pour les accès grille et drain des transistors. Ensuite, le réseau d'adaptation de sortie (OMN) est développé, suivi du réseau d'adaptation inter-étage (ISMN) et enfin du réseau d'entrée (IMN).

Un étage d'amplification pouvant être à l'origine d'instabilités, un circuit RC de stabilisation a été ajouté en parallèle à l'entrée du premier étage. Cette notion de stabilité du circuit constitue un critère essentiel lors de la phase de conception. Une évaluation des risques d'oscillations sera réalisée à la fin du processus ; le but étant d'anticiper et de corriger tout risque d'instabilité avant la phase de fabrication.

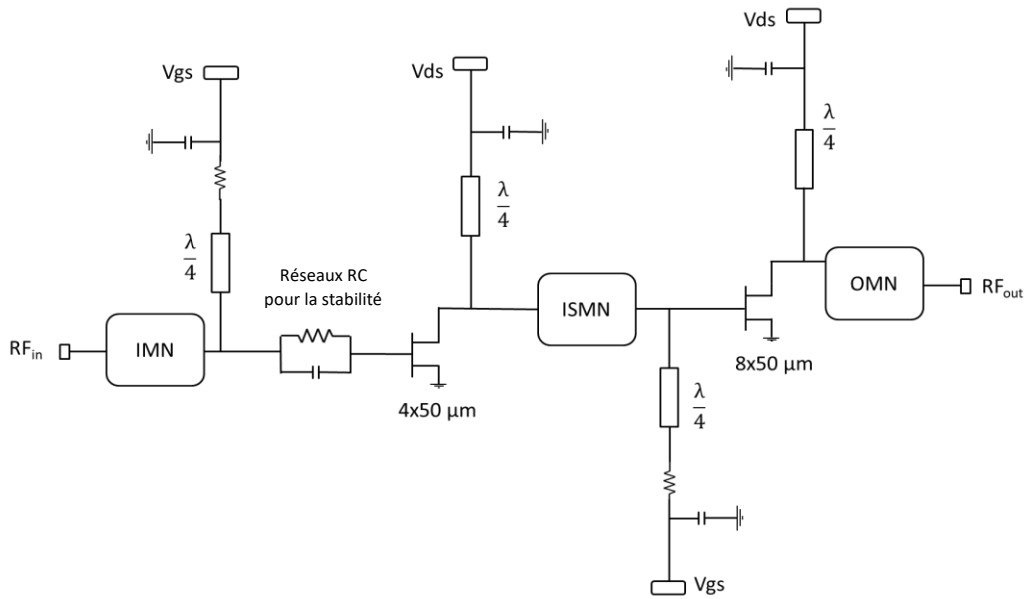


Figure 4.5 : Topologie de l'amplificateur de puissance

3.1. Conception des circuits de polarisation

L'objectif principal du réseau de polarisation est d'isoler le port RF de l'alimentation DC. Une conception large bande permet d'assurer une impédance élevée à la fréquence fondamentale sur la bande utile, sans perturber l'adaptation ni la transmission, tout en garantissant la stabilité aux basses et hautes fréquences.

La figure 4.6 illustre un circuit de polarisation idéal, basé sur un stub quart d'onde et une capacité à la masse, qui présentent une impédance RF élevée au point d'alimentation. Cette configuration standard transforme la structure en un circuit-ouvert à f_0 , tout en garantissant de court-circuiter le signal aux harmoniques paires (notamment $2f_0$).

La capacité de découplage C_d permet de court-circuiter le signal RF vers la masse autour de f_0 , tout en permettant de polariser les transistors. Une résistance placée en série contribue à stabiliser le circuit en basses fréquences, en réduisant les risques d'oscillation et en amortissant les résonances parasites du réseau de polarisation.

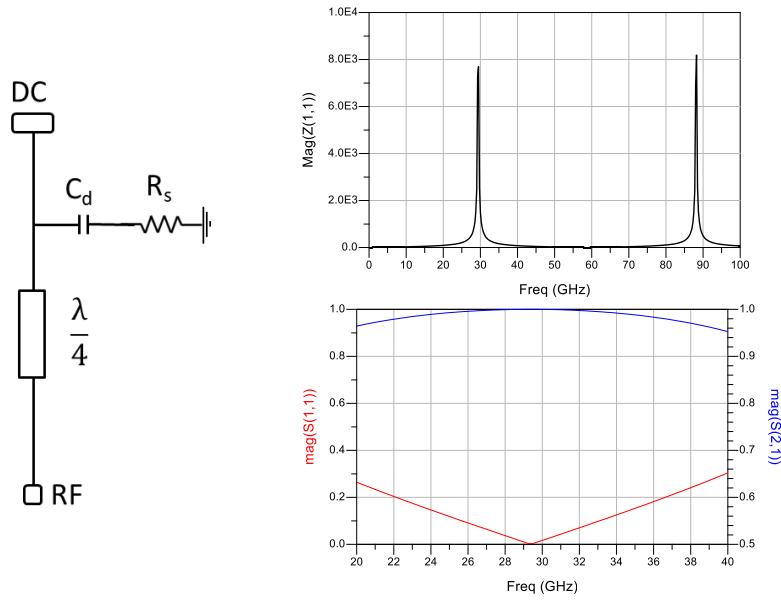


Figure 4.6 : Réseau de polarisation idéale autour de la fréquence centrale à $F_0 = 29\text{GHz}$

Le réseau de polarisation côté drain est généralement intégré au quadripôle d'adaptation de sortie ; cette structure doit être dimensionnée de sorte à présenter un court-circuit à l'harmonique $2f_0$. Du côté de la grille, plus sensible aux instabilités, une résistance en série avec la ligne quart d'onde est ajoutée pour améliorer la protection contre les oscillations.

3.2. Réseaux d'adaptation

La méthodologie de conception repose sur l'optimisation des blocs d'adaptation de sortie (OMN) et inter-étage (ISMN), afin d'atteindre les impédances visées tout en minimisant les pertes d'insertion, condition nécessaire au transfert maximal de puissance. Le réseau d'entrée (IMN) est ensuite conçu pour améliorer le gain.

À la fréquence centrale, l'adaptation optimale est obtenue lorsque les conditions de conjugaison d'impédance sont respectées ($R_{in} = R_g$ et $jX_{in} = -jX_g$). Cependant, les performances globales dépendent également des propriétés du transistor : polarisation, capacités intrinsèques (C_{gs} et C_{gd}), topologie des réseaux d'adaptation et facteur de qualité (Q), qui conditionnent le gain disponible et la largeur de bande.

La stratégie d'adaptation dépend des objectifs de conception : optimisation du gain et de la puissance, ou maximisation de l'efficacité globale. Dans la pratique, le transistor est remplacé par un circuit équivalent simplifié (R_{in} , C_{in} , R_{out} , C_{out}), représentant les accès grille et drain optimisés selon les impédances ciblées (figure 4.7). L'adaptation est ensuite réalisée à partir de l'admittance autour de la fréquence centrale.

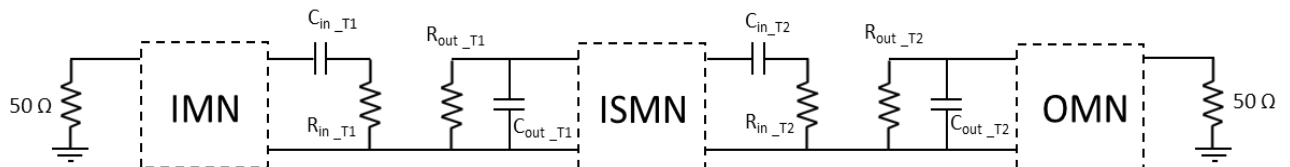


Figure 4.7 : Représentation du modèle pour la conception d'un amplificateur de puissance

Dans cette étude, l'objectif est d'évaluer le modèle et la technologie de transistor développés, plutôt que de rechercher une performance maximale. Une stratégie d'adaptation simple, basée sur des topologies classiques en T ou en π , a donc été retenue. Ces structures offrent une tolérance accrue aux variations du facteur de qualité, avec un compromis entre pertes d'insertion et largeur de bande : un facteur Q élevé accroît les pertes, tandis qu'un Q plus faible élargit la bande passante.

Les éléments passifs utilisés pour la conception ont été fournis par le CEA et réalisés selon le même procédé compatibles CMOS que la filière active des transistors GaN/Si. Cette approche permet une co-intégration complète et une fabrication entièrement effectuée en salle blanche.

3.2.1. Quadripôle d'adaptation de sortie (OMN)

La conception débute par le dimensionnement du quadripôle d'adaptation de sortie ; en effet, le niveau de puissance spécifié demeure principalement déterminé par la charge « vue » à la sortie. Le réseau est synthétisé à partir de l'impédance optimale, déterminée par simulation load-pull à la fréquence centrale ($f_c = 29$ GHz) pour le transistor $8 \times 50 \mu\text{m}$: $Z_{\text{opt}} = 11,4 + j \cdot 9,95$.

La topologie adoptée est présentée sur la figure 4.8. Elle intègre le réseau de sortie vers l'impédance adaptée et le circuit de polarisation :

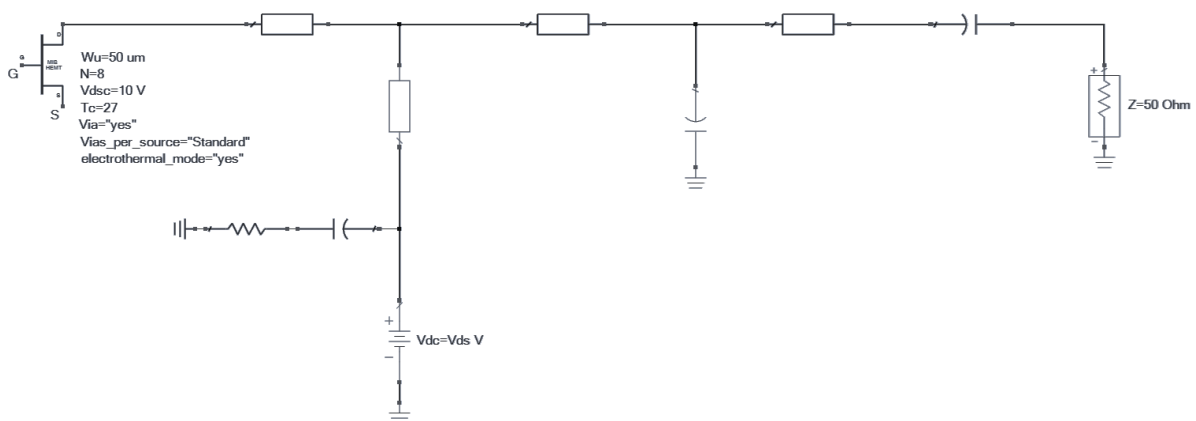


Figure 4.8 : Quadripôle d'adaptation de sortie

Avec une charge de 50Ω appliquée aux deux ports, la simulation du paramètre de réflexion en entrée (figure 4.9) montre qu'à la fréquence fondamentale, l'impédance d'entrée coïncide avec l'impédance optimale (visée pour l'adaptation du second étage). Par ailleurs, la seconde harmonique ($2f_0$) est efficacement court-circuitée, tandis que la troisième harmonique ($3f_0$) présente une impédance élevée, contribuant ainsi à l'efficacité et à la stabilité.

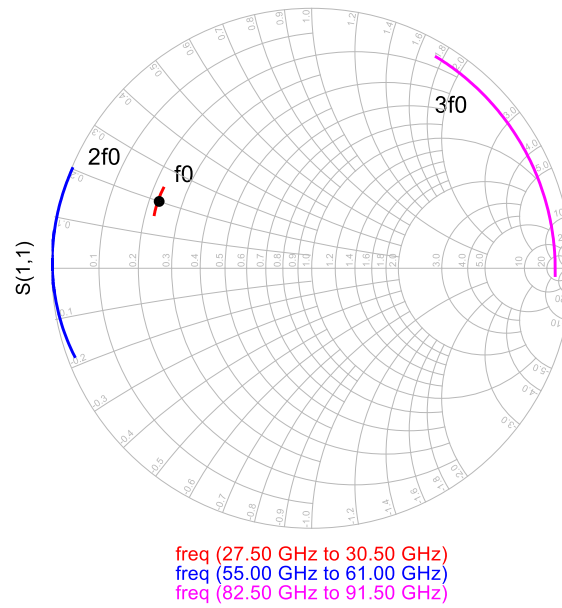


Figure 4.9 : Simulation des impédances d'entrée à la fréquence fondamentale (f_0) à la seconde harmonique ($2f_0$) et troisième harmonique ($3f_0$)

Le layout obtenu après remplacement des éléments idéaux par des composants passifs réels est présenté en figure 4.10. Les propriétés du substrat sont intégrées via le design kit.

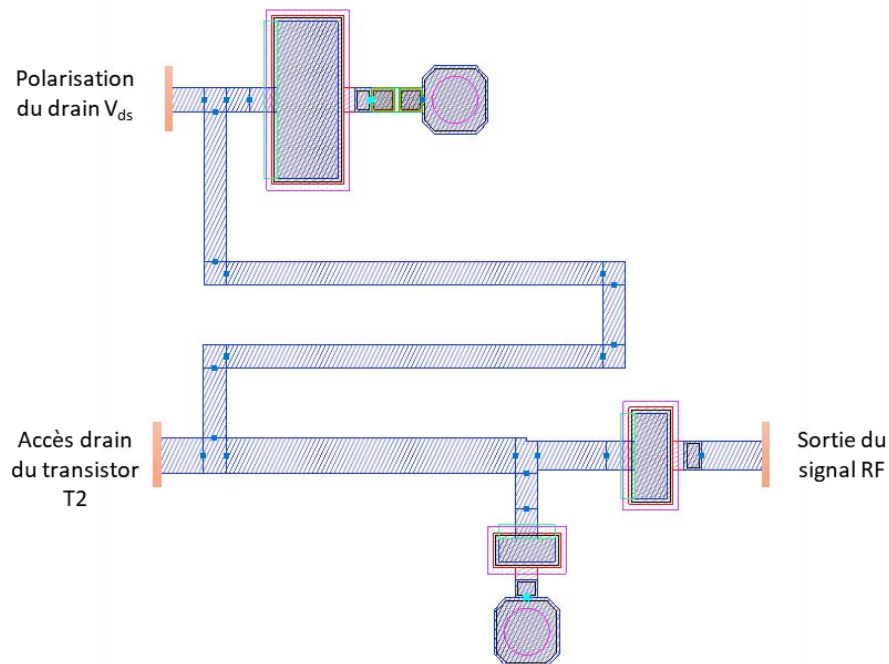


Figure 4.10 : Layout du réseau d'adaptation de sortie

- **Performances petit signal**

Le réseau de sortie présente un coefficient de réflexion inférieur à -20 dB et des pertes d'environ $0,3$ dB sur la bande $27,5 - 30,5$ GHz (figure 4.11). Ces pertes entraînent une légère dégradation du transfert de puissance effectif vers la charge.

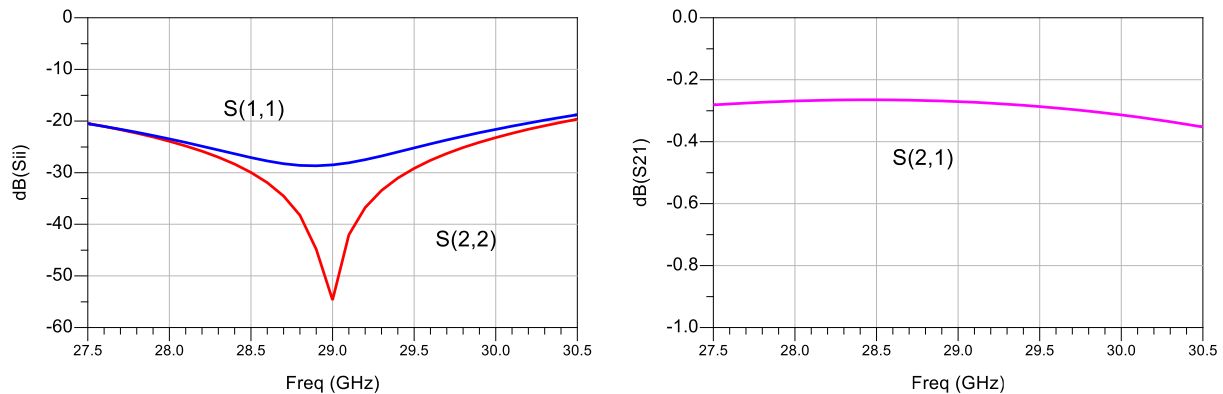


Figure 4.11 : Simulation du coefficient de réflexion en entrée et des pertes du quadripôle d'adaptation de sortie

3.2.2. Quadripôle d'adaptation inter-étage (ISMN)

Le réseau inter-étage vise à optimiser le transfert entre le drain du premier étage (driver $4 \times 50 \mu\text{m}$) et la grille du second étage ($8 \times 50 \mu\text{m}$). L'adaptation est réalisée au moyen d'un réseau en T composé de deux capacités série et d'un élément shunt, les inductances étant remplacées par des lignes distribuées pour limiter les pertes.

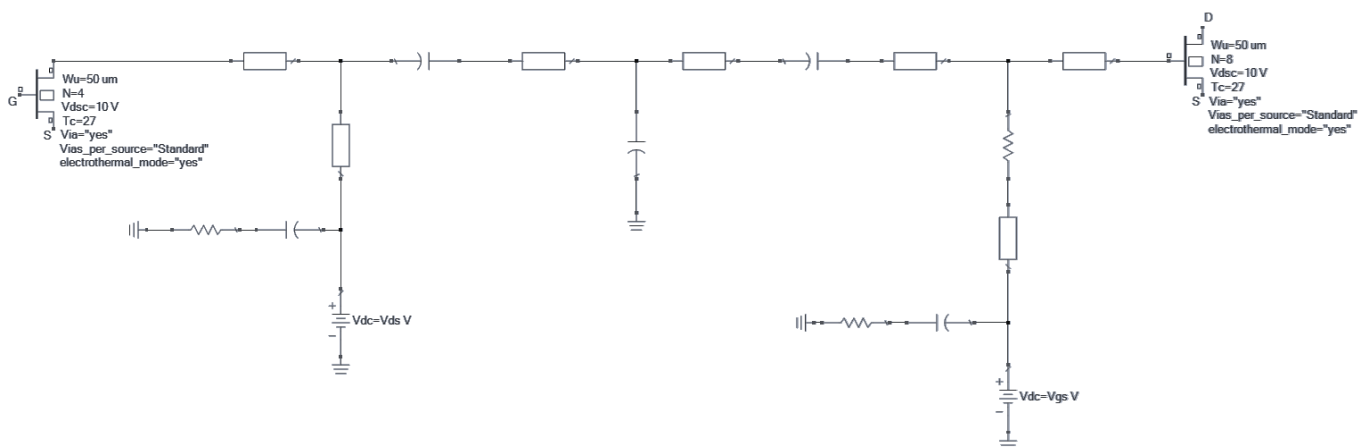


Figure 4.12 : Quadripôle d'adaptation inter-étage

La figure 4.13a montre que l'adaptation est respectée côté drain du premier étage, avec une impédance conforme à l'optimum à f_0 , et des conditions appropriées aux harmoniques (court-circuit à $2f_0$, circuit ouvert à $3f_0$). En revanche, La figure 4.13b illustre que l'approche est différente en ce qui concerne la grille du second étage, où la stabilité est privilégiée : l'adaptation est optimale uniquement à f_0 .

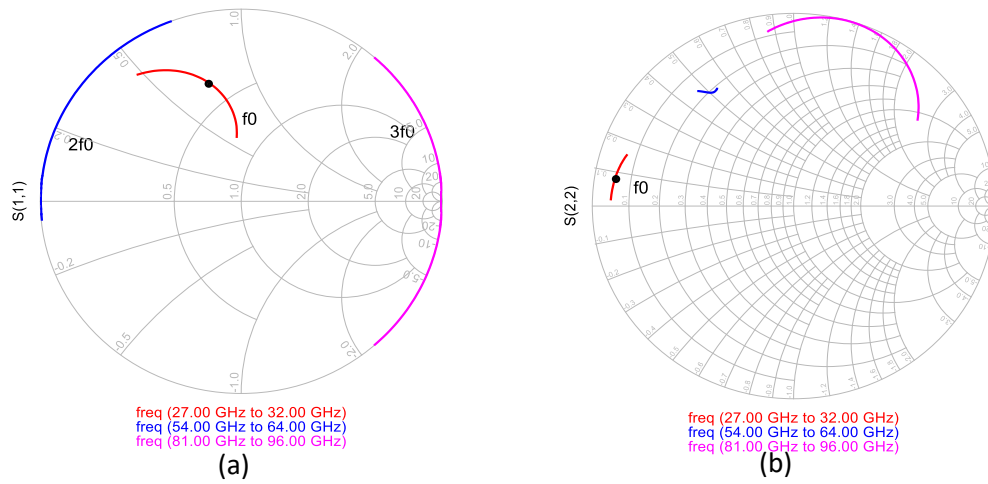


Figure 4.13 : Simulation des impédances d'entrée à la fréquences fondamentales f_0 et des harmoniques $2f_0$ et $3f_0$ des deux accès du quadripôle inter-étage

Le layout généré à partir du quadripôle d'adaptation inter-étage proposé est présenté sur la figure 4.14 :

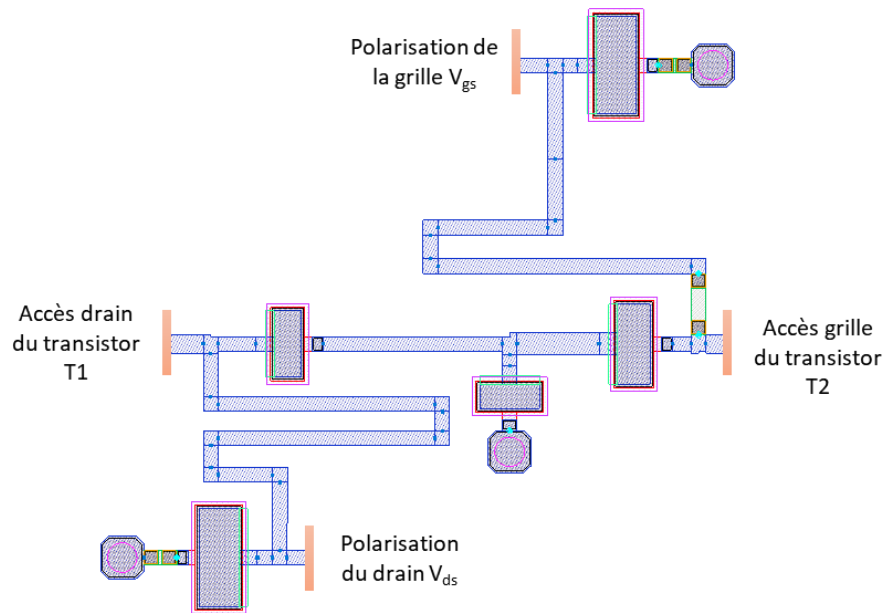


Figure 4.14 : Layout du réseau d'adaptation inter-étage

- **Performances petit signal**

Les simulations en paramètres S sont présentées sur la figure 4.15. Elles montrent un faible coefficient de réflexion, inférieur à -10 dB, ainsi que des pertes d'insertion comprises entre -1dB et -1,5 dB à travers le réseau d'adaptation de l'entrée vers la sortie du réseau.

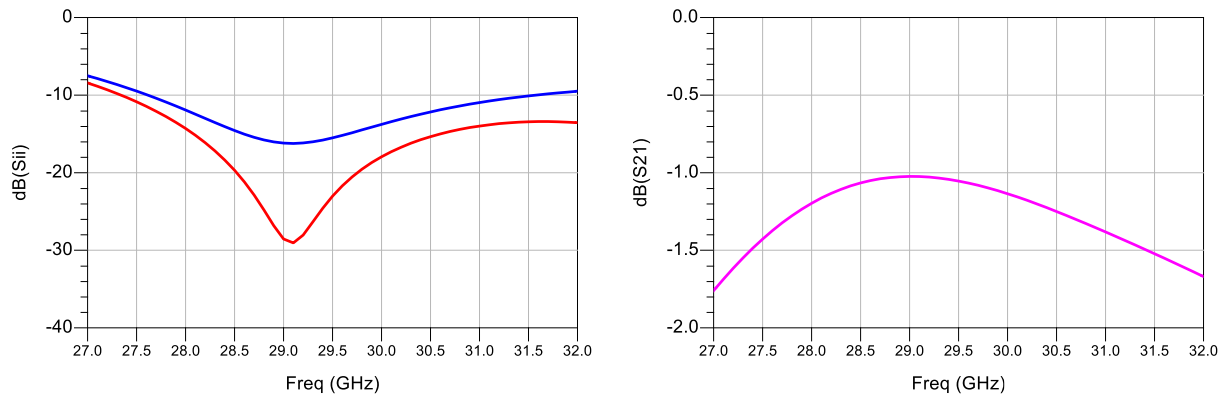


Figure 4.15 : Simulation du coefficient de réflexion en entrée et des pertes du quadripôle d'adaptation inter-étage

3.2.3. Quadripôle d'adaptation d'entrée (IMN)

La dernière étape consiste à concevoir le réseau d'adaptation d'entrée (figure 4.16), dont l'objectif principal est d'améliorer le gain tout en assurant la stabilité. Un réseau RC série a été ajouté pour garantir une stabilité inconditionnelle au circuit. L'adaptation a été réalisée au moyen d'une structure en π , transformant l'impédance d'entrée en une impédance équivalente de 50 Ω .

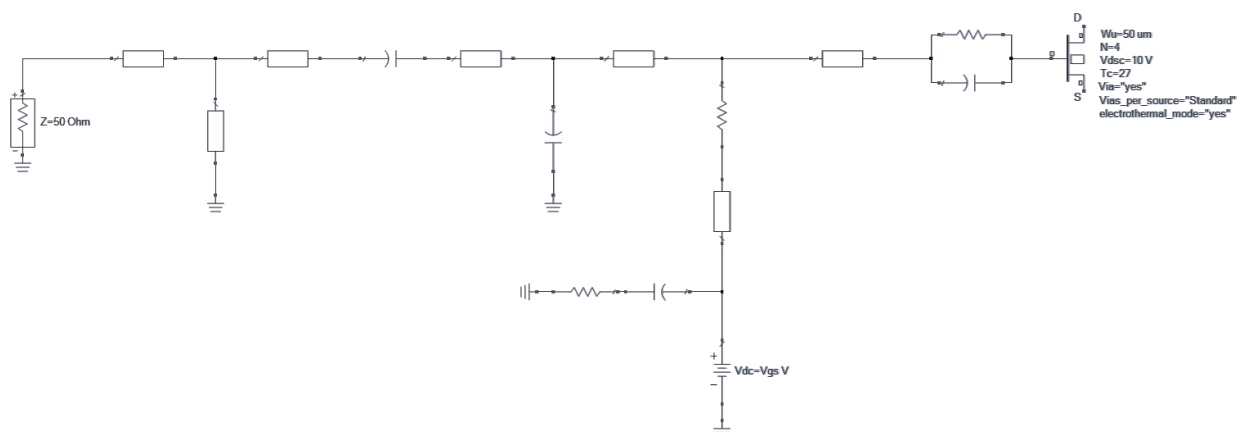


Figure 4.16 : Quadripôle d'adaptation d'entrée

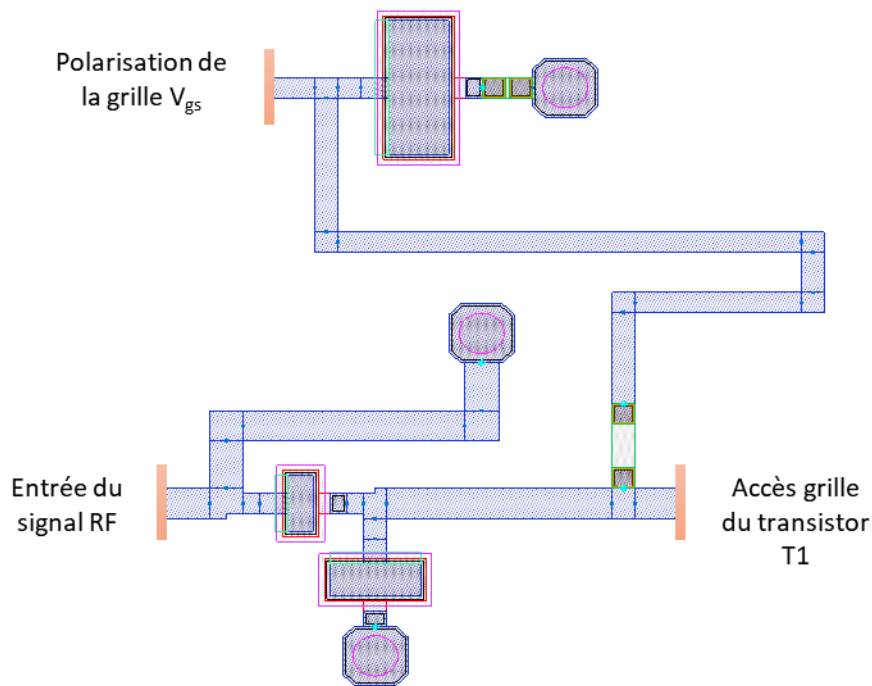


Figure 4.17 : Layout du réseau d'adaptation d'entrée

- **Performance petit signal**

La simulation des paramètres S (figure 4.18) indique un coefficient de réflexion inférieur à moins 10 dB. Toutefois, les pertes observées (−1,5 à −2 dB) sont plus élevées que prévu, conséquence du choix de la topologie.

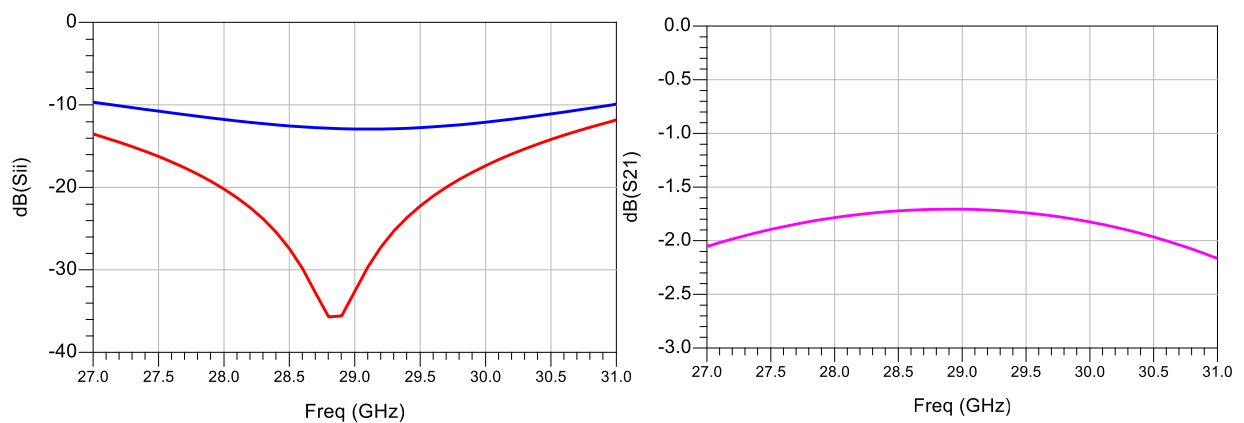


Figure 4.18 : Simulation du coefficient de réflexion en entrée et des pertes du quadripôle d'adaptation d'entrée

4. Simulation de la première étape de l'amplificateur

La figure 4.19 présente la première étape de conception intégrant les deux étages d'amplification et les trois réseaux d'adaptation décrits ci-dessus.

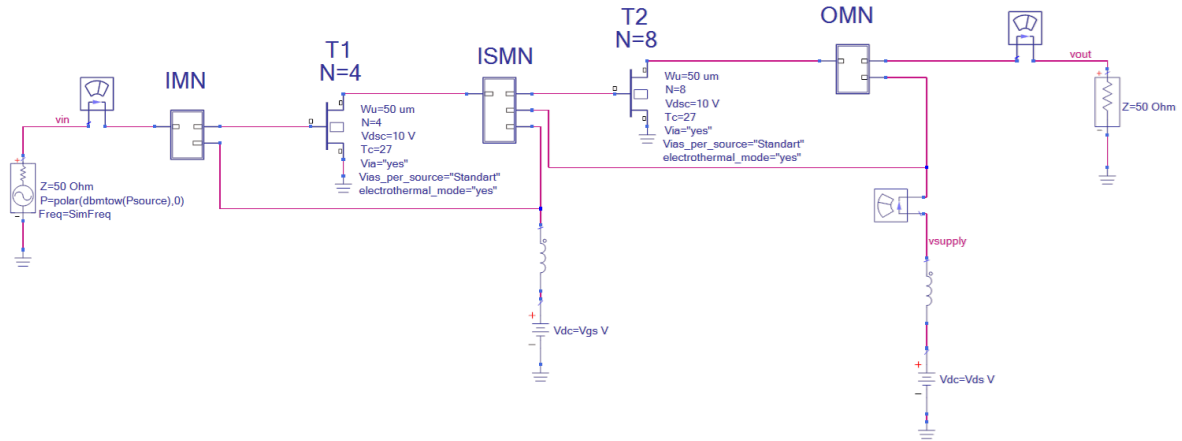


Figure 4.19 : Simulation de la première partie de l'amplificateur

• Simulation petit signal

L'analyse des paramètres S (figure 4.20) montre des coefficients de réflexion inférieurs à 10 % et un gain supérieur à 16 dB, confirmant la stabilité et la bonne conception des réseaux d'adaptation.

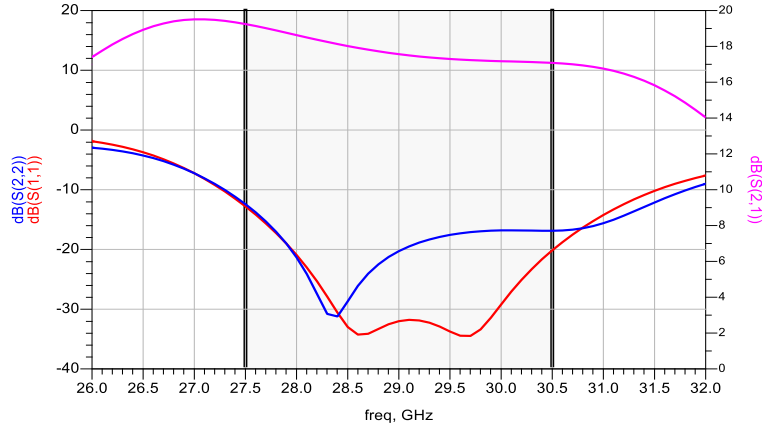


Figure 4.20 : Simulation des paramètres S du premier étage de l'amplificateur

• Simulation load pull

Les simulations non linéaires, réalisées par équilibrage harmonique en balayant la puissance d'entrée de 27,5 à 30,5 GHz (pas de 1 GHz), sont illustrées en figure 4.21a présentant le gain et la PAE en fonction de la puissance de sortie (P_{out}). La figure 4.21b, présente les performances pour une puissance d'entrée de 17 dBm : une puissance de sortie supérieure à 30 dBm et une efficacité > 30 % sur toute la bande.

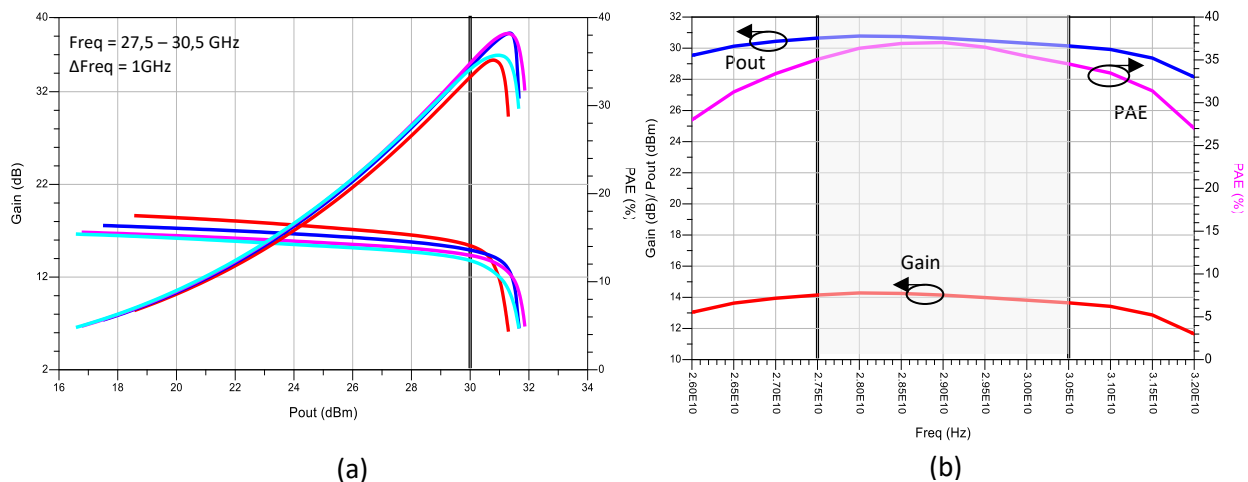


Figure 4.21 : Simulation Load pull aux fréquences de fonctionnement de l'amplificateur de puissance

5. Combineur de puissance

Les combineurs permettent de sommer les puissances de plusieurs transistors en parallèle afin d'atteindre des niveaux de sortie plus élevés. Cette approche est indispensable lorsque la puissance requise dépasse les capacités d'un seul dispositif. Le principe consiste à diviser le signal d'entrée puis à recombinaison les signaux en sortie.

5.1. Principaux types de combineurs

Les combineurs sont évalués selon plusieurs critères : bande passante, pertes d'insertion et isolation (quantifiant la puissance indésirable passant d'une entrée à l'autre). Les trois principales architectures utilisées sont le combineur Wilkinson, le transformateur (balun) et le coupleur. Leur choix dépend de la bande passante, du mode de combinaison et des contraintes d'intégration.

Combineur de puissance	Principe	Bande passante	Conception
Wilkinson	Combine des signaux en phase via une ligne $\frac{\lambda}{4}$ avec une résistance d'isolement	Limitée	Simple avec une isolation assurée par une résistance
Transformateur (balun)	Combinaison en opposition de phase 180°	Large	Complexe (pertes dépendent des impédances vues aux ports)
Coupleur	Combinaison 3dB avec déphasage de 90°	Bonne	Assurer la maîtrise du couplage, de l'isolation et la directivité

Table 4.4 : Types de combineurs de puissance

5.2. Coupleur de Lange

Nous avons choisi d'utiliser un coupleur de Lange pour répartir et combiner la puissance de manière équilibrée. Cette topologie offre l'avantage de faibles pertes d'insertion et d'une large bande passante. La figure 4.22 présente la simulation d'un tel coupleur issu de la bibliothèque du logiciel ADS. Ses dimensions ont été calculées en fonction des propriétés du substrat utilisé et de la fréquence centrale de la bande de fonctionnement. L'objectif est d'obtenir un couplage de 3 dB avec des ports de sortie en quadrature (déphasage de 90°).

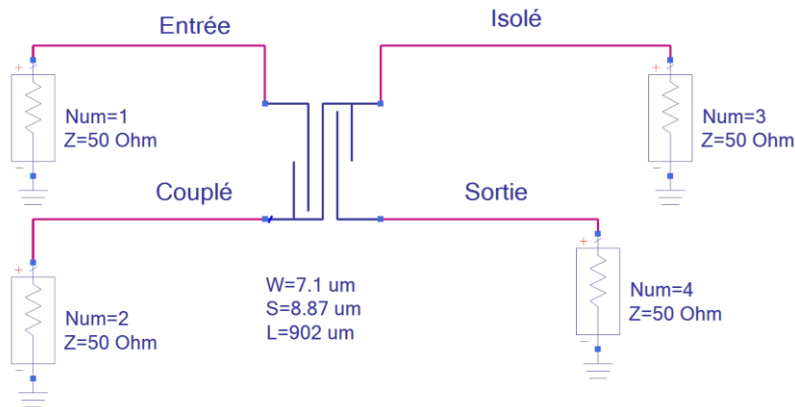


Figure 4.22 : Simulation d'un coupleur lange dimensionné en fonction des propriétés du substrat à la fréquence de fonctionnement

La figure 4.23 montre les résultats de simulation lorsque le port d'entrée est excité. On observe un couplage de -3 dB au centre de la bande de fonctionnement sur les ports direct et couplé (figure 4.23a), tandis que le port isolé présente une transmission de puissance très faible, démontrant une bonne isolation (figure 4.23b). La réponse en phase du coupleur (figure 4.23c) montre un déphasage proche de 90° entre les ports de sortie sur l'ensemble de la bande passante.

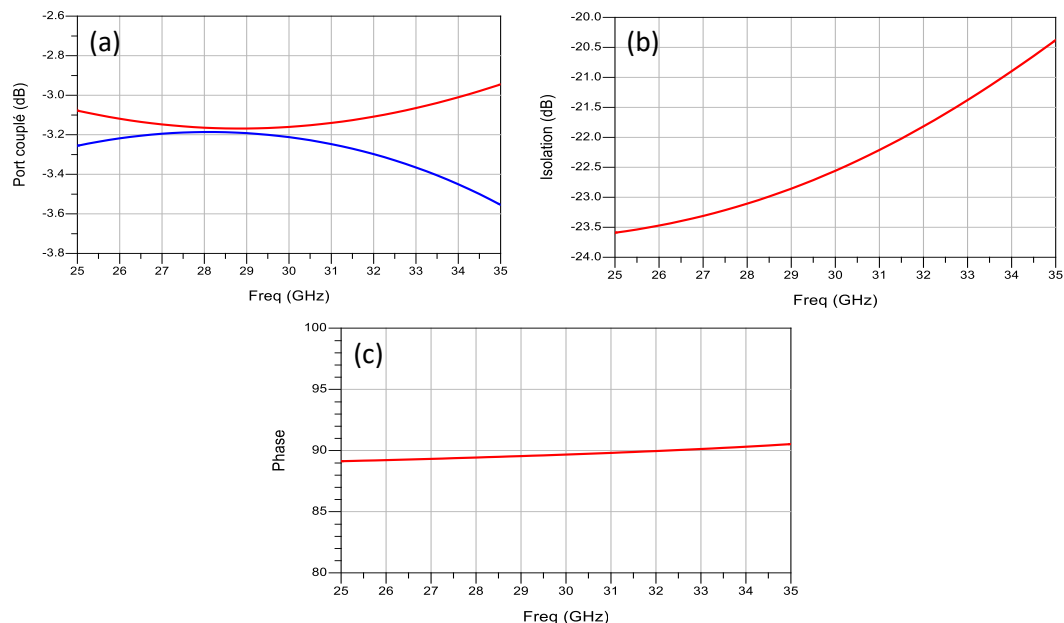


Figure 4.23 : Simulation des paramètres S des accès du coupleur

6. Simulation de l'amplificateur complet

La figure 4.24 présente le schéma électrique complet de l'amplificateur de puissance. Dans cette architecture, deux cellules d'amplification identiques sont combinées à l'aide de coupleurs de Lange pour sommer leur puissance de sortie et ainsi atteindre les performances souhaitées.

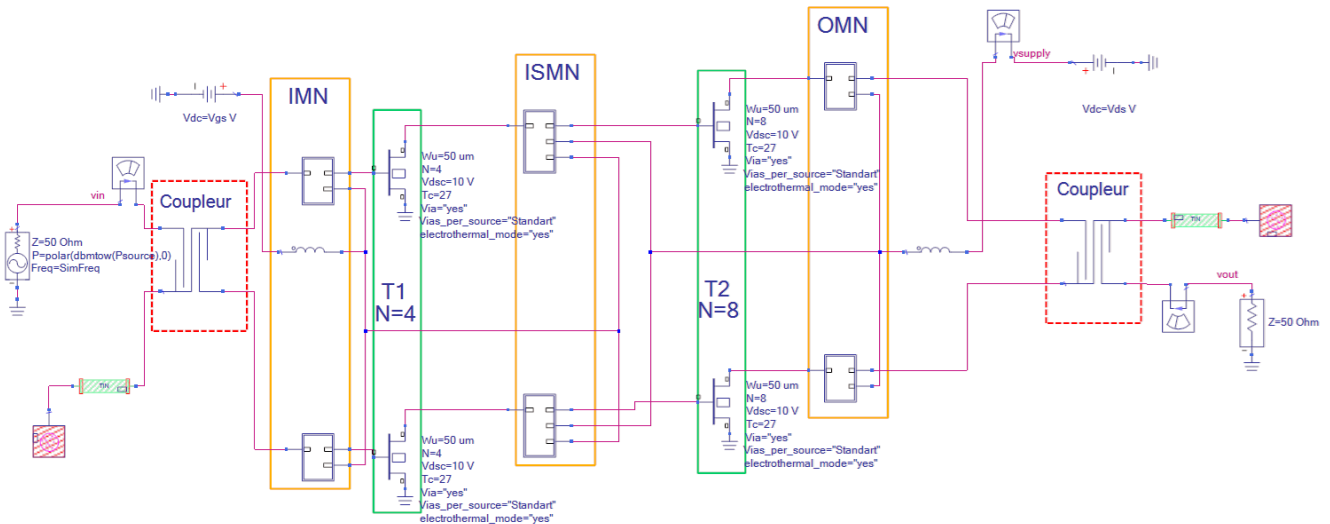


Figure 4.24 : Schéma électrique de l'amplificateur de puissance

6.1. Simulation petit signal

En régime linéaire, les coefficients de réflexion S_{11} et S_{22} indiquent une bonne adaptation d'impédance sur la bande de fonctionnement de l'amplificateur (27,5 - 30,5 GHz). Comme le montre la figure 4.25, les niveaux de réflexion sont de l'ordre de -20 dB autour de la fréquence centrale.

Le coefficient de transmission S_{21} , représentant le gain en petit signal, atteint une valeur comprise entre 15 et 20 dB, en accord avec le cahier des charges.

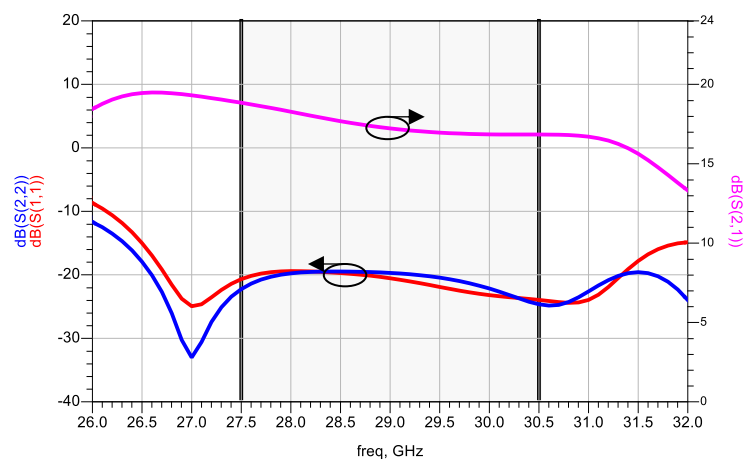


Figure 4.25 : Simulation des paramètres S de l'amplificateur de puissance

6.2. Simulation grand signal

Une simulation en régime grand signal de type "load-pull" a été réalisée sur l'amplificateur complet. La figure 4.26 illustre les résultats obtenus en injectant un signal RF de 20 dBm en entrée. Les transistors sont polarisés de manière identique, avec $V_{ds} = 10V$ et une densité de courant $I_{ds} = 185 \text{ mA/mm}$.

Dans la bande de fonctionnement (figure 4.26a), les résultats indiquent une puissance de sortie (P_{out}) de 33 dBm, et une efficacité en puissance ajoutée (PAE) supérieure à 30 % (courbe violette) et un gain en puissance de 13,5 dB (courbe rouge). Ces performances sont conformes aux objectifs du cahier des charges.

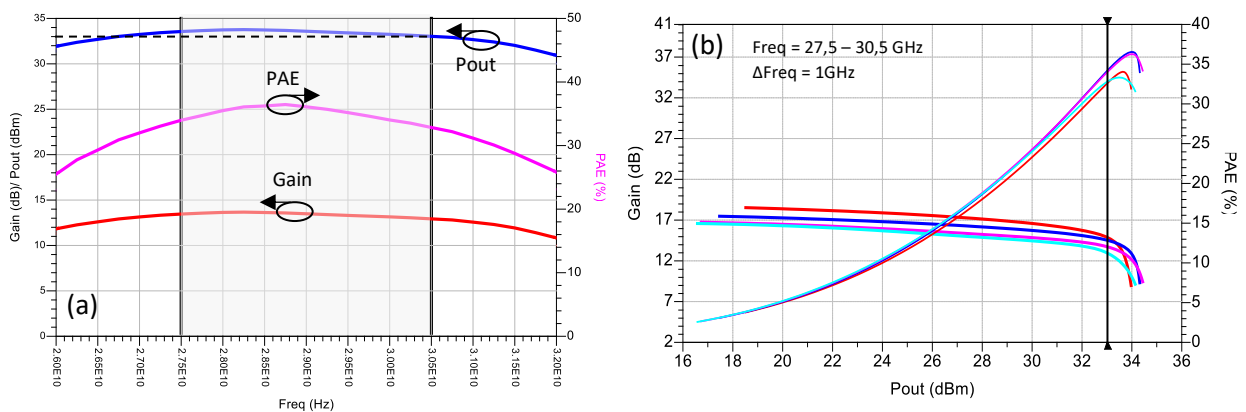


Figure 4.26 : Simulation load pull de l'amplificateur de puissance

7. Facteur de stabilité linéaire

Les conditions de stabilité du circuit en régime linéaire sont évaluées à partir de la simulation de ses paramètres S. Le circuit est inconditionnellement stable si et seulement si le facteur de Rollet $K > 1$ et le module du déterminant de la matrice S $|\Delta| < 1$. Si $K < 1$, le circuit est potentiellement instable.

La figure 4.27a, montrant les cercles de stabilité, confirme la stabilité inconditionnelle de l'amplificateur. De plus, la figure 4.27b présente l'évolution du facteur de Rollet en fonction de la fréquence : ce paramètre reste supérieur à 1 sur toute la bande de fonctionnement, offrant une bonne marge de sécurité contre les risques d'oscillations.

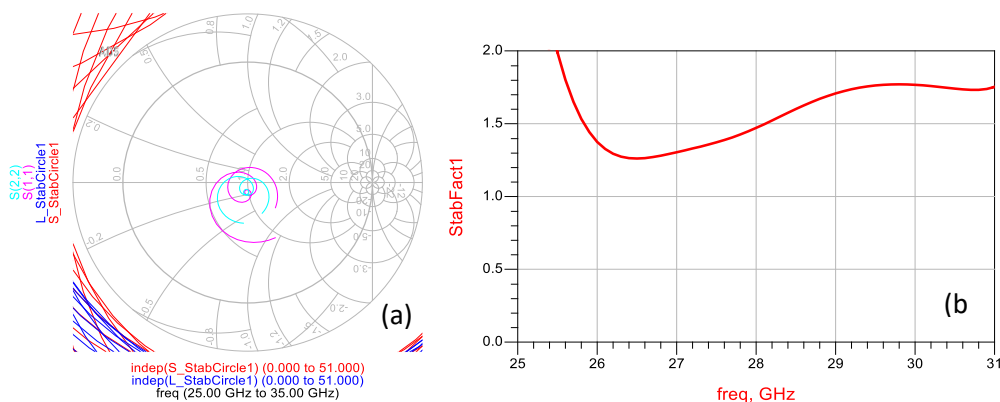


Figure 4.27 : Simulation de la stabilité linéaire de l'amplificateur de puissance

Toutefois, cette analyse de stabilité linéaire reste incomplète. Une étude en régime non linéaire serait nécessaire pour garantir la stabilité du circuit dans toutes les conditions de fonctionnement. Cette simulation constituerait une étape supplémentaire vers la fabrication du circuit MMIC proposé.

8. Conclusion du chapitre

Ce chapitre a présenté les étapes de conception d'un amplificateur de puissance fonctionnant en bande Ka (27,5 – 30,5 GHz). La conception, basée sur une technologie MISHEMT compatible CMOS, s'est appuyée sur le modèle non linéaire de transistor développé au chapitre précédent. Cette étude visait un double objectif : valider la pertinence du modèle lors de la conception d'un circuit complexe, et évaluer les performances de la technologie MISHEMT intégrée sur un substrat de silicium avec ses composants passifs.

Sous une polarisation à $V_{ds} = 10V$, l'amplificateur conçu présente de bonnes performances, atteignant une puissance de sortie de 33 dBm et une efficacité énergétique supérieure à 30 % en bande Ka. Ce niveau de performance est attractif pour les applications de télécommunication modernes.

L'utilisation d'un substrat en silicium offre un avantage significatif en termes de coût de fabrication et de potentiel d'intégration monolithique (compatibilité CMOS). Néanmoins, la gestion thermique demeure un défi majeur. Elle doit être soigneusement prise en compte pour optimiser la dissipation de puissance et assurer la fiabilité à long terme du circuit.

Conclusion générale

L'ensemble de ce travail de recherche s'inscrit dans un contexte de forte évolution des besoins en télécommunications, marqué par l'exploration de bandes de fréquences de plus en plus élevées (K, Ka et au-delà), et la recherche de technologies de transistors offrant simultanément des performances RF accrues, une bonne efficacité énergétique et une intégration optimale dans des architectures complexes. Dans ce cadre, la technologie HEMT GaN sur substrat silicium, compatible CMOS et développée par le CEA-Leti, apparaît comme une solution particulièrement prometteuse pour les applications 5G et futures générations de réseaux sans fil.

Dans un premier temps, ce travail a permis de mettre en évidence les atouts de cette technologie en termes de compatibilité avec les procédés d'intégration, de performances RF et de potentiel de montée en fréquence, tout en soulignant les défis associés, notamment liés aux effets thermiques et aux pièges. Une méthodologie complète de caractérisation a été proposée afin d'analyser finement les phénomènes limitatifs et d'en quantifier l'impact sur les performances dynamiques des transistors. Les résultats obtenus montrent que les deux technologies, MISHEMT et Recess Gate HEMT, présentent une transconductance élevée, de l'ordre de 600 mS/mm, favorable à une bonne linéarité, ainsi que des bonnes performances RF, susceptibles d'être améliorées par une optimisation de la structure et du procédé technologique.

Les mesures load pull indiquent que pour le composant MIS mesuré à 40 GHz et à $V_{ds} = 20V$, une puissance de sortie de 6,6 W/mm associée à une PAE de 40 %. Cette efficacité pourrait être améliorée par la réduction de l'effet DIBL via une optimisation de la structure épitaxiale. Pour le dispositif REC, bien que les effets de pièges impactent davantage les performances en puissance, une PAE de 51% et une P_{out} de 2,27 W/mm ont été mesurées à $V_{ds} = 10V$. Des performances encore plus élevées sont attendues en limitant les effets de piégeages et d'auto-échauffement. Ces résultats confirment l'intérêt et le potentiel d'optimisation des deux filières pour les applications en bande K et Ka.

La conception et la validation d'un modèle électrique petit signal et grand signal constituent une contribution essentielle de cette thèse. Ce modèle, développé à partir des mesures expérimentales et prenant en compte les effets non linéaires des dispositifs, a permis de prédire avec précision leur comportement dans des conditions réelles de fonctionnement. L'élaboration de ce modèle ouvre la voie à une exploitation fiable de cette technologie dans des circuits MMIC de nouvelle génération.

C'est dans cette perspective que lors du dernier chapitre, une conception d'un amplificateur de puissance dans la bande 26–30 GHz, réalisé à partir des transistors étudiés, ont permis de démontrer concrètement la pertinence de cette approche. L'amplificateur à deux étages répond aux exigences du cahier des charges et délivre une puissance de sortie de 33 dBm, une PAE supérieur à 32% et un gain petit signal supérieur à 15 dB. Ces travaux constituent une étape importante vers la démonstration du potentiel industriel du GaN sur Si pour les applications RF en bande Ka.

En conclusion, cette thèse a contribué à la fois à une meilleure compréhension des mécanismes physiques et technologiques régissant le comportement des transistors HEMT GaN sur Si, et à la mise en place d'outils de caractérisation et de modélisation indispensables à leur intégration dans des circuits à haute fréquence. Si des défis subsistent, notamment en matière de gestion thermique et de réduction des effets dispersifs, les résultats obtenus renforcent la crédibilité de cette technologie comme candidate majeure pour répondre aux exigences des systèmes de communication de nouvelle génération.

À plus long terme, plusieurs pistes de recherche peuvent être envisagées : l'optimisation des procédés de fabrication et de la conception afin de limiter l'auto-échauffement et les défauts cristallins, le développement de modèles encore plus compacts, ainsi que la conception de circuits plus complexes exploitant pleinement les avantages de la technologie GaN sur Si. L'extension des études vers les bandes de fréquences encore plus élevées (E-band et au-delà) constitue également une perspective naturelle pour anticiper les besoins des réseaux 6G et des systèmes de communication futurs.

Références

- [1] A. Gupta et R. K. Jha, « A Survey of 5G Network: Architecture and Emerging Technologies », *IEEE Access*, vol. 3, p. 1206-1232, 2015, doi: 10.1109/ACCESS.2015.2461602.
- [2] H. Rodrigues Dias Filgueiras *et al.*, « Wireless and Optical Convergent Access Technologies Toward 6G », *IEEE Access*, vol. 11, p. 9232-9259, 2023, doi: 10.1109/ACCESS.2023.3239807.
- [3] P. Neininger *et al.*, « Advances in GaN Devices and Circuits at Higher mm-Wave Frequencies », *E-Prime - Adv. Electr. Eng. Electron. Energy*, vol. 4, p. 100177, juin 2023, doi: 10.1016/j.prime.2023.100177.
- [4] A. Ghorbel, "RF GaN Market Broadens Its Appeal with an Appetite for GaN-on-Silicon.," *Microwave Journal*, vol. 66, no. 8, pp. 72–77, 2023.
- [5] E. Camargo, *Millimeter-Wave GaN Power Amplifier Design*. Norwood, MA: ARTECH HOUSE, 2022.
- [6] Levinstein, M. E., Rumyantsev, S. L., & Shur, M. S. (Eds.). (2001). *Properties of Advanced Semiconductor Materials: GaN, AlN, InN, BN, SiC, SiGe*. John Wiley & Sons.
- [7] B. J. Baliga, « Power semiconductor device figure of merit for high-frequency applications », *IEEE Electron Device Lett.*, vol. 10, n° 10, p. 455-457, oct. 1989, doi: 10.1109/55.43098.
- [8] H. Okumura, « Present Status and Future Prospect of Widegap Semiconductor High-Power Devices », *Jpn. J. Appl. Phys.*, vol. 45, n° 10R, p. 7565, oct. 2006, doi: 10.1143/JJAP.45.7565.
- [9] M. Abdul Alim, M. M. Ali, et A. A. Rezazadeh, « RF/Linearity figures of merit estimation for GaAs and GaN/SiC-based Nano-HEMTs », *Micro Nanostructures*, vol. 171, p. 207426, nov. 2022, doi: 10.1016/j.micrna.2022.207426.
- [10] O. Ambacher *et al.*, « Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures », *J. Appl. Phys.*, vol. 87, n° 1, p. 334-344, janv. 2000, doi: 10.1063/1.371866.
- [11] X.-G. He, D.-G. Zhao, et D.-S. Jiang, « Formation of two-dimensional electron gas at AlGaIn/GaN heterostructure and the derivation of its sheet density expression », *Chin. Phys. B*, vol. 24, n° 6, p. 067301, juin 2015, doi: 10.1088/1674-1056/24/6/067301.
- [12] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, et U. K. Mishra, « Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors », *Appl. Phys. Lett.*, vol. 77, n° 2, p. 250-252, juill. 2000, doi: 10.1063/1.126940.
- [13] M. Drinkwine, « A Comparison of MOVPE and MBE Growth Technologies for III-V Epitaxial Structures ».
- [14] B. Godejohann *et al.*, « AlN/GaN HEMTs grown by MBE and MOCVD: Impact of Al distribution », *Phys. Status Solidi B*, vol. 254, n° 8, p. 1600715, août 2017, doi: 10.1002/pssb.201600715.
- [15] M. Boćkowski et I. Grzegory, « Recent Progress in Crystal Growth of Bulk GaN », *Acta Phys. Pol. A*, vol. 141, n° 3, p. 167-174, mars 2022, doi: 10.12693/APhysPolA.141.167.
- [16] M. Wośko, B. Paszkiewicz, T. Szymański, et R. Paszkiewicz, « Comparison of electrical, optical and structural properties of epitaxially grown HEMT's type AlGaIn/AlN/GaN heterostructures on Al₂O₃, Si and SiC substrates », *Superlattices Microstruct.*, vol. 100, p. 619-626, déc. 2016, doi: 10.1016/j.spmi.2016.10.017.
- [17] Y. Zhang, K. H. Teo, et T. Palacios, « Beyond Thermal Management: Incorporating p-Diamond Back-Barriers and Cap Layers Into AlGaIn/GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 63, n° 6, p. 2340-2345, juin 2016, doi: 10.1109/TED.2016.2553136.
- [18] Levinstein, M. E., Rumyantsev, S. L., & Shur, M. S. (Eds.). (2001). *Properties of Advanced Semiconductor Materials: GaN, AlN, InN, BN, SiC, SiGe*. John Wiley & Sons.
- [19] G. J. Riedel *et al.*, « Reducing Thermal Resistance of AlGaIn/GaN Electronic Devices Using Novel Nucleation Layers », *IEEE Electron Device Lett.*, vol. 30, n° 2, p. 103-106, févr. 2009, doi: 10.1109/LED.2008.2010340.

- [20] J. J. Freedman, A. Watanabe, Y. Yamaoka, T. Kubo, et T. Egawa, « Influence of AlN nucleation layer on vertical breakdown characteristics for GaN-on-Si », *Phys. Status Solidi A*, vol. 213, n° 2, p. 424-428, févr. 2016, doi: 10.1002/pssa.201532601.
- [21] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. P. DenBaars, et U. K. Mishra, « AlGaIn/GaN high electron mobility transistors with InGaIn back-barriers », *IEEE Electron Device Lett.*, vol. 27, n° 1, p. 13-15, janv. 2006, doi: 10.1109/LED.2005.860882.
- [22] J. Zhao *et al.*, « Influence of channel/back-barrier thickness on the breakdown of AlGaIn/GaN MIS-HEMTs », *J. Semicond.*, vol. 39, n° 9, p. 094003, sept. 2018, doi: 10.1088/1674-4926/39/9/094003.
- [23] I. B. Rowena, S. L. Selvaraj, et T. Egawa, « Buffer Thickness Contribution to Suppress Vertical Leakage Current With High Breakdown Field (2.3 MV/cm) for GaN on Si », *IEEE Electron Device Lett.*, vol. 32, n° 11, p. 1534-1536, nov. 2011, doi: 10.1109/LED.2011.2166052.
- [24] E. Zanoni *et al.*, « Microwave and Millimeter-Wave GaN HEMTs: Impact of Epitaxial Structure on Short-Channel Effects, Electron Trapping, and Reliability », *IEEE Trans. Electron Devices*, vol. 71, n° 3, p. 1396-1407, mars 2024, doi: 10.1109/TED.2023.3318564.
- [25] X. Chen *et al.*, « Enhanced breakdown voltage and dynamic performance of GaN HEMTs with AlN/GaN superlattice buffer », *J. Phys. Appl. Phys.*, vol. 56, n° 35, p. 355101, août 2023, doi: 10.1088/1361-6463/acd069.
- [26] Xinhua Wang *et al.*, « Effect of GaN Channel Layer Thickness on DC and RF Performance of GaN HEMTs With Composite AlGaIn/GaN Buffer », *IEEE Trans. Electron Devices*, vol. 61, n° 5, p. 1341-1346, mai 2014, doi: 10.1109/TED.2014.2312232.
- [27] A. Teke *et al.*, « The effect of AlN interlayer thicknesses on scattering processes in lattice-matched AlInN/GaN two-dimensional electron gas heterostructures », *New J. Phys.*, vol. 11, n° 6, p. 063031, juin 2009, doi: 10.1088/1367-2630/11/6/063031.
- [28] P. Murugapandian, S. Maheswari, A. S. A. Fletcher, G. Saranya, et P. Anandan, « Recent advancement in ScAlN/GaN high electron mobility transistors: Materials, properties, and device performance », *Mater. Sci. Semicond. Process.*, vol. 193, p. 109509, juill. 2025, doi: 10.1016/j.mssp.2025.109509.
- [29] S. Heikman, S. Keller, Y. Wu, J. S. Speck, S. P. DenBaars, et U. K. Mishra, « Polarization effects in AlGaIn/GaN and GaN/AlGaIn/GaN heterostructures », *J. Appl. Phys.*, vol. 93, n° 12, p. 10114-10118, juin 2003, doi: 10.1063/1.1577222.
- [30] O. Ambacher, B. Christian, M. Yassine, M. Baeumler, S. Leone, et R. Quay, « Polarization induced interface and electron sheet charges of pseudomorphic ScAlN/GaN, GaAlN/GaN, InAlN/GaN, and InAlN/InN heterostructures », *J. Appl. Phys.*, vol. 129, n° 20, p. 204501, mai 2021, doi: 10.1063/5.0049185.
- [31] M. Charles, Y. Baines, R. Bouis, et A. Papon, « The Characterization and Optimization of GaN Cap Layers and SiN Cap Layers on AlGaIn/GaN HEMT Structures Grown on 200 mm GaN on Silicon », *Phys. Status Solidi B*, vol. 255, n° 5, p. 1700406, mai 2018, doi: 10.1002/pssb.201700406.
- [32] Y. J. Lv, X. B. Song, Y. G. Wang, Y. L. Fang, et Z. H. Feng, « Influence of Surface Passivation on AlN Barrier Stress and Scattering Mechanism in Ultra-thin AlN/GaN Heterostructure Field-Effect Transistors », *Nanoscale Res. Lett.*, vol. 11, n° 1, p. 373, déc. 2016, doi: 10.1186/s11671-016-1591-6.
- [33] S. Arulkumaran, « Surface passivation effects in AlGaIn/GaN HEMTs on high-resistivity Si substrate », in *2007 International Workshop on Physics of Semiconductor Devices*, Mumbai, India: IEEE, déc. 2007, p. 317-322. doi: 10.1109/IWPSD.2007.4472507.
- [34] Skromme, B. J. (2003). *Junctions and Barriers*. In K. H. J. Buschow, R. W. Cahn, M. C. Flemings, E. J. Kramer, & S. Mahajan (Eds.), *Encyclopedia of Materials: Science and Technology* (pp. 1–12). Elsevier Science Ltd. ISBN 0-08-043152-6
- [35] L. Cheng *et al.*, « Gate-first AlGaIn/GaN HEMT technology for enhanced threshold voltage stability based on MOCVD-grown *in situ* SiN_x », *J. Phys. Appl. Phys.*, vol. 54, n° 1, p. 015105, janv. 2021, doi: 10.1088/1361-6463/abb161.

- [36] Y.-H. Chen *et al.*, « Threshold Voltage Stability in AlGaN/GaN MIS-HEMT Structure Under Cryogenic Environment », *IEEE Trans. Electron Devices*, vol. 71, n° 11, p. 6566-6572, nov. 2024, doi: 10.1109/TED.2024.3457581.
- [37] G. Greco, F. Iucolano, et F. Roccaforte, « Ohmic contacts to Gallium Nitride materials », *Appl. Surf. Sci.*, vol. 383, p. 324-345, oct. 2016, doi: 10.1016/j.apsusc.2016.04.016.
- [38] Y. K. Yadav, B. B. Upadhyay, M. Meer, N. Bhardwaj, S. Ganguly, et D. Saha, « Ti/Au/Al/Ni/Au low contact resistance and sharp edge acuity for highly scalable AlGaN/GaN HEMTs », *IEEE Electron Device Lett.*, p. 1-1, 2018, doi: 10.1109/LED.2018.2884155.
- [39] B. Benakaprasad, A. M. Eblabla, X. Li, K. G. Crawford, et K. Elgaid, « Optimization of Ohmic Contact for AlGaN/GaN HEMT on Low-Resistivity Silicon », *IEEE Trans. Electron Devices*, vol. 67, n° 3, p. 863-868, mars 2020, doi: 10.1109/TED.2020.2968186.
- [40] H. Lu, Z. Si, B. Hou, L. Yang, X. Ma, et Y. Hao, « Low Contact Resistance CMOS-Compatible RF GaN-on-Silicon HEMTs », in *2021 IEEE 8th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Redondo Beach, CA, USA: IEEE, nov. 2021, p. 75-78. doi: 10.1109/WiPDA49284.2021.9645091.
- [41] H. Cakmak, M. Ozturk, E. Ozbay, et B. Imer, « Nonalloyed Ohmic Contacts in AlGaN/GaN HEMTs With MOCVD Regrowth of InGaN for Ka -Band Applications », *IEEE Trans. Electron Devices*, vol. 68, n° 3, p. 1006-1010, mars 2021, doi: 10.1109/TED.2021.3050740.
- [42] M. Lesecq *et al.*, « Performance improvement with non-alloyed ohmic contacts technology on AlGaN/GaN High Electron Mobility Transistors on 6H-SiC substrate », *Microelectron. Eng.*, vol. 276, p. 111998, mai 2023, doi: 10.1016/j.mee.2023.111998.
- [43] Z. Zheng, H. Seo, L. Pang, et K. (Kevin) Kim, « Nonalloyed ohmic contact of AlGaN/GaN HEMTs by selective area growth of single-crystal n⁺-Ga_{0.9}N using plasma assisted molecular beam epitaxy », *Phys. Status Solidi A*, vol. 208, n° 4, p. 951-954, avr. 2011, doi: 10.1002/pssa.201026557.
- [44] R. Aubry *et al.*, « STHM Temperature Mapping and Nonlinear Thermal Resistance Evolution With Bias on AlGaN/GaN HEMT Devices », *IEEE Trans. Electron Devices*, vol. 54, n° 3, p. 385-390, mars 2007, doi: 10.1109/TED.2006.890380.
- [45] L. Baczkowski, « présentée et soutenue par », 2015.
- [46] R. Ye *et al.*, « An Overview on Analyses and Suppression Methods of Trapping Effects in AlGaN/GaN HEMTs », *IEEE Access*, vol. 10, p. 21759-21773, 2022, doi: 10.1109/ACCESS.2021.3139443.
- [47] O. Mitrofanov et M. Manfra, « Mechanisms of gate lag in GaN/AlGa_{0.3}N/GaN high electron mobility transistors », *Superlattices Microstruct.*, vol. 34, n° 1-2, p. 33-53, juill. 2003, doi: 10.1016/j.spmi.2003.12.002.
- [48] R. Vetury, N. Q. Zhang, S. Keller, et U. K. Mishra, « The impact of surface states on the DC and RF characteristics of AlGa_{0.3}N/GaN HFETs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 560-566, mars 2001, doi: 10.1109/16.906451.
- [49] S. Arulkumaran, G. I. Ng, et Z. H. Liu, « Effect of gate-source and gate-drain Si₃N₄ passivation on current collapse in AlGa_{0.3}N/GaN high-electron-mobility transistors on silicon », *Appl. Phys. Lett.*, vol. 90, n° 17, p. 173504, avr. 2007, doi: 10.1063/1.2730748.
- [50] S. Arulkumaran, T. Egawa, H. Ishikawa, T. Jimbo, et Y. Sano, « Surface passivation effects on AlGa_{0.3}N/GaN high-electron-mobility transistors with SiO₂, Si₃N₄, and silicon oxynitride », *Appl. Phys. Lett.*, vol. 84, n° 4, p. 613-615, janv. 2004, doi: 10.1063/1.1642276.
- [51] P. Kordoš, J. Bernát, et M. Marso, « Impact of layer structure on performance of unpassivated AlGa_{0.3}N/GaN HEMT », *Microelectron. J.*, vol. 36, n° 3-6, p. 438-441, mars 2005, doi: 10.1016/j.mejo.2005.02.040.
- [52] S. Arulkumaran, T. Egawa, L. Selvaraj, et H. Ishikawa, « On the Effects of Gate-Recess Etching in Current-Collapse of Different Cap Layers Grown AlGa_{0.3}N/GaN High-Electron-Mobility Transistors », *Jpn. J. Appl. Phys.*, vol. 45, n° 3L, p. L220, mars 2006, doi: 10.1143/JJAP.45.L220.
- [53] P. S. Sreelekshmi et J. Jacob, « Field plated, gate work function engineered AlGa_{0.3}N channel HEMTs with improved DC, RF and power performance », *Micro Nanostructures*, vol. 168, p. 207330, août 2022, doi: 10.1016/j.micrna.2022.207330.

- [54] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, et U. K. Mishra, « High Breakdown Voltage AlGaIn–GaIn HEMTs Achieved by Multiple Field Plates », *IEEE Electron Device Lett.*, vol. 25, n° 4, p. 161-163, avr. 2004, doi: 10.1109/LED.2004.824845.
- [55] O. Jardel, « présentée et soutenue par ».
- [56] R. Dang, L. Yang, Z. Lv, C. Song, et Z. Xu, « A New Method to Extract Gate Bias-Dependent Parasitic Resistances in GaAs pHEMTs », *Electronics*, vol. 8, n° 3, p. 266, févr. 2019, doi: 10.3390/electronics8030266.
- [57] C. Deng *et al.*, « Suppression of Short-Channel Effects in AlGaIn/GaIn HEMTs Using SiN_x Stress-Engineered Technique », *Nanomaterials*, vol. 14, n° 22, p. 1817, nov. 2024, doi: 10.3390/nano14221817.
- [58] R. K. Kammeugne, « Caractérisation électrique approfondie des mécanismes contrôlant les performances des transistors MIS-HEMT GaIn sur silicium ».
- [59] H. W. Then *et al.*, « Advanced Scaling of Enhancement Mode High-K Gallium Nitride-on-300mm-Si(111) Transistor and 3D Layer Transfer GaIn-Silicon Finfet CMOS Integration », in *2021 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA: IEEE, déc. 2021, p. 11.1.1-11.1.4. doi: 10.1109/IEDM19574.2021.9720710.
- [60] R. ElKashlan *et al.*, « mm-Wave GaIn-on-Si HEMTs with a P_{SAT} of 3.9W/mm at 28GHz », in *2023 IEEE/MTT-S International Microwave Symposium - IMS 2023*, San Diego, CA, USA: IEEE, juin 2023, p. 24-27. doi: 10.1109/IMS37964.2023.10187976.
- [61] E. Morvan *et al.*, « 6.6W/mm 200mm CMOS compatible AlN/GaIn/Si MIS-HEMT with in-situ SiN gate dielectric and low temperature ohmic contacts », in *2023 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA: IEEE, déc. 2023, p. 1-4. doi: 10.1109/IEDM45741.2023.10413676.
- [62] Y. Fouzi *et al.*, « Nonlinear Modeling of CMOS Compatible SiN/AlN/GaIn MIS-HEMT on 200mm Si Operating at mm-Wave Frequencies », in *2024 19th European Microwave Integrated Circuits Conference (EuMIC)*, Paris, France: IEEE, sept. 2024, p. 303-306. doi: 10.23919/EuMIC61603.2024.10732270.
- [63] Y. Cao *et al.*, « Qorvo's Emerging GaIn Technologies for mmWave Applications », in *2020 IEEE/MTT-S International Microwave Symposium (IMS)*, Los Angeles, CA, USA: IEEE, août 2020, p. 570-572. doi: 10.1109/IMS30576.2020.9223913.
- [64] E. M. Chumbes *et al.*, « ScAlN-GaIn Transistor Technology for Millimeter-wave Ultra-high Power and Efficient MMICs », in *2022 IEEE/MTT-S International Microwave Symposium - IMS 2022*, Denver, CO, USA: IEEE, juin 2022, p. 295-297. doi: 10.1109/IMS37962.2022.9865268.
- [65] K. Harrouche, R. Kabouche, E. Okada, et F. Medjdoub, « High Performance and Highly Robust AlN/GaIn HEMTs for Millimeter-Wave Operation », *IEEE J. Electron Devices Soc.*, vol. 7, p. 1145-1150, 2019, doi: 10.1109/JEDS.2019.2952314.
- [66] H. Du *et al.*, « High-Performance AlN/GaIn MISHEMTs on Si With In-Situ SiN Enhanced Ohmic Contacts for Mobile mm-Wave Front-End Applications », *IEEE Electron Device Lett.*, vol. 44, n° 6, p. 911-914, juin 2023, doi: 10.1109/LED.2023.3265058.
- [67] B. De Jaeger *et al.*, « Au-free CMOS-compatible AlGaIn/GaIn HEMT processing on 200 mm Si substrates », in *2012 24th International Symposium on Power Semiconductor Devices and ICs*, Bruges, Belgium: IEEE, juin 2012, p. 49-52. doi: 10.1109/ISPSD.2012.6229020.
- [68] S. L. Selvaraj *et al.*, « Process Uniformity and Challenges of AlGaIn/GaIn MIS-HEMTs on 200-mm Si (111) Substrates Fabricated with CMOS-Compatible Process and Integration », *J. Electron. Mater.*, vol. 44, n° 8, p. 2679-2685, août 2015, doi: 10.1007/s11664-015-3777-6.
- [69] P. P. Ferrari *et al.*, « Transistor GaIn sur Si 200mm compatible CMOS pour l'amplification de puissance en bande Ka : Optimisation de l'empilement de grille ».
- [70] M. J. Uren *et al.*, « Punch-through in short-channel AlGaIn/GaIn HFETs », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 395-398, févr. 2006, doi: 10.1109/TED.2005.862702.
- [71] M. Uren *et al.*, « Control of Short-Channel Effects in GaIn/AlGaIn HFETs », in *2006 European Microwave Integrated Circuits Conference*, Manchester, UK: IEEE, sept. 2006, p. 65-68. doi: 10.1109/EMICC.2006.282751.

- [72] Q. Yu *et al.*, « The Effect of Channel Layer Thickness on the Performance of GaN HEMTs for RF Applications », *Micromachines*, vol. 16, n° 1, p. 1, déc. 2024, doi: 10.3390/mi16010001.
- [73] J. H. Leach *et al.*, « Carrier velocity in InAlN/AlN/GaN heterostructure field effect transistors on Fe-doped bulk GaN substrates », *Appl. Phys. Lett.*, vol. 96, n° 10, p. 102109, mars 2010, doi: 10.1063/1.3358192.
- [74] G. H. Jessen *et al.*, « Short-Channel Effect Limitations on High-Frequency Operation of AlGaIn/GaN HEMTs for T-Gate Devices », *IEEE Trans. Electron Devices*, vol. 54, n° 10, p. 2589-2597, oct. 2007, doi: 10.1109/TED.2007.904476.
- [75] T. Suemitsu, K. Shiojima, T. Makimura, et N. Shigekawa, « Intrinsic Transit Delay and Effective Electron Velocity of AlGaIn/GaN High Electron Mobility Transistors », *Jpn. J. Appl. Phys.*, vol. 44, n° 1L, p. L211, janv. 2005, doi: 10.1143/JJAP.44.L211.
- [76] A. Agboton *et al.*, « Electron delay analysis and image charge effect in AlGaIn/GaN HEMT on silicon substrate », in *2013 Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, Bucharest, Romania: IEEE, sept. 2013, p. 57-60. doi: 10.1109/ESSDERC.2013.6818818.
- [77] N. Moll, M. R. Hueschen, et A. Fischer-Colbrie, « Pulse-doped AlGaAs/InGaAs pseudomorphic MODFETs », *IEEE Trans. Electron Devices*, vol. 35, n° 7, p. 879-886, juill. 1988, doi: 10.1109/16.3339.
- [78] P. J. Tasker et B. Hughes, « Importance of source and drain resistance to the maximum $f_{\text{sub T}}$ of millimeter-wave MODFETs », *IEEE Electron Device Lett.*, vol. 10, n° 7, p. 291-293, juill. 1989, doi: 10.1109/55.29656.
- [79] Nidhi, T. Palacios, A. Chakraborty, S. Keller, et U. K. Mishra, « Study of Impact of Access Resistance on High-Frequency Performance of AlGaIn/GaN HEMTs by Measurements at Low Temperatures », *IEEE Electron Device Lett.*, vol. 27, n° 11, p. 877-880, nov. 2006, doi: 10.1109/LED.2006.884720.
- [80] P.-C. Chao *et al.*, « DC and microwave characteristics of sub-0.1- μm gate-length planar-doped pseudomorphic HEMTs », *IEEE Trans. Electron Devices*, vol. 36, n° 3, p. 461-473, mars 1989, doi: 10.1109/16.19955.
- [81] Y. Tang *et al.*, « Ultrahigh-Speed GaN High-Electron-Mobility Transistors With $f_{\text{T}}/f_{\text{max}}$ of 454/444 GHz », *IEEE Electron Device Lett.*, vol. 36, n° 6, p. 549-551, juin 2015, doi: 10.1109/LED.2015.2421311.
- [82] K. Shinohara *et al.*, « 220GHz f_{T} and 400GHz f_{max} in 40-nm GaN DH-HEMTs with re-grown ohmic », in *2010 International Electron Devices Meeting*, San Francisco, CA, USA: IEEE, déc. 2010, p. 30.1.1-30.1.4. doi: 10.1109/IEDM.2010.5703448.
- [83] G. H. Jessen *et al.*, « Short-Channel Effect Limitations on High-Frequency Operation of AlGaIn/GaN HEMTs for T-Gate Devices », *IEEE Trans. Electron Devices*, vol. 54, n° 10, p. 2589-2597, oct. 2007, doi: 10.1109/TED.2007.904476.
- [84] E. J. Miller *et al.*, « Trap characterization by gate-drain conductance and capacitance dispersion studies of an AlGaIn/GaN heterostructure field-effect transistor », *J. Appl. Phys.*, vol. 87, n° 11, p. 8070-8073, juin 2000, doi: 10.1063/1.373499.
- [85] S. Kumar *et al.*, « Temperature and Bias Dependent Trap Capture Cross Section in AlGaIn/GaN HEMT on 6-in Silicon With Carbon-Doped Buffer », *IEEE Trans. Electron Devices*, vol. 64, n° 12, p. 4868-4874, déc. 2017, doi: 10.1109/TED.2017.2757516.
- [86] X.-F. Zheng *et al.*, « Characterization of bulk traps and interface states in AlGaIn/GaN heterostructure under proton irradiation », *Appl. Phys. Lett.*, vol. 112, n° 23, p. 233504, juin 2018, doi: 10.1063/1.5024645.
- [87] L. Zhu, K. H. Teo, et Q. Gao, « Dynamic on-resistance and tunneling based de-trapping in GaN HEMT », in *2015 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, Singapore, Singapore: IEEE, juin 2015, p. 717-720. doi: 10.1109/EDSSC.2015.7285217.
- [88] D. Jin et J. A. Del Alamo, « Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs », in *2012 24th International Symposium on Power Semiconductor Devices and ICs*, Bruges, Belgium: IEEE, juin 2012, p. 333-336. doi: 10.1109/ISPSD.2012.6229089.

- [89] A. Santarelli *et al.*, « A Double-Pulse Technique for the Dynamic I/V Characterization of GaN FETs », *IEEE Microw. Wirel. Compon. Lett.*, vol. 24, n° 2, p. 132-134, févr. 2014, doi: 10.1109/LMWC.2013.2290216.
- [90] S. Khandelwal *et al.*, « Robust Surface-Potential-Based Compact Model for GaN HEMT IC Design », *IEEE Trans. Electron Devices*, vol. 60, n° 10, p. 3216-3222, oct. 2013, doi: 10.1109/TED.2013.2265320.
- [91] S. Ghosh, S. A. Ahsan, A. Dasgupta, S. Khandelwal, et Y. S. Chauhan, « GaN HEMT modeling for power and RF applications using ASM-HEMT », in *2016 3rd International Conference on Emerging Electronics (ICEE)*, Mumbai, India: IEEE, déc. 2016, p. 1-4. doi: 10.1109/ICEmElec.2016.8074569.
- [92] R. Fang, D. Ma, U. Radhakrishna, et L. Wei, « MVSG GaN-HEMT Model: Approach to Simulate Fringing Field Capacitances, Gate Current De-biasing, and Charge Trapping Effects », in *2022 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Phoenix, AZ, USA: IEEE, oct. 2022, p. 21-24. doi: 10.1109/BCICTS53451.2022.10051741.
- [93] S. Ma, J. Liu, J. Wang, et Y. Xia, « Comparison of Two Standard Physical Models of GaN HEMTs: MVSG and ASM », in *2021 IEEE MTT-S International Wireless Symposium (IWS)*, Nanjing, China: IEEE, mai 2021, p. 1-3. doi: 10.1109/IWS52775.2021.9499351.
- [94] Qi-Jun Zhang, K. C. Gupta, et V. K. Devabhaktuni, « Artificial neural networks for rf and microwave design-from theory to practice », *IEEE Trans. Microw. Theory Tech.*, vol. 51, n° 4, p. 1339-1350, avr. 2003, doi: 10.1109/TMTT.2003.809179.
- [95] A. H. Jarndal, O. A. Alhammedi, et R. H. Al-Ali, « GaN power amplifiers design using genetic neural network model », in *2015 International Conference on Communications, Signal Processing, and their Applications (ICCSPA'15)*, Sharjah, United Arab Emirates: IEEE, févr. 2015, p. 1-6. doi: 10.1109/ICCSPA.2015.7081304.
- [96] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, et H. A. Haus, « GaAs FET device and circuit simulation in SPICE », *IEEE Trans. Electron Devices*, vol. 34, n° 2, p. 160-169, févr. 1987, doi: 10.1109/T-ED.1987.22902.
- [97] W. R. Curtice et M. Ettenberg, « A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers », *IEEE Trans. Microw. Theory Tech.*, vol. 33, n° 12, p. 1383-1394, déc. 1985, doi: 10.1109/TMTT.1985.1133229.
- [98] I. Angelov, H. Zirath, et N. Rosman, « A new empirical nonlinear model for HEMT and MESFET devices », *IEEE Trans. Microw. Theory Tech.*, vol. 40, n° 12, p. 2258-2266, déc. 1992, doi: 10.1109/22.179888.
- [99] I. Angelov, N. Rorsman, J. Stenarson, M. Garcia, et H. Zirath, « An empirical table-based FET model », *IEEE Trans. Microw. Theory Tech.*, vol. 47, n° 12, p. 2350-2357, déc. 1999, doi: 10.1109/22.808981.
- [100] G. Dambrine, A. Cappy, F. Heliodore, et E. Playez, « A new method for determining the FET small-signal equivalent circuit », *IEEE Trans. Microw. Theory Tech.*, vol. 36, n° 7, p. 1151-1159, juill. 1988, doi: 10.1109/22.3650.
- [101] A. Jarndal et G. Kompa, « A new small-signal modeling approach applied to GaN devices », *IEEE Trans. Microw. Theory Tech.*, vol. 53, n° 11, p. 3440-3448, nov. 2005, doi: 10.1109/TMTT.2005.857332.
- [102] Z. Wen, Y. Xu, C. Wang, X. Zhao, et R. Xu, « An efficient parameter extraction method for GaN HEMT small-signal equivalent circuit model », *Int. J. Numer. Model. Electron. Netw. Devices Fields*, vol. 30, n° 1, p. e2127, janv. 2017, doi: 10.1002/jnm.2127.
- [103] A. Z. Landa, J. E. Zuniga-Juarez, J. A. Reynoso-Hernandez, M. C. Maya-Sanchez, E. L. Piner, et K. J. Linthicum, « A New and Better Method for Extracting the Parasitic Elements of On-Wafer GaN Transistors », in *2007 IEEE/MTT-S International Microwave Symposium*, Honolulu, HI, USA: IEEE, juin 2007, p. 791-794. doi: 10.1109/MWSYM.2007.380077.
- [104] N. Moulitif, A. Echeverri, D. Carisetti, O. Latry, et E. Joubert, « Thermal Analysis of AlGaIn/GaN High-Electron Mobility Transistors Using I-V Pulsed Characterizations and Infra Red Microscopy », *IEEE Trans. Device Mater. Reliab.*, vol. 19, n° 4, p. 704-710, déc. 2019, doi: 10.1109/TDMR.2019.2950091.

- [105] M. Zhao *et al.*, « Thermal analysis of AlGaIn/GaN high-electron-mobility transistors by infrared microscopy », *Opt. Commun.*, vol. 291, p. 104-109, mars 2013, doi: 10.1016/j.optcom.2012.10.077.
- [106] M. Kuball et J. W. Pomeroy, « A Review of Raman Thermography for Electronic and Opto-Electronic Device Measurement With Submicron Spatial and Nanosecond Temporal Resolution », *IEEE Trans. Device Mater. Reliab.*, vol. 16, n° 4, p. 667-684, déc. 2016, doi: 10.1109/TDMR.2016.2617458.
- [107] R. Sommet, C. Chang, R. Quéré, et P. Duême, « Model order reduction of linear and nonlinear 3D thermal finite-element description of microwave devices for circuit analysis », *Int. J. RF Microw. Comput.-Aided Eng.*, vol. 15, n° 5, p. 398-411, sept. 2005, doi: 10.1002/mmce.20105.
- [108] J. Joh, J. A. Del Alamo, U. Chowdhury, T.-M. Chou, H.-Q. Tserng, et J. L. Jimenez, « Measurement of Channel Temperature in GaN High-Electron Mobility Transistors », *IEEE Trans. Electron Devices*, vol. 56, n° 12, p. 2895-2901, déc. 2009, doi: 10.1109/TED.2009.2032614.
- [109] X. Zheng, J. W. Pomeroy, G. Jindal, et M. Kuball, « Temperature-Dependent Thermal Impedance Measurement of GaN-Based HEMTs Using Transient Thermoreflectance », *IEEE Trans. Electron Devices*, vol. 71, n° 4, p. 2367-2372, avr. 2024, doi: 10.1109/TED.2024.3367309.
- [110] S. Forestier, T. Gasselting, Ph. Bouysse, R. Quere, et J. M. Nebus, « A new nonlinear capacitance model of millimeter wave power PHEMT for accurate AM/AM-AM/PM simulations », *IEEE Microw. Wirel. Compon. Lett.*, vol. 14, n° 1, p. 43-45, janv. 2004, doi: 10.1109/LMWC.2003.820635.
- [111] P. Luo, F. Schnieder, et M. Rudolph, « Chalmers GaN HEMT charge model revisited », in *2018 11th German Microwave Conference (GeMiC)*, Freiburg, Germany: IEEE, mars 2018, p. 164-167. doi: 10.23919/GEMIC.2018.8335055.
- [112] I. Angelov, L. Bengtsson, et M. Garcia, « Extensions of the Chalmers nonlinear HEMT and MESFET model », *IEEE Trans. Microw. Theory Tech.*, vol. 44, n° 10, p. 1664-1674, oct. 1996, doi: 10.1109/22.538957.
- [113] O. Jardel *et al.*, « An Electrothermal Model for AlGaIn/GaN Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR », *IEEE Trans. Microw. Theory Tech.*, vol. 55, n° 12, p. 2660-2669, déc. 2007, doi: 10.1109/TMTT.2007.907141.
- [114] D. Wohler, B. Peterson, T. R. Mya Kywe, L. Ledezma, et J. Gengler, « 8-Watt Linear Three-Stage GaN Doherty Power Amplifier for 28 GHz 5G Applications », in *2019 IEEE BiCMOS and Compound semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Nashville, TN, USA: IEEE, nov. 2019, p. 1-4. doi: 10.1109/BCICTS45179.2019.8972750.
- [115] M. Bao, D. Gustafsson, R. Hou, Z. Ouarch, C. Chang, et K. Andersson, « A 24–28-GHz Doherty Power Amplifier With 4-W Output Power and 32% PAE at 6-dB OPBO in 150-nm GaN Technology », *IEEE Microw. Wirel. Compon. Lett.*, vol. 31, n° 6, p. 752-755, juin 2021, doi: 10.1109/LMWC.2021.3063868.
- [116] E. Richard *et al.*, « A 17.3-20.3 GHz Doherty Power Amplifier with 14W Saturated Output Power and 28% PAE at 6dB OPBO in 150nm GaN Technology », in *2022 IEEE/MTT-S International Microwave Symposium - IMS 2022*, Denver, CO, USA: IEEE, juin 2022, p. 422-425. doi: 10.1109/IMS37962.2022.9865263.
- [117] R.-J. Liu *et al.*, « A 24–28-GHz GaN MMIC Synchronous Doherty Power Amplifier With Enhanced Load Modulation for 5G mm-Wave Applications », *IEEE Trans. Microw. Theory Tech.*, vol. 70, n° 8, p. 3910-3922, août 2022, doi: 10.1109/TMTT.2022.3176818.
- [118] R. Guo, H. Tao, et B. Zhang, « A 26 GHz Doherty power amplifier and a fully integrated 2x2 PA in 0.15µm GaN HEMT process for heterogeneous integration and 5G », in *2018 IEEE MTT-S International Wireless Symposium (IWS)*, Chengdu: IEEE, mai 2018, p. 1-4. doi: 10.1109/IEEE-IWS.2018.8401017.
- [119] Mohd. Imran, P. Gupta, Reeta, et M. Mishra, « GaN HEMT based Ku-band Power Amplifier MMIC », in *2022 IEEE Microwaves, Antennas, and Propagation Conference (MAPCON)*, Bangalore, India: IEEE, déc. 2022, p. 792-795. doi: 10.1109/MAPCON56011.2022.10047238.

- [120] J. Zhang, X. Yan, H. Luo, et Y. Guo, « High Efficiency Ku-Band 13 W GaN HEMT HPA », in *2022 IEEE MTT-S International Wireless Symposium (IWS)*, Harbin, China: IEEE, août 2022, p. 1-3. doi: 10.1109/IWS55252.2022.9977587.
- [121] K. Nakatani, Y. Yamaguchi, Y. Komatsuzaki, S. Sakata, S. Shinjo, et K. Yamanaka, « A Ka-Band High Efficiency Doherty Power Amplifier MMIC using GaN-HEMT for 5G Application », in *2018 IEEE MTT-S International Microwave Workshop Series on 5G Hardware and System Technologies (IMWS-5G)*, Dublin: IEEE, août 2018, p. 1-3. doi: 10.1109/IMWS-5G.2018.8484612.
- [122] Y. Yamaguchi, K. Nakatani, et S. Shinjo, « A Wideband and High Efficiency Ka-band GaN Doherty Power Amplifier for 5G Communications », in *2020 IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS)*, Monterey, CA, USA: IEEE, nov. 2020, p. 1-4. doi: 10.1109/BCICTS48439.2020.9392982.
- [123] J. D. Pino *et al.*, « A Ku-Band GaN-on-Si MMIC Power Amplifier with an Asymmetrical Output Combiner », *Sensors*, vol. 23, n° 14, p. 6377, juill. 2023, doi: 10.3390/s23146377.
- [124] A. Gasmi *et al.*, « A 10 W, 35 % Power Added Efficiency 6 to 18 GHz GaN Power Amplifier », in *2020 50th European Microwave Conference (EuMC)*, Utrecht, Netherlands: IEEE, janv. 2021, p. 792-795. doi: 10.23919/EuMC48046.2021.9338162.
- [125] P. Colantonio, M. Lopez, L. Cabria, F. Vitobello, et R. Giofre, « 10W High Efficiency GaN-Si MMIC Power Amplifier for 17.3-20.2 GHz Onboard Satellite Use », in *2022 IEEE/MTT-S International Microwave Symposium - IMS 2022*, Denver, CO, USA: IEEE, juin 2022, p. 775-777. doi: 10.1109/IMS37962.2022.9865599.
- [126] R. Giofre, A. Del Gaudio, W. Ciccognani, S. Colangeli, et E. Limiti, « A GaN-on-Si MMIC Doherty Power Amplifier for 5G Applications », in *2018 Asia-Pacific Microwave Conference (APMC)*, Kyoto: IEEE, nov. 2018, p. 971-973. doi: 10.23919/APMC.2018.8617664.
- [127] A. Piacibello, R. Giofre, R. Quaglia, et V. Camarchia, « 34 dBm GaN Doherty Power Amplifier for Ka-band satellite downlink ».
- [128] G. Callet, « Caractérisation et modélisation de transistors HEMT AlGaIn/GaN et InAlN/GaN pour l'amplification de puissance en radio-fréquences ».
- [129] G. Crupi, A. Raffo, V. Vadala, G. Vannini, D. M. M.-P. Schreurs, et A. Caddemi, « Scalability of Multifinger HEMT Performance », *IEEE Microw. Wirel. Compon. Lett.*, vol. 30, n° 9, p. 869-872, sept. 2020, doi: 10.1109/LMWC.2020.3012181.

Résumé

Dans le contexte de l'essor des télécommunications et de l'exploitation de bandes de fréquences toujours plus élevées, notamment la bande Ka, essentielle pour les systèmes satellitaires et les futurs réseaux mobiles. Dans ce cadre, la technologie HEMT GaN sur silicium, développée par le CEA-Leti et compatible CMOS, a été étudiée comme une solution prometteuse alliant performances RF, intégration et coûts maîtrisés.

Les contributions de ce travail se déclinent en plusieurs volets. Une méthodologie complète de caractérisation a tout d'abord été proposée afin d'identifier et de quantifier les effets limitatifs liés aux phénomènes thermiques et aux pièges, qui dégradent les performances dynamiques des dispositifs. Ces travaux ont permis de comparer différentes variantes technologiques (MISHEMT, Recess-Gate) et de mettre en évidence leurs points forts respectifs. Par ailleurs, un modèle électrique petit signal et grand signal a été élaboré, intégrant les comportements non linéaires et offrant un outil fiable pour la conception de circuits MMIC.

Enfin, la conception d'un amplificateur de puissance à deux étages opérants entre 26 et 30 GHz, basé sur les transistors étudiés, a démontré la pertinence de cette technologie pour des applications concrètes en bande Ka. Les performances obtenues présentent une Pout de 33 dBm et une PAE supérieur à 30% et gain petit signal supérieur à 15 dB, confirment le potentiel industriel du GaN sur Si pour les futures générations de systèmes de communication.

En conclusion, cette recherche a contribué à la fois à une meilleure compréhension des mécanismes physiques des transistors GaN sur Si et à leur mise en œuvre dans des circuits intégrés à haute fréquence. Si des défis persistent, notamment en matière de gestion thermique et de fiabilité, les perspectives ouvertes concernent l'optimisation des procédés, l'élargissement de la modélisation et l'exploration de fréquences encore plus élevées, en lien avec l'évolution vers les réseaux 6G et au-delà.

Abstract

In the context of the rapid expansion of telecommunications and the exploitation of increasingly high frequency bands, particularly the Ka-band, which is essential for satellite systems and future mobile networks. In this framework, the GaN-on-silicon HEMT technology developed by CEA-Leti, and CMOS compatible, was investigated as a promising solution that combines RF performance, integration capability, and cost efficiency.

The contributions of this thesis can be summarized in several key points. First, a comprehensive characterization methodology was proposed to identify and quantify the limiting effects of thermal phenomena and trapping mechanisms, which degrade the dynamic behavior of the devices. This study enabled the comparison of different technological variants (MISHEMT, Recess-Gate) and highlighted their respective advantages. In addition, a small-signal and large-signal electrical model was developed, incorporating nonlinear effects and providing a reliable tool for MMIC design.

Finally, the design of a two stage power amplifier operating between 26 and 30 GHz, based on the transistors studied, demonstrated the relevance of this technology for concrete Ka-band applications. The performance shows an output power of 33 dBm, a PAE greater than 30%, and a small signal gain above 15 dB confirms the industrial potential of GaN on Si for next-generations communication systems.

In conclusion, this research has contributed both to a deeper understanding of the physical mechanisms in GaN on Si transistors and to their practical implementation in high-frequency integrated circuits. While challenges remain, particularly regarding thermal management and device reliability, the perspectives opened by this work include process optimization, advanced modeling approaches, and the exploration of even higher frequency bands in view of 6G networks and beyond.