Microcavités pour composants RF-SOI-CMOS ultra-rapides pour applications 5G et au-delà

Microcavities for ultra-fast RF-SOI-CMOS components for 5G applications and beyond

Thèse

Présenté à l'Université de Lille, faculté des Sciences et Technologies et Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN) UMR CNRS 8520 par

Daniel GHEYSENS

Pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité : Electronique, microélectronique et nanoélectronique et micro-ondes, Ecole Doctorale Sciences de l'ingénierie et des systèmes (ENGSYS-632)

Soutenue le **26 février 2026** devant un jury composé de :

M. Frédéric ANIEL Professeur des Université, Université Paris-Saclay, C2N UMR 9001	Rapporteur
M. Pascal MASSON Professeur des Université, Université de Côtes d'Azur, Polytech'Lab UPR 7498	Rapporteur
M. Stéphane BILA Directeur de Recherche CNRS, XLIM UMR 7252	Examinateur
Mme. Marina DENG Maîtresse de Conférences, Université de Bordeaux, IMS UMR 5218	Examinatrice
M. Jean-François ROBILLARD Enseignant/Chercheur Junia, IEMN UMR 8520	Examinateur
M. Emmanuel DUBOIS Directeur de recherche CNRS, IEMN UMR 8520	Directeur de thèse
M. Alain FLEURY Senior Program Manager, STMicroelectronics Crolles	Invité
M. Stéphane MONFRAY Senior Member of Technical Staff, STMicroelectronics Crolles	Invité

Table des matières

Table des illustrations....6
Préface....12
Résumé - Abstract....14
Glossaire....18
Introduction....20
Chapitre 1 : Commutateurs RF-SOI-CMOS pour les télécommunications : contexte, défis, solutions de rupture....24
1.1 Introduction....24
1.2 L'évolution des standards de communication....24
1.3 Les Commutateur SOI : une technologie qui évolue....29
1.3.1 Le commutateur radio-fréquence....29
1.3.2 Les transistors à matériaux à changement de phase....31
1.3.3 Les Micro-Electro-Mechanical Systems (MEMS)....34
1.3.4 Les transistor MOS et la technologie CMOS....35
1.4 Les pistes d'évolution de la technologie....38
1.4.1 Architectures série/shunt optimisées....39
1.4.2 Compensation distribuée des capacités parasites à haute fréquence....40
1.4.3 Utilisation de matériaux bidimensionnels pour améliorer le contrôle du canal....40
1.4.4 Optimisation du procédé RF-SOI....41
1.4.5 Procédé de retrait sacrificiel....43
1.4.6 Matériaux low-κ poreux....45
1.4.7 Gravure sélective contrôlée....46
1.4.8 Formation d'air gaps par dépôt non conforme....47
1.5 Conclusion du chapitre 1....48
Chapitre 2 : Simulations et méthodes de caractérisation de commutateurs RF à microcavités....50
2.1 Introduction....50
2.2 Structures de commutateurs et conditions de départ....50
2.2.1 Caractéristiques et dimensionnement....50
2.2.2 Schémas des empilements : référence pour la simulation et la gravure....53
2.2.3 Choix des modèles de simulation....54
2.3 Simulation du transport de charge dans le transistor (FEOL)....56
2.3.1 Simulation dérive-diffusion en différences finies et partitionnement de la structure....56
2.3.2 Exploitation des résultats de simulation dérive-diffusion et de mesures....58
2.4 Simulations RF du réseau d'interconnexions (BEOL) :....63
2.5 Calibrage des deux modèles complémentaires....69

2.6 Introduction de microcavités par gravure et impact sur C_{OFF} 73
2.7 Analyse des résultats 75
2.8 Conclusion du chapitre 2 76
Chapitre 3 : Procédés de fabrication des microcavités et procédés annexes 78
3.1 Introduction 78
3.2 Réflexion initiale et procédé préliminaire 78
3.2.1 Etapes du procédé 78
3.2.2 La gravure par faisceau d'ions focalisés : le centre du procédé 80
3.2.3 Déroulé du procédé 81
3.2.4 La gravure par ions réactifs : un outil de finition 82
3.2.5 Résultats finaux du procédé initial 85
3.3 Evolution du procédé 86
3.3.1 Etapes du procédé abouti 86
3.3.2 La gravure à l'acide fluorhydrique : un outil puissant mais difficile à contrôler 86
3.3.3 Une structure libérée mais fragilisée 88
3.3.4 L'alumine : une couche de protection 90
3.3.5 Résolution de problème limitant 93
3.3.6 Aboutissement du procédé sur structures du masque Tweeny 96
3.3.7 Procédé sur structures du masque Nightingale 97
3.4 Procédés parallèles 100
3.4.1 Procédé de protection post-gravure 100
3.4.2 Vers un contrôle poussé de la gravure au HF 102
3.5 Conclusion du chapitre 3 102
Chapitre 4 : Caractérisation et analyse des résultats 104
4.1 Introduction 104
4.2 Etude statique des puces après procédé 104
4.2.1 Setup et paramètres de mesure 104
4.2.2 Résultats statiques et impact du recuit thermique 107
4.3 Etude radiofréquence des puces après procédé 109
4.3.1 Setup et paramètres de mesure en radiofréquence 110
4.3.2 Résultats d'extraction de C_{OFF} 111
4.3.3 Résultats d'extraction pour R_{ON} 114
4.3.4 Setup et paramètres de mesure de tenue en puissance 117
4.3.5 Evaluation de la tenue en puissance 119
4.4 Comparaison avec l'état de l'art et discussion 127
4.5 Conclusion du chapitre 4 129

Conclusion générale et perspectives 131
Références 135
Production scientifique 145

Table des illustrations

Fig. 1 : Répartition mondiale du spectre 5G en décembre 2020, « Qualcom 2020 » 25
Fig. 2 : Schéma illustrant l'utilisation du Massive MIMO 26
Fig. 3 : Schéma de principe de l'accès multiple non-orthogonal 26
Fig. 4 : a) Exemple d'un signal modulé avec une porteuse avec b) la décomposition fréquentielle du même signal 27
Fig. 5 : Répartition des modulations possibles en configuration a) 16 états, b) 32 états, c) 64 états et d) 256 états 27
Fig. 6 : Schéma de principe du 'front-end' d'un combiné téléphonique, illustrant la chaîne de traitement du signal entre l'antenne et les circuits de réception/émission. 28
Fig. 7 : Schéma de principe du « front-end » d'un combiné téléphonique, illustrant la chaîne de traitement du signal entre l'antenne et les circuits de réception/émission. 29
Fig. 8 : Schéma 3D d'une cellule de commutateur PCM mettant en évidence l'organisation des pads et du heater. [SIN19] 31
Fig. 9 : Diagramme de phase ternaire GeSbTe représentant divers alliages à changement de phase ainsi que des compositions monophasiques situées sur la ligne de jonction entre GeTe et Sb2Te3. [SIN19] 32
Fig. 10 : Exemple de pulses de SET et RESET en fonction du temps, utilisés pour le contrôle d'un commutateur PCM. 33
Fig. 11 : Image d'une structure de switch MEMS vue en microscopie électronique, illustrant la géométrie générale du dispositif, avec ses zones d'ancrage fixes, la partie mobile (pont ou membrane) et les électrodes assurant la commutation RF. [REB13] 34
Fig. 12 : Schéma d'une structure a) MOS et b) SOI mettant en évidence certaine des capacités parasites 36
Fig. 13 : Métrique $R_{ON} \times C_{OFF}$ comparant les technologies PCM et SOI, utilisée comme facteur de mérite pour évaluer les performances des commutateurs RF en termes de bande passante et d'efficacité. [WAI20] [HIN14] [SIN18] [SIN15] [SLO17] [BET20] [BOT09] [BOL11] [HOW14] 38
Fig. 14 : Schéma de l'architecture série/shunt d'un commutateur RF, où la branche série assure la transmission du signal en état ON et la branche shunt garantit l'isolation en dérivant le signal vers la masse en état OFF. [GUA19] 39
Fig. 15 : Schéma électrique d'un circuit à commutation distribuée, illustrant la répartition des éléments de commutation le long de la ligne de transmission afin d'optimiser l'adaptation et la bande passante [SHU15] 40
Fig. 16 : Graphique de l'impact dimensionnel de la grille sur le produit $C_{OFF} \times R_{ON}$: a) en fonction de la longueur de grille et b) en fonction de l'épaisseur de grille. [GIA22] 41
Fig. 17 : Graphique de l'impact des leviers influençant la mobilité des électrons : a) sur le RON et le COFF, et b) sur le produit $R_{ON} \times C_{OFF}$ ainsi que sur RFV_{max}. [Gia22] 42
Fig. 18 : Schéma illustrant le principe de formation d'un air-gap par retrait d'un matériau sacrificiel [CHE20] 45
Fig. 19 : Schéma d'intégration d'une structure d'interconnexion intégrant un air-gap [GOS07] 47
Fig. 20 : Coupe MEB illustrant la formation d'un air-gap obtenu par gravures sélectives dans la structure d'interconnexion. [GOS03] 48
Fig. 21 : Vue de dessus du dessin de masque d'un élément de commutateur RF a) Tweeny et b) Nightingale et c) légende descriptive des différentes couches 51
Fig. 22 : a) Empilement de la structure Tweeny illustrée par les coupes A-A' et B-B' de la Fig. 21-a et b) Empilement de la structure Nightingale illustrée par les coupes A-A' et B-B' de la Fig. 21-b 54

Fig. 23 : Découpe des parties FEOL et BEOL pour le modèle de simulation illustré selon le plan de coupe AA' de la figure 1 55
Fig. 24 : a) Schéma en coupe de la structure montrant l'étalement en x des points de référence b) Schéma en coupe de la structure montrant l'étalement en y des points de référence 57
Fig. 25 : a) Graphique du courant de drain en fonction de la tension de grille pour des tensions de drain allant de 0.1V à 1.1V b) Graphique logarithmique du courant de drain en fonction de la tension de grille pour des tensions de drain allant de 0.1V à 1.1V 59
Fig. 26 : graphique du courant de drain en fonction de la tension de drain pour des tensions de grille allant de 0V à 2.5V 60
F**ig. 27** : Abaque de Smith d'une structure Tweeny vierge mesurée 60
Fig. 28 : a) Modèle de la structure en π utilisé pour l'extraction du C_{OFF} b) schéma simplifié équivalent à la zone d'étude entre source et drain.....62
Fig. 29 : a) Paramètre S de la simulation FEOL représenté sur un abaque de Smith b) Graphique représentant C_{OFF} en fonction de la fréquence de la simulation FEOL.....63
Fig. 30 : a) Empilement complet de la structure modélisée sous le module Momentum, b) détail de l'empilement illustrant la superposition des différentes couches, c) modélisation 3D générée par le module Momentum mettant en évidence la couche M2 ainsi que deux résistances associées à la grille et au body, et d) vue agrandie de la modélisation 3D montrant les contacts, les vias et la couche M1. 67
Fig. 31 : Localisation des ports de la simulation BEOL 67
Fig. 32 : Paramètre S de la simulation BEOL représenté sur un abaque de Smith b) Graphique représentant le C_{OFF} en fonction de la fréquence de la simulation BEOL.....69
Fig. 33 : Tension de seuil simulée en fonction de la longueur de grille physique.....70
Fig. 34 : C_{OFF} simulé en fonction de la longueur de grille physique regroupant 4 conditions de simulation jouant sur l'utilisation de la work function ou la présence des spacers 71
Fig. 35 : Modèle de la structure en π utilisé pour l'extraction du C_{OFF}.....72
Fig. 36 : Comparaison entre les R_{ON} simulés et expérimentaux en fonction de la longueur de grille, pour différentes configurations d'extraction : méthode RF (conversion S→Z, 2-ports) et pente à l'origine des courbes Id–Vd 73
Fig. 37 : $COFF$ en fonction de la profondeur d'une gravure de front uniforme pour la simulation a) de la structure Tweeny et b) de la structure Nightingale.....74
Fig. 38 : Image SEM à différent moment du procédé FIB réalisé sur une structure Tweeny : (a) Vue du dessus des tranchées. (b) Vue incliné de la structure finale. (c) Plan de coupe montrant la gravure partielle de l'oxyde après la dernière étape de gravure FIB. (d) Plan de coupe avec la répartition oxyde/air en fond de tranchées.....75
Fig. 39 : Métrique $R_{ON}{\cdot}C_{OFF}$ comparant l'état de l'art aux valeurs simulées pour les structures Tweeny (incluant la structure assimilée à celle de la figure 38-d) et pour les structures Nightingale. 76
Fig. 40 : a) Layout en vue de dessus de la structure **Tweeny**, indiquant les deux plans de coupe (AA' et BB') et b) Schéma du procédé de gravure représenté le long des plans de coupe AA' et BB'. 79
F**ig. 41** : Schéma de principe du FIB illustrant son utilisation : a) pour la gravure localisée de la structure, b) pour le dépôt sélectif de platine.....80
Fig. 42 : a) Schéma de la structure Tweeny illustrant les étapes 1 et 2 du procédé de gravure selon les plans de coupe AA' et BB' de la figure 1-a et b) Images de microscopie électronique à balayage (MEB) en vue de dessus d'une structure Tweeny après réalisation des étapes 1 et 2 du procédé. 82
Fig. 43 : Schéma de principe de la gravure RIE avec 1. Décomposition des gaz en espèces chimiquement réactives dans le plasma, 2. Diffusion des espèces réactives jusqu'à la surface, 3. Absorption des espèces réactives sur la couche de matériau, 4. Réaction entre les espèces réactives

et la couche de matériau, 5. Désorption des sous-produits de réaction, 6. Diffusion des sous-produits 83
Fig. 44 : a) Schéma de principe de la détection de fin d'attaque par interférométrie, b) Image issue de la caméra montrant le positionnement du laser utilisé pour la détection, c) Évolution du signal reçu en fonction du temps de gravure. 84
Fig. 45 : a) Schéma illustrant les tranchées par gravure FIB dans la structure suivant les plans de coupe A-A' et B-B' de la figure 1-a, b) Image SEM prise après gravure et c) plan de coupe colorisé montrant le profil de gravure au sein de la structure.....85
Fig. 46 : Schéma illustrant les différentes étapes du procédé de gravure le plus abouti, depuis la préparation de la surface jusqu'à l'obtention de la cavité finale suivant les plans de coupe AA' et BB' de la figure 1-a 86
Fig. 47 : a) Image SEM d'une structure Tweeny après gravure, b) Image SEM de la même structure inclinée, mettant en évidence l'agencement des niveaux métalliques et c) Image SEM inclinée et zoomée focalisant sur les contacts et la grille au sein de la cavité. 88
Fig. 48 : a) Image SEM en surface montrant les dommages induits par la gravure au HF vapeur ; b) Vue SEM agrandie de la même zone, mettant en évidence la dégradation locale du matériau ; c) Image optique illustrant l'impact de la gravure sur les pads de mesure ; d) Image montrant le décollement du pad et le déchirement de l'oxyde environnant. 89
Fig. 49 : a) Schéma de principe d'un cycle de dépôt alternant entre introduction et l'absorption d'un précurseur puis de sa réaction pour deux précurseur nommé A et B et b) Cas pratique pour le dépôt d'Al_2O_3 [VAN17].....91
Fig. 50 : Image SEM en plan de coupe illustrant l'épaisseur de la couche d'alumine déposée dans l'empilement oxyde–alumine–conducteur pour a) un dépôt de 10 nm et b) Un dépôt de 40nm. 92
Fig. 51 : Image MEB en plan de coupe montrant l'absence de gravure par HF vapeur sur un substrat d'oxyde recouvert d'une couche protectrice d'alumine, utilisée comme barrière sélective pour a) 10nm et b) 40nm 93
Fig. 52 : a) Image SEM d'une structure après gravure au HF vapeur sans couche d'alumine en surface, montrant une dégradation marquée de l'oxyde ; b) Image SEM d'une structure similaire après gravure HF avec la présence d'une couche d'alumine protectrice en surface, illustrant l'efficacité de cette barrière contre l'attaque chimique. 93
Fig. 53 : a) Image SEM mettant en évidence le voile limitant la pénétration du HF vapeur, b) Image SEM agrandi servant pour une spectrométrie EDX, c) Résultat de la spectrométrie et image colorisé révélant la présence d) d'aluminium, e) de titane, f) de silicium, g) de gallium et h) d'oxygène 95
Fig. 54 : Image SEM en vue de dessus d'une structure après ouverture d'une fenêtre au FIB à travers la couche d'alumine. 96
Fig. 55 : Image MEB d'une structure après procédé complet : a) vue de dessus, b) vue agrandie en bord de cavité, c) vue agrandie sur les niveaux M1 et M2, et d) plan de coupe figé avec dépôt localisé de platine réalisé par FIB.....96
Fig. 56 : Image SEM en plan de coupe illustrant l'impact destructeur du HF sur la structure : a) vue agrandie et b) vue globale.....97
Fig. 57 : **:** Image SEM en vue de dessus montrant : a) la topologie tridimensionnelle de la structure Nightingale, et b) la non-conformité du dépôt d'alumine après gravure HF. 98
Fig. 58 : a) Layout en vue de dessus de la structure Nightingale, indiquant les deux plans de coupe (AA' et BB') et b) Schéma du procédé de gravure représenté le long des plans de coupe AA' et BB'. ..98
Fig. 59 : a) Image SEM d'une structure Nightingale après réalisation complète du procédé b) Image SEM agrandi et tilté d'une autre puce Nightingale de même dimension 99
Fig. 60 : **a)** Image SEM d'une structure Nightingale après réalisation des tranchées par FIB : a) vue de dessus, b) vue de dessus agrandie, c) plan de coupe, et d) plan de coupe agrandi. 100

Fig. 61 : a) Schéma de principe de la couche protectrice, b) image SEM en vue de dessus des tranchées, c) plan de coupe après dépôt, et d) zoom sur des tranchées de 200 nm partiellement recouvertes.....101
Fig. 62 : Schéma illustrant l'intégration de la couche d'AlN au-dessus du nitrure CESL.....102
Fig. 63 : Image optique montrant la disposition des pads de mesure pour : a) une structure C_{OFF} Tweeny 220 élément 4, b) une structure Nightingale 370 élément 2, c) une vue agrandie de la structure Tweeny, d) une vue agrandie de la structure Nightingale. 105
Fig. 64 : a) Image SEM de la puce F5 gravée, b) image agrandie montrant le fond de cavité, c) Graphique du courant de drain en fonction de la tension de grille pour différentes tensions de drain, comparant une puce de référence et la puce impactée par la gravure et d) Représentation en échelle logarithmique des mêmes mesures afin de mettre en évidence la perte de contrôle de la grille sur la puce gravée. 107
Fig. 65 : Graphique du courant de drain en fonction de la tension de drain pour différentes tensions de grille comparant une puce de référence et la puce impactée par la gravure.....108
Fig. 66 : a) Image SEM d'une structure Nightingale présentant des tranchées réalisées au FIB ; b) courbe I_{DS}-V_{GS} comparant la mesure de la structure gravée avec celle d'une puce de référence ; c) représentation en échelle logarithmique de la même comparaison ; d) courbe I_{DS}-V_{GS} après recuit thermique confrontée à la référence ; e) représentation en échelle logarithmique de la mesure post-recuit comparée à la référence.....109
Fig. 67 : a) Photographie du banc de mesure RF, montrant l'analyseur de réseau vectoriel (VNA) connecté aux sondes de mesure, b) et c) vue agrandie focalisée sur les sondes différentielles positionnées sur le dispositif testé, mettant en évidence la précision de l'alignement 110
Fig. 68 : a) Image MEB en vue de dessus d'une structure Tweeny ayant subi une gravure HF, b) Image SEM agrandie de la zone gravée, c) évolution du C_{OFF} en fonction de la fréquence pour la structure gravée comparée à une référence, d) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.....111
Fig. 69 : a) Image SEM en vue de dessus d'une structure Nightingale ayant subi une gravure FIB, b) Image SEM agrandi mettant en avant les tranchées par gravure FIB, c) évolution du C_{OFF} en fonction de la fréquence pour la structure gravée comparée à une référence et d) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.....112
Fig. 70 : a) Comparaison des valeurs de C_{OFF} en fonction de la longueur de grille entre a) des puces présentant un pitch poly de 0.92 µm et une structure de référence et b) des puces présentant un pitch poly de 0.74 µm et une structure de référence 114
Fig. 71 : a) Evolution du R_{ON} en fonction de la fréquence pour une structure Nightingale gravée comparée à une référence et b) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.....115
Fig. 72 : a) Comparaison des valeurs de R_{ON} en fonction de la longueur de grille entre a) des puces présentant un pitch poly de 0.74 µm et une structure de référence et b) des puces présentant un pitch poly de 0.92 µm et une structure de référence 116
Fig. 73 : Schéma de principe du banc de mesure utilisé pour l'évaluation de la tenue en puissance des structures, incluant la génération du signal, son injection dans le dispositif testé et la détection des harmoniques. 118
Fig. 74 : Schéma de fonctionnement illustrant les branches série et branches shunt dans deux configurations distinctes, mettant en évidence les structures associées aux mesures 119
Fig. 75 : Amplitude des harmoniques en fonction de la puissance d'entrée. Chaque harmonique présente un décrochage caractéristique permettant de déterminer la tenue en puissance du dispositif. 120

Fig. 76 : a) Image SEM de la gravure de la structure mesurée et Comparaison de l'amplitude des harmoniques entre une puce Nightingale gravée par FIB et une puce de référence pour b) H2, c) H3, D) H4, e) H5 et f) H6. Les courbes montrent des comportements similaires, confirmant que la gravure n'altère pas la tenue en puissance du dispositif. 122
Fig. 77 : Regroupement des harmoniques de second ordre pour les structures a) 370 élément 1 et b) 370 élément 4, comparées à leurs références respectives. 123
Fig. 78 : a) Image SEM de la gravure de la structure mesurée et b) Amplitude des harmoniques en fonction de la puissance d'entrée. Chaque harmonique présente un décrochage caractéristique permettant de déterminer la tenue en puissance du dispositif. 124
Fig. 79 : Regroupement des harmoniques de second ordre pour les structures 370 élément 1 125
Fig. 80 : Graphiques mettant en relation les paramètres clés du commutateur RF avec la tenue en puissance : a) RON en fonction de la tenue en puissance b) COFF en fonction de la tenue en puissance, c) Produit RON·COFF en fonction de la tenue en puissance. 126
Fig. 81 : Tableau récapitulatif des structures Nightingale utilisées avec leurs dimensions respectives (longueur de grille, largeur de grille, pitch poly, etc.), et b) représentation de la métrique $R_{ON}.C_{OFF}$ comparant l'ensemble des résultats obtenus expérimentalement sur ces structures, incluant les références et les puces gravées. 128
Fig. 82 : Métrique $R_{ON}·C_{OFF}$ comparant les structures Nightingale gravées avec les références issues de la littérature ainsi que la valeur prédite par simulation. [WAI20] [HIN14] [SIN18] [SIN15] [SLO17] [BET20] [BOT09] [BOL11] [HOW14] 129
Fig. 83 : Schéma en plan de coupe illustrant les procédés impliqués dans le brevet ouvrant les perspectives des microcavités. 133

Préface

Ce manuscrit de thèse est le fruit d'un travail de recherche entamé en 2021 et achevé en 2025. Ces 4 années ont été rythmées par des découvertes scientifiques, des remises en question, mais aussi par des rencontres humaines et professionnelles qui ont profondément marqué mon parcours. Rédiger cette thèse a représenté bien plus qu'un exercice académique : ce fut une véritable aventure intellectuelle et personnelle, jalonnée de défis, d'apprentissages et de moments de partage.

Je tiens avant tout à exprimer ma sincère reconnaissance à mon directeur de thèse, Emmanuel Dubois, qui m'a accompagné depuis le début de ce projet. Son encadrement attentif, sa rigueur et ses conseils avisés ont constitué un repère essentiel dans ce travail. Je le remercie également pour la confiance qu'il m'a accordée dès mes premiers pas en recherche et pour l'autonomie qu'il m'a laissée, qui m'ont permis de m'épanouir dans mes investigations.

Je souhaite également remercier Alain Fleury, Stéphane Monfray et Jean-François Robillard, pour leurs suivi constant, leurs suggestions toujours pertinentes et leurs disponibilités. Leurs encouragements m'ont aidé à persévérer dans les périodes de doute et leurs compétences ont considérablement enrichi la qualité de cette recherche.

Ma gratitude s'adresse aussi aux membres de l'équipe de recherche de l'IEMN, avec qui j'ai eu le privilège de travailler au quotidien. Les discussions stimulantes, les collaborations fructueuses et l'ambiance conviviale au sein du laboratoire ont rendu ce parcours plus agréable et enrichissant. Je remercie particulièrement David Troadec, Sylvie Lépilliet, Etienne Okada et Chiara Crivello pour leur aide précieuse.

Je tiens à exprimer toute ma gratitude aux rapporteurs et membres du jury qui ont accepté d'évaluer ce travail. Leur regard critique, leur temps et leurs remarques sont autant de contributions qui permettent d'enrichir et de valoriser ce manuscrit.

Ces années de doctorat n'auraient pas été les mêmes sans le soutien quotidien de ma famille et de mes proches. À mes parents, je dois la patience, la compréhension et les encouragements constants, sans lesquels ce travail aurait été bien plus difficile. À mes amis, je suis reconnaissant pour leur présence, leurs mots réconfortants et les instants de détente indispensables qui ont permis de garder l'équilibre entre vie personnelle et recherche.

Cette thèse clôt une étape débutée en 2021, mais elle ouvre aussi de nouvelles perspectives, scientifiques et personnelles, que je me réjouis d'avance d'explorer.

Résumé - Abstract

<u>Titre :</u> Microcavité pour composant RF- SOI-CMOS ultra-rapides pour application 5G et au-delà

Le développement de chaque nouveau standard de communication mobile s'accompagne de spécifications de plus en plus strictes en ce qui concerne la bande passante, les pertes, la linéarité et le bruit dans les commutateurs radiofréquence (RF). Actuellement la technologie RF SOI-CMOS partiellement déplétée constitue la technologie de commutateurs la plus répandue pour le meilleur compromis atteint en termes de i) résistance à l'état passant R_{ON}, ii) de capacité à l'état bloqué C_{OFF}, iii) de bande passante $R_{ON}.C_{OFF}$, iv) de tension de claquage BV_{DS} sous forte puissance RF et v) de rapport coût/performance. Après avoir épuisé les meilleures options d'architecture de transistor et de conception de masques, toute amélioration supplémentaire des performances requiert désormais des approches de rupture, dépassant le cadre des techniques conventionnelles. Dans ce contexte, cette thèse propose l'introduction d'une innovation technologique consistant à réduire le couplage capacitif parasite (C_{OFF}) par l'introduction de microcavités d'air dans le réseau d'interconnexion (*back-end-of-the-line - BEOL*), des technologies MOS.

En premier lieu, une méthodologie originale de modélisation a d'abord été développée afin de quantifier l'impact de ces microcavités sur la figure de mérite $R_{ON}{\cdot}C_{OFF}$. Deux approches de simulation complémentaires ont été mises en œuvre : la première traite le couplage électrostatique tridimensionnel au sein du BEOL, tandis que la seconde analyse le transport de charge et le couplage capacitif dans la structure intrinsèque du transistor en 2 dimensions (*front-end-of-the-line, FEOL*). Les résultats obtenus démontrent une réduction de C_{OFF} d'environ 30 % sans dégradation de R_{ON}, et ce pour deux générations de commutateurs différenciées par leur dessin de masque (Tweeny et Nightingale). Sur le plan quantitatif, l'introduction de microcavités permet d'atteindre une valeur théorique de $R_{ON}{\cdot}C_{OFF} \approx 55$ fs, surpassant nettement l'état de l'art des commutateurs RF actuels. Enfin, une étude approfondie a montré pour la première fois que l'effet principal des microcavités d'air sur la réduction de C_{OFF} est obtenu lorsque leur pénétration s'étend jusqu'au premier niveau d'interconnexion métallique (M1).

En second lieu, des procédés de gravure nécessaires à la formation de microcavités dans les structures CMOS SOI ont été développés et optimisés. Plusieurs approches ont été étudiées, combinant la gravure à faisceau d'ions focalisés (FIB), précise mais générant une implantation de gallium limitant la gravure ultérieure par d'autres techniques telles que, la gravure RIE, contrôlable mais peu sélective en l'absence de masque et enfin la gravure à base d'acide fluorhydrique anhydre (HF) en phase vapeur, permettant une évacuation profonde et sélective de l'oxyde. Cette dernière a nécessité l'ajout d'une couche protectrice d'alumine déposée par ALD (Atomic Layer Deposition), dont une épaisseur minimale de 40 nm a été identifiée pour résister à la gravure. Des solutions complémentaires, telles que l'ajout d'une couche d'AlN au-dessus de la couche de mise en contrainte du canal (CESL), ont été proposées pour protéger le transistor intrinsèque (FEOL) des effets parasites de gravure par HF vapeur. Bien que ces optimisations nécessitent une adaptation du flot technologique industriel, elles valident la faisabilité expérimentale du concept de microcavités complètes au sein des dispositifs RF SOI.

Enfin, la caractérisation électrique et radiofréquence des structures CMOS SOI intégrant des microcavités permet de conclure les travaux réalisés. Les mesures statiques ont d'abord permis de vérifier la fonctionnalité des dispositifs après gravure, certaines dégradations ayant pu être corrigées par un recuit thermique modéré (300–400 °C) sous atmosphère d'azote hydrogéné. Les mesures RF ont ensuite permis d'extraire les paramètres S, puis les valeurs de R_{ON} et C_{OFF} sur une large bande de

fréquences (150 MHz à 18 GHz). Les résultats montrent une réduction moyenne de C_{OFF} de 12 à 18 % pour les structures gravées, sans dégradation du R_{ON}, voire avec une amélioration de 5 à 10 %. Les tests de tenue en puissance RF confirment également l'absence d'impact des cavités sur la fiabilité électrique des dispositifs. Enfin, la combinaison des mesures expérimentales positionne les structures Nightingale gravées par FIB parmi les meilleures de leur catégorie, atteignant des produits $R_{ON}{\cdot}C_{OFF}$ inférieurs à 70 fs, proches des valeurs simulées et se situant à la pointe de l'état de l'art.

Ces résultats valident expérimentalement l'intérêt des microcavités pour l'optimisation des commutateurs RF CMOS, confirmant les tendances prédites par la simulation. Néanmoins, la maîtrise complète du procédé, notamment la gravure sélective et la passivation des cavités, demeure un enjeu majeur. Les perspectives de ce travail résident ainsi dans la transposition du procédé vers une filière industrielle et l'amélioration de la reproductibilité afin d'accroître encore la tenue en puissance et de réduire le produit $R_{ON}{\cdot}C_{OFF}$ vers les valeurs théoriques ciblées.

Title: Microcavities engineering applied to ultra-fast SOI-RFCMOS devices for 5G and beyond

The development of each new mobile communication standard is accompanied by increasingly strict specifications regarding bandwidth, losses, linearity and noise in radio frequency (RF) switches. Currently, partially depleted SOI-CMOS RF technology is the most widely used switch technology because it offers the best compromise in terms of i) on-state resistance (RON), ii) off-state capacitance (COFF), iii) RON.COFF bandwidth, iv) breakdown voltage (BVDS) under high RF power, and v) cost/performance ratio. Having exhausted the best transistor architecture and mask design options, any further improvement in performance now requires disruptive approaches that go beyond conventional techniques. In this context, this thesis proposes the introduction of a technological innovation consisting of reducing parasitic capacitive coupling (COFF) by introducing air microcavities into the back-end-of-the-line (BEOL) interconnect network of MOS technologies.

First, an original modelling methodology was developed to quantify the impact of these microcavities on the RON·COFF figure of merit. Two complementary simulation approaches were implemented: the first deals with three-dimensional electrostatic coupling within the BEOL, while the second analyses charge transport and capacitive coupling in the intrinsic structure of the transistor in two dimensions (front-end-of-the-line, FEOL). The results obtained show a reduction in COFF of approximately 30% without degradation of RON for two generations of switches differentiated by their mask design (Tweeny and Nightingale). Quantitatively, the introduction of microcavities makes it possible to achieve a theoretical value of RON·COFF ≈ 55 fs, significantly surpassing the state of the art of current RF switches. Finally, an in-depth study has shown for the first time that the main effect of air microcavities on COFF reduction is achieved when their penetration extends to the first level of metallic interconnection (M1).

Secondly, etching processes necessary for the formation of microcavities in CMOS SOI structures were developed and optimised. Several approaches were studied, combining focused ion beam (FIB) etching, which is precise but generates gallium implantation that limits subsequent etching by other techniques such as RIE etching, which is controllable but not very selective in the absence of a mask, and finally etching based on anhydrous hydrofluoric acid (HF) in the vapour phase, which allows deep and selective oxide removal. The latter required the addition of a protective layer of alumina deposited by ALD (Atomic Layer Deposition), with a minimum thickness of 40 nm identified as necessary to resist etching. Additional solutions, such as the addition of an AlN layer above the channel stress layer (CESL), were proposed to protect the intrinsic transistor (FEOL) from the parasitic effects of HF vapour etching. Although these optimisations require adaptation of the industrial technology flow, they validate the experimental feasibility of the concept of complete microcavities within RF SOI devices.

Finally, the electrical and radiofrequency characterisation of CMOS SOI structures incorporating microcavities allows us to conclude the work carried out. Static measurements were first used to verify the functionality of the devices after etching, with some damage being corrected by moderate thermal annealing (300–400 °C) in a hydrogenated nitrogen atmosphere. RF measurements were then used to extract the S parameters, followed by the RON and COFF values over a wide frequency band (150 MHz to 18 GHz). The results show an average reduction in COFF of 12 to 18% for the etched structures, with no degradation in RON and even an improvement of 5 to 10%. RF power handling tests also confirm that the cavities have no impact on the electrical reliability of the devices. Finally, the combination of experimental measurements places FIB-etched Nightingale structures among the best in their class, achieving RON·COFF products of less than 70 fs, close to simulated values and at the cutting edge of the state of the art. These results experimentally validate the value of microcavities for optimising CMOS RF switches, confirming the trends predicted by simulation. Nevertheless, complete mastery of the process, particularly selective etching and cavity passivation, remains a major challenge. The

prospects for this work therefore lie in transferring the process to industrial production and improving reproducibility in order to further increase power handling and reduce the RON·COFF product to the targeted theoretical values.

Glossaire

BEOL	Back end of the line
BOX	Buried oxide
CMOS	Complementary Metal-Oxide-Semiconductor
eMBB	enhanced Mobile Broadband
FEOL	Front-end of the line
FoM	Figure of merite
FR	Frequency range
IoT	Information and communication technologie
MEMS	Micro-Electromechanical System
MIMO	Multiple input multiple output
MOS	Metal oxide semiconductor
mMTC	massive Machine Type Communication
mmWave	millimeter waves
NOMA	Non-orthogonal Multiple Access
PCM	Phase Change Memory
QAM	Quadrature amplitude modulation
RAN	Radio access network
RX	Réception
SOI	Silicon on insulator
TX	Transmission
UIT	Union International des Télécoms
URLLC	Ultra reliable latency communication

Introduction

Les systèmes de communication sans fil connaissent depuis plusieurs années une évolution rapide, portée par la croissance exponentielle des besoins en connectivité et en bande passante. L'avènement de la 5G, et plus encore la préparation des générations futures (6G et au-delà), imposent le développement de dispositifs capables de fonctionner à des fréquences toujours plus élevées, tout en garantissant des performances électriques, thermiques et énergétiques optimisées. Ces nouvelles exigences technologiques concernent notamment les composants d'émission et de réception, et en particulier les commutateurs radiofréquence (RF switches), éléments clés des architectures de front-end RF.

Ces commutateurs doivent concilier plusieurs paramètres critiques, dont la résistance à l'état passant (RON) et la capacité à l'état bloqué (C_{OFF}), qui déterminent respectivement les pertes d'insertion et l'isolation du signal. Le produit $R_{ON}{\cdot}C_{OFF}$ constitue ainsi une métrique de performance fondamentale, directement liée à la bande passante et à la fréquence de coupure du dispositif. L'amélioration de cette métrique est aujourd'hui un enjeu majeur de la recherche sur les technologies RF. Cependant, la réduction simultanée de R_{ON} et C_{OFF} s'avère complexe en raison de leur interdépendance intrinsèque, issue des contraintes physiques du canal et de la structure du transistor.

Plusieurs approches technologiques ont été explorées pour dépasser ces limitations, parmi lesquelles les technologies MOS sur isolant (SOI), les commutateurs à changement de phase (PCM) et les systèmes électromécaniques (MEMS). Chacune présente des avantages spécifiques : les MEMS offrent d'excellentes performances RF mais souffrent de fiabilité et de complexité d'intégration ; les PCM permettent des commutations rapides mais nécessitent une gestion thermique délicate ; les transistors SOI, quant à eux, constituent un compromis idéal entre performance, intégrabilité et compatibilité CMOS.

Dans ce contexte, l'optimisation du COFF au sein des technologies SOI représente une voie prometteuse. Les travaux récents ont montré que la part du BEOL (Back-End Of Line) dans la capacité totale du dispositif peut atteindre jusqu'à 30 %, ouvrant la possibilité d'agir sur cette composante sans altérer les performances électriques intrinsèques du transistor. C'est dans cette optique qu'intervient l'introduction de microcavités dans la structure d'interconnexion métallique, permettant de diminuer la permittivité effective du diélectrique en remplaçant localement l'oxyde ($\varepsilon r \approx 4$) par de l'air ($\varepsilon r \approx 1$). Cette approche vise à réduire significativement le COFF tout en préservant, voire en améliorant, le RON, conduisant ainsi à une amélioration directe du facteur de mérite du composant.

Le présent manuscrit s'inscrit dans cette démarche d'optimisation. Il se divise en trois grandes parties complémentaires :

- Le chapitre 2 présente la modélisation et la simulation multiphysique des structures étudiées. Une approche couplée FEOL/BEOL est développée afin de séparer les contributions du transistor et du réseau d'interconnexion, et d'évaluer l'impact théorique des microcavités sur le COFF.
- Le chapitre 3 est consacré à la mise en œuvre technologique, détaillant les procédés de gravure, de dépôt et de protection développés pour la réalisation expérimentale des microcavités. Différentes approches, notamment les gravures FIB, RIE et HF vapeur, sont explorées et comparées.

- Le chapitre 4 présente enfin la caractérisation électrique et RF des structures fabriquées. Les mesures de RON, COFF et tenue en puissance sont analysées et confrontées aux résultats de simulation et aux données de la littérature, afin d'évaluer la pertinence du procédé et son potentiel pour les futures générations de dispositifs RF.

Ces travaux visent ainsi à démontrer la faisabilité et l'efficacité des microcavités comme levier d'amélioration du COFF dans les technologies SOI CMOS, tout en ouvrant des perspectives concrètes pour l'intégration de tels procédés à l'échelle industrielle.

Chapitre 1 : Commutateurs RF-SOI-CMOS pour les télécommunications : contexte, défis, solutions de rupture

1.1 Introduction

Ce chapitre présente une analyse approfondie des technologies actuelles utilisées dans le domaine des commutateurs radiofréquences (RF), en particulier celles intégrées sur substrats CMOS et SOI. L'objectif est de replacer ce travail dans le contexte des avancées récentes, en identifiant les principaux verrous technologiques liés à la réduction simultanée de la résistance à l'état passant (R_{ON}) et de la capacité à l'état bloqué (C_{OFF}). Dans un premier temps, les différentes architectures de transistors — MOS, PCM et MEMS — sont étudiées et comparées à travers leurs performances électriques et leurs limites intrinsèques. Par la suite, l'impact des nouvelles exigences de la 5G et des futurs standards de communication sur ces dispositifs est discuté, notamment en termes de bande passante, de linéarité et de tenue en puissance. Enfin, cette revue mettra en évidence les approches innovantes, telles que l'introduction de microcavités dans le BEOL, qui visent à optimiser la métrique RON·COFF et à repousser les frontières des technologies RF intégrées.

1.2 L'évolution des standards de communication

La cinquième génération de réseaux mobiles (5G) marque une étape majeure dans l'évolution des technologies de communication sans fil. Contrairement à ses prédécesseurs, la 5G ne se contente pas d'améliorer la vitesse de transmission des données, mais introduit également des concepts tels que la latence ultra-faible, la communication massive de type machine et la virtualisation des ressources réseau [DAN21].

Depuis la 1G introduite dans les années 1980, chaque génération de réseau mobile a apporté son lot d'innovations : la 2G a permis la transmission de SMS et d'appels numériques, la 3G a introduit l'accès à Internet mobile, et la 4G a révolutionné le streaming et les services en ligne à haute vitesse. La 5G, pour sa part, propose une bande passante beaucoup plus élevée, une latence réduite à moins d'une milliseconde, ainsi qu'une densité de connexion permettant jusqu'à un million d'appareils connectés par kilomètre carré [SHA22], [COL19]. Elle permet ainsi des cas d'utilisation révolutionnaires comme la réalité augmentée, la télé chirurgie et les véhicules autonomes [SOD21]. En outre, les investissements dans la recherche autour de la 5G ont été accélérés par des initiatives nationales et internationales telles que le programme Horizon 2020 de l'Union Européenne et le projet IMT-2020 de l'Union international des télécom (UIT) [AKY16].

Le spectre de la 5G est réparti en trois bandes de fréquence principales, appelées *Frequency Ranges (FR)*, définies comme suit et dont les bandes de haute fréquence sont visible en Fig. 1 :

- **FR1** : bande de fréquence s'étendant de 410 MHz à 7,125 GHz. Elle englobe les bandes sub-6 GHz, couramment utilisées pour les déploiements à large couverture et pénétration.
- **FR2.1** : bande millimétrique allant de 24,25 GHz à 52,6 GHz, utilisée pour les applications nécessitant des débits élevés sur de courtes distances.

- **FR2.2** : bande supérieure, comprise entre 52,6 GHz et 71 GHz, actuellement en phase d'étude pour les futures extensions de la 5G et au-delà.

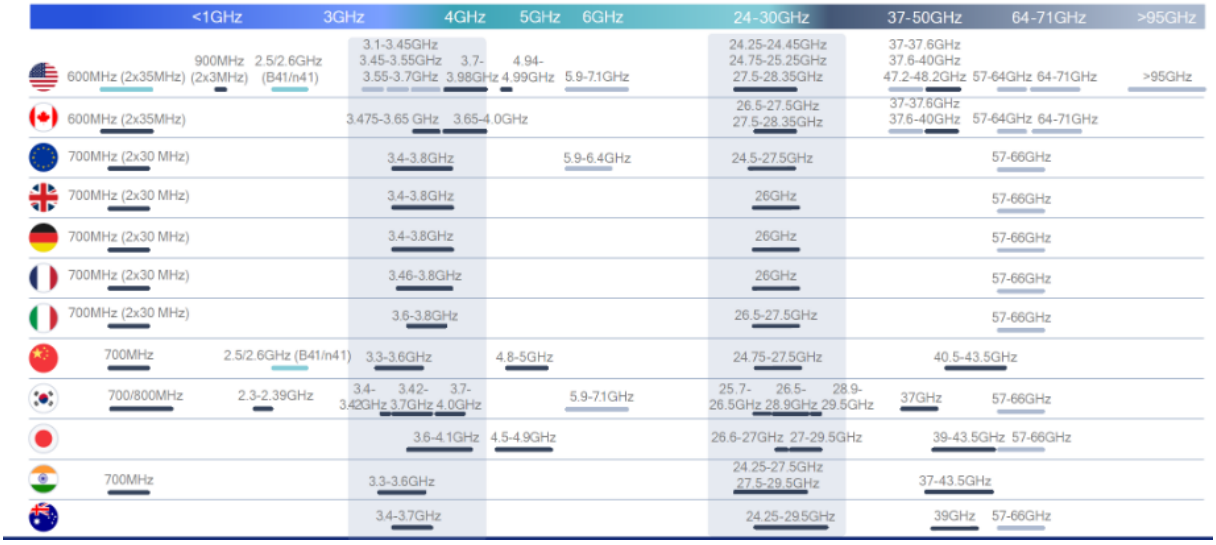


Fig. 1 : Répartition mondiale du spectre 5G en décembre 2020, 'Qualcom 2020'

L'architecture de la 5G est fondamentalement différente de celle des générations précédentes. Elle est décomposée en deux segments : le réseau d'accès radio (RAN) et le cœur de réseau (Core Network), tous deux virtualisés grâce à l'intégration des technologies NFV (Network Function Virtualization) et SDN (Software Defined Networking) [HAN15], [ORD17]. Le RAN 5G s'appuie largement sur les petites cellules (small cells), qui opèrent sur des fréquences élevées comme les ondes millimétriques, permettant ainsi une meilleure couverture et une capacité accrue [ALS17]. Le cœur du réseau (5GC) est construit de manière modulaire et cloud-native, ce qui favorise la flexibilité du déploiement et la réduction des coûts d'exploitation [PAT24].

L'une des innovations majeures est le découpage de réseau (network slicing), qui permet de créer des réseaux virtuels adaptés à des besoins spécifiques (ex. : priorité pour les services d'urgence ou la voiture connectée) [FOU17]. Par ailleurs, les architectures C-RAN (Cloud-RAN) et MEC (Multi-access Edge Computing) rapprochent les capacités de traitement des données de l'utilisateur final, réduisant ainsi la latence globale [TAL17], [SAB16]. Enfin, la compatibilité descendante avec les réseaux 4G (NSA - Non Standalone Architecture) permet une transition progressive vers la 5G Standalone (SA), où l'ensemble du réseau repose sur les nouveaux standards [LIU20].

Parmi les technologies clés de la 5G figurent :

- **Le Massive MIMO (Multiple Input Multiple Output)** : Cette technologie utilise un grand nombre d'antennes à l'émission et à la réception pour améliorer l'efficacité spectrale et augmenter la capacité du réseau. Elle permet également de réduire les interférences et d'améliorer la couverture [LU14], [DAZ18]. Le principe repose sur l'exploitation simultanée de multiples chemins de propagation, ce qui permet de transmettre plusieurs flux de données en parallèle. Le Massive MIMO améliore considérablement la performance dans des environnements denses, comme les stades ou les centres urbains, tout en réduisant la consommation énergétique par bit transmis. Il constitue une réponse aux exigences croissantes de capacité et de fiabilité des réseaux 5G, notamment pour le enhanced Mobile Broadband (eMBB). Cela désigne l'évolution du haut débit mobile, c'est-à-dire la capacité des réseaux 5G à fournir des vitesses de connexion beaucoup plus rapides et une capacité accrue par rapport à la 4G. La Fig. 2 en illustre le principe.

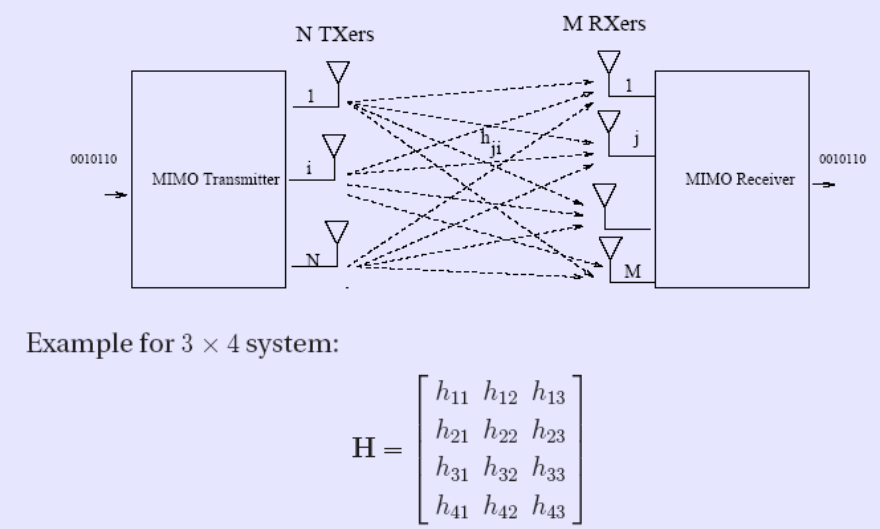


Fig. 2 : Schéma illustrant l'utilisation du Massive MIMO

- **Le NOMA (Non-Orthogonal Multiple Access)** : Contrairement aux techniques traditionnelles d'accès orthogonal (OFDMA, TDMA), NOMA permet à plusieurs utilisateurs de partager simultanément les mêmes ressources spectrales en superposant leurs signaux selon des puissances différentes. Cela se fait via un processus de démodulation successive (Successive Interference Cancellation - SIC) au niveau des récepteurs. Grâce à cette approche, NOMA permet une meilleure efficacité spectrale et un accès massif pour les dispositifs IoT, tout en réduisant les délais de transmission. Cette technologie est particulièrement utile pour les communications de type 'massive Machine Type Communication' (mMTC), car elle améliore la connectivité dans des environnements à forte densité d'utilisateurs [DIN17]. En effet, le mMTC désigne la capacité des réseaux 5G à connecter un nombre extrêmement élevé d'objets ou de capteurs en même temps, souvent avec de faibles besoins en débit, mais nécessitant une consommation d'énergie très réduite et une longue durée de vie des terminaux. Un schéma explicatif du NOMA est visible en Fig. 3.

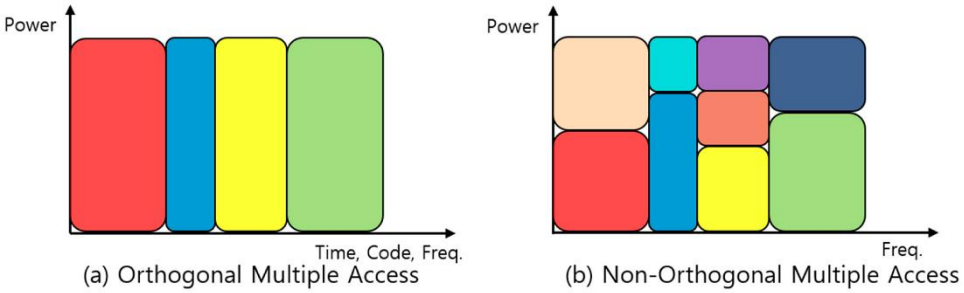


Fig. 3 : Schéma de principe de l'accès multiple non-orthogonal

- **Les ondes millimétriques (mmWave)** : Elles couvrent la plage de fréquences de 24 GHz à 100 GHz, offrant ainsi des bandes passantes extrêmement larges capables de supporter des débits de plusieurs gigabits par seconde [RAP13]. Toutefois, ces fréquences élevées sont très sensibles à l'atténuation atmosphérique, aux obstacles physiques (bâtiments, feuillage), et nécessitent une ligne de visée claire pour une performance optimale. Pour compenser cette limitation, le déploiement de mmWave implique l'utilisation de nombreuses petites cellules, proches des utilisateurs, et de technologies de formation de faisceaux (beamforming) qui orientent

dynamiquement le signal vers les dispositifs ciblés. Cette bande est primordiale pour les scénarios eMBB à très haut débit dans les zones urbaines denses.

- **L'utilisation de porteuses multiples (carrier aggregation)** : Cette technique consiste à combiner plusieurs bandes de fréquence (porteuses) pour augmenter le débit global disponible pour l'utilisateur. En 5G, l'agrégation peut inclure des bandes en dessous de 6 GHz et des bandes mmWave, permettant une plus grande flexibilité spectrale et une meilleure utilisation des ressources radio. Elle est essentielle pour tirer parti de la diversité spectrale des fréquences disponibles et maximiser le débit des services eMBB [NID20]. Un exemple est fourni en Fig. 4.

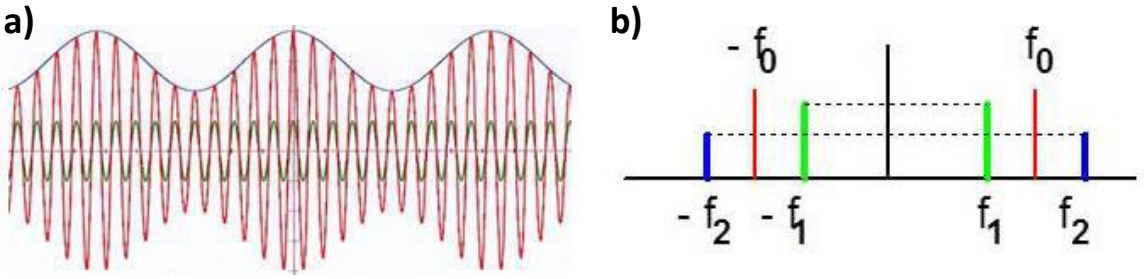


Fig. 4 : a) Exemple d'un signal modulé avec une porteuse avec b) la décomposition fréquentielle du même signal

- **La modulation d'amplitude en quadrature (QAM)** : La 5G utilise des schémas de modulation avancés comme le 256-QAM et, dans certains cas, le 1024-QAM, qui permettent de transmettre un plus grand nombre de bits par symbole. Plus le niveau de QAM est élevé, plus le débit potentiel est grand, mais cela nécessite un signal de haute qualité (rapport signal/bruit élevé). Cette modulation contribue directement à l'augmentation de l'efficacité spectrale des transmissions 5G, en particulier dans des conditions de propagation favorables [KAM20]. L'agencement des modulations est montré dans la Fig. 5.

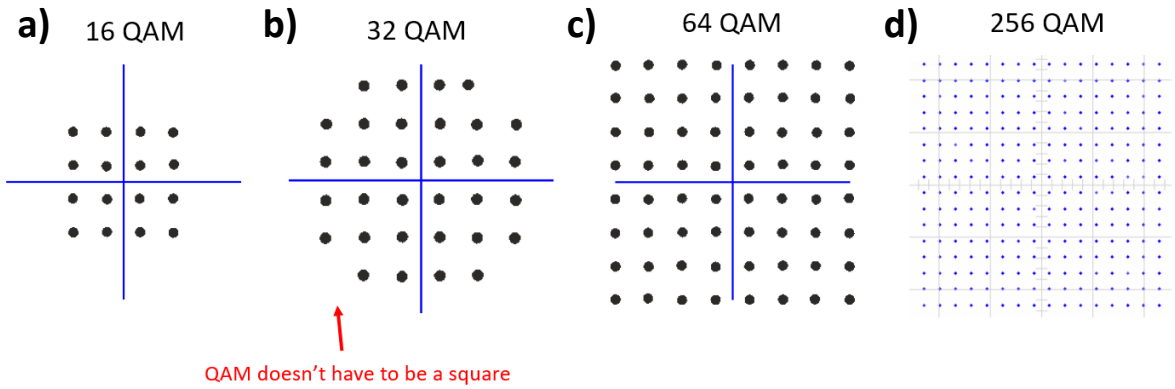


Fig. 5 : Répartition des modulations possibles en configuration a) 16 états, b) 32 états, c) 64 états et d) 256 états

Ces technologies travaillent en synergie pour répondre aux trois piliers fondamentaux de la 5G : le haut débit mobile amélioré (eMBB), les communications ultra-fiables à faible latence (URLLC pour Ultra Reliable Low Latency Communication), et les communications de type massif entre machines (mMTC). Leur intégration constitue la base de l'innovation continue dans l'écosystème 5G.

L'un des défis majeurs dans le déploiement des technologies mobiles successives est d'assurer une transition fluide tout en maintenant la compatibilité avec les générations précédentes. La 5G adopte une approche duale avec les modes NSA (Non-Standalone) et SA (Standalone). Dans le mode NSA, la 5G s'appuie sur les infrastructures existantes 4G LTE pour assurer la signalisation et une couverture continue, tandis que le mode SA permet une indépendance complète avec un cœur de réseau 5G natif. Cette rétrocompatibilité garantit que les utilisateurs peuvent accéder aux nouveaux services sans interruption tout en maintenant la continuité des communications dans les zones non encore couvertes par la 5G.

Pour gérer efficacement la coexistence de plusieurs bandes de fréquence (sub-6 GHz, mmWave) et de multiples standards radio (2G, 3G, 4G, 5G), les équipements utilisateurs (UE) modernes intègrent des dispositifs de commutation haute fréquence appelés RF switches. Ces commutateurs radiofréquences permettent de diriger dynamiquement les signaux entrants et sortants vers les modules appropriés en fonction de la bande utilisée et du standard actif. Ils jouent un rôle crucial dans l'optimisation de la performance, la minimisation des interférences et la gestion énergétique des terminaux. Leur conception doit répondre à des critères de très faible perte d'insertion, d'isolation élevée et de vitesse de commutation rapide, tout en occupant un espace réduit pour une intégration dans les smartphones ou objets connectés. Ces composants sont essentiels à la fois pour la rétrocompatibilité intergénérationnelle et pour l'efficacité du fonctionnement multi-bande/multimodes de la 5G. Ces switches seront au centre de cet étude. Cela est illustré en Fig. 6

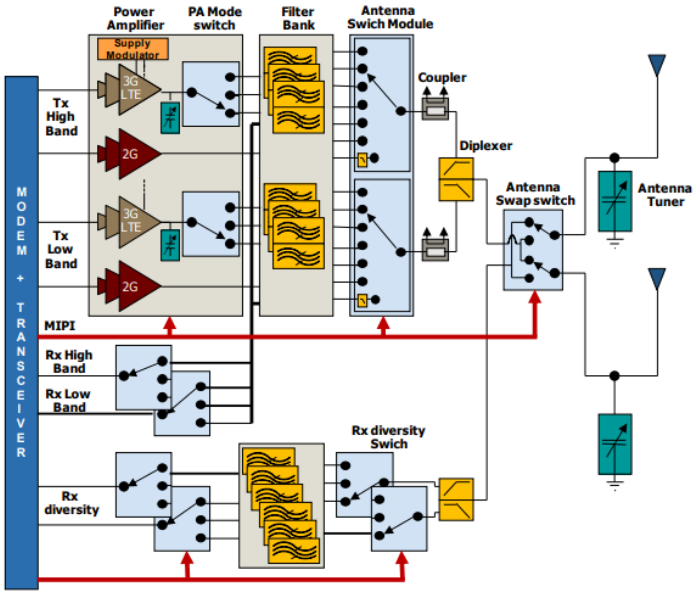


Fig. 6 : Schéma de principe du 'front-end' d'un combiné téléphonique, illustrant la chaîne de traitement du signal entre l'antenne et les circuits de réception/émission.

1.3 Les Commutateur SOI : une technologie qui évolue

1.3.1 Le commutateur radiofréquence

La Fig. 7 présente une représentation schématique d'un port de commutation RF. Ce port assure la sélection entre les chemins de réception (RX) et d'émission (TX). Le schéma met en évidence deux branches distinctes : une branche série et une branche shunt.

1. Au niveau du port RX1, la branche série est activée (état ON), assurant la continuité du signal, tandis que la branche shunt est désactivée (état OFF), garantissant l'isolation vis-à-vis de la masse.

2. À l'inverse, les autres ports sont désactivés via leurs branches série (état OFF) et toute composante résiduelle du signal est dirigée vers la masse à l'aide des branches shunt (état ON), comme c'est le cas pour le port TX1.

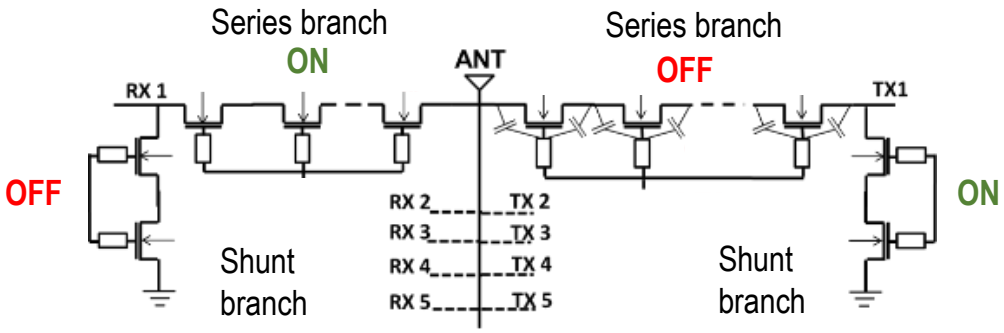


Fig. 7 : Schéma de principe du « front-end » d'un combiné téléphonique, illustrant la chaîne de traitement du signal entre l'antenne et les circuits de réception/émission.

Sur le plan électrique, ces branches ne se comportent pas de manière idéale. En réalité, une branche série activée est modélisée par une résistance R_{ON}, représentant les pertes de conduction, tandis qu'une branche shunt désactivée se modélise par une capacité parasite C_{OFF}, traduisant les fuites vers la masse. Ainsi, dans une configuration active (par exemple pour l'émission), le système équivaut à un circuit RC de type passe-bas, dont la fréquence de coupure est déterminée par la constante de temps $\tau = R_{ON} * C_{OFF}$. Cette fréquence, notée :

$$f_c = \frac{1}{2\pi R_{ON} C_{OFF}} \quad (1)$$

définie la limite supérieure de la bande passante utile du commutateur RF. Ce produit $R_{ON} C_{OFF}$ est donc un facteur de mérite clé, car il conditionne les performances en termes de rapidité et de sélectivité du dispositif.

En complément, il est essentiel d'analyser les **pertes d'insertion** (IL, Insertion Loss), qui désignent la quantité d'atténuation subie par le signal lors de sa transmission à travers le commutateur en position active. Ces pertes sont exprimées en décibels selon la relation :

$$IL = -10 * log_{10}\left(\frac{P_{sortie}}{P_{entrée}}\right) \quad (2)$$

où $P_{entrée}$ et P_{sortie} représentent respectivement la puissance du signal RF en entrée et en sortie du dispositif.

Les principales contributions aux pertes d'insertion sont les suivantes :

- **La résistance série R_{ON}** : elle provoque une dissipation thermique par effet Joule, proportionnelle à la puissance transmise. Une valeur trop élevée de R_{ON} entraîne une atténuation significative, particulièrement critique dans les applications à haute fréquence.
- **La capacité parasite C_{OFF}** : bien que désactivée, la branche shunt crée une fuite capacitive du signal vers la masse. Ce phénomène devient plus prépondérant à mesure que la fréquence augmente, du fait de l'impédance capacitive qui diminue avec la fréquence.

$$Z_C = \frac{1}{2\pi f C_{OFF}} \quad (3)$$

- **Les pertes métalliques** : les conducteurs utilisés dans les interconnexions, souvent en aluminium ou cuivre, sont soumis à l'effet de peau, qui réduit la section utile du conducteur à haute fréquence, augmentant la résistance apparente.
- **Les pertes diélectriques** : elles constituent un facteur important dans la performance des dispositifs RF. Elles proviennent de l'absorption d'énergie électromagnétique par les matériaux isolants situés entre les lignes métalliques, notamment les oxydes. Cette absorption est d'autant plus significative que la tangente de perte du matériau (**tan δ**) est élevée. Pour minimiser ces pertes, le choix des matériaux diélectriques est crucial. Certains matériaux comme les polymères, le verre ou certaines céramiques présentent des pertes trop importantes et sont donc à éviter dans les applications haute fréquence. À l'inverse, des matériaux tels que le téflon, l'alumine ou encore le silicium offrent de bien meilleures performances grâce à leur faible tan δ, ce qui en fait des candidats privilégiés pour limiter les pertes et améliorer l'efficacité globale des circuits RF.

L'ensemble de ces phénomènes réduit la performance du commutateur en transmission, altère la linéarité du signal, et limite son utilisation dans les bandes de fréquence élevées, telles que celles utilisées pour la 5G (jusqu'à 71 GHz).

En vue d'optimiser la bande passante, les technologies récentes visent à minimiser R_{ON} par une amélioration de la géométrie des transistors et des matériaux utilisés, ainsi qu'à réduire C_{OFF} en jouant sur l'architecture de l'empilement situé au-dessus de la grille (Back End Of the Line : BEOL), par exemple en introduisant des microcavités pour diminuer la permittivité effective des isolants. Ces améliorations simultanées permettent de réduire les pertes d'insertion tout en augmentant la fréquence de coupure, ce qui est fondamental pour les applications RF hautes performances.

Il existe trois principales catégories de transistors utilisés pour les applications de commutation RF : les transistors MOS (Metal-Oxide-Semiconductor, généralement sur substrat isolant de type SOI, 'silicon-on-insulator'), les dispositifs PCM (Phase Change Material), et les MEMS (Micro-Electro-Mechanical Systems). Ces trois technologies se distinguent par leur principe de fonctionnement, leur architecture ainsi que par les performances qu'elles offrent. Chacune présente des avantages et des limitations spécifiques en termes de consommation, de linéarité, de bande passante, de fiabilité ou encore d'intégrabilité.

Dans cette étude comparative, les caractéristiques clés de chaque technologie seront détaillées. L'objectif est de mettre en évidence les domaines d'application les plus adaptés pour chacune d'entre elles ainsi que les compromis technologiques associés.

1.3.2 Les transistors à matériaux à changement de phase

Les structures à changement de phase (PCM) reposent sur deux éléments fondamentaux. Le premier est l'élément chauffant (*heater*), dont le rôle est de fournir l'énergie thermique nécessaire pour induire la transition de phase. Le second est le matériau à changement de phase, qui constitue le canal de conduction et dont la résistivité électrique varie fortement en fonction de l'état structural adopté (amorphe ou cristallin). Ces éléments sont visibles sur la Fig. 8 représentant une vue en La mémoire à changement de phase (PCM, *Phase-Change Memory*) constitue aujourd'hui l'une des solutions les plus prometteuses parmi les mémoires non volatiles émergentes, en raison de sa rapidité d'écriture, de sa bonne endurance et de son aptitude à la miniaturisation. Son principe repose sur la capacité de certains matériaux, notamment les alliages à base de tellurure de germanium et d'antimoine (GeSbTe), à alterner entre un état amorphe, à haute résistivité, et un état cristallin, à faible résistivité, sous l'effet d'impulsions thermiques générées par des courants électriques. Ces deux états physiques permettent de stocker l'information binaire de manière stable et réinscriptible [RAO14].

L'intégration de cellules PCM avec des transistors spécifiques constitue un axe majeur d'optimisation pour les architectures mémoire. En effet, le transistor de sélection joue un rôle crucial dans le contrôle du courant d'écriture nécessaire à l'induction du changement de phase. Par exemple, une architecture combinant la mémoire PCM avec des transistors à couches minces multi-ailettes (multi-fin TFT) a montré une meilleure efficacité en surface et des performances thermiques accrues grâce à une commande plus précise du courant [LI12]. Par ailleurs, l'utilisation de matériaux organiques dans la conception de transistors PCM ouvre la voie à des dispositifs souples et économes en énergie. Un transistor mémoire basé sur un semi-conducteur organique exploitant la transition de phase de matériaux cristallins organiques a ainsi été proposé pour permettre la fabrication de circuits flexibles [HUE23].

La géométrie du transistor influence également de manière significative les performances globales du dispositif PCM. Des travaux de simulation ont montré que des variations dans la configuration physique du transistor peuvent modifier les propriétés thermiques locales du matériau à changement de phase, affectant directement la vitesse de commutation et la consommation énergétique [CHA21]. En parallèle, la fiabilité des transistors CMOS dans les structures de mémoire non volatile, incluant les dispositifs PCM, a fait l'objet d'une attention particulière. Une étude approfondie a permis d'identifier plusieurs mécanismes de dégradation des transistors MOS soumis à des cycles d'écriture/effacement répétés, soulignant l'importance d'une optimisation structurelle pour renforcer leur robustesse.

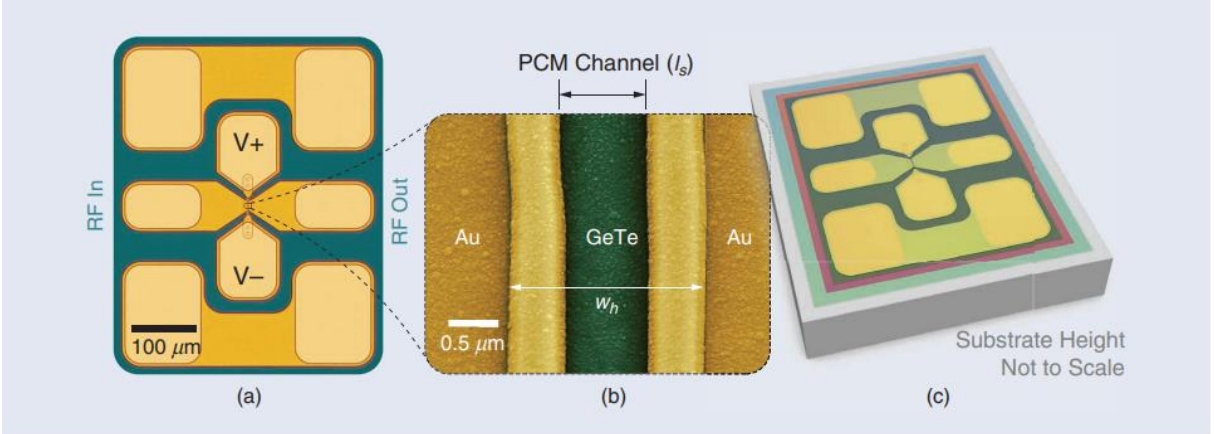


Fig. 8 : Schéma 3D d'une cellule de commutateur PCM mettant en évidence l'organisation des pads et du heater. [SIN19]

Le choix du matériau actif est également déterminant pour les performances des dispositifs PCM, influençant des paramètres clés tels que la vitesse de commutation, la stabilité thermique et l'endurance. Le composé $Ge_2Sb_2Te_5$ (GST225) est largement utilisé en raison de sa rapidité de cristallisation et de son contraste élevé de résistivité entre les phases amorphe et cristalline. Cependant, sa température de cristallisation relativement basse (~150 °C) limite sa stabilité thermique, ce qui peut affecter la rétention des données à long terme [RAO14].

Pour améliorer la stabilité thermique, des alliages tels que In_3SbTe_2 (IST) ont été étudiés. IST présente une température de cristallisation plus élevée (~250 °C), une commutation ultrarapide (temps de seuil <50 ps) et une faible tension de seuil, ce qui en fait un candidat prometteur pour des applications nécessitant à la fois une haute vitesse et une rétention thermique accrue [SAX19].

D'autres recherches ont exploré l'effet du dopage sur les propriétés des matériaux PCM. Par exemple, le dopage du GeTe avec de l'indium a montré une réduction de la température de cristallisation et une amélioration de la vitesse de commutation, tout en maintenant une bonne stabilité thermique [SZK17]. De même, le dopage du GST avec du carbone a permis d'augmenter la température de cristallisation et d'améliorer la stabilité thermique, bien que cela puisse ralentir la vitesse de commutation [ZHO14].

En outre, des structures super-réseaux, telles que les films alternés Sb_2Te_3/GeTe, ont été étudiées pour réduire la conductivité thermique et améliorer l'efficacité énergétique des dispositifs PCM. Ces structures présentent une anisotropie électrique significative et une réduction de la conductivité thermique, ce qui peut contribuer à une réduction de la consommation d'énergie lors de la commutation [KWO21]. La Fig. 9 illustre différentes configurations d'alliage utilisés comme matériaux à changement de phase.

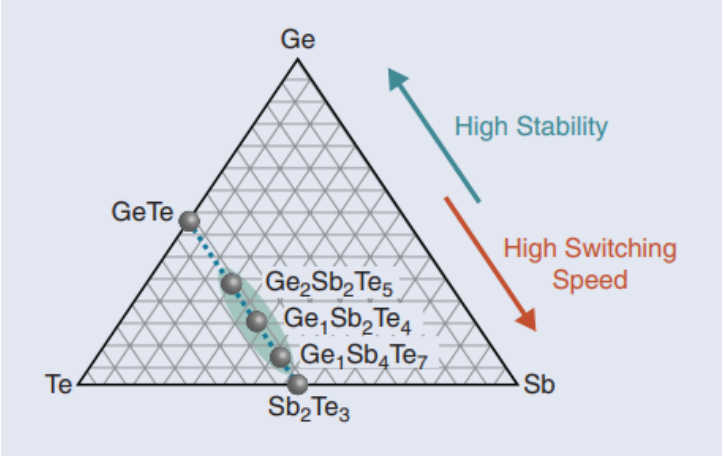


Fig. 9 : Diagramme de phase ternaire GeSbTe représentant divers alliages à changement de phase ainsi que des compositions monophasiques situées sur la ligne de jonction entre GeTe et Sb2Te3. [SIN19]

Le fonctionnement des mémoires à changement de phase repose sur l'application d'impulsions électriques précisément calibrées, capables d'induire des transitions entre les phases amorphe (RESET) et cristalline (SET) du matériau actif. Les caractéristiques de ces impulsions, notamment leur forme, leur amplitude, leur durée et leur pente de montée/descente, sont essentielles pour garantir des transitions rapides, stables et reproductibles. Pour effectuer une opération SET, une impulsion électrique de plus longue durée (typiquement 50 à 200 ns) mais de faible amplitude (de l'ordre de 0,3 à 1,2 V) est appliquée afin de chauffer lentement le matériau au-dessus de sa température de cristallisation (~150 °C) sans le faire fondre, permettant ainsi une recristallisation ordonnée [RAO14]. En revanche, l'opération RESET nécessite une impulsion courte et intense (typiquement 5 à 50 ns, avec

des tensions de 1,5 à 3 V), suffisamment puissante pour faire fondre localement le matériau, suivi d'un refroidissement rapide qui le fige dans son état amorphe [LI12]. Cela est visible en Fig. 10.

Des études plus récentes ont exploré l'utilisation d'impulsions asymétriques ou à pente contrôlée pour optimiser la consommation énergétique et réduire les effets de stress thermique sur le dispositif. Par exemple, des impulsions à pente descendante contrôlée (tailing pulses) permettent de réduire le courant de SET tout en maintenant une vitesse de commutation élevée. Par ailleurs, dans les cellules PCM modernes, l'amplitude du courant peut atteindre plusieurs centaines de µA, et la précision du contrôle temporel est cruciale pour éviter des états intermédiaires non souhaités, surtout dans les configurations multi-niveaux (*MLC*, Multi-Level Cell) [ATH16].

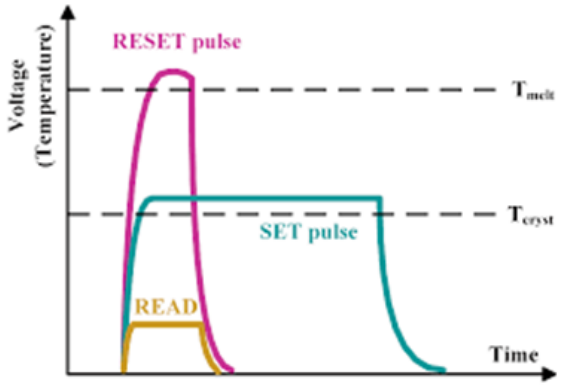


Fig. 10 : Exemple de pulses de SET et RESET en fonction du temps, utilisés pour le contrôle d'un commutateur PCM.

Les performances électriques des transistors utilisés dans les cellules PCM sont déterminantes pour la fiabilité et l'efficacité énergétique des dispositifs mémoire. Parmi les paramètres critiques, la capacité parasite à l'état bloqué C_{OFF} et la résistance à l'état passant R_{ON} influencent directement la vitesse de commutation et les pertes énergétiques. Un faible R_{ON} est essentiel pour permettre un passage de courant suffisant afin de chauffer rapidement le matériau PCM au-dessus de sa température de fusion ou de transition cristalline. Des études ont rapporté des résistances à l'état passant aussi basses que 0,07 Ω·mm et des capacités à l'état bloqué de 20 fF/mm pour des commutateurs RF à base de GeTe, aboutissant à un produit $R_{ON}.C_{OFF}$ comparable à celui des commutateurs RF MEMS ohmiques. À l'inverse, un C_{OFF} trop élevé entraîne un retard de chargement/déchargement des lignes mémoire, limitant la bande passante globale. [MON14]

La **tenue en puissance** des transistors est également un paramètre critique, en particulier dans les phases RESET où des impulsions de courant intenses (de l'ordre de 100 µA à quelques mA) doivent être délivrées pendant des durées extrêmement brèves. Les transistors utilisés doivent donc supporter une densité de courant élevée sans dégradation thermique ou électromigration. Des dispositifs RF basés sur des matériaux PCM à base de GeTe ont montré des performances remarquables en termes de tenue en puissance. En particulier, certaines structures ont démontré une capacité de gestion en régime continu atteignant +39,2 dBm, soit environ 8,3 W. Le tout avec le maintien d'une isolation supérieure à 30 dB jusqu'à 67 GHz [SIN20]

Concernant le **temps de commutation**, la mémoire PCM affiche un avantage notable par rapport à d'autres mémoires non volatiles comme la Flash. Grâce à la dynamique rapide du changement de phase sous impulsion thermique, des temps de commutation de l'ordre de 10 à 100 ns sont observés pour les transitions SET et RESET. Toutefois, ce temps dépend également des caractéristiques intrinsèques du transistor de pilotage : un transistor trop lent ou à capacité d'entrée élevée peut retarder l'application efficace des impulsions, ce qui nuit à la rapidité de la cellule mémoire. Des commutateurs

RF à base de matériaux à changement de phase ont démontré des figures de mérite (FoM) allant jusqu'à 25 THz, avec des temps de commutation de l'ordre de 63 fs, illustrant le potentiel de ces dispositifs pour des applications à haute fréquence.

Enfin, la stabilité des caractéristiques électriques dans le temps, notamment la dérive de R_{ON} après de nombreux cycles d'écriture, reste un défi majeur. Cette dégradation peut résulter d'effets d'auto-échauffement, de la diffusion des matériaux ou de modifications structurales dans le canal du transistor. Des travaux récents insistent sur l'importance de la co-optimisation entre le matériau PCM et le transistor afin d'assurer un équilibre entre performance rapide, tenue en courant, et endurance électrique [Hu23].

1.3.3 Les Micro-Electro-Mechanical Systems (MEMS)

Les MEMS (Micro-Electro-Mechanical Systems) représentent une avancée technologique combinant la microélectronique et la micromécanique. Leur fonctionnement repose sur l'intégration de composants mécaniques mobiles à l'échelle microscopique avec des éléments électroniques. Par exemple, dans certaines mémoires non volatiles expérimentales, un interrupteur mécanique peut remplacer un transistor traditionnel pour contrôler la charge d'un condensateur, fonctionnant de manière analogue à une cellule DRAM. Un exemple d'interrupteur MEMS est visible en Fig. 11.

L'intégration des MEMS avec les circuits intégrés (ICs) est cruciale pour leur utilisation pratique, permettant de combiner des fonctions de détection, d'actionnement et de traitement du signal sur une seule puce [FIS15]. Cette architecture hybride ouvre la voie à des applications complexes en miniaturisant davantage les systèmes.

Les avantages des transistors MEMS sont multiples : miniaturisation, consommation énergétique réduite et possibilité d'intégration fonctionnelle poussée. Ils sont particulièrement adaptés aux systèmes embarqués et aux capteurs intelligents [CHE13]. En outre, ils utilisent des matériaux compatibles avec les procédés de fabrication CMOS traditionnels, comme le silicium, et permettent une fabrication dense à l'échelle microscopique [CAO20].

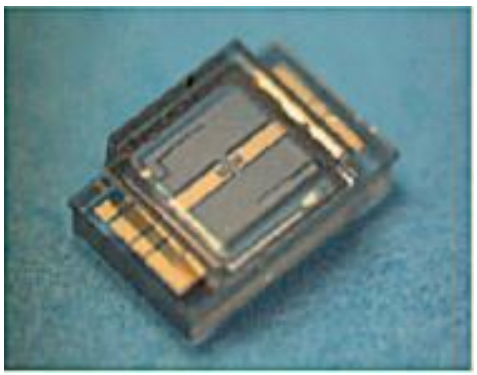


Fig. 11 : Image d'une structure de switch MEMS vue en microscopie électronique, illustrant la géométrie générale du dispositif, avec ses zones d'ancrage fixes, la partie mobile (pont ou membrane) et les électrodes assurant la commutation RF. [REB13]

Typiquement, les MEMS présentent des valeurs de Ron inférieures à 3 Ω, ce qui est nettement inférieur à certains commutateurs à transistors. C_{OFF} est la capacité résiduelle entre les bornes du commutateur en mode « ouvert » : des valeurs typiques inférieur à 15 fF, permettant une isolation RF efficace même à plusieurs GHz.

Des recherches récentes explorent la réduction de Ron via des géométries de contact multiples et l'utilisation de films métalliques à faible résistance. De même, les architectures suspendues permettent de minimiser C_{OFF} tout en conservant une réponse rapide. On dénote également

Bien que les commutateurs MEMS offrent des avantages prometteurs en matière de miniaturisation, de consommation énergétique et de performance RF, ils présentent aussi plusieurs limitations qui freinent leur adoption à large échelle dans l'industrie microélectronique.

Contrairement aux transistors CMOS dont les temps de commutation se situent dans la gamme des nanosecondes voire sub-nanosecondes, les commutateurs MEMS souffrent de temps de réponse de l'ordre de 1 à 5 microsecondes. Cette latence est liée à la nature électromécanique du dispositif, qui implique un déplacement physique de structures mobiles.

Les composants MEMS sont sujets à l'usure due au contact répété entre les parties mobiles. Bien que certains dispositifs atteignent plus de 10^9 cycles de fonctionnement, cela reste inférieur à la longévité des solutions purement électroniques. Les problèmes d'adhésion (stiction), de dégradation de contact, et de déformation plastique sont particulièrement critiques dans les applications RF ou haute puissance [REB03].

Les commutateurs MEMS nécessitent souvent des tensions de commande de 20 à 80 V pour actionner les structures mécaniques par effet électrostatique, bien plus élevées que les 1–5 V typiques des circuits CMOS. Cela implique un besoin de circuits de pilotage supplémentaires, augmentant la complexité et la consommation globale.

Les MEMS souffrent de variabilité dimensionnelle et électrique plus importante que les transistors CMOS. Le contrôle précis des tolérances mécaniques à l'échelle micrométrique est difficile, et les rendements en production peuvent être limités par des défauts d'alignement, de dépôt de matériaux ou d'adhérence

Les dispositifs MEMS sont sensibles aux contaminations particulaires, à l'humidité, et à l'oxydation, nécessitant une encapsulation hermétique souvent coûteuse. Dans les environnements humides ou corrosifs, des phénomènes d'oxydation ou de corrosion des contacts peuvent survenir, dégradant les performances en quelques milliers de cycles [REB03][JOU22].

1.3.4 Les transistor MOS et la technologie CMOS

Le MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) est un composant fondamental en électronique moderne, utilisé aussi bien dans les circuits analogiques que numériques pour amplifier ou commuter des signaux électroniques. Il se compose de trois électrodes principales : la source, le drain et la grille. La grille est isolée du canal par une couche d'oxyde, auparavant du dioxyde de silicium (SiO_2) et des oxydes à plus haute permittivité pour les nœuds technologiques plus récents. L'application d'une tension entre la grille et la source (V_{GS}) module la conductivité du canal, permettant ainsi de contrôler le courant entre la source et le drain (I_{DS}).

Le MOSFET présente quatre régimes de fonctionnement : accumulation, déplétion, faible inversion et forte inversion. Dans ce dernier, un canal conducteur se forme entre la source et le drain, autorisant le passage du courant. Lorsque la tension de drain V_{DS} devient suffisamment élevée, le transistor entre en régime de saturation, où le courant I_{DS} devient pratiquement indépendant de V_{DS} et dépend principalement de V_{GS}. [BEN12]

R_{ON} est un paramètre crucial pour évaluer les pertes de conduction dans un transistor MOSFET. Le R_{ON} est inversement proportionnel à la largeur du canal. Dans les technologies modernes, R_{ON} peut atteindre des valeurs de l'ordre de 50 mΩ pour des dispositifs de puissance.

Le C_{OFF} correspond à la capacité parasite d'un commutateur RF lorsque celui-ci est en état bloqué (OFF). Il traduit le couplage électrostatique résiduel entre les électrodes d'entrée et de sortie malgré l'interruption du chemin de conduction. Il peut être aussi basse que 20–30 fF dans des transistors RF optimisés, réduisant ainsi les pertes à haute fréquence.

La technologie CMOS (Complementary Metal-Oxide-Semiconductor) combine des transistors de type NMOS et PMOS dans une architecture complémentaire permettant la réalisation de circuits logiques à très faible consommation statique. Ce principe repose sur le fait que, pour chaque état logique, l'un des deux transistors est bloqué, ce qui limite considérablement la dissipation d'énergie au repos. Cette technologie est omniprésente dans les circuits intégrés numériques tels que les microprocesseurs, les mémoires SRAM, et les FPGA. La Fig. 12 présente des schémas en coupe comparant un transistor CMOS classique et une structure SOI. Cette représentation permet de mettre en évidence les principales différences d'empilement, notamment l'absence de substrat massif conducteur dans le cas du SOI, remplacé par une couche d'oxyde enterrée (BOX).

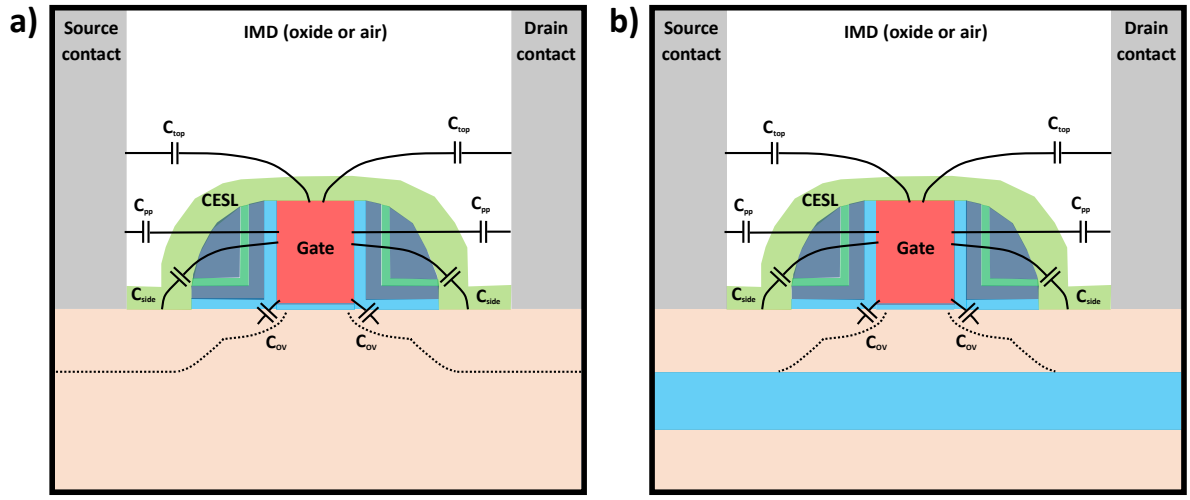


Fig. 12 : Schéma d'une structure a) MOS et b) SOI mettant en évidence certaine des capacités parasites

Lorsqu'un MOSFET fonctionne en mode saturation (régime utilisé pour les commutations numériques), la longueur effective du canal se réduit légèrement à mesure que la tension drain-source VDS augmente. Ce phénomène est appelé modulation de la longueur du canal.

- **Impact en commutation** : Cela provoque une légère augmentation du courant de drain, même si V_{GS} reste constant, ce qui rend le courant moins prévisible et peut ralentir les transitions logiques.
- **Modélisation** : Il est souvent modélisé par le facteur λ dans l'expression du courant :

$$I_D = \frac{1}{2}\mu C_{ox}\frac{W}{L}(V_{GS} - V_{th})^2(1 + \lambda V_{DS}) \quad (4)$$

Dans les MOSFET de très petites dimensions (notamment en technologie sub-100 nm), la géométrie du canal affecte la tension de seuil V_{th}. Plus le canal est court, plus V_{th} augmente à cause de la contrainte électrostatique accrue. Cela peut se définir de la façon suivante :

$$V_{th} = V_{FB} + 2\phi_F + \frac{qN_B T_{dep}}{C_{ox}} - \frac{qN_B T_{dep}}{C_{ox}} \frac{\varepsilon_{si}}{qN_B} \frac{\phi_d}{L^2} \quad (5)$$

Avec V_{FB} est la tension de bande plate, ϕ_F le potentiel de Fermi du substrat, q la charge élémentaire, N_B le dopage du substrat, T_{dep} l'épaisseur de la zone de déplétion, ε_{Si} la permittivité du silicium, ϕ_d le potentiel du drain, et L la longueur de canal. [SKO03]

- **Impact** : Cela retarde l'activation du transistor et allonge le temps de commutation, effet particulièrement critique dans les circuits logiques à haute vitesse.

Lorsque la longueur du canal devient comparable à la profondeur des jonctions source/drain, le contrôle de la grille sur le canal diminue. Cela entraîne :

- **Réduction de la tension de seuil V_{th}** : rendant le transistor plus sujet aux fuites même à l'état bloqué (*off*).
- **Augmentation du courant de fuite (leakage)** : Ce qui compromet l'efficacité énergétique
- **Diminution du ratio on/off** : affectant la distinction entre les états logiques et dégradant la qualité du signal.

Quand V_{DS} est élevé, il peut abaisser la barrière de potentiel à la jonction source/canal, même si $V_{GS} < V_{th}$. Cela permet au courant de passer, même quand le transistor est censé être à l'état bloqué.

- **Impact en commutation** : DIBL cause une conduction parasite du transistor, ce qui crée des états indéfinis (transition molle entre 0 et 1) et une augmentation du bruit logique.

Lors de la commutation, les charges doivent être injectées ou extraites du canal. Cela implique :

- **Capacité grille-source et grille-drain** (C_{gs}, C_{gd}) qui ralentissent la montée et la descente du signal.
- **Temps de montée et de descente** typiques : pour un MOSFET CMOS en technologie 65 nm, ils peuvent atteindre 50–150 ps selon la charge et les capacités.
- **Perte énergétique** à chaque commutation :

$$E = \frac{1}{2} C_L V^2{}_{DD} \quad (6)$$

Où C_L est la capacité de charge vue par la sortie et V_{DD} la tension d'alimentation appliquée.

La Table I présente un tableau comparatif des trois technologies de commutation RF précédemment étudiées : les transistors MOS, les dispositifs à changement de phase (PCM) et les systèmes micro électromécaniques (MEMS). Cette comparaison repose sur les principaux paramètres de performance, tels que R_{ON}, C_{OFF}, la tenue en puissance, la vitesse de commutation, la linéarité, la surface occupée ainsi que la durée de vie exprimée en nombre de cycles. Ce tableau permet de mettre en évidence les atouts et les limitations propres à chaque technologie, en particulier dans le contexte des applications RF à large bande. Il souligne notamment les compromis nécessaires entre faible perte d'insertion, bonne isolation, robustesse et intégrabilité, qui orientent les choix technologiques en fonction des besoins spécifiques de chaque application.

Technologie	MOS	PCM	MEMS
Type de commutation	Électrique	Thermique	Mécanique
Bistabilité	Non	Oui	Non
Pertes d'insertion (dB)	1 - 2	0,1 - 2	0,5 - 2
Isolation à 20 GHz (dB)	30 - 50	20 -30	20 -30
R_{ON} (ohm)	< 13	<10	< 3
C_{OFF} (fF)	<1	<10	<15
FOM (fs)	5 - 8	5 - 8	5 - 8
t_c (µs)	0,001 – 0,1	0,1 - 10	<30
Taille (mm^2)	2 - 5	< 0,25	2 – 5
F_{MAX} (GHz)	200	67	120
Linéarité (dBm)	30 - 60	40 - 80	60 - 100
Temps de commutation (µs)	0.001-0.1	0.1-10	<30
Durée de vie	> 10^9 cycles	> 10^9 cycles	> 10^9 cycles
Surface typique	De l'ordre du nm^2	Entre 0.01 à 0.1 μm^2	De l'ordre du μm^2

Table I : Tableau comparatifs des technologies de commutation RF [BET22], [JOU22]

Pour visualiser les performances de ces 3 technologie, nous utilisons un métrique associant R_{ON} et C_{OFF}. Il permet de comparer efficacement les technologies indépendamment de la structure en elle-même. Ainsi, on extrapole les performances électriques de chaque technologie. Ce métrique est disponible en Fig. 13.

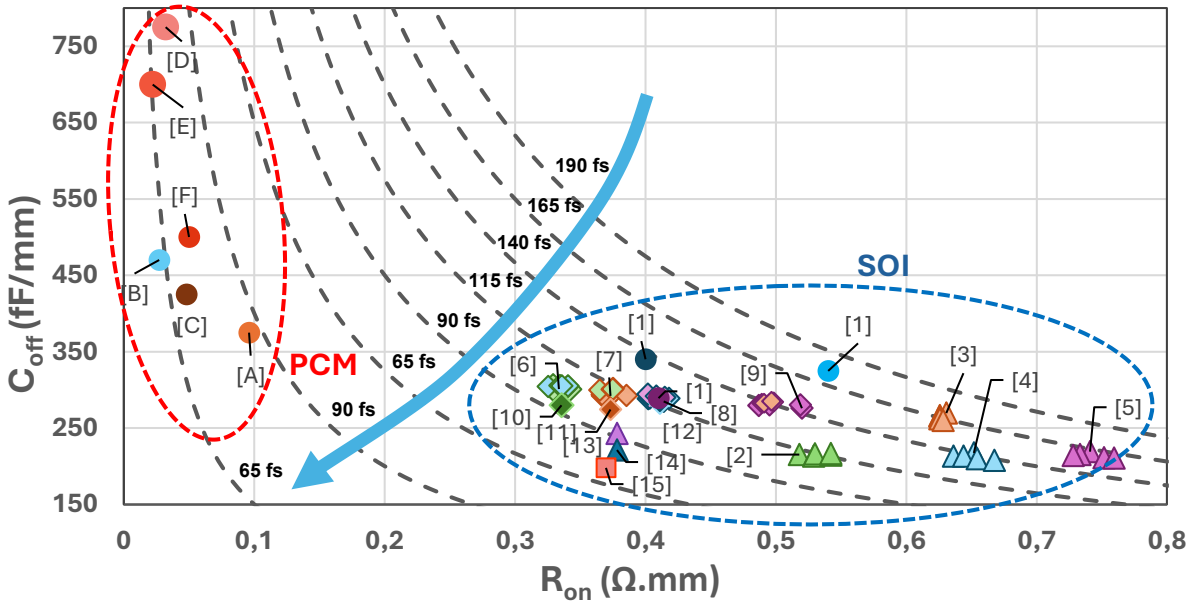


Fig. 13 : Métrique $R_{ON} \times C_{OFF}$ comparant les technologies PCM et SOI, utilisée comme facteur de mérite pour évaluer les performances des commutateurs RF en termes de bande passante et d'efficacité. [WAI20] [HIN14] [SIN18] [SIN15] [SLO17] [BET20] [BOT09] [BOL11] [HOW14]

1.4 Les pistes d'évolution de la technologie

Dans les commutateurs RF intégrés sur silicium, les performances électriques dépendent en grande partie de deux paramètres fondamentaux : la résistance à l'état passant R_{ON}, et la capacité parasite à l'état bloqué C_{OFF}. Le produit $R_{ON}.C_{OFF}$, souvent utilisé comme figure de mérite (FoM), quantifie le

compromis entre perte d'insertion et niveau d'isolation du commutateur. Plus cette métrique est faible, meilleures sont les performances globales du circuit RF, en particulier aux fréquences micro-ondes et millimétriques. Il est également important de vérifier que la tenue en tension ne se dégrade pas en réduisant le produit $R_{ON}.C_{OFF}$.

Les travaux récents dans la littérature scientifique ont exploré plusieurs stratégies complémentaires pour améliorer cette figure de mérite, allant de la modification des architectures de circuit à l'introduction de matériaux émergents, en passant par l'optimisation fine des procédés technologiques.

1.4.1 Architectures série/shunt optimisées

Une architecture à transistors NMOS en série et en shunt est proposée pour implémenter un commutateur RF en technologie CMOS-SOI 0.13 µm. Le design exploite le mode flottant du substrat (floating body) ainsi qu'une polarisation négative statique des grilles à l'état bloqué. Cette double approche permet de réduire significativement la capacité C_{OFF} sans compromettre R_{ON}. Le substrat SOI, en isolant les dispositifs du substrat silicium, diminue fortement le couplage capacitif vers le substrat, améliorant ainsi l'isolation du commutateur.

La topologie série/shunt permet en outre une meilleure tenue en puissance, en distribuant la tension de commutation entre les deux branches du circuit. Une figure de mérite de l'ordre de 120 fs est atteinte en utilisant uniquement cette méthode, ce qui en fait une solution très compétitive dans la gamme 1–6 GHz [GUA19]. En la combinant à d'autres optimisation, il est possible réduire d'autant plus la figure de mérite. La Fig. 14 présente un exemple de cette architecture.

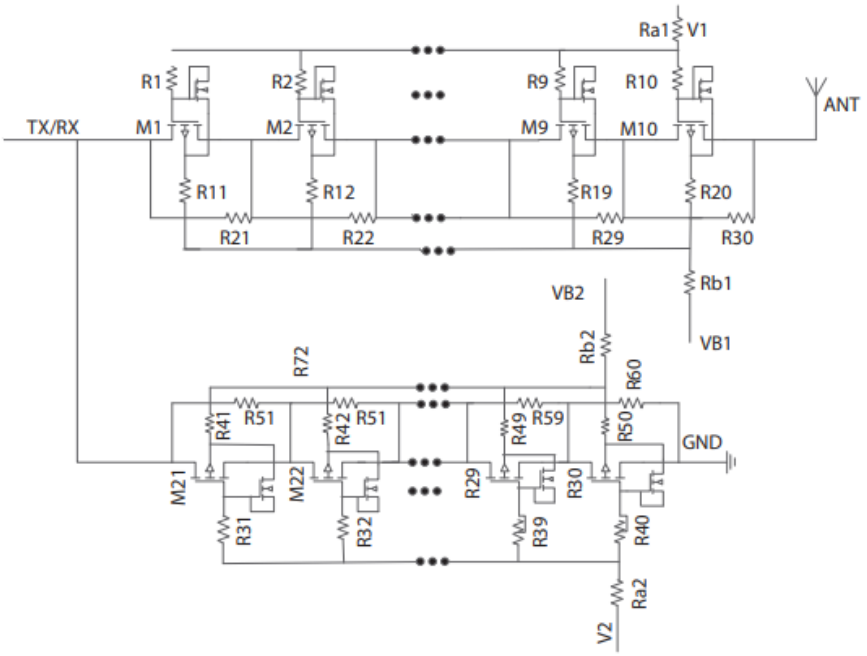


Fig. 14 : Schéma de l'architecture série/shunt d'un commutateur RF, où la branche série assure la transmission du signal en état ON et la branche shunt garantit l'isolation en dérivant le signal vers la masse en état OFF. [GUA19]

1.4.2 Compensation distribuée des capacités parasites à haute fréquence

À partir de 30 GHz, les effets capacitifs deviennent prépondérants dans la dégradation des performances RF. Certaines structures intègrent alors une architecture distribuée multisegments, où plusieurs transistors sont répartis le long d'une ligne de transmission. Cette approche permet de réduire R_{ON}, tout en compensant localement C_{OFF} à l'aide d'éléments résonants (stubs ouverts ou fermés, lignes à retard).

Ce type de design, inspiré des réseaux à commutation distribuée, permet de transformer une contrainte technologique (capacité parasite) en un élément fonctionnel du circuit, offrant ainsi un excellent compromis entre isolation, insertion et bande passante. La stratégie s'avère particulièrement efficace à haute fréquence, où l'impédance des capacités parasites est suffisamment faible pour devenir limitante [SHU15]. La Fig.15 illustre ce principe.

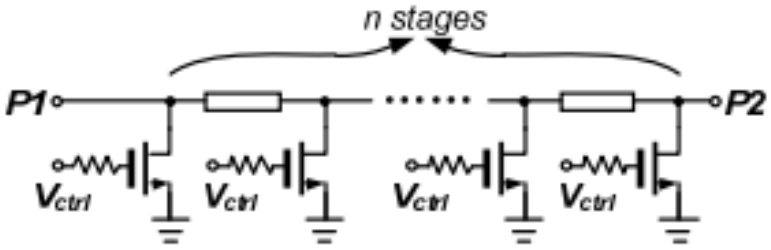


Fig. 15 : Schéma électrique d'un circuit à commutation distribuée, illustrant la répartition des éléments de commutation le long de la ligne de transmission afin d'optimiser l'adaptation et la bande passante [SHU15]

1.4.3 Utilisation de matériaux bidimensionnels pour améliorer le contrôle du canal

Des transistors à canal ultra-fin à base de dichalcogénures métalliques (TMD), tels que MoS_2 et WS_2, sont intégrés dans un processus compatible CMOS. Ces matériaux bidimensionnels présentent plusieurs avantages clés [ZOU23] :

- **Un canal semi-conducteur ultra-fin**, dont l'épaisseur est de l'ordre d'une ou deux couches atomiques, réduit considérablement les capacités parasites intrinsèques et inter-électrode, notamment le couplage grille-drain (effet Miller) et la capacité de recouvrement.
- **Un contrôle électrostatique renforcé** grâce à l'absence d'un substrat épais : la grille contrôle l'intégralité du canal, ce qui permet de maintenir un faible R_{ON} même à des dimensions nanométriques. Ce comportement est renforcé par une mobilité élevée et des résistances de contact faibles.
- **Une compatibilité directe avec les substrats RF-SOI**, qui permet une intégration monolithique avec les circuits CMOS existants sans perturbation du flow technologique. Cela rend envisageable la cohabitation de ces transistors avec les blocs analogiques et numériques dans une même puce.

1.4.4 Optimisation du procédé RF-SOI

Il est possible de mettre en œuvre une série d'optimisations visant à réduire de manière systématique le produit $R_{ON}.C_{OFF}$. [GIA22]

Il y a notamment :

- **Réduction de la longueur de canal (L), réduction de l'épaisseur de grille (t_g) et augmentation de la largeur (W)** :
  La résistance à l'état passant R_{ON} d'un transistor MOS suit une loi inversement proportionnelle au rapport W/L. Ainsi, une réduction de la longueur de canal, combinée à une augmentation maîtrisée de sa largeur, permet de diminuer efficacement R_{ON}, ce qui est particulièrement important dans les applications de commutation RF où la perte d'insertion doit rester minimale. Toutefois, cette optimisation doit être réalisée sans compromettre la tenue en tension (BV) ni la résistance de la grille, car une trop grande réduction de L peut entraîner des effets de claquage prématuré ou une dégradation de la robustesse électrostatique (ESD). Un compromis est donc nécessaire entre performance et fiabilité. La Fig. 16 montre l'effet des changements de dimensions évoqués.

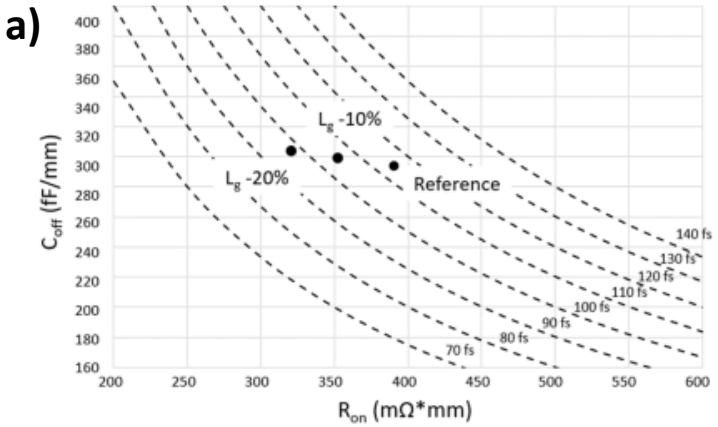


Fig. 6. Gate length scaling impact on achievable R_{ON}×C_{OFF}

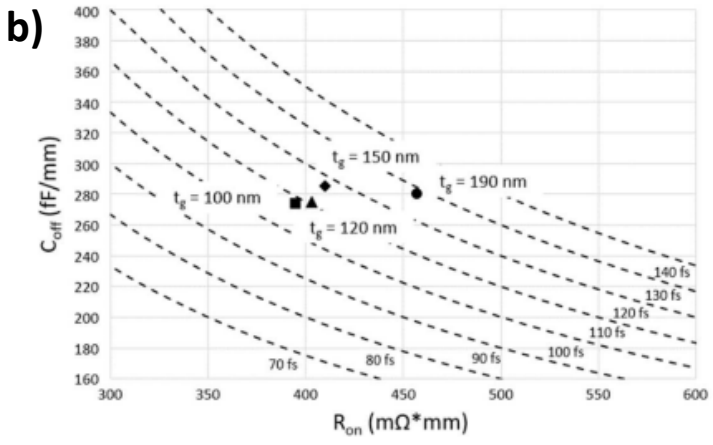


Fig. 8. Gate thickness optimization impact on achievable R_{ON}×C_{OFF}

Fig. 16 : Graphique de l'impact dimensionnel de la grille sur le produit C_{OFF} x R_{ON} : a) en fonction de la longueur de grille et b) en fonction de l'épaisseur de grille. [GIA22]

- **Optimisation des implantations ioniques et des profils de dopage** :
  La résistance de contact (entre les régions source/drain et les métallisations) constitue un facteur limitant pour R_{ON}, en particulier aux fréquences élevées. Des techniques d'implantation spécifiques — telles que l'usage de dopages halo, LDD (Lightly Doped Drain) ou d'extensions de source/drain — permettent de réduire ces résistances d'accès, tout en contrôlant la forme du canal. En parallèle, une implantation judicieuse du substrat et des régions de transition permet de minimiser les jonctions capacitives, ce qui contribue à une baisse de C_{OFF} et améliore l'isolation du transistor à l'état bloqué. La Fig. 17 illustre l'impact de ces techniques.

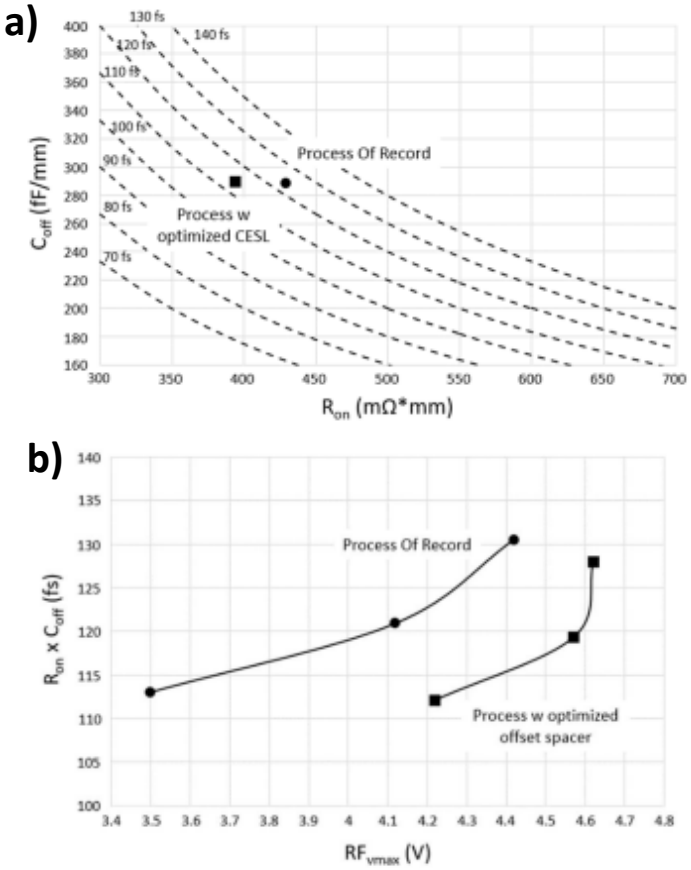


Fig. 17 : Graphique de l'impact des leviers influençant la mobilité des électrons : a) sur le RON et le COFF, et b) sur le produit $R_{ON} \times C_{OFF}$ ainsi que sur RFV_{max}. [GIA22]

- **Utilisation de substrats SOI** :
  Les substrats silicium sur isolant (SOI) permettent d'abaisser significativement la capacité parasite entre les électrodes du transistor et le substrat. En particulier, l'usage de matériaux diélectriques à faible permittivité relative dans la couche d'isolant (par exemple du SiO_2 ou des diélectriques organiques avancés) permet de réduire la capacité de couplage verticale, ce qui est crucial pour obtenir de faibles valeurs de C_{OFF}. Cette propriété est d'autant plus avantageuse à haute fréquence, où la moindre capacité parasite impacte fortement la performance en isolation.

- **Contrôle précis de l'épaisseur et de la qualité de l'oxyde enterré (BOX)** :
  La couche d'isolant enterrée (Buried Oxide – BOX) joue un rôle clé dans les technologies SOI RF. Son épaisseur et sa qualité influencent directement le couplage électrostatique entre les électrodes actives et le substrat. Une couche enterrée d'oxyde (BOX) plus épaisse permet une

isolation accrue, mais augmente potentiellement les délais de commutation (via des effets de trappage/dépiégeage). À l'inverse, un oxyde enterré trop fin favorise les effets de substrat (body effect). Un dimensionnement optimal du BOX, généralement compris entre 100 et 300 nm selon la technologie, permet donc de limiter le couplage capacitif sans dégrader la performance **dynamique** du dispositif. Des techniques avancées comme le 'grounded guard ring' ou les substrats 'trap-rich' peuvent être combinées pour stabiliser davantage le comportement RF.

Les exemples précédents mettent en évidence une corrélation forte entre la résistance à l'état passant (R_{ON}) et la capacité parasite à l'état bloqué (C_{OFF}). Il est particulièrement difficile d'ajuster ces deux paramètres de manière indépendante, ce qui limite l'efficacité de nombreuses optimisations technologiques. Cette interdépendance trouve son origine dans la structure même du FEOL, où les choix de matériaux, de dimensions et de procédés influencent simultanément le comportement en conduction et en isolation.

L'enjeu est donc de trouver une méthode permettant de réduire C_{OFF} sans pour autant dégrader Ron. Pour cela, l'attention se porte naturellement vers le BEOL, et plus spécifiquement vers la structure d'interconnexion métallique. La principale composante capacitive dans cette zone est une capacité de type métal–diélectrique–métal (MDM), régie par la relation suivante :

$$C_{MDM} = \varepsilon_0 * \varepsilon_r * \frac{S}{d} \quad (7)$$

Dans cette expression, ε_r désigne la permittivité relative du diélectrique séparant les lignes métalliques d'interconnexion, ε_0 la permittivité du vide, S la surface de vis-à-vis entre les armatures métalliques, et d la distance qui les sépare.

Dans une structure donnée, les paramètres géométriques S et d sont fixés par le design, ce qui fait de ε_r le principal levier d'optimisation. Sur les technologies RF en SOI, le diélectrique utilisé est généralement un oxyde de silicium, avec une permittivité relative de l'ordre de 4. Réduire cette valeur permet de diminuer significativement la capacité parasite du BEOL, et donc de baisser le C_{OFF} total.

C'est dans ce cadre que s'inscrit l'utilisation des microcavités. Celles-ci visent à remplacer localement l'oxyde par de l'air (de permittivité relative proche de 1), réduisant ainsi la permittivité effective de la couche diélectrique. Cette approche permet d'agir uniquement sur C_{OFF} sans impact direct sur R_{ON}, rompt la dépendance entre ces deux grandeurs, et ouvre de nouvelles perspectives pour l'optimisation des commutateurs RF.

1.4.5 Procédé de retrait sacrificiel

L'un des procédés les plus prometteurs pour l'intégration de structures à air gap à l'échelle nanométrique est le retrait sacrificiel de spacers (*sacrificial spacer removal*). Cette méthode consiste à utiliser un matériau temporaire, appelé spacer sacrificiel, déposé sur les flancs de la grille du transistor ou dans d'autres régions critiques, qui sera ensuite retiré de manière contrôlée pour créer une cavité remplie d'air.

Le procédé suit généralement les étapes suivantes :

1. **Dépôt du matériau sacrificiel** : Un matériau facilement gravable, tel que le dioxyde de silicium (SiO_2) ou certains polymères fluorés, est déposé sur les flancs de la grille ou dans la zone inter-métal.
2. **Mise en forme du spacer** : Une gravure anisotrope est réalisée pour sculpter le matériau sacrificiel de manière précise autour des zones actives.
3. **Encapsulation** : Les structures sont partiellement encapsulées par des couches conformes et résistantes à la gravure (par exemple, du nitrure de silicium, Si_3N_4), qui serviront de parois pour le futur air gap.
4. **Retrait sélectif** : Le matériau sacrificiel est ensuite éliminé par un procédé de gravure chimique sélectif (sec ou humide), sans affecter les matériaux encapsulant.
5. **Formation de l'air gap** : La cavité ainsi formée reste vide (ou éventuellement remplie d'un gaz inerte), constituant une zone à très faible permittivité.

Ce procédé permet de contourner les limitations associées aux diélectriques low-k classiques (fragilité, porosité, instabilité thermique), tout en obtenant une réduction effective de la capacité parasite dans des zones critiques. L'amélioration typique peut atteindre :

- **30 % de réduction de la capacité de couplage latéral** entre grille et source/drain,
- **15 à 20 % d'amélioration du délai de propagation** dans les circuits logiques,
- **Gains en consommation dynamique ($P = \alpha \cdot C \cdot V^2 \cdot f$)** significatifs, particulièrement pour les architectures à très faible tension.

Malgré ses bénéfices, le retrait sacrificiel de spacers présente plusieurs défis techniques :

- **Sélectivité chimique** : La gravure doit cibler exclusivement le matériau sacrificiel sans endommager les couches voisines.
- **Stabilité mécanique** : L'introduction de cavités peut fragiliser la structure globale du dispositif, en particulier dans les nœuds technologiques <10 nm.
- **Compatibilité process** : Le procédé doit rester compatible avec les températures, contraintes de planéité et densités imposées par les lignes de fabrication CMOS avancées.

Des approches hybrides, combinant matériaux à faible permittivité diélectrique (ultra low-κ) et cavités partiellement remplies, sont également à l'étude pour améliorer la robustesse mécanique tout en maintenant des propriétés diélectriques optimales. [CHE20]. Un schéma est disponible en Fig. 18.

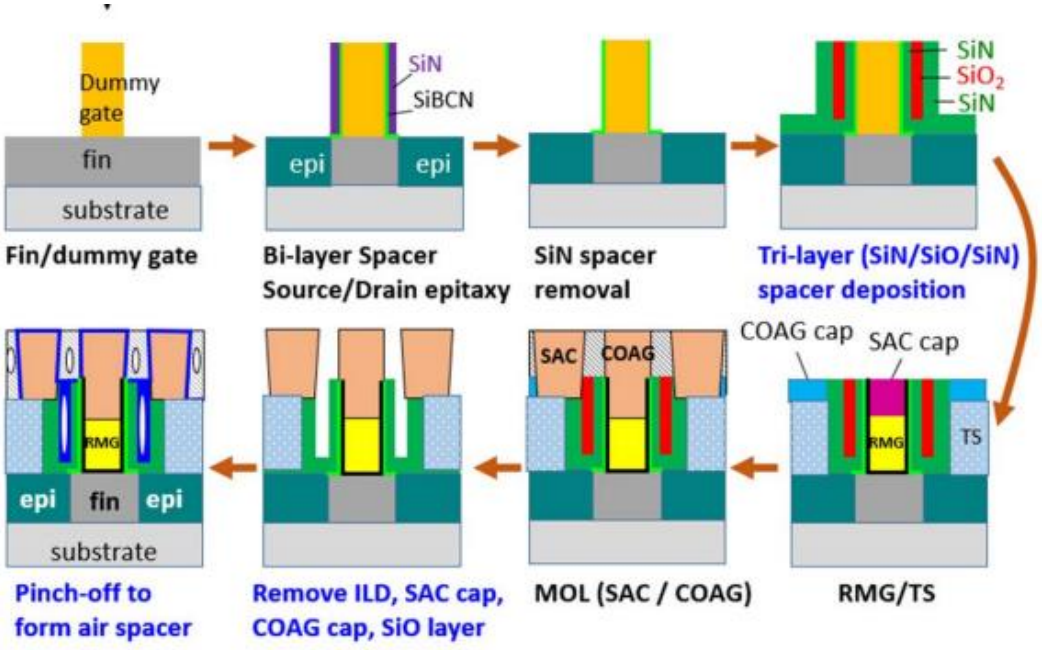


Fig. 18 : Schéma illustrant le principe de formation d'un air-gap par retrait d'un matériau sacrificiel [CHE20]

1.4.6 Matériaux low-κ poreux

Dans la course à la réduction des capacités parasites dans les technologies CMOS avancées, les matériaux diélectriques à faible constante diélectrique jouent un rôle central. Pour aller au-delà des performances offertes par les diélectriques classiques comme le SiO_2 ($\varepsilon_r \approx 3.9$) ou le SiCOH ($\varepsilon_r \approx 2.7$), l'introduction de matériaux low-κ poreux a été proposée comme une alternative complémentaire ou intermédiaire à l'intégration directe de cavités d'air.

Les matériaux low-κ poreux sont constitués d'une matrice diélectrique dans laquelle des pores nanométriques sont distribués de manière contrôlée. Ces pores, souvent remplis d'air ou de vide partiel, réduisent la constante diélectrique effective du matériau selon la relation :

$$\varepsilon_{eff} = f(\varepsilon_{matrice}, porosité) \quad (8)$$

Typiquement, les matériaux low-κ poreux atteignent des permittivités de l'ordre de 1.9 à 2.2, avec des porosités allant jusqu'à 40–50 %. Cela en fait une alternative intéressante à l'air pur ($\varepsilon_r \approx 1$), tout en assurant une meilleure stabilité mécanique et une intégration plus facile dans les lignes de fabrication.

La formation des matériaux low-κ poreux repose sur une approche en deux étapes :

1. Dépôt de la matrice hybride avec précurseur de porogène, souvent par PECVD ou spin-coating.
2. Activation thermique ou UV pour éliminer le porogène (agent formateur de pores), ce qui laisse une structure poreuse stable.

Les matériaux low-κ poreux sont souvent utilisés en combinaison avec des liners ou barrières mécaniques (par exemple SiCN, SiN) pour pallier leur fragilité. Ils peuvent également servir d'étapes

transitoires dans l'intégration de structures à air gap partielles, où seules certaines zones sont gravées pour former des cavités. [CHE18]

1.4.7 Gravure sélective contrôlée

La gravure sélective contrôlée (*selective etch-back*) est une technique critique pour la mise en œuvre de structures à air gap, particulièrement dans les technologies CMOS avancées sur substrat SOI. Il consiste à retirer de manière localisée et sélective un matériau donné — souvent un diélectrique ou un matériau sacrificiel — tout en préservant l'intégrité des couches adjacentes, telles que les grilles, les contacts ou les isolants.

Ce procédé est essentiel dans deux contextes principaux :

- La formation directe d'air gaps par élimination d'une couche intermédiaire (souvent un oxyde) entre deux structures.
- Le retrait de spacers sacrificiels (voir section précédente), afin de créer une cavité d'air sans affecter les performances mécaniques ou électriques du transistor.

La gravure sélective peut être réalisée par voie chimique humide (par exemple, avec HF pour le SiO_2) ou par plasma (RIE, DRIE) selon le matériau ciblé. La sélectivité du procédé — c'est-à-dire la capacité à attaquer un matériau donné tout en épargnant les autres — dépend de :

- La composition chimique du gaz ou du bain (ex. CF_4, CHF_3 pour les oxydes ; SF_6 pour le silicium).
- Les paramètres de processus : pression, température, polarisation RF.
- La nature des interfaces et de la passivation.

Un exemple classique est la gravure sélective du SiO_2 sacrificiel sans affecter le Si_3N_4 environnant. Cela permet de créer des cavités latérales très précises qui, une fois refermées ou encapsulées, forment des zones d'air isolantes.

Les avantages de cette technique est multiple :

- Contrôle dimensionnel précis : le procédé permet d'ajuster la taille et la forme des cavités à l'échelle nanométrique.
- Compatibilité avec le process CMOS : s'intègre facilement en BEOL ou dans les étapes intermédiaires.
- Flexibilité des matériaux ciblés : applicable à une variété de diélectriques et de polymères.

Le principal défi de la gravure sélective réside dans l'équilibre entre sélectivité et anisotropie. Un procédé trop agressif peut entraîner :

- Une sous-gravure latérale ou verticale (undercut), perturbant la géométrie finale.
- Une altération de la couche de passivation ou des interfaces sensibles (ex. : grille métal/high-k).
- Une infiltration d'humidité dans la cavité si elle n'est pas encapsulée rapidement après gravure.

Par conséquent, une maîtrise fine des paramètres de gravure, alliée à un contrôle métrologique in situ, est nécessaire pour garantir la répétabilité du procédé et la fiabilité électrique du composant. [GOS07] Un schéma d'intégration de cette méthode est montré en Fig. 19.

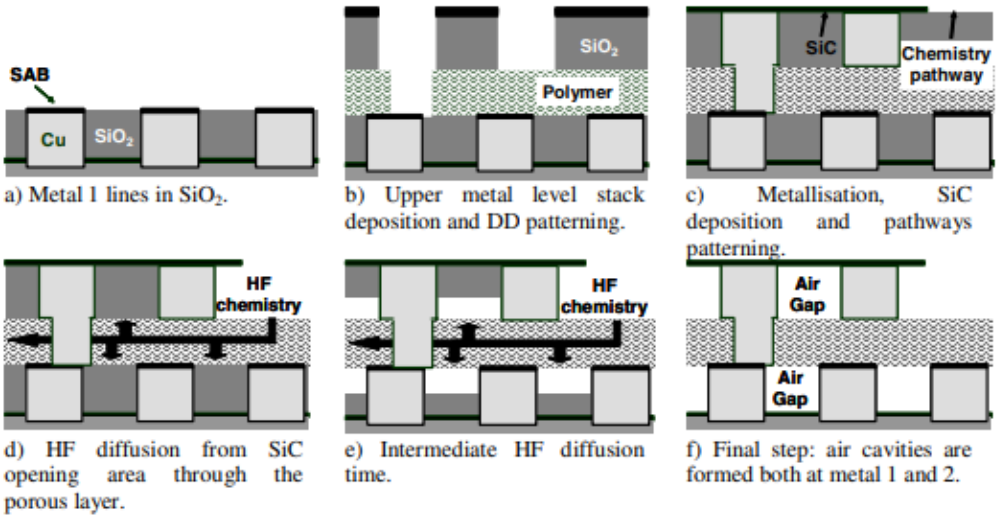


Fig. 19 : Schéma d'intégration d'une structure d'interconnexion intégrant un air-gap [GOS07]

1.4.8 Formation d'air gaps par dépôt non conforme

Le principe repose sur le dépôt d'un matériau diélectrique à faible constante (comme le SiOC, $\kappa \approx 2.9$) sur une structure présentant un relief prononcé, typiquement entre des lignes métalliques en cuivre. Le dépôt non conforme, souvent réalisé par CVD à basse pression (LPCVD) ou PECVD à basse température, tend à remplir préférentiellement le fond des interstices sans recouvrir complètement les parois verticales. Il en résulte une cavité résiduelle partiellement fermée, laissée vide ou faiblement densifiée entre les flancs des lignes adjacentes. Après planarisation (typiquement par CMP, Chemical Mechanical Polishing), cette géométrie se traduit par la présence d'interstices d'air latéraux encapsulés, agissant comme isolants à très faible permittivité effective (ε_r proche de 1).

Cette méthode présente plusieurs avantages notables :

- Elle évite l'utilisation de matériaux sacrificiels ou de procédés de retrait ciblé, réduisant ainsi la complexité et le coût de fabrication.
- Elle est entièrement compatible avec les lignes BEOL classiques, et ne requiert pas de modifications significatives de l'environnement de fabrication.
- Elle offre une réduction capacitive efficace : une baisse mesurée de la constante diélectrique effective globale, avec des gains comparables à ceux obtenus par des procédés plus complexes.
- Elle maintient une stabilité mécanique satisfaisante, car le matériau diélectrique recouvre partiellement les structures, évitant ainsi les affaissements ou la perte d'intégrité structurelle.

Cependant, cette approche implique également des limitations intrinsèques :

- Le contrôle dimensionnel des air gaps reste dépendant de la topographie initiale, de la densité locale des lignes et des paramètres de dépôt.

- Le remplissage partiel peut être difficile à reproduire uniformément, notamment dans les circuits à très haute densité.
- L'ouverture latérale ou verticale des cavités peut engendrer des risques d'infiltration de contamination (humidité, particules) si une encapsulation efficace n'est pas assurée.

Dans l'ensemble, le dépôt non conforme constitue une approche industrielle pragmatique pour introduire des zones à faible permittivité dans les interconnexions à haute densité, notamment dans les technologies CMOS avancées sub-100 nm. Elle offre un bon compromis entre performances électriques, robustesse mécanique et simplicité de fabrication, ce qui en fait une option sérieusement considérée dans les flux de production intégrant des substrats SOI ou des architectures 3D avancées. [GOS03]. Une coupe MEB de ce procédé est visible en Fig. 20.

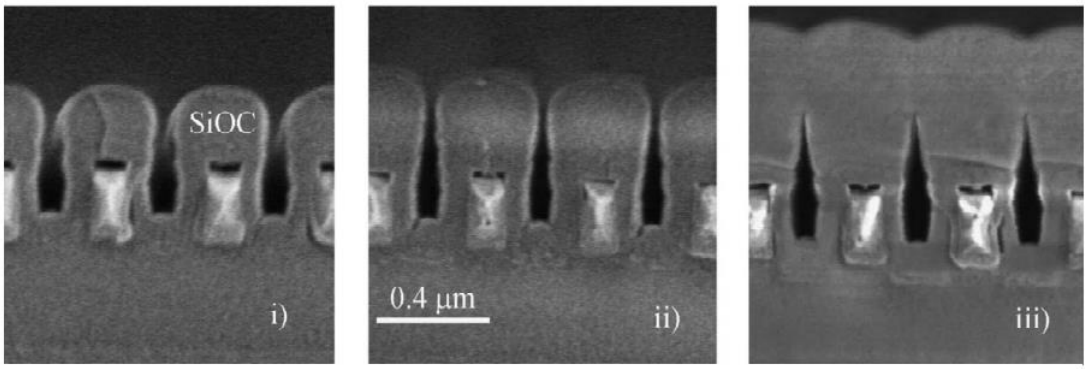


Fig. 20 : Coupe MEB illustrant la formation d'un air-gap obtenu par gravures sélectives dans la structure d'interconnexion. [GOS03]

1.5 Conclusion du chapitre 1

L'objectif de cette étude est d'analyser de manière approfondie l'intégration de microcavités complètes au sein de structures CMOS sur substrat SOI. Ce procédé présente un intérêt majeur dans le contexte des commutateurs RF, en raison de sa capacité à réduire significativement la capacité parasite hors conduction, communément notée C_{OFF}, sans altérer les performances électriques associées à la résistance à l'état passant R_{ON} ainsi que la tenue en tension de la structure.

Dans les structures classiques, ces deux paramètres sont étroitement liés, en particulier dans la zone active (FEOL), rendant difficile toute amélioration de l'un sans détériorer l'autre. L'introduction de microcavités dans la zone d'interconnexion (BEOL) constitue ainsi une opportunité unique : elle permet une diminution directe de la permittivité effective du matériau diélectrique entre les lignes métalliques, en remplaçant localement l'oxyde par de l'air. Cette réduction de permittivité, sans modification de la topologie ni des propriétés intrinsèques du transistor, permet d'agir exclusivement sur C_{OFF}, ouvrant la voie à une optimisation ciblée et efficace des performances RF des dispositifs.

Afin d'évaluer de manière rigoureuse les effets de cette intégration, le présent travail s'articule en trois grandes parties, correspondant respectivement aux chapitres 2, 3 et 4 du manuscrit.

Le chapitre 2 traite du développement et de la reformulation d'un modèle de simulation adapté à l'étude fine des structures RF intégrant des microcavités. Pour répondre à la complexité du dispositif,

la démarche a reposé sur une séparation rigoureuse entre la zone active (FEOL) et la zone d'interconnexion (BEOL), chacune traitée par un outil de simulation distinct et complémentaire. Le modèle FEOL a été traité par la résolution des équations de transport (équation de Poisson et équations de continuité de la densité de courant d'électrons et de trous), communément appelé modèle de transport 'dérive-diffusion', de manière bidimensionnelle. Ce modèle met en œuvre une méthode de discrétisation spatiale de type différences finies. La simulation du réseau d'interconnexions (BEOL), quant à elle, s'est appuyée sur une approche électromagnétique 3D, parfaitement adaptée à l'étude des capacités parasites issues de l'empilement métallique. Ces travaux ont nécessité une calibration fine à partir de mesures expérimentales et ont permis d'isoler avec précision les contributions au C_{OFF}, validant ainsi la pertinence d'un modèle scindé pour capturer l'effet des microcavités sur les performances RF globales.

Le chapitre 3 présente les procédés technologiques développés dans le but d'atteindre une réduction proche de 30 % de C_{OFF}. Ces procédés ont fait l'objet de plusieurs itérations successives afin d'en améliorer la maturité et la robustesse. La stratégie adoptée repose sur une combinaison de gravure par faisceau d'ions focalisé (FIB), de gravure plasma assistée (RIE) et de gravure chimique en phase vapeur à base d'acide fluorhydrique (HF). Chaque méthode présente des contraintes spécifiques, notamment en termes de sélectivité, d'agressivité chimique et de précision dimensionnelle.

En parallèle, des pistes complémentaires ont été explorées pour améliorer la tenue mécanique des structures et leur stabilité face à l'humidité. Une encapsulation de la cavité par une couche d'oxyde ultrafine a été envisagée pour assurer une protection hermétique. Un second procédé a également été conçu afin de renforcer la base de la cavité et d'en améliorer la dissipation thermique. Ce dernier repose sur l'intégration d'un dépôt d'AlN, matériau à la fois résistant au HF et présentant une bonne conductivité thermique. Ces améliorations visent à rendre le procédé plus fiable et plus facilement transférable vers un contexte de fabrication industrielle.

Le chapitre 4 est consacré à la caractérisation expérimentale des puces ayant subi le procédé de gravure décrit précédemment, ainsi qu'à l'analyse des résultats obtenus. Plusieurs méthodes de caractérisation sont mises en œuvre afin d'évaluer l'impact de la gravure sur les performances des dispositifs. Des mesures électriques statiques de type I_{DS}-V_{GS} I_{DS}-V_{DS} permettent une première évaluation du comportement en régime continu. Des mesures en radiofréquence (RF) sont ensuite réalisées pour extraire les valeurs de R_{ON} et C_{OFF}, paramètres clés dans l'évaluation des performances RF. Enfin, des tests de tenue en puissance sont effectués afin de compléter l'étude en conditions de stress. Ce chapitre offre également l'opportunité de confronter les résultats expérimentaux aux simulations précédemment présentées, permettant ainsi de valider le modèle numérique établi et d'identifier les écarts éventuels.

Chapitre 2 : Simulations et méthodes de caractérisation de commutateurs RF à microcavités

2.1 Introduction

L'utilisation des microcavités traduit une évolution innovante des procédés de fabrication des commutateur RF. Néanmoins, leurs utilisations n'est pas courante et leurs impacts sur les systèmes électriques manquent de précision. Avant de mettre des ressources dans leur réalisation, il est nécessaire de s'assurer de l'utilité de ce procédé. La simulation permet en ce sens, de vérifier la contribution de la gravure et détendre les résultats plus facilement.

Ce chapitre 2 présente le modèle de simulation créé afin d'étudier l'impact des microcavités sur deux structures distinctes. Le modèle passe par deux types de simulations. La première simulation s'intéresse au transport des porteurs dans le semi-conducteur, au sein du semiconducteur (FEOL), tandis que la seconde se concentre sur la simulation électromagnétique (EM) au sein du réseau d'interconnexions métalliques (BEOL). Ce chapitre est l'occasion également de traiter de la calibration des simulations par rapport aux mesures expérimentales et de l'extraction des données souhaitées tel que C_{OFF} à partir de mesure RF. L'impact des résultats simulant l'introduction de microcavités dans le réseau d'interconnexion sera discuté et comparé à l'état de l'art expérimental.

2.2 Structures de commutateurs et conditions de départ

2.2.1 Caractéristiques et dimensionnement

La première phase de l'étude a consisté à évaluer l'impact des microcavités sur les caractéristiques électriques du transistor. Dans un premier temps, le type de simulation à employer a été déterminé afin d'assurer une précision optimale des résultats. Une structure de référence a ensuite été sélectionnée pour l'analyse. Deux structures, fournies par STMicroelectronics, ont été retenues à cet effet. Il s'agit de commutateurs RF basés sur la technologie H9SOIFEM, désignés respectivement sous les appellations "Tweeny" et "Nightingale", qui seront utilisées comme références dans la suite du travail. Les représentations en vue de dessus des dessins de masques associés à ces structures sont présentées en Fig. 21.

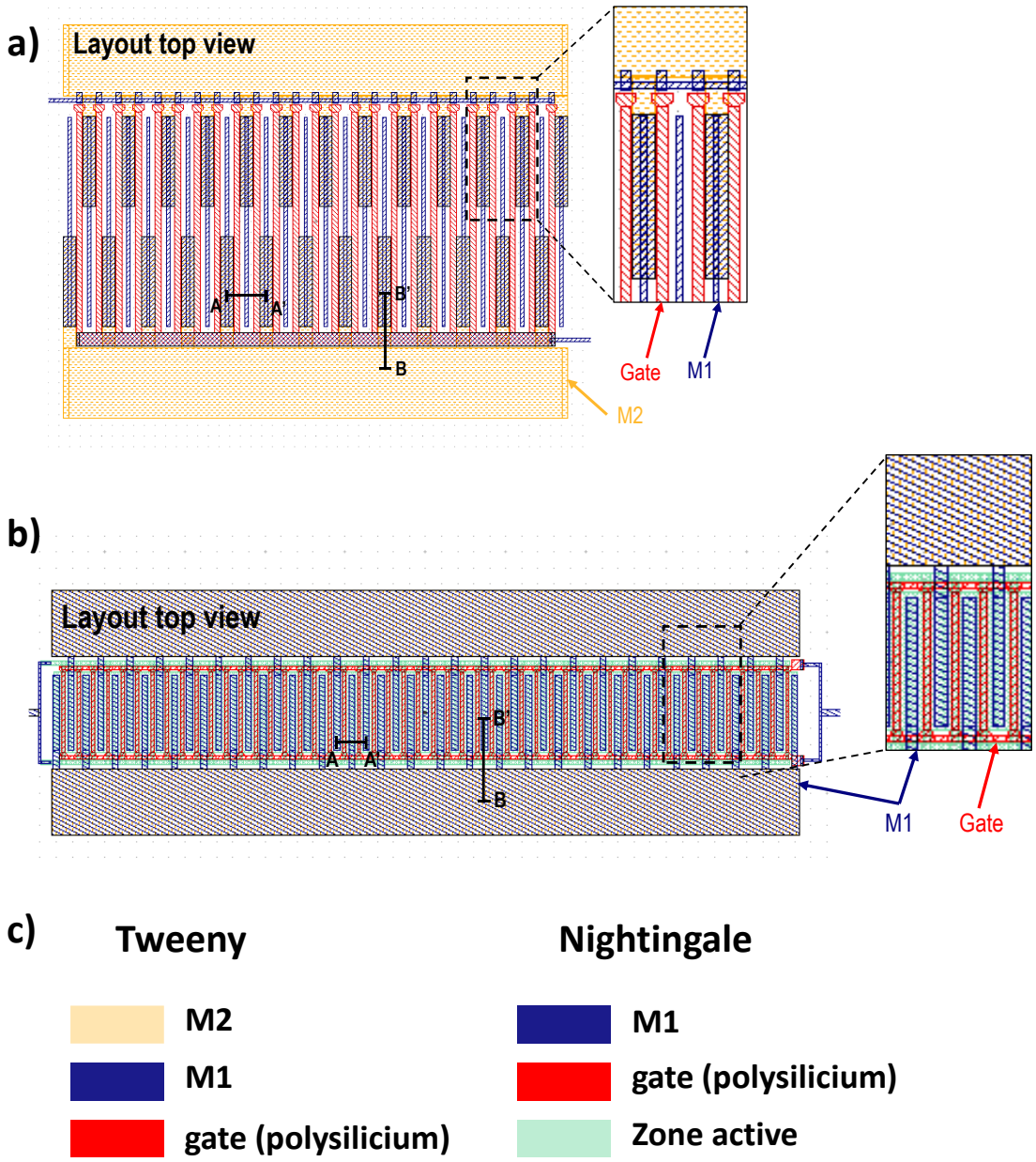


Fig. 21 : Vue de dessus du dessin de masque d'un élément de commutateur RF a) Tweeny et b) Nightingale et c) légende descriptive des différentes couches

Plusieurs éléments doivent être pris en considération dans l'analyse des structures. Il convient de noter que la structure Nightingale constitue une version améliorée de la structure Tweeny, tant sur le plan du dimensionnement que des performances [GIA22]. Les différences entre ces deux structures seront détaillées ultérieurement. L'attention est, pour l'instant, portée sur le layout et ses dimensions, notamment l'agencement des couches métalliques, ainsi que leurs épaisseurs et compositions. La structure Tweeny est constituée de 25 transistors connectés en parallèle, chacun présentant une largeur de 10 µm. Cette configuration équivaut à un unique transistor d'une largeur effective de 250 µm. Ce paramètre s'avère significatif lors de l'analyse comparative des résultats entre différentes technologies. Dans le cas de la structure Tweeny, la connexion entre les transistors est assurée par quatre niveaux métalliques en aluminium,

numérotés de M1 à M4, où M1 représente le niveau le plus bas et M4 le plus élevé, ce dernier étant connecté aux pads de mesure.

Chaque niveau métallique est connecté aux autres par l'intermédiaire decontacts en tungstène et de vias en aluminium. Le layout présenté en Fig. 21 met en évidence trois couches principales : le polysilicium, le niveau M1 et le niveau M2. Ces deux derniers niveaux de lignes métalliques étant les plus proches du transistor présentent des contraintes spécifiques dans le cadre des futurs procédés de fabrication. Il convient de noter que les niveaux M1 et M2 sont interdigités, impliquant une alternance régulière des régions source et drain. Cette configuration a un impact direct sur C_{OFF}, dont l'une des composantes principales au niveau du BEOL (Back-End of Line) est la capacité formée entre les couches métalliques au travers du diélectrique interposé (structure métal/diélectrique/métal). Une interdigitation plus serrée entraîne une augmentation de cette capacité. Par ailleurs, cette densité complique l'accès à la zone concernée lors des étapes de gravure, ce qui introduit un paramètre supplémentaire, désigné sous le nom de pitch poly. Dans le cas de la structure Tweeny, deux valeurs de pitch poly sont considérées pour l'étude : 0.86 µm et 0.92 µm.

La longueur de grille constitue un autre paramètre de variation influençant principalement R_{ON} et les caractéristiques électriques du commutateur RF, sans introduire de complexité supplémentaire dans les procédés de gravure. Quatre longueurs de grille physique sont présentes dans les structures analysées : 110, 120, 145 et 185 nm. Cette longueur physique peut être désignée différemment selon son contexte d'utilisation : "longueur masque" lorsqu'il s'agit des masques de fabrication, "longueur dessinée" lorsqu'elle figure dans le dessin de masques, et "longueur physique" correspondant à la longueur réelle après fabrication. Afin de permettre une distinction claire, les différentes structures sont regroupées selon ces paramètres. La Table II récapitule l'ensemble des paramètres. La structure de référence utilisée dans cette étude est identifiée comme "220 éléments 4", caractérisée par la plus faible longueur de grille et le plus grand pitch poly, ce qui en fait l'option la plus favorable pour les expérimentations envisagées.

name	element	width finger (µm)	width (µm)	Lg on mask (µm)	Lg drawn (mask) (µm)	Lg physical (µm)	pitch poly (µm)
214	1	10	250	0,22	0,28	0,185	0,86
214	2	10	250	0,22	0,28	0,185	0,86
214	3	10	250	0,22	0,28	0,185	0,92
214	4	10	250	0,22	0,28	0,185	0,92
216	1	10	250	0,18	0,24	0,145	0,86
216	2	10	250	0,18	0,24	0,145	0,86
216	3	10	250	0,18	0,24	0,145	0,92
216	4	10	250	0,18	0,24	0,145	0,92
218	1	10	250	0,16	0,22	0,12	0,86
218	2	10	250	0,16	0,22	0,12	0,86
218	3	10	250	0,16	0,22	0,12	0,92
218	4	10	250	0,16	0,22	0,12	0,92
220	1	10	250	0,14	0,2	0,11	0,86
220	2	10	250	0,14	0,2	0,11	0,86
220	3	10	250	0,14	0,2	0,11	0,92
220	4	10	250	0,14	0,2	0,11	0,92

Table. II : Tableau comparatif des dimensions des structure Tweeny

La structure Nightingale a fait l'objet de nombreuses modifications, principalement localisées au niveau du FEOL (Front-End of Line). Parmi les évolutions notables, on peut citer la réduction

de la longueur et de la hauteur de grille, des ajustements au niveau des espaceurs et de l'implantation, ainsi qu'une modification de la couche de nitrure tensile (CESL). Ces optimisations permettent une diminution significative de la résistance à l'état passant (R_{ON}), bien qu'elles entraînent une légère dégradation de la capacité à l'état bloqué (C_{OFF}) [GIA16]. L'analyse qui suit se concentrera spécifiquement sur les différences observées au niveau du dessin de masque.

La structure Nightingale se distingue par la présence de trois niveaux métalliques, avec le niveau M1 toujours positionné au plus bas. Au centre de la structure, c'est-à-dire au-dessus de la zone active des transistors en parallèle, seul le niveau M1 est utilisé, ce qui permet de réduire l'encombrement global et de simplifier les étapes ultérieures de gravure. Une modification du nombre de transistors est également observée : la structure intègre désormais 50 transistors, chacun ayant une largeur de grille de 5 µm, ce qui correspond à une largeur cumulée inchangée de 250 µm. Cette constance dans la largeur totale facilite la comparaison entre les deux technologies. D'un point de vue dimensionnel, la nomenclature employée pour les structures Nightingale diffère de celle des structures précédentes. Toutefois, des structures équivalentes peuvent être identifiées. Les variantes disponibles de Nightingale proposent trois valeurs de pitch poly : 0.74, 0.92 et 1.2 µm, ainsi que quatre longueurs de grille physique : 180, 200, 220 et 240 nm. La Table II résume les dimensions caractéristiques des structures Nightingale.

name	element	width finger (µm)	width (µm)	Lg on mask (µm)	Lg drawn (mask) (µm)	Lg physical (µm)	pitch poly (µm)
369	1	0,38	250	0,18	0,24	0,145	0,74
369	2	0,38	250	0,16	0,22	0,12	0,74
369	3	0,38	250	0,14	0,2	0,11	0,74
369	4	0,38	250	0,12	0,18	1	0,74
370	1	0,38	250	0,18	0,24	0,145	0,82
370	2	0,38	250	0,16	0,22	0,12	0,82
370	3	0,38	250	0,14	0,2	0,11	0,92
370	4	0,38	250	0,12	0,18	1	0,92
371	1	0,38	250	0,18	0,24	0,145	1,2
371	2	0,38	250	0,16	0,22	0,12	1,2
371	3	0,38	250	0,14	0,2	0,11	1,2
371	4	0,38	250	0,12	0,18	1	1,2

Table III : Tableau comparatif des dimensions des structure Nightingale

2.2.2 Schémas des empilements : référence pour la simulation et la gravure

L'ensemble des informations précédemment présentées permet une compréhension approfondie ainsi qu'une reconstitution précise des structures étudiées. Les schémas de la Fig. 22 illustrent des plans de coupe selon deux axes (A–A' et B–B', également indiqués sur la Fig. 21), offrant une visualisation claire de l'empilement des différentes couches constitutives des structures. Ces représentations serviront également de support pour la création du modèle de simulation, ainsi que pour la description des différentes étapes du procédé de fabrication. Les schémas se réfèreront systématiquement à ces plans de coupe.

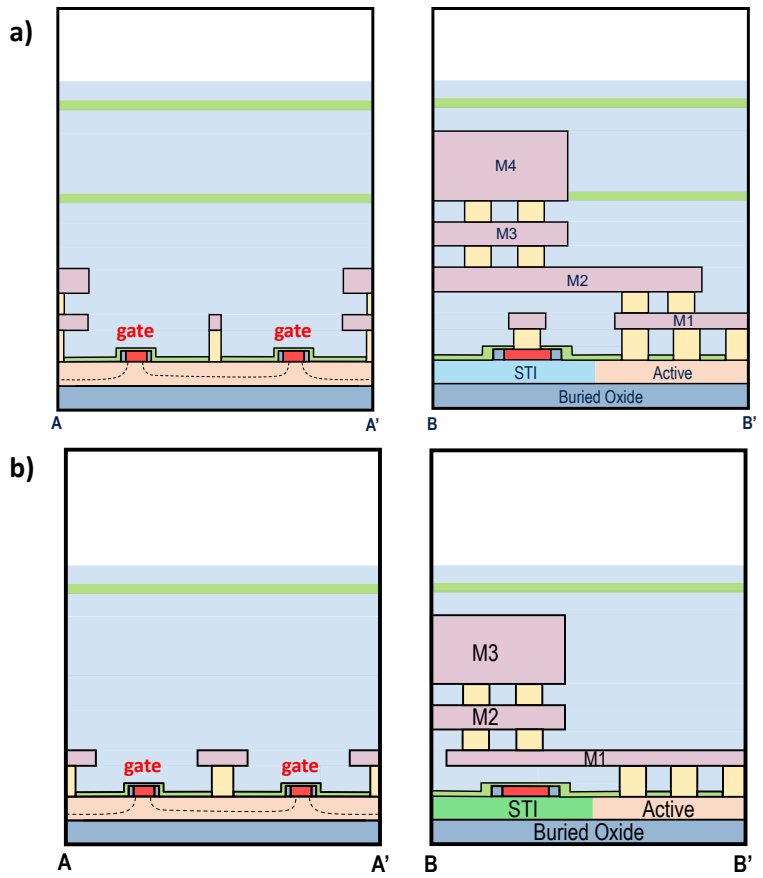


Fig. 22 : a) Empilement de la structure Tweeny illustrée par les coupes A-A' et B-B' de la Fig. 21-a et b) Empilement de la structure Nightingale illustrée par les coupes A-A' et B-B' de la Fig. 21-b

2.2.3 Choix des modèles de simulation

L'objectif est d'identifier une stratégie de simulation capable de prendre en compte à la fois le transport et la dynamique de charge dans le silicium et les capacités parasites induites par la structure métallique. Une première approche a consisté à utiliser un code de simulation du transport de charges dans le semiconducteur basé sur les équations de continuité de courant d'électrons et de trous complémentées par l'équation de Poisson (approche dite 'dérive-diffusion'). Ces équations sont résolues grâce à la mise en œuvre d'une méthode de différences finies adaptée à l'analyse du comportement du transistor. Ce type de simulation, réalisée en deux dimensions, permet de simplifier l'étude du dispositif. Le modèle utilisé est basé sur le plan de coupe A–A' illustré en Fig. 22. La construction et l'optimisation de cette simulation seront détaillées ultérieurement. Toutefois, il a été constaté que cette approche en 2D ne permet pas de prendre en compte de manière satisfaisante les interactions électrostatiques se produisant dans le BEOL, et plus spécifiquement au sein de la structure métallique, qui présente un caractère essentiellement tridimensionnel. À l'inverse, une simulation électromagnétique en 3D, consistant à résoudre les équations de Maxwell, constitue une solution plus appropriée pour l'étude de la structure métallique, bien qu'elle ne permette pas de prendre en compte le transport de charges dans le silicium.

À la suite d'une analyse approfondie, il a été décidé de scinder la simulation en deux parties distinctes, chacune focalisée sur une zone spécifique : le FEOL (Front-End of Line) et le BEOL (Back-End of Line). Ce découpage nécessite la mise en place et l'étalonnage de deux types de simulations indépendantes. La première étape de cette démarche consiste à définir précisément les domaines d'étude de chaque simulation, de manière à éviter à la fois le recouvrement des modèles et la perte d'informations critiques. Il est important de noter que les conditions frontières appliquées à l'interface entre les deux domaines — le domaine de transport électronique (FEOL) et le domaine électromagnétique (BEOL) — jouent un rôle essentiel dans la cohérence du modèle. Ces conditions doivent assurer un raccordement rigoureux entre les solutions issues des deux ensembles d'équations physiques utilisés. Autrement dit, la continuité des champs électriques, des potentiels et des courants doit être respectée afin de garantir une transition correcte entre la simulation du transport dans le semi-conducteur et la simulation électromagnétique dans le réseau d'interconnexions.

La partie FEOL, comprenant la grille et le substrat, sera modélisée à l'aide d'une approche dérive-diffusion mettant en œuvre une méthode de différences finies en deux dimensions. En parallèle, la partie BEOL, centrée sur la structure métallique et la grille mais excluant le substrat, sera analysée au moyen d'une simulation électromagnétique tridimensionnelle. Ce découpage permet de tirer parti des avantages spécifiques à chaque type de simulation. La Fig. 23 illustre la séparation mise en œuvre dans le cadre de ce modèle de simulation. Les caractéristiques et méthodologies associées à chacune de ces simulations seront présentées en détail dans les sections suivantes.

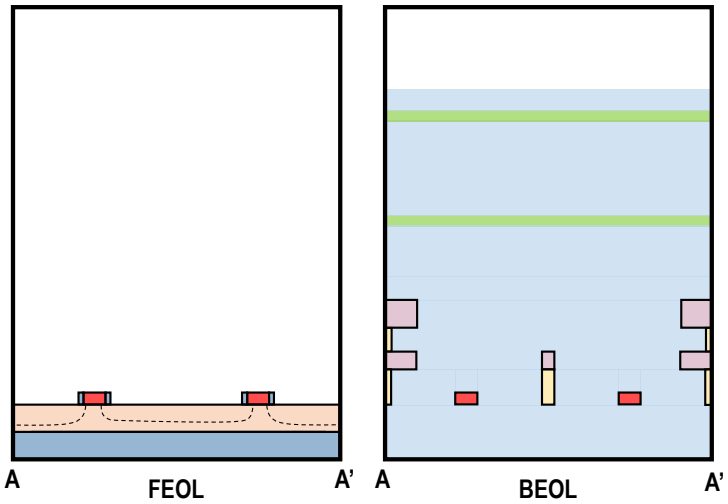


Fig. 23 : Découpe des parties FEOL et BEOL pour le modèle de simulation illustré selon le plan de coupe AA' de la figure 1

2.3 Simulation du transport de charge dans le transistor (FEOL)

2.3.1 Simulation dérive-diffusion en différences finies et partitionnement de la structure

La simulation a été effectuée à l'aide de la suite logicielle Silvavo© [Athusr], qui repose sur une méthode par différences finies à éléments triangulaires. Cette approche consiste à utiliser un maillage prédéfini sur lequel les équations sont résolues localement à chaque nœud après assemblage de matrices Jacobiennes permettant de traiter les non-linéarités des systèmes d'équations. La précision des résultats dépend directement de la densité du maillage : un maillage plus fin permet d'obtenir des résultats plus précis, mais augmente significativement le temps de calcul. Dans le cadre de cette étude, les équations de Poisson ainsi que les équations de conservation du courant sont résolues en chaque point du maillage.

$$div(\varepsilon \nabla \Psi) = -\rho \tag{8}$$

Avec ε la constante diélectrique locale, Ψ le potentiel électrostatique et ρ la densité de charge volumique locale

$$\frac{\delta n}{\delta t} = \frac{1}{q} div\left(\overrightarrow{J_n}\right) + (G - R) \tag{9}$$

$$\frac{\delta p}{\delta t} = -\frac{1}{q} div\left(\overrightarrow{J_p}\right) + (G - R) \tag{10}$$

où n et p sont les densités volumiques d'électrons et de trous, respectivement, $\overrightarrow{J_n}$ et $\overrightarrow{J_p}$ sont les densités surfaciques de courant d'électrons et trous, respectivement, $(G - R)$ est le taux de génération moins celui de recombinaison de paires électrons-trous exprimés en $cm^{-3}s^{-1}$:

$$\overrightarrow{J_n} = -q\mu_n n \nabla \phi_n \tag{11}$$

$$\overrightarrow{J_p} = -q\mu_p p \nabla \phi_p \tag{12}$$

où μ_n et μ_p sont respectivement les mobilités d'électrons et de trous, q ($+1.6\ 10^{-19}$ C) est la charge élémentaire et $\phi_n\ et\ \phi_p$ sont respectivement les quasi-niveaux de Fermi associés aux électrons et trous.

Les concentrations en porteurs sont calculées dans l'approximation de Boltzmann sous la forme suivante :

$$n = n_{ie} \exp\left(\frac{q(\psi - \phi_n)}{kT_L}\right) \tag{13}$$

$$p = n_{ie} \exp\left(\frac{q(\phi_p - \psi)}{kT_L}\right) \tag{14}$$

avec n_{ie} la concentration intrinsèque effective, T_L la température du réseau cristallin de silicium (température ambiante). Ces équations peuvent être réécrites pour exprimer les pseudo-potentiels de Fermi de la manière suivante :

$$\phi_n = \Psi - \frac{kT_L}{q}\, ln\left(\frac{n}{n_{ie}}\right) \tag{15}$$

$$\phi_p = \Psi + \frac{kT_L}{q}\, ln\left(\frac{p}{n_{ie}}\right) \tag{16}$$

La résolution simultanée des équations (8)-(10) complétées par les équations constitutives (11)-(16) permettent de calculer le potentiel électrostatique et les pseudo-potentiels de Fermi à partir desquels toutes les grandeurs requises peuvent être dérivées [GUE05] [MOH09] [MAC83]. Sur cette base, l'objectif a été de développer un jeu de paramètres de simulation à la fois adaptable et modifiable, afin de pouvoir tester différentes dimensions structurelles de manière flexible.

Concernant la définition des points clefs de la structure et du maillage, l'ordonnée est initialisée en fixant la surface à la position Y0. Un nouveau point est ensuite introduit à chaque interface de matériau présente dans la structure, aboutissant à un total de 15 points, numérotés de Y0 à Y14, ce dernier correspondant à la limite inférieure du substrat. En abscisse, une représentation complète de la structure aurait nécessité un nombre trop élevé de points, entraînant une complexité et un temps de calcul excessifs. Afin d'optimiser la simulation, l'analyse se concentre donc sur une cellule unitaire constituée de deux transistors, représentant environ 8 % de la structure globale. Cette cellule donne lieu à 16 points en abscisse, allant de X0 (bord gauche de la cellule) à X15 (bord droit). La Fig. 24 illustre la cellule unitaire et met en évidence la répartition des points clefs utilisés dans le maillage.

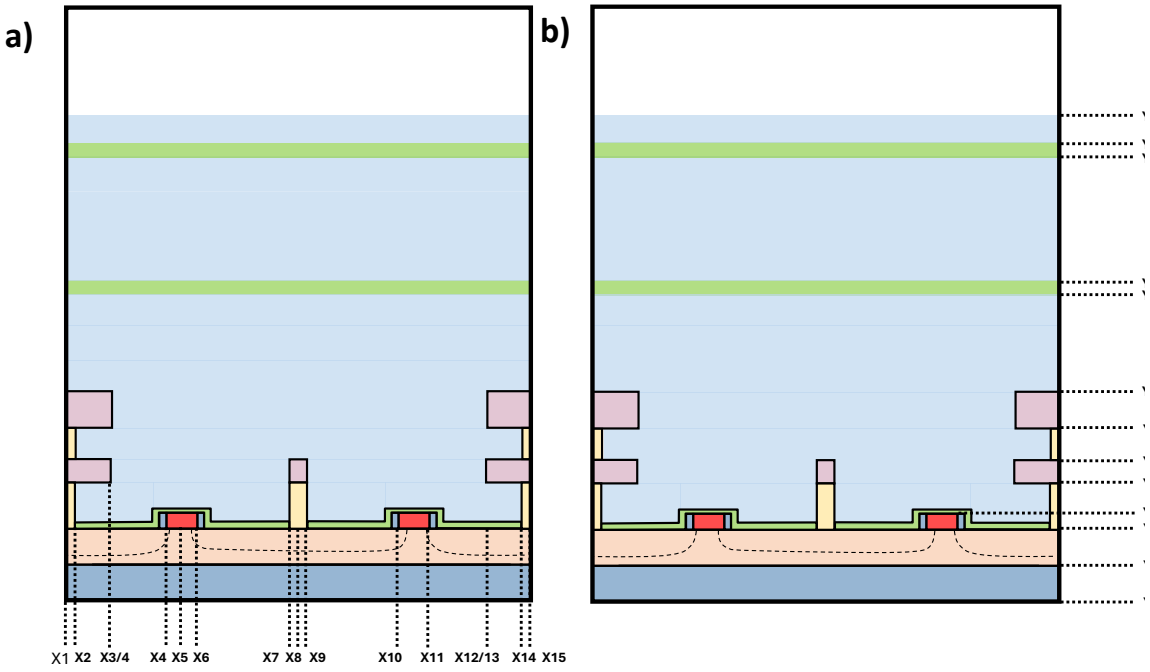


Fig. 24 : a) Schéma en coupe de la structure montrant l'étalement en x des points de référence b) Schéma en coupe de la structure montrant l'étalement en y des points de référence

2.3.2 Exploitation des résultats de simulation dérive-diffusion et de mesures

Avant de procéder aux mesures, un dernier ajustement est nécessaire. Comme indiqué dans l'analyse des layouts, une résistance de 200 kΩ est connectée en parallèle du canal MOS entre la source et le drain. Cette résistance, bien qu'absente du modèle physique en 2D, doit être intégrée à la simulation sous la forme d'un élément à constante localisée pris en compte dans les calculs de conservation de courant. La simulation 2D unitaire étant réalisée pour une largeur de transistor de 1 µm, il convient donc d'appliquer une condition limite prenant en compte un rapport d'échelle. Trois configurations de simulation ont été mises en place : deux simulations statiques et une simulation harmonique petits signaux. Ces configurations sont décrites en détail ci-dessous.

Le premier type de simulation considéré correspond à la génération de caractéristiques statiques I_{DS}-V_{GS}. Cette caractéristique courant-tension est utilisée comme indicateur principal du bon fonctionnement des transistors. Toute anomalie ou défaillance structurelle se traduit généralement par une déviation notable dans cette courbe se manifestant par un court-circuit ou un circuit ouvert ou encore un courant sous le seuil anormalement élevé. La tension de grille est typiquement balayée de -2.5 V à 2.5 V, avec un incrément de 0.1 V, ce qui génère un total de 50 points de mesure. En parallèle, la tension de drain est utilisée comme variable secondaire afin de moduler l'amplitude du courant de drain. Elle est ajustée de 0,1 V à 1,1 V par pas de 0.2 V. Le substrat (body) est quant à lui fixé à 0V. Un exemple de résultat obtenu à partir de cette configuration est présenté en Fig. 25. La caractéristique I_{DS}-V_{GS} permet également d'extraire la tension de seuil du transistor. Plusieurs méthodes existent pour cette détermination [TER00]. Dans le cadre de cette étude, une méthode basée sur un courant de référence fixé à 100 nA/µm (courant fixe par unité de largeur) a été utilisée, afin de faciliter la comparaison entre transistors dont les dimensions varient.

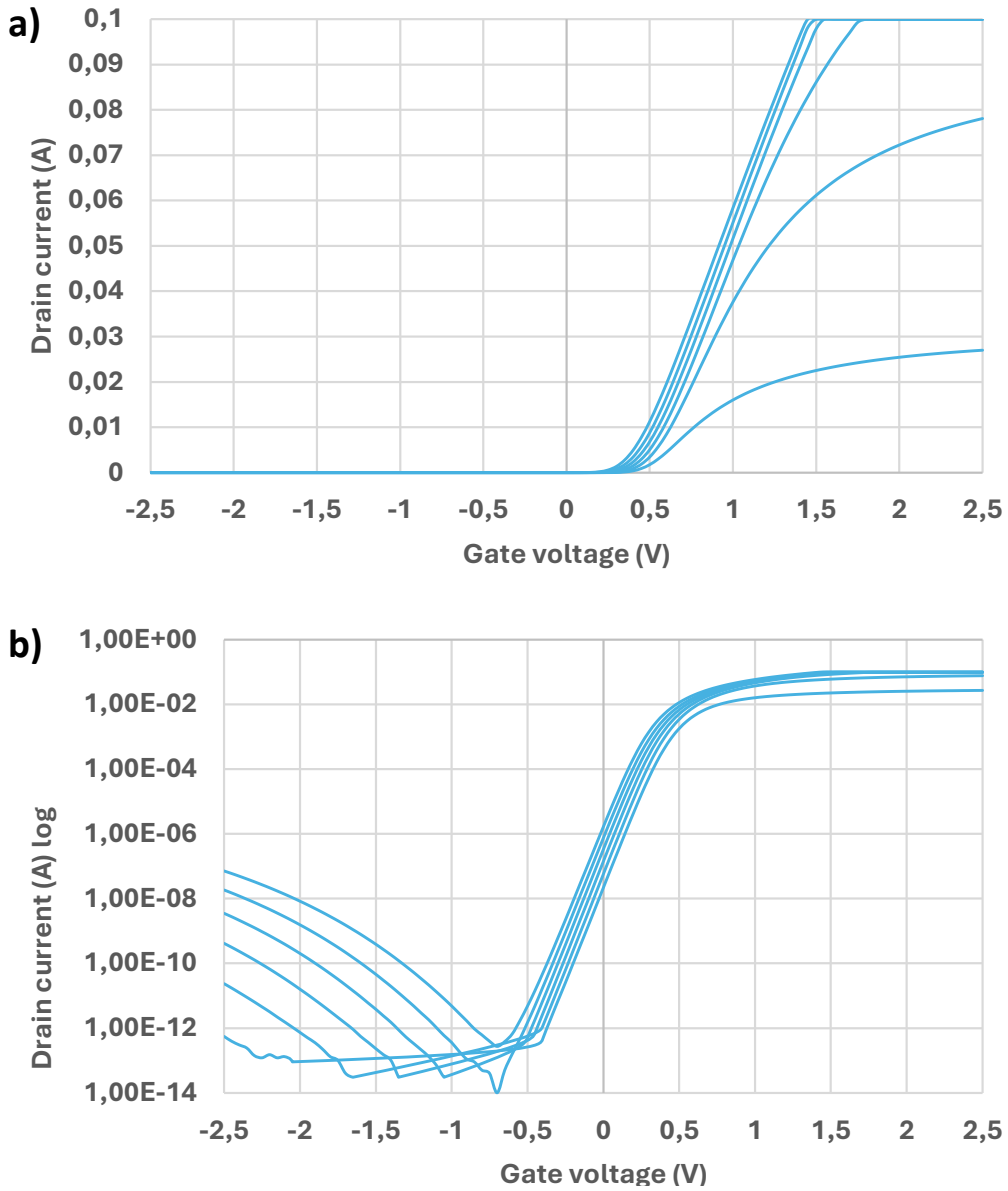


Fig. 25 : a) Graphique du courant de drain en fonction de la tension de grille pour des tensions de drain allant de 0.1V à 1.1V b) Graphique logarithmique du courant de drain en fonction de la tension de grille pour des tensions de drain allant de 0.1V à 1.1V

Le second type de simulation statique correspond à des caractéristiques I_{DS}-V_{DS}. La tension V_{DS} est balayée de 0 V à 0.5 V avec un pas de 10 mV, ce qui génère 51 points de simulation. La tension de grille V_{GS} est utilisée comme variable secondaire, variant de 0 V à 2.5 V par pas de 0.5 V, ce qui conduit à six courbes distinctes comme le montre la Fig. 26. Ces courbes permettent d'obtenir une évaluation de la résistance à l'état passant (R_{ON}) du transistor en régime statique à partir de la pente des courbe courant-tension à faible V_{DS} (typiquement 50 mV) [PAR10].

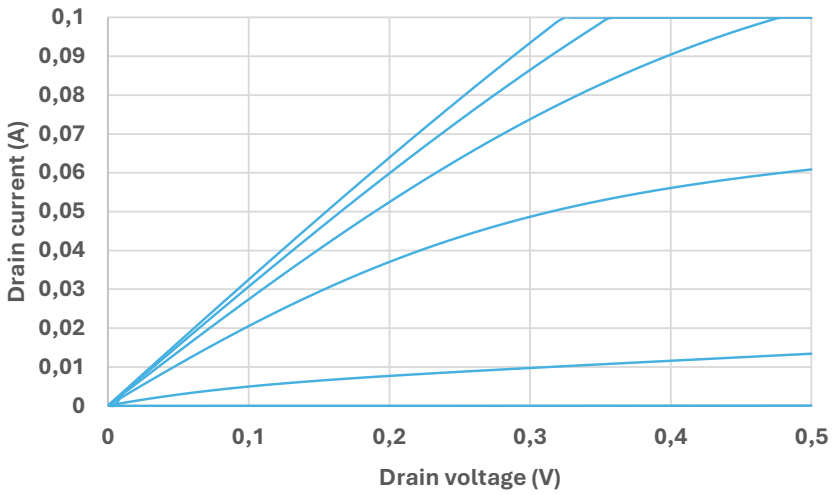


Fig. 26 : graphique du courant de drain en fonction de la tension de drain pour des tensions de grille allant de 0V à 2.5V

Le troisième type de simulation concerne l'analyse petit signal afin de déterminer les paramètres S du transistor en configuration d'analyse intrinsèque. Cette simulation consiste à injecter un signal haute fréquence (RF) dans la structure, puis à évaluer le niveau du signal réfléchi et transmis entre les ports. Le nombre de ports peut varier selon les structures, mais dans le cas présent, seuls deux ports sont utilisés : la source et le drain. Les résultats sont représentés sous la forme d'une matrice 2x2 de paramètres S, notée : $\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$. Les paramètres$S_{11}$ et S_{22} correspondent à la fraction du signal incident qui est réfléchie sur le port 1 (source) et sur le port 2 (drain), respectivement. Les paramètres S_{21} et S_{12}représentent la fraction du signal transmise du port 1 (source) vers le port 2 (drain) et du port 2 (drain) vers le port 1 (source), respectivement.

La Fig. 27 illustre le comportement fréquentiel typique d'une structure vierge, observé via un abaque de Smith.

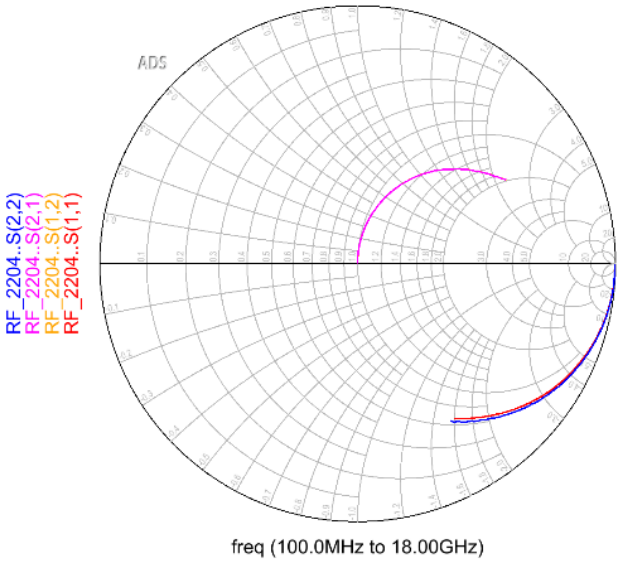


Fig. 27 : Abaque de Smith d'une structure Tweeny vierge mesurée

Dans le cadre de cette étude, l'analyse repose sur l'utilisation des paramètres Y, également appelés paramètres d'admittance, qui permettent une meilleure représentation du comportement électrique de la structure en régime haute fréquence. Pour obtenir ces paramètres, la démarche consiste à effectuer une transformation des paramètres S vers la matrice de paramètres Y :

$$Y = \begin{bmatrix} Y_0 \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} & Y_0 \frac{-2S_{12}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\ Y_0 \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} & Y_0 \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \end{bmatrix} \text{ avec } Y_0 = \frac{1}{Z_0} \; et \; Z_0 = 50\,\Omega \quad (17)$$

La capacité C_{OFF} peut être aisément déduite de la matrice admittance [Y] en identifiant ses éléments à ceux d'un circuit équivalent en π comportant trois admittances : Y_1 et Y_2, connectées en dérivation, et Y_3, connectée en série entre source et drain comme le montre la Fig. 28. Les admittances Y_1 et Y_2 modélisent l'ensemble des capacités parasites du système, telles que celles induites par les plots de mesure. L'identification du modèle en π à la matrice admittance permet d'obtenir la matrice de conversion suivante :

$$Y = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix} \quad (18)$$

À partir de ces expressions, il est possible d'isoler Y_3, qui constitue l'élément d'intérêt pour l'évaluation du paramètre C_{OFF}.

Nous voyons que l'admittance Y_3 ne dépend que du paramètre Y_{12}, ce qui rend aisée l'extraction. En poursuivant l'analyse, il est nécessaire d'examiner plus en détail la nature de l'élément Y_3. Ce dernier peut être modélisé par un circuit équivalent composé d'une résistance et d'une capacité connectées en parallèle. L'admittance associée à ce bloc s'exprime alors sous la forme : $Y_3 = \frac{1}{R} + jC\omega$ où R est la résistance, C la capacité, $\omega=2\pi f$ la pulsation, et j l'identifiant de partie imaginaire. Dans le contexte de cette étude, l'intérêt porte uniquement sur la composante imaginaire de Y_3, qui correspond à la contribution capacitive. Or, d'après les relations précédentes, $Y_3=-Y_{12}$, ce qui permet d'écrire : $C = \frac{Im(Y_2)}{\omega} = \frac{Im(-Y_{12})}{\omega} = \frac{Im\,(-Y_{12})}{2\pi f}$.

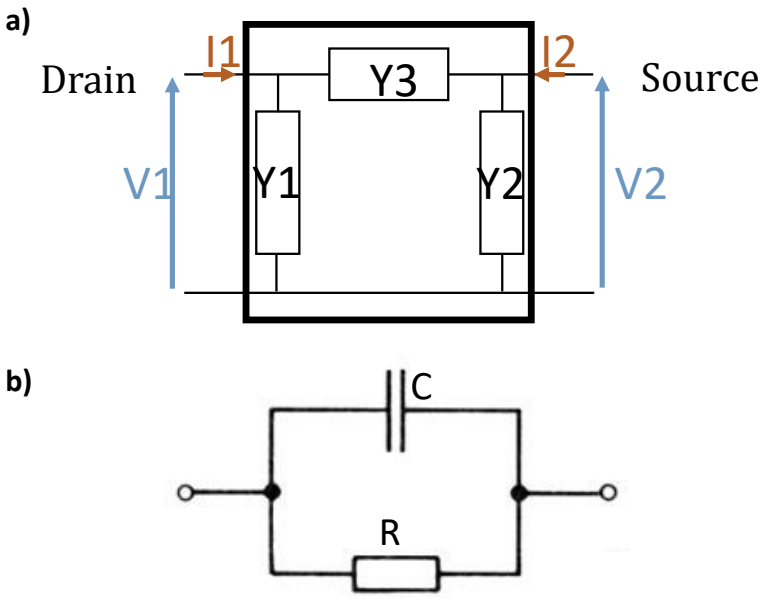


Fig. 28 : a) Modèle de la structure en π utilisé pour l'extraction du C_{OFF} b) schéma simplifié équivalent à la zone d'étude entre source et drain

Dans le cadre de la simulation, la grille et le substrat (body) sont fixés à une tension de -2.5 V afin de forcer le transistor en régime bloqué (état OFF). L'analyse en fréquence est réalisée sur une plage variant de 150 MHz à 18 GHz, avec un pas de 150 MHz. Cette configuration permet d'obtenir une résolution suffisante pour caractériser le comportement capacitif de la structure sur une large bande de fréquence. L'extraction du paramètre C_{OFF} est effectuée selon la méthode décrite précédemment. Les résultats obtenus pour la simulation de la partie front-end du transistor (FEOL), excluant le couplage capacitif introduit par le réseau d'interconnexion (BEOL), sont présentés en Fig. 29 sous la forme d'un abaque de Smith représentant les variations des 4 éléments de la matrice de paramètres S. Le résultat obtenu n'est donc que partiel et nécessite l'adjonction des capacités de couplage liées au BEOL.

Afin de réduire l'influence de la fréquence sur les résultats, le paramètre C_{OFF} est évalué en prenant la moyenne des valeurs obtenues entre 1 GHz et 18 GHz, représentant la plage fréquentielle principale d'utilisation. Cette méthode permet également de minimiser les effets parasites susceptibles d'apparaître dans les plages de basse fréquence, souvent moins représentatives du comportement capacitif réel dans un contexte RF. La valeur moyenne obtenue est initialement exprimée en Farads et est convertie en picoFarads par mètre (pF/m). Cette normalisation est réalisée en tenant compte de la largeur cumulée du polysilicium présent dans la structure. L'expression utilisée pour cette conversion est la suivante : $C_{OFF} = C_{OFF_mean} * \frac{1\,e^{12}}{250\,e^{-6}}$ où 250 µm correspond à la largeur totale de grille dans la structure considérée.

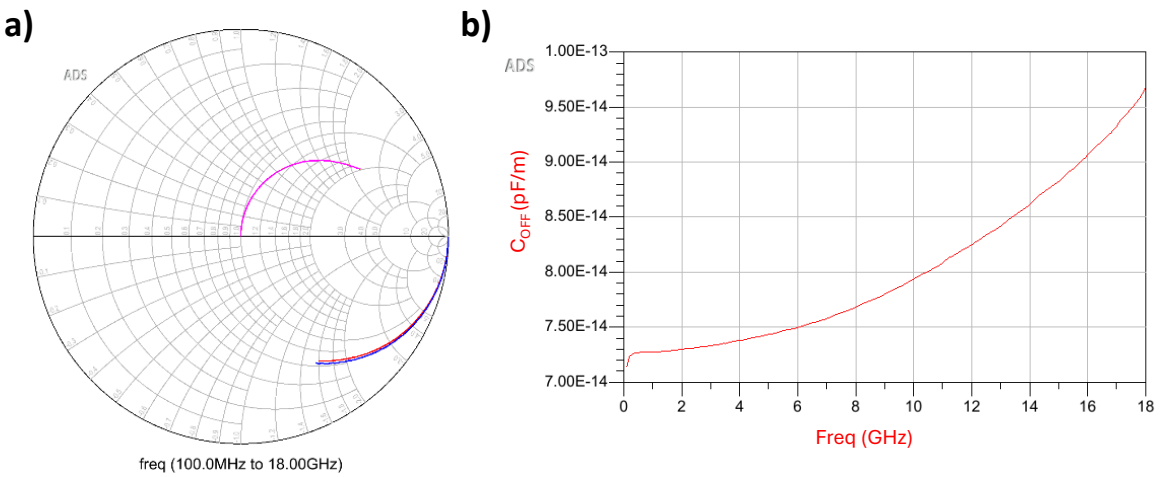


Fig. 29 : a) Paramètre S de la simulation FEOL représenté sur un abaque de Smith b) Graphique représentant C_{OFF} en fonction de la fréquence de la simulation FEOL

2.4 Simulations RF du réseau d'interconnexions (BEOL) :

Le second modèle de simulation, focalisé sur l'analyse RF du couplage capacitif dans le réseau d'interconnexion est traité à l'aide du code Advanced Design System© (ADS), développé par Keysight, et plus précisément de son module Momentum, qui permet de résoudre les équations de Maxwell en régime haute fréquence. Ce type de simulation est particulièrement adapté à l'étude d'empilements de strates planaires de couches diélectriques et métalliques que l'on retrouve dans le réseau d'interconnexion (BEOL) dont le comportement électromagnétique complexe ne peut être correctement modélisé en deux dimensions.

Les équations de Maxwell constituent le socle fondamental de l'électromagnétisme classique. Elles décrivent de manière unifiée la relation entre les champs électriques et magnétiques ainsi que leurs sources, à savoir les charges et les courants électriques.

La première équation, dite loi de Maxwell-Gauss, exprime que le flux du champ électrique E à travers une surface fermée est proportionnel à la charge totale ρ contenue dans le volume délimité par cette surface.

$$div\,\vec{E} = \frac{\rho}{\varepsilon_0} \tag{19}$$

La seconde, loi de Maxwell-Thomson, traduit l'absence de monopôles magnétiques, le champ magnétique B possédant toujours des lignes de champ fermées.

$$div\,\vec{B} = 0 \tag{20}$$

La troisième, loi de Maxwell-Faraday, relie la variation temporelle du champ magnétique à la création d'un champ électrique induit.

$$\overrightarrow{rot}\vec{E} = -\frac{\partial \vec{B}}{\partial t} \tag{21}$$

Enfin, la loi Maxwell-Ampère indique que la rotation du champ magnétique est produite à la fois par la densité de courant électrique J et par la variation temporelle du champ électrique.

$$\overrightarrow{rot}\vec{B} = \mu_0\vec{J} + \mu_0\varepsilon_0\frac{\partial\vec{E}}{\partial t} \quad (22)$$

La résolution analytique de ce système est possible pour des géométries simples, mais devient rapidement inabordable pour des structures complexes telles que les antennes, les cavités résonantes ou les dispositifs à géométrie arbitraire. Dans ce contexte, le recours à des méthodes numériques est indispensable. Parmi celles-ci, la méthode des moments (Method of Moments, MoM) occupe une place prépondérante dans la résolution des équations intégrales issues de la formulation électromagnétique.

Le principe de la méthode des moments consiste à transformer une équation intégrale du type :

$$L(f) = g \quad (23)$$

où L représente un opérateur linéaire, f la fonction inconnue (par exemple la densité de courant de surface) et g une fonction connue (souvent liée au champ incident), en un système d'équations algébriques discrètes. Pour ce faire, la fonction inconnue f est approchée sous la forme d'une combinaison linéaire de fonctions de base :

$$f(x) = \sum_{n=1}^{N} I_n f_n(x) \quad (24)$$

où f_n sont des fonctions de base connues et I_n les coefficients inconnus. En projetant l'équation intégrale sur un ensemble de fonctions de test, on obtient un système linéaire :

$$[Z][I] = [V] \quad (25)$$

dans lequel la matrice d'impédance [Z] contient les intégrales de couplage entre les fonctions de base et les fonctions de test, le vecteur [I] regroupe les coefficients inconnus, et [V] représente le vecteur d'excitation issu du champ incident.

La résolution du système matriciel ainsi obtenu fournit les coefficients de courant, permettant ensuite de déterminer les champs électromagnétiques rayonnés ou diffractés. La méthode des moments présente l'avantage d'une grande précision, notamment pour les structures métalliques conductrices et les problèmes à frontière ouverte. Elle constitue de ce fait un outil essentiel pour la modélisation et l'analyse numérique des phénomènes électromagnétiques complexes.

Pour rappel, cette simulation se concentre exclusivement sur la structure métallique d'interconnexion entre les transistors. Afin de mieux cerner les objectifs de cette modélisation, il est essentiel de s'intéresser à la contribution du BEOL au paramètre C_{OFF} total. Dans ce contexte, la permittivité relative (ε_r) du matériau isolant joue un rôle déterminant.

La géométrie de la structure du réseau d'interconnexion étant invariante, le degré de liberté influençant le couplage capacitif est donc la permittivité relative ε_r du diélectrique séparant les lignes métalliques. En ce qui concerne la simulation proprement dite, l'un des principaux avantages du code de simulation Momentum réside dans sa capacité à exploiter directement les dessins de masques afin de reconstruire la structure 3D du réseau d'interconnexion. Au-delà de l'importation du dessin de masques, il reste toutefois nécessaire de définir la composition de la structure tridimensionnelle de l'empilement. Le logiciel fonctionne selon un

principe d'objet multicouche, dans lequel chaque couche est caractérisée par une épaisseur et un matériau. Si plusieurs matériaux standards sont proposés en bibliothèque, des matériaux personnalisés ont été créés dans le cadre de cette étude, dans le but de reproduire au plus près la structure réelle, en particulier en ce qui concerne la permittivité diélectrique.

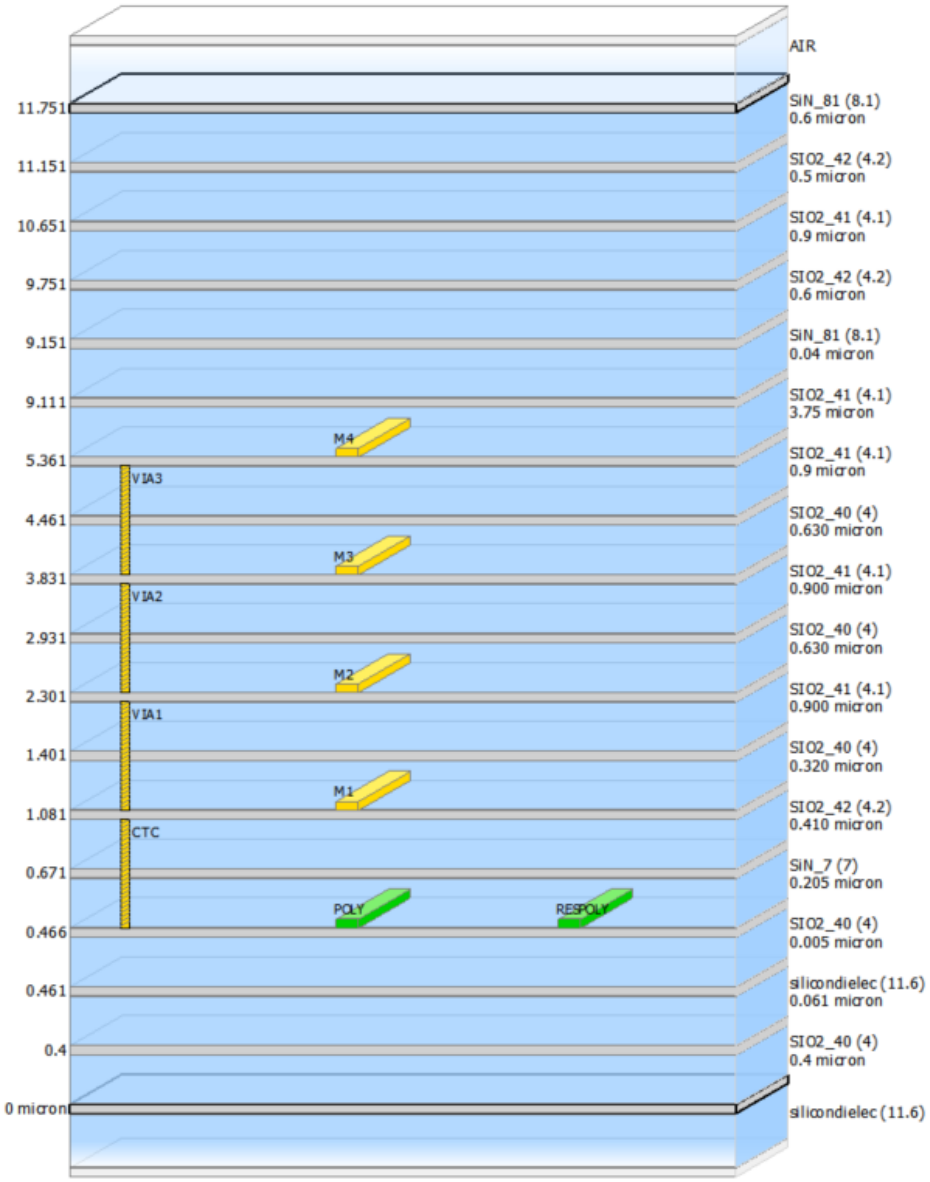
Dans cette perspective, un ensemble de couches diélectriques a été défini, chacune caractérisée par une permittivité ajustée de manière à reproduire avec exactitude les conditions expérimentales. Par ailleurs, l'introduction systématique d'une couche distincte à chaque interface présentant une discontinuité de matériau constitue une pratique recommandée, car elle permet d'assurer une représentation plus fidèle des transitions diélectriques et d'améliorer la précision de la modélisation électromagnétique.

Les différentes couches définies dans le modèle sont considérées comme semi-infinies dans le plan des couches, mais finies en épaisseur. À l'intérieur de ces couches, il est possible d'intégrer divers éléments, tels que des lignes ou vias métalliques, des semi-conducteurs, ou autres matériaux, qui peuvent être directement associés aux entités présentes dans le layout. Ce mécanisme permet de reconstruire avec précision la structure tridimensionnelle du dispositif.

Afin de s'assurer de la validité du modèle construit, une visualisation en trois dimensions de la structure est réalisée. Cette étape permet de vérifier que les niveaux métalliques et leurs connexions verticales sont correctement définis et alignés. La Fig. 30 présente l'empilement final ainsi que le modèle 3D associé.

Dans le cas de la structure Tweeny 220 élément 4, la structure simulée comprend quatre niveaux métalliques en aluminium, de la grille, de quatre vias assurant les liaisons inter-niveaux et un total de 17 couches superposées, correspondant aux différents oxyde, nitrure et interfaces définis dans le modèle. Ces couches ont des permittivités d'environ 4 pour les oxydes et d'environ 8 pour les nitrures.

a)



b)

	Dielectric		AIR	
	Dielectric		SiN_81	0.6 um
	Dielectric		SIO2_42	0.5 um
	Dielectric		SIO2_41	0.9 um
	Dielectric		SIO2_42	0.6 um
	Dielectric		SiN_81	0.04 um
	Dielectric		SIO2_41	3.75 um
7	Conductor ...	M4 (34)	M4	3.749 um
	Dielectric		SIO2_41	0.9 um
	Dielectric		SIO2_40	0.630 um
9	Conductor ...	M3 (33)	M3	0.629 um
	Dielectric		SIO2_41	0.900 um
	Dielectric		SIO2_40	0.630 um
11	Conductor ...	M2 (32)	M2	0.629 um

	Dielectric		SIO2_41	0.900 um
	Dielectric		SIO2_40	0.320 um
13	Conductor ...	M1 (31)	M1	0.318 um
	Dielectric		SIO2_42	0.410 um
	Dielectric		SiN_7	0.205 um
15	Semiconduct...	POLY (18)	PolySt	0.185 um
15	Semiconduct...	RESPOLY (17)	ResPolySt	0.185 um
	Dielectric		SIO2_40	0.005 um
	Dielectric		silicondielec	0.061 um
	Dielectric		SIO2_40	0.4 um
	Dielectric		silicondielec	

	Conductor Via	CTC (30)	M1 (31)	Interface 15	PERFECT_C...
	Conductor Via	VIA1 (51)	M2 (32)	M1 (31)	PERFECT_C...
	Conductor Via	VIA2 (52)	M3 (33)	M2 (32)	PERFECT_C...
	Conductor Via	VIA3 (53)	M4 (34)	M3 (33)	PERFECT_C...

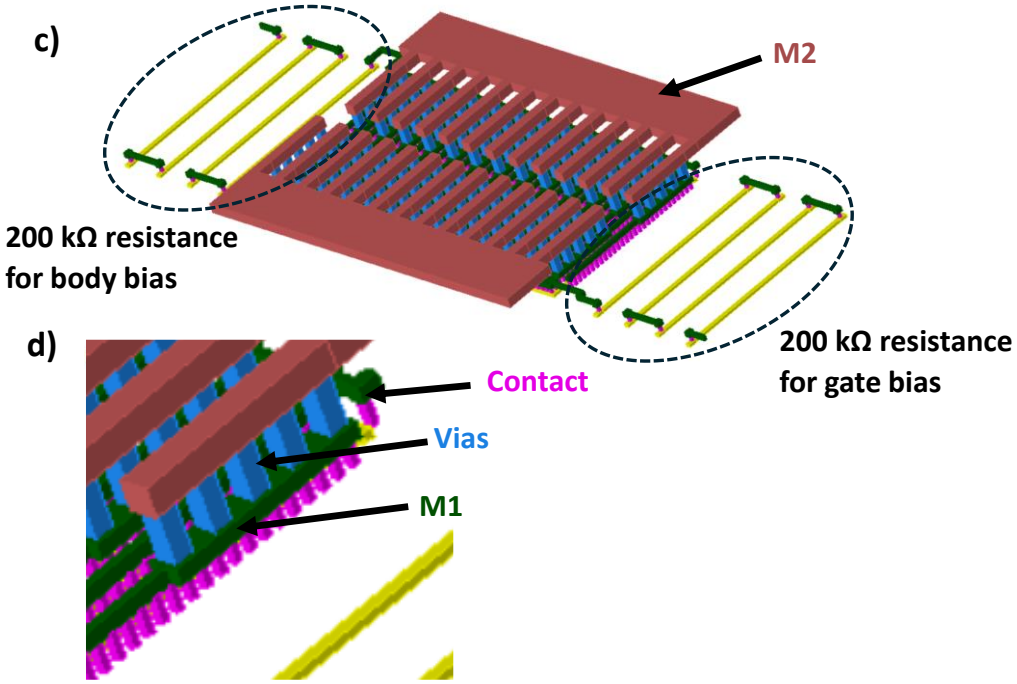


Fig. 30 : a) Empilement complet de la structure modélisée sous le module Momentum, b) détail de l'empilement illustrant la superposition des différentes couches, c) modélisation 3D générée par le module Momentum mettant en évidence la couche M2 ainsi que deux résistances associées à la grille et au body, et d) vue agrandie de la modélisation 3D montrant les contacts, les vias et la couche M1.

Dans le cadre de cette étude, quatre ports RF sont définis. Deux ports d'excitation RF sont placés respectivement au niveau de la source et du drain tandis que deux ports sont positionnés au niveau des résistances de polarisation, permettant de fixer à la masse les potentiels de la grille et du body. L'emplacement précis de ces ports est illustré en Fig. 31.

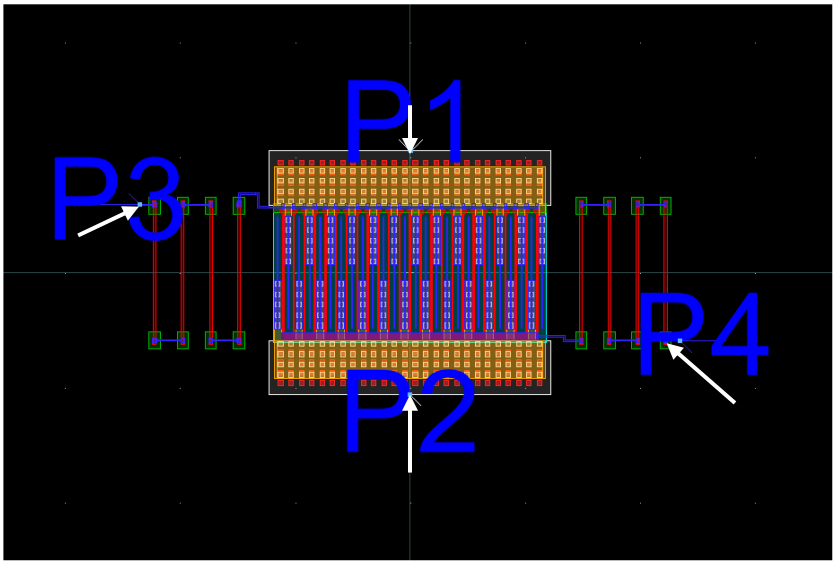
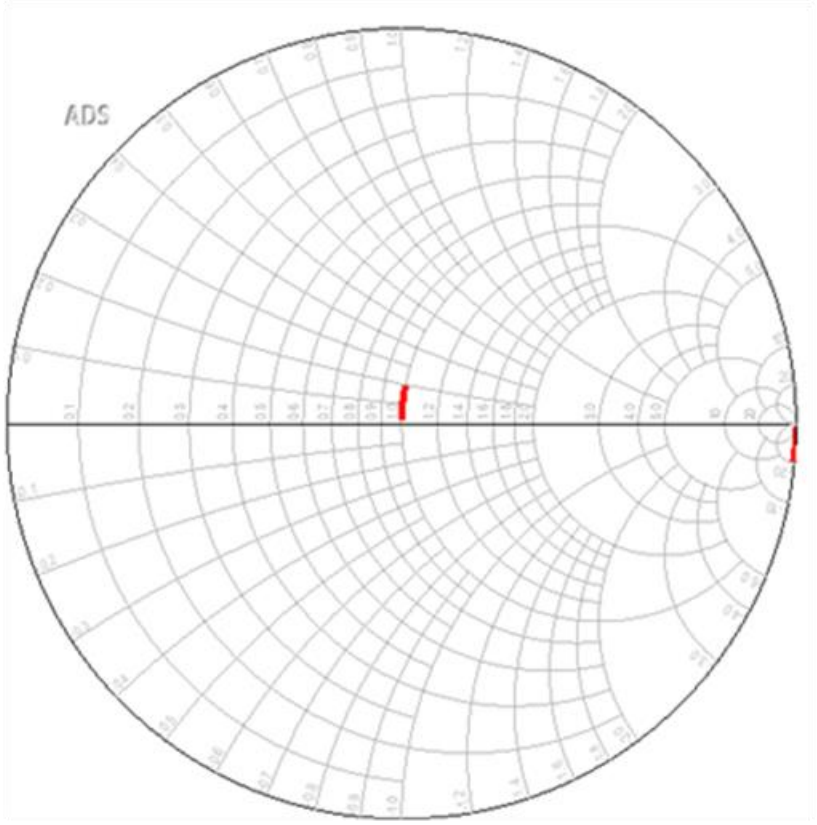


Fig. 31 : Localisation des ports de la simulation BEOL

La configuration fréquentielle de la simulation est identique à celle utilisée pour le modèle FEOL. La simulation est réalisée sur une plage allant de 150 MHz à 18 GHz, avec un pas de 150 MHz. La Fig. 32 montre un résultat typique de simulation reprenant les paramètres S en abaque de Smith et l'extraction de la capacité C_{OFF} utilisant la méthodologie d'extraction décrite en section 2.3.2. Les résultats obtenus pour la simulation BEOL présentent une tendance globalement similaire à ceux observés dans la simulation FEOL. Toutefois, une différence notable réside dans le comportement du paramètre C_{OFF} en fonction de la fréquence. Contrairement à la simulation FEOL, où une dépendance en fréquence est clairement visible, la valeur de C_{OFF} extraite à partir du modèle BEOL demeure quasiment constant sur l'ensemble de la plage fréquentielle analysée, ce qui est cohérent avec la nature d'un couplage capacitif purement passif. Ce sont, en effet, principalement les éléments actifs du FEOL, en particulier le transistor, qui introduisent une dépendance fréquentielle par le biais des phénomènes de transport de charges. La structure BEOL, constituée uniquement de l'empilement métallique et des diélectriques, se comporte de manière essentiellement capacitive et constante en fréquence. Par ailleurs, il est établi que la contribution du BEOL représente environ 30 % de C_{OFF} total. Cette estimation est confirmée par les résultats obtenus pour la structure de référence 220 élément 4, consolidant ainsi la validité du modèle et sa cohérence avec les données attendues.

a)



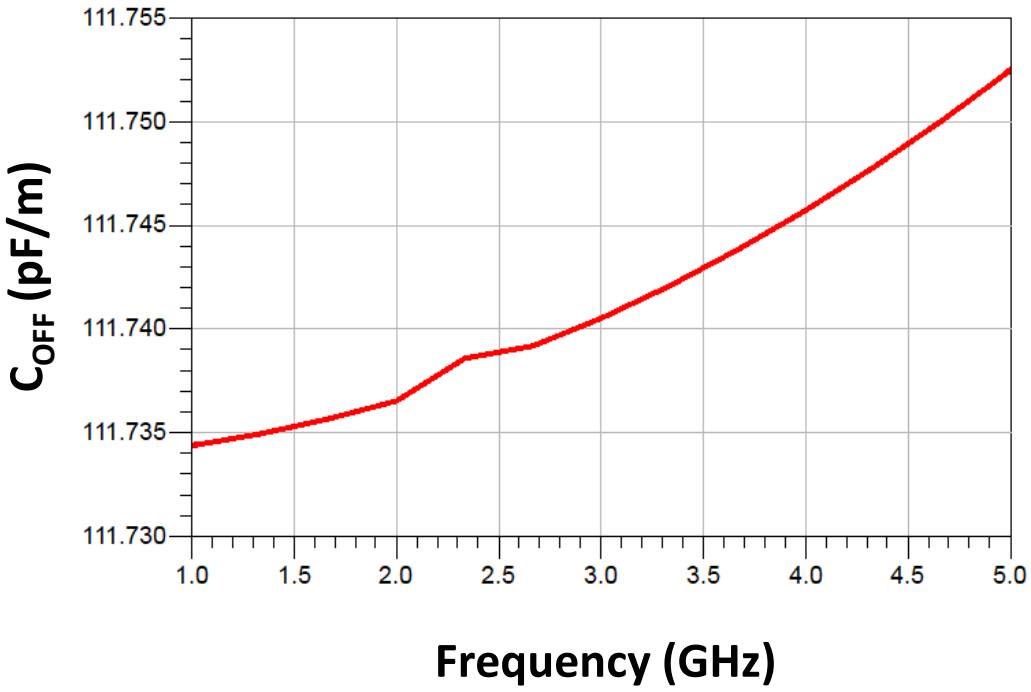


Fig. 32 : Paramètre S de la simulation BEOL représenté sur un abaque de Smith b) Graphique représentant le C_{OFF} en fonction de la fréquence de la simulation BEOL

2.5 Calibrage des deux modèles complémentaires

Une fois les deux simulations réalisées, les valeurs de C_{OFF} issues respectivement des parties FEOL et BEOL sont additionnées afin d'obtenir le C_{OFF} total. La validité de cette approche a constitué une question centrale dans le développement du modèle de simulation. Il était en effet essentiel de s'assurer que cette méthode ne négligeait aucune composante significative de C_{OFF}, tout en évitant de comptabiliser certaines contributions en double.

Pour répondre à cette problématique, un examen attentif de la zone frontière entre les deux simulations a été effectué. Dans le modèle FEOL, aucune structure métallique n'a été définie, excluant ainsi toute influence du BEOL sur les résultats. De manière symétrique, dans la simulation BEOL, le substrat n'a pas été modélisé, ce qui supprime toute interaction directe avec les éléments du FEOL. Par ailleurs, si l'on considère la ligne séparant les deux domaines de simulation, on y observe pour l'essentiel des lignes isopotentielles et un champ électrique normal à cette interface relativement faible, suggérant que peu de lignes de champ connecte les deux domaines de simulation. Autrement dit, peu de couplage de charge n'est observé garantissant qu'aucune interaction électrostatique n'est omise ou surcomptée dans l'assemblage des deux modèles.

Après avoir validé la faisabilité théorique de cette approche combinée, une phase de calibrage a été nécessaire. En comparant les résultats simulés aux mesures expérimentales effectuées sur des puces de test vierges, des écarts notables ont été observés. Pour corriger ces divergences, plusieurs paramètres ont été ajustés. C'est également à ce stade qu'a été prise la

décision de retirer la structure métallique du modèle FEOL, ainsi que le substrat du modèle BEOL, dans le but de garantir une complémentarité stricte entre les deux simulations.

L'objectif de ce calibrage a été de faire correspondre le modèle simulé aux mesures expérimentales sur les trois grandeurs principales : la tension de seuil, C_{OFF} total, et la résistance à l'état passant R_{ON}. Quel que soit le paramètre ciblé pour le calibrage, les ajustements effectués ne concernent pas la simulation BEOL. En effet, cette dernière offre peu de leviers d'ajustement, mis à part la modification directe de la géométrie de la structure. Néanmoins, la simulation BEOL reste essentielle pour l'étude de phénomènes spécifiques tels que l'influence des microcavités et les effets liés à la gravure. Ainsi, les efforts de calibration ont principalement porté sur la simulation FEOL, en raison du nombre élevé d'étapes de fabrication et de la multitude de paramètres associés à chacune d'elles.

Plusieurs itérations du modèle FEOL ont été nécessaires pour aboutir à une version conforme aux résultats expérimentaux. La première étape de ce processus a consisté à faire coïncider la tension de seuil extraite de la simulation avec celle mesurée expérimentalement. Pour cela, l'ajustement a porté sur le travail de sortie de la grille, un paramètre accessible directement dans la simulation FEOL. Par défaut, la valeur du travail de sortie est de 4.17 eV. La modification de cette valeur entraîne un décalage vertical de la courbe I_{DS}-V_{GS}, ce qui permet de corriger l'alignement des courbe simulées et expérimentales représentant la tension de seuil en fonction de la longueur physique de grille polysilicium. L'objectif était de superposer les courbes de tension de seuil en fonction de la longueur de grille. Initialement, la tension de seuil obtenue par simulation était systématiquement inférieure à celle mesurée, comme l'illustre la Fig. 33. De manière empirique, le travail de sortie a été ajusté à 4,26 eV, ce qui a permis de réduire l'erreur à un écart inférieur à 50 mV, soit environ 10 %. Cet écart résiduel concerne principalement les longueurs de grille inférieures à 145 nm, ce qui peut être attribué à des effets de canal court. Ce calibrage permet de valider le premier des trois paramètres critiques du modèle.

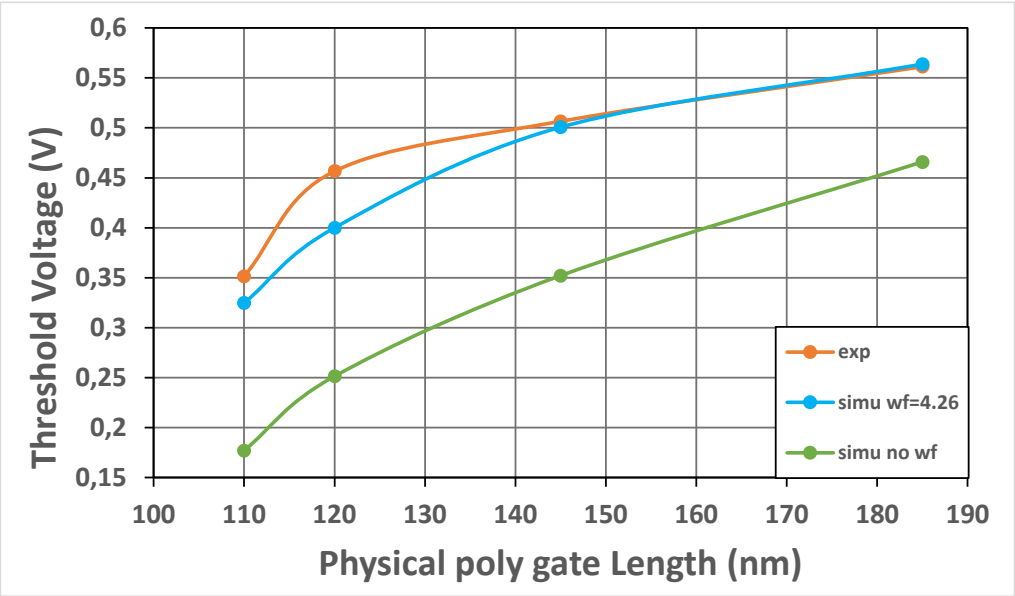


Fig. 33 : Tension de seuil simulée en fonction de la longueur de grille physique

Le second paramètre à valider est C_{OFF}. La méthode de simulation reste identique à celle précédemment décrite. Toutefois, la simulation est maintenue avec le travail de sortie précédemment ajusté et appliqué au niveau de la grille. Il est rapidement observé que le changement du travail de sortie a un impact négligeable sur la valeur du C_{OFF}. La capacité simulée reste systématiquement supérieure à celle mesurée expérimentalement. Plusieurs hypothèses peuvent expliquer cet écart, mais l'une des causes probables est la redondance de certaines contributions entre les deux simulations (FEOL et BEOL), ce qui entraînerait un recouvrement des valeurs et donc une surestimation.

L'analyse s'est alors portée sur le rôle joué par les spacers, qui véhiculent un couplage capacitif important en tant qu'interface entre la grille et les régions source/drain. Étant donné que les capacités associées à ces zones sont déjà prises en compte dans la simulation BEOL, leur modélisation dans la simulation FEOL peut conduire à une double comptabilisation. Pour remédier à cette situation, les spacers ont été supprimés de la simulation FEOL. Le nouvel ensemble de résultats, intégrant à la fois l'ajustement du travail de sortie et le retrait des spacers, est également présenté en Fig. 34. Ces modifications permettent d'obtenir une erreur maximale de 10 pF/m, soit environ 3 % par rapport aux données expérimentales. Cette approche permet de valider le deuxième paramètre de l'étude, qui revêt une importance particulière dans le cadre de l'analyse des microcavités, fortement liées aux caractéristiques capacitives de la structure.

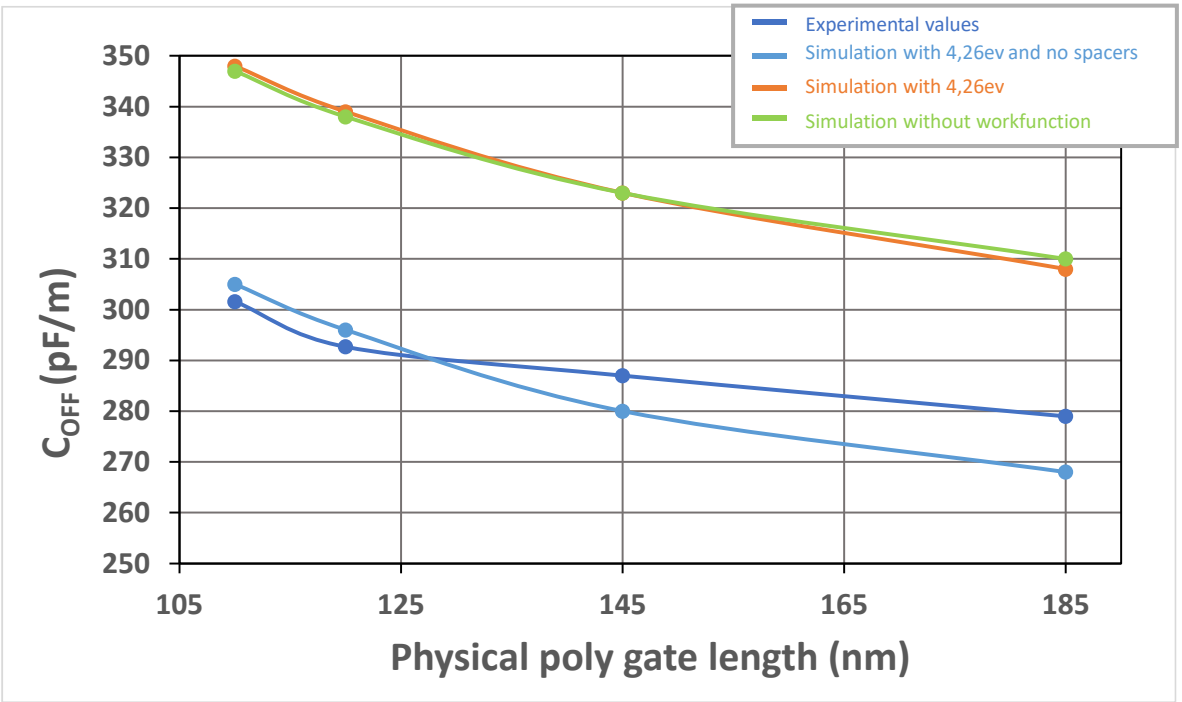


Fig. 34 : C_{OFF} simulé en fonction de la longueur de grille physique regroupant 4 conditions de simulation jouant sur l'utilisation de la work function ou la présence des spacers

Le dernier paramètre à valider est la résistance à l'état passant (R_{ON}) pour laquelle deux méthodes distinctes ont été utilisées pour son extraction. La première repose sur les paramètres S obtenus via la simulation RF.

Ces paramètres sont d'abord convertis en paramètres Z (impédance) à l'aide de la relation suivante :

$$Z = \begin{bmatrix} Z_0 \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & Z_0 \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \\ Z_0 \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & Z_0 \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \end{bmatrix} \text{ avec } Z_0 = 50\Omega \quad (26)$$

La résistance R_{ON} peut être aisément déduite de la matrice impédance [Z] en identifiant ses éléments à ceux d'un circuit équivalent en H comportant cinq impédances : R_1 et R_2, connectées en série, R3 et R4 également en série et Ron en dérivation. Cela est présenté en Fig. 35. Les résistance R1 à R4 modélisent l'ensemble des résistance parasite du système, telles que celles introduite par les contacts. L'identification du modèle en H à la matrice impédance permet d'obtenir la matrice de conversion suivante :

$$Z = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = \begin{bmatrix} R_{ON} + Z_1 + Z_3 & R_{ON} \\ R_{ON} & R_{ON} + Z_2 + Z_4 \end{bmatrix} \quad (27)$$

A partir de là, il est aisé de définir de R_{ON} en fonction des impédances de la structure en H :

$$R_{ON} = \frac{1}{2}.Re(Z_{12} + Z_{21}) \quad (28)$$

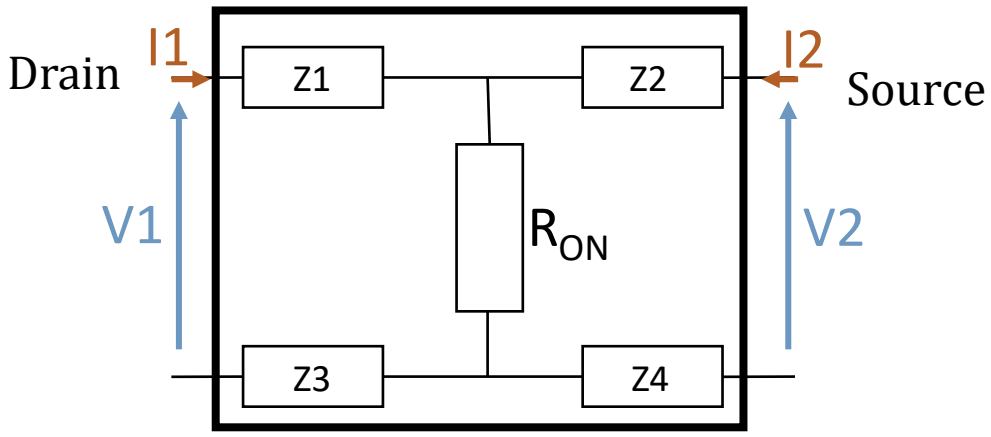


Fig. 35 : Modèle de la structure en H utilisé pour l'extraction du R_{ON}

La seconde méthode repose sur la mesure statique I_{DS}-V_{DS}. Elle consiste à extraire la résistance à partir la pente initiale, dans la zone quasi-linéaire lorsque V_{DS} est faible. Cette méthode permet d'obtenir une approximation de R_{ON}, mais elle est sujette à une certaine imprécision, notamment parce qu'elle n'exclut pas les résistances parasites associées aux contacts (pointes de mesure, pads, etc.). Cette imprécision peut être corrigée si les résistances de contact sont mesurées séparément et soustraites des valeurs globales. Les résultats obtenus par les deux méthodes sont présentés en Fig. 36. Ces données permettent de valider la cohérence du modèle sur le plan de la résistance à l'état passant, en complément des paramètres précédemment ajustés.

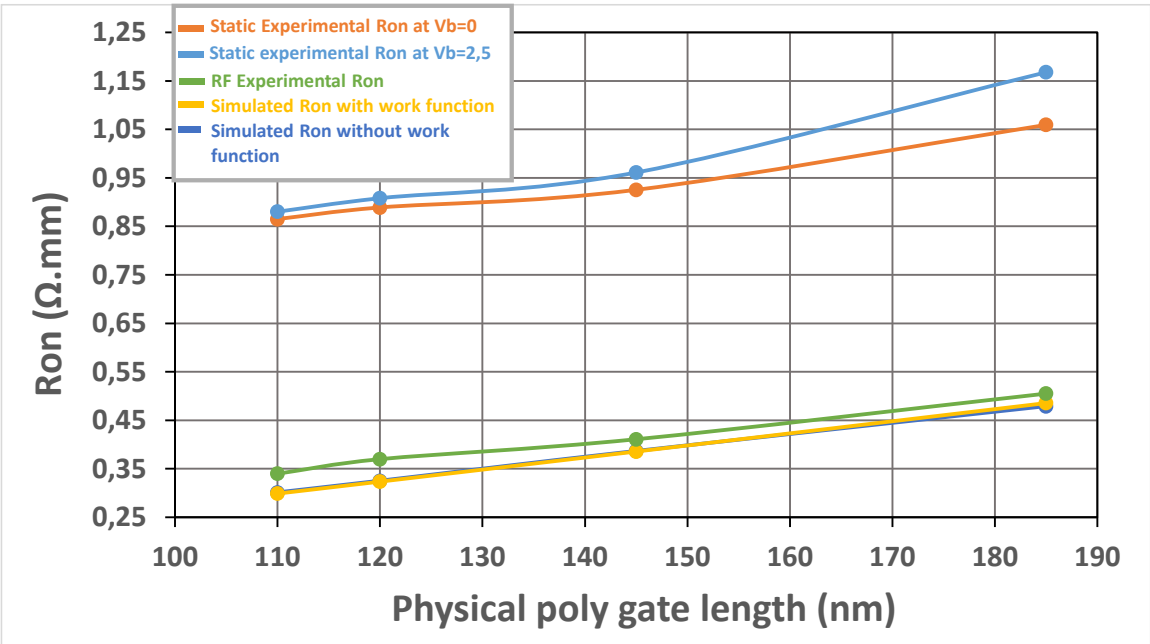


Fig. 36 : Comparaison entre les R_{ON} simulés et expérimentaux en fonction de la longueur de grille, pour différentes configurations d'extraction : méthode RF (conversion S→Z, 2-ports) et pente à l'origine des courbes Id–Vd

2.6 Introduction de microcavités par gravure et impact sur C_{OFF}

Sur la base du double modèle de simulation décrit dans les sections précédentes, l'étape de calibrage permet d'envisager une évaluation quantitative de la réduction de couplage capacitif lié à l'introduction de microcavités dans le réseau d'interconnexions. L'objectif est donc de prendre en compte des microcavités dans la démarche de simulation afin d'étudier l'impact sur les performances électriques.

L'introduction de microcavités affecte uniquement la simulation du couplage capacitif dans les interconnexions, ne mettant en jeu que la simulation électromagnétique associée à cette zone. Comme établi précédemment, cette simulation repose principalement sur l'utilisation des permittivités diélectriques pour le calcul des capacités. L'approche retenue consiste à modifier localement la permittivité des couches en remplaçant progressivement les matériaux présents depuis la surface vers les couches inférieures par de l'air, dont la permittivité est plus faible dans un rapport de 1 à 3.9 en prenant la référence de l'oxyde de silicium. Cette méthode permet de simuler la présence de cavités sans modifier la géométrie du layout, tout en capturant leur influence sur le comportement capacitif global du système. La simulation permet de représenter un front de gravure uniforme, offrant ainsi une estimation de l'impact des microcavités en fonction de leur profondeur dans la structure [GHE23]. Le graphique présenté en Fig. 37 illustre cette évolution et fournit des informations précieuses sur les zones optimales pour l'introduction des cavités.

Les résultats indiquent clairement que la zone située entre les niveaux métalliques M1 et M2 constitue la meilleure région cible pour la gravure. Cette configuration permet une réduction significative de C_{OFF}. Le graphique met également en évidence la réduction maximale atteignable, qui avoisine les 30 %, aussi bien pour la structure Nightingale que pour la structure

Tweeny. Ce constat suggère que l'amplitude de réduction de C_{OFF} est indépendante de l'architecture globale de la structure. Autrement dit, malgré le niveau d'optimisation plus avancé de la structure Nightingale, la réduction de couplage capacitif liée à l'introduction de cavités reste comparable en proportion entre les deux technologies. Cette observation confirme l'intérêt de cette approche, quelle que soit la génération de la structure utilisée.

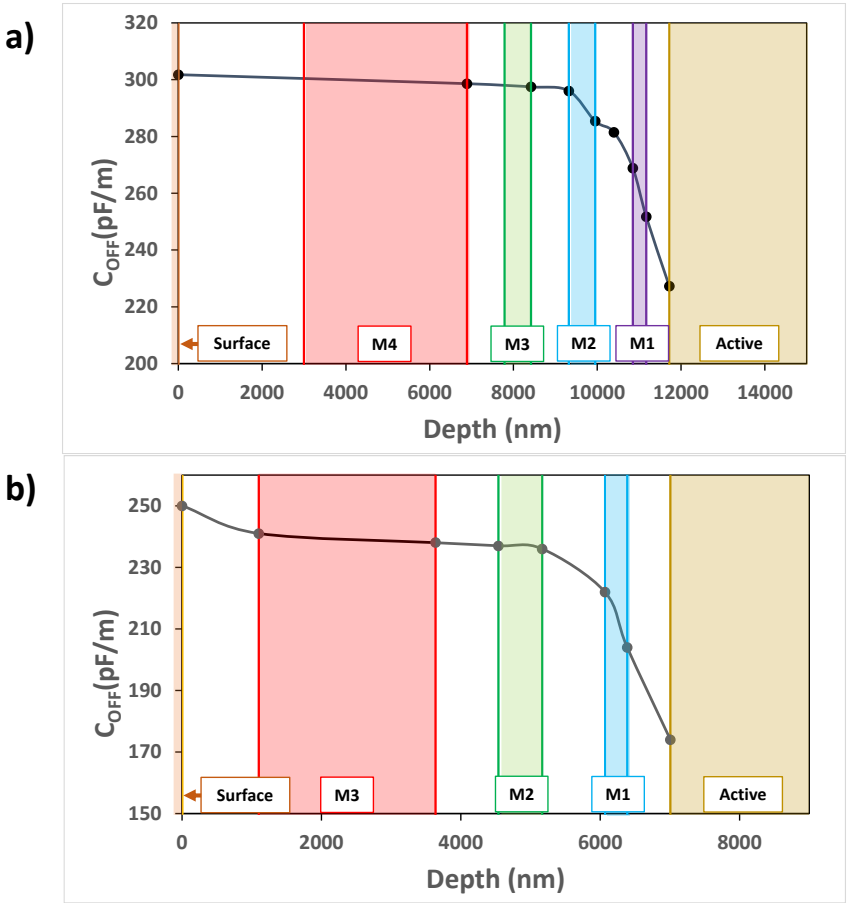


Fig. 37 : C_{OFF} en fonction de la profondeur d'une gravure de front uniforme pour la simulation a) de la structure Tweeny et b) de la structure Nightingale [GHE23]

Dans une démarche d'approfondissement, les résultats de simulation ont été comparés aux valeurs expérimentales obtenues au cours du stage de fin d'études. La Fig. 38 présente un cliché MEB réel d'une cavité issue du procédé de fabrication. Comme le montre plus bas, la Fig. 18, une différence notable est observée entre les valeurs simulées et celles mesurées, ce qui peut s'expliquer par la nature de la gravure considérée dans la simulation.

En effet, comme mentionné précédemment, la simulation repose sur l'hypothèse d'un front de gravure planaire et uniforme. Or, l'observation expérimentale (Fig. 17) montre que cette hypothèse ne reflète pas la réalité : la gravure est partielle et non uniforme. Il est néanmoins possible d'adapter le modèle pour mieux représenter ce comportement. La solution retenue consiste à ajuster les permittivités effectives des couches dans la simulation BEOL, en prenant en compte le mélange d'air et d'oxyde présent dans chaque couche partiellement gravée. Une permittivité équivalente est alors calculée pour chaque couche selon la relation suivante :

$$\varepsilon_{eq} = \left(\frac{Aire_{air}}{Aire_{total}}\right)\varepsilon_{air} + \left(\frac{Aire_{oxyde}}{Aire_{oxyde}}\right)\varepsilon_{oxyde} \quad (29)$$

où $Aire_{air}$ et $Aire_{oxyde}$ représentent respectivement les surfaces occupées par l'air et l'oxyde dans la couche considérée.

Après application de cette correction sur l'ensemble des couches concernées, les résultats obtenus deviennent cohérents avec les mesures expérimentales, validant ainsi la méthode. Ce procédé permet désormais de simuler avec précision n'importe quelle structure ainsi que tout type de profil de gravure, qu'il soit uniforme ou non.

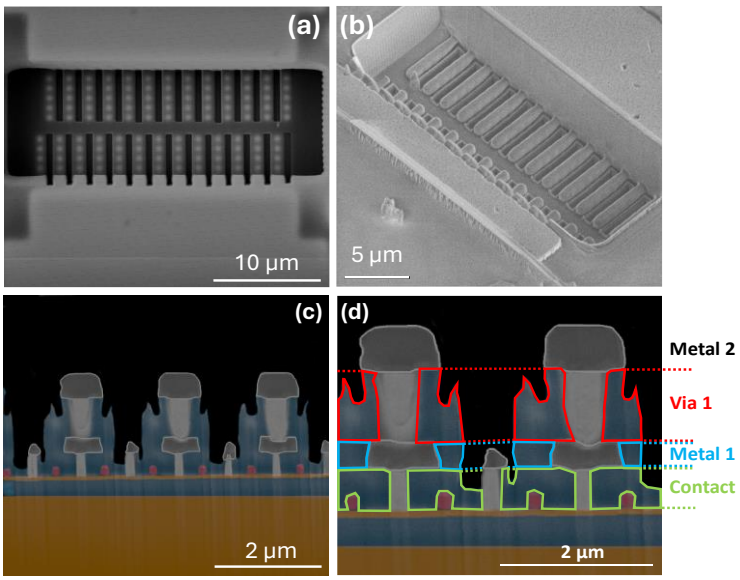


Fig. 38 : Image SEM à différent moment du procédé FIB réalisé sur une structure Tweeny : (a) Vue du dessus des tranchées. (b) Vue incliné de la structure finale. (c) Plan de coupe montrant la gravure partielle de l'oxyde après la dernière étape de gravure FIB. (d) Plan de coupe avec la répartition oxyde/air en fond de tranchées

2.7 Analyse des résultats

Il est pertinent de revenir sur les résultats obtenus sans adaptation du modèle à la forme réelle de la gravure. En effet, si l'on considère un cas idéal, correspondant à un front de gravure parfaitement uniforme, les résultats simulés représentent alors la réduction maximale théorique du paramètre C_{OFF}. Cette configuration constitue la référence optimale que l'on cherche à atteindre à travers le développement et l'optimisation des procédés technologiques.

Pour mieux appréhender l'impact de cette amélioration, l'analyse repose sur l'indicateur composite $R_{ON}.C_{OFF}$, dont les résultats sont présentés en Fig. 39. Plusieurs points ont été ajoutés au graphique : d'une part, des nuages de points expérimentaux mesurés sur des puces vierges, utilisés comme points de référence, et d'autre part, les points issus de la simulation, correspondant aux structures étudiées.

Les nuages de points expérimentaux sont différenciés selon la longueur de grille des structures mesurées, à savoir 220, 180, 160 et 140 nm. Les points de simulation sont associés aux

structures Tweeny et Nightingale, toutes deux configurées avec un pitch poly de 0.92 µm, et des longueurs de grille respectives de 0.16 µm et 0.14 µm.

Les résultats mettent en évidence l'efficacité théorique des microcavités. En particulier, la simulation de la structure Nightingale atteint une valeur de 55 femtosecondes pour le produit $R_{ON}.C_{OFF}$, un résultat nettement meilleur que celui de l'état de l'art actuel. Ce point confirme le potentiel théorique élevé de l'intégration de microcavités dans les structures RF et soutient la pertinence de cette approche dans une perspective d'optimisation technologique.

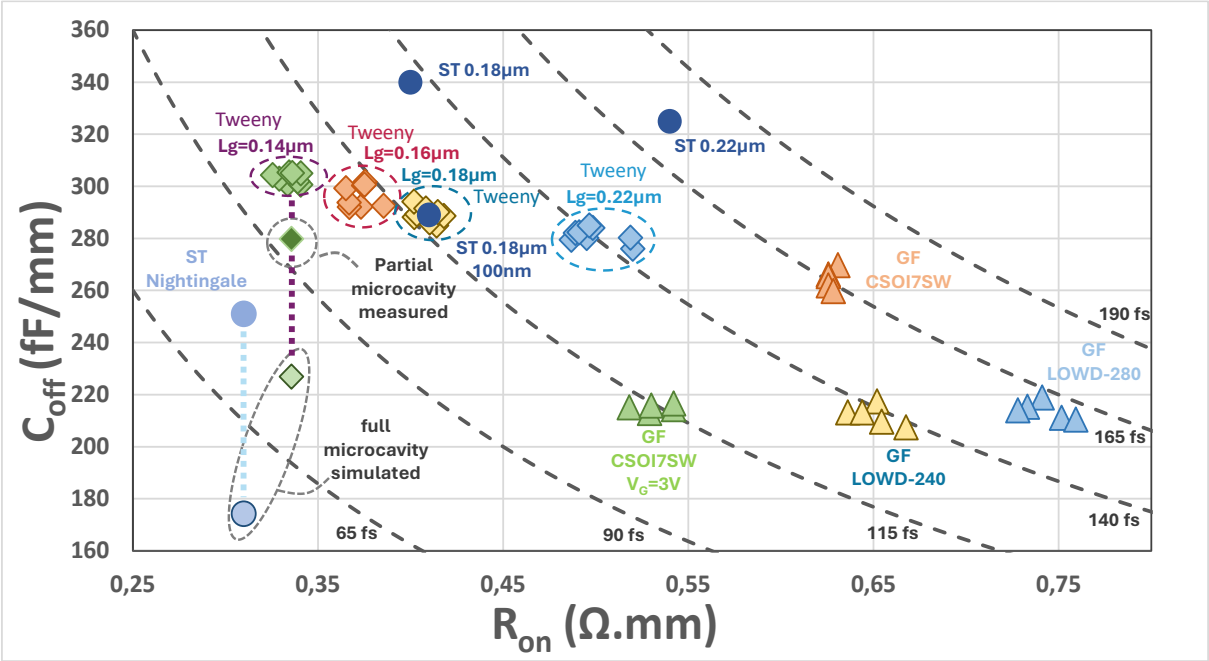


Fig. 39 : Métrique R_{ON}·C_{OFF} comparant l'état de l'art aux valeurs simulées pour les structures Tweeny (incluant la structure assimilée à celle de la figure 38-d) et pour les structures Nightingale.

2.8 Conclusion du chapitre 2

L'ensemble des travaux de simulation réalisés dans cette étude a permis de développer un modèle numérique complet et cohérent, capable de reproduire fidèlement le comportement électrique et électromagnétique des structures CMOS RF intégrant des microcavités. La démarche adoptée, fondée sur la dissociation entre la simulation du FEOL (Front-End Of Line) et du BEOL (Back-End Of Line), s'est révélée particulièrement pertinente.

La phase FEOL, basée sur la résolution des équations de Poisson, de continuité et de transport des porteurs, a permis de calibrer le modèle à partir des mesures expérimentales, notamment en ajustant la work function de la grille (portée à 4.26 eV) pour obtenir une concordance inférieure à 50 mV sur la tension de seuil. De même, l'analyse du COFF et du RON a conduit à l'optimisation progressive des paramètres physiques tels que la présence des spacers ou la configuration de la grille, validant ainsi le réalisme du modèle.

Concernant la région BEOL, la simulation électromagnétique réalisée sous Momentum a permis d'évaluer l'impact des cavités d'air sur la réduction du COFF. L'approche consistant à moduler la permittivité effective des couches diélectriques, en remplaçant progressivement l'oxyde ($\varepsilon_r \approx 4$) par de

l'air ($\varepsilon_r \approx 1$), a conduit à une diminution simulée du COFF d'environ 30 %, confirmant le potentiel de la technologie des microcavités. Les comparaisons avec les mesures expérimentales issues des structures gravées ont ensuite validé la cohérence du modèle, tout en mettant en évidence la nécessité de mieux maîtriser la forme réelle du front de gravure.

Ainsi, la simulation constitue une étape clé dans la compréhension et l'optimisation des commutateurs RF à base de technologie SOI. Elle a permis non seulement de valider la faisabilité physique et électrique des microcavités, mais aussi de quantifier précisément leur impact sur les performances RF (RON, COFF et produit $R_{ON} \cdot C_{OFF}$). Les écarts résiduels entre les simulations idéalisées et les mesures expérimentales soulignent enfin l'importance du contrôle technologique, en particulier lors des étapes de gravure et d'intégration, ouvrant la voie à de futurs travaux d'affinement du modèle et d'extension vers des fréquences millimétriques (FR2).

Chapitre 3 : Procédés de fabrication des microcavités et procédés annexes

3.1 Introduction

La mise en place des procédés de gravure a représenté une étape déterminante pour la création des microcavités au sein des structures CMOS. Après avoir validé par la simulation la pertinence théorique de cette approche, il devient nécessaire d'aborder sa réalisation expérimentale, en s'intéressant plus particulièrement aux procédés de gravure permettant de former ces cavités dans les structures réelles.

Ce chapitre décrit ainsi l'ensemble des travaux expérimentaux réalisés pour développer, affiner et valider un procédé de gravure adapté aux structures SOI CMOS, dans le but d'obtenir des microcavités fonctionnelles tout en préservant l'intégrité électrique et mécanique du dispositif. La démarche s'appuie sur une approche itérative : une première série d'expérimentations a été menée à l'aide du FIB (Focused Ion Beam), permettant de réaliser des gravures localisées et contrôlées avec une grande précision. Ces travaux ont ensuite été complétés par l'utilisation de la gravure RIE (Reactive Ion Etching), plus adaptée aux structures profondes et offrant une meilleure homogénéité. Ensuite, la gravure au HF vapeur, remplaçant le gravure RIE, a été explorée pour son potentiel à évider complètement l'oxyde dans les zones ciblées, ouvrant la voie à la formation de cavités à grande échelle.

Cependant, au fur et à mesure des essais, il est apparu que le procédé combiné FIB/HF ne permettait pas encore d'obtenir une gravure totalement maîtrisée. Si cette approche a permis d'atteindre des résultats encourageants — notamment la formation partielle de cavités et la réduction mesurable du C_{OFF} — elle présente encore plusieurs limitations liées à la sélectivité du HF, à la fragilité mécanique du substrat et à la difficulté de contrôler la profondeur d'attaque.

Pour pallier ces limites, une couche protectrice d'alumine déposée par ALD a été introduite en surface afin de canaliser la gravure et de préserver les zones sensibles. Cette amélioration a significativement renforcé la robustesse du procédé. Néanmoins, les études ont montré que pour obtenir un procédé entièrement stabilisé et reproductible, il serait nécessaire d'ajouter une seconde couche d'alumine au-dessus de la grille, ce qui impliquerait une modification du procédé de fabrication initial. Cette dernière évolution, bien que documentée et faisant l'objet d'un dépôt de brevet, n'a pas pu être mise en œuvre dans le cadre de ce travail de thèse.

Le chapitre retrace cette progression, en exposant successivement les différentes méthodes de gravure explorées, les résultats expérimentaux obtenus sur les structures Tweeny et Nightingale, les difficultés rencontrées, ainsi que les perspectives d'amélioration vers un procédé maîtrisé et industrialisable.

3.2 Réflexion initiale et procédé préliminaire

3.2.1 Etapes du procédé

Un premier procédé de gravure a été mis en œuvre au cours d'un projet de fin d'études, en réponse à la même problématique : définir un moyen de réaliser les cavités tout en préservant l'intégrité mécanique et fonctionnelle de la structure. Les premières expérimentations ont été menées sur les structures du masque **Tweeny**, dont l'empilement est rappelé en Fig. 22 du Chapitre 2. Les résultats issus de la simulation ont indiqué que la gravure devait s'étendre au-delà du niveau métallique M1,

correspondant au premier niveau d'interconnexion afin d'atteindre une réduction maximale de 30% sur le C_{OFF}. Un schéma récapitulatif des différentes étapes du procédé de gravure est présenté en Fig. 40.

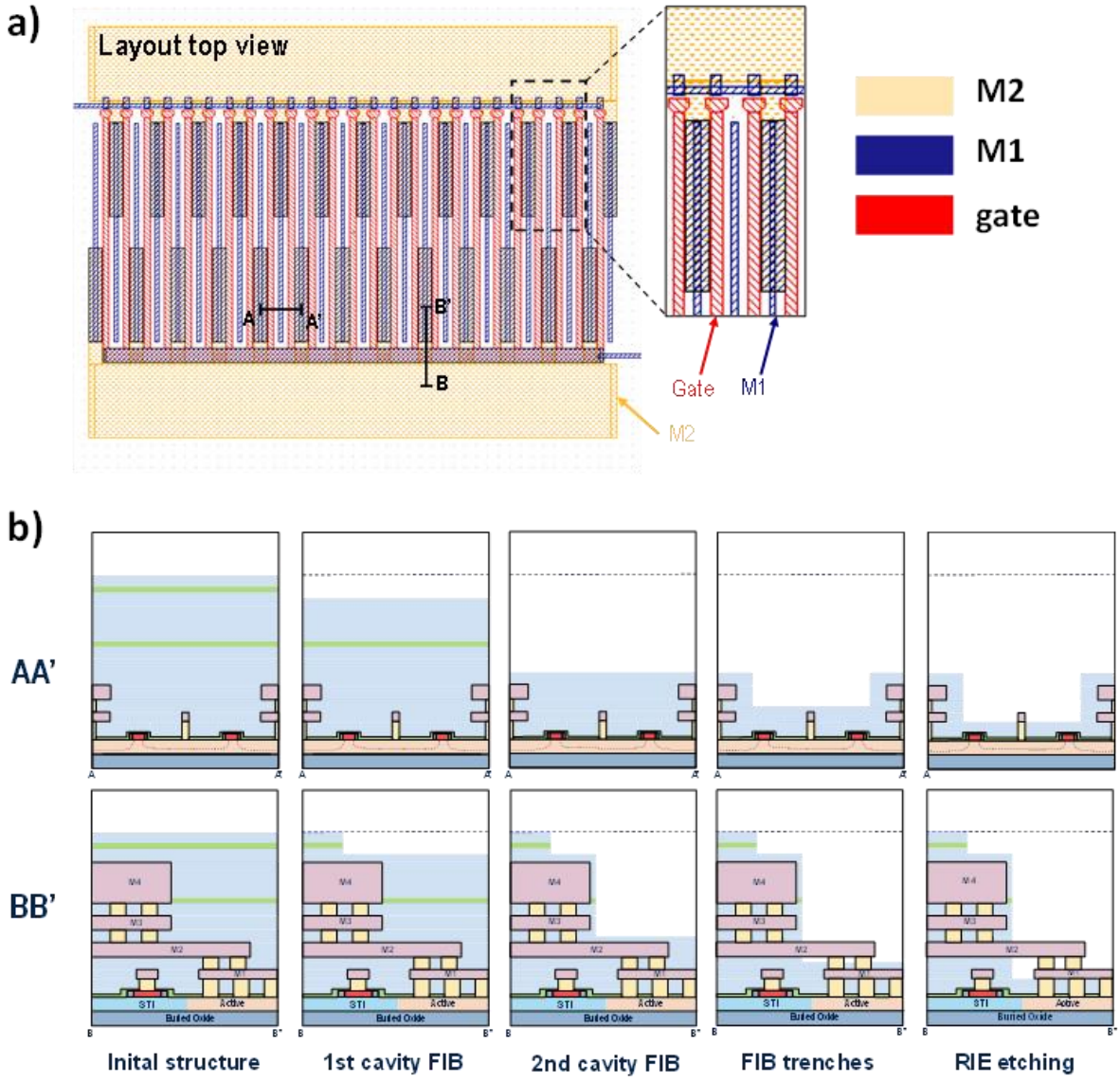


Fig. 40 : a) Layout en vue de dessus de la structure **Tweeny**, indiquant les deux plans de coupe (AA' et BB') et b) Schéma du procédé de gravure représenté le long des plans de coupe AA' et BB'.

La première étape du procédé consistait à atteindre au minimum le niveau M2, correspondant à la partie centrale de la structure. La gravure devait permettre de retirer de manière localisée une épaisseur d'oxyde d'environ 8 µm. Pour ce faire, la technique retenue a été la gravure par faisceau d'ions focalisés (*Focused Ion Beam*, FIB). Cette approche a été jugée particulièrement adaptée dans le cadre d'une preuve de concept, en raison de sa précision de gravure, de sa localisation fine, ainsi que de sa facilité d'accès par rapport à d'autres techniques de micro-fabrication plus complexes [TAN22]. Cela est développé dans la section suivante.

3.2.2 La gravure par faisceau d'ions focalisés : le centre du procédé

La gravure FIB est devenue une technique de référence en micro et nano fabrication, en raison de sa capacité à combiner usinage sélectif et observation in situ. Basée sur l'utilisation d'un faisceau d'ions (souvent du gallium [Ga^+], du xenon [Xe^+]) ou de l'hélium [$He]^+$) focalisé à un diamètre pouvant descendre sous les 10 nm, la méthode permet une gravure directe, sans masque, avec une résolution latérale typique comprise entre 10 et 50 nm selon les conditions expérimentales [CHE14]. L'alignement par rapport aux repères existants permet d'atteindre une précision typiquement de l'ordre de ±20 nm, autorisant ainsi des modifications localisées sur des structures intégrées à haute densité, sans altérer les zones environnantes [TAN22]. Outre l'usinage par enlèvement de matière (*milling*), la technique permet également le dépôt localisé par injection de précurseurs gazeux activés par le faisceau (*Ion Beam Induced Deposition*, IBID). Ce procédé est couramment utilisé pour déposer du platine ou du tungstène avec une résolution de 30 à 100 nm et des résistivités de quelques centaines de µΩ·cm, bien supérieures aux valeurs du matériau massif mais suffisantes pour des reconnections temporaires ou de la réparation/correction d'interconnexions (*circuit edits)* [SMI03]. La Fig. 41 en propose un schéma de principe.

Le fonctionnement d'un système FIB repose principalement sur le choix des paramètres électriques appliqués au faisceau d'ions, en particulier la tension d'accélération et le courant de faisceau. La tension d'accélération est généralement comprise entre 1 et 30 kV pour les colonnes à ions gallium (Ga^+), et peut atteindre 30–50 kV dans le cas des sources plasma (Xe^+, FIB), [CHE14] [DEL20]. Une tension plus élevée augmente l'énergie cinétique des ions et donc la vitesse de gravure (taux de pulvérisation de l'ordre de quelques $\mu m^3/s$ à 30 kV pour Ga^+), mais elle accroît également la profondeur de pénétration et la zone de dommage amorphe [CHE14]. Inversement, des tensions plus faibles (≤ 5 kV) sont utilisées pour les étapes de finition ou de polissage, afin de réduire l'implantation ionique et la détérioration des propriétés électriques locales. Le courant de faisceau, quant à lui, peut être réglé de quelques pA (usinage fin, résolution < 20 nm) à plusieurs dizaines de nA (usinage rapide mais résolution dégradée) [TAN22]. Ces deux paramètres doivent être optimisés en fonction de l'application : un usinage de lamelle TEM nécessite par exemple un compromis entre vitesse de gravure (tension élevée, courant fort) et préservation de la structure cristalline (tension réduite pour les étapes finales). Enfin, la combinaison de la tension d'accélération, du courant et du diamètre de sonde conditionne la dose d'ions délivrée, exprimée en $nC/\mu m^2$, paramètre clé pour contrôler la profondeur gravée, la rugosité et la précision dimensionnelle des motifs [SMI03], [LIN21].

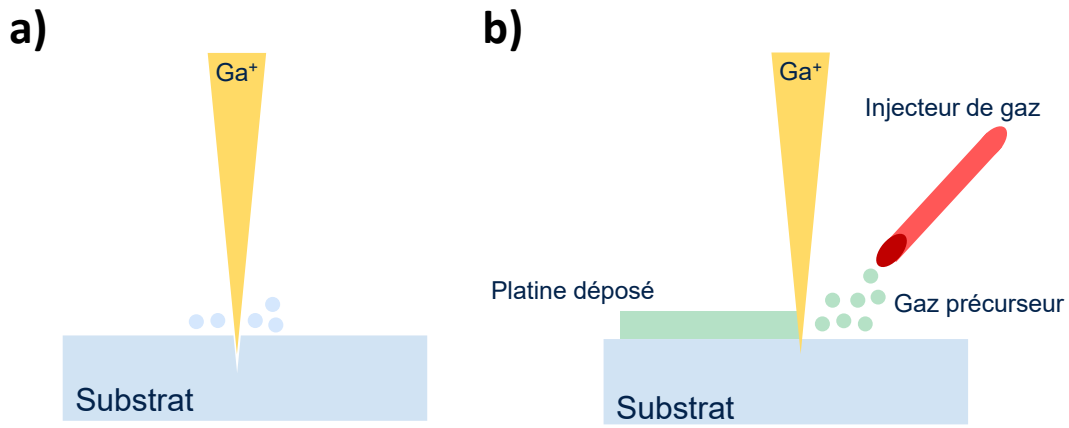


Fig. 41 : Schéma de principe du FIB illustrant son utilisation : a) pour la gravure localisée de la structure, b) pour le dépôt sélectif de platine.

Ces caractéristiques confèrent au FIB une polyvalence unique, exploitée dans des applications variées tel que la préparation de lames minces pour microscopie électronique en transmission (TEM lamelle d'épaisseur 100–200 nm), ouverture locale de vias enterrés, modification de métallisation en circuits intégrés ou encore fabrication de structures nanométriques complexes telles que des réseaux ou des cavités optiques [DEL20]. Néanmoins, cette technologie présente aussi des contraintes notables. L'irradiation ionique induit des dommages structuraux (amorphisation, implantation d'ions) et des artefacts comme la re-déposition de matière, pouvant affecter les propriétés électriques ou mécaniques des dispositifs [CHE14]. De plus, l'implantation d'ions de gallium inhérente au procédé de gravure FIB peut modifier localement la composition chimique et l'état de surface du matériau. Cette implantation influence ainsi la cinétique de gravure lors des étapes ultérieures, notamment dans le cas de la gravure à l'acide fluorhydrique en phase vapeur, où elle peut entraîner des variations locales du taux d'attaque et affecter l'uniformité du procédé [HAN15]. Par ailleurs, la vitesse d'usinage reste limitée : typiquement quelques $\mu m^3/s$ pour un faisceau Ga^+ de 30 kV, bien inférieure aux procédés plasmas collectifs. Ainsi, le FIB se prête avant tout à des travaux de prototypage, de réparation et d'analyse de défaillance ciblée, mais il n'est pas adapté à la production à grande échelle [LIN21].

3.2.3 Déroulé du procédé

Le procédé initial représenté en Fig. 40-b comporte trois étapes successives de gravure par FIB, complétées par quelques dépôts localisés de platine. Ce dernier est utilisé afin de rendre visible la zone de gravure, aucun niveau métallique n'étant directement accessible en surface sur le champ de travail considéré. Le dépôt de platine facilite ainsi l'identification et la localisation de la région à usiner.

Les trois étapes de gravure permettent de progresser niveau par niveau au sein de la structure, chacune donnant accès aux niveaux inférieurs et permettant de recentrer précisément la gravure pour l'étape suivante. Les résultats associés sont présentés en Fig. 42. La première étape part de la surface et descend jusqu'au-dessus du niveau M4, correspondant à la couche métallique la plus élevée. La deuxième étape consiste à prolonger la gravure au moyen d'une cavité plus profonde, jusqu'à proximité du niveau M2, situé au centre de la structure. Enfin, la troisième étape réalise des tranchées entre les doigts du niveau M2, afin d'atteindre le niveau M1. Cette dernière étape s'est révélée la plus critique, la largeur des tranchées ne devant pas excéder 1.2 µm. Des phénomènes du faisceau ionique ont nécessité plusieurs essais afin d'obtenir un résultat satisfaisant. Ces étapes sont visibles en Fig. 42. Concernant les paramètres expérimentaux, les trois étapes ont été réalisées dans des conditions identiques, avec une tension d'accélération de 30 kV et un courant de faisceau de 7 nA.

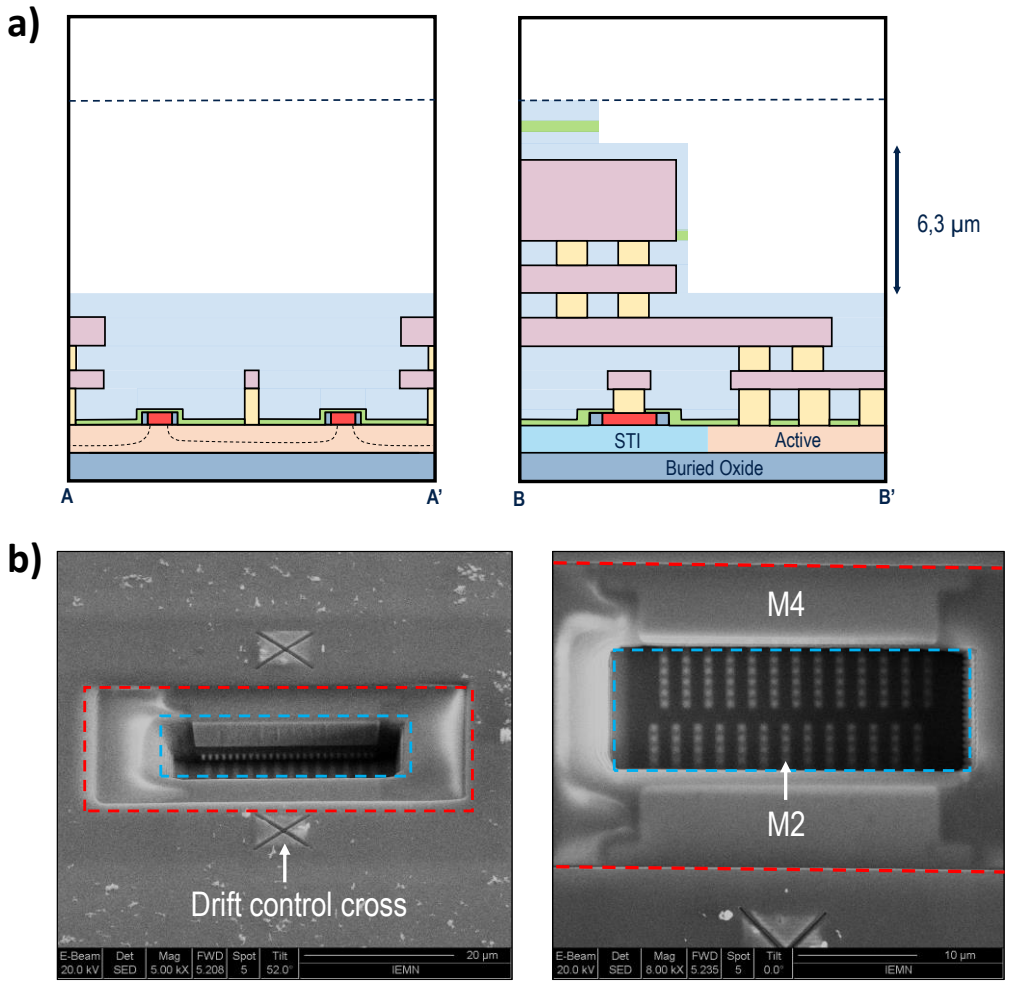


Fig. 42 : a) Schéma de la structure Tweeny illustrant les étapes 1 et 2 du procédé de gravure selon les plans de coupe AA' et BB' de la figure 1-a et b) Images de microscopie électronique à balayage (MEB) en vue de dessus d'une structure Tweeny après réalisation des étapes 1 et 2 du procédé.

La gravure au FIB ne permet pas d'aller au-delà d'une certaine profondeur. En particulier, le niveau M1 ne présente qu'une ouverture de 0.5 µm, dimension trop critique pour être traitée efficacement par cette technique. Il est donc nécessaire de recourir à une méthode alternative, capable de graver sélectivement l'oxyde tout en préservant les métaux présents dans la structure, et offrant de surcroît un caractère isotrope de gravure. Dans ce contexte, le choix s'est porté sur la gravure par ions réactifs (*Reactive Ion Etching*, RIE), qui répond à ces exigences et constitue une solution plus adaptée pour l'étape finale d'ouverture des cavités.

3.2.4 La gravure par ions réactifs : un outil de finition

La gravure ionique réactive (Reactive Ion Etching – RIE) est une technique de microfabrication largement utilisée pour obtenir des motifs à l'échelle micro- et nanométrique. Elle combine l'action chimique de radicaux réactifs générés dans un plasma avec l'action physique du bombardement ionique accéléré par un champ électrique. Ce couplage entre chimie et physique permet d'obtenir des profils de gravure anisotropes, essentiels dans la réalisation de dispositifs microélectroniques et MEMS [COB79]. La Fig. 43 montre un schéma de principe de cette gravure. Les paramètres de la gravure RIE jouent un rôle déterminant dans le contrôle du procédé, car ils permettent de conditionner la gravure et de l'orienter vers un comportement anisotrope ou isotrope. Le choix des gaz utilisés, la puissance du plasma, la pression dans la chambre ainsi que les débits de gaz sont autant de leviers permettant

d'ajuster la sélectivité, la vitesse d'attaque et la directionnalité de la gravure en fonction du matériau et de l'objectif recherché. Dans le cas général, une gravure anisotrope est obtenue en travaillant à faible pression et à faible débit de gaz réactif, favorisant ainsi la composante physique du plasma et une attaque directionnelle. À l'inverse, une augmentation de la pression et du débit conduit à une gravure plus isotrope, privilégiant les réactions chimiques en volume. Elle offre également une bonne sélectivité entre les différents matériaux en fonction des gaz utilisés, ce qui la rend adaptable à divers substrats tels que le silicium, le dioxyde de silicium ou encore les nitrures [LIE94]. De plus, la flexibilité des conditions opératoires (puissance RF, pression, composition gazeuse) confère un contrôle fin de la vitesse de gravure et du profil final.

La gravure RIE nécessite en principe la présence d'une couche de protection, généralement constituée de résine photosensible, destinée à définir sélectivement les zones à graver. Cependant, dans notre cas d'étude, l'utilisation d'une telle couche a été exclue. L'étape de masquage, impliquant dépôt de résine et lithographie, n'était pas compatible avec la topologie complexe des structures ni avec les contraintes dimensionnelles imposées par la présence des cavités. En l'absence de masque, la gravure devient alors non sélective et agit directement sur l'ensemble de la surface exposée. Cette situation conduit à une gravure superficielle des couches en surface, et peut engendrer des dommages localisés sur certaines zones sensibles, notamment autour des interconnexions métalliques. Ces effets peuvent engendrer des défauts électriques, une rugosité accrue ou encore une modification de la composition chimique de surface [OEH89]. Par ailleurs, le procédé souffre parfois d'un manque d'uniformité sur des substrats de grande dimension, ce qui pose un problème pour les applications en production de masse. Enfin, l'équipement requis est coûteux et nécessite un environnement de salle blanche pour garantir la reproductibilité des résultats.

Les paramètres de fonctionnement jouent un rôle central dans l'optimisation du procédé. Le choix des gaz réactifs conditionne la nature et la sélectivité de la gravure : les gaz fluorés (CF_4, SF_6) sont couramment employés pour le silicium et ses oxydes, tandis que les gaz chlorés (Cl_2, BCl_3) sont utilisés pour les métaux et les semi-conducteurs composés comme le GaAs [JAS96]. La pression dans la chambre influence directement l'anisotropie : une basse pression favorise la directionnalité du flux ionique. La puissance RF détermine la densité et l'énergie des ions bombardant la surface, contrôlant ainsi la vitesse de gravure. Enfin, la température du substrat est également un paramètre critique, permettant d'équilibrer la passivation des flancs et de limiter les dommages de surface [LIE94].

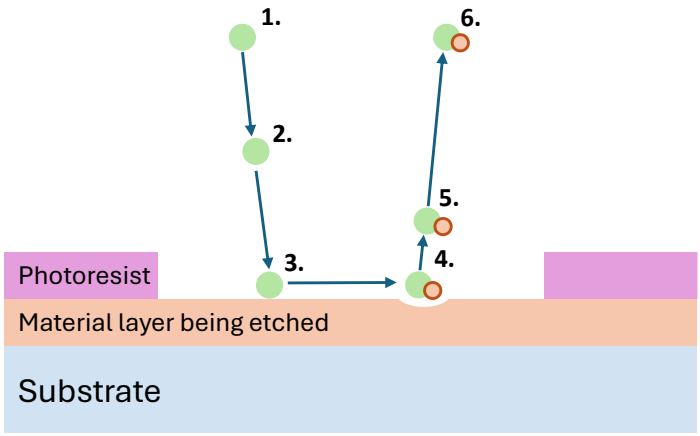


Fig. 43 : Schéma de principe de la gravure RIE avec 1. Décomposition des gaz en espèces chimiquement réactives dans le plasma, 2. Diffusion des espèces réactives jusqu'à la surface, 3. Absorption des espèces réactives sur la couche de matériau, 4. Réaction entre les espèces réactives et la couche de matériau, 5. Désorption des sous-produits de réaction, 6. Diffusion des sous-produits

Un aspect essentiel de la mise en œuvre de la gravure RIE concerne la détection de fin d'attaque (endpoint detection). Cette étape est critique pour garantir une gravure contrôlée et reproductible, en évitant à la fois la sous-gravure (incomplétude du motif gravé) et la surgravure (endommagement du substrat ou perte de sélectivité). Plusieurs méthodes sont utilisées en salle blanche. La plus répandue est la spectroscopie optique d'émission (OES), qui consiste à surveiller en temps réel les raies d'émission caractéristiques des espèces chimiques présentes dans le plasma. L'apparition ou la disparition de certaines raies (par exemple celles du fluor lors de la gravure du silicium) permet d'identifier la fin du processus, [COB79] [LIE94]. Une autre approche repose sur la mesure de l'interférence optique (laser interferometry), qui permet de suivre en direct l'évolution de l'épaisseur de la couche attaquée par l'analyse des franges d'interférence réfléchies à la surface du substrat. La Fig. 44 en illustre le principe. Enfin, des méthodes électriques, telles que la mesure des changements de potentiel ou de capacité à la surface, peuvent être utilisées dans certains cas spécifiques. Le choix de la technique dépend de la nature du matériau, de l'équipement disponible et du niveau de précision requis. La détection de fin d'attaque constitue ainsi un élément clé pour assurer la fiabilité et la répétabilité des procédés RIE modernes.

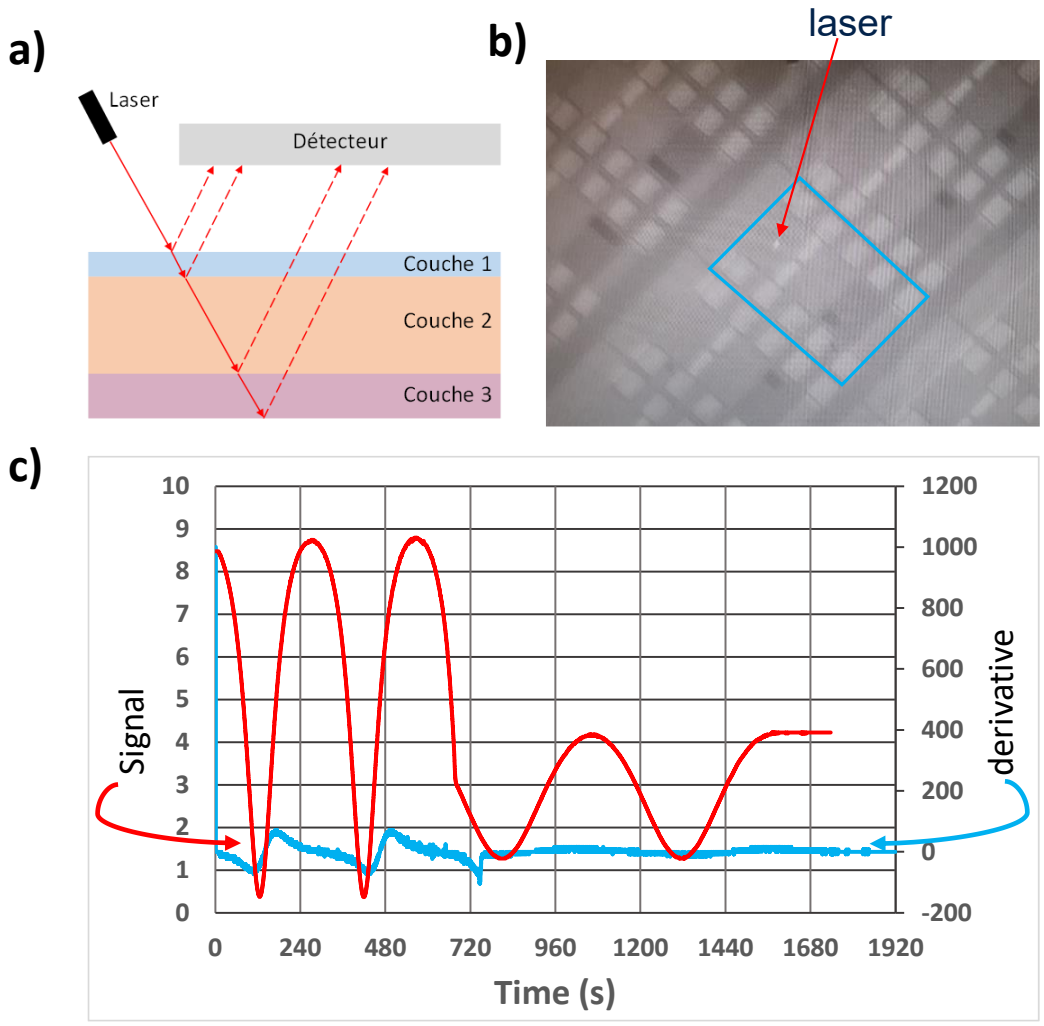


Fig. 44 : a) Schéma de principe de la détection de fin d'attaque par interférométrie, b) Image issue de la caméra montrant le positionnement du laser utilisé pour la détection, c) Évolution du signal reçu en fonction du temps de gravure.

3.2.5 Résultats finaux du procédé initial

La maîtrise du procédé de gravure RIE a permis de descendre au-delà du niveau M1 et d'atteindre la zone cible définie pour l'introduction des microcavités. Les paramètres retenus pour la gravure RIE sont une pression de 50 mTorr, un débit de CF_4 de 20 sccm et un débit d'argon de 30 sccm. Cela garantit la sélectivité vis-à-vis des métaux de la structure. La Fig. 45 présente des images de structures gravées ainsi que des plans de coupe illustrant les profils obtenus. Ces échantillons ont ensuite servi de référence pour affiner le modèle de simulation, notamment en intégrant la morphologie réelle de la gravure dans la description géométrique (cf. Chap. 2). L'analyse du profil de gravure met en évidence une attaque partielle au niveau du métal M1, qui correspond à la zone la plus déterminante dans la réduction du C_{OFF}. En se référant aux simulations présentées précédemment, une telle profondeur de gravure conduit à une diminution estimée à environ 8 % du C_{OFF}, ce qui constitue une première étape encourageante vers la réduction de 30 % prédite par le modèle numérique. L'observation révèle cependant la présence d'un résidu d'oxyde autour du niveau M1, signe d'une gravure encore incomplète. L'objectif est désormais d'optimiser le profil de gravure afin d'éliminer totalement cet oxyde résiduel. Pour cela, plusieurs pistes peuvent être envisagées : ajuster les paramètres du procédé RIE afin de réduire son caractère isotrope et ainsi améliorer la sélectivité et la profondeur de gravure, ou encore explorer d'autres techniques de gravure présentant des caractéristiques similaires mais offrant un meilleur contrôle du front d'attaque.

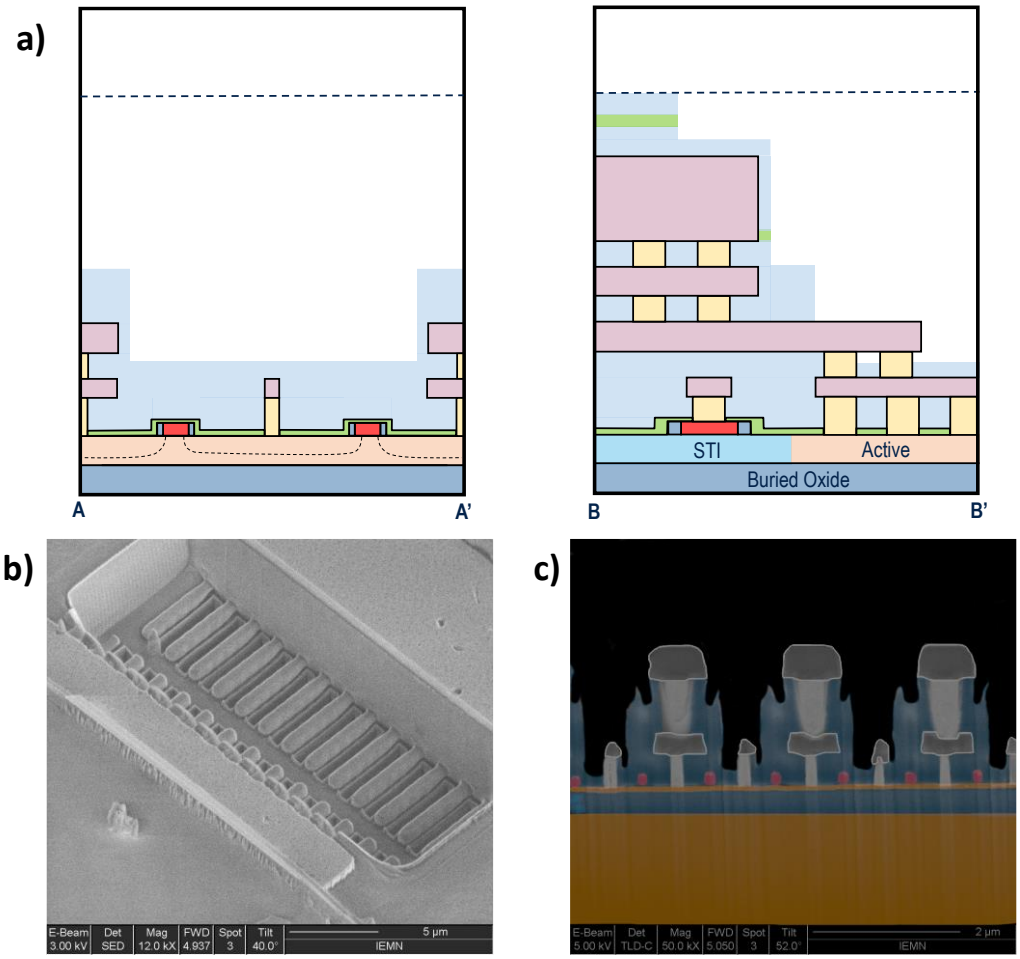


Fig. 45 : a) Schéma illustrant les tranchées par gravure FIB dans la structure suivant les plans de coupe A-A' et B-B' de la figure 1-a, b) Image SEM prise après gravure et c) plan de coupe colorisé montrant le profil de gravure au sein de la structure

3.3 Evolution du procédé

3.3.1 Etapes du procédé abouti

Afin d'accroître la réduction du C_{OFF} il était nécessaire d'éliminer une quantité supplémentaire d'oxyde au sein de la structure. Cependant, cette opération s'est révélée difficilement réalisable avec la gravure RIE. En effet, bien que cette technique permette un bon contrôle de la directionnalité du front de gravure grâce à son caractère anisotrope, elle souffre d'un manque de sélectivité vis-à-vis des matériaux métalliques et diélectriques coexistant dans la structure. L'absence de couche de masquage dédiée accentue ce problème, exposant directement certaines zones métalliques ou sensibles à une attaque non désirée. De plus, l'équilibre entre la composante physique (sputtering ionique) et chimique de la gravure limite la profondeur atteignable avant que les parois latérales ne soient endommagées ou que la morphologie ne se détériore.

Face à ces contraintes, un changement de méthode s'est imposé afin de garantir à la fois une gravure plus profonde et une meilleure préservation des structures environnantes. La gravure par HF vapeur a ainsi été retenue comme alternative, en raison de sa forte sélectivité vis-à-vis des métaux utilisés et de sa capacité à dissoudre l'oxyde de manière homogène sans agresser les autres matériaux. La Fig. 46 présente un schéma récapitulatif des étapes de ce nouveau procédé. Les différences majeures avec le procédé initial basé sur la gravure RIE seront détaillées dans la suite de cette section.

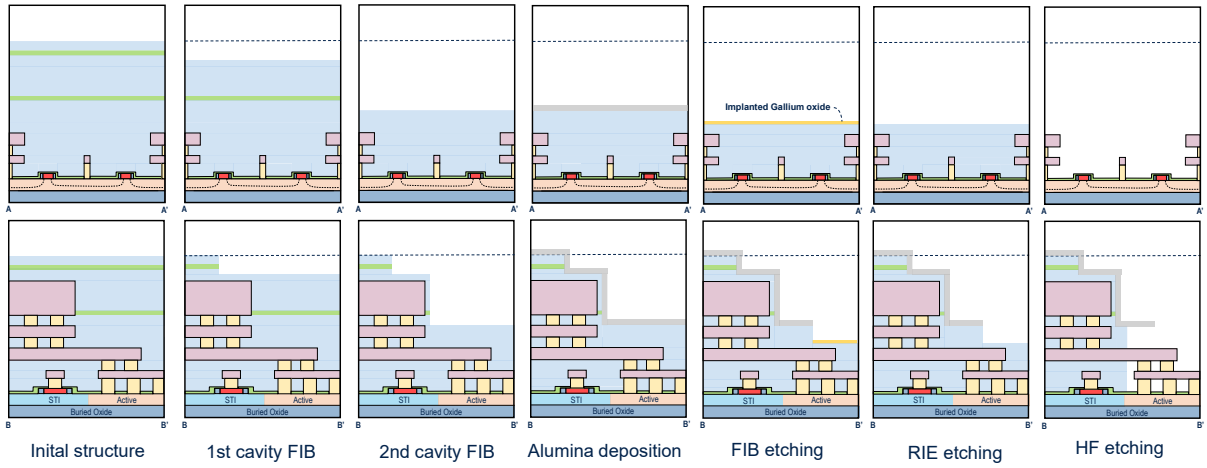


Fig. 46 : Schéma illustrant les différentes étapes du procédé de gravure le plus abouti, depuis la préparation de la surface jusqu'à l'obtention de la cavité finale suivant les plans de coupe AA' et BB' de la figure 1-a

3.3.2 La gravure à l'acide fluorhydrique : un outil puissant mais difficile à contrôler

La gravure en phase vapeur à l'acide fluorhydrique (HF-VPE) est une alternative de plus en plus utilisée aux procédés de gravure humide conventionnels, notamment dans le domaine de la micro- et nano-fabrication. Elle repose sur l'utilisation de mélanges gazeux d'HF anhydre et d'un alcool (généralement du méthanol) sous pression réduite, permettant une attaque sélective de l'oxyde de silicium tout en évitant le recours à une solution liquide. Ce procédé est également particulièrement attractif pour la libération de structures micro-électromécaniques (MEMS), car il élimine les phénomènes de stiction qui apparaissent fréquemment lors du séchage des étapes humides [LEE97].

L'utilisation du HF anhydre peut se justifier à travers la réaction de l'aluminium avec l'acide fluorhydrique. Cela peut s'écrire, qu'il y ait présence d'eau ou non [HWA24] :

$$2Al + 6HF_{(aq/g)} \rightarrow 2AlF_{3(aq/s)} + 3H_{2(g)} \quad (30)$$

La phase des produits dépend de l'état du HF. En milieu aqueux, l'acide fluorhydrique est partiellement ionisé selon :

$$HF \Leftrightarrow H^+ + F^- \quad (31)$$

Les ions fluorure F^- réagissent ensuite avec l'aluminium (ou l'aluminium déjà fluoré) pour former des complexes fluoroaluminates solubles, tels que $[AlF_6]3^-$. Cette complexation favorise la dissolution continue de l'aluminium, d'autant plus que la concentration en ions fluorure est élevée. La réaction s'accompagne également d'un dégagement notable d'hydrogène [URB00] :

$$AlF_3 + 3F^- \longrightarrow [AlF_6]^{3-} \quad (32)$$

Le fonctionnement de la gravure HF-VPE a été largement étudié dans la littérature. Par exemple, les études ont démontré que l'utilisation d'un mélange gazeux HF/CH_3OH permettait de relâcher efficacement des microstructures en polysilicium (cantilevers de plus de 1200 µm de longueur), sans dommages liés aux forces capillaires [LEE97]. D'autres études ont modélisé les paramètres influençant la cinétique de gravure, notamment la pression partielle de HF et d'alcool ainsi que la température du substrat [LEE96]. Il a été montré que la sélectivité entre oxydes thermiques et oxydes déposés (TEOS) pouvait atteindre des valeurs élevées (jusqu'à ×30), ouvrant la voie à un contrôle précis du processus.

Cependant, malgré ces avantages, la gravure en phase vapeur présente aussi certaines contraintes. Le procédé est par nature isotrope, ce qui limite son usage lorsqu'une anisotropie stricte est requise. Pour pallier cette limitation, une approche innovante consiste à combiner l'implantation ionique localisée avec la gravure HF vapeur afin de moduler sélectivement les vitesses de gravure. Cette méthode dite de 'HF isotrope en phase vapeur' permet de contrôler finement la sous-gravure et d'améliorer la définition des ancrages de microstructures MEMS. [PAS12]

Au-delà des démonstrations de principe, des applications concrètes de la HF-VPE ont été rapportées pour la réalisation de dispositifs fonctionnels. Ainsi, des micro-actionneurs en polysilicium de type *comb-drive* ont été fabriqués en utilisant exclusivement la gravure HF gazeuse pour l'étape de libération, démontrant la faisabilité industrielle du procédé [LEE962]. L'étude du rôle des solvants alcooliques a également montré que le méthanol constitue le meilleur compromis pour assurer une gravure rapide et propre, grâce à une meilleure désorption des produits de réaction (SiF_4, H_2O) [4].

Sur l'équipement utilisé, les recettes de gravure sont prédéfinies et associées à des taux de gravure spécifiques, présentés dans la table IV. Parmi celles-ci, la recette 3 a été sélectionnée, car elle offre un compromis optimal entre un taux de gravure suffisamment rapide et un contrôle satisfaisant du procédé. Cette configuration a permis de poursuivre l'ouverture des cavités tout en maintenant une reproductibilité acceptable des résultats.

	Gravure			Stabilisation			
recette	N_2 (sccm)	EtOH (sccm)	HF (sccm)	N_2 (sccm)	EtOH (sccm)	HF (sccm)	Vitesse de gravure (Å/min)
1	1425	210	0	1425	210	190	105
2	1250	350	0	1250	350	310	380
3	1000	400	0	1000	400	525	1060
4	910	400	0	910	400	600	1500
5	880	325	0	880	325	720	1670

Table IV : Tableau comparatif présentant les différentes recettes de gravure par HF vapeur et leurs principales caractéristiques (taux de gravure et conditions de procédé).

3.3.3 Une structure libérée mais fragilisée

L'utilisation de cette méthode permet d'évider efficacement l'oxyde présent au sein de la structure. La Fig. 47 présente des images MEB illustrant l'agencement des niveaux métalliques visibles au fond des cavités. L'observation met en évidence l'entrelacement complexe des niveaux M1 et M2, soulignant la difficulté à extraire complètement l'oxyde de ces zones confinées. Sur certaines images, la grille apparaît également en fond de cavité, ce qui traduit une gravure localement trop profonde. Bien que non souhaitée sur le plan technologique, cette situation fournit néanmoins des clichés particulièrement représentatifs de l'architecture interne de la structure.

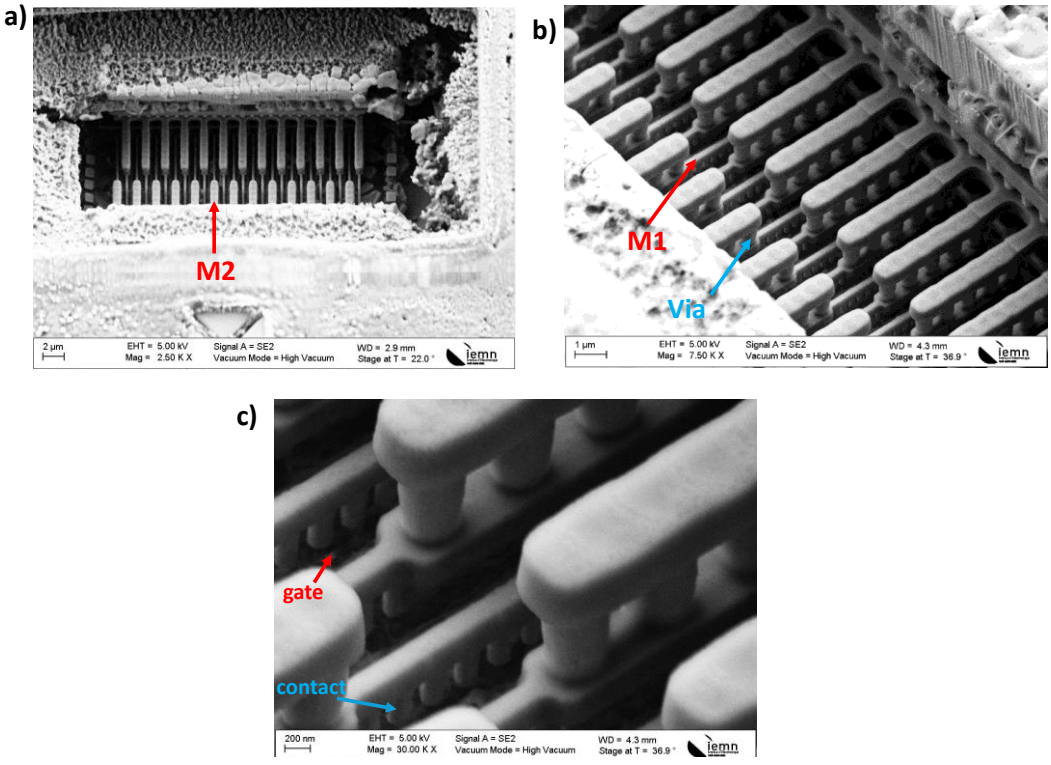


Fig. 47 : a) Image SEM d'une structure Tweeny après gravure, b) Image SEM de la même structure inclinée, mettant en évidence l'agencement des niveaux métalliques et c) Image SEM inclinée et zoomée focalisant sur les contacts et la grille au sein de la cavité.

Cette méthode présente toutefois des risques non négligeables. La gravure par HF vapeur, plus agressive que la gravure RIE, entraîne une altération plus marquée de la surface du substrat. Dans certains cas, cette attaque chimique conduit même au décollement des contacts de mesure (PADALU), provoquant par la même occasion une déchirure de l'oxyde environnant, dont l'épaisseur est faible. Une telle dégradation ne peut être acceptée, ni du point de vue des performances électriques, ni du point de vue de l'intégrité mécanique de la structure. Bien que la gravure par HF vapeur soit théoriquement un procédé idéal pour évacuer l'oxyde, sa mise en œuvre pratique reste extrêmement difficile à contrôler. La Fig. 48 illustre les dommages observés en surface et au niveau des pads de mesure après traitement.

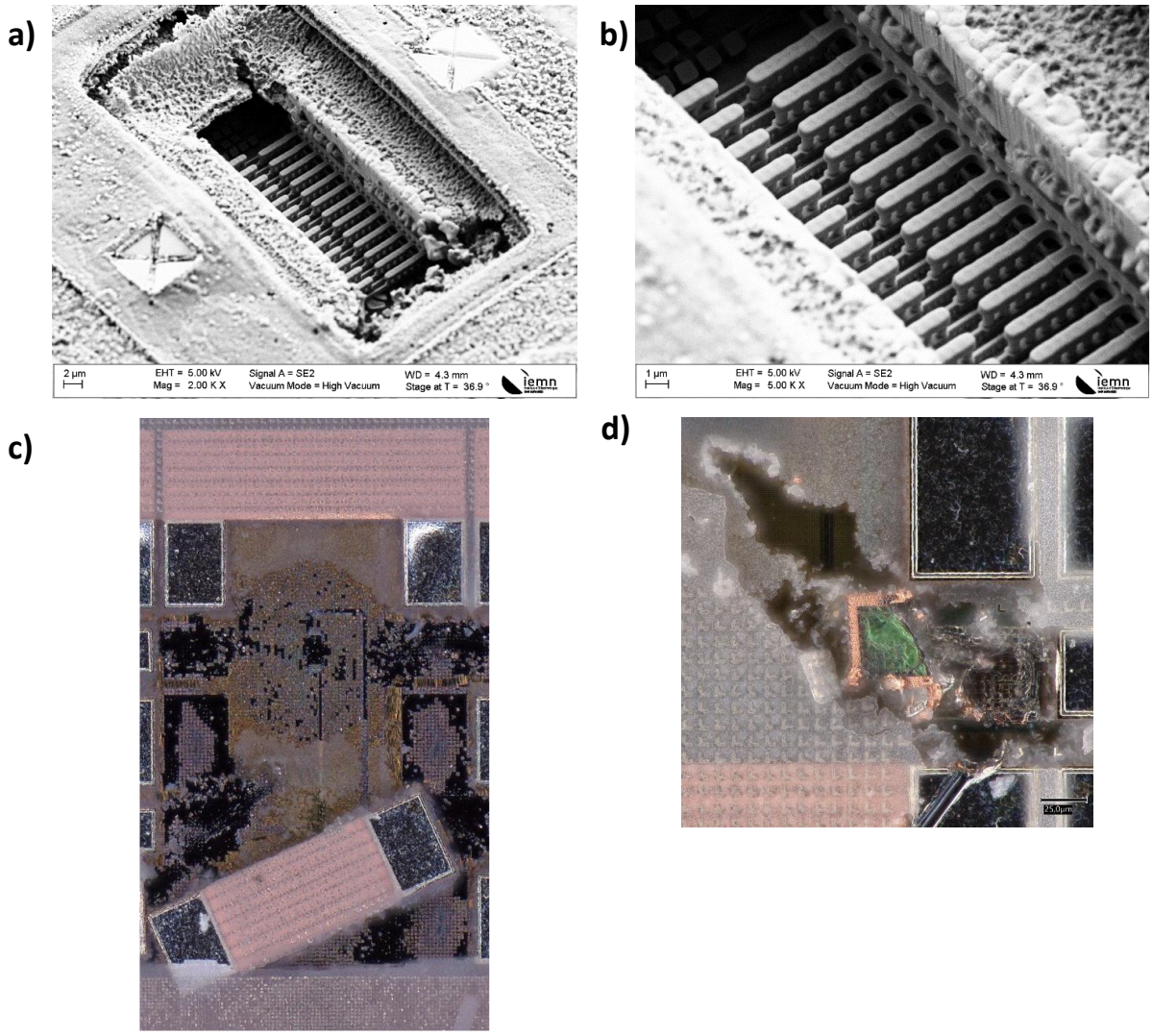


Fig. 48 : a) Image SEM en surface montrant les dommages induits par la gravure au HF vapeur ; b) Vue SEM agrandie de la même zone, mettant en évidence la dégradation locale du matériau ; c) Image optique illustrant l'impact de la gravure sur les pads de mesure ; d) Image montrant le décollement du pad et le déchirement de l'oxyde environnant.

Il a été nécessaire de mettre en place une stratégie permettant de canaliser et de contrôler l'action du HF vapeur. Pour ce faire, l'étude s'est portée sur l'identification de matériaux pouvant être utilisés comme masques protecteurs. Le matériau recherché devait répondre à plusieurs critères : être isolant, facilement déposable, et pouvoir être gravé par un autre procédé afin de sélectionner avec précision les zones devant être exposées au HF. Après évaluation, le choix s'est porté sur l'Al_2O_3, qui répond à

l'ensemble de ces contraintes. La solution la plus adaptée pour son dépôt est l'utilisation de la technique ALD (Atomic Layer Deposition), offrant une excellente homogénéité, un contrôle nanométrique de l'épaisseur déposée et un caractère très conforme du dépôt.

3.3.4 L'alumine : une couche de protection

L'ALD est une technique de dépôt en phase vapeur, appartenant à la famille des procédés de type CVD (Chemical Vapor Deposition). Elle se distingue par son mécanisme auto-limitant, qui permet un contrôle précis de l'épaisseur déposée [KIM03]. Contrairement au CVD classique, où les précurseurs réagissent simultanément en phase gazeuse, l'ALD repose sur une succession de réactions de surface séquentielles et auto-terminantes, assurant une précision à l'échelle de l'angström et une excellente conformité sur des substrats à fort rapport d'aspect [PAR00].

Un cycle ALD se compose de quatre étapes distinctes :

1. Impulsion du premier précurseur : une molécule chimique (par ex. le triméthylaluminium – TMA – pour l'alumine) se fixe par chimisorption sur les sites réactifs du substrat. La réaction est auto-limitée : une fois tous les sites saturés, la croissance cesse :

$$OH^* + Al(CH_3)_3 \longrightarrow O - Al(CH_3)_2^* + CH_4 \uparrow \quad (33)$$

   La surface se termine alors par des groupes $–CH_3$ liés à Al.

2. Purge au gaz inerte : un flux d'argon ou d'azote élimine les molécules non réagies et les sous-produits volatils.

3. Impulsion du second précurseur : un oxydant (H_2O, O_3 ou plasma d'O_2) réagit avec les groupements laissés par le premier précurseur, formant ainsi la couche d'oxyde [AHN15].

$$O - Al - CH_3^* + H_2O \rightarrow O - Al - OH^* + CH_4 \uparrow \quad (34)$$

   L'eau consomme les terminaisons $–CH_3$ et régénère les sites –OH*

4. Seconde purge : les excès et sous-produits sont évacués pour éviter toute réaction en phase gazeuse.

Chaque cycle dépose une sous-couche atomique (typiquement 1–2 Å). La croissance totale est directement proportionnelle au nombre de cycles réalisés, permettant un ajustement très fin de l'épaisseur du film [LES03].

Le caractère auto-limitant des réactions ALD confère plusieurs avantages :

- **Contrôle précis de l'épaisseur** : l'épaisseur finale est linéairement reliée au nombre de cycles, ce qui en fait un outil idéal pour des oxydes de grille ou des couches passives ultra-minces [KIM03].
- **Uniformité et conformité** : l'ALD garantit des films homogènes même sur des structures tridimensionnelles complexes, ce qui en fait un choix privilégié pour les dispositifs MOS avancés.
- **Interfaces de haute qualité** : les réactions localisées en surface minimisent les défauts structuraux et réduisent la densité d'états d'interface, comme démontré pour les diélectriques Al_2O_3 déposés sur InGaAs et GaN.

Un schéma reprenant le fonctionnement de l'ALD est disponible en Fig. 49

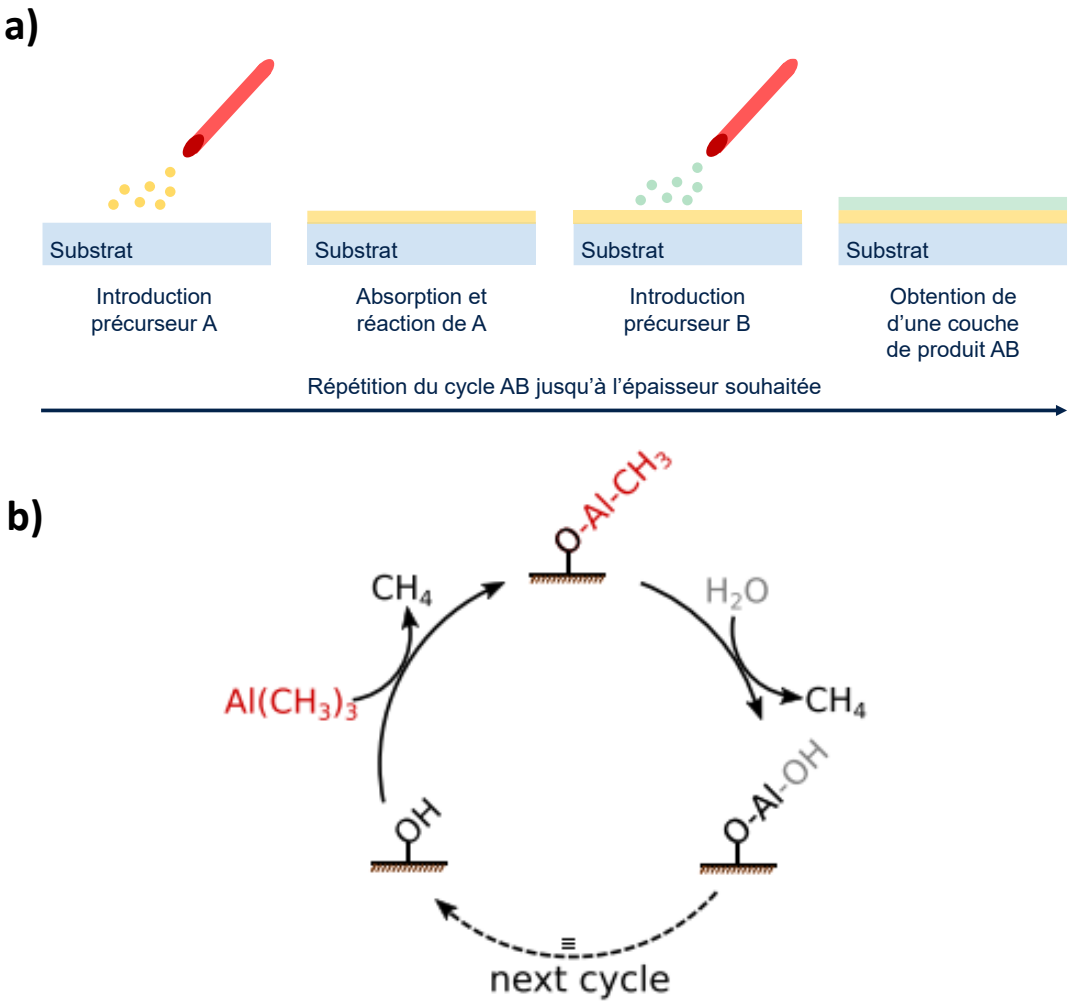


Fig. 49 : a) Schéma de principe d'un cycle de dépôt alternant entre introduction et l'absorption d'un précurseur puis de sa réaction pour deux précurseur nommé A et B et b) Cas pratique pour le dépôt d'Al_2O_3 [VAN17]

Il a également été nécessaire de vérifier, d'une part, la cohérence entre l'épaisseur déposée et les valeurs attendues, et d'autre part, la résistance de la couche d'alumine vis-à-vis du HF. Pour cela, plusieurs expériences ont été réalisées en testant différentes épaisseurs d'Al_2O_3, à savoir 10, 20 et 40nm, afin de déterminer la valeur optimale. Les dépôts ont été effectués sur un substrat de référence composé de 200 nm d'oxyde déposés sur 400 nm de silicium. Le dépôt s'effectue à une température maximale de 300°C pour ne pas endommager les implants du substrat. Les échantillons ainsi préparés ont été découpés puis observés afin de contrôler l'empilement et mesurer les épaisseurs réelles déposées. Cette étape s'est révélée complexe, l'alumine présentant un contraste très faible vis-à-vis de l'oxyde en microscopie électronique à balayage (SEM). Pour pallier cette difficulté, une fine couche conductrice a été déposée par sputtering, permettant d'augmenter localement le contraste. Cette méthode s'est avérée efficace, et les épaisseurs obtenues ont pu être confirmées, comme le montrent les images de la Fig. 50.

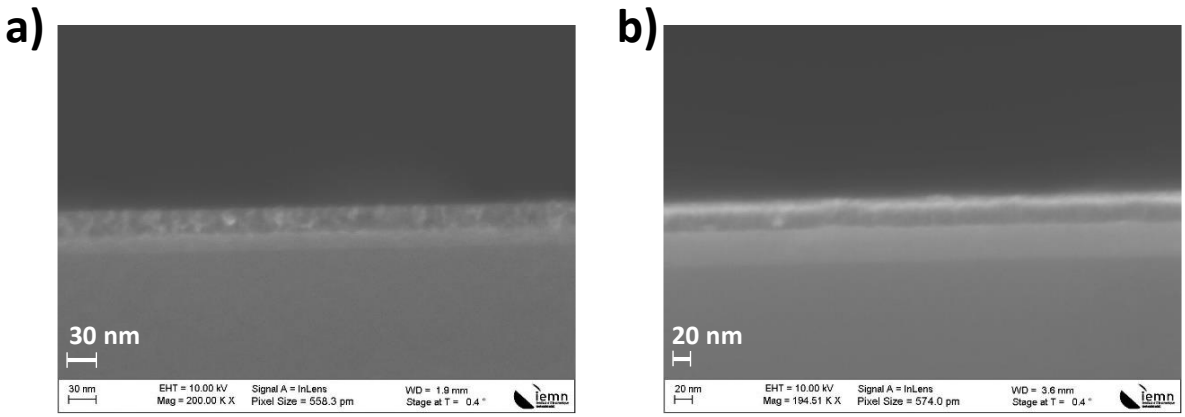


Fig. 50 : Image SEM en plan de coupe illustrant l'épaisseur de la couche d'alumine déposée dans l'empilement oxyde–alumine–conducteur pour a) un dépôt de 10 nm et b) Un dépôt de 40nm.

La résistance des dépôts d'alumine a été évaluée par exposition au HF vapeur. Cette campagne d'essais a permis de déterminer les épaisseurs minimales d'Al_2O_3 assurant une protection efficace du substrat contre la gravure. Les résultats obtenus sont présentés en figure 51. Sur les échantillons présentant une faible épaisseur d'alumine, une déformation notable du film protecteur a été observée sous l'action du HF, traduisant une altération partielle de la couche d'alumine. Il a été constaté qu'une épaisseur de 10 nm ou 20 nm d'alumine ne permet pas de résister à l'action corrosive du HF, tandis qu'une couche de 40 nm assure une protection efficace du substrat.

Toutefois, au-delà de l'épaisseur nominale, la porosité intrinsèque du dépôt joue un rôle déterminant dans la résistance chimique. En effet, l'alumine déposée par ALD (Atomic Layer Deposition) présente généralement une microstructure amorphe et dense, mais des défauts ponctuels ou des chemins de diffusion peuvent subsister selon les conditions de dépôt (température, vitesse de croissance, rapport stœchiométrique des précurseurs). Ces microcanaux favorisent la pénétration locale du HF, entraînant une attaque en profondeur malgré une épaisseur apparente suffisante.

Ainsi, la résistance au HF ne dépend pas uniquement de l'épaisseur mesurée mais de la densité effective du film. Une couche trop mince peut, même si elle semble continue, présenter une porosité critique favorisant la percolation des espèces chimiques actives. À l'inverse, une augmentation modérée de l'épaisseur — au-delà de 40 nm — permet de compenser les défauts de croissance et d'introduire une marge de sécurité technologique, garantissant la robustesse du procédé en conditions réelles d'exposition.

En conclusion, la maîtrise du rapport entre épaisseur et densité du dépôt d'alumine est essentielle : il ne s'agit pas seulement d'empêcher la traversée du HF, mais d'assurer une barrière chimiquement stable et mécaniquement cohésive, indispensable à la fiabilité du procédé de gravure sélective.

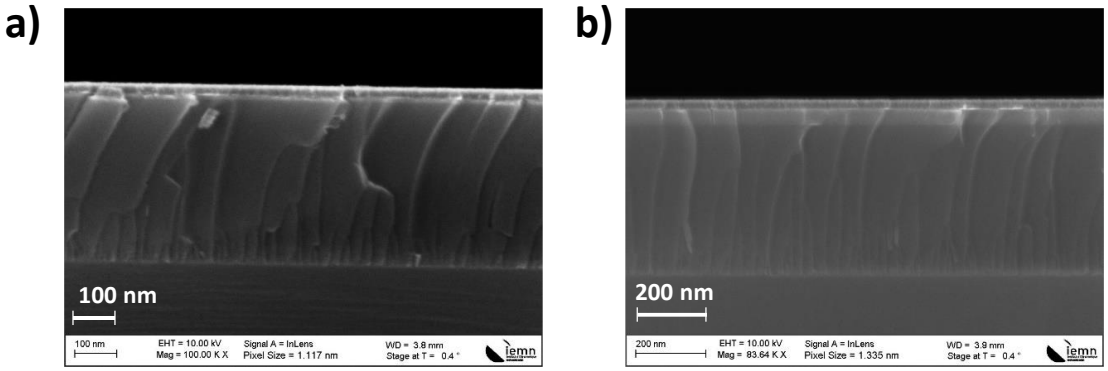


Fig. 51 : Image MEB en plan de coupe montrant l'absence de gravure par HF vapeur sur un substrat d'oxyde recouvert d'une couche protectrice d'alumine, utilisée comme barrière sélective pour a) 10nm et b) 40nm

L'épaisseur de la couche d'alumine a ainsi été fixée à 60 nm, valeur retenue comme optimale à l'issue des essais préliminaires. Ce dépôt a ensuite été implémenté sur les structures complètes. Toutefois, afin de permettre l'accès du HF vapeur, une ouverture devait être réalisée à travers cette couche protectrice. Pour cette étape, la gravure par FIB a été retenue, ce qui justifie sa présence en tant qu'étape 'FIB etching' dans le schéma de la Fig. 46. Ce procédé implique toutefois plusieurs sous-étapes, augmentant considérablement la complexité et la durée de mise en œuvre. Concrètement, un rectangle de 10 µm par 24 µm est ouvert par FIB au centre de la structure, directement au-dessus du niveau M2, afin d'autoriser la pénétration de la vapeur de HF dans la cavité. La Fig. 52 présente des images SEM comparant des structures traitées avec et sans couche d'alumine en surface. L'apport de cette barrière protectrice est immédiatement perceptible et s'avère particulièrement significatif.

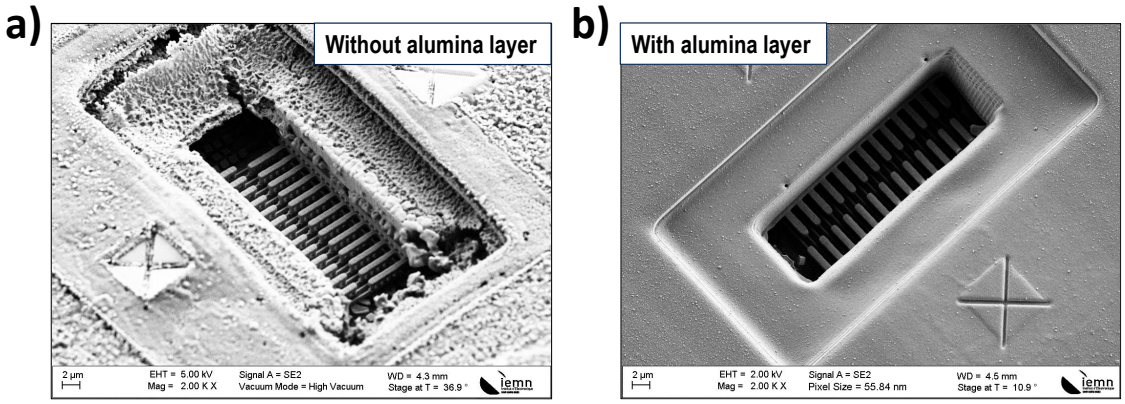


Fig. 52 : a) Image SEM d'une structure après gravure au HF vapeur sans couche d'alumine en surface, montrant une dégradation marquée de l'oxyde ; b) Image SEM d'une structure similaire après gravure HF avec la présence d'une couche d'alumine protectrice en surface, illustrant l'efficacité de cette barrière contre l'attaque chimique.

3.3.5 Résolution de problème limitant

L'ajout d'une épaisseur d'alumine n'est toutefois pas sans conséquence. En effet, après l'ouverture réalisée par FIB, il a été observé dans certains cas la formation d'un fin voile résiduel à l'issue de la gravure HF. Ce dépôt semble limiter, voire bloquer localement, l'efficacité de la gravure en réduisant son impact sur l'oxyde sous-jacent. Afin d'identifier la nature de ce résidu, plusieurs investigations ont

été menées, parmi lesquelles une analyse par spectrométrie EDX (Energy Dispersive X-ray Spectroscopy).

La spectrométrie EDX est une technique d'analyse élémentaire basée sur la détection des rayons X caractéristiques émis par un matériau lorsqu'il est excité par un faisceau d'électrons ou de rayons X primaires. Chaque élément chimique possède des transitions électroniques internes spécifiques, ce qui se traduit par l'émission de photons X d'énergies bien définies (ex. raies Kα, Kβ, Lα, etc.). L'EDX permet donc d'identifier et de quantifier les éléments présents dans un échantillon en analysant l'énergie et l'intensité de ces rayonnements.

La spectrométrie de rayons X à dispersion d'énergie repose sur une succession d'étapes physiques et électroniques qui transforment un phénomène atomique en un spectre exploitable. L'analyse débute par l'excitation de l'échantillon, généralement réalisée à l'aide d'un faisceau d'électrons (dans un microscope électronique à balayage ou en transmission) ou de rayons X primaires (dans le cas de la fluorescence X). Cette interaction entraîne l'éjection d'électrons des couches internes des atomes, le plus souvent des couches K ou L. La vacance créée est ensuite comblée par un électron issu d'une couche périphérique, et la différence d'énergie est libérée sous forme d'un rayon X caractéristique propre à l'élément chimique considéré.

Ces photons X sont collectés par un spectromètre EDX, aujourd'hui presque exclusivement basé sur des détecteurs à dérive en silicium (SDD). Lorsqu'un photon incident pénètre dans le détecteur, il est absorbé dans le silicium, où son énergie est convertie en paires électron-trou. Le nombre de paires générées est proportionnel à l'énergie du photon absorbé, assurant ainsi une relation directe entre le signal électrique produit et la nature de l'émission caractéristique. Ces charges sont ensuite séparées, collectées puis amplifiées par une électronique de lecture à très faible bruit, généralement intégrée dans des circuits ASIC dédiés à l'EDX [GER07]. Le signal analogique ainsi obtenu est finalement converti en impulsion électrique dont l'amplitude reflète fidèlement l'énergie du photon incident.

Enfin, un analyseur multicanal (MCA) trie ces impulsions en canaux d'énergie, produisant le spectre EDX. Celui-ci représente en abscisse l'énergie des photons détectés (en eV ou keV) et en ordonnée le nombre de photons comptés. L'analyse de ce spectre permet d'identifier les éléments présents et, après correction des effets de matrice, d'estimer leur concentration relative [BER16] [BEL18].

Le voile observé ainsi que les résultats de l'analyse par spectrométrie EDX sont présentés en Fig. 53. Les mesures mettent en évidence que ce résidu est constitué majoritairement de gallium, provenant de la gravure. Lors de celle-ci, une implantation ionique de gallium se produit inévitablement dans la matrice d'oxyde de silicium. Cette implantation modifie localement la composition chimique et la structure amorphe de l'oxyde, créant des zones densifiées et partiellement dopées. Ces régions implantées présentent une réactivité réduite vis-à-vis du HF vapeur, entraînant une diminution significative de la vitesse de gravure. Ce phénomène explique la présence de résidus d'oxyde ou de zones partiellement gravées observées lors des essais, malgré des paramètres de gravure identiques. Ainsi, la contamination au gallium issue du FIB constitue un facteur limitant du procédé, nécessitant une étape de nettoyage ou de reconditionnement de surface avant la gravure HF. [CHE09][HEN10]

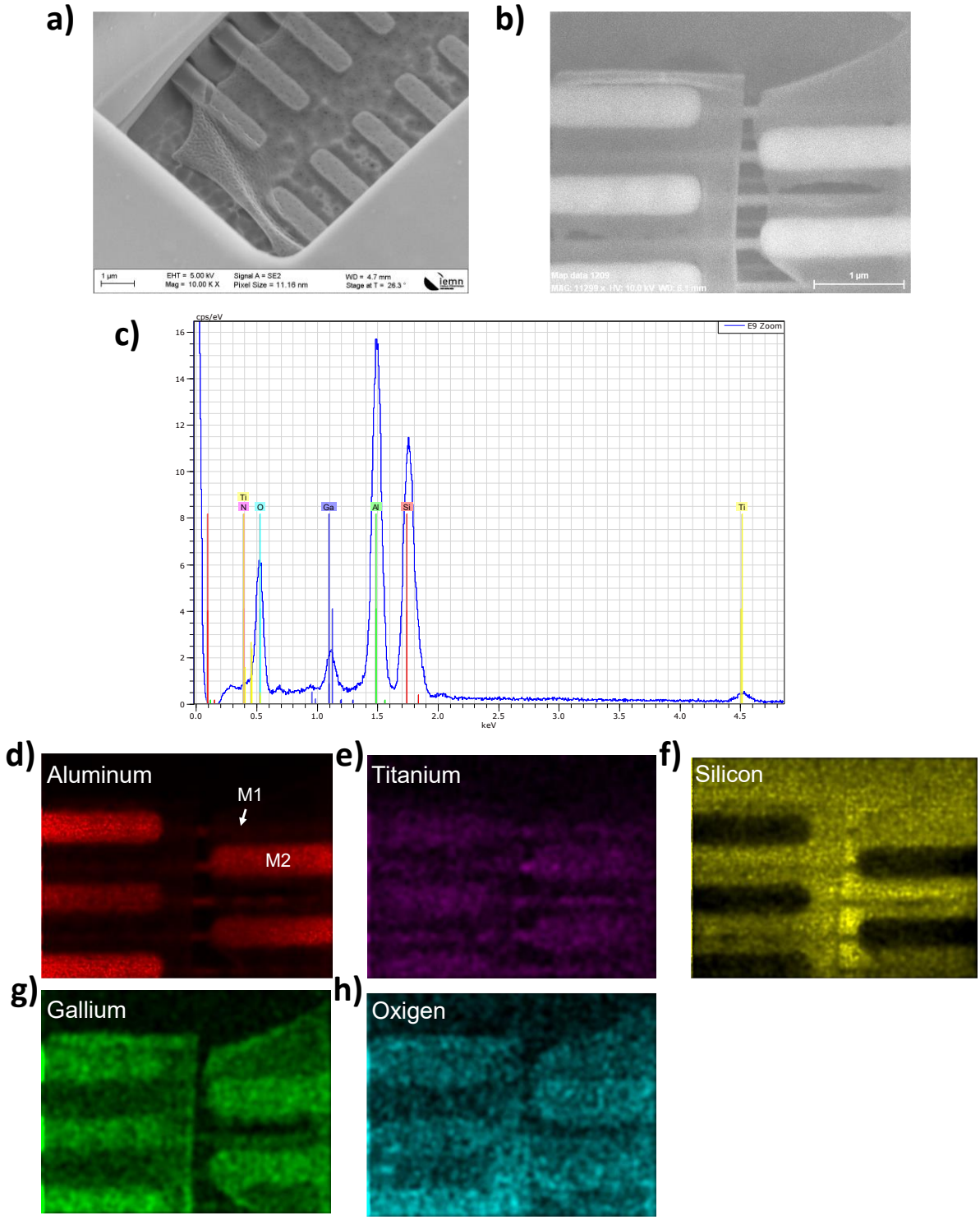


Fig. 53 : a) Image SEM mettant en évidence le voile limitant la pénétration du HF vapeur, b) Image SEM agrandi servant pour une spectrométrie EDX, c) Résultat de la spectrométrie et image colorisé révélant la présence d) d'aluminium, e) de titane, f) de silicium, g) de gallium et h) d'oxygène

Il est donc nécessaire d'éliminer ce voile d'oxyde implanté par du gallium tout en préservant l'intégrité de la couche d'alumine en surface. La gravure par RIE s'est révélée particulièrement adaptée à cette étape, en raison de sa sélectivité et de son efficacité contrôlée. La recette employée est identique à celle utilisée précédemment (une pression de 50 mTorr, un débit de CF_4 de 20 sccm et un débit d'argon de 30 sccm). Cette étape justifie la présence d'une gravure RIE supplémentaire, identifiée dans le

procédé global présenté en Fig. 46. Une fois ce résidu retiré, plus aucun obstacle n'empêche l'action du HF vapeur, permettant ainsi de vider complètement la cavité et d'observer la structure dégagée, libérée de tout oxyde. La Fig. 54 met en avant uns structure ayant vu l'ouverture d'une fenêtre au FIB à travers l'alumine

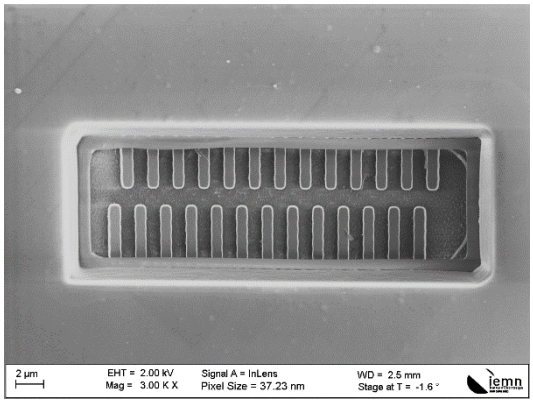


Fig. 54 : Image SEM en vue de dessus d'une structure après ouverture d'une fenêtre au FIB à travers la couche d'alumine.

3.3.6 Aboutissement du procédé sur structures du masque Tweeny

La Fig. 55 présente des clichés des structures ayant bénéficié des gravures les plus abouties obtenues à l'aide du procédé complet. Les images mettent en évidence l'entrelacement des niveaux M1 et M2, ainsi que la grille, le tout avec une surface homogène assurée par la présence de la couche d'alumine. Ce résultat illustre l'aboutissement du procédé développé. Certaines de ces puces ont ensuite été caractérisées, et l'ensemble des mesures correspondantes sera détaillé dans le Chapitre 4.

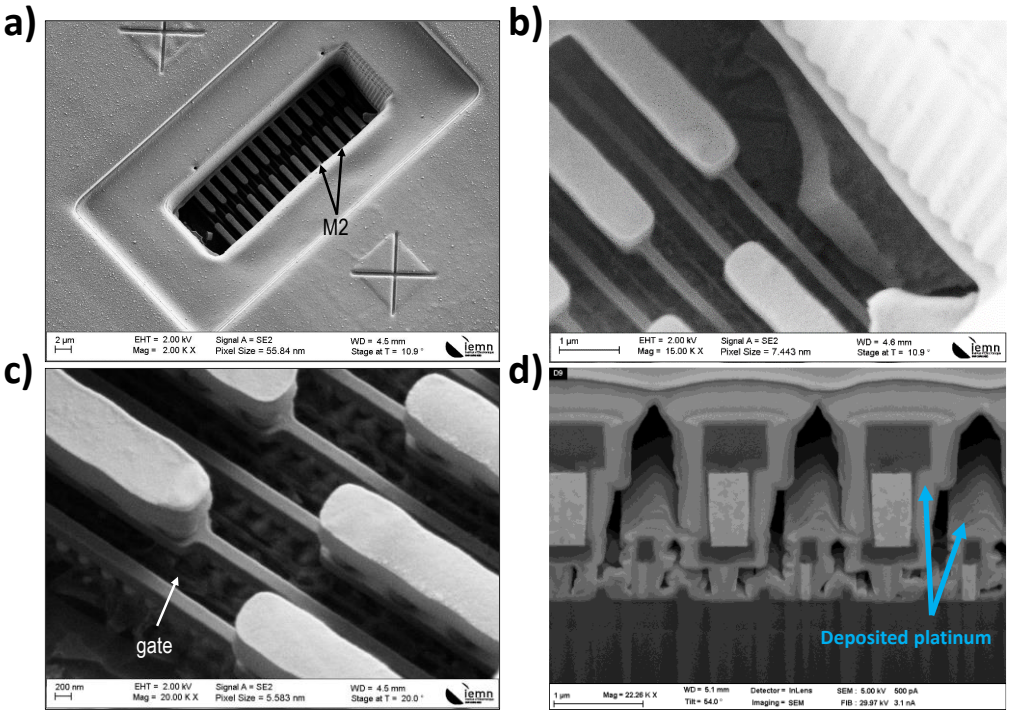


Fig. 55 : Image MEB d'une structure après procédé complet : a) vue de dessus, b) vue agrandie en bord de cavité, c) vue agrandie sur les niveaux M1 et M2, et d) plan de coupe figé avec dépôt localisé de platine réalisé par FIB.

Malgré l'aspect visuel satisfaisant de certaines gravures, un nombre significatif de puces n'a pas présenté de comportement électrique normal, avec notamment des cas de court-circuit ou d'absence de signal. Afin d'identifier l'origine de ces dysfonctionnements, l'examen du fond de cavité s'est avéré nécessaire afin de vérifier l'absence de dommages sur la grille ou le substrat. Une coupe transversale de la structure, présentée en Fig. 56, montre que la gravure HF a traversé la couche **CESL** (couche de nitrure de contrainte) et a atteint le substrat, provoquant ainsi une dégradation irréversible. Ce phénomène explique directement les problèmes observés lors des mesures. Ainsi, même si la gravure semble optimale d'un point de vue morphologique, elle requiert un contrôle plus strict ainsi que des précautions supplémentaires. La Section 3.4 présentera des procédés complémentaires visant à améliorer la robustesse et l'innocuité du procédé de gravure, en introduisant des méthodes qui ne peuvent être intégrées directement par une approche post-procédé.

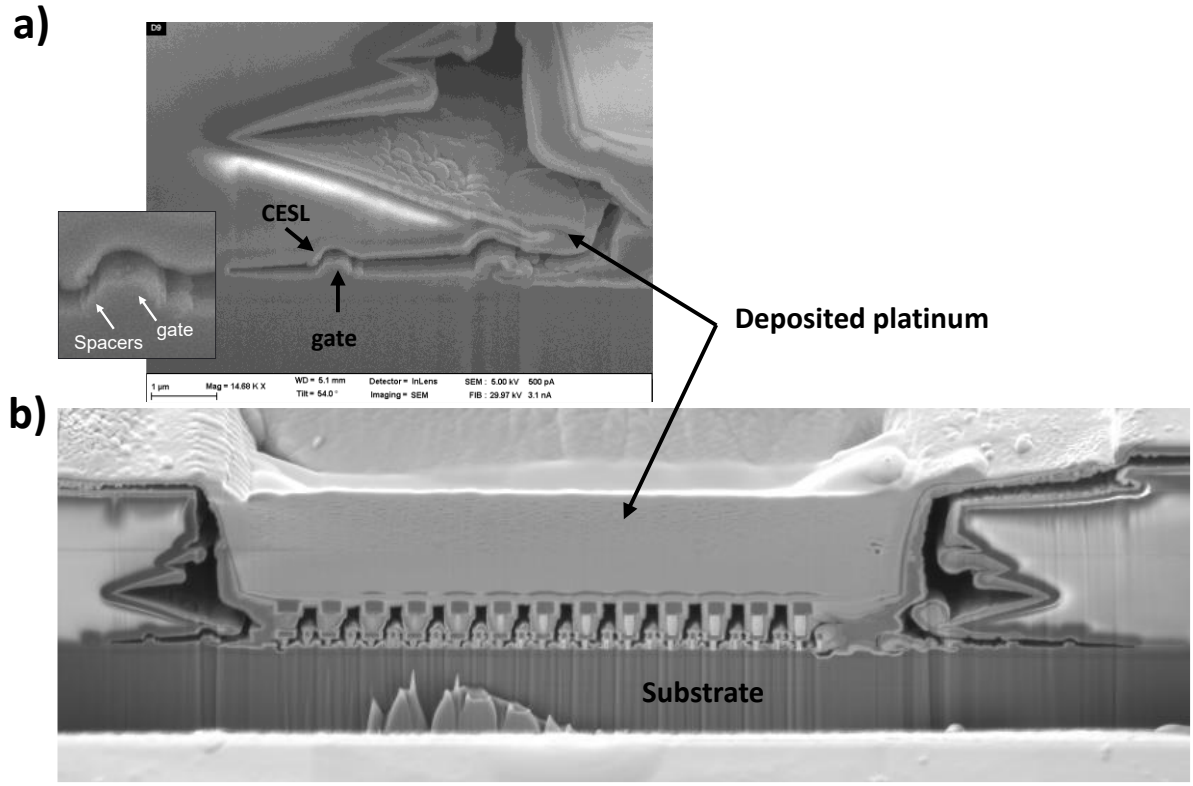


Fig. 56 : Image SEM en plan de coupe illustrant l'impact destructeur du HF sur la structure : a) vue agrandie et b) vue globale.

3.3.7 Procédé sur structures du masque Nightingale

Parallèlement, la réception des structures Nightingale a conduit à un basculement vers ces nouveaux dispositifs. La première étape a consisté à adapter le procédé de gravure à cette architecture. Contrairement aux structures Tweeny, la surface des structures Nightingale n'est pas plane, ce qui permet de repérer directement le centre sans recourir à une première cavité réalisée au FIB jusqu'au niveau M4. De plus, comme décrit au Chapitre 2, la structure Nightingale ne comporte que trois niveaux métalliques, dont un seul central (M1), ce qui réduit le nombre d'étapes nécessaires à la mise en œuvre du procédé.

Cependant, la topologie tridimensionnelle de la surface impose d'augmenter l'épaisseur de la couche d'alumine à 120 nm afin de garantir une protection efficace. La Fig. 57 présente des images SEM de la

surface des structures Nightingale avant et après dépôt et gravure HF, mettant en évidence un recouvrement insuffisant dans certaines zones lorsque l'épaisseur déposée est trop faible. Néanmoins, cette même topologie de surface offre un avantage significatif : elle permet de réduire le nombre d'étapes de gravure par FIB, les niveaux métalliques étant directement visibles et ne nécessitant plus une recherche préalable par cavités successives. La Fig. 58 présente le schéma du procédé de gravure intégrant les différentes modifications apportées afin d'adapter la méthode aux spécificités des structures Nightingale.

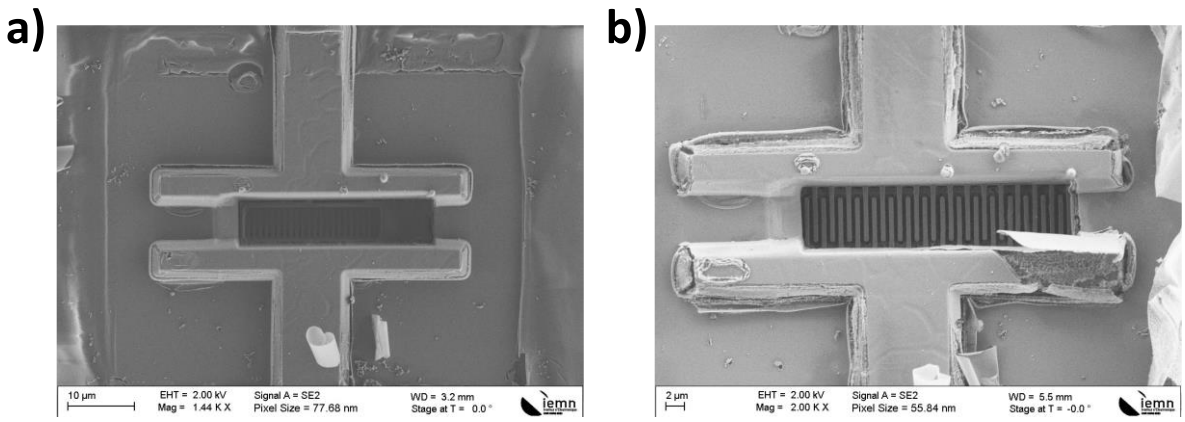


Fig. 57 : **:** Image SEM en vue de dessus montrant : a) la topologie tridimensionnelle de la structure Nightingale, et b) la non-conformité du dépôt d'alumine après gravure HF.

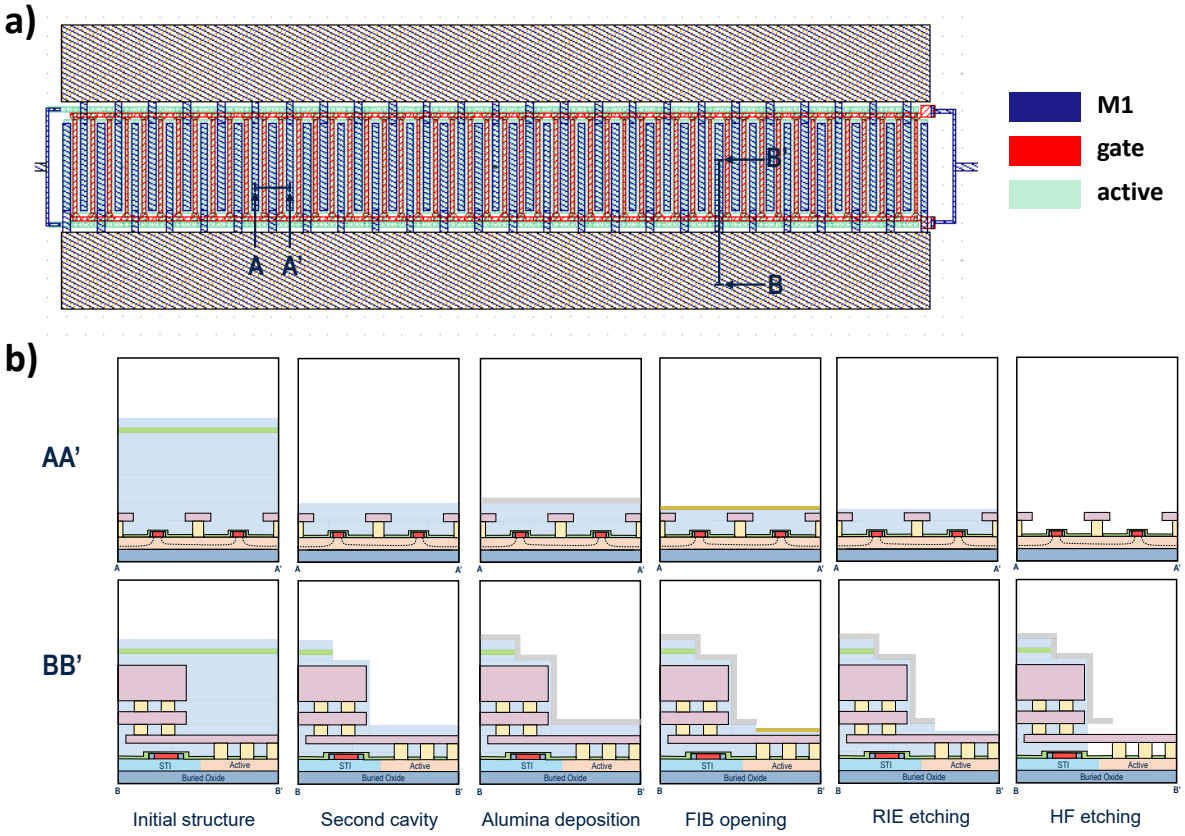


Fig. 58 : a) Layout en vue de dessus de la structure Nightingale, indiquant les deux plans de coupe (AA' et BB') et b) Schéma du procédé de gravure représenté le long des plans de coupe AA' et BB'.

Le procédé de gravure a été mené à son terme et a permis d'obtenir de nombreux clichés comparables à ceux obtenus sur les structures Tweeny. La Fig. 59 présente des images SEM de structures Nightingale ayant subi le procédé, avec différents temps de gravure. Ces observations offrent ainsi une vue représentative de la structure à plusieurs emplacements du niveau M1, permettant d'évaluer l'évolution de la gravure en fonction de la durée d'exposition.

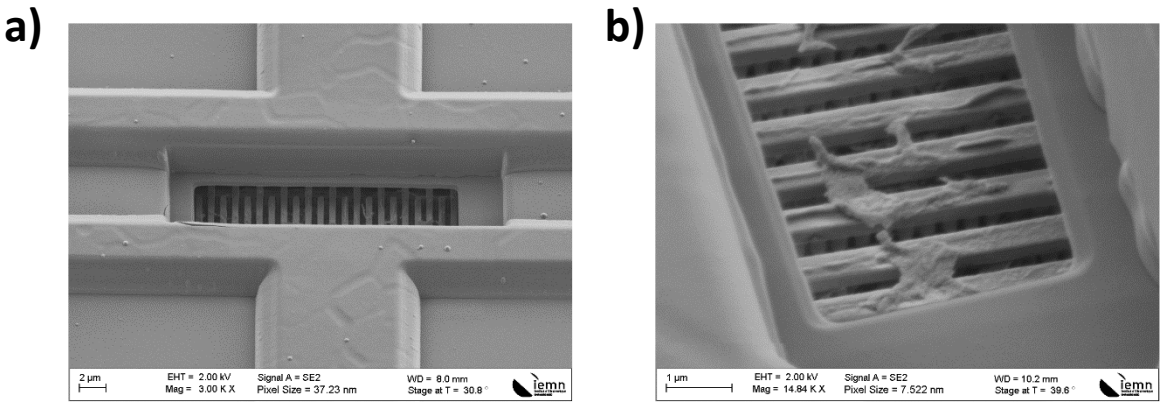


Fig. 59 : a) Image SEM d'une structure Nightingale après réalisation complète du procédé b) Image SEM agrandi et tilté d'une autre puce Nightingale de même dimension

Une caractérisation électrique préliminaire en régime statique (DC) a été réalisée sur l'ensemble des structures afin d'évaluer leur bon fonctionnement avant toute mesure RF. Cependant, ces tests ont révélé la présence systématique de courts-circuits, y compris sur les échantillons ayant subi une gravure de faible profondeur, rendant ainsi toute caractérisation radiofréquence ultérieure impossible. Les résultats détaillés des mesures sont disponibles au Chapitre 4. L'analyse a montré que ces dysfonctionnements étaient liés à l'accumulation de charges induite par les ions Ga^+ du FIB lors de la gravure, phénomène responsable de la formation des courts-circuits. Les structures Nightingale se sont révélées particulièrement sensibles à cet effet, en raison de la présence du niveau M3 directement en surface. Pour pallier ce problème, le procédé FIB a été adapté : durant la gravure, une pointe est placée sur l'un des pads de mesure afin de dissiper les charges accumulées.
Néanmoins, les difficultés liées au contrôle précis de la gravure par HF vapeur persistent. En conséquence, il a été décidé de revenir au procédé initial reposant uniquement sur la gravure FIB, en attendant l'aboutissement des procédés alternatifs présentés en section 3.4. Dans ce cadre, la structure Nightingale s'avère particulièrement adaptée, puisqu'elle ne comporte qu'un seul niveau métallique central. Cela permet la réalisation de tranchées directement entre les doigts métalliques, ces derniers étant situés dans la zone d'impact maximale identifiée par les simulations du chapitre 2. La Fig. 60 illustre ces tranchées ainsi que des plans de coupe associés, permettant de mieux appréhender la morphologie de la gravure. Ces structures constituent, à ce jour, les résultats les plus prometteurs en termes de R_{ON} et C_{OFF}.

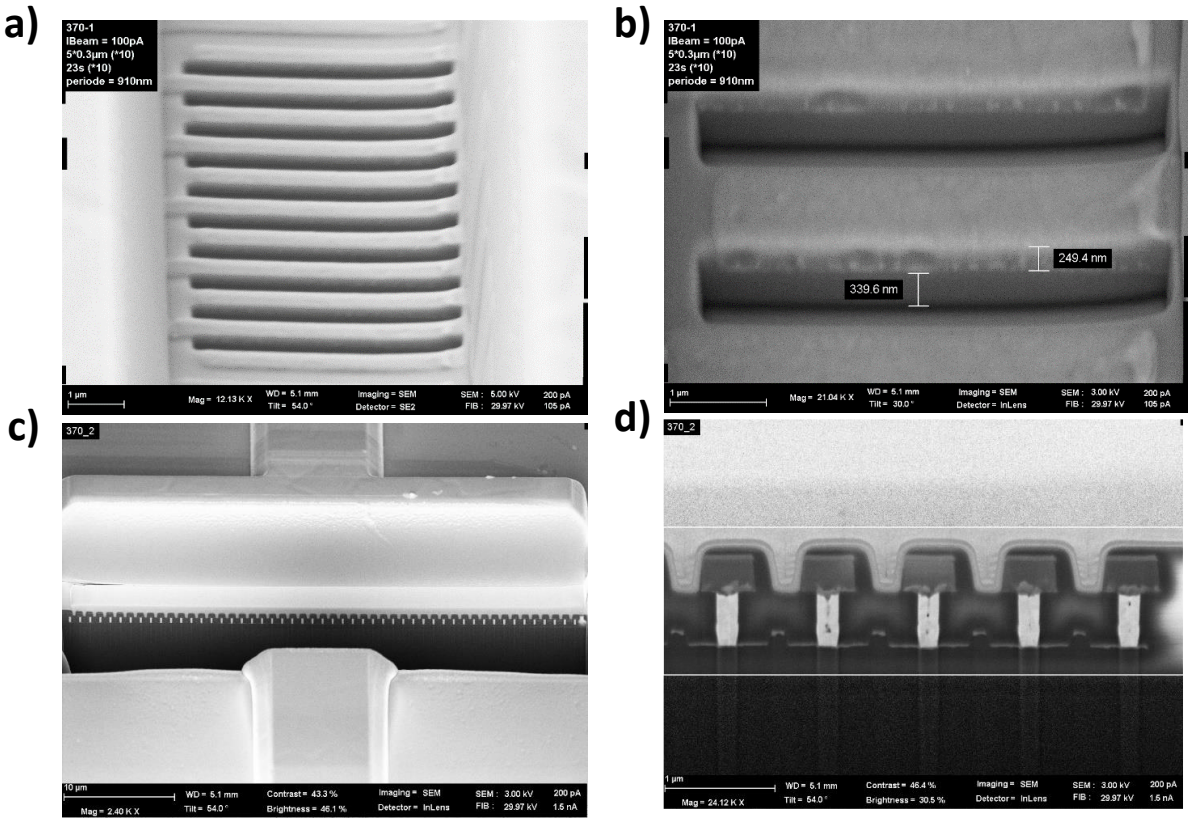


Fig. 60 : **a)** Image SEM d'une structure Nightingale après réalisation des tranchées par FIB : a) vue de dessus, b) vue de dessus agrandie, c) plan de coupe, et d) plan de coupe agrandi.

3.4 Procédés parallèles

3.4.1 Procédé de protection post-gravure

Au-delà du procédé principal, le retrait de l'oxyde fragilise la structure, rendant indispensable la mise en place d'une étape complémentaire de protection. Cette étape peut en effet fragiliser le dispositif, tant sur le plan mécanique que vis-à-vis de la résistance à l'humidité ou à la contamination particulaire. Ce problème est inhérent au procédé air-gap, en raison de la nature même du mécanisme de gravure et de libération du matériau sacrificiel. D'autres méthodes de formation de microcavités, reposant par exemple sur des dépôts structurés ou des matériaux à porosité contrôlée, ne sont pas soumises à ce type de contrainte. [KOH00] [GOS07] [GRA08] [WAR21] [HAR07] [NOG09] [NAT14] [PEN17] [HU18] [PRA21]
Pour pallier ces problèmes, deux procédés parallèles ont été développés.

Le premier consiste à protéger la structure après la gravure en l'encapsulant par un liner isolant. L'idée est de déposer une fine couche protectrice, telle qu'un oxyde, afin de préserver l'intégrité de la surface tout en maintenant la cavité ouverte. Des travaux antérieurs ont montré qu'il est possible de réaliser une gravure HF à travers une matrice de trous. Ainsi, des ouvertures localisées, obtenues par FIB, permettent de limiter la surface à recouvrir par le liner tout en autorisant l'évacuation de l'oxyde. Cette méthode protège la surface et conserve l'intégrité globale de la structure.
La première étape a été de déterminer la taille minimale des trous nécessaires : suffisamment grands pour permettre l'action du HF, mais assez petits pour être recouverts lors du dépôt sans reboucher la

cavité. Le dépôt retenu est un oxyde réalisé par PECVD (Plasma Enhanced Chemical Vapor Deposition). Cette technique a l'avantage de produire des dépôts non conformes, c'est-à-dire plus épais sur les surfaces planes qu'au fond des cavités. Ce comportement est ici exploité pour recouvrir efficacement la surface sans obstruer complètement les tranchées. Les paramètres typiques incluent une pression de l'ordre de quelques centaines de mTorr, une température modérée (200–400 °C), ainsi qu'une puissance plasma ajustée pour contrôler la densité du dépôt. Contrairement à l'ALD, qui offre un dépôt parfaitement conforme et risquerait de boucher les cavités, le PECVD permet un équilibre optimal entre protection et accessibilité.

Afin de valider cette approche, des tranchées de largeur comprise entre 60 et 200 nm ont été réalisées par FIB, puis recouvertes d'une couche d'oxyde déposée par PECVD avec une épaisseur de 200 nm. La recette retenue pour le dépôt présente les paramètres suivants : une puissance de 20 W, une température de 300 °C et une pression de 1 Torr pour une durée de 2min33. Des plans de coupe ont ensuite été effectués afin de vérifier la continuité et la conformité du dépôt. Des repères locaux ont été ajoutés au FIB pour retrouver facilement les zones après dépôt. Plusieurs essais successifs ont permis d'ajuster les paramètres de dépôt et ont montré qu'un dépôt itératif, réalisé en plusieurs couches minces, permettait d'obtenir une protection homogène tout en maintenant la cavité ouverte. Les résultats correspondants sont présentés en Fig. 61.

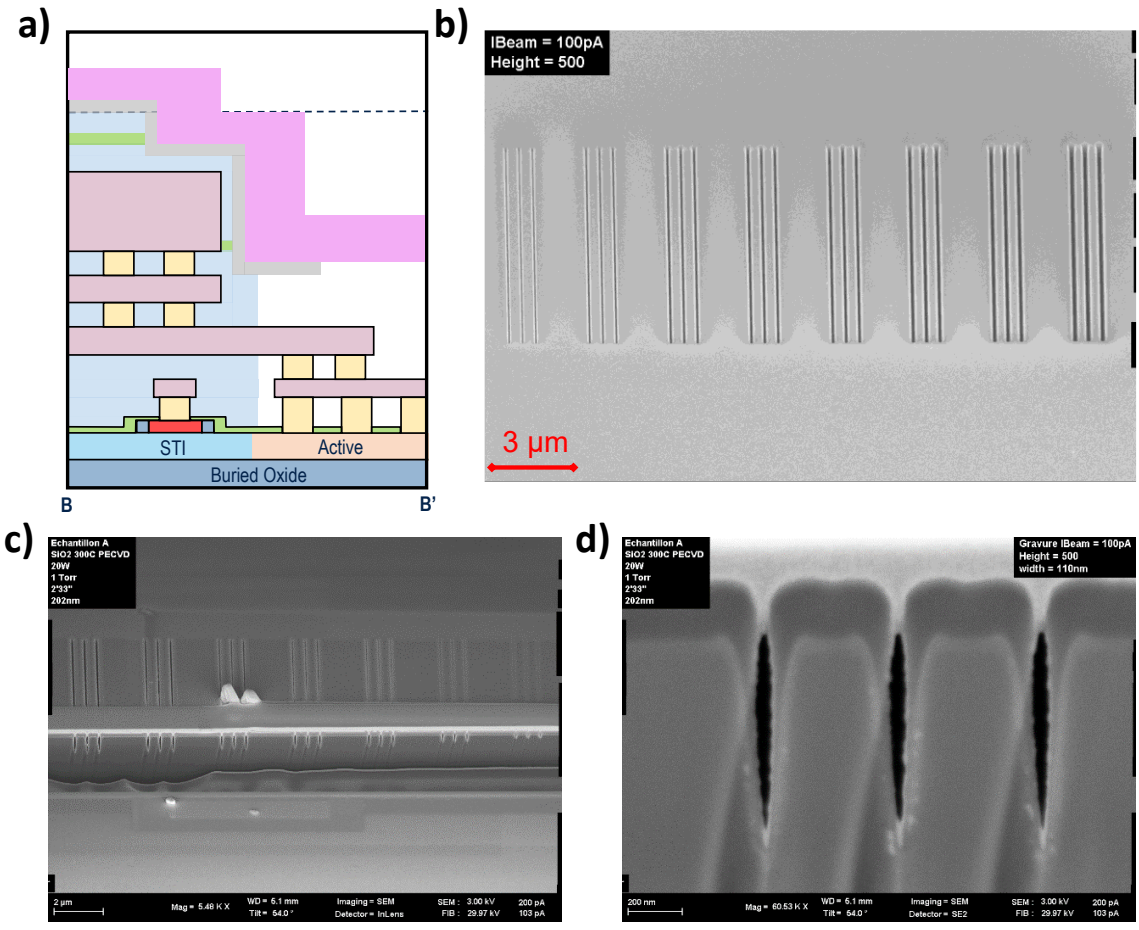


Fig. 61 : a) Schéma de principe de la couche protectrice, b) image SEM en vue de dessus des tranchées, c) plan de coupe après dépôt, et d) zoom sur des tranchées de 200 nm partiellement recouvertes.

3.4.2 Vers un contrôle poussé de la gravure au HF

Le second procédé vise à protéger le fond de cavité, zone particulièrement vulnérable face à la gravure agressive du HF. L'objectif est de déposer un matériau jouant le rôle de barrière sélective, afin de stopper la gravure avant que le substrat ou la grille ne soient atteints. Le matériau retenu est l'aluminium nitrure (AlN), qui présente une excellente résistance au HF, le rendant particulièrement adapté comme masque chimique. De plus, l'AlN se distingue par une conductivité thermique élevée, de l'ordre de 140–180 $W \cdot m^{-1} \cdot K^{-1}$ selon les conditions de dépôt, ce qui favorise la dissipation thermique dans les structures soumises à des régimes RF de forte puissance. Cette double fonction – barrière chimique et gestion thermique – fait de l'AlN un candidat idéal pour renforcer la robustesse du procédé et améliorer la fiabilité des dispositifs gravés. Ce procédé fait l'objet d'un dépôt de brevet mais ne pourra pas être mis en œuvre dans le cadre de cette étude. L'introduction d'une couche d'AlN dans la structure marque une rupture avec l'approche post-procédé développée jusqu'ici. En effet, contrairement aux techniques de gravure et de protection réalisées sur des puces déjà fabriquées, l'intégration de l'AlN nécessite une modification du process flow en salle blanche, c'est-à-dire une adaptation directe du procédé de fabrication en environnement industriel. Cette étape doit être réalisée avant la fin du procédé CMOS, au sein même de la filière technologique, afin d'assurer la compatibilité de l'AlN avec les matériaux et les contraintes thermiques du procédé. Ainsi, l'étude de cette intégration dépasse le cadre des travaux expérimentaux menés sur des échantillons post-procédés et s'inscrit dans une perspective d'industrialisation du concept.
Néanmoins, une telle approche présente un fort potentiel pour porter le procédé à un niveau industriel, au-delà de la simple preuve de concept. La Fig. 62 illustre l'intégration d'une couche d'AlN dans la structure.

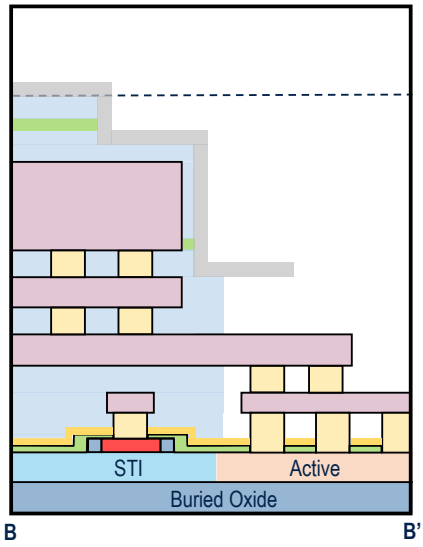


Fig. 62 : Schéma illustrant l'intégration de la couche d'AlN au-dessus du nitrure CESL

3.5 Conclusion du chapitre 3

L'exploration des différentes méthodes de gravure a mis en lumière autant de solutions que de limites. Le FIB s'est avéré efficace pour des ouvertures précises mais reste contraint par sa profondeur et par les dommages induits, comme les résidus de gallium. Le RIE a montré sa pertinence pour une attaque sélective, mais son caractère isotrope empêche de maîtriser finement la géométrie des cavités. Quant

au HF vapeur, bien qu'il permette d'évider efficacement l'oxyde, il présente une agressivité difficilement contrôlable, entraînant des dégradations irréversibles de la grille et du substrat. Les tentatives d'encapsulation par alumine et par AlN ont apporté des pistes de stabilisation, sans toutefois éliminer totalement les risques de courts-circuits ou de perte d'intégrité mécanique. Ces résultats montrent que si l'approche par microcavités est prometteuse pour réduire C_{OFF}, le procédé de gravure demeure le principal verrou technologique, nécessitant des stratégies de protection et de contrôle plus robustes avant d'envisager une transposition industrielle.

Néanmoins, l'association de l'ensemble de ces procédés a permis d'obtenir plusieurs structures prêtes à être caractérisées. Qu'il s'agisse de mesures statiques ou radiofréquences, elles conservent un fort potentiel et ouvrent la voie à une analyse approfondie de leurs performances. Les caractérisations porteront notamment sur les paramètres clés des commutateurs RF, tels que le R_{ON}, le C_{OFF} et la tenue en puissance, afin d'évaluer de manière objective l'apport des microcavités et de confronter les résultats expérimentaux aux simulations.

Chapitre 4 : Caractérisation et analyse des résultats

4.1 Introduction

Ce chapitre est dédié à la caractérisation expérimentale des structures de commutateurs RF étudiés avec introduction de microcavités d'air dans le réseau d'interconnexion. Il représente également l'aboutissement des efforts menés autour de la simulation et du développement de procédés de gravure, puisqu'il permet de vérifier expérimentalement la validité des approches de procédés technologique et de modélisation proposées et d'évaluer concrètement les performances des dispositifs intégrant des microcavités. Plus encore, la caractérisation constitue un passage essentiel afin d'identifier les bénéfices et les limites réelles du procédé, et de situer son intérêt par rapport à l'état de l'art. Afin de garantir une analyse rigoureuse et exhaustive, cette partie est organisée en trois volets principaux.

La première section est consacrée à la caractérisation statique. Elle a pour objectif de s'assurer du bon fonctionnement électrique des puces avant d'entamer des mesures radiofréquences plus exigeantes en temps et en ressources. La mise en place du banc de mesure est décrite, en précisant les instruments utilisés et le branchement sur les pads des dispositifs. Les mesures de type I_{DS}-V_{GS} et I_{DS}–V_{DS}, déjà introduites dans la partie simulation, sont reprises ici afin de confirmer l'intégrité et la fiabilité des structures étudiées.

La deuxième section regroupe la description du setup RF ainsi que la présentation des résultats radiofréquences. Après avoir détaillé l'instrumentation mise en œuvre, le choix des sondes et la procédure de calibration — notamment la calibration SOLT (Short-Open-Load-Thru), indispensable pour ramener les mesures dans le plan des sondes et compenser les pertes introduites par les sondes et les câbles — l'accent est mis sur l'extraction des paramètres clés. Trois grandeurs fondamentales pour l'évaluation des commutateurs RF sont considérées : la capacité C_{OFF}, la résistance R_{ON}, et la tenue en puissance. Chacune de ces mesures est analysée sur une plage fréquentielle large, permettant de caractériser précisément l'impact des microcavités sur les performances globales des dispositifs.

Enfin, une troisième section propose une discussion des résultats. Cette partie met en perspective les performances obtenues en les comparant avec les références issues de l'état de l'art. Elle permet de souligner les apports concrets du procédé, d'identifier les éventuelles limites, et d'ouvrir la voie à des pistes d'optimisation futures.

4.2 Etude statique des puces après procédé

4.2.1 Setup et paramètres de mesure

La première étape de la caractérisation consiste en des mesures statiques, indispensables pour vérifier le bon fonctionnement électrique des puces avant de réaliser des mesures RF, plus coûteuses en temps et en ressources. Ces mesures sont effectuées à l'aide d'unités de mesure et de source (SMU) connectées aux pads de contact de la structure. La Fig. 63 présente une image optique de la zone de mesure, mettant en évidence les dix pads disponibles, répartis de manière symétrique avec cinq pads de chaque côté. Leur disposition suit une alternance entre masses (ground) et signaux. Parmi les pads signal, on retrouve la source et le drain, qui constituent les deux ports principaux pour les mesures RF, ainsi que la grille et le body, généralement polarisés en statique au cours des mesures. Cette figure illustre également la correspondance entre chaque pad et sa fonction. La configuration des pads est

similaire pour les structures Tweeny et Nightingale. Les figures 63-c et 63-d mettent en évidence la géométrie interdigitée des doigts métalliques, caractéristique de l'architecture du commutateur.

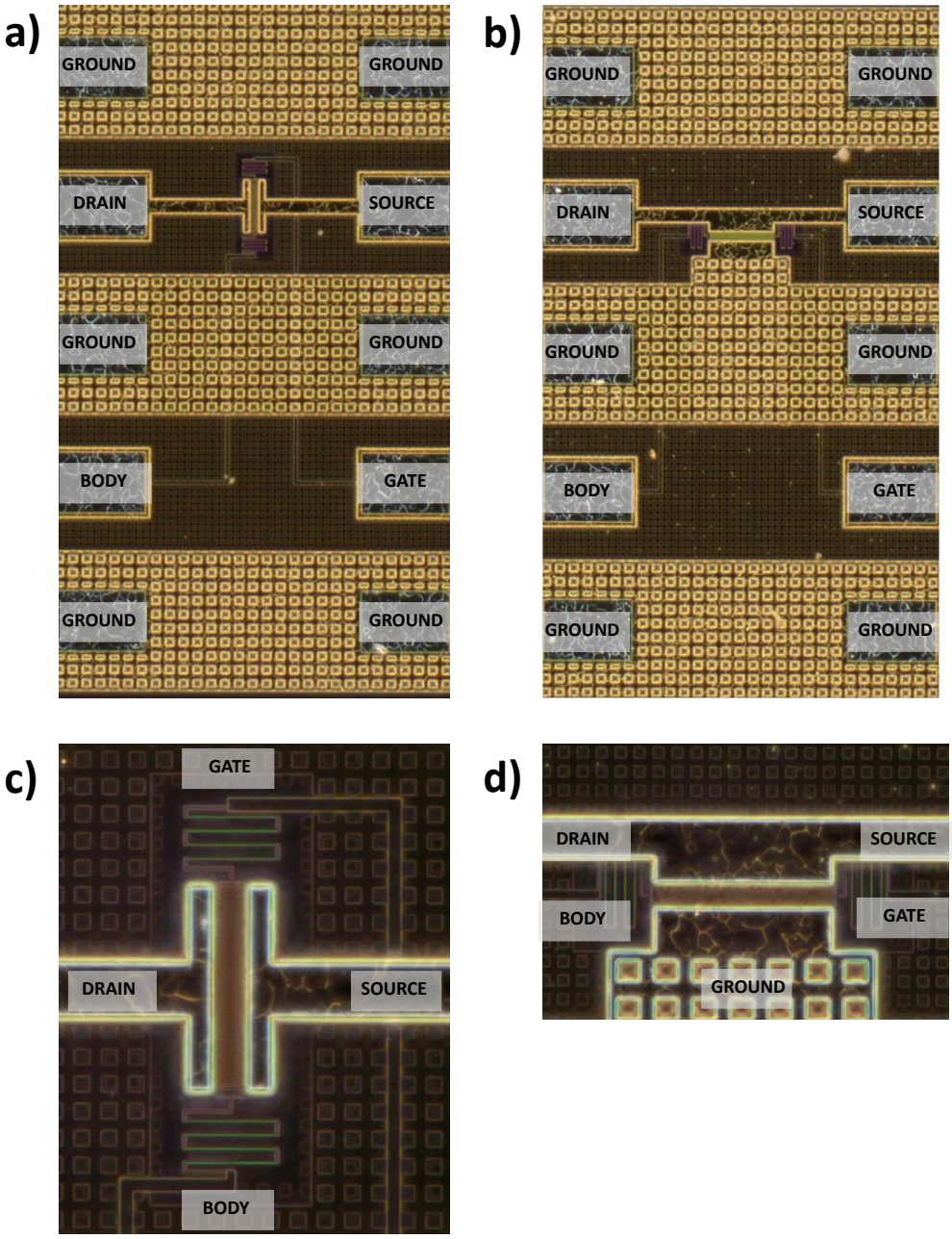


Fig. 63 : Image optique montrant la disposition des pads de mesure pour : a) une structure C_{OFF} Tweeny 220 élément 4, b) une structure Nightingale 370 élément 2, c) une vue agrandie de la structure Tweeny, d) une vue agrandie de la structure Nightingale.

Pour cette étape, les mesures statiques de type I_{DS}–V_{GS} et I_{DS}–V_{DS} décrites au chapitre 2 sont reproduites dans les mêmes conditions expérimentales, afin de permettre une comparaison directe avec les résultats de simulation. Ces mesures fournissent des informations essentielles : la caractéristique I_{DS}–V_{GS} permet notamment d'extraire la tension de seuil et d'examiner le comportement sous le seuil, indicateurs clés du bon fonctionnement du transistor. La caractéristique I_{DS}–V_{DS}, quant à elle, donne accès à la résistance à l'état passant (R_{ON}) par l'intermédiaire de la pente à l'origine, fournissant une estimation directe de la qualité de conduction du canal.

Ces mesures constituent ainsi un prérequis indispensable avant d'aborder les mesures RF, car elles garantissent l'intégrité des dispositifs et la cohérence des résultats à venir. Ces mesures statiques ont été réalisées sur les deux types de structures étudiées, à savoir les structures Tweeny et Nightingale. Afin de faciliter le suivi et la comparaison des résultats, chaque dispositif a été référencé selon une nomenclature précise. Les Tables V et VI rassemblent ainsi l'ensemble des structures utilisées lors de la caractérisation, en indiquant leurs dimensions principales (longueur de grille, largeur totale, pitch poly, nombre de doigts, etc.) ainsi que leur dénomination normalisée. Cette organisation permet de relier directement chaque jeu de résultats expérimentaux aux caractéristiques géométriques des dispositifs testés, et de mettre en évidence l'influence des paramètres dimensionnels sur les performances électriques.

name	element	width finger (µm)	width (µm)	Lg on mask (µm)	Lg drawn (mask) (µm)	Lg physical (µm)	pitch poly (µm)
214	1	10	250	0,22	0,28	0,185	0,86
214	2	10	250	0,22	0,28	0,185	0,86
214	3	10	250	0,22	0,28	0,185	0,92
214	4	10	250	0,22	0,28	0,185	0,92
216	1	10	250	0,18	0,24	0,145	0,86
216	2	10	250	0,18	0,24	0,145	0,86
216	3	10	250	0,18	0,24	0,145	0,92
216	4	10	250	0,18	0,24	0,145	0,92
218	1	10	250	0,16	0,22	0,12	0,86
218	2	10	250	0,16	0,22	0,12	0,86
218	3	10	250	0,16	0,22	0,12	0,92
218	4	10	250	0,16	0,22	0,12	0,92
220	1	10	250	0,14	0,2	0,11	0,86
220	2	10	250	0,14	0,2	0,11	0,86
220	3	10	250	0,14	0,2	0,11	0,92
220	4	10	250	0,14	0,2	0,11	0,92

Table V : Tableau comparatif des dimensions des structure Tweeny

name	element	width finger (µm)	width (µm)	Lg on mask (µm)	Lg drawn (mask) (µm)	Lg physical (µm)	pitch poly (µm)
369	1	0,38	250	0,18	0,24	0,145	0,74
369	2	0,38	250	0,16	0,22	0,12	0,74
369	3	0,38	250	0,14	0,2	0,11	0,74
369	4	0,38	250	0,12	0,18	1	0,74
370	1	0,38	250	0,18	0,24	0,145	0,82
370	2	0,38	250	0,16	0,22	0,12	0,82
370	3	0,38	250	0,14	0,2	0,11	0,92
370	4	0,38	250	0,12	0,18	1	0,92
371	1	0,38	250	0,18	0,24	0,145	1,2
371	2	0,38	250	0,16	0,22	0,12	1,2
371	3	0,38	250	0,14	0,2	0,11	1,2
371	4	0,38	250	0,12	0,18	1	1,2

Table VI : Tableau comparatif des dimensions des structure Nightingale

Pour rappel, deux mesures statiques fondamentales ont été décrites dans le chapitre 2 : les mesures I_{DS}-V_{GS} et I_{DS}-V_{DS}. La mesure I_{DS}-V_{GS} consiste à faire varier la tension de grille entre –2,5 V et +2,5 V par pas de 0,1 V et de relever relevant le courant de drain, tout en faisant varier V_{DS} entre 0.1V et 1.1V par pas de 0.2V. De leur côté, la grille et le body sont polarisés à 0 V, assurant ainsi un état de référence pour la caractérisation électrique. Cette caractérisation permet de vérifier le bon fonctionnement de la structure et d'extraire la tension de seuil, en fixant une valeur de courant de référence à 100 nA. En parallèle, la mesure I_{DS}-V_{DS} repose sur la variation de la tension de drain entre 0 V et 0,5 V, par pas de 10 mV, avec la grille polarisée de 0 V à 2,5 V par pas de 0,5 V. Ici également, la grille et le body sont maintenus à 0 V. Elle permet d'obtenir une approximation de la résistance à l'état passant (R_{ON}) par

application de la loi d'Ohm à la pente initiale de la courbe. Ces deux mesures constituent la base de l'évaluation électrique des dispositifs et serviront de point de vérification des structures

4.2.2 Résultats statiques et impact du recuit thermique

Chaque mesure présentée dans cette section est systématiquement comparée à une structure de référence de dimensions identiques, afin de garantir la validité des résultats et d'assurer le bon fonctionnement des dispositifs étudiés. Cette partie met en évidence des caractérisations fonctionnelles réalisées sur les structures Tweeny et Nightingale, tout en illustrant comment certains dysfonctionnements initiaux ont pu être corrigés par l'application d'un recuit thermique.

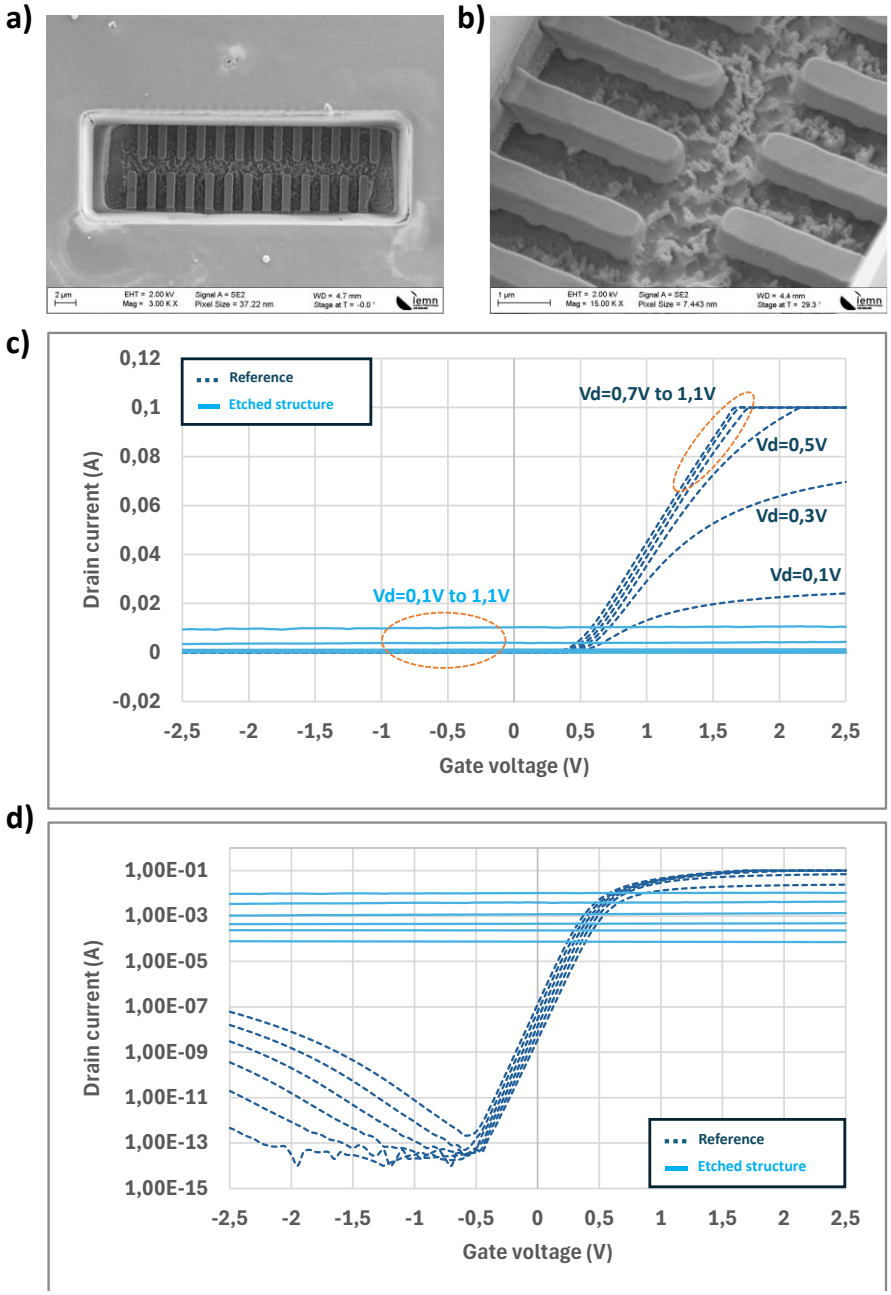


Fig. 64 : a) Image SEM de la puce F5 gravée, b) image agrandie montrant le fond de cavité, c) Graphique du courant de drain en fonction de la tension de grille pour différentes tensions de drain, comparant une puce de référence et la puce impactée par la gravure et d) Représentation en échelle logarithmique des mêmes mesures afin de mettre en évidence la perte de contrôle de la grille sur la puce gravée.

La Fig. 64 illustre cette comparaison en présentant les courbes Id–Vg d'une puce Tweeny fonctionnelle et d'une puce défectueuse, cette dernière ayant été altérée par la gravure. Cette dernière a subi le procédé complet de gravure au HF. Les mesures ont été réalisées sur des structures de type 218, élément 2, caractérisées par une longueur de grille de 120 nm et un pitch poly de 0.92 µm. Néanmoins, comme décrit dans le chapitre 3, cette gravure, particulièrement agressive, a endommagé la grille ainsi que le substrat. Il est important de noter que la puce impactée par la gravure ne présente plus aucun contrôle électrostatique de grille, son comportement se rapprochant alors de celui d'une simple résistance, traduisant une perte totale de fonctionnalité.

Cette analyse menée sur ces structures est complétée par la Fig. 65, qui présente les mesures $I_{DS}V_{DS}$ obtenues sur ces mêmes dispositifs. Ces caractérisations permettent de confirmer le bon fonctionnement électrique et d'apporter une vision complémentaire aux résultats issus des courbes $I_{DS}V_{GS}$.

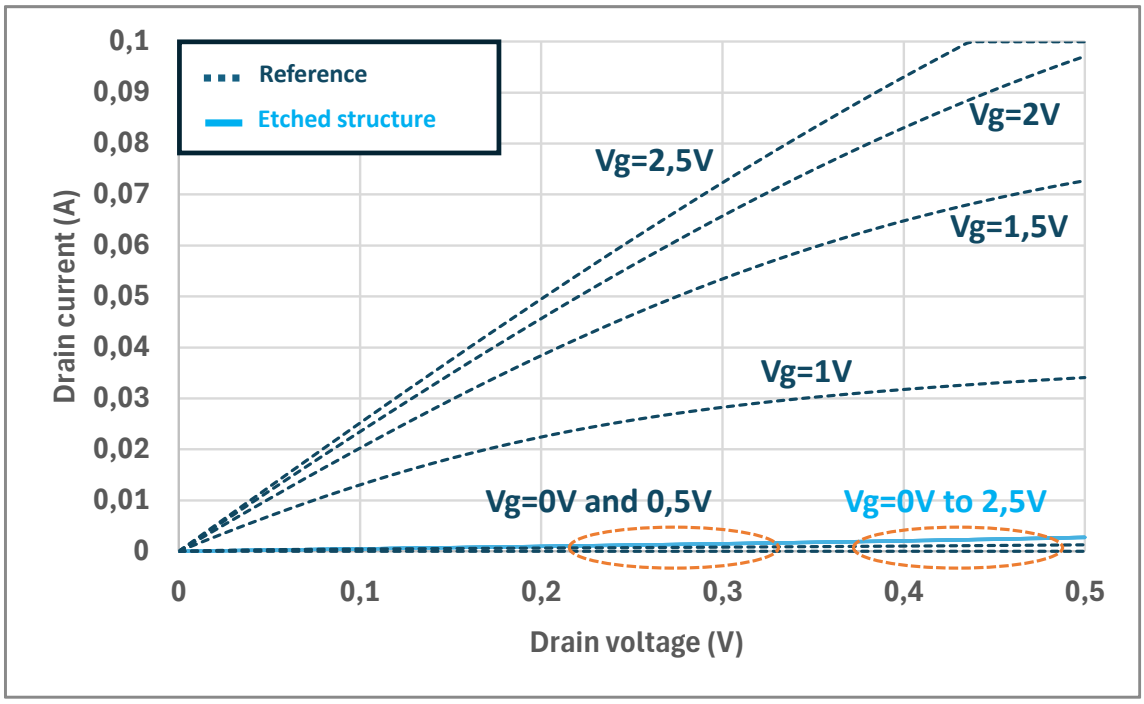


Fig. 65 : Graphique du courant de drain en fonction de la tension de drain pour différentes tensions de grille comparant une puce de référence et la puce impactée par la gravure

La même étude a été réalisée sur les structures Nightingale, et les conclusions rejoignent celles établies pour les structures Tweeny. La Fig. 66 illustre les mesures réalisées sur une puce ayant subi le procédé de gravure par tranchées au FIB. Il arrive également d'observer des états intermédiaires, caractérisés par une structure présentant un faible contrôle électrostatique, mais fortement parasité par des charges piégées dans l'oxyde ou à l'interface oxyde/silicium, rendant ainsi le dispositif difficilement exploitable et donc difficilement exploitable. Ce type de dégradation peut toutefois être corrigé par l'application d'un recuit thermique à basse température (300–400 °C), réalisé sous atmosphère d'azote hydrogéné (forming gas) pendant plusieurs heures.

La Fig. 66 illustre la caractérisation d'une structure ayant subi ce traitement. L'effet du recuit se révèle particulièrement bénéfique, permettant de restaurer un comportement fonctionnel et de récupérer un nombre significatif de puces initialement considérées comme perdues. Ainsi, cette étape de reprise offre un gain significatif en termes de reproductibilité et augmente le nombre de dispositifs exploitables pour les caractérisations RF. Le recuit thermique joue ici un rôle essentiel : il permet de guérir les défauts induits par la gravure FIB, notamment ceux liés à l'implantation d'ions de gallium dans la matrice d'oxyde. Cette implantation engendre en effet une accumulation de charges parasites et peut provoquer la formation de défauts à l'interface oxyde/silicium, altérant le comportement électrique des dispositifs. Le recuit, effectué à basse température sous atmosphère d'azote hydrogéné, favorise la passivation de ces défauts et la restauration partielle des propriétés électriques initiales. Ce seront donc ces puces traitées par FIB puis recuites qui serviront de base à l'étude radiofréquence développée dans la section suivante.

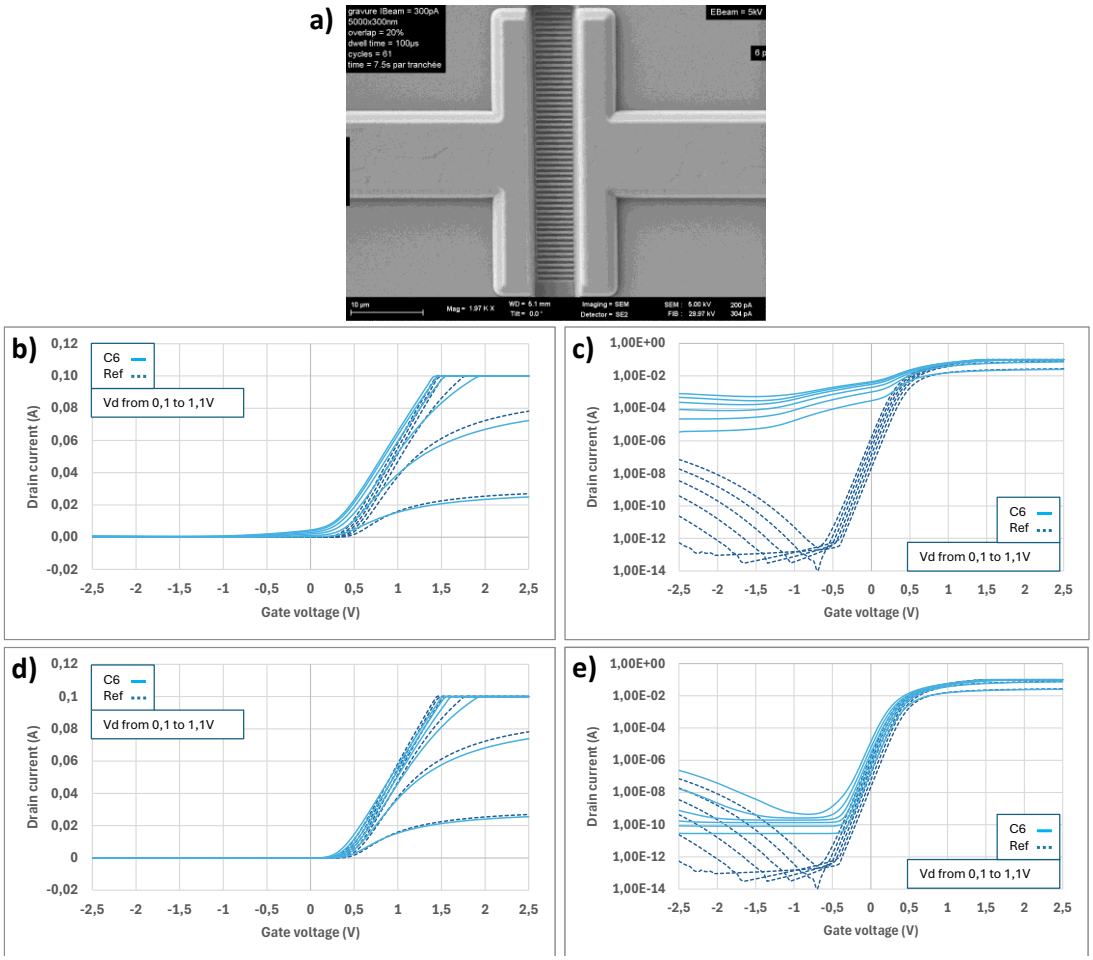


Fig. 66 : a) Image SEM d'une structure Nightingale présentant des tranchées réalisées au FIB ; b) courbe I_{DS}-V_{GS} comparant la mesure de la structure gravée avec celle d'une puce de référence ; c) représentation en échelle logarithmique de la même comparaison ; d) courbe I_{DS}-V_{GS} après recuit thermique confrontée à la référence ; e) représentation en échelle logarithmique de la mesure post-recuit comparée à la référence.

4.3 Etude radiofréquence des puces après procédé

4.3.1 Banc et protocole de mesure en radiofréquence

Les mesures sont réalisées sur les structures 214, 216, 218 et 220 élément 4 pour les dispositifs Tweeny. Pour les structures Nightingale, l'étude de C_{OFF} est effectuée sur les structures 369, 370 et 371 éléments 1, 2, 3 et 4, tandis que l'extraction du R_{ON} concerne les structures 383, 384 et 385 éléments 1, 2, 3 et 4. Les dimensions exactes de ces dispositifs sont rappelées dans les Tables V et VI.

Le banc de mesure RF repose sur l'utilisation d'un analyseur de réseau vectoriel (VNA) ZNA 67 GHz de Rohde & Schwarz, permettant la mesure précise de l'amplitude et de la phase des paramètres S du dispositif. Les connexions électriques avec l'échantillon sont assurées par des sondes RF différentielles de type G–S–G–S–G, comportant deux plots de signal et trois plots de masse, avec un pitch de 100 µm. Cette configuration s'adapte directement à la conception des structures, comme illustré en Fig. 63. Les sondes utilisées sont des i40-SN LP2GC et i40-SN LP2G9, offrant une excellente répétabilité et une faible perte d'insertion sur l'ensemble de la bande de mesure. L'ensemble du dispositif est monté sur une station de mesure sous microscope, garantissant un alignement précis et une reproductibilité optimale lors des caractérisations. Le banc de mesure est visible en Fig. 67.

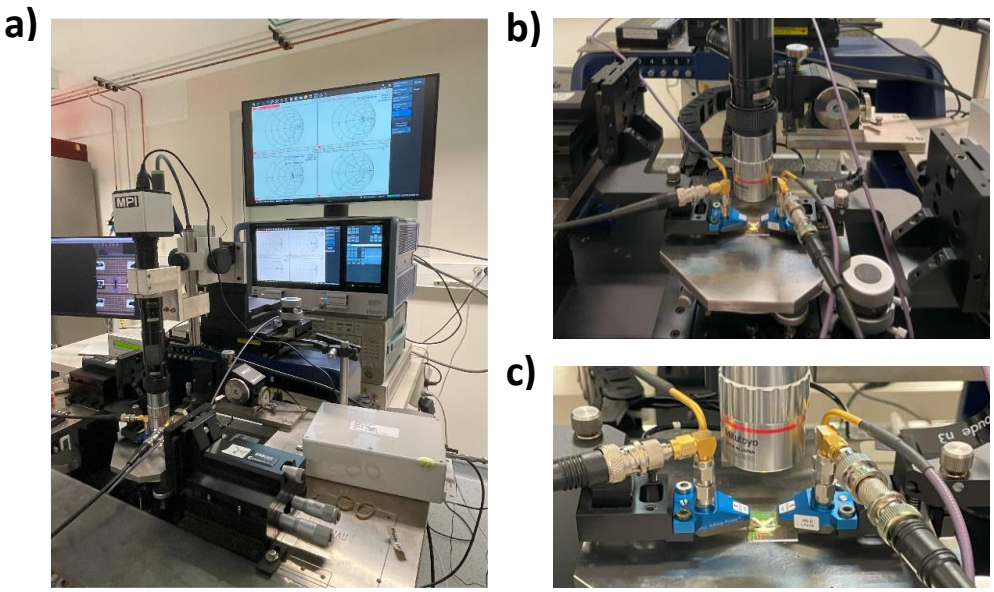


Fig. 67 : a) Photographie du banc de mesure RF, montrant l'analyseur de réseau vectoriel (VNA) connecté aux sondes de mesure, b) et c) vue agrandie focalisée sur les sondes différentielles positionnées sur le dispositif testé, mettant en évidence la précision de l'alignement

Avant chaque série de mesures, une procédure de calibration systématique est réalisée à l'aide d'un kit de calibration SOLT (Short, Open, Load, Through). Cette étape permet de compenser les pertes liées aux câbles, aux sondes et aux connecteurs, et d'assurer la précision des mesures sur la gamme fréquentielle allant de 100 MHz à 18 GHz.

En réalisant successivement ces quatre étapes, il est possible de calculer et de soustraire les erreurs systématiques liées aux déphasages, pertes et réflexions propres au banc de mesure. Ainsi, après calibration, les paramètres S mesurés correspondent uniquement à la réponse de la structure testée, et non à l'environnement de mesure. Afin de garantir une fiabilité maximale, le calibrage est répété avant chaque campagne expérimentale, qu'il s'agisse de puces vierges ou de puces gravées. Cette redondance permet de s'assurer que les résultats obtenus traduisent uniquement la réponse intrinsèque des structures, sans influence de l'environnement de mesure.

4.3.2 Résultats d'extraction de C_{OFF}

Pour imposer l'état bloqué (OFF) du transistor, les ports associés à la grille et au body sont polarisés en statique à –2.5 V. La caractérisation est ensuite effectuée sur une plage de fréquences comprise entre 150 MHz et 18 GHz, couvrant ainsi l'intégralité de la bande utile des structures étudiées. Un pas de 150 MHz est retenu, ce qui conduit à un total de 100 points de mesure. La Fig. 68 illustre les résultats typiques acquis sur une puce vierge utilisée comme référence, avec un abaque de Smith des paramètres S et l'évolution du C_{OFF} en fonction de la fréquence. L'extraction de C_{OFF}, détaillée au Chapitre 2, ne sera pas rappelée ici. Pour mémoire, la structure est assimilée à une cellule en π dont la matrice admittance est identifiée à celle du réseau 2 ports mesuré. Finalement, la valeur du C_{OFF} est extraite à partir de la partie imaginaire du paramètre Y_{12}, selon la relation :

$$C_{OFF} = \frac{Im(-Y_{12})}{2\pi f} \tag{35}$$

La Fig.68 présente également le meilleur résultat obtenu à la suite du procédé de gravure HF appliqué aux structures Tweeny. L'exemple montré correspond à une structure de type 220 élément 4. Dans ce cas, la réduction du C_{OFF} atteint environ 46 pF/m, ce qui représente une diminution relative de l'ordre de 15 %.

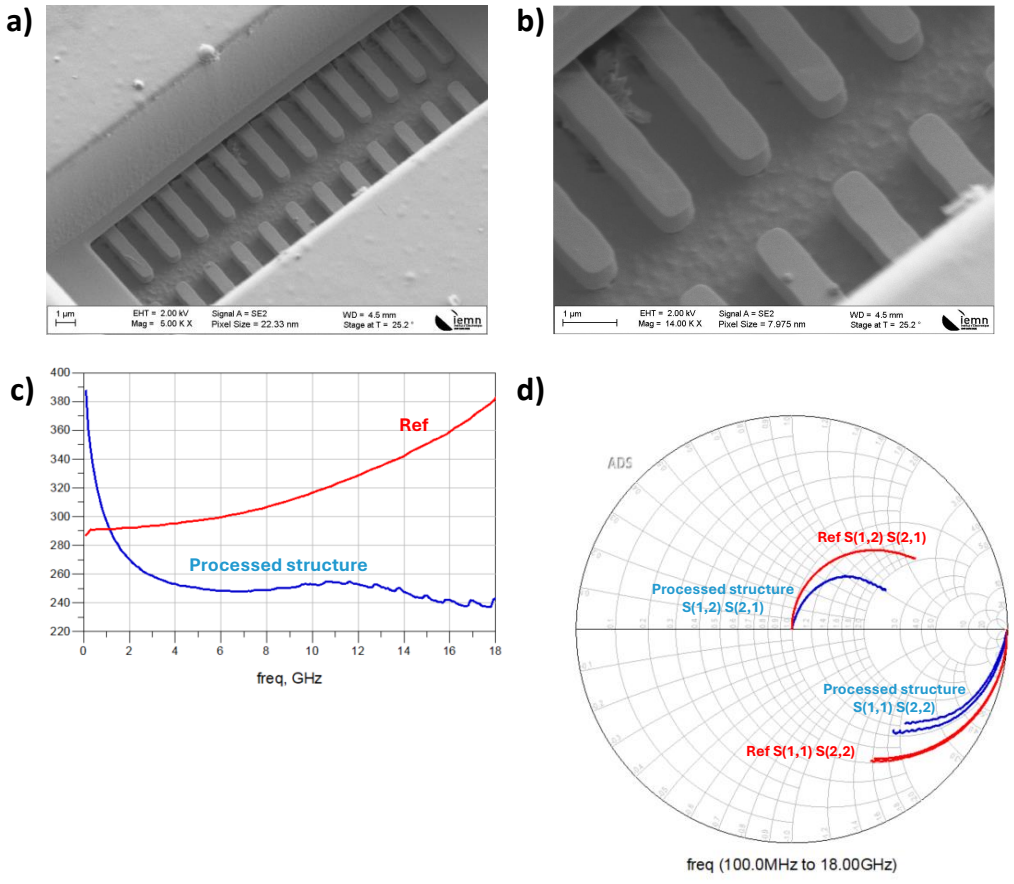


Fig. 68 : a) Image MEB en vue de dessus d'une structure Tweeny ayant subi une gravure HF, b) Image SEM agrandie de la zone gravée, c) évolution du C_{OFF} en fonction de la fréquence pour la structure gravée comparée à une référence, d) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.

Concernant les structures Nightingale, une étude comparative a été menée entre des puces de référence et des puces gravées. La Fig. 69 illustre dans un premier temps les résultats obtenus sur une puce de référence. Deux procédés de gravure ont ensuite été évalués : la gravure au HF et la gravure par tranchées réalisées au FIB. Toutefois, comme démontré dans la section 4.2.2, les structures Nightingale ne restent pas fonctionnelles après gravure au HF, rendant cette approche inadaptée pour cette génération de dispositifs.

En revanche, les résultats obtenus avec le procédé FIB montrent que certaines puces conservent un comportement statique fonctionnel tout en présentant une réduction significative de C_{OFF}. Cela est représenté en Fig. 69, où une caractérisation a été effectuée sur une structure 369 élément 2. Cette dernière illustre clairement la réduction de C_{OFF} observée après la gravure par FIB. La comparaison avec la puce de référence montre que, tout en maintenant un fonctionnement statique satisfaisant, la structure gravée bénéficie d'une réduction d'environ 15 % de la capacité. Ces résultats viennent ainsi enrichir la comparaison globale et confirment que l'intégration de microcavités via FIB constitue une voie prometteuse pour l'optimisation des performances.

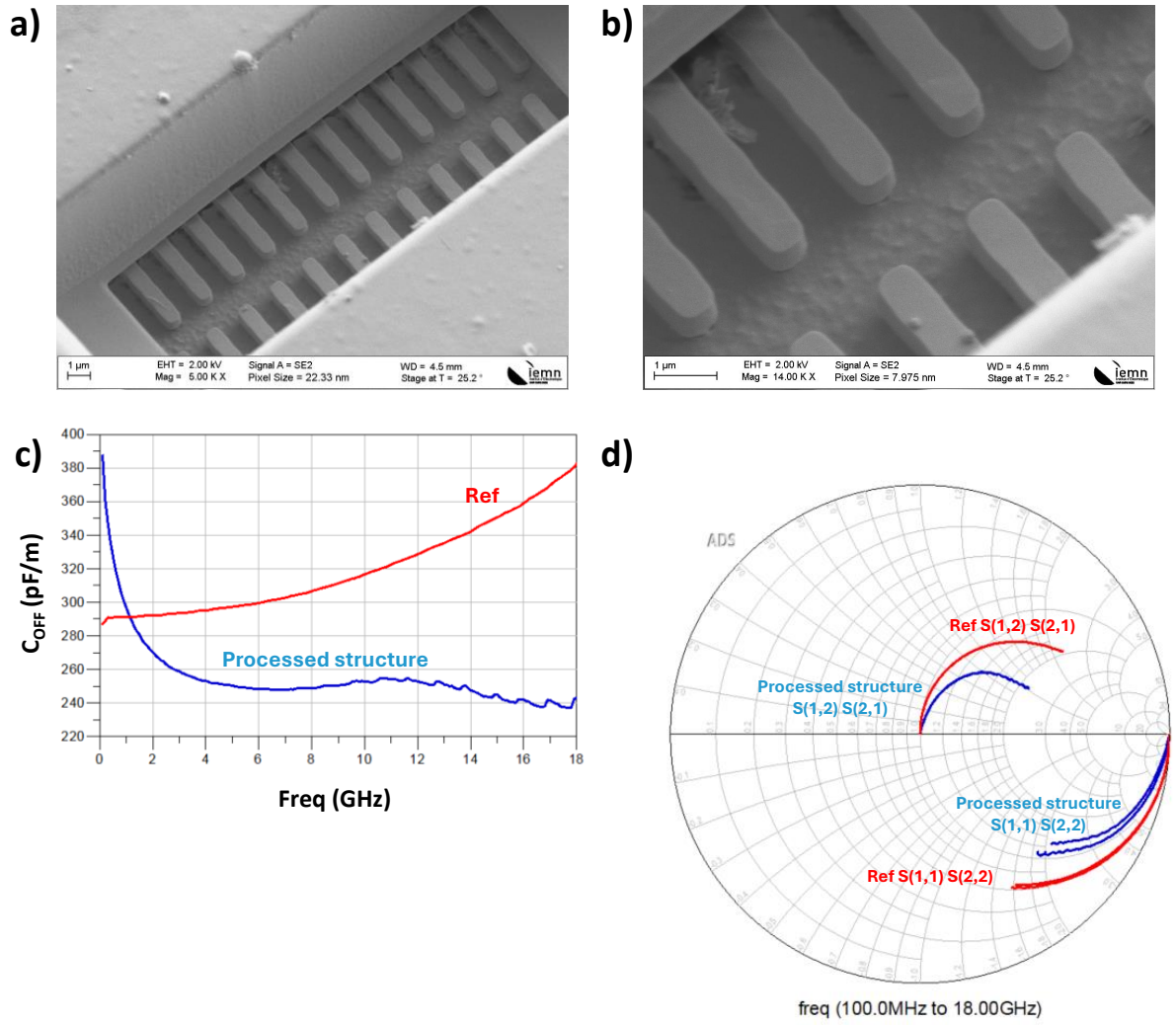


Fig. 69 : a) Image SEM en vue de dessus d'une structure Nightingale ayant subi une gravure FIB, b) Image SEM agrandi mettant en avant les tranchées par gravure FIB, c) évolution du C_{OFF} en fonction de la fréquence pour la structure gravée comparée à une référence et d) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.

Enfin, concernant les résultats obtenus avec les tranchées gravées par FIB, il apparaît que le nombre de données exploitables est nettement plus élevé, le procédé se révélant moins destructeur que les approches précédentes. La réduction de C_{OFF} est quantifiable et met en évidence une diminution moyenne dépendante de la longueur de grille et du pitch poly. La Fig. 70 et la table VII présente les résultats comparatifs entre différentes puces. L'ensemble de ces puces a subi le même procédé de gravure FIB, consistant en la création de tranchées entre les doigts du niveau M1, conformément au procédé décrit précédemment dans le chapitre 2. Une réduction de 12 à 18 % est observée pour un pitch poly de 0.74 µm, tandis qu'elle varie entre 9 et 13 % pour un pitch poly de 0.92 µm. En considérant les structures présentant un pitch poly de 0.74 µm et une longueur de grille de 145 nm, la capacité C_{OFF} mesurée est de 250 pF/m, contre 262 pF/m pour les structures à pitch poly de 0.92 µm de même longueur de grille. Ces valeurs mettent en évidence l'influence du pitch poly sur la capacité parasite hors conduction. Toutefois, après gravure, les deux structures présentent un C_{OFF} similaire, d'environ 230 pF/m. L'écart initial entre les deux géométries disparaît donc totalement, indiquant que la gravure compense ou annule l'effet du pitch poly sur la capacité C_{OFF}. Cela est observable également pour les autres longueurs de grille. Cette observation suggère que le retrait partiel de l'oxyde dans la zone critique homogénéise l'environnement électrostatique autour du canal.

Ces résultats expérimentaux sont en bon accord avec les simulations décrites au Chapitre 2, où la gravure uniforme et les fronts idéalisés avaient déjà mis en évidence une réduction théorique du C_{OFF} de l'ordre de 30 %. Bien que la réduction expérimentale soit plus faible, l'évolution des courbes et la tendance générale confirment la validité du modèle simulé, une fois celui-ci adapté à la topologie réelle induite par la gravure des tranchées. On constate ainsi une cohérence forte entre la simulation numérique et l'expérimentation, renforçant le bien-fondé de l'introduction de microcavités dans les structures CMOS RF. Cette convergence ouvre la voie à une optimisation encore plus poussée des procédés de gravure, afin d'approcher le potentiel maximal identifié par simulation.

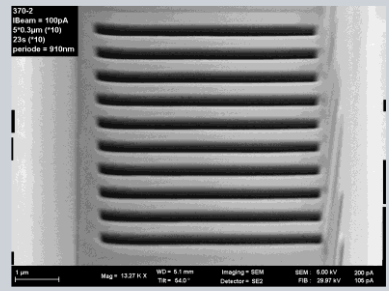
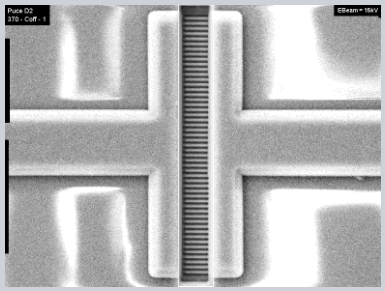
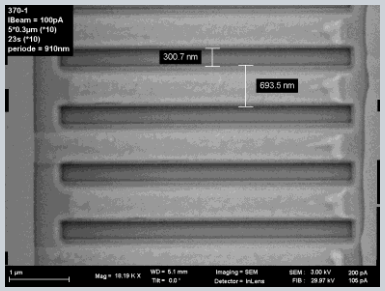
C3	D2	D3
• **Cavité par FIB s'arrêtant au dessus du M1** • **50 tranchées par FIB entre les doigts du niveau M1**		
8 structures de dimensions variables: • **Avec 4 longueurs de grille (100nm, 110nm, 120nm et 145 nm)** • **Avec 2 pitch poly (0,86µm et 0,92 µm)**		
		

Table VII : Description des puces C_{OFF} caractérisées et des actions menées sur chacune d'elles, incluant les types de procédés appliqués et les dimensions associées

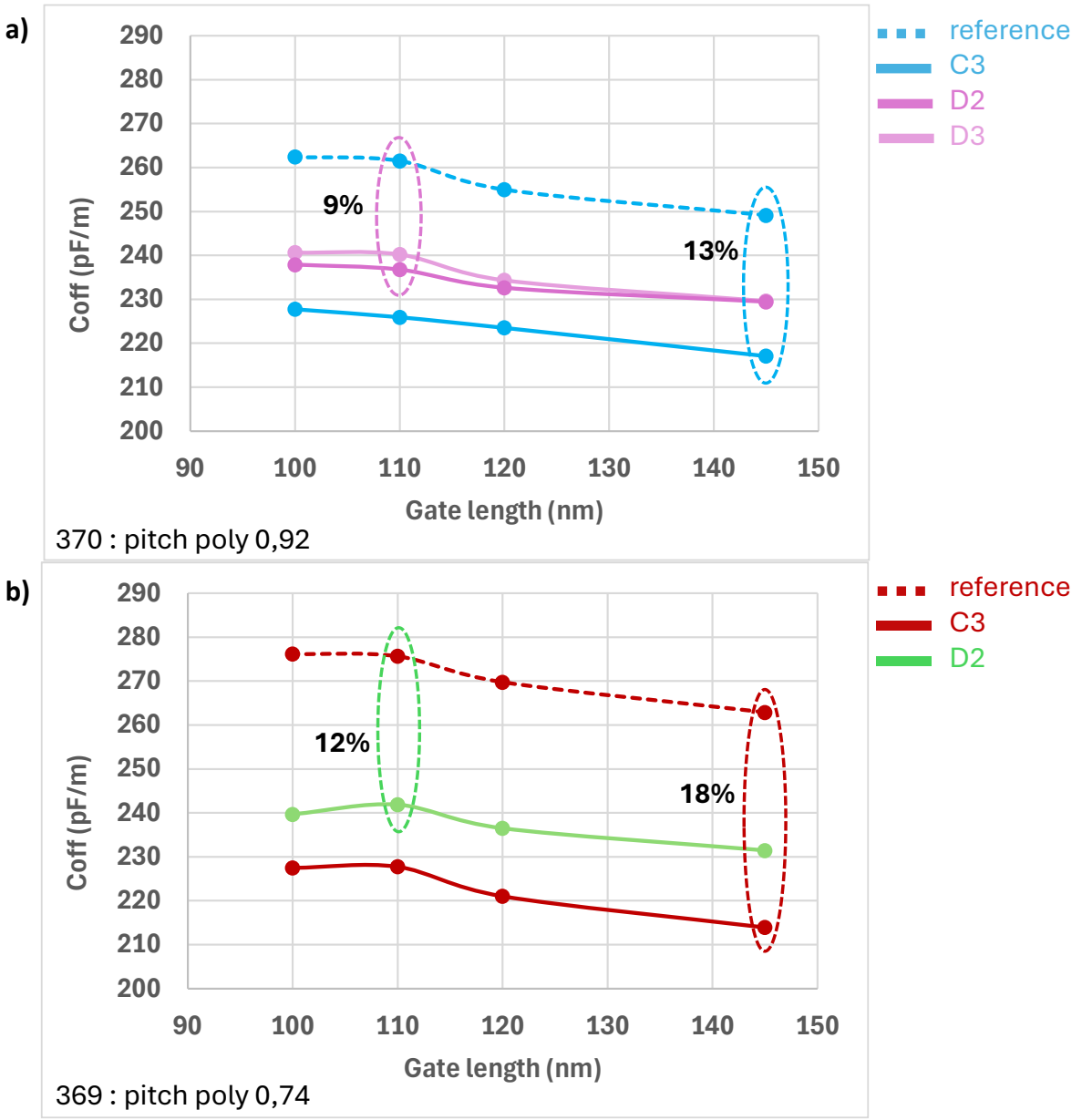


Fig. 70 : a) Comparaison des valeurs de C_{OFF} en fonction de la longueur de grille entre a) des puces présentant un pitch poly de 0.92 µm et une structure de référence et b) des puces présentant un pitch poly de 0.74 µm et une structure de référence

4.3.3 Résultats d'extraction pour R_{ON}

Pour R_{ON}, seule la tension appliquée au niveau de la grille et du body change. On y applique 3.3V pour fixer la structure dans un état passant (ON). La mesure s'effectue toujours entre 150 MHz et 18 GHz par pas de 150 MHz. Les mesures ont été effectué uniquement sur des puces Nightingale ayant vu le procédé de tranchées par FIB. Seules ces dernières ont été retenues, car au regard de la constance des résultats obtenus sur les puces Nightingale, il a été jugé pertinent de vérifier l'ensemble des performances sur ces structures, notamment le R_{ON} et la tenue en puissance. La Fig. 71 présente les résultats type obtenue sur une puce 388 élément 2 vierge servant de référence avec un abaque de smith des paramètres S obtenus ainsi que le R_{ON} en fonction de la fréquence. Le modèle d'extraction est présenté dans le Chapitre 2. Pour rappel :

$$R_{ON} = \frac{1}{2} * (Z_{12} + Z_{21}) \quad (36)$$

Les résultats obtenus ont ensuite été comparés à ceux des puces ayant subi le procédé de gravure FIB, toujours illustré en Fig 71. Une légère réduction du R_{ON} après gravure a été observée, phénomène initialement inattendu mais qui contribue à améliorer encore les performances globales des microcavités.

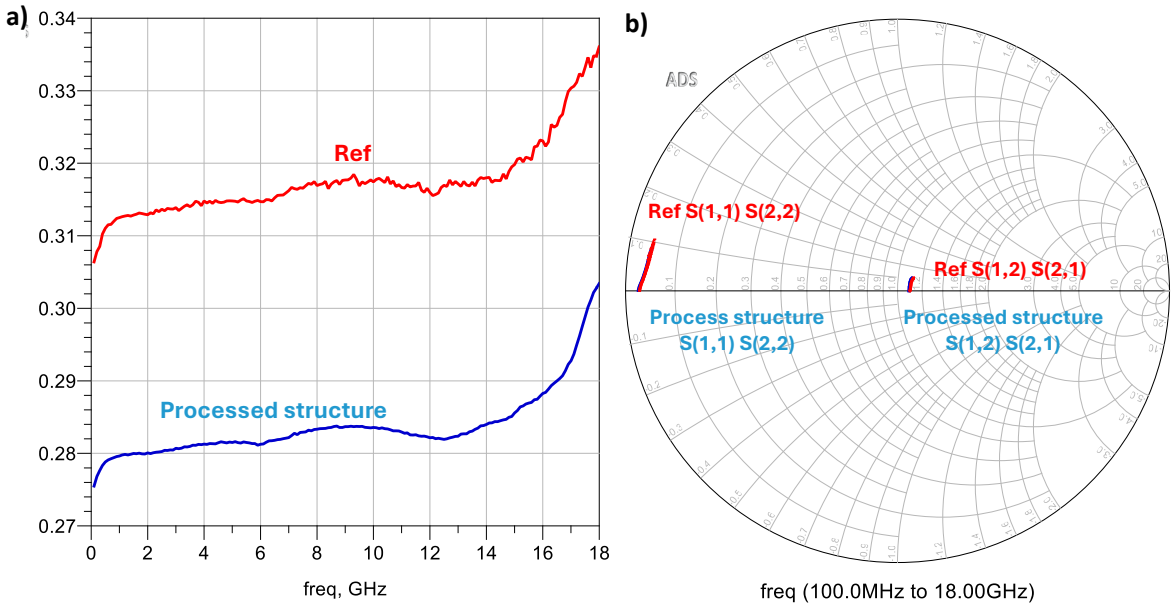


Fig. 71 : a) Evolution du R_{ON} en fonction de la fréquence pour une structure Nightingale gravée comparée à une référence et b) abaque de Smith présentant la comparaison des paramètres S entre la structure gravée et la référence.

En effet, la réduction simultanée du R_{ON} et du C_{OFF} induit une diminution du produit $R_{ON}.C_{OFF}$, paramètre central de cette étude. Cette diminution du R_{ON} est répétable et se situe entre 5 % et 11 %.

La Fig. 72 et la table VIII regroupe l'ensemble des résultats de R_{ON} extraits expérimentalement. De manière générale, une réduction modérée du R_{ON}, comprise entre 5 % et 11 %, est observée sur la majorité des puces après gravure, confirmant la tendance mise en évidence précédemment. Toutefois, quelques échantillons présentent un comportement divergent. En particulier, la puce C7 montre un fonctionnement dégradé, avec un R_{ON} supérieur à celui de la référence, traduisant probablement un dommage localisé lié au procédé de gravure. De même, deux points de mesure sur la puce C3 révèlent une dégradation ponctuelle, induite par des défauts à la suite d'une double gravure de certaines tranchées.
Cependant, à l'inverse, certaines structures (notamment C3 et D2) présentent une réduction mesurable du R_{ON} après gravure. Ce comportement peut s'expliquer par plusieurs mécanismes physiques complémentaires. Un facteur plausible est le relâchement partiel de la contrainte mécanique au-dessus de la couche de nitrure tensil (SiN) après gravure. Cela vient exacerber son effet compressif sur la grille En effet, cette couche, utilisée pour renforcer la mobilité des électrons dans le canal, voit sa tension interne modifiée lors du retrait partiel des couches supérieures. Cette compression mécanique peut favoriser une mobilité accrue des porteurs et donc une meilleure conductivité. Ainsi, la réduction du R_{ON} observée sur certaines structures pourrait résulter de la synergie entre un effet mécanique (amélioration de la compression liée au nitrure tensil) et un effet électrique (amélioration du transport de charge).

Ces cas isolés soulignent l'importance d'un contrôle précis du procédé de gravure FIB, dont la reproductibilité conditionne directement les performances électriques finales. Malgré ces anomalies ponctuelles, la tendance globale demeure favorable, démontrant que le procédé maîtrisé permet non seulement de préserver, mais parfois même d'améliorer la conduction dans les dispositifs.

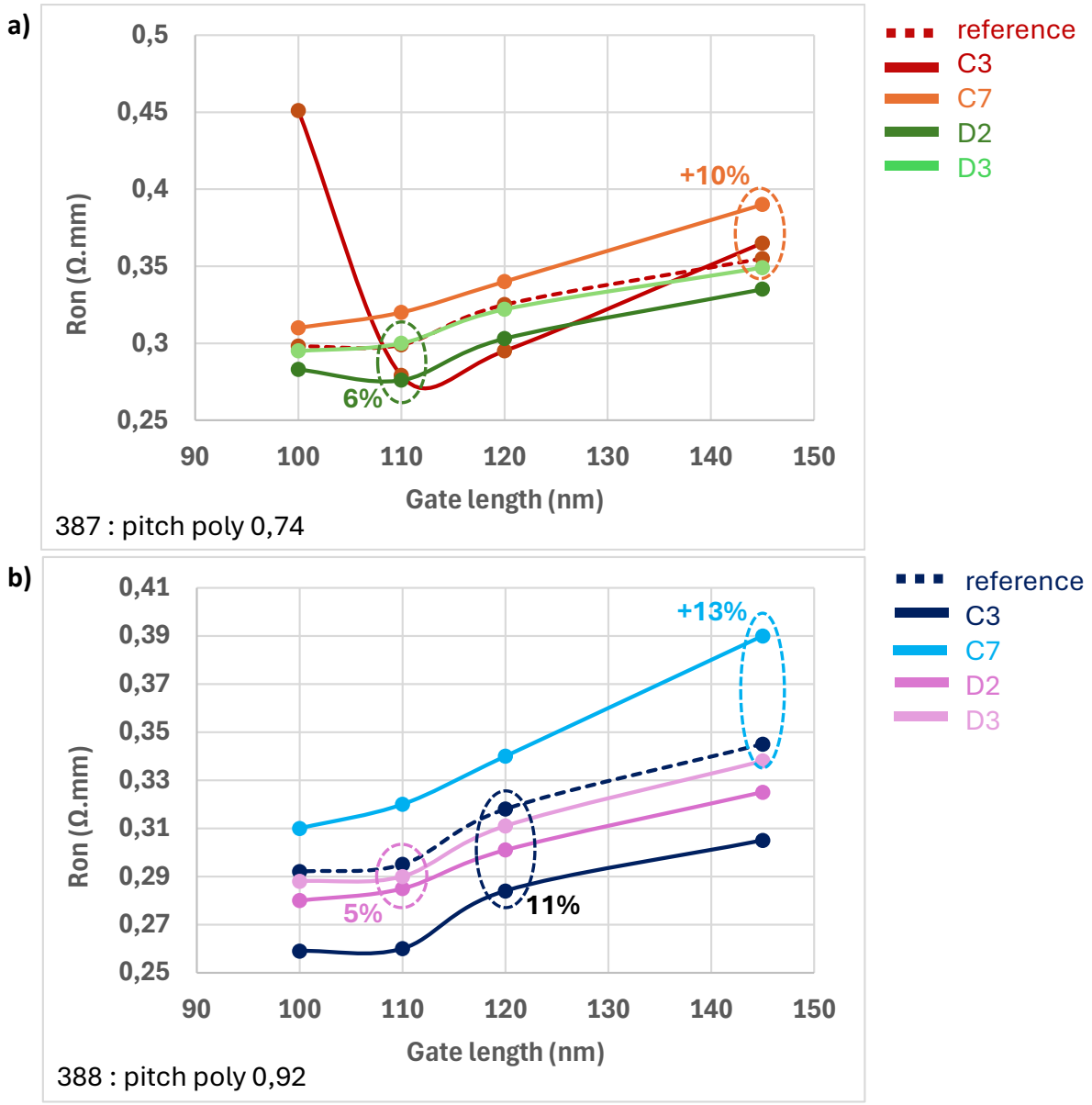


Fig. 72 : a) Comparaison des valeurs de R_{ON} en fonction de la longueur de grille entre a) des puces présentant un pitch poly de 0.74 µm et une structure de référence et b) des puces présentant un pitch poly de 0.92 µm et une structure de référence

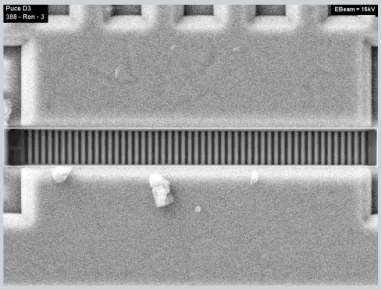
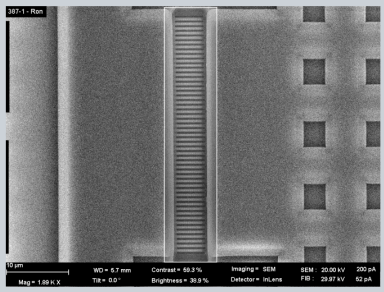
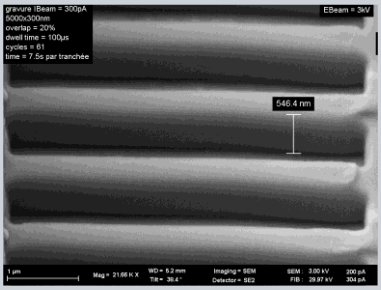
C3	D2	D3
• **Cavité par FIB s'arrêtant au dessus du M1** • **50 tranchées par FIB entre les doigts du niveau M1**		
8 structures de dimensions variables: • **Avec 4 longueurs de grille (100nm, 110nm, 120nm et 145 nm)** • **Avec 2 pitch poly (0,86µm et 0,92 µm)**		
		

Table VIII : Description des puces R_{ON} caractérisées et des actions menées sur chacune d'elles, incluant les types de procédés appliqués et les dimensions associées

4.3.4 Banc et protocole de mesure de tenue en puissance

La tenue en puissance d'un dispositif peut être évaluée par l'analyse de sa réponse harmonique lorsqu'il est soumis à un signal d'entrée de fréquence fixe dont la puissance est progressivement augmentée. Au-delà d'un certain seuil de puissance, on observe un accroissement brutal de l'amplitude des harmoniques d'ordre 2 et 3, traduisant l'apparition de non-linéarités dans le comportement du composant. Ce phénomène marque le point de décrochage du dispositif, correspondant à la limite de sa tenue en puissance. Cette approche non destructive permet ainsi d'évaluer de manière directe la robustesse électrique du composant vis-à-vis des signaux RF de forte intensité, tout en fournissant des informations précieuses sur son comportement non linéaire [JOS13].

L'un des principaux défis de cette mesure réside dans la nécessité de disposer d'un circuit d'injection capable de délivrer une puissance suffisante tout en maintenant un niveau de bruit induit par le montage instrumental extrêmement faible (plancher de bruit extrêmement bas), afin de permettre la détection fiable des harmoniques. Dans les travaux de A. Bashkar, un banc expérimental a été mis au point, atteignant un plancher de bruit de l'ordre de -170 dB, ce qui autorise l'observation précise des deuxième et troisième harmonique. Le schéma de ce banc est représenté en Fig. 73. [BAS22]

Afin d'améliorer la sélectivité du signal et de réduire l'influence du bruit ambiant, plusieurs optimisations ont été apportées au banc de mesure. Tout d'abord, des atténuateurs supplémentaires ont été intégrés en sortie du dispositif testé (Device Under Test, DUT), pour un affaiblissement total de –19 dB. Cette configuration permet de stabiliser l'impédance de charge vue par le DUT et de réduire les réflexions parasites provenant du filtre passe-haut situé en extrémité de chaîne. En minimisant ces ondes réfléchies, on diminue le niveau de bruit de fond mesuré et on évite la formation de battements indésirables entre signaux directs et réfléchis. De ce fait, la dynamique utile du signal fondamental est renforcée, conduisant à une amélioration effective du rapport signal sur bruit (SNR) et donc à une détection plus fiable des harmoniques d'ordre supérieur. D'autre part, un amplificateur à faible bruit (LNA) couvrant une bande étendue de 500 MHz à 8 GHz a été ajouté au système. Cette extension de bande passante et de sensibilité rend désormais possible la détection de composantes harmoniques jusqu'au sixième ordre. Toutes les mesures de puissance et d'analyse harmonique ont été réalisées à

1.22 GHz. Ce choix de fréquence n'est pas arbitraire : il résulte d'un compromis visant à optimiser le fonctionnement conjoint des filtres placés en entrée et en sortie de la chaîne de mesure. À cette fréquence, les filtres d'entrée assurent un rejet efficace des harmoniques indésirables avant l'amplification du signal fondamental, tandis que les filtres de sortie permettent une isolation sélective du fondamental pour une caractérisation plus précise des harmoniques d'ordre 2 et 3.

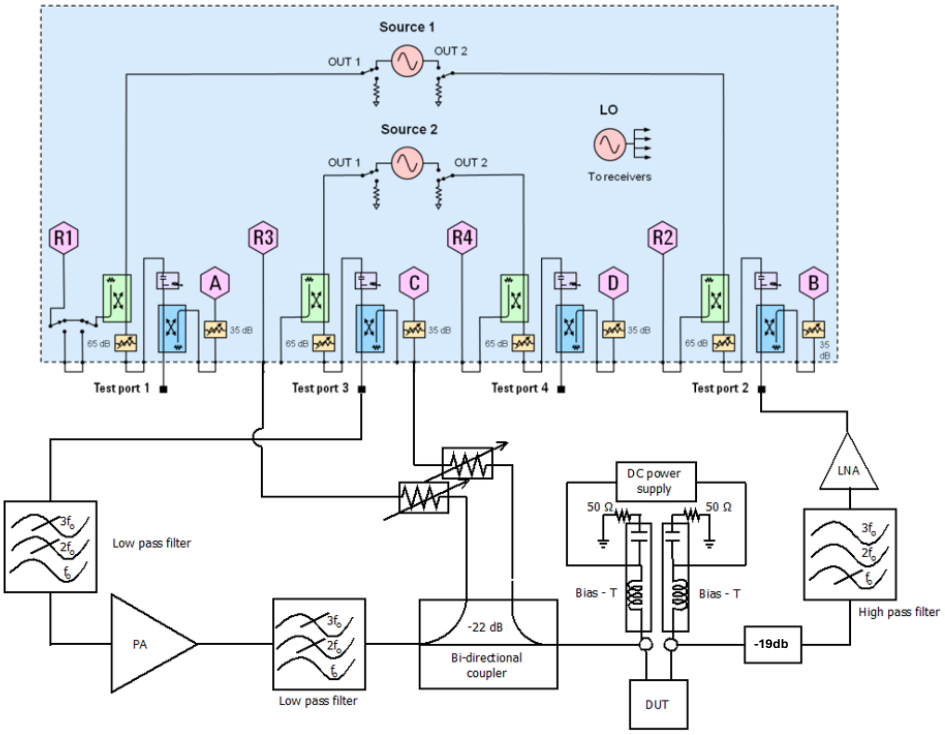


Fig. 73 : Schéma de principe du banc de mesure utilisé pour l'évaluation de la tenue en puissance des structures, incluant la génération du signal, son injection dans le dispositif testé et la détection des harmoniques.

La procédure de calibration du banc de mesure a été menée en deux étapes complémentaires afin d'assurer la fiabilité et la précision des mesures de puissance harmonique. Dans un premier temps, les réflexions à l'entrée du dispositif testé (DUT) ont été évaluées par la mesure du paramètre S_{11} en configuration vectorielle. Cette étape visait à vérifier l'adaptation d'impédance entre la source et le dispositif, condition essentielle pour garantir une injection correcte de la puissance RF. Les mesures ont montré des valeurs de S_{11} inférieures à –46 dB, traduisant une excellente adaptation. Le banc avait préalablement été calibré en configuration un port à l'aide d'une procédure SOL (Short–Open–Load), assurant une référence fiable pour l'ensemble des mesures suivantes.

Dans un second temps, la calibration scalaire a permis de quantifier les décalages (offsets) entre, d'une part, la puissance du fondamental générée par la source RF et celle réellement appliquée à l'entrée du DUT, et d'autre part, la puissance des harmoniques mesurée au niveau du PNA et celle en sortie du dispositif. Ces mesures, effectuées en mode scalaire (sans prise en compte de la phase), auraient pu être réalisées à l'aide d'un simple puissance-mètre, mais l'utilisation du PNA Keysight N5222A présente un avantage déterminant : sa dynamique de mesure exceptionnelle de 160 dB. Cela signifie qu'à puissance d'entrée donnée, le système est capable de détecter une composante harmonique dont le

niveau est jusqu'à 160 dB inférieur à celui du signal fondamental, garantissant ainsi une sensibilité et une sélectivité de mesure remarquables.

Les dispositifs étudiés reposent sur une architecture shunt-série, configuration classique des commutateurs RF. Dans cette topologie, la branche série assure la conduction du signal en régime passant, tandis que la branche shunt relie la ligne à la masse afin d'assurer l'isolation en régime bloqué. L'objectif de cette approche est d'analyser la robustesse intrinsèque du composant et d'évaluer l'impact des procédés de gravure sur sa tenue en puissance. Pour cela, une comparaison directe est menée entre une structure vierge, n'ayant subi aucun traitement post-fabrication, et une structure gravée, afin de mettre en évidence l'absence de dégradation du comportement en puissance après introduction des microcavités.

4.3.5 Evaluation de la tenue en puissance

Ces mesures de tenue en puissance ont été réalisées exclusivement sur les structures Nightingale. Les mesures ont été réalisées sur deux configurations distinctes, correspondant respectivement à une branche série et à une branche shunt du commutateur RF. Ces deux structures présentent des comportements différents face à la puissance du signal appliqué, en raison de leurs fonctions électriques propres. La Fig. 74 illustre les deux architectures dans leurs configurations d'utilisation respectives. Dans le cadre de cette étude, les structures dites 'série' sont représentées par les structures C_{OFF}, tandis que les structures 'shunt' sont assimilées aux structures R_{ON}. Cette distinction est essentielle pour interpréter correctement la réponse en puissance de chaque type de dispositif et évaluer leur robustesse vis-à-vis des contraintes RF.

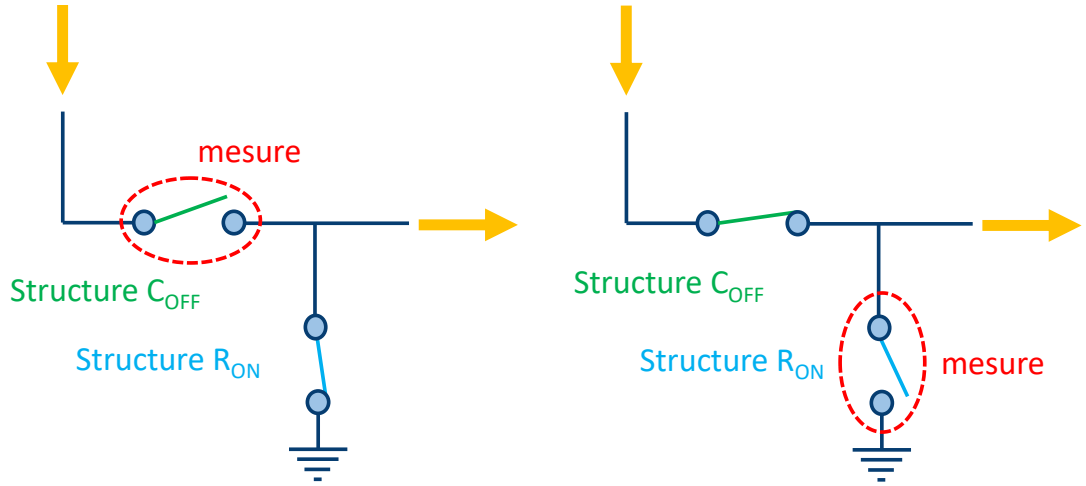


Fig. 74 : Schéma de fonctionnement illustrant les branches série et branches shunt dans deux configurations distinctes, mettant en évidence les structures associées aux mesures

Dans un premier temps, les mesures ont été mené sur les structures C_{OFF}. Les dispositifs ont été polarisés à l'état OFF en appliquant une tension de –2.5 V sur la grille et le body, conformément aux conditions déjà utilisées lors des mesures de C_{OFF}. Le banc expérimental a été préalablement conditionné afin de fixer la puissance d'entrée initiale à –20 dBm. La puissance incidente a ensuite été augmentée progressivement jusqu'à l'apparition du décrochage harmonique. Le pas d'incrémentation, réglable en fonction de la zone d'intérêt, a été fixé à 1 dBm dans un premier temps puis affiné à 0.1 dBm à proximité de la valeur de décrochage, afin de garantir une meilleure précision dans l'identification de ce seuil critique.

Les résultats obtenus, représentés en Fig. 75, présentent l'évolution des différentes harmoniques en fonction de la puissance d'entrée pour deux puces vierges utilisées comme références. Plusieurs observations significatives peuvent être faites. Tout d'abord, chaque harmonique décroche à une puissance identique, ce qui valide la cohérence interne de la mesure et atteste de la fiabilité du protocole expérimental. Ensuite, les seuils de décrochage sont distincts selon les échantillons : un décrochage à 12.5 dBm est observé pour les structures 370, éléments 1 et 2, tandis qu'il se produit à 11 dBm pour les éléments 3 et 4. Ces valeurs constituent les premières références quantitatives de tenue en puissance pour les structures Nightingale, et serviront de base comparative pour évaluer l'influence des microcavités et des procédés associés.

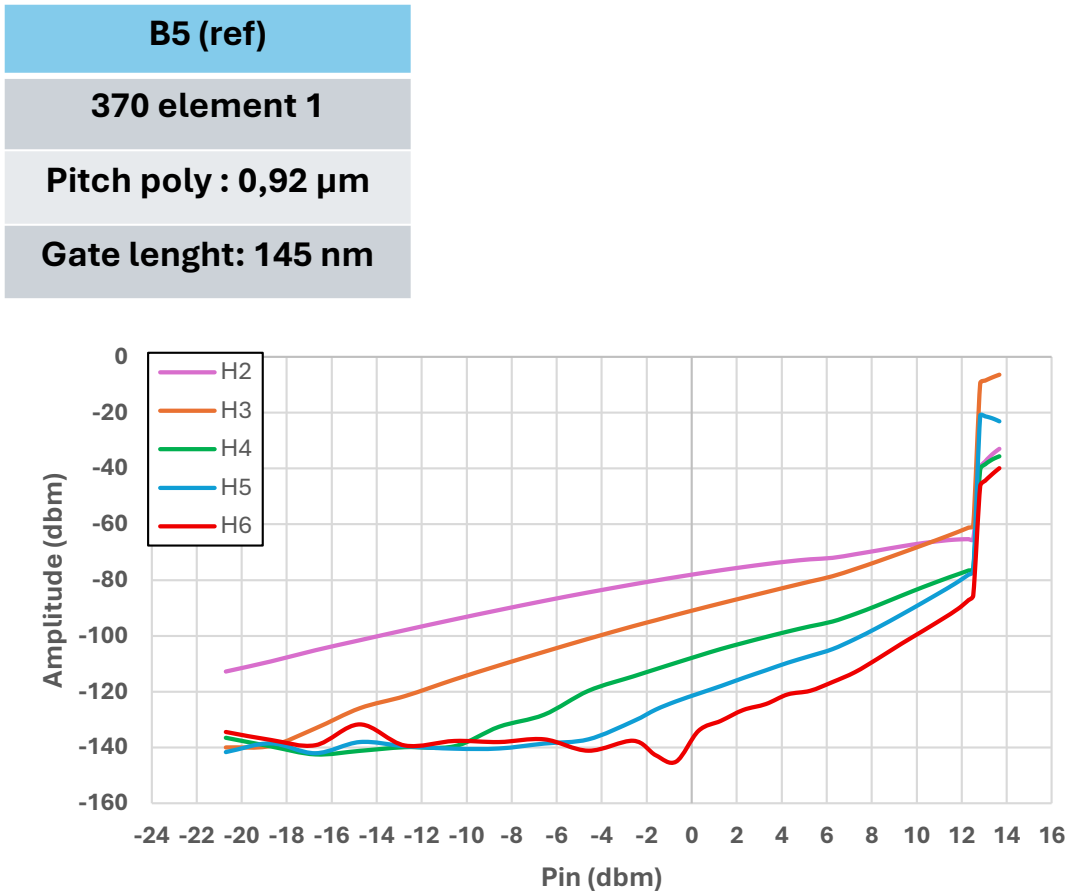
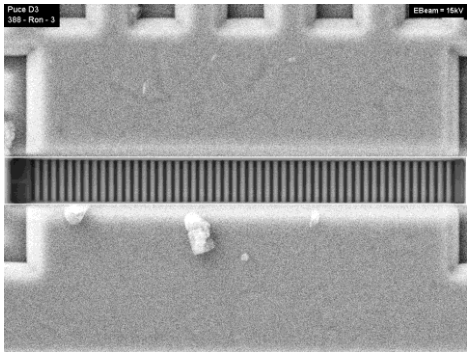


Fig. 75 : Mesure des amplitudes des harmoniques en fonction de la puissance d'entrée pour une structure de référence en configuration série. Chaque harmonique présente un décrochage caractéristique permettant de déterminer la tenue en puissance du dispositif.

La mesure de tenue en puissance a ensuite été réalisée sur une structure 370, élément 1, ayant subi le procédé de gravure. Cette même puce avait déjà été caractérisée pour le C_{OFF} et avait montré des résultats satisfaisants, sans signe de dégradation liée à la gravure. Le but était ici de vérifier si la gravure impactait également la tenue en puissance. Les résultats obtenus ont été directement comparés à ceux de la puce de référence, présentés dans la figure précédente. La comparaison est illustrée en Fig. 76. L'analyse met en évidence une similitude remarquable entre les deux courbes : les harmoniques présentent le même comportement et le décrochage se produit à une valeur de puissance d'entrée identique à celle observée pour la puce vierge. Cette absence de décalage démontre que la gravure n'altère pas la tenue en puissance des structures, confirmant ainsi la robustesse du procédé. Ce résultat constitue un argument majeur en faveur de l'intégration des microcavités, puisqu'il prouve que l'optimisation apportée sur le C_{OFF} ne se fait pas au détriment de la fiabilité en régime de puissance.

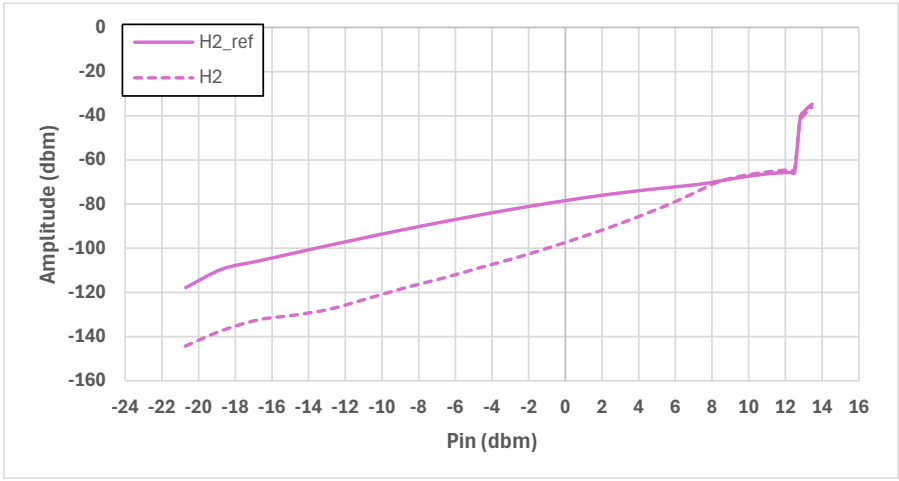
a)



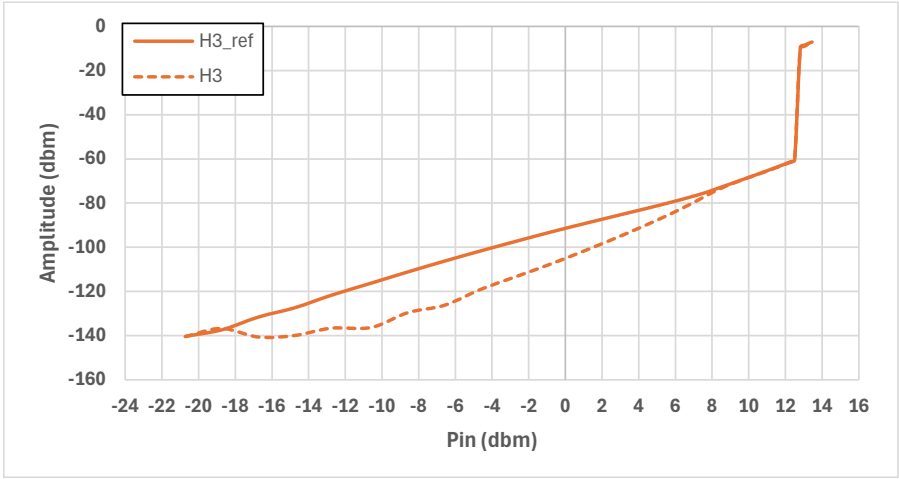
C3
370 element 1
Pitch poly : 0,92 µm
Gate lenght: 145 nm

- Cavité par FIB s'arrêtant au dessus du M1
- 50 tranchées par FIB entre les doigts du niveau M1

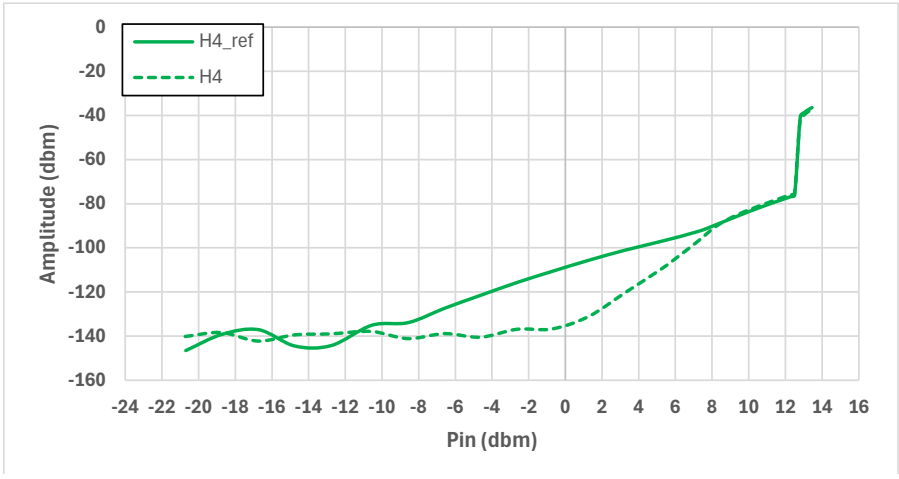
b)



c)



d)



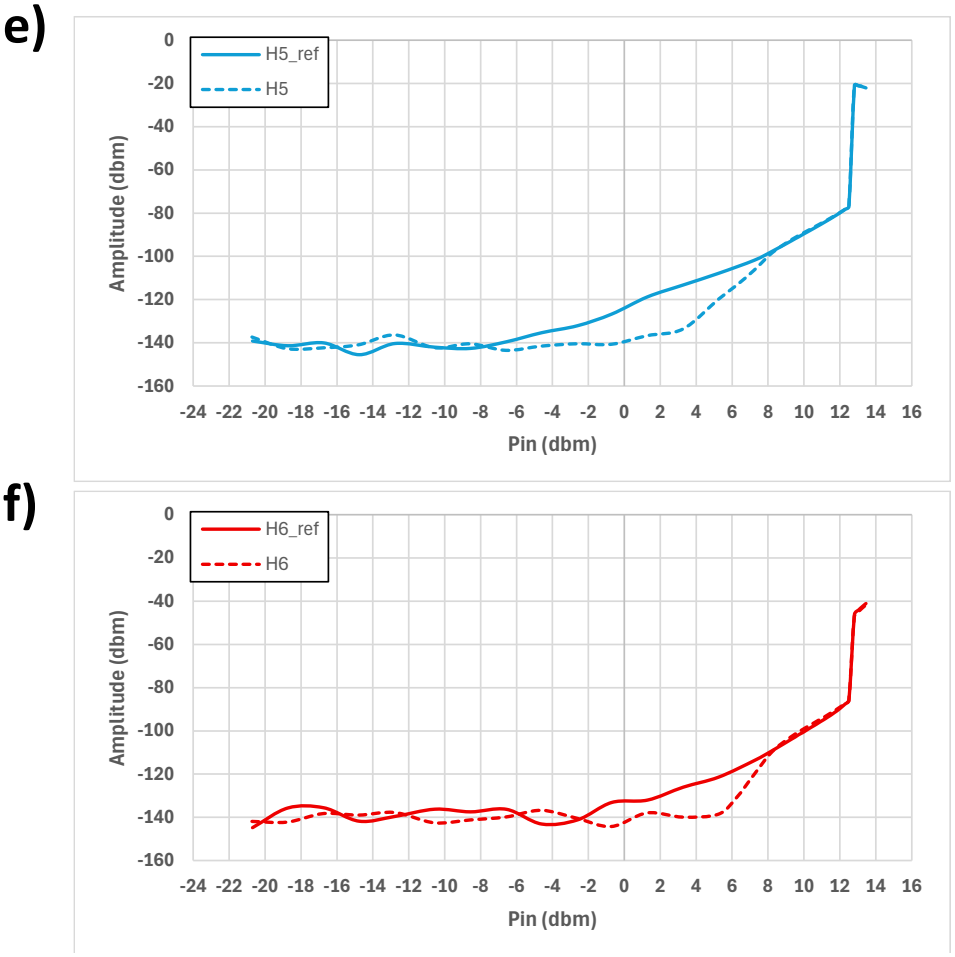


Fig. 76 : a) Image SEM de la gravure de la structure série mesurée et Comparaison de l'amplitude des harmoniques entre une puce Nightingale gravée par FIB et une puce de référence pour b) H2, c) H3, D) H4, e) H5 et f) H6. Les courbes montrent des comportements similaires, confirmant que la gravure n'altère pas la tenue en puissance du dispositif.

Pour approfondir l'analyse, la tenue en puissance a été mesurée sur plusieurs structures gravées afin d'évaluer la dispersion et la répétabilité des résultats. Trois puces distinctes ont été comparées à la référence. L'ensemble des mesures révèle une cohérence remarquable : les trois dispositifs présentent des courbes quasi superposables, avec un comportement harmonique identique et un décrochage observé à des puissances d'entrée similaires. Ces observations confirment la robustesse et la stabilité du procédé de gravure, ainsi que la reproductibilité des performances obtenues. La Fig. 77 illustre cette comparaison en représentant l'évolution des harmoniques pour les structures 370 élément 1 et 370 élément 4, en parallèle des mesures de référence. Les structure utilisées sont celles présentées en table VII.

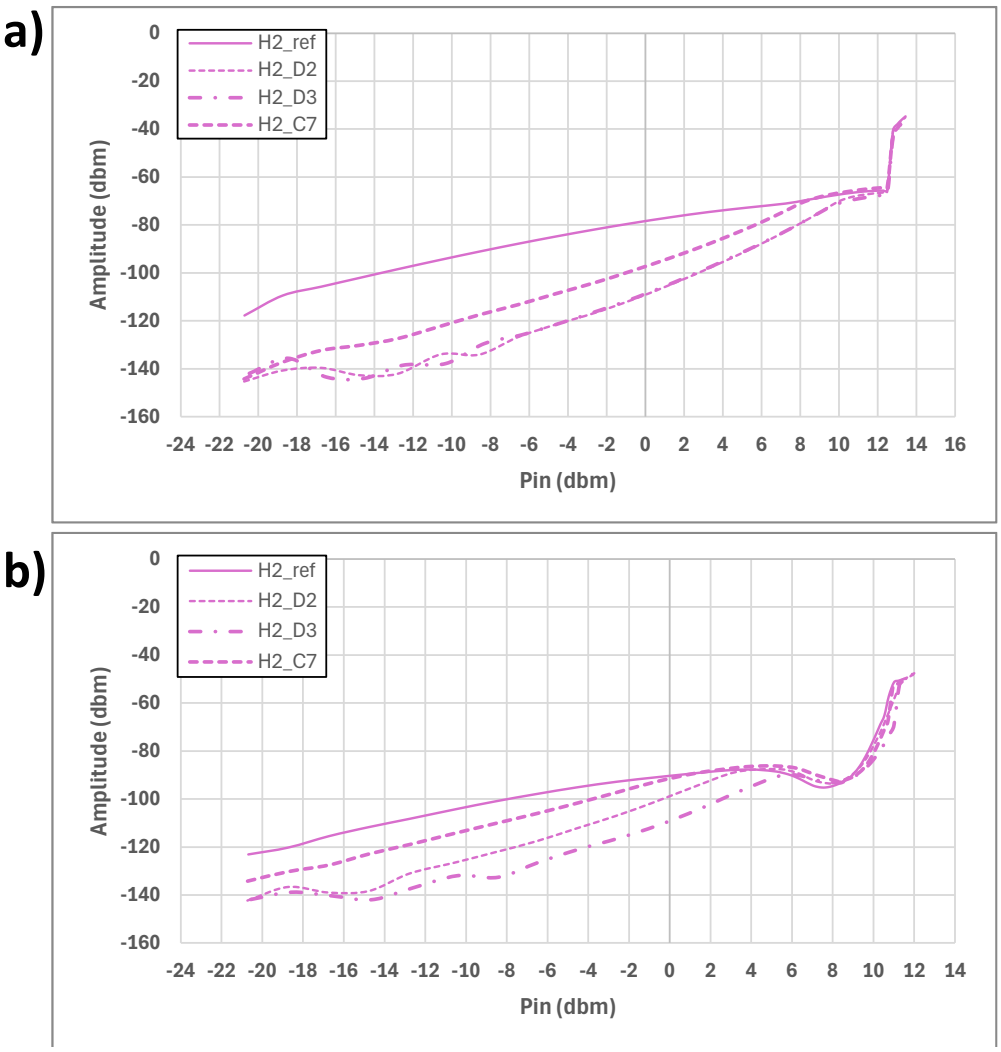


Fig. 77 : Regroupement des harmoniques de second ordre pour les structures séries a) 370 élément 1 et b) 370 élément 4, comparées à leurs références respectives.

À partir de la valeur de décrochage, il est possible de déterminer la tenue en tension du dispositif. L'objectif est d'établir une relation entre la tension efficace associée au signal harmonique et la puissance d'entrée injectée. Dans la mesure où le signal harmonique est de nature sinusoïdale, les équations se simplifient considérablement. La tension efficace V_{rms} peut être reliée à la puissance d'entrée P_{in} par les expressions :

$$RFV_{max\,rms} = \sqrt{\frac{1}{T}\int_0^T {RFV_{max}}^2 cos^2(\omega t)dt} = \frac{RFV_{max}}{\sqrt{2}} \tag{37}$$

$$P_{in\,max} = \frac{{RFV_{max\,rms}}^2}{Z_0}\ (W)\ \text{ avec } Z_0 = 50\ (\Omega) \tag{38}$$

$$P_{in\,max} = 10\,log_{10}\left(\frac{{RFV_{max\,rms}}^2}{Z_0 10^{-3}}\right) = 10\,log_{10}\left(\frac{{RFV_{max}}^2}{2\,Z_0 10^{-3}}\right) = 10\,log_{10}\left({RFV_{max}}^2 x10\right)(dBm) \tag{39}$$

Ainsi, la valeur de tension à laquelle apparaît le décrochage peut être extraite directement à partir de la puissance injectée. Ce calcul constitue une étape clé pour quantifier la tenue en tension des structures et permet une comparaison fiable entre dispositifs gravés et puces de référence.

À partir des équations établies précédemment, il devient possible de tracer une courbe reliant la tension maximale supportée par le dispositif en régime RF (RFV_{max}) à la puissance injectée. Pour un décrochage mesuré à 12,5 dBm, correspondant aux structures 370 éléments 1 et 2, la conversion en tension donne une valeur d'environ 1,34 V

Pour les structures shunt, les conditions expérimentales appliquées sont identiques à celles décrites précédemment. Le dispositif est polarisé en état "off", en appliquant une tension de –2,5 V sur la grille et le body, de manière à garantir une commutation bloquée tout au long de la mesure. La Fig. 78 présente les résultats obtenus sur ces structures de type shunt. On y observe un comportement similaire à celui relevé pour les structures série, avec un accroissement brutal des harmoniques au-delà d'un certain seuil de puissance d'entrée, caractéristique de la limite de tenue en puissance. Dans ce cas, l'emballement apparaît à une puissance d'environ 19 dBm, ce qui correspond, d'après les équations précédemment établies, à une tension RFVmax d'environ 3 V. Ce résultat traduit une meilleure résistance à la puissance injectée, cohérente avec la configuration shunt, où le courant RF est partiellement dérivé vers la masse, réduisant ainsi les contraintes électriques exercées sur le canal du dispositif.

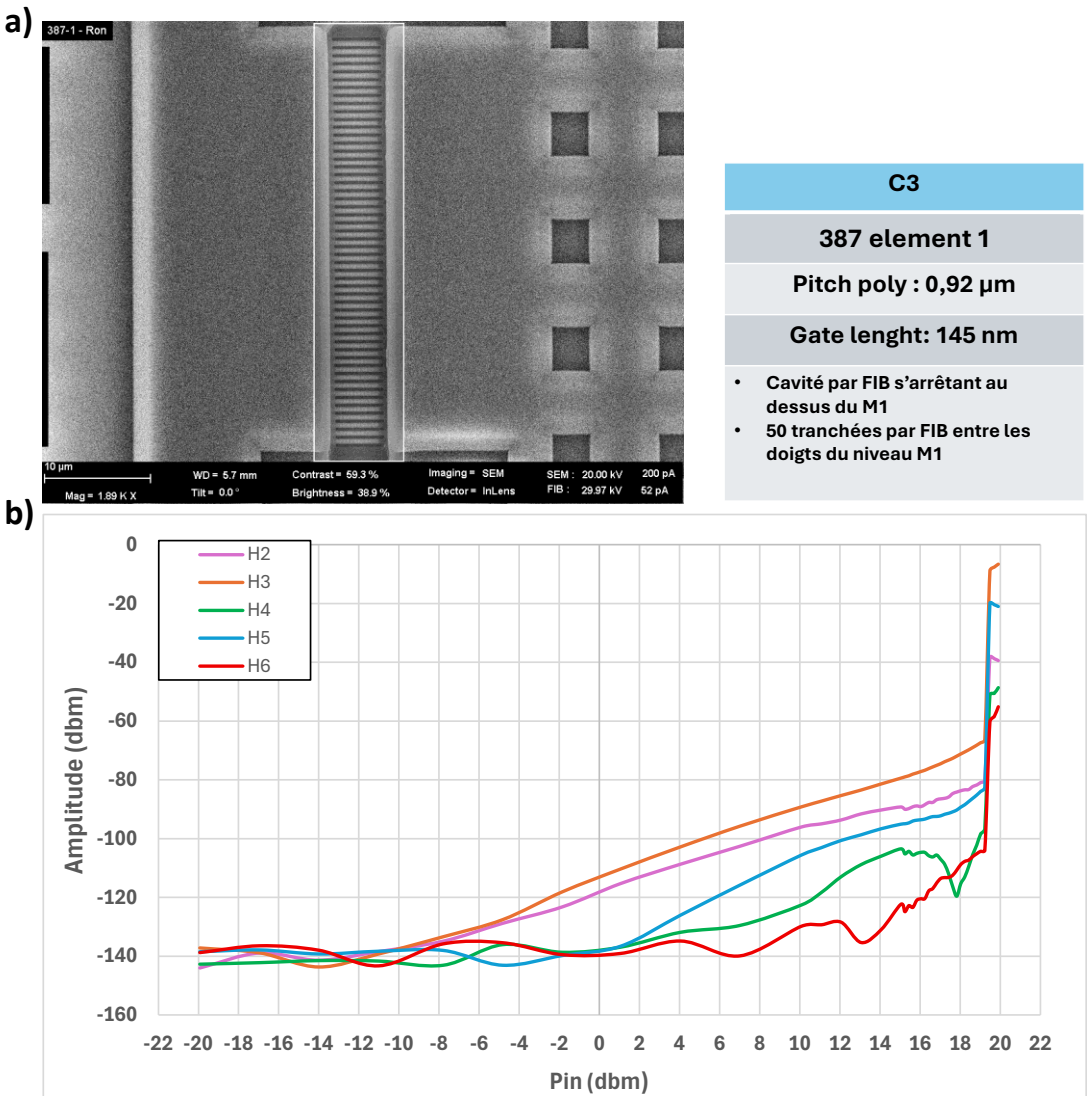


Fig. 78 : a) Image SEM de la gravure de la structure shunt mesurée et b) Amplitude des harmoniques en fonction de la puissance d'entrée. Chaque harmonique présente un décrochage caractéristique permettant de déterminer la tenue en puissance du dispositif.

Afin d'évaluer la dispersion des résultats et la répétabilité du procédé, la même campagne de mesures a été reproduite sur plusieurs puces présentant des dimensions identiques à celles analysées précédemment. La Fig. 79 illustre le regroupement des harmoniques de second ordre (H2) obtenus pour ces différentes structures, comparés à la courbe de référence mesurée sur une puce vierge. Il est particulièrement intéressant de constater que l'ensemble des courbes mesurées se superposent étroitement à la référence, traduisant une excellente cohérence entre les dispositifs. Cette faible dispersion expérimentale confirme la reproductibilité du procédé de gravure FIB ainsi que la stabilité du comportement électrique des structures après traitement. En d'autres termes, la tenue en puissance mesurée reste indépendante des variations d'échantillon, ce qui témoigne de la robustesse et de la fiabilité du protocole de fabrication et de caractérisation mis en place.

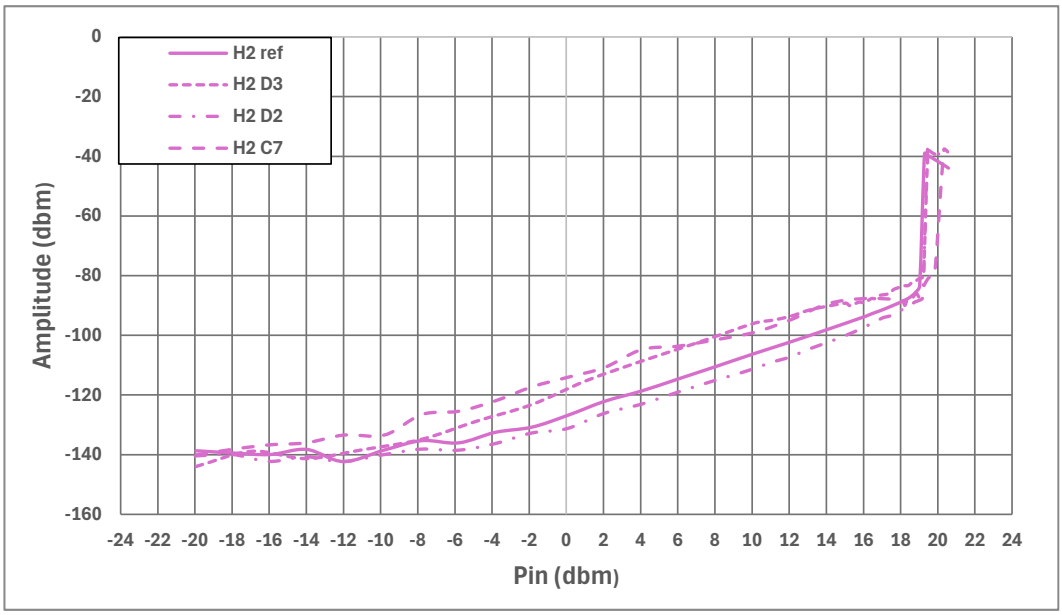
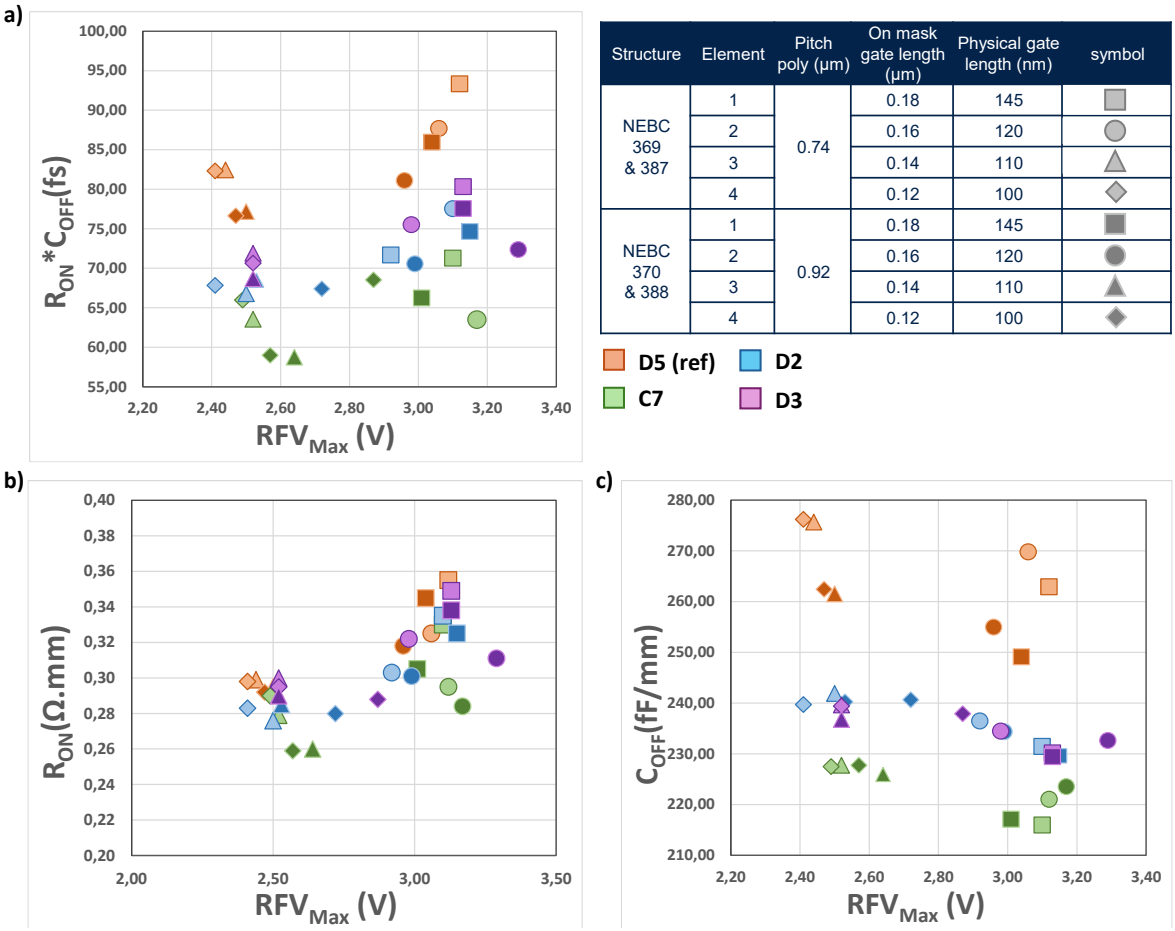


Fig. 79 : Regroupement des harmoniques de second ordre pour les structures shunts 370 élément 1

Il est particulièrement instructif de mettre en perspective le R_{ON}, le C_{OFF} et la tenue en puissance, de manière à évaluer de façon conjointe leur influence sur la robustesse électrique globale du dispositif. Une telle analyse croisée permet d'identifier les compromis potentiels entre, d'une part, la conduction à l'état passant (R_{ON}) et l'isolement à l'état bloqué (C_{OFF}), et d'autre part, la capacité du commutateur à supporter des signaux RF de forte amplitude sans défaillance.

Dans notre cas, les résultats expérimentaux révèlent une cohérence remarquable entre ces trois paramètres. Les performances en tenue en puissance s'alignent pleinement avec les valeurs de R_{ON} et C_{OFF} mesurées, et se situent même légèrement au-delà de ce que la littérature laissait anticiper. Autrement dit, la réduction simultanée de R_{ON} et de C_{OFF} obtenue après gravure ne s'accompagne d'aucune dégradation de la tenue en puissance : les dispositifs gravés conservent une stabilité exemplaire sous excitation RF. Ce comportement confirme que l'intégration de microcavités améliore les performances de commutation sans compromettre la robustesse électrothermique — un critère déterminant pour les applications 5G et au-delà.

La Fig. 80 regroupe l'ensemble des puces caractérisées. Les résultats expérimentaux se positionnent clairement au niveau de l'état de l'art, et dans certains cas le surpassent, démontrant le potentiel réel des microcavités pour améliorer significativement la figure de mérite $R_{ON} \cdot C_{OFF}$ des commutateurs RF de technologie SOI [BOR24].



Structure	Element	Pitch poly (µm)	On mask gate length (µm)	Physical gate length (nm)	symbol
NEBC 369 & 387	1	0.74	0.18	145	
	2		0.16	120	
	3		0.14	110	
	4		0.12	100	
NEBC 370 & 388	1	0.92	0.18	145	
	2		0.16	120	
	3		0.14	110	
	4		0.12	100	

Fig. 80 : Graphiques mettant en relation les paramètres clés du commutateur RF avec la tenue en puissance : a) R_{ON} en fonction de la tenue en puissance b) C_{OFF} en fonction de la tenue en puissance, c) Produit R_{ON}·C_{OFF} en fonction de la tenue en puissance.

L'analyse croisée du C_{OFF} en fonction de la tenue en puissance apporte un éclairage supplémentaire sur le comportement des dispositifs gravés. Le nuage de points met en évidence une tendance particulièrement intéressante : l'impact du pitch poly sur le C_{OFF}, clairement observable sur les puces de référence (entre et) disparaît complètement après gravure (entre et par exemple). Les points correspondant aux puces gravées — distingués visuellement par deux teintes (clair et foncé) associées respectivement aux pitchs poly de 0.74 µm et 0.92 µm — se superposent presque parfaitement. Cette convergence confirme, une nouvelle fois, que la gravure supprime l'influence géométrique initiale du pitch poly sur le couplage capacitif. Autrement dit, les microcavités uniformisent le comportement capacitif indépendamment des variations de dessin de grille, renforçant ainsi la robustesse et la prédictibilité du procédé.

Parmi l'ensemble des dispositifs caractérisés, deux points remarquables se distingue nettement par leurs performances exceptionnelles. Deux puces gravées (et) présentent en effet un produit R_{ON}·C_{OFF} de 59 fs, soit l'une des meilleures valeurs jamais rapportées pour un commutateur RF en technologie SOI, se positionnant en dessous du seuil symbolique des 60 fs. Cette performance est d'autant plus notable qu'elle est obtenue sans aucune dégradation de la tenue en puissance, les structures supportant une tension RF maximale (RFV_{MAX}) de 2.6 V avant l'apparition de non-linéarités majeures dans les harmoniques.

Si l'on s'intéresse à l'amélioration du RFV_{MAX}, plusieurs mécanismes physiques peuvent être invoqués. La tenue en puissance d'un commutateur RF est principalement gouvernée par deux phénomènes : la distribution du champ électrique longitudinal dans le canal, et les mécanismes d'ionisation par impact à l'origine du claquage.

La gravure des microcavités influence ces deux aspects de manière distincte. D'une part, le remplacement de l'oxyde par de l'air, caractérisé par une permittivité plus faible, conduit à une modification de la distribution du champ électrique dans la structure. En particulier, une réduction du champ électrique longitudinal dans certaines zones critiques peut être observée, ce qui contribue à améliorer la tenue en puissance du dispositif.

D'autre part, ce remplacement d'un matériau thermiquement conducteur (SiO_2) par de l'air, beaucoup moins conducteur, dégrade localement l'évacuation thermique au-dessus du transistor. Il en résulte une élévation modérée de la température au voisinage du canal.

Or, le phénomène d'ionisation par impact, responsable du déclenchement du claquage, présente une dépendance inverse à la température. Lorsque la température augmente, les interactions porteurs–phonons deviennent plus fréquentes, ce qui limite l'énergie acquise par les porteurs et réduit ainsi l'efficacité de l'ionisation par impact. En conséquence, le seuil de claquage est repoussé vers des tensions plus élevées [MAS06].

Ces deux effets combinés, redistribution du champ électrique et diminution de l'efficacité de l'ionisation par impact, permettent ainsi d'expliquer l'amélioration observée de la tenue en puissance après gravure des microcavités.

Le point expérimental présenté auparavant illustre de manière particulièrement convaincante le potentiel des microcavités : la réduction simultanée et cohérente de R_{ON} et C_{OFF} s'accompagne d'une robustesse électrique conservée, voire améliorée. Il constitue ainsi une démonstration tangible de la capacité du procédé à rivaliser avec — et potentiellement dépasser — les meilleures technologies actuelles dédiées aux applications RF avancées.

4.4 Comparaison avec l'état de l'art et discussion

À la lumière de l'ensemble des mesures réalisées, il est pertinent de regrouper les résultats en les représentant sur la métrique $R_{ON}.C_{OFF}$, afin de permettre ultérieurement une comparaison avec l'état de l'art. L'analyse se concentre sur les structures Nightingale, celles-ci offrant un plus grand nombre de résultats exploitables et une meilleure stabilité. La Fig. 81 illustre ainsi les points obtenus pour ces structures, en y intégrant les références ainsi que le point correspondant au maximum estimé par simulation. Les valeurs représentées sont issues de couples de structures R_{ON} et C_{OFF} de dimensions identiques, tels que les couples 369_1/387_1 ou 370_1/388_1. Le couple 370_4/388_4 fournit dans la majorité des cas la meilleure valeur du produit $R_{ON}.C_{OFF}$. Bien qu'une valeur minimale de 59 fs ait pu être atteinte, la majorité des résultats converge autour de 67 fs. Par ailleurs, il est remarquable de constater que l'impact du pitch poly, observable sur les références, est annulé par la gravure : les points associés aux couples 369/387 et 370/388 apparaissent fortement regroupés, traduisant une homogénéité accrue.

a)

Structure	Element	Pitch poly (µm)	On mask gate length (µm)	Physical gate length (nm)	symbol
NEBC 369 & 387	1	0.74	0.18	145	
	2		0.16	120	
	3		0.14	110	
	4		0.12	100	
NEBC 370 & 388	1	0.92	0.18	145	
	2		0.16	120	
	3		0.14	110	
	4		0.12	100	

b)

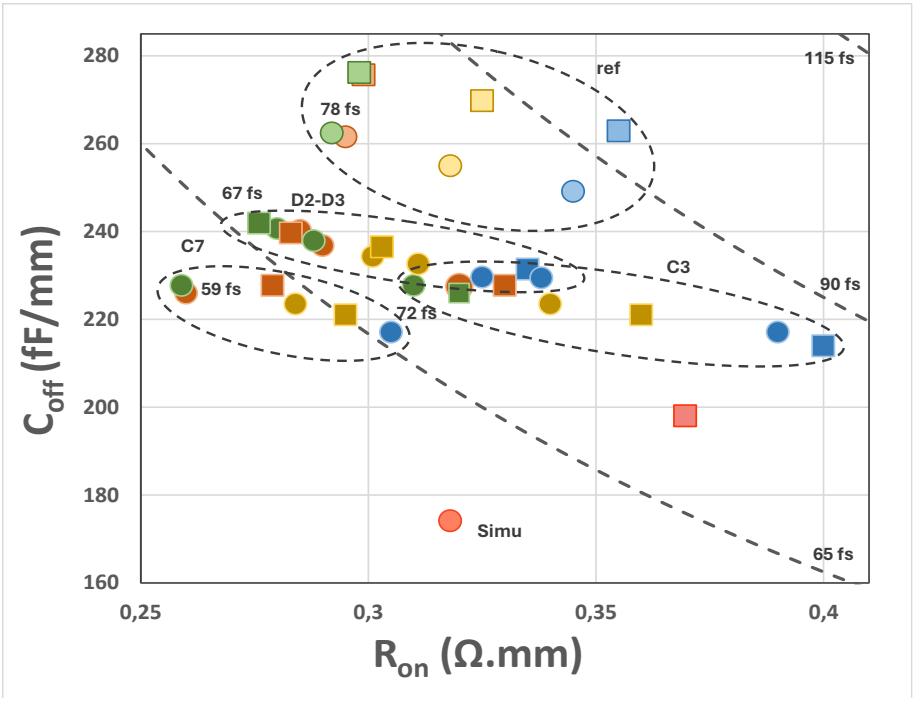


Fig. 81 : Tableau récapitulatif des structures Nightingale utilisées avec leurs dimensions respectives (longueur de grille, largeur de grille, pitch poly, etc.), et b) représentation de la métrique $R_{ON}.C_{OFF}$ comparant l'ensemble des résultats obtenus expérimentalement sur ces structures, incluant les références et les puces gravées.

En comparant ces nouveaux résultats avec les données issues de la littérature, il apparaît clairement que les structures Nightingale intégrant des microcavités se positionnent parmi les meilleures performances en termes de produit $R_{ON}.C_{OFF}$. Cette avancée confirme non seulement la pertinence du procédé mis en œuvre, mais également son potentiel compétitif vis-à-vis des technologies déjà établies. La Fig. 82 illustre cette comparaison en présentant une métrique plus globale, englobant les valeurs des commutateurs SOI issues de la bibliographie. Cette représentation permet de situer directement les performances obtenues dans ce travail par rapport aux références existantes, et de mettre en évidence le gain apporté par l'intégration des microcavités.

Toutefois, malgré les performances encourageantes mises en évidence, les résultats expérimentaux demeurent inférieurs aux valeurs prédites par la simulation. Cette divergence souligne les limites intrinsèques du procédé de gravure FIB, dont la précision et la profondeur d'action restent contraintes [GHE232]. L'amélioration potentielle repose ainsi sur l'exploitation de la gravure au HF, capable d'atteindre des réductions plus importantes du C_{OFF}. Cependant, la maîtrise de ce procédé n'est pas encore pleinement assurée, en raison notamment de son agressivité et du manque de contrôle sur l'homogénéité de la gravure. la solution envisagée pour pallier cette limite repose sur l'ajout d'une fine couche d'AlN au-dessus de la grille, agissant comme barrière de protection contre le HF. Bien que cette approche ait déjà été discutée dans le chapitre précédente, il convient de rappeler qu'elle constitue

une évolution prometteuse du procédé, capable d'assurer la stabilité chimique du dispositif tout en améliorant sa robustesse thermique.

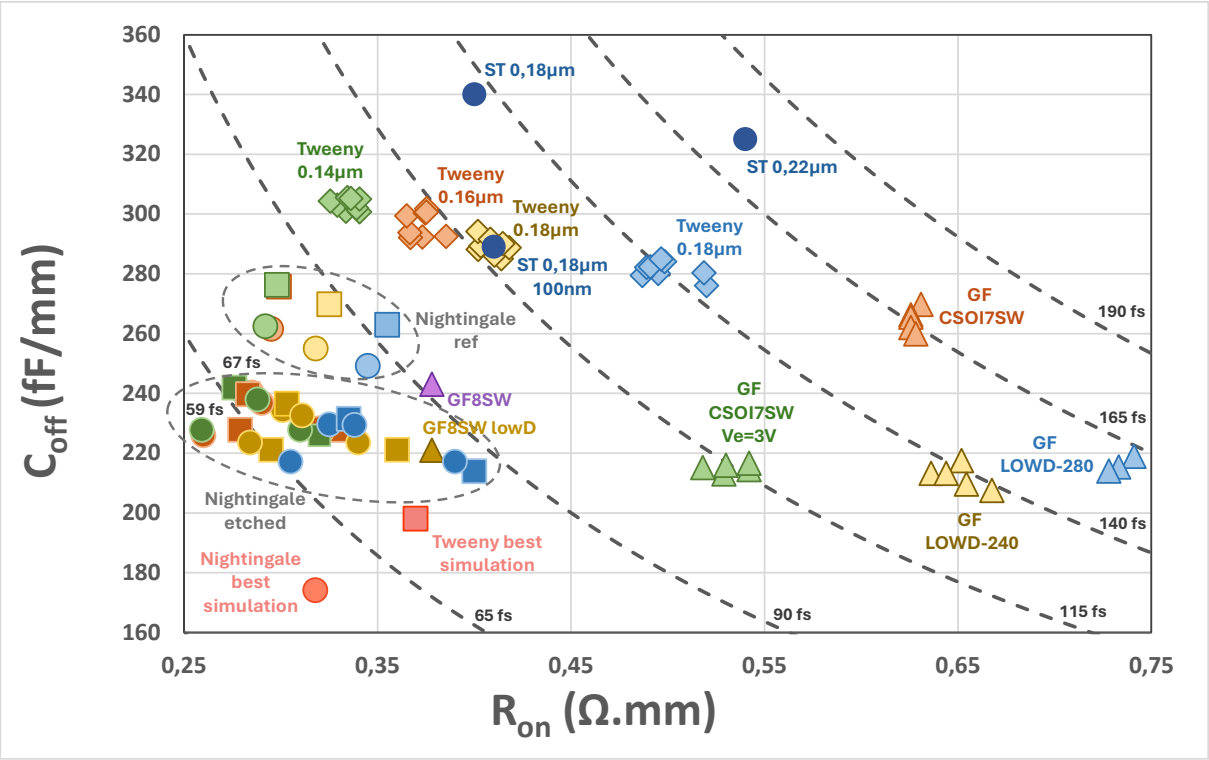


Fig. 82 : Métrique R_{ON}·C_{OFF} comparant les structures Nightingale gravées avec les références issues de la littérature ainsi que la valeur prédite par simulation. [WAI20] [HIN14] [SIN18] [SIN15] [SLO17] [BET20] [BOT09] [BOL11] [HOW14] [GHE232]

4.5 Conclusion du chapitre 4

L'ensemble des travaux de caractérisation a permis de valider expérimentalement l'intérêt de l'intégration des microcavités dans les structures SOI. Les mesures statiques ont tout d'abord confirmé la fonctionnalité des dispositifs après gravure, tout en mettant en évidence l'impact destructeur potentiel de certains procédés, notamment la gravure HF. L'application d'un recuit thermique à basse température s'est révélée être une solution efficace pour restaurer partiellement le fonctionnement de structures initialement dégradées.

Les mesures radiofréquences ont quant à elles montré une réduction répétable et significative du C_{OFF}, de l'ordre de 12 à 18 % selon les structures, ainsi qu'une diminution du R_{ON} comprise entre 5 et 11 %. Ce dernier résultat, bien que favorable du point de vue des performances globales, demeure inattendu sur le plan physique. Il suggère que la gravure pourrait influencer certains mécanismes internes du dispositif, tels que le relâchement de la contrainte mécanique du nitrure de contrainte. Cette observation appelle donc à de nouvelles investigations expérimentales et de simulation afin d'élucider l'origine précise de cette évolution du R_{ON} et d'en évaluer la reproductibilité à plus grande échelle. Néanmoins, cela renforce la pertinence du procédé en améliorant simultanément les deux paramètres clés du facteur de la figure de mérite R_{ON}.C_{OFF}. L'étude de la tenue en puissance a en outre démontré que la gravure n'impacte pas ce paramètre critique, confirmant la robustesse des dispositifs gravés.

En regroupant l'ensemble des résultats sur la métrique $R_{ON} \cdot C_{OFF}$ et en les comparant à l'état de l'art, il apparaît clairement que les structures Nightingale intégrant des microcavités d'air se positionnent au meilleur niveau des technologies SOI actuelles. Les valeurs expérimentales atteignent 67 fs, voire 59 fs pour les meilleurs couples de structures, plaçant ces résultats en dessous de la barre symbolique des 60 fs, et donc au-delà des meilleures performances rapportées dans la littérature récente. Ces performances expérimentales confirment la validité du concept de microcavité pour l'optimisation des commutateurs RF, et montrent qu'un gain simultané sur R_{ON} et C_{OFF} est effectivement réalisable.

Cependant, l'écart résiduel entre les mesures et les valeurs simulées traduit encore les limites des procédés de gravure employés, en particulier celles liées à la gravure FIB et au manque de contrôle de la gravure HF vapeur. L'intégration d'une couche de protection supplémentaire, telle que l'AlN au-dessus de la grille, apparaît comme une voie prometteuse pour améliorer la sélectivité et la maîtrise du procédé. Ainsi, cette partie de caractérisation démontre non seulement la faisabilité et la pertinence des microcavités pour l'amélioration des commutateurs RF, mais elle met également en lumière les verrous technologiques à lever pour franchir un nouveau cap en termes de performances.

Conclusion générale et perspectives

L'évolution rapide des technologies de communication sans fil, en particulier avec l'avènement de la 5G et la préparation des générations suivantes, s'accompagne d'exigences sans précédent en matière de rapidité de commutation, de faible perte d'insertion, de linéarité, de stabilité et de robustesse énergétique. Au cœur de ces architectures complexes, les commutateurs RF constituent des éléments indispensables des chaînes RF front-end, intervenant dans les fonctions de multiplexage, de filtrage actif, de formation de faisceau et de reconfiguration dynamique. Dans ce contexte, l'amélioration de leur figure de mérite fondamentale, le produit R_{ON}·C_{OFF}, demeure une priorité scientifique et industrielle, car elle conditionne directement les performances globales de la chaîne RF.

Cette thèse s'inscrit dans cette problématique en proposant une approche innovante visant à optimiser les commutateurs RF sur substrat Silicon-On-Insulator (SOI) par l'intégration de microcavités d'air au sein du réseau d'interconnexions. L'objectif était de diminuer la capacité l'état bloquant (C_{OFF}) sans altérer la résistance à l'état passant (R_{ON}). Cette approche, encore peu étudiée dans le contexte des commutateurs RF intégrés ouvre ainsi la voie à une nouvelle génération de commutateurs RF hautes performances compatibles avec les technologies industrielles CMOS. Le travail effectué repose sur trois axes majeurs : (i) le développement d'un cadre de simulation multi-techniques permettant d'estimer quantitativement l'effet des microcavités, (ii) la conception et l'optimisation d'un procédé de gravure post-fabrication, et (iii) la validation expérimentale des performances électriques et radiofréquences des structures optimisées.

Une contribution essentielle de cette thèse réside dans la mise au point d'une méthodologie de simulation originale et rigoureuse, permettant de dissocier l'impact intrinsèque de la microélectronique front-end (FEOL) et celui du réseau d'interconnexions (BEOL). Deux outils complémentaires ont été déployés :

1. Un modèle FEOL 2D, basé sur la résolution des équations de Poisson, de continuité, et du transport par drift-diffusion, caractérisant précisément le comportement du canal MOS et ses propriétés au niveau du substrat SOI.

2. Un modèle électromagnétique 3D BEOL, permettant de quantifier le couplage capacitif entre les doigts métalliques interdigités et d'évaluer la contribution directe des microcavités à la réduction du C_{OFF}. Cette modélisation inclut une description fine des matériaux diélectriques, des discontinuités locales, ainsi que des conditions frontières imposées aux interfaces.

L'articulation de ces deux approches a permis d'évaluer avec précision l'influence géométrique des cavités, en particulier leur profondeur et leur extension latérale. Un résultat déterminant de cette étude est la démonstration que l'effet principal des cavités sur le C_{OFF} n'est pleinement obtenu que si leur pénétration atteint le premier niveau métallique M1, point de concentration des lignes de champ électriques. Les simulations montrent ainsi une réduction du C_{OFF} d'environ 30 %, sans dégradation mesurable du R_{ON}, pour les deux familles de dispositifs étudiés : *Tweeny* et *Nightingale*.

Ces optimisations théoriques conduisent à une figure de mérite R_{ON}·C_{OFF} ≈ 55 fs, ce qui surpasse de manière notable les valeurs rapportées dans la littérature pour les commutateurs RF SOI actuels, et place l'approche proposée au niveau des meilleures technologies alternatives, telles que les commutateurs à base de matériaux à changement de phase (PCM) ou les commutateurs MEMS.

Le deuxième axe de la thèse a porté sur le développement et l'optimisation d'un procédé de gravure post-procédé visant à créer des microcavités localisées dans les structures SOI. Ce travail a nécessité l'exploration de plusieurs approches technologiques, dont la gravure ionique focalisée (FIB), la gravure plasma RIE et la gravure au HF vapeur. Chacune de ces techniques présentait des avantages mais également des limitations majeures. La gravure FIB a permis d'obtenir des tranchées précises mais au prix d'une implantation parasite de gallium, ralentissant considérablement l'attaque HF et générant des défauts électroniques dans l'oxyde. La gravure RIE, quant à elle, s'est révélée insuffisamment sélective et trop superficielle en l'absence d'un masque lithographié, ce qui a limité sa capacité à retirer des volumes significatifs d'oxyde sans endommager les zones actives. Enfin, la gravure HF vapeur a démontré une sélectivité élevée vis-à-vis des métaux mais s'est montrée difficile à maîtriser, notamment en raison de son agressivité et de l'absence de protection spécifique au niveau de la grille.

Ce travail a ainsi permis d'établir une vision claire et objective des potentialités et limites de chaque procédé. Il a également mis en évidence les verrous technologiques associés à une approche purement post-procédé, notamment en termes de sélectivité, de stabilité chimique et de contrôle de la propagation de la gravure au sein d'un empilement complexe. Bien que l'objectif final — un procédé parfaitement maîtrisé, reproductible et totalement compatible avec les exigences des microcavités — n'ait pas encore été atteint, les avancées obtenues constituent une base méthodologique solide et ont permis d'identifier les améliorations nécessaires pour dépasser les limitations rencontrées.

Les caractérisations électriques et radiofréquences réalisées sur les structures Tweeny et Nightingale ont validé les prédictions issues de la simulation. Sur le plan statique, les dispositifs gravés présentent un comportement fonctionnel stable, démontrant que la gravure localisée ne compromet pas le fonctionnement du transistor. Les mesures RF ont confirmé une réduction répétable de C_{OFF} comprise entre 12 % et 18 %, et une diminution de R_{ON} de 5 % à 11 % selon les structures. Cette réduction inattendue du R_{ON} pourrait être liée à un relâchement partiel de la contrainte des couches au-dessus du nitrure de grille, cela exacerbant les effets de compression du nitrure. L'ensemble de ces améliorations conduit à une valeur expérimentale moyenne de $R_{ON} \cdot C_{OFF} \approx$ 67 fs en préservant une tenue en tension RFV_{max} de ~3.2V, positionnant les structures Nightingale parmi les meilleures performances reportées dans l'état de l'art pour des commutateurs CMOS intégrés. Enfin, la tenue en puissance des dispositifs gravés a été étudiée par analyse harmonique sous signaux RF intenses. Les résultats montrent une stabilité comparable à celle des structures de référence, sans dégradation notable ni emballement harmonique prématuré, confirmant que la gravure localisée ne compromet pas la robustesse du dispositif. Les valeurs tournent autour de 3V, valeurs caractéristiques de ce type de structure. Tout cela, permet de renforcer l'utilité des microcavités

Les résultats obtenus dans cette thèse ouvrent plusieurs perspectives scientifiques et technologiques majeures.

Sur le plan physique, la diminution systématique du R_{ON} observée après gravure soulève des interrogations essentielles quant aux mécanismes physiques en jeu. Cette évolution inattendue suggère un rôle déterminant du relâchement de la contrainte mécanique, notamment celle induite par le nitrure contraint en tension, ainsi que d'éventuelles modifications structurales ou électrochimiques localisées au sein du canal ou aux interfaces oxyde/silicium. Pour élucider ces effets et établir un modèle physique complet, des investigations complémentaires seront nécessaires. Celles-ci pourraient s'appuyer sur des caractérisations nanostructurales avancées (TEM haute résolution, EDX, XPS, Nano-AES), permettant d'identifier finement les modifications de structure, de composition ou d'état de charge induites par la gravure. En parallèle, des simulations multiphysiques couplant mécanique des contraintes, transport électronique et électrostatique 3D apparaissent indispensables pour relier

quantitativement l'évolution du stress, la variation de la géométrie locale et les performances électriques du dispositif.

Sur le plan technologique, l'intégration d'une couche protectrice d'AlN déposée directement au-dessus de la grille constitue une avancée particulièrement prometteuse. Cette approche, qui nécessite de modifier le flux technologique en salle blanche, permet de rendre le procédé de gravure au HF vapeur compatible avec les contraintes industrielles, tout en garantissant une protection robuste des zones actives. L'AlN se démarque en effet par sa remarquable résistance au HF anhydre, offrant une sélectivité extrêmement élevée vis-à-vis des matériaux de l'empilement SOI, et évitant toute attaque du silicium, du nitrure ou du métal de grille. Comme illustré dans la Fig. 83, cette couche crée une barrière, permettant une gravure rapide et contrôlée des oxydes tout en conservant l'intégrité mécanique et électrique du transistor [DUB25].

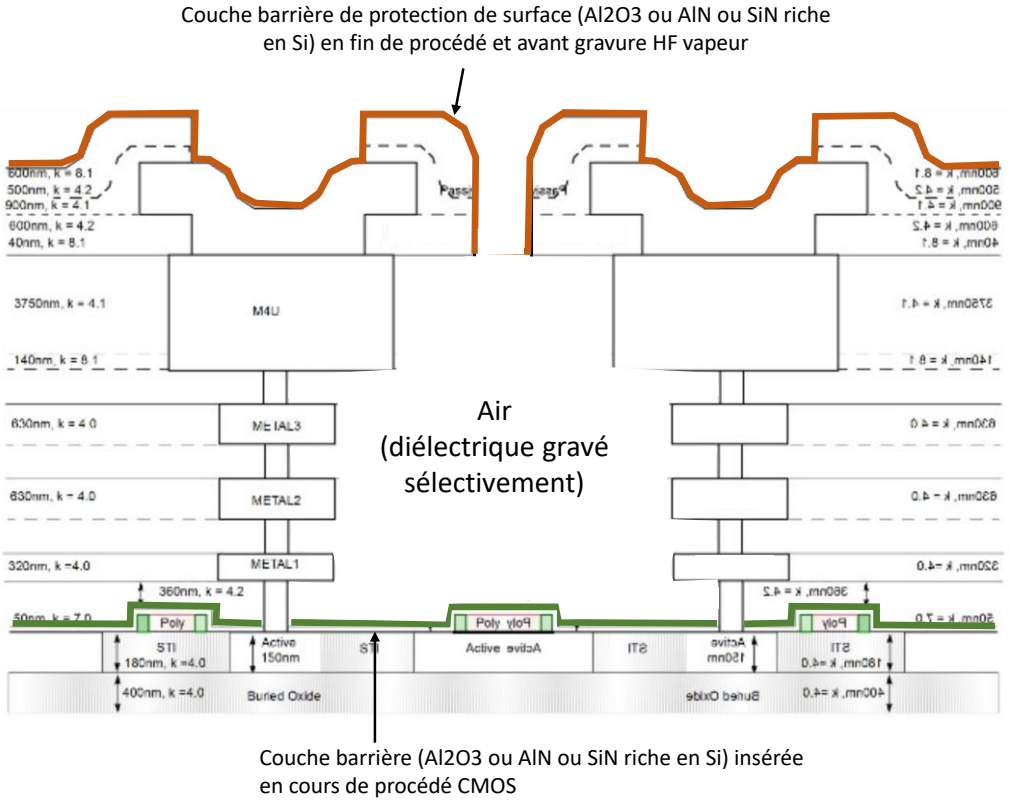


Fig. 83 : Schéma en plan de coupe illustrant les procédés impliqués dans le brevet ouvrant les perspectives des microcavités [DUB25].

L'exploitation maîtrisée du HF ouvre ainsi un nouveau champ de possibilités : elle permet d'envisager des microcavités plus profondes, plus uniformes et plus proches du niveau M1, ce qui est en théorie la configuration la plus efficace pour minimiser simultanément le C_{OFF} et le R_{ON}. Bien qu'elle n'ait pas pu être entièrement mise en œuvre dans le cadre de cette thèse, cette stratégie a été suffisamment explorée pour donner lieu à une proposition de brevet, preuve de son caractère innovant et de son potentiel d'industrialisation.

À terme, une maîtrise complète de cette approche pourrait permettre d'atteindre, voire de dépasser, les valeurs simulées les plus ambitieuses, et établir de nouveaux standards pour les commutateurs RF sur technologie SOI.

Références

[ADSUSR] ADS user's guide by Keysight 2012

[AKY16] I. F. Akyildiz, S. Nie, S-C. Lin, M. Chandrasekaran, "5G roadmap: 10 key enabling technologies", *Computer Networks*, no. 106, 2016, pp. 17-48,

[ALS17] M.H. Alsharif, R. Nordin, "Evolution towards fifth generation (5G) wireless networks: Current trends and challenges in the deployment of millimetre wave, massive MIMO, and small cells", *Telecommun Syst* **64**, 617–637, 2017, doi:10.1007/s11235-016-0195-x

[ATHUSR] Athena user's guide by silvaco 2005

[ATH16] A. Athmanathan, M. Stanisavljevic, N. Papandreou, H. Pozidis and E. Eleftheriou, "Multilevel-Cell Phase-Change Memory: A Viable Technology," in *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 6, no. 1, pp. 87-100, March 2016, doi: 10.1109/JETCAS.2016.2528598.

[ATLUSR] Atlas user's guide by silvaco 2005

[BAK14] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 3rd ed. Wiley-IEEE Press, 2014

[BAS22] A. Bhaskar, J. Philippe, E. Okada, F. Braud, J-F. Robillard, C. Durand, F. Gianesello, D. Gloria, C. Gaquière, E. Dubois, "Substrate-Induced Dissipative and Non-Linear Effects in RF Switches : Probing Ultimate Performance Based on Laser-Machined Membrane Suspension", *Electronics* 2022, *11*, 2333, doi:10.3390/electronics11152333

[BEL18] G. Bellotti, A. D. Butt, M. Carminatti, C. Fiorini. L. Bombelli, G. Borghi, "ARDESIA Detection Module: A Four-Channel Array of SDDs for Mcps X-Ray Spectroscopy in Synchrotron Radiation Applications," in *IEEE Transactions on Nuclear Science*, vol. 65, no. 7, pp. 1355-1364, July 2018, doi: 10.1109/TNS.2018.2838673.

[BEN12] Y. BENHAMIDA, "Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique", *Université Abou-Bekr Belkkaíd-Tlemcen, Algérie*, 2012

[BER16] G. Bertuccio, M. Ahangarianabhari, C. Graziani, D. Macera, Y. Shi, M. Gandola, "X-Ray Silicon Drift Detector–CMOS Front-End System with High Energy Resolution at Room Temperature," in *IEEE Transactions on Nuclear Science*, vol. 63, no. 1, pp. 400-406, Feb. 2016, doi: 10.1109/TNS.2015.2513602.

[BET20] I.Bettoumi et al., "A Dynamic CAD Model for Phase Change Material (PCM) Switches", 978-2-87487-059-0 © 2020 EuMA

[BET22] I. Bettoumi, "Etude des commutateurs hyperfréquences à base de matériaux à changement de phase (PCM)" , Electronique, Université de Limoges, 2022

[BOL11] T. Boles, J. Brogle, D. Hoag, and D. Curcio, "AlGaAs PIN diode multioctave, mmW switches," in Proc. IEEE Int. Conf. Microw., Commun. Antennas Electron. Syst. (COMCAS), Nov. 2011, pp. 1–5.

[BOR24] Thomas Bordignon, Luca Lucci, Thibaud Fache, Clément Pribat, Magali Grégoire, et al.. Enhanced RF Switch Performance in RFSOI Technology: Achieving 74 fs R ON ·C OFF and 3.3 V RFV MAX on Thinned SOI, *2024 IEEE European Solid-State Electronics Research Conference*

(ESSERC), Sep 2024, Bruges, Belgium. pp.448-451, doi:10.1109/ESSERC62670.2024.10719593

[BOT09] A. Botula et al., “A thin-film SOI 180 nm CMOS RF switch technology,” in Proc. IEEE Top. Meeting Silicon Monolithic Integr. Circuits RF Syst., Jan. 2009, pp. 1–4.

[CAO20] T. Cao, T. Hu, Y. Zhao, Research Status and Development Trend of MEMS Switches: A Review. *Micromachines* **2020**, *11*, 694, doi: 10.3390/mi11070694

[CHA21] K. C. Chandini Devi, “Impact of geometrical aspect ratio on the performance of phase change memory devices”, Indian institute, 2021

[CHE09] N. Chekurov, K. Grigoras, A. Peltonen, S Franssila, I. Tittonen, “The fabrication of silicon nanostructures by local gallium implantation and cryogenic deep reactive ion etching”, 2009 *Nanotechnology,* **20** 065307,doi: 10.1088/0957-4484/20/6/065307

[CHE14] Y. Chen, T. Luo and W. Huang, "Focused Ion Beam Fabrication and Atomic Force Microscopy Characterization of Micro/Nanoroughness Artifacts With Specified Statistic Quantities," in *IEEE Transactions on Nanotechnology*, vol. 13, no. 3, pp. 563-573, May 2014, doi: 10.1109/TNANO.2014.2311103

[CHE18] Y. L. Cheng, C. Y. Lee, “*Porous Low-Dielectric-Constant Material for Semiconductor Microelectronics”*, In Nanoporous Materials, InTech, 2018

[CHE20] K. Cheng, C. Park, H. Wu, J. Li, S. Nguyen, J. Zhang, "Improved Air Spacer for Highly Scaled CMOS Technology," in *IEEE Transactions on Electron Devices*, vol. 67, no. 12, pp. 5355-5361, Dec. 2020, doi: 10.1109/TED.2020.3031878.

[COB79] J. W. Coburn, Harold F. Winters, “Plasma etching—A discussion of mechanisms”, *J. Vac. Sci. Technol.* 1 March 1979, 16 (2), 391–403, doi: 10.1116/1.569958

[COL19] B. a. Coll-Perales, J. Gozalvez and J. L. Maestre, "5G and Beyond: Smart Devices as Part of the Network Fabric," in *IEEE Network*, vol. 33, no. 4, pp. 170-177, July/August 2019, doi: 10.1109/MNET.2019.1800136.

[CHE13] Y. J. Chen, “Advantages of MEMS and Its Distinct New Applications.” Advanced Materials Research, vol. 813, Trans Tech Publications, Ltd., Sept. 2013, pp. 205–209, doi:10.4028/amr.813.205.

[DAN21] S. A. Dange, S. B. Patil, V. T. Patil, S. S. Mulla, and A. S. N. Husainy, “A Review on 5G Technology: Evolution, Features and Challenges”, *AJSAT*, vol. 10, no. 2, pp. 15–21, Jul. 2021, doi: 10.51983/ajsat-2021.10.2.3044.

[DAZ18] L. Daza and S. Misra, "Fundamentals of Massive MIMO (Marzetta, T., et al; 2016) [Book Reviews]," in *IEEE Wireless Communications*, vol. 25, no. 1, pp. 9-9, February 2018, doi: 10.1109/MWC.2018.8304383

[DIN17] Z. Ding, X. Lei, G. K. Karagiannidis, R. Schober, J. Yuan and V. K. Bhargava, "A Survey on Non-Orthogonal Multiple Access for 5G Networks: Research Challenges and Future Trends," in *IEEE Journal on Selected Areas in Communications*, vol. 35, no. 10, pp. 2181-2195, Oct. 2017, doi: 10.1109/JSAC.2017.2725519.

[DUB25] Emmanuel Dubois, Alain Fleury, Daniel Gheysens, Stéphane Monfray. Method for producing mosfet transistors incorporating air cavities to reduce capacitive coupling in radiofrequency regime. France, Patent n° : FR3152913 (A1) 2025-03-14. flagship_devices. 2025, Numéro(s) de priorité: FR20230009552 20230911 - Numéro de demande: WO2024EP72790 20240813. ⟨04249470v1⟩ ⟨hal-05156181v1⟩

[FIS15] Fischer, A., Forsberg, F., Lapisa, M. *et al.* Integrating MEMS and ICs. *Microsyst Nanoeng* **1**, 15005, 2015,doi:10.1038/micronano.2015.5

[FOU17] X. Foukas, G. Patounas, A. Elmokashfi and M. K. Marina, "Network Slicing in 5G: Survey and Challenges," in *IEEE Communications Magazine*, vol. 55, no. 5, pp. 94-100, May 2017, doi: 10.1109/MCOM.2017.1600951.

[GER07] G. De Geronimo, W. Chen, J. Fried, Z. Li, D. A. Pinelli, P. Rehak, "Front-end ASIC for high resolution X-ray spectrometers," *2007 IEEE Nuclear Science Symposium Conference Record*, Honolulu, HI, USA, 2007, pp. 26-31, doi: 10.1109/NSSMIC.2007.4436283.

[GHE23] D. Gheysens, A. Fleury, S. Monfray, F. Gianesello, P. Cathelin, Jean-François Robillard, "Improving off-state capacitance of SOI-CMOS RF switches: how good are air microcavities?," *ESSDERC 2023 - IEEE 53rd European Solid-State Device Research Conference (ESSDERC)*, Lisbon, Portugal, 2023, pp. 109-112, doi: 10.1109/ESSDERC59256.2023.10268524.

[GHE232] D. Gheysens, A. Fleury, S. Monfray, F. Gianesello, P. Cathelin, D. Troadec "Analysis of Airgaps for OFF-State Capacitance Reduction in SOI-CMOS RF Switches," in *IEEE Transactions on Electron Devices*, vol. 70, no. 11, pp. 5814-5817, Nov. 2023, doi: 10.1109/TED.2023.3311415.

[GIA16] F. Gianesello, A. Monroy, V. Vialla, E. Canderle, G. Bertrand, M. Buczko, M. Coly, J. Nowakowski, N. Revil, L. Rolland, D. Gloria, A. Juge, S. Gachon, J.P. Aubert, E. Granger, "*Highly linear and sub 120 fs $R_{on} \times C_{off}$ 130 nm RF SOI Technology Targeting 5G Carrier Aggregation RF Switches and FEM SOC,*", in *Proc. IEEE Topical Meeting on Silicon Monolithic Integr. Circuits in RF Syst. SiRF*, pp. 9-12, 2016, DOI. 10.1109/SIRF.2016.7445454

[GIA22] F. Gianesello, A. Fleury, F. Julien, J. Dura, S. Monfray, S. Dhar, C.A. Legrand, J. Amouroux, B. Gros, L. Welter, C. Charbuillet, P. Cathelin, E. Canderle, N. Escolier, L. Antunes, E. Granger, P. Fornara, C. Rivero, G. Bertrand, P. Chevalier, A. Regnier, D. Gloria, "Advanced 200-mm RF SOI Technology exhibiting 78 fs RON×COFF and 3.7 V breakdown voltage targeting sub 6 GHz 5G FEM," *2022 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Denver, CO, USA, 2022, pp. 191-194, doi: 10.1109/RFIC54546.2022.9863082.

[GOS03] L.G Gosset, V. Arnal, Ph. Brun, M. Broekaart, C. Monget, N. Casanova, M. Rivoire, J.-C Oberlin, J. Torres, "*Integration of SiOC air gaps in copper interconnects*", Microelectronic Engineering, Volume 70, Issues 2–4, 2003, Pages 274-279, ISSN 0167-9317,doi.org/10.1016/S0167-9317(03)00438-6.

[GOS07] L. G. Gosset, F. Gaillard, D. Bouchu, R. Gras, J. de Pontcharra, S. Orain, O. Ceuto, Ph. Lyan, O. Louveau, G. Passemard, J. Torres, "Multi-Level Cu Interconnects Integration and Characterization with Air Gap as Ultra-Low K Material Formed using a Hybrid Sacrificial Oxide / Polymer Stack," *2007 IEEE International Interconnect Technology Conferencee*, Burlingame, CA, USA, 2007, pp. 58-60, doi: 10.1109/IITC.2007.382348.

[GRE00] D. G. Park, H. J. Cho, C. Lim, I. S. Yeo, J. S Roh, C. T. Kim, "Characteristics of Al_2O_3 gate dielectric prepared by atomic layer deposition for giga scale CMOS DRAM devices," *2000*

Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.00CH37104), Honolulu, HI, USA, 2000, pp. 46-47, doi: 10.1109/VLSIT.2000.852763.

[GRA08] R. Gras, F. Gaillard, D. Bouchu, A. Farcy, E. Petitprez, B. Icard, J. C. LeDenmat, L. Pain, J. Bustos, P. H. Haumesser, P. Brun, G. Imbert, L. Clément, C. Borowiak, M. Rivoire, C. Euvrard, V. Arnal, S. Olivier, S. Moreau, M. Mellier, T. Chevolleau, G. Passemard, and J. Torres, "300 mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications," 2008 International Interconnect Technology Conference, Burlingame, CA, USA, 2008, pp. 196-198, doi: 10.1109/IITC.2008.4546965.

[GUA19] H. Guan, X. Li, P. Liu, Z. Wang, "High-performance RF Switch in 0.13 µm RF SOI Process", *Journal of Semiconductors*, 2019, doi: 10.1088/1674-4926/40/2/022401 7

[GUE05] R. Guerrieri and M. Rudan, "Optimization of the finite-element solution of the semiconductor-device Poisson equation," in *IEEE Transactions on Electron Devices*, vol. 30, no. 9, pp. 1097-1103, Sept. 1983, doi: 10.1109/T-ED.1983.21264.

[HAN15] B. Han, V. Gopalakrishnan, L. Ji and S. Lee, "Network function virtualization: Challenges and opportunities for innovations," in *IEEE Communications Magazine*, vol. 53, no. 2, pp. 90-97, Feb. 2015, doi: 10.1109/MCOM.2015.7045396.

[HAR07] T. Harada, A. Ueki, K. Tomita, K. Hashimoto, J. Shibata, H. Okamura, K. Yoshikawa, T. Iseki, M. Higashi, S. Maejima, K. Nomura, K. Goto, T. Shono, S. Muranaka, N. Torazawa, S. Hirao, M. Matsumoto, T. Sasaki, S. Matsumoto, S. Ogawa, M. Fujisawa, A. Ishii, M. Matsuura, and T. Ueda, "Extremely Low Keff (1.9) Cu Interconnects with Air Gap Formed Using SiOC," 2007 IEEE International Interconnect Technology Conferencee, Burlingame, CA, USA, 2007, pp. 141-143, doi: 10.1109/IITC.2007.382364.

[HAR10] Harrison RL. "Introduction To Monte Carlo Simulation". AIP Conf Proc. 2010 Jan 5;1204:17-21. doi: 10.1063/1.3295638.

[HEN10] N Chekurov, K Grigoras, A Peltonen, S Franssila, I Tittonen, "Ga^+ beam lithography for nanoscale silicon reactive ion etching", 2010 *Nanotechnology,* **21** 245303, doi: 10.1088/0957-4484/21/24/245303

[HIN14] N.El-Hinnawy et al., "12.5 THz Fco GeTe Inline Phase-Change Switch Technology for Reconfigurable RF and Switching Applications", in Proc. IEEE Compound Semiconductor Integr. Circuit Symp. (CSICS), Oct. 2014, pp. 1–3.

[HOW14] R. S. Howell et al., "Low loss, high performance 1-18 GHz SPDT based on the novel super-lattice castellated field effect transistor (SLCFET)," in Proc. IEEE Compound Semiconductor Integr. Circuit Symp., Oct. 2014, pp. 3–6.

[HU18] Z-J. Hu, X-P. Qu, H. Lin, M. Li, S-M. Chen, and Y-H. Zhao, "Development of air-gap etching process by a mask approach for characterization of intralayer and interlayer capacitances," 2018 Jpn. J. Appl. Phys. 57 07ME03, doi: 10.7567/JJAP.57.07ME03

[HU23] Y. Hu, L. Zheng, Y. Huang, Z. Wang, X. Lu, L. Yu, S. Wang, Y. Sun, S. Ding, D. Ji, Y. Lei, X. Chen, L. Li, W. Hu, "*Organic Phase-Change Memory Transistor Based on an Organic Semiconduct", in Advanced Electronic Materials*, 9(2), december 2023, doi: 10.1002/advs.202205694

[HUA21] C. -C. Lin, Y. -D. Li and K. Hsu, "Guidelines of Plasma-FIB Delayering Techniques for Advanced Process Node," *2021 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, Singapore, Singapore, 2021, pp. 1-4, doi: 10.1109/IPFA53173.2021.9617324.

[HWA24] J. Hwan, M. Zhou, "Mesoscale model for computational simulation of reaction driven by dielectric breakdown in metal-polymer propellants", J. Appl. Phys. 135, 105102 (2024); doi: 10.1063/5.0191423

[JAS96] H. Jansen, M. de Boer, R. Legtenberg, M. Elwenspoek, "*A survey on the reactive ion etching of silicon in microtechnology*", *Journal of Micromechanics and Microengineering*, 6(1), 14–28. doi: 10.1088/0960-1317/6/1/002

[JOS13] A. Joseph, A. Botula, J. Slinkman, R. Wolf, R. Phelps, M. Abou-Khabil , "Power handling capability of an SOI RF switch," *2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Seattle, WA, USA, 2013, pp. 385-388, doi: 10.1109/RFIC.2013.6569611.

[JOU22] E. Jouin, "Développement d'une solution « single chip » à base de MEMS RF pour la réalisation d'un tuner pour le test de circuits microondes", Electronique, Université de Limoges, 2022

[KAM20] R. T. Kamurthi, S. R. Chopra and A. Gupta, "Higher Order QAM Schemes in 5G UFMC system," *2020 International Conference on Emerging Smart Computing and Informatics (ESCI)*, Pune, India, 2020, pp. 198-202, doi: 10.1109/ESCI48226.2020.9167619.

[KIM03] H. Kim, "Atomic layer deposition of metal and nitride thin films: Current research efforts and applications for semiconductor device processing", *J. Vac. Sci. Technol. B* 1 November 2003, 21 (6): 2231–2261, doi: 10.1116/1.1622676

[KOH00] P. A. Kohl, D. M. Bhusari, M. Wedlake, C. Case, F. P. Klemens, J. Miner, B.-C. Lee, R. J. Gutmann, and R. Shick, "Air-gaps in 0.3µmelectrical interconnections," IEEE Electron Device Lett., vol. 21, no. 12, pp. 557– 559, Dec. 2000. doi:10.1109/55.887464

[KWO21] H. Kwon, A. I. Khan, C. Perez, M. Asheghi, E. Pop, and K. E. Goodson, "uncovering thermal and electrical properties of Sb_2Te_3/GeTe", *Nano Letters* **2021** *21* (14), 5984-5990, doi: 10.1021/acs.nanolett.1c00947

[LEE96] C. S. Lee, J. T. Baek, H. J. Yoo, S. I. Woo, "Modeling and Characterization of Gas-Phase Etching of Thermal Oxide and TEOS Oxide Using Anhydrous HF and CH_3OH", 1996, *Journal of the electrochemical Society*, *143*(3), 1099,

[LEE962] J. H. Lee, K. H. Park, C. S. Lee, J. T. Baek, C. J. Kim, H. J. Yoo, "Fabrication of surface-micromachined polysilicon microactuators using HF gas-phase etching process", *ASME International Mechanical Engineering Congress and Exposition* (Vol. 15410, pp. 373-377), 1996

[LEE97] Y. I. Lee, K. H. Park, J. Lee, C. S. Lee, H. J. Yoo, C. J. Kim, Y. S. Yoon, "Dry release for surface micromachining with HF vapor-phase etching," in *Journal of Microelectromechanical Systems*, vol. 6, no. 3, pp. 226-233, Sept. 1997, doi: 10.1109/84.623111

[LES04] M. Leskelä, M. Ritala, “Atomic Layer Deposition Chemistry: Recent Developments and Future Challenges”, 2003, Angewandte Chemie International Edition, 42: 5548-5554. doi: 10.1002/anie.200301652

[LI12] L. Li, L. Zhang, X. Lin, J. He, C. O. Chui and M. Chan, "Phase-Change Memory With Multifin Thin-Film-Transistor Driver Technology," in *IEEE Electron Device Letters*, vol. 33, no. 3, pp. 405-407, March 2012, doi: 10.1109/LED.2011.2181480

[LIE05] M. A. Lieberman, A. J. Lichtenberg, “*Principles of plasma discharges and materials processing*”, 1994, *MRS Bulletin*, *30*(12), 899-901.

[LIU20] G. Liu, Y. Huang, Z. Chen, L. Liu, Q. Wang and N. Li, "5G Deployment: Standalone vs. Non-Standalone from the Operator Perspective," in *IEEE Communications Magazine*, vol. 58, no. 11, pp. 83-89, November 2020, doi: 10.1109/MCOM.001.2000230

[LIU20] J. P. Deligente, "Defect Localization on MIM Capacitor Array by Circuit Edit using Focused-Ion Beam (FIB)," *2020 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, Singapore, 2020, pp. 1-4, doi: 10.1109/IPFA49335.2020.9261067.

[LU14] L. Lu, G. Y. Li, A. L. Swindlehurst, A. Ashikhmin and R. Zhang, "An Overview of Massive MIMO: Benefits and Challenges," in *IEEE Journal of Selected Topics in Signal Processing*, vol. 8, no. 5, pp. 742-758, Oct. 2014, doi: 10.1109/JSTSP.2014.2317671

[MAC83] J. Machek and S. Selberherr, "A novel finite-element approach to device modeling," in *IEEE Transactions on Electron Devices*, vol. 30, no. 9, pp. 1083-1092, Sept. 1983, doi: 10.1109/T-ED.1983.21262.

[MAS06] D. J. Massey, J. P. R. David and G. J. Rees, "Temperature Dependence of Impact Ionization in Submicrometer Silicon Devices," in *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 2328-2334, Sept. 2006, doi: 10.1109/TED.2006.881010.

[MOH09] N. Mohamed and M. Z. Sujod, "Finite Elements in Semiconductor Devices," *2009 International Conference on Information Management and Engineering*, Kuala Lumpur, Malaysia, 2009, pp. 108-110, doi: 10.1109/ICIME.2009.18.

[MON14] Jeong-sun Moon, H-C. Seo and D. Le, "High linearity 1-ohm RF switches with phase-change materials," *2014 IEEE 14th Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems*, Newport Beach, CA, USA, 2014, pp. 7-9, doi: 10.1109/SiRF.2014.6828512.

[NAT14] S. Natarajan, M. Agostinelli, S. Akbar, M. Bost, A. Bowonder,V. Chikarmane, S. Chouksey, A. Dasgupta, K. Fischer, Q. Fu, T. Ghani,M. Giles, S. Govindaraju, R. Grover, W. Han, D. Hanken, E. Haralson,M. Haran, M. Heckscher, R. Heussner, P. Jain, R. James, R. Jhaveri, I. Jin, H. Kam, E. Karl, C. Kenyon, M. Liu, Y. Luo, R. Mehandru, S. Morarka, L. Neiberg, P. Packan, A. Paliwal, C. Parker, P. Patel, R. Patel, C. Pelto, L. Pipes, P. Plekhanov, M. Prince, S. Rajamani, J. Sandford, B. Sell, S. Sivakumar, P. Smith, B. Song, K. Tone, T. Troeger, J. Wiedemer, M. Yang, and K. Zhang, “A 14 nm logic technology featuring 2nd-generation FinFET, air-gapped inter-connects, self-aligned double patterning and a 0.0588µm2SRAMcell size,” inIEDM Tech. Dig., Dec. 2014, pp.3.7.1– 3.7.3. doi:10.1109/IEDM.2014. 7046976.Z

[NID20] Nidhi, A. Mihovska and R. Prasad, "Overview of 5G New Radio and Carrier Aggregation: 5G and Beyond Networks," *2020 23rd International Symposium on Wireless Personal*

Multimedia Communications (WPMC), Okayama, Japan, 2020, pp. 1-6, doi: 10.1109/WPMC50192.2020.9309496.

[NOG09] J. Noguchi, T. Oshima, T. Matsumoto, S. Uno and K. Sato, "Multilevel Interconnect with Air-Gap Structure for Next-Generation Interconnections," in IEEE Transactions on Electron Devices, vol. 56, no. 11, pp. 2675-2682, Nov. 2009, doi: 10.1109/TED.2009.2030538.

[OEH10] G. S. Oehrlein, "*Dry etching damage of silicon: A review*", Materials Science and Engineering: B, Volume 4, Issues 1–4, 1989, Pages 441-450, ISSN 0921-5107, doi: 10.1016/0921-5107(89)90284-5.

[ORD17] J. Ordonez-Lucena, P. Ameigeiras, D. Lopez, J. J. Ramos-Munoz, J. Lorca and J. Folgueira, "Network Slicing for 5G with SDN/NFV: Concepts, Architectures, and Challenges," in *IEEE Communications Magazine*, vol. 55, no. 5, pp. 80-87, May 2017, doi: 10.1109/MCOM.2017.1600935.

[PAR10] S. Parthasarathy, A. Trivedi, S. Sirohi, R. groves, M. Olsen and Y. S. Chauhan, "RF SOI Switch FET Design and Modeling Tradeoffs for GSM Applications," *2010 23rd International Conference on VLSI Design*, Bangalore, India, 2010, pp. 194-199, doi: 10.1109

[PAT23] Akash Patil. Thermal characterization of GeSbTe alloys by Raman thermometry for Phase-Change Memories. Micro and nanotechnologies/Microelectronics. Université de Lille, 2023.

[PAT24] A. Patil, S. Iyer, O. L. A. López, R. J. Pandya, K. Pai, A. Kalla, R. Kallimani, "A comprehensive survey on spectrum sharing techniques for 5G/B5G intelligent wireless networks: Opportunities, challenges and future research directions", Computer Networks, Volume 253, 2024, doi: 10.1016/j.comnet.2024.110697.

[PEN17] C. Penny, S. Gates, B. Peethala, J. Lee, D. Priyadarshini, S. Nguyen, P. McLaughlin, E. Liniger, C. K. Hu, L. Clevenger, T. Hook, H. Shobha, P. Kerber, I. Sheshadri, J. Chen, D. Edelstein, R. Quon, G. Bonilla, V. Paruchuri, and E. Huang, "Reliable airgap BEOL technology in advanced 48 nm pitch copper/ULK interconnects for substantial power and performance benefits," 2017 IEEE International Interconnect Technology Conference (IITC), Hsinchu, Taiwan, 2017, pp. 1-4, doi: 10.1109/IITCAMC.2017.7968970.

[PRA21] C. Prawoto, Z. Ma, Y. Xiao, S. Raju and M. Chan, "Air-Gap Technology With a Large Void-Fraction for Global Interconnect Delay Reduction," in IEEE Transactions on Electron Devices, vol. 68, no. 10, pp. 5078-5084, Oct. 2021, doi: 10.1109/TED.2021.3105086.

[RAD12] V. Passi, U. Sodervall, B. Nilson, G. Petersson, M. Hagberg, C. Krzeminski, "*Anisotropic vapor HF etching of silicon dioxide for Si microstructure release*", Microelectronic Engineering, Volume 95, 2012, Pages 83-89, ISSN 0167-9317, doi: 10.1016/j.mee.2012.01.005

[RAO14] S. Raoux., G. W. Burr, M. J. Breitwisch, "*Phase Change Materials and Phase Change Memory*. *MRS Bulletin"*, 39(8), pp 703–710, 2014

[RAO82] S. Rao, D. Wilton and A. Glisson, "Electromagnetic scattering by surfaces of arbitrary shape," in *IEEE Transactions on Antennas and Propagation*, vol. 30, no. 3, pp. 409-418, May 1982, doi: 10.1109/TAP.1982.1142818

[RAP13] T. S. Rappaport, S. Sun, R. Mayzus, H. Zhao, Y. Azar, K. Wang., "Millimeter Wave Mobile Communications for 5G Cellular: It Will Work!," in *IEEE Access*, vol. 1, pp. 335-349, 2013, doi: 10.1109/ACCESS.2013.2260813

[REB03] G. M. Rebeiz, "RF MEMS switches: status of the technology," *TRANSDUCERS '03. 12th International Conference on Solid-State Sensors, Actuators and Microsystems. Digest of Technical Papers (Cat. No.03TH8664)*, Boston, MA, USA, 2003, pp. 1726-1729 vol.2, doi: 10.1109/SENSOR.2003.1217118.

[REB13] G.M. Rebeiz, C. D. Patel, S. K. Han, C. -H. Ko and K. M. J. Ho, "The Search for a Reliable MEMS Switch," in *IEEE Microwave Magazine*, vol. 14, no. 1, pp. 57-67, Jan.-Feb. 2013, doi: 10.1109/MMM.2012.2226540

[RIU01] J. M. Rius, E. Ubeda and J. Parron, "On the testing of the magnetic field integral equation with RWG basis functions in method of moments," in *IEEE Transactions on Antennas and Propagation*, vol. 49, no. 11, pp. 1550-1553, Nov. 2001, doi: 10.1109/8.964090

[SAB16] D. Sabella, A. Vaillant, P. Kuure, U. Rauschenbach and F. Giust, "Mobile-Edge Computing Architecture: The role of MEC in the Internet of Things," in *IEEE Consumer Electronics Magazine*, vol. 5, no. 4, pp. 84-91, Oct. 2016, doi: 10.1109/MCE.2016.2590118.

[SAX19] N. Saxena, C. Persch, M. Wuttig, A. Manivannan. *Exploring ultrafast threshold switching in In_3SbTe_2 phase change memory devices*. *Scientific Reports*, 9, 19251, 2019, doi: 10.1038/s41598-019-55874-5

[SHA22] F. K. Shaikh, S. Zeadally and E. Exposito, "Enabling Technologies for Green Internet of Things," in *IEEE Systems Journal*, vol. 11, no. 2, pp. 983-994, June 2017, doi: 10.1109/JSYST.2015.2415194

[SHU15] R. Shu, A. Tang, B. Drouin and Q. J. Gu, "A 54–84 GHz CMOS SPST switch with 35 dB isolation," *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Phoenix, AZ, USA, 2015, pp. 15-18, doi: 10.1109/RFIC.2015.7337693.

[SIN15] R.Singh et al., "A 3/5 GHz Reconfigurable CMOS Low-Noise Amplifier Integrated with a Four-Terminal Phase-Change RF Switch", 978-1-4673-9894-7/15/$31.00 ©2015 IEEE

[SIN18] T.Singh et al., "Chalcogenide Phase Change Material GeTe Based Inline RF SPST Series and Shunt Switches", IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP 2018), July 16-1, 2018, Ann Arbor, MI USA

[SIN19] T. Singh and R. R. Mansour, "Characterization, Optimization, and Fabrication of Phase Change Material Germanium Telluride Based Miniaturized DC–67 GHz RF Switches," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 67, no. 8, pp. 3237-3250, Aug. 2019, doi: 10.1109/TMTT.2019.2926458.

[SIN20] T. Singh and R. R. Mansour, "Investigation Into Self Actuation Limitation and Current Carrying Capacity of Chalcogenide Phase Change GeTe-Based RF Switches," in *IEEE Transactions on Electron Devices*, vol. 67, no. 12, pp. 5717-5722, Dec. 2020, doi: 10.1109/TED.2020.3033793

[SKO03] T. Skotncki, F. Bœuf, “Introduction à la Physique du Transistor MOS“, 2003, *EGEM*

[SLO17] G.Slovin et al., "Design Criteria in Sizing Phase-Change RF Switches", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 65, NO. 11, NOVEMBER 2017

[SMI03] S. Smith, A. J. Walton, S. Bond, A. W. S. Ross, J. T. M. Stevenson and A. M. Gundlach, "Electrical characterization of platinum deposited by focused ion beam," in *IEEE*

Transactions on Semiconductor Manufacturing, vol. 16, no. 2, pp. 199-206, May 2003, doi: 10.1109/TSM.2003.811580.

[SOD21] A. H. Sodhro, S. Pirbhulal, G. H. Sodhro, M. Muzammal, L. Zongwei, A. Gurtov, "Towards 5G-Enabled Self Adaptive Green and Reliable Communication in Intelligent Transportation System," in *IEEE Transactions on Intelligent Transportation Systems*, vol. 22, no. 8, pp. 5223-5231, Aug. 2021, doi: 10.1109/TITS.2020.3019227

[SZK17] P. D. Szkutnik, M. Aoukar, V. Todorova, P. Noé, "*Impact of In doping on GeTe phase-change materials thin films obtained by plasma enhanced metalorganic chemical vapor deposition*". *Journal of Alloys and Compounds*, 708, 1213–1220, 2017, doi: 10.1063/1.4978020

[TAL17] T. Taleb, K. Samdanis, B. Mada, H. Flinck, S. Dutta and D. Sabella, "On Multi-Access Edge Computing: A Survey of the Emerging 5G Network Edge Cloud Architecture and Orchestration," in *IEEE Communications Surveys & Tutorials*, vol. 19, no. 3, pp. 1657-1681, thirdquarter 2017, doi: 10.1109/COMST.2017.2705720

[TAN22] P. K. Tan *et al*., "Novel and Simple Cross-sectional FIB Circuit Edit Techniques for Circuit Isolation," *2022 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, Singapore, Singapore, 2022, pp. 1-6, doi: 10.1109/IPFA55383.2022.9915711.

[TER00] K. Terada, K. Nishiyama, K. Hatanaka, "Comparison of MOSFET- threshold-voltage extraction methods", in solid state electronics, 2000, DOI. 10.101016/S0038-1101(00)00187-8

[URB00] E. T. Urbansky, M. R. Schock, "*Can Fluoridation Affect Water Lead(II) Levels and Lead(II) Neurotoxicity?",* 2000, United States Environmental Protection Agency (EPA), Office of Research and Development, National Risk Management Research Laboratory, Water Supply and Water Resources Division, Cincinnati, Ohio.

[VAN17] V. Vandalon, W. M. M. Kessels, "Revisiting the growth mechanism of atomic layer deposition of Al_2O_3: A vibrational sum-frequency generation study", 2017, Journal of Vacuum Science and Technology A, 35(5), Article 4993597, doi:10.1116/1.4993597

[WAI20] N.Wainstein et al., "Compact Modeling and Electrothermal Measurements of Indirectly Heated Phase-Change RF Switches", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 67, NO. 11, NOVEMBER 2020

[WAN03] Hao Wang, Minjia Xu, Chen Wang and T. Hubing, "Impedance boundary conditions in a hybrid FEM/MOM formulation," in *IEEE Transactions on Electromagnetic Compatibility*, vol. 45, no. 2, pp. 198-206, May 2003, doi: 10.1109/TEMC.2003.810813

[WAR21] H. Warashina, H. Kawasaki, H. Nagai, A. Yamaguchi, N. Sato, Y. Kikuchi, and X. Sun, "Advanced Air Gap Formation Scheme Using Volatile Material," 2021 IEEE International Interconnect Technology Conference (IITC), Kyoto, Japan, 2021, pp. 1-3, doi: 10.1109/IITC51362.2021.9537549

[XUA06] Y. Xuan, P. D. Ye, H. C. Lin, G. D. Wilk, "Minority-carrier characteristics of InGaAs metal-oxide-semiconductor structures using atomic-layer-deposited Al_2O_3 gate dielectric", *Appl. Phys. Lett.* 25 September 2006, 89 (13), 132103, doi:10.1063/1.2357566

[ZHO14] X.Zhou, M. Xia, F. Rao, L. Wu, X. Li, Z. Song, S. Feng, H. Sun, "*Understanding phase-change behaviors of carbon-doped $Ge_2Sb_2Te_5$ for Phase-change memory applications", ACS Applied Materials & Interfaces*, **2014** *6* (16), 14207-14214, doi: 10.1021/am503502q

[ZOU23] T. Zou, Y-Y. Noh, "Solution-Processed 2D Transition Metal Dichalcogenides: Materials to CMOS Electronics", *Accounts of Materials Research* **2023** *4* (6), 548-559, doi: 10.1021/accountsmr.3c00032

Production scientifique

- D. Gheysens, A. Fleury, S. Monfray, F. Gianesello, P. Cathelin, D. Troadec "Analysis of Airgaps for OFF-State Capacitance Reduction in SOI-CMOS RF Switches," in *IEEE Transactions on Electron Devices*, vol. 70, no. 11, pp. 5814-5817, Nov. 2023, doi: 10.1109/TED.2023.3311415.

- D. Gheysens, A. Fleury, S. Monfray, F. Gianesello, P. Cathelin, Jean-François Robillard, "Improving off-state capacitance of SOI-CMOS RF switches: how good are air microcavities?," *ESSDERC 2023 - IEEE 53rd European Solid-State Device Research Conference (ESSDERC)*, Lisbon, Portugal, 2023, pp. 109-112, doi: 10.1109/ESSDERC59256.2023.10268524.

- Emmanuel Dubois, Alain Fleury, Daniel Gheysens, Stéphane Monfray. Method for producing mosfet transistors incorporating air cavities to reduce capacitive coupling in radiofrequency regime. France, Patent n° : FR3152913 (A1) 2025-03-14. flagship_devices. 2025, Numéro(s) de priorité: FR20230009552 20230911 - Numéro de demande: WO2024EP72790 20240813. ⟨04249470v1⟩ ⟨hal-05156181v1⟩

- 4 présentations au sein du Laboratoire Commun ST IEMN de 2021 à 2025