

UNIVERSITÉ DES SCIENCES ET TECHNOLOGIES DE LILLE

Ecole Doctorale Sciences Pour l'Ingénieur

THESE

En vue de l'obtention du grade de
DOCTEUR DE L'UNIVERSITÉ DE LILLE

Discipline : Electronique

Présentée et soutenue publiquement le 10 juin 2008 par
Axel FLAMENT

Conversion N/A Radiofréquence 1bit multivoies à
filtrage programmable intégré en technologies
CMOS 65nm et IPD

Jury :

Mme	Nathalie	ROLLAND	Président
M.	Eric	KERHERVÉ	Rapporteur
M.	Gilles	JACQUEMOD	Rapporteur
M.	Andreas	KAISER	Directeur de Thèse
M.	Hilal	EZZEDDINE	Examineur
Mme	Andreia	CATHELIN	Examineur

Résumé

Conversion N/A Radiofréquence 1 bit multivoies à filtrage programmable intégré en technologies CMOS 65nm et IPD

Mots-clés : Radio logicielle, Radiofréquence, Mélangeur numérique, Combineur de puissance, Conversion numérique analogique 1bit, CMOS 65nm, IPD

Une nouvelle approche de la conversion numérique analogique des signaux RF est proposée au sein d'une chaîne d'émission basée sur le principe de la modulation delta-sigma ($\Delta\Sigma$) qui fournit un signal sur 1 bit à haute cadence dans le cadre de la recherche sur la radio logicielle. Le standard choisi pour démontrer ce concept est l'UMTS.

La conversion numérique analogique du signal radiofréquence a été réalisée en mode tension pour des raisons d'efficacité par l'intermédiaire d'un amplificateur de puissance commuté. Afin de générer suffisamment de puissance avec les technologies submicroniques fonctionnant à faibles tensions d'alimentation, un combineur de puissance différentiel cinq voies avec des lignes de transmission à éléments localisés a été réalisé dans des technologies CMOS 65nm et IPD (Integrated Passive Devices), toutes deux développées par ST Microelectronics. Cette architecture offre en plus la possibilité de réaliser un filtre semi numérique reconfigurable qui permet de créer des zéros de transmission dans les bandes voisines du standard considéré.

Les mesures réalisées sur un système comprenant le générateur numérique $\Delta\Sigma$ ainsi que le combineur de puissance à lignes de transmission et le filtrage numérique reconfigurable permettent de valider les différents principes développés dans cette thèse. Le combineur de puissance permet d'obtenir une puissance de 18dBm pour un signal sinusoïdal dans la bande fondamentale grâce à un gain en puissance relatif pour cinq voies de 14dB à 1.2GHz.

Thèse préparée dans l'équipe conception de Circuits Intégrés / Microélectronique Silicium du Département ISEN de l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), 41 Bd Vauban, 59046 Lille Cedex

Abstract

65nm CMOS and IPD single-bit multi-path RF DAC with embedded programmable FIR filter

Keywords: Software Defined Radio, Radiofrequency, Digital Mixer, Power Combiner, 1bit Digital to Analogue conversion, 65nm CMOS, IPD

In this work a novel approach to D/A conversion of RF signals is developed in the context of a transmission chain based on delta-sigma ($\Delta\Sigma$) modulation, providing a very high speed 1bit digital signal, suitable for software-defined radio (SDR). The standard chosen to demonstrate this concept is UMTS.

Digital to analogue conversion is realized here in a voltage-mode for efficiency reasons thanks to a switching Power Amplifier. In order to provide enough power with low voltage deep-submicron technologies, a five channels differential power combiner using lumped element transmission lines has been realised in 65nm CMOS and Integrated Passive Devices (IPD) processes, both developed by ST Microelectronics. A reconfigurable semi-digital filter can be realized in the latter architecture in order to create notches in the nearby frequency bands.

Measurements are made on a full system, comprising a digital $\Delta\Sigma$ signal generator, a 5-path power combiner and a reconfigurable digital filtering. The 5-path power combiner allows a maximal output power for a single tone in fundamental band of 18dBm thanks to a 14dB relative power gain at 1.2GHz.

This work has been performed within the Integrated Circuits Design Group / Microélectronique Silicium of the ISEN Department of the Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), 41 Bd Vauban, 59046 Lille Cedex, France

Remerciements

Un grand merci à toute l'équipe microélec de l'ISEN, sans qui ce travail n'aurait sans doute pas vu le jour :

Andreas Kaiser, mon directeur de thèse, pour ses conseils et son soutien

Bruno Stefanelli pour son aide sur le layout, le test des circuits et sa disponibilité

Jean-Marc Capron pour sa disponibilité et nos discussions

Valérie Vandenhende pour son aide quotidienne

Antoine Frappé un peu pour tout ce qui vient d'être cité !

Et également Emmanuel Dubois, Jean-Michel Droulez, Sophie Vercoutère, Sophie Malbête, Jean Gorisse, Crépin Nsiala Nzéza, Stéphane Razafimandimby, Benjamin Edmé, Dimitri Galayko, Christophe Krzeminski, Guilhem Larrieu, Emmanuel Lecat, Patrick Emery

Merci à tous les acteurs proches ou lointains de ce travail :

Messieurs Eric Kerhervé et Gilles Jacquemod d'avoir accepté de rapporter ce travail

l'ISEN et l'IEMN pour l'accueil au sein du laboratoire

Andreia Cathelin et Hilal Ezzeddine de STMicroelectronics pour l'accès aux technologies avancées et leurs conseils

Cyril Tilhac de STMicroelectronics pour les simulations Momentum

Didier Vandermoere de l'IEMN pour l'assemblage des circuits

Rédha Kassi, Christophe Loyez et Nathalie Rolland de l'IRCICA pour l'accès aux appareils de mesures

Merci à la famille et les amis pour leur soutien constant :

Papa et Maman, Papy et Mamy, Pascal et Fanny, Sami et louloute Anne-Claire, Tibo et Mam, Nico et Elo, Antoine et Louise, Tibob, Sim, Jules, Taz, Vince, Tifenn et tous les autres...

Sommaire

Résumé.....	i
Abstract	i
Remerciements.....	iii
Sommaire	v
Liste des Figures	vii
Liste des Tableaux.....	xi
Introduction	1
Chapitre I : Les systèmes radio et le concept de radio logicielle	5
1. Introduction	5
2. Un exemple de standard 3G : le standard UMTS	7
3. Principe et état de l’art des architectures d’émission radio.....	11
4. Architecture retenue pour la SDR	17
5. Conclusion et définition de la problématique de la thèse	25
Chapitre II : Mélangeur numérique et amplificateur commuté	29
1. Introduction	29
2. Conversion numérique analogique 1bit : Non idéalités – Interférences entre symboles – jitter	31
3. Mélangeur numérique	39
4. L’amplificateur de puissance commuté	50
5. Conclusion.....	59
Chapitre III : Combineur de puissance à lignes de transmission.....	61
1. Introduction : La recombinaison de puissance – Comment générer de la puissance à partir de faibles tensions d’alimentation ?.....	61
2. La réduction des tensions d’alimentation.....	63
3. Augmentation de la dynamique de sortie : « combinaison de puissance en série ».....	65
4. Combinaison de puissance en parallèle.....	67

5. Architectures RF à recombinaison de puissance – Etat de l’art.....	75
6. Architecture retenue pour la combinaison de puissance.....	79
7. Conclusion.....	87
Chapitre IV : Filtrage FIR reconfigurable	89
1. Introduction	89
2. Le filtrage numérique – Principes et Applications au sein d’une chaîne de transmission utilisant une modulation $\Delta\Sigma$	91
3. Combineur de puissance et filtrage numérique.....	94
4. Conclusion.....	103
Chapitre V : Implémentation et résultats	105
1. Introduction	105
2. Résultats de mesures sur le circuit FULBERT	106
3. Architecture complète du combineur de puissance et du filtrage FIR associé	109
4. Circuits ROSA en technologie ST IPD (Integrated Passive Device)	120
5. Circuit ROCCO en technologie Silicium bulk ST CMOS065.....	126
6. Mesures sur l’assemblage des circuits Silicium et IPD	135
7. Mesures avec un signal issu des modulateurs $\Delta\Sigma$	141
8. Conclusion.....	147
Conclusion.....	149
Bibliographie.....	153
ANNEXE	161

Liste des Figures

Figure 1 : Plan de fréquences pour les principaux standards autour de 2GHz selon les régions	7
Figure 2 : Les trois couches de l'interface radio UTRAN [2].....	8
Figure 3 : Mode d'accès et multiplexage pour le GSM, l'UMTS TDD et l'UMTS FDD	10
Figure 4 : schéma bloc d'une chaîne d'émission.....	11
Figure 5 : Architecture homodyne ou Zéro-IF	12
Figure 6 : Architecture hétérodyne.....	13
Figure 7 : Architecture hétérodyne IF numérique	13
Figure 8 : Architecture numérique	14
Figure 9 : Architecture présentée par J.Keyzer et P.Asbeck dans [10] et [12]	16
Figure 10 : Chaîne d'émission proposée	17
Figure 11 : Traitement en bande de base effectué dans la chaîne d'émission.....	18
Figure 12 : Spectre des signaux à chaque étape du traitement en bande de base.....	19
Figure 13 : Architecture proposée pour la modulation $\Delta\Sigma$ et la transposition en RF	21
Figure 14 : SNR d'un modulateur $\Delta\Sigma$ en fonction de la puissance d'entrée	22
Figure 15 : Spectres (non normés) des signaux en sortie du traitement en bande de base, après la modulation $\Delta\Sigma$ et après la transposition en RF	22
Figure 16 : Convertisseur numérique analogique 1 bit à commutation en courant (gauche) et en tension (droite).....	23
Figure 17 : Architecture de la chaîne d'émission proposée	29
Figure 18 : Interférence entre symboles – en haut : fronts symétriques – en bas : fronts dissymétriques	32
Figure 19 : Spectre du signal avec les fronts lents symétriques (le rapport entre temps de transition et période est de 0.25) et avec des fronts idéaux.....	33
Figure 20 : Spectre du signal avec des fronts décalés et du signal avec des fronts instantanés	34
Figure 21 : Schémas des convertisseurs numérique analogique unipolaire (gauche) et différentiel (droite)	35
Figure 22 : Spectres des signaux relatifs aux convertisseurs unipolaire et différentiel	35
Figure 23 : Transmetteur à architecture différentielle.....	35
Figure 24 : Histogramme des échantillons de jitter générés	37
Figure 25 : Représentation temporelle des signaux $\Delta\Sigma$ avec des instants de commutation idéaux et bruités	38
Figure 26 : Influence du jitter aléatoire sur le contenu spectral du signal $\Delta\Sigma$	38
Figure 27 : Exemple de multiplication par 1 et -1 d'une trame 1001	39
Figure 28 : Opération de transposition en fréquence	40
Figure 29 : Spectre du signal avec et sans interpolation de la voie Q.....	40
Figure 30 : Architecture du multiplexeur et diagramme simplifié des horloges utilisées dans le mélangeur	41
Figure 31 : Schéma et layout de la bascule utilisée (TSPCFF).....	42
Figure 32 : Fonctionnement de la bascule lorsque clk = 0 (à gauche) et lorsque clk = 1 (à droite)	43
Figure 33 : Diagramme de l'œil des signaux en sortie d'une bascule TSPCFF @ 80°C pour un process typique	44
Figure 34 : Chemin critique	44
Figure 35 : Chronogramme des signaux au niveau du chemin critique	45
Figure 36 : Evolution temporelle et diagramme de l'œil du signal avant la dernière bascule dans la version initiale du mélangeur numérique.....	46

Figure 37 : Insertion d'une bascule supplémentaire dans la voie Q afin de rendre le temps de parcours des données indépendant du chemin parcouru	47
Figure 38 : Chronogramme des signaux au niveau du chemin critique	47
Figure 39 : Evolution temporelle et diagramme de l'oeil du signal avant la dernière bascule dans la version corrigée du mélangeur numérique	48
Figure 40 : Layout du multiplexeur	48
Figure 41 : Diagramme de l'oeil des signaux en sortie des buffers sur une charge 100Ω différentielle @ 80°C pour, à gauche, un process TT et à droite un process SS	49
Figure 42 : Influence d'un filtre sur la consommation d'un étage en commutation	52
Figure 43 : Simulation de la caractéristique statique d'un inverseur CMOS pour différentes valeurs de largeur de grille et schéma électrique associé	54
Figure 44 : Chaîne de buffers utilisée	54
Figure 45 : Simulation temporelle des buffers	55
Figure 46 : Courant de court-circuit dans un inverseur CMOS	56
Figure 47 : Réduction de la tension d'alimentation en fonction de la longueur de grille	63
Figure 48 : Evolution dans la dernière décennie des tensions d'alimentation pour les modules numériques et de puissance au sein d'un terminal mobile	64
Figure 49 : Montage cascode avec 2 transistors NMOS	65
Figure 50 : Cascade de N transistors FET en série [50]	66
Figure 51 : Structure d'un transformateur	68
Figure 52 : Combineur de puissance à transformateur à 2 PAs	68
Figure 53 : Combineur de puissance à 4 transformateurs	70
Figure 54 : Combineur de puissance à 4 transformateurs utilisé dans [52] et [55]	70
Figure 55 : Combineur de Wilkinson 2 vers 1	72
Figure 56 : Circuit complet (en haut) et demi circuits équivalents (en bas) pour les modes pair et impair	73
Figure 57 : Amplificateur de puissance Doherty à 3 étages réalisé dans [59]	74
Figure 58 : PA proposé dans [61]	75
Figure 59 : Combinaison de puissance avec des lignes de transmission	76
Figure 60 : Architecture proposée par Shirvani [62]	77
Figure 61 : Synoptique de l'architecture de puissance	80
Figure 62 : Etude du combineur de puissance pour un signal en mode commun	81
Figure 63 : Schéma petit signal du circuit étudié	82
Figure 64 : Fonctions de transfert $V_{\text{sortie}}/V_{\text{signal}}$ (en haut à gauche), $P_{\text{sortie}}/P_{\text{signal}}$ (en haut à droite), P_{sortie} et P_{signal} (en bas) pour un combineur à 5 lignes d'impédance caractéristique 50Ω	85
Figure 65 : Spectre du signal de sortie filtré par un filtre d'antenne du 8ème ordre et spécifications pour l'émission UMTS	89
Figure 66 : Structure transversale (a) et indirecte (b) d'un filtre FIR du 5ème ordre	92
Figure 67 : Filtre numérique réalisé dans [62]	93
Figure 68 : Architecture de combineur de puissance retenue	94
Figure 69 : Architecture de combineur de puissance et introduction d'une ligne à retard numérique utilisant un registre à décalage	94
Figure 70 : Augmentation de l'ordre du filtre numérique par l'insertion de zéros	95
Figure 71 : Architecture globale du filtre numérique reconfigurable avec le combineur de puissance	96
Figure 72 : Exemples de réponse en fréquence pour trois filtres numériques	98
Figure 73 : Gain en fonction de la fréquence des différents FIR retenus – en bas, zoom sur la bande utile	100

Figure 74 : Spectres du signal $\Delta\Sigma$ représentant un canal WCDMA en sortie du modulateur $\Delta\Sigma$, puis filtré par le FIR de fonction de transfert H_3 et spécifications UMTS.....	101
Figure 75 : Gain en fonction de la fréquence des différents FIR retenus.....	102
Figure 76 : Layout du circuit réalisé dans [22]	106
Figure 77 : consommation de l'étage de sortie	107
Figure 78 : Spectres analogique et numérique d'un signal continu en sortie du circuit FULBERT	107
Figure 79 : Architecture du combineur de puissance et du filtre FIR	109
Figure 80 : Modèle à éléments localisés d'une ligne de transmission.....	110
Figure 81 : Schéma du combineur de puissance étudié	110
Figure 82 : Fonctions de transfert du combineur de puissance avec des lignes de transmission et avec un modèle de ligne à éléments localisés	111
Figure 83 : Module de l'impédance $Z_{\text{entrée_lignes}}$ pour une ligne de transmission et un modèle à éléments localisés pour une impédance de charge de $5 \times 50\Omega$	111
Figure 84 : Puissance du signal à l'entrée et à la sortie du combineur de puissance à lignes de transmission et avec le modèle de lignes utilisé.....	112
Figure 85 : Capacité présentée par le PA et modèle de ligne de transmission.....	113
Figure 86 : Fonctions de transfert du combineur de puissance avec un modèle de ligne de transmission idéal et réel	114
Figure 87 : Fonctions de transfert en tension du combineur de puissance avec une ligne de transmission, avec un modèle de ligne à éléments localisés réels avec et sans FIR. En bas, zoom sur la bande d'intérêt et représentation en dB.....	115
Figure 88 : Transfert de puissance du combineur avec un modèle de ligne à éléments localisés réel avec un FIR et sans FIR	115
Figure 89 : Puissance du signal à l'entrée et à la sortie du combineur de puissance avec FIR et sans FIR.....	116
Figure 90 : Architecture complète du combineur de puissance et filtrage numérique.....	116
Figure 91 : Spectres d'une sinusoïde pleine échelle codée par un modulateur $\Delta\Sigma$ et le spectre du même signal en sortie du combineur de puissance avec filtrage numérique.....	118
Figure 92 : Layouts et photos des deux IPD. A gauche, la version "classique", à droite avec un LC série sur chacune des voies de sortie.....	121
Figure 93 : Les quatre PCBs servant à calibrer l'analyseur de réseau	122
Figure 94 : Modèle de bonding utilisé en simulation.....	123
Figure 95 : S_{21} des deux circuits IPD. En haut, la version « classique » du circuit, en bas, avec le filtre passe-bande LC série intégré	124
Figure 96 : S_{21} des deux voies du circuit IPD sans filtre LC série.....	125
Figure 97 : Structure du circuit intégré	126
Figure 98 : Multiplexeur 2 vers 1	127
Figure 99 : BIST à 20 registres à décalage.....	128
Figure 100 : Ligne à retard numérique.....	128
Figure 101 : Schéma, layout et photographie du circuit réalisé	129
Figure 102 : Substrat et carte fille accueillant le circuit ROCCO	130
Figure 103 : Protocole de mesure mis en oeuvre	130
Figure 104 : Génération interne d'une horloge divisée par 4 à partir d'une horloge de 3GHz (haut) et d'une horloge à 4.8GHz (bas).....	131
Figure 105 : Signaux générés par le BIST	132
Figure 106 : Spectres des signaux générés par le BIST, et application de la correction par le sinus cardinal.....	133
Figure 107 : Consommation du chip silicium dans différentes configurations pour un signal issu du BIST ($V_{\text{alim}} = 0.992V$).....	134

Figure 108 : Substrat et carte fille accueillant le système complet de combineur de puissance comprenant le circuit Silicium et l'IPD.....	135
Figure 109 : Assemblage des circuits Silicium et IPD.....	136
Figure 110 : Spectre du signal pseudo-aléatoire en sortie du combineur de puissance 5 voies sans filtrage numérique	137
Figure 111 : Gain en puissance relatif à une seule voie en fonction du nombre de voies actives (n)	137
Figure 112 : Fonctions de transfert de différents filtres numériques	138
Figure 113 : Fonction de transfert du FIR H_1 prévu pour la bande UMTS TX	139
Figure 114 : Consommation de l'ensemble ROCCO et IPD en fonction de la fréquence d'horloge	140
Figure 115 : Protocole de test de l'ensemble constitué du générateur de signaux numériques [22] et combineur de puissance avec filtre numérique.....	141
Figure 116 : Bande fondamentale et bande image	142
Figure 117 : Diagrammes de l'œil des signaux en sortie de FULBERT (gauche) et en sortie de ROCCO (droite) pour une horloge à 1.6GHz.....	143
Figure 118 : Spectre du signal numérique.....	143
Figure 119 : Diagramme de l'oeil en sortie de ROCCO pour un signal d'entrée 1 bit provenant d'un modulateur $\Delta\Sigma$ cadencé à 400MHz	144
Figure 120 : Spectre du signal en sortie du modulateur $\Delta\Sigma$	144
Figure 121 : Spectres en sortie de FULBERT et du combineur de puissance 1 voie	145
Figure 122 : Spectres en sortie du combineur de puissance pour 1 et 5 voies actives	145
Figure 123 : Spectres en sortie du combineur de puissance 5 voies avec et sans l'activation du filtre numérique $H_1(z^{-1})$	146
Figure 124 : Exemple d'architecture bi-standard	150
Figure 125 : Spectre d'émission UMTS. Les différentes bandes de mesure ont été ramenées à une unique bande de 1 MHz afin de ne pas avoir de discontinuité sur la figure.....	162
Figure 126 : Masque d'émissions parasites pour l'UMTS et bande d'émission et de réception pour le GSM900, le DCS1800 et l'UMTS/FDD bande I.....	163
Figure 127 : Constellation idéale (croix rouge) et réelle (points bleus) pour une modulation PSK utilisée dans l'UMTS.....	164

Liste des Tableaux

Tableau 1 : Comparaison chiffrée des trois architectures d'amplificateur de puissance commuté	52
Tableau 2 : Courant pic des inverseurs de la chaîne de buffers	57
Tableau 3 : Estimation et simulation des consommations pour la chaîne de buffers avec et sans charge résistive de 50Ω	58
Tableau 4 : Résumé des différents PA présentés	78
Tableau 5 : Puissance de sortie et transfert de puissance à la fréquence d'accord lors de l'action d'un nombre variable de voies. Entre parenthèses, les valeurs idéales lorsque $r_{on_moyen} = 0$	86
Tableau 6 : Jeux de coefficients des filtres FIR retenus	99
Tableau 7 : Résumé des performances du circuit FULBERT pour une horloge de 2.6GHz .	108
Tableau 8 : Résumé des performances des circuits pour une horloge à 436MHz	146
Tableau 9 : Masque d'émission spectrale de l'UMTS	161
Tableau 10 : Spécifications de l'ACLR pour l'UMTS	162
Tableau 11 : Spécifications générales d'émissions parasites de l'UTRAN	162
Tableau 12 : Spécifications supplémentaires d'émissions parasites pour l'UMTS/FDD Bande I	163

Introduction

La diversification des moyens de communication mobiles engendre un véritable besoin au niveau des terminaux. Ces avancées technologiques créent également un besoin fort au niveau du consommateur qui en exige toujours davantage. En effet, avec un téléphone mobile actuel, il est maintenant possible de consulter son courrier électronique, de synchroniser son ordinateur portable... et de téléphoner. Chaque opération nécessite l'utilisation d'une chaîne de communication spécifique, répondant chacune à un cahier des charges précis. Ceci est d'autant plus vrai que l'utilisateur nomade veut utiliser son terminal sur n'importe quel continent et que les différents standards actuels ne sont généralement pas compatibles.

Le thème de ce travail est focalisé sur les communications mobiles et plus particulièrement sur la partie émission des terminaux mobiles. L'intégration de fonctions toujours plus nombreuses et performantes pour un coût et une consommation toujours plus faibles fait partie des défis relatifs à cette discipline. Notre équipe se place dans ce contexte dans lequel nous essayons de démontrer le principe et la faisabilité d'une radio multistandard reconfigurable. La génération numérique du signal à partir d'une modulation $\Delta\Sigma$ ayant fait l'objet d'une autre thèse au sein de notre équipe, nous nous intéressons ici à la partie en aval de la chaîne d'émission, regroupant la transposition en radiofréquence, la conversion numérique analogique du signal, ainsi que son amplification de puissance.

Ce mémoire sera présenté de la manière suivante :

Le chapitre I présente de manière générale le principe des systèmes radios et le concept de radio logicielle. Nous verrons alors que la tendance actuelle est de numériser le plus possible la chaîne de transmission. A cet effet, une architecture innovante reposant sur le principe de la modulation $\Delta\Sigma$, sera proposée. La description de celle-ci permet de dégager les enjeux relatifs à sa conception et de soulever la problématique de cette thèse concernant la conversion numérique analogique, l'amplification et le filtrage.

Le chapitre II aborde de manière plus approfondie l'opération de conversion numérique analogique, de transposition radiofréquences et d'amplification. Dans la chaîne de transmission que nous utilisons, un certain soin doit être apporté à la conception de l'étage de conversion numérique analogique. Les phénomènes propres à cette opération et qui dégradent le signal sont décrits et les solutions pour les combattre sont proposées dans ce chapitre. Nous abordons alors la transposition en radiofréquences et présentons une architecture originale

fonctionnant à haute cadence par l'utilisation d'une logique dynamique. Enfin, la topologie de l'amplificateur de puissance utilisé pour réaliser la conversion numérique analogique est choisie et une étude de sa consommation est effectuée.

Le chapitre III discute de la façon de générer de la puissance grâce à des technologies à faibles tensions d'alimentation. Les différentes techniques de combinaison de puissance seront présentées et un état de l'art des amplificateurs utilisant ces techniques complète la section. Enfin, l'architecture de combineur de puissance choisie est décrite.

Le chapitre IV met l'accent sur le besoin important de filtrage dans les chaînes de communication mobiles et particulièrement lorsqu'une modulation $\Delta\Sigma$ est utilisée. Nous voyons dans ce chapitre la manière d'utiliser le combineur de puissance développé précédemment afin de réaliser un filtre numérique. La synthèse de fonctions de transfert afin de répondre au standard UMTS est détaillée.

Enfin, le chapitre V présente l'association du combineur de puissance et du filtre numérique, l'implémentation matérielle des circuits utilisant les technologies CMOS 65nm et IPD (Integrated Passive Devices) de STMicroelectronics ainsi que les résultats de mesures. Enfin, des mesures effectuées sur un système comprenant le générateur numérique $\Delta\Sigma$ et le combineur de puissance à filtrage numérique reconfigurable permet de valider de manière concrète les principes introduits par cette thèse.

Finalement, un résumé et les perspectives de ce travail viennent clore ce mémoire.

Chapitre I : Les systèmes radio et le concept de radio logicielle

1. Introduction

Un système radio (ou radiofréquence, RF) est un système capable de transposer des informations en ondes électromagnétiques. Ce type de système est présent bien entendu dans la téléphonie mobile mais également dans les téléviseurs ou encore les systèmes de positionnement par satellite.

Aujourd'hui, cette fonction est assurée par des puces électroniques spécialisées, capables chacune d'effectuer un seul type de transposition, c'est-à-dire permettant de communiquer chacune sur un seul standard de communication. Dans le cas de la téléphonie mobile, la multiplication des standards induit une complexification de l'architecture matérielle puisque chaque standard disponible sur le terminal mobile se traduit par l'intégration d'une puce RF spécifique. De plus, chaque puce intégrée augmente la taille, donc le coût du produit final ainsi que sa consommation, ce qui réduit son autonomie.

La téléphonie mobile compte à elle seule de nombreuses normes de deuxième génération 2G telles que le GSM et DCS1800 en Europe, ainsi que l'IS-95 aux Etats-Unis, deux normes 2,5G (Gprs, Edge), et trois normes 3G (troisième génération) : l'UMTS européen, le Cdma2000 américain, et le TD-Scdma chinois. De plus, les utilisateurs souhaitent que leur téléphone portable puisse également communiquer avec les différents équipements électroniques environnants. Les terminaux mobiles sont donc de plus en plus nombreux à intégrer la technologie Bluetooth (IEEE 802.15.1) permettant des communications courte portée, ainsi que la technologie Wi-Fi (IEEE 802.11) permettant d'accéder aux réseaux locaux sans fils (WLAN). Fabriquer un téléphone compatible Wi-Fi et Bluetooth nécessite donc au moins quatre puces RF différentes. Et d'autres standards de communication se profilent déjà à l'horizon, comme la quatrième génération de téléphonie mobile (4G), le mobile-Fi (IEEE 802.20) assurant une communication lorsque le terminal mobile est en mouvement (jusqu'à 250 km/h), ainsi que différentes technologies WLAN telles que le WiMax (IEEE 802.16) ou le WLAN 60 GHz (IEEE 802.15.3c) assurant des débits de plusieurs Gb/s.

L'idée d'un terminal « à tout faire » prend alors un sens. C'est ce que propose la radio logicielle (ou SDR, Software Defined Radio en anglais) ou radio reconfigurable. Le principe est d'utiliser des circuits capables de s'adapter à différents standards tout en gardant la même infrastructure matérielle. Point positif, l'utilisateur n'aurait pas à changer son matériel si le

standard de communication évolue ou change radicalement : il « suffirait » de télécharger le logiciel qui correspond. De nombreux universitaires et industriels s'attachent donc à avancer dans ce domaine. A l'avenir, les radios logicielles seront capables de s'adapter automatiquement à leur environnement, et pourront « apprendre » à fonctionner de façon optimale, c'est-à-dire de choisir le standard disponible le mieux adapté à la communication souhaitée. A ce moment-là, la SDR méritera vraiment qu'on l'appelle « radio intelligente » (Cognitive Radio).

La première partie de ce chapitre est consacrée à la description d'un standard de troisième génération qui est l'UMTS. Ce bref aperçu permet d'explicitier, via un exemple concret, quelques notions propres à ces normes de communication. La seconde partie présente, de manière générale, les différentes architectures utilisées dans les systèmes radios. La numérisation de ces systèmes permet de concevoir leur reconfigurabilité et ouvre ainsi la porte au développement de la radio logicielle. La partie suivante décrit la chaîne d'émission reconfigurable mise au point au sein de notre équipe. Ses constituants seront brièvement explicités afin de justifier nos choix architecturaux. Enfin, la problématique de cette thèse, à la lumière des parties développées auparavant, viendra clore ce chapitre.

2. Un exemple de standard 3G : le standard UMTS

Afin de caractériser une chaîne de transmission, il convient de définir un certain nombre de concepts et de clarifier le fonctionnement des systèmes radios. Cette section s'attellera d'abord à expliciter, à travers l'exemple de l'UMTS, un réseau de troisième génération puis les différents modes d'accès. Toutes ces données ont été définies par l'ETSI et sont disponibles dans [1]. Dans notre étude, nous avons choisi de travailler sur ce standard de communication de troisième génération qui utilise la bande de fréquence la plus élevée (voir Figure 1). C'est donc lui qui impose les contraintes les plus sévères en termes de réalisation.

2.1. Introduction - Généralités

L'UMTS est la norme de télécommunications de troisième génération (3G) utilisée en Europe et est basée sur la technologie W-CDMA, détaillée à la section « Mode d'accès et allocation de fréquences ». L'équivalent américain est le CDMA-2000 utilisé dans la bande de fréquence PCS et l'équivalent chinois est le TD-SCDMA (UMTS TDD). La Figure 1 présente les fréquences allouées pour chacun de ces standards.

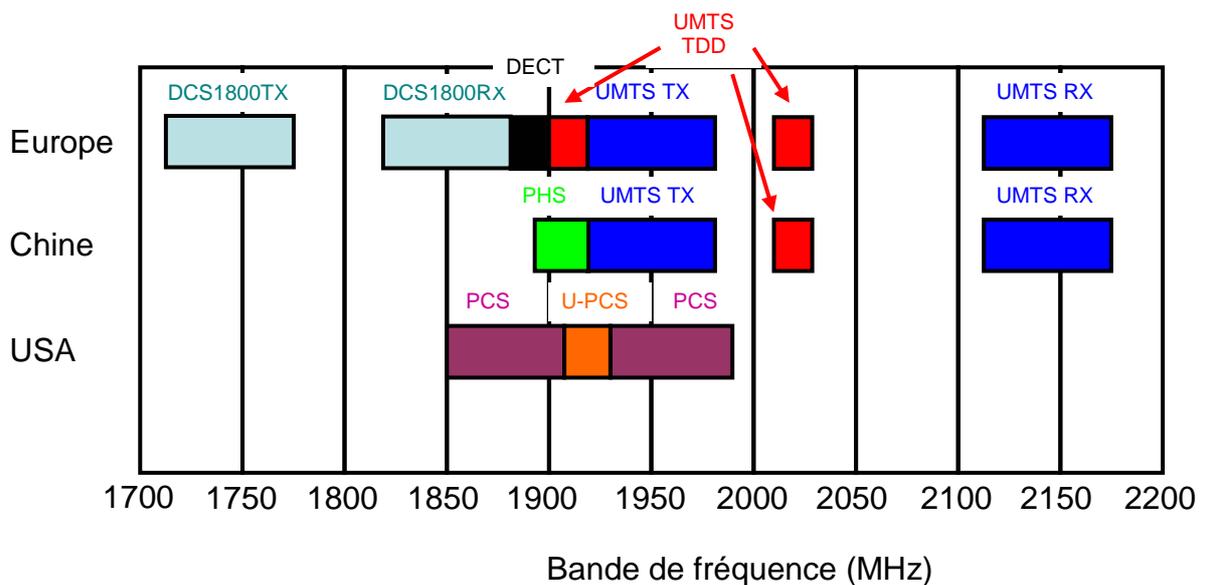


Figure 1 : Plan de fréquences pour les principaux standards autour de 2GHz selon les régions

Tous ces standards fonctionnent dans la même gamme de fréquence et les mêmes enjeux de conception RF se retrouvent quelque soit le continent sur lequel on se trouve.

Le réseau UMTS est composé d'un réseau d'accès UTRAN (UMTS Terrestrial Radio Access Network) et d'un réseau cœur que nous ne développerons pas dans ce document (voir

[2] pour de plus amples informations). Le réseau d'accès UTRAN est doté de plusieurs fonctionnalités. Sa fonction principale est de transférer les données générées par l'utilisateur. Il est une passerelle entre l'équipement usager et le réseau cœur. Le réseau d'accès UTRAN est composé de plusieurs éléments : une ou plusieurs stations de base (appelées NodeB), des contrôleurs radio RNC (Radio Network Controller) et des interfaces de communication entre les différents éléments du réseau UMTS.

L'interface radio de l'UTRAN est structurée en couches dont les protocoles se basent sur les 3 premières couches du modèle OSI (respectivement la couche physique, la couche liaison de données et la couche réseau, voir Figure 2).

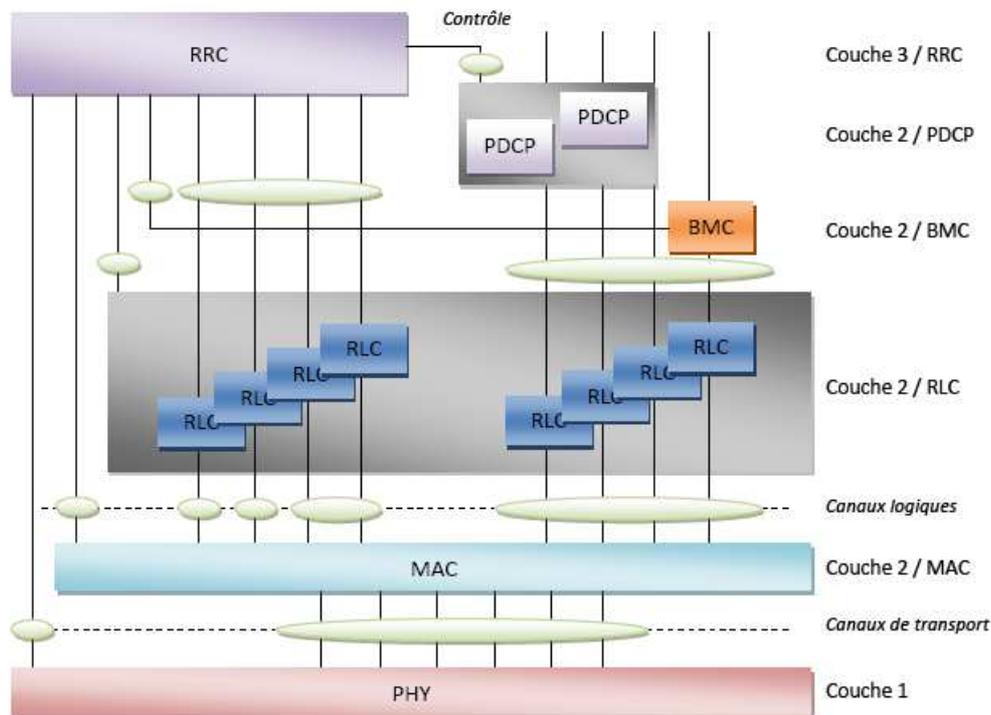


Figure 2 : Les trois couches de l'interface radio UTRAN [2]

Couche 1 : Cette couche PHY représente la couche physique de l'interface radio qui réalise les fonctions de codage, décodage, modulation et d'entrelacement selon le W-CDMA ainsi que l'interface avec le canal de propagation (transposition en fréquence porteuse, amplification, filtrage...).

Couche 2 : Cette couche est divisée en plusieurs sous couches :

- La sous-couche MAC (Medium Access Control) a pour rôle de multiplexer les données sur les canaux de transport radio.
- La sous-couche RLC (Radio Link Control) permet d'assurer la fiabilité du transport des données entre deux équipements du réseau.

- La sous-couche BMC (Broadcast/Multicast Control) est en charge d'assurer les fonctions de diffusion de messages sur l'interface radio.
- La sous-couche PDCP (Packet Data Convergence Protocol) permet de compresser les données via des algorithmes de compression.

Couche 3 : Cette couche RRC (Radio Resource Control) gère la connexion de signalisation établie entre le réseau d'accès UTRAN et l'équipement usager, utilisée lors de l'établissement ou de la libération de la communication.

Dans la suite de ce document, nous ne nous intéresserons qu'aux données de la couche physique, c'est-à-dire celles issues de la couche MAC et donc au traitement de données au sein de la couche PHY.

2.2. Modes d'accès et allocation de fréquence

Pour des raisons de sécurité de la transmission, d'efficacité spectrale et de robustesse face aux interférences, l'UMTS utilise une technique d'étalement de spectre. Comme son nom l'indique, c'est une technique qui consiste à transmettre un signal sur une bande passante beaucoup plus large que son contenu spectral. Il existe deux types de méthodes d'étalement de spectre qui sont le Frequency Hopping (FH) et le Direct Sequence (DS). C'est ce dernier que nous allons détailler étant donné que l'UMTS utilise celui-ci. L'étalement de spectre à séquence directe (DSSS pour Direct Sequence Spread Spectrum) consiste à multiplier le signal par une séquence binaire pseudo aléatoire spécifique. Grâce à un choix judicieux de ce « code » (qui présente alors des propriétés d'orthogonalité), il est possible de faire coexister les données de différents utilisateurs à l'intérieur d'un même canal et au même moment. On parle alors de CDMA (Code Division Multiple Access) ou technique d'accès multiple à répartition par code.

Dans le cas où la bande passante utilisée est relativement large, on parle de W-CDMA (Wideband CDMA). C'est le cas de l'UMTS, un canal « mesure » 5MHz. Par comparaison, le standard GSM utilise un mode d'accès fréquentiel (FDMA, Frequency Division Multiple Access) et temporel (TDMA, Time Division Multiple Access). Chaque utilisateur utilise un canal précis pendant un laps de temps déterminé.

Il existe de plus deux techniques de multiplexage dans le standard UMTS. Une première de type fréquentiel (FDD, Frequency Division Duplex) dans laquelle la voie montante (ou uplink), c'est-à-dire de l'utilisateur vers la station de base, et la voie descendante (ou downlink), de la station de base à l'utilisateur, émettent en même temps mais pas sur la même bande de fréquence (technique également utilisée par le GSM) ; et une seconde de type

temporel (TDD, Time Division Duplex) où l'émission et la réception s'effectuent sur la même bande de fréquence mais à des instants différents.

La Figure 3 compare les techniques de modes d'accès et de multiplexage pour le GSM, l'UMTS TDD et l'UMTS FDD.

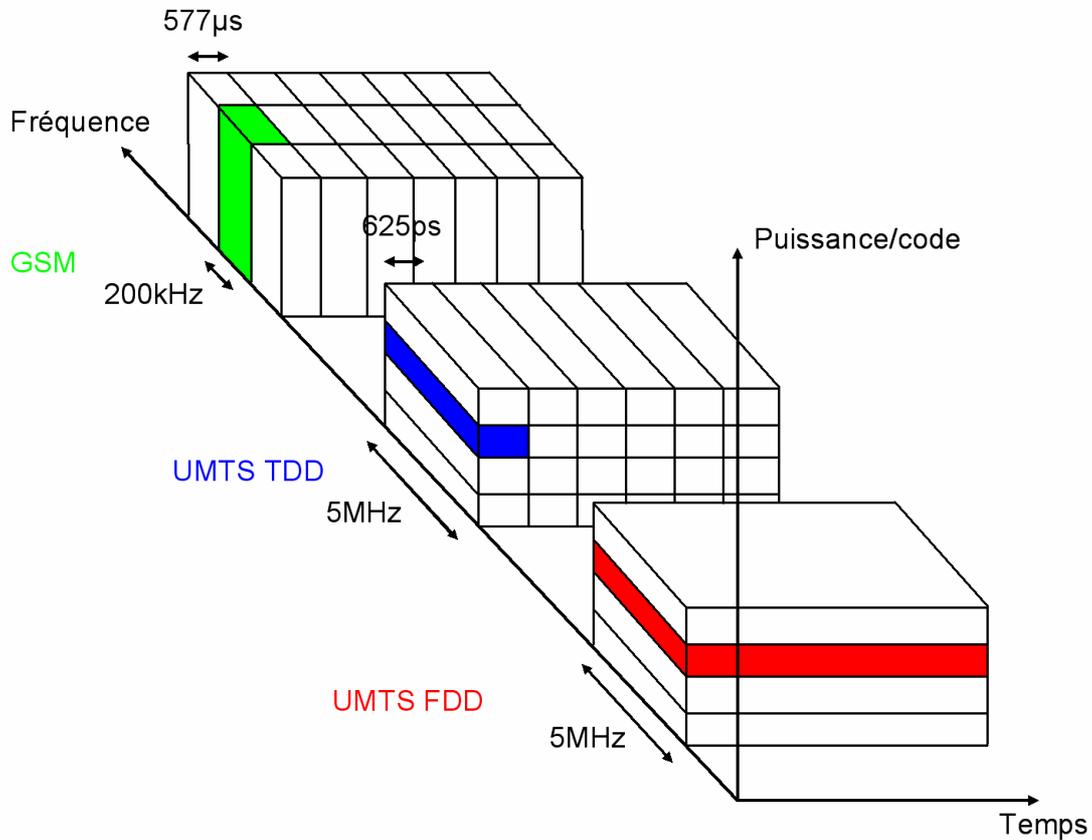


Figure 3 : Mode d'accès et multiplexage pour le GSM, l'UMTS TDD et l'UMTS FDD

Dans cette étude, nous ne nous intéresserons qu'à l'UMTS FDD. Ce standard est composé de deux bandes de fréquence de 60MHz, leurs fréquences centrales respectives étant séparées de 190MHz. La voie ascendante, c'est-à-dire de l'utilisateur vers la station de base utilise la bande 1920-1980 MHz alors que la voie descendante utilise la bande 2110-2170 MHz. Ces bandes de fréquences de 60MHz sont divisées en 12 canaux de 5MHz. Le mode d'accès est le WCDMA décrit précédemment et la modulation utilisée est de type HPSK (Hybrid Phase Shift Keying).

3. Principe et état de l'art des architectures d'émission radio

Un émetteur radio est un appareil électronique destiné à émettre certaines ondes radioélectriques modulées, permettant ainsi de transmettre des données via un canal de propagation à des récepteurs radio.

La Figure 4 présente typiquement les opérations à effectuer pour émettre un signal radio.

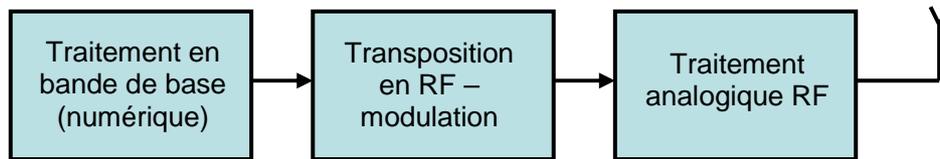


Figure 4 : schéma bloc d'une chaîne d'émission

Les données à transmettre (audio, vidéo, etc.) sont traitées en bande de base, c'est-à-dire sans subir aucune modulation. On applique à ces données un certain nombre d'opérations, comme des codages, des compressions ou encore des conversions numérique analogique ou analogique numérique. La majeure partie de ces opérations est réalisée à basse fréquence et de manière numérique par l'intermédiaire de circuits dédiés appelés DSP (Digital Signal Processor). La transposition aux fréquences radio ou mise en RF est une opération inhérente à tout système radio. Elle permet de fixer un support de propagation aux données à véhiculer. Cela consiste à générer un signal à fréquence fixe, généralement de l'ordre de la dizaine de MHz voire jusqu'à plusieurs dizaines de GHz pour les communications courtes portées, la fréquence choisie dépend du standard de communication utilisé et du placement du canal au sein de la bande. Ce signal porte le nom de porteuse (par abus de langage, on la note f_C , qui représente sa fréquence). Celle-ci va être modulée (en amplitude, en phase, en fréquence...) par le signal en bande de base (appelée modulant) selon le type de modulation utilisée. Enfin, le traitement analogique RF permet d'une part, de générer la puissance nécessaire au signal à émettre pour que l'onde arrive à son destinataire et d'autre part, de filtrer (mettre en forme) le signal pour ne pas perturber les autres communications sans fils environnantes (respecter un masque spectral de puissance émise). Ces paramètres sont dictés par le standard de communication utilisé.

On détaillera dans les sections suivantes les différents types d'architectures analogiques et numériques. On suppose que la modulation utilisée est de type IQ. Ce type de modulation permet d'utiliser n'importe quelle type de modulation analogique (AM, FM, PM...) ou numérique (ASK, FSK, PSK, QAM...). Le signal modulant est décomposé en deux

composantes I et Q, chaque composante venant moduler la porteuse et sa composante en quadrature.

Un aperçu des différentes architectures proposées ci-après peut être trouvé dans [3] où A. Splett présente de manière synthétique les différentes approches utilisées dans les chaînes de communications mobiles.

3.1. Architectures analogiques

Dans les architectures analogiques, les blocs numériques trouvent leur place en bande de base puis les données passent directement dans un convertisseur numérique analogique (CNA). Toute la partie de transposition de fréquence et de modulation IQ s'effectue de manière analogique. On distingue deux types d'architecture analogique.

La première architecture, simple et faible coût, est l'architecture homodyne ou à conversion directe (Figure 5). Le signal analogique en bande de base est transposé directement en fréquence RF où s'effectue la modulation IQ.

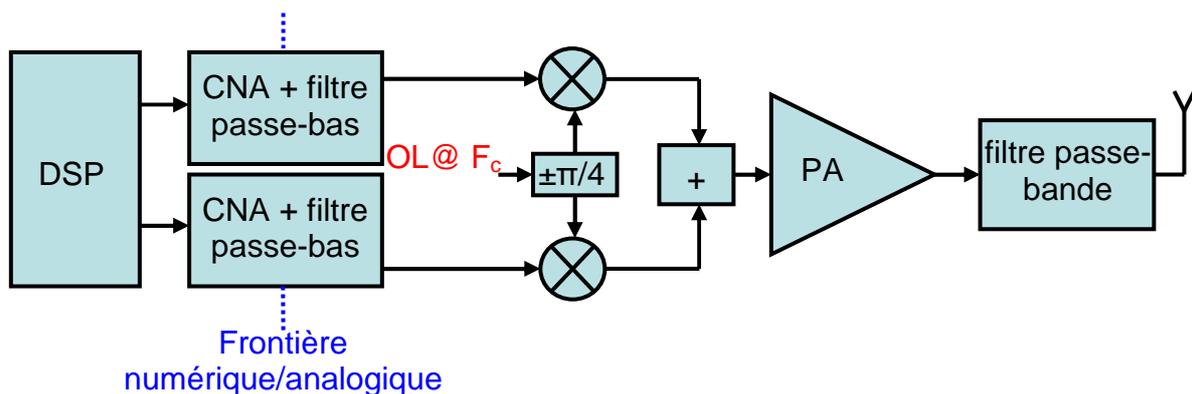


Figure 5 : Architecture homodyne ou Zéro-IF

Ce type d'émetteur souffre malheureusement de nombreux inconvénients. Tout d'abord, l'oscillateur local est perturbé par le signal émis car ils ont la même fréquence (phénomène de « LO pulling » qui s'aggrave si le PA est alternativement actif ou inactif comme c'est le cas pour le mode TDD, où le système radio fonctionne alternativement en émission et réception). D'autre part, l'appariement des voies I et Q est plus difficile à hautes fréquences. En effet, même un faible décalage de phase sur l'oscillateur local peut engendrer une sévère dégradation de l'Error Vector Magnitude (EVM, voir annexe pour plus de détails). Trois exemples d'architecture homodyne pour un transmetteur 3G sont présentés dans [4], [5] et [6].

La seconde structure est dite hétérodyne car la transposition en RF s'effectue en deux temps. Tout d'abord le signal en bande de base est transposé en fréquence intermédiaire (IF) où s'effectue la modulation IQ. Le signal résultant est ensuite transposé en RF. Les

inconvénients de la solution homodyne sont donc supprimés. Cependant, l'architecture hétérodyne nécessite un filtrage supplémentaire en IF et consomme davantage. La Figure 6 présente une telle architecture. Deux exemples d'architecture hétérodyne sont présentés dans [7] et [8].

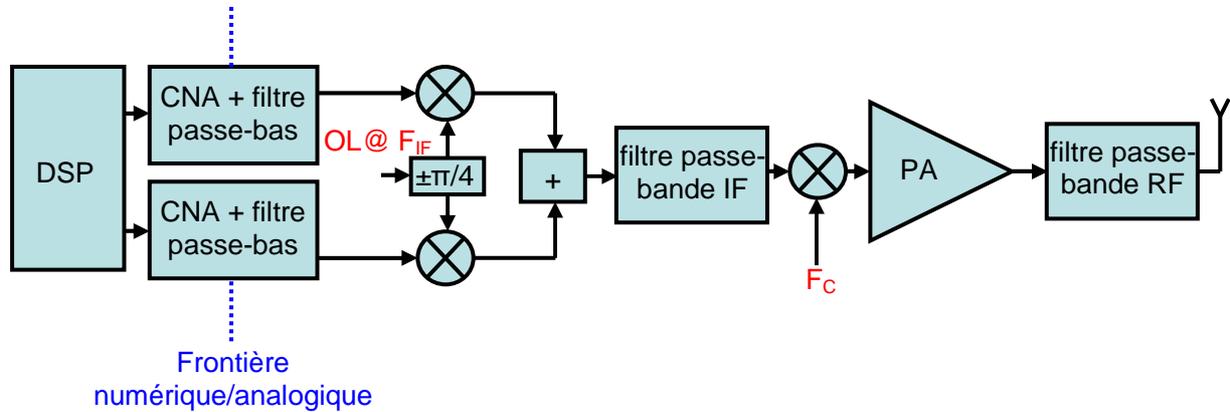


Figure 6 : Architecture hétérodyne

La plupart des systèmes de téléphonie sur le marché utilisent ce type d'émetteur bien que la tendance actuelle soit de rendre ces chaînes d'émission de plus en plus numériques. C'est ce que nous détaillons dans la section suivante.

3.2. Des architectures « de plus en plus » numériques

Une première « numérisation » des chaînes de transmission est de traiter la partie bande de base et IF de manière numérique (Figure 7). Cette approche permet une certaine flexibilité du système ainsi qu'un coût de fabrication moindre. La modulation IQ et le filtrage IF associé s'effectuent dorénavant de manière numérique (plus performant que de manière analogique car moins sensible aux désappariements possibles) et peuvent être réalisés à l'aide de circuits programmables. On trouve un exemple d'une telle réalisation dans [9].

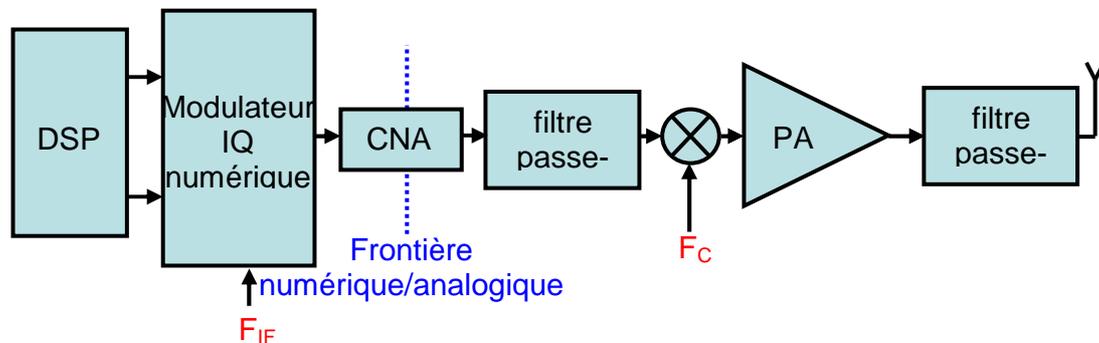


Figure 7 : Architecture hétérodyne IF numérique

Les avancées des technologies CMOS submicroniques permettent à présent d'atteindre des fréquences de travail élevées. C'est pourquoi l'idée de numériser la partie RF des chaînes de transmission émerge comme il est présenté dans [10], [11] et [12]. Une telle architecture est présentée de manière simplifiée à la Figure 8. La partie RF analogique ne comprend plus que le PA et le filtrage d'antenne. Actuellement, beaucoup de publications parlent de la possibilité de réaliser une telle chaîne d'émission mais aucune implémentation de circuits intégrés n'a été publiée.

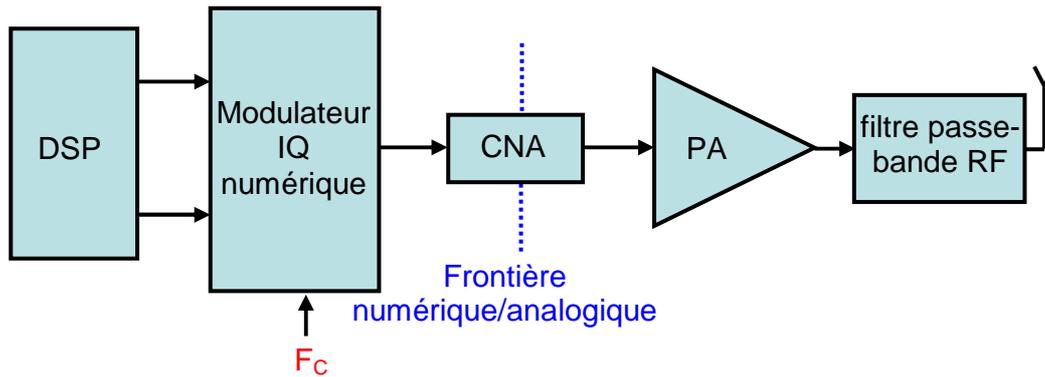


Figure 8 : Architecture numérique

Cette architecture peut être vue comme l'aboutissement de la radio logicielle, dans le sens où le PA est un élément purement analogique et ne pourra en aucun cas être remplacé par un équivalent numérique. Cependant, sa conception peut être grandement simplifiée si le signal à amplifier est vu comme un signal numérique où le PA joue alors le rôle de convertisseur numérique analogique. Enfin, le filtre d'antenne pourra être enlevé si le signal est suffisamment filtré en amont de l'amplificateur de puissance.

Cette chaîne d'émission peut donc maintenant être configurée de manière logicielle, le choix du codage, de la modulation, de la fréquence de la porteuse, etc., s'effectuant de manière numérique.

3.3. Aperçu des architectures avancées pour la radio logicielle

La radio logicielle se définit, à la vue de la partie précédente, comme une architecture radio dont les composants seraient reconfigurables et permettraient d'adresser un grand nombre de standards. Au niveau de la partie « front end » analogique, cela nécessite la conception et l'utilisation de composants large bande mais également sélectifs afin d'adresser séparément chaque standard, ce qui a l'inconvénient d'être très contraignant à réaliser. En effet, il n'existe pas à l'heure actuelle la possibilité de reconfigurer les parties analogiques de manière simple et efficace. Les efforts se portent par conséquent sur la génération numérique

du signal radiofréquence. Celle-ci doit être indépendante du standard de communication choisi afin d'approcher le plus possible de l'architecture présentée à la Figure 8.

Tout d'abord, P. Midya et P. Wagh proposent dans [13] et [14] une façon originale d'effectuer la transposition en RF du signal modulé. Ils utilisent une modulation à largeur d'impulsion pour générer les signaux I et Q. Cette méthode porte le nom de QINS pour Quadrature Integral Noise Shaping (mise en forme du bruit intégrale en quadrature). La transposition en RF s'effectue par une opération logique entre ces signaux I et Q et deux oscillateurs locaux.

Ensuite, Staszewski, dans [15] et [16], propose d'utiliser un DCO (Digital Controlled Oscillator ou Oscillateur contrôlé numériquement) ainsi qu'une boucle à verrouillage de phase numérique (ADPLL pour All-Digital Phase Lock Loop) afin de générer la (les) porteuse(s). Cette méthode permet d'obtenir des performances bien meilleures qu'avec une solution analogique en termes de bruit de phase et de linéarité.

C'est finalement J.Keyzer et P.Asbeck qui, dans [10] et [12], mettent en avant l'application de techniques numériques dans des domaines initialement considérés comme analogiques pour déboucher sur une architecture de chaîne d'émission digitale qui constitue la base du travail de notre équipe (voir Figure 9). Ce système sera développé dans la partie suivante de ce chapitre.

Cette solution, qui se détache dans la littérature, fait l'usage de modulateurs $\Delta\Sigma$ afin de générer le signal radiofréquence. Cette méthode paraît la plus appropriée en termes de reconfigurabilité, et donc convenant le mieux à la radio logicielle, car tout le traitement des signaux, depuis la génération en bande de base jusqu'à la mise en RF, est numérique. Les performances dynamiques des modulateurs $\Delta\Sigma$ sont également très prometteuses pour ce type d'application. Le signal généré est quantifié sur un ou plusieurs bits et attaque un convertisseur numérique analogique de puissance dont la version la plus simple est un inverseur comme il est présenté dans [11], [17], [18], [19] et [20].

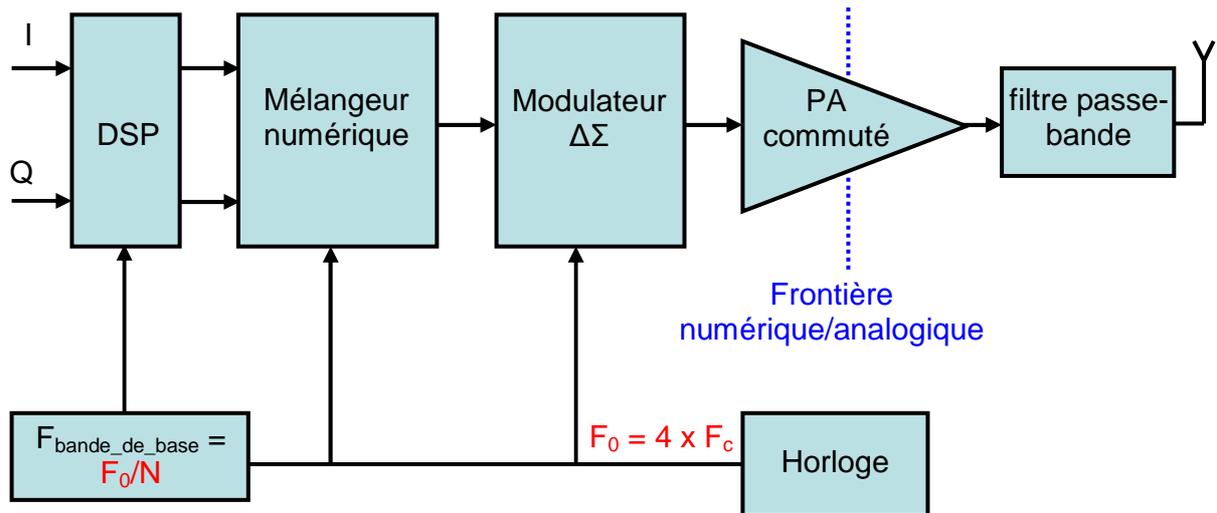


Figure 9 : Architecture présentée par J.Keyzer et P.Asbeck dans [10] et [12]

4. Architecture retenue pour la SDR

A partir de l'état de l'art présenté précédemment, il apparaît clairement que l'utilisation de modulateur $\Delta\Sigma$ présente de fortes potentialités dans le concept de radio logicielle, notamment montré par J.Keyzer et P.Asbeck dans [10] et [12]. En effet, il est possible de générer des signaux radiofréquences présentant de (très) bonnes performances dynamiques en bande passante tout en répondant aux spécifications de différents standards de communication de manière relativement simple. Pour ces raisons, notre équipe a décidé de concevoir une telle chaîne d'émission. Les principaux constituants de celle-ci seront présentés dans cette partie.

Le choix d'une telle architecture permet en outre de reconsidérer les techniques de conception des amplificateurs de puissance, ceux-ci devant répondre à des exigences différentes à celles inhérentes aux systèmes de communications analogiques car ils doivent également réaliser la conversion du signal à partir du domaine numérique vers le domaine analogique. Cet aspect sera présenté à la fin de cette partie.

4.1. Chaîne d'émission proposée

L'architecture numérique de l'émetteur qui a été mise au point est présentée à la Figure 10. Cette partie décrira sommairement chacun de ces constituants.

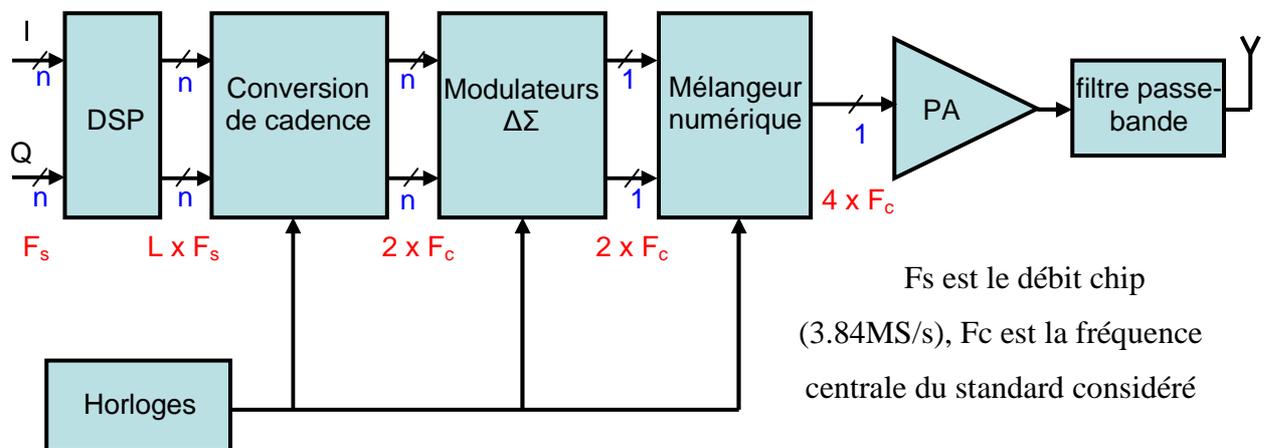


Figure 10 : Chaîne d'émission proposée

Nous distinguons trois éléments dans cette chaîne d'émission : la partie traitement en bande de base et conversion de cadence, qui a fait l'objet du travail de B. Edmé [21], la partie modulateur constituée de $\Delta\Sigma$, effectuée par A. Frappé [22] [23] et enfin, la partie mélangeur numérique et amplification de puissance.

Les deux premières parties seront décrites sommairement avant de s'intéresser de plus près à l'état de l'art du mélangeur et du PA.

4.2. Traitement en bande de base et conversion de cadence

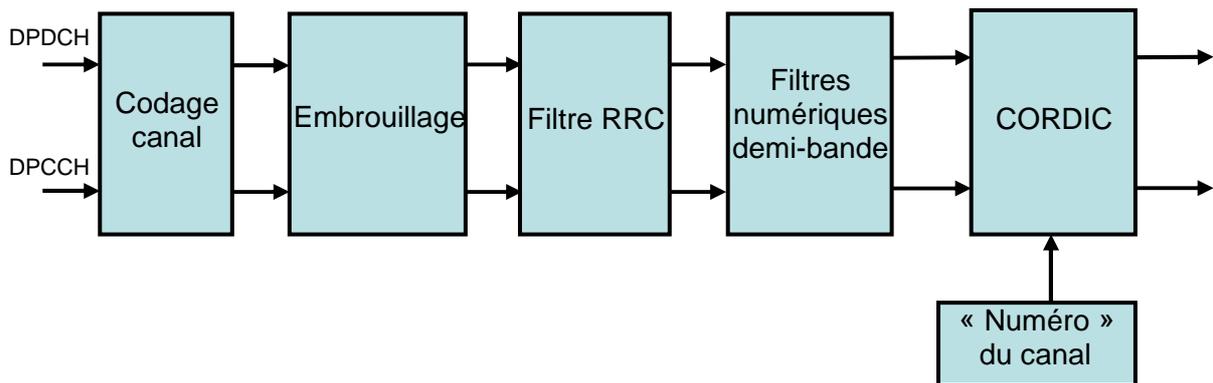


Figure 11 : Traitement en bande de base effectué dans la chaîne d'émission

La partie de traitement en bande de base a pour fonction de mettre en forme les informations contenues dans les signaux d'entrée DPDCH (Dedicated Physical Data Channel) et DPCCH (Dedicated Physical Control Channel) afin d'attaquer le modulateur $\Delta\Sigma$. Pour la simulation, ces signaux sont des séquences binaires pseudo aléatoire, mais ils peuvent contenir n'importe quels types de données. Cette étape permet également la mise en canal des données. Contrairement aux architectures RF classiques où la mise en canal s'effectue grâce à un VCO, cette opération est réalisée ici en bande de base.

Le codage canal est l'opération qui permet d'étaler le spectre grâce à une séquence directe (DSSS) utilisée pour le codage CDMA. Les signaux d'entrée sont multipliés par des codes orthogonaux uniques cadencés à 3.84 MS/s, qui est le débit chip pour l'UMTS.

L'embrouillage (scrambling en anglais) permet de conserver la confidentialité des données et de séparer les différents utilisateurs en leur assignant chacun un code différent. Les séquences PN sont utilisées afin de générer la séquence d'embrouillage complexe HPSK.

Le filtrage RRC (Root Raised Cosine ou Cosinus surélevé) est utilisé afin de mettre en forme le signal qui a été étalé par DSSS. De plus, l'interférence entre symboles, qui est un phénomène inhérent aux systèmes de communication radio et qui dégrade fortement les performances de tels systèmes, est drastiquement réduite par l'utilisation de ce filtre, qui est un filtre de Nyquist. Les signaux sont alors étalés sur une bande d'environ 5MHz, qui est la largeur d'un canal UMTS, et échantillonnés à deux fois le débit chip, soit 7.68MHz (3.84MHz x 2).

Enfin, la chaîne d'émission doit pouvoir placer ce signal de 5MHz sur un des douze canaux possibles (la bande passante d'émission et de réception UMTS/FDD est de 60MHz). Ceci est effectué grâce aux filtres demi-bande et l'algorithme de CORDIC (COordinate Rotation DIgital Computing). Les filtres demi bande suréchantillonnent le signal par 16 afin

d'obtenir une fréquence d'échantillonnage de 122.88MHz ($7.68\text{MHz} \times 16$), ceci dans le but de rejeter l'image en dehors de la bande utile qui s'étale de -30MHz à 30MHz (Théorème de Shannon). L'algorithme de CORDIC place le canal en bande de base sur un des 12 canaux possibles. Le fonctionnement de cet algorithme est décrit précisément dans [24]. Il permet de réaliser des opérations mathématiques complexes à partir d'additions, de décalages temporels et de rotations vectorielles tout en gardant une simplicité d'implantation appréciable.

La Figure 12 résume l'ensemble des opérations effectuées en bande de base en représentant les données par leur contenu spectral. La première figure représente les données échantillonnées à F_c et la seconde les mêmes données étalées par CDMA (la multiplication de ces spectres par le sinus cardinal dû au codage NRZ n'est pas représentée sur ces deux figures).

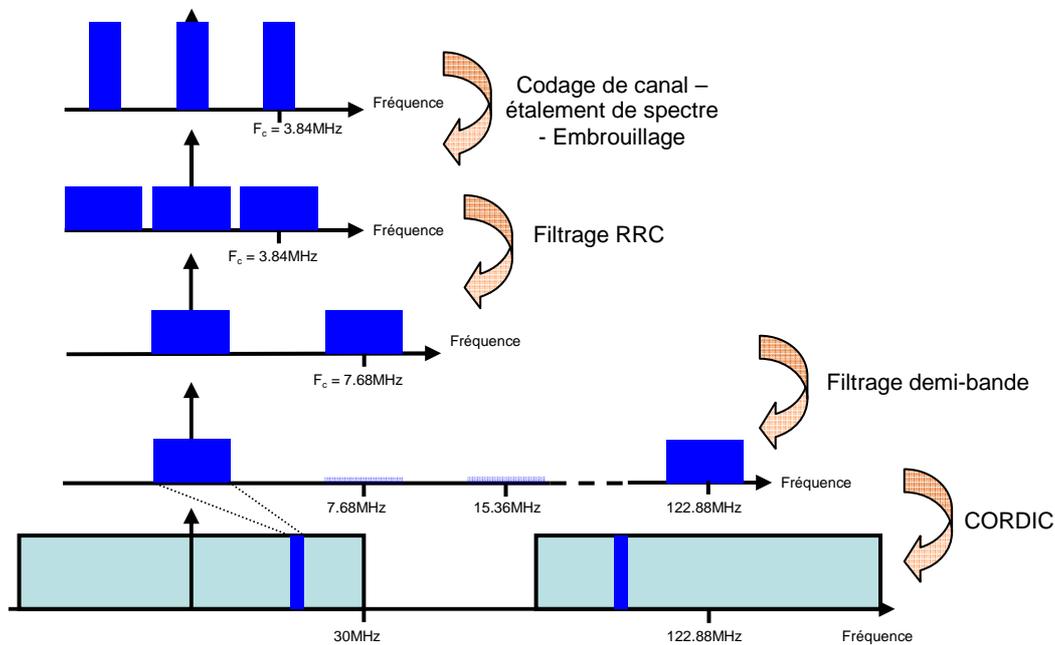


Figure 12 : Spectre des signaux à chaque étape du traitement en bande de base

Cette chaîne de traitement du signal a été implémentée sous MATLAB et permet la génération des signaux utilisés dans notre étude.

Dans l'architecture considérée, l'entrée du modulateur $\Delta\Sigma$ doit être échantillonnée à deux fois la fréquence centrale du standard UMTS, soit 3.9GS/s ($2 \times 1.95\text{GHz}$). Nous en expliquerons la raison dans la section suivante. Or la sortie du traitement en bande de base présente des signaux échantillonnés à 122.88MHz . Il faut donc effectuer une conversion de cadence pour passer d'un échantillonnage à un autre. De plus, remarquons que cette conversion n'est généralement pas entière mais fractionnaire. Ce rapport vaut ici $1.95\text{GHz} / 3.84\text{MHz} = 507.8125 = 13 \times 5^4 / 2^7$.

La conversion de cadence est donc une opération que l'on retrouve dans tous les systèmes radio, plus particulièrement dans la radio logicielle où différents standards doivent être adressés [25].

Ici, les signaux sont générés par logiciel, aussi avons-nous réalisé la conversion de cadence non entière grâce à MATLAB. Nous sommes passés d'un échantillonnage de 122.88MS/s (32 x 3.84MHz) à 121.875MS/s (1.95GHz / 16). Ensuite, une conversion de cadence en puissance de deux a été effectuée sur FPGA, permettant également de filtrer les images apparues par l'opération de conversion de cadence.

4.3. Modulateur $\Delta\Sigma$ numérique

Un modulateur $\Delta\Sigma$ est un système de traitement du signal qui permet de quantifier un signal suréchantillonné sur n bits en un signal sur N bits, N étant inférieur à n . Cette opération s'effectue sans dégrader le signal en bande utile tout en rejetant le bruit de quantification en dehors de cette même bande, ce qui est très appréciable dans le cas de communications mobiles où les spécifications en bande sont drastiques. La littérature détaille précisément la théorie de la modulation $\Delta\Sigma$, comme dans [26]. L'intérêt de tels modulateurs dans les chaînes de communication peut être vérifiée dans [27] et [28]. Dans l'architecture que nous avons choisie, le signal de sortie du modulateur est codé sur 1 bit en vue de simplifier la conception des étages suivants, bien qu'une solution multi-bits soit envisageable [29].

Le mélangeur numérique permet la transposition du signal en bande de base vers les radiofréquences ainsi que l'entrelacement des deux voies en quadrature.

Deux architectures permettent d'effectuer ces opérations. Soit on effectue la modulation IQ et la mise en RF puis on utilise un modulateur $\Delta\Sigma$ passe-bande cadencé à 4 fois la fréquence centrale, soit à 7.8GS/s pour l'UMTS (6.99GS/s pour le DCS1800), ou bien on utilise deux modulateurs (un par voie) $\Delta\Sigma$ passe-bas cadencés à 2 fois la fréquence centrale (3.9GS/s pour l'UMTS, 3.495GS/s pour le DCS1800) puis on effectue l'entrelacement des voies I et Q. La première architecture utilise un unique modulateur $\Delta\Sigma$ travaillant à haute cadence et un mélangeur sur des signaux à n bits. La seconde solution, bien que présentant l'inconvénient d'utiliser deux modulateurs, possède deux avantages majeurs : les modulateurs fonctionnent à fréquence moindre et la transposition en radiofréquence s'effectue sur 1 seul bit. C'est donc cette dernière solution qui a été retenue et qui est présentée à la Figure 13.

Les modulateurs $\Delta\Sigma$ ont été choisis de manière à respecter les spécifications en bande du standard considéré. C'est pourquoi, deux modulateurs passe-bas du 3^{ème} ordre avec un facteur de suréchantillonnage de 40 ont été conçus. Ceux-ci possèdent la particularité d'utiliser une

représentation redondante des nombres (Borrow Save) ainsi qu'une quantification du signal non exacte pour des questions de rapidité [22] [30] [31].

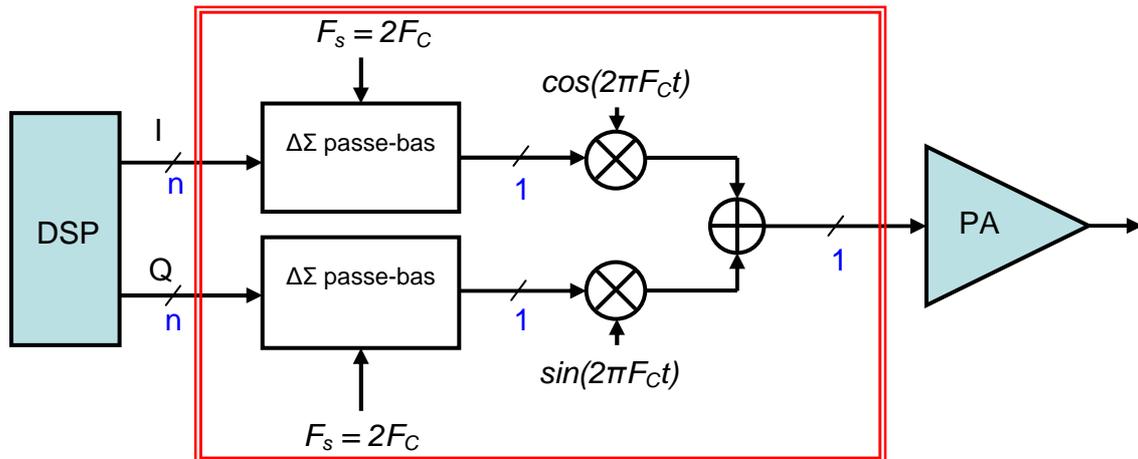


Figure 13 : Architecture proposée pour la modulation $\Delta\Sigma$ et la transposition en RF

Le signal $\Delta\Sigma$ que nous obtenons en sortie des modulateurs est un signal 1 bit cadencé à $2F_c$, soit 3.9GS/s pour l'UMTS (3.495GS/s pour le DCS) dont l'information est contenue en bande de base. Sa représentation temporelle rappelle un signal pseudo-aléatoire. Son contenu spectral présente de très bonnes caractéristiques dynamiques en bande passante. Le bruit de quantification, généré par le passage d'un signal de N bits (ici 13) vers 1 bit, est mis en forme en dehors de la bande utile.

Il faut également noter que les performances dynamiques des modulateurs dépendent de la puissance du signal d'entrée. A faible niveau d'entrée, le Signal to Noise Ratio (SNR voir Figure 14) ou rapport signal à bruit est plus faible qu'à fort niveau. Ceci s'explique par le fait que la puissance de bruit reste constante quelque soit l'amplitude du signal utile. Il existe de plus une puissance d'entrée maximale au dessus de laquelle le modulateur n'est plus stable. Pour le système que nous avons implémenté, cette puissance d'entrée maximale est de $-3dB_{FS}$ ($0dB_{FS}$ correspond à la puissance d'un signal sinusoïdal à pleine échelle). Par exemple, si la pleine échelle est de 1V, l'amplitude crête à crête maximale du signal sinusoïdal pouvant être codé par ce modulateur est égale à 0.7V. Cette puissance relative de $-3dB_{FS}$ correspond à une puissance, pour la sinusoïde dans une charge 50Ω , de 0.9dBm ($= (0.7/2)^2 / (2 \times 50)$) dans le cas où la dynamique de codage est de 1V.

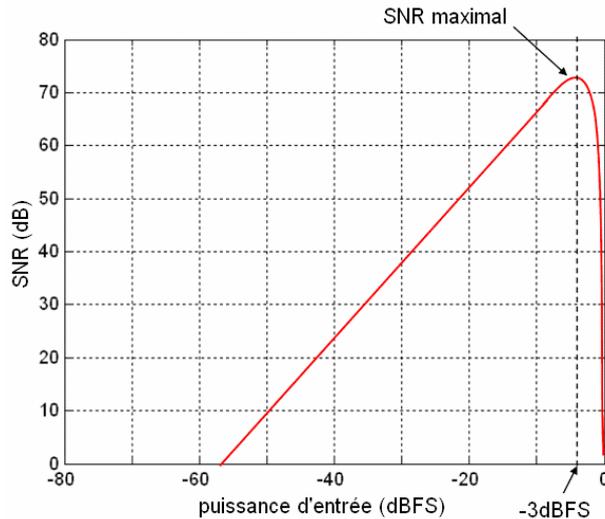


Figure 14 : SNR d'un modulateur $\Delta\Sigma$ en fonction de la puissance d'entrée

Enfin, la Figure 15 reprend l'architecture choisie et représente les spectres des signaux aux différents endroits de cette chaîne. On constate la mise en forme du bruit de quantification en dehors de la bande passante par la modulation $\Delta\Sigma$.

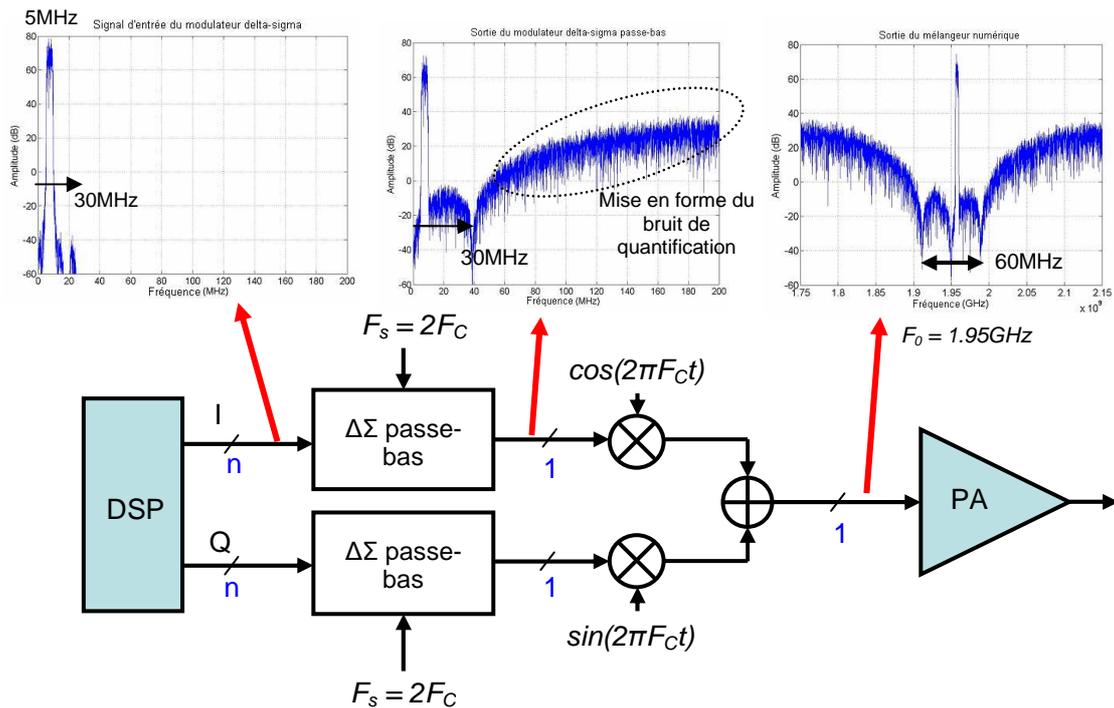


Figure 15 : Spectres (non normés) des signaux en sortie du traitement en bande de base, après la modulation $\Delta\Sigma$ et après la transposition en RF

4.4. Conversion numérique analogique, amplification de puissance et filtrage

Le signal RF généré à ce niveau de la chaîne d'émission doit maintenant subir une opération de conversion du domaine numérique vers le domaine analogique, puis être amplifié afin de pouvoir être émis vers la station de base, et enfin filtré afin de rentrer dans le masque d'émission du standard utilisé.

La nature du signal $\Delta\Sigma$ (sur un bit ici ou multibits dans un cas général) permet, à première vue, l'utilisation d'un convertisseur numérique analogique de puissance. Cette conversion peut s'effectuer soit en commutant des sources de courant, soit des sources de tension (voir Figure 16). Le choix de la topologie sera décrit dans le chapitre suivant.

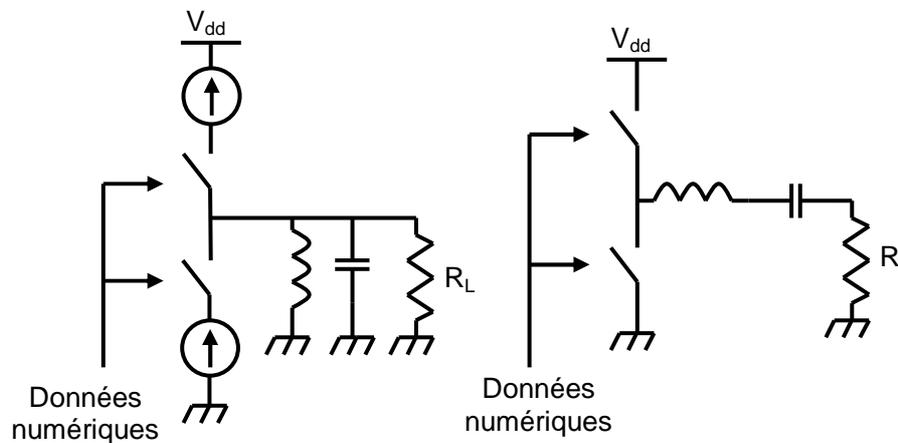


Figure 16 : Convertisseur numérique analogique 1 bit à commutation en courant (gauche) et en tension (droite)

La modulation $\Delta\Sigma$ rejette le bruit de quantification en dehors de la bande utile et, afin de respecter les spécifications des standards de communication, un filtrage assez contraignant est nécessaire. Il faut alors utiliser des filtres passe-bande d'ordre très élevé. Ceux-ci, réalisés généralement par l'intermédiaire de composants passifs, sont alors d'une grande complexité. De plus, les pertes d'insertion dans ce genre de structure ne les rendent pas du tout compétitives. Dans le cadre de la conception d'une radio logicielle, chaque standard doit pouvoir être adressé et il est alors obligatoire d'implémenter un réseau de filtres pour chacun de ceux-ci. Aussi, l'idée d'un filtrage configurable et par conséquent numérique émerge. A noter que c'est le filtrage de ce bruit hors bande qui pose aujourd'hui le plus de difficultés et qui conteste ainsi la pertinence de l'utilisation de ces modulateurs au sein des chaînes de communications mobiles.

Un filtrage numérique de type FIR (Finite Impulse Response ou filtre à réponse impulsionnelle finie) nécessite un échantillonnage régulier du signal à traiter, puis des structures de pondération et d'addition. L'équation aux différences d'un filtre FIR d'ordre N s'écrit :

$$y[n] = b_0x[n] + b_1x[n-1] + \dots + b_Nx[n-N] \quad \text{Eq. [1]}$$

Dans cette expression, $x[n]$ est l'échantillon d'entrée, $y[n]$ est celui de sortie, les b_i sont les coefficients du filtre. Le signal x est échantillonné à une fréquence $f_{\text{échantillonnage}}$ notée f_e .

Ce filtrage est justifié par plusieurs raisons. Tout d'abord, le signal $\Delta\Sigma$ à traiter contient beaucoup de bruit en dehors de la bande. La possibilité d'utiliser un filtrage numérique allège en conséquence les contraintes sur le filtrage analogique d'antenne. De plus, la proximité de bandes interdites oblige le concepteur RF à limiter les émissions hors bandes de manière importante. Par exemple, la bande passante du DCS1800 s'étale de 1810 à 1880MHz et celle de l'UMTS TX de 1920 à 1980MHz soit un écart entre les deux extrêmes des bandes de 40MHz. L'utilisation d'un multiplexage fréquentiel (FDD) dans le cas de l'UMTS interdit les émissions parasites en bande RX (située ici à 190MHz de la bande TX). Le gabarit des filtres FIR a l'avantage de présenter, sous certaines conditions sur les coefficients et les retards, des zéros de transmission. En plaçant ceux-ci de façon judicieuse, il est alors possible de réduire significativement les émissions parasites dans les bandes proches.

Au niveau de l'implémentation matérielle, il est alors nécessaire de concevoir un convertisseur numérique-analogique de puissance qui effectue une sommation de signaux (condition pour effectuer un filtrage numérique). Pour cette raison, nous nous intéresserons aux différentes techniques de combinaison de puissance.

5. Conclusion et définition de la problématique de la thèse

L'essor des communications tend à rendre les terminaux mobiles toujours plus performants. Le développement de différents standards pousse les industriels à imaginer une radio configurable, adaptable aux besoins de l'utilisateur et, dans l'avenir, intelligente. Par le biais de l'étude du standard européen UMTS, une chaîne d'émission numérique originale est proposée. Le cœur de l'architecture repose sur l'utilisation de modulateurs $\Delta\Sigma$ dont la structure interne fait appel à des concepts innovants.

Le travail de cette thèse se situe à ce niveau-ci de la chaîne d'émission, après la génération du signal $\Delta\Sigma$. Il faut alors trouver des moyens originaux et efficaces d'effectuer la modulation IQ à haute cadence ($4 \times F_{\text{centrale}}$ soit 7.8GS/s pour l'UMTS par exemple) ainsi que l'amplification de puissance.

La chaîne d'émission proposée présente l'avantage de fournir, à la sortie du modulateur $\Delta\Sigma$, deux signaux 1 bit, un par voie, dont la cadence dépend uniquement du standard utilisé. Elle est égale à $2 \times F_{\text{centrale}}$, c'est-à-dire 3.9GS/s pour l'UMTS (3.495GS/s pour le DCS).

Le défi relatif à la conception d'une radio logicielle est la reconfigurabilité et donc la numérisation des éléments de la partie RF et plus particulièrement des éléments analogiques de celle-ci. Tout d'abord, la transposition en RF doit pouvoir s'effectuer de manière numérique. L'utilisation d'oscillateurs contrôlés en tension ne permet pas de couvrir l'ensemble des standards de communication actuels. Aussi, nous avons conçu un mélangeur IQ numérique qui permet d'effectuer l'opération de mise en RF de façon totalement indépendante du standard choisi a été réalisée. La reconfigurabilité de cet élément fait partie des points clés de la synthèse d'une radio logicielle.

Ensuite, et c'est un des points les plus contraignants en termes de reconfigurabilité des systèmes radios, les spécifications draconiennes des standards obligent le concepteur à avoir recours à des filtres performants au niveau de l'antenne. Ceux-ci, généralement placés en aval de l'amplificateur de puissance, sont constitués d'éléments passifs classiques non reconfigurables. Le signal RF devra alors passer par une étape de filtrage numérique avant son passage dans le monde analogique, afin de relâcher les contraintes au niveau de la conception du filtre d'antenne.

Enfin, l'architecture de l'amplificateur de puissance ne devra pas, dans une certaine mesure, être dépendante du standard utilisé. La nature du signal $\Delta\Sigma$ permet d'utiliser des amplificateurs fortement non linéaires comme des inverseurs CMOS et ainsi éviter d'accorder cet amplificateur pour une bande de fréquence donnée. Ce point sera abordé par

l'intermédiaire d'un combineur de puissance qui permet de réaliser un filtrage numérique FIR. Les technologies CMOS évoluent rapidement par la réduction des dimensions et des tensions d'alimentation qui suivent l'évolution prévue par l'ITRS (International Technology Roadmap for Semiconductors) [32] et il devient difficile de générer de la puissance avec des tensions d'alimentation faibles. Il convient alors d'utiliser de nouvelles techniques de conception d'amplificateur de puissance par l'intermédiaire notamment du principe de combinaison de puissance.

Chapitre II : Mélangeur numérique et amplificateur commuté

1. Introduction

La chaîne d'émission présentée dans le chapitre précédent est rappelée à la Figure 17. La génération numérique du signal en bande de base par l'utilisation de modulateurs $\Delta\Sigma$ a été traitée dans [22] et il convient maintenant de s'intéresser à la partie en aval. Le signal numérique à traiter est un signal en bande de base, il faut donc le transposer en radiofréquence puis l'amplifier afin de l'émettre vers la station de base. La première partie de ce chapitre est consacrée à la brève description du modulateur $\Delta\Sigma$ ainsi qu'aux caractéristiques du signal généré par celui-ci. Des informations complémentaires peuvent être trouvées dans [22].

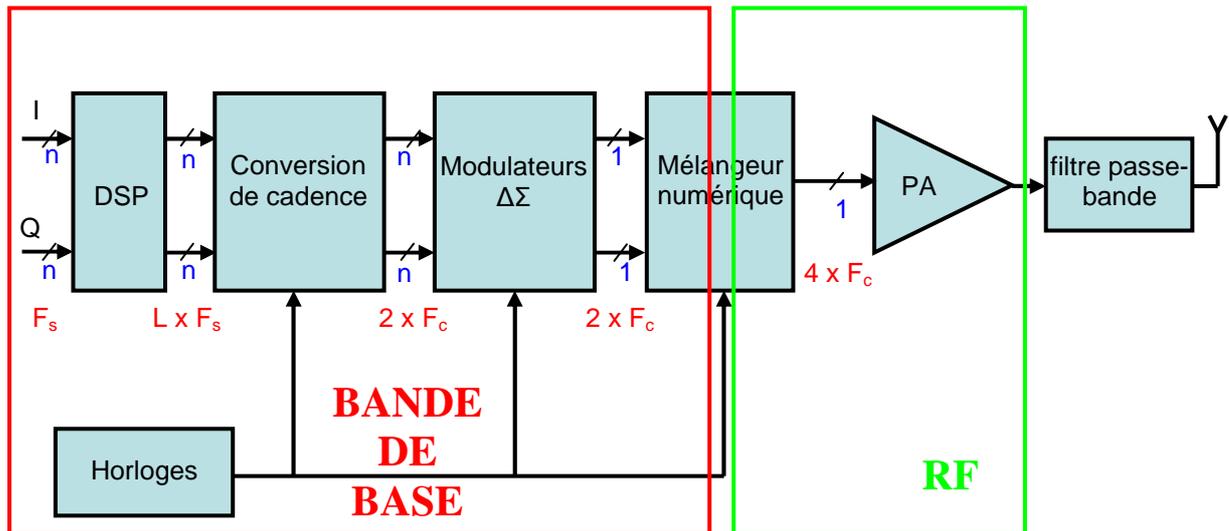


Figure 17 : Architecture de la chaîne d'émission proposée

L'opération de conversion numérique analogique permet de donner un support analogique aux données numériques et nous nous intéressons dans la partie suivante aux diverses non idéalités qui peuvent dégrader le contenu spectral du signal. Nous étudierons notamment l'influence de la dissymétrie des fronts et du jitter d'horloge sur le seuil de bruit en bande passante. Nous démontrons également qu'il est nécessaire d'utiliser une structure différentielle pour combattre l'interférence entre symboles.

La partie suivante présente le mélangeur numérique que nous avons réalisé en tenant compte des résultats de l'étude des non idéalités lors de la conversion numérique analogique.

Ensuite, la topologie de l'amplificateur de puissance commuté sera détaillée. Dans notre cas, où cet amplificateur peut jouer le rôle de convertisseur numérique analogique, une

nouvelle approche de cet élément est envisagée. Celui-ci doit non seulement fournir suffisamment de puissance au signal RF mais il doit également servir d'interface entre les domaines numérique et analogique. Après avoir présenté les deux types de commutations possibles, en tension ou en courant, nous détaillerons l'architecture retenue de l'amplificateur et étudierons de manière qualitative l'évolution de sa consommation.

2. Conversion numérique analogique 1bit : Non idéalités – Interférences entre symboles – jitter

L'opération de conversion numérique analogique permet de faire correspondre, à un « mot » numérique, une valeur analogique d'une grandeur électrique. Dans le cas d'une conversion 1 bit, il faut donc définir les valeurs analogiques qui codent les mots « 0 » et « 1 ». La manière la plus simple de réaliser cette opération est de faire correspondre à ces « nombres » un niveau fixe de tension ou de courant mettant ainsi en forme le signal numérique en un signal rectangulaire à la manière d'un bloqueur d'ordre zéro.

La linéarité du convertisseur est directement liée à la précision des niveaux analogiques choisis. Les CNA (Convertisseur Numérique Analogique) 1 bit sont donc intrinsèquement linéaires car les deux niveaux analogiques sont à première vue indépendants l'un de l'autre.

Cependant, la manière dont le mot numérique est converti en valeur analogique ne s'effectue généralement pas de façon idéale. La symétrie de la forme d'onde est en effet un paramètre critique de cette conversion et peut dégrader très fortement les caractéristiques du signal. Dans le cas de signaux échantillonnés, la pureté spectrale de l'horloge, qui joue alors le rôle d'un oscillateur local, est également un paramètre important de l'opération de conversion numérique analogique. Ces aspects sont présentés dans cette section.

2.1. Nécessité d'une structure différentielle

A la sortie du modulateur $\Delta\Sigma$, toute l'information est contenue dans la suite binaire (idéalement des impulsions de Dirac de signes opposés). A la sortie du convertisseur numérique analogique, le support analogique du signal numérique dégrade l'information initiale. Afin d'attribuer le maximum d'énergie aux symboles, on remplace les impulsions de Dirac par des impulsions carrées à niveau maximal possible et à durée égale à la période d'échantillonnage. Du point de vue mathématique cette opération est équivalente à un filtrage du signal original par un filtre numérique à réponse impulsionnelle finie (FIR) de type "palier". Ceci n'est pas sans conséquences sur l'intégrité du signal codé, car le spectre du signal se trouve multiplié par un sinus cardinal. Ainsi, un affaiblissement inégal de l'énergie spectrale a lieu. Cependant, si le signal utile est contenu dans une bande étroite (par rapport à la fréquence d'échantillonnage), on peut considérer que dans la bande utile le sinus cardinal garde une valeur constante. De cette manière l'interpolation d'ordre zéro du signal $\Delta\Sigma$ conduit, au pire, à l'affaiblissement de l'énergie du signal utile sans dégradation de l'information véhiculée. Dans notre cas, la bande passante de l'UMTS étant de 60MHz autour

d'une porteuse à 1.95GHz et la fréquence d'échantillonnage étant de 7.8GHz, on peut considérer que le codage par des impulsions carrées modifie l'énergie du signal de manière uniforme. Cependant, en pratique, un codage par portes pose un autre problème lié à une non-idéalité des fronts des impulsions carrées élémentaires codant les symboles (Figure 18 en haut). Sur cette figure les symboles x_2 , x_4 , x_5 et x_6 , ayant la même valeur logique, ne sont pas représentés par la même énergie. Ainsi, on peut s'attendre à ce que le spectre du signal soit modifié. Une autre sorte de distorsion est introduite lorsque les fronts sont dissymétriques, soit il y a une différence temporelle entre fronts montants et fronts descendants (un exemple est donné à la Figure 18 en bas, où les fronts montants sont avancés et les fronts descendant retardés), soit les temps de montée et de descente sont différents. Dans tout les cas, l'allure des fronts modifie inégalement l'énergie des symboles positifs et négatifs.

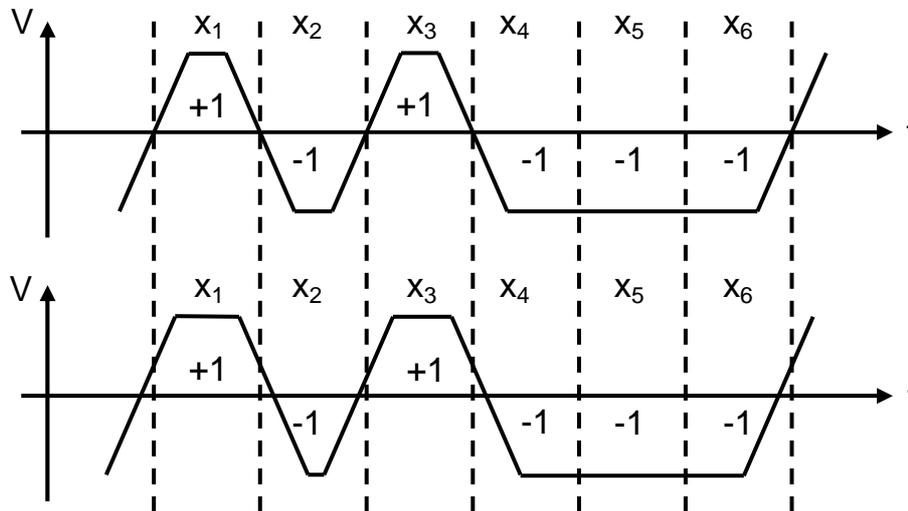


Figure 18 : Interférence entre symboles – en haut : fronts symétriques – en bas : fronts dissymétriques

D'après ces considérations on serait tenté de croire que plus les fronts sont lents, plus le signal original est dégradé. Cependant nous montrons que seule la distorsion du deuxième type introduit des erreurs au niveau du spectre (voir Figure 19 et Figure 20). Les spectres des figures suivantes ne sont pas normalisés en amplitude.

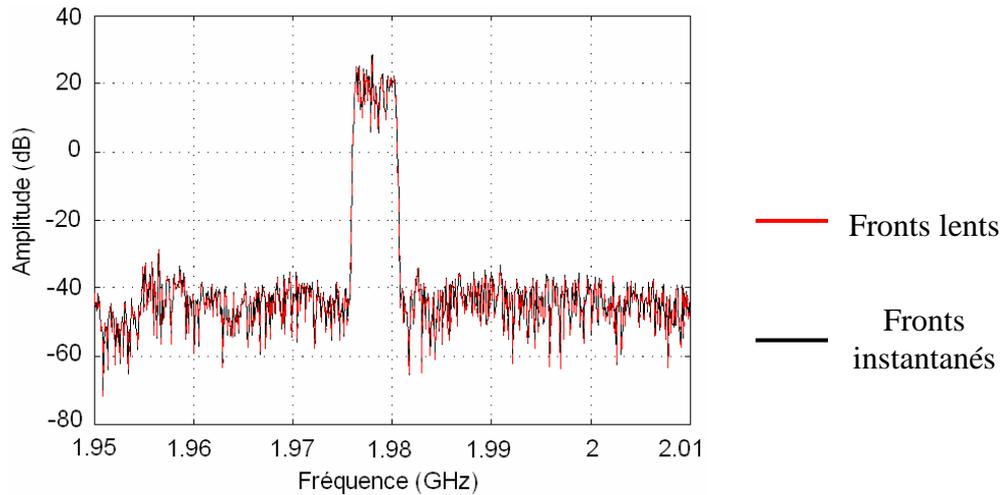


Figure 19 : Spectre du signal avec les fronts lents symétriques (le rapport entre temps de transition et période est de 0.25) et avec des fronts idéaux

La différence principale entre les deux cas peut être exprimée de la façon suivante : sur le premier signal, un front (montant ou descendant) apporte une réduction d'énergie équivalente sur chacun des deux bits. Sur le deuxième, comme on le peut constater, le front montant est en avance par rapport au moment de transition idéale, ainsi l'énergie du symbole négatif est davantage réduite par rapport à celle du symbole positif. De même, les fronts descendants rognent davantage l'énergie sur les symboles négatifs que positifs. En termes de contenu spectral, l'effet des fronts asymétriques se traduit par une élévation du bruit dans la bande du $\Delta\Sigma$ [33]. En effet, contrairement à l'opinion répandue, ce n'est pas le fait d'introduire des fronts qui crée l'interférence entre symboles, mais le déséquilibre entre les énergies des symboles négatifs et positifs engendrés [34]. Le spectre du signal avec les fronts décalés de la Figure 20 a été obtenu en introduisant un décalage temporel de 5ps entre les fronts montants et descendants (cela correspond à une erreur d'environ 4% pour un signal d'horloge à 7.8GHz). Les fronts sont modélisés par une sinusoïde entre $-\pi/2$ et $\pi/2$, ce qui permet d'assurer une continuité de la première dérivée aux extrémités de l'intervalle. On observe une remontée du bruit en bande de +30dB.

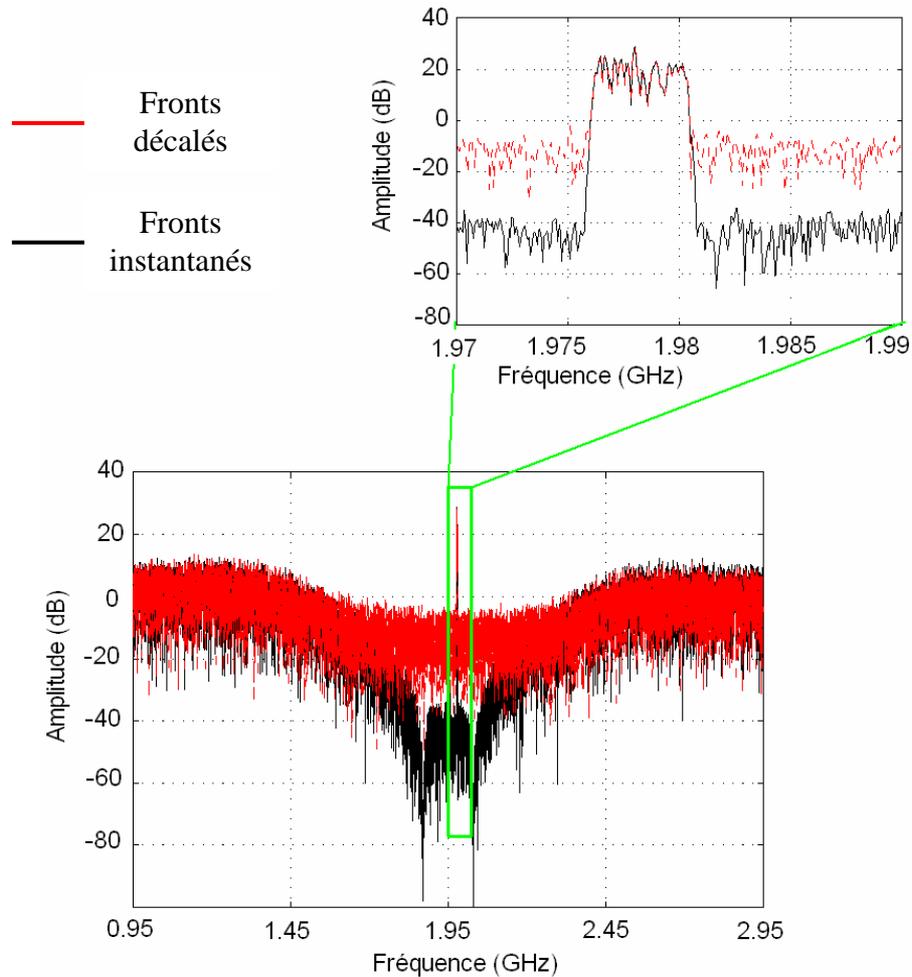


Figure 20 : Spectre du signal avec des fronts décalés et du signal avec des fronts instantanés

Ce résultat signifie qu'il n'est pas nécessaire de minimiser la durée des fronts par rapport à la durée des symboles (cela nous obligerait à travailler à des fréquences largement au dessus de la capacité de la technologie). Par contre, il est primordial que les fronts soient symétriques. Cette symétrie peut être obtenue en utilisant des architectures différentielles. Pour justifier ce propos, des simulations Spectre ont été effectuées sur deux configurations de convertisseur : unipolaire et différentielle (Figure 21). Le convertisseur utilisé est simplement une cascade d'inverseurs CMOS de taille croissante permettant de piloter une charge 50 Ohms. Les spectres de la Figure 22 confirment notre hypothèse, à savoir que l'utilisation d'une structure différentielle permet de symétriser les fronts et ainsi de s'affranchir du problème d'interférences entre symboles.

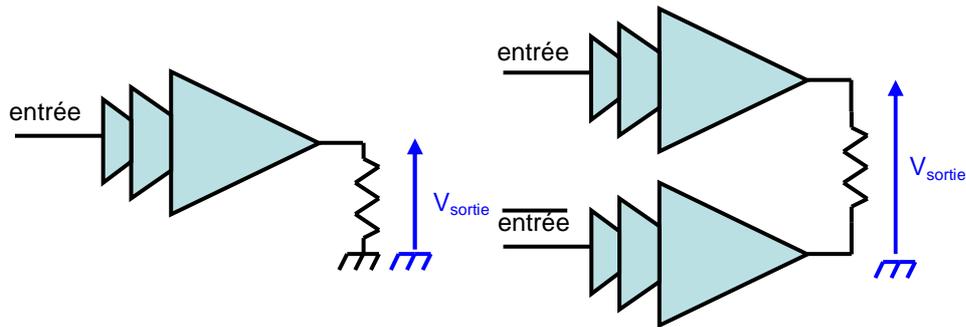


Figure 21 : Schémas des convertisseurs numérique analogique unipolaire (gauche) et différentiel (droite)

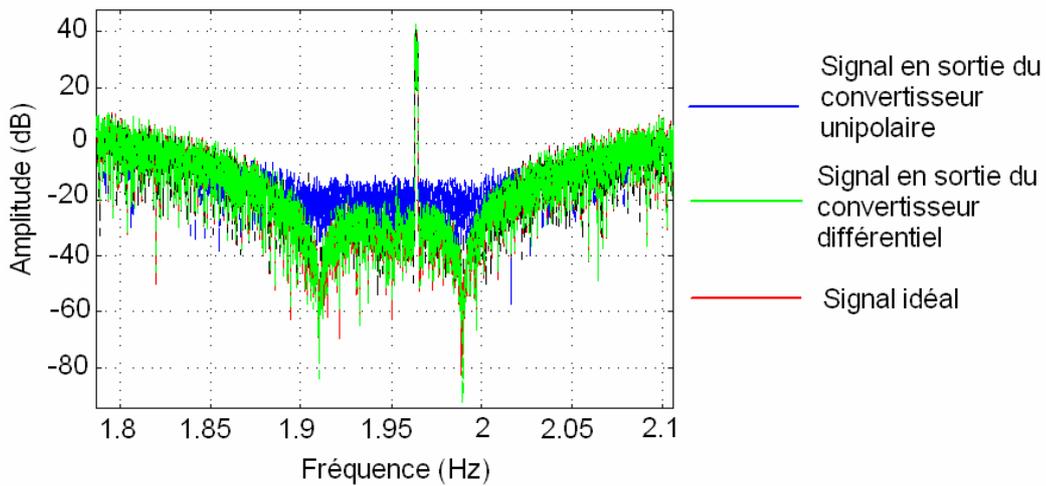


Figure 22 : Spectres des signaux relatifs aux convertisseurs unipolaire et différentiel

Hormis l'absence d'interférence entre symboles, la configuration différentielle offre bien des avantages. Premièrement, elle fait gagner un facteur de deux en excursion de niveau en sortie (soit un facteur de 4 en puissance). Elle permet de coder le signal de sortie sur trois niveaux et non sur deux (un niveau supplémentaire apparaît lorsque les deux sections génèrent la même tension en sortie), ce qui est équivalent à un codage sur 1.5 bits. Cette propriété peut être utilisée pour réaliser un codage avec retour à zéro.

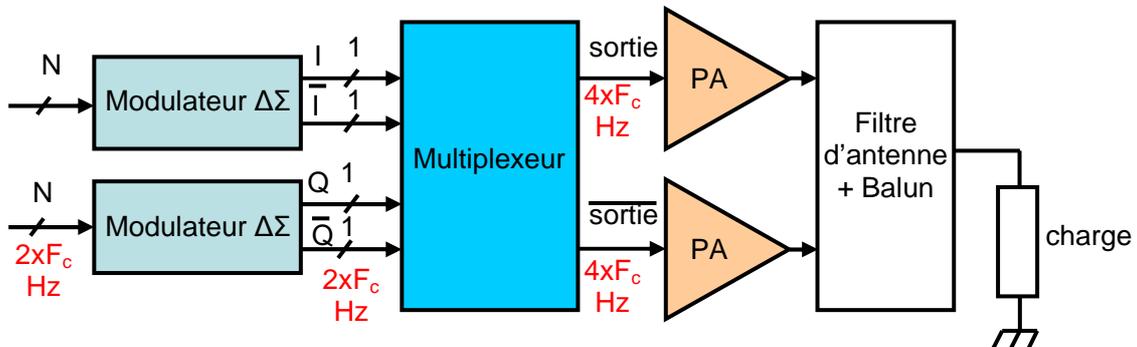


Figure 23 : Transmetteur à architecture différentielle

Cependant, la configuration différentielle a un prix, notamment un doublement du nombre d'étages de puissance et la nécessité d'une conversion différentielle/unipolaire (ou single-ended) dans la mesure où l'antenne nécessite un signal référencé par rapport à la masse. La Figure 23 présente alors l'architecture utilisée.

2.2. Etude du jitter

L'incertitude de l'instant d'échantillonnage de l'horloge, appelée jitter (ou gigue temporelle ou encore bruit de phase de l'horloge), introduit une erreur sur le signal analogique. Nous avons donc étudié l'influence du jitter grâce à une modélisation mathématique du phénomène avec Matlab, sur la dégradation du signal $\Delta\Sigma$ en observant les modifications spectrales de celui-ci. Nous avons supposé que le jitter total était la somme de deux jitters distincts : un jitter déterministe causé par les sources de bruits déterministes extérieures et un jitter aléatoire gaussien. En effet, tout jitter peut être décomposé en somme de bruits de phase indépendants de deux types [35][36][37][38] :

- un jitter dit « déterministe » décomposé en trois types :
 - un jitter périodique qui est causé par les sources de bruit extérieures comme par exemple une alimentation commutée, et dont l'influence est assimilable à une modulation de fréquence
 - un jitter dépendant du rapport cyclique causé par des fronts asymétriques et/ou des erreurs sur les seuils de décision
 - un jitter dépendant des données également appelé interférence entre symboles
- un jitter aléatoire

Dans le paragraphe précédent, nous avons décrit l'importance d'utiliser un étage de sortie différentiel dans le but de minimiser l'influence des fronts asymétriques et par conséquent l'interférence entre symboles. De plus, aucune source commutée n'est utilisée dans la chaîne de transmission, il n'y a donc a priori aucune contribution de jitter périodique. C'est pourquoi nous supposons que le jitter perturbant le signal sera uniquement composé du jitter aléatoire de l'horloge. Au niveau spectral, le jitter aléatoire apporte une remontée du plancher de bruit dans la bande passante [35] [36].

Des « échantillons de jitter » ont donc été obtenus à partir de leur distribution [37] [38]. La Figure 24 représente un exemple où 20000 échantillons de jitter suivant une loi gaussienne de moyenne nulle et de variance égale à 1.6ps ont été générés. Ceux-ci servent à calculer les instants de commutation bruités du signal $\Delta\Sigma$.

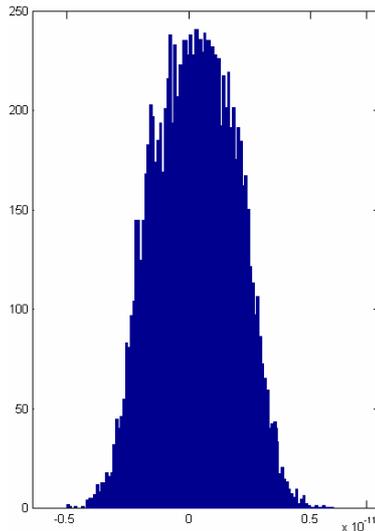


Figure 24 : Histogramme des échantillons de jitter générés

Afin d'avoir une précision temporelle importante au niveau des instants de commutation, il est nécessaire d'échantillonner le signal avec une fréquence très élevée (par exemple, un échantillonnage à 100GHz ne permet qu'une résolution temporelle supérieure à 10ps), ce qui a pour conséquence d'augmenter considérablement les temps de calculs. Aussi, nous avons utilisé un artefact de calcul : le décalage temporel du front n'est pas représenté par un instant d'échantillonnage précis mais par la valeur de l'amplitude du signal échantillonné à une cadence plus faible. En effet, nous avons vu que l'introduction d'une pente lors des commutations du signal ne modifie pas son spectre. Cette astuce est représentée à la Figure 25, où deux signaux issus du modulateur $\Delta\Sigma$, cadencés à 7.8GHz, sont échantillonnés à 78GHz (résolution temporelle d'environ 12.5ps). La précision des instants de commutation idéaux (bleu) et bruités par les échantillons de la Figure 24 (rouge) est reportée sur la précision de l'amplitude du signal (les nombres sous Matlab sont codés par défaut sur 16 bits en virgule flottante).

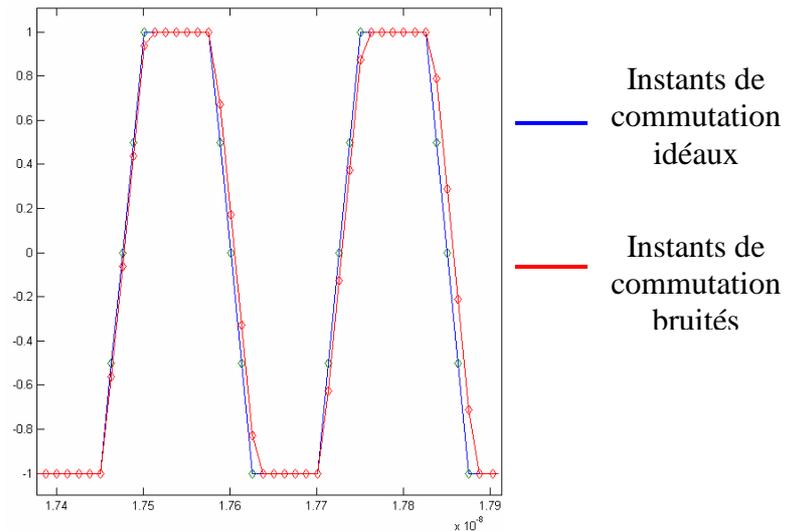


Figure 25 : Représentation temporelle des signaux $\Delta\Sigma$ avec des instants de commutation idéaux et bruités

La Figure 26 présente les spectres des signaux $\Delta\Sigma$ avec des instants de commutation idéaux et bruités. Pour quantifier la dégradation apportée par le jitter, nous sommes partis des spécifications de l'ACLR (Adjacent Channel Leakage Ratio) de la norme UMTS qui spécifie un ACLR de 33dB @ 5 MHz et de 43dB @ 10 MHz. Nous nous sommes fixés une marge de sécurité en imposant 50 dB d'ACLR. Dans ces conditions, nous observons qu'un jitter de $1.9\text{ps}_{\text{rms}}$ est suffisant pour assurer les spécifications choisies. Cette valeur correspond au bruit de phase maximal que l'horloge à $4F_c$ devra être capable de produire.

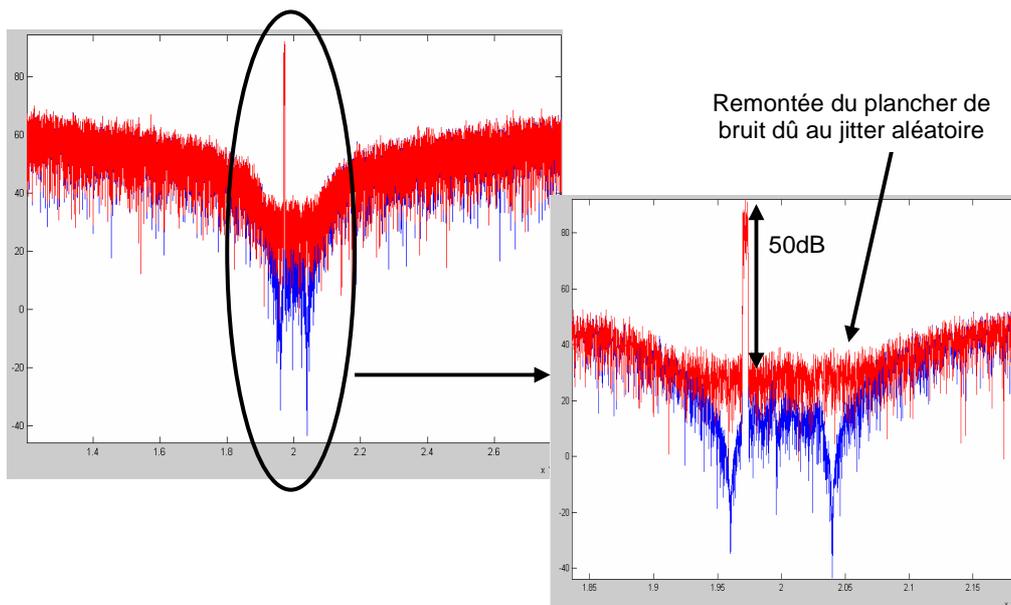


Figure 26 : Influence du jitter aléatoire sur le contenu spectral du signal $\Delta\Sigma$

3. Mélangeur numérique

3.1. Principe

La transposition RF d'un signal IQ nécessite d'effectuer l'opération suivante :

$$I \cos(2\pi F_c t) + Q \sin(2\pi F_c t) \quad \text{Eq. [2]}$$

avec F_c qui est la fréquence centrale du standard considéré. Il faut donc générer un cosinus et un sinus à F_c , effectuer deux produits puis une somme.

Ainsi, qu'il s'agisse du domaine analogique ou numérique, pour transposer la fréquence, on emploie un multiplieur associé à un oscillateur local, générant la sinusoïde porteuse. Cependant, dans le domaine numérique, ceci amène à effectuer des multiplications numériques d'autant plus complexes et rapides que la largeur de mot et la fréquence de transposition sont importantes.

Afin d'effectuer la transposition en RF numérique de deux signaux numériques, la façon la plus aisée de réaliser cette opération consiste à générer un sinus et un cosinus numérique à F_c . D'après le théorème de Shannon, un échantillonnage à $4F_c$ du sinus et du cosinus est suffisant pour retranscrire correctement ces signaux [39] [40]. On obtient ainsi une suite [1; 0;-1; 0] pour le cosinus et [0; 1; 0;-1] pour le sinus ; chaque bit ayant une durée de $1/(4F_c)$. Les séquences I et Q (multibits dans un cas général) sont alors pondérées par ces motifs, puis additionnées. Ainsi, à chaque période d'horloge, un des deux arguments est nul, l'autre prenant la valeur du signal I ou Q multiplié par +1 ou -1. Cette opération peut facilement être réalisée avec des portes logiques OU exclusif (voir Figure 27) ou des portes de transmission.

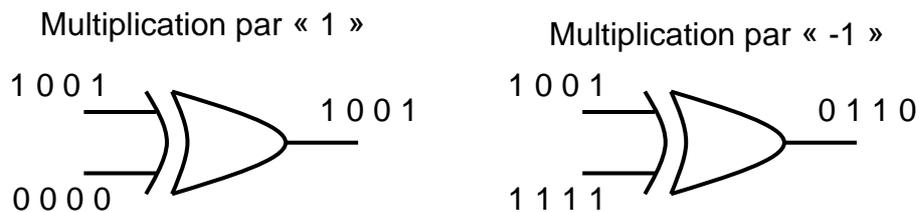


Figure 27 : Exemple de multiplication par 1 et -1 d'une trame 1001

On se rend immédiatement compte que seul un échantillon sur deux des signaux I et Q est utilisé dans l'opération. Le signal de sortie est donc une séquence de la forme $[I_n, Q_{n+1}, -I_{n+2}, -Q_{n+3}]$ comme il est présenté à la Figure 28. Par conséquent, les signaux I et Q peuvent être cadencés deux fois plus lentement que le signal de sortie sans perte de précision dans la transposition.

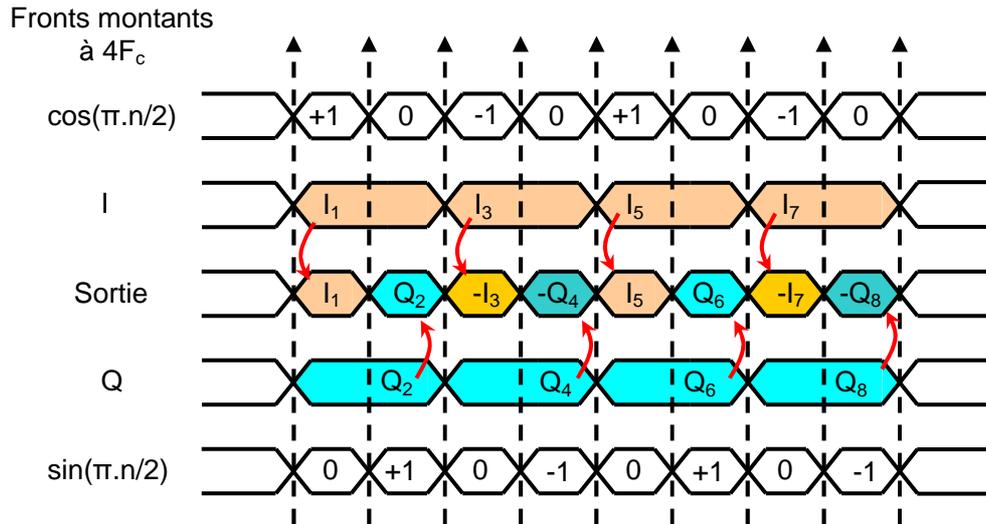


Figure 28 : Opération de transposition en fréquence

Cependant, si les deux modulateurs $\Delta\Sigma$ travaillent de façon synchrone, ils génèrent simultanément les données I_n et Q_n au lieu de I_n et Q_{n+1} . L'opération de multiplexage ne réalise donc pas un réel entrelacement des données puisque la séquence obtenue est alors $[I_n, Q_n, -I_{n+2}, -Q_{n+2}]$. Cela introduit des images non atténuées au niveau du spectre du signal comme il est décrit sur la Figure 29 car la modulation ne s'effectue pas en quadrature. La solution utilisée pour éviter ce phénomène est d'interpoler les échantillons de la voie Q avant le modulateur $\Delta\Sigma$ pour introduire un décalage d'un quart de période de F_c entre les deux voies afin de permettre un réel entrelacement des données [41], c'est-à-dire de générer l'échantillon Q_{n+1} à la place de l'échantillon Q_n . L'image est ainsi totalement supprimée.

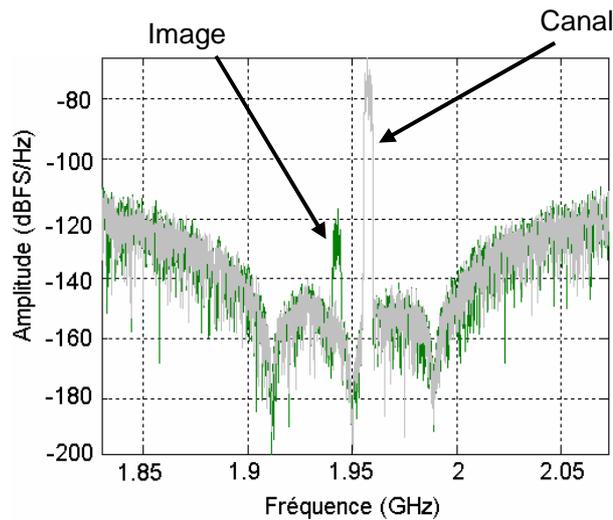


Figure 29 : Spectre du signal avec et sans interpolation de la voie Q

3.2. Architecture du mélangeur numérique

Le synoptique de la Figure 30 présente l'architecture de base du multiplexeur. Celui-ci est composé de bascules D et de portes de transmission. Le premier étage de portes de transmission permet de choisir I ou son complément et Q ou son complément ; le second sélectionne la voie I ou la voie Q. Les étages de bascule servent à synchroniser les données et à isoler les différents étages de portes de transmission.

Il est nécessaire d'utiliser trois horloges (Figure 30) pour réaliser l'opération globale : une à $4F_c$, une autre à $2F_c$ et enfin une dernière à F_c . Dans le cas de l'UMTS, ces horloges ont donc pour fréquence 7.8GHz, 3.9GHz et 1.95GHz. Enfin, il est nécessaire de générer également le complément des horloges à F_c et à $2F_c$.

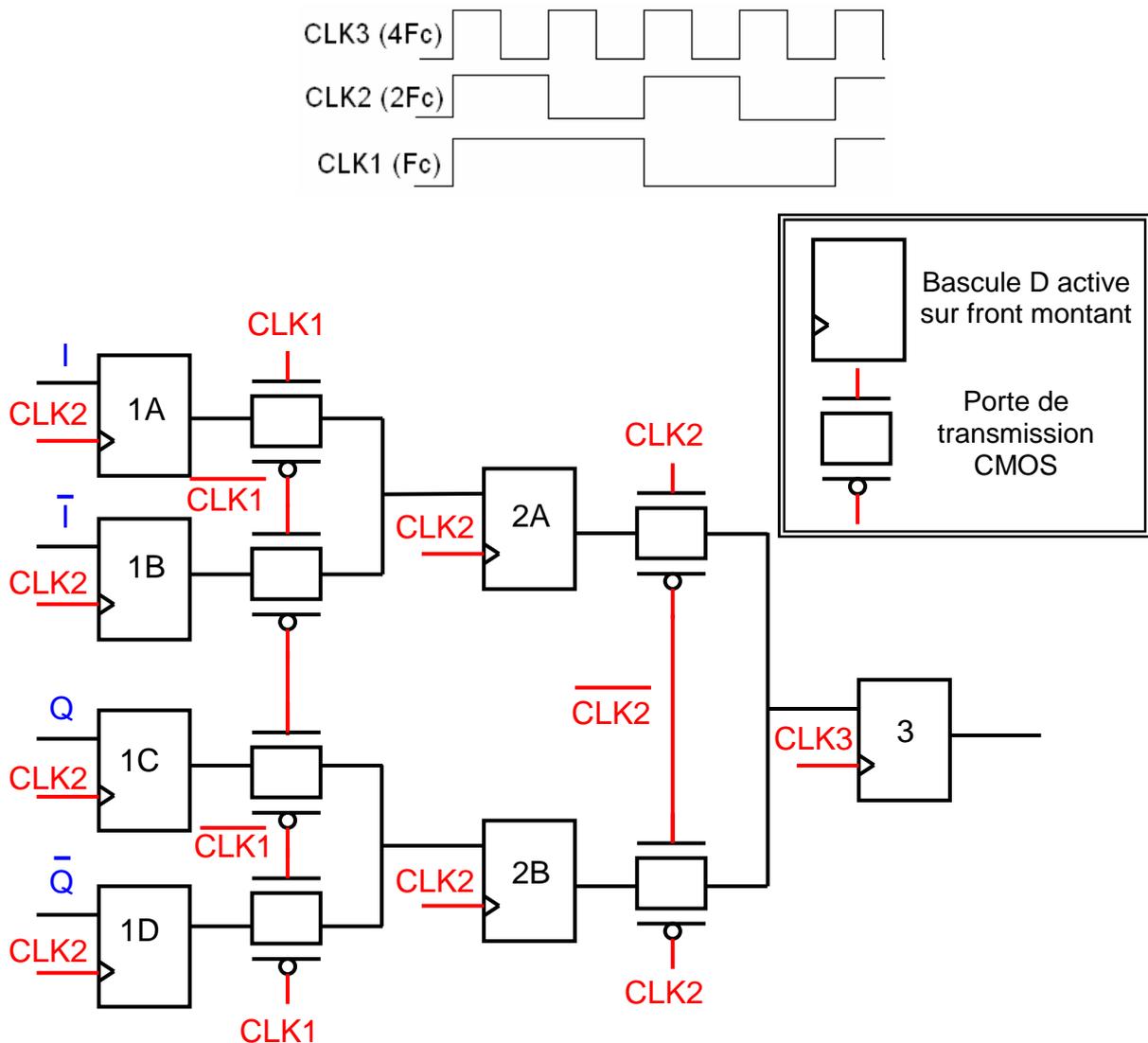


Figure 30 : Architecture du multiplexeur et diagramme simplifié des horloges utilisées dans le mélangeur

Il faut remarquer que les non idéalités présentées lors de la section précédente interviennent ici au niveau de la bascule 3. La conception de cet étage devra donc répondre à des exigences sévères en termes de symétrie des fronts. De plus, afin de pouvoir utiliser le multiplexeur, il est nécessaire d'utiliser des bascules pouvant fonctionner à des fréquences élevées (de l'ordre de 8GHz). En utilisant les méthodes classiques de conception de blocs logiques, il paraît difficile d'atteindre de telles cadences. En effet, les cellules logiques basiques des procédés ST 90nm et 65nm ne le permettent pas [42] [43]. Pour cette raison, nous avons implémenté une bascule reposant sur des concepts logiques rapides.

3.3. True Single Phase Clock Flip-Flop (TSPCFF)

La bascule utilisée dans le multiplexeur doit pouvoir fonctionner avec une fréquence d'horloge élevée et produire un signal de sortie avec des fronts symétriques. Pour cela, nous avons utilisé une flip-flop utilisant la logique dynamique True Single Phase Clock (TSPC) dont le design, ainsi que son layout (5.4 x 4.5 μm^2), sont exposés à la Figure 31 (le rapport de forme entre PMOS et NMOS est fixé à 3). Les dimensions des transistors sont normés par rapport à la longueur de grille minimale ($1 = 0.06\mu\text{m}$).

Ce type de bascule apparaît dans la littérature comme étant l'une des plus rapides [44].

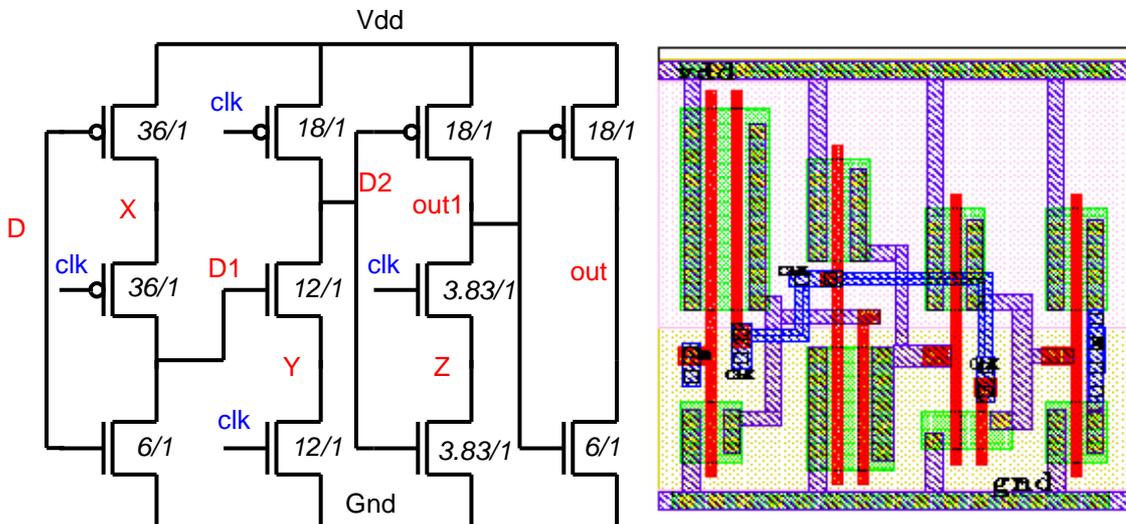


Figure 31 : Schéma et layout de la bascule utilisée (TSPCFF)

Son comportement est le suivant :

- lorsque l'horloge (clk) est à un niveau bas, on précharge le nœud D2 à V_{dd} via le PMOS, les sorties out1 et out sont en haute impédance, c'est-à-dire qu'elles conservent leur valeur (phase de maintien ou « hold »). Sur le nœud D1, on a le complément de D.

- Lorsque l'horloge passe à l'état haut. On évalue la valeur présente sur le nœud D1 (phase d'évaluation). Si D1 est à l'état bas, alors D2 ne change pas sa valeur (car il était préchargé à un état haut). Si D1 est à l'état haut, alors D2 se décharge à travers les transistors NMOS. Les nœuds out1 et out suivent l'évolution de D2.

Les différentes configurations (clk=0 et clk=1) sont représentées à la Figure 32.

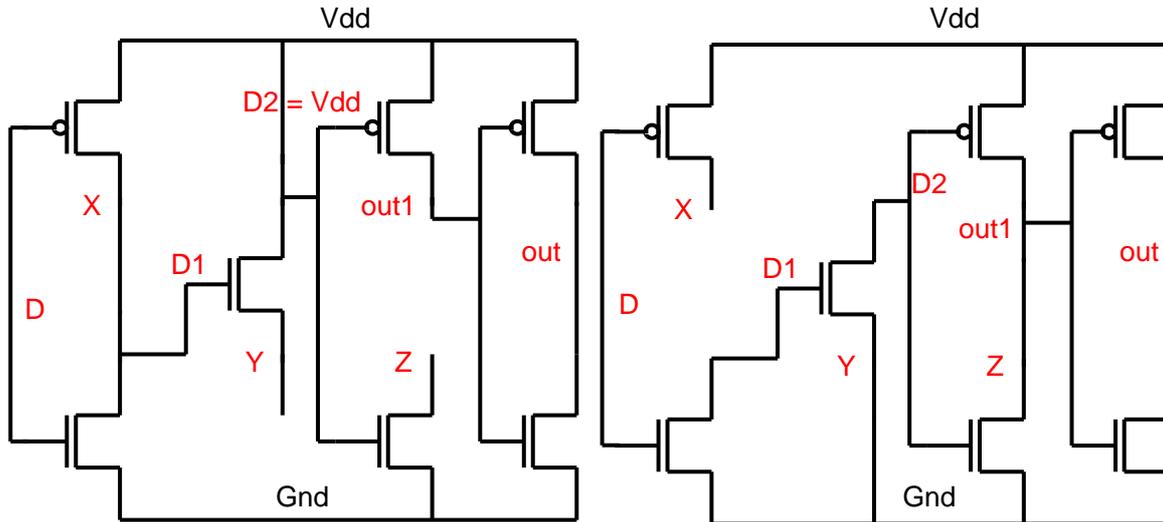


Figure 32 : Fonctionnement de la bascule lorsque clk = 0 (à gauche) et lorsque clk = 1 (à droite)

Le challenge relatif à la conception de la bascule est donc de minimiser l'écart entre temps de montée et temps de descente ; idéalement ceux-ci sont égaux et « symétriques ». Au niveau de notre architecture, cela revient à dire que le temps de descente de out1 doit être égal au temps de descente de D2 additionné au temps de montée de out1. En fait, il faut ralentir la décharge de out1 et/ou augmenter la rapidité de sa charge. On effectue cette opération en diminuant la taille des transistors NMOS dans lesquels out1 se décharge. La valeur optimale est trouvée par simulation.

Nous avons réalisé un étage de buffers de sortie permettant de piloter une charge de 50Ω sous 1V (tension d'alimentation des transistors CMOS 90nm). De la même manière que précédemment, il faut assurer la symétrie des fronts du signal en sortie des buffers. Ceux-ci sont constitués d'inverseurs CMOS de taille croissante.

Le diagramme de l'œil de la Figure 33 présente les performances obtenues à la sortie d'une bascule dynamique TSPCFF non chargée. Nous observons que les temps de montée et de descente sont très proches l'un de l'autre et valent respectivement 17.2ps et 17.4ps. L'introduction d'une charge capacitive augmente évidemment les temps de montée et de descente mais ceux-ci restent égaux.

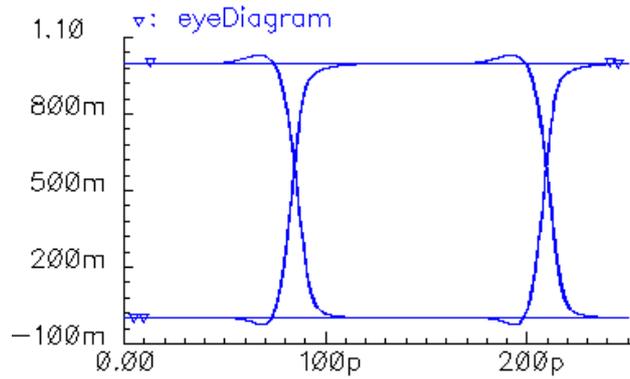


Figure 33 : Diagramme de l'œil des signaux en sortie d'une bascule TSPCFF @ 80°C pour un process typique

3.4. Synchronisation du signal de sortie

L'architecture du multiplexeur de la Figure 30 présente cependant un inconvénient. A la sortie de l'étage 2 de bascules, les données provenant de la voie I et celles provenant de la voie Q ne parcourent pas le même « chemin » jusqu'à la bascule 3 comme on peut le constater sur la Figure 35 et le chronogramme de la Figure 35.

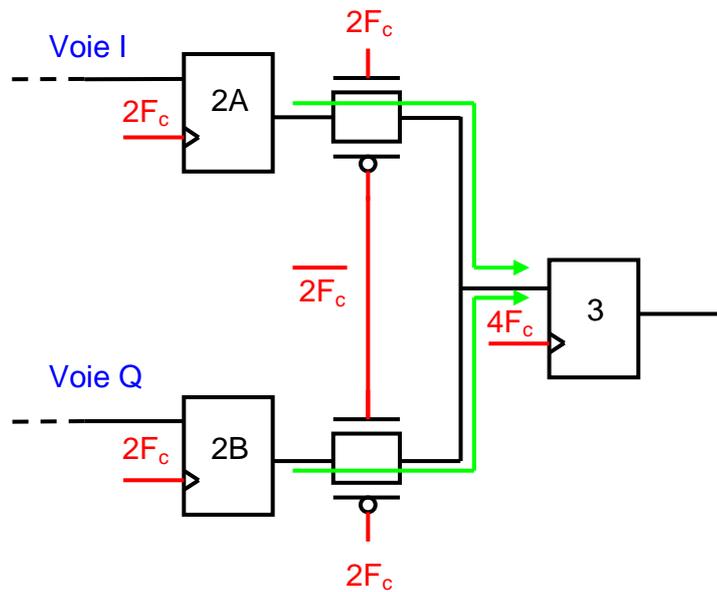


Figure 34 : Chemin critique

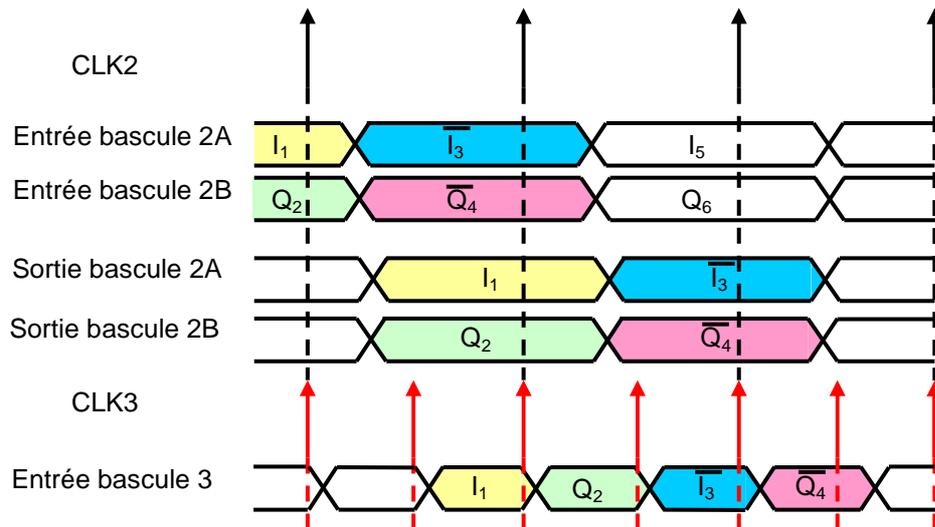


Figure 35 : Chronogramme des signaux au niveau du chemin critique

La donnée issue de la bascule 2A transite immédiatement par la porte de transmission alors que la donnée issue de la bascule 2B « attend » une demi période à $2F_c$ (les deux données n'ont pas le même temps d'établissement). Cette dissymétrie du temps de parcours des deux voies peut introduire une dissymétrie des fronts sur le signal, induisant par conséquent une remontée du niveau de bruit dans la bande passante. Il faut donc s'assurer que les données qui arrivent au niveau de la dernière bascule aient le même temps de parcours et s'établissent avec la même précision, ceci dans un souci de rendre le retard indépendant des données. Avec des cadences élevées comme dans notre application, ceci n'est pas toujours évident. Il est fortement déconseillé de calibrer le système, notamment par des retards d'inverseurs, sous peine de perdre complètement la souplesse au niveau de la fréquence de travail. La Figure 36 représente l'évolution temporelle ainsi que le diagramme de l'œil du signal avant la bascule 3.

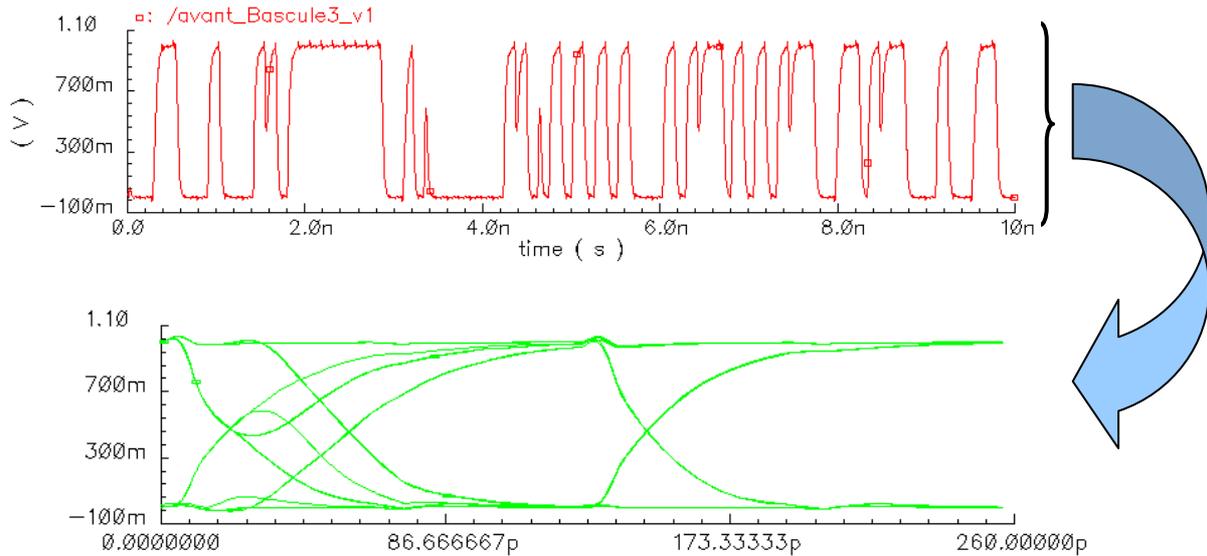


Figure 36 : Evolution temporelle et diagramme de l'œil du signal avant la dernière bascule dans la version initiale du mélangeur numérique

Dans cet exemple, les horloges sont toutes idéales, c'est-à-dire que les instants d'échantillonnage sont supposés idéaux et synchrones, ce qui n'arrive jamais en pratique. D'autres simulations ont montré que la bascule 3 n'échantillonnait pas correctement les données lorsque les horloges n'étaient pas parfaitement synchrones. Sur cette figure, on s'aperçoit que la forme d'onde du signal n'est pas identique pour une même valeur logique et dépend des échantillons précédents.

Afin de synchroniser les données au niveau du chemin critique, un étage supplémentaire de bascule, cadencé par le complément de l'horloge à $2F_c$, est inséré à la sortie du premier étage de porte de transmission de la voie Q (voir Figure 37). Cette dernière introduit un décalage entre la voie I et la voie Q ; ainsi lorsque les données transitent par le dernier étage de portes de transmission (qui travaille en opposition de phase), le temps que mettent les données I et Q entre le début du chemin critique et l'entrée de la bascule 3 est rigoureusement identique. Le chronogramme de la Figure 38 montre que les données des deux voies s'établissent alors de la même manière. On assure de plus la stabilité des données au niveau du second étage de portes de transmission, les deux voies ayant désormais une demi période à $2F_c$ pour s'établir correctement. Il faut remarquer que les horloges contrôlant le dernier étage de portes de transmission ont été inversées par rapport à celles de l'architecture originale, ceci afin de garantir la suite $[I_n, Q_{n+1}, -I_{n+2}, -Q_{n+3}]$. La Figure 39 représente l'évolution temporelle ainsi que le diagramme de l'œil du signal avant la bascule 3. Les formes d'onde sont identiques et ne dépendent plus des échantillons précédents. La symétrie des fronts est ainsi assurée.

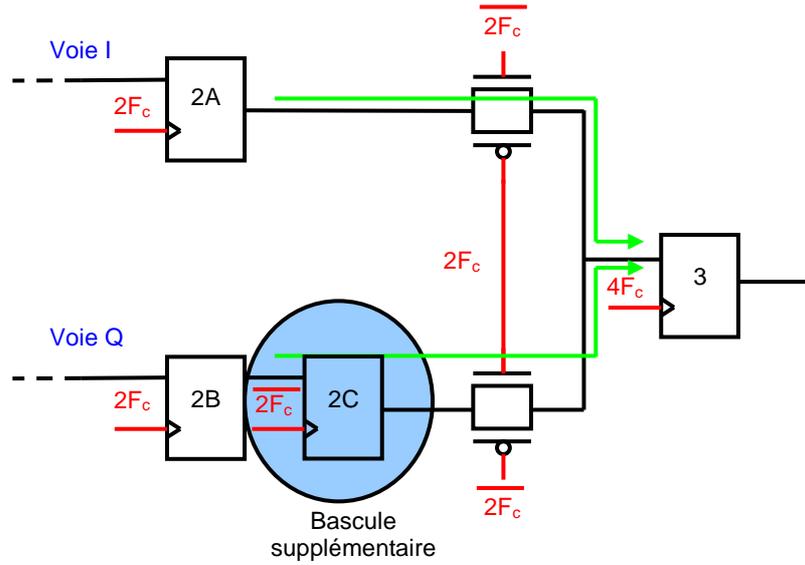


Figure 37 : Insertion d'une bascule supplémentaire dans la voie Q afin de rendre le temps de parcours des données indépendant du chemin parcouru

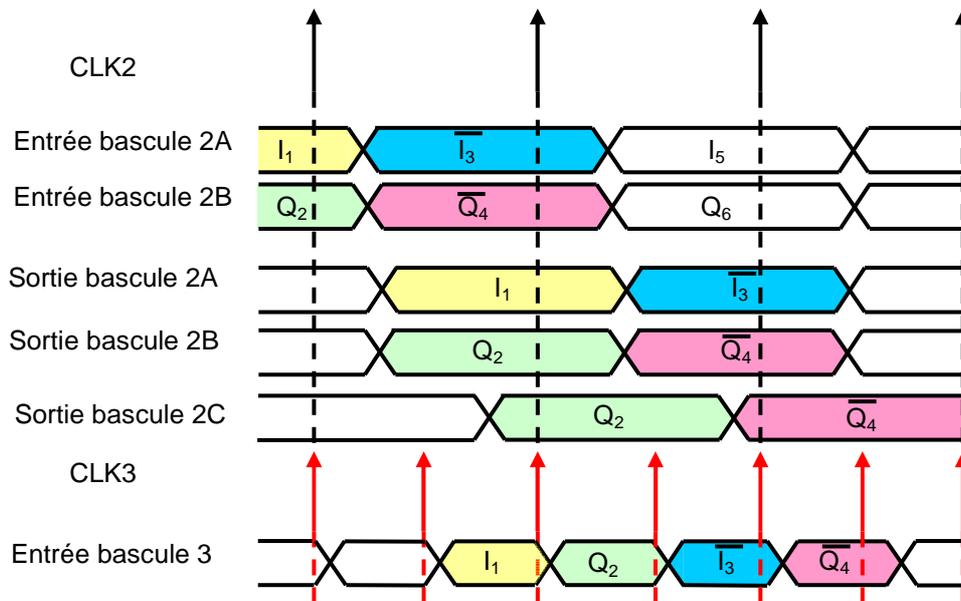


Figure 38 : Chronogramme des signaux au niveau du chemin critique

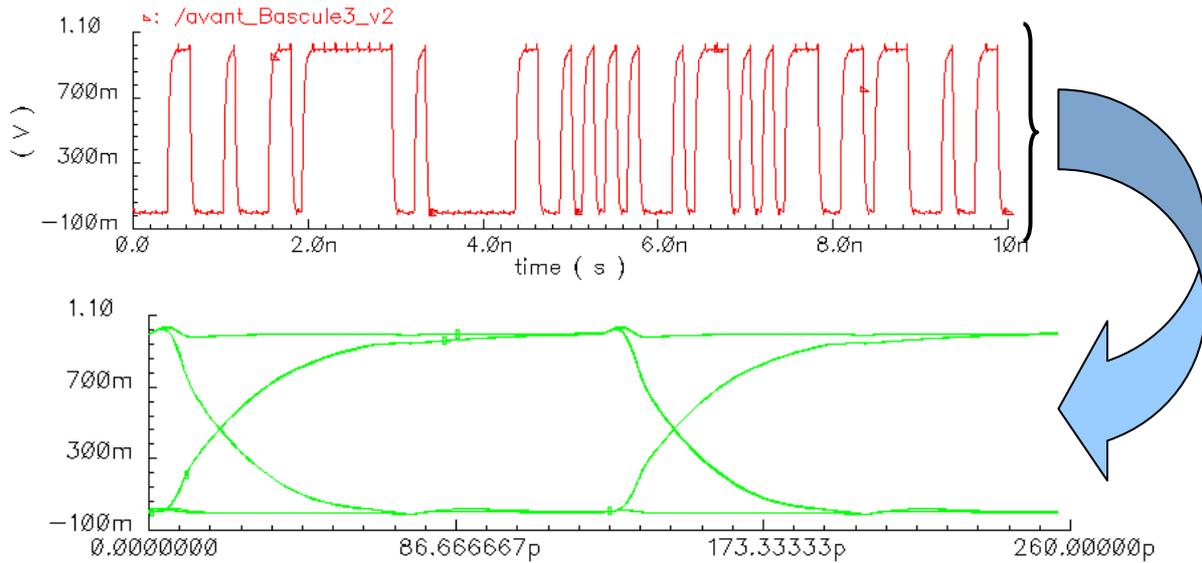


Figure 39 : Evolution temporelle et diagramme de l'oeil du signal avant la dernière bascule dans la version corrigée du mélangeur numérique

3.5. Performances simulées du multiplexeur

La Figure 40 présente le layout complet du multiplexeur. Celui-ci mesure $21.5 \times 24.5 \mu\text{m}^2$.

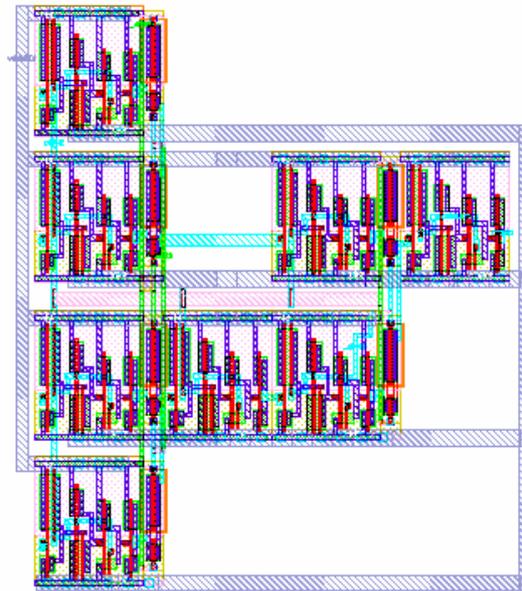


Figure 40 : Layout du multiplexeur

Le diagramme de l'œil de la Figure 41 présente les performances obtenues à la sortie différentielle des buffers (c'est-à-dire au niveau de la charge 100Ω différentiel et sans filtrage) à 80°C pour un process typique (TT) et lent (SS). Les temps de montée et de descente dans ce dernier cas sont d'environ 22ps. On remarque cependant la dépendance des données qui apparaît dans le cas SS.

Toutes les simulations ont été effectuées sous Cadence avec les Design Kits ST CMOS 90nm.

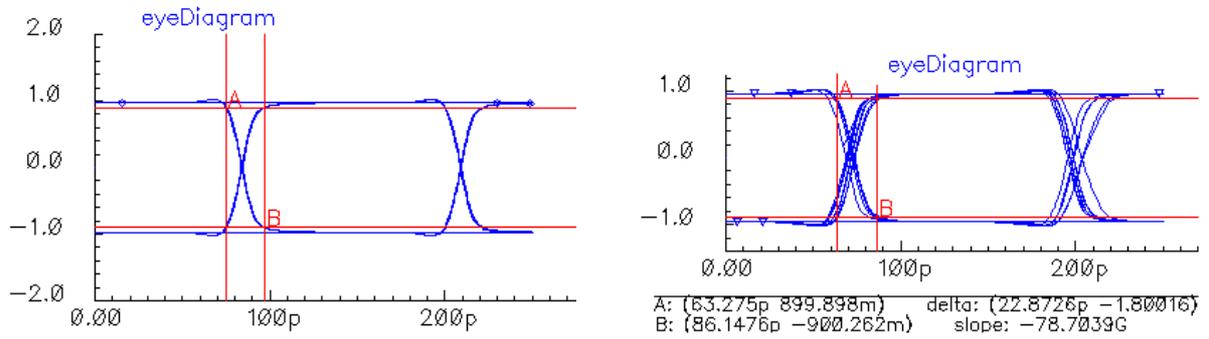


Figure 41 : Diagramme de l'œil des signaux en sortie des buffers sur une charge 100Ω différentielle @ 80°C pour, à gauche, un process TT et à droite un process SS

4. L'amplificateur de puissance commuté

4.1. Introduction

L'amplificateur de puissance qui est un élément indispensable dans une chaîne de transmission doit également permettre, dans l'architecture que nous développons, la conversion du signal numérique en un signal analogique. Dans le chapitre précédent, nous avons vu que cette opération peut être réalisée en venant commuter des sources de courant ou de tension. Nous verrons ici précisément pourquoi nous avons opté pour la commutation en tension. Nous décrirons ensuite la conception du convertisseur numérique analogique de puissance fonctionnant en mode tension. Une étude de la consommation de celui-ci sera effectuée.

4.2. Convertisseur numérique analogique (CNA) de puissance à commutation : Mode tension et mode courant

D'une manière générale, on distingue principalement trois modes de fonctionnement des convertisseurs numérique analogique :

- Le mode tension dans lequel une tension de référence est divisée en différents niveaux par l'intermédiaire d'un réseau résistif
- Le mode courant dans lequel la valeur analogique est obtenue en additionnant des courant issus de sources unitaires ou pondérées
- Le mode à distribution de charge dans lequel la valeur analogique est obtenue en redistribuant les charges via un réseau de capacités, en utilisant les techniques de capacités commutées

Ce dernier mode présente peu d'intérêt dans le cas d'une conversion numérique analogique 1bit.

Pour choisir la topologie du CNA 1 bit, nous nous sommes intéressés à l'évolution de la consommation dans le cas du mode tension et du mode courant. En effet, un des enjeux relatifs à la conception d'amplificateurs de puissance est la réduction de la consommation de ces étages, ce qui permet d'augmenter l'autonomie des terminaux mobiles. Nous avons donc étudié l'influence des deux types d'amplificateur à commutation en mode tension et en mode courant sur la consommation en présence d'un filtre sélectif en fréquence.

Dans le cas d'un amplificateur à commutation, le signal à traiter est généralement un signal de type carré dans lequel on veut récupérer une partie de l'information spectrale, ce qui

nécessite l'emploi d'un filtre (dans notre cas, nous supposons que l'information utile est située à la fréquence fondamentale du signal carré). La présence d'un filtre sélectif au niveau de la charge modifie l'évaluation de la consommation du dernier étage. Dans le cas où le signal n'est pas filtré, c'est-à-dire lorsque la charge est purement résistive, la consommation est maximale. Le courant débité sur l'alimentation a la même forme d'onde que le signal d'entrée. Dans le cas de commutation en tension, le filtre est constitué par exemple, d'un assemblage LC série, qui présente une impédance théoriquement nulle à la fréquence d'accord et idéalement infinie en dehors de sa bande passante. Ainsi la puissance fournie par l'alimentation ne contient que l'information utile. Au contraire, dans le cas de commutation en courant, le filtre sélectif est constitué d'un assemblage LC parallèle qui, lui, présente une impédance théoriquement infinie à la fréquence d'accord et idéalement nulle en dehors de sa bande passante. La puissance fournie par l'alimentation contient par conséquent la puissance utile mais également la puissance hors bande. Bien que dans les deux cas, la puissance fournie à la charge résistive soit identique, la puissance fournie par l'alimentation et par conséquent le rendement de cet étage, défini comme étant le rapport entre puissance récupérée sur la charge résistive et puissance consommée, est meilleure dans le cas de commutation en tension. La Figure 42 explicite ce phénomène. Sur cette figure, trois configurations sont présentées. En premier lieu, le cas où il n'y a pas de filtre au niveau de la charge est représenté, ensuite, le second cas où la commutation s'effectue en mode tension, enfin le troisième cas où la commutation s'effectue en mode courant. Les filtres sont supposés idéaux et les formes d'ondes associées aux trois topologies sont représentées.

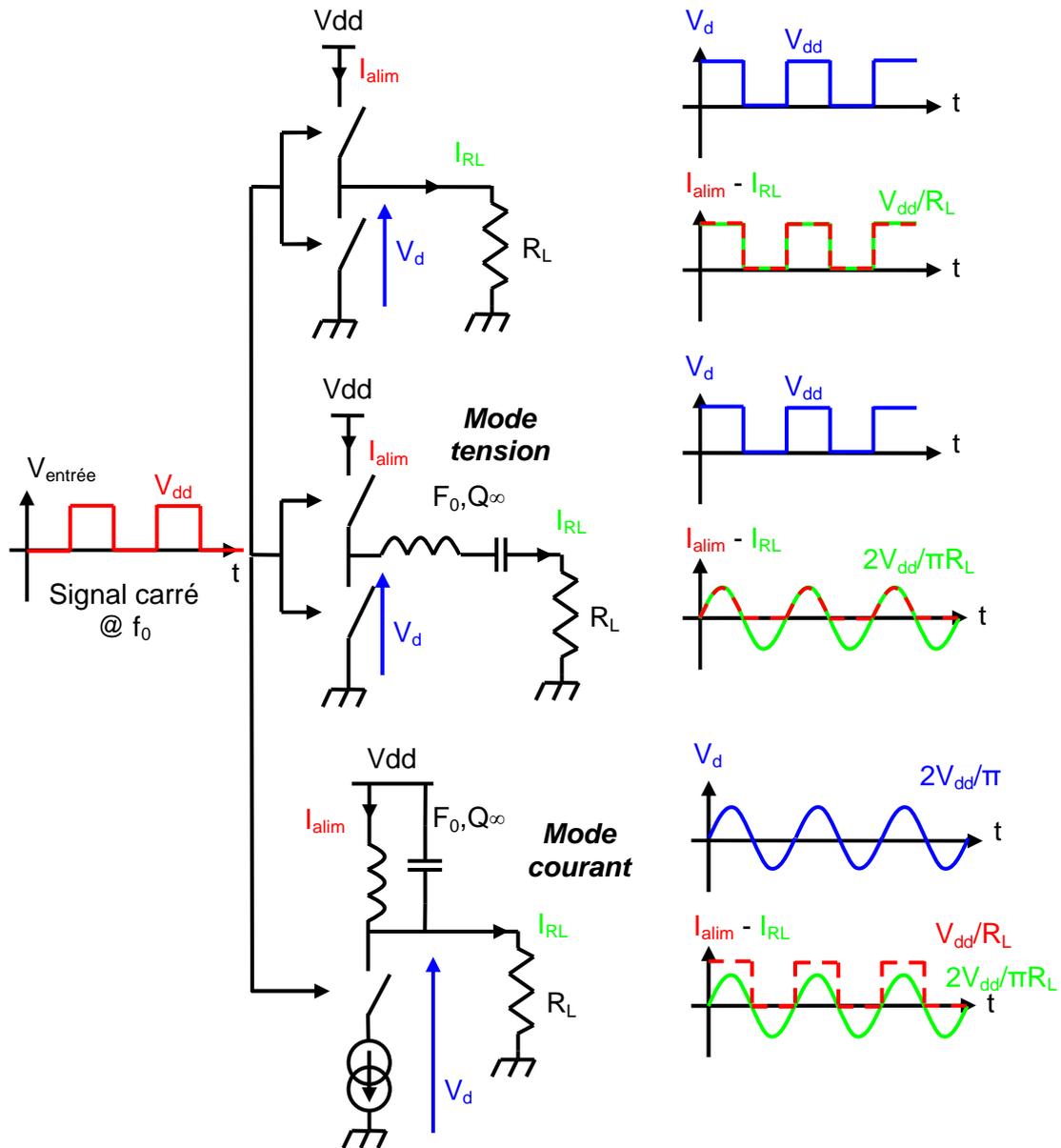


Figure 42 : Influence d'un filtre sur la consommation d'un étage en commutation

	Puissance récupérée au niveau de la charge	Puissance utile	Puissance délivrée par l'alimentation	rendement
Sans filtre	$V_{dd}^2/4R_L$	$2V_{dd}^2/\pi^2R_L$	$V_{dd}^2/2R_L$	$1/2$
Commutation en tension	$2V_{dd}^2/\pi^2R_L$		$2V_{dd}^2/\pi^2R_L$	1
Commutation en courant			$V_{dd}^2/2R_L$	$4/\pi^2$

Tableau 1 : Comparaison chiffrée des trois architectures d'amplificateur de puissance commuté

Le rapport du rendement entre amplificateur à commutation en tension et à commutation en courant est de $4/\pi^2$ (~ 0.405) : dans le cas idéal, on a par conséquent une réduction de la consommation de 60%. A la vue de ce constat, nous choisissons par conséquent un amplificateur fonctionnant en mode tension.

4.3. Conception de l'amplificateur de puissance commuté en mode tension

L'architecture la plus simple d'amplificateur de puissance commuté en mode tension est l'inverseur CMOS. Pour pouvoir piloter une charge de 50Ω (impédance typique d'une antenne) sous 1V, il est nécessaire d'utiliser une chaîne d'inverseurs de taille croissante. En effet, en sortie du mélangeur numérique, l'inverseur est composé d'un transistor NMOS de taille 6/1 et d'un transistor PMOS de taille 18/1, 1 représentant la taille minimale de la technologie utilisée et vaut $0.09\mu\text{m}$ pour la technologie CMOS 90nm et $0.06\mu\text{m}$ pour la technologie CMOS 65nm. Cet inverseur ne permet pas de piloter une charge 50Ω sous 1V car les transistors sont trop étroits (ils ne permettent pas de délivrer les 20mA nécessaire à l'établissement d'une différence de potentiel d'1V aux bornes d'une résistance 50Ω). Aussi une simulation paramétrique nous a permis de dimensionner les transistors de cet inverseur (Figure 43). Le rapport de forme entre NMOS et PMOS est de 2.28 afin d'assurer une tension de seuil au milieu de la dynamique ainsi que des fronts symétriques. Les transistors n'étant pas idéaux, ils présentent en zone triode une résistance notée r_{on} qui, dans le cas du PMOS, constitue avec la résistance de charge un diviseur résistif. Cette résistance, proportionnelle au rapport L/W , doit donc être minimisée. Enfin nous trouvons une largeur de $1408\mu\text{m}$ ($\sim 23500/1$) pour le PMOS et de $616\mu\text{m}$ ($\sim 10300/1$) pour le NMOS qui semble un bon compromis, la simulation donne une résistance moyenne de 0.56Ω .

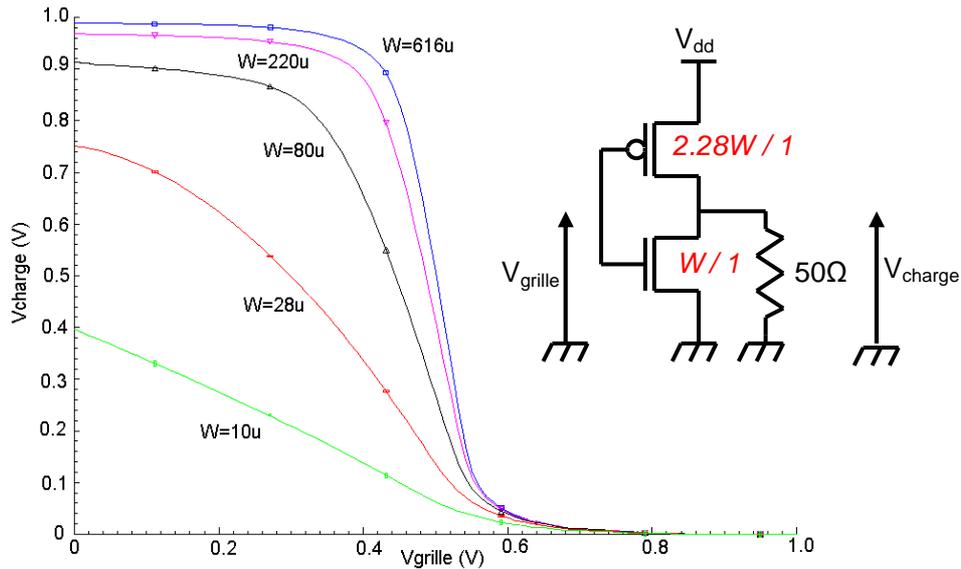


Figure 43 : Simulation de la caractéristique statique d’un inverseur CMOS pour différentes valeurs de largeur de grille et schéma électrique associé

Il n’est pas possible de connecter directement cet étage à la sortie du mélangeur numérique. En effet, la capacité de grille de cet inverseur est beaucoup trop importante pour permettre aux signaux de s’établir correctement. Une chaîne d’inverseurs CMOS de taille croissante (Figure 44) a donc été introduite en utilisant des transistors interdigités.

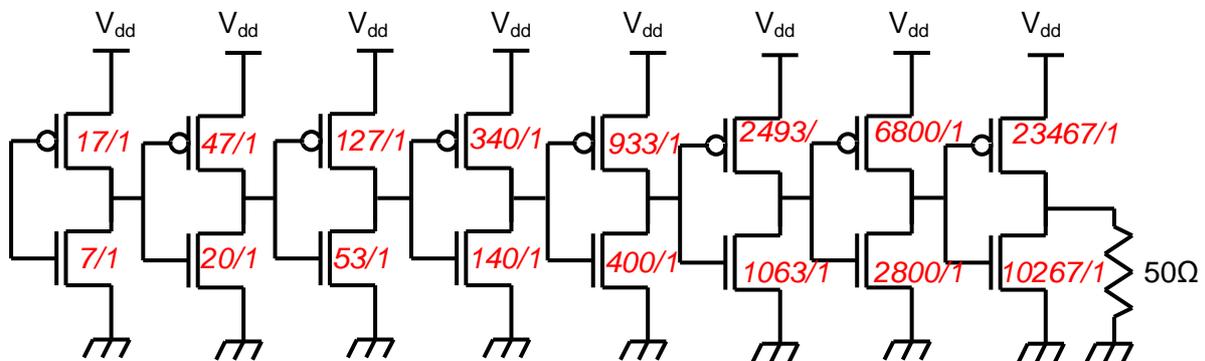


Figure 44 : Chaîne de buffers utilisée

Le fonctionnement dynamique de cet étage peut être vérifié à la Figure 45. Un signal WCDMA cadencé à 7.8GS/s attaque la série de buffers. Sur cette figure est représenté le signal obtenu aux bornes de la résistance de charge. On peut remarquer le décalage de la tension de sortie lorsque l’on se trouve à l’état haut, dû au diviseur résistif constitué par la résistance de conduction et la résistance de charge. Le courant provenant de l’alimentation est également tracé. A l’état haut, une composante continue d’environ 20mA liée à la résistance de charge ($1V/50\Omega$) se superpose au courant consommé. La consommation est évaluée à $\sim 25.5mA$, la majeure partie du courant étant consommée lors des transitions.

Pour une application radiofréquence, il faut insérer une capacité de découplage entre la sortie de l'amplificateur et la charge résistive ou mettre un mode commun à $V_{dd}/2$.

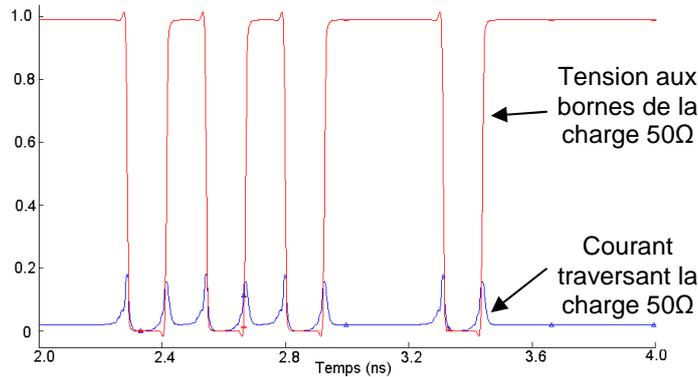


Figure 45 : Simulation temporelle des buffers

4.4. Consommation dans une chaîne de buffers

La consommation totale d'une chaîne de buffers peut être calculée comme étant la somme des consommations de chaque étage d'inverseur. Ici, deux cas sont à traiter : les inverseurs dont la charge est constituée d'un autre inverseur, et le dernier inverseur de la chaîne, dont la charge est constituée par l'antenne et éventuellement d'un filtre passif. Idéalement, l'efficacité d'un inverseur, définie comme le rapport entre la puissance utile à fournir à la charge et la puissance consommée, est de 100%. Malheureusement, de nombreux mécanismes viennent dégrader ces performances :

- Pertes par chemin direct (direct path current). Les temps de montée et de descente du signal ne sont pas nuls et par conséquent, il existe un laps de temps durant lequel les deux transistors conduisent ; ainsi, un chemin direct entre la tension d'alimentation et la masse est créé. La puissance consommée moyenne est égale à :

$$P_{CD} = t_{md} V_{dd} I_{peak} f \quad \text{Eq. [3]}$$

avec t_{md} le temps moyen de montée et de descente du courant de court-circuit, I_{peak} la valeur pic du courant lors d'une transition et f la fréquence de commutation. On suppose ici que le courant de court-circuit est de forme triangulaire (Figure 46) pour simplifier l'expression de la puissance consommée par ce mécanisme.

- Pertes par commutation. L'existence d'une capacité intrinsèque du transistor au niveau du nœud de sortie (additionné à la capacité de charge) implique la consommation d'un courant lorsque l'état de sortie varie. Les charges et décharges successives de cette capacité induisent une consommation moyenne égale à :

$$P_{dyn} = C_{out} V_{dd}^2 f \quad \text{Eq. [4]}$$

avec C_{out} la valeur de capacité au nœud de sortie et f la fréquence de commutation.

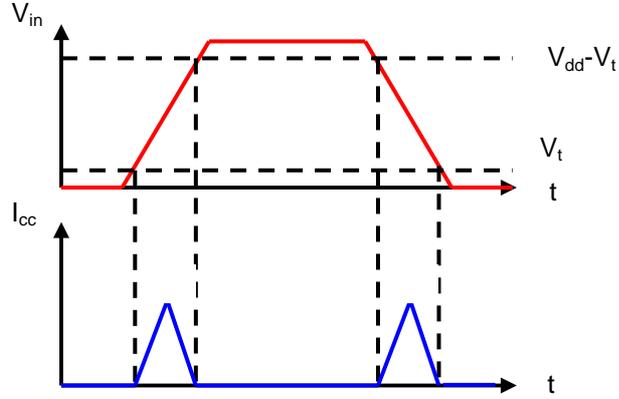


Figure 46 : Courant de court-circuit dans un inverseur CMOS

Dans la chaîne que nous avons implémentée, il y a huit étages d'inverseurs. Pour les sept premiers, la consommation peut s'écrire comme étant la somme des pertes par chemin direct et par commutation :

$$P_{conso} = P_{CD} + P_{dyn} = t_{md} V_{dd} I_{peak} f + C_{out} V_{dd}^2 f = V_{dd} f (t_{md} I_{peak} + C_{out} V_{dd}) \quad \text{Eq. [5]}$$

La capacité C_{out} de l'étage n est formée de la capacité de sortie de l'étage n et de la capacité d'entrée de l'étage $n+1$. La capacité de sortie de l'étage n est composée des capacités drain-grille et drain-substrat des transistor NMOS et PMOS et la capacité d'entrée de l'étage $n+1$ est composée des capacités grille-drain, grille-source et grille-substrat des transistor NMOS et PMOS. On peut alors écrire la capacité de sortie de l'étage n comme suit :

$$C_{out_étage_n} = (C_{dg_NMOS_n} + C_{db_NMOS_n} + C_{dg_PMOS_n} + C_{db_PMOS_n}) + (C_{gd_NMOS_n+1} + C_{gs_NMOS_n+1} + C_{gb_NMOS_n+1} + C_{gd_PMOS_n+1} + C_{gs_PMOS_n+1} + C_{gb_PMOS_n+1}) \quad \text{Eq. [6]}$$

Ces capacités sont proportionnelles au produit $W.L$ des transistors. L'estimation de ces capacités étant assez complexe à effectuer, on approxime la capacité totale du nœud de sortie comme étant la capacité d'entrée de l'étage suivant car ce dernier est constitué de transistors plus larges. Ainsi, on obtient, pour des longueurs de grille égales, une valeur sous-estimée de la capacité au nœud de sortie :

$$C_{out_etage_n} = C_{g_NMOS_n+1} + C_{g_PMOS_n+1} \approx (W_{n_etage_n+1} L_{n_etage_n+1} + W_{p_etage_n+1} L_{p_etage_n+1}) C_{oxyde}$$

$$= C_{oxyde} L (W_{n_etage_n+1} + W_{p_etage_n+1})$$

Eq. [7]

avec C_{oxyde} , la capacité surfacique d'oxyde de grille qui vaut environ $9fF/\mu m^2$ (mesurée en caractérisant une capacité MOS). Pour les sept premiers étages, on obtient comme largeur cumulée :

$$W_{cumulée} = 48950 \times 0.06 \approx 2937 \mu m$$

Eq. [8]

et comme capacité équivalente :

$$C_{total} = W_{cumulée} \times L \times C_{oxyde} = 2937 \times 0.06 \times 9e-15 \approx 1600 fF$$

Eq. [9]

Examinons maintenant les pertes par l'existence d'un courant de court-circuit lors des commutations. Il faut calculer le temps de montée et de descente ainsi que la valeur pic de ce courant. La valeur pic du courant de court-circuit se retrouve sur la caractéristique statique de l'inverseur et est directement proportionnelle au rapport W/L. Le Tableau 2 présente les courants pics obtenus pour les différents étages de la chaîne de buffers.

Inverseur (PMOS/NMOS)	Courant pic (mA)
17/1-7/1	0.051
47/1-20/1	0.15
127/1-53/1	0.41
340/1-140/1	1.1
933/1-400/1	3.08
2493/1-1063/1	8.23
6800/1-2800/1	22.06

Tableau 2 : Courant pic des inverseurs de la chaîne de buffers

Les temps de montée et de descente de ce courant sont liés à ceux du signal d'entrée des buffers (voir Figure 46). L'analyse temporelle des inverseurs montre que ce temps total est d'environ 20ps (on suppose que ceux-ci sont égaux à chaque étage afin de faciliter le calcul). Pour les sept premiers inverseurs, on peut donc évaluer la consommation, pour un signal carré à 3.9GHz. Celle-ci vaut :

$$P_{conso_7\acute{e}tages} = 3.9e9 \times (20ps \times \sum_{n=1}^7 I_{peak_n} + 1600e-15) \approx 9mW$$

Eq. [10]

Nous avons estimé la consommation de cette même chaîne sous Spectre et nous trouvons un courant moyen débité de l'alimentation de 9.8mA sous 1V. Les approximations que nous avons effectuées permettent une estimation rapide quoique sous-évaluée de la consommation de la chaîne d'inverseurs.

Pour le calcul de la consommation du dernier inverseur, la simulation reste le meilleur moyen de l'évaluer. En effet, le calcul de la capacité C_{out} qui est constituée en première approximation d'une capacité de jonction drain-substrat, par nature fortement non linéaire [45], ne permet pas d'évaluer les pertes par commutation de façon fiable. L'estimation moyenne de cette capacité donne un résultat d'environ 1.6pF (calculée par extrapolation de la courbe du temps de propagation du signal en fonction de la capacité de charge), ce qui donnerait une consommation de 12.5mA à 7.8GHz alors qu'on trouve par simulation une consommation totale de 8mA pour un signal carré à 7.8GHz pour cet inverseur.

Une partie supplémentaire du courant consommé provient de la nature de la charge, résistive dans cet exemple, et doit être ajoutée à l'évaluation de la consommation. Dans le cas d'un signal carré entre 0 et V_{dd} , il y a $V_{dd}/2R_L$ Ampère en moyenne qui est consommé de l'alimentation vers R_L s'il n'y a pas de filtre. On trouve que le dernier étage consomme 18mA, dont 10mA vers la charge. La consommation totale de la chaîne d'inverseur est simulée à 38mW (dont 28mW sont perdus).

Il faut remarquer que, dans le cas d'un signal $\Delta\Sigma$, les commutations n'ont pas lieu à chaque période. Aussi la consommation globale est inférieure à celle trouvée dans le cas d'un signal carré à la même fréquence. En supposant que les commutations sont deux fois plus rares lorsque le signal à traiter est issu d'un modulateur $\Delta\Sigma$, on se retrouve avec 14mW de pertes (15.5mW en simulation) et 10mW utile soit une consommation de 24mW (25.5mW en simulation).

Le Tableau 3 résume les consommations estimées et simulées.

<i>Etages</i>	<i>Signal carré à 3.9 GHz (conso estimée/simulée)</i>	<i>Signal $\Delta\Sigma$ à 7.8GHz (conso estimée/simulée)</i>
<i>7 premiers inverseurs</i>	9mA/9.8mA	9mA/10.5mA
<i>Dernier inverseur sans charge</i>	>6mA/4mA	-/4.6mA
<i>Total sans charge</i>	>15mA/13.8mA	14mA/15.5mA
<i>Dernier inverseur avec charge 50Ω</i>	>16mA/18mA	-/15mA
<i>Total avec charge</i>	>22mA/28mA	24mA/25.5mA

Tableau 3 : Estimation et simulation des consommations pour la chaîne de buffers avec et sans charge résistive de 50 Ω

5. Conclusion

L'architecture que nous avons choisi de développer pour répondre aux exigences d'une radio logicielle repose sur l'utilisation d'une modulation $\Delta\Sigma$ afin de générer un signal numérique 1 bit, signal qui doit être transposé en radiofréquence et amplifié afin d'être émis vers la station de base.

Pour cela, une étude des non idéalités venant dégrader le signal a été effectuée et il apparaît que l'utilisation d'une structure différentielle est nécessaire. Le besoin de reconfigurabilité nous a conduit à concevoir un mélangeur numérique dont le principe repose sur l'utilisation de bascules en logique dynamique, et dont les formes d'onde ne dépendent pas du chemin que les données parcourent.

L'opération de conversion numérique analogique nécessaire à ce niveau de la chaîne d'émission est réalisée par l'utilisation d'amplificateur de puissance fonctionnant en mode tension. En effet, cette topologie est meilleure en termes de rendement que celle fonctionnant en mode courant. Nous avons alors conçu un tel amplificateur et disserté sur la consommation de celui-ci car sa diminution reste un enjeu majeur dans tout les systèmes de communications mobiles. Cet amplificateur présente la particularité d'avoir une bande passante élevée, celle-ci étant uniquement liée à la fréquence des commutations. Cette propriété sied parfaitement aux contraintes de la radio logicielle.

Chapitre III : Combineur de puissance à lignes de transmission

1. Introduction : La recombinaison de puissance – Comment générer de la puissance à partir de faibles tensions d'alimentation ?

La réduction de la longueur des grilles des transistors dans les nouvelles technologies CMOS pose un problème au niveau des besoins de puissance qui, eux, ne diminuent pas. En effet, cette réduction de la longueur des grilles entraîne une réduction des tensions d'alimentation des transistors (1V pour la technologie ST CMOS 90nm ou 65nm) car l'oxyde de grille est de plus en plus fin et sa tension de claquage diminue à chaque nouvelle génération technologique. Il faut de plus remarquer que la tension de seuil des transistors, appelée V_t , ne diminue pas du même facteur de proportionnalité. L'excursion possible en tension en est alors d'autant plus affectée.

Pour atteindre des niveaux de puissance de l'ordre d'une vingtaine ou trentaine de dBm (spécifications des standards de communication 2G et 3G) dans une antenne de 50 Ω , l'excursion en tension est donc la limitation principale. Il faut alors mettre en œuvre des courants élevés, proches de la centaine de mA, voire plus. Ceci est désavantageux en termes de place sur le Silicium, car il faut des transistors très larges pour délivrer ces ordres de grandeur de courant, mais également en termes d'efficacité et de pertes à cause, par exemple, de la mauvaise qualité des passifs intégrés sur Silicium.

Ces raisons expliquent en partie l'incapacité d'intégrer complètement les amplificateurs de puissance radiofréquence (RFPA pour RadioFrequency Power Amplifier) en technologie CMOS.

Actuellement, les RFPA sur le marché utilisent des transistors originaux (des HEMT en AlGaAs ou InGaP dont la résistivité du substrat est supérieure à celle du Silicium ou encore des LDMOS SOI dont les tensions de claquage atteignent environ 20V) dont la fabrication n'est généralement pas compatible avec les procédés CMOS standard (voir [46] qui propose un procédé de fabrication de LDMOS SOI compatible avec les procédés BiCMOS mais ceci reste encore marginal). Toujours est-il qu'une solution entièrement intégrée en technologie Silicium CMOS est toujours manquante.

Pour obtenir des niveaux de puissance « acceptables » à partir de dispositifs fonctionnant à faible tension d'alimentation, le concepteur de RFPA CMOS a par conséquent recours à de nouvelles techniques comme la combinaison de puissance. Une multiplication de dispositifs unitaires permet, par l'intermédiaire d'un assemblage judicieux, de générer un signal de sortie répondant aux spécifications à partir d'une technologie à faible alimentation.

Une première partie présentera les tendances des niveaux de tension d'alimentation pour les terminaux mobiles et les technologies Silicium CMOS. Ensuite, nous aborderons les deux grandes techniques de combinaison de puissance, la combinaison série qui est peu utilisée et parallèle qui laisse envisager de meilleurs résultats, notamment par l'intermédiaire de lignes de transmission. La partie suivante dressera un état de l'art des systèmes de combinaison de puissance utilisant ces techniques au sein des architectures radiofréquences. Enfin, la dernière partie est consacrée à l'architecture que nous avons retenue.

2. La réduction des tensions d'alimentation

La réduction de la consommation des terminaux mobiles se traduit par une durée de vie de la batterie plus longue et/ou une réduction des dimensions de la batterie. Ce sont des caractéristiques critiques pour le consommateur et donc propices au développement technologique.

Le développement de circuits faible puissance et faible tension d'alimentation est liée aux tendances globales de la miniaturisation des dispositifs CMOS. En effet, pour obtenir le même ordre de grandeur de champ électrique nécessaire au fonctionnement des transistors, la réduction physique des composants implique une diminution des tensions d'alimentation. De plus, pour les parties numériques, la consommation de puissance suit une loi quadratique avec la tension d'alimentation. Il y a donc à première vue tout intérêt à réduire cette valeur de tension. La Figure 47 présente la tension d'alimentation correspondant aux nœuds technologiques CMOS considérés. On remarque que celle-ci baisse d'environ 15% à chaque nouvelle génération.

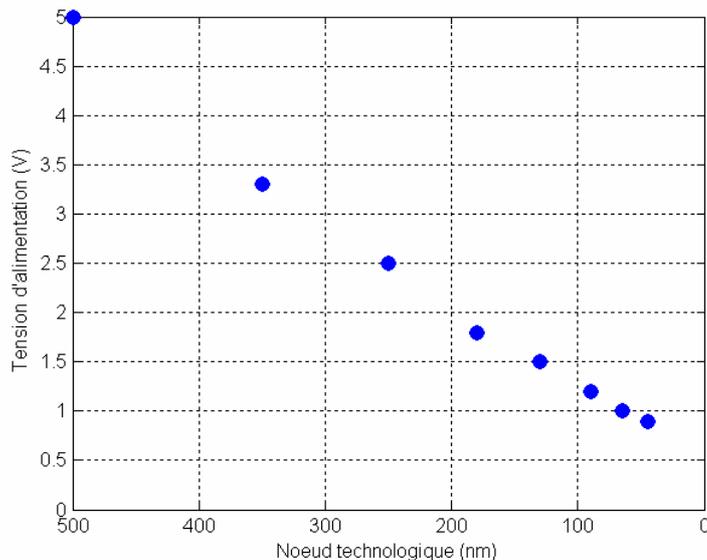


Figure 47 : Réduction de la tension d'alimentation en fonction de la longueur de grille

Cependant, la diminution de cette tension ne s'effectue pas aussi vite que prévue dans les terminaux mobiles, simplement par la présence des amplificateurs de puissance dans la chaîne de communication. En effet, les niveaux de puissance requis dépendent des standards de communication visés pour le terminal. Par exemple, un terminal GSM doit pouvoir fournir un signal de 30dBm (ou 33dBm suivant la bande de fréquence) et ce, quelque soit la tension d'alimentation fournie par sa batterie. La Figure 48 présente la différence grandissante entre

les tensions d'alimentation de la partie numérique et de la partie puissance dans les terminaux mobiles.

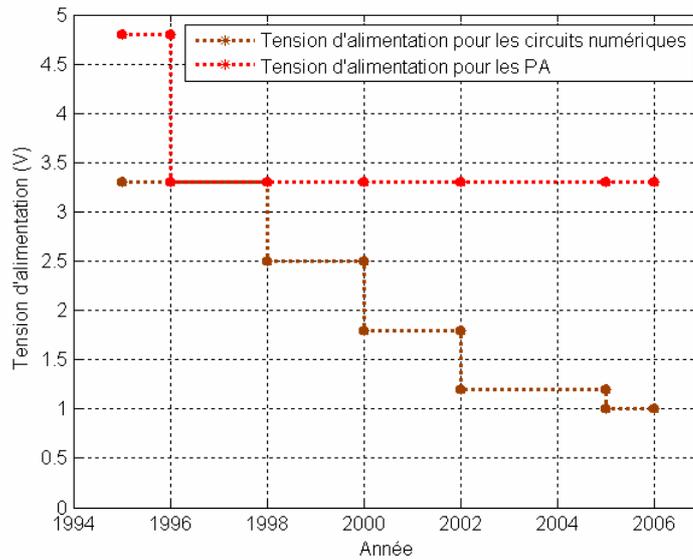


Figure 48 : Evolution dans la dernière décennie des tensions d'alimentation pour les modules numériques et de puissance au sein d'un terminal mobile

C'est en partant de ce constat qu'il faut imaginer des moyens de générer de la puissance RF avec des tensions d'alimentation de plus en plus faibles.

3. Augmentation de la dynamique de sortie : « combinaison de puissance en série »

La combinaison de puissance en série permet de s'affranchir dans une moindre mesure de la tension de claquage des transistors et par conséquent d'augmenter la tension d'alimentation permettant une plus grande excursion en tension du signal de sortie (génération de puissance), généralement par l'intermédiaire d'un montage cascode.

Sous la forme MOS, le cascode est un amplificateur constitué d'une source commune et d'une grille commune comme le montre la Figure 49. Le signal RF attaque la grille de la source commune ; la grille de la grille commune est une masse petit signal. L'avantage d'une telle structure (par rapport à une source commune classique) est qu'elle supporte de plus grandes excursions de tension permettant ainsi d'augmenter la tension d'alimentation. Il apparaît cependant que le transistor Q_2 subit alors plus de contraintes en tension que le transistor Q_1 et ne permet a priori pas un gain substantiel de puissance pour le montage cascode décrit précédemment. Pour pallier ce problème, Wongkomet, dans [47] et [48], propose par exemple d'utiliser un transistor à oxyde de grille plus épais pour Q_2 . Il propose également de ne pas découpler complètement la grille de ce transistor, ce qui permet de réduire encore la contrainte sur la tension grille-drain. Néanmoins, Q_2 , n'étant pas idéal, dissipe de la puissance. Une autre façon de procéder est présentée dans [49], où le transistor Q_2 est autopolarisé et suit les variations du signal RF, qui permet d'augmenter la dynamique de sortie.

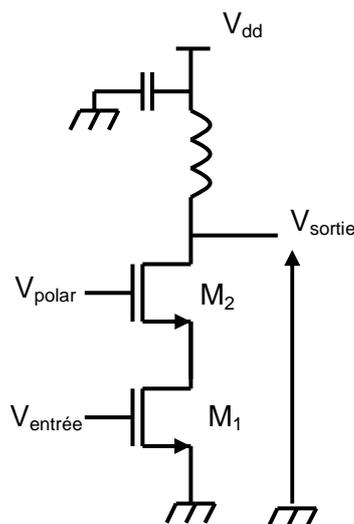


Figure 49 : Montage cascode avec 2 transistors NMOS

Une manière similaire d'augmenter la tension d'alimentation de tels amplificateurs est de cascader en série un certain nombre de transistors. Ezzeddine propose un amplificateur de puissance haute tension à base de transistor à effet de champ (FET pour Field Effect Transistor) [50] comme il est présenté à la Figure 50 pour des application satellites. La puissance de sortie peut alors être distribuée de manière déphasée à une matrice d'antenne (phased array) ou alors recombinaison. Pour assurer l'isolation entre les différents transistors, la source de chacun d'entre eux est découplée grâce à une capacité. Le drain du transistor Q_k est relié à la source de Q_{k+1} par l'intermédiaire d'une inductance.

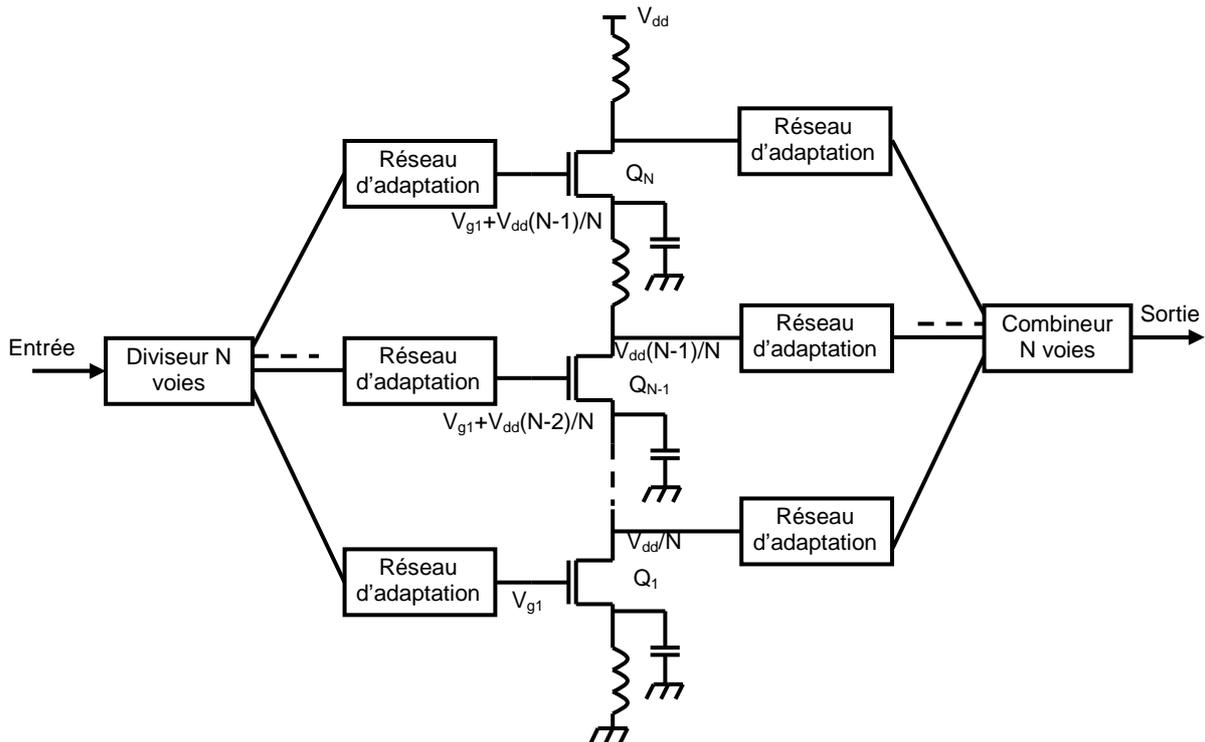


Figure 50 : Cascade de N transistors FET en série [50]

Un principe similaire est présenté dans [51] grâce auquel Shifrin obtient environ 37dBm avec une tension d'alimentation de 19.5V à 4GHz avec un procédé GaAs MESFET.

4. Combinaison de puissance en parallèle

La première approche de « combinaison » de puissance consiste à mettre des transistors en série afin d'augmenter l'excursion en tension au niveau du nœud de sortie. On peut imaginer un autre moyen de réaliser cette combinaison en utilisant différentes sources de puissance travaillant en parallèle. Il faut alors concevoir un combineur de puissance permettant la somme des différentes contributions de puissance. Il existe de nombreuses façons de réaliser celui-ci, les transformateurs et les lignes de transmission étant les deux candidats les plus sérieux pour effectuer cette opération.

4.1. Combineur de puissance à l'aide de transformateurs

Un transformateur électrique est un convertisseur qui permet de transformer un système de tension et de courant appliqué sur un enroulement appelé primaire, en un système de tension et de courant de valeurs différentes mais de même fréquence et de même forme issu d'un enroulement appelé secondaire. La structure d'un transformateur est présentée à la Figure 51. Dans le cas d'un transformateur idéal (sans pertes), la puissance est conservée entre le primaire et le secondaire (au courant magnétisant près qui est négligé si la self primaire est élevée) soit :

$$V_1 \cdot I_1 = V_2 \cdot I_2 \quad \text{Eq. [11]}$$

Les tensions primaire et secondaire sont proportionnelles au nombre de spires et à la dérivée du flux magnétique. Comme celle-ci est la même dans tout le noyau, le rapport des tensions s'écrit :

$$V_2 \cdot N_1 = V_1 \cdot N_2 \quad \text{Eq. [12]}$$

Une charge Z est généralement connectée au secondaire. C'est celle-ci qui va imposer le courant dans l'enroulement secondaire (loi d'Ohm). Les courants dans le primaire et le secondaire suivent le théorème d'Ampère :

$$N_1 \cdot I_1 = N_2 \cdot I_2 \quad \text{Eq. [13]}$$

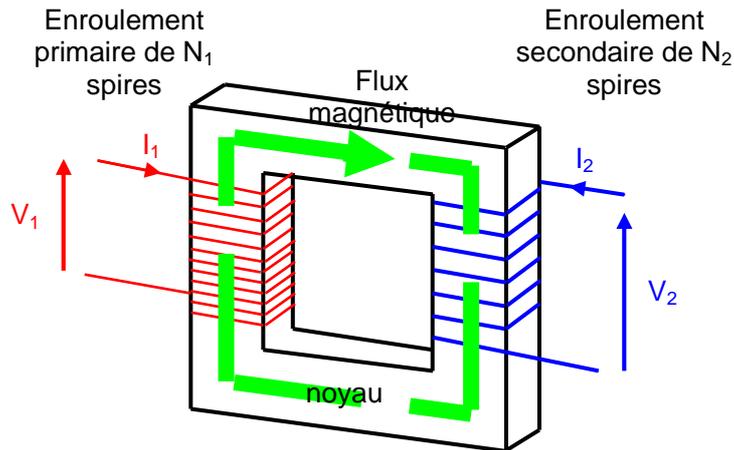


Figure 51 : Structure d'un transformateur

Le transformateur, par son rôle intrinsèque de transformateur d'impédance ($Z_{\text{entrée}} = Z_{\text{sortie}}/N^2$ avec N le rapport d'enroulement entre secondaire et primaire), a toujours eu une place de choix dans l'amplification de puissance. Il est possible d'adapter l'impédance de charge à l'impédance optimale du PA de bien meilleure façon qu'avec des circuits LC résonants. Aoki montre dans [52] que l'efficacité d'un tel réseau d'adaptation d'impédance pour un facteur de qualité donné est meilleure avec un transformateur plutôt qu'avec un réseau LC. Le transformateur est également capable de combiner de la puissance. La Figure 52 présente, sur un exemple de deux PA linéaires fonctionnant en opposition de phase, son fonctionnement (n représente le rapport de transformation).

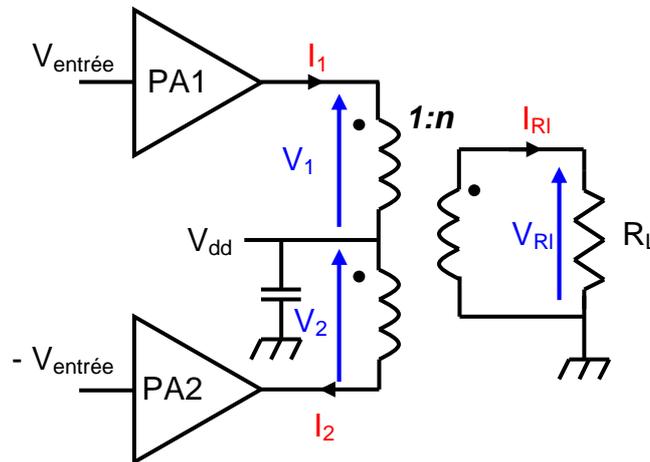


Figure 52 : Combineur de puissance à transformateur à 2 PAs

Chaque PA voit la même impédance, à savoir :

$$R_{LPA} = \frac{R_L}{2} \frac{1}{n^2}$$

Eq. [14]

Comme les PA travaillent en opposition de phase et à même amplitude,

$$I_1 = I_2 = n \frac{I_{RL}}{2} \quad \text{Eq. [15]}$$

et

$$V_1 = V_2 = \frac{1}{n} V_{RL} \quad \text{Eq. [16]}$$

Les 2 PA délivrent la même puissance et dans le cas de signaux sinusoïdaux,

$$P_1 = P_2 = \frac{1}{2} \frac{V_{1out}^2}{R_{LPA}} = n^2 \frac{V_{out}^2}{R_L} \quad \text{Eq. [17]}$$

La puissance totale délivrée à la charge R_L est, d'après les équations précédentes :

$$P_{RL} = \frac{1}{2} \frac{V_{RL}^2}{R_L} = 2 \frac{V_{out}^2}{R_L} n^2 = P_1 + P_2 \quad \text{Eq. [18]}$$

On peut trouver de plus amples détails et des exemples de réalisation dans [53] où Cheung conçoit un combineur de puissance à 4 voies pour la bande 21-27 GHz et dans des gammes de puissance de l'ordre de 20dBm.

L'intégration des transformateurs a toujours été un défi notamment à cause des pertes d'insertion importantes (2-3dB) inhérentes aux technologies Silicium massif (faible résistivité du substrat). De plus, le facteur de qualité des transformateurs décroît lorsque le rapport de transformation augmente [52]. Par conséquent, Aoki propose d'utiliser des transformateurs à rapport de transformation unitaire dont les secondaires sont placés en série comme il est indiqué sur la Figure 53 afin de réaliser la transformation d'impédance permettant la génération de puissance. Les formes d'onde résultantes au niveau des différents secondaires sont représentées dans ce cas.

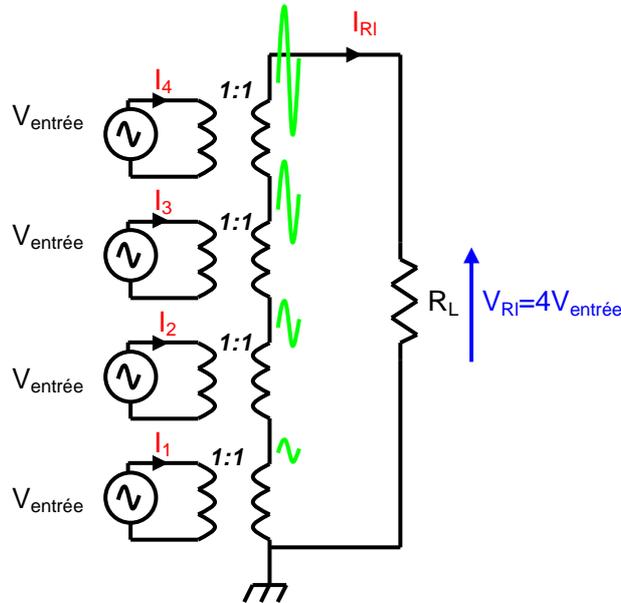


Figure 53 : Combineur de puissance à 4 transformateurs

Avec N transformateurs, on peut réaliser un rapport de transformation égal à N [52][53]. De plus, les tensions s'additionnent au niveau des secondaires permettant de générer de la puissance.

Au niveau des réalisations, Jang, dans [54], réalise un combineur à deux voies (PA utilisant des cascodes) grâce à un transformateur en dehors de la puce pour la bande des 900MHz et délivre une trentaine de dBm pour un PAE supérieur à 60%. Aoki, dans [52], a réalisé un PA complètement intégré en technologie CMOS 0.35 μ m dans la bande 2.45GHz atteignant 32.8dBm pour un PAE d'environ 40%. Une autre réalisation de Aoki [54], réussit à atteindre 34.5dBm dans la bande 1.9GHz avec un PAE de 50% dans une technologie CMOS 0.18 μ m. Ces deux réalisations reposent sur la même architecture présentée à la Figure 54. Les transformateurs sont ici réalisés par des lignes de transmission.

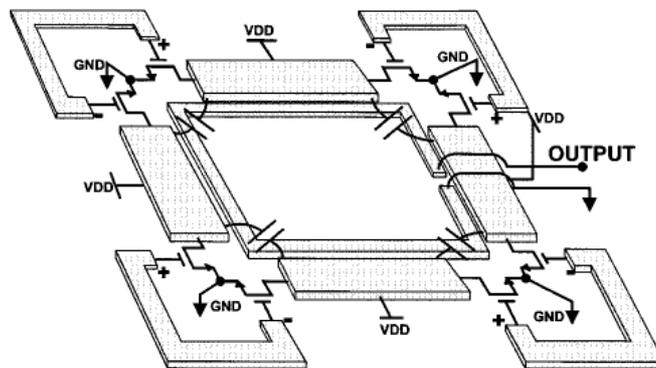


Figure 54 : Combineur de puissance à 4 transformateurs utilisé dans [52] et [55]

Liu [56] a, quant à lui, réalisé un PA complètement intégré en technologie CMOS 0.13 μ m dans la même bande de fréquence que [52] atteignant 0.5W pour un PAE de 30%. Son circuit permet également, grâce à un mot de contrôle, d'activer un ou plusieurs PA afin d'augmenter le rendement moyen. Enfin, Haldi [57] atteint 0.25W dans la bande 5-5.8GHz avec une efficacité de 27% dans une technologie CMOS 90nm. Il s'agit, à la date de publication (juin 2007), du PA linéaire totalement intégré le plus puissant utilisant une alimentation d'1V et des transistors à oxyde fin dans cette technologie.

La combinaison de puissance ne permet donc pas d'augmenter le rendement puisqu'il y a des pertes dues à l'utilisation d'éléments passifs mais permet de s'affranchir dans une certaine mesure de la tension de claquage des transistors qui diminue avec les avancées technologiques des procédés CMOS et qui limite la puissance disponible.

4.2. Combineur de puissance à l'aide de lignes de transmission

Une ligne de transmission est un ensemble de conducteurs véhiculant un signal électrique. Elle est caractérisée par son impédance caractéristique et sa longueur exprimée en fraction d'une longueur d'onde à une fréquence considérée. La théorie de propagation des ondes à travers une ligne de transmission est un sujet bien connu et déjà traité de façon approfondie dans [58].

La ligne de transmission possède, comme le transformateur, la propriété de transformation d'impédance. La relation fondamentale de transformation d'impédance pour une ligne de transmission est la suivante : sur une ligne de longueur l , d'impédance caractéristique Z_0 , et chargée à son extrémité par une impédance Z_L , on obtient à son autre extrémité une impédance Z qui est égale à :

$$Z = Z_0 \frac{Z_L + Z_0 \tanh(\gamma l)}{Z_0 + Z_L \tanh(\gamma l)} \quad \text{Eq. [19]}$$

où γ représente l'exposant de propagation et vaut $\alpha + j\beta$, α représente l'atténuation linéique de la ligne en fonction de la distance et β est l'exposant de phase et est lié à la notion de vitesse de phase.

On obtient pour une ligne sans pertes ($\alpha = 0$), l'expression suivante :

$$Z = Z_0 \frac{Z_L + jZ_0 \tan(\beta l)}{Z_0 + jZ_L \tan(\beta l)} \quad \text{Eq. [20]}$$

Cette équation fait apparaître un certain nombre de relations intéressantes :

(a) une ligne chargée par son impédance caractéristique présente en tout point, et quelle que soit la fréquence de l'onde, une impédance égale à celle-ci

(b) pour une ligne dite quart d'onde (la longueur de la ligne est égale à un quart de la longueur d'onde d'une fréquence considérée f_0), l'impédance de charge est transformée à f_0 en l'impédance Z égale à Z_0^2/Z_L .

Bien qu'à basses fréquences ses dimensions la rendent inappropriée à l'intégration, le développement des communications radiofréquences tend à la rendre compétitive. Pour expliquer le fonctionnement du combineur de puissance à l'aide de lignes de transmission, le combineur de Wilkinson sera brièvement étudié. Un état de l'art des PA utilisant de manière originale des lignes de transmission viendra poursuivre cette section.

La Figure 55 présente un combineur Wilkinson 2 vers 1. Celui-ci combine les deux entrées qui doivent être en phase. On suppose que la sortie est connectée à une impédance 50Ω et que les entrées présentent une impédance de source de 50Ω . Il faut remarquer que l'on peut exprimer la longueur d'une ligne de transmission comme un multiple ou sous-multiple d'une longueur d'onde λ . Cela traduit une dépendance fréquentielle de ces éléments. Pour l'étude qui suit, on suppose que le signal est à la fréquence f_0 qui correspond à la fréquence d'accord de la ligne $\lambda/4$ ($l = \lambda/4 = c/4f_0$).

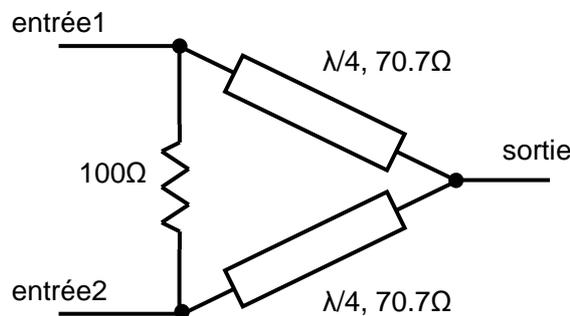


Figure 55 : Combineur de Wilkinson 2 vers 1

L'existence d'un plan de symétrie entre les ports d'entrée permet de faire l'étude en utilisant les modes pair (mode commun) et impair (mode différentiel). Il convient alors de représenter le circuit complet en deux demi circuits ainsi que l'impédance du port de sortie en deux impédances de valeur double en parallèle.

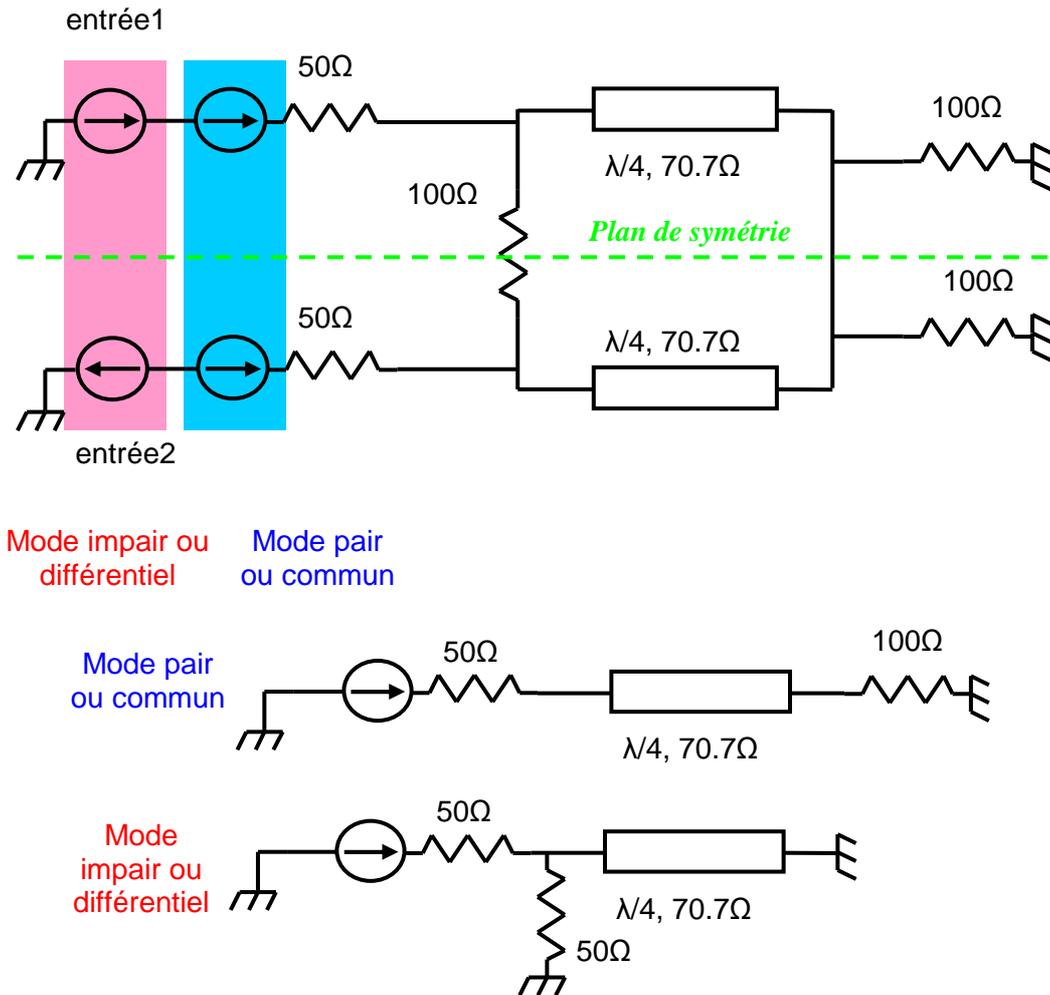


Figure 56 : Circuit complet (en haut) et demi circuits équivalents (en bas) pour les modes pair et impair

Pour le mode pair en entrée, la tension aux bornes de la résistance d'isolation est nulle, on peut donc l'enlever pour les calculs. Au niveau du port de sortie, il reste une impédance 100Ω, qui est vu au niveau de l'entrée comme une impédance 50Ω (transformateur d'impédance quart d'onde). Pour le mode impair, la résistance d'isolation est séparée en deux impédances de valeur moitié dont les bornes sont connectées au port d'entrée et à la masse. L'impédance de sortie est nulle, les contributions des deux ports d'entrée s'annulent sur ce nœud. Il reste finalement au niveau de l'entrée une impédance 50Ω (voir Figure 56).

On remarque que les trois ports sont adaptés et que les deux ports d'entrée sont découplés et symétriques.

Le combineur de Wilkinson reste une démonstration simple de l'utilisation de lignes de transmission pour la recombinaison de puissance. Concernant les réalisations radiofréquences, c'est le besoin de combineurs de puissance pour les PA utilisant des techniques d'augmentation de rendement (Doherty [59] ou Chireix [60] par exemple) qui favorisa le

développement des lignes de transmissions au sein des circuits. Srirattana [59] réalise par exemple un PA Doherty à 3 étages représenté à la Figure 57. Les lignes de transmission en entrée servent à déphaser le signal afin que les signaux se recombinent en phase. Les lignes de transmission en sortie des amplificateurs de puissance servent à recombinaison des signaux mais également à modifier l'impédance de charge de façon à obtenir un rendement maximal à différents niveaux de puissance d'entrée.

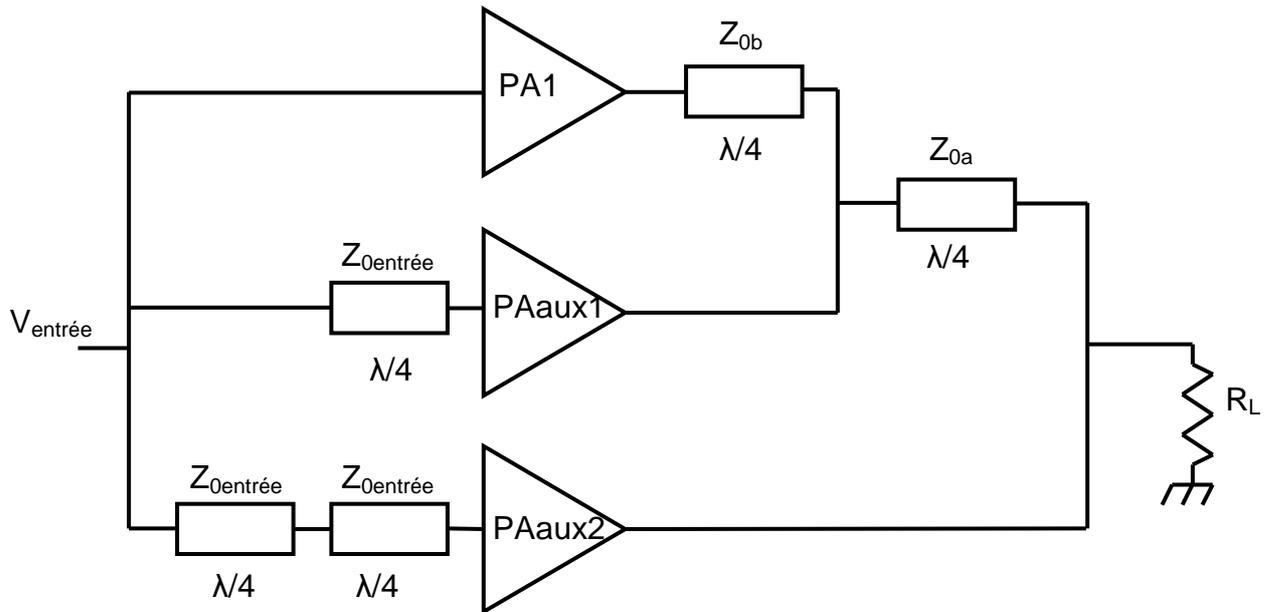


Figure 57 : Amplificateur de puissance Doherty à 3 étages réalisé dans [59]

5. Architectures RF à recombinaison de puissance – Etat de l’art

Dans cette section, nous présenterons quelques réalisations utilisant les lignes de transmission comme combineur de puissance. Des architectures originales et prometteuses montrent de bonnes perspectives pour les chaînes de transmission de générations futures.

Jeon [61] propose l’architecture de la Figure 58. Deux fonctionnements sont possibles : le PA1 (pour les forts niveaux de puissance) ou le PA2 (pour les faibles niveaux de puissance) est en fonctionnement alors que l’autre est inactif. L’impédance optimale présentée à chaque PA doit être indépendante du fonctionnement de l’autre amplificateur. Cependant, lorsque le PA2 n’est pas en fonctionnement, l’impédance vue du PA1, appelé Z_L , n’est pas égale à R_L mais à R_L en parallèle avec l’impédance du PA2 appelé Z_{PA2off} . Cette dernière n’est pas, en général, suffisamment grande pour être négligée devant l’impédance de charge. L’idée est d’augmenter Z_{PA2off} par un réseau d’adaptation (qui, de prime abord, sert à adapter R_L en l’impédance optimale du PA2) puis d’assurer une transformation d’impédance par une ligne de transmission. D’une manière différente, l’isolation de la voie du PA1 peut être assurée par une diode PIN.

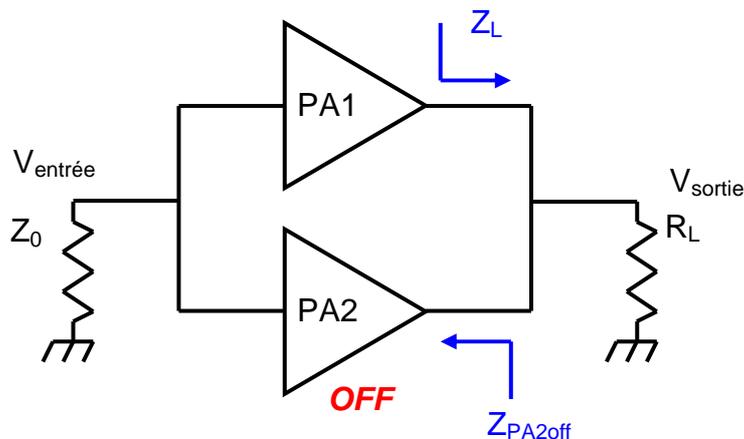


Figure 58 : PA proposé dans [61]

Cet amplificateur présente un PAE supérieur à 20% sur une dynamique d’entrée supérieure à 10dB.

D’un autre côté, Shirvani [62] propose de combiner la puissance de plusieurs PA grâce à des lignes de transmission dont l’impédance caractéristique servirait à pondérer la sommation des signaux. Considérons la Figure 59.

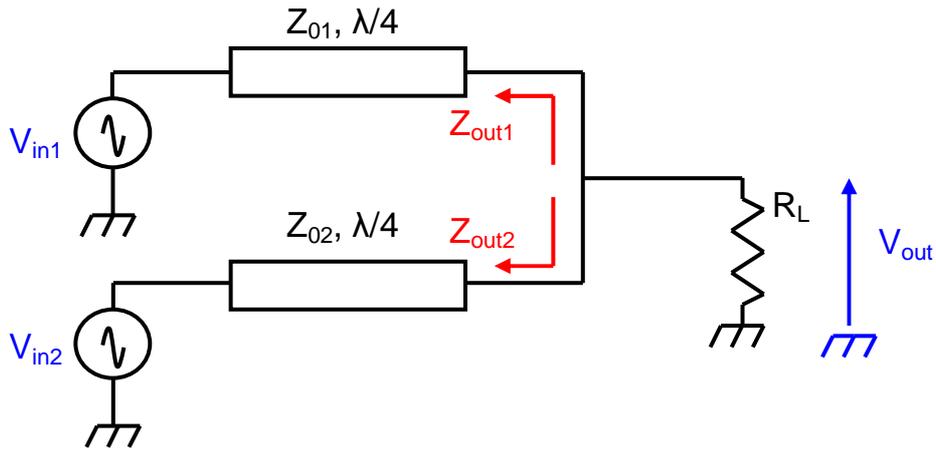


Figure 59 : Combinaison de puissance avec des lignes de transmission

Les sources d'excitation V_{in1} et V_{in2} sont supposées idéales, c'est-à-dire que leur impédance de source est nulle. Le système représenté est linéaire, aussi peut-on utiliser le principe de superposition pour calculer la tension de sortie V_{out} . Supposons que V_{in2} soit nulle. La ligne de transmission d'impédance caractéristique Z_{02} transforme l'impédance de source nulle en impédance infinie ($Z_{out2} = \infty$). L'isolation entre les deux voies est maximale, tout le courant fourni par la source V_{in1} part dans R_L . On obtient alors comme tension de sortie:

$$V_{out} = \frac{R_L}{Z_{01}} V_{in1} \quad \text{Eq. [21]}$$

Par superposition, on a, pour les deux sources V_{in1} et V_{in2} :

$$V_{out} = \frac{R_L}{Z_{01}} V_{in1} + \frac{R_L}{Z_{02}} V_{in2} \quad \text{Eq. [22]}$$

La tension de sortie V_{out} est donc proportionnelle à la somme des inverses des impédances caractéristiques des voies activées.

Dans cette publication, une combinaison de puissance à trois étages est implémentée. Les trois lignes de transmission ont pour impédance caractéristique 25, 50 et 100Ω, permettant ainsi de voir, à partir de R_L qui vaut 50Ω, une charge de 12.5Ω pour le premier PA, de 50Ω pour le second et enfin 200Ω pour le dernier. Le choix de ces impédances caractéristiques permet de pondérer la tension de sortie comme un nombre binaire (de 0 à 7).

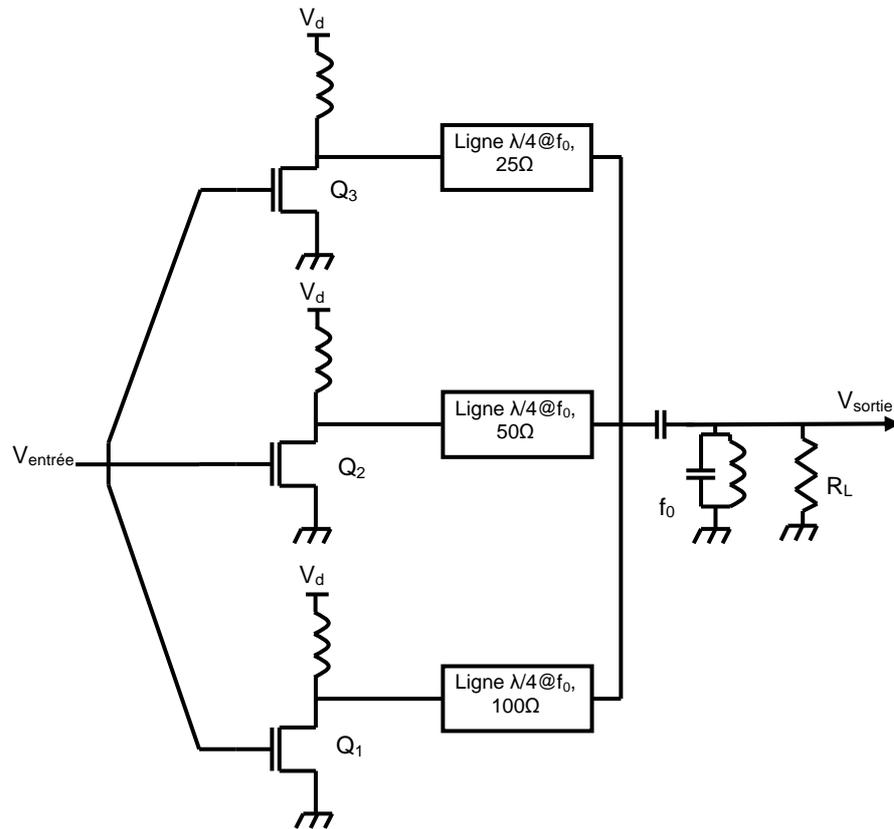


Figure 60 : Architecture proposée par Shirvani [62]

Cet amplificateur a été réalisé en technologie CMOS 0.25 μ m et fonctionne sous une tension d'alimentation de 1.5V. L'architecture fournit une excursion en puissance de 7 à 304mW (soit environ $\Delta P=16.3$ dB). Le PAE est supérieur à 40% sur la plage 80-304mW ($\Delta P=5.8$ dB).

Le Tableau 4 résume les différents types d'amplificateurs de puissance ou de techniques de combinaison de puissance présentés dans cette section.

Auteur- Référence	Technique d'augmentation de rendement / de combinaison de puissance	Fréquence de fonctionnement (GHz)	Technologie Utilisée (tension d'alimentation)	Dimensions de la puce (mm²)	Performances (puissance max.- PAE ou rendement)
Wongkomet [47][48]	<i>Doherty + Cascode</i>	1.75	<i>CMOS 0.13μm (3.3V)</i>	8.96	31.5dBm – 36%
Sowlati [49]	<i>Cascode</i>	2.4	<i>CMOS 0.18μm (2.4V)</i>	0.47	23dBm- 42%
Ezzedine [50]	<i>Transistors en série</i>	4 et 11.5	<i>GaAs FET (24V – 20V)</i>	? - 4-	27 dBm – 80% 26.2dBm – 60%-
Shifrin [51]	<i>Transistors en série</i>	4	<i>GaAs MESFET (19.5V)</i>	13.2	37dBm – 22%
Aoki [52]	<i>Transformateurs</i>	2.44	<i>CMOS 0.35μm (2V)</i>	2.6	32.7dBm – 48%
Cheung [53]	<i>Transformateurs</i>	21-27	-	-	-
Jang [54]	<i>Cascode + transformateurs</i>	0.875	<i>CMOS 0.18μm (3.5V)</i>	1.2	31.7dBm – 62%
Aoki [55]	<i>Transformateurs</i>	1.9	<i>CMOS 0.18μm (1.8V)</i>	-	34.4dBm – 50%
Liu [56]	<i>Cascode + transformateurs</i>	2.4	<i>CMOS 0.13μm (1.2V)</i>	2	27dBm – 32%
Haldi [57]	<i>Cascode + transformateurs</i>	5.8	<i>CMOS 90nm (1V)</i>	0.81	24.3dBm – 27%
Srirattana [59]	<i>Doherty + lignes de transmission</i>	1.95	<i>GaAs FET (10V)</i>	15.96	33dBm – 48.5%
Hamedi-Hagh [60]	<i>LINC + lignes de transmission</i>	8	<i>CMOS 0.18μm (1V)</i>	3	22dBm – 38%
Jeon [61]	<i>Lignes de transmission</i>	1.88	<i>InGaP/GaAs HBT (3.5V)</i>	1.32	28dBm – 37%
Shirvani [62]	<i>Lignes de transmission</i>	1.4	<i>CMOS 0.25μm (1.5V)</i>	0.43	24.8dBm – 49%

Tableau 4 : Résumé des différents PA présentés

6. Architecture retenue pour la combinaison de puissance

L'architecture du combineur de puissance fait l'objet de cette section. Le choix de l'amplificateur de puissance à commutation a été développé dans le chapitre précédent. Nous travaillons sur un amplificateur de puissance à commutation en tension (inverseur CMOS). La structure différentielle, nécessaire à la symétrie des fronts, permet de doubler la puissance émise par rapport au cas unipolaire, car la tension de sortie ainsi que l'impédance de charge sont multipliées par un facteur 2.

Nous avons montré dans la section précédente les tendances actuelles des RFPA. Leurs architectures, liées à une réduction des tensions d'alimentation, imposent des techniques originales de génération de puissance.

Ensuite, la combinaison de puissance à l'aide de lignes de transmission attire notre attention pour différentes raisons :

- Les lignes de transmission sont des éléments sélectifs en fréquence, permettant ainsi un premier filtrage du bruit de quantification des signaux radiofréquences dans notre architecture
- Les lignes de transmission permettent une sommation analogique des signaux qui est une des conditions nécessaires pour réaliser une fonction de filtrage numérique
- Nous avons à notre disposition une technologie de passifs à haut facteur de qualité, permettant de réaliser des lignes de transmission avec peu de pertes

Le schéma de principe du combineur de puissance retenu est donc présenté à la Figure 61. Un signal sur deux niveaux attaque une série de N amplificateurs commutés en mode tension (inverseur CMOS). A la sortie de chacun d'entre eux, une ligne de transmission $\lambda/4$ à la fréquence centrale du standard visé et d'impédance caractéristique Z_0 permet de recombinaison la puissance. La nécessité d'une structure différentielle ayant été démontrée auparavant, la charge différentielle est de 100Ω ($2 \times 50\Omega$), représentant l'impédance d'une antenne. Dans le cas où le signal d'entrée est le même sur les N voies et en opposition de phase sur les N voies différentielles, on peut en déduire, dans le cas de lignes de transmission sans pertes, le gain en tension à la fréquence d'accord des lignes qui vaut, d'après les équations Eq.[21] et Eq.[22] :

$$\frac{V_{\text{sortie}}}{V_{\text{entrée}}} = \frac{2 \times N \times R_L}{Z_0} \quad \text{Eq. [23]}$$

La puissance générée dépend du choix de l'impédance caractéristique Z_0 car c'est elle qui va déterminer l'impédance vue de la sortie de l'amplificateur commuté. Sur cette architecture,

deux paramètres restent à déterminer : le nombre de voies N du combineur et l'impédance caractéristique Z_0 des lignes de transmission. C'est ce que nous proposons de faire dans la partie suivante.

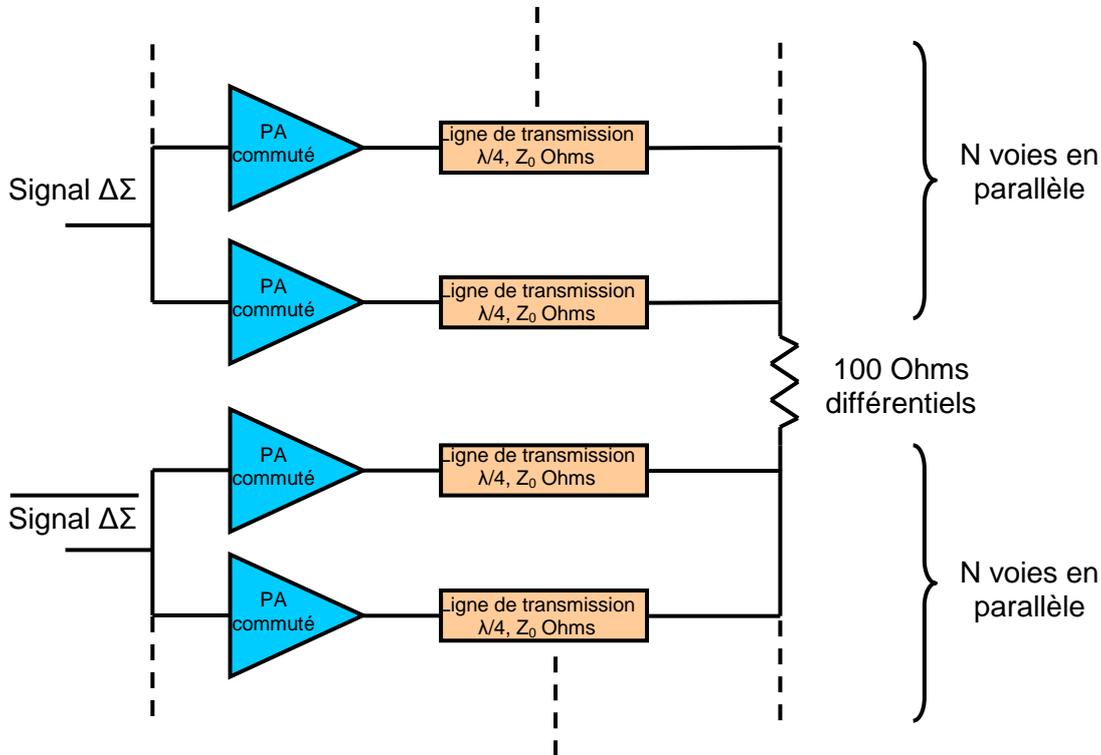


Figure 61 : Synoptique de l'architecture de puissance

6.1. Simplification de l'architecture pour le calcul des fonctions de transfert

On cherche ici à dégager les tendances en termes de puissance de sortie et de transfert de puissance en fonction de l'impédance caractéristique Z_0 de la ligne et du nombre N de voies. L'influence de ces paramètres nous permet alors de les choisir pour la conception du combineur de puissance.

Les lignes de transmission sont caractérisées par une longueur, exprimée en fraction d'une longueur d'onde, et par une impédance caractéristique. Dans notre application, une longueur de $\lambda/4$ à F_c (fréquence centrale du standard UMTS) est choisie mais ce raisonnement est applicable à n'importe quel standard. Les éléments à évaluer dans le cadre d'un combineur de puissance sont les puissances de sortie ainsi que les puissances d'entrée, qui découlent des grandeurs de tensions et de courants et donc des impédances présentées à chacun des accès. Aussi les fonctions de transfert $V_{\text{sortie}}/V_{\text{signal}}$ et $I_{\text{sortie}}/I_{\text{entrée}}$ sont à étudier. Les grandeurs électriques dites d'entrée sont celles à la sortie de l'amplificateur commuté, celles de sorties

sont au niveau de la charge résistive. Dans un premier temps, nous étudierons l'architecture de combineur avec une sortie single-ended, en supposant que la version différentielle n'apporte qu'un gain en puissance.

Le combineur de puissance est parfaitement symétrique et on s'intéresse par conséquent ici uniquement à l'amplification d'un signal de mode commun. Il est alors possible de l'étudier en supposant que les lignes sont indépendantes et chargées par une impédance $N \times 50\Omega$ (Figure 62).

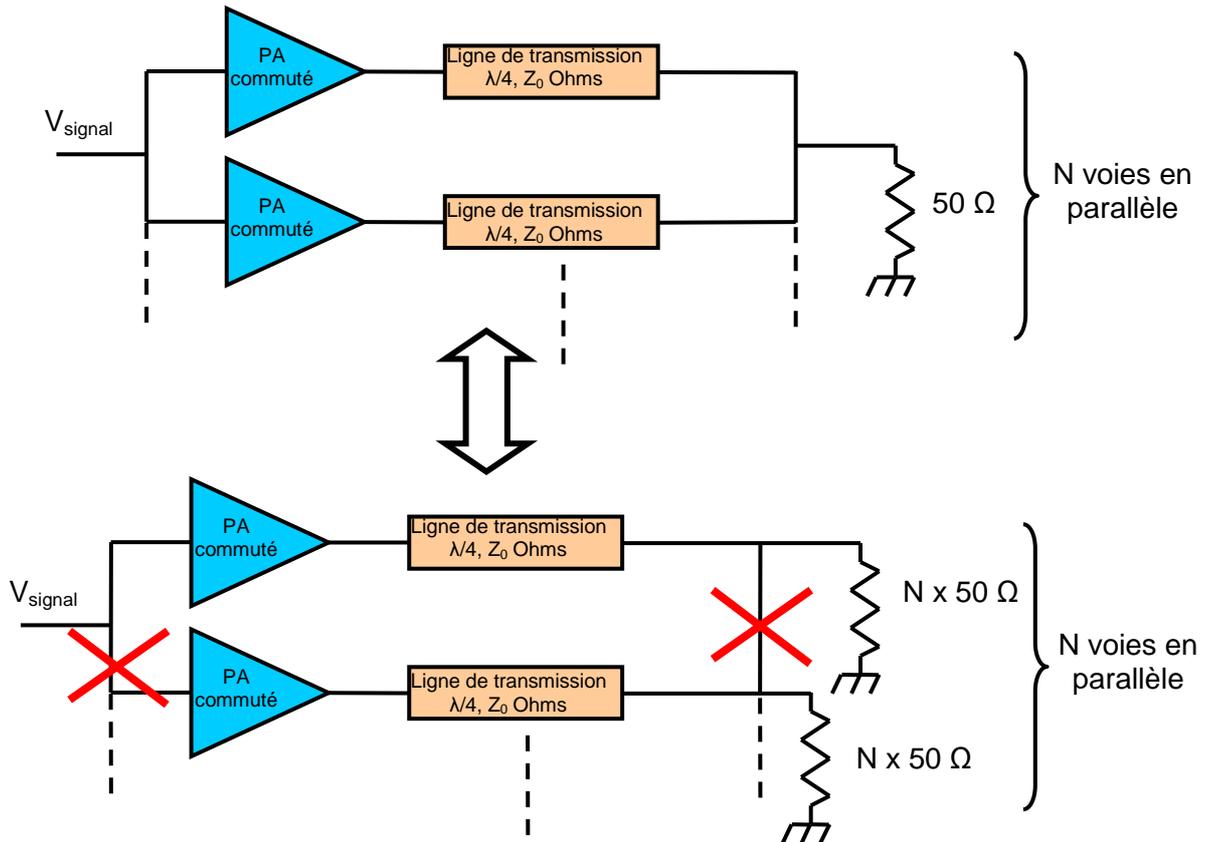


Figure 62 : Etude du combineur de puissance pour un signal en mode commun

Un modèle petit signal du combineur de puissance permet alors de calculer les fonctions de transfert. Le PA commuté sera modélisé par une source de tension et une impédance de source. Celle-ci est égale à la moyenne des résistances r_{on} des 2 transistors du dernier inverseur, qui sont inversement proportionnelles au rapport W/L du transistor considéré. Ici, la simulation donne une impédance de source, appelée r_{on_moyen} , de 0.56Ω pour le dernier inverseur de la chaîne de buffers.

6.2. Calculs des fonctions de transfert

Pour calculer les fonctions de transfert en tension et en courant, on utilise la simplification proposée à la Figure 62. Le circuit à étudier est présenté à la Figure 63

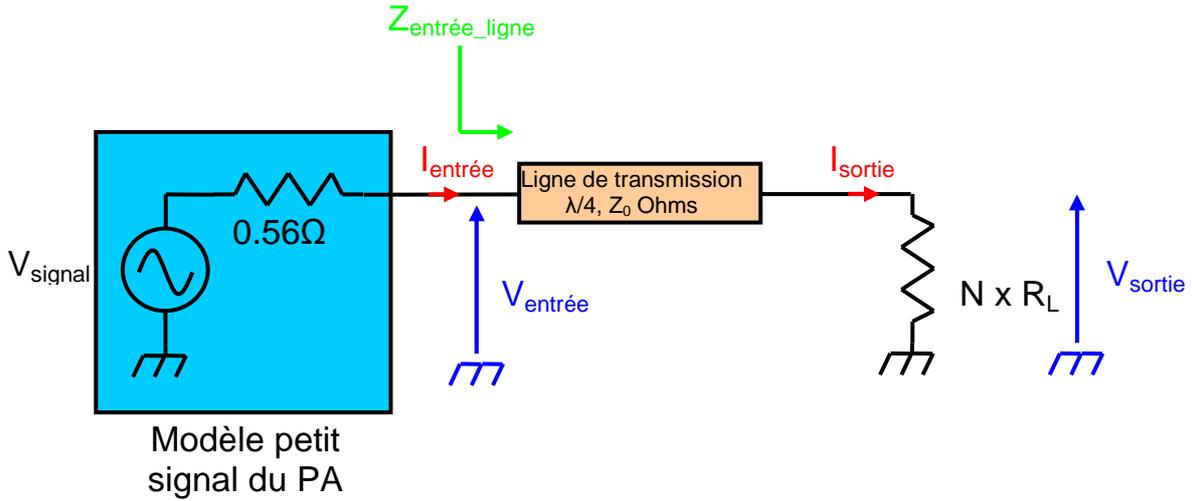


Figure 63 : Schéma petit signal du circuit étudié

La relation qui nous permet de relier les grandeurs d'entrée à celles de sortie est la conservation de la puissance (active) au travers de la ligne de transmission :

$$V_{\text{entrée}} \times I_{\text{entrée}} \times \cos(\varphi) = V_{\text{sortie}} \times I_{\text{sortie}} \quad \text{Eq. [24]}$$

avec φ , le déphasage entre tension et courant à l'entrée de la ligne de transmission. Il est égal à la phase de l'impédance vue de la ligne de transmission, $Z_{\text{entrée_ligne}}$, définie ci-dessous :

$$Z_{\text{entrée_ligne}}(f) = Z_0 \frac{N \times R_L + jZ_0 \tan(\pi f / 2f_0)}{Z_0 + jN \times R_L \tan(\pi f / 2f_0)} \quad \text{Eq. [25]}$$

En sortie, ce déphasage est nul car la charge est purement résistive. Le courant de sortie s'écrit :

$$I_{\text{sortie}} = N \times V_{\text{sortie}} / N \times R_L \quad \text{Eq. [26]}$$

car on suppose qu'il y a N contributions au courant de sortie.

Le courant d'entrée a pour expression, pour N voies :

$$I_{\text{entrée}} = N \times V_{\text{signal}} / (r_{\text{on_moyen}} + Z_{\text{entrée_ligne}}) \quad \text{Eq. [27]}$$

Enfin la tension à l'entrée de la ligne de transmission s'écrit :

$$V_{\text{entrée}} = V_{\text{signal}} \times \frac{Z_{\text{entrée_ligne}}}{Z_{\text{entrée_ligne}} + r_{\text{on_moyen}}} \quad \text{Eq. [28]}$$

En arrangeant ces différents termes, on obtient une relation entre tension de sortie et tension d'entrée qui, dans le cas d'un amplificateur de puissance commuté idéal, c'est-à-dire avec $r_{\text{on_moyen}} = 0$, et à la fréquence d'accord, redonne l'expression de l'équation Eq.[23] :

$$\frac{V_{\text{sortie}}}{V_{\text{signal}}} = \sqrt{N \times R_L \times \frac{Z_{\text{entrée_ligne}}}{(Z_{\text{entrée_ligne}} + r_{\text{on_moyen}})^2} \times \cos(\varphi)} \quad \text{Eq. [29]}$$

On peut maintenant écrire le rapport entre la puissance délivrée à la charge P_{sortie} et la puissance du signal en sortie du PA, appelée P_{signal} :

$$\frac{P_{\text{sortie}}}{P_{\text{signal}}} = \frac{Z_{\text{entrée_ligne}}}{Z_{\text{entrée_ligne}} + r_{\text{on_moyen}}} \times \cos(\varphi) \xrightarrow{r_{\text{on_moyen}} \rightarrow 0} \cos(\varphi) \quad \text{Eq. [30]}$$

Le terme $\cos(\varphi)$ est l'argument d'une impédance complexe et s'écrit, après simplifications :

$$\cos(\varphi) = \cos \left[\tan^{-1} \left(\sin\left(\frac{\pi f}{2f_0}\right) \times \cos\left(\frac{\pi f}{2f_0}\right) \times \frac{Z_0^2 - N^2 R_L^2}{NR_L Z_0} \right) \right] \quad \text{Eq. [31]}$$

Les maxima de cette fonction se retrouvent lorsque :

- $f = 2f_0 k$ avec k entier
- $f = f_0 (1+2k)$, avec k entier
- $Z_0 = NR_L$ et dans ce cas, $\cos(\varphi)=1$ quelle que soit f , on dit que la ligne est adaptée.

On s'aperçoit donc que, pour effectuer une action de filtrage sur le transfert de puissance du signal, il faut choisir une impédance caractéristique de la ligne différente de $N \times R_L$.

Pour trouver l'impédance caractéristique optimale, nous nous intéressons à différents critères : le transfert de puissance doit être maximal (c'est-à-dire qu'à la fréquence d'accord, $r_{\text{on_moyen}}$ doit rester négligeable devant $Z_{\text{entrée_ligne}}$) et la puissance reçue par la charge doit également être maximale (c'est-à-dire qu'à la fréquence d'accord, $Z_{\text{entrée_ligne}}$ doit être suffisamment faible pour permettre de générer assez de puissance). On propose pour cela de calculer le produit du transfert de puissance par la puissance reçue afin de déterminer, à la fréquence d'accord, le meilleur compromis. A cette fréquence, $\cos(\varphi)$ vaut 1 et l'impédance $Z_{\text{entrée_ligne}}$ est égale à Z_0^2/NR_L . Le transfert de puissance s'écrit :

$$\frac{P_{\text{sortie}}}{P_{\text{signal}}}(f = f_0) = \frac{\frac{Z_0^2}{NR_L}}{\frac{Z_0^2}{NR_L} + r_{\text{on_moyen}}} \quad \text{Eq. [32]}$$

D'après l'expression de l'équation Eq. [23] qui représente le gain en tension, on serait tenté de croire qu'il faut un nombre de lignes N important et une impédance caractéristique Z_0 faible, ce qui permet d'obtenir un gain en tension important. Or l'expression Eq.[32] montre

que dans ce cas, le transfert de puissance diminue car l'impédance Z_0^2/NR_L tend à se rapprocher de r_{on_moyen} .

La puissance en sortie du combineur a pour expression :

$$P_{sortie}(f = f_0) = \frac{V_{sortie}^2}{R_L} = \frac{\frac{Z_0^2}{R_L}}{\left(\frac{Z_0^2}{NR_L} + r_{on_moyen}\right)^2} \times V_{signal}^2 \quad \text{Eq. [33]}$$

D'après cette expression, la puissance est maximale lorsque r_{on_moyen} est égale à Z_0^2/NR_L ; on retrouve la condition d'adaptation d'impédance de la théorie classique des amplificateurs de puissance. Dans ce cas, le transfert de puissance (Eq.[32]) vaut 0.5.

Le critère de choix de l'impédance caractéristique et du nombre de voies dépend donc de l'application visée. Dans le cas où l'on veut générer une puissance importante, alors il faut que :

$$\frac{Z_0^2}{NR_L} = r_{on_moyen} \quad \text{Eq. [34]}$$

Ce critère est ici contestable dans la mesure où l'on utilise un amplificateur de puissance commuté en mode tension. En effet, si la charge devient trop faible, le transistor passe en saturation et le régime commuté n'est plus applicable dans ce cas. Il faut donc veiller à ce que l'impédance présentée à la sortie de l'inverseur CMOS soit suffisamment grande afin de permettre le fonctionnement en zone triode des transistors.

Si l'on veut un transfert de puissance optimal, il faut que :

$$\frac{Z_0^2}{NR_L} \gg r_{on_moyen} \quad \text{Eq. [35]}$$

Si l'impédance caractéristique de la ligne est faible, l'impédance présentée en sortie du générateur l'est aussi : beaucoup de puissance est générée mais une grande fraction de celle-ci est perdue par le diviseur résistif. A l'inverse, une impédance caractéristique importante permet de présenter une impédance importante au générateur : peu de puissance est générée mais le transfert de puissance est important.

Dans notre architecture, nous avons décidé d'utiliser 5 voies. Pour générer la puissance maximale possible, il faut que l'impédance caractéristique de la ligne de transmission soit de 11.8Ω . Dans le cas de communications mobiles où la consommation reste un enjeu majeur, notre architecture propose de se focaliser sur le transfert de puissance. Aussi l'impédance

caractéristique des lignes de transmission sera plus élevée que celle trouvée précédemment. Pour obtenir un transfert de puissance supérieur à 90% à la fréquence d'accord, l'impédance caractéristique est choisie égale à 50Ω . Dans ce cas, nous obtenons les fonctions de transfert suivantes (Figure 64). Le transfert de puissance est alors de 94.7%. La valeur maximale de la puissance disponible en sortie est par contre bien inférieure à ce qu'on trouve lorsque l'impédance caractéristique des lignes est plus faible (« conjugate match »). La Figure 64 présente ces différents résultats.

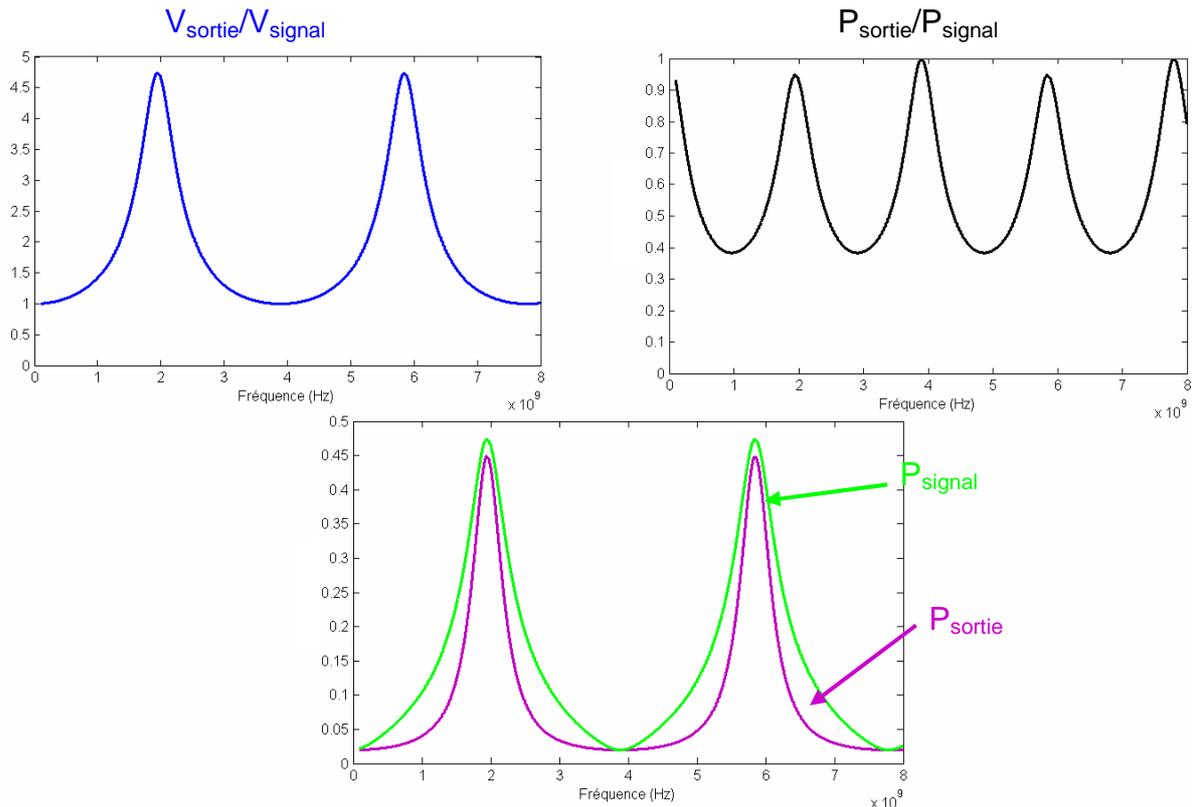


Figure 64 : Fonctions de transfert $V_{\text{sortie}}/V_{\text{signal}}$ (en haut à gauche), $P_{\text{sortie}}/P_{\text{signal}}$ (en haut à droite), P_{sortie} et P_{signal} (en bas) pour un combineur à 5 lignes d'impédance caractéristique 50Ω

L'étude précédemment menée s'intéresse uniquement au mode commun. Lorsque deux signaux en opposition de phase attaquent la structure, il y a destruction de l'onde au niveau du noeud de sortie et la tension résultante est alors nulle. Il faut cependant remarquer que du courant est consommé.

Enfin, on peut s'intéresser à la mise en action d'un nombre variable de voies. En choisissant n voies parmi N ($n \leq N$), on peut ainsi moduler la puissance de sortie. Les voies inactives sont alors représentées par l'impédance $r_{\text{on_moyen}}$ qui, à la fréquence d'accord, est transformée en une impédance $Z_0^2/r_{\text{on_moyen}}$ mise en parallèle avec R_L . Cette représentation est

fidèle au modèle d'un inverseur CMOS dont l'entrée est fixe et ne varie pas au cours du temps. Le transfert de puissance est également modifié mais, dans la mesure où l'impédance Z_0^2/NR_L reste suffisamment grande devant r_{on_moyen} , celui-ci est peu modifié. Le Tableau 5 présente ce cas de figure lorsque l'on a un combineur 5 voies avec des lignes de transmission 50Ω , une impédance r_{on_moyen} de 0.56Ω et une impédance de charge single-ended de 50Ω . Dans ce tableau sont aussi représentées les mêmes grandeurs lorsque r_{on_moyen} est nulle.

	Puissance de sortie normée par rapport à V_{signal}	Gain en puissance par rapport au cas où $n=1$	Transfert de puissance
n=1	0.019 (0.02)	1 (1)	0.989 (1)
n=2	0.076 (0.08)	3.91 (4)	0.978 (1)
n=3	0.168 (0.18)	8.61 (9)	0.967 (1)
n=4	0.293 (0.32)	14.99 (16)	0.957 (1)
n=5	0.448 (0.5)	22.92 (25)	0.947 (1)

Tableau 5 : Puissance de sortie et transfert de puissance à la fréquence d'accord lors de l'action d'un nombre variable de voies. Entre parenthèses, les valeurs idéales lorsque

$$r_{on_moyen} = 0$$

7. Conclusion

L'amplification de puissance des signaux radiofréquences a toujours été un enjeu majeur dans la conception des chaînes de transmission. Cette affirmation est d'autant plus vraie aujourd'hui qu'avec les technologies submicroniques, il est nécessaire de générer de la puissance avec des réserves d'énergies plus faibles et qui doivent fonctionner plus longtemps. Des techniques de combinaison de puissance permettent alors de remédier à cet inconvénient.

Après avoir présenté les grandes lignes des techniques de combinaisons de puissance, nous nous sommes intéressés à celles utilisant des lignes de transmission et avons bâti notre architecture sur ce concept, à base de cinq amplificateurs à commutation en tension. Il apparaît que l'utilisation de lignes de transmission, sélectives en fréquence, permettent un filtrage du signal.

Il faut remarquer qu'ici, on ne tient pas compte des adaptations d'impédance communément effectuées dans les amplificateurs de puissance, qui consistent à présenter à la sortie de l'amplificateur l'impédance conjuguée de son impédance de sortie (« conjugate match ») afin de maximiser le transfert de puissance ou encore l'impédance optimale qui permet de maximiser les excursions en courant et tension en sortie du circuit actif (« load-line match »). En effet, dans le cas de l'utilisation d'un amplificateur commuté en tension, une telle adaptation d'impédance permet d'obtenir une puissance élevée au détriment du transfert de puissance et du rendement global de l'étage. Notre stratégie repose au contraire sur une recombinaison efficace de la puissance.

Chapitre IV : Filtrage FIR reconfigurable

1. Introduction

Dans une chaîne de transmission, il est nécessaire de filtrer le signal avant de l'émettre, dans un souci de répondre aux spécifications imposées par l'emploi d'un standard de communication. Plus particulièrement, la modulation $\Delta\Sigma$ met en forme le bruit de quantification pour le pousser en dehors de la bande utile, ce qui a pour conséquence d'augmenter drastiquement les contraintes de filtrage au sein des systèmes employant cette technique.

Il est évident que le signal issu du modulateur ne respecte aucune spécification d'émission hors bande, à cause du bruit de quantification générée par la modulation $\Delta\Sigma$. Par conséquent un filtrage passe-bande s'impose en sortie de la chaîne. Nous avons essayé d'estimer l'ordre du filtre nécessaire pour faire rentrer le spectre du signal radiofréquence dans le masque défini par le standard. Le modèle du filtre est formé par une cascade de 4 cellules passe-bande élémentaires de second ordre (soit un filtre du 8^{ème} ordre), avec les réponses fréquentielles centrées sur le milieu de la bande (1.95GHz) et ayant des coefficients de qualité de 30. La Figure 65 permet de comparer le gabarit spectral imposé par le standard avec le spectre du signal RF (une sinusoïde à 1.95GHz) après filtrage. Cette figure présente le spectre de la puissance du signal de sortie, normée de façon à ce que le maximum se trouve à 32 dBm (maximum de puissance d'émission autorisé), à laquelle nous avons superposé le gabarit du masque d'émission que l'on peut trouver dans [1] ainsi qu'en annexe de ce document.

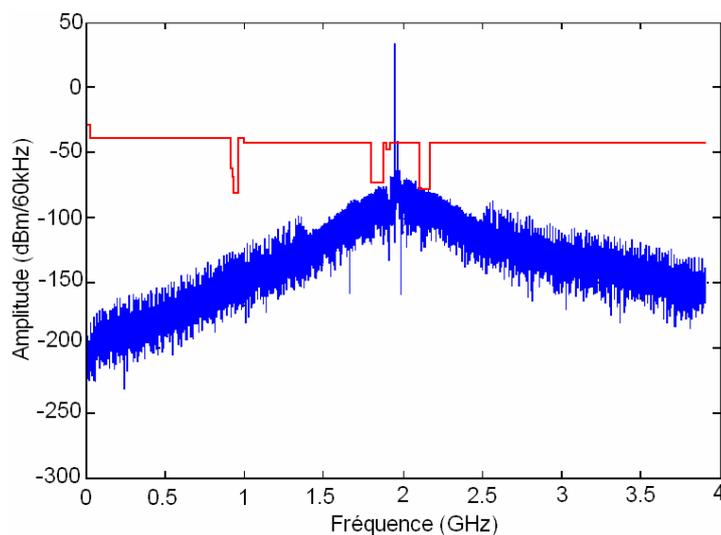


Figure 65 : Spectre du signal de sortie filtré par un filtre d'antenne du 8ème ordre et spécifications pour l'émission UMTS

Il apparaît donc nécessaire de réaliser une fonction de filtrage en amont du filtre d'antenne afin de relâcher les contraintes au niveau de ce dernier.

Les étages de filtres d'antenne fréquemment utilisés sont constitués d'un assemblage de composants passifs classiques, ou sont des filtres électromécaniques utilisant les propriétés vibratoires des matériaux piézoélectriques (filtres SAW pour Surface Acoustic Wave ou plus récemment BAW pour Bulk Acoustic Wave). Ces filtres souffrent généralement d'un grand encombrement spatial et leurs caractéristiques figées ne leur permettent pas, à première vue d'être utilisés pour adresser différents standards.

Dans la chaîne de transmission sur laquelle nous travaillons, la génération numérique du signal radiofréquence autorise l'utilisation d'un filtrage numérique permettant ainsi d'alléger en conséquence les contraintes sur le filtrage analogique d'antenne. De plus, la proximité de bandes interdites oblige le concepteur RF à limiter les émissions hors bandes de manière importante. Le gabarit des filtres numériques a l'avantage de présenter, sous certaines conditions sur les coefficients et les retards, des zéros de transmission. En plaçant ceux-ci de façon judicieuse, il est alors possible de réduire significativement les émissions parasites dans les bandes proches. La seconde partie de ce chapitre présente de manière sommaire les propriétés des filtres numériques à réponse impulsionnelle finie (FIR pour Finite Impulse Response en anglais).

Un des premiers articles faisant référence à l'utilisation d'un filtre FIR « semi digital » est celui de D.K.Su et B. Wooley dans lequel ils présentent une architecture de convertisseur numérique analogique utilisant une modulation $\Delta\Sigma$ [63]. Sur la base de ce travail, nous présenterons l'architecture de filtre FIR que nous développons.

2. Le filtrage numérique – Principes et Applications au sein d'une chaîne de transmission utilisant une modulation $\Delta\Sigma$

2.1. Définitions et Propriétés du filtrage numérique FIR

Un filtrage de type FIR nécessite un échantillonnage régulier du signal à traiter, puis des structures de pondération et d'addition. L'équation aux différences d'un filtre FIR d'ordre N s'écrit :

$$y[n] = b_0x[n] + b_1x[n-1] + \dots + b_Nx[n-N] \quad \text{Eq. [36]}$$

Dans cette expression, le signal x est échantillonné à une fréquence $f_{\text{échantillonnage}}$ notée f_e , $x[n]$ est l'échantillon d'entrée, $y[n]$ est celui de sortie, et l'ensemble b_i sont les coefficients du filtre. Voici quelques propriétés de ces filtres :

- Les filtres FIR sont inconditionnellement stables
- La réponse en phase peut-être parfaitement linéaire si nécessaire. C'est le cas si les coefficients du filtre sont symétriques
- La réponse fréquentielle des filtres FIR est la transformée de Fourier de la réponse impulsionnelle qui est la suite des coefficients b_i . Cette dernière s'écrit :

$$h(t) = \sum_{i=0}^N b_i \delta(t - i / f_e) \quad \text{Eq. [37]}$$

avec $\delta(t-\tau)$ l'impulsion de Dirac en $t = \tau$.

La transformée de Fourier de ce signal est donc :

$$H(f) = \sum_{i=0}^N b_i e^{-2j\pi i / f_e} \quad \text{Eq. [38]}$$

On peut aussi écrire la fonction de transfert d'un filtre numérique en utilisant la variable $z = e^{2j\pi f / f_e}$. On a alors la réponse suivante :

$$H(z) = \sum_{i=0}^N b_i z^{-i} \quad \text{Eq. [39]}$$

- D'après l'équation Eq.[38], les filtres FIR ont une réponse fréquentielle périodique et cette période est égale à la fréquence d'échantillonnage f_e . Cette propriété peut être mise à profit dans le cas du filtrage de signaux suréchantillonnés. En effet, la

périodicité de la réponse fréquentielle des filtres numériques permet d'utiliser les images du spectre du signal à traiter.

La synthèse du filtre consiste alors à déterminer f_c ainsi que les coefficients b_i . Dans notre cas, la fréquence d'échantillonnage directement disponible est l'horloge qui cadence les données en sortie du multiplexeur. Sa fréquence est égale à quatre fois la fréquence centrale du standard considéré et vaut, pour l'UMTS, 7.8GHz. Il reste alors à déterminer les retards et les coefficients b_i .

Il existe deux façons d'implémenter un filtre FIR. La structure directe ou transversale qui est composée d'une ligne à retard et de pondération sur les prises d'information de cette ligne ; et la structure indirecte qui est la structure duale de la précédente et qui s'obtient en permutant les retards et les gains. La Figure 66 présente ces deux types de réalisations.

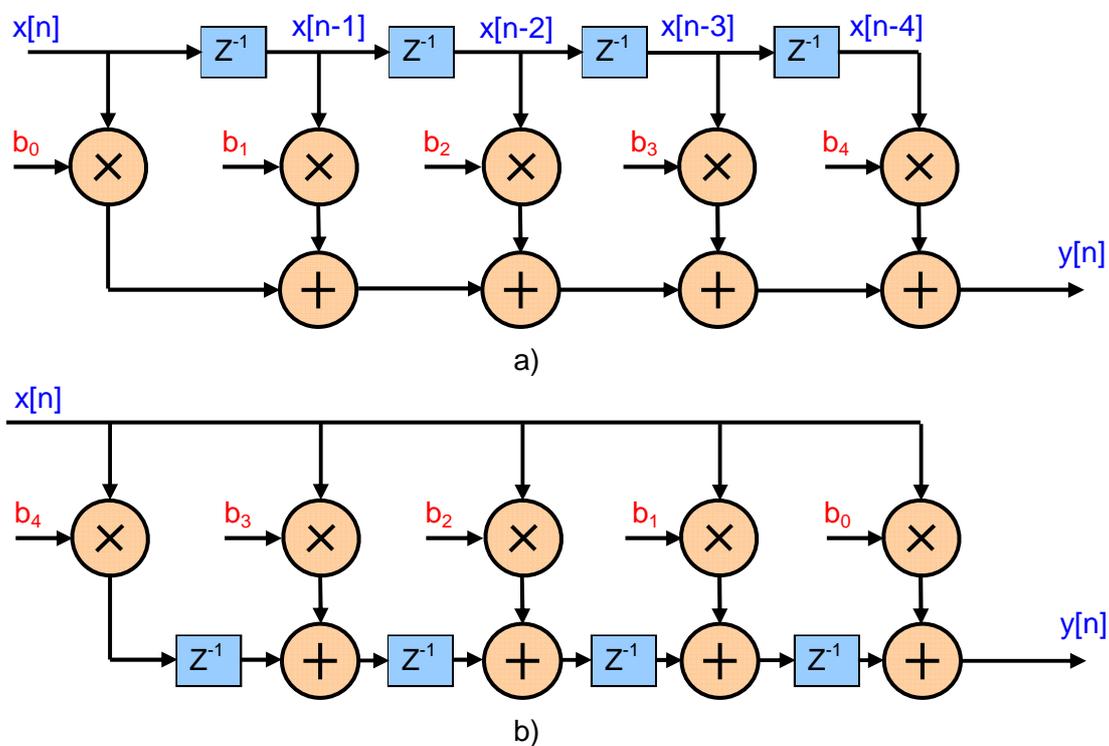


Figure 66 : Structure transversale (a) et indirecte (b) d'un filtre FIR du 5ème ordre

2.2. Le filtrage « semi-numérique »

Dans [63], D.K. Su et B.A. Wooley présentent un filtre « semi-numérique » en sortie d'une chaîne de conversion numérique analogique utilisant une modulation $\Delta\Sigma$. Celui-ci a pour objectif de réduire le bruit de quantification rejeté hors bande par le modulateur. Il prend le qualificatif de « semi-numérique » car il sert également d'interface entre le domaine numérique et le domaine analogique.

L'architecture du filtre est présentée à la Figure 67 et constitue une implémentation d'une structure transversale d'un filtre FIR telle qu'elle est présentée à la Figure 66 (a). L'entrée numérique passe à travers un registre à décalage qui joue le rôle de ligne à retard numérique. La sortie de chaque registre contrôle une source de courant pondérée. Chaque source de courant agit alors comme un convertisseur numérique analogique. Enfin, les courants s'additionnent, résultant en une sortie analogique et réalisant ainsi la fonction d'un filtre FIR. L'équation de celui-ci est alors :

$$H(z) = a_1 z^{-1} + a_2 z^{-2} + \dots + a_N z^{-N} \quad \text{Eq. [40]}$$

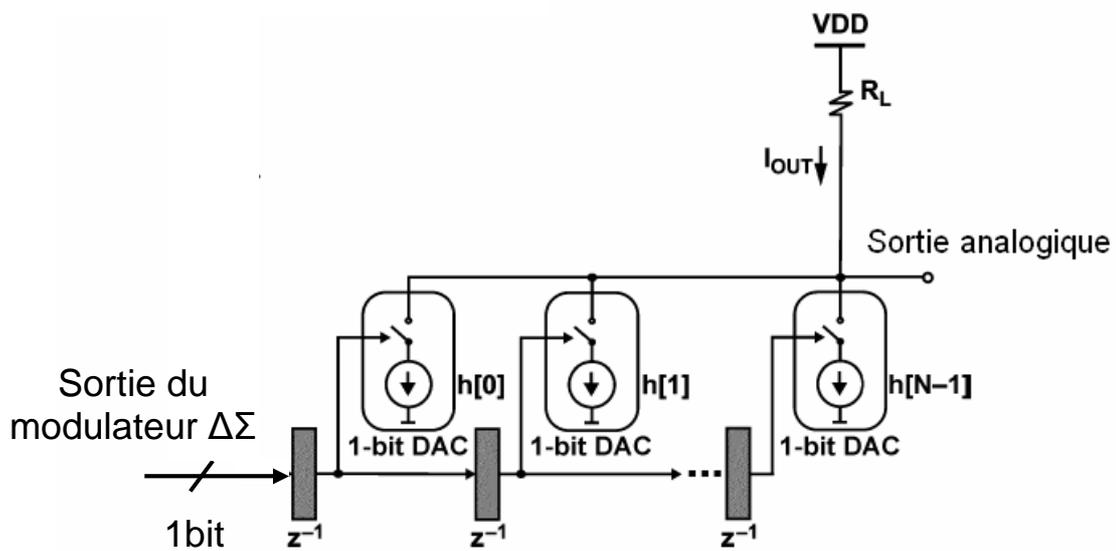


Figure 67 : Filtre numérique réalisé dans [62]

Comme chaque échantillon vaut soit 0 ou 1, la multiplication de celui-ci par le coefficient a_i (correspondant au poids de la source de courant) est réalisée grâce à un interrupteur. La linéarité de cette interface numérique analogique, constituée de la source de courant et de l'interrupteur, ne dépend pas des autres sources de courant. Dans ce cas, le désappariement entre les différentes sources de courant, qui est ici similaire aux erreurs de quantification sur les coefficients d'un filtre FIR « classique », n'introduit pas de non linéarité au niveau de la sortie analogique. Pour cette raison, l'appariement entre sources de courant n'est pas critique.

3. Combineur de puissance et filtrage numérique

3.1. Architecture retenue

A partir de l'architecture de l'amplificateur de puissance commuté présentée dans le chapitre précédent et rappelée à la Figure 68, la sommation des différents signaux s'effectue en aval de la conversion numérique analogique, et, dans le but de réaliser un filtre FIR, seule la structure transversale offre cette possibilité. En effet, dans le cas d'une structure indirecte, la somme du signal numérique implique la modification du signal 1 bit en un signal multibit, ce qui complexifie grandement la nature de l'amplificateur de puissance commuté et des lignes à retard numériques.

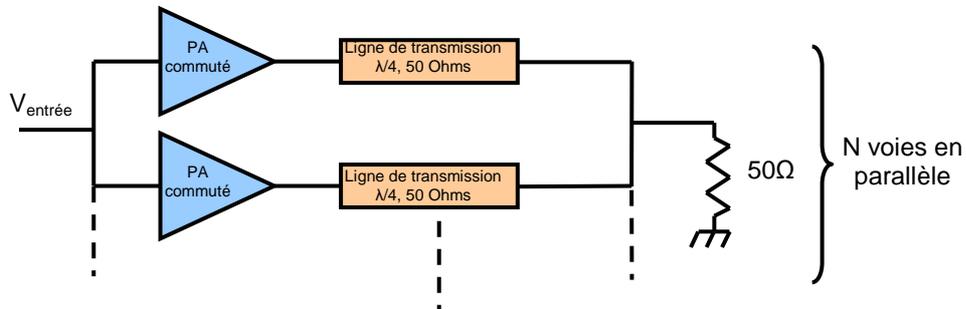


Figure 68 : Architecture de combineur de puissance retenue

Pour implémenter une fonction de filtrage numérique, il convient d'insérer une ligne à retard. La façon la plus simple de réaliser celle-ci a été présentée dans [63] et consiste en un registre à décalage. Les bascules utilisées sont les bascules dynamiques TSPCFF (voir Figure 69).

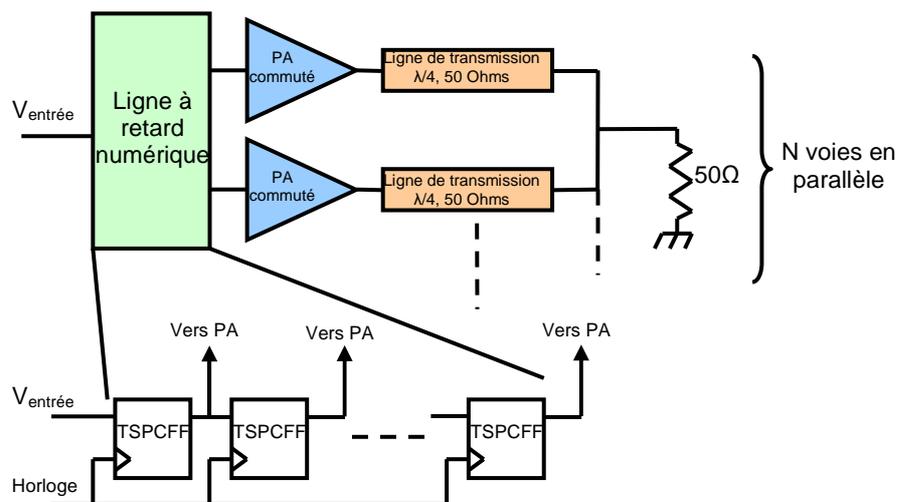


Figure 69 : Architecture de combineur de puissance et introduction d'une ligne à retard numérique utilisant un registre à décalage

Ce type de structure est caractérisée par le nombre de voies mises en œuvre et conditionne par la même occasion le nombre de coefficients que nous pouvons implémenter lors de la réalisation du filtre numérique.

Le choix des coefficients est donc limité par le nombre de voies utilisées et par la topologie de notre architecture. En effet, pour ne pas modifier la mise en forme du signal numérique 1 bit (codage NRZ) et l'amplificateur commuté en mode tension, il est impossible de pondérer ce signal par d'autres coefficients que des entiers. Par exemple, pour réaliser le coefficient « 2 », on somme deux voies, et on ne peut effectivement pas réaliser de coefficients fractionnaires. Une contrainte supplémentaire au niveau des coefficients est que la somme de leurs valeurs absolues doit être égale (ou inférieure) au nombre de voies.

La profondeur de la ligne à retard détermine l'ordre du filtre. On peut virtuellement augmenter l'ordre du filtre en insérant des « zéros » dans sa réponse impulsionnelle comme il est présenté à la Figure 70. Ainsi, même avec un nombre limité de coefficients, il est possible d'obtenir des filtres ayant une bande de transition étroite et répondant par conséquent à des spécifications d'un filtre d'ordre supérieur.

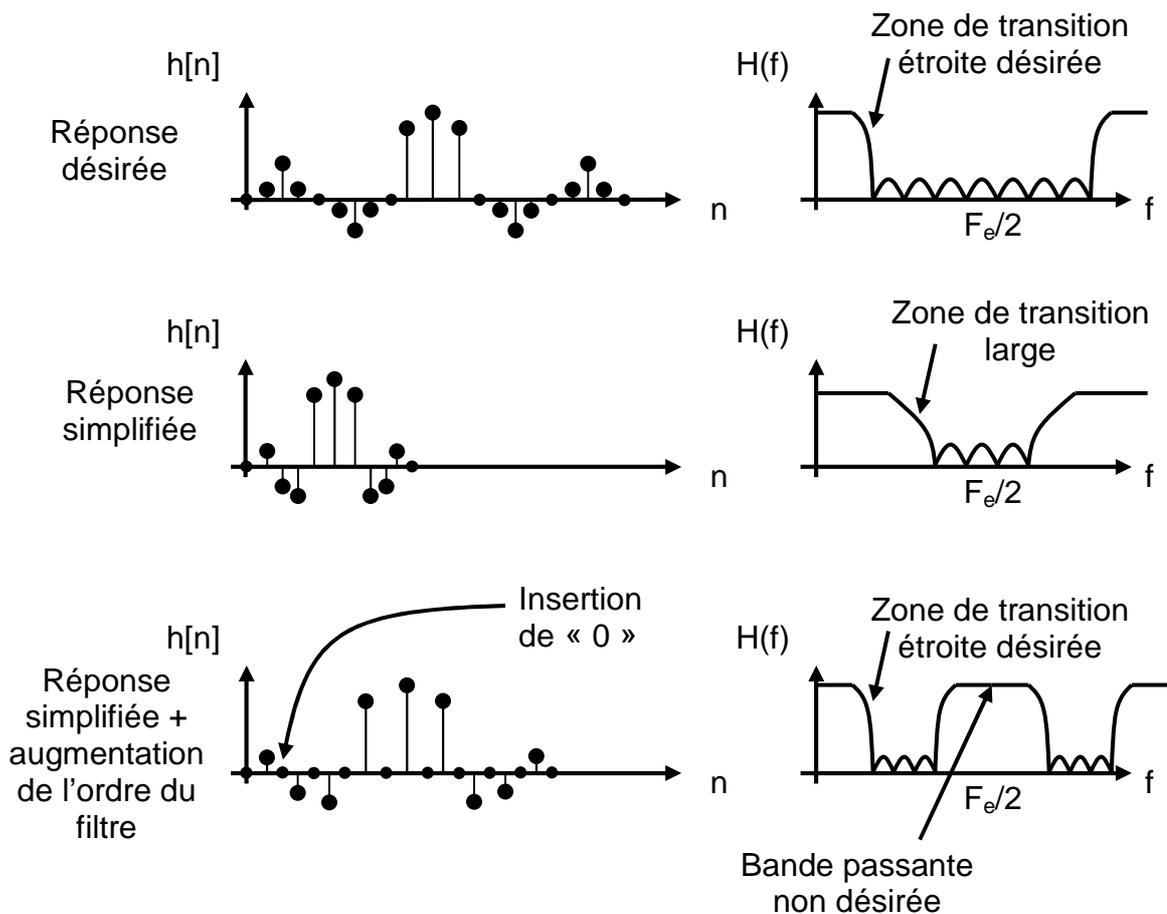


Figure 70 : Augmentation de l'ordre du filtre numérique par l'insertion de zéros

De manière générale, il est alors possible d'implémenter une structure de filtrage FIR reconfigurable par l'intermédiaire d'un multiplexeur. La Figure 71 présente l'architecture globale du filtre avec le combineur de puissance.

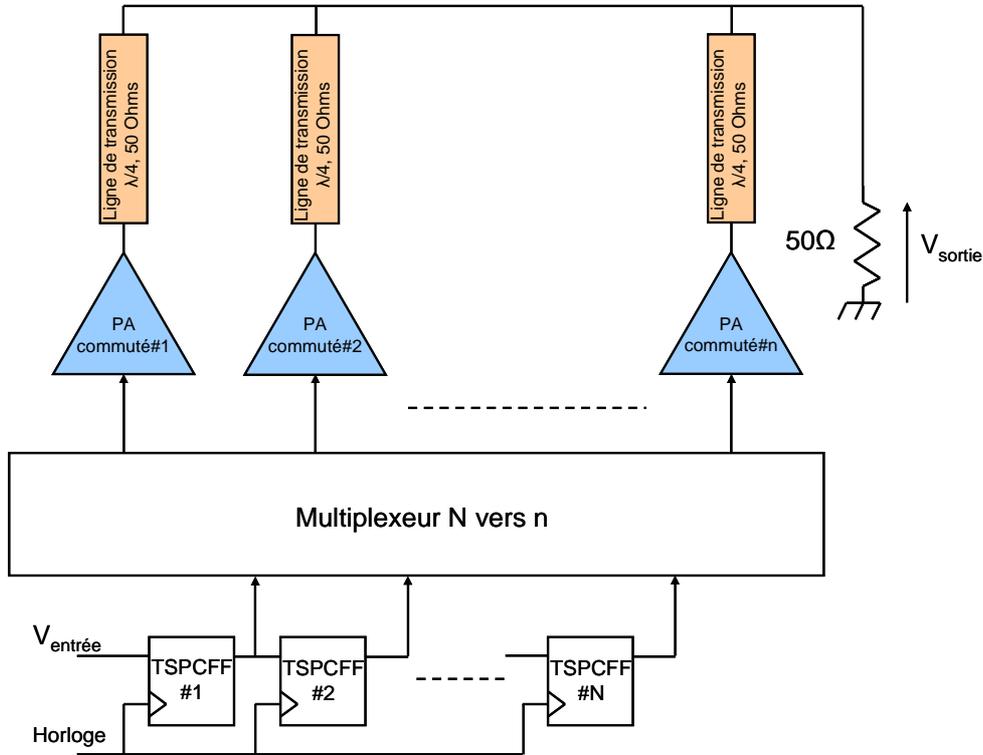


Figure 71 : Architecture globale du filtre numérique reconfigurable avec le combineur de puissance

3.2. Calculs des fonctions de transfert

Pour des raisons de simplicité de réalisation et pour démontrer le phénomène, nous avons supposé dans le chapitre précédent que nous avons cinq voies à disposition. Le filtre numérique a alors la réponse suivante :

$$H(\omega) = b_0 + b_1 z^{-\alpha} + b_2 z^{-(\alpha+\beta)} + b_3 z^{-(\alpha+2\beta)} + b_4 z^{-(2\alpha+2\beta)} \quad \text{Eq. [41]}$$

avec αT_e et βT_e qui sont les retards appliqués aux échantillons (α et β sont obligatoirement entiers).

Un filtre numérique FIR présente des zéros de transmission si les coefficients et les retards sont symétriques. Nous nous intéressons par conséquent aux FIR répondant à ces spécifications. Sa réponse est alors :

$$H(\omega) = b_0 + b_1 z^{-\alpha} + b_2 z^{-(\alpha+\beta)} + b_1 z^{-(\alpha+2\beta)} + b_0 z^{-(2\alpha+2\beta)} \quad \text{Eq. [42]}$$

La réponse fréquentielle de ces filtres s'écrit alors, en posant $\omega = 2\pi f$ et $T_e = 1/f_e$, pour cinq coefficients :

$$H(\omega) = b_0 + b_1 e^{-(\alpha T_e)j\omega} + b_2 e^{-(\alpha+\beta)j\omega T_e} + b_1 e^{-(\alpha+2\beta)j\omega T_e} + b_0 e^{-(2\alpha+2\beta)j\omega T_e} \quad \text{Eq. [43]}$$

La réponse en fréquence du filtre peut encore s'exprimer comme :

$$H(\omega) = e^{-(\alpha+\beta)j\omega T_e} (2b_0 \cos((\alpha + \beta)\omega T_e) + 2b_1 \cos(\beta\omega T_e) + b_2) \quad \text{Eq. [44]}$$

Le gain du filtre est le module de la réponse en fréquence et vaut :

$$|H(\omega)| = |2b_0 \cos((\alpha + \beta)\omega T_e) + 2b_1 \cos(\beta\omega T_e) + b_2| \quad \text{Eq. [45]}$$

La phase de ce filtre est linéaire et est égale à :

$$\Phi(H(\omega)) = -(\alpha + \beta)\omega T_e \quad \text{Eq. [46]}$$

Les coefficients b_i sont entiers et doivent vérifier que la somme de leurs valeurs absolues est inférieure ou égale au nombre de voies :

$$2|b_0| + 2|b_1| + |b_2| \leq 5 \quad \text{Eq. [47]}$$

La conception du filtre à cinq coefficients et présentant des zéros de transmission revient donc à choisir un jeu de coefficients pour l'ensemble $\{b_0, b_1, b_2, \alpha, \beta, T_e\}$. Le triplet $\{b_0, b_1, b_2\}$ représente les coefficients du filtre et sont, dans le cas où on utilise un amplificateur commuté en mode tension sur un signal 1 bit, des entiers relatifs. T_e correspond à la période d'échantillonnage, α et β sont les poids des retards et sont obligatoirement des entiers positifs.

La Figure 72 présente trois exemples de réponse en fréquence de filtres numériques en utilisant une fréquence d'échantillonnage de 1GHz, l'insertion de zéros pour augmenter l'ordre du filtre (courbe rouge) et l'utilisation d'un nombre variable de coefficients (courbe verte).

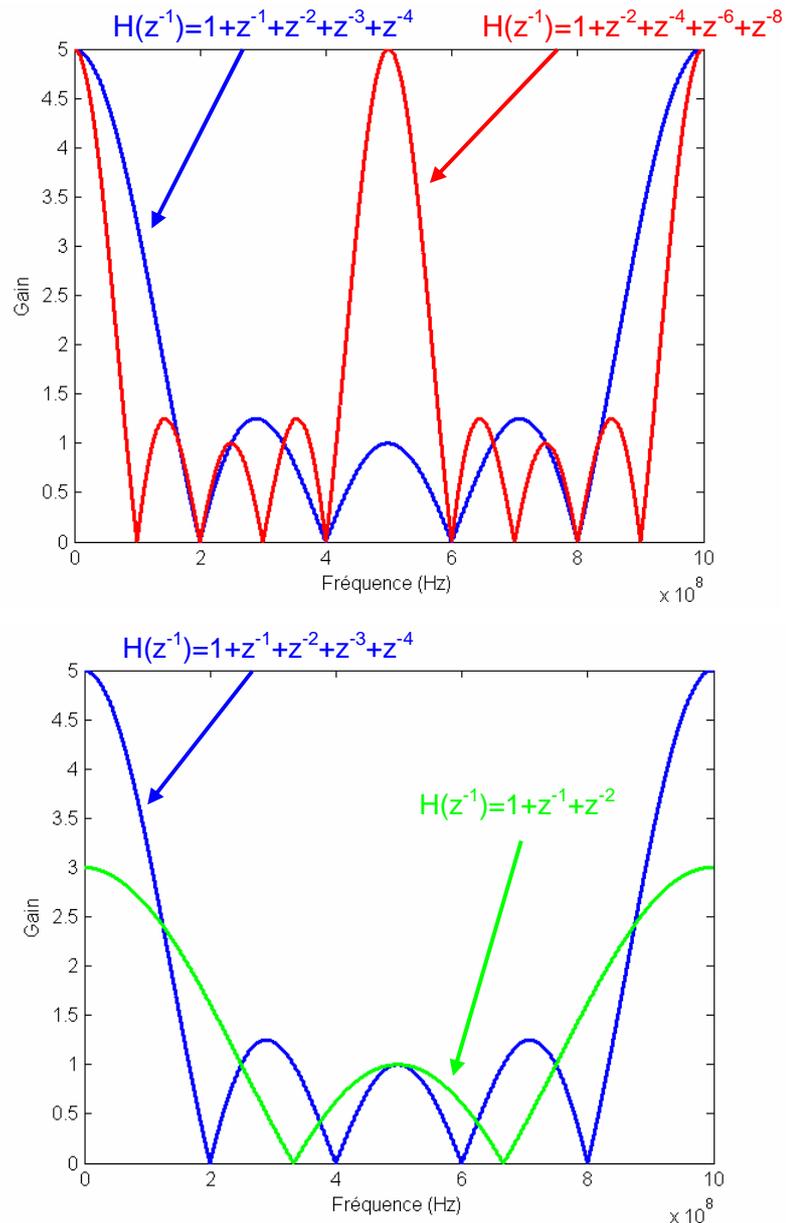


Figure 72 : Exemples de réponse en fréquence pour trois filtres numériques

3.3. Fonctions de transfert du filtre numérique dans le cas d'une émission répondant au standard UMTS

La contrainte la plus sévère afin de respecter le masque d'émission de l'UMTS est la proximité de bandes interdites. En effet, la bande passante du DCS1800 s'étale de 1810 à 1880MHz et celle de l'UMTS TX de 1920 à 1980MHz soit un écart entre les deux extrêmes des bandes de 40MHz. L'utilisation d'un multiplexage fréquentiel (FDD) dans le cas de l'UMTS interdit les émissions parasites en bande RX située dans la bande de fréquence 2110-2170MHz soit à 190MHz de la bande TX (1920-1980MHz). L'introduction de zéros de transmission dans ces bandes de fréquence est par conséquent plus que souhaitable. Pour cette

raison, nous avons déterminé les fonctions de transfert de certains filtres numériques répondant à ce critère. De plus, nous avons souhaité tirer profit du maximum de gain en puissance possible, aussi utilisons nous toutes les voies du combineur de puissance, ce qui se traduit par l'utilisation d'un filtre à cinq coefficients. Ceci se traduit par :

$$2|b_0| + 2|b_1| + |b_2| = 5 \quad \text{Eq. [48]}$$

Ce qui implique nécessairement $|b_2|=1$. Pour les deux autres coefficients, il reste $|b_0|=|b_1|=1$ ou $|b_0|=2$ et $|b_1|=0$ ou $|b_0|=2$ et $|b_1|=2$. Il y a donc seize possibilités pour l'ensemble $\{b_0, b_1, b_2\}$. Il faut maintenant déterminer la position des zéros de transmission et des maxima en fonction des valeurs prises par le triplet $\{b_0, b_1, b_2\}$. Pour des raisons de simplicité, la fréquence d'échantillonnage choisi est celle directement disponible en sortie du mélangeur numérique soit $F_e=4.F_c=7.8\text{GHz}$. Le gain maximum du filtre doit alors se situer à $F_e/4$, ce qui implique une condition supplémentaire sur les retards α et β . Le détail des calculs ne sera pas effectué ici, cependant une analyse paramétrique sur les retards permet d'apprécier la réponse de ces filtres.

Nous avons sélectionné trois jeux de coefficients (Tableau 6) pour implémenter les filtres. Ceux-ci ont été choisis en fonction de leur bande passante, de la position de leurs zéros de transmission ainsi que du nombre de retards nécessaires.

Retards α et β (multiples de T_e)	$\{b_0, b_1, b_2\}$	Périodicité de la réponse fréquentielle	Fonction de transfert	Position des zéros
$\alpha = 8$ et $\beta = 8$	$\{1, 1, 1\}$	$F_e/8$	$H_1(z)$	$F_e/20, F_e/40$
$\alpha = 14$ et $\beta = 14$	$\{1, -1, 1\}$	$F_e/14$	$H_2(z)$	$F_e/140, 3F_e/140$
$\alpha = 16$ et $\beta = 8$	$\{1, 1, 1\}$	$F_e/8$	$H_3(z)$	$F_e/20, F_e/40, F_e/48$

Tableau 6 : Jeux de coefficients des filtres FIR retenus

Les fonctions de transfert de ces filtres s'écrivent, pour chacun des jeux de coefficients, avec $F_e = 7.8\text{GHz}$:

$$\begin{aligned} H_1(z^{-1}) &= 1 + z^{-8} + z^{-16} + z^{-24} + z^{-32} \\ H_2(z^{-1}) &= 1 - z^{-14} + z^{-28} - z^{-42} + z^{-56} \\ H_3(z^{-1}) &= 1 + z^{-16} + z^{-24} + z^{-32} + z^{-48} \end{aligned} \quad \text{Eq. [49]}$$

Les filtres numériques ainsi conçus sont respectivement d'ordre 32, 48 et 56. Les réponses fréquentielles de ces filtres sont représentées à la Figure 73 (gain).

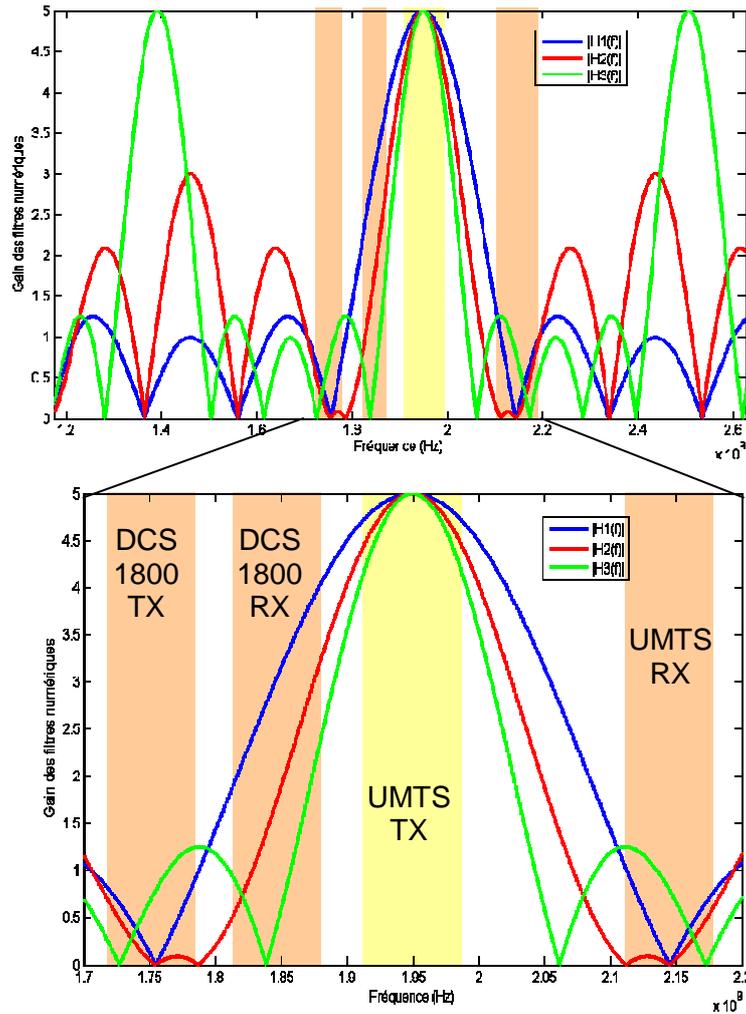


Figure 73 : Gain en fonction de la fréquence des différents FIR retenus – en bas, zoom sur la bande utile

Ainsi, la fonction de transfert H_1 permet de placer un zéro de transmission dans la bande UMTS RX et un dans la bande DCS TX, la fonction H_2 un zéro dans chacune des bandes DCS, et la fonction H_3 deux zéros dans la bande UMTS RX et un dans la bande DCS TX. La présence de deux zéros proches dans la réponse fréquentielle de ce filtre permet une forte atténuation dans les bandes proches de l'UMTS.

Les simulations Matlab permettant d'apprécier l'action de ce filtrage sur un signal $\Delta\Sigma$ sont présentées à la Figure 74 (exemple avec le filtre numérique de fonction de transfert H_3 , la résolution spectrale est d'environ 60kHz). Un signal WCDMA représentant le canal extrême gauche du standard UMTS a été codé par le modulateur $\Delta\Sigma$ puis transposé en radiofréquences de manière idéale (par simulation). Le masque d'émission UMTS a été superposé à ces courbes afin d'évaluer le besoin important de filtrage à ce niveau de la chaîne d'émission. Toutes ces courbes sont normées par rapport à une bande de mesure correspondant au pas de

résolution fréquentielle de la transformée de Fourier utilisée (égal ici à environ 60kHz). L'utilisation du filtrage numérique ne permet pas de s'affranchir totalement du filtrage analogique d'antenne mais constitue bien un moyen d'alléger les contraintes de réalisation de celui-ci.

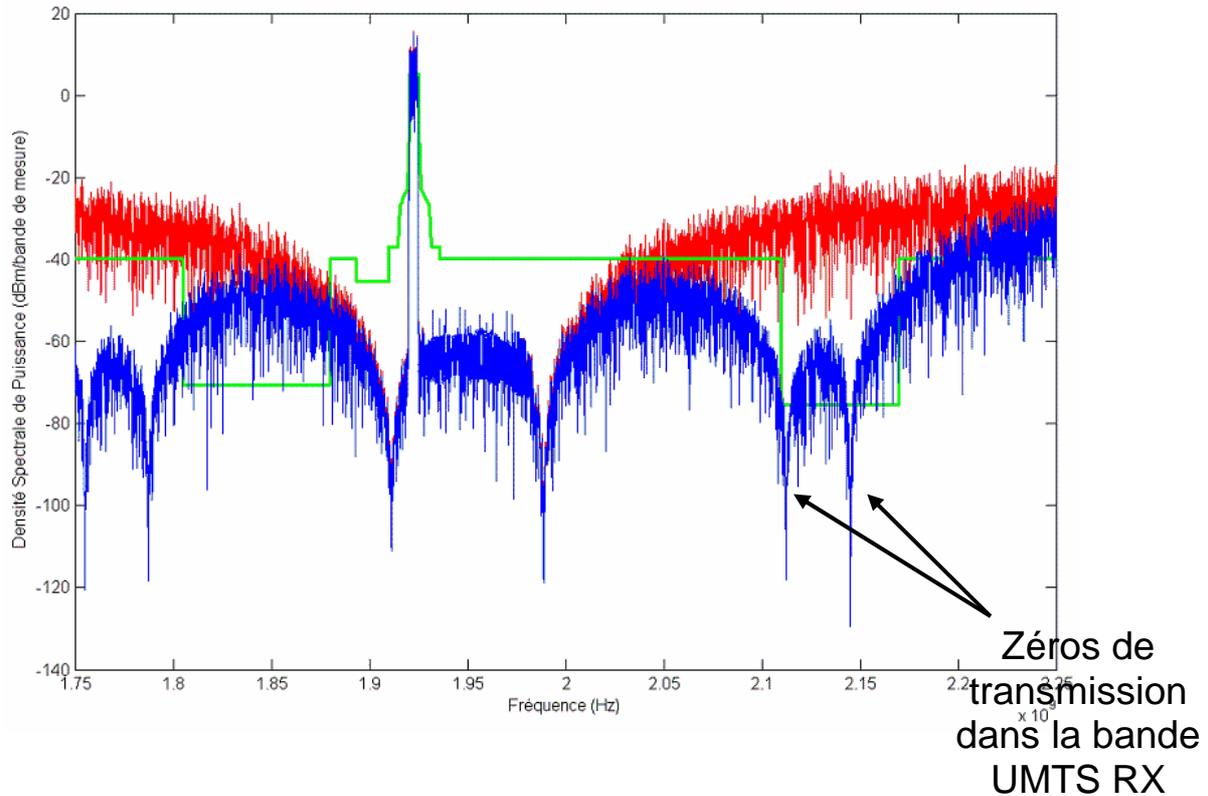


Figure 74 : Spectres du signal $\Delta\Sigma$ représentant un canal WCDMA en sortie du modulateur $\Delta\Sigma$, puis filtré par le FIR de fonction de transfert H_3 et spécifications UMTS

La reconfigurabilité du filtrage est ici évidente. Il suffit de changer les délais et les coefficients afin d'obtenir la fonction de transfert voulue.

Par exemple, dans le cas du DCS 1800, la fréquence à laquelle sont cadencées les données est de 6.99GHz (4 x 1.7475GHz). En gardant les trois mêmes jeux de coefficients que précédemment et en changeant uniquement la fréquence d'échantillonnage, on obtient les fonctions de transfert de la Figure 75.

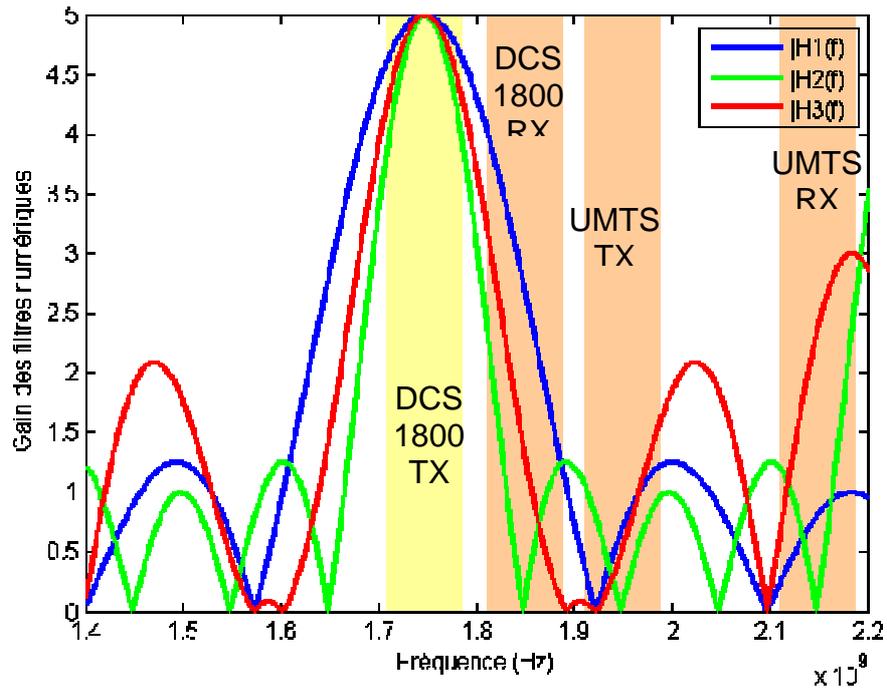


Figure 75 : Gain en fonction de la fréquence des différents FIR retenus

4. Conclusion

La nature du signal à amplifier ainsi que la combinaison de puissance permettent d'envisager l'implémentation d'un filtrage numérique en introduisant une ligne à retard numérique dans la chaîne de transmission. Ce filtrage est nécessaire afin d'éliminer les composantes hors bande qui proviennent de la mise en forme du bruit de quantification dans les modulateurs $\Delta\Sigma$ et ce, afin de diminuer les contraintes de réalisation et d'encombrement du filtrage analogique d'antenne. En effet, les standards de communication de troisième génération spécifient des masques d'émission relativement stricts.

La reconfigurabilité de ce filtrage autorise la modification des fonctions de transfert de celui-ci et, par le choix judicieux des coefficients et des techniques d'insertion de zéros dans la réponse impulsionnelle, permet de créer des zéros de transmission dans les bandes interdites.

L'implémentation matérielle de ce filtre ne nécessite, dans notre cas, que l'insertion d'une ligne à retard numérique composée de registres à décalage au sein de l'architecture du combineur de puissance. La configuration du filtrage s'effectue en venant prélever les échantillons d'intérêt à l'aide de techniques de multiplexage.

Chapitre V : Implémentation et résultats

1. Introduction

Dans ce chapitre sont présentés les résultats obtenus sur les différents circuits. Tout d'abord, un premier circuit (FULBERT [22]) réalisé en technologie CMOS Silicium massif 90nm permet la génération radiofréquence du signal numérique telle qu'elle a été décrite au chapitre I et comprend le mélangeur numérique et la chaîne d'inverseurs CMOS qui ont été détaillés au chapitre II. Ce circuit a été fabriqué et assemblé lors du troisième trimestre 2007. Ensuite, un circuit (ROCCO) comprenant les lignes à retard numériques et les différentes chaînes d'inverseurs nécessaires au combineur de puissance (chapitre III) et au filtre numérique (chapitre IV), a été réalisé en technologie CMOS Silicium massif 65nm. Dans le même temps, le circuit passif (ROSA) modélisant les lignes de transmission a été réalisé en technologie IPD (Integrated Passive Devices). Ces circuits sont partis en fabrication en juin 2007 et sont revenus en octobre 2007. Les différentes méthodes d'assemblage et de mesures qui ont été utilisées ainsi que les résultats de mesures sont ici détaillés.

Tout d'abord, les résultats du circuit FULBERT seront présentés. Ensuite, une partie est consacrée à l'implémentation des lignes de transmission dans la technologie IPD. Nous verrons que l'on peut réaliser ces dernières grâce à un modèle à éléments localisés conduisant à un important gain de place. Les simulations complètes du système ont été refaites en incluant cette modification. Nous étudierons ensuite la réalisation des différents circuits ROSA et ROCCO, les mesures venant étayer ces sections. Enfin, les résultats de mesures de l'assemblage entre les circuits FULBERT, ROCCO et ROSA seront présentés avant de conclure ce chapitre.

2. Résultats de mesures sur le circuit FULBERT

Le circuit FULBERT (voir Figure 76) comprend le cœur du système de radio logicielle, à savoir les deux modulateurs $\Delta\Sigma$ passe-bas [22], les deux mélangeurs numériques (un par voie différentielle) ainsi que les buffers de sortie.

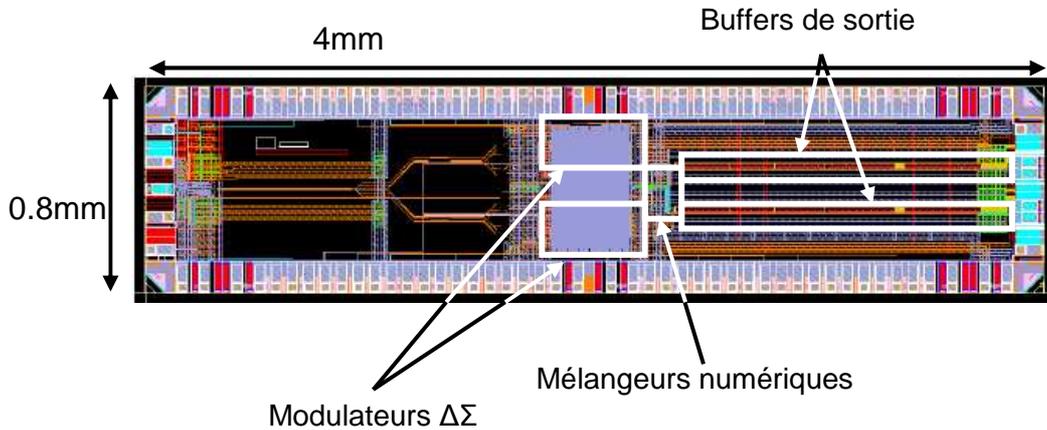


Figure 76 : Layout du circuit réalisé dans [22]

Dans un premier temps, nous nous intéressons à la consommation de l'étage de sortie, constitué des mélangeurs numériques ainsi que des buffers. Le circuit est dans un état « reset », qui utilise uniquement les mélangeurs numériques et les buffers de sortie. Le signal sur les voies d'entrée I et Q des mélangeurs est fixé à « 0 », résultant en une sortie radiofréquence $\{0, 0, 1, 1\}$ soit un signal carré de fréquence $F_s/4$.

La consommation de l'étage de sortie dans une charge 50Ω est présentée à la Figure 77 pour différentes fréquences et pour une tension d'alimentation de 0.95V. Le courant utile dans la charge est approximativement de 18mA. La consommation augmente avec une pente d'environ 8mA/GHz.

Le circuit est totalement fonctionnel jusqu'à une fréquence d'horloge de 4GHz. Sa fonctionnalité est visualisée à la Figure 78 où le spectre du signal de sortie analogique est représenté. Une image du spectre du signal numérique est également calculée en rééchantillonnant le signal analogique en attribuant une valeur numérique « 1 » ou « 0 » à la valeur analogique de sortie. Les perturbations analogiques sont ainsi supprimées par cette opération et cela permet de visualiser le fonctionnement du modulateur $\Delta\Sigma$. Le signal d'entrée qui est modulé est un signal continu.

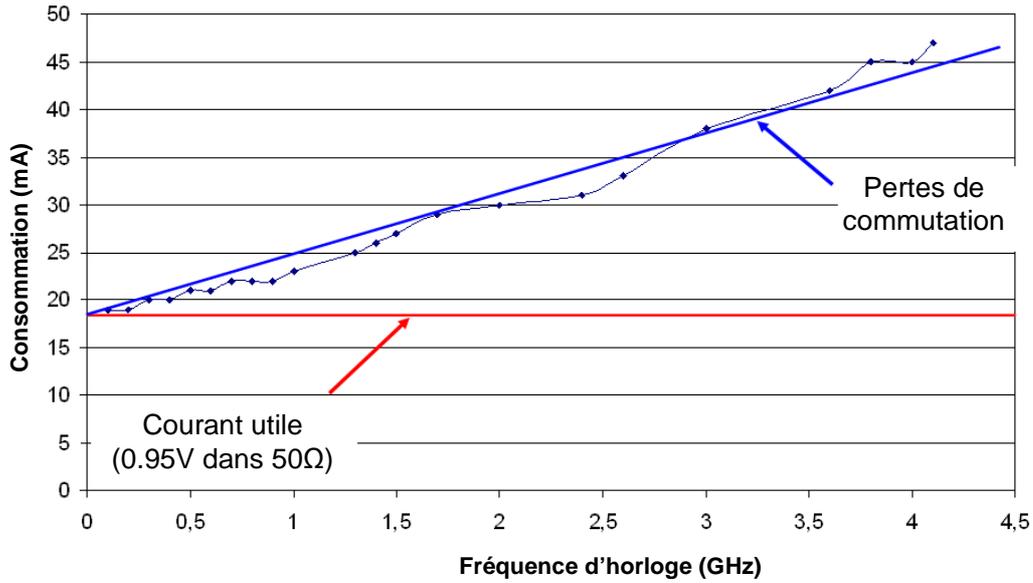


Figure 77 : consommation de l'étage de sortie

La remontée du plancher de bruit en bande passante peut s'expliquer par la présence d'une incertitude sur les instants de décision, appelé jitter. Celui-ci semble provenir de fluctuations importantes de la tension d'alimentation dues aux commutations et qui se retrouvent sur l'horloge principale du circuit.

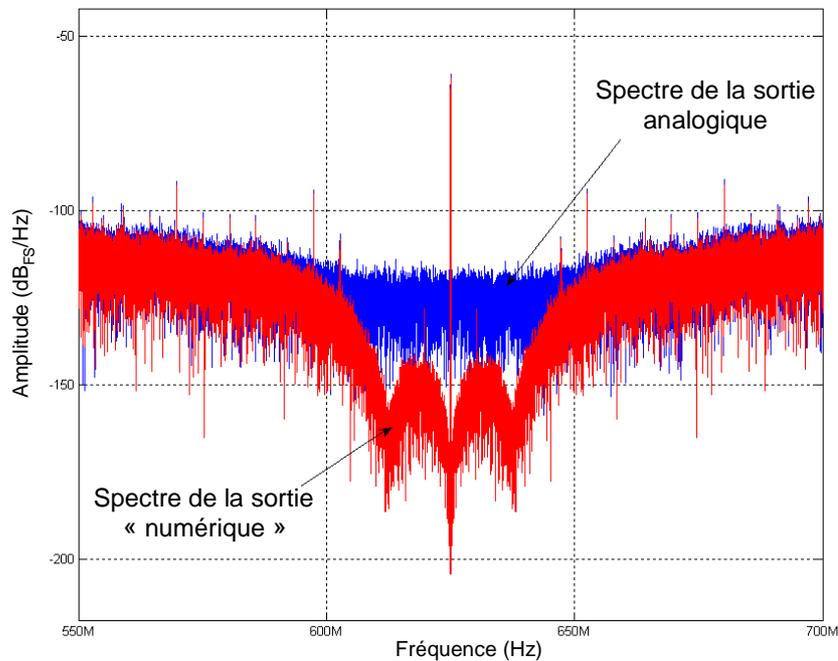


Figure 78 : Spectres analogique et numérique d'un signal continu en sortie du circuit FULBERT

La fréquence maximale de fonctionnement étant de 4GHz, la fréquence centrale maximale que l'on peut adresser est donc de 1GHz. Cependant, la première bande image, située à $\frac{3}{4}$ de l'horloge principale, peut être utilisée permettant d'atteindre dans ce cas une fréquence centrale maximale de 3GHz. L'inconvénient de cette solution est l'atténuation du signal par la fonction de mise en forme « sample and hold » des données, se traduisant au niveau spectral par la multiplication du spectre par une fonction sinus cardinal qui, au niveau de la bande image atténue le spectre et modifie la mise en forme du bruit initialement prévue. De plus, la bande passante ainsi que tous les paramètres associés à la fréquence d'horloge sont réduits du même facteur de proportionnalité. On peut cependant adresser par exemple, le standard UMTS grâce à une horloge principale à 2.6GHz, la bande fondamentale se situant à 650MHz et la bande image à 1.95GHz.

Enfin, le Tableau 7 résume les performances globales du circuit FULBERT et peuvent être trouvées dans [22] et [64].

		Horloge à 2.6GHz	
		Canal à 650MHz	Canal à 1.95GHz (image)
ACPR (canal de 5MHz de large)		53.6dB	44.3dB
Puissance maximale du canal		-3.9dBm	-15.8dBm
EVM		1.24%	3.42%
Jitter en sortie		13.2ps _{RMS}	
SNDR (BW = 30MHz)		53.6dB	40.3dB
Plancher de bruit en bande		-129.5dBm/Hz	-129.4dBm/Hz
Puissance pic de sortie		3.1dBm	-8.59dBm
Consommation	Total	69mW (1V)	
	Étage de sortie	39mW	
	Modulateurs	2 × 15mW	

Tableau 7 : Résumé des performances du circuit FULBERT pour une horloge de 2.6GHz

3. Architecture complète du combineur de puissance et du filtrage FIR associé

3.1. Introduction

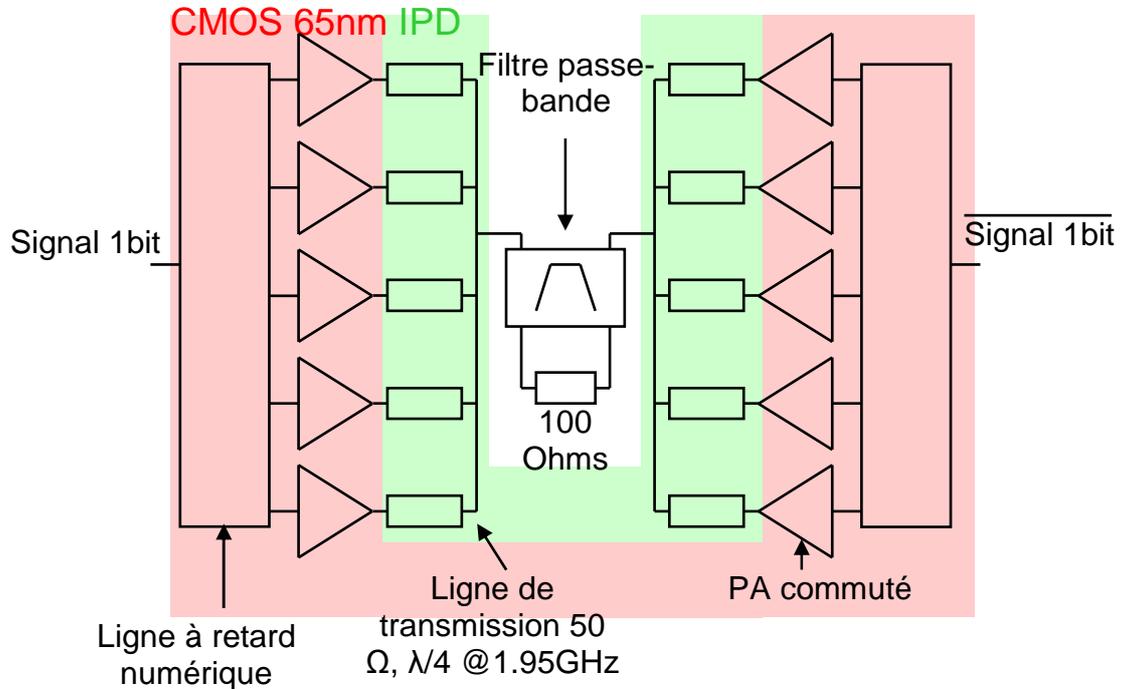


Figure 79 : Architecture du combineur de puissance et du filtre FIR

La Figure 79 présente l'architecture complète de l'ensemble constitué du combineur de puissance et du filtrage numérique. Les lignes à retard numérique ainsi que les amplificateurs de puissance commutés sont réalisés dans une technologie ST Microelectronics CMOS massif 65nm, les lignes de transmission sont conçues dans un procédé IPD (également développé par ST Microelectronics), qui est une technologie d'intégration de composants passifs à haut facteur de qualité. Sur cette figure, l'introduction d'un filtre passe-bande, réalisé par exemple par des résonateurs BAW, illustre la possibilité d'un filtrage d'antenne. Dans notre cas, il avait été prévu d'utiliser une telle structure de filtrage dans le cadre du projet européen MOBILIS, mais leur fabrication tardive a retardé cette réalisation.

3.2. Modèle de ligne de transmission à éléments localisés

En terme d'intégration, les lignes de transmission quart d'onde sont des éléments occupant une place importante. En effet, à 1.95GHz, la longueur d'onde est égale à :

$$\lambda = c / (f \times \sqrt{\epsilon_r}) = 0.154 / \sqrt{\epsilon_r} \quad \text{Eq. [50]}$$

avec ϵ_r , la permittivité du matériau de la ligne. Cela fait entre 5 et 15cm pour un ϵ_r compris entre 1 et 10. C'est pourquoi nous nous sommes intéressés à la modélisation matérielle des lignes de transmission par des éléments localisés. Le modèle le plus simple d'une ligne de transmission est un modèle en π constitué de deux capacités et d'une inductance dont les valeurs dépendent de la longueur et de l'impédance caractéristique de la ligne à modéliser (Figure 80). Dans le cas d'une ligne 50 Ω accordée à 1.95GHz, la valeur de l'inductance est de 4.08nH et celle de la capacité est de 1.63pF. Ce modèle n'est valide que dans la zone proche de la fréquence d'accord. Contrairement à la ligne de transmission qui a une réponse fréquentielle périodique, on observe une fonction de filtrage passe-bande sur la réponse en tension, permettant de réduire le bruit de quantification généré par les modulateurs $\Delta\Sigma$. La Figure 82 compare les fonctions de transfert obtenues sur le circuit simplifié du combineur de puissance de la Figure 81 dans le cas de lignes de transmission réelles ou modélisées par des éléments localisés.

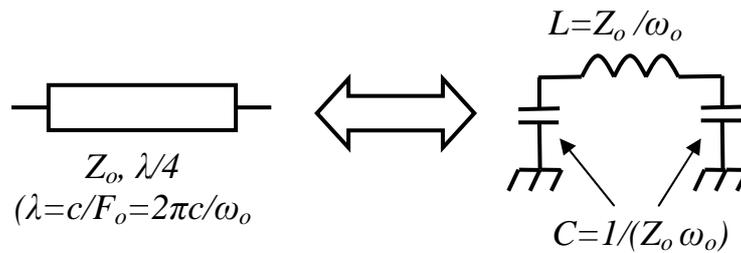


Figure 80 : Modèle à éléments localisés d'une ligne de transmission

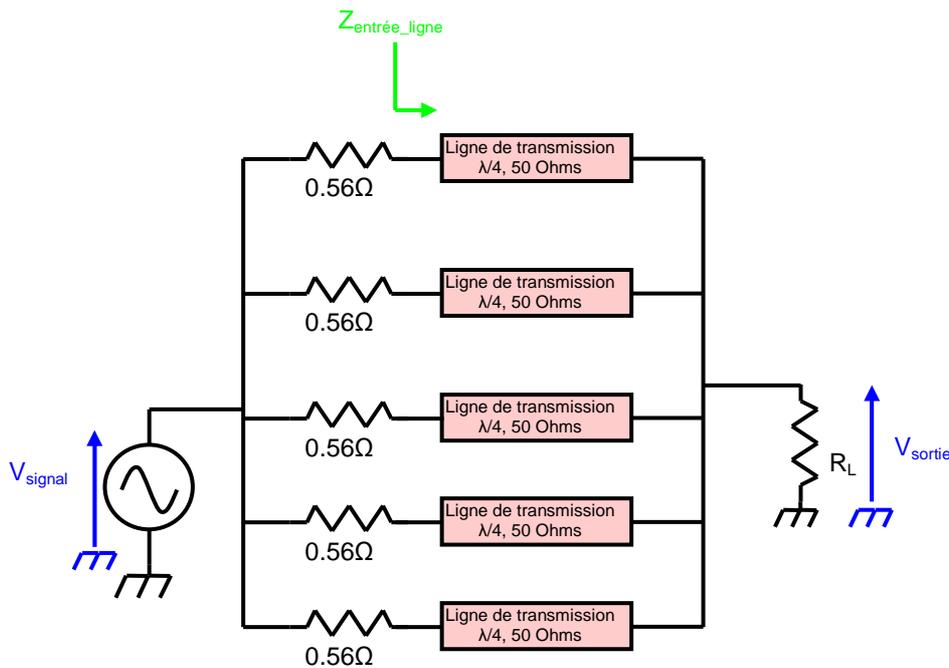


Figure 81 : Schéma du combineur de puissance étudié

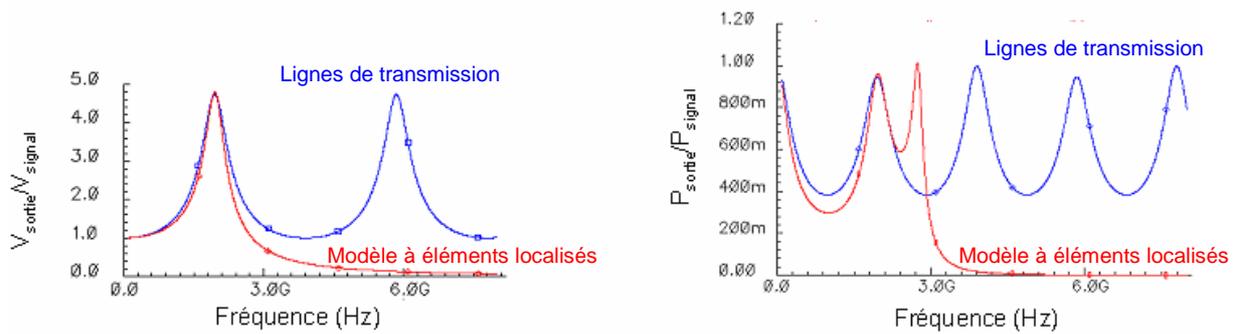


Figure 82 : Fonctions de transfert du combineur de puissance avec des lignes de transmission et avec un modèle de ligne à éléments localisés

Sur cette figure sont représentés les rapports entre tension de sortie et tension d'entrée ainsi que les rapports entre puissance délivrée à la charge P_{sortie} et puissance fournie par la source de tension P_{signal} . En dehors de la bande de fréquence où le modèle est valide, il existe deux différences notables entre la ligne de transmission et le modèle à éléments localisés. Afin de les comprendre, il est nécessaire d'étudier le réseau en π qui agit comme un réseau d'adaptation d'impédance. L'expression de $Z_{\text{entrée_lignes}}$ vaut alors, pour une impédance de charge égale à NR_L :

$$Z_{\text{entrée_lignes}} = \frac{NR_L \times (1 - LC\omega^2) + jL\omega}{1 - LC\omega^2 + jNR_L C\omega(2 - LC\omega^2)} \quad \text{Eq. [51]}$$

Le module de cette impédance est représenté à la Figure 83.

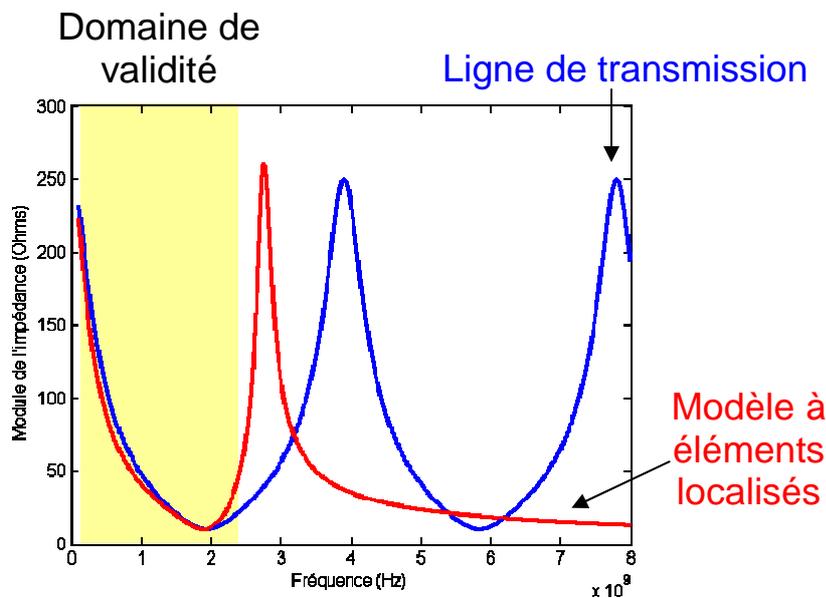


Figure 83 : Module de l'impédance $Z_{\text{entrée_lignes}}$ pour une ligne de transmission et un modèle à éléments localisés pour une impédance de charge de $5 \times 50\Omega$

L'argument φ de $Z_{\text{entrée_lignes}}$ est égal à :

$$\varphi = \tan^{-1} \left(\omega \times \frac{1 - LC\omega^2}{NR_L} \times (L - N^2 R_L^2 C(2 - LC\omega^2)) \right) \quad \text{Eq. [52]}$$

Les maxima de cette fonction se retrouvent lorsque :

$$f = 0$$

$$f = f_0$$

$$f = f_0 \times \sqrt{2 - \frac{Z_0^2}{N^2 R_L^2}} \quad \text{Eq. [53]}$$

A ces fréquences, l'impédance est purement résistive, aussi le transfert de puissance est maximal. C'est ce qu'on observe à la Figure 84 sur la courbe de transfert de puissance (en bas). Néanmoins, l'impédance présentée en DC et à la troisième fréquence est relativement importante : elle vaut en effet NR_L . Ainsi peu de puissance est générée. Il faudra cependant veiller à ce que le filtrage d'antenne ou numérique élimine correctement cette composante.

De plus, l'impédance $Z_{\text{entrée_ligne}}$ a l'inconvénient de tendre vers 0 lorsque l'on travaille à haute fréquence. En effet, la partie réelle de celle-ci décroît en $1/\omega^6$: beaucoup de puissance est générée sans être transmise. Le contenu spectral du signal à transmettre devra donc avoir peu de composantes hautes fréquences. Ce phénomène est illustré à la Figure 84 qui compare la puissance de sortie et la puissance consommée en fonction de la fréquence lorsque les lignes de transmission sont réalisées de manière classique ou par un modèle à éléments localisés.

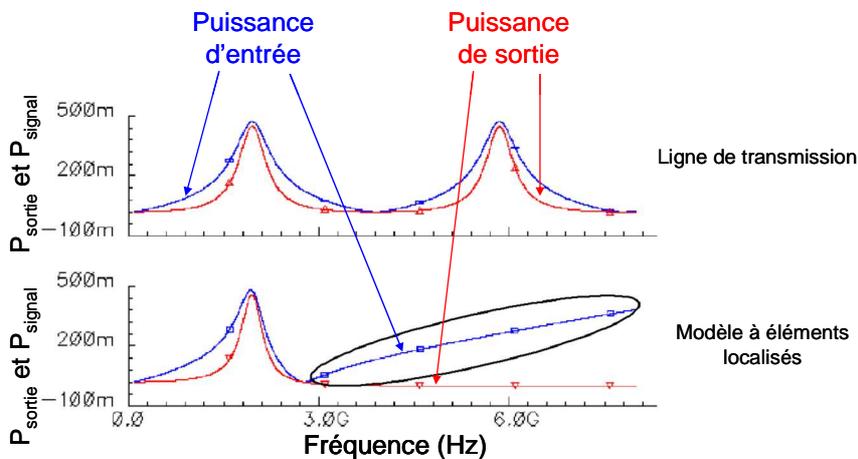


Figure 84 : Puissance du signal à l'entrée et à la sortie du combineur de puissance à lignes de transmission et avec le modèle de lignes utilisé

3.3. Implémentation du modèle de lignes de transmission à éléments localisés

Pour réaliser physiquement le modèle de ligne de transmission, nous avons besoin de deux capacités et d'une inductance. L'intégration de ces composants sur un substrat silicium massif pose problème dans la mesure où le coefficient de qualité de ceux-ci est relativement faible à cause de la basse résistivité du silicium massif. Ainsi nous avons choisi un process d'intégration de passif développé par ST Microelectronics qui offre, sur un substrat de verre, de bonnes performances. Ainsi, à 2GHz, pour une inductance de 5nH, le facteur de qualité est supérieur à 40 alors que la même valeur de self intégrée sur silicium présente un facteur de qualité d'environ 15. Pour des raisons de confidentialité, nous ne présenterons pas davantage les caractéristiques de ce procédé.

Pour obtenir un modèle de ligne $\lambda/4$ à 1.95GHz d'impédance caractéristique 50Ω , la valeur de capacité est de 1.63pF et la valeur de self est de 4.08nH. La valeur moyenne de la capacité de sortie du dernier inverseur du PA est de 1.6pF, les transistors le constituant ayant été dimensionnés à cet effet. Ainsi la capacité du modèle de ligne a volontairement été omise (Figure 85), bien que celle-ci, étant une capacité de jonction drain-substrat, soit fortement non linéaire. Il reste donc à intégrer une inductance et une capacité.

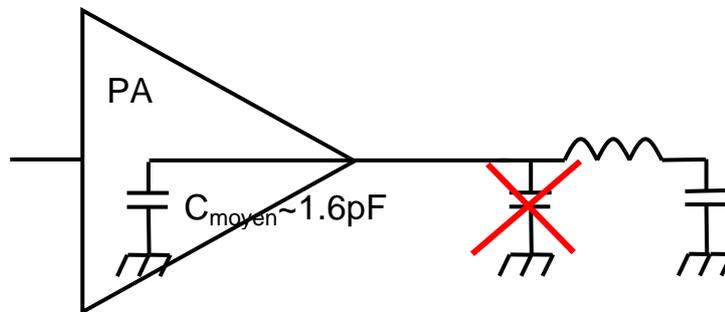


Figure 85 : Capacité présentée par le PA et modèle de ligne de transmission

Il est nécessaire de redimensionner la valeur des composants réels par rapport aux composants idéaux pour obtenir la même fréquence d'accord grâce à une simulation post-layout. L'inductance, l'élément le plus critique en terme de facteur de qualité, vaut alors presque 1nH de moins que le composant idéal (3.18nH au lieu de 4.08nH). En effet, la présence des capacités parasites de la self tend à augmenter la capacité globale qui va résonner avec l'inductance. Il faut alors diminuer sa valeur afin d'être accordé sur la fréquence définie. Nous avons également décidé d'utiliser deux demi selfs d'enroulement de sens opposés pour réaliser l'inductance totale. Ceci est effectué dans le but de minimiser le champ magnétique généré et ainsi minimiser les couplages inductifs entre selfs voisines. La

courbe du facteur de qualité de l'inductance permet d'estimer la résistance série de celles-ci. A 1.95GHz, le facteur de qualité vaut 40 soit une résistance série d'environ 0.53Ω pour une demi self. La présence de cette résistance dégrade le gain en tension (et donc en puissance) de la réponse du combineur de puissance comme on peut le constater à la Figure 86. Le gain maximal pour 5 voies est alors de 4.13.

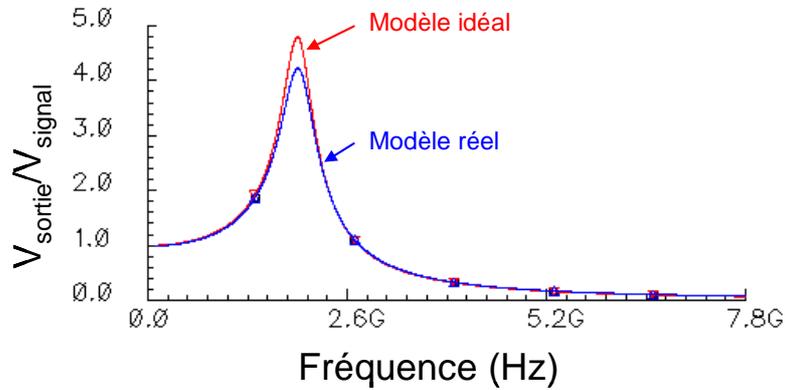


Figure 86 : Fonctions de transfert du combineur de puissance avec un modèle de ligne de transmission idéal et réel

3.4. Simulation fréquentielle du combineur de puissance et du filtre numérique

L'architecture du combineur de puissance et du filtre numérique étant établie, on peut alors étudier les fonctions de transfert du circuit complet. La Figure 87 et la Figure 88 présentent le rapport entre la tension de sortie et la tension d'entrée ainsi que le transfert de puissance avec et sans filtrage numérique dans le cas où les lignes sont modélisés par des éléments discrets provenant du Design Kit IPD. Le FIR utilisé a pour réponse fréquentielle $H_1(f)$ définie dans le chapitre précédent. Enfin la Figure 89 présente la puissance d'entrée et la puissance de sortie dans les deux cas. Ces fonctions de transfert correspondent simplement au produit de la fonction de transfert du combineur de puissance par la réponse du filtre numérique. L'introduction du FIR permet de réduire la consommation hors bande tout en gardant en bande utile les performances du combineur de puissance.

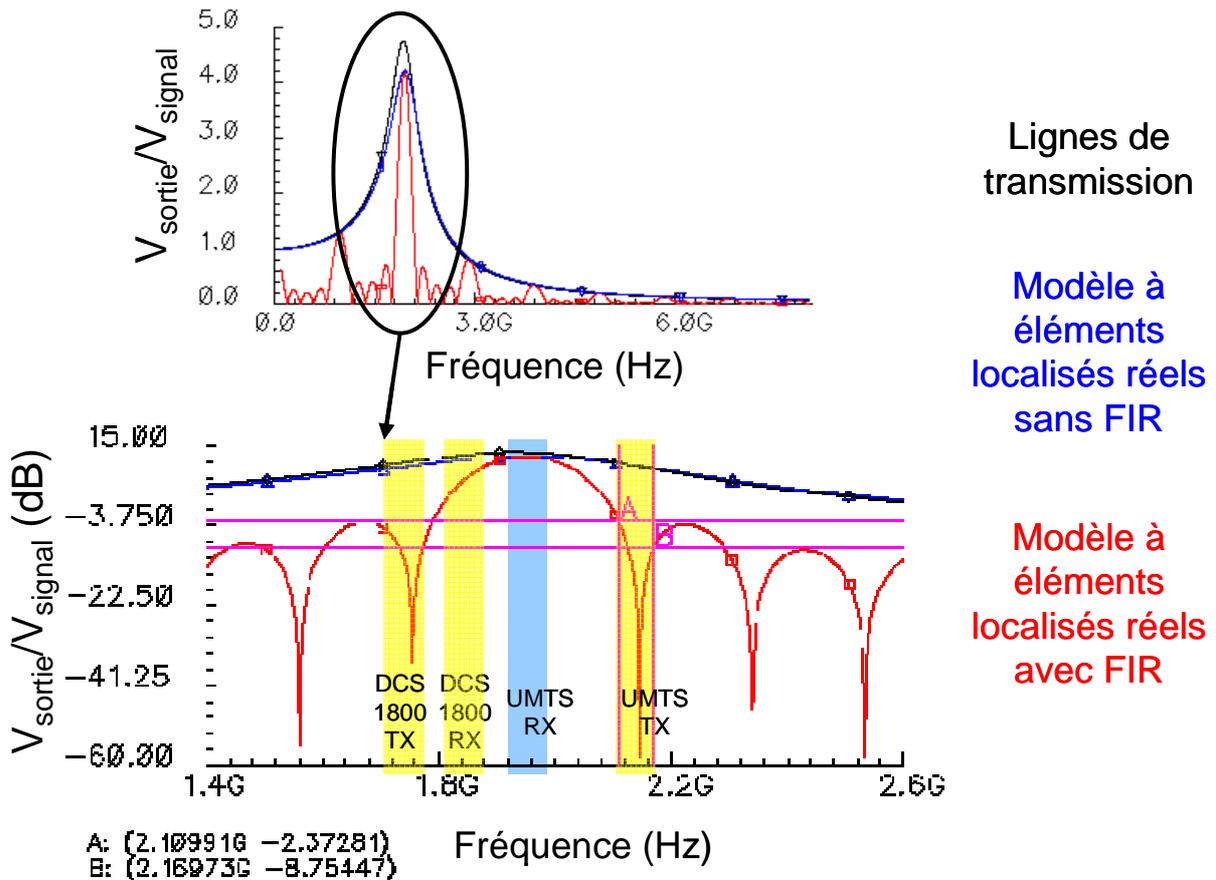


Figure 87 : Fonctions de transfert en tension du combineur de puissance avec une ligne de transmission, avec un modèle de ligne à éléments localisés réels avec et sans FIR. En bas, zoom sur la bande d'intérêt et représentation en dB

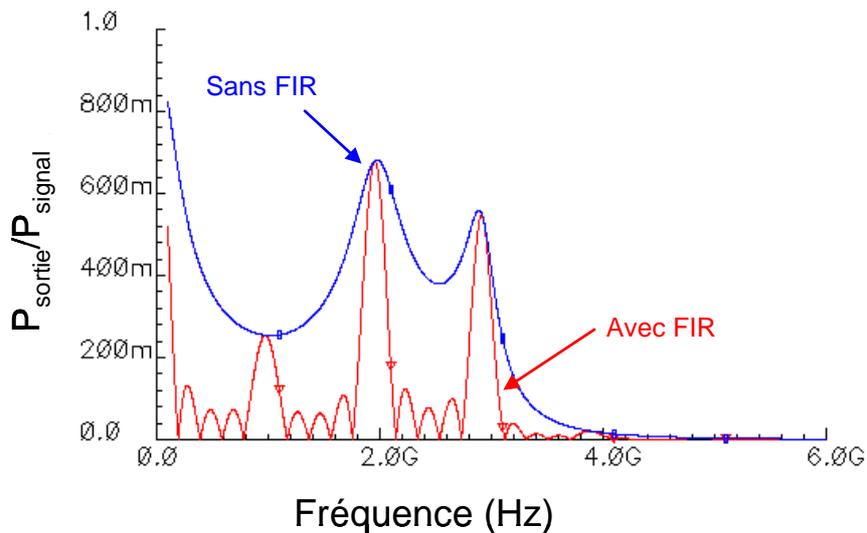


Figure 88 : Transfert de puissance du combineur avec un modèle de ligne à éléments localisés réel avec un FIR et sans FIR

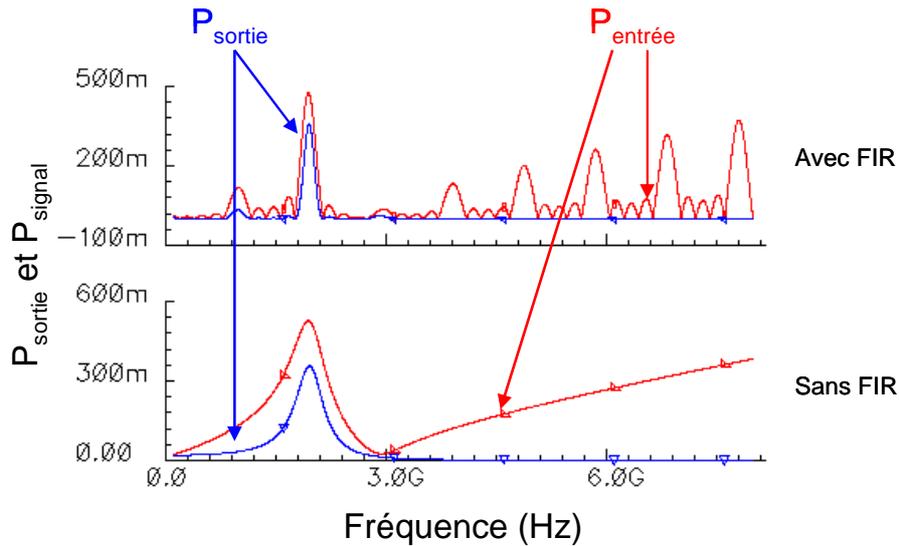


Figure 89 : Puissance du signal à l'entrée et à la sortie du combineur de puissance avec FIR et sans FIR

3.5. Simulation globale du combineur de puissance avec FIR

Dans cette partie, nous présenterons les différents résultats de simulation obtenus sous Cadence (simulateur Eldo) pour l'architecture de combineur de puissance avec un filtrage numérique. Un signal WCDMA représentant une sinusoïde pleine échelle, codé par un modulateur $\Delta\Sigma$ et transposé en radiofréquence, est appliqué à l'entrée de la structure. Nous nous intéresserons alors au signal de sortie en commentant son spectre et sa puissance. La consommation de cet étage sera abordée.

La Figure 90 présente la structure différentielle complète telle qu'elle a été simulée. Les éléments passifs sont issus du DK IPD.

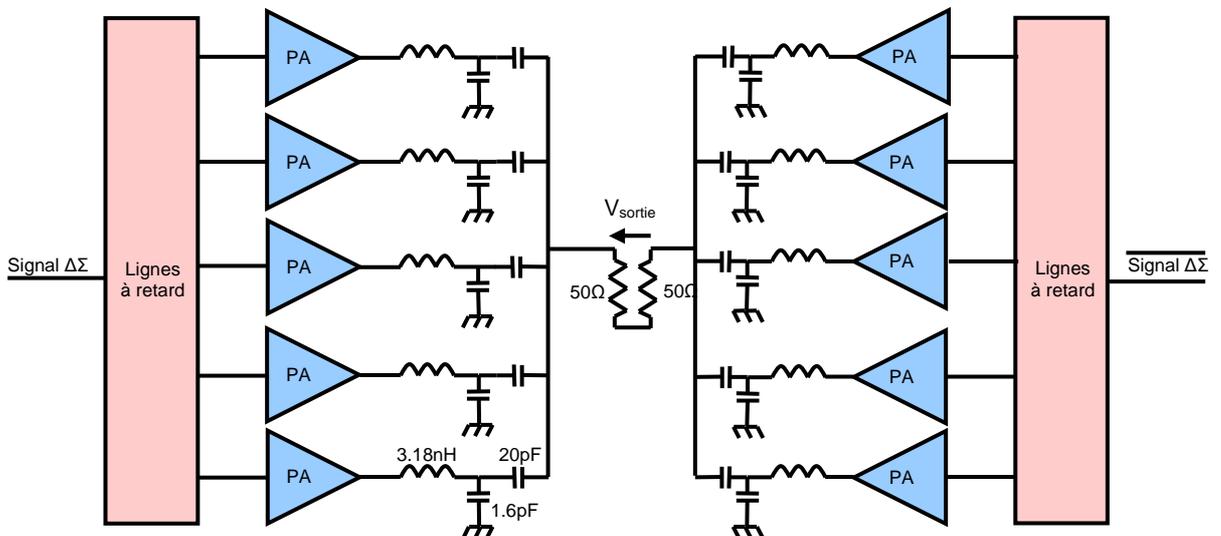


Figure 90 : Architecture complète du combineur de puissance et filtrage numérique

La sinusoïde pleine échelle est une sinusoïde dont l'amplitude crête à crête est de 100% de la dynamique maximale de codage, soit 1V dans notre cas. Pour que le modulateur reste stable, la dynamique maximale d'entrée est de 70% de la dynamique de codage [22]. Cela signifie évidemment que l'information utile maximale dans un signal $\Delta\Sigma$ n'est qu'une fraction de ce signal. En terme de puissance, dans une charge résistive de 50Ω , le signal $\Delta\Sigma$, un signal « carré » d'amplitude 1V, a une puissance d'environ 7dBm ($0.5^2/50$) alors que l'information utile ne représente au mieux qu'1dBm ($0.35^2/2 \times 50$). La sinusoïde pleine échelle représente ce que nous définissons comme le 0dB_{FS} (0dB full-scale ou pleine échelle). La sinusoïde d'amplitude maximale que l'on peut coder a alors une puissance de -3dB_{FS} .

En utilisant 5 voies en single-ended, on s'attend à obtenir un gain en puissance de l'information utile de +13.98dB (l'opération idéale de combinaison de puissance permet de quintupler la tension reçue soit un facteur multiplicatif de 25 en puissance). Les simulations de la partie précédente montre que le gain en tension est de 4.13 (soit 12.3dB) car celui-ci chute à cause de la résistance de conduction $r_{\text{on_moyen}}$ et de la résistance série de l'inductance (diviseur résistif avec la charge). La différentialité de la structure permet de gagner encore 6dB en tension (3dB en puissance car l'impédance de charge est double). On trouve en simulation un gain total en tension pour la structure différentielle de +16.6dB soit un gain en puissance de +13.6dB (Figure 91) alors qu'on s'attendait à trouver respectivement +18.3dB en tension et +15.3dB en puissance. Les spectres de la Figure 91 ont été obtenus par FFT à partir d'une simulation transitoire de la structure complète sur une durée de 800ns. Le nombre de points alors utilisés par la FFT, lié à un problème de fenêtrage engendre un étalement de la forme du spectre en bande passante.

Cette chute du gain s'explique par la mauvaise estimation de la capacité de sortie du PA commuté. En effet, celle-ci est une capacité de jonction et par conséquent non linéaire. L'estimation moyenne de celle-ci ne rend évidemment pas compte de sa variation au cours du temps. Il est probable, qu'à la fréquence d'accord, l'impédance présentée au PA intrinsèque (sans cette capacité) ne soit pas purement résistive mais présente bel et bien une impédance réactive qui conteste la validité du modèle de ligne de transmission (en modifiant sa fréquence d'accord) et qui dégrade donc la fonction de transfert du combineur de puissance. La présence du filtre numérique permet néanmoins de réduire cet effet en introduisant des zéros de transmission dans les bandes proches, assurant ainsi un gain maximal à la fréquence initialement choisie.

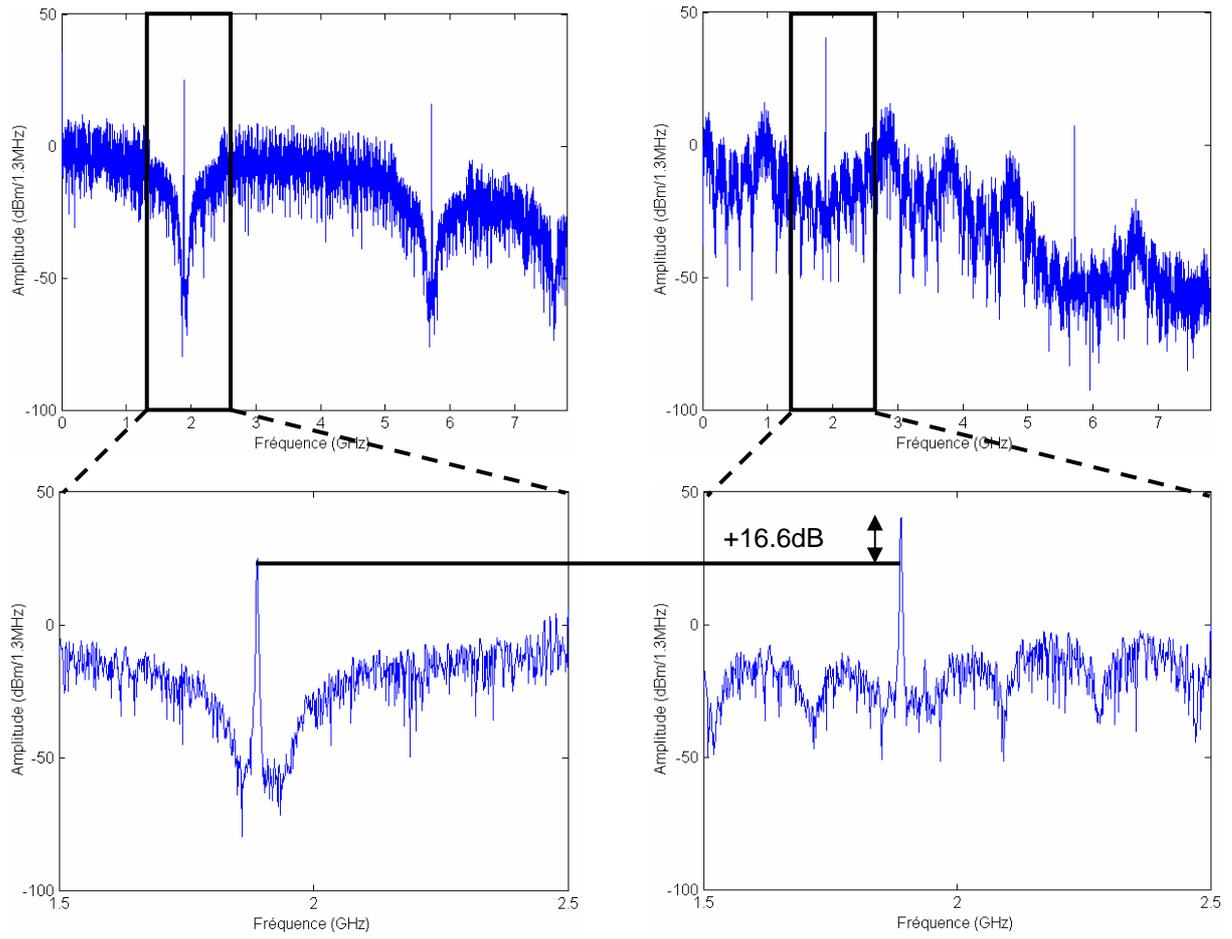


Figure 91 : Spectres d’une sinusoïde pleine échelle codée par un modulateur $\Delta\Sigma$ et le spectre du même signal en sortie du combineur de puissance avec filtrage numérique

La structure du combineur de puissance, constitué des dix amplificateurs commutés et des lignes de transmission, consomme 200mA sous 1V (sans filtrage numérique) pour un signal WCDMA UMTS codé par un modulateur $\Delta\Sigma$ représentant une sinusoïde à -3dB_{FS} . Une part importante de cette puissance est perdue dans les commutations, la puissance récupérée au niveau de la charge différentielle est d’environ 34mW. Une partie de cette puissance correspond au signal utile à récupérer (22mW), l’autre partie étant constituée des émissions hors bande qui ont, malgré le transfert de puissance sélectif, été amplifiés. On peut définir le rendement du combineur de puissance en omettant les pertes dues aux commutations et en calculant le rapport entre la puissance utile délivrée à la charge et la puissance totale délivrée à celle-ci. Dans ces conditions, le combineur de puissance a un rendement proche de 65%.

L’utilisation d’un filtre numérique ne change pas la puissance utile reçue mais diminue l’amplification des émissions hors bande augmentant le rendement à 84%(en utilisant le FIR1). Il faut remarquer que, dans ce cas, la demi-structure ne fonctionne pas uniquement en

mode commun mais également en mode différentiel, les tensions appliquées à l'entrée des PA étant déphasées les unes par rapport aux autres. Il existe donc, à chaque instant, des transistors complémentaires qui conduisent, autorisant le passage d'un courant supplémentaire d'une voie à l'autre et augmentant la consommation globale du combineur (230mW consommé au lieu de 200mW sans FIR).

L'introduction d'un filtre passe-bande au niveau des deux voies de sortie permet également de réduire la puissance générée en dehors de la bande et d'augmenter par la même occasion le rendement. Dans ces conditions, sans FIR, le rendement augmente à 90% pour un LC série avec un facteur de qualité de 2. La consommation globale est alors de 185mA.

En utilisant un filtre passe-bande en sortie du combineur et le filtrage numérique (FIR1), le rendement atteint 98% pour une consommation totale de 225mA.

En incluant les pertes de commutation dans les étages d'inverseurs CMOS, le rendement global du système défini comme étant le rapport entre puissance utile et puissance consommée est d'environ 10%.

4. Circuits ROSA en technologie ST IPD (Integrated Passive Device)

4.1. Layouts des IPD

La partie passive constituée du modèle de ligne de transmission (une inductance en série et une capacité en parallèle) a été implémentée sur une technologie qui offre un haut facteur de qualité développée par ST Microelectronics. Une capacité de liaison par voie a également été introduite. Chaque inductance a été réalisée par deux demi-selfs de même valeur mais dont les enroulements sont de sens opposés afin de minimiser le flux magnétique. L'assemblage entre les différents circuits se fera par bonding, élément qui présente une inductance d'environ 1nH/mm . En supposant une certaine longueur de bonding, l'inductance intégrée sur l'IPD présentera une valeur diminuée d'autant.

Les signaux doivent avoir le même temps de parcours, aussi toutes les lignes (50Ω) entre les entrées RF et l'inductance du modèle de ligne de transmission sont de longueurs égales, mais malheureusement dissymétriques. Une simulation post-layout (PLS) a permis de redimensionner la valeur des composants de l'IPD. Une variation globale des valeurs de composants due au process change évidemment la fréquence d'accord du modèle de la ligne. Au niveau du combineur de puissance, nous pourrions quand même effectuer des mesures, la fréquence d'accord étant dictée par la fréquence d'horloge du circuit Silicium. En modifiant cette fréquence, nous pourrions ainsi étudier le fonctionnement du système, sur une autre bande de fréquence que l'UMTS, malgré ces variations. Nous avons par contre supposé qu'il n'y a aucun désappariement entre composants sur l'IPD (toutes les inductances et capacités étant de géométrie et de valeur identiques).

Deux versions de l'IPD ont été réalisées, une uniquement composée des éléments permettant la modélisation des lignes de transmission et une autre avec un filtre passe-bande LC série en sortie de chacune des voies et qui permet d'éliminer davantage les composantes hors bande du signal. Ce filtre présente un coefficient de qualité de 2 à 1.95GHz. La Figure 92 présente le layout des deux IPD.

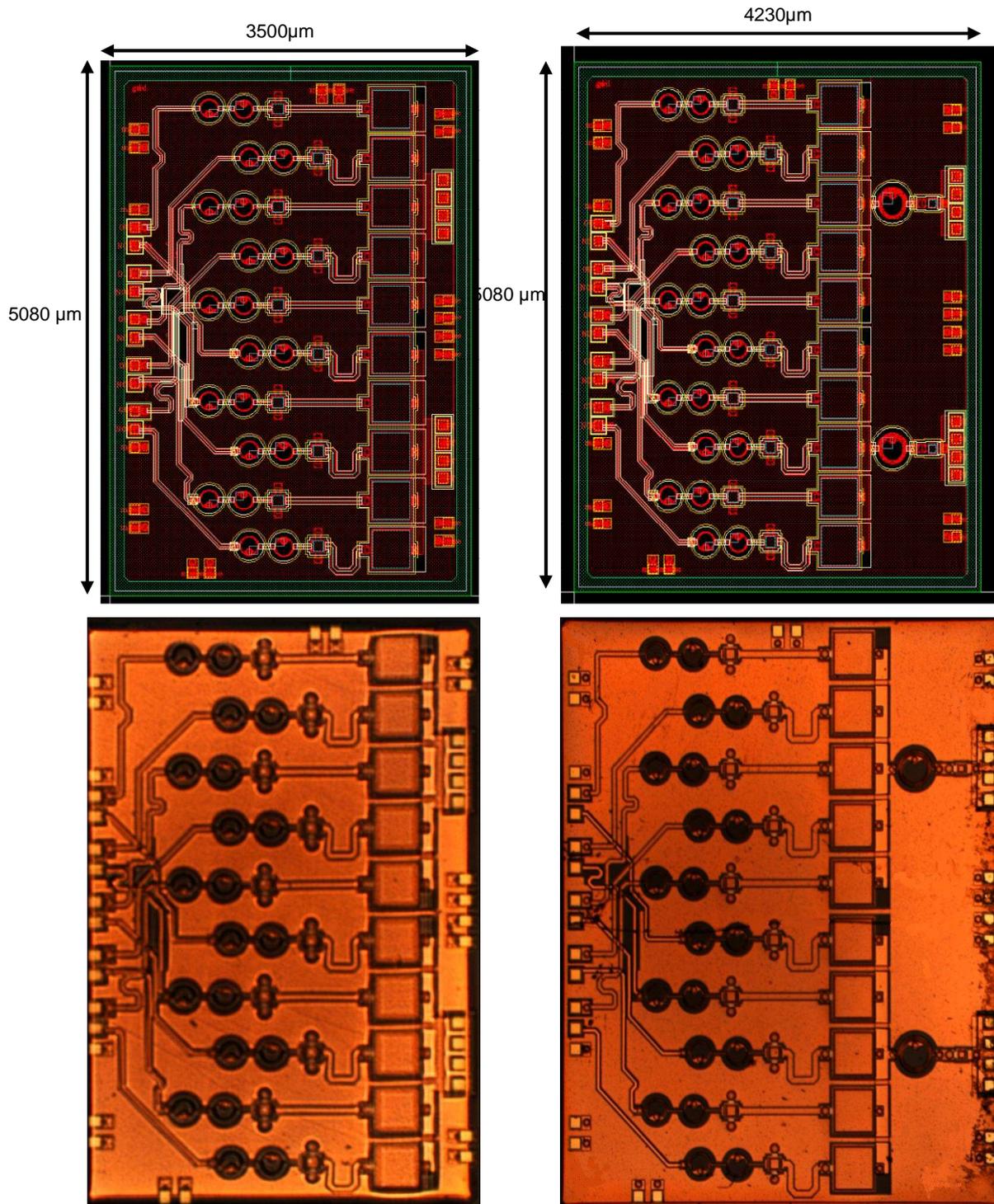


Figure 92 : Layouts et photos des deux IPD. A gauche, la version "classique", à droite avec un LC série sur chacune des voies de sortie

4.2. Cartes de tests

Afin de tester la fonctionnalité des différents circuits, plusieurs cartes de tests ont été réalisées (Figure 93). Celles-ci permettent de calibrer l'analyseur de réseaux, le PCB en circuit ouvert servira à accueillir le circuit IPD pour mesurer les paramètres S ou l'impédance

d'entrée et ainsi vérifier la concordance avec les simulations. Ces cartes ont été réalisées sur un substrat Rogers dont la permittivité est précisément contrôlée (ϵ_r compris entre 3.34 et 3.39).

Nous avons décidé de mesurer le coefficient de transmission de deux voies prises au hasard. Celles-ci sont idéalement identiques.

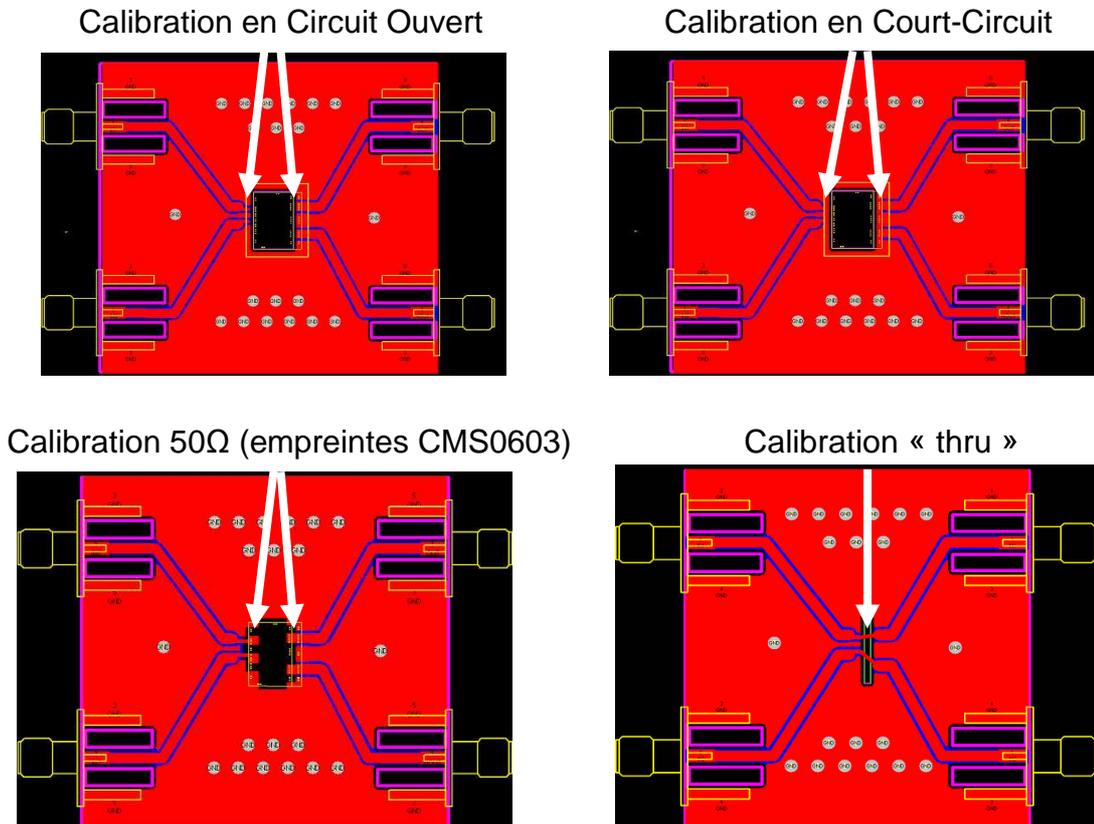


Figure 93 : Les quatre PCBs servant à calibrer l'analyseur de réseau

Les trois cartes de la Figure 93 permettent de calibrer l'analyseur de réseau et de présenter le plan de référence le plus proche possible du circuit IPD (« deembedding »). Ceci est effectué afin de prendre en compte toutes les capacités et inductances parasites présentées par la connectique et le circuit imprimé. Les IPD conçus sont prévus pour fonctionner avec une impédance de source très faible, idéalement nulle, mais l'analyseur de réseau présente une impédance de 50Ω. Aussi, les simulations permettant de confronter théorie et expérimentation ont été effectuées en supposant cette configuration. Les courbes obtenues sont par conséquent une image du comportement du circuit sous des conditions d'utilisation qui ne sont pas celles prévues initialement. Cependant, si les simulations et les expérimentations concordent, nous serons en mesure d'affirmer le bon fonctionnement du circuit dans notre application avec le circuit Silicium.

4.3. Résultats de mesures

Les premiers résultats obtenus sur les mesures du S21 de chaque IPD ne correspondent pas avec ceux espérés. Ceci peut s'expliquer par différents phénomènes : en premier lieu, il convient de contester le modèle de bonding utilisé (voir Figure 94). L'inductance de celui-ci est supposée être de 1nH, sa résistance série de 1Ω mais la longueur ainsi que la géométrie du fil utilisé sont difficilement contrôlables et induisent nécessairement une déviation des valeurs utilisées en simulation.

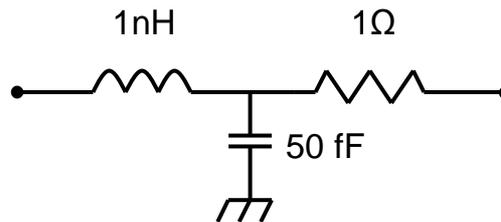


Figure 94 : Modèle de bonding utilisé en simulation

Un phénomène a été ignoré dans les simulations. Le routage asymétrique entre les différentes voies peut expliquer le fait que la réponse n'est pas identique sur les deux voies mesurées. De plus, le « croisement » des lignes introduit également des capacités parasites qui dégradent cette réponse. Afin de prendre en compte ces différents éléments qui ne sont pas modélisés dans un simulateur classique comme Eldo, nous avons simulé une discontinuité de ligne grâce à Momentum RF afin d'en extraire un tableau de paramètres S que nous réintégrons dans une simulation petit signal. Les capacités interlignes ont également été estimées. Enfin, il apparaît que la valeur d'inductance du bonding est plutôt de 1.2nH et celle de la résistance série de 3Ω. Les résultats sont présentés à la Figure 95.

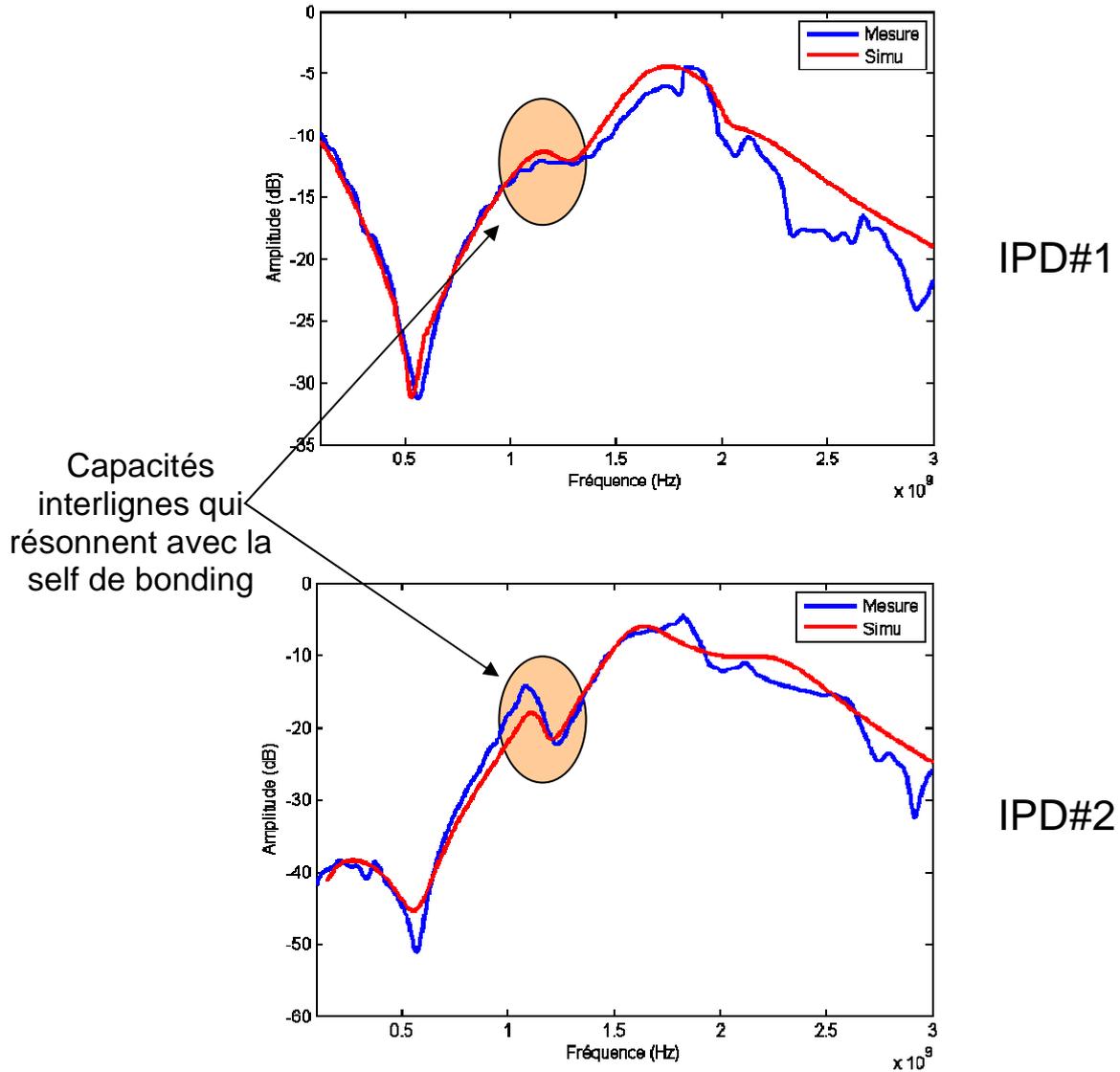


Figure 95 : S_{21} des deux circuits IPD. En haut, la version « classique » du circuit, en bas, avec le filtre passe-bande LC série intégré

Un autre phénomène qui n'a pas été pris en compte dans notre étude théorique est l'interaction entre les différents éléments inductifs présents dans l'environnement des circuits (inductances intégrées et inductances de bonding). En effet, le couplage magnétique peut être une source de dégradation des performances s'il n'est pas maîtrisé. Celui-ci entraîne une modification des valeurs des inductances utilisées et dégrade ainsi la réponse en transmission attendue. A la Figure 96 est présentée l'effet de l'asymétrie des deux voies sur le même circuit IPD. La différence provient notamment du routage différent au sein du circuit et de la présence d'une inductance série de plus forte valeur (+1nH) dans le chemin du signal, sans doute à cause du couplage magnétique entre bondings.

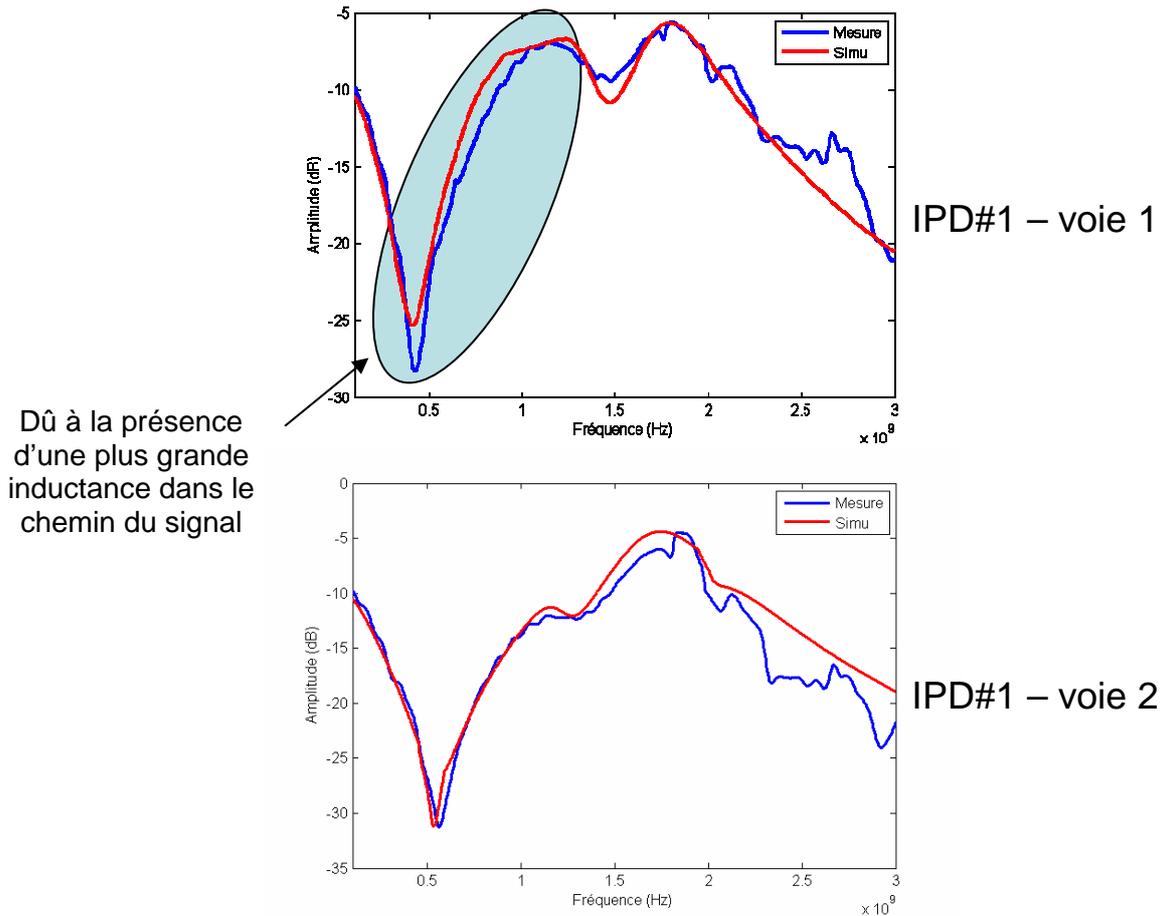


Figure 96 : S_{21} des deux voies du circuit IPD sans filtre LC série

Les différences entre les voies ainsi que la présence des capacités parasites entre les lignes vont détériorer la réponse fréquentielle totale des circuits. Au niveau de la simulation, il devient très difficile de la quantifier proprement mais nous pouvons d'ores et déjà affirmer que la bande passante des IPD sera centrée autour d'une fréquence plus basse que celle initialement prévue (1.95GHz). Ainsi les solutions pour remédier à ces différences consistent à assurer un routage symétrique au détriment de la surface du circuit passif ou à penser à d'autres moyens d'assemblage des deux circuits silicium et IPD, notamment par l'utilisation des techniques de flip-chip.

5. Circuit ROCCO en technologie Silicium bulk ST CMOS065

5.1. Structure du circuit - Layout

La partie implémentée en Silicium comprend l'architecture de combineur de puissance sans les passifs, la ligne de retard numérique, l'arbre d'horloge et la logique nécessaire à la configuration des filtres et des signaux d'entrée qui peuvent provenir de l'extérieur ou générés en interne (présence d'un BIST). La Figure 97 présente les différentes parties du circuit intégré.

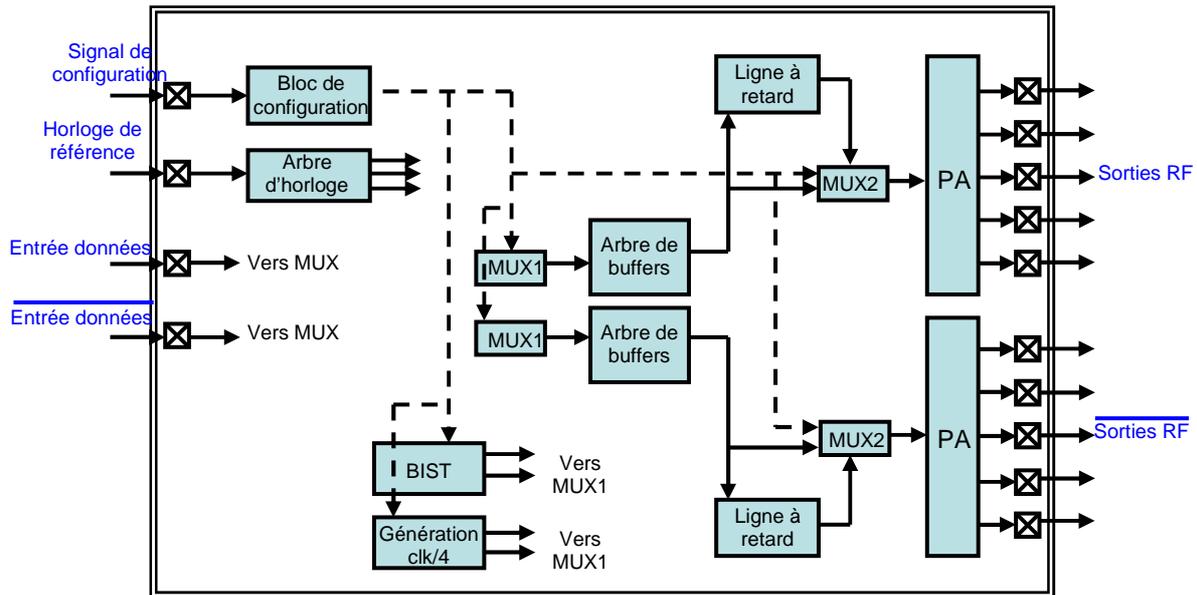


Figure 97 : Structure du circuit intégré

Les différents signaux d'entrée sont dirigés vers un premier étage de multiplexeur (MUX1) qui, en fonction de l'entrée de configuration, laisse transiter un des signaux vers l'arbre de buffers. Celui-ci oriente le signal vers la ligne à retard et un deuxième étage de multiplexage (MUX2) dont la sortie attaque le combineur de puissance. Les entrées des différentes chaînes de buffers peuvent également être court-circuitées afin d'évaluer la fonctionnalité et la consommation de chacune d'entre elles. Les multiplexeurs (4 vers 1) sont réalisés par des portes de transmission complémentaires. Le signal (statique) qui les contrôle permet de faire transiter un des 4 signaux de son entrée vers sa sortie. Le bloc MUX2 comprend un multiplexeur 4 vers 1 à chaque entrée des 10 PA commutés, permettant le choix d'une recombinaison simple ou de l'un des 3 filtres numériques implémentés. La Figure 98 présente un multiplexeur 2 vers 1. La topologie de celui-ci peut être étendu à un nombre d'entrées indéfini. Les signaux S1 et S2 représentent les signaux de contrôle, la combinaison

{1, 1} est interdite. Comme les portes de transmission sont réalisées avec des transistors MOS complémentaires, il est nécessaire de générer le complémentaire des signaux de contrôle, représentés sur la Figure 98.

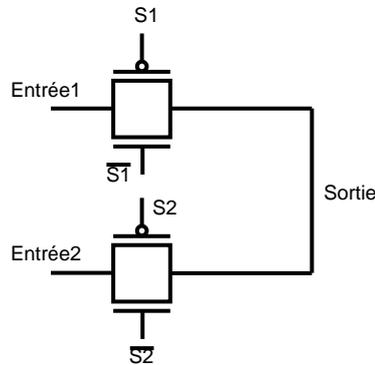


Figure 98 : Multiplexeur 2 vers 1

L'horloge interne du circuit est générée à partir d'une horloge sinusoïdale extérieure. Celle-ci est mise en forme par l'intermédiaire d'inverseurs CMOS puis distribuée de manière égale à travers le circuit grâce à un arbre d'horloge. Chaque branche de cet arbre a exactement la même longueur, assurant un délai identique sur chacune des voies, et la même charge, des dummies ayant été introduits à cet effet.

Ensuite, le bloc de configuration sert à distribuer les signaux de commande dans le circuit pour le faire fonctionner selon un état précis. Leur introduction dans le circuit se fait en série par l'intermédiaire d'un module USB et cela permet ainsi de contrôler par ordinateur la configuration du circuit. Un pad servant à rentrer l'horloge de configuration (basse fréquence) ainsi qu'un pad de configuration RESET ont également été implémentés.

Ce bloc configure l'activation des dix amplificateurs commutés en sortie, le choix d'un signal d'entrée parmi quatre (voir paragraphe suivant) et enfin le choix d'un filtre numérique parmi quatre (les trois filtres numériques FIR du chapitre précédent ainsi qu'une recombinaison simple sans filtre). En fonction des horloges nécessaires, celles-ci sont également activées ou désactivées.

Les signaux d'entrée pouvant être appliqués au combineur de puissance proviennent soit d'une entrée extérieure, soit de l'intérieur du circuit. Un système de génération d'une horloge divisée par 4 par rapport à l'horloge maître utilisant un diviseur asynchrone ainsi qu'un BIST (Built-In Self Test) ont été réalisés. Le BIST est un ensemble de registres à décalage avec un réseau de bouclage utilisant des portes logiques OU exclusif qui permet la génération d'un signal pseudo-aléatoire dont le contenu spectral est assimilable à celui d'un bruit blanc, c'est-à-dire dont la teneur spectrale est de même amplitude quelque soit la fréquence. Cependant, la

mise en forme de ce signal par une fonction de type porte va modifier le spectre du signal en le multipliant par un sinus cardinal. La Figure 99 présente l'architecture du BIST qui a été réalisé. Ce signal va permettre d'évaluer la réponse des filtres numériques et la présence effective des notchs dans la fonction de transfert du combineur de puissance.

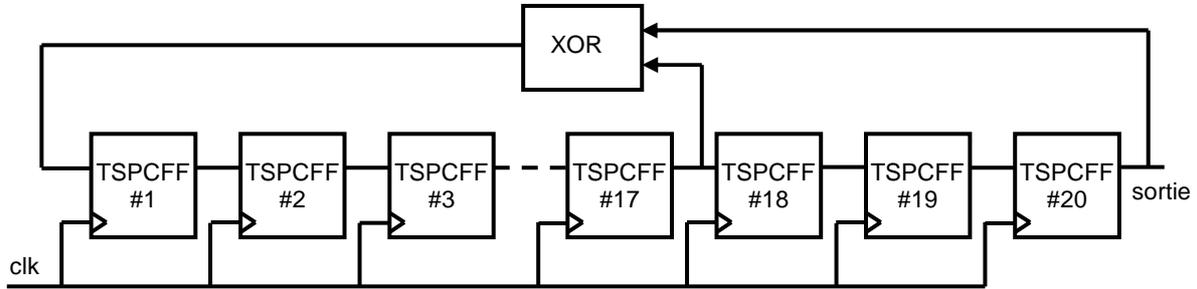


Figure 99 : BIST à 20 registres à décalage

Comme nous l'avons vu précédemment, la ligne à retard numérique est réalisée grâce un registre à décalage. Le retard maximal utilisé par les filtres numériques est de 56 coups d'horloges à $4F_c$, correspond à l'ordre maximal des filtres définis au chapitre précédent. Deux registres à décalage (un par voie) constitués de 56 TSPCFF chacun ont donc été réalisés. La prise d'information s'effectue, en fonction des différents filtres, au niveau des bascules 8, 14, 16, 24, 28, 32, 42, 48 et 56. Afin que les signaux prélevés aient la même forme d'onde au niveau de l'entrée des amplificateurs commutés et ce, quelque soit l'endroit d'où ils proviennent, des dummies ont été ajoutés dans le but de présenter la même charge au niveau de ces bascules. La Figure 100 présente la ligne à retard numérique avec l'égalisation des charges au niveau des points de prélèvement de l'information.

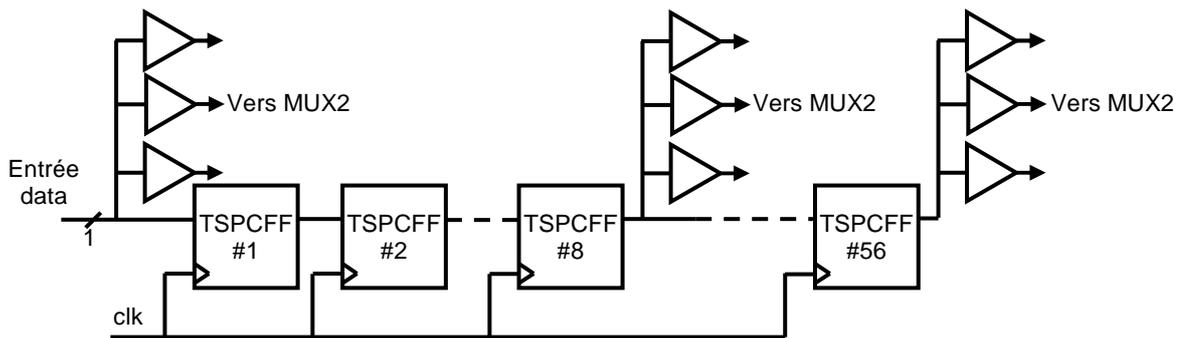
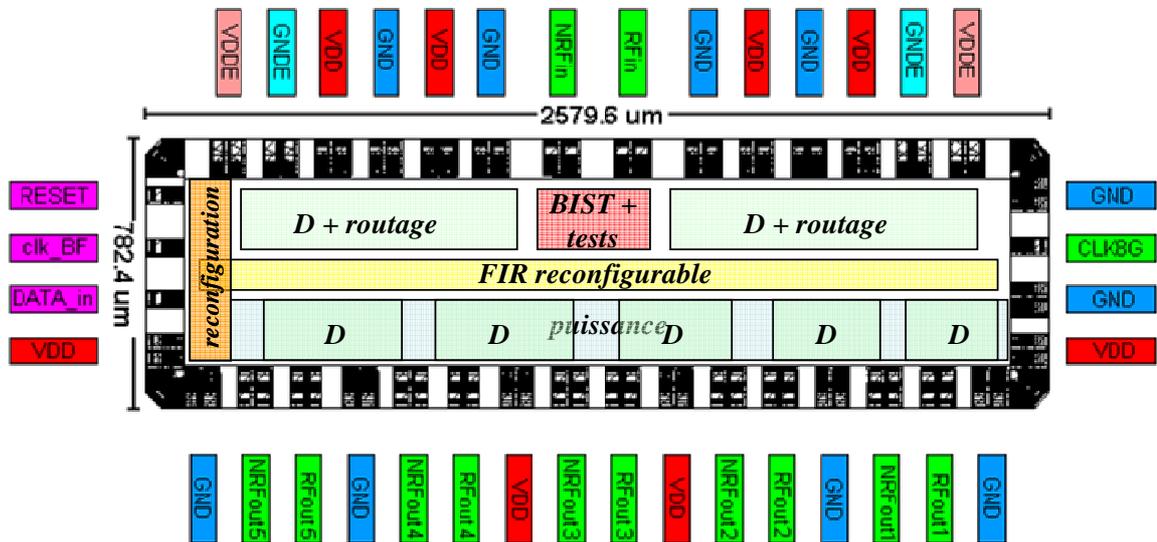


Figure 100 : Ligne à retard numérique

Dans un dernier temps, afin de minimiser l'amplitude des appels de courants sur l'alimentation (dus aux commutations), les espaces libres du circuit ont été remplis par des capacités de découplage réalisées par des transistors NMOS dont le drain et la source ont été connectés. La capacité totale de découplage interne atteint une valeur d'environ 1.5nF, ce qui

est suffisant pour assurer des variations d'amplitude sur l'alimentation inférieures à 40mV à 7.8GHz.

La Figure 101 présente une vue schématique, la vue layout ainsi qu'une photographie du circuit.



D = découplage

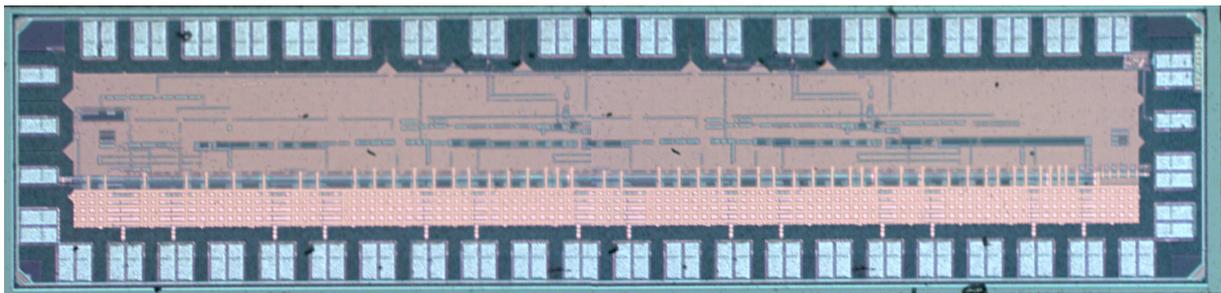
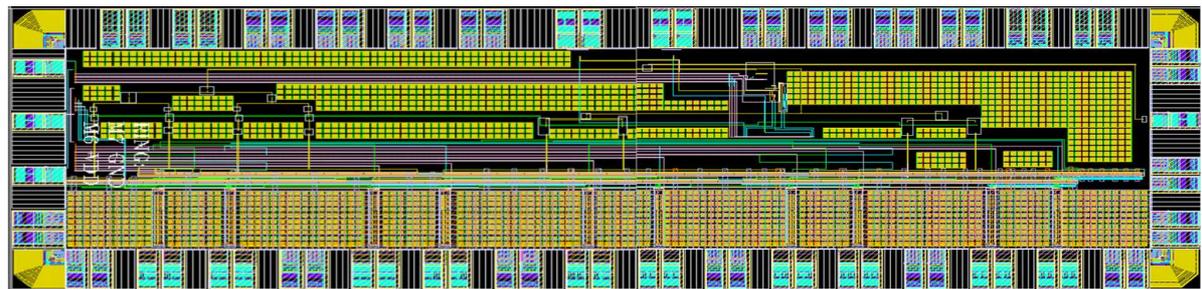


Figure 101 : Schéma, layout et photographie du circuit réalisé

5.2. Carte de test - Substrat

La carte réalisée pour accueillir le circuit Silicium permet de tester la fonctionnalité des différentes parties du circuit (Figure 102). Un substrat accueille celui-ci (assemblé par bonding) qui sera lui-même soudé sur une carte fille. Toutes les lignes du PCB sont adaptées 50Ω. La fonctionnalité de chacune des sorties, du filtrage numérique (déphasage des

différentes voies) et de l'acquisition (entrées RF extérieures) ou la génération (BIST) des différents signaux sera testée.

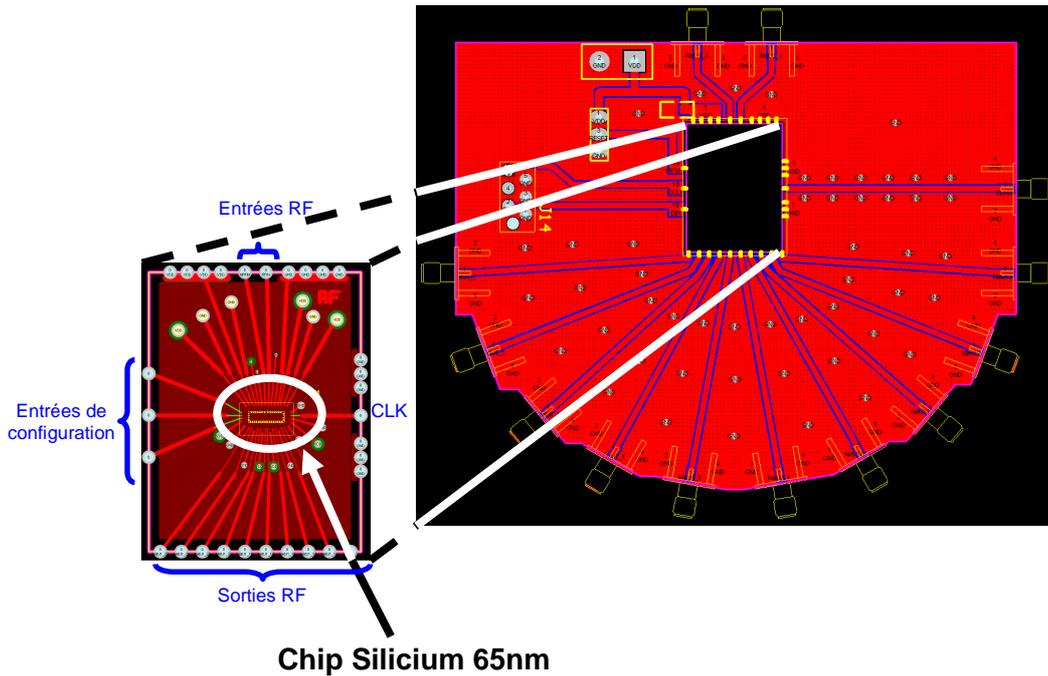


Figure 102 : Substrat et carte fille accueillant le circuit ROCCO

5.3. Résultats de mesure

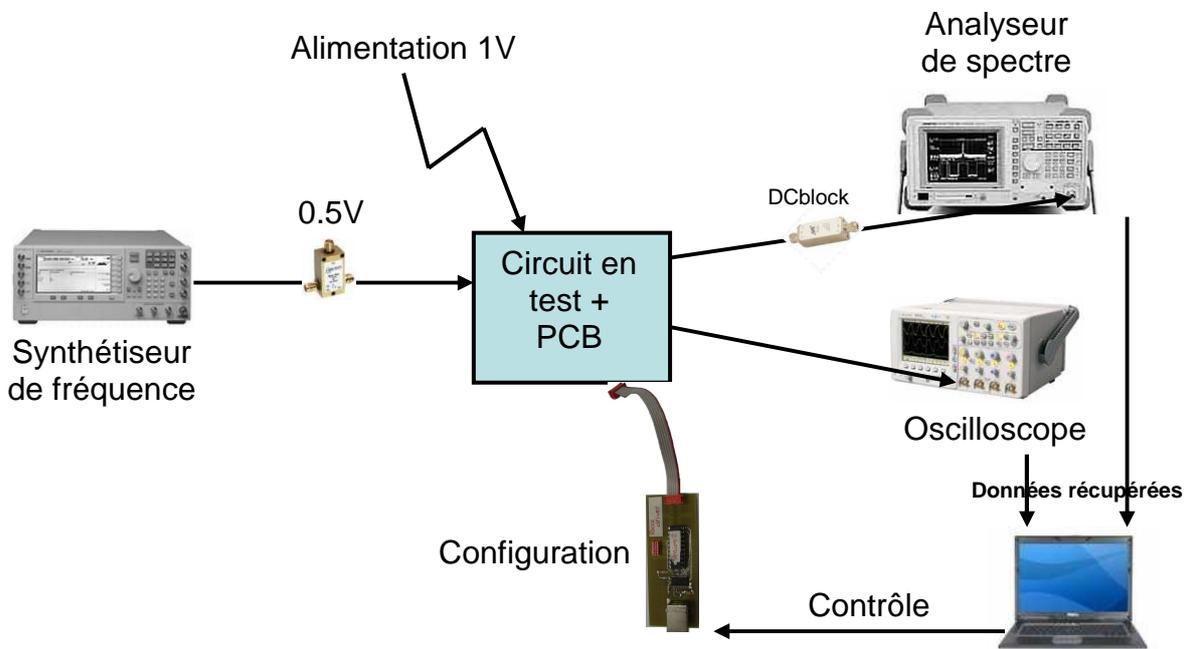


Figure 103 : Protocole de mesure mis en oeuvre

La Figure 103 montre le protocole de mesure pour le circuit Silicium. La Figure 104 présente les signaux récupérés en sortie du circuit dans le cas de la synthèse d'une horloge

divisée par quatre à l'aide du compteur asynchrone. La Figure 105 met en évidence le fonctionnement des lignes à retard dans le cas d'un signal généré par le BIST. Ici, c'est une configuration du filtre numérique qui introduit un retard de huit périodes d'horloge qui est représenté.

Les mesures montrent un fonctionnement total de toutes les fonctions du circuit jusqu'à 4.5 GHz au lieu des 7.8GHz escomptés. A partir de cette fréquence, il semblerait que la génération des signaux en interne ne fonctionne plus. Ceci peut s'expliquer par le fait que les portes NAND, utilisées dans le bouclage au niveau du BIST (OU exclusif) ainsi que dans l'inversion des sorties des bascules dans le compteur asynchrone, ne réagissent pas correctement à partir de 4.5GHz. Les simulations montrent cependant un fonctionnement correct jusqu'à 7.8GHz, mais l'extraction de parasites sur le layout d'une bascule, effectuée après la réalisation des circuits, met en évidence la dégradation des temps de réponse de celles-ci, sans toutefois devenir critique. Le fonctionnement des bascules est par ailleurs vérifié dans le circuit où l'entrelacement des données des voies I et Q s'effectue correctement [22]. L'extraction de parasites sur les portes logiques montre en revanche qu'à partir d'environ 5GHz, celles-ci ne remplissent plus leur fonction.

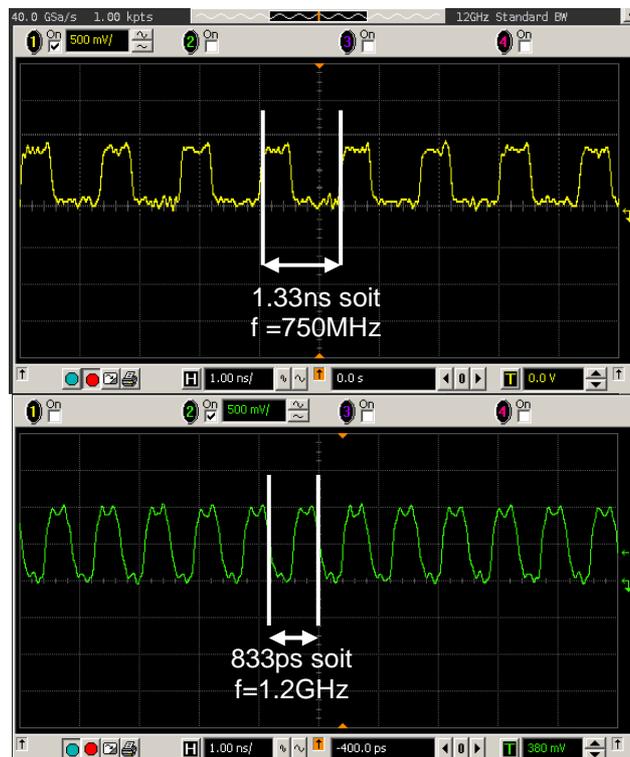


Figure 104 : Génération interne d'une horloge divisée par 4 à partir d'une horloge de 3GHz (haut) et d'une horloge à 4.8GHz (bas)

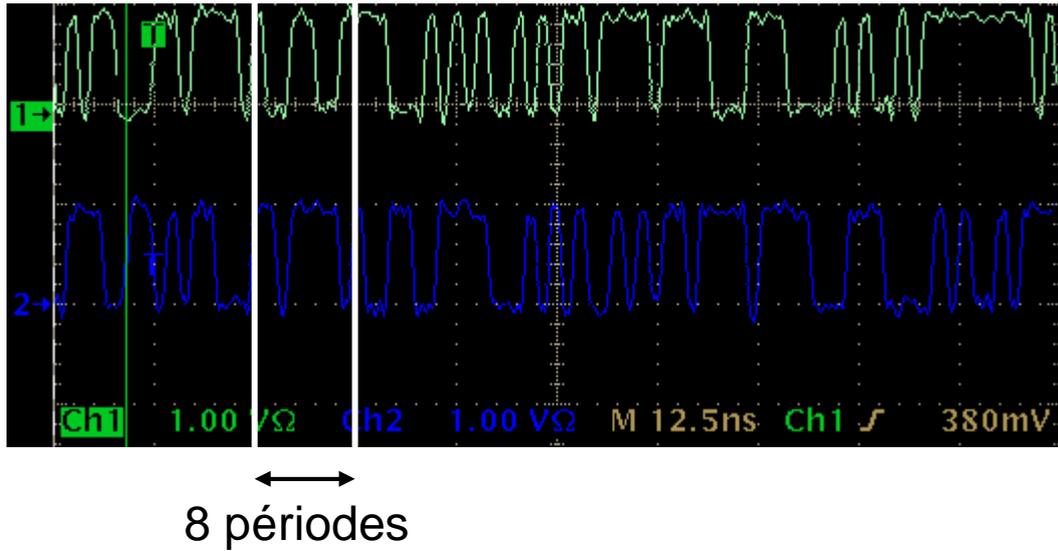


Figure 105 : Signaux générés par le BIST

Le spectre du signal issu du BIST est représenté à la Figure 106. Dans ce cas, la fréquence de l'horloge est de 500MHz et on remarque la multiplication par le sinus cardinal dû à la mise en forme du signal numérique par une fonction porte. On peut récupérer le spectre du signal numérique issu du BIST en utilisant la fonction de sinus cardinal comme une fonction correctrice. On supposera par la suite que cette correction est systématiquement appliquée à tous les signaux dont on étudie le contenu spectral. On remarque sur cette figure la présence d'une composante spectrale aux multiples de la fréquence d'échantillonnage. Ceci est dû à un couplage entre l'entrée et la sortie du circuit. On peut alors quasiment assimiler, dans la bande utile, le bruit généré par le BIST à un bruit blanc.

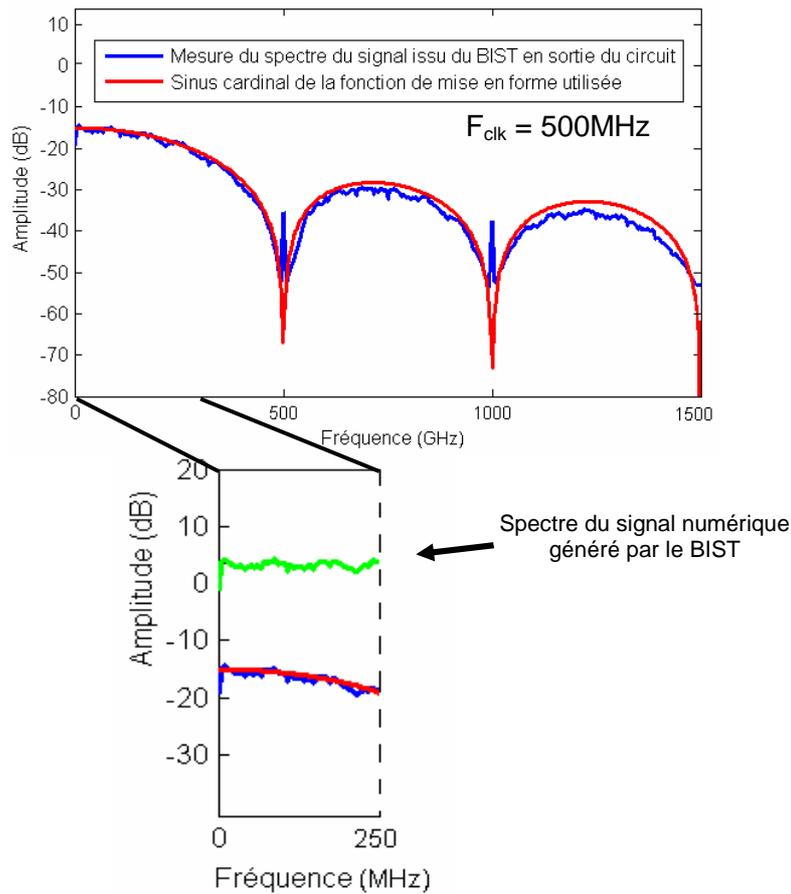


Figure 106 : Spectres des signaux générés par le BIST, et application de la correction par le sinus cardinal

Sur la Figure 107 est représentée la consommation du circuit en fonction de la fréquence dans différentes configurations. Le signal utile est généré par le BIST. Dans un premier temps, une voie chargée par une impédance 50 Ohms est sélectionnée parmi les dix. Une augmentation de la consommation d'environ 7mA est constatée. Ensuite, dans le cas où aucune sortie n'est active, la valeur de consommation est représentative de la consommation du cœur du circuit. Le mode de fonctionnement du circuit est soit en mode recombinaison pure (il n'y a pas de décalage temporel entre les voies) soit en mode FIR. Le passage par les chaînes de retard augmente fortement la consommation du circuit (consommation environ égale à 8mA/GHz contre 2mA/GHz dans le premier cas). La tension d'alimentation est de 0.992V.

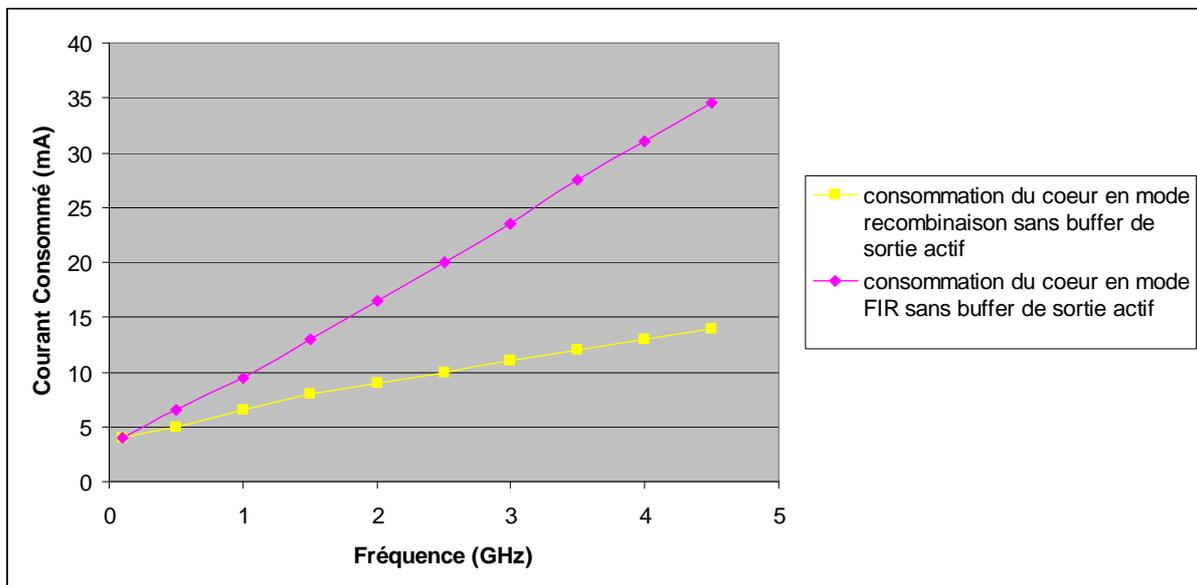
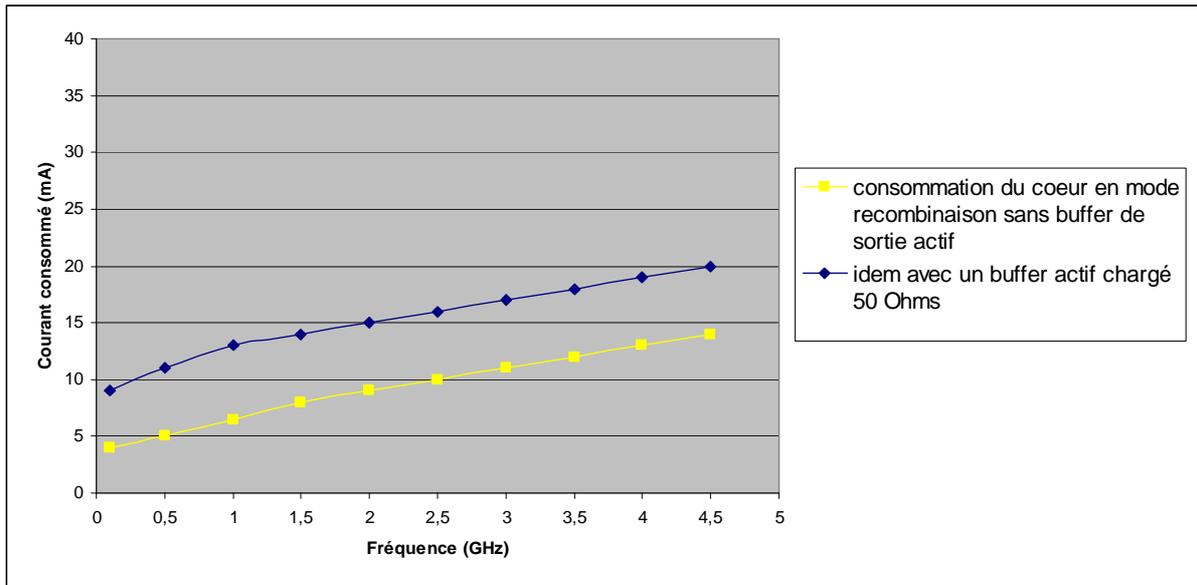


Figure 107 : Consommation du chip silicium dans différentes configurations pour un signal issu du BIST ($V_{\text{alim}} = 0.992\text{V}$)

6. Mesures sur l'assemblage des circuits Silicium et IPD

6.1. Carte de test – assemblage des circuits silicium et IPD

La carte de la Figure 108 sert à assembler les circuits Silicium et IPD afin d'observer la combinaison de puissance et ainsi l'action du filtrage numérique. Les deux circuits seront bondés sur un substrat, ce dernier sera soudé sur une carte fille.

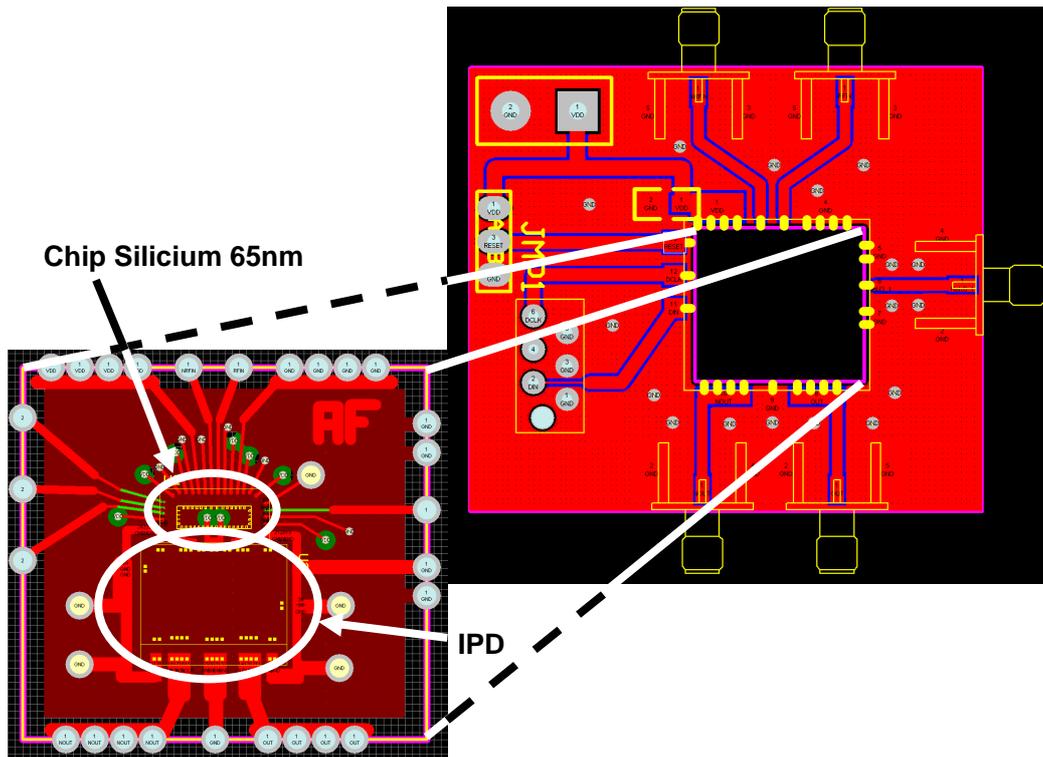


Figure 108 : Substrat et carte fille accueillant le système complet de combineur de puissance comprenant le circuit Silicium et l'IPD

L'assemblage des deux circuits est présenté à la Figure 109. Les bondings vers l'alimentation et la masse ne sont pas représentés. Cet assemblage est bondé sur la carte fille de la Figure 108.

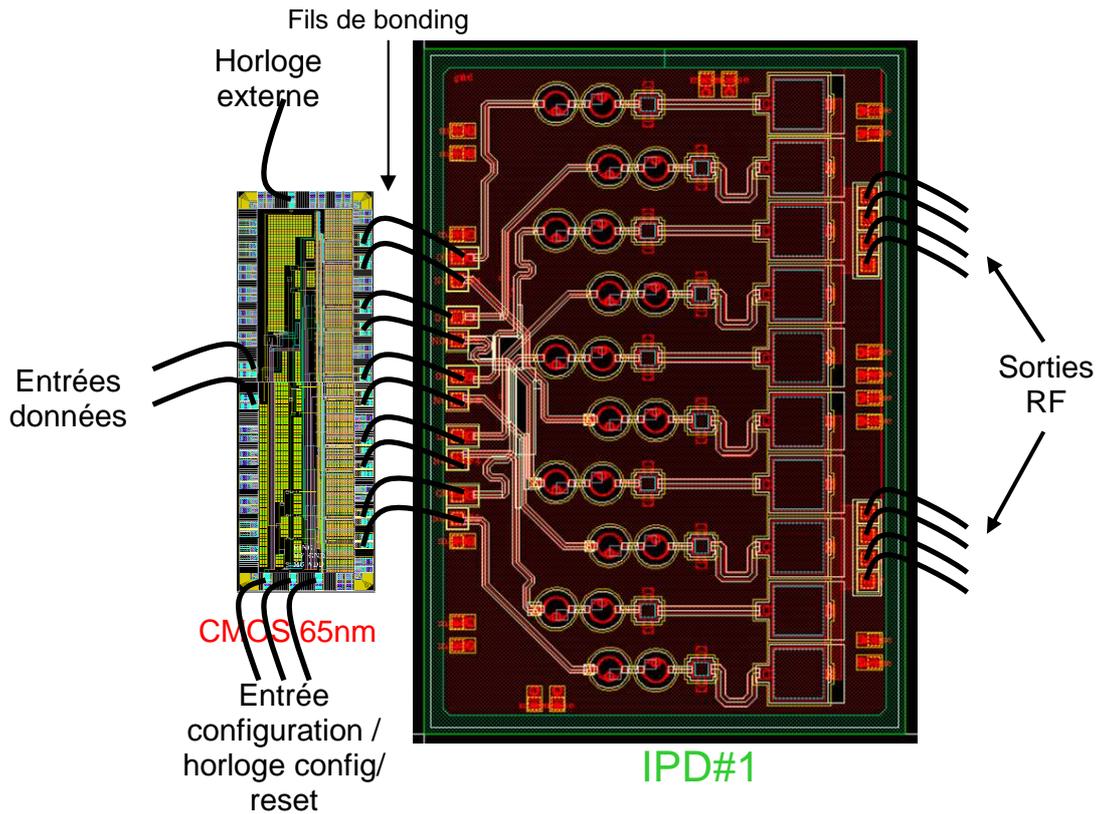


Figure 109 : Assemblage des circuits Silicium et IPD

6.2. Résultats de mesures

La première mesure effectuée sur l'assemblage complet ROCCO-IPD#1 a été de déterminer la bande passante du système. Pour ceci, l'analyse spectrale d'un signal issu du BIST à la sortie de l'IPD a été réalisée lorsque les cinq voies sont actives et que la fonction de filtrage numérique est désactivée. La Figure 110 présente ces résultats et montre ainsi que la bande passante est située aux alentours de 1.2GHz. Les simulations post-layout réalisées sur les IPD montrent en effet une asymétrie des différentes voies par l'influence de capacités parasites et de la déviation des inductances de bonding, dégradant la réponse fréquentielle. Aussi nous nous intéresserons à cette bande de fréquence dans cette partie dédiée aux résultats de mesures de l'assemblage complet des circuits silicium et passifs.

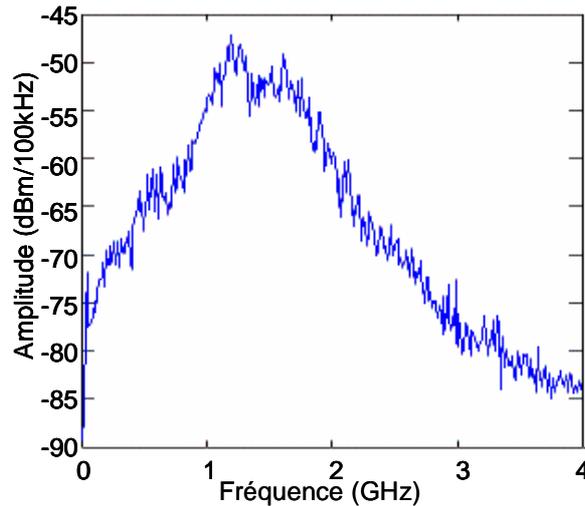


Figure 110 : Spectre du signal pseudo-aléatoire en sortie du combineur de puissance 5 voies sans filtrage numérique

La mise en fonctionnement d'un nombre variable de voies permet de mettre en évidence l'évolution du gain en puissance en fonction du nombre de voies actives. La Figure 111 représente l'évolution du gain en puissance additionnel relatif à une seule voie. Les résultats attendus et idéaux sont représentés en pointillés. Nous remarquons une bonne concordance entre les différentes courbes dans la bande passante du circuit passif. Le gain en puissance mesuré peut dépasser le gain théorique : cela signifie que l'impédance de charge de l'amplificateur de puissance commuté est plus faible que celle attendue.

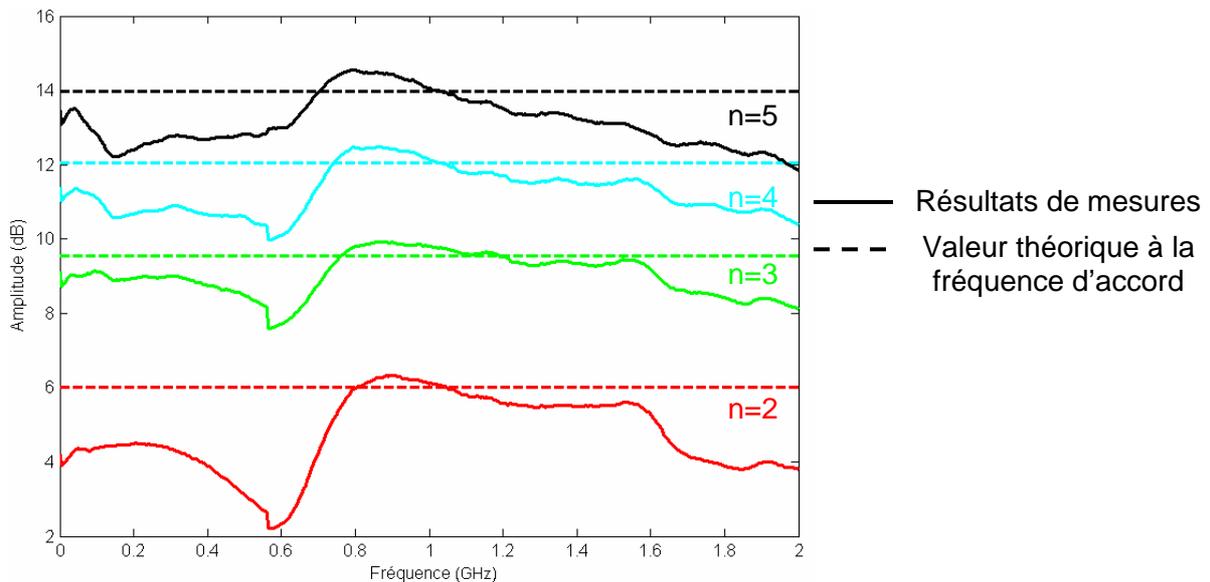


Figure 111 : Gain en puissance relatif à une seule voie en fonction du nombre de voies actives (n)

La Figure 112 présente quelques fonctions de transfert obtenues pour un signal issu du BIST. Nous avons mesuré le spectre de ce signal sur une seule voie et appliqué ce résultat comme fonction correctrice à nos mesures. Ainsi, nous pouvons visualiser proprement la fonction de transfert du filtre réalisé (de-embedding). La fréquence d'échantillonnage, le nombre de voies sélectionnées et le choix du filtre (FIR1, FIR2 et FIR3 décrits dans le chapitre précédent et rappelés ci-dessous à l'Eq. [49]) constituent les paramètres que nous avons fait varier. Enfin, ces filtres ont été conçus pour éliminer les composantes dans les bandes proches de la bande d'émission UMTS (1920-1980MHz). La Figure 113 présente la fonction de transfert d'un des filtres que nous avons réalisé à cet effet. Les fonctions de transfert du filtre sont rappelées ci-dessous :

$$\begin{aligned} H_1(z^{-1}) &= 1 + z^{-8} + z^{-16} + z^{-24} + z^{-32} \\ H_2(z^{-1}) &= 1 - z^{-14} + z^{-28} - z^{-42} + z^{-56} \\ H_3(z^{-1}) &= 1 + z^{-16} + z^{-24} + z^{-32} + z^{-48} \end{aligned} \quad \text{Eq. [49]}$$

Sur cette figure, deux fonctions de transfert sont obtenues à partir de $H_1(z)$ et $H_2(z)$ en n'utilisant que 3 des 5 coefficients possibles. Les fonctions de transfert sont alors :

$$\begin{aligned} H_{1_3coeffs}(z^{-1}) &= 1 + z^{-8} + z^{-16} \\ H_{2_3coeffs}(z^{-1}) &= 1 - z^{-14} + z^{-28} \end{aligned} \quad \text{Eq. [54]}$$

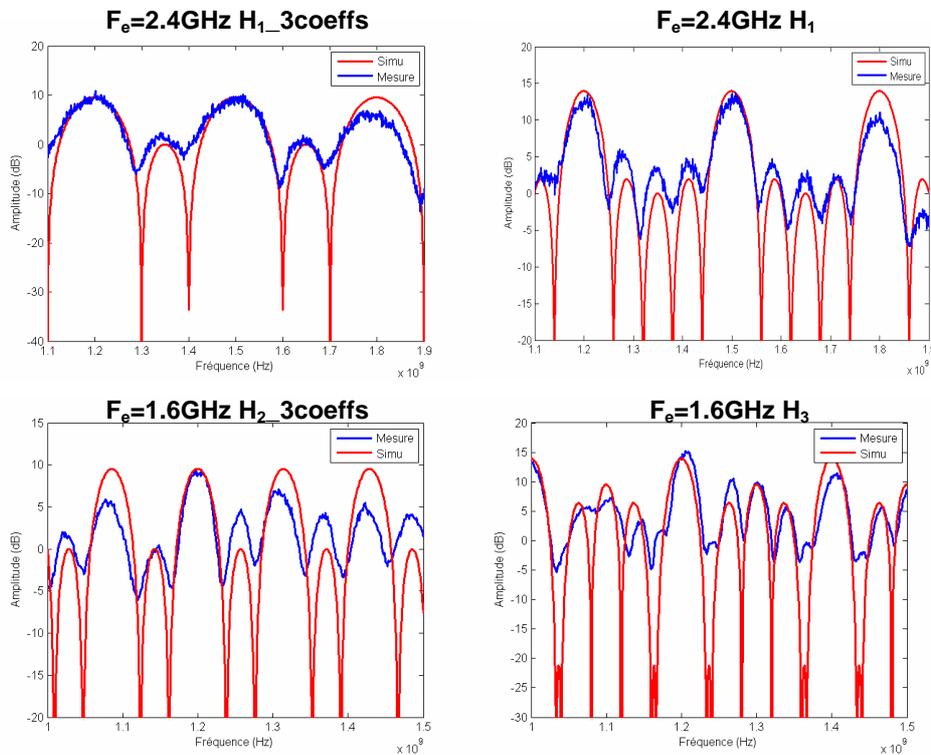


Figure 112 : Fonctions de transfert de différents filtres numériques

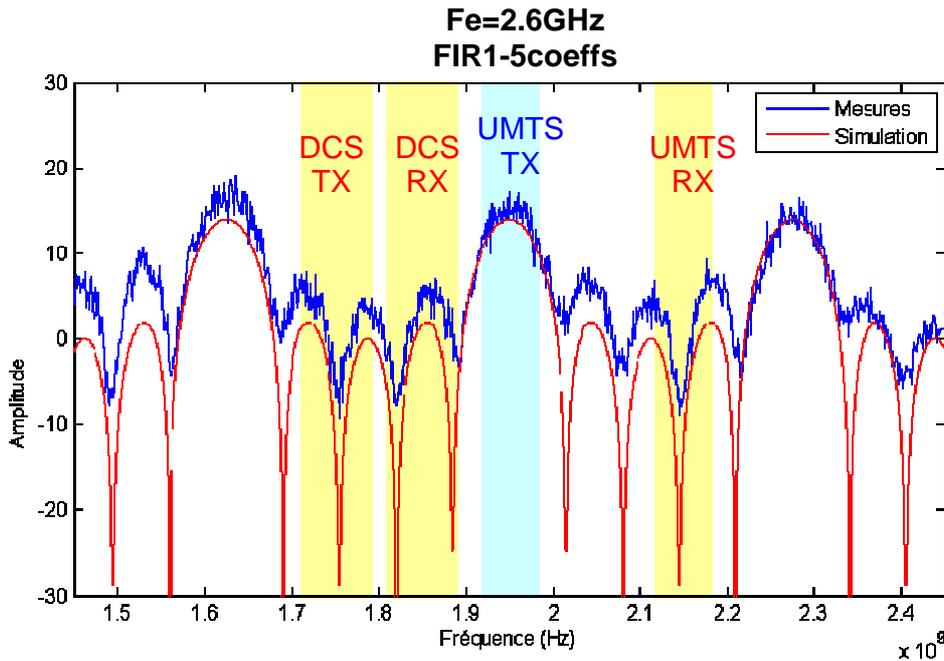


Figure 113 : Fonction de transfert du FIR H_1 prévu pour la bande UMTS TX

La Figure 114 présente la consommation de l'ensemble des deux circuits en fonction de la fréquence. A l'intérieur du circuit silicium, le « cœur » numérique a une consommation proportionnelle à la fréquence. C'est ce qui a été montré à la Figure 107 dans la partie précédente. Ici, en chargeant les amplificateurs de puissance commutés par le circuit IPD, leur consommation varie. En effet, la charge ramenée au niveau de la sortie des inverseurs CMOS dépend de la fréquence. Ce phénomène a été décrit à la Figure 84. L'impédance ramenée au niveau de la charge est maximale aux environs de 2.7GHz d'après Eq.[53] et donc la consommation est minimale à cette fréquence. On remarque ici que la fréquence à laquelle ce phénomène a lieu est plus basse car la bande passante de l'IPD est centrée sur une plus faible fréquence que prévue. On remarque également une augmentation importante du courant consommé lorsque le circuit fonctionne en mode FIR, c'est-à-dire avec l'activation des lignes à retard numérique.

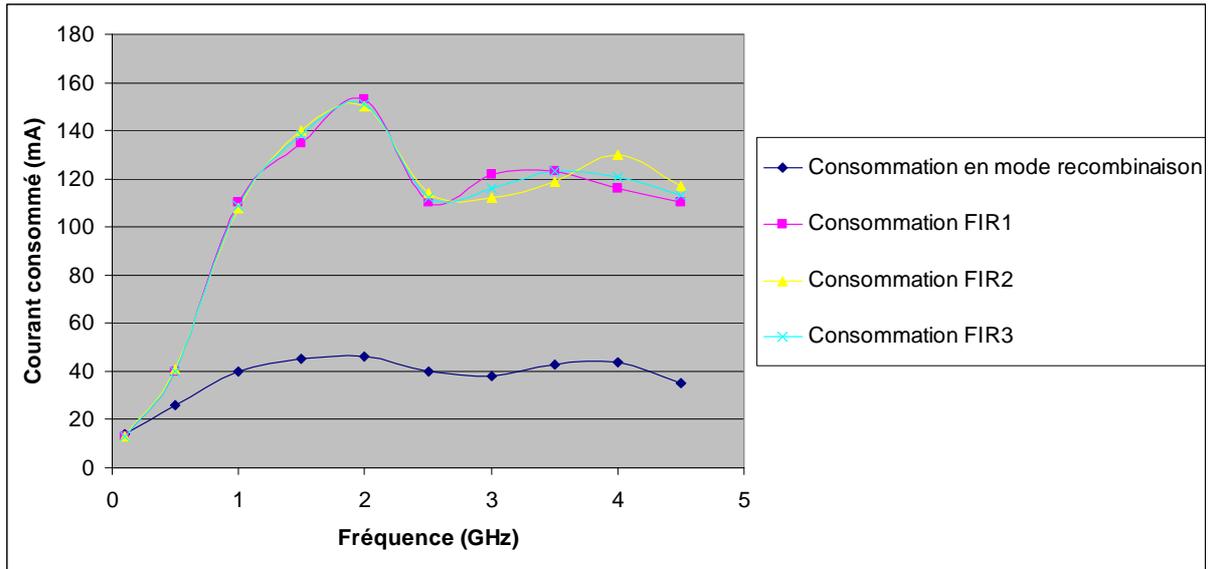


Figure 114 : Consommation de l'ensemble ROCCO et IPD en fonction de la fréquence d'horloge

7. Mesures avec un signal issu des modulateurs $\Delta\Sigma$

La finalité du combineur de puissance et du filtre numérique reconfigurable est d'être utilisé conjointement avec un modulateur $\Delta\Sigma$ générant un signal 1 bit afin de démontrer le concept sur un canal radio. La Figure 115 présente le protocole de test relatif à ce système complet.

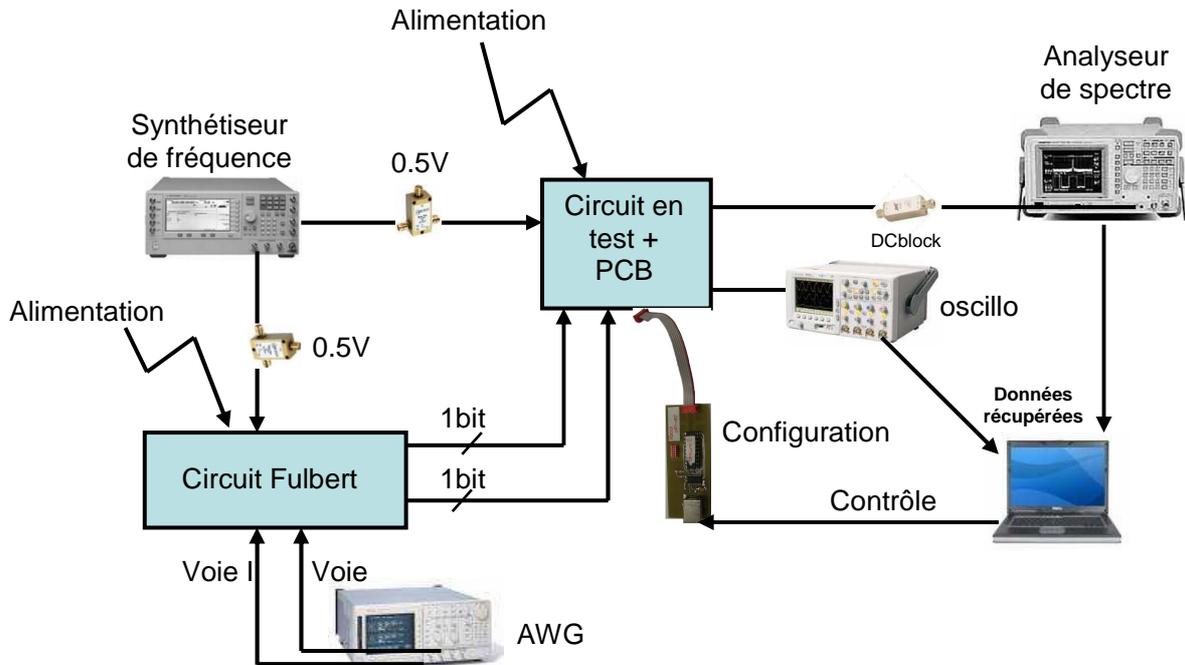


Figure 115 : Protocole de test de l'ensemble constitué du générateur de signaux numériques [22] et combineur de puissance avec filtre numérique

Un fichier Matlab contenant le signal en bande de base est chargé dans l'AWG (Arbitrary Waveform Generator). Le signal complexe est alors suréchantillonné et filtré par un FPGA avant d'être appliqué à l'entrée de FULBERT. L'horloge principale du circuit est fournie par un synthétiseur de fréquence à travers un Té de polarisation. Toutes les informations relatives au circuit FULBERT sont disponibles dans [22]. De la même manière, l'horloge principale de ROCCO est fournie par le même synthétiseur, à travers un Té de polarisation. La phase entre les deux horloges peut ainsi être ajustée. Le signal 1 bit en sortie de FULBERT attaque alors le circuit ROCCO, qui le rééchantillonne. Le signal est alors dirigé vers les amplificateurs commutés en passant ou non par les lignes à retard. Un DC block fait la liaison entre la sortie unipolaire et l'entrée 50Ω de l'analyseur de spectre.

Nous avons vu précédemment que la bande passante du circuit passif IPD est centrée sur 1.2GHz. Pour pouvoir adresser un canal à l'intérieur de cette bande passante à partir du circuit FULBERT, il faut utiliser une horloge 4 fois supérieure, soit 4.8GHz. Malheureusement, ce

circuit ne présente un fonctionnement valide que jusqu'à 4GHz. Aussi nous avons décidé d'utiliser une image du canal ce qui permet de relâcher les contraintes sur la fréquence d'horloge. Cependant, l'image du canal subit une atténuation d'environ 10dB à cause du sinus cardinal dû à la mise en forme du signal numérique. La Figure 116 illustre ce phénomène. La fréquence d'horloge utilisée est donc de 1.6GHz afin d'obtenir le fondamental à 400MHz et la première image à 1.2GHz.

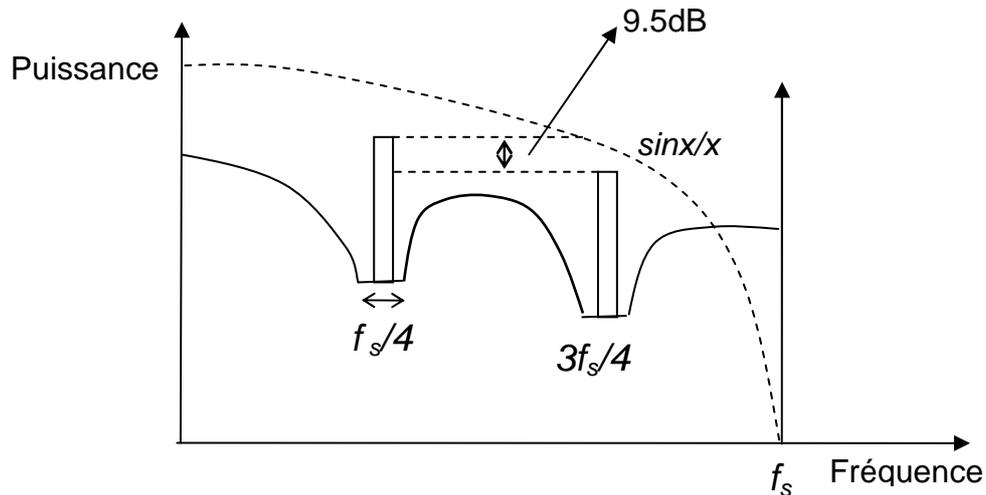


Figure 116 : Bande fondamentale et bande image

Afin de vérifier le fonctionnement correct du rééchantillonnage à l'entrée de ROCCO, nous avons mesuré les diagrammes de l'œil du signal en sortie de FULBERT et de ROCCO. Ceux-ci sont présentés à la Figure 117. On constate une nette dégradation de l'échantillonnage des signaux entre les deux circuits. En effet, l'horloge générée à l'intérieur de ROCCO est une simple mise en forme carrée d'un signal sinusoïdal par une série d'inverseurs CMOS. Ce type de génération de signal est soumis à un jitter important, ce qui peut expliquer la dégradation du signal. Cette incertitude des instants d'échantillonnage provient notamment des variations des tensions d'alimentation dues à de forts appels de courants dans les systèmes à commutation et qui modifient fortement le seuil de basculement des inverseurs qui commutent alors à des instants non désirés.

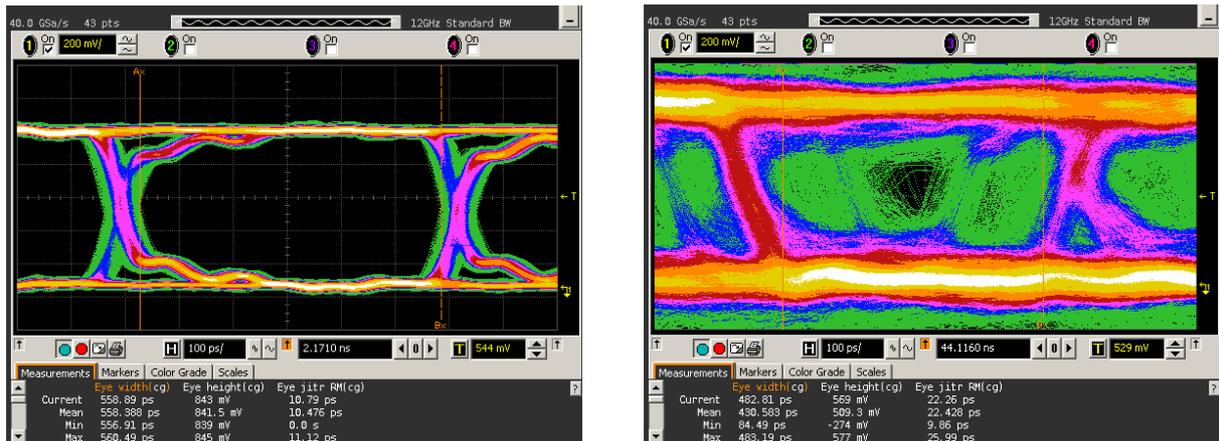


Figure 117 : Diagrammes de l'œil des signaux en sortie de FULBERT (gauche) et en sortie de ROCCO (droite) pour une horloge à 1.6GHz

Afin de pouvoir néanmoins utiliser le circuit ROCCO avec le générateur numérique FULBERT, nous avons alors décidé d'utiliser non pas la seconde image mais la sixième (voir Figure 118), permettant le fonctionnement à une cadence d'échantillonnage faible. Le jitter présent sur l'horloge à l'intérieur de ROCCO est alors, en mesure relative, très faible et les variations de la tension d'alimentation sont également diminuées, ce qui permet un fonctionnement correct des circuits. Le diagramme de l'œil de la Figure 119 représente la sortie du circuit ROCCO pour un signal 1 bit issu de FULBERT à 400MHz. Le jitter est d'environ 16ps. La fréquence d'échantillonnage choisie est de 436MHz, la sixième image se situe aux alentours de 1.2GHz.

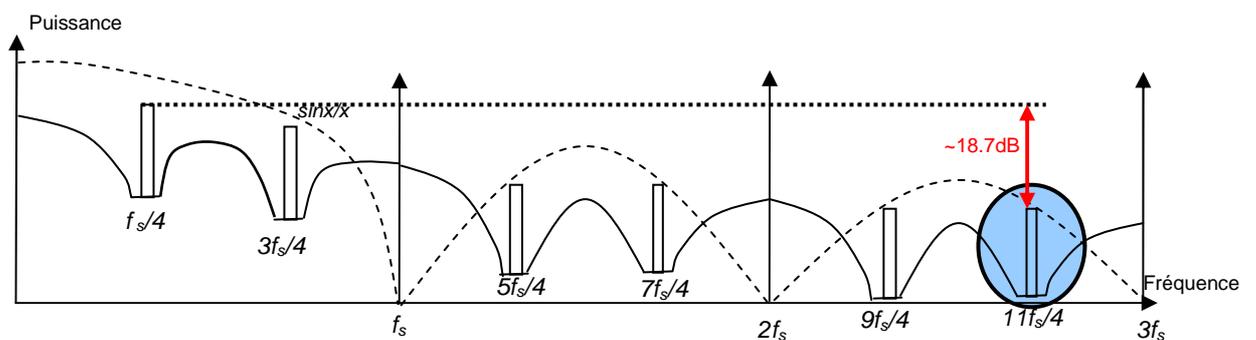


Figure 118 : Spectre du signal numérique

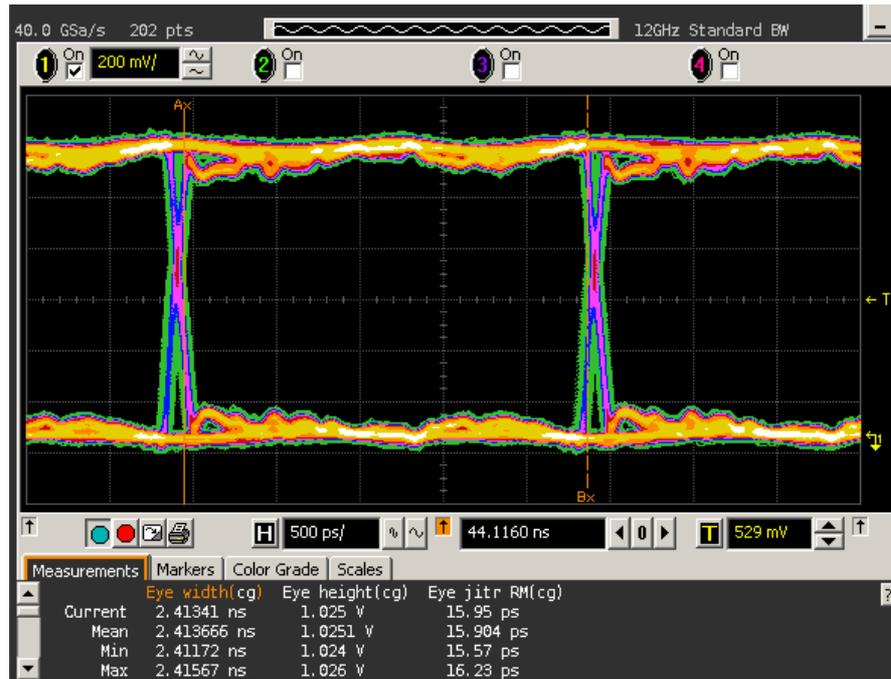


Figure 119 : Diagramme de l'oeil en sortie de ROCCO pour un signal d'entrée 1 bit provenant d'un modulateur $\Delta\Sigma$ cadencé à 400MHz

La Figure 120 présente le spectre en sortie du modulateur $\Delta\Sigma$ dont la sixième image, à 1.2GHz, utilisée par la suite est atténuée d'environ 21dB correspondant à 19dB d'atténuation par la fonction de sinus cardinal auxquels s'ajoutent environ 2dB de pertes d'insertion dans la chaîne de mesure. A l'analyseur de spectre, la mesure de puissance de la bande fondamentale dans un canal de 2.5MHz est de -6dBm, celle dans la 6^{ème} bande image est de -27dBm.

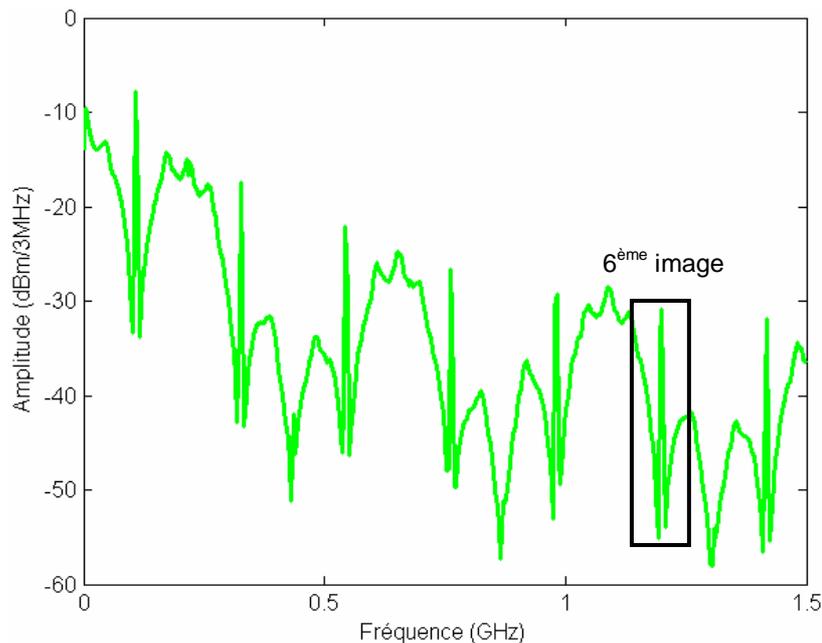


Figure 120 : Spectre du signal en sortie du modulateur $\Delta\Sigma$

Ce signal attaque le combineur de puissance. Le spectre obtenu en sortie du combineur de puissance 1 voie est présenté à la Figure 121, auquel est superposé le spectre de la Figure 120.

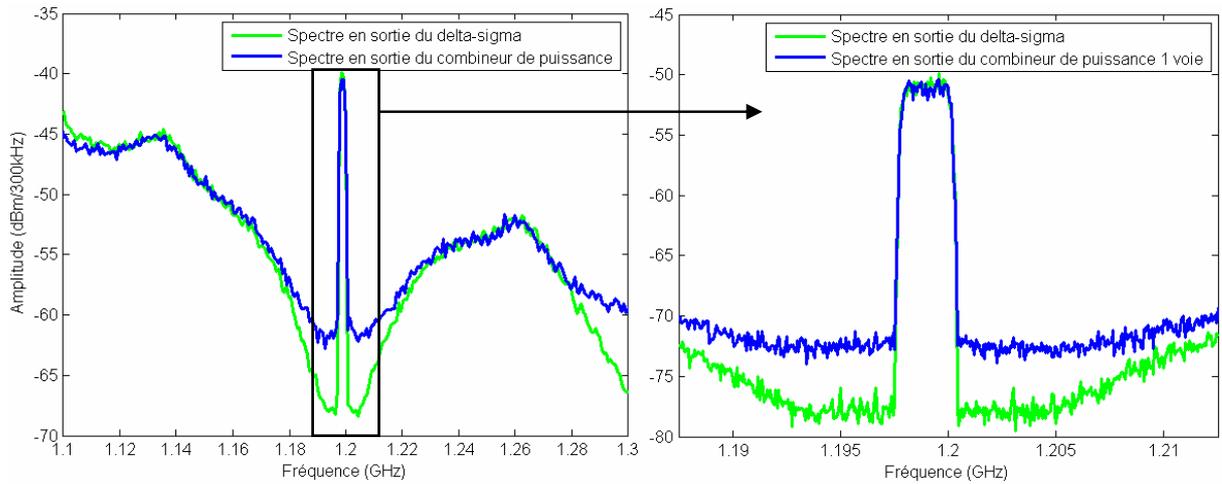


Figure 121 : Spectres en sortie de FULBERT et du combineur de puissance 1 voie

On remarque que l'on obtient en bande passante le même niveau de puissance dans les deux cas. Cependant, une remontée du niveau de bruit en sortie du combineur de puissance est à noter, vraisemblablement due à un jitter plus important sur l'horloge dans le circuit ROCCO.

L'activation des différentes voies du combineur de puissance montre sur la Figure 122 le gain en puissance obtenu dans la bande passante de l'IPD, qui vaut 14dB. La mesure de puissance pour une sinusoïde en bande fondamentale en sortie de FULBERT étant égale à 4dBm, on peut ainsi obtenir une puissance de 18dBm grâce au procédé de combinaison de puissance.

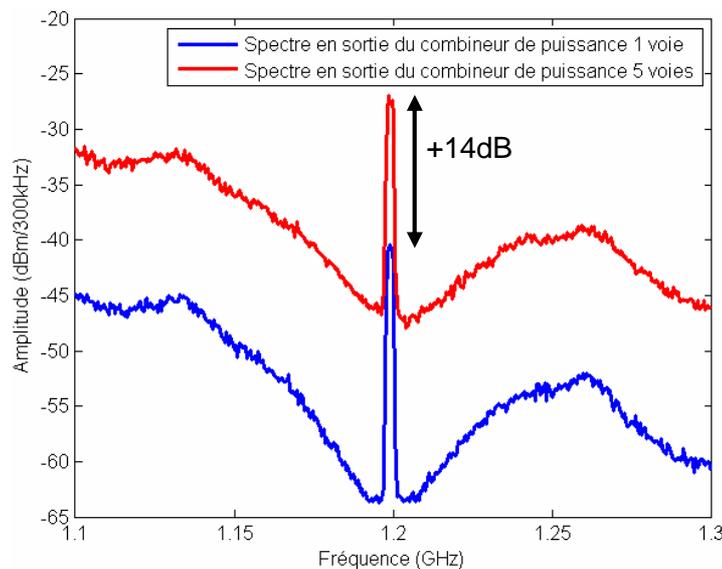


Figure 122 : Spectres en sortie du combineur de puissance pour 1 et 5 voies actives

L'activation du filtre numérique permet de mettre en forme le bruit de quantification. C'est ce que présente la Figure 123.

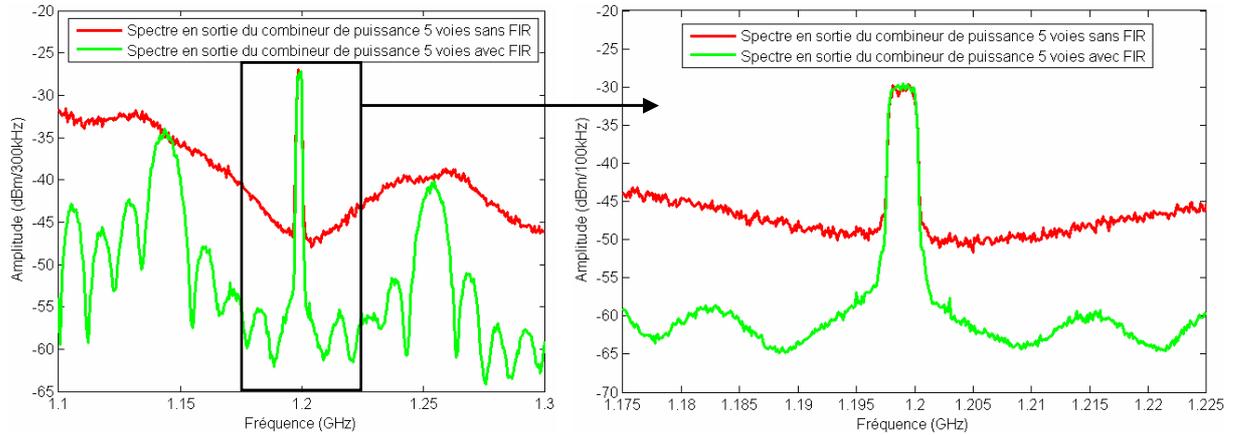


Figure 123 : Spectres en sortie du combineur de puissance 5 voies avec et sans l'activation du filtre numérique $H_1(z^{-1})$

Les figures précédentes permettent de mettre en valeur les deux principales fonctions réalisées par le circuit Silicium ROCCO et le circuit passif IPD. La recombinaison de puissance permet d'amplifier le signal de manière quadratique avec le nombre de voies actives alors que la fonction de filtrage numérique permet d'éliminer dans une certaine mesure les composantes du bruit de quantification générée par la modulation $\Delta\Sigma$.

Enfin, le Tableau 8 résume les performances de l'ensemble combineur de puissance avec filtrage numérique reconfigurable pour une fréquence d'horloge à 436MHz.

	Résultats de mesures pour une horloge à 436MHz
Tension d'alimentation	1V
Gain en puissance @1.2GHz	14dB
Taille du circuit ROCCO	2.05mm ²
Taille du circuit IPD	17.78mm ²
Puissance maximale dans la bande fondamentale pour un signal sinusoïdal	18dBm
Courant consommé pour une voie active sans filtrage numérique	15mA
Courant consommé pour cinq voies actives sans filtrage numérique	29mA
Courant consommé pour cinq voies actives avec filtrage numérique	38mA

Tableau 8 : Résumé des performances des circuits pour une horloge à 436MHz

8. Conclusion

L'implémentation du combineur de puissance et du filtrage numérique reconfigurable a été réalisé en technologies CMOS 65nm et IPD et les différents résultats de mesures ont permis de valider les principes théoriques relatifs à cette réalisation. Il reste cependant de nombreux points à approfondir :

- Un re-design de l'IPD permettrait de placer la bande passante de celui-ci aux alentours de la bande de fréquence voulue. Pour cela, le routage à l'entrée de celui-ci devra être repensé, sans doute au détriment de la surface.
- Une autre technique d'assemblage serait la bienvenue afin de s'affranchir de l'incertitude et des déviations sur les inductances des fils de bonding. La solution de flip-chip est une solution potentielle.
- Les variations de la tension d'alimentation dues à de forts appels de courants devront être minimisées afin de minimiser le jitter de l'horloge interne.
- L'interface d'horloge ou plus généralement la génération de l'horloge interne devra être repensée, soit par un re-design ou par l'utilisation de structure de type DLL.

Conclusion

Lors de ce travail de thèse, nous avons conçu la partie radiofréquence d'une chaîne d'émission dont les spécificités doivent convenir à la radio logicielle. La première étape fut la conception d'un mélangeur numérique à très haute cadence permettant la transposition en radiofréquence des signaux 1 bit en bande de base. L'utilisation de bascules à logique dynamique et l'optimisation du temps de parcours des deux voies sont les points clés de cette architecture. Ensuite, un convertisseur numérique analogique 1 bit en mode tension a été réalisé par l'intermédiaire d'un amplificateur de puissance commuté. Afin de générer de la puissance, un combineur à lignes de transmission de cinq voies (dix voies différentielles) a été implémenté. La mesure de puissance pour une sinusoïde en bande fondamentale en sortie du modulateur $\Delta\Sigma$ étant égale à 4dBm, on peut ainsi obtenir une puissance de 18dBm grâce au procédé de combinaison de puissance. Le gain en puissance relatif mesuré est en effet de 14dB dans la bande passante du système complet. Enfin, l'introduction d'une ligne à retard numérique permet, grâce au combineur de puissance, de réaliser un filtre numérique reconfigurable de type FIR dans le but d'alléger les contraintes de réalisation des filtres d'antenne. La réalisation en technologie ST CMOS 65nm et IPD a permis de valider les différents principes de combinaison de puissance et de filtrage. Ces travaux ont donné lieu à un papier soumis à TAISA en Octobre 2006, un papier soumis à l'ESSCIRC en 2008, et le dépôt d'un brevet.

Ce travail constitue la première réalisation d'un filtre semi-numérique FIR radiofréquence fonctionnant en mode tension. Il introduit en plus la reconfigurabilité qui est avantageusement mise à profit dans le cadre de communications mobiles multi-standard. Des convertisseurs N/A à structure FIR ont été très récemment proposés dans les travaux de Beilleau [66], mais la sommation s'effectue en courant à faible puissance dans le filtre de boucle au sein d'un modulateur $\Delta\Sigma$ passe-bande. Les travaux de Kavousian [67] présentent la conversion numérique analogique de l'enveloppe d'un signal radiofréquence à forte puissance avec une interpolation de type FIR par l'activation d'amplificateurs de puissance unitaires, mais à une cadence de 80Mch/s.

Bien que limité à une puissance crête de 18dBm dans la présente réalisation, le concept de combinaison de puissance peut satisfaire les besoins des émetteurs radio mobiles. Pour l'UMTS, par exemple, la puissance maximale à générer dans le canal est de 24dBm. En supposant que la puissance utile générée par une seule voie dans une charge de 50 Ω est d'environ -3dBm (voir Tableau 7), il faut 27dB de gain soit l'utilisation en parallèle de 22

voies d'impédance caractéristique 50Ω . Cependant, en diminuant l'impédance caractéristique des lignes de transmission, il est possible de réduire le nombre de voies nécessaires.

L'utilisation de structures passives, et donc figées, est a priori un frein au développement de la radio logicielle. La couverture de plusieurs bandes de fréquences et donc de différents standards est primordiale. La reconfiguration de réseaux passifs à l'aide d'interrupteurs MEMS (Micro Electro Mechanical Systems) ou de capacités commutées est possible, mais n'a pas atteint à ce jour le niveau de performance requis par les communications mobiles. Une approche différente s'inscrivant dans la continuité de cette thèse est présentée à la Figure 124. Deux lignes peuvent être assemblées pour doubler sa longueur. Les signaux S_A et S_B permettent l'activation de l'une ou l'autre des voies de transmission. La voie désactivée est alors mise en court-circuit (voie A) ou en circuit ouvert (voie B) afin de ne pas présenter de charge à la fréquence de travail sur le nœud intermédiaire. Ce système permettrait donc l'utilisation dans deux bandes de fréquence différentes.

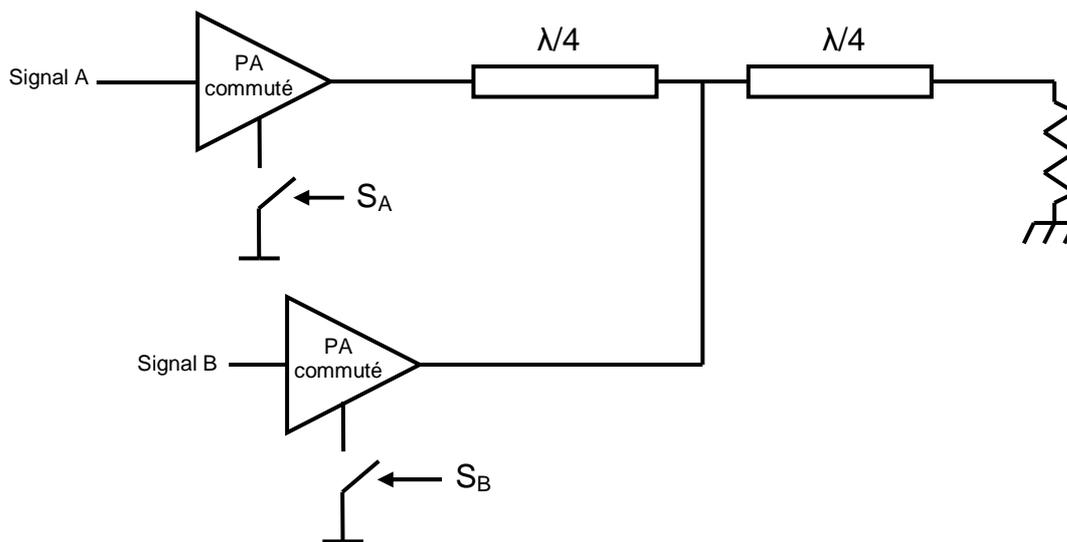


Figure 124 : Exemple d'architecture bi-standard

Enfin, l'intégration complète et monolithique des amplificateurs de puissance radiofréquence est toujours un défi relatif à la conception des chaînes de communications mobiles. L'exemple le plus abouti est décrit par Aoki qui, dans [65], réalise l'intégration complète d'un module GSM/GPRS grâce à une technique de recombinaison de puissance à l'aide de transformateurs utilisant des inductances réalisées à l'aide de lignes métalliques, dont le principe a été déjà présenté dans [52] et [55]. On note cependant une consommation de surface de silicium très importante, incompatible avec des procédés très avancés. Notre architecture pourrait être réalisée avec une surface silicium beaucoup plus faible et de performances supérieures en assemblage flip-chip. Il serait en effet possible de re-

organiser les plots de connexion et ainsi économiser une partie importante de la surface de silicium tout en augmentant la fonctionnalité du système, par exemple en ajoutant des voies supplémentaires ou en introduisant la reconfiguration de la bande de fréquence.

Bibliographie

- [1] ETSI, « *Universal mobile telecommunications system (UMTS) : UE radio transmission and reception (FDD)* », Technical Specification 125 101 v7.2.0, 2005.
- [2] Meurisse E., *L'UMTS et le haut débit mobile*, Février 2007
- [3] Splett A., Dreßler H.-J., Fuchs A. Hofmann R., Jelonnek B., Kling H., Koenig E., Schultheiß A., “*Solutions for Highly Integrated Future Generation Software Radio Basestation Receivers*”, IEEE Custom Integrated Circuits Conference, 2001
- [4] Razavi B., “*RF IC design challenges*”, Design Automation Conference, 1998. Proceedings, Pages: 408- 413, Juin 1998
- [5] Thomann W., Thomas V., Hagelauer R., Weigel R., “*A single-chip 75 GHz/0.35 μ m SiGe BiCMOS W-CDMA homodyne transceiver for UMTS mobiles*”, Radio Frequency Integrated Circuits (RFIC) Symposium, 2004.
- [6] Jigang Liu, Ronghui Wu, Qingxin Su, “*A direct up-conversion transmitter architecture for TD-SCDMA handset*”, 14th IEEE Proceedings on Personal, Indoor and Mobile Radio Communications, 2003, Vol.3, Pages: 2900- 2904, 7-10 Sept. 2003
- [7] Maruhashi K., Ohata K., Shimawaki H., Shoji Y., Ogawa H., “*Small-size 72-GHz-band transceiver modules utilizing IF self-heterodyne transmission technology*”, Microwave Symposium Digest, 2003 IEEE MTT-S International, Vol.2, Pages: 1045- 1048, 8-13 Juin 2003
- [8] Shoji Y., Hamaguchi K., Ogawa H., “*Millimeter-wave remote self-heterodyne system for extremely stable and low-cost broad-band signal transmission*”, IEEE Transactions on Microwave Theory and Techniques, Vol.50, Pages:1458-1468, Juin 2002
- [9] Leung V.W., Larson L.E., Gudem P.S., “*Digital-IF WCDMA handset transmitter IC in 0.25- μ m SiGe BiCMOS*”, IEEE Journal of Solid-State Circuits, Vol.39, Iss.12, Dec. 2004
- [10] Asbeck P., Galton I., Keh-Chung W., Jensen J. F., Oki A. K., and Chang C. T. M., “*Digital signal processing - up to microwave frequencies*”, Transactions on Microwave Theory and Techniques, *IEEE*, vol. 50, pp. 900-909, 2002.
- [11] Asbeck P. M., Larson L. E., and Galton I. G., “*Synergistic design of DSP and power amplifiers for wireless communications*”, IEEE Transactions on Microwave Theory and Techniques, vol. 49, pp. 2163-2169, 2001.
- [12] Keyzer J., Hinrichs J., Metzger A., Iwamoto M., Galton I., and Asbeck P., “*Digital generation of RF signals for wireless communications with band-pass delta-sigma*

- modulation*”, Microwave Symposium Digest, 2001 IEEE MTT-S International, pp. 2127-2130 vol.3, 2001
- [13] Wagh P., Midya P., Rakers P., Caldwell J., Schooler T., “*An all-digital universal RF transmitter*”, Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004, Pages: 549- 552, 3-6 Oct. 2004
- [14] Midya P., Wagh P., and Rakers P., “*Quadrature integral noise shaping for generation of modulated RF signals*”, The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002., pp. II-537-II-540 vol.2, 2002
- [15] Staszewski R.B., Staszewski R., Wallberg J.L., Jung T., Chih-Ming Hung, Jinseok Koh, Leipold D., Maggio K., Balsara P.T., “*SoC with an integrated DSP and a 2.4-GHz RF transmitter*”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.13, pp. 1253- 1265, Nov. 2005
- [16] Staszewski R. B., Muhammad K., Leipold D., Chih-Ming H., Yo-Chuol H., Wallberg J. L., Fernando C., Maggio K., Staszewski R., Jung K., Jinseok K., John S., Irene Yuanying D., Sarda V., Moreira-Tamayo O., Mayega V., Katz R., Friedman O., Eliezer O. E., de-Obaldia E., and Balsara P. T., “*All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS*”, IEEE Journal of Solid-State Circuits, vol. 39, pp. 2278-2291, 2004
- [17] Jayaraman A., Chen P. F., Hanington G., Larson L., and Asbeck P., “*Linear high-efficiency microwave power amplifiers using bandpass delta-sigma modulators*”, IEEE Microwave and Guided Wave Letters, vol. 8, pp. 121-123, 1998.
- [18] Stapleton S. P., “*High Efficiency RF Power Amplifiers Using Bandpass Delta-Sigma Modulators*”, Agilent Technologies Design Seminar.
- [19] Iwamoto M., Jayaraman A., Hanington G., Chen P. F., Bellora A., Thornton W., Larson L. E., Asbeck P. M., “*Bandpass delta-sigma class-S amplifier*”, Electronics Letters, vol. 36, pp. 1010-1012, 2000.
- [20] Sommarek J., Virtanen A., Vankka J., Halonen K., “*Comparison of different class-D power amplifier topologies for 1-bit band-pass delta-sigma D/A converters*”, Norchip Conference Proceedings, pp. 115-118, 2004
- [21] Edmé B., “*Modélisation d’une chaîne d’émission numérique WCDMA pour la radio logicielle*”, Rapport de DEA, Juillet 2004

- [22] Frappé A., « *All-Digital RF Signal Generation using $\Delta\Sigma$ Modulation for Mobile Communication Terminals* », Thèse de Doctorat, Université de Lille I, Décembre 2007
- [23] Frappé A., Flament A., Stefanelli B., Cathelin A., Kaiser A., “*All-digital RF signal generation for software defined radio*”, IEEE International Conference on Circuits and Systems for Communications, ICCSC'06, pp. 171-174, 2006
- [24] Andraka R., “*A survey of CORDIC algorithms for FPGA based computers*”, Proceedings of the ACM/SIGDA 6th int. symp. on FPGA, Monterey, CA, pp. 191-200, 1998
- [25] Hentschel T., Fettweis G., “*Sample rate conversion for software radio*”, IEEE Communications Magazine, Vol.38, N°8, pp. 142-150, Août 2000
- [26] Norsworthy S. R., Schreier R., and Temes G. C., “*Delta-Sigma Data Converters Theory, Design, and Simulation*”, IEEE Press, ISBN 0780310454, 1996.
- [27] Rode J., Hinrichs J., Asbeck P., “*Transmitter architecture using digital generation of RF signals*”, Proceedings of Radio and Wireless Conference RAWCON '03, pp. 245-248, Août 2003
- [28] Keyzer J., Uang R., Sugiyama Y., Iwamoto M., Galton I., Asbeck P.M., “*Generation of RF pulsewidth modulated microwave signals using delta-sigma modulation*”, IEEE MTT-S International Microwave Symposium Digest, Vol.1, pp.397-400, 2002
- [29] Jerng A., “*Delta-Sigma Digital-RF Modulation for High Data Rate Transmitters*”, Thèse de Doctorat, Massachusetts Institute of Technology, Sept. 2006
- [30] Frappé A., Flament A., Stefanelli B., Cathelin A., Kaiser A., “*Design techniques for very-high speed digital delta-sigma modulators aimed at all-digital RF transmitters*”, IEEE International Conference on Electronics, Circuits and Systems, 2006.
- [31] Frappé A., Kaiser A., Cathelin A., « *Procédé de traitement d'un signal numérique au sein d'un modulateur delta-sigma, et modulateur delta-sigma numérique correspondant* », Patent B06-0749FR: STMicroelectronics et CNRS, 2006.
- [32] “*International Technology Roadmap for Semiconductors, Process Integration, Devices, and Structures*”, 2006 Update
- [33] Galayko D., “*Etude de l'interférence entre symboles*”, IEMN/ISEN, Equipe CCI, 2004

- [34] Jensen J. F., Raghavan G., Cosand A. E., Walden R. H., “A 3.2 GHz second-order delta-sigma modulator implemented in InP HBT technology”, IEEE Journal of Solid-State circuits, vol. 30, n°. 10, october 1995
- [35] Shimanouchi M., “An Approach to Consistent Jitter Modeling for Various Jitter Aspects and Measurement Methods”, IEEE International Test Conference, 2001
- [36] Ketola J., Sommarek J., Vankka J., Halonen K., “Transmitter Utilising Bandpass Delta-Sigma Modulator and Switching Mode Power Amplifier”, Proceedings of the 2004 International Symposium on Circuits And Systems, ISCAS'04, vol.1, pp. I-633-6, May 2004
- [37] Papoulis A., “Probability, Random Variables, and Stochastic Processes”, Second Edition, McGraw Hill, ISBN 0072817259, 1984
- [38] Davenport W.B., Root W.L., “An Introduction to the Theory of Random Signals and Noise”, IEEE Press, ISBN 0879422351, 1987
- [39] Splett A., Dreßler H.-J., Fuchs A., Hofmann R., Jelonnek B., Kling H., Koenig E., Schultheiß A., ”Solutions for highly integrated future generation software radio basestation transceivers”, IEEE Custom integrated Circuits Conference, pp.511-518, 2001
- [40] Gentile K., “Fundamentals of digital Quadrature Modulation”, RFDesign, February 2003
- [41] Frappé A., Flament A., Stefanelli B., Cathelin A., Kaiser A., “All-digital RF signal generation for software defined radio”, ICCSC'06, Bucarest, Juillet 2006.
- [42] “CORE90GPSVT_1.00V_Databook”: ST Central R&D Company Confidential, 2004
- [43] “CORE65LPSVT_1.00V_ds” : ST Central R&D Company Confidential, 2006
- [44] Rabaey J. M., “Digital Integrated Circuits, a design perspective”, Prentice Hall, ISBN 0131786091, 1996
- [45] Tenhunen H., “The Inverter”, Royal Institute of Technology, Department of Electronics, Electronic System Design Laboratory, 2000
- [46] Yue T., Kumar M., Jun C. Sin J.K.O., “A SOI LDMOS technology compatible with CMOS, BJT, and passive components for fully-integrated RF power amplifiers”, IEEE Transactions on Electron Devices, Vol. 48, N°10, pp. 2428 – 2433, Oct 2001
- [47] Wongkomet N., Tee L. et Gray P., “A 1.7GHz 1.5W CMOS RF Doherty Power Amplifier for Wireless Communications”, IEEE ISSCC Digest of Technical Papers, pp. 486-487, Février 2006

- [48] Wongkomet N., Tee L., et Gray P.R., "A +31.5 dBm CMOS RF Doherty Power Amplifier for Wireless Communications", IEEE Journal of Solid-State Circuits, Vol. 41, n° 12, Décembre 2006
- [49] Sowlati T., Leenaerts D.M.W., "A 2.4-GHz 0.18- μ m CMOS self-biased cascode power amplifier", IEEE Journal of Solid-State Circuits, vol. 38, n° 8, pp. 1318-1324, Août 2003
- [50] Ezzeddine A., Hung H.-L. A., Huang H.C., "High Voltage FET Amplifiers for satellite and Phased-Array applications", Microwave Symposium Digest, MTT-S International , vol.85, no.1, pp. 336-339, Juin 1985
- [51] Shifrin M., Ayasli Y., Katzin P., "A new power amplifier topology with series biasing and power combining of transistors", IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, pp.39-41, 1992.
- [52] Aoki I., Kee S.D., Rutledge D.B, Hajimiri A., "Distributed Active Transformer—A New Power-Combining and Impedance-Transformation Technique", IEEE Transactions on Microwave Theory and Techniques, Vol. 50, N° 1, Janvier 2002
- [53] Cheung T.S.D., Long J.R, Tretiakov Y.V., Hararne D.L., "A 21-27GHz Self-shielded 4-way Power-Combining PA Balun", IEEE Custom Integrated Circuits Conference, pp. 617-620, 2004
- [54] Jang J, Park C., Kim H., et Hong S., "CMOS RF Power Amplifier Using an Off-Chip Transmission Line Transformer With 62% PAE", IEEE Microwave and Wireless Components Letters, Vol. 17, N° 5, Mai 2007
- [55] Aoki I., Kee S., Rutledge D., Hajimiri A., "A fully-integrated 1.8-V, 2.8-W, 1.9-GHz, CMOS power amplifier", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp. 199-202, Juin 2003
- [56] Liu G., "Fully Integrated CMOS Power Amplifier", Technical Report N° UCB/EECS-2006-162, Electrical Engineering and Computer Sciences, University of California at Berkeley, Décembre 2006
- [57] Haldi P., Debopriyo C., Liu G., Niknejad A.M., "A 5.8 GHz Linear Power Amplifier in a Standard 90nm CMOS Process using a 1V Power Supply", IEEE Radio Frequency Integrated Circuits (RFIC) Symposium , pp.431-434, Juin 2007
- [58] Mongia R., Bahl I.J., Bhartia P., "RF and Microwave Coupled-Line Circuits", Artech House Publishers, ISBN 978-0890068304, July 1999

- [59] Srirattana N., Raghavan A., Heo D., Allen P.H., Laskar J., "Analysis and Design of a High-Efficiency Multistage Doherty Power Amplifier for Wireless Communications", IEEE Transactions on Microwave Theory and Techniques, Vol.53, N°3, Mar. 2005
- [60] Hamedi-Hagh S., André C., Salama T., "CMOS Wireless Phase-Shifted Transmitter", IEEE Journal of Solid-State Circuits, Vol.39, N°8, August 2004
- [61] Jeon Y.-J., Kim H.-W., Kim H.-T., Ryu G.-H., Choi J.-Y., Kim K., Sung S.-E., Oh B., "A Highly Efficient CDMA Power Amplifier Based on Parallel Amplification Architecture", IEEE Microwave and Wireless Components Letters, Vol.14, N°9, pp.401-403, Sep. 2004
- [62] Shirvani A., Su D.K., Wooley B.A., "A CMOS RF Power Amplifier With Parallel Amplification for Efficient Power Control", IEEE Journal of Solid-State Circuits, Vol.37, N°6, June 2002
- [63] Su D.K., Wooley B.A., "A CMOS Oversampling D/A Converter with a Current-Mode Semidigital Reconstruction Filter", IEEE Journal of Solid-State Circuits, Vol.28, N°12, Dec. 1993
- [64] Frappé A., Stefanelli B., Flament A., Kaiser A., Cathelin A., "A digital $\Delta\Sigma$ RF signal generator for mobile communication transmitters in 90nm CMOS", IEEE 2008 Radio Frequency Integrated Circuit Symposium, Atlanta, Georgia, June 2008, accepté
- [65] Aoki I., Kee S., Magoon R., Aparicio R., Bohn F., Zachan J., Hatcher G., McClymont D., et Hajimiri A., "A Fully Integrated Quad-Band GSM/GPRS CMOS Power Amplifier", IEEE 2008 International Solid-State Circuits Conference, San Francisco, Feb. 2008
- [66] Beilleau N., "Radio Frequency Bandpass $\Sigma\Delta$ Analog-to-Digital converters", Thèse de Doctorat, Université de Paris VI, Avril 2008
- [67] Kavousian A., Su D.K., Wooley B.A., "A Digitally Modulated Polar CMOS PA with 20MHz Signal BW", Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International, pp.78-588, 11-15 Feb. 2007

ANNEXE

Masque d'émission et émissions parasites – Error Vector

Magnitude (EVM) - Cas de l'UMTS

Afin de justifier l'intérêt d'un filtrage dans une chaîne de transmission, nous nous intéressons à certaines spécifications des standards de communication, en prenant comme exemple celles de l'UMTS FDD en voie montante. Toutes ces informations proviennent de l'ETSI et sont disponibles dans [1].

Les spécifications en termes de masque d'émission sont données au niveau du connecteur d'antenne chargé par une impédance nominale de 50 Ω .

Les émissions hors bande sont des émissions non désirées en dehors de la bande utile et résultant de la modulation et d'effets non linéaires dans l'émetteur en excluant les émissions parasites. Ces émissions hors bande sont caractérisées par le masque d'émission (défini comme étant le rapport entre la puissance moyenne à $\pm\Delta f$ de la porteuse sur une bande de mesure donnée et la puissance moyenne du canal considéré à travers un filtre à cosinus surélevé de facteur de roll-off α sur une bande de mesure égale à 3.84MHz dans le cas de l'UMTS) et l'ACLR (Adjacent Channel Leakage power Ratio défini comme étant le rapport entre la puissance moyenne du canal considéré à travers un filtre à cosinus surélevé de facteur de roll-off α sur une bande de mesure égale à 3.84MHz et la puissance moyenne du canal adjacent à travers le même filtre à cosinus surélevé sur la même bande de mesure). Le masque d'émission, présenté dans le Tableau 9 et graphiquement à la Figure 125, s'applique aux fréquences éloignées de ± 2.5 à 12.5MHz de la fréquence porteuse. La spécification absolue est basée sur une puissance moyenne minimale de -50dBm/3.84MHz (soit -55.8dBm /1MHz ou encore -71.1dBm /30kHz).

Δf en MHz (1)	Spécification minimum (2)		Bande de mesure
	Spécification relative en dBc	Spécification absolue	
2.5-3.5	-35-15(Δf en MHz -2.5)	-71.1dBm	30kHz
3.5-7.5	-35-1(Δf en MHz -3.5)	-55.8dBm	1MHz
7.5-8.5	-39-10(Δf en MHz -7.5)	-55.8dBm	1MHz
8.5-12	-49	-55.8dBm	1MHz

(1) Δf est l'écart entre la fréquence centrale du canal et le centre de la bande de mesure

(2) La spécification minimum est prise par rapport à la valeur maximum entre la spécification relative et absolue

Tableau 9 : Masque d'émission spectrale de l'UMTS

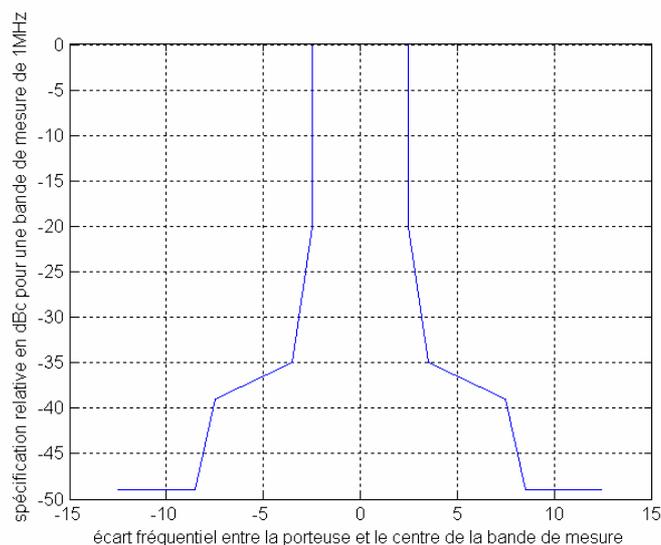


Figure 125 : Spectre d'émission UMTS. Les différentes bandes de mesure ont été ramenées à une unique bande de 1 MHz afin de ne pas avoir de discontinuité sur la figure

Les spécifications en termes d'ACLR sont présentées dans le Tableau 10.

Fréquence adjacente relative au canal considéré	Valeur de l'ACLR en dB
± 5MHz	33
± 10MHz	43

Tableau 10 : Spécifications de l'ACLR pour l'UMTS

Les utilisateurs ne sont pas autorisés à émettre à n'importe quelle fréquence. En effet, certaines bandes sont déjà utilisées par d'autres standards. C'est pourquoi, en marge du masque d'émission, est défini un masque d'émissions parasites. Celles-ci, appelées « spurious emissions » en anglais, sont des émissions qui sont causées par des effets non désirés de l'émetteur comme des émissions harmoniques et parasites, des produits d'intermodulation et de conversion de fréquence. Le Tableau 11 présente les spécifications générales de l'UTRAN et le Tableau 12 présente les spécifications supplémentaires relatives à l'UMTS/FDD en bande I (Uplink : 1920-1980 MHz ; Downlink : 2110-2170 MHz).

Fréquence	Bande de mesure	Spécification minimale
$9 \text{ kHz} \leq f < 150 \text{ kHz}$	1 kHz	-36 dBm
$150 \text{ kHz} \leq f < 30 \text{ MHz}$	10 kHz	-36 dBm
$30 \text{ MHz} \leq f < 1000 \text{ MHz}$	100 kHz	-36 dBm
$1 \text{ GHz} \leq f < 12.75 \text{ GHz}$	1 MHz	-30 dBm

Tableau 11 : Spécifications générales d'émissions parasites de l'UTRAN

Fréquence	Bande de mesure	Spécification minimale
$860 \text{ MHz} \leq f \leq 895 \text{ MHz}$	3.84 MHz	-60 dBm
$921 \text{ MHz} \leq f < 925 \text{ MHz}$	100 kHz	-60 dBm
$925 \text{ MHz} \leq f \leq 935 \text{ MHz}$	3.84 MHz	-60 dBm
$935 \text{ MHz} < f \leq 960 \text{ MHz}$	100 kHz	-79 dBm
$1805 \text{ MHz} \leq f \leq 1880 \text{ MHz}$	100 kHz	-71 dBm
$1844.9 \text{ MHz} \leq f \leq 1879.9 \text{ MHz}$	3.84 MHz	-60 dBm
$1884.5 \text{ MHz} < f < 1919.6 \text{ MHz}$	300 kHz	-41 dBm
$2110 \text{ MHz} \leq f \leq 2170 \text{ MHz}$	3.84 MHz	-60 dBm
$2620 \text{ MHz} \leq f \leq 2690 \text{ MHz}$	3.84 MHz	-60 dBm

**Tableau 12 : Spécifications supplémentaires d'émissions parasites pour l'UMTS/FDD
Bande I**

La Figure 126 présente de façon graphique le masque d'émission hors bande entre 860 et 2170 MHz. Les spécifications ont été normées en dBm/Hz et donnent un aperçu des contraintes en termes de puissance d'émission. L'axe des abscisses n'est délibérément pas à l'échelle afin de présenter une vue qualitative des spécifications à respecter.

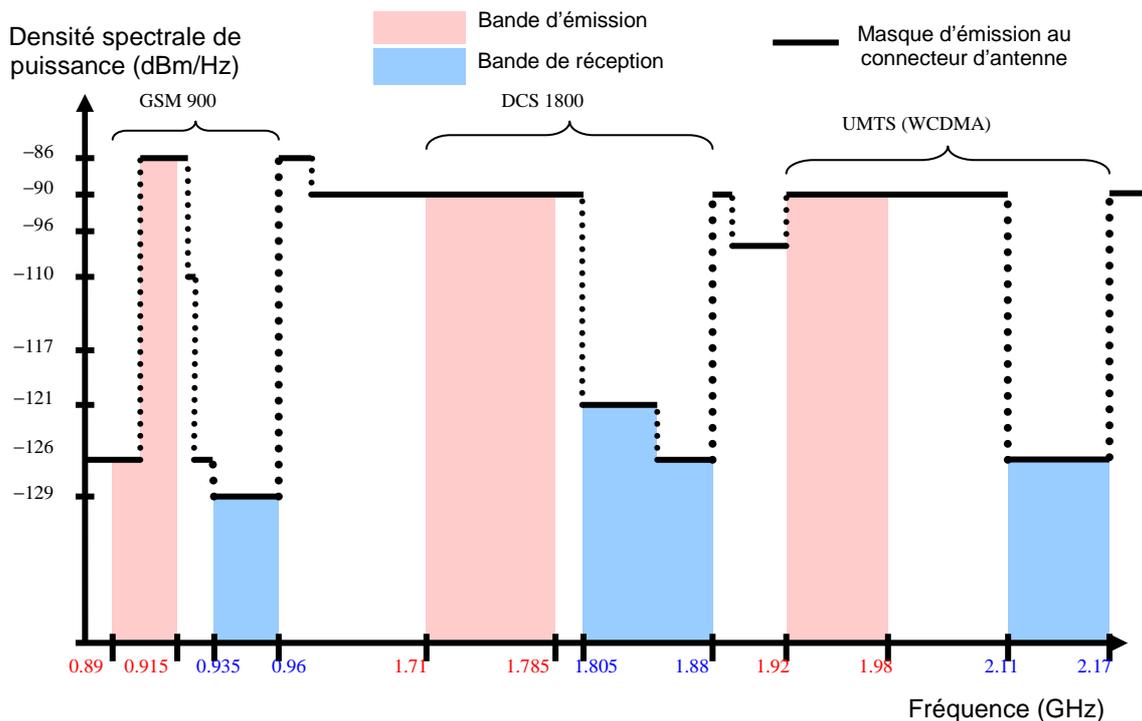


Figure 126 : Masque d'émissions parasites pour l'UMTS et bande d'émission et de réception pour le GSM900, le DCS1800 et l'UMTS/FDD bande I

Enfin, un dernier critère utilisé pour qualifier une chaîne de transmission est l'EVM. Ce paramètre est une mesure de la déviation des points de la constellation du signal reçu par

rapport aux points idéaux. Cette déviation s'explique par diverses imperfections de la chaîne de transmission comme par exemple le bruit de phase de l'oscillateur local. L'EVM est exprimée en % et est une représentation de la puissance du vecteur d'erreur. Pour l'UMTS, l'EVM ne doit pas dépasser 17.5%. La Figure 127 représente la constellation PSK idéale et réelle d'un signal radio (simulation MATLAB) où le signal est distordu et présente par conséquent des erreurs sur les symboles. Ici, l'EVM vaut environ 5%.

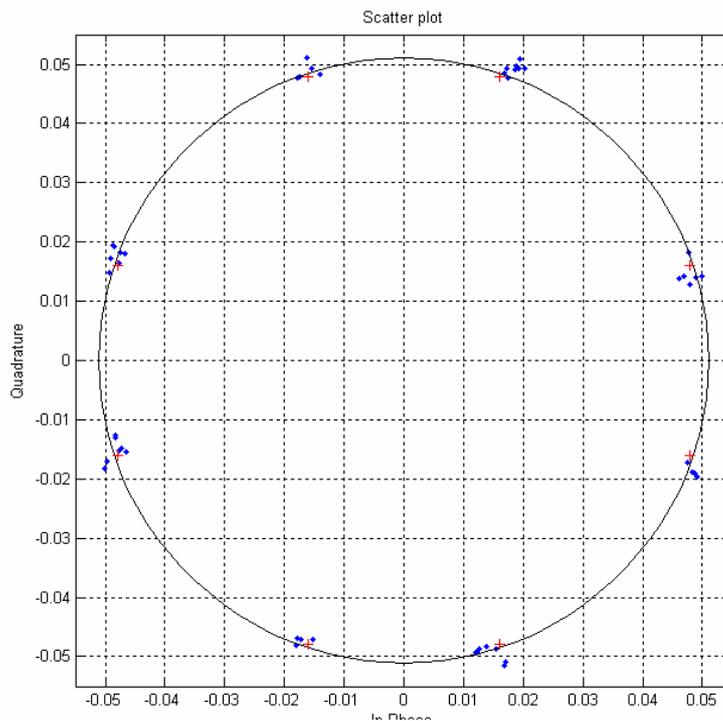


Figure 127 : Constellation idéale (croix rouge) et réelle (points bleus) pour une modulation PSK utilisée dans l'UMTS