

N° d'ordre : 4315

THÈSE

Présentée à L'Université des Sciences et Technologies de Lille

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ

Spécialité : MICROONDES ET MICROTECHNOLOGIES

par

Raphaël VALENTIN

**Investigation du Comportement et des Potentialités en Haute Fréquence
de transistors MOSFET Avancés à Contacts Source/Drain Métalliques**

Soutenue le 19 Décembre 2008 devant la commission d'examen

Membres du jury :	Mr D. FLANDRE	Président de jury
	Mr F. DANNEVILLE	Directeur de thèse
	Mr J.-P. RASKIN	Codirecteur de thèse
	Mr F. ANIEL	Rapporteur
	Mr C. CLAEYS	Rapporteur
	Mme M. MOUIS	Membre
	Mr R. GILLON	Membre
	Mr E. DUBOIS	Membre



*A mes parents,
A ma famille,*





*A Jun,
ma petite chinoise,*



Ce travail a été effectué à l'Université des Sciences et Technologies de Lille (USTL), au sein du Département Hyperfréquences et Semi-conducteurs (DHS) de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) et plus particulièrement du groupe ANODE. Je remercie Monsieur *Alain CAPPY*, Professeur à l'USTL et Directeur de l'IEMN pour m'avoir accueilli dans son laboratoire et m'avoir permis de mener à bien ce travail dans d'excellentes conditions.

J'exprime toute ma gratitude aux membres du jury de cette thèse, particulièrement à *Frédéric ANIEL*, Professeur à l'Université Paris-Sud 11 et à *Cor CLAEYS*, Professeur à l'Université Catholique de Leuven, pour avoir accepté d'être les rapporteurs de ce travail. Je les remercie pour leur important travail lors de l'évaluation de cette thèse.

Je remercie *Denis FLANDRE*, Professeur à l'Université Catholique de Louvain, d'avoir consenti à présider ce jury. Je remercie également les Docteurs *Mireille MOUIS*, Directrice de Recherche à l'Institut de Microélectronique Electromagnétisme et Photonique (IMEP) et *Renand GILLON*, Ingénieur chez AMI Semiconductor qui m'ont fait l'honneur de participer à la commission d'examen et de juger ce travail.

Je suis profondément reconnaissant et j'exprime mes plus grandes sympathies à *François DANNEVILLE*, Professeur à l'USTL et *Jean-Pierre RASKIN*, Professeur et Responsable du laboratoire d'hyperfréquences à l'Université Catholique de Louvain pour avoir dirigé ce travail de thèse pendant ces « si courtes » trois années de thèse. Je les remercie pour toute l'aide précieuse et toute l'expérience scientifique et pédagogique que j'ai pu bénéficier à leur contact. Je ne peux garder que d'excellents souvenirs de toutes nos discussions.

Je tiens à remercier avec une très grande attention *Emmanuel DUBOIS*, Directeur de Recherche à l'IEMN et Responsable du groupe Microélectronique Silicium avec qui j'ai eu l'honneur de travailler et collaborer dans le cadre du Projet Européen METAMOS dont il en était le responsable. Je garde tout l'enthousiasme d'avoir pu profiter d'une partie de ses connaissances et de toutes ses disponibilités. Je lui transmets mes plus sincères salutations amicales.

Je remercie également *Gilles DAMBRINE*, Professeur à l'USTL et responsable du groupe ANODE, ainsi que tous les permanents *Henri HAPPY*, *Sylvain BOLLAERT*, *Yannick ROELENS* et *Nicolas WICHMANN* pour m'avoir accueilli et intégré au sein du groupe.

Je souhaite exprimer toute ma gratitude à *Guilhem LARRIEU*, Chercheur à l'EMN, pour les précieux transistors qu'il a pus me fournir, et sans qui les résultats présentés dans cette thèse auraient été définitivement moins complets. J'associe à ce travail les membres de la Centrale de Caractérisation, et particulièrement *Sylvie LEPILLIET*, mais également *Jean-Michel DROULEZ* pour les supports permettant la bonne réalisation de ce travail.

Le plus sincèrement, je remercie mes amis *Kamel CHABANE*, *Kamel HADDADI*, *Tao-Chuan LIM*, *Nathalie FABRE*, *Djamila BOUMAZA*, *Naim BELLA*, *Cristian ANDREI*, *Cyrille GARDES*, *Jean-Sebastien GALLOO*, *Nan MENG*, *Nicolas WALDHOFF*, *Andrey SCHEPETOV*, *Baudouin MARTINEAU*, *Mostafa EMAM*, *Morin DEHAN*, *Tuami LASRI* et à tous mes amis roubaisiens, sans exception. Pour tous ceux que je n'aurais pas mentionnés, ne voyez juste qu'une regrettable omission de ma part.

Pour finir, je pense à toutes les personnes qui m'entourent de leur affection au quotidien. Merci à mes parents, à mon frère, à ma tante, à *Jm*.

Merci à vous tous de toute votre bonne patience.

INTRODUCTION

CHAPITRE 1

INTRODUCTION DU TRANSISTOR MOSFET À CONTACTS SCHOTTKY A FAIBLES HAUTEURS DE BARRIÈRE

1.1.	Introduction.....	1.3
1.2.	Principe de fonctionnement du transistor MOSFET – Effets physiques, Problématiques	1.4
1.2.1	Généralités sur la structure Métal–Oxyde–Semi-conducteur (MOS)	1.5
1.2.2	Courant de drain, Transconductance, Capacités.....	1.7
1.2.3	Transistor MOS sur substrat SOI	1.9
1.2.4	Effets parasites liés à la miniaturisation	1.13
1.2.4.1	Effets canaux courts – facteur d'échelle	1.14
1.2.4.2	Saturation de la vitesse – dégradation de la mobilité.....	1.16
1.2.4.3	Déplétion de la grille.....	1.18
1.2.4.4	Courant de fuite de la grille.....	1.19
1.2.4.5	Résistances séries de source et drain	1.22
1.2.4.6	Capacités parasites.....	1.25
1.3.	Solutions à l'amélioration des performances du MOSFET.....	1.26
1.3.1	Substrat SOI à film ultra fin – transistor totalement déserté	1.27
1.3.2	Empilement de grille métallique sur oxyde high- ϵ	1.28
1.3.3	Ingénierie de canal.....	1.28
1.4.	Présentation du MOSFET à contacts source et drain Schottky	1.30
1.4.1	Généralités sur la jonction métal-semi-conducteur – Diode Schottky.....	1.32
1.4.2	Modèles de transport pour une jonction Schottky	1.39
1.5.	Propriétés dynamiques des transistors MOSFET en régime petit signal.....	1.44
1.5.1	Définitions des Figures–de–Mérite hyperfréquences et petits signaux des transistors.....	1.46
1.5.2	Schéma équivalent petit signal du transistor MOSFET.....	1.48
1.6.	Conclusion	1.51
1.7.	Références bibliographiques.....	1.51

CHAPITRE 2

SIMULATIONS DU TRANSISTOR SB-MOSFET DU REGIME STATIQUE AU REGIME DYNAMIQUE

2.1.	Introduction.....	2.3
2.2.	Description des modèles physiques des simulations TCAD et de la structure..... simulée.....	2.4
2.2.1	Description des modèles physiques des simulations TCAD	2.5
2.2.2	Calibration et Influence des différents modèles d'injection..... sur une structure de diodes en vis-à-vis	2.12
2.2.3	Définition de la structure SB-MOSFET	2.14
2.3.	Simulation des caractéristiques électriques d'un transistor SB-MOSFET.....	2.15
2.4.	Influence et compréhension des dimensions sur les performances statiques et..... hyperfréquences du transistor SB-MOSFET de type p	2.18
2.4.1	Compréhension du transistor SB-MOSFET	2.18
2.4.2	Etude de sensibilité des performances dynamiques avec la hauteur..... de barrière Schottky	2.26
2.4.3	Sensibilité des performances hyperfréquences (fT, f_{max}) avec la largeur de..... non-recouvrement des zones source et drain.....	2.29
2.4.4	Sensibilité et description des performances dynamiques en fonction de..... la température.....	2.33
2.5.	Perfectionnement du modèle Schottky avec la prise en compte des états	2.38
2.6.	Ségrégation de dopants à l'interface métal-semi-conducteur.....	2.43
2.7.	Performances dynamiques du transistor SB-MOSFET de type n	2.50
2.8.	Performances dynamiques du transistor SB MOSFET pour des longueurs..... de grille courtes.....	2.56
2.9.	Conclusions.....	2.59
2.10.	Références bibliographiques.....	2.60

CHAPITRE 3

CARACTERISATIONS ET MODELISATIONS DU TRANSISTOR SB-MOSFET EN REGIME HYPERFREQUENCE

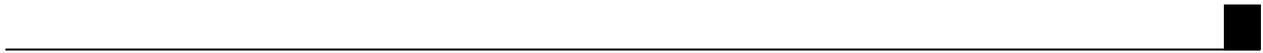
3.1.	Introduction.....	3.3
------	-------------------	-----

3.2.	Principes de la caractérisation linéaire hyperfréquence – définitions, contraintes et.....	
	difficultés	3.4
3.2.1	Procédure d'étalonnage	3.8
3.2.2	Procédure d'épluchage des accès.....	3.9
3.3.	Développement du masque des structures SB-MOSFET RF.....	3.11
3.4.	Fabrication des transistors SB-MOSFET.....	3.15
3.5.	Performances et extractions des modèles petits signaux des transistors	
	SB-MOSFET	3.16
3.5.1	Transistor SB-MOSFET à contacts purement Schottky sur substrat SRS	3.17
3.5.2	Transistors SB-MOSFET à contacts ségrévés de dopants sur substrat SRS	3.30
3.5.2.1	Topologies configurées en source commune.....	3.30
3.5.2.2	Topologies configurées en grille commune.....	3.34
3.5.3	Transistors SB-MOSFET à contacts ségrévés de dopants sur substrat HRS.....	3.38
3.6.	Investigation d'un modèle de schéma équivalent petit signal non quasi-statique du.....	
	transistor SB-MOSFET	3.48
3.6.1	Evaluation de la résistance intrinsèque R_i	3.50
3.6.2	Evaluation de la résistance de source R_s	3.53
3.6.3	Modélisation petit signal et non quasi statique d'un transistor SB MOSFET.....	3.55
3.7.	Conclusion	3.60
3.8.	Références bibliographiques.....	3.60

ANNEXES

A.	Masses effectives des électrons et des trous dans le silicium.....	A.3
B.	Modèle Schottky Universel.....	A.7
C.	Matrice de passage.....	A.9
D.	Introduction à la Modélisation petit signal du transistor MOSFET.....	A.11
E.	Détermination des caractéristiques d'une ligne de transmission.....	A.15
F.	Méthodologie d'extraction des éléments du schéma équivalent petit signal.....	A.17
G.	Détermination des résistances séries.....	A.21
H.	Extraction des paramètres du SSEC NQS d'une technologie conventionnelle.....	A.25
I.	Topologies de grille commune.....	A.29
J.	Références bibliographiques.....	A.31

CONCLUSIONS – PERSPECTIVES





INTRODUCTION



Historique du transistor MOS à effet de champ

Plus que jamais, notre société est influencée par le développement de la technologie et de la science. Les rapides avancées scientifiques ne cessent de contribuer au progrès technologique qui transforme systématiquement nos modes de vie. Les technologies de l'information et de la communication ont permis d'élargir le cercle des individus et d'améliorer la productivité dans toutes les économies avancées. De ce fait, un des objectifs de pousser en avant l'innovation scientifique et technologique est de contribuer à développer des opportunités pour l'ensemble des applications futures que nous n'imaginons pas encore aujourd'hui et qui nécessitent des vitesses de fonctionnement plus élevées dans le contexte d'une miniaturisation et d'une haute mobilité.

L'effet transistor a été découvert en 1947 par les américains John Bardeen, William Shockley et Walter Brattain, chercheurs de la compagnie *Bell Telephone*. Cependant l'histoire des transistors est plus ancienne. Le transistor à effet de champ à jonctions Métal-Oxyde-Semi-conducteur (MOSFET) a été conçu de façon théorique en 1920 par Julius Edgar Lilienfeld qui le breveta comme étant un composant servant à contrôler le courant [1]. La technologie nécessaire à son développement n'étant pas disponible avant 1950, le premier MOSFET fut fabriqué en 1959 par Atalla et Khang des laboratoires Bell et fera son apparition dans les circuits intégrés dès 1963. Depuis lors, l'optimisation systématique du transistor a permis une ascension fulgurante en terme de performances et d'intégration. En 1965, cette évolution est décrite par le docteur *Gordon Moore* et qui allait devenir plus tard sa loi [2]. Dès lors, l'élaboration de la technologie CMOS assure le futur technologique et commercial du MOSFET en électronique intégrée. En 1971, l'Intel 4004 est le premier microprocesseur conçu par les ingénieurs inventeurs Marcian Hoff et Federico Faggin, celui-ci dispose de 2250 transistors de longueurs de grille de 10- μm , sa fréquence d'horloge est de

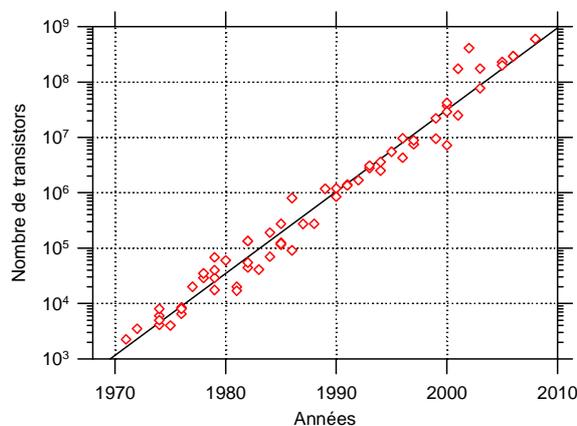


Fig. 0.1 : Evolution du nombre de transistors sur une même puce durant ces 40 dernières années [3].

740 kHz, soit environ 60000 instructions par seconde. “L’intégration sur silicium est l’essence du premier microprocesseur” – Federico Faggin. Depuis 1971 jusqu’à aujourd’hui, la densité des transistors a doublé toutes les 2,04 années confortant l’extrapolation correspondant à la loi de Moore. En effet, il énonçait en 1965 un doublement du nombre de transistors des microprocesseurs sur une puce de silicium tous les deux ans, le circuit le plus complexe contenant à l’époque à peu près 30 composants [2]. Cette augmentation de la densité a toujours été rendue possible grâce à une réduction constante de la finesse de gravure. A l’heure où nous écrivons ses lignes, l’un des derniers processeurs en date comporte 820 millions de transistors sur une surface de 214 mm² soit l’équivalent d’un carré dont le coté vaut moins de 1.5 cm. De surcroît, l’ensemble des transistors est fonctionnel avec une fréquence d’horloge de plus de 3 GHz. Afin d’obtenir de tel résultats, la longueur de grille doit alors être réduite à moins de 45-nm équivalent à une longueur de moins d’une centaine d’atomes de silicium. L’évolution exponentielle du nombre de transistors sur une même puce durant ces 40 dernières années est rappelée à la Fig. 0.1.

L’essor exponentiel des performances des transistors s’est également traduit par l’émergence considérable du nombre d’applications dans le domaine des communications et plus particulièrement des Radio-Fréquences (RF) jusqu’au domaine des Hyper-Fréquences (HF). Les parts de marché des communications sans fil ont ainsi été amplifiées chaque année pour l’ensemble des acteurs.

Depuis la création du transistor bipolaire en 1947, les fréquences d’opération n’ont eu de cesse d’augmenter [4]. En 1958, la barre du Giga-Hertz est franchie par un transistor bipolaire en germanium [5]. Dès lors, plusieurs technologies de transistors sont alors investiguées. En 1965, le transistor à effet de champ MESFET GaAs apparaît [6]. En 1973, la fréquence maximum d’oscillation (f_{max}) est extraite à 100 GHz pour un transistor FET [7]. En 1980, le transistor à effet de champ à haute mobilité pour les électrons (HEMT) est fabriqué [8]. Dès lors, seules les technologies FET à haute mobilité (HEMT) et bipolaire à hétérojonction (HBT) accélèrent les performances et rendent réalisables les applications RF et HF. En 1995, une fréquence f_{max} supérieure à 500 GHz est extrapolée pour un transistor HEMT [9], en 2000, le Tera-Hertz est atteint par un transistor III/V HBT [10]. La barrière du Tera-Hertz ne sera franchie que plus récemment dans le cas du transistor HEMT [11].

Il faut attendre 1996 pour que les transistors Si-MOSFETs deviennent compétitifs avec des fréquences de coupure du gain en courant fT extraites supérieures à 200 GHz [12]. L’utilisation de cette technologie dans le domaine des systèmes RF est alors réalisable. Il devient rapidement un candidat idéal pour les applications où une faible consommation et une forte intégration sont requises, du fait qu’il peut être associés à un circuit numérique CMOS directement sur une même

puce¹. En plus, la technologie bénéficie d'une grande maturité technologique et est parfaitement reproductible. Le coût de production réduit considérablement, permet donc d'envisager des applications destinées au grand public.

Depuis lors, grâce à de successives optimisations, la technologie Si-MOSFET a démontrée qu'elle restait un sérieux et fiable concurrent pour poursuivre la feuille de route. Aujourd'hui, en 2008, la dernière performance publiée sur une technologie silicium a atteint des fréquences de transitions f_T évaluée à près de 500 GHz pour une longueur de grille inférieure à 30-nm [13]. La Fig. 0.2 présente l'état de l'art des fréquence de coupure f_T et f_{max} pour les transistors MOSFETs de type n et de type p vis-à-vis des prévisions de l'ITRS'2006 [14]. A noter que les figures de mérites f_T et f_{max} pour les transistors de type p ne peuvent pas rivaliser avec celles de type n , la raison étant une plus faible mobilité des trous que des électrons dans le silicium.

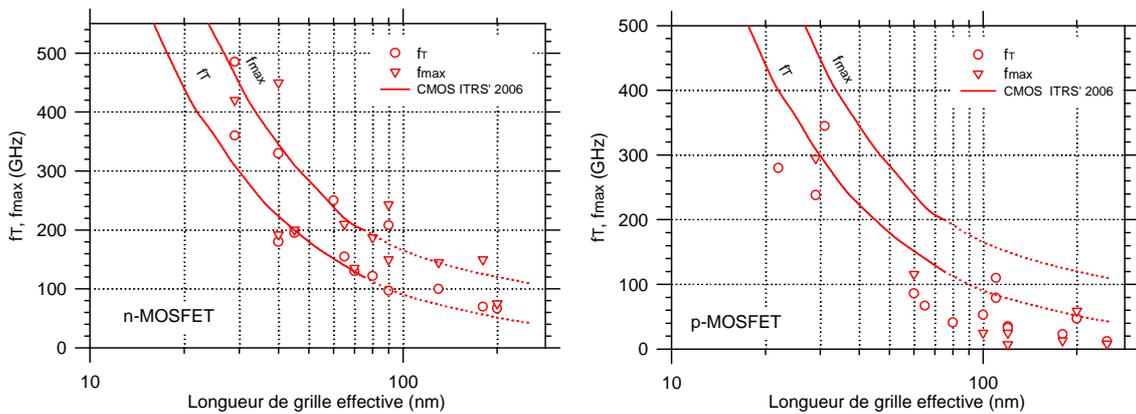


Fig. 0.2 : Etat de l'art des fréquences de coupure f_T (cercles) et f_{max} (triangles) des transistors massifs et SOI n -MOSFETs [13],[15]-[28] (a) et p -MOSFET [13], [17], [28]-[34] (b) mis en regard aux prévisions de l'ITRS'2006 [14].

Nous observons qu'en dépit de la mobilité des porteurs du silicium dans le transistor plus faible, les performances rivalisent typiquement avec celles obtenues par d'autres technologies grâce au produit d'une excitante innovation [35]. *F. Schwierz et al.* [36] concluent que, concernant les performances f_T et f_{max} , le transistor Si-MOSFET est capable de prendre l'avantage grâce à une structure générique fortement optimisée. Avec de très faibles épaisseurs de barrière entre la grille et le canal, ils montrent notamment que les faibles propriétés de transport du silicium, *i.e.*, sa faible mobilité, peuvent être parfaitement compensées. Nous pouvons également citer les techniques d'améliorations de la mobilité par effet de contrainte mécanique du silicium, de réduction du courant tunnel de grille avec l'introduction d'oxyde de grille à forte permittivité diélectrique mais aussi d'utilisation de matériaux diélectrique à faible permittivité (*low-k*) pour les interconnexions

¹ Au même titre que la technologie Bi-CMOS (SiGe HBT-CMOS), plus complexe à mettre en œuvre et donc plus coûteuse.

électriques favorisant l'immunité aux effets de couplage parasites. Parallèlement, à la recherche du transistor ultime, les architectures multi-grilles (*e.g. double grille, finfet, gate-all-around, etc.*) émergent et constituent également des solutions prometteuses.

Toutes ces technologies qui propulsent systématiquement les performances, couplées à des techniques de lithographie plus précises, mais aussi d'optimisation de l'architecture de grille permettront aux transistors MOSFETs d'être une issue aux technologies émergentes jusqu'au plus près du « mur de brique rouge » prédit autour des années 2020. La Fig. 0.3 présente la problématique prédite par l'ITRS'06 [14] qu'il n'y a pas de solution technologique connue au-delà de 2020 dans le contexte des transistors MOSFETs représenté par le « mur de brique rouge ».

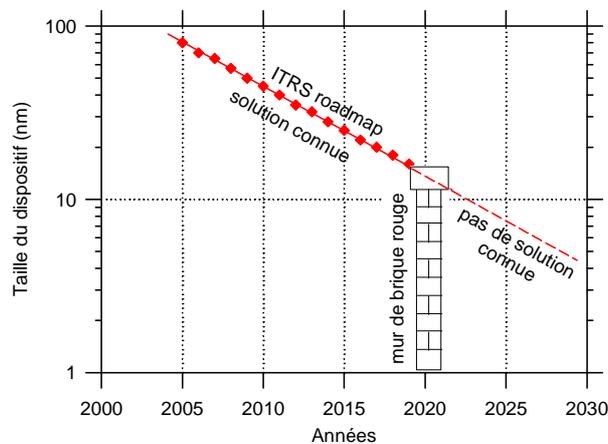


Fig. 0.3 : Evolution de la taille des dispositifs CMOS prédits par l'ITRS'06 [14] pour les années à venir. Il est observé qu'aucune solution n'est connue pour continuer la roadmap au-delà de 2020.

Position du problème

Les problématiques liées à la technologie des semi-conducteurs sont principalement corrélées à la diminution des dimensions. Des effets de canal court apparaissent, les effets parasites augmentent, les fabrications technologiques deviennent complexes. Ils sont autant de défis que doivent relever la communauté scientifique afin de continuer à développer des transistors de plus en plus performants. Pour coordonner l'ensemble de ces challenges, une feuille de route ou « *roadmap* » est publiée et/ou remise à jour chaque année sur une horizon d'une quinzaine d'années par l'organisation mondiale nommée « International Technology Roadmap for Semiconductors » ou ITRS.

Aujourd'hui, les défis majeurs de la technologie MOSFET concernent le contrôle des courants de fuite, la formation des jonctions Source/Drain (S/D) parfaitement abruptes au bord de la grille, les excès de résistances et de capacités parasites, etc. Dans ce contexte, l'ingénierie S/D prend une

importance à part entière dans le développement des prochaines générations de transistors CMOS. Pour cela, l'ITRS'06 propose des objectifs au-delà d'un horizon de 10 ans pour les résistances parasites de source et drain autant que pour les capacités parasites (Fig. 0.4-a). Ainsi, si l'on se conforme à ce graphique, on peut observer que l'excès de résistances parasites risque de devenir une faille dans l'évolution exponentielle des performances dès 2010 si aucune solution n'est trouvée.

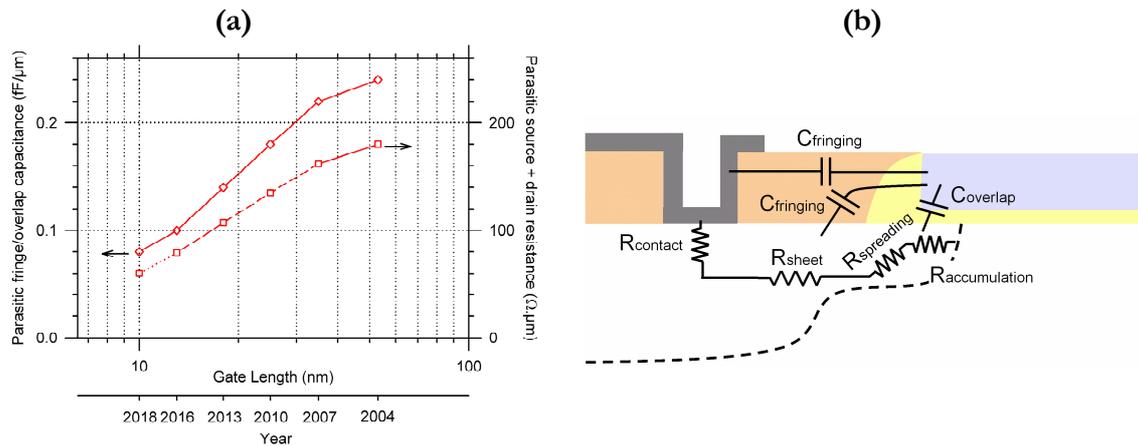


Fig. 0.4 : (a) Capacités parasites (comprenant les capacités de bords et de recouvrement) et résistances S/D parasites en fonction de la longueur de grille, publiées par l'ITRS'06. [14]. Les lignes continues représentent la situation où il existe des solutions pour poursuivre la réduction de la longueur de grille alors que lorsque les lignes sont non continues ou pointillées aucune solution n'est à ce jour réalisable ou imaginable si l'on poursuit avec des technologies conventionnelles. (b) Représentation schématique des composants de résistances et de capacités associées à l'architecture S/D.

Une issue probable qui permettrait d'apaiser ce contexte sensible consiste à remplacer les contacts ohmiques réalisés sur des jonctions fortement dopées par des extensions métalliques. Cette architecture pourrait donc constituer une alternative, du fait de la réduction et/ou de la disparition de certaines composantes de résistances parasites dont certaines contribuent fortement à la problématique. L'ensemble de ces composantes parasites présent sur l'architecture S/D conventionnelle est schématisé à la Fig. 0.4-b et leurs évolutions respectives extrapolées à l'aide du modèle MASTAR4 [37] à la Fig. 0.5. Notons qu'en AC, les jonctions métalliques permettraient également d'optimiser plus aisément les capacités parasites.

En outre, même si les architectures MOSFET dites non conventionnelles (transistors à multi-grilles, transistors à haute mobilité, etc.) sont reconnues comme des technologies alternatives d'avenir, elles requièrent de toute façon une optimisation méticuleuse de ces parasites afin de maximiser leurs performances.

Les transistors MOSFET de type p et à contacts Schottky à faibles hauteurs de barrière pour les trous (SB MOSFET) ont récemment démontré des niveaux de courants compétitifs (des ratios I_{on}/I_{off} de six décades, des pentes sous seuil idéales [35], [38]), démontrant les excellentes propriétés

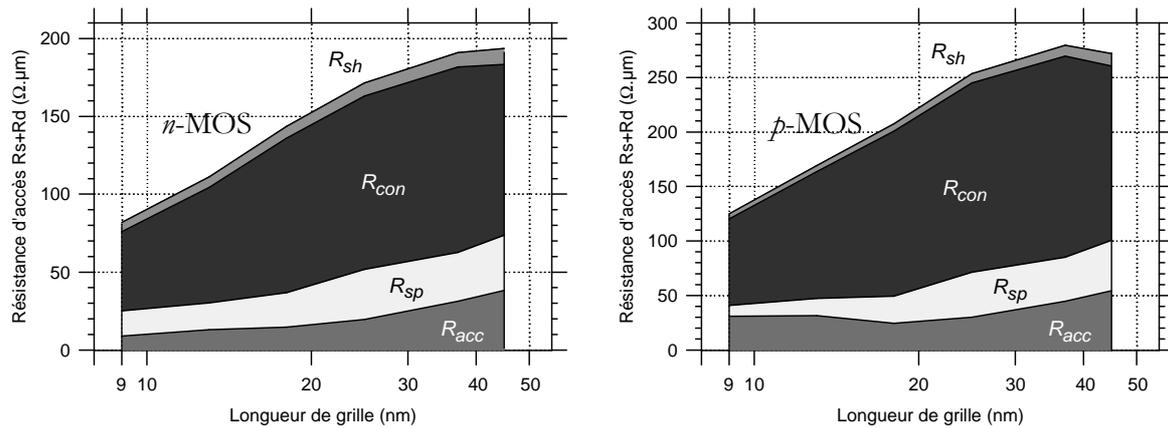


Fig. 0.5 : Contribution des différentes résistances en fonction de la longueur de grille déterminées à partir du modèle MASTAR4 [37] dans le cas de structures n -MOS et p -MOS conventionnelles. On observe que la résistance de contact R_{con} est la plus importante contribution affectant le transistor comparée aux autres résistances.

électriques du transistor. De plus, il a été reporté en 2004 une fréquence de coupure f_T de près de 280 GHz pour un MOSFET à contacts Schottky ayant pour longueur de grille 22-nm, faisant de cette performance la meilleure enregistrée pour un transistor MOSFET de type p [29].

Alors que des analyses détaillées de ce transistor non conventionnel sur ces performances attachées aux applications numériques ont été reportées [39], [40], peu d'études sur ses propriétés en hautes fréquences (*typ.* >GHz) ont été investiguées [41].

Objectifs et organisation de la thèse

L'objectif de ce sujet de thèse intitulé « *Investigation du Comportement et des Potentialités en Haute Fréquence de transistors MOSFET Avancés à Contacts Source/Drain Métalliques* » est d'étudier de façon détaillée le transistor MOSFET SOI à film ultra mince intentionnellement non dopé, dont les contacts S/D sont Schottky, dans le domaine des Hyper-Fréquences (HF). Cette thématique rentre dans le cadre d'un projet européen METAMOS dédié à la conception, à l'optimisation, à la fabrication et à la caractérisation du transistor MOSFET à Barrières Schottky pour tenter de résoudre les problèmes critiques associés à l'architecture S/D conventionnelle [42]. La question plus générale étant de fournir des éléments de réponse afin d'évaluer si cette technologie est à même de s'intégrer aux recommandations sévères décrites par l'ITRS.

Nous essayerons donc dans ce manuscrit de décrire au mieux les investigations réalisées sur les propriétés dynamiques du transistor SB MOSFET afin de présenter les performances RF mais également d'éclairer les pistes qui amènent à une optimisation en RF de ce type d'architecture. En outre, nous tacherons de présenter un modèle de type schéma équivalent petit signal haute fréquence le plus détaillé possible. Pour réaliser ces études, nous avons eu à disposition des outils de

simulations mais également des transistors fabriqués pour lesquels nous avons pu mesurer leurs caractéristiques DC et RF. Suivant ce schéma, nous avons choisi d'organiser la thèse en trois chapitres.

Chapitre 1 : Introduction du transistor MOSFET à contacts Schottky à faibles hauteurs de barrière

Dans le Chapitre 1, la Section 1.2 se propose de rappeler des généralités sur le principe de fonctionnement du transistor MOSFET ainsi que des effets parasites liés à la miniaturisation. En ce qui concerne ce dernier point, il s'agit de faire apparaître les principaux verrous technologiques qui seront susceptibles de perturber l'évolution des performances hyperfréquences. La Section 1.3 consiste à décrire quelques solutions pour l'amélioration des performances du MOSFET. La Section 1.4 présente de façon succincte le transistor SB MOSFET en s'attachant surtout à décrire les mécanismes qui régissent l'injection de porteurs à travers une barrière de potentiel Schottky. Finalement, la Section 1.5 rappelle les principales figures de mérites RF du transistor MOSFET ainsi que son modèle petit signal usuel.

Chapitre 2 : Simulations du transistor SB-MOSFET du régime statique au régime hyperfréquence

Dans le Chapitre 2, la Section 2.2 tache de décrire brièvement les modèles physiques TCAD pour simuler une structure MOSFET dont les contacts source/drain répondent à des mécanismes Schottky, mais également de définir la géométrie de la structure de référence choisie pour les simulations TCAD. La Section 2.3 et la Section 2.4 présentent les résultats de simulations en s'attachant dans la Section 2.4 à décrire de façon détaillée l'influence et la sensibilité des différents paramètres du transistor sur les performances AC. Nous y détaillerons également une étude fine du transistor pour un fonctionnement en basse température. La Section 2.5 se propose de perfectionner le modèle Schottky par la prise en compte d'effets de pièges aux interfaces métal/semi-conducteur. La Section 2.6 propose une étude sur une évolution des transistors SB MOSFET dont la technique consiste à venir concentrer de dopants l'interface métal/semi-conducteur. La structure de référence étant choisie de type p , la Section 2.7 décrit les performances dynamiques du transistor de type n . Finalement, la Section 2.8 conclut par une étude en fonction de la longueur de grille.

Chapitre 3 : Caractérisations et Modélisations du transistor SB-MOSFET en régime hyperfréquence

Dans le cadre du projet METAMOS, nous avons pu dans un cadre académique disposer de transistor SB MOSFET à contacts non optimisés et optimisés à des fins de mesures RF. Le Chapitre 3 se propose de présenter les principaux résultats expérimentaux que l'on a pu mesurer sur ces dispositifs. Au sein de la Section 3.2, les principes de la caractérisation linéaire hyperfréquence sont rappelés puis le développement du masque des structures SB MOSFET RF à la Section 3.3 est présenté. La Section 3.4 rappelle la procédure technologique de fabrication des composants. La Section 3.5 détaille l'ensemble des caractéristiques statiques et hyperfréquences des transistors et présente la description d'un modèle petit signal quasi-statique. Finalement, la Section 3.6 terminera l'étude par une investigation détaillée d'un modèle petit signal non quasi-statique.

Références bibliographiques

- [1] Julius Edgar Lilienfeld, (en) Brevet U.S. 1900018, 7 mars 1933.
- [2] G. E. Moore, “*Cramming more components onto integrated circuits*”, Electronics, vol. 38, pp. 114–117, 1965.
- [3] Wikipedia, online : http://en.wikipedia.org/wiki/Microprocessor_chronology.
- [4] Juin J. Liou and Frank Schwierz, “*Evolution and recent advances in RF/microwave transistors*”, Journal of Telecommunications and Information Technology, Jan. 2004.
- [5] H. F. Cooke, “*Microwave transistors: theory and design*”, Proc. IEEE, vol. 59, pp. 1163-1181, 1971.
- [6] C. A. Mead, “*Schottky barrier gate field effect transistor*”, Proc. IEEE, vol. 59, pp. 307-308, 1966.
- [7] W. Baechtold, K. Daetwyler, T. Forster, T. O. Mohr, W. Walter, and P. Wolf, “*Si and GaAs 0.5 μm gate Schottky-barrier field-effect transistors*”, Electron. Lett., vol. 9, pp. 232-234, 1973.
- [8] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, “*A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions*”, Jpn. J. Appl. Phys., vol. 19, pp. L225-L227, 1980.

- [9] Smith P.M., Liu S.-M.J., Kao M.-Y., Ho P., Wang S.C., Duh K.H.G., Fu S.T., Chao P.C., “*W-band high efficiency InP-based power HEMT with 600 GHz f_{max}* ”, Microwave and Guided Wave Letters, IEEE [see also IEEE Microwave and Wireless Components Letters], vol. 5, no. 7, pp. 230-232, Jul. 1995.
- [10] M. J. W. Rodwell, M. Urteaga, T. Mathew, D. Scott, D. Mensa, Q. Lee, J. Guthrie, Y. Betsler, S. C. Martin, R. P. Smith, S. Jaganathan, S. Krishnan, S. I. Long, R. Pullela, B. Agarwal, U. Bhattacharya, L. Samoska, and M. Dahlstrom, “*Submicron scaling of HBTs*”, in IEEE Trans. Electron Dev., vol. 48, pp. 2606-2624, 2001.
- [11] Lai R., Mei X. B., Deal W. R., Yoshida W., Kim Y. M., Liu P. H., Lee J., Uyeda J., Radisic V., Lange M., Gaier T., Samoska L., Fung A., “*Sub 50 nm InP HEMT Device with F_{max} Greater than 1 THz*”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pp. 609-611, 10-12 Dec. 2007.
- [12] Momose H.S., Morifuji E., Yoshitomi T., Ohguro T., Saito I., Morimoto T., Katsumata Y., Iwai H., “*High-frequency AC characteristics of 1.5 nm gate oxide MOSFETs*”, Electron Devices Meeting, 1996., International , pp.105-108, 8-11 Dec. 1996.
- [13] Sungjae Lee et al., “*Record RF performance of 45-nm SOI CMOS Technology*”, IEDM, Dec. 2007.
- [14] *International Technology Roadmap for Semiconductors*, Online. Available : <http://www.itrs.net/Common/2006ITRS/Home2006.html>.
- [15] Chen C.L. et al., “*High-performance fully-depleted SOI RF CMOS*”, IEEE Electron Device Letters, vol. 23, no. 1, pp. 52-54, January 2002.
- [16] Tiemeijer L.F. et al., “*A record high 150 GHz f_{max} realized at 0.18 μm gate length in an industrial RF-CMOS technology*”, IEDM'01 Technical Digest, pp. 223-226, 2001.
- [17] J. N. Burghartz, M. Hargrove, C. S. Webster, R. A. Groves, M. Keene, K. A. Jenkins, R. Logan and E. Nowak, “*RF Potential of a 0.18- μm CMOS Logic Device*”, IEEE Transactions on Electron Devices, vol. 47, no. 4, April 2000.

- [18] Zamdmer N. et al., “*A 0.13- μm SOI CMOS Technology for low-power Digital and RF Applications*”, 2001 Symposium on VLSI Technology Digest, pp. 85-86, 2001.
- [19] Vanmackelberg M. et al., “*90 nm SOI-CMOS of 150 GHz f_{max} and 0.8 dB NF $_{min}$ @ 6 GHz for SOC*”, IEEE International SOI Conference, Williamsburg, VA, Oct. 7-10, 2002.
- [20] Zamdmer, N. et al., “*243-GHz f_T and 208-GHz f_{max} 90-nm SOI CMOS SoC technology with low-power millimeter-wave digital and RF circuit capability*”, 2004 Symposium on VLSI Technology, Digest of Technical Papers., pp. 98–99, June 15-17, 2004.
- [21] *Compound Semiconductor Magazine*, pp. 31-33, January/February 2002,.
- [22] Matsumoto T. et al., “*70 nm SOI CMOS of 135 GHz f_{max} with dual offset-implanted source-drain extension structure for RF/analog and logic application*”, IEDM’01 Technical Digest, pp. 219-222, 2001.
- [23] Dambrine G., Gloria D., Raynaud C., Danneville F., Lepilliet S., Siligaris A., Pailloncy G., Martineau B., Bouhana E., Valentin R., “*High frequency low noise potentialities of down to 65-nm technology nodes MOSFETs*”, Proc. of 13th European Gallium Arsenide & Other Compound Semiconductors Application Symposium (GaAs), Paris, Oct. 03-04 2005.
- [24] Momose H.S. et al., “*Cutoff frequency and propagation delay time of 1.5-nm gate oxide CMOS*”, IEEE Transaction on Electron Devices, vol. 48, no. 6, pp. 1165-1174, June 2001.
- [25] Zamdmer N. et al., “*Suitability of scaled SOI CMOS for high-frequency analog circuits*”, ESSDERC, 2002.
- [26] Narashima S. et al., “*High performance sub-40 nm CMOS devices on SOI for the 70-nm technology node*”, IEDM’01 Technical Digest, pp. 625-627, 2001.
- [27] Sungjae Lee et al., “*Record RF Performance of Sub-46 nm Lgate NFETs in Microprocessor SOI CMOS Technologies*”. Proceeding of IEDM, Dec. 2005.
- [28] I. Post et al., “*A 65nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications*”. Proceeding of IEDM, Dec. 2006.

- [29] M. Fritze et al., “*High-Speed Schottky-Barrier pMOSFET with $f_T=280\text{GHz}$* ”, IEEE Electron Devices Letters, vol. 25, no. 4, pp. 220-222, April 2004.
- [30] Hisayo Sasaki Momose et al., “*110 GHz cutoff frequency of ultra-thin gate oxide p-MOSFETs on (110) surface-oriented Si substrate*”, Toshiba Corporation, Japan, IEEE, 2002.
- [31] Joachim N. Burghartz et al., “*RF Potential of a 0.18- μm CMOS Logic Device Technology*”, IEEE, 2000.
- [32] Y. Taur, et al., “*High performance 0.1- μm CMOS devices with 1.5 V power supply*”, IEDM Tech. Dig., pp. 127–130, 1993.
- [33] V. Ferlet-Cavrois et al., “*High-Frequency Performances of a Partially Depleted 0.18- μm SOI/CMOS Technology at Low Supply Voltage—Influence of Parasitic Elements*”, IEEE Electron Device Letters, Vol. 19, no. 7, July 1998.
- [34] Barlage, D et al., “*High-frequency response of 100-nm integrated CMOS transistors with high-K gate dielectrics*”, Electron Devices Meeting, 2001. IEDM Technical Digest. International.
- [35] G. Larrieu, E. Dubois, R. Valentin, N. Breil, F. Danneville, G. Dambrine, J. P. Raskin, and J. C. Pesant, “*Low temperature implementation of dopant-segregated band-edge metallic S/D junctions in thin-body SOI p-MOSFETs*”, in IEDM Tech. Dig., pp. 147–150, Dec. 10–12, 2007.
- [36] Schwierz F., Juin J. Liou, “*RF transistors: Recent developments and roadmap toward terahertz applications*”, Solid-State Electronics, Vol. 51, pp. 1079-1091, August 2006.
- [37] T. Skotnicki et al., *MASTAR 4 User’s Guide*, Online. Available : http://www.itrs.net/Links/2007ITRS/LinkedFiles/PIDS/MASTAR5/Mastar5_ITRS_2007/instructions.pdf.
- [38] G. Larrieu and E. Dubois, “*Schottky-Barrier source/drain MOSFETs on ultrathin SOI body with a tungsten metallic midgap gate*”, IEEE Electron Device Lett., vol. 25, no. 12, pp. 801–803, Dec. 2004.

- [39] D. Connelly et al., “*Performance advantage of Schottky source/drain in ultrathin-body silicon-on-insulator and dual-gate CMOS*”, IEEE Trans. Electron Devices, vol. 50, no. 5, pp. 1340–1345, May 2003.
- [40] S. Xiong et al., “*A comparison study of symmetric ultrathin-body doublegate devices with metal source/drain and doped source/drain*”, IEEE Trans. Electron Devices, vol. 52, no. 8, pp. 1859–1867, Aug. 2005.
- [41] R. Valentin, E. Dubois, J.-P. Raskin, G. Dambrine, G. Larrieu, N. Breil, and F. Danneville, “*Investigation of high frequency performance for Schottky-barrier p-MOSFET*”, in Proc. Top. Meeting Silicon Monolithic Integr. Circuits RF Syst., Long Beach, CA, pp. 32–35, Jan. 10–12, 2007.
- [42] METAMOS Project, *IST-016677*, online: <http://metamos.univ-lille1.fr/>.

CHAPITRE 1

INTRODUCTION DU TRANSISTOR MOSFET À CONTACTS SCHOTTKY A FAIBLES HAUTEURS DE BARRIERE

1.1.	Introduction	1.3
1.2.	Principe de fonctionnement du transistor MOSFET – Effets physiques,.....	
	Problématiques	1.4
1.2.1	Généralités sur la structure Métal–Oxyde–Semi-conducteur (MOS)	1.5
1.2.2	Courant de drain, Transconductance, Capacités.....	1.7
1.2.3	Transistor MOS sur substrat SOI	1.9
1.2.4	Effets parasites liés à la miniaturisation.....	1.13
1.2.4.1	Effets canaux courts – facteur d’échelle.....	1.14
1.2.4.2	Saturation de la vitesse – dégradation de la mobilité.....	1.16
1.2.4.3	Déplétion de la grille	1.18
1.2.4.4	Courant de fuite de la grille	1.19
1.2.4.5	Résistances séries de source et drain.....	1.22
1.2.4.6	Capacités parasites	1.25
1.3.	Solutions à l’amélioration des performances du MOSFET	1.26
1.3.1	Substrat SOI à film ultra fin – transistor totalement déserté	1.27
1.3.2	Empilement de grille métallique sur oxyde high- κ	1.28
1.3.3	Ingénierie de canal	1.28
1.4.	Présentation du MOSFET à contacts source et drain Schottky.....	1.30
1.4.1	Généralités sur la jonction métal-semi-conducteur – Diode Schottky	1.32
1.4.2	Modèles de transport pour une jonction Schottky	1.39
1.5.	Propriétés dynamiques des transistors MOSFET en régime petit signal.....	1.44
1.5.1	Définitions des Figures–de–Mérite hyperfréquences et petits signaux des.....	
	transistors	1.46
1.5.2	Schéma équivalent petit signal du transistor MOSFET	1.48
1.6.	Conclusion.....	1.51
1.7.	Références bibliographiques	1.51

CHAPITRE 1

INTRODUCTION DU TRANSISTOR MOSFET À CONTACTS
SCHOTTKY À FAIBLES HAUTEURS DE BARRIÈRE

1.1. Introduction

Le transistor MOSFET à contacts source et drain Schottky sur substrat SOI (*Silicon On Insulator*) ultra mince est un transistor dont les zones de source et drain conventionnellement très dopées sont métalliques et dont l'épaisseur du film de silicium actif, isolé par un oxyde enterré, est typiquement inférieure à la dizaine de nanomètres. Le mode de fonctionnement du transistor est alors régi par de nombreux mécanismes physiques qui s'associent et s'entremêlent. La Fig. 1.1 présente schématiquement un transistor de longueur de grille équivalente à 30-nm, typiquement fabriqué dans le cadre du projet européen METAMOS. Si on observe la structure verticalement, il s'agit d'une structure Métal–Oxyde–Semi-conducteur (MOS) sur substrat SOI dont le film de silicium intentionnellement non dopé est totalement déserté (FD, en anglais *Fully Depleted*) à l'équilibre thermodynamique. Les courbures de bandes sont donc naturellement contrôlées par l'effet de champ de la grille. Lorsque l'on observe la structure horizontalement, il s'agit d'une structure de diodes Schottky en vis-à-vis. Les courbures de bandes aux interfaces sont donc aussi influencées par l'effet des diodes. Avant de présenter le mode de fonctionnement entier du transistor, il paraît donc important de réaliser une étude préliminaire sur chacune des structures. Nous nous proposons d'articuler ce chapitre en plusieurs parties. La première partie sera consacrée à la description générale du transistor MOSFET conventionnel. Nous détaillerons notamment les différentes propriétés de la structure dipolaire Métal–Oxyde–Semi-conducteur (MOS), les effets liés à la diminution des tailles des transistors MOSFET autant que les diverses technologies qui permettront sa continuelle évolution. En seconde partie, nous décrirons la jonction Métal/Semi-conducteur (MS) en exposant l'effet Schottky, les différents mécanismes de transport qui ont lieu au travers de la barrière électrostatique et les différents effets physiques qui

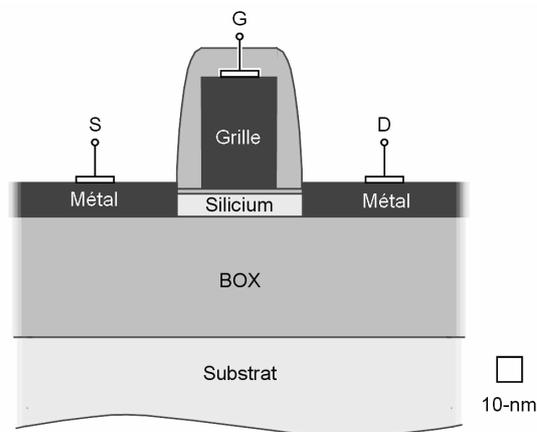


Fig. 1.1 : Schématique d'un transistor SB-MOSFET sur film SOI ultra fin fabriqué à l'IMEP dans le cadre du projet METAMOS [1]. Les longueurs et des largeurs sont normalisées suivant un carré de longueur de coté équivalente à 10-nm. La longueur de grille est équivalente à 30-nm, l'épaisseur de silicium à 10-nm, l'épaisseur d'oxyde à 2-nm.

les propriétés dynamiques du transistor SB-MOSFET dans le domaine des hautes fréquences, nous exposerons en troisième partie les différentes figures de mérite du régime petit signal qui permettront d'évaluer ses performances. Nous discuterons également du modèle petit signal du transistor MOSFET. En dernière partie de ce chapitre, nous concluons.

1.2. Principe de fonctionnement du transistor MOSFET – Effets physiques, Problématiques

Le transistor MOSFET est un transistor à effet de champ à jonctions Métal–Oxyde–Semi-conducteur (MOS). Il fait donc partie de la catégorie des transistors à effet de champ (FET) comprenant notamment les transistors JFET pour « *Junction Field-Effect Transistor* », MESFET pour « *MEtal–Semiconductor Field-Effect Transistor* » ou encore HEMT pour « *High Electron Mobility Transistor* ». Le transistor FET est par définition un transistor qui repose sur un champ électrique pour contrôler la conductivité d'un « canal » dans un matériau de type semi-conducteur. Pour créer l'effet de champ, le transistor MOSFET est basée sur une structure en « sandwich » comprenant un matériau hautement conducteur, tel qu'un polysilicium ou un métal, un diélectrique, tel qu'un oxyde de silicium et un semi-conducteur, ici, le silicium. En appliquant une différence de potentiel entre le métal et le semi-conducteur, un champ électrique est engendré dans l'oxyde et à l'interface oxyde–semi-conducteur. Selon l'amplitude du champ, des charges mobiles sont créées et plaquées à l'interface formant un « canal » concentré en électrons (ou en trous). La quantité de charges mobiles dans le canal détermine alors la conductivité du semi-conducteur.

Cependant, pour obtenir un effet « transistor » entier, il convient de disposer d'une quantité de charges mobiles capable d'être déplacées d'une extrémité à l'autre du canal. Pour ce faire, le transistor MOSFET comporte deux réservoirs de porteurs dont il est possible de moduler les niveaux d'énergie respectifs. En appliquant une différence de potentiel, les niveaux d'énergie de ces réservoirs se distinguent, les électrons libres sont alors capables de transiter par l'intermédiaire du canal du niveau d'énergie le plus élevé au niveau d'énergie le plus faible. Ce déplacement de porteurs qui traverse le transistor, autrement dit, le courant source–à–drain, peut être ajusté grâce au champ électrique de la grille. La Fig. 1.2 présente schématiquement un transistor MOSFET composé des deux réservoirs et du canal en mode « passant ». Conventionnellement, le métal de la structure MOS est intitulé « grille » alors que les réservoirs de porteurs s'intitulent zones de « source » et « drain ».

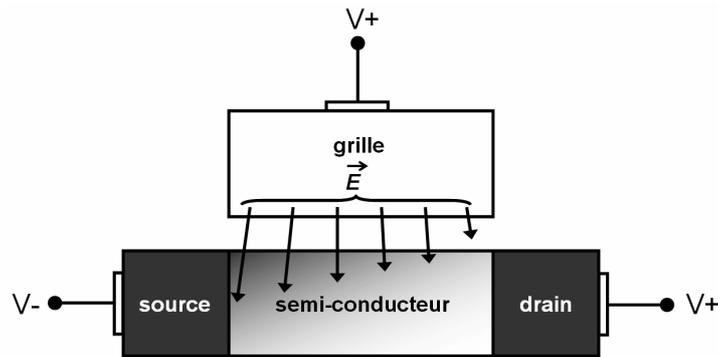


Fig. 1.2 : Schématique d'un transistor MOSFET. Les champs électriques \vec{E} sont représentés ici par des flèches dont les longueurs sont proportionnelles aux amplitudes des champs. La concentration de charges mobiles dans le semi-conducteur est proportionnelle à l'intensité de la couleur. On observe qu'à cause du choix des niveaux de potentiel, les amplitudes et les directions des champs électriques, ainsi que la concentration des charges mobiles dans le canal ne sont pas uniformes sur l'ensemble du canal, les charges étant principalement concentrées côté source.

1.2.1 Généralités sur la structure Métal–Oxyde–Semi-conducteur (MOS)

Afin de préparer notre discussion sur les transistors MOSFET, ce paragraphe se propose en premier lieu d'éclairer les différents modes de fonctionnement de la structure MOS dipolaire à l'aide d'un cas académique simple. Nous considérerons donc une structure comprenant la structure « sandwich » : –polysilicium dégénéré par des dopants de type n , –oxyde de silicium et –silicium ionisé par des dopants de type p . Lorsque cette structure est polarisée avec une tension V_G , l'effet de champ dérivé de la tension de grille entraîne une variation de charges à l'interface oxyde–semi-conducteur. Différents régimes sont alors identifiables. Dépendant du type et de la concentration du semi-conducteur, c'est-à-dire de *type n* ou de *type p* , dépendant de la fonction de travail de la grille W_{jm} et naturellement du potentiel externe appliqué, la structure pourra être en mode *accumulation*, *déplétion/désertion*, ou *inversion* de porteurs majoritaires. La Fig. 1.3 présente schématiquement ces différents modes en fonction de la tension V_G [2].

Pour discriminer ces trois régimes, la structure MOS s'articule par définition autour de deux tensions de transition, la tension de seuil V_{th} et la tension de bande plate V_{FB} . Pour mettre en évidence par la théorie les tensions de transition des différents régimes, la Fig. 4 présente la densité surfacique de charges calculée dans une structure MOS en fonction de la tension externe V_G . Ainsi, nous pouvons isoler distinctement ces régimes, du régime d'accumulation pour les tensions V_G inférieures à V_{FB} , au régime de désertion, lorsque les tensions V_G sont comprises entre V_{FB} et V_{th} jusqu'au régime d'inversion lorsque les tensions V_G sont supérieures à V_{th} . Rappelons que seules les charges mobiles, c'est-à-dire les charges d'accumulation et les charges d'inversion, participent au transport du courant entre les zones de source et drain.

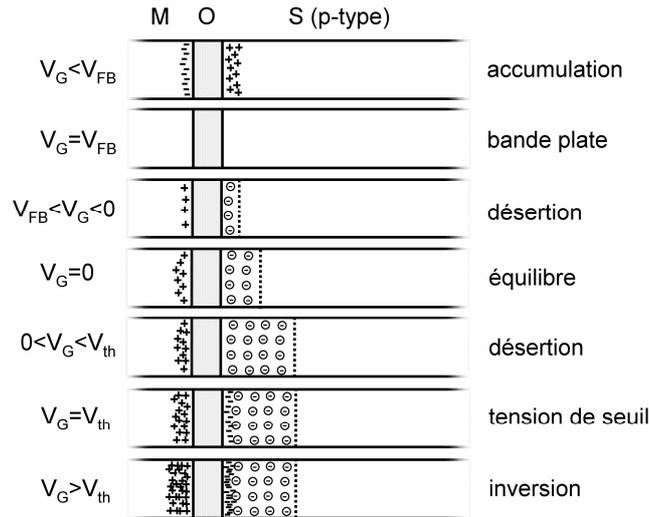


Fig. 1.3 : Présentation des différents régimes pour la structure Métal–Oxyde–Semi-conducteur selon la tension appliquée V_G .

A partir de ces considérations, nous pouvons dès lors exprimer simplement la tension de bande plate (1.1) et la tension de seuil (1.2) dans les conditions où la densité effective de pièges ou de charges d'interface est considérée négligeable et le potentiel arrière nul :

$$V_{FB} = \frac{Wf_s - Wf_m}{q} \quad (1.1)$$

$$\text{et} \quad V_{th} = V_{FB} + 2\Phi_F + \gamma\sqrt{2\Phi_F} \quad (1.2)$$

où $Wf_s - Wf_m$ est la différence des fonctions de travail du silicium et du métal, q , la charge électronique, $\Phi_F = \Phi_t \ln(N_a/n_i)$ le potentiel de *Fermi* à l'équilibre thermodynamique et γ le coefficient de l'effet *body* définie par (1.3) :

$$\gamma = \frac{\sqrt{2q\epsilon_s N_a}}{C'_{ox}} \quad (1.3)$$

Rappelons que le coefficient de l'effet *body* correspond physiquement à la réponse électrostatique du potentiel substrat à l'équilibre thermodynamique sur le potentiel de surface. Il dépend donc des propriétés du substrat, en l'occurrence de sa concentration en dopants N_a mais également de la capacité d'oxyde surfacique $C_{ox}' (= \epsilon_{ox}/t_{ox})$ et donc de l'épaisseur t_{ox} . La fonction de travail du silicium, quant à elle, dépend uniquement de la concentration en dopants du substrat.

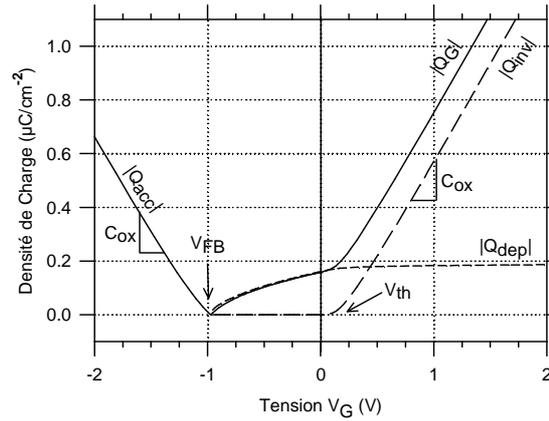


Fig. 1.4 : Exemple de densité surfacique de charge calculée dans une structure MOS (Fig. 1.3) en fonction de la tension appliquée V_{gb} . La structure est définie par un poly-silicium de type n, une épaisseur d'oxyde de 4.5-nm et un substrat dopé p à 10^{17} cm^{-3} . $|Q_G|$ est la charge dans la grille, $|Q_{inv}|$ la charge de la zone d'inversion, $|Q_{dep}|$ la charge de la zone de désertion et $|Q_{acc}|$ la charge d'accumulation. Les pentes des courbes de charges d'accumulation et d'inversion sont égales à la capacité d'oxyde.

On observe également sur la Fig. 1.4 que pour des tensions supérieures à la tension de seuil V_{th} , la densité de charge de déplétion tend à rester quasi constante. La zone de charge d'espace reste alors limitée à une largeur maximale de zone désertée d_{max} qui peut s'exprimer par la relation (1.4) :

$$d_{max} = \frac{Q_{depl}}{qN_a} = \sqrt{\frac{4\epsilon_{si}\Phi_F}{qN_a}} \quad (1.4)$$

avec Φ_F le potentiel de Fermi du silicium, ϵ_{si} la permittivité du silicium et N_a la concentration en dopants accepteurs d'électrons du substrat.

1.2.2 Courant de drain, Transconductance, Capacités

Dans le précédent paragraphe, nous avons exposé l'origine des différentes tensions de transition ainsi que l'évolution de la densité surfacique de charges dans la structure dipolaire MOS en fonction de la tension V_G . Fondé sur cette structure, le transistor MOSFET est sujet à ces principales propriétés. Et en effet à partir de la densité de charge surfacique d'inversion et des équations de dérive et de diffusion, une expression du courant locale dans le canal, c'est-à-dire fonction d'une position longitudinale, peut être obtenue et développée sous deux composantes : le courant de diffusion (1.5) et le courant de dérive (1.6) nommé également courant de conduction. Notons que pour être plus exact, il faudrait également inclure la participation de courants de fuite, non décrit par ces équations :

$$I_{diff}(x) = \mu_{eff} W \phi_t \frac{\partial}{\partial x} Q_{inv}(x) \quad (1.5)$$

$$I_{dérive}(x) = -\mu_{eff} W Q_{inv}(x) \frac{\partial}{\partial x} \psi_s(x) \quad (1.6)$$

où μ_{eff} est la mobilité effective dans le canal, W , la largeur du transistor, ϕ_t , la tension thermique, $\psi_s(x)$ le profil de potentiel dans le canal. En considérant que la structure est en régime d'inversion forte et en régime linéaire, ce qui permet de négliger le courant de diffusion, et en intégrant le courant de conduction sur la longueur du canal, le courant source–drain peut être exprimé par (1.7) :

$$I_{ds} = \frac{W}{L_{eff}} \mu_{eff} C'_{ox} \left(V_{gs} - V_{th} - \frac{1}{2} V_{ds} \right) V_{ds} \quad (1.7)$$

Remarquons que la forme analytique du courant en zone linéaire reste analogue à une charge volumique $Q = WC'_{ox} (V_{gs} - V_{th} - 1/2 V_{ds})$ et à une vitesse $v = \mu_{eff} V_{ds} / L_{eff}$. En régime saturé, physiquement, lorsque $V_{ds} = V_{dsat} = V_{gs} - V_{th}$, la densité surfacique de charge d'inversion du côté drain s'annule et la vitesse des électrons définie alors par (1.8) :

$$v = \mu_{eff} \frac{\partial}{\partial x} \psi_s(x) = \frac{I_{ds}}{WC'_{ox} (V_{gs} - V_{th} - \psi_s(x))} \quad (1.8)$$

La grandeur v devient infinie. La première façon de lever cet artefact de modélisation est de constater que cette vitesse infinie des porteurs ne peut correspondre qu'à un pincement du canal au niveau du drain, du fait de l'annulation de la charge de canal par l'effet de la tension de drain ($Q_{inv}(L) = 0$) et qu'ainsi, le courant reste constant est égal à la valeur particulière :

$$I_{dsat} = \frac{W}{2L_{eff}} \mu_{eff} C'_{ox} (V_{gs} - V_{th})^2 \quad (1.9)$$

A partir de l'expression du courant en saturation, la transconductance intrinsèque du transistor peut être donnée par (1.10) :

$$g_m = \frac{\partial I_{dsat}}{\partial V_{gs}} = \frac{W}{L_{eff}} \mu_{eff} C'_{ox} (V_{gs} - V_{th}) \quad (1.10)$$

En régime dynamique, les équations de charges permettent également d'obtenir les expressions des différentes capacités de grille, c'est à dire les capacités C_{gs} et C_{gd} en dérivant l'expression de la charge surfacique de grille Q_G suivant V_{gs} et V_{gd} . Meyer *et al.* [3] proposent un modèle au premier ordre décrit par les équations (1.11) et (1.12) :

$$C_{gs} = \frac{\partial Q_G}{\partial V_{gs}} = \frac{2}{3} C'_{ox} W L_{eff} \left(1 - \left(\frac{V_{gs} - V_{th} - V_{ds}}{2(V_{gs} - V_{th}) - V_{ds}} \right)^2 \right) \quad (1.11)$$

$$C_{gd} = -\frac{\partial Q_G}{\partial V_{gd}} = \frac{2}{3} C'_{ox} W L_{eff} \left(1 - \left(\frac{V_{gs} - V_{th}}{2(V_{gs} - V_{th}) - V_{ds}} \right)^2 \right) \quad (1.12)$$

Observons que ces expressions sont cohérentes pour le régime ohmique à la tension $V_{ds} = 0V$, puisque les capacités C_{gs} et C_{gd} sont égales à $0.5C_{ox}$, mais également pour le régime saturé, avec $V_{ds} \gg V_{gs} - V_t$, où le modèle capacitif devient $C_{gs} = 2/3C_{ox}$, $C_{gd} = 0$.

La Fig. 1.5 synthétise l'ensemble du modèle électrique du transistor MOSFET idéal décrit par les équations (1.7), (1.9), (1.11) et (1.12).

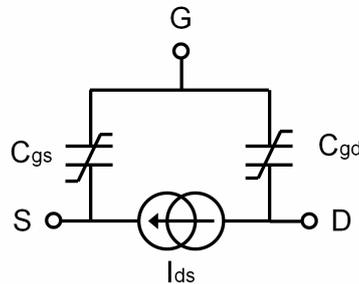


Fig. 1.5 : Représentation électrique idéale du transistor MOSFET.

1.2.3 Transistor MOS sur substrat SOI

L'idée de fabriquer un composant semi-conducteur sur une faible épaisseur de film de silicium sur isolant (SOI, en anglais *Silicon On Insulator*) provient de la volonté de concevoir un transistor quasi-idéal, tel qu'il peut être schématisé sur la Fig. 1.2. En effet, totalement isolé de son environnement par la couche d'isolation, la plupart des effets parasites tels que les courants de fuite ou les effets du substrat qui sont présents sur les transistors sur substrat massif (en anglais *Bulk*), sont réduites considérablement. Les contours de la structure d'un tel transistor sur substrat SOI obtenue à partir d'une simulation de processus technologique est présentée Fig. 1.6.

Une autre problématique encouragée par les règles de réduction d'échelle élaborées pour le transistor MOSFET sur Silicium massif, est la nécessité de réduire l'épaisseur des jonctions et d'augmenter le niveau de dopage du canal [4], [5] afin notamment de réduire les effets canaux courts. Ces exigences entraînent en contrepartie une augmentation des capacités parasites des jonctions. L'avantage topologique du SOI où les jonctions sont définies par l'épaisseur du film t_{si} , devient évident. Il faut également noter que la structure SOI est plus versatile car des paramètres supplémentaires comme l'épaisseur du film et de l'oxyde enterré (BOX, en anglais *Buried OXide*), le dopage et la polarisation du substrat peuvent être ajustés afin d'optimiser l'architecture des transistors ultracourts. De plus, ces paramètres ne sont pas susceptibles de suivre l'évolution de la réduction des dimensions. Ceci renforce les qualités naturelles de la technologie SOI vis-à-vis de la technologie sur substrat massif.

Suivant l'épaisseur de silicium t_{si} , on peut distinguer deux grands types de transistors SOI : le transistor partiellement déserté (PD, an anglais *Partially Depleted*) et le transistor totalement déserté (FD, an anglais *Fully Depleted*), respectivement lorsque t_{si} est plus grande et plus petite que la largeur maximale de zone désertée d_{max} (1.4) .

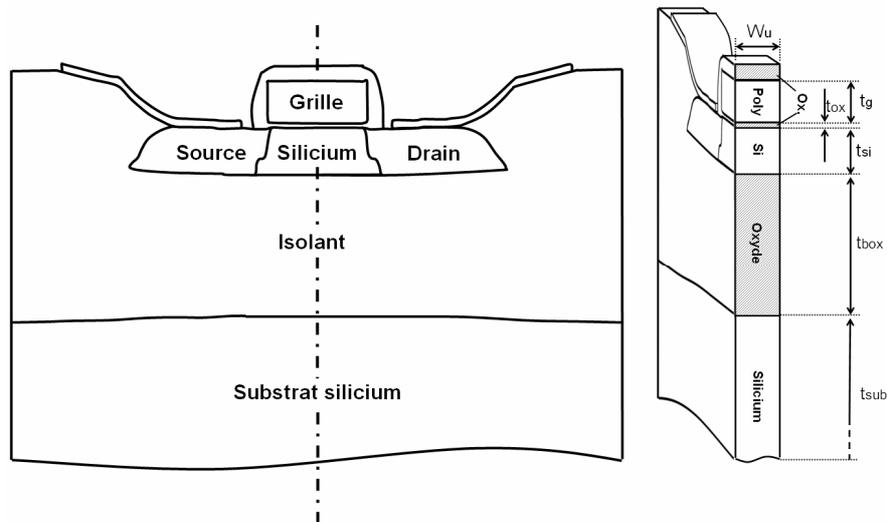


Fig. 1.6 : Contours d'un transistor partiellement déserté sur substrat SOI obtenus à partir d'une simulation de procédé technologique associée à sa coupe transversale polysilicium–oxyde–silicium–oxyde–silicium. Les épaisseurs t_g , t_{ox} , t_{si} , t_{box} et t_{sub} sont respectivement les épaisseurs de grille, d'oxyde, du film de silicium, de l'oxyde enterré et du substrat. Les paramètres de la structure sont donnés par : $t_{si} = 200\text{-nm}$, $t_{box} = 500\text{-nm}$ et $t_{ox} = 10\text{-nm}$.

De cause à effet, nous pouvons déduire que le transistor PD MOSFET risque de souffrir d'effets parasites dus à la présence d'une zone neutre localisée à une profondeur supérieure à d_{max} qui n'est pas contrôlée par le potentiel de grille ou du contact arrière. Afin de mettre en évidence cet effet, les Fig. 1.7 et 1.8 présentent les lignes iso potentielles dans le film de silicium respectivement pour un transistor MOSFET à film épais et à film mince lorsque le transistor est

polarisé en régime d'inversion ($V_{gs} = 1 \text{ V}$) et en régime de saturation ($V_{ds} = 1 \text{ V}$). Les simulations numériques des lignes iso potentielles sont réalisées sans modèle d'ionisation par impact pour accentuer l'effet de potentiel flottant dans le substrat [6]. Et en effet, sur la première structure, une perte de contrôle drastique du potentiel du substrat peut amener les porteurs tels que les trous créés par ionisation par impact à être piégés dans ce puit de potentiel. L'accumulation de charges piégées provoque alors une modification du potentiel du puit non contrôlé par l'effet de champ de la grille. De cause à effet, le potentiel du canal finit par être indubitablement corrélé à cet effet, modifiant la charge dans le canal. Le courant est alors immédiatement soumis à une variation, la conductance de canal est dégradée. Cet effet est appelé communément « *effet kink* ».

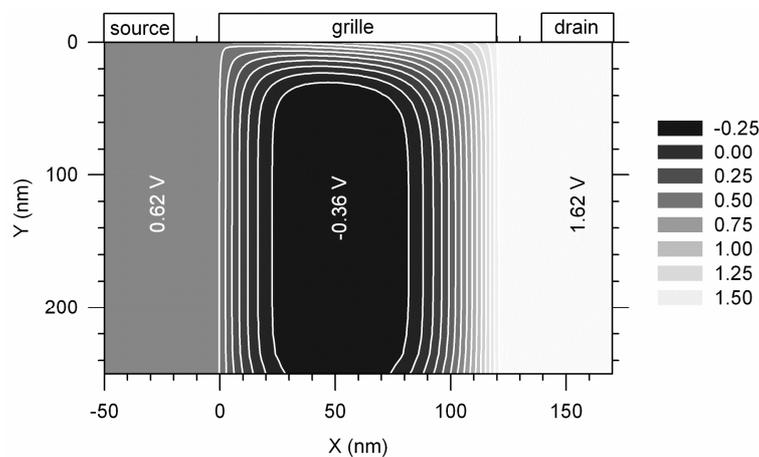


Fig. 1.7 : Lignes iso potentielles dans une structure MOSFET partiellement déserté (à substrat flottant) sans modèle d'ionisation par impact. Les zones de source et drain sont exagérément profondes pour accentuer les effets canaux courts. Les lignes ne sont représentées uniquement que dans le silicium actif. La longueur de grille vaut 120-nm, l'épaisseur de silicium vaut 250-nm et l'épaisseur d'oxyde 3-nm. Les tensions de grille et drain sont placées à $V_{ds} = V_{gs} = 1 \text{ V}$. Les zones de source et drain sont uniformes sur l'ensemble de l'épaisseur du silicium (cas défavorable). Le transistor est paramétré pour obtenir une tension de seuil proche de 0.2 V . Notons que ce transistor simulé n'est pas optimisé pour réduire les effets canaux courts, cependant il met en évidence plus aisément la problématique des transistors partiellement désertés.

Pour annihiler cette perte de contrôle du potentiel de substrat, les transistors PD peuvent posséder une prise qui connecte à la masse le substrat (BC, en anglais *Body Contacted*), ce qui le différencie désormais de la structure initiale à substrat flottant (FB, en anglais *Floating Body*). Les caractéristiques du transistor sont alors similaires à celle d'un transistor MOSFET sur substrat massif, cependant en conservant une forte immunité avec les parasites. A noter qu'en régime dynamique, cet effet de potentiel substrat flottant est court-circuité avec la source par la capacité de la jonction lorsque la fréquence du signal augmente, typiquement au-delà du Méga Hertz, ne permettant plus de discerner un transistor FB d'un BC.

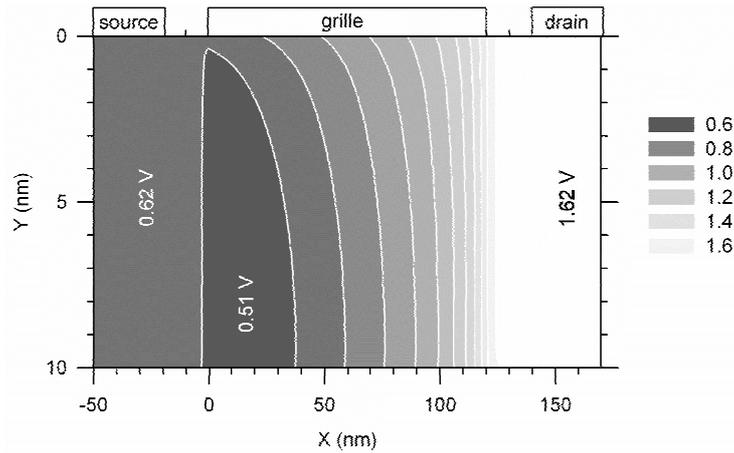


Fig. 1.8 : Lignes iso-potentiels pour une structure totalement désertée. Les lignes ne sont représentées uniquement que dans le silicium actif. La longueur de grille vaut 120-nm, l'épaisseur de silicium vaut $t_{Si} = 10$ -nm et l'épaisseur d'oxyde $t_{ox} = 3$ -nm. Les potentiels de grille et drain sont placés à 1 V.

Dans la seconde structure, la faible épaisseur dissipe implicitement cette perte de contrôle de la grille à plus grande profondeur dans le substrat. La structure est alors peu réceptive à l'accumulation de porteurs pouvant modifier les propriétés du canal. L'intégrité électrostatique dans les structures SOI à film fin est donc améliorée. Il faut observer également que étant donné que le profil des potentiels dans le canal est moins abrupt, le champ électrique longitudinal est moins intense dans le canal réduisant l'effet parasite d'ionisation par impact.

De plus, il existe une propriété dans les transistors MOSFET (non pris en compte dans (1.9)) qui dégrade le courant du transistor qui est le couplage entre la tension de la grille et le potentiel de l'interface. Pour tenir compte de cet effet, *J.-P. Colinge* [6] a dérivé les expressions des charges dans le cas de transistor Bulk et SOI et montre que le courant peut être exprimé plus exactement comme (1.13), en prenant en compte un facteur de correction α .

$$I_{dsat} = \frac{W}{2L_{eff}} \mu_{eff} \frac{C_{ox}'}{1 + \alpha} (V_{gs} - V_{th})^2 \quad (1.13)$$

$$\text{avec } \alpha_{Bulk,PD} = \frac{C_{depl}}{C_{ox}} = \frac{\epsilon_{Si}}{d_{max} C_{ox}} \quad (1.14)$$

$$\text{avec } \alpha_{FD} = \frac{C_{Si} C_{ox}}{C_{ox} (C_{Si} + C_{ox})} \quad \text{avec } C_{Si} = \frac{\epsilon_{Si}}{t_{Si}} \quad (1.15)$$

Ainsi, il en conclut que le coefficient α défini pour les transistors FD MOSFET est plus petit que ceux pour les transistors Bulk ou PD (1.14), (1.15), justifiant que le courant de drain est

définitivement plus important dans le cas de transistor FD, tout en confortant des courants de fuite plus faibles.

Le transistor FD MOSFET possède également des propriétés qui montrent que le champ électrique vertical à travers l'oxyde de grille est abaissé sur l'ensemble du film de silicium vis-à-vis du transistor MOSFET conventionnel [6]. La réduction du champ électrique de surface se traduit alors par un élargissement du canal d'inversion (ou d'accumulation), qui mène à une réduction des interactions entre les porteurs mobiles et l'interface oxyde-semi-conducteur [7]. On observera donc une augmentation de la mobilité dans les transistors FD MOSFET. L'objectif est implicitement d'être dans les conditions d'un film de silicium entièrement inversé afin d'obtenir un MOSFET ayant un comportement volumique et donc avec une meilleure uniformité des porteurs dans le film.

1.2.4 Effets parasites liés à la miniaturisation

Depuis les dernières décennies, on a assisté à une diminution incessante des dimensions. Aujourd'hui, l'avancée technologique nous permet de fabriquer à l'état expérimental des transistors dont les échelles sont de l'ordre de quelques dizaines d'atomes à quelques atomes. Il existe alors des effets de quantification que seules les équations de la mécanique quantique peuvent résoudre. A ces échelles, les dimensions sont si petites que même l'uniformité du dopage d'un semi-conducteur perd son sens¹, que l'électron peut prendre des propriétés ondulatoires et traverser des champs qui s'opposent à son déplacement et que les caractéristiques en courant ne sont plus continues mais deviennent quantifiées... Cependant avant d'atteindre l'ultime, c'est-à-dire l'atome, un certain nombre de problèmes « plus macroscopiques » se posent encore actuellement. Les premiers effets causés par la diminution des échelles, que toute la communauté scientifique tente de contrôler à chaque génération des transistors MOSFET, sont les effets canaux courts.

¹ Physiquement, le nombre d'atomes de silicium par unité de volume est de $5 \times 10^{22} \text{ cm}^{-3}$, si on considère un volume de 10^{-16} cm^3 ($=10\text{-nm} \times 10\text{-nm} \times 1\text{-}\mu\text{m}$), il y aura 5×10^6 atomes. De plus, si on considère un dopage en impuretés de 10^{16} cm^{-3} , cela correspondra donc à avoir 1 unique atome d'impureté dispersé dans cette boîte. Autrement dit, le silicium est non dopé strictement si la concentration de dopants est plus petite que 10^{16} cm^{-3} . En outre, s'il n'y a que quelques atomes d'impuretés distribués, il faut tenir compte également des effets de variations statistiques.

1.2.4.1 Effets canaux courts – facteur d'échelle

Ces dernières années, nous assistons à des dimensions physiques des transistors MOSFET si petites que nous ne pouvons plus nous permettre de négliger les effets de « bords » au sens large qui affectent le canal. Et en effet, le canal n'est plus seulement gouverné par un effet unidimensionnel, c'est-à-dire uniquement contrôlé par l'effet de champ de la grille mais également par le champ longitudinal résultant du potentiel du drain. Les conséquences sont nombreuses. La première, significative sur un transistor court et observable sur une caractéristique courant–tension, est l'augmentation du courant de saturation avec la tension de drain. Lorsque le transistor est polarisé par un excès de tension de drain, c'est-à-dire lorsque $V_{gd} = V_{gs} - V_{ds} < V_{th}$, le canal devient pincé côté drain et l'inversion n'est plus réalisée sur toute la longueur du canal réduisant la longueur effective de canal ($L_{eff} = L_g - \Delta l$). Le courant de saturation inversement proportionnel à la longueur effective croît alors d'autant plus que la longueur de grille L_g diminue. L'effet de saturation du transistor n'est plus assuré. Le pouvoir de contrôle de la grille sur le potentiel du canal est réduit. Les conséquences se traduisent par une forte dégradation des caractéristiques de courant mais également par une forte dégradation des performances RF (f_{max}) [2], [8].

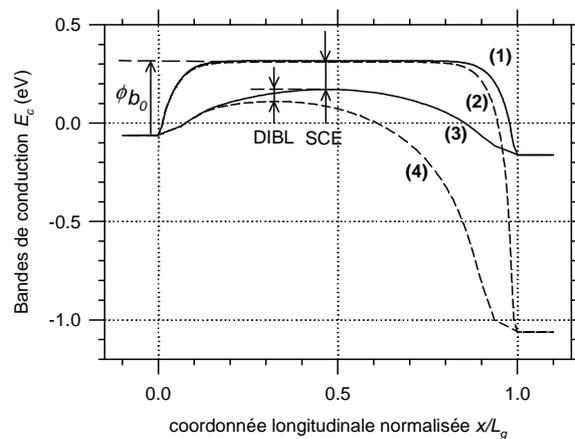


Fig. 1.9 : Simulations des bandes de conduction le long du canal à tension de grille nulle à 1-nm sous l'oxyde de grille. Les coordonnées x sont normalisées à la longueur de grille L_g . La bande de conduction (1) est simulée pour un n-MOSFET de longueur de grille $L_g = 500\text{-nm}$ et pour $V_{ds} = 0.1\text{ V}$, (2) pour $L_g = 500\text{-nm}$ et pour $V_{ds} = 1\text{ V}$, (3) pour $L_g = 60\text{-nm}$ et pour $V_{ds} = 0.1\text{ V}$, (4) pour $L_g = 60\text{-nm}$ et pour $V_{ds} = 1\text{ V}$. ϕ_{b0} est la hauteur de barrière de potentiel observée par les électrons lorsque le canal est pincé ($V_{gs} = 0\text{ V}$) et pour un transistor dont les effets d'abaissement de barrière sont nuls.

La Fig. 1.9 présente les conséquences de l'effet canal court (SCE) et de l'effet d'abaissement de la barrière induite par le potentiel de drain (DIBL) sur la bande de conduction le long du canal de transistors de longueurs de grille 500-nm et 60-nm. L'effet canal court est montré par une

différence de hauteur de la barrière de potentiel entre les courbes (1) et (3) alors que l'effet DIBL est montré par une différence de hauteur de la barrière de potentiel entre les courbes (1), (2) et (3), (4). Premièrement, il apparaît clairement que l'effet canal court réduit considérablement la barrière de potentiel observée par les électrons. La force électrostatique créée par le potentiel de grille est réduite. Deuxièmement, l'influence du potentiel de drain sur la barrière est non négligeable. Ceci se traduit par un impact important sur le courant de fuite qui est largement aggravé avec une forte sensibilité de la tension de seuil V_t avec la tension V_{ds} .

Nous avons présenté l'influence des effets canaux courts à l'état 'off' ($V_{gs} = 0\text{ V}$), cependant il est intéressant d'observer l'impact des effets canaux courts à l'état 'on'. Pour cela, la Fig. 1.10 présente la dynamique d'amplitude de la bande de conduction avec la tension de grille ($\delta E_c / \delta V_{gs}$) pour un point de polarisation considéré $V_{gs} = V_{ds} = 1\text{ V}$.

On peut observer d'une part, que le contrôle de la bande de conduction est beaucoup plus important dans le cas de transistor long plutôt que court. D'autre part, la longueur effective de grille normalisée ($= L_{eff}/L_g$) est également proportionnellement réduite dans le cas de transistor à canal court. La conclusion est identique, l'effet de champ de la grille sur le canal est donc largement affaibli. L'impact sur les performances statiques et dynamiques est alors sensible et se traduit par une diminution du courant de saturation et donc de la transconductance et des fréquences de coupure qui ne suivent alors plus une évolution respectivement proportionnelle à $1/L_g$ et à $1/L_g^2$.

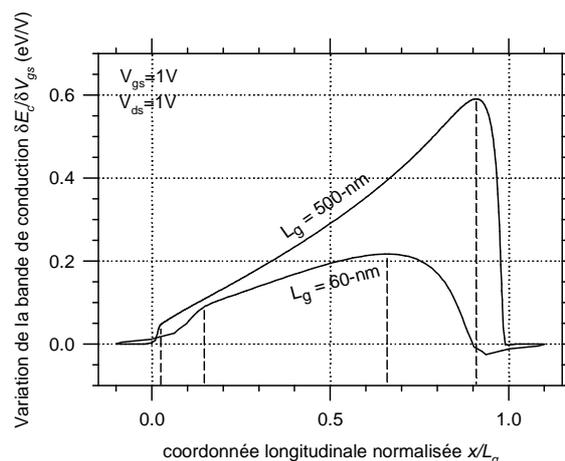


Fig. 1.10 : Dynamique d'amplitude de la bande de conduction avec la tension de grille $\delta E_c / \delta V_{gs}$ le long du canal au point de polarisation $V_{gs} = V_{ds} = 1\text{ V}$ pour deux longueurs de grille 60-nm et 500-nm .

Afin de limiter les effets canaux courts lors de changements de nœuds technologiques, la diminution de la longueur de grille doit s'accompagner d'une modification des dimensions et des

niveaux de dopage du transistor MOSFET dont les principaux facteurs sont décrits Tab. 1.1 [2]. Ainsi, par exemple, si le facteur de réduction de la longueur de grille est α , l'oxyde de grille doit être réduite de α et le dopage du substrat augmenté de α^2 dans la condition des tensions appliquées constantes.

Tab. 1.1 : Principales règles d'échelle des transistors MOSFET sur substrat massif [2].

Paramètres	Symboles	Facteurs à champ électrique constant	Facteurs à tension constante	Facteurs à tension constante avec saturation de vitesse
Longueur de grille	L	$1/\alpha$	$1/\alpha$	$1/\alpha$
Épaisseur d'oxyde	t_{ox}	$1/\alpha$	$1/\alpha$	$1/\alpha$
Dopage du substrat	N	α	α^2	α^2
Champ électrique	\mathcal{E}	1	α	α
Capacité d'oxyde	C_{ox}'	α	α	α
Temps de transit	t_r	$1/\alpha^2$	$1/\alpha^2$	$1/\alpha$
Fréquence de transit	f_t	α^2	α^2	α
Tensions	V	$1/\alpha$	1	1
Courant	I	$1/\alpha$	α	1

1.2.4.2 Saturation de la vitesse – dégradation de la mobilité

Avec la réduction des tailles des composants, les champs électriques s'élèvent dans les structures, permettant aux porteurs d'accroître proportionnellement leur vitesse cinétique et ainsi de diminuer leurs temps de transit. Cependant, dans le cas de forts champs, les porteurs deviennent « chaud », *i.e.*, fortement énergétiques, et subissent des interactions ou des collisions, ce qui augmente le temps de transit. La vitesse n'est alors plus une fonction linéaire du champ électrique et tend à saturer. Ces mécanismes de dispersion peuvent être causés par des interactions avec les vibrations du réseau (phonons optiques), avec les impuretés ionisées, par l'influence de la rugosité de l'interface oxyde–semi-conducteur, ou même par interactions porteurs–porteurs. Toujours étant que dans le cas de transistors MOSFET sub-microniques, cela se traduit par la dégradation de la mobilité et donc par la décroissance du courant et plus globalement des performances du transistor. Afin de mettre en évidence l'évolution de la mobilité effective des porteurs dans le canal en fonction de la diminution des tailles, nous nous proposons de simuler à l'aide d'un simulateur TCAD différentes structures *n*-MOSFET dont les règles d'échelles suivent le Tab. 1.1, ceci afin de limiter les effets canaux courts. La structure de référence est un transistor MOSFET de longueur de grille $L_g = 120\text{-nm}$, d'épaisseur d'oxyde de grille équivalente à $t_{ox} = 3\text{-nm}$, et pour une concentration de dopants dans le substrat de $N_a = 4 \times 10^{17} \text{ cm}^{-3}$. Le modèle de

mobilité choisi est *Lombardi CVT* [9], [10]. Ce modèle permet de prendre en compte l'effet de dispersion avec les phonons acoustiques, l'effet de dispersion avec les phonons optiques intervallées, l'effet de la rugosité de surface, ainsi que l'effet de saturation de vitesse causée par le champ électrique longitudinal. La Fig. 1.11 présente la variation de la mobilité effective moyenne dans le canal en fonction de la longueur de grille pour la polarisation $V_{gs} = V_{ds} = 1$ V. La mobilité effective est obtenue suivant la direction du champ électrique longitudinal (direction X), suivant la direction du champ électrique transverse (direction Y) et suivant la combinaison des deux directions calculées en utilisant les règles de *Matthiessen*².

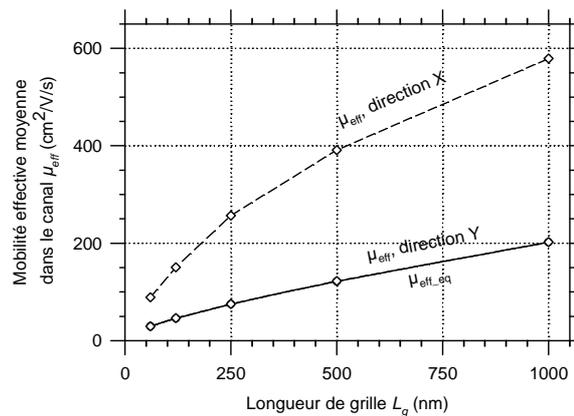


Fig. 1.11 : Mobilité effective μ_{eff} des électrons simulée et moyennée sur toute la longueur de canal à 0.5-nm sous la grille en fonction de la longueur de grille L_g . La mobilité effective est obtenue suivant la direction du champ électrique longitudinal (direction X), suivant la direction du champ électrique transverse (direction Y) et suivant la combinaison des deux directions $\mu_{eff,eq}$. Les tensions de grille et de drain sont $V_{gs} = V_{ds} = 1$ V. Parce que la mobilité suivant la direction Y est faible, la mobilité effective du porteur est confondue avec la mobilité suivant le direction Y. Les simulations sont obtenues à partir du modèle de mobilité CVT.

La première observation est que la réduction des tailles amène à une forte décroissance de la mobilité. La seconde observation est que la mobilité est surtout affectée par les effets de champs transverses plutôt que longitudinaux, en tout cas aux tensions de grille et drain considérées³. Malgré le respect des règles d'échelles, la mobilité effective dans le canal décroît, les performances du transistor sont encore abaissées, ne permettant pas l'évolution des performances suivant une diminution de la longueur de grille. Rappelons que la réduction de la mobilité par effet de saturation de vitesse est la première cause de réduction des performances des transistors MOSFET.

² Hypothèse de la non corrélation des propriétés de transport transverse et longitudinale.

³ Cette observation n'est évidemment plus le cas pour d'autres points de polarisation, notamment pour des faibles tensions V_{gs} .

1.2.4.3 Déplétion de la grille

Avec la diminution des épaisseurs d'oxyde de grille, un phénomène dit de « poly déplétion », qui a été à juste titre négligé, doit désormais être pris en compte. Ce phénomène consiste sous l'effet de la polarisation de grille à une déplétion à l'interface du matériau de grille, le polysilicium, et l'oxyde de grille. Pour limiter la déplétion, le polysilicium est extrêmement dopé, jusqu'à la limite de solubilité des dopants. Cependant il subsiste toujours pour des forts champs électriques une épaisseur de zone désertée, de l'ordre de grandeur de quelques Angströms, suffisant pour augmenter artificiellement l'épaisseur d'oxyde équivalente (EOT, en anglais Equivalent Oxide Thickness) et diminuer la capacité de grille C_{ox} . De plus, à cause des interactions avec les charges de déplétion dans la grille, la mobilité des porteurs dans le canal est réduite. Il en résulte la dégradation des performances statiques tel que le courant en saturation I_{dsat} , la transconductance G_m mais également des performances radiofréquences tel que la fréquence de coupure en courant f_T et la fréquence maximum d'oscillation f_{max} . Afin de présenter ce mécanisme, nous nous proposons de tracer le diagramme de bande d'une structure polysilicium–oxyde–semi-conducteur pour différentes concentrations de dopants dans le polysilicium (Fig. 1.12-a).

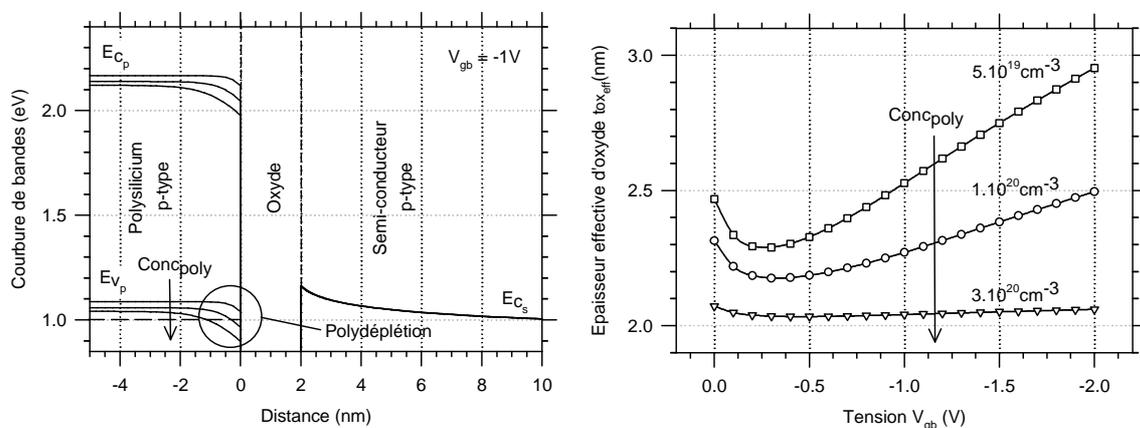


Fig. 1.12 : Simulation d'un diagramme de bande pour une structure p poly–oxyde–semi-conducteur pour différentes concentrations de dopants variant de 5×10^{19} , 10^{20} , $3 \times 10^{20} \text{ cm}^{-3}$ dans le polysilicium (a). L'oxyde de grille a une épaisseur de 2-nm. Les épaisseurs effectives d'oxyde en fonction de la tension de grille sont données pour ces différentes concentrations de dopants (b).

A l'interface poly–oxyde, les bandes d'énergie se courbent davantage lorsque le dopage décroît faisant majorer l'épaisseur d'oxyde équivalente calculée et représentée Fig. 1.12-b en fonction de la tension de grille. De plus, cet effet qui en statique dégrade la pente sous seuil, aura un impact également très important en régime dynamique sur la transconductance. Afin d'annihiler cette effet d'appauvrissement du polysilicium, une solution envisagée est le remplacement de

l'empilement de grille conventionnel Poly-Si/SiO₂ par un empilement de type grille métallique/diélectrique.

Un autre effet qui est également susceptible d'accentuer l'augmentation de l'épaisseur effective de la grille est la quantification des niveaux d'énergie dans la couche d'inversion qui est schématisée Fig. 1.13. Notons que cet effet a tendance à s'intensifier avec la diminution des échelles.

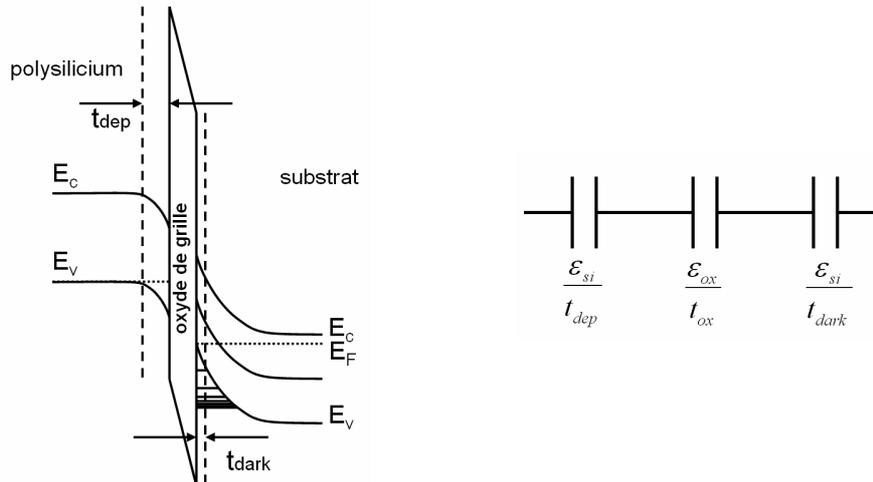


Fig. 1.13 : Schématisation présentant l'association de la polydéplétion ainsi que la quantification des niveaux d'énergie dans la couche d'inversion (a). Ces effets en série épaississent la l'épaisseur effective d'oxyde (et donc l'EOT).

1.2.4.4 Courant de fuite de la grille

La croissance significative du courant tunnel à travers l'oxyde de grille pose un autre challenge pour la réduction des courants de fuite. Des solutions technologiques ont toujours permis une réduction constante de l'épaisseur de la couche d'oxyde dans le but d'améliorer le contrôle de la couche d'inversion et donc le courant. Les épaisseurs des oxydes de grille correspondent aujourd'hui à quelques couches atomiques, résultant en un courant de fuite qui devient significatif jusqu'à être comparable en amplitude avec les courants de fuite sous le seuil.

La Fig. 1.12 présente le courant de grille surfacique I_g en fonction de la tension de grille pour différentes épaisseurs d'oxyde. Le courant de grille est calculé à partir de simulations TCAD couplé avec le seul modèle de *Fowler-Nordheim* [11] sur un transistor SOI film fin de longueur de grille 120-nm. Le courant tunnel par effet *Fowler-Nordheim* peut être exprimé par (1.16) :

$$I_g = A_g E_{ox}^2 \exp(-B_g / E_{ox}) \quad (1.16)$$

avec $E_{ox} = V_{ox}/t_{ox}$ le champ électrique dans l'oxyde, A_g et B_g les coefficients qui peuvent être calculés par [12]. Comme observé à partir de l'expression du courant tunnel de grille (1.16), le courant augmente drastiquement avec le champ électrique de grille mais également avec la diminution de l'épaisseur d'oxyde.

Rappelons qu'un courant de grille total est une combinaison de deux courants : un courant par effet tunnel direct et un courant par effet tunnel *Fowler-Nordheim*. Le courant par effet tunnel direct est majoritaire comparativement au courant tunnel par effet tunnel *Fowler-Nordheim* lorsque la barrière de potentiel dans l'oxyde est quasi-rectangulaire, c'est-à-dire lorsque le champ électrique dans l'oxyde est faible. Cependant, ces effets se contrebalancent lorsque la barrière de potentiel devient triangulaire, c'est-à-dire pour des champs électriques importants, ce qui est le cas pour des épaisseurs d'oxyde de grille faibles. Ces configurations sont schématisées Fig. 1.15.

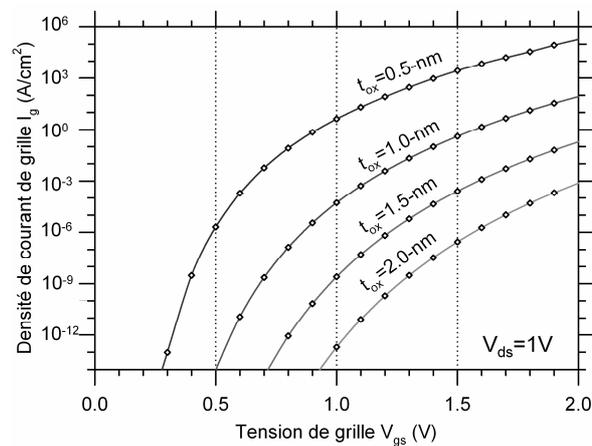


Fig. 1.14 : Simulation de la densité de courant de grille en fonction de la tension de grille pour différentes épaisseurs d'oxyde de grille. La tension V_{ds} est fixée à 1 V, la densité de courant de grille est donc plus faible que lorsque la tension V_{ds} est nulle.

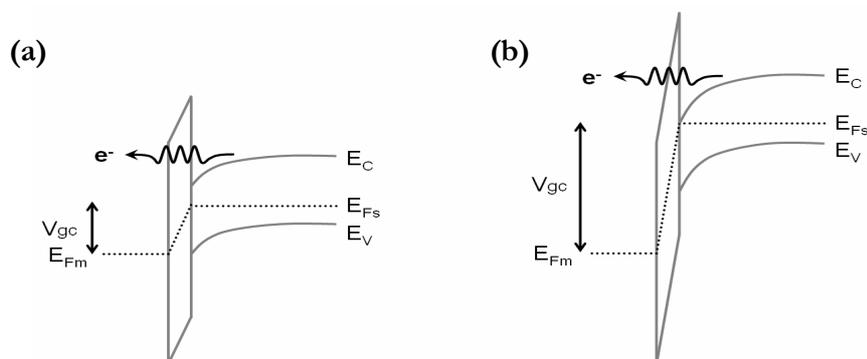


Fig. 1.15 : Schématique des courbures de bandes et de l'effet tunnel, majoritairement causé par effet tunnel direct (champ électrique faible) (a) et par effet *Fowler-Nordheim* (champ électrique élevé) (b). V_{gc} est la tension grille-à-canal.

La seule approche pour réduire le courant parasite de grille est d'épaissir physiquement l'oxyde de grille. Afin de conserver la capacité d'oxyde de grille constante, l'utilisation des matériaux High- κ ,

dont les constantes de permittivité seraient de 25 à 50, tels que l'oxyde d'hafnium [13], paraît incontournable [14]. Malgré cela, déposer technologiquement et uniquement un tel oxyde sur du silicium est complexe à réaliser notamment car le niveau de densité d'états d'interface est élevé [15] comparativement avec un simple oxyde de silicium. Ceci se traduit alors par une augmentation des interactions des porteurs avec l'interface et finalement par une réduction de la mobilité dans le canal du transistor quel que soit le niveau du champ électrique de grille. La solution intermédiaire est alors de réaliser des bicouches comprenant un oxyde de silicium SiO₂ ou encore un oxyde de silicium nitruré SiON [16] et un matériau High- κ . Ainsi, on bénéficie de meilleures propriétés électrique à l'interface SiO₂(SiON)–Si et de la haute permittivité de l'oxyde High- κ . Dans ce cas, la capacité de la bicouche se calcule à partir des expressions (1.17) et (1.18) :

$$C_{ox} = \epsilon_{SiO_2} / t_{eff} \quad (1.17)$$

$$\text{avec } t_{eff} = t_{SiO_2} \left(1 + \frac{\epsilon_{SiO_2}}{\epsilon_{Hk}} \left(\frac{t_{ox}}{t_{SiO_2}} - 1 \right) \right) \quad (1.18)$$

où $t_{ox} = t_{SiO_2} + t_{Hk}$ représente l'épaisseur totale de la bicouche, t_{SiO_2} l'épaisseur du premier oxyde, en l'occurrence de l'oxyde de silicium, ϵ_{SiO_2} la permittivité relative de l'oxyde de silicium et ϵ_{Hk} la permittivité de l'oxyde à haute permittivité (High- κ).

La Fig. 1.16 est particulièrement intéressante car elle permet de relier plusieurs grandeurs qui sont l'épaisseur totale de la bicouche de grille à la densité de courant de grille I_g jusqu'à la gamme d'épaisseurs effectives d'oxyde (EOT) disponibles. Les gammes sont données pour différentes épaisseurs d'oxyde de silicium SiO₂ variant de 0.5, 1 à 1.5-nm. A titre de comparaison, la référence avec une épaisseur d'oxyde uniquement constituée d'oxyde de silicium est également tracée (1).

Afin de mieux comprendre ce graphique, nous allons considérer un exemple. Nous souhaitons pour notre transistor une densité surfacique de courant de grille inférieure à 10^{-12} A/cm². Par correspondance avec les axes des abscisses, l'épaisseur totale de la bicouche ($t_{ox} = t_{SiO_2} + t_{Hk}$) requise devra alors être supérieure à 2-nm. Nous disposons de 3 épaisseurs de SiO₂ dans une gamme de 0.5, 1 à 1.5-nm et nous souhaitons une épaisseur d'oxyde effective t_{eff} de 1.2-nm afin de limiter les effets canaux courts de notre transistor. La solution se présente alors nécessairement d'utiliser les épaisseurs d'oxyde de SiO₂ inférieures à 1-nm. L'épaisseur du matériau High- κ en nanomètre est alors calculée par $t_{Hk} = 2 - t_{SiO_2} = 1$ -nm.

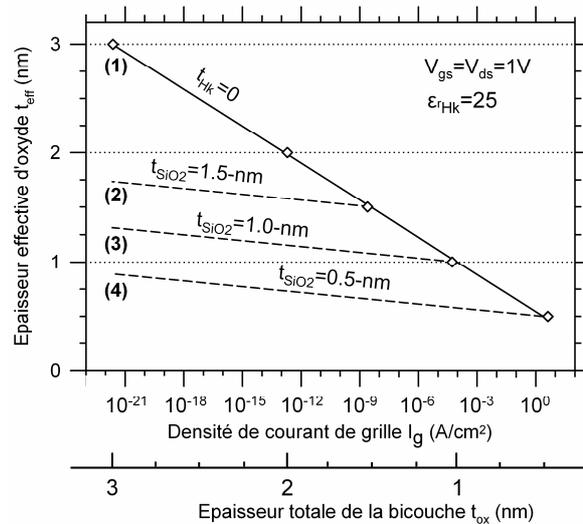


Fig. 1.16 : Epaisseur d'oxyde en fonction de la densité de courant de grille I_g (ligne continue) (1). (1) est la référence car l'épaisseur n'est constituée que de SiO_2 et dans ce cas, l'épaisseur t_{ox} est égale à t_{eff} . Les points sont issus de la Fig. 1.14 lorsque $V_{ds} = V_{gs} = 1\text{V}$. Superposée l'épaisseur effective d'oxyde extrapolée en fonction de l'épaisseur totale d'oxyde et donc du courant de grille pour différentes épaisseurs d'oxyde de silicium SiO_2 variant de 0.5 (2), 1 (3) à 1.5-nm (4) (ligne pointillée). La bicouche est constituée d'un matériau SiO_2 et un matériau High- k dont la permittivité relative est égale à 25, correspondant typiquement à celle de l'oxyde d'hafnium (HfO_2). On considère ici que les « masses effectives » dans les oxydes sont identiques [17].

Notons qu'il a été montré que les performances (fT , f_{max}) des composants à canal court sont peu affectées par l'augmentation du courant de grille I_g avec la diminution des dimensions de la technologie CMOS [18]. Cependant, ceci n'est pas le cas pour les figures de mérite en bruit, ni pour le gain de *Mason* qui seront plafonnés à plus basses fréquences [18], [19]. Un autre point qui est également en faveur de l'utilisation des diélectriques High- k est la meilleure reproductibilité/uniformité des épaisseurs, du fait de la réduction de la contrainte d'épaisseur.

1.2.4.5 Résistances séries de source et drain

Comme nous l'avons présenté dans le chapitre d'introduction, les résistances séries de source et de drain contribuent à la dégradation des performances des caractéristiques statiques mais aussi dynamiques avec la diminution des dimensions. Les résistances R_s/R_d , décomposées globalement par une résistance d'accès liée à la jonction et une résistance de contact, entraînent une chute de potentiel aux bornes réelles du canal ($s'd'$) mais également aux bornes de la commande de grille ($g's'$) (Fig. 1.17). Ainsi nous pouvons définir $V_{d's'} = V_{ds} - (R_s + R_d)I_{dsat}$ et $V_{g's'} = V_{gs} - R_s I_{dsat}$. En considérant le courant de grille statique négligeable devant le courant de drain, la résistance de grille R_g n'a aucune influence en statique. Rappelons que ceci n'est pas le cas à plus haute fréquence.

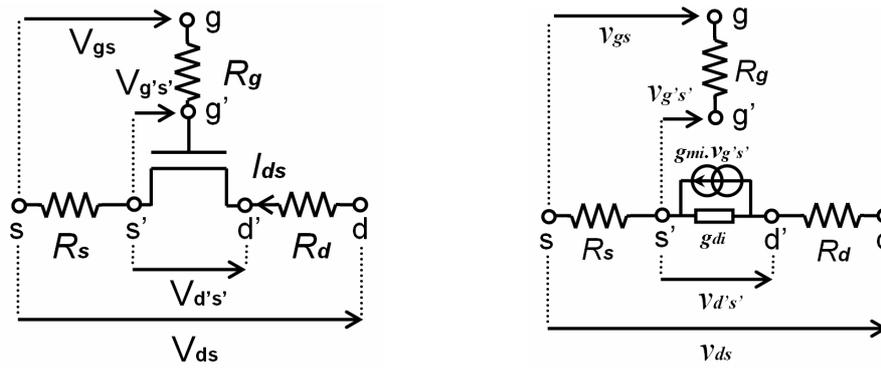


Fig. 1.17 : Schémas électriques en statique grand signal (a) et petit signal (b) d'un transistor MOSFET conventionnel avec la prise en compte des résistances de source R_s et drain R_d ainsi que de grille R_g .

Afin de mettre en évidence les effets des résistances parasites sur les propriétés en statique du transistor et particulièrement selon sa longueur de grille, nous nous proposons d'étudier l'évolution du courant de saturation et de la transconductance en fonction des résistances R_s/R_d et R_g . L'expression du courant de drain en saturation pour les transistors MOSFET à canal long en considérant l'influence des résistances d'accès peut être approximé au premier ordre par (1.19) :

$$I_{dsat} = \frac{W}{2L} \mu_{eff} C_{ox} (V_{gs} - V_{th} - R_s I_{dsat})^2 \quad (1.19)$$

où W et L sont la largeur et la longueur de grille du transistor, μ_{eff} la mobilité des électrons dans le canal, C_{ox} la capacité d'oxyde surfacique, V_{th} la tension de seuil et $R_s I_{dsat}$ la chute de potentiel. Nous observons que l'expression du courant de saturation n'est pas dépendante de la tension $V_{d's'}$ mais de la tension $V_{g's'} - V_{th}$, et donc n'apparaît pas dépendante de la résistance de drain. En isolant I_{dsat} , une nouvelle expression rigoureuse du courant peut être donnée par (1.20) :

$$I_{dsat} = \frac{1 + 2KR_s V_{gt0} - \sqrt{1 + 4KR_s V_{gt0}}}{2KR_s^2} \quad (1.20)$$

$$\text{avec } K = \frac{W}{2L} \mu_{eff} C_{ox} \text{ et } V_{gt0} = V_{g's'} - V_{th}.$$

Notons que nous considérons la mobilité effective constante avec le champ électrique transverse E_L , c'est-à-dire indépendante de la tension $V_{g's'} - V_{th}$.

Dans le cas où les valeurs de la résistance R_s restent raisonnables, nous pouvons négliger les termes de second ordre et l'expression du courant I_{dsat} (1.20) peut être simplifiée par :

$$I_{dsat} \approx \frac{I_{dsat0}}{(1 + g_{m0} R_s)} \quad (1.21)$$

où I_{dsat0} et g_{m0} représentent le courant et sa dérivée en régime saturé lorsque la résistance R_s est nulle. Nous observons qu'il est important de conserver le produit $g_{m0} R_s \ll 1$ pour obtenir le courant maximum. A partir de l'expression (1.20), nous pouvons tracer l'évolution du courant de saturation en fonction de la résistance de source pour différentes longueurs de grille (Fig. 1.18).

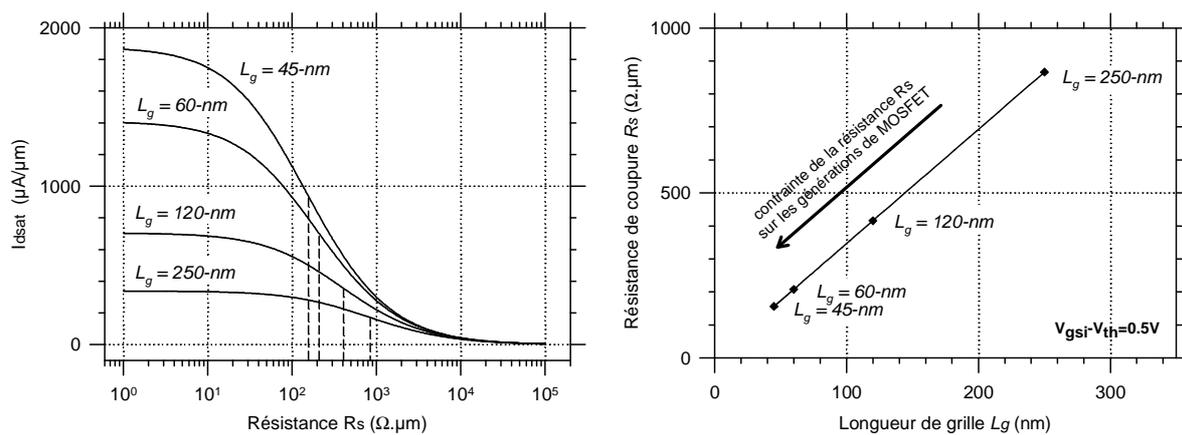


Fig. 1.18 : Courant de saturation I_{dsat} en fonction de la résistance R_s calculé à partir de l'Eq. (7) pour différentes longueurs de grille variant de 250, 120, 60 à 45-nm (a). L'oxyde grille t_{ox} et la tension $V_{gsi} - V_{th}$ sont conservés constants ($t_{ox} = 2\text{-nm}$, $V_{gt} = 0.5\text{ V}$). Les lignes pointillées représentent les valeurs de résistance de transition lorsque le courant nominal est divisé par deux. Les points sont reportés en fonction de la longueur de grille (b).

Nous observons que le courant de saturation est largement atténué à partir d'une résistance de « transition » que nous définissons lorsque I_{dsat} est réduit de moitié par rapport à sa valeur nominale (Fig. 1.18-a). Au-delà de cette valeur critique de résistance, nous considérons donc que l'effet transistor est coupé. Il est alors intéressant d'observer qu'un simple modèle de courant en saturation permet de mettre en évidence la nécessité de réduire la résistance de source pour conserver un niveau de courant acceptable et de montrer que la contrainte sur la résistance de source grandit avec la diminution de la longueur de grille. En effet, en reportant les points des résistances de transition pour les différentes longueurs de grille, comme présentés en Fig. 1.18-b, nous observons un rapport de proportionnalité entre la longueur de grille et la résistance de source.

La transconductance dite apparente ou extrinsèque, c'est-à-dire prenant en compte les contributions des résistances séries peut être également calculée. A partir de la Fig. 1.17-b, on peut montrer que la transconductance extrinsèque évolue suivant l'expression (1.22).

$$G_{\text{ext}} = \frac{g_{m0}}{1 + g_{m0}R_s + g_{d0}(R_s + R_d)} \quad (1.22)$$

Puisque la transconductance possède une même forme analytique que le courant de saturation, la contrainte sur les résistances séries sera d'autant grande que le terme $g_{m0}R_s$ augmente. Afin que le transistor ne coupe pas, il est donc nécessaire de conserver un ratio $g_{m0}R_s + g_{d0}(R_s + R_d)$ très inférieur à l'unité. Ainsi, en considérant au premier ordre que le terme $g_{d0}(R_s + R_d)$ est petit devant le terme $g_{m0}R_s$, la résistance R_s doit suivre une évolution inversement proportionnelle à la transconductance et donc suivre une évolution proportionnelle à la longueur de grille.

1.2.4.6 Capacités parasites

Depuis les technologies sub-100-nm, on constate une importance accrue des capacités parasites. Ceci s'explique par le fait que les capacités parasites de bord entre la grille et les contacts de source et drain n'évoluent pas aussi rapidement que la capacité d'oxyde C_{ox} . L'ensemble des contributions est reporté Fig. 1.19, comprenant la capacité d'oxyde C_{ox} , les capacités de bord extérieure C_{of} et intérieure C_{if} , la capacité de chevauchement C_{ov} et la capacité du silicium C_{si} . Ainsi, la capacité effective de grille C_{geff} peut être exprimée symboliquement par (1.23) :

$$C_{\text{geff}} \approx \text{séries}(C_{ox}, C_{si}) // C_{ov} // C_{of} // C_{if} \quad (1.23)$$

A partir de la Fig. 1.19, il apparaît que si la capacité d'oxyde de grille (C_{ox}) et la capacité de chevauchement (C_{ov}) évoluent linéairement avec la diminution des échelles, les capacités de bord (C_{of} et C_{if}) ne réduisent pas linéairement [20].

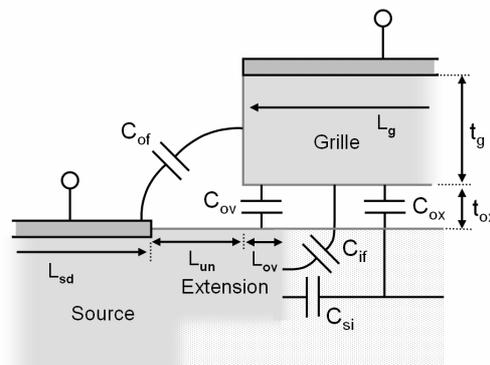


Fig. 1.19 : Schématisation des différentes composantes capacitives dans une demi-structure de transistor MOSFET.

Afin de mettre en évidence la problématique des capacités parasites vis-à-vis des performances RF des transistors MOSFET, *Bansal et al.* [21] proposent un modèle analytique pour évaluer la capacité de bord extérieure C_{of} et ainsi nous permettre de la mettre en regard avec la capacité grille-à-source du transistor. La Fig. 1.20 nous présente l'évolution du ratio de la capacité de bord extérieure sur capacité grille-à-source en forte inversion C_{of}/C_{gsat} en fonction de la longueur de grille et pour différentes largeurs d'underlap. Rappelons que la capacité C_{of} est indépendante de la longueur de grille, de l'oxyde de grille et donc ne diminue pas avec la diminution des échelles. Elle représente donc la capacité la plus difficile à atténuer.

La capacité grille-à-source est considérée en forte inversion c'est-à-dire approximée à $2/3C_{ox}$, la capacité d'oxyde C_{ox} étant calculée suivant les projections de l'ITRS'06 [4].

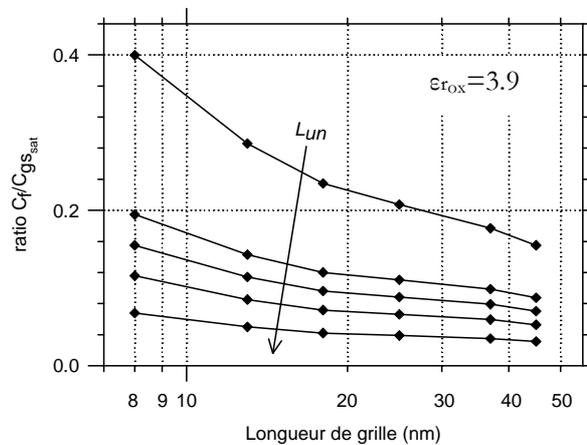


Fig. 1.20 : Evolution du ratio capacité de bord extérieure sur capacité grille-à-source en forte inversion C_f/C_{gsat} en fonction de la longueur de grille et pour différentes largeurs d'underlap L_{un} variant de 0, 5, 10, 20 à 50-nm. L'espaceur est considéré comme un oxyde de silicium dont la permittivité est 3.9. La capacité grille-à-source en forte inversion est considérée égale à $2/3 \cdot C_{ox}$, la capacité d'oxyde C_{ox} étant calculée suivant les projections de l'ITRS'06 pour les transistors du type *High Performance* (HP).

Parce que la capacité C_{ox} ne reste pas constante avec la diminution des échelles, malgré les projections de réduction de l'oxyde de grille, le ratio capacité parasite sur capacité active (C_f/C_{gsat}) tend à augmenter avec la diminution de la longueur de grille. Pour minimiser cette augmentation des capacités parasites, une solution présente au sein de la littérature [22] consiste en l'utilisation de matériaux à faible permittivité électrique (*low-k*) afin de réduire les couplages électrostatiques.

1.3. Solutions à l'amélioration des performances du MOSFET

Les pages précédentes présentent quelques problématiques qui pourraient empêcher au transistor MOSFET d'assurer les performances requises pour poursuivre son ascension. Cependant, des

technologies alternatives, des évolutions ou des technologies boosters ont fait leur apparition afin de réduire les effets indésirables. Cette partie résume donc ce qui pourrait être le transistor idéal afin de s'approcher toujours davantage du transistor ultime.

1.3.1 Substrat SOI à film ultra fin – transistor totalement déserté

La première évolution du transistor MOSFET est d'introduire les transistors MOSFET à film ultra fin et entièrement désertés. Et en effet, notre discussion nous a mené à conclure que le transistor SOI à film ultra fin est un transistor qui montre de meilleures performances grâce à une meilleure intégrité électrostatique et à une meilleure distribution du potentiel électrostatique. Diminuer l'épaisseur du film de silicium est alors la principale solution qui amènera à la réduction des effets parasites et des effets canaux courts. Il a été démontré analytiquement que les effets de canal court sont maintenus à un niveau tolérable lorsque la longueur de grille est de trois à cinq fois supérieure à une longueur critique λ_{FD} (1.24) [6], [23]:

$$\lambda_{FD} = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{si} t_{ox}} \quad (1.24)$$

qui dépend des épaisseurs du film et de l'oxyde de grille. Cet argument a servi pour promouvoir les films SOI ultraminces. Le Tab. 1.2 résume les quelques figures de mérite des différents transistors [6].

Tab. 1.2 : Principales propriétés électriques des transistors Bulk et SOI.
Le transistor Bulk est choisi comme référence, 0, +, - signifiant « similaire au Bulk », « meilleur que le Bulk », « inférieur au Bulk », respectivement [6].

	Bulk	SOI Film Epais (PD)	SOI Film Fin (FD)
Mobilité	0	0	+
Transconductance	0	0	+
Effets canaux courts	0	0	0/+
Capacités parasites	0	+	+
Porteurs chauds	0	0/+	+
Effet <i>kink</i>	0	-	0
Immunité	0	+	+

Naturellement, les figures de mérite hyperfréquence étant corrélés aux figures de mérites électriques présentés précédemment observeront une augmentation de leurs performances sur une technologie SOI totalement désertée.

1.3.2 Empilement de grille métallique sur oxyde high- k

Une seconde évolution des transistors MOSFET est l'introduction de l'empilement des grilles métalliques sur oxyde high- k . L'intégration d'un tel empilement sur des MOSFETs afin de remplacer de l'empilement conventionnel poly-SiO₂ paraît alors triple. Notre discussion a mis en évidence qu'afin de poursuivre l'évolution des diminutions des tailles, et particulièrement de l'oxyde de grille, l'utilisation d'oxydes à fortes permittivités électriques était nécessaire afin de faire reculer le courant de grille néfaste à l'intégrité du transistor MOSFET. De plus l'utilisation d'une grille métallique permet de neutraliser l'effet de déplétion de la grille et cela tout en réduisant la résistance de grille. Ce dernier point est évidemment important pour les figures de mérite hyperfréquences et de bruit. Finalement, il faut tenir compte de la nécessité d'utiliser une grille de type *mid-gap* pour des transistors dont le canal est non dopé, résolument impossible avec une grille de type polysilicium, étant donné les tensions de seuil qui seraient irraisonnables. Il apparaît alors clairement que cette technologie est incontournable pour l'amélioration des performances du transistor MOSFET.

1.3.3 Ingénierie de canal

Une troisième évolution qui accorde également toute l'attention de la communauté scientifique est l'amélioration de la mobilité dans le canal. Pour ce faire, l'utilisation de silicium contraint ou d'autres matériaux à haute mobilité est requise, tel que le germanium, ou plus récemment de matériaux *III-V* [24] avant d'atteindre les multi-/mono-couche(s) de graphène⁴. En ce qui concerne les transistors à silicium contraint, la marche est déjà franchie pour les applications logiques puisque *S. Thompson* [25] présente les performances d'un tel transistor dès 2002 permettant au fondeur INTEL[®] d'utiliser la technologie à silicium contraint uniaxial sur son procédé 90-nm puis 65-nm et ainsi accroître de 10 à 25% le rendement électrique de ses transistors tout en diminuant les courants de fuite [26]. Pour les applications RF, une performance RF à l'état de l'art s'est inscrite grâce à IBM[®] en utilisant également du silicium contraint en atteignant des fréquences f_T de 485/345 GHz mesurées sur des transistors SOI n - et p -MOSFET dont les longueurs de grille physiques sont de 29-nm et 31-nm, respectivement [27]. Il est évident que ces performances nous permettent de montrer que la technologie du silicium

⁴ Notons qu'il faut modérer notre discussion car au-delà du paramètre de mobilité, il faut également tenir compte du paramètre de densité d'état, typiquement plus petite pour les matériaux III/V.

contraint est inévitable pour continuer encore à suivre les prévisions de l'ITRS sans changer les règles d'échelle (Fig. 0.2).

Au-delà, il faut peut être envisager d'utiliser d'autres matériaux pour le canal tels que des matériaux de type *III-V*. Cependant, il est certain que technologiquement les transistors *n* et *p* vont se dissocier pour ce qui est des matériaux puisque la mobilité des trous pour les matériaux *III-V* est du même ordre de grandeur que pour le silicium, voir inférieure (Tab. 1.1) [28]. Dans cette situation, les transistors de type *p* vont se tourner vers des matériaux à canal de germanium contraint, si les courants de fuite restent compatibles avec les recommandations de l'ITRS.

Tab. 1.1 : Mobilités à 300 K [$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$] [28].

	<i>Ge</i>	<i>Si</i>	<i>GaAs</i>	<i>GaSb</i>	<i>InP</i>	<i>InSb</i>	<i>InAs</i>	<i>Graphène</i>
μ_n	4500	1450	9400	9500	5000	92000	34000	200000 ^{1,2} , 5400 ³
μ_p	2400	450	450	1624	180	1100	450	4500 ³

¹ [29], ² [30], ³ mesurées sur des FETs [31]

Au bout de la roadmap, il est presque certain que le carbone sous sa forme semi-conductrice tel que le graphène ou les nanotubes va jouer le rôle principal étant donné le niveau des mobilités.

Et en effet, en ce qui concerne les transistors à graphène, les performances actuelles semblent très prometteuses puisque d'ores et déjà des courant I_{on} ont été mesurés supérieurs à 1600 et 2000 $\mu\text{A}/\mu\text{m}$ à $V_{ds} = 0.5 \text{ V}$ et $V_{gs(on)} - V_{gs(off)} = 2 \text{ V}$ pour des longueurs de grille de 236-nm et 100-nm, respectivement [32]. Un ratio I_{on}/I_{off} près de 10^7 a été mesuré également pour une longueur de grille de 210-nm [33]. A noter également que la mobilité des trous dans le graphène est très proche de celle des électrons [31], favorisant son utilisation pour les applications logiques.

Une autre technologie à plus court terme qui est également très intéressante et qui suscite un regain d'intérêt dernièrement consiste à concevoir technologiquement un canal latéralement non uniforme, c'est-à-dire, dont l'allure du dopage le long canal est asymétrique, précisément graduelle ou échelonnée. La volonté de cette technologie est d'optimiser la disposition spatiale des porteurs dans le canal lorsque le composant est polarisé en régime de saturation, plus exactement dans la configuration dans laquelle il sera établi, afin d'améliorer l'ensemble de ses caractéristiques AC (g_m , g_d , f_T ...) mais également ses paramètres de bruit RF (N_{fmin} ...). Et en effet, la littérature montre à partir de simulations [34] que ces composants ont des performances assurément améliorées en RF et en bruit. Cette solution technologique comportant finalement peu d'étapes technologiques supplémentaires permet alors de réduire efficacement une contrainte sur les dimensions du transistor afin d'être plus compétitive comparée à des technologies plus agressives

et plus coûteuses (III/V) ou, plus simplement d'offrir une ouverture au design de circuits bas coûts en utilisant des technologies CMOS matures et stables.

1.4. Présentation du MOSFET à contacts source et drain Schottky

Le transistor MOSFET à contacts source et drain Schottky est une structure MOS qui contient deux jonctions Schottky en lieu et place des zones de source et drain très dopées et de leurs extensions. Les diodes sont alors en vis-à-vis et le potentiel interne est alors essentiellement contrôlé par le champ de la grille. La Fig. 1.21 montre l'allure des bandes de conduction et de valence du transistor SB MOSFET de type p le long de l'interface oxyde/semi-conducteur à l'équilibre thermodynamique et en condition de saturation. La hauteur de barrière Schottky observées par les trous est choisie à 0.1 eV.

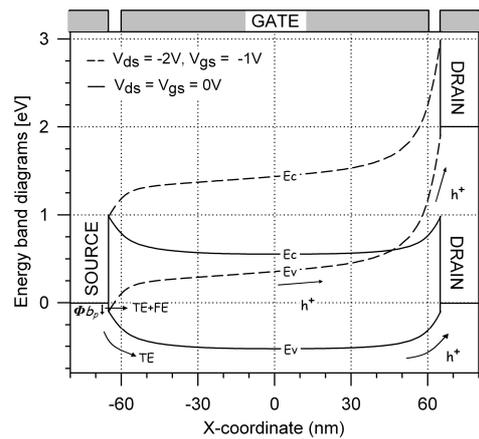


Fig. 1.21 : Diagramme d'énergie simulé trace le long du canal (0.5-nm sous l'oxyde de grille) d'un transistor Schottky Barrier p -MOSFET pour deux conditions de polarisations. Les polarisations varient de l'équilibre thermodynamique (lignes continues) au régime de saturation $V_{ds} = -2\text{ V}$ et $V_{gs} = -1\text{ V}$ (lignes pointillées) ($\Phi_{bp} = 0.1\text{ eV}$). L'effet d'abaissement de barrière n'est pas représenté.

Nous observons que la barrière Schottky du côté de la source contribue uniquement à la réduction de l'injection de porteurs dans le canal, alors que du côté drain, la jonction opère en régime passant. La jonction Schottky de source limite alors la quantité de porteurs émis dans le canal, résultant à la diminution du courant I_{ds} , mais aussi de la transconductance G_{me} . A l'état 'off' ($V_{gs} = 0\text{ V}$), la barrière de potentiel totale est composée de la barrière Schottky additionnée à la barrière de potentiel électrostatique généré par le champ électrique de la grille. La tension de seuil V_t est alors fortement dépendant de la hauteur de barrière Schottky. En régime sous seuil, les bandes d'énergies sont abaissées, la barrière $E_b = q(\phi_b - \phi_s - V_F)$ est alors négative (Fig. 1.22-a).

Naturellement sous ces conditions de polarisation de grille, l'injection tunnel n'est pas possible laissant le courant essentiellement gouverné par l'émission thermoïonique (TE). Ceci peut expliquer partiellement le très bas niveau du courant ' I_{off} ' et l'avantage significatif pour la forte intégration de transistors CMOS comme décrit dans la littérature [35]. Lorsque le canal est placé en régime d'accumulation ($V_{gs} = -1 V$, $V_{ds} = -2 V$), le courant traversant la barrière Schottky côté source est largement dominé par les émissions de champ (FE-TFE), c'est-à-dire par l'injection tunnel de trous traversant l'interface du métal à la bande de valence du semi-conducteur ($E_b \geq 0$ eV, Fig. 1.22-b et -c), plutôt que par émission thermoïonique.

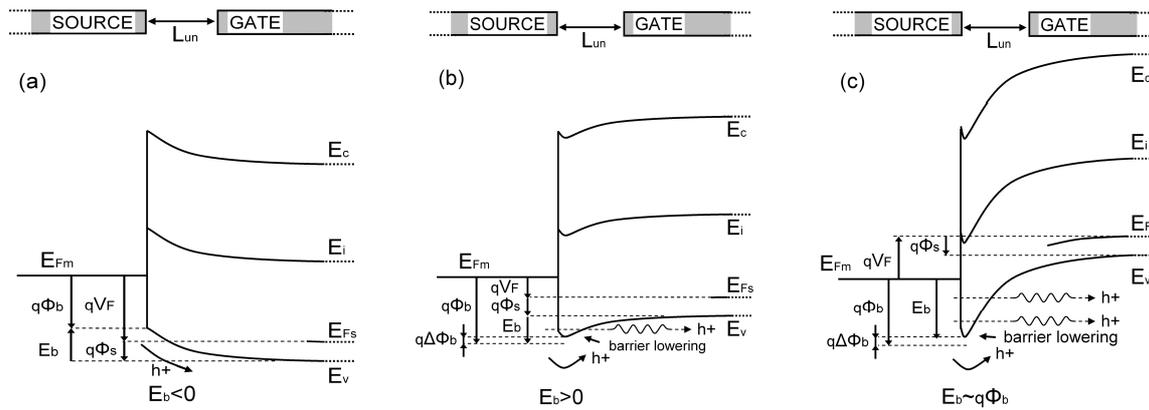


Fig. 1.22 : Schématisation des courbures de bandes d'énergies à l'interface Schottky côté source à $V_{gs} = 0V$ (a), moyenne et forte polarisation négative de grille (b, c) (cas d'un SB MOSFET type p). La hauteur de barrière Φ_b est choisie importante dans le but d'observer la déformation des bandes d'énergies. L'émission thermoïonique (TE), l'émission tunnel (FE) et l'émission thermoïonique par effet de champ (TFE) sont présentées. L'abaissement de barrière $\Delta\Phi_b$ induit par l'effet de la charge image est également schématisé (b, c).

Idéalement, en appliquant des conditions de polarisation importante (Fig. 1.22-c), la barrière tend à devenir très fine et à devenir transparente pour les trous. De plus l'effet de force image créée à l'interface Schottky contribue à l'abaissement de la barrière. A partir de ces observations, il apparaît clairement que la résistance de contact équivalente est dépendante de la polarisation appliquée au transistor et est fortement conditionnée par l'effet de champ de la grille à l'interface de la jonction Schottky. Il est à noter que l'émission tunnel est naturellement réduite lorsque la barrière tend vers zéro, menant à un contact complètement transparent. Sous ces conditions, le courant est seulement contrôlé par émission thermoïonique de porteurs franchissant la barrière électrostatique créée par l'effet de champ de la grille [36].

1.4.1 Généralités sur la jonction métal-semi-conducteur – Diode Schottky

Il est communément reconnu que lorsqu'un métal et un semi-conducteur sont en contacts, il en résulte une structure dipolaire dont les caractéristiques électriques peuvent être soit « ohmique » soit « redresseur de courant » appelé aussi « rectificateur de courant ». C'est-à-dire que suivant la différence de potentiel *externe* appliquée au dipôle, le courant traversant la structure peut être respectivement linéaire avec la tension ou nul. Dans notre première discussion, nous considérons le cas « redresseur de courant », cas où sera porté notre attention ultérieurement. Physiquement, l'effet redresseur encore nommé « effet Schottky », du physicien du même nom qui l'a mis en évidence, est réalisé lorsqu'il s'établit dans la structure une barrière de potentiel au niveau de l'interface qui limite l'injection des porteurs au travers de celle-ci. Naturellement, les propriétés électroniques hétérogènes du métal et du semi-conducteur en sont la cause, plus précisément la différence entre le travail de sortie du métal W_{Fm} et l'affinité du porteur dans le semi-conducteur, *i.e.*, de l'électron χ_s ou du trou ($\chi_s + E_g$). La Fig. 1.23 présente les diagrammes d'énergie d'une telle jonction dans le cas d'un semi-conducteur dopé de type *n* ou *p*. Dans le semi-conducteur (Fig. 1.23.a), une zone de déplétion se crée car les ions donneurs ionisés Nd^+ ne sont plus compensés par les électrons et il apparaît une zone de charge d'espace positive. L'analogie est similaire pour la structure (Fig. 1.23.b). Il en résulte alors une courbure des bandes qui se traduit par une barrière de potentiel.

Les hauteurs de barrière observées par les électrons Φ_{bn} et par les trous Φ_{bp} , *i.e.*, les énergies minima que doivent franchir les porteurs pour traverser la jonction du métal au semi-conducteur peuvent être écrites sous la forme des relations de *Mott-Schottky* (1.25) et (1.26) :

$$\Phi_{bn} = W_{Fm} - \chi_s \quad (1.25)$$

$$\Phi_{bp} = -(W_{Fm} - (\chi_s + E_g)) \quad (1.26)$$

où W_{Fm} est la fonction de travail du métal⁵, χ_s , l'affinité électronique de l'électron dans le semi-conducteur⁶ et E_g , la largeur de bande interdite du semi-conducteur. Ces grandeurs sont représentées sur les Figs. 1.23 et 1.24.

⁵ Le travail de sortie d'un métal W_{Fm} est la quantité d'énergie minimum à fournir à un électron pour être arraché de la surface du matériau et pour être amené dans le vide. Sur un diagramme d'énergie, cela se traduit par la différence d'énergie du niveau du vide NV et du niveau de Fermi du métal E_{Fm} . Le travail de sortie d'un métal est une constante au matériau et qu'il est notamment indépendant de la température.

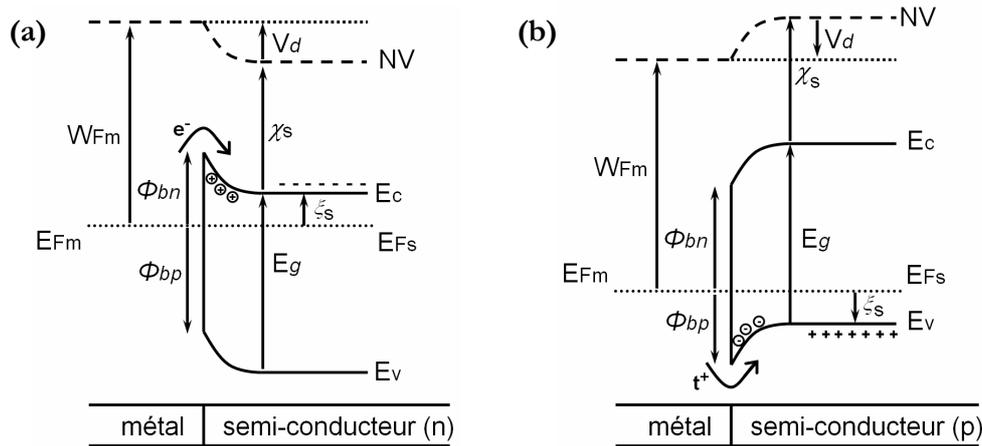


Fig. 1.23 : Diagrammes d'énergie lorsque le contact est *Schottky* et est à l'équilibre thermodynamique, *i.e.*, lorsque les niveaux de *Fermi* sont alignés ($E_{Fm}=E_{Fs}$). Les cas avec un semi-conducteur dopé de type *n* (a) et *p* (b) sont présentés. Ainsi le transport est majoritairement mu par les électrons (a) et les trous (b) respectivement. *NV* représente le niveau du vide, χ_s est l'affinité électronique, E_g , la bande d'énergie interdite, W_{Fm} , la fonction de travail du métal, Φ_{bn} , la hauteur de barrière pour les électrons, Φ_{bp} , la hauteur de barrière pour les trous et V_d , la tension de diffusion.

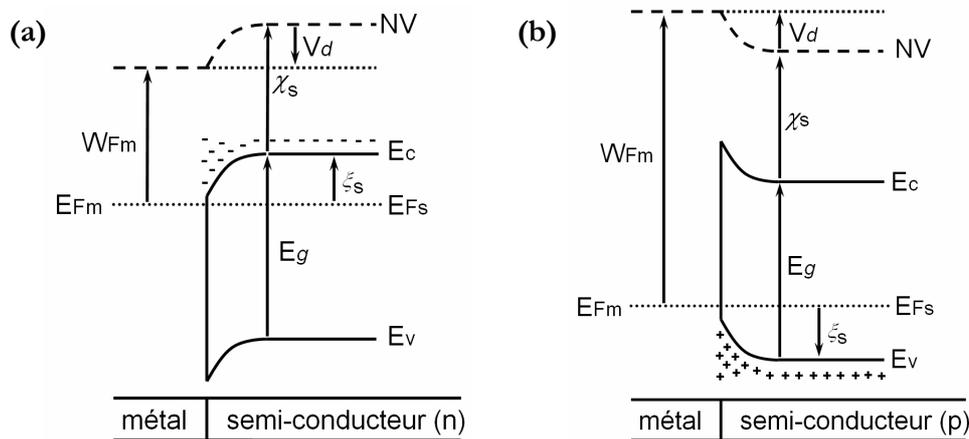


Fig. 1.24 : Diagrammes d'énergie lorsque le contact est *Ohmique* dans les cas d'un semi-conducteur dopé de type *n* (a) et *p* (b). Ainsi le transport est majoritairement mué par les électrons (a) et les trous (b) respectivement.

Dans le cas d'un contact métal-semi-conducteur de type ohmique, afin de respecter l'équilibre des forces de diffusion déterminant l'état d'équilibre, les courbures des bandes cette fois-ci se rapprochent du niveau de Fermi du métal. Il apparaît alors, comme présenté à la Fig. 1.24, une

⁶ L'affinité électronique χ_s , dans le cas d'un semi-conducteur dopé, c'est-à-dire ionisé, est la quantité d'énergie minimum à fournir à un électron mobile, *i.e.*, libre dans la structure semi-conductrice, pour être arraché de la surface du matériau et pour être amené dans le vide. Sur un diagramme d'énergie, cela se traduit par la différence d'énergie entre le niveau du vide et le niveau de la bande de conduction du semi-conducteur. La définition est similaire pour le trou, à la différence près que sur un diagramme d'énergie, cela se traduit par la différence d'énergie entre le niveau du vide et le niveau de la bande de valence du semi-conducteur. L'affinité électronique dans un semi-conducteur a été montrée légèrement dépendante de la température.

accumulation de porteurs à l'interface. L'injection des porteurs à travers le contact est donc favorisée, le comportement électrique devient ohmique. A noter que dans le cas du transistor *p-type* SB-MOSFET placée à l'équilibre (Fig. 1.21), le contact de source n'est pas ohmique malgré un profil de potentiel similaire à celui de la Fig. 1.24-b. Ceci se justifie par le fait que le sens du flux de courant (drain à source) s'oppose au profil de potentiel de la jonction dans le cas du transistor.

Les exemples figurés précédemment sont des cas idéaux de jonctions métal-semi-conducteur et ne considèrent pas un certain nombre d'effets physiques qui modifierait les profils de potentiel et donc les hauteurs de barrière.

Un effet dont nous n'avons pas encore présenté est l'effet d'abaissement de barrière causé par le champ électrique extracteur à l'interface MS connu sous le nom d'effet Schottky. En effet, chaque électron qui quitte l'électrode métallique, situé à une distance x par rapport à l'interface est soumis à l'attraction de l'ion positif situé dans le métal à une distance $-x$. Cette situation est équivalente à une interaction coulombienne produite par une charge image placée symétriquement par rapport à l'interface (Fig. 1.25 (a)). Cette force de rappel encore appelée force image peut être écrite sous la forme de la loi de Coulomb, son amplitude est alors donnée par (1.24) :

$$F_{1 \rightarrow 2} = \frac{1}{4\pi\epsilon_r\epsilon_0} \frac{q_1q_2}{r_{12}^2} \quad (1.27)$$

où $F_{1 \rightarrow 2}$ est la force exercée par une charge électrique q_1 placée en un point M1 sur une charge q_2 placée en un point M2. r_{12} est la distance séparant les deux charges ($=2x$), ϵ_r est la permittivité relative du milieu.

Cette force électrostatique modifie l'émission des porteurs à travers l'interface modifiant ainsi l'allure des profils du potentiel électrostatique dans le semi-conducteur et ainsi le diagramme d'énergie à l'interface. La Fig. 1.25 (b) montre schématiquement dans le cas d'une jonction l'allure de l'énergie potentielle de la force image et de la bande de conduction du semi-conducteur.

L'énergie potentielle $E_i(x)$ correspondante de l'électron est donnée par la relation suivante (1.28) :

$$E_i(x) = -\frac{q^2}{16\pi\epsilon x} \quad (1.28)$$

Il en résulte par résolution de l'équation $\partial E_p(x)/\partial x = 0$ que l'abaissement de la hauteur de barrière $\Delta\Phi$ dû à la force image s'écrit (1.29) :

$$\Delta\phi = \sqrt{\frac{q}{4\pi\epsilon}} \cdot \sqrt{E_{max}} \quad (1.29)$$

où E_{max} est l'amplitude du champ électrique latéral à l'interface.

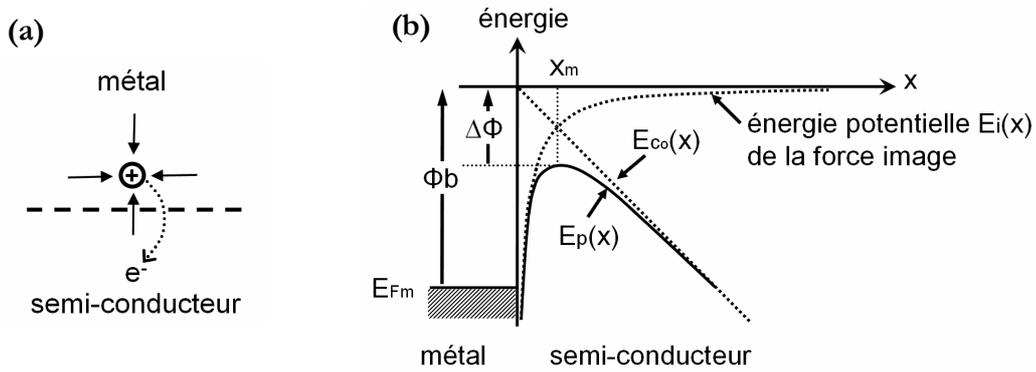


Fig. 1.25 : Schématisation présentant l'influence de la force image sur l'électron (a) et sur la bande de conduction $E_{co}(x)$ (b). $E_i(x)$ représente l'énergie potentielle de la force image. Il en résulte de la force image un abaissement de la barrière de potentiel ($\Phi_b - \Delta\Phi$) ainsi qu'un déplacement de son maximum vers l'intérieur du semi-conducteur. Le profil effectif du potentiel devient alors $E_p(x)$.

La hauteur de barrière est aussi sujette au rétrécissement de la bande interdite du semi-conducteur. La température mais également la concentration d'impuretés dans le semi-conducteur modifie le bas de la bande de conduction et le haut de la bande de valence et ainsi la largeur de la bande interdite. L'effet de rétrécissement de la bande interdite lorsque la température augmente peut être expliqué parce que l'espace inter-atomique augmente lorsque l'amplitude des vibrations atomiques qui est fonction de l'énergie thermique (température), augmente. L'augmentation de l'espace inter-atomique induit alors à la décroissance du potentiel périodique moyen observé par les porteurs dans le réseau cristallin du matériau, ce qui aboutit à une réduction de la largeur de bande interdite. On pourra observer les mêmes conclusions si un stress mécanique de compression ou de tension est appliqué au semi-conducteur.

La forte densité d'impuretés cause également une diminution de la bande interdite. Ceci s'explique parce que les fonctions d'onde des atomes d'impuretés commencent à chevaucher les fonctions d'onde du réseau cristallin. Ainsi, le potentiel périodique moyen est affecté, modifiant la largeur de bande interdite.

A partir de ces considérations, *Sze* [37] et *Slotboom et al.* [38] proposent de modéliser la variation de la bande interdite par (1.30), (1.31) :

$$\delta E_g(T) \Big|_{T_0, K} = \alpha \left(\frac{T^2}{T + \beta} - \frac{T_0^2}{T_0 + \beta} \right) \quad (1.30)$$

où α et β sont des paramètres d'ajustement propres au matériau valant pour le silicium 4.73×10^{-4} eV/K et 636 K respectivement. La variation de la bande interdite $\delta E_g(T)$ est définie à la température $T_0 = 300$ K sachant que la largeur de la bande interdite E_g vaut 1.08 eV.

$$\delta E_g(N) = E_1 \left(\ln \frac{N}{N_0} + \sqrt{\ln^2 \frac{N}{N_0} + C} \right) \quad (1.31)$$

où E_1 , N_0 , C sont des paramètres d'ajustement valant pour le silicium 9 meV, 10^{17} cm³ et 0.9 respectivement.

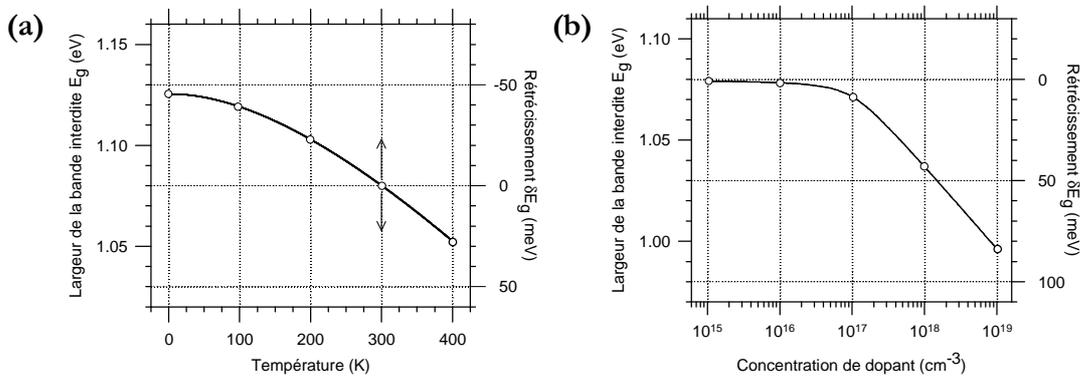


Fig. 1.26 : Rétrécissement de la largeur de la bande interdite E_g en fonction de la concentration de dopants N (a) et en fonction de la température T (b).

En tenant compte de l'effet d'abaissement de barrière et du rétrécissement de la bande interdite, les nouvelles expressions des hauteurs de barrières deviennent alors (1.32), (1.33) :

$$\Phi_{bn}' = W_{Fm} - \chi_s - \frac{1}{2} \delta E_g - \Delta\phi \quad (1.32)$$

$$\Phi_{bp}' = - \left(W_{Fm} - \left(\chi_s + E_g - \frac{1}{2} \delta E_g \right) \right) - \Delta\phi \quad (1.33)$$

L'existence d'états d'interface au contact entre le métal et le semi-conducteur est également un effet qui peut avoir un rôle non négligeable sur les profils si les niveaux d'énergie qui leur sont associés sont situés dans le gap du semi-conducteur. La Fig. 1.27 met en évidence l'influence des états d'interface avec la barrière de potentiel en présentant les courbures des bandes avant (a) et

après (b) contact du métal avec le semi-conducteur. Dans le cas où les matériaux sont isolés, si la densité des niveaux de surface situés dans le gap du semi-conducteur est suffisamment élevée, un potentiel de surface V_s apparaît à partir de la charge des états de surface, modifiant les courbures de bande. Après la mise en contact des matériaux, afin d'équilibrer les niveaux de Fermi, les charges les plus susceptibles d'être transférées dans le métal sont les charges contenues dans les états d'énergie. Ainsi, les courbures des bandes ne sont pas altérées par la fonction de travail de sortie du métal et la barrière de potentiel reste alors conditionnée par les états d'interfaces. En d'autres mots, les états d'interface fixent le niveau de Fermi du métal insensibilisant la hauteur de barrière au contact métal–semi-conducteur. Cet effet est encore appelé *Fermi–Level–Pinning* (FLP).

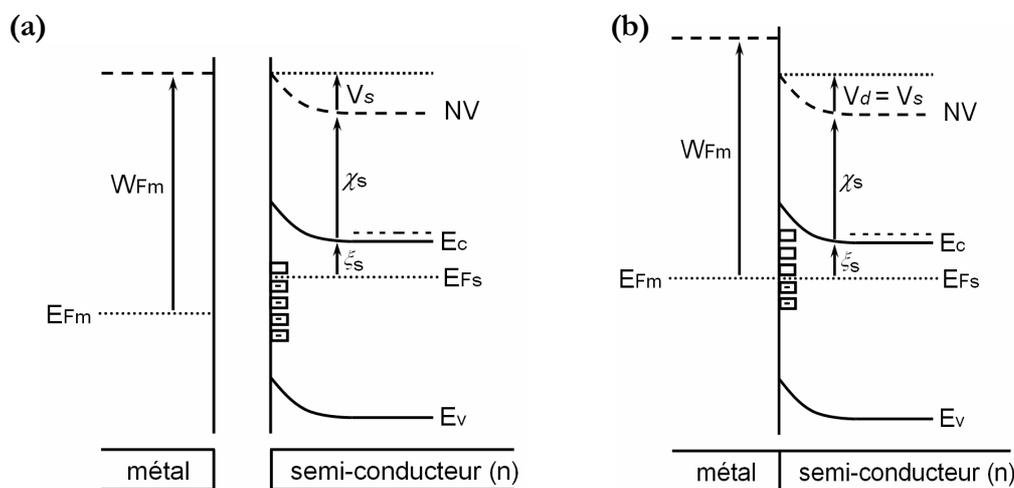


Fig. 1.27 : Schématic des courbures de bandes lorsque un semi-conducteur de type n comporte des états d'interface. Dans ce cas présent, les pièges sont de type accepteurs d'électrons. Puisque les électrons sont tentés de quitter la bande de conduction, il se forme une zone de charge d'espace qui a pour effet de faire apparaître une barrière de potentiel (a). Lorsque les deux matériaux sont mis en contact (b), les niveaux de Fermi doivent s'aligner. Les électrons aux états d'énergies les plus proches du niveau de Fermi sont privilégiés pour être transféré dans le métal et ce sans modifier les courbures des bandes. Ainsi, la barrière de potentiel reste conditionnée par les états d'interface sans être affectée par le travail de sortie du métal.

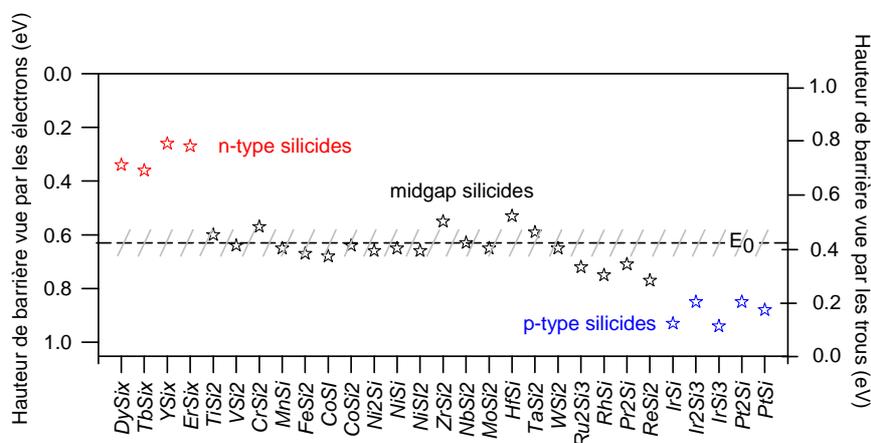


Fig. 1.28 : Hauteur de barrière mesurée pour différents siliciures de silicium.

La Fig. 1.28 illustre parfaitement cet effet en présentant la hauteur de barrière pour des siliciures de silicium. La grande majorité des hauteurs de barrières mesurées restent proches autour d'une zone d'énergie E_0 .

Naturellement, à une concentration donnée d'états d'interface, cet effet de FLP aura un impact sur les caractéristiques électriques d'autant plus significatif que le niveau de dopage du silicium et la barrière de potentiel induite par le métal sont faibles. Il faut noter que les temps moyens de relaxation des charges piégées peuvent être importants (jusqu'à l'ordre de la milliseconde selon la nature des états d'interfaces) et avoir ainsi une influence non négligeable sur les caractéristiques fréquentielles [39]. Cependant, ces effets de pièges n'affectent la jonction Schottky qu'à basse fréquence (<10 MHz) et apparaissent totalement invisibles en régime RF. Notons que notre champ d'investigation étant positionné dans le domaine des hautes fréquences, nous n'y attacherons pas fortement notre intérêt. La Fig. 1.29 présente les bandes de valences simulées d'une jonction MS placée dans les conditions d'équilibre thermodynamique et à la température de 100 K. Nous observons que la hauteur de barrière à franchir pour les trous est beaucoup plus importante dans le cas où les états d'interface de type donneurs sont présents plutôt que sans.

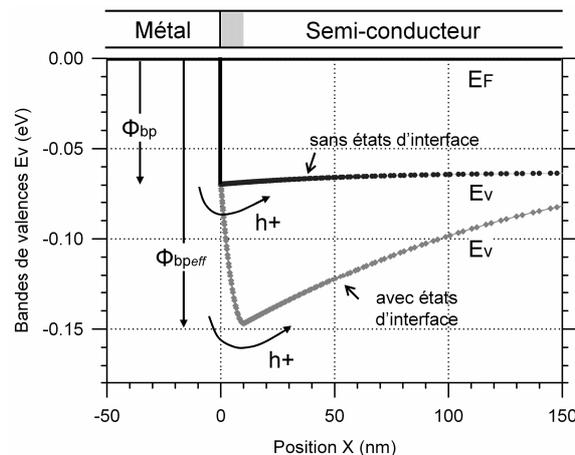


Fig. 1.29 : Simulation des courbures de bandes de valence pour un contact Schottky avec et sans états d'interface. La densité d'états d'interface de type donneur est de 10^{12} cm^{-2} . Le niveau d'énergie des états d'interface est situé à 0.3 eV sous la bande de conduction. La concentration de dopants dans le silicium est de 2×10^{15} cm^{-3} et la diode est placée à la température de 100 K. Nous observons que si la hauteur de barrière est de 70 meV dans le cas d'une diode Schottky idéale, la barrière effective dans le cas d'une diode comprenant des états d'interface augmente à près de 150 meV.

A noter que les conditions choisies de température sont justifiées pour pouvoir observer un comportement rectificateur, il s'agit en fait d'annihiler l'influence de la résistance de silicium importante dans le cas d'une concentration de dopants très faible vis-à-vis de la résistance de contact. Et en effet à 300 K, la diode Schottky a un comportement similaire à la Fig. 1.24.

Bardeen [40] est le premier à considérer que les états d'interface gouvernent seuls la hauteur de barrière. Cependant, afin de prendre en compte la corrélation de la hauteur de barrière avec le

métal/siliciure observée expérimentalement, *Conley* et *Sze* [41] ont développé un modèle qui incorpore les deux effets liés au métal et aux états d'interface. Ainsi ils décrivent l'effet de FLP par un simple formalisme mathématique au premier ordre (1.34), (1.35) :

$$\phi_{bn} = \gamma_{GS} \cdot (\phi_m - \chi_s) + (1 - \gamma_{GS}) \cdot (E_g - \phi_{CNL}) - \Delta\phi_b \quad (1.34)$$

$$\text{avec } \gamma_{GS} = \left(1 + \frac{q^2 \delta_{gap} D_{GS}}{\epsilon_{int}} \right)^{-1} \quad (1.35)$$

où ϕ_m est la fonction de travail du métal, χ_s , l'affinité électronique, E_g , le gap du semi-conducteur, ϕ_{CNL} , le niveau d'énergie des états d'interface et $\Delta\phi_b$, l'abaissement de barrière causé par la force image.

Dans le cas ionique limite où $\gamma_{GS} = 1$, c'est-à-dire sans états d'interface, la hauteur de barrière est simplement la différence entre la fonction de travail du métal et l'affinité électronique (semi-conducteur de type n). Dans le cas où la jonction est dominée par les états d'interface $\gamma_{GS} = 0$, la hauteur de barrière est la différence entre le niveau du gap du silicium et le niveau d'énergie des états d'interface. Le terme γ_{GS} est alors un coefficient de pondération qui balance les effets selon leur poids respectif.

Naturellement, les niveaux d'énergie des pièges autant que leur densité superficielle varient avec la nature des matériaux et du traitement de surface et ces états d'interface peuvent avoir de nombreuses origines et sont encore aujourd'hui largement débattus.

Dans le cas particulier de jonction de Siliciure de Platine (PtSi), *Tsaur et al.* [42] ont été les premiers à observer la modulation de la barrière Schottky dépendant de l'atmosphère de recuit.

1.4.2 Modèles de transport pour une jonction Schottky

Le courant traversant une jonction métal-semi-conducteur est principalement gouverné par les porteurs majoritaires. Et pour cela, trois différents mécanismes de transport existent distinctement : –la diffusion des porteurs provenant du semi-conducteur vers le métal qui suppose qu'une force électrostatique est distribuée sur la largeur de couche de désertion, –l'émission thermoïonique des porteurs franchissant la barrière Schottky qui stipule que seuls les porteurs énergétiques, ceux qui ont une énergie au moins équivalente ou supérieure à l'énergie de la bande de conduction, contribuent au flux du courant (dans le cas où les porteurs majoritaires

sont des électrons) et –l'émission tunnel au travers de la barrière Schottky décrite par les effets quantiques qui considèrent que la nature ondulatoire des porteurs permet à ceux-ci de traverser littéralement une fine barrière électrostatique. Dans une jonction, tous les mécanismes peuvent exister. Cependant, généralement seul un mécanisme de courant domine.

Une analyse révèle que puisque le courant de porteurs majoritaires est le seul courant existant, et par conséquent conservatif, les émissions des courants de diffusion et thermoionique peuvent se combiner et être écrite sous cette forme [37], [43] (1.36), (1.37) :

$$J = q v^* N_c e^{-\frac{\phi_b}{V_i}} \left(e^{\frac{V_f}{V_i}} - 1 \right) \quad (1.36)$$

$$\text{avec } \frac{1}{v^*} = \frac{1}{v_d} + \frac{1}{v_R} \quad (1.37)$$

où N_c est la densité effective d'états dans la bande de d'énergie, en l'occurrence la bande de conduction, v_d et v_R respectivement la vitesse de diffusion des porteurs dans la zone de charge d'espace du semi-conducteur et la vitesse d'émission thermoélectronique ou vitesse de Richardson à l'interface.

Les vitesses v_d et v_R sont données par les relations $v_d = \mu E_{max}$ et $v_R = \frac{1}{\sqrt{2\pi}} \sqrt{\frac{kT}{m^*}}$.

Remarquons que si $v_d \gg v_R$, $v^* \sim v_R$, le courant est conditionné par l'émission thermoélectronique, si par contre $v_R \gg v_d$, $v^* \sim v_d$, il sera conditionné par la diffusion des porteurs. Cependant, dans la majorité des cas de jonctions MS de type rectificateur (Fig. 1.23), le courant n'est pas limité par l'émission de courant de diffusion dont la contribution est largement négligeable dès que le champ électrique à l'interface croît.

Ainsi, à partir de L'Eq. (1.36), le courant peut s'écrire comme une expression plus familière d'émission thermoélectronique :

$$J = A^* T^2 e^{-\frac{\phi_b}{V_i}} \left(e^{\frac{V_f}{V_i}} - 1 \right) \quad (1.38)$$

où A^* est la constante de Richardson effective donnée par (1.39) :

$$A^* = A \frac{m^*}{m_0} = \frac{4\pi q m^* k^2}{h^3} = q \frac{v_R N_c}{T^2} \quad (1.39)$$

où A est la constante de Richardson dans le vide, k , la constante de Boltzmann, h , la constante de Planck, T , la température, m_0 , la masse de l'électron dans le vide, m^* , une masse effective observée suivant une orientation de transport. Notons qu'initialement, l'étude du transport dans le cas d'une jonction Schottky requiert des calculs de probabilité de présence de porteurs dans le métal et dans le semi-conducteur susceptibles de traverser la barrière de potentiel. Afin d'illustrer ce calcul, la Fig. 1.30 présente schématiquement le diagramme de bande pour un système métal-semi-conducteur associé aux deux contributions J_{sm} et J_{ms} , représentant respectivement la densité de courant allant du *semi-conducteur* vers le *métal* et du *métal* vers le *semi-conducteur*.

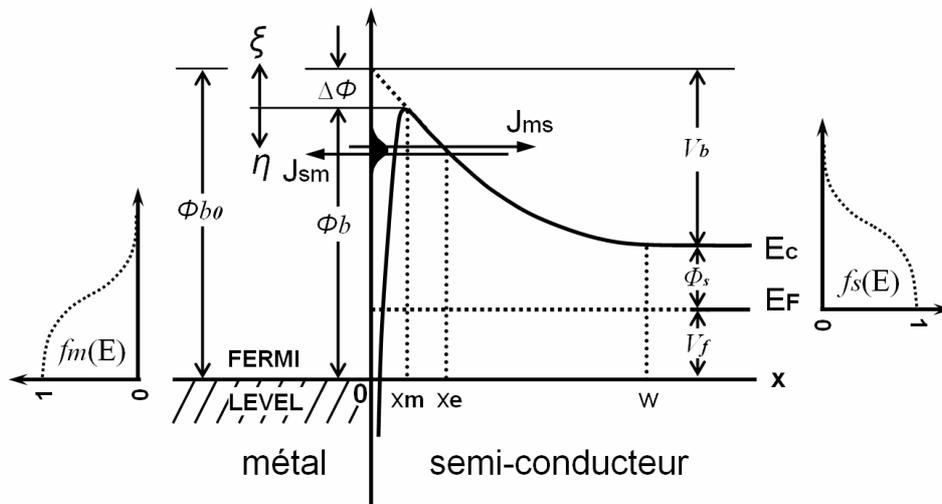


Fig. 1.30 : Diagramme de bande schématisé pour un système métal-semi-conducteur. Les probabilités d'occupation des états d'énergie pour le métal $f_m(E)$ et le semi-conducteur $f_s(E)$ sont également présentées. La barrière de potentiel observée par les porteurs dans le semi-conducteur est V_b ($E_b = qV_b$).

La densité de courant totale (1.40) est alors la somme algébrique des deux composantes :

$$J_{tot} = J_{sm} - J_{ms} \quad (1.40)$$

De plus, selon l'énergie du porteur, inférieure ou supérieure à la hauteur maximum de la barrière Schottky $\Phi_b = \Phi_{b0} - \Delta\Phi$, l'émission de porteurs à travers la barrière sera décrite soit par un mécanisme thermoïonique soit par un mécanisme tunnel. Les coefficients de transmission quantique sont alors respectivement $T(\xi)$ et $T(\eta)$, η et ξ étant les énergies définies au-dessous et au-dessus de l'énergie de la barrière de potentiel maximum. Les densités de courant sont alors décomposées en deux termes, l'un lié à l'émission thermoélectronique et l'autre lié à l'effet tunnel. En intégrant sur l'ensemble des niveaux d'énergie, J_{sm} et J_{ms} s'écrivent dans le cas non dégénéré comme (1.41) et (1.42) [44] :

$$\begin{aligned}
J_{sm} = & \frac{A^*T}{k} \cdot \underbrace{\int_0^\infty T(\xi) \exp\left(-\frac{V_{b0} + \phi_s + \xi/q - \Delta\phi - V_f}{\phi_t}\right) d\xi}_{\text{thermoionique}} \\
& + \frac{A^*T}{k} \cdot \underbrace{\int_0^{q(Vb-\Delta\phi)} f_s(\eta, V_f) \cdot T(\eta) \cdot (1 - f_m(\eta)) d\eta}_{\text{tunnel}}
\end{aligned} \tag{1.41}$$

$$\begin{aligned}
J_{ms} = & \frac{A^*T}{k} \cdot \exp\left(-\frac{\phi_b}{\phi_t}\right) \cdot \int_0^\infty T(\xi) \exp\left(-\frac{\xi/q}{\phi_t}\right) d\xi, \\
& + \frac{A^*T}{k} \cdot \int_0^{q(Vb-\Delta\phi)} f_m(\eta) \cdot T(\eta) \cdot (1 - f_s(\eta)) d\eta,
\end{aligned} \tag{1.42}$$

où A^* est la constante de Richardson, T , la température, k , la constante de Boltzmann, Φ_t , la tension thermique égale à kT/q , f_s et f_m , les probabilités d'occupation des états d'énergie dans le semi-conducteur et le métal respectivement nommées également distributions de Fermi-Dirac et par opposition, $(1 - f_s)$ et $(1 - f_m)$ les probabilités d'inoccupation des états d'énergie.

Les fonctions de distribution sont données par (1.43), (1.44) :

$$f_s = \frac{1}{1 + \exp\left(\frac{V_{b0} - \eta/q + \phi_s - V_f}{\phi_t}\right)} \tag{1.43}$$

$$f_m = \frac{1}{1 + \exp\left(\frac{V_{b0} - \eta/q + \phi_s}{\phi_t}\right)} \tag{1.44}$$

Remarquons que si le premier terme de J_{sm} correspondant au terme thermoionique apparaît clairement dépendante de la tension V_f par l'intermédiaire du terme $V_b = V_{b0} - V$, J_{ms} en est indépendante, mis à part la faible dépendance de la hauteur de barrière avec l'effet de force image. Dans le cas de la composante tunnel qui est proportionnelle à un coefficient de transmission quantique multiplié par la probabilité d'occupation dans le semi-conducteur (métal) et d'inoccupation dans le métal (semi-conducteur), elle est dépendante de la tension, notamment parce que la largeur de la barrière est corrélée aux courbures des bandes.

Afin de déterminer rigoureusement le coefficient de transmission de courant exact $T(\eta)$, qui prend en compte l'effet tunnel mais également la réflexion des porteurs sur la barrière, il est strictement nécessaire de résoudre l'équation de Schrödinger (1.45) en fonction du profil de potentiel dans le semi-conducteur.

$$-\frac{\hbar^2}{2m^*} \frac{d^2}{dx^2} \psi(x) + U(x)\psi(x) = E\psi(x) \quad (1.45)$$

où E est l'énergie totale de la particule, m^* , sa masse effective dans le matériau, $U(x)$, le profil de potentiel et $\psi(x)$, la fonction d'onde électronique interprétée par l'amplitude de probabilité de présence de l'électron qui est la fonction à déterminer. La Fig. 1.31 propose une schématique de l'équation pour une barrière Schottky. Malheureusement, cette approche est complexe et ne peut qu'être résolu numériquement.

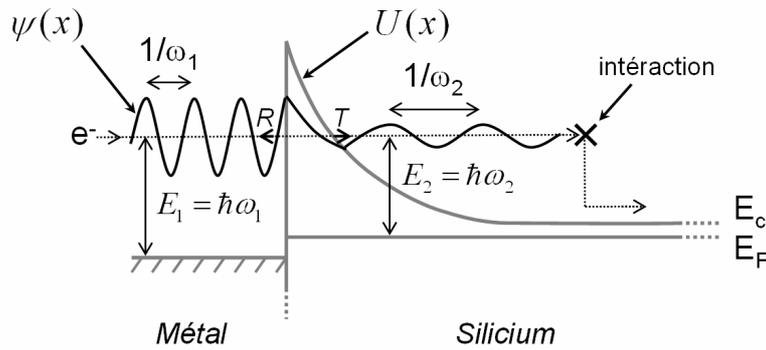


Fig. 1.31 : Traduction schématique de l'équation de Schrödinger appliquée à une barrière Schottky polarisée. $\Psi(x)$ représente l'amplitude de probabilité de présence de l'électron émis à une énergie E_1 dans le métal (considérer ici comme structuré, comme c'est le cas du siliciure de platine) et positionné à une énergie E_2 dans le semi-conducteur. R et T représentent respectivement la réflexion de l'onde électronique sur la barrière et la transmission à travers la barrière. Dans la barrière, $\Psi(x)$ décroît exponentiellement. Dans cette schématique, les énergies E_1 et E_2 se distinguent à cause de la différence de potentiel, ce qui amène l'électron à observer deux vitesses électroniques distinctes (De Broglie).

Afin de proposer un modèle qui exprime le courant traversant une jonction Schottky théorique polarisée en inverse plus détaillé que (1.38), *Crowell et Rideout* [36] ont développé une approche analytique directe à partir de l'approximation de *Wentzel-Kramers-Brillouin* (WKB) qui prend en compte les mécanismes d'émission thermoionique (TE) et d'émission de champs (FE).

Rappelons que l'approximation de WKB fournit une méthode mathématique qui permet d'écrire la probabilité tunnel $T(\eta)$ suivant (1.46) :

$$T(\eta) = \exp\left(-2 \int_{x_1}^{x_2} k(\eta, x) dx\right) \quad (1.46)$$

$$\text{avec } k(\eta, x) = \sqrt{\frac{2m^*}{\hbar} (qU(x) - \eta)}, \quad \eta < qU(x) \quad (1.47)$$

où W est l'épaisseur maximale de la barrière et x_i la position définie lorsque le porteur à une l'énergie potentiel η . En considérant les densités de courant J_{ms} et J_{sm} selon l'approximation de *Maxwell-Boltzmann* et en assumant que le profil de potentiel Schottky $U(x)$ est quadratique à l'interface Schottky, cette expression analytique du courant totale peut s'exprimer par (1.48) :

$$J = A^* T^2 e^{-\frac{\phi_b}{\phi_i}} (1 + \Theta) \left(e^{\frac{V_f}{\phi_i}} - 1 \right) \quad (1.48)$$

$$\text{avec } \Theta = \frac{E_b}{kT_0} \int \exp\left(-\frac{E_b}{kT} \left[\alpha + \frac{kT}{E_{00}} y(\alpha) \right]\right) \exp\left(\frac{E_b}{kT}\right) d\alpha, \quad (1.49)$$

$$y(\alpha) = (1 - \alpha)^{1/2} - \alpha \ln \left[\frac{1 + (1 - \alpha)^{1/2}}{\alpha^{1/2}} \right] \quad (1.50)$$

$$\text{et } E_{00} = \frac{q\hbar}{4\pi} \left[\frac{N}{m^* \varepsilon} \right] \quad (1.51)$$

où N est la concentration de dopants dans le semi-conducteur, E_b et E_{00} , des paramètres de renormalisation correspondant respectivement à la courbure de bande dans le région de déplétion du semi-conducteur (Fig. 1.30) et à la constante qui caractérise le semi-conducteur. Rappelons que cette expression du courant est parfaitement adaptée pour des structures de diodes simples ou des structures de diodes en vis-à-vis, mais ne peut pas convenir pour décrire l'injection de courant à travers les jonctions Schottky du transistor SB MOSFET. Pour cela, il faudrait réécrire l'expression $U(x)$ et tenir compte de l'influence du potentiel de grille sur le profil de potentiel Schottky. Cependant, présenter ces expressions nous permet de mettre en évidence des paramètres sensibles qui vont influencer l'injection de courant thermoionique et tunnel dans un transistor SB MOSFET, en l'occurrence N , m^* , E_b , ϕ_b et T .

Suivant cette constatation, il convient de définir judicieusement un paramètre qui est la masse effective des porteurs — électrons et trous — dans le silicium afin d'obtenir une injection tunnel réaliste. Cependant, le concept de masse effective dans un matériau cristallin s'éloigne du cadre de ce chapitre. C'est pourquoi, nous avons déplacé la description des valeurs que nous avons considérées pour nos simulations à l'Annexe A.

1.5. Propriétés dynamiques des transistors MOSFET en régime petit signal

Les progrès effectués sur la technologie des transistors MOSFET permettent de réaliser des composants dont les performances en fréquence offrent l'opportunité de son utilisation dans le

domaine des radio- et hyperfréquences. Et en effet, étant donné son haut degré de maturité qui amène à une excellente reproductibilité, sa faible consommation, son haut niveau d'intégration et donc son faible coût, la technologie CMOS est aujourd'hui très populaire pour fabriquer les circuits analogiques composant les architectures d'émission-réception, de l'antenne au traitement numérique, dans les bandes de fréquences allant du Giga Hertz à la centaine de Giga Hertz [45], [46]. Afin de pouvoir concevoir aisément ces circuits, il est nécessaire de pouvoir prédire le comportement des transistors en fonction de la polarisation appliquée, de la fréquence, mais aussi en fonction de ses paramètres topologiques (longueur de grille, largeur et nombre de doigt de grille, configuration du transistor...). En outre, prédire le comportement des transistors permet d'analyser plus finement les performances afin notamment de mettre en évidence aussi bien ses qualités que ses handicaps et de pouvoir ainsi le comparer à ses technologies rivales. Pour cela, un certain nombre de modèles tels que le schéma équivalent petit signal hyperfréquence et de facteurs de mérite spécifiques au domaine des hautes fréquences (gains, fréquences de coupure) ont été développés. La difficulté de mesurer des signaux hautes fréquences a amené la communauté scientifique à concevoir les paramètres de répartition (paramètres S), justifiés parce que les concepts d'ondes de puissance et d'énergie sont plus aisément quantifiables que la notion de courant ou de tension. Nous rappelons que se référant à la façon dont est perturbé le déplacement d'une onde électromagnétique lorsqu'elle rencontre une discontinuité, autrement dit d'une onde rencontrant une impédance différente de l'impédance caractéristique de la ligne, les paramètres S sont capables de décrire les propriétés de systèmes électriques lorsqu'ils subissent différents *stimuli* de petits signaux (Fig. 1.32). Les paramètres S permettent donc de déterminer les nombreuses caractéristiques et potentialités électriques⁷ du transistor dans des conditions linéaires et dans une très large gamme de fréquences.

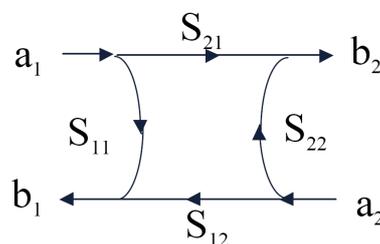


Fig. 1.32 : Relation schématique entre ondes de puissance incidentes a_1 et a_2 et réfléchies b_1 et b_2 et les paramètres S d'un quadripôle.

⁷ Notons que les paramètres S appartiennent à la famille des paramètres $Z, Y, H, T, ABCD$, définis à partir de la théorie du quadripôle. Les transformations entre ces paramètres sont décrites à l'Annexe B. A partir de ces paramètres, les fréquences de coupure et les différents gains du transistor peuvent être extraits ainsi que des modèles petits signaux.

1.5.1 Définitions des Figures-de-Mérite hyperfréquences et petits signaux des transistors

Dans le domaine des hyperfréquences, plusieurs figures de mérite existent pour évaluer et comparer les performances des transistors. Nous les emploierons pour déterminer les potentialités des transistors SB-MOSFET. Pour cela, nous nous proposons préalablement de les définir succinctement.

La principale figure de mérite pour un transistor est la fréquence de transition f_T qui est la fréquence pour laquelle l'amplitude du gain en courant $|H_{21}|^2$ pour un transistor configuré en source commune et mis en court-circuit (régime dynamique, différent du court-circuit en régime statique) à sa sortie est égal à l'unité. A partir de cette définition, le gain en courant peut être également obtenu en fonction des paramètres Y et S par (1.52) :

$$|H_{21}|^2 = \left| \frac{Y_{21}}{Y_{11}} \right|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}} \right|^2 \quad (1.52)$$

Conventionnellement, le gain en courant est représenté en décibel en fonction de la fréquence et se présente sous la forme d'une droite de pente égale à -20 dB par décade lorsque les termes de second ordre du transistor sont négligeables. Ainsi, la fréquence de transition peut être calculée suivant l'expression (1.53) :

$$f_T = H_{21}|_{f_0} \times f_0 \quad (1.53)$$

L'*ITRS'2006* propose d'extraire f_T lorsque f_0 est fixée à 40 GHz⁸.

La seconde figure de mérite est la fréquence maximum d'oscillation f_{max} , définie comme étant la fréquence pour laquelle le gain en puissance est égal à l'unité lorsque le transistor est unilatéral, c'est-à-dire que l'entrée et la sortie du transistor sont adaptées et qu'une contre-réaction sans perte est rajoutée. Ce gain en puissance, également appelé gain unilatéral ou gain de *Mason* a l'évolution théorique d'une droite de pente -20 dB par décade. Selon que ce gain est supérieur ou

⁸ La fréquence f_T du transistor doit être implicitement supérieure à 40 GHz.

inférieur à l'unité, autrement dit, si de la puissance est fournie ou non par le transistor, le caractère du composant sera actif ou passif.

Le gain peut être calculé directement à partir de la mesure du transistor par l'équation (1.54) :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(k \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (1.54)$$

avec le facteur de stabilité k donné par (1.55):

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (1.55)$$

Notons que le facteur k correspond à un coefficient qui définit la stabilité d'un dispositif. Si ce coefficient est supérieur à 1, le transistor est alors inconditionnellement stable, si il est compris entre 0 et 1, il est conditionnellement stable. La fréquence f_{max} peut être calculée suivant l'expression (1.56) :

$$f_{max} = U|_{f_0} \times f_0 \quad (1.56)$$

Nous pouvons également rappeler les définitions du gain maximum disponible pour k supérieur à l'unité (MAG, en anglais *Maximum Available Gain*), du gain maximum stable pour k inférieur à l'unité (MSG, en anglais *Maximum Stable Gain*) et du gain maximum G_{MAX} par les expressions (1.57)-(1.59) :

$$G_{MAG} = \left| \frac{S_{21}}{S_{12}} \right| \left(k - \sqrt{k^2 - 1} \right) \quad (1.57)$$

$$G_{MSG} = \left| \frac{S_{21}}{S_{12}} \right| \quad (1.58)$$

$$\text{Si } k > 1 \text{ alors } G_{MAX} = G_{MAG} \text{ sinon } G_{MAX} = G_{MSG} \quad (1.59)$$

Notons que l'on peut également extraire la fréquence f_{max} lorsque $G_{MAX} = 1$.

1.5.2 Schéma équivalent petit signal du transistor MOSFET

Le schéma équivalent petit signal hyperfréquence non quasi-statique (NQS-SSEC) présenté à la Fig. 1.33 est une approche qui est communément utilisée pour modéliser en régime petit signal un transistor MOSFET conventionnel. Il s'applique particulièrement bien à représenter le fonctionnement en hyperfréquence du transistor autour d'un point de polarisation fixé. Notons que le SSEC est un modèle de circuit électrique qui se base sur une linéarisation des caractéristiques non linéaires de courants et de charges. Les équations qui amènent à la modélisation petit signal du transistor MOSFET sont rappelées à l'Annexe C.

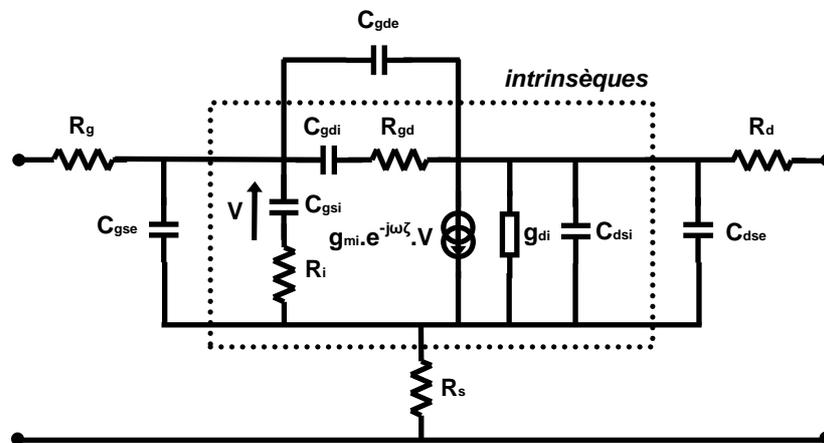


Fig. 1.33 : Schéma équivalent petit signal non quasi-statique du transistor MOSFET conventionnel.

Rappelons que la partie intrinsèque correspond à la zone active du transistor, c'est-à-dire au canal créé par effet de champ. Elle comprend principalement la transconductance intrinsèque g_{mi} , la conductance de sortie intrinsèque g_{di} , les capacités grille à source intrinsèque C_{gsi} , grille-à-drain intrinsèque C_{gdi} et drain-à-source C_{dsi} . La partie extrinsèque correspond aux éléments parasites qui s'associent au transistor. Elle comprend les capacités extrinsèques grille à source C_{gse} , grille-à-drain C_{gde} et source-à-drain C_{dse} ainsi que les résistances séries parasites de grille R_g , de source R_s , et de drain R_d . Notons que les capacités extrinsèques indépendantes de la polarisation proviennent des couplages électrostatiques parasites entre la grille et les zones de source et drain ainsi qu'à leurs extensions. La résistance de grille RF dépendante de la résistivité du matériau de grille ainsi que de la topologie du transistor est exprimée par (1.60)⁹ :

⁹ Les doigts de grille sont dans ce cas connectés par un seul accès. Dans le cas où les doigts de grille sont connectés par deux accès, la résistance de grille R_g calculée par (1.60) doit être divisée par 4.

$$R_g = R_{\square} \frac{W_u}{3L_g N_f} \quad (1.60)$$

où R_{\square} est la résistance par carré, W_u et N_f respectivement la largeur unitaire et le nombre de doigts de grille.

La Fig. 1.34 représente ce schéma équivalent petit signal superposé à une vue schématique du composant.

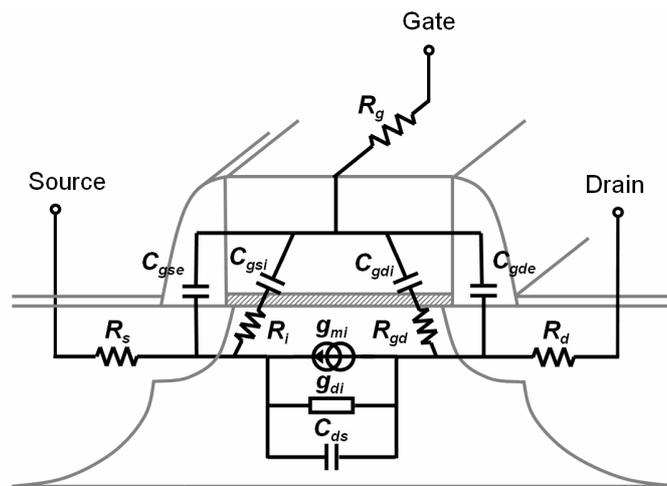


Fig. 1.34 : Représentation du schéma équivalent petit signal d'un transistor MOSFET SOI conventionnel sur une vue schématique du composant.

Le SSEC tient compte également de l'effet du temps de transit des porteurs dans le canal. Pour cela les éléments R_i , R_{gd} ainsi que τ aux schémas intrinsèques sont inclus. En pratique, cet effet « d'inertie temporelle de la charge » dans le canal se traduit en terme de performance par une diminution effective de la transconductance et de la capacité d'entrée lors d'une augmentation en fréquence du signal injecté et donc par une diminution de l'effet transistor. Cependant étant donné que ce temps de transit est très faible, cet effet n'affecte le comportement dynamique du transistor qu'en très haute fréquence, typiquement de l'ordre de grandeur de plusieurs dizaines à centaines de Giga Hertz pour les transistors d'aujourd'hui¹⁰. Ainsi, les éléments R_i , R_{gd} et τ modélisent ces constantes de temps au premier ordre. Ils peuvent être mis en évidence par la résolution numérique d'un simple concept de ligne active *non uniforme* où les valeurs des éléments locaux ($\Delta g_{m0}(x)$, $\Delta g_{d0}(x)$, $\Delta C_0(x)$) déterminés de façon quasi-statique, dépendent de la position, ceci afin de représenter la nature distribuée des charges dans le canal (Fig. 1.35) [47].

¹⁰ La fréquence est inversement proportionnelle au temps de transit qui est défini par $T_{sividis}$ [2] de $\tau_i \sim L^2/\mu(V_{gs} - V_t)$ en régime de forte inversion à $\tau_i \sim L/|v_d|_{\max}$ en régime de saturation de vitesse.

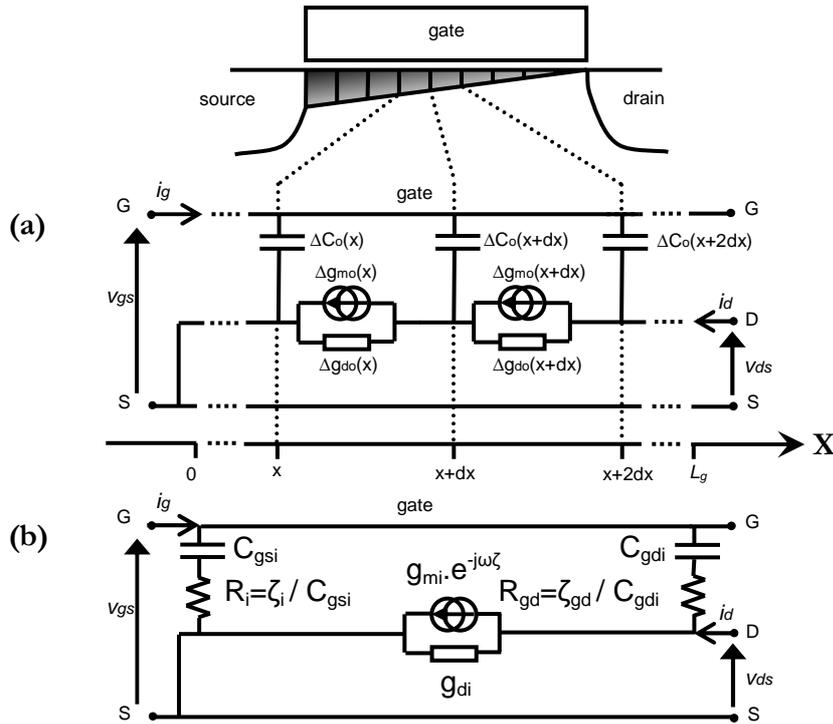


Fig. 1.35 : Schéma équivalent local petit signal (a) dont les éléments sont calculés en utilisant une approximation quasi-statique qui localement conduit à un schéma équivalent « macroscopique » non quasi-statique du MOSFET (b).

Suivant le NQS-SSEC, des expressions analytiques des fréquences de coupure peuvent être exprimées au premier ordre par les équations (1.61)-(1.63) [48] :

$$f_T = \frac{f_c}{1 + \left(g_d + g_m \left(\frac{C_{miller}}{C_{gin} + C_{miller}} \right) \right) (R_s + R_d)} \quad (1.61)$$

$$\text{avec } f_c = \frac{g_m}{2\pi(C_{gin} + C_{miller})} \quad (1.62)$$

où $C_{gin} = C_{gsi} + C_{gse}$ et $C_{miller} = C_{gdi} + C_{gde}$.

$$f_{max} = \frac{f_c}{2 \sqrt{g_d(R_g + R_s + R_i) + \frac{1}{2} \frac{C_{miller}}{C_{gin}} \left(\frac{C_{miller}}{C_{gin}} + g_m(R_s + R_i) \right)}} \quad (1.63)$$

On peut remarquer que la fréquence de transition f_T est insensible à la résistance de grille et donc insensible au développement de grille.

1.6. Conclusion

Dans ce chapitre, nous avons tâché de décrire de façon distincte et succincte les mécanismes essentiels qui influencent sur le transistor SB MOSFET en RF, de la physique du composant jusqu'à la description des principales propriétés dynamiques des transistors MOSFET en régime petit signal, l'objectif étant de préparer les discussions suivantes. En ce qui concerne le transistor, nous avons rappelé les principaux verrous et les difficultés qui se posent actuellement, à savoir les résistances d'accès et les capacités parasites qui deviennent de plus en plus critiques avec la croissance des performances intrinsèques du transistor. Finalement, peu de solutions se présentent à ce jour afin de pouvoir continuer à suivre les recommandations de l'ITRS, le contact Schottky avec une zone de non-recouvrement étant étudié pour répondre à cette problématique. Nous avons également rappelé les principaux mécanismes qui contrôlent l'injection de courant à travers un contact Schottky dans le cas de faibles hauteurs barrières afin de mettre en évidence les paramètres sensibles pour optimiser les résistances de contact.

Suite à ces descriptions, le prochain chapitre se propose de simuler le composant afin de mettre en évidence son comportement entier mais également ces potentialités en haute fréquence.

1.7. Références bibliographiques

- [1] METAMOS Project, *IST-016677*, online: <http://metamos.univ-lille1.fr/>.
- [2] Yannis P. Tsididis, "*Operation and modeling of the MOS transistor*", McGraw-Hill series in electrical engineering, VLSI, 1987.
- [3] J. E. Meyer, "*MOS models and circuit simulation*", RCA Rev., vol. 32, pp. 42-63, Mar. 1971.
- [4] *International Technology Roadmap for Semiconductors*, Online. Available : <http://www.itrs.net/Common/2006ITRS/Home2006.html>.
- [5] Scott Thompson, Paul Packan, Mark Bohr, "*MOS Scaling: Transistor Challenges for the 21st Century*", Intel Technology Journal Q3'98, online: <http://developer.intel.com/technology/itj/q31998/pdf/trans.pdf>.

- [6] J.-P. Colinge, “*Silicon-On-Insulator Technology: Materials to VLSI, 2nd Edition*”, Kluwer Academic Publishers, 1997.
- [7] Balestra F., Brini J., “*SOI MOSFET in weak inversion and weak accumulation*”, *Electronics Letters*, vol. 23, no. 5, pp. 211-213, Feb. 26 1987.
- [8] G. Dambrine, C. Raynaud, M. Vanmackelberg, F. Danneville, G. Pailloncy, S. Lepilliet, and J.-P. Raskin, “*Impact of down scaling on high-frequency noise performance of bulk and SOI MOSFETs*”, Proc. SPIE 5113, pp. 105, 2003.
- [9] Lombardi C., Manzini S., Saporito A., Vanzi M., “*A physically based mobility model for numerical simulation of nonplanar devices*”, *Computer-Aided Design of Integrated Circuits and Systems*, IEEE Transactions on, vol. 7, no. 11, pp. 1164-1171, Nov. 1988.
- [10] Atlas User’s Manual version 5.10.2.R., SILVACO International, Santa Clara, CA, USA, Dec. 2005.
- [11] Lenzlinger M., Snow E.H., “*Fowler-Nordheim tunneling into thermally grown SiO₂*”, *Electron Devices*, IEEE Transactions on, vol. 15, no. 9, pp. 686-686, Sept 1968.
- [12] Wen-Chin Lee, Chenming Hu, “*Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction- and valence-band electron and hole tunneling*”, *Electron Devices*, IEEE Transactions on, vol. 48, no. 7, pp. 1366-1373, Jul 2001.
- [13] M. Balog, M. Schieber, M. Michman, and S. Patai, “*Chemical vapor deposition and characterization of HfO₂ films from organo-bafnium compounds*”, *Thin Solid Films*, vol. 41, pp. 247–259, 1977.
- [14] G. D. Wilk, R. M. Wallace, and J. M. Anthony, “*High-kappa gate dielectrics: Current status and materials properties considerations*”, *J. Appl. Phys.* 89, pp. 5243, 2001.
- [15] M. Hiratani, S. Saito, Y. Shimamoto and K. Torii, “*Effective Electron Mobility Reduced by Remote Charge Scattering in High-K Gate Stacks*”, *Jpn. J. Appl. Phys.* Vol. 41 (2002) pp. 4521–4522, Part 1, No. 7A, July 2002.

- [16] Onishi K., Chang Seok Kang, Rino Choi, Hag-Ju Cho, Gopalan S., Nieh R.E., Krishnan S.A., Lee J.C., “*Improvement of surface carrier mobility of HfO₂/sub 2/ MOSFETs by high-temperature forming gas annealing*”, *Electron Devices, IEEE Transactions on*, vol. 50, no. 2, pp. 384-390, Feb. 2003.
- [17] C. L. Hinkle, C. Fulton, R. J. Nemanich, G. Lucovsky, “*A novel approach for determining the effective tunneling mass of electrons in HfO₂ and other high-K alternative gate dielectrics for advanced CMOS devices*”, *Microelectronic Engineering* Vol. 72, Iss. 1-4, *Proceedings of the 13th Biennial Conference on Insulating Films on Semiconductors*, pp. 257-262, April 2004.
- [18] Pailloucy G., Iniguez B., Dambrine G., Danneville F., “*Influence of a Tunneling Gate Current on the noise performance of SOI MOSFETs*”, *SOI Conference, 2004. Proceedings. 2004 IEEE International*, pp. 55-57, 4-7 Oct. 2004.
- [19] Danneville F., Pailloucy G., Dambrine G., Iniguez B., “*RF and noise properties of SOI MOSFETs, including the influence of a direct tunneling gate current*”, *Devices, Circuits and Systems, 2004. Proceedings of the Fifth IEEE International Caracas Conference on*, vol. 1, pp. 103-110, 3-5 Nov. 2004.
- [20] Shrivastava R., Fitzpatrick K., “*A simple model for the overlap capacitance of a VLSI MOS device*”, *Electron Devices, IEEE Transactions on*, vol. 29, no.12, pp. 1870-1875, Dec. 1982.
- [21] Bansal A., Paul B.C., Roy K., “*Modeling and optimization of fringe capacitance of nanoscale DG MOS devices*”, *Electron Devices, IEEE Transactions on*, vol. 52, no. 2, pp. 256-262, Feb. 2005.
- [22] T. Skotnicki, J.A. Hutchby, T.-J. King, H.-S.P. Wong, and F. Boeuf, “*The end of CMOS scaling*”, *IEEE Circuits Devices Mag.*, vol. 21, pp. 16-26, Jan./Feb. 2005.
- [23] Yan R.-H., Ourmazd A., Lee K.F., “*Scaling the Si MOSFET: from bulk to SOI to bulk*”, *Electron Devices, IEEE Transactions on*, vol. 39, no. 7, pp. 1704-1710, Jul 1992.
- [24] M. Passlack, R. Droopad, K. Rajagopalan, J. Abrokwhah, and P. Zurcher, R. Hill, D. Moran, X. Li, H. Zhou, D. Macintyre, S. Thoms, and I. Thayne, “*High Mobility III-V MOSFET Technology*”, *CS MANTECH Conference, Austin, Texas, USA, May 14-17, 2007.*

- [25] S. Thompson, et al., “*A 90 nm logic technology featuring 50nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 μm^2 SRAM Cell*”, International Electron Devices Meeting Technical Digest, pp. 61-64, 2002.
- [26] P. Bai, et al., “*A 65nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8 Cu interconnect layers, low- k ILD and 0.57 μm^2 SRAM cell*”, International Electron Devices Meeting Technical Digest, pp. 657-660, 2004.
- [27] Sungjae Lee, Jagannathan B., Narasimha S., Chou A., Zamdmer N., Johnson J., Williams R., Wagner L., Jonghae Kim, Plouchart J.-O., Pekarik J., Springer S., Freeman G., “*Record RF performance of 45-nm SOI CMOS Technology*”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International , pp.255-258, 10-12 Dec. 2007.
- [28] Sadao Adachi, “*Properties of Group-IV, III-V and II-VI Semiconductors*”, Ltd, Wiley Series in Materials for Electronic & Optoelectronic Applications, John Wiley & Sons, Japan, 2005.
- [29] S. V. Morozov, K. S. Novoselov, M. I. Katsnelson, F. Schedin, D. C. Elias, J. A. Jaszczak, and A. K. Geim, “*Giant Intrinsic Carrier Mobilities in Graphene and Its Bilayer*”, Phys. Rev. Lett. pp. 100, 2008.
- [30] K. I. Bolotin, K. J. Sikes, Z. Jiang, M. Klima, G. Fudenberg, J. Hone, P. Kim, H. L. Stormer, “*Ultrahigh electron mobility in suspended grapheme*”, Solid State Communications Volume 146, Issues 9-10, pp. 351-355, June 2008.
- [31] Y. Q. Wu, P. D. Ye, M.A. Capano , Y. Xuan, Y. Sui, M. Qi, and J.A. Cooper, “*Top-gated graphene field-effect-transistors formed by decomposition of SiC*”, Applied physics letters, vol. 92, no. 9, Feb. 2008.
- [32] X. Wang, Y. Ouyang, X. Li, H. Wang, J. Guo, H Dai, “*Room-Temperature All-Semiconducting Sub-10-nm Graphene Nanoribbon Field-Effect Transistors*”, Physical Review Letters, 2008.
- [33] Li X., Wang X., Zhang L., Lee S., Dai H., “*Chemically Derived, UltrasMOOTH Graphene Nanoribbon Semiconductors*”, Science 319, 1229, Feb. 2008.

- [34] Tao Chuan Lim, Valentin R., Dambrine G., Danneville F., “MOSFETs RF Noise Optimization via Channel Engineering”, *Electron Device Letters, IEEE*, vol. 29, no. 1, pp. 118-121, Jan. 2008.
- [35] J.-M. Larson and J.-P. Snyder, “Overview and Status of Metal S/D Schottky-Barrier MOSFET Technology”, *IEEE Transactions on Electron Devices*, May 2006.
- [36] C. R. Crowell and V. L. Rideout, “Normalized Thermionic-Field (T-F) Emission in Metal-Semiconductor (Schottky) Barriers”, *Solid-State Electronics*, vol. 12, pp. 89–105, Jul. 1968.
- [37] S. M. Sze, “*Physics of Semiconductor Devices*”, 2nd edition, Wiley, New York.
- [38] J. W. Slotboom and H. C. de Graaff, “Measurements of bandgap narrowing next term in Si bipolar transistors” *Solid-State Electronics*, Vol. 19, Iss. 10, Oct. 1976, pp. 857-862.
- [39] Myungsim Jun, Moongyu Jang, Yarkyeon Kim, Cheljong Choi, Taeyoub Kim, Byungchul Park, and Seongjae Lee, “Analysis of interface trap states at Schottky diode by using equivalent circuit modelling”, *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, Vol. 25, Iss. 1, pp. 82-85, January 2007.
- [40] J. Bardeen, “Surface States and Rectification at a Metal Semiconductor Contact”, *Phys. Rev.*, Vol. 71, pp. 717, 1947.
- [41] A.M. Cowley, S.M. Sze, “Surface States and Barrier Height of Metal-Semiconductor Systems”, *Journal of Applied Physics*, Vol. 36, pp. 3212, 1965.
- [42] B.Y. Tsaur, J.P. Mattia, C.K. Chen, “Hydrogen Annealing of PtSi-Si Schottky Barrier Contacts”, *J. Appl. Phys.*, vol. 57, pp. 1111-1113, 1990.
- [43] Henry Matthieu, “*Physique des semiconducteurs et des composants électroniques*”, Dunod, Paris, 5ème édition, 2001.
- [44] C. Y. Chang, S. M. Sze, “Carrier transport across metal-semiconductor barriers”, *Solid-State Electronics*, vol. 13, issue 6, pp. 727-740, 1970.

- [45] Yu-Sian Jiang, Zuo-Min Tsai, Jeng-Han Tsai, Hsien-Te Chen, Huei Wang, “*A 86 to 108 GHz Amplifier in 90 nm CMOS*”, *Microwave and Wireless Components Letters*, IEEE, vol. 18, no. 2, pp. 124-126, Feb. 2008.
- [46] Ning Zhang, Chih-Ming Hung, Kenneth, K.O., “*80-GHz Tuned Amplifier in Bulk CMOS*”, *Microwave and Wireless Components Letters*, IEEE, vol. 18, no. 2, pp.121-123, Feb. 2008.
- [47] G. Pailloncy, B. Iniguez, G. Dambrine, J. -P. Raskin, F. Danneville, “*Noise modeling in fully depleted SOI MOSFETs*”, *Solid-State Electronics*, vol. 48, iss. 5, pp 813-825, May 2004.
- [48] Siligaris A., Pailloncy G., Delcourt S., Valentin R., Lepilliet S., Danneville F., Gloria D., Dambrine G., “*High-Frequency and Noise Performances of 65-nm MOSFET at Liquid Nitrogen Temperature*”, *Electron Devices, IEEE Transactions on* , vol. 53, no. 8, pp. 1902-1908, Aug. 2006.

CHAPITRE 2

SIMULATIONS DU TRANSISTOR SB-MOSFET DU REGIME STATIQUE AU REGIME DYNAMIQUE

2.1.	Introduction	2.3
2.2.	Description des modèles physiques des simulations TCAD et de la structure simulée	2.4
2.2.1	Description des modèles physiques des simulations TCAD.....	2.5
2.2.2	Calibration et Influence des différents modèles d'injection sur une structure de diodes en vis-à-vis.....	2.12
2.2.3	Définition de la structure SB-MOSFET	2.14
2.3.	Simulation des caractéristiques électriques d'un transistor SB-MOSFET	2.15
2.4.	Influence et compréhension des dimensions sur les performances statiques et hyperfréquences du transistor SB-MOSFET de type p	2.18
2.4.1	Compréhension du transistor SB-MOSFET	2.18
2.4.2	Etude de sensibilité des performances dynamiques avec la hauteur de barrière Schottky.....	2.26
2.4.3	Sensibilité des performances hyperfréquences ($fT, fmax$) avec la largeur de non-recouvrement des zones source et drain	2.29
2.4.4	Sensibilité et description des performances dynamiques en fonction de la température.....	2.33
2.5.	Perfectionnement du modèle Schottky avec la prise en compte des états d'interface	2.38
2.6.	Ségrégation de dopants à l'interface métal-semi-conducteur.....	2.43
2.7.	Performances dynamiques du transistor SB-MOSFET de type n	2.50
2.8.	Performances dynamiques du transistor SB MOSFET pour des longueurs de grille courtes.....	2.56
2.9.	Conclusions	2.59
2.10.	Références bibliographiques	2.60

CHAPITRE 2
SIMULATIONS DU TRANSISTOR SB-MOSFET DU REGIME
STATIQUE AU REGIME HYPERFREQUENCE

2.1. Introduction

Dans le précédent chapitre, nous avons tenté d'exposer les principaux effets physiques qui entourent la structure SB-MOSFET en distinguant ceux qui interagissent de façon sensible sur le mode de fonctionnement du transistor. Suite à cette étude, ce chapitre se propose de décrire le comportement complet du transistor du régime statique jusqu'au régime hyperfréquence à l'aide de simulations numériques. Dans ce but, nous nous proposons d'utiliser des outils de simulations numériques TCAD (en anglais, *Technology Computer Aided Simulation*). L'utilisation d'outils assistés par ordinateur est largement motivée depuis des dizaines d'années par la nécessité de prédire et/ou de mettre en évidence le comportement d'un système quel qu'il soit, confronté à différentes situations, très rapidement et à faible coût. Traditionnellement dans le cas de dispositifs semi-conducteurs, l'expérimentation systématique des composants est complexe, lente et coûteuse et non appropriée aux évolutions rapides des transistors. Grâce à la résolution numérique des équations qui décrivent la physique des semi-conducteurs, nous sommes capables d'évaluer l'ensemble des grandeurs physiques et électriques qui caractérisent un composant réel. A partir de ce fait, de nombreuses possibilités se présentent puisqu'une multitude de structures peut être imaginée, simulée et optimisée, permettant même d'envisager la création de systèmes plus complexes comportant plus d'un composant. En outre, ces simulations permettent d'obtenir des grandeurs électriques qui sont difficilement accessibles voir inaccessibles par la mesure. Leurs utilisations paraissent donc incontournables pour fournir les lignes directrices qui mèneront à l'obtention de dispositifs prometteurs.

Pour les simulations de composants, nous avons choisi d'utiliser les outils commerciaux *Silvaco/Atlas*[®] [1] et *Dessis/Synopsys*[®] [2] largement reconnus dans les milieux de recherches scientifiques académiques et industriels. Ces simulateurs sont basés sur la résolution de modèles macroscopiques tels que les équations de dérive-et-diffusion (DD, en anglais *Drift-Diffusion*) pour décrire le comportement électrique d'un semi-conducteur.

Avant d'entamer l'étude sur les transistors SB MOSFET, nous exposerons préalablement dans ce chapitre une description des modèles utilisés pour simuler de manière réaliste les transistors mais également une description de la structure de référence, définitivement choisie similaire aux structures fabriquées dans le cadre de METAMOS.

2.2. Description des modèles physiques des simulations TCAD et de la structure simulée

Il faut rappeler qu'il existe principalement deux types d'outils d'analyse numérique permettant d'étudier le comportement des transistors MOSFET. Il s'agit des outils de simulations basés sur des modèles physiques « microscopiques » basés sur la résolution de l'Equation de Transport de Boltzmann (ETB) pour chaque particule mobile dans le semi-conducteur (ou tout au moins un petit groupe) par une approche de Monte Carlo (MC) ou, « macroscopiques » basés sur la résolution d'une modélisation de l'ETB tel que les approches soit dit de dérive-et-diffusion (DD), thermodynamique (TD), hydrodynamique (HD) [1]-[2]. Naturellement, la première approche (MC) appliquée à l'étude du transport électronique dans les systèmes semi-conducteurs apparaît être généralement la plus réaliste du comportement physique du semi-conducteur puisque qu'elle consiste à suivre le comportement dynamique de particules élémentaires relatives aux actions du champ électrique et aux interactions causées par la présence du réseau cristallin (interactions acoustiques, sur impuretés ionisées...). Ce comportement dynamique des particules se caractérise alors par des variations temporelles de l'énergie, de la vitesse et de la position des particules qui, couplées avec l'équation de Poisson, permettent d'extraire les caractéristiques électriques du composant. L'originalité de l'approche de MC pour réduire la quantité de calculs prohibitif, consiste communément à ne résoudre le transport que pour un petit nombre de particules caractéristique du comportement de l'entière population électronique dans le composant. Le résultat global provient alors d'une probabilité d'occurrence des résultats individuels dont chaque détail du transport, issu de tirages aléatoires, est défini par des propriétés physiques à qui l'on a affectées initialement une certaine distribution de probabilités. Puisque cette méthodologie se propose de résoudre le système avec un minimum d'approximations sur les mécanismes de transport des particules, l'erreur relative des grandeurs électriques n'est principalement dépendante que du nombre de porteurs intégrés à la simulation. Le simulateur est alors capable de décrire des phénomènes de transport complexes de manière quasi-exact et peut être particulièrement adapté à l'étude réaliste du transport dans des composants généralement à l'échelle nanométrique (*e.g., L_g inférieures à 100-nm, du fait des quantités de calcul prohibitive*).

La seconde méthode qui se base sur une modélisation de l'ETB, consiste à un ensemble d'équations macroscopiques qui relient conjointement le potentiel électrostatique et la densité de porteurs. Ces équations dérivées des lois de *Maxwell* comprennent l'équation de Poisson, les équations de continuité et les équations de transport. L'équation de Poisson est relative aux variations du potentiel électrostatique avec la densité de charge locale. Dans le cas d'une approche de dérive et

diffusion, les équations de transport associées aux équations de continuité décrivent l'évolution du mouvement des concentrations d'électrons et de trous suite aux processus de dérive (liés aux forces électrostatiques) et de diffusion (liés aux disparités de concentrations de porteurs dans la structure), tout en prenant en compte les mécanismes de génération et de recombinaison. Nous détaillerons ces différentes équations dans le paragraphe suivant. Cette méthode beaucoup plus rapide que la première, est surtout appropriée à des structures de grandes tailles, c'est-à-dire grandes devant l'échelle atomique (*i.e.*, L_g supérieures à quelques 10-nm).

Afin de mieux prendre en compte la réalité des effets physiques qui influencent sensiblement le transport pour des transistors de puissance et à longueurs de grille courte (*e.g.* effet d'auto-échauffement, transport non stationnaire), le système d'équation présenté précédemment a été complexifié pour former les approches améliorées respectives de thermodynamique (TD) et hydrodynamique (HD).

Le choix d'utiliser des outils commerciaux est largement motivé par la disponibilité immédiate d'un simulateur comportant l'ensemble des modèles nécessaires pour simuler une structure SB-MOSFET, à savoir des modèles de transport robustes (DD) pour le semi-conducteur et des modèles d'injection réalistes pour les contacts Schottky, la priorité étant portée sur le degré de sophistication des modèles d'injection. En outre, le degré de maturité de ces outils étant élevé, cela permet de simuler des structures qui conduisent rapidement à la convergence de résultats suffisamment fiables pour atteindre les objectifs que l'on se fixe¹, d'autant que ces outils offrent des possibilités de simulations qui s'étendent dans des domaines autres que le calcul de courant (DC, AC, en mode mixte, bruit petit signal, balance harmonique, thermique, optique, dégradation, processus technologiques...).

2.2.1 Description des modèles physiques des simulations TCAD

La simulation d'un semi-conducteur dans un état « de hors équilibre thermodynamique » consiste à résoudre un système d'équations comprenant les équations de transports de charges présentes dans les semi-conducteurs et de porteurs [3]. Ce système d'équations est utilisé par les simulateurs DD.

¹ Notons cependant qu'utiliser une solution commerciale peut ne pas être possible. Dès lors que le degré de sophistication des modèles ne conviens pas, qu'une incohérence numérique est repérée, ou que des problèmes de convergence sont observés, compte tenu du code source protégé, il sera impossible de conclure à des résultats. L'utilisation de deux plateformes de simulations *Silvaco/Atlas*® et *Desis/Synopsys*® a pu se justifier par cet état de fait puisqu'au fur et à mesure des mises à jour, nous nous sommes dirigés sur l'une ou l'autre des solutions. De surcroît, cela offre la possibilité de comparer et confirmer les résultats.

En tenant compte des potentiels de quasi-Fermi et en ne tenant pas compte de l'abaissement de la bande interdite, il peut être constitué de neuf équations (2.1)-(2.9) :

- L'équation des charges reliant la densité volumique de charge ρ (charge d'espace) avec la somme algébrique de la densité de porteurs et de la concentration d'impuretés ionisées :

$$\rho = q(p - n + N_d^+ - N_a^-) \quad (2.1)$$

où q est la charge élémentaire, n et p , la densité d'électrons et trous, N_d^+ et N_a^- , la concentration d'impuretés donneurs et accepteurs ionisés.

- Les équations des champs électriques et des potentiels comprenant l'équation de Poisson (2.2) exprimée dans le cas de matériaux anisotropes et qui permet de déterminer le potentiel électrochimique ψ :

$$\text{div}(\epsilon \bar{\nabla} \psi) = -\rho \quad (2.2)$$

$$\bar{\mathbf{E}} = -\bar{\nabla} \psi \quad (2.3)$$

où ϵ est le tenseur de permittivité du matériau, ψ , le potentiel électrostatique et $\bar{\mathbf{E}}$, le champ électrique.

- Les équations de densité de porteurs qui relient les potentiels de quasi-Fermi ϕ_n et ϕ_p , le potentiel électrostatique ψ et la concentration intrinsèque n_i aux concentrations en électrons n et en trous p obtenues en utilisant l'approximation de Boltzmann :

$$n = n_i e^{q(\psi - \phi_n)/kT} \quad (2.4)$$

$$p = n_i e^{-q(\psi - \phi_p)/kT} \quad (2.5)$$

où kT/q est le potentiel thermique.

- Les équations de densité de courant pour les électrons J_n et pour les trous J_p exprimées comme une somme de deux composantes. La composante de dérive qui est proportionnelle au champ

¹ Notons que n_i observe typiquement une dépendance avec la température [4].

électrique et la composante de diffusion dépendante de la variation de la concentration de porteurs :

$$\vec{J}_n = qn\mu_n\vec{E} + qD_n\vec{\nabla}n \quad (2.6)$$

$$\vec{J}_p = qp\mu_p\vec{E} - qD_p\vec{\nabla}p \quad (2.7)$$

où μ_n et μ_p , D_n et D_p sont respectivement les mobilités et les coefficients de diffusion des gaz d'électrons et de trous.

- Et finalement, les équations de continuité qui sont issues des lois de conservation des porteurs :

$$\text{div}\vec{J}_n = q\left(R + \frac{\partial n}{\partial t}\right) \quad (2.8)$$

$$\text{div}\vec{J}_p = -q\left(R + \frac{\partial p}{\partial t}\right) \quad (2.9)$$

où R représente le taux de générations et de recombinaisons des électrons et des trous.

A partir de ce système à neuf équations, neuf variables initialement inconnues peuvent être déterminées. Elles sont ρ , n , p , \vec{E} , ψ , ϕ_n , ϕ_p , \vec{J}_n et \vec{J}_p . En pratique, le problème peut se réduire à résoudre uniquement les équations de Poisson et les équations de continuité en courant, les autres équations pouvant être dérivées des solutions de celles-ci. Il apparaît alors un couple représenté par trois variables inconnues indissociables, le potentiel ψ et les concentrations n et p pouvant être également les potentiels ψ , ϕ_n et ϕ_p .

Dans le chapitre un, nous avons souligné que la vitesse des porteurs dans un semi-conducteur pouvait être dégradée suite aux différents processus d'interactions des porteurs avec leur environnement. Pour traduire physiquement l'ensemble de ces mécanismes localisés, les mobilités de substrat introduites dans les équations de transport sont substituées par des modèles phénoménologiques de mobilités effectives. Ceux-ci prennent en compte les grandeurs macroscopiques telles que les champs électriques locaux, la température du maillage, la concentration de dopants, etc. Une modélisation complète de la mobilité peut alors être subdivisée par (i) un modèle à faible champ, (ii) un modèle à fort champ, (iii) un modèle dépendant des propriétés physiques du semi-conducteur et (iv) un modèle de la couche d'inversion propre au transistor MOSFET.

Les simulateurs fournissent de nombreux choix de modèles pouvant prendre en compte de multiples effets microscopiques incluant les effets de surface, les effets d'interactions entre particules, les effets de quantification quantique. Cependant, l'objectif des simulations numériques des transistors SB MOSFET est d'étudier finement les mécanismes d'injection de porteurs des contacts Schottky vers le canal. Motivé par cet aspect, notre choix s'est porté vers des modèles de mobilité largement répandus et utilisés que sont les modèles de champ transverse de *Lombardi* (CVT) [5] et de champ longitudinal de *Caughey-Thomas* [6], ce dernier s'exprimant sous la forme (2.10) :

$$\mu(E) = \mu_0 \left(\frac{1}{1 + (\mu_0 E_{//} / v_{sat})^\beta} \right)^{1/\beta} \quad (2.10)$$

où $E_{//}$ et μ_0 sont respectivement le champ électrique longitudinal et la mobilité à faible champ.

Ces modèles standards ont montré qu'ils étaient parfaitement adaptés pour les simulations de transistors MOSFET et sont largement décrits dans les documents d'aide de *Silvaco/Atlas*[®] et *DeSis/Synopsys*[®]. Cependant, afin de modéliser le plus fidèlement les mobilités pour des longueurs de grille courtes, les coefficients du modèle de *Caughey-Thomas* — pour le champ longitudinal — ont été modifiés comme suggérés par *Bude* dans [7] à l'aide de paramètres déduits de simulations Monte Carlo. Les nouveaux coefficients sont alors définis par $\beta=1$, $v_{sat} = 2.2 \times 10^7 \text{ cm/s}$ pour les électrons et $\beta=0.65$, $v_{sat} = 1.5 \times 10^7 \text{ cm/s}$ pour les trous.

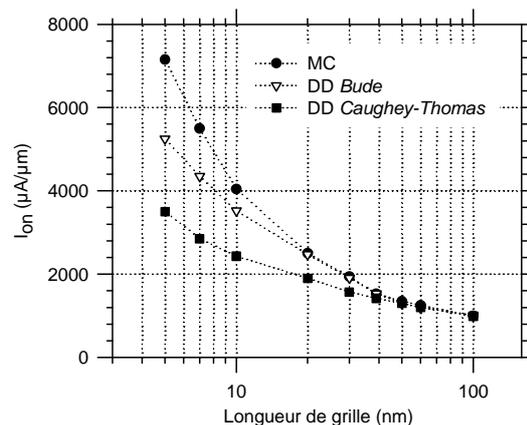


Fig. 2.1 : Comparaison entre le courant à l'état 'on' simulé par les approches de Monte Carlo et les modèles de dérive-diffusion standard (*Caughey-Thomas*) et modifié (*Bude*) pour un transistor SOI à double grille [8].

Les aptitudes de ce modèle plus précises sont présentées à la Fig. 2.1 où nous traçons le courant à l'état 'on' pour un transistor Si-MOSFET à double grille dans le cas standard et le cas modifié juxtaposés aux valeurs de références obtenues avec des simulations MC. On montre ainsi que le

modèle suggéré par *Bude* est plus approprié pour simuler des transistors de longueurs de grille plus courtes jusqu'à 20-nm. Notons tout de même que le transport demeure quasi stationnaire.

Finalement, l'ensemble de ces modèles permet de modéliser la mobilité en fonction du champ électrique transverse, du champ électrique longitudinal, de la concentration de dopants, de la température, de la rugosité de l'interface et des interactions avec les phonons. Ainsi, nous pouvons prédire de façon réaliste le comportement du transistor MOSFET intrinsèque.

Les équations de continuité peuvent également prendre en compte un coefficient de génération et de recombinaison de porteurs dans le semi-conducteur. Rappelons que ce mécanisme de génération–recombinaison de porteurs peut être interprété comme un processus par lequel un semi-conducteur tente de retrouver son état d'équilibre après avoir été excité ou perturbé, l'état d'équilibre des concentrations étant définie par $n_0 p_0 = n_i^2$. Sans intention de développer les causes des perturbations, nous pouvons citer les transitions avec les phonons, les recombinaisons de surface, l'ionisation par impact, ou encore les effets tunnels. Le modèle le plus couramment utilisé est le modèle SRH des physiciens *Shockley-Read-Hall* [9], [10].

La simulation numérique de dispositifs semi-conducteurs consiste à résoudre un système d'équations couplées non linéaires en présence de conditions aux limites spécifiques. Cette problématique est d'autant plus importante dans le cas des transistors SB MOSFETs où l'injection de porteur est un problème fondamental pour réaliser une étude précise du comportement du composant.

Pour injecter un courant d'un métal à un semi-conducteur les simulateurs disposent de deux types de contacts, les contacts ohmique et Schottky. Le contact « ohmique » correspond à un contact idéal et numériquement à de simples conditions de bord de type *Dirichlet* sur le potentiel et sur les concentrations. Le contact est alors infiniment absorbant, ce qui conduit à une condition d'équilibre à l'interface. Le potentiel de surface au contact ψ_s est alors fixé de tel sorte qu'il y ait une neutralité électrique. Cela se traduit dans une simulation à conserver constant lors de la convergence numérique les paramètres aux nœuds d'interface suivant (2.11) et (2.12) :

$$\left. \begin{aligned} n_s &= N_d \\ p_s &= n_i^2 / N_d \\ \psi_s &= V_{appl} + kT/q \ln(N_d / n_i) \end{aligned} \right\} \text{ si le semi-conducteur est de type } n \quad (2.11)$$

$$\left. \begin{aligned} n_s &= n_i^2 / N_a \\ p_s &= N_a \\ \psi_s &= V_{appl} - kT/q \ln(N_a / n_i) \end{aligned} \right\} \text{ si le semi-conducteur est de type } p \quad (2.12)$$

où V_{appl} est le potentiel externe appliqué au contact. Naturellement, ce contact idéalement conducteur n'est pas physique. En effet, cette approche n'est en fait qu'un artifice mathématique pour résoudre un problème avec des conditions de potentiel externes.

Dans le cas d'un contact Schottky, le problème est plus subtil car les mécanismes d'injection sont régis par l'émission de porteurs par effet thermoïonique (TE, *Thermionic Emission*) et l'émission de porteurs par effet tunnel (FE, *Field Emission*). Et pour être plus précis, il faut également inclure les effets d'abaissement de hauteur de barrière (BL, *Barrier Lowering*). Les conditions de bord sont alors dépendantes des propriétés d'interfaces dans le semi-conducteur et s'intriquent aux équations du système non linéaire de dérive-diffusion. Notons que l'implémentation dans un simulateur est un problème entier et ne rentre en aucun cas dans le contexte de cette thèse. Nous nous arrêterons donc juste à la description des équations qui régissent l'injection.

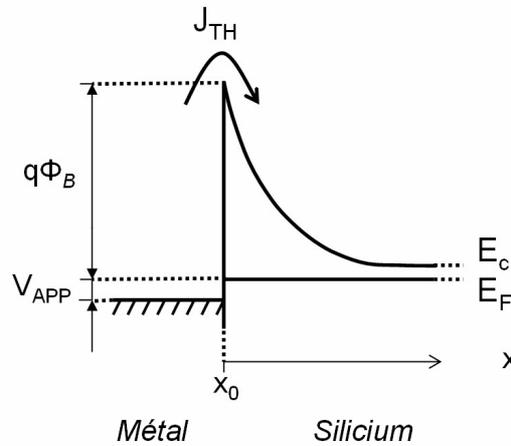


Fig. 2.2 : Représentation schématique du mécanisme thermoïonique permettant aux porteurs énergétiques de franchir la barrière Schottky.

Dans le cas de l'injection thermoïonique (Fig. 2.2), l'expression du potentiel de surface ψ_s au contact Schottky peut s'exprimer typiquement par (2.13) et (2.15) :

$$\left\{ \begin{aligned} \psi_s &= V_{app} - \Phi_B + kT/q \ln(N_c / n_i) \\ J_n &= qv_n (n - n_0^B) \\ J_p &= -qv_p (p - p_0^B) \end{aligned} \right. \quad (2.13)$$

$$\text{avec } n_0^B = N_c \exp(-q\Phi_B/kT), \quad p_0^B = N_v \exp(-(E_g - q\Phi_B)/kT) \quad (2.14)$$

$$\text{et } v_n = \frac{A_n^* T^2}{qN_c}, \quad v_p = \frac{A_p^* T^2}{qN_v} \quad (2.15)$$

où N_c et N_v sont les densités effectives d'états en bande de conduction et en bande de valence, Φ_B , la hauteur de barrière Schottky, v_n et v_p les vitesses d'émission thermoionique encore appelées vitesses de recombinaison de surface (ou vitesses de *Richardson*) et, n_0^B et p_0^B les densités à l'équilibre. Les valeurs par défaut des vitesses de recombinaison sont calculées à partir des constantes de Richardson A_n^* et A_p^* . Les valeurs des constantes de *Richardson* A_n^* et A_p^* pour le silicium sont par défaut définies à 110 et 30 $A/cm^2/K^2$, respectivement.

Dans le cas du calcul de l'injection tunnel, le problème est encore plus complexe à traduire numériquement. Pour dépasser cette difficulté, les simulateurs proposent une implémentation qui consiste à calculer un courant tunnel localisé fondé sur les équations (1.41) et (1.42) et sur une probabilité tunnel évaluée avec l'approximation de WKB. Le courant tunnel localisé calculé est ensuite injecté à chaque nœud du maillage dans les équations de continuité en courant (2.8) et (2.9) sous la forme d'un taux de génération $G_T(x_i)$ (Annexe B). Remarquons également que si la finesse du maillage améliore la précision du courant, cette approche ne permet pas de prendre en compte la réflexion de l'onde électronique sur la barrière. Le détail des équations est décrit dans les documents d'aide de *Silvaco/Atlas*® et *Dessis/Synopsys*®. Les approches proviennent de [11], [12]. La Fig. 2.3 illustre schématiquement la façon dont est implémentée l'injection tunnel pour les électrons.

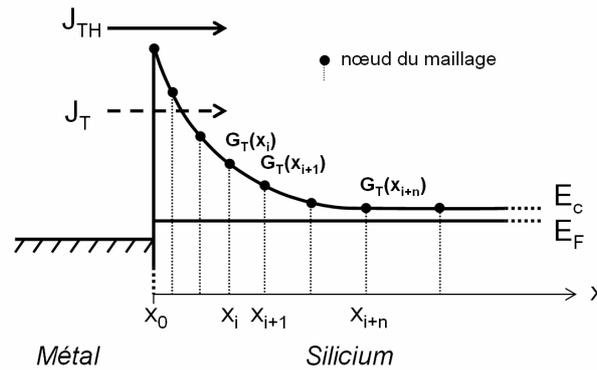


Fig. 2.3 : Représentation schématique du taux de génération de courant tunnel localisé implémenté dans un simulateur pour une barrière Schottky. J_{TH} et J_T sont respectivement les courants thermoionique et tunnel.

Le troisième modèle participant à l'accroissement du courant d'injection est l'effet de force image qui est traduit pour simplifier le problème en une simple réduction de la hauteur de barrière dépendant du champ électrique calculé à l'interface. Notons que le simulateur *Silvaco/Atlas*® décrit de façon totalement fonctionnelle l'abaissement de barrière suivant (1.29) et (2.16) :

$$\phi_b = \Phi_{bp} - \Delta\phi(E) \quad (2.16)$$

La solution *Desis/Synopsys*[®] propose également un modèle d'abaissement de barrière cependant aucun résultat satisfaisant n'a permis d'être obtenu pour l'instant lorsque ce modèle était intégré aux simulations de structures bidimensionnelles.

2.2.2 Calibration et Influence des différents modèles d'injection sur une structure de diodes en vis-à-vis

Cette partie se propose de simuler les différents modèles afin d'une part de les valider et d'autre part de présenter leurs importances respectives dans des structures semi-conductrices de diodes en vis-à-vis. Le choix d'utiliser ce type de structure est justifié par le fait que nous disposons de données expérimentales et qu'elle est fortement représentative d'une partie du transistor SB-MOSFET. Une schématique unidimensionnelle de la structure est représentée Fig. 2.4.

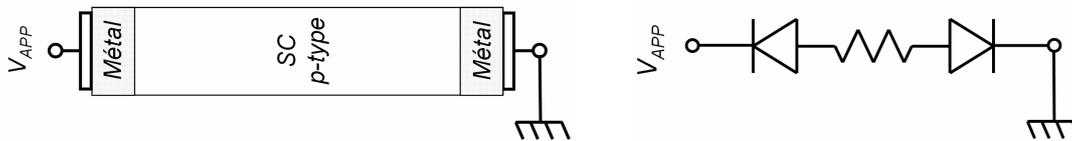


Fig. 2.4 : Schématique unidimensionnelle d'une structure de diodes Schottky en vis-à-vis associée à sa représentation électrique.

Pour les simulations, nous choisissons d'utiliser délibérément le simulateur *Silvaco/Atlas*[®] puisque celui-ci sera utilisé pour les simulations de transistors SB MOSFET et que les modèles d'injection thermoïonique, d'injection tunnel et d'abaissement de barrière sont fonctionnels en régime statique. Nous incluons également lors des simulations, l'effet d'abaissement de la bande interdite, qui contribue à augmenter la barrière à faible température.

Pour valider les modèles d'injection, nous avons tracé un diagramme d'Arrhenius à la Fig. 2.5 à partir des mesures expérimentales réalisées sur un dispositif de diodes en vis-à-vis dont la barrière mesurée a été évaluée à 0.12 eV pour les trous, avec un gap entre les contacts de 5- μm et sur un substrat orienté [100] et dopé à $3 \times 10^{15} \text{ cm}^{-3}$ d'ions accepteurs.

Rappelons que ce diagramme est couramment utilisé pour caractériser les jonctions Schottky à faible hauteur de barrière. En effet, une simple caractéristique courant-tension I-V à température ambiante ne permet pas d'observer l'injection Schottky qui est masquée par la résistance du silicium. A des températures plus faibles, cet effet se compense et le courant devient principalement

gouverné par l'injection Schottky. C'est ainsi que suivant ce diagramme, la pente observée à basse température est proportionnelle à une hauteur de barrière effective si l'on se réfère à l'expression (1.38). La Fig. 2.5 nous permet ainsi de montrer l'excellente précision numérique des simulations en comparaison avec les mesures expérimentales.

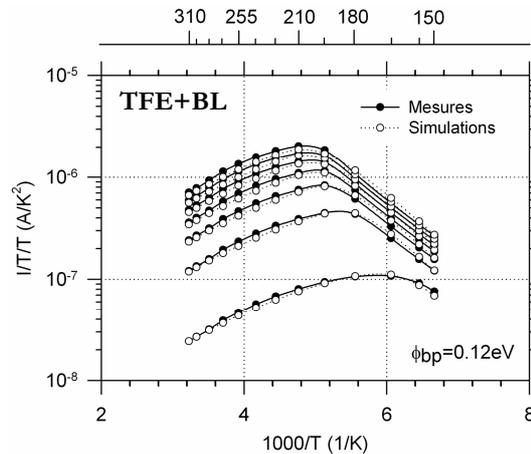
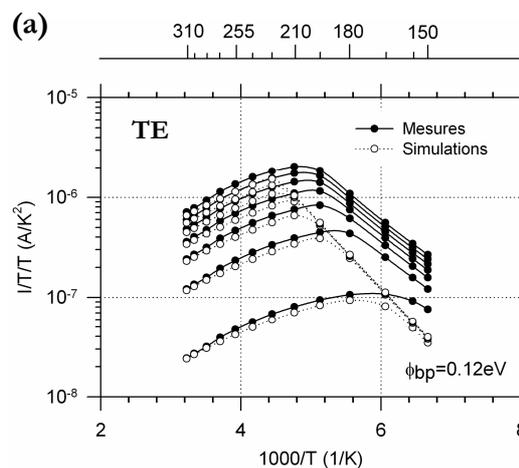


Fig. 2.5 : Tracé du diagramme d'Arrhenius issu de mesures expérimentales et des simulations (avec un modèle Schottky complet TFE+BL). La hauteur de barrière des diodes Schottky définie à la température de 300 K a été mesurée à 0.12 eV pour les trous. Les tensions varient de 0.1 V, 0.5 V jusqu'à 3 V par pas de 0.5 V. Le silicium est orienté [100]. Les simulations ont été ajustées sur les mesures en optimisant les paramètres de hauteur de barrière, de distance inter-contacts, de dopage, de surface effective de contact. Les paramètres de vitesses de recombinaison autant que les masses effectives tunnels sont définis par défaut (2.15), (A.6), (A.8).

Nous poursuivons en présentant l'influence de chacun des modèles d'injection implémentés de manière distincte à la Fig. 2.6. Ces figures révèlent clairement que les modèles tunnels et d'abaissement de barrière contribuent à relever le courant considérablement à faibles températures et donc à diminuer artificiellement la hauteur de barrière apparente. L'implémentation de ces modèles d'abaissement de barrière et d'injection tunnel semble alors indispensable pour simuler l'injection Schottky.



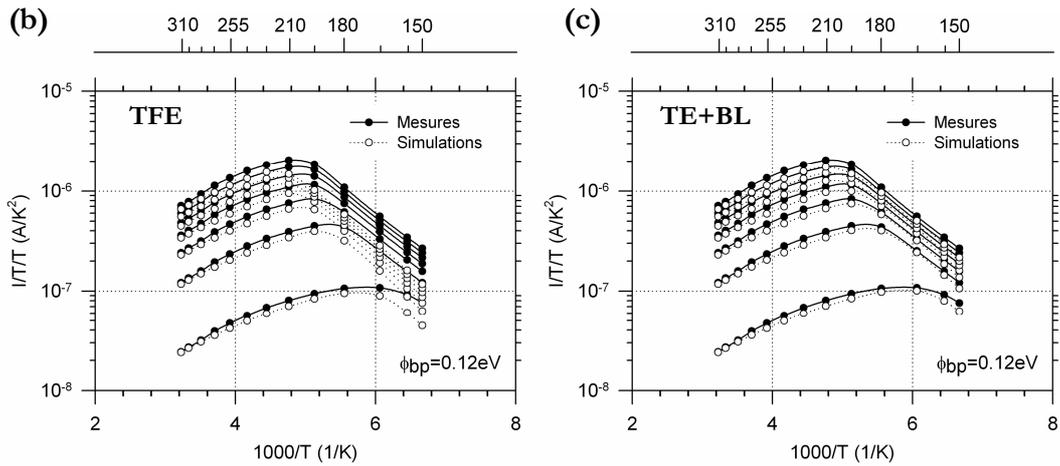


Fig. 2.6 : Diagrammes d'Arrhenius obtenus à partir de mesures expérimentales et de simulations comprenant les modèles thermoïonique seul TE (a), thermoïonique et tunnel TFE (b) et thermoïonique seul avec abaissement de barrière TE+BL (c).

2.2.3 Définition de la structure SB-MOSFET

Afin d'être le plus conforme avec le transistor fabriqué (Fig. 1.1), la structure de référence simulée reprend des dimensions similaires. Cette structure est schématisée à la Fig. 2.7. La Tab. 2.1 fournit l'ensemble des paramètres nominaux du composant. Nous prendrons également en compte les capacités électrostatiques de bord (C_f) lors des simulations. L'oxyde des espaceurs qui fait partie de l'empilement de grille (en anglais, *gate stack*) est pris comme un oxyde de silicium (SiO_2) avec une permittivité de 3.9.

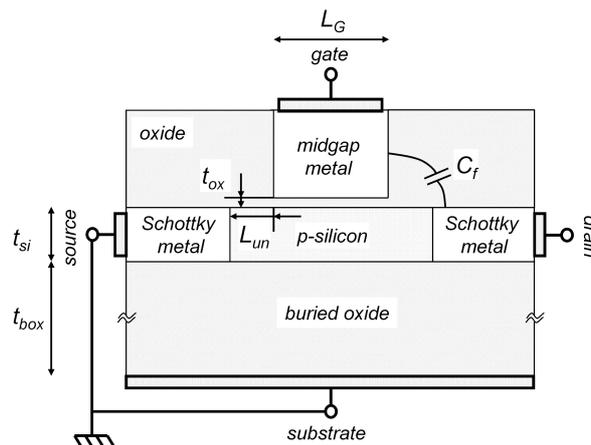


Fig. 2.7 : Représentation schématique de la structure SB-MOSFET sur substrat SOI simulée en mode source commune. Les contacts de source et drain sont de nature Schottky. Les capacités de bord C_f également associées à la schématique sont principalement dépendantes de la permittivité de l'oxyde entourant la pile de grille mais également de la distance de non-recouvrement L_{un} .

Tab. 2.1 : Paramètres nominaux des structures MOSFET de type p à contacts S/D métalliques.

Paramètres	Symboles	Valeurs de référence
Longueur de grille	L_g	120-nm
Épaisseur du film de silicium	t_{si}	10-nm
Distance de non-recouvrement	L_{an}	5-nm/ Paramétrée
Dopage du film de silicium	N_{Asi}	$2.10^{15} \text{ cm}^{-3}$
Fonction de travail de la grille	W_{fg}	Midgap Tungstène
Hauteur de barrière du métal de S/D	Φ_{bp}	0.1 eV/Paramétrée
Épaisseur d'oxyde	t_{ox}	2.2-nm (SiO ₂)
Épaisseur d'oxyde arrière	t_{box}	400-nm

2.3. Simulation des caractéristiques électriques d'un transistor SB-MOSFET

Dans les précédentes parties de ce chapitre, nous avons décrit les outils, les modèles ainsi que la structure de référence qui permettent de simuler de manière la plus réaliste un transistor SB MOSFET tel qu'il peut être fabriqué. Avant de mener une étude détaillée du transistor, nous nous proposons de présenter les principales caractéristiques électriques simulées d'un dispositif de longueur de grille définie à 120-nm et comportant des jonctions Schottky dont les hauteurs de barrière sont établies à 0.15 eV.

La Fig. 2.8 présente une caractéristique de courant en fonction de la tension de drain (I_{ds} - V_{ds}).

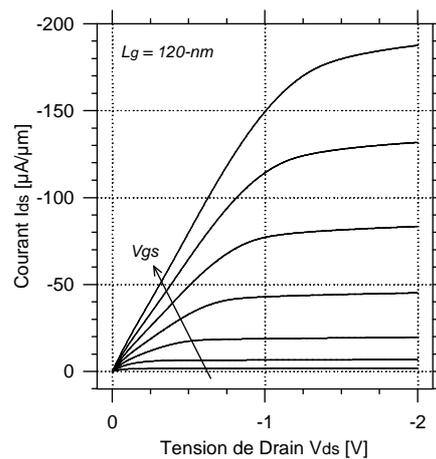


Fig. 2.8 : Courant de drain simulé en fonction de la tension de drain (I_{ds} - V_{ds}) pour un transistor Schottky Barrier p-MOSFET de longueur de grille 120-nm ($\Phi_{bp} = 0.15$ eV). Les tensions V_{gs} varient de -0.5 V à -2 V, incrémentées par pas de 0.25 V. L'ensemble du modèle Schottky est pris en compte (TFE+BL).

Il apparaît clairement que cette caractéristique n'est pas idéalement linéaire pour les faibles valeurs de tensions V_{ds} révélant une signature d'une injection de porteurs contrôlée par les Barrières

Schottky (SB) aux jonctions source et drain [13], [14], [15]. En effet, lorsque la SB est relativement importante (>0.15 eV), la largeur de barrière demeure large, malgré l'influence des champs électriques de grille et de drain, ce qui limite l'injection des porteurs par effet tunnel.

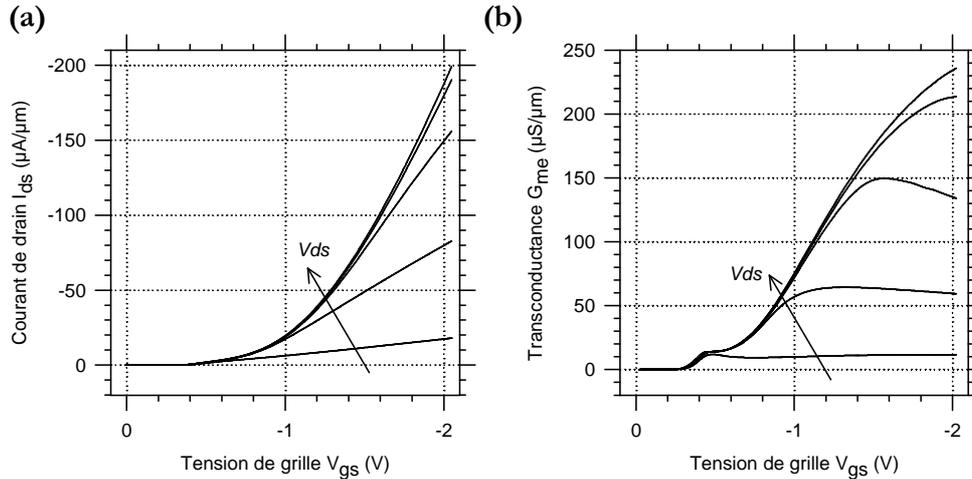


Fig. 2.9 : Courant de drain I_{ds} (a) et transconductance G_{me} (b) en fonction de la tension de grille V_{gs} pour différentes tensions de drain V_{ds} variant de -0.1, -0.5 -1.0 -1.5 à -2 V.

L'influence des résistances de contact Schottky se retrouve également sur les caractéristiques de courant en fonction de la tension de grille et sur sa dérivée ($I_{ds}-V_{gs}$, $G_{me}-V_{gs}$) présentées à la Fig. 2.9. Et, en effet, la Fig. 2.9-b montre une inflexion prononcée de la transconductance à faible tension de grille liée à l'affaiblissement du courant de drain, ce qui confirme que la résistance de contact est élevée et fortement non linéaire. Afin de consolider l'origine de l'inflexion de la transconductance, nous nous proposons de la modéliser de manière empirique à partir de la dérivée du courant de saturation fonction de la résistance (1.19), en prenant en compte une évolution au premier ordre purement exponentielle de la résistance de contact en fonction de la tension V_{gs} et que nous décrivons par l'expression (2.17) :

$$R_s = R_{s0} e^{-\alpha |V_{gs} - V_{t0}|} \quad (2.17)$$

L'objectif est de mettre en regard ce modèle avec les caractéristiques électriques issues des simulations TCAD.

La Fig. 2.10 présente la juxtaposition de la transconductance simulée à $V_{ds} = -2$ V pour une barrière de 0.15 eV et le modèle phénoménologique dont les paramètres inconnus R_{s0} , α ainsi que μ_{eff} sont obtenus par optimisation successive. On observe que ce modèle très rudimentaire reproduit fidèlement l'évolution de la transconductance pour l'ensemble des tensions de grille et fait

apparaître l'inflexion. Nous confirmons donc que la résistance de contact fortement non linéaire évolue sur plusieurs décades dans la gamme de tension considérée.

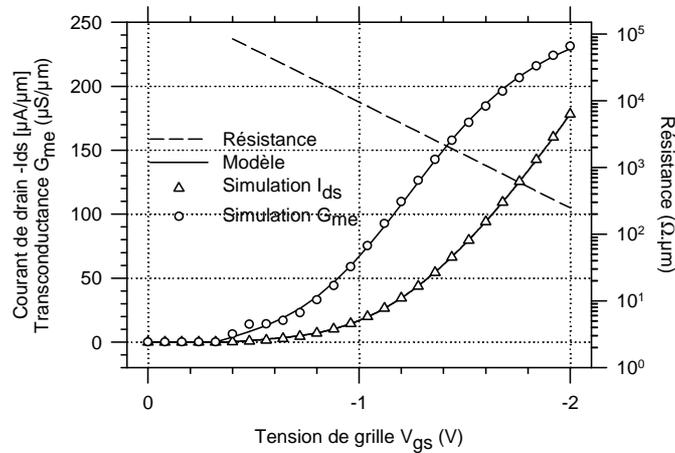


Fig. 2.10 : Juxtaposition de la simulation de la transconductance (triangle) et du modèle phénoménologique (ligne continue). L'évolution de la résistance est tracée également (ligne pointillée). Notons que nous prenons en compte l'effet de saturation de la mobilité avec le champ de grille selon l'expression (F.2).

En définitive, le courant est fortement contrôlé par la barrière Schottky dont les mécanismes d'émission sont dépendants du potentiel appliqué. Suite à cette conclusion, nous nous proposons de faire varier la hauteur de barrière afin de présenter succinctement son influence sur le courant. La Fig. 2.11 présente les caractéristiques $I_{ds}-V_{gs}$ simulées pour différentes hauteurs de barrière Schottky ϕ_{bp} variant de 0 à $0.2 eV$. Il est observé à la Fig. 2.11-a que le courant en accumulation (I_{on}) diminue drastiquement lorsque la barrière est plus haute que 50 meV alors que pour une barrière optimisée ($<50 meV$), les caractéristiques deviennent idéales et le niveau de courant n'est que légèrement amélioré en réduisant la hauteur de barrière. Cette observation est d'autant plus justifiable pour des tensions de grille faibles.

Les pentes sous seuil observées pour les petites barrières sont quasi-parfaites, extraites proches de 70 mV/dec à $V_{ds} = -2 V$ avec un ratio I_{on}/I_{off} supérieur à 10^6 . Lorsque la hauteur de barrière reste inférieure à 50 meV, le niveau de courant est essentiellement limité par les mécanismes de transport dans le canal (résistance de canal) alors qu'au-delà de cette valeur, la résistance de contact domine la résistance totale de source à drain. Pour les barrières les plus importantes, pente qui peut s'étendre de 0.5 à 1.5 V à $\phi_{bp} = 0.2 eV$. Cette pente qui n'évolue pas en 60 mV par décade est alors caractéristique des mécanismes d'injection Schottky qui sont de natures exponentielles et qui naturellement dégradent les caractéristiques électriques.

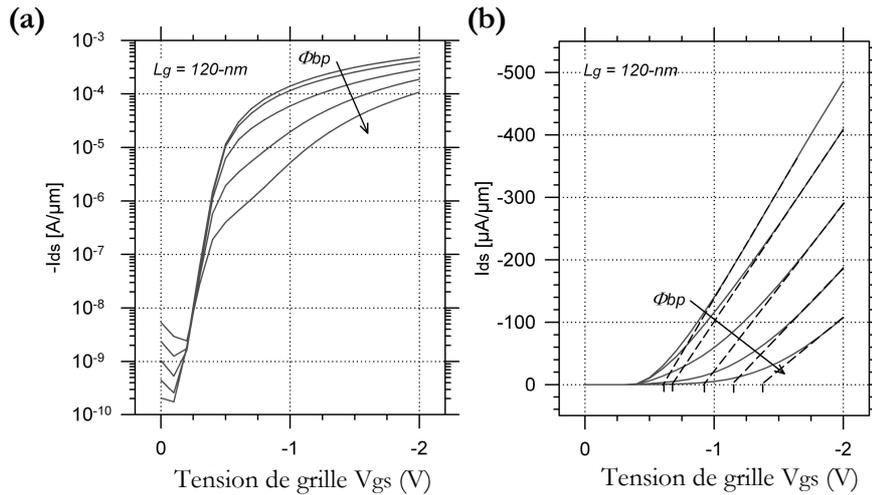


Fig. 2.11 : Courant I_{ds} pour différentes barrières Schottky variant de 0 à 0.2 eV incrémentées de 50 meV ($V_{ds} = -2$ V). La tension de seuil V_T est obtenue par une méthode d'extrapolation linéaire. La ligne correspondante à la pente maximum est étendue jusqu'à l'interception avec l'axe des V_{gs} ($I_{ds} = 0$) au point indiqué par V_T .

La Fig. 2.11-b présente également le décalage à droite de la tension de seuil en saturation avec l'augmentation de la hauteur de barrière. Indubitablement, cela confirme le fait que la résistance de contact est très importante à faible tension de grille et qu'elle décroît avec le potentiel de grille.

2.4. Influence et compréhension des dimensions sur les performances statiques et hyperfréquences du transistor SB-MOSFET de type p

Dans ce paragraphe, nous nous proposons d'examiner en détail l'influence des paramètres tels que les dimensions du transistor et la hauteur de barrière des contacts Schottky sur les performances en régime statique et dynamique du transistor SB MOSFET. Nous tacherons de décrire les variations observées en examinant les grandeurs électriques intrinsèques tels que les bandes d'énergie, les champs électriques ou les concentrations de porteurs pour cerner avec davantage de transparence le comportement du transistor. Cette étude permettra préalablement de distinguer les paramètres sensibles du transistor.

2.4.1 Compréhension du transistor SB-MOSFET

Pour cela, cette partie se propose d'éclaircir le mode de fonctionnement du transistor en variant les paramètres de hauteur de barrière, de largeur de non-recouvrement, d'épaisseur d'oxyde de grille ainsi que d'épaisseur de film de silicium.

2.4.1.1 Influence de la hauteur de barrière

Nous avons observé dans la partie précédente que l'effet de la hauteur de barrière sur le courant de saturation était particulièrement élevé. Par conséquent, il est le premier paramètre que la communauté scientifique tache de réduire. Notre première étude sera donc d'étudier l'évolution des grandeurs physiques du transistor en fonction de la hauteur de barrière. Nous commençons par présenter les courbures des bandes de valence le long du canal à 0.5-nm sous l'oxyde de grille pour différentes hauteurs de barrière Schottky variant de 0 à 0.2 eV à la Fig. 2.12.

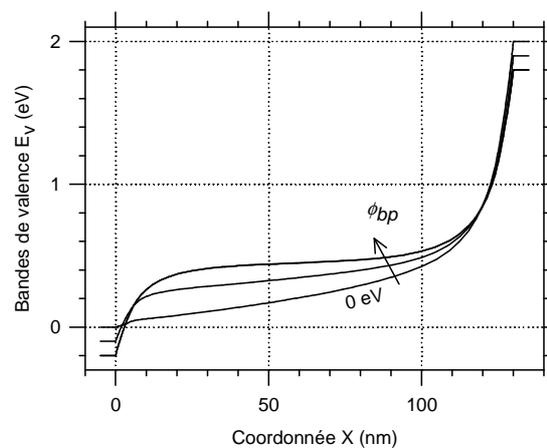


Fig. 2.12 : Bande de valence pour l'approximation de masse effective pour différentes hauteurs de barrières variant de 0, 0.1 à 0.2 eV. La largeur de non-recouvrement L_{un} est fixée à 5-nm. Le point de polarisation est considéré à $V_{ds} = -2$ V et $V_{gs} = -1$ V. Des extensions aux courbures des bandes sont rajoutées pour distinguer plus aisément les différentes bandes, les niveaux de Fermi dans le métal pour la source et le drain étant fixés respectivement à 0 eV et 2 eV, indépendamment de la hauteur de barrière Schottky. Ces courbes sont tracées dans le canal à 0.5-nm sous l'oxyde de grille.

Nous savons que la barrière joue un rôle prépondérant sur l'injection de porteurs à l'interface mais il apparaît qu'elle modifie également considérablement l'allure des potentiels dans le canal du transistor. Nous continuons notre étude en traçant en Fig. 2.13 les champs électriques transversaux et longitudinaux le long du canal à 0.5-nm sous l'oxyde de grille. On observe clairement que le champ électrique transversal *i.e.*, dérivé de la différence de potentiel grille-à-source, s'atténue au profit du champ électrique longitudinal qui s'élève à l'interface Schottky côté source. Le champ électrique transversal dans le canal, affaibli, ne permet plus l'accumulation d'un nombre suffisant de porteurs à l'interface, il s'en suit une réduction de l'effet transistor. Nous pouvons alors conclure qu'une haute barrière Schottky n'est pas profitable pour améliorer les performances d'un transistor MOSFET. Il conviendra de la diminuer naturellement afin d'améliorer le contrôle par la grille et ainsi profiter de l'effet de champ dans les meilleures conditions. Malgré cela, l'allure des champs

électriques longitudinaux est intéressante puisque l'on observe à l'interface côté source une augmentation de leurs amplitudes avec un accroissement de la hauteur de barrière. Cela se traduit par un accroissement de la vitesse des porteurs injectés dans le canal [16]. Ainsi, malgré une plus faible quantité de courant injecté dans le canal, le temps de transit des porteurs sera plus faible.

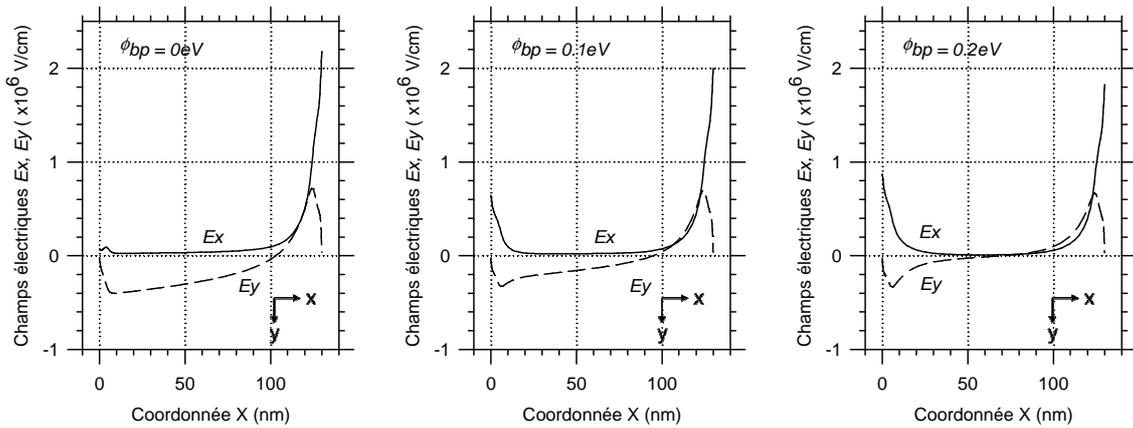


Fig. 2.13 : Champs électriques extraits le long du canal pour différentes hauteurs de barrières variant de 0, 0,1, 0,2 eV.

Les champs E_x et E_y sont respectivement les champs électriques longitudinal et transverse. La longueur de non recouvrement est fixée à 5-nm. Le point de polarisation est considéré à $V_{ds} = -2$ V et $V_{gs} = -1$ V. Les conventions de signe sont également représentées. Elles resteront identiques le long du manuscrit.

Le courant est au premier ordre proportionnel à la quantité de porteurs mobiles dans le canal. Nous nous proposons donc de présenter la concentration de porteurs mobiles ($p-n$) pour différentes hauteurs de barrière à la Fig. 2.14.

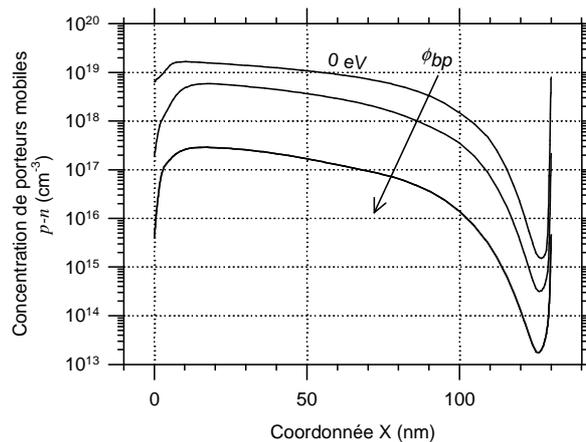


Fig. 2.14 : Concentration de porteurs mobiles ($p-n$) le long du canal pour différentes hauteurs de barrières variant de 0, 0,1 à 0,2 eV. La longueur de grille est de 120-nm et la largeur de recouvrement L_{un} fixée à 5-nm. L'abscisse zéro correspond à l'interface du contact Schottky de source. Ces courbes sont tracées dans le canal à 0,5-nm sous l'oxyde de grille.

Comme cela était prévisible, on montre une décroissance drastique de la quantité de porteurs mobiles dans le canal avec l'augmentation de la hauteur de barrière. On peut observer que qualitativement l'écart de concentration est similaire à l'écart de courant (Fig. 2.11).

On peut noter également qu'à l'interface de source, une désertion de porteurs apparaît qui est justifiée par l'effet Schottky. En effet, nous avons signalé que dans cette zone, la vitesse des porteurs est plus importante que sous la grille. C'est ainsi que pour conserver une densité de courant constante dans le film de silicium, la concentration de porteurs mobiles est incontestablement diminuée à l'interface Schottky.

A partir de la schématique de la structure SB MOSFET, nous avons souligné dans le premier chapitre que deux paramètres apparaissent fondamentaux pour améliorer l'injection de courant : le premier que nous venons de présenter dans la partie précédente est la hauteur de barrière Schottky ϕ_{bp} , le second est la distance de non-recouvrement de la grille entre l'interface Schottky et le bord de la grille (L_{un} , en anglais *underlap width*). Et en effet, puisque la réduction de la hauteur de la barrière soulève des difficultés pour le choix des matériaux métalliques, un choix pertinent de L_{un} peut constituer une option pour améliorer l'émission de champ grâce à un contrôle accru des courbures de bandes par le champ électrique de grille. Il faut cependant nuancer cette perspective car la diminution de L_{un} entraîne une augmentation des capacités parasites entre la grille et les contacts de source et drain. Entre performance statique et hyperfréquence, il s'agit de trouver le meilleur compromis.

2.4.1.2 Influence de la largeur de non-recouvrement

Dans cette partie, nous poursuivons l'étude précédente pour déterminer l'ensemble des paramètres clés qui peuvent améliorer le comportement du transistor. La Fig. 2.15 présente les caractéristiques de courant $I_{ds}-V_{gs}$ pour différentes largeurs de non-recouvrement L_{un} lorsque la hauteur de barrière est fixée à 0.1 eV. Nous traçons également la caractéristique de référence lorsque $\phi_{bp} = 0$ eV et $L_{un} = 0$ -nm.

On observe très clairement que la variation de L_{un} influe fortement sur le courant de saturation et se traduit par une diminution du courant lorsque la hauteur de barrière est relevée. Malgré cela, pour une hauteur de barrière qui reste raisonnable (< 0.1 eV) et lorsque L_{un} est réduite, le courant tend vers des valeurs extraites pour une structure idéale, *i.e.*, dont la hauteur de barrière est nulle. En effet, la Fig. 2.15 montre que lorsque L_{un} est réduite à zéro, le courant I_{on} est seulement dégradé de 27% en regard à la structure de référence ($\phi_{bp} = 0$ eV, $L_{un} = 0$ -nm) alors que lorsque L_{un} est non optimisée, en l'occurrence $L_{un} = 15$ -nm, le courant chute de 72%.

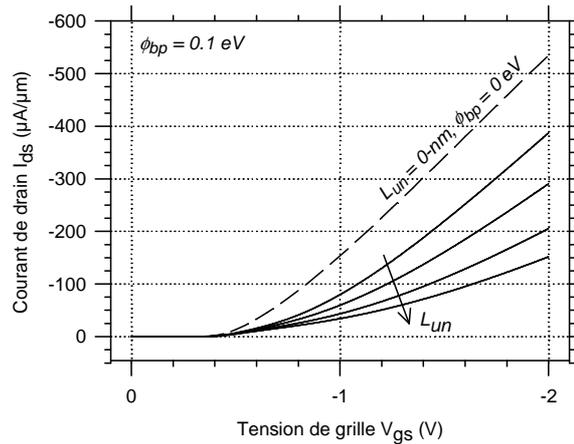


Fig. 2.15 : Courant de drain de saturation tracé en fonction de la tension de grille V_{gs} pour différentes largeurs de non-recouvrement L_{un} variant de 0 à 15-nm par pas de 5-nm. La hauteur de barrière Schottky est prise à 0.1 eV. Pour référence, le cas où la hauteur de barrière est nulle est tracé également (ligne pointillée). La tension de drain est fixée à $V_{ds} = -2 \text{ V}$.

Afin d'analyser l'augmentation de l'injection, nous nous proposons de tracer la bande de valence pour différentes largeurs L_{un} à la Fig. 2.16 à l'interface du contact de source. On observe que lorsque les contacts Schottky sont proches du bord de la grille, les bandes d'énergie sont plus fines pour une même tension de polarisation V_{gs} ce qui encourage l'injection de trous par effet tunnel. En d'autres termes, l'optimisation de L_{un} se traduit par un meilleur contrôle électrostatique des potentiels à l'interface Schottky par le potentiel de grille en réduisant la largeur que doivent franchir les porteurs par effet tunnel et contribue ainsi à augmenter les performances du transistor.

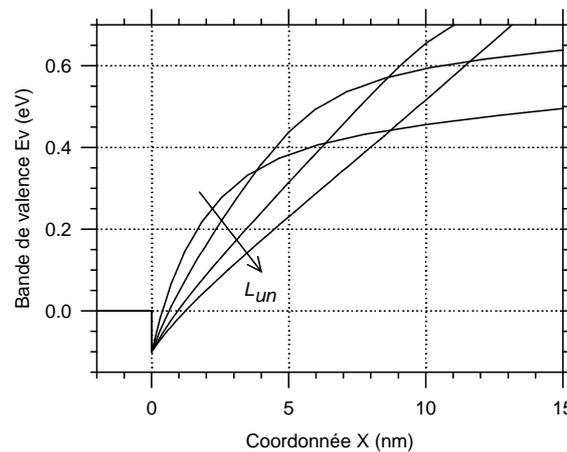


Fig. 2.16 : Bande de valence tracée à l'interface Schottky côté source pour différentes largeurs de non-recouvrement L_{un} variant de 0 à 15-nm par pas de 5-nm. La hauteur de barrière est prise par défaut à 0.1 eV. La polarisation est fixée à $V_{gs} = V_{ds} = -2 \text{ V}$. Ces bandes sont tracées dans le canal à 0.5-nm sous l'oxyde de grille.

2.4.1.3 Influence de l'épaisseur d'oxyde de grille

Nous avons vu que renforcer l'influence du champ électrostatique de grille sur le profil de potentiel Schottky permet de réduire la résistance de contact. Il permet en outre d'améliorer la commande de charge dans le canal affaibli par la perte de potentiel due la jonction Schottky. A l'issue de cette constatation, nous nous proposons de présenter à la Fig. 2.17 l'évolution de la caractéristique de courant I_{ds} - V_{gs} pour différentes épaisseurs d'oxyde de grille t_{ox} . A l'issue de ce graphique, on observe une augmentation de près de 25 % du courant lorsque t_{ox} diminue de 2.2-nm à 1.2-nm au point de polarisation $V_{gs} = V_{ds} = -2 V$. L'effet transistor est donc amélioré. Afin de discuter de l'effet de l'épaisseur d'oxyde de grille t_{ox} sur la résistance de contact à partir des caractéristiques de courant, nous traçons à la Fig. 2.18 la bande de valence à l'interface Schottky pour différents t_{ox} .

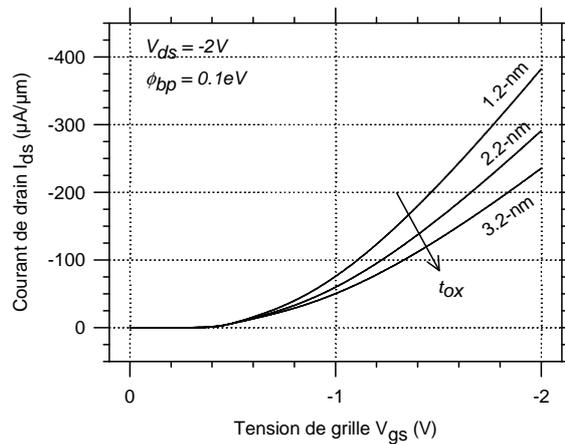


Fig. 2.17 : Courant de drain en fonction de la tension de grille pour différentes épaisseurs d'oxyde de grille variant de 1.2, 2.2 à 3.2-nm. La barrière est prise par défaut à 0.1 eV et la distance L_{ch} à 5-nm.

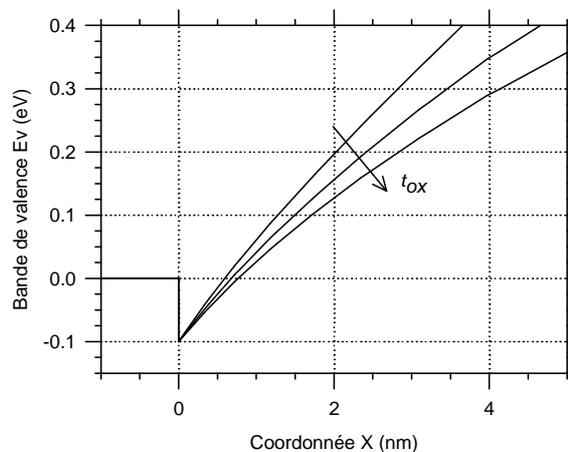


Fig. 2.18 : Bande d'énergie tracée le long du canal entre les contacts de source et de drain pour différentes épaisseurs d'oxyde de grille variant de 1.2, 2.2 à 3.2-nm. La barrière est prise par défaut à 0.1eV et la distance L_{ch} à 5-nm. Ces bandes sont tracées à 0.5-nm sous l'oxyde de grille. Le point de polarisation est fixé à $V_{ds} = -2 V$, $V_{gs} = -2 V$.

Nous associons également les caractéristiques de champs électriques transversaux et longitudinaux extraites le long du canal à la Fig. 2.19. Il apparaît ainsi clairement que pour une hauteur de barrière constante, le champ transversal est amélioré lorsque t_{ox} diminue.

Nous confirmons donc que l'amélioration du champ de la grille n'est pas seulement bénéfique à la commande de charge du transistor mais qu'il aide l'injection tunnel puisque la largeur de barrière observée à la Fig. 2.19 est plus faible pour des faibles épaisseurs d'oxyde. Toutefois, nous pouvons souligner que d'une part l'effet de ce paramètre sur le profil de potentiel Schottky reste en retrait par rapport au paramètre de largeur de non-recouvrement et que d'autre part il faut tenir compte du courant de fuite tunnel (non simulé) qui traverse l'oxyde de silicium et qui s'élève drastiquement avec une diminution de son épaisseur.

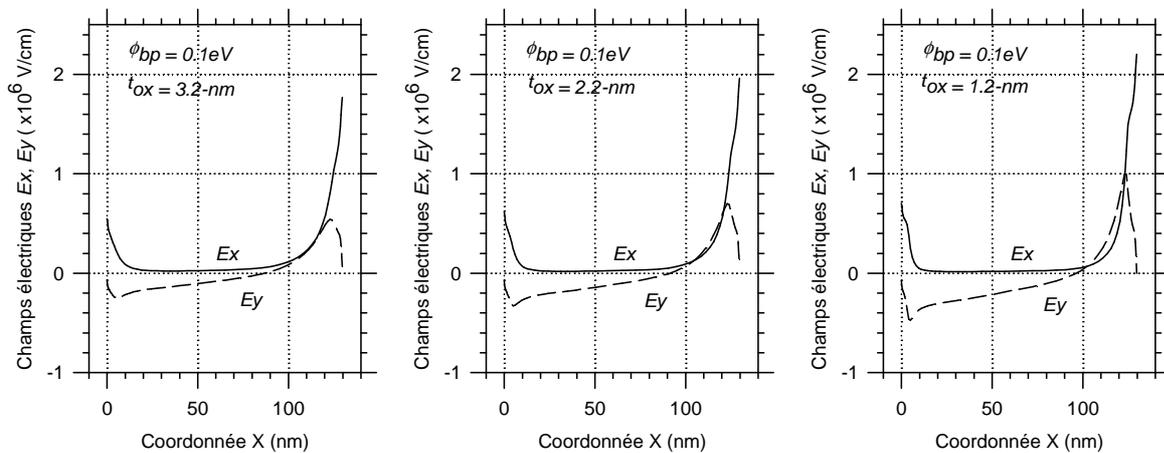


Fig. 2.19 : Champs électriques extraits le long du canal pour différentes épaisseurs d'oxyde de grille variant de 1.2, 2.2, 3.2-nm. Les champs E_x et E_y sont les champs électriques longitudinal et transverse respectivement. La longueur de non-recouvrement L_{un} est fixée à 5-nm. Le point de polarisation est considéré à $V_{ds} = -2$ V et $V_{gs} = -1$ V.

2.4.1.4 Influence de l'épaisseur de silicium

Finalement, nous présentons à la Fig. 2.20 l'influence de l'épaisseur de silicium sur les caractéristiques de courant en fonction de la tension de grille. Nous associons au graphique l'extraction de la pente sous seuil locale calculée pour chacune des courbes. Nous pouvons ainsi observer qu'une diminution de l'épaisseur de silicium améliore la pente sous seuil sans pour autant améliorer le courant au régime d'accumulation, ce dernier point laisse entrevoir qu'il n'y a aucune modification de l'injection Schottky. Rappelons que la pente sous seuil est une figure de mérite qui est adaptée pour évaluer l'intégrité électrostatique du transistor.

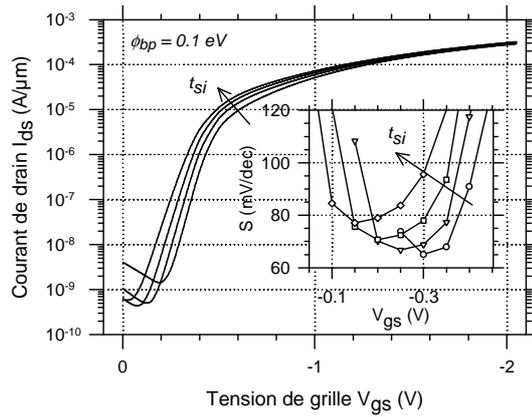


Fig. 2.20 : Courant de drain I_{ds} en fonction de la tension de grille V_{gs} pour différentes épaisseurs de silicium t_{si} variant de 5, 10, 15 à 20-nm. L'extraction de la pente sous seuil locale S est également présentée.

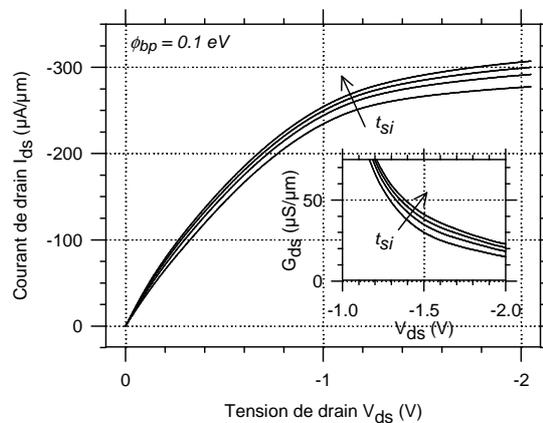


Fig. 2.21 : Courant de drain en fonction de la tension de drain pour différentes épaisseurs de silicium t_{si} variant de 5, 10, 15 à 20-nm. La conductance de sortie G_{ds} est également calculée en saturation.

L'ensemble de ces observations concorde avec les résultats présentés par *Knoch et al.* [17], [18] et qui montrent que l'injection Schottky est peu sensible avec la diminution de l'épaisseur de silicium dans le cas de transistors à film entièrement déserté. Malgré cela, il est certain qu'affiner le film de silicium permet d'améliorer la distribution des charges et donc de réduire les effets canaux courts du transistor à effet de champ. La Fig. 2.21 présente les caractéristiques I_{ds} - V_{ds} et montre que le courant est plus efficacement saturé, autrement dit que cela se traduit par la réduction de la conductance de sortie G_d en régime de forte saturation. Par conséquent, les films ultrafins sont bénéfiques aux figures de mérites associées aux applications numériques (pente sous le seuil S) mais également aux applications RF (f_{max}).

2.4.1.5 Conclusion

A l'issue de ce paragraphe, nous avons identifié les principaux paramètres qui modifient sensiblement l'injection des porteurs à travers la barrière Schottky. Ces résultats nous montrent que pour se rapprocher d'une structure de transistor idéale avec $L_g = 120\text{-nm}$, il faudrait respecter les contraintes suivantes : $-\phi_{bp} < 0.1\text{eV}$, $-L_{um} < 10\text{-nm}$, $-t_{ox} < 2\text{-nm}$ et $-t_{si} < 10\text{-nm}$.

2.4.2 Etude de sensibilité des performances dynamiques avec la hauteur de barrière Schottky

Nous nous proposons maintenant d'étudier plus finement l'influence de ces paramètres sur les caractéristiques dynamiques du transistor SB-MOSFET. Nous commençons notre étude par présenter les variations de la fréquence de coupure de courant f_T et de la transconductance extrinsèque G_{me} , *i.e.*, comprenant l'influence des résistances de contacts, en fonction de la tension de grille aux Figs. 2.22 et 2.23 lorsque le transistor est polarisé en régime de saturation ($V_{ds} = -2\text{ V}$).

La meilleure fréquence f_T est naturellement obtenue lorsque la hauteur de barrière est minimum, *i.e.*, $\Phi_{bp} = 0\text{ eV}$, avec une performance maximum de 47 GHz. Lorsque la hauteur de barrière augmente, la fréquence f_T premièrement décroît et chute à un rythme accéléré lorsque la hauteur de barrière Φ_{bp} est plus importante que 0.1 eV. Cet effet est fortement accentué à faible tension de grille.

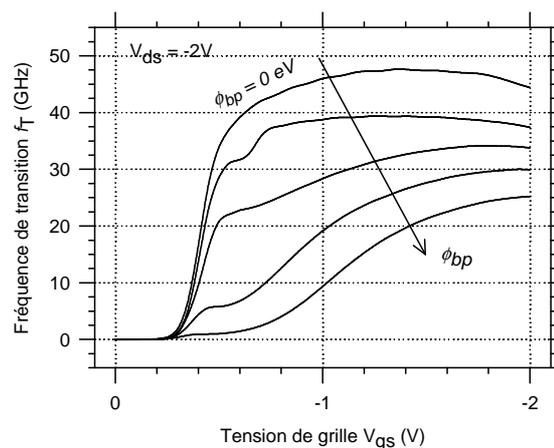


Fig. 2.22 : Fréquences de transition f_T en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 50 meV. La longueur de non recouvrement est fixée à 5-nm.

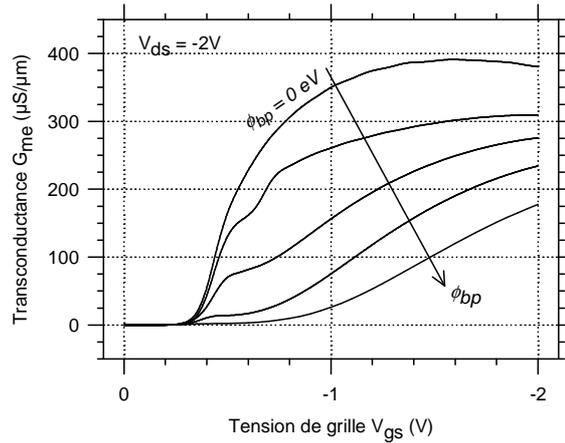


Fig. 2.23 : Transconductance extrinsèque en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 50 meV. La longueur de non-recouvrement est fixée à 5-nm.

A partir de l'évolution de la transconductance, deux remarques majeures peuvent être observées. La première est que l'effet d'inflexion est renforcé clairement autour de la tension de seuil pour les plus hautes hauteurs de barrière à cause du taux d'émission limité à la jonction Schottky pour les plus faibles régimes. La seconde remarque est que la décroissance de la transconductance G_{me} observée avec l'augmentation de la hauteur de barrière n'impacte pas la fréquence fT proportionnellement. Par exemple, la transconductance varie de près de 350 mS à $\Phi_{bp} = 0$ eV à 70 mS à $\Phi_{bp} = 0.15$ eV à la tension V_{gs} fixée à -1 V. Étonnamment, ce contraste d'environ 80% dans la transconductance ne se retrouve pas sur la fréquence fT (Fig. 2.21) qui est dégradée de 50%. Notons que l'écart des contrastes est relevé pour des largeurs de non-recouvrement plus grandes. Cette observation est importante car il montre que la hauteur de barrière Φ_{bp} n'a pas besoin d'être agressivement réduite à 0 eV pour s'approcher de la meilleure performance en ce qui concerne la fréquence fT .

Puisque la fréquence fT est essentiellement reliée au ratio de la transconductance G_{me} et de la capacité totale de grille C_{gg} , la discussion précédente suggère naturellement une analyse détaillée de la capacité C_{gg} en fonction de la tension de grille V_{gs} . Suivant cette observation, le ratio C_{gg}/C_{ox} est représenté en fonction de la tension de grille à la Fig. 2.24.

Indifféremment de la hauteur de barrière, il est observé que la capacité totale de grille C_{gg} s'approche asymptotiquement de $2/3 C_{ox}$, en négligeant l'écart introduit par les capacités électrostatiques de bord C_f , comme la théorie le prévoit pour un transistor MOSFET opérant en régime de saturation. Toutefois, la tension V_{gs} pour laquelle cette limite est atteinte est repoussée lorsque la hauteur de barrière augmente. En conséquence, la plus faible dépendance de la fréquence fT vis-à-vis de la hauteur de barrière peut être expliquée par la réduction concomitante de la transconductance G_{me} et de la capacité C_{gg} . Cet effet est particulièrement bien illustré lorsque la hauteur de barrière est plus grande que 0.15 eV.

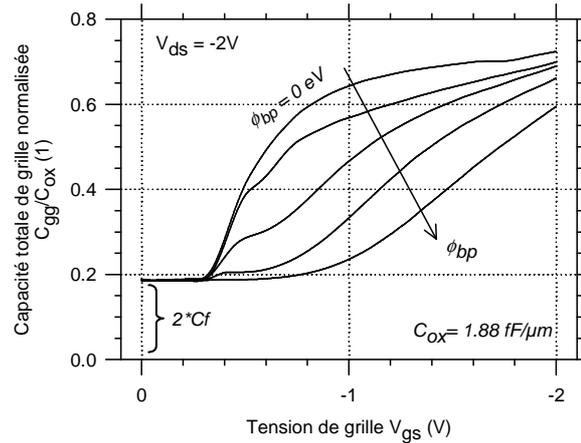


Fig. 2.24 : Capacité totale de grille en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 50 meV. La longueur de non-recouvrement est fixée à 5-nm.

La discussion suggère fortement que la charge contrôlée par l'effet de champ du contact de grille s'écarte sensiblement de son homologue conventionnel MOS lorsque la hauteur de barrière n'est plus nulle et pour des polarisations de grille faibles. Cette remarque était déjà observée sur les caractéristiques statiques lorsque la barrière était importante (Figs. 2.11-2.14). Afin de soutenir cette affirmation, nous avons identifié la capacité totale de grille C_{gg} comme une variation de charge $\Delta Q_G / \Delta v_{gs}$ pour une tension v_{ds} constante (approximation quasi-statique) et plus précisément par une variation de concentrations de porteurs mobiles $\Delta(p-n)$ dans le canal. La Fig. 2.25 présente les variations d'amplitude des concentrations de porteurs mobiles pour une variation de tension de grille Δv_{gs} à la distance de 0.5-nm sous l'oxyde de grille et extraites le long du canal. Les tensions nominales V_{ds} et V_{gs} sont fixées à -2 V et -1 V respectivement.

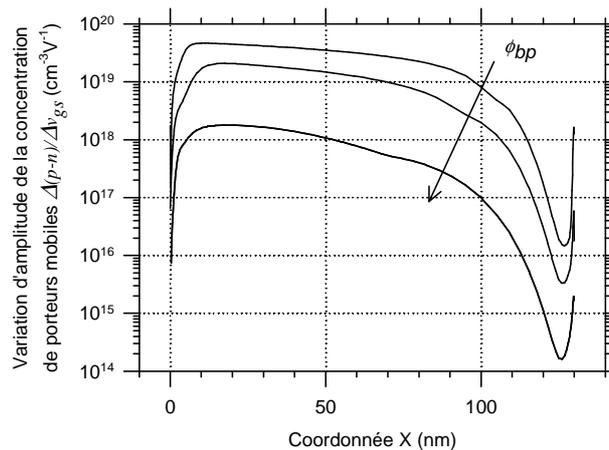


Fig. 2.25 : Variation d'amplitude de la concentration de porteurs mobiles sur l'ensemble du canal à 0.5-nm sous l'oxyde de grille pour différentes hauteurs de barrière variant de 0, 0.1 à 0.2 eV pour un échelon Δv_{gs} de 100 mV.

La longueur de non recouvrement est fixée à 5-nm. L'abscisse zéro correspond à l'interface du contact Schottky de source. Le point de polarisation est considéré à $V_{ds} = -2 \text{ V}$ et $V_{gs} = -1 \text{ V}$.

La Fig. 2.25 montre qu'une augmentation de la hauteur de barrière réduit la variation d'amplitude de la concentration de charges mobiles dans le canal. En d'autres mots, le contrôle de la charge ne dépend désormais plus seulement de l'effet de champ de la grille mais est également lié à la quantité de porteurs injectés à la jonction Schottky source/canal. Pour améliorer la commande de charge du canal, il faut que le potentiel de grille soit capable de mieux contrôler le profil des potentiels au contact Schottky de source. Ainsi, rapprocher le contact Schottky de source de la grille paraît être une alternative intéressante.

En conclusion, une fine optimisation de la hauteur de barrière et de la distance de non-recouvrement apparaît être majeure pour obtenir les meilleures performances HF. Cependant, nous avons montré qu'il n'est pas nécessaire, en ce qui concerne la fréquence fT , de recourir à une extrême ingénierie des contacts Schottky pour s'approcher des valeurs idéales obtenues avec une hauteur de barrière nulle.

2.4.3 Sensibilité des performances hyperfréquences (fT , f_{max}) avec la distance de non-recouvrement ainsi qu'avec l'épaisseur d'oxyde de grille

Dans cette section, nous discuterons d'un point de vue quantitatif de la sensibilité des performances dynamiques petits signaux en modulant la hauteur de barrière ϕ_{bp} et de la distance de non-recouvrement L_{um} . Nous discuterons également de la sensibilité des performances avec le paramètre d'épaisseur d'oxyde t_{ox} puisque nous avons observé que ce dernier peut améliorer les performances du transistor. Notons que nous avons fait le choix de comparer les structures dans la situation d'une tension constante ($V_{ds} = V_{gs} = -2$ V). Et en effet, considérer les situations à $(V_{gs} - V_t')$ (avec $V_t' = V_t + R_s I_{dsat}$) ou à I_{dsat} constants reviendrait implicitement à négliger une partie de l'influence de la résistance de contact R_s (cf. §1.2.4) sur les figures de mérites.

Les figures de mérites I_{ds} , G_{me} et fT sont représentées en fonction de la hauteur de barrière et de la distance de non-recouvrement aux Figs. 2.26, 2.27 et 2.28.

À partir des Figs. 2.26 et 2.27, on peut remarquer que le courant observe une décroissance plus drastique que la transconductance selon la hauteur de barrière. Pour une distance de non-recouvrement nulle, le courant varie de 65% lorsque la hauteur de barrière varie de 0 eV à 0.2 eV alors que la transconductance ne varie que de 28%. Cet écart s'explique par les décalages fortement à droite des tensions de seuil lorsque la hauteur de barrière augmente, le courant y étant plus sensible que la transconductance exprimée par (1.9) et (1.10).

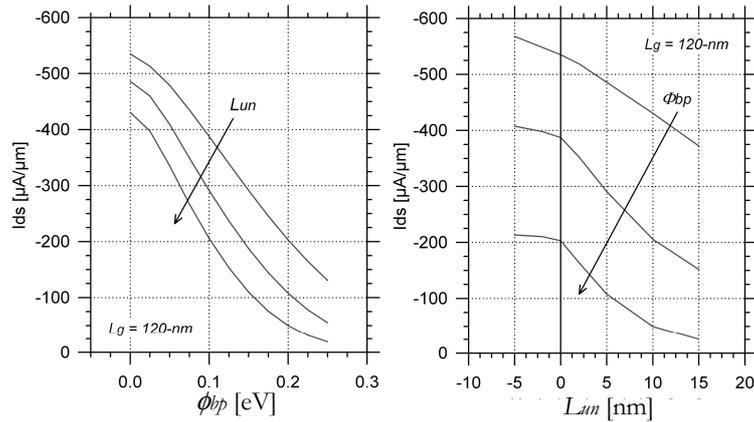


Fig. 2.26 : Courant normalisé I_{ds} en fonction de la hauteur barrière Schottky pour différentes largeurs de non-recouvrement variant de 0-nm à 10-nm par pas de 5-nm (à gauche) et en fonction de la largeur de non-recouvrement pour trois hauteurs de barrière Schottky, 0, 0.1 et 0.2 eV (à droite) ($V_{ds} = V_{gs} = -2\text{ V}$).

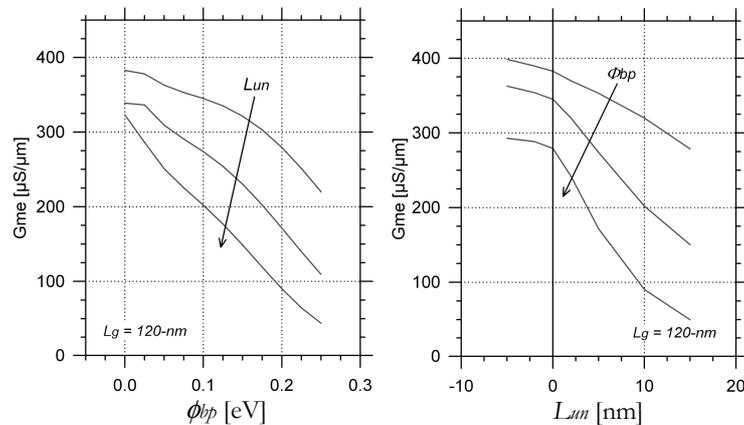


Fig. 2.27 : Extraction de la transconductance extrinsèque G_{me} en fonction de la hauteur barrière Schottky pour différentes largeurs de non-recouvrement variant de 0-nm à 10-nm par pas de 5-nm (à gauche) et en fonction de la largeur de non-recouvrement pour trois hauteurs de barrière Schottky, 0, 0.1 et 0.2 eV (à droite) ($V_{ds} = V_{gs} = -2\text{ V}$).

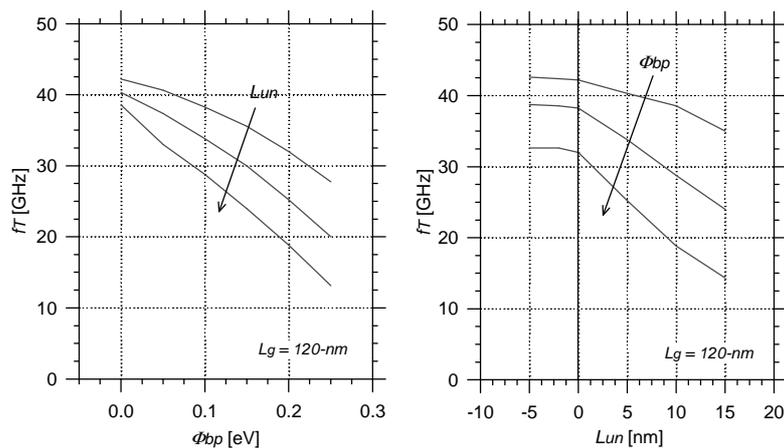


Fig. 2.28 : Extraction de la fréquence de coupure en courant f_T en fonction de la hauteur barrière Schottky pour différentes largeurs de non-recouvrement variant de 0-nm à 10-nm par pas de 5-nm (à gauche) et en fonction de la largeur de non-recouvrement pour trois hauteurs de barrière Schottky, 0, 0.1 et 0.2 eV (à droite) ($V_{ds} = V_{gs} = -2\text{ V}$).

À partir de la Fig. 2.28 on observe que lorsque la distance de non-recouvrement est réduite à zéro, la fréquence f_T est dégradée de 23% lorsque la hauteur de barrière varie de 0 eV à 0.2 eV. Dans le cas de $L_{un} = 10$ -nm, une réduction de la fréquence f_T de plus de 55% est observée. Les mêmes tendances peuvent être observées sur la transconductance G_{me} qui présente une dégradation pour les mêmes largeurs de non-recouvrement et de hauteurs de barrière : lorsque Φ_{bp} varie de 0 à 0.2 eV, la dégradation de la transconductance se chiffre à 28% pour $L_{un} = 0$ -nm alors qu'elle atteint 73% à $L_{un} = 10$ -nm.

Nous continuons cette partie en discutant de la sensibilité du paramètre d'épaisseur d'oxyde de grille sur les performances du transistor. Pour cela, la Fig. 2.29 présente les variations du courant I_{ds} , de la transconductance G_{me} ainsi que de la fréquence de transition f_T en fonction de l'épaisseur d'oxyde de grille t_{ox} pour différentes hauteurs de barrière. Dans ce cas où la longueur de grille est fixée, ces évolutions montrent clairement une augmentation du courant et de la transconductance, toutefois ce n'est pas le cas pour la fréquence de transition f_T qui est réduite avec la diminution de l'épaisseur t_{ox} . Ceci peut s'expliquer parce qu'une réduction de l'épaisseur d'oxyde de grille à tension de grille identique se traduit par une augmentation du champ électrostatique dans l'oxyde de grille et ainsi dans la couche d'inversion. De ce fait, la mobilité dans le canal, fonction décroissante du champ transverse, est réduite. La fréquence f_T étant égale au ratio de la transconductance extrinsèque G_{me} (*i.e.*, incluant l'effet de la résistance R_s) sur la capacité totale de grille extrinsèque C_{gg} , si G_{me} n'augmente pas dans les mêmes proportions que la capacité C_{gg} à cause d'une dégradation de la mobilité, alors la fréquence f_T diminuera. Notons cependant que la réduction est plus forte lorsque la hauteur de barrière est faible.

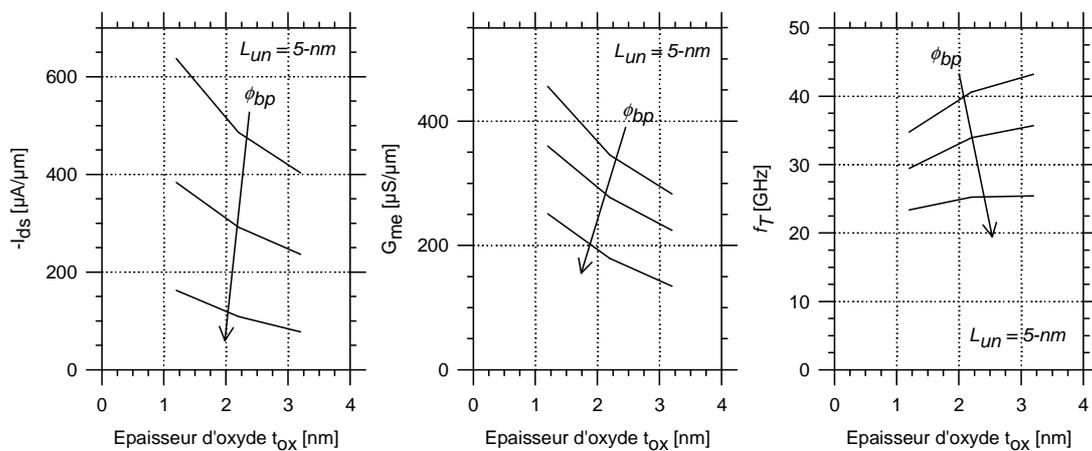


Fig. 2.29 : Courant I_{ds} , transconductance G_{me} et fréquence de transition f_T en fonction de l'épaisseur d'oxyde extraits pour différentes hauteurs de barrière variant de 0, 0.1, 0.2 eV.

En complément de l'analyse sur la fréquence fT , la fréquence maximum d'oscillation f_{max} est reportée à la Fig. 2.30 en fonction de la hauteur de barrière et de la largeur de non-recouvrement pour différentes largeurs de doigt de grille W_u (1 à 16- μm). La résistance carré de grille R_{\square} est fixée à 10 Ω/\square . A noter qu'une analyse au premier ordre prédit que f_{max} est indépendant du nombre de doigts (N_f) mais dépendant de W_u à travers le produit $R_{g,gs}$. Cependant, il faut garder en mémoire que lorsque la résistance de grille est minimisée à travers un choix optimal de W_u , les résistances de source et drain dominant le comportement de f_{max} . Cette dernière remarque est très bien illustrée à la Fig. 2.30 pour laquelle il est montré que f_{max} est très sensible à ϕ_{bp} , L_{un} . f_{max} varie typiquement de 60 GHz à 120 GHz lorsque L_{un} diminue de 15 à 0-nm à $\phi_{bp} = 0.1$ eV et pour une largeur unitaire de grille de 1- μm (petit R_g). En revanche, la fréquence f_{max} reste constante et faible lorsque de grandes largeurs W_u sont considérées (large R_g).

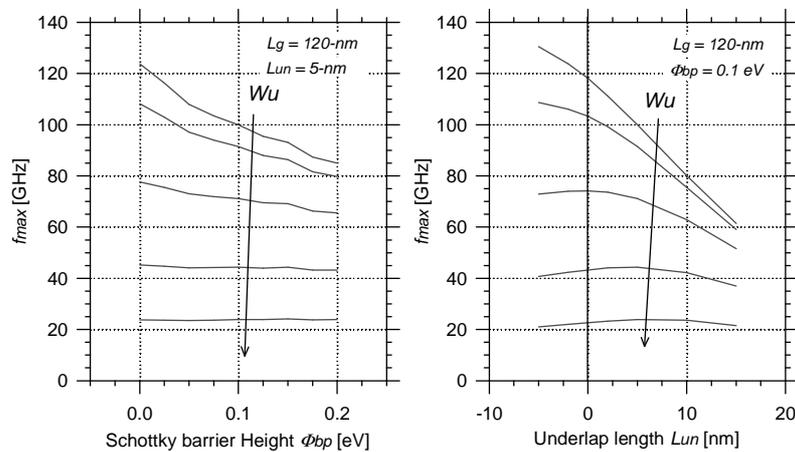


Fig. 2.30 : Extraction de la fréquence maximum d'oscillation f_{max} en fonction de la barrière Schottky (à gauche, $L_{un}=5$ -nm) et en fonction de la longueur de non-recouvrement (à droite, $\phi_{bp} = 0.1$ eV) pour différentes largeurs de doigt de grille W_u variant de 1, 2, 4, 8 to 16- μm ($R_{\square} = 10 \Omega/\square$, $V_{ds} = V_{gs} = -2$ V).

Cette section démontre que les dimensions du transistor sont des valeurs ajoutées de grand intérêt pour réduire la résistance de contact dans l'objectif d'obtenir les meilleures figures de mérites. Il conviendra (i) d'avoir une largeur de non-recouvrement L_{un} réduite à 0-nm si la hauteur de barrière n'est pas optimisée ou (ii) de réduire la hauteur de barrière le plus possible si L_{un} n'est pas optimisée. Ceci est encourageant spécialement pour le transistor SB-MOSFET de type n pour lequel les hauteurs de barrière des métaux des zone de source et drain proposent des barrières pour les électrons autour de 0.23 eV [19], [20]. Le second point est que les plus petites résistances de grille sont naturellement bénéfiques au premier degré pour les performances f_{max} des transistors SB MOSFET.

2.4.4 Sensibilité et description des performances dynamiques en fonction de la température

Il est connu suivant l'expression (1.48) que l'injection de courant thermoïonique et tunnel à travers une interface Schottky est sensible à la température. Il paraît donc intéressant d'étudier le comportement du transistor SB MOSFET ainsi que ses performances en fonction de ce paramètre. On peut s'attendre à ce qu'avec la baisse de la température, l'injection Schottky réduite amène à dégrader les caractéristiques électriques et donc les performances du transistor. Cependant, dans le même temps, les propriétés électriques du canal sont améliorées grâce à notamment une meilleure mobilité ainsi qu'une vitesse de saturation des porteurs augmentée et cela se traduit dans un composant conventionnel par une amélioration de l'effet transistor, autrement dit par une meilleure efficacité de l'effet de champ, une réduction des courants de fuite, une augmentation de la transconductance, un meilleur gain en tension, etc. [21]. Il faut également y associer la réduction des résistances ohmiques parasites. Suivant ces constatations, nous nous proposons de mettre en évidence l'influence de ces effets sur le transistor jusqu'à les dissocier.

Lors des simulations en température, une attention particulière a été donnée aux modèles de mobilité implémentés. Le modèle de *Lombardi* (CVT) couramment utilisé pour les simulations n'est pas satisfaisant par définition lorsque l'on simule le composant à des températures en dessous de 200 K [5]. Nous nous sommes donc tournés vers le modèle de *Klassen* [22], [23] associé au modèle de *Shirahata* [24] qui modélisent la dépendance de la mobilité selon le dopage et la température en prenant en compte les effets du champ électrique transverse et qui sont ajustés pour des températures allant de 70 K à 500 K. Ces modèles sont alors beaucoup plus appropriés pour notre étude.

Nous nous proposons d'extraire les caractéristiques électriques $I_{ds}-V_{gs}$ d'un transistor SB-MOSFET avec une hauteur de barrière définie à 0.1 eV pour différentes températures variant de 100 K à 300 K. Celles-ci sont tracées à la Fig. 2.31-a.

Suivant cette figure, on observe une réduction du courant lorsque la température diminue dans la gamme de tensions considérées, due à un fort décalage à droite de la tension de seuil, malgré une pente plus abrupte à des tensions V_{gs} élevées. Ce dernier point est montré sur le tracé de la transconductance à la Fig. 2.31-b où nous extrayons une transconductance qui évolue de 300 $\mu\text{S}/\mu\text{m}$ à 300 K à plus de 400 $\mu\text{S}/\mu\text{m}$ à 100 K et à $V_{gs} = -2 \text{ V}$. Ceci s'explique par l'amélioration des propriétés de transport des porteurs dans le canal (vitesse de saturation plus élevée) dans des conditions où l'influence des résistances de contact est réduite, du fait du champ électrique de grille intense.

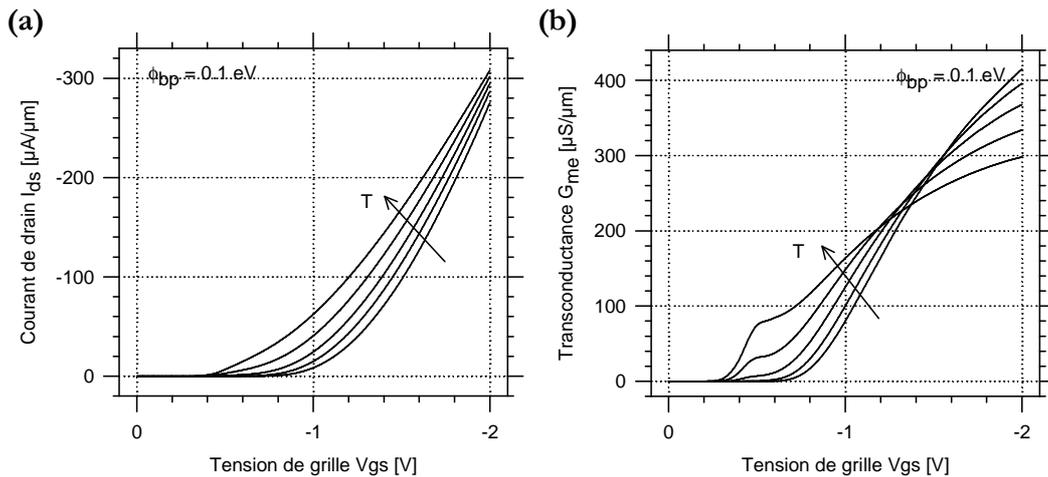


Fig. 2.31 : Courant de drain (a) et transconductance (b) en fonction de la tension de grille pour différentes températures variant de 100 K à 300 K par pas de 50 K. La tension de drain V_{ds} est fixée à -2V, L_{un} à 5-nm et ϕ_{bp} à 0.1eV.

On observe également que l'inflexion sur les courbes de transconductance est plus prononcée lorsque la température diminue, ce qui laisse entrevoir, mais reste à vérifier, d'une part que la résistance de contact est accrue et d'autre part que celle-ci est davantage dépendante de la polarisation.

La Fig. 2.32 présente quantitativement l'évolution de la transconductance en fonction de la température paramétrée pour différentes hauteurs de barrière à $V_{gs} = V_{ds} = -2 \text{ V}$. Lorsque la hauteur de barrière est minimale, *i.e.*, $\phi_{bp} = 0 \text{ eV}$, l'augmentation de la transconductance est très rapide puisque qu'elle augmente de plus de 60% lorsque la température décroît de 300 K à 100 K.

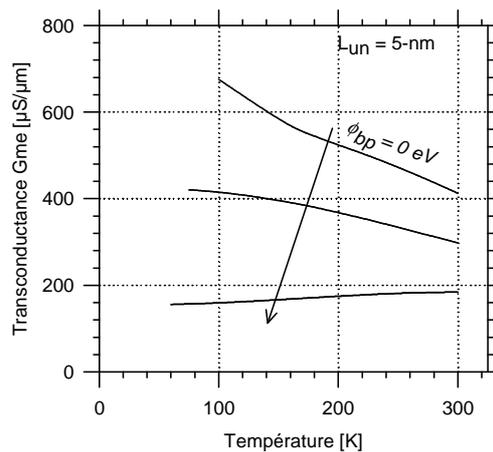


Fig. 2.32 : Transconductance G_{me} en fonction de la température pour différentes hauteurs de barrière variant de 0, 0.1 à 0.2 eV. La largeur de non-recouvrement L_{un} est fixée à 5-nm.

Lorsque la hauteur de barrière augmente, l'évolution de la transconductance n'est plus aussi franche et peut même décroître pour des hautes barrières. Ceci peut s'expliquer par la forte augmentation de

la résistance de contact Schottky à faible température qui contrebalance l'effet bénéfique des propriétés de transport des porteurs dans le canal.

En terme de performances hyperfréquences, l'augmentation des propriétés de transport joue un rôle important puisqu'on observe à la Fig. 2.33 une augmentation de la fréquence f_T de plus de 90% entre 300 K et 100 K quelques soient les hauteurs de barrières de 0 à 0.2 eV. Cet effet moins sensible suivant la hauteur de barrière précédemment décrit, s'explique par la faible corrélation de la fréquence f_T avec l'augmentation de la résistance du fait de la réduction concomitante de la capacité totale de grille C_{gg} .

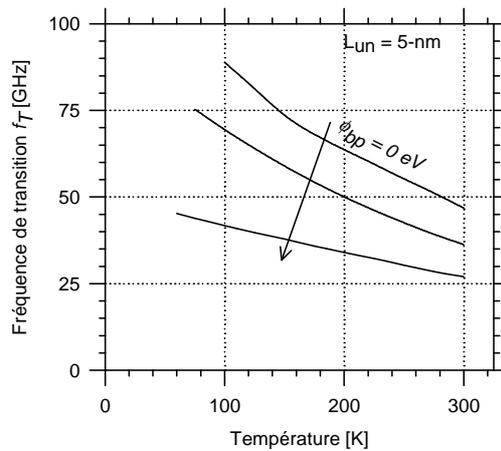


Fig. 2.33 : Fréquence de coupure en courant en fonction de la température à la polarisation $V_{gs} = V_{ds} = -2\text{ V}$. Les hauteurs de barrière sont définies à 0, 0.1 et 0.2 eV. La largeur de non-recouvrement L_{un} est fixée à 5-nm

Afin de caractériser l'injection Schottky des transistors SB MOSFET, nous avons poursuivi l'étude en traçant une suite de diagrammes d'Arrhenius à la Fig. 2.34 pour chaque polarisation de grille dont la hauteur de barrière des contacts S/D a été fixée à 0.2 eV. Etudier le transistor SB MOSFET fonctionnant en régime de saturation ($V_{ds} = -2\text{ V}$) au travers de ce type de diagramme est particulièrement intéressant et original car il permet notamment de distinguer l'importance relative sur le courant de la résistance de contact vis-à-vis de la résistance de canal.

En outre, ce diagramme peut fournir une information quantitative sur la hauteur de barrière effective d'une jonction Schottky sur film fin faiblement dopée, expérimentation irréalisable avec une structure de diodes en vis-à-vis sur ce substrat, du fait de la difficulté de distinguer la résistance de contact avec la résistance de silicium, dans ce cas très importante ($N_a = 2 \times 10^{15}\text{ cm}^{-3}$).

C'est ainsi que suivant ce diagramme, nous extrayons une hauteur de barrière effective¹ de $\phi_{bp} = 0.19\text{ eV}$ pour une tension de grille à $V_{gs} = -0.4\text{ V}$ ce qui est proche de la hauteur de barrière implémentée à 300 K, fixée dans notre cas à 0.2 eV.

¹ La hauteur de barrière est calculée à l'aide du modèle bien connu de *Mott-Schottky*. La valeur extraite

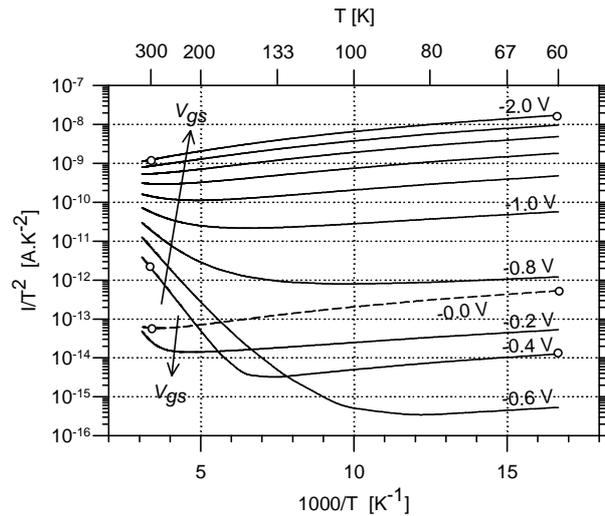


Fig. 2.34 : Diagramme d'Arrhenius tracé pour différentes tension de grille V_{gs} variant de 0 à -2 V par pas de 0.2 V. La ligne pointillée correspond à l'origine des tensions ($V_{gs} = 0$ V). La tension de drain est fixée à -2 V. La hauteur de barrière est fixée à 0.2 eV et la largeur de non-recouvrement à 5-nm. La barrière extraite à la polarisation $V_{gs} = -0.4$ V est calculée à 0.19 eV à la température de 300 K.

Pour s'assurer et comprendre les différents modes de fonctionnement du transistor, nous avons tracé les bandes d'énergie pour des conditions caractéristiques à la Fig. 2.35 reportées par des points sur le diagramme d'Arrhenius. Ainsi, les courbes sont définies aux tensions $V_{gs} = 0$ V, $V_{gs} = -0.4$ V et $V_{gs} = -2$ V à deux températures fixées à 300 K et à 60 K.

En utilisant une analogie similaire aux jonctions de diodes en vis-à-vis, on voit apparaître de manière distincte à la Fig. 2.34 que selon la température et selon la tension de grille, plusieurs mécanismes de conduction gouvernent le courant de la source au drain. L'un d'eux est un mode relatif à un courant limité par une injection Schottky (partie de courbe descendante) et l'autre un mode relatif à un courant limité par la résistance de canal contrôlée par l'effet de champ de la grille (partie de courbe ascendante).

On peut également observer que lorsque la température est constante, il y a deux tendances d'évolution du courant avec la tension de grille. Rappelons que la Fig. 2.11 a déjà présenté la caractéristique logarithmique $I_{ds}-V_{gs}$ à 300 K. La première évolution était décroissante à faibles tensions jusqu'à une tension de transition ($V_{seuil} \sim -0.3$ V à $T = 300$ K), puis devenait croissante au-delà, faisant apparaître un comportement électrique presque ambipolaire. De plus aux vues des bandes d'énergie (Fig. 2.35), il apparaît que lorsque $V_{gs} > -0.4$ V, un courant d'électron (courant de fuite) est capable de traverser la jonction tunnel côté drain amincie par l'effet de champ dérivé de la

correspond donc dans notre cas à une hauteur de barrière équivalente prenant en compte en absolue l'injection thermoïonique, l'abaissement de barrière et l'injection par effet tunnel des trous du côté de la source mais également des électrons du côté du drain. Notons cependant que nous extrayons cette valeur lorsque le courant d'électron est parfaitement négligeable.

tension grille-à-drain jusqu'à dominer le courant, dans ce cas, thermoïonique des trous provenant de la jonction côté source.

Le courant I_{off} , défini à $V_{gs} = 0 V$, est alors un courant majoritairement d'électrons non désirable et, pour l'optimiser, autrement dit le réduire, il est nécessaire de réaliser une jonction Schottky avec une hauteur de barrière élevée aux électrons, *i.e.*, une petite hauteur de barrière aux trous.

Lorsque le potentiel du canal diminue ($-0.3 V < V_{gs} < 0 V$), les bandes d'énergie se relèvent et les courbures de bandes deviennent moins avantageuses au passage des électrons par effet tunnel, le niveau de courant diminue. En diminuant encore le potentiel du canal, le courant de trous finit par contrebalancer le courant d'électrons, la tension de transition est atteinte ($V_{gs} \sim -0.3 V$) et le courant de trous est purement thermoïonique (Fig. 2.35-b). A cette tension de transition, le courant d'électrons équivaut le courant de trous. En dépassant légèrement cette tension ($V_{gs} = -0.4 V$) afin de s'affranchir du courant d'électrons, nous pouvons estimer la vraie hauteur de barrière Schottky (ϕ_{bp}) du contact de source. Naturellement, cette extraction est vraie à la température de 300 K car le courant de trous décroît fortement avec la chute de la température et la balance entre le courant d'électron et de trou est modifiée. Ce qui amène à un décalage à droite de la tension de transition à faible température ($V_{seuil} \sim -0.65 V$ à $T = 300 K$).

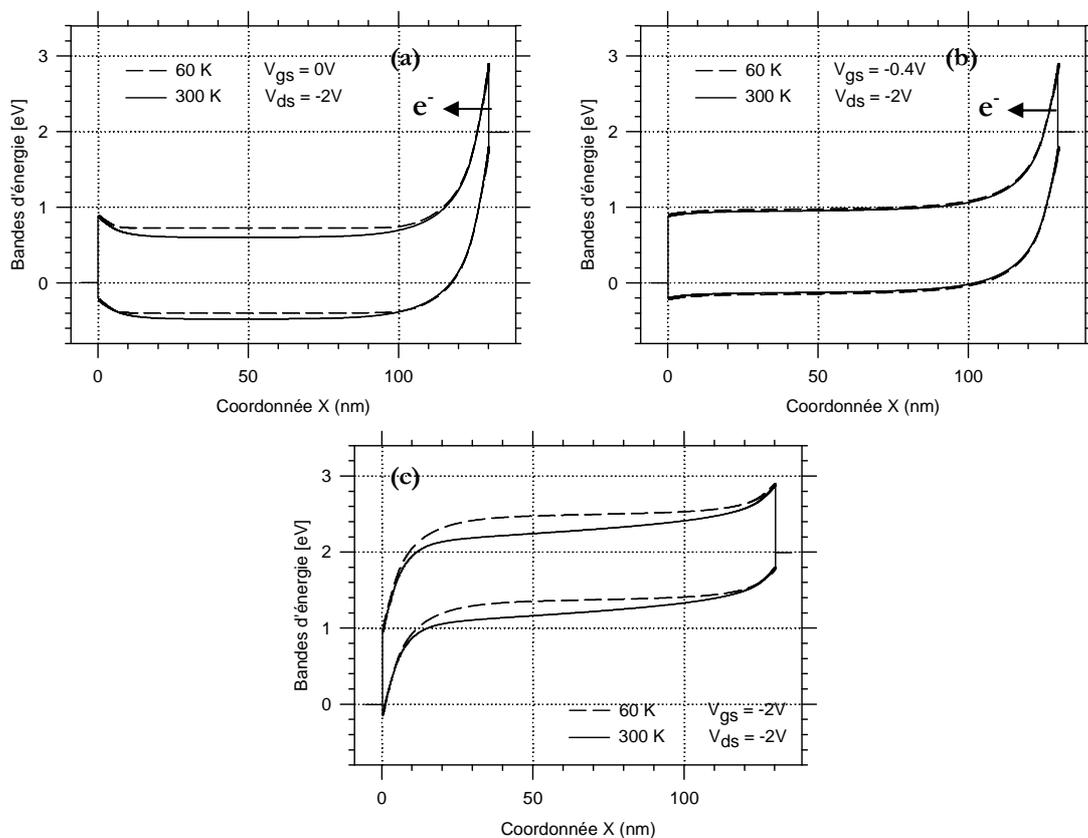


Fig. 2.35 : Bandes d'énergie tracées pour différentes tensions de grille, $V_{gs} = 0 V$ (a), $V_{gs} = -0.4 V$ (b) et $V_{gs} = -2 V$ (c) et pour deux températures, 300 K et 60 K. Les différents régimes correspondent aux points reportés sur le diagramme d'Arrhenius à la Fig. 2.34.

Le potentiel du canal diminue davantage jusqu'au régime de forte accumulation ($-2\text{ V} < V_{gs} < -0.4\text{ V}$) (Fig. 2.35-c). Les mécanismes d'injection par effet de champ au contact de source prennent le relais sur l'injection thermoïonique. La résistance de contact est fortement réduite jusqu'à ce que la résistance de canal soit plus importante. Dans ces conditions, le mode de conduction du transistor SB-MOSFET correspond à celui du transistor MOSFET conventionnel.

En dernier point, on observe qu'à basse température, l'ensemble des allures à la Fig. 2.34 montre que le courant est gouverné par la résistance de canal, indépendamment de la tension de grille appliquée. On peut en conclure que le comportement non linéaire de la diode Schottky sur les caractéristiques électriques est masqué par le comportement de la résistance de canal de la jonction MOS. En d'autres mots, ce dernier point montre que le décalage à droite de la tension de seuil observée à la Fig. 2.31 n'est pas uniquement causé par l'augmentation de la résistance de contact mais qu'à très basse température la résistance de canal joue un rôle non négligeable jusqu'à prédominer sur l'allure des caractéristiques électriques, malgré les fortes résistances de contacts.

2.5. Perfectionnement du modèle Schottky avec la prise en compte des états d'interface

Nous avons décrit succinctement dans le premier chapitre l'effet physique des états d'interface qui amène à fixer le niveau de Fermi et à rendre insensible la hauteur de barrière Schottky aux propriétés du contact métal-semi-conducteur. Nous proposons dans cette partie de perfectionner le modèle Schottky en intégrant cet effet de *Fermi-Level-Pinning* (FLP) aux simulations afin d'investiguer en détail son impact sur le comportement de la jonction et de l'injection.

2.5.1 Diodes Schottky en vis-à-vis

La première structure qui nous servira de support d'étude est la structure de diodes en vis-à-vis sur un substrat de silicium de type p . La structure est similaire à celle décrite à la Fig. 1.29. Nous avons ainsi implémenté un film de pièges uniforme accolé aux interfaces Schottky dont l'épaisseur est fixée à 5-nm et dont la concentration est fixée à 10^{19} cm^{-3} d'états donneurs d'électrons. La densité surfacique de pièges est alors équivalente à $5 \times 10^{12}\text{ cm}^{-2}$. Notons que nous n'implémentons pas dans nos simulations le mécanisme d'effet tunnel assisté par les pièges [1] permettant aux porteurs de traverser la barrière de potentiel via les états d'énergies disponibles dans la bande interdite du

semi-conducteur. Dans le cas d'un transistor SB MOSFET, ce courant tunnel se traduit par une augmentation des courants de fuite (I_{off}).

La Fig. 2.36 présente les hauteurs de barrière apparentes ϕ_{bpapp} extraites pour des jonctions Schottky assujetties à une densité de pièges dont les niveaux d'énergie sont situés à 0.3 eV au dessus de la bande de valence. Les simulations sont réalisées en fonction de la concentration de dopants et sont paramétrées pour différentes hauteurs de barrière Schottky, *i.e.*, définies par la différence de l'affinité électronique du semi-conducteur et la fonction de travail du métal (Eq. 1.26). Notons que l'extraction de la hauteur de barrière apparente est réalisée à partir de diagrammes d'Arrhenius en utilisant le modèle de *Mott-Schottky*.

Le choix délibéré d'utiliser la notion de hauteur de barrière apparente est de pouvoir se référer à une jonction Schottky dont le courant est purement thermoïonique, ceci dans le seul objectif d'offrir plus de lisibilité à notre discussion. A noter que suivant cette description, nous pouvons déterminer la résistance de contact qui se calcule comme (2.18) :

$$R_c = \left(\frac{\partial I}{\partial V} \right)^{-1} = \frac{k}{SqA^*T} \exp\left(\frac{q\phi_{bpapp}}{kT} \right) \quad (2.18)$$

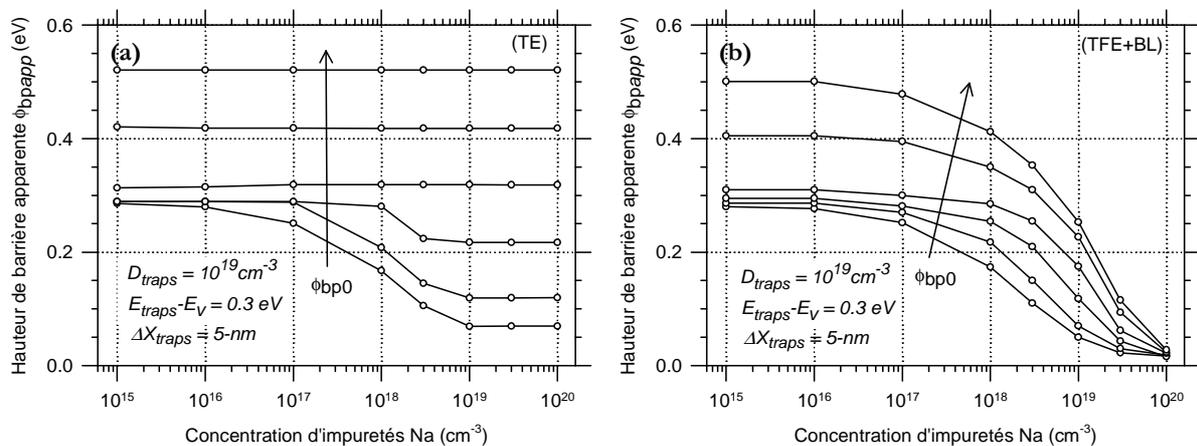


Fig. 2.36 : Extraction de la hauteur de barrière apparente associée à la jonction Schottky assujettie à des pièges donneurs d'électrons situés à 0.3 eV au dessus de la bande de valence avec une densité volumique de 10^{19} cm^{-3} sur une épaisseur de 5-nm, soit une densité surfacique de $5 \times 10^{12} \text{ cm}^{-2}$. La Fig. 2.36 (a) est simulée avec le modèle thermoionique seul (TE) alors que la Fig. 2.36 (b) est simulée avec les modèles thermoionique, tunnel et abaissement de barrière (TFE+BL). La barrière extraite correspond alors à la barrière de potentiel apparente observée par les porteurs à l'interface en tenant compte des effets d'abaissement de barrière mais également des effets tunnels. Cette courbe est tracée en fonction de la concentration d'impuretés de type *p* dans le silicium pour différentes hauteurs de barrière Schottky (1.26). Ces dernières sont positionnées respectivement à 0.05, 0.1, 0.2, 0.3, 0.4 et 0.5 eV. Les valeurs extraites sont obtenues à partir de diagrammes d'Arrhenius. Notons que les valeurs sont extraites à basse température est qu'elles diffèrent légèrement de la hauteur de barrière à température ambiante. La structure est polarisée à 10 mV.

Les simulations sont réalisées avec le modèle d'injection thermoionique seul (TE) (Fig. 2.36-a) et avec l'ensemble des modèles Schottky (TFE+BL) (Fig. 2.36-b).

Nous pouvons observer sur les deux figures qu'il y a une partie des hauteurs de barrière apparente qui n'est pas disponible, correspondant aux faibles concentrations d'impuretés et aux petites hauteurs de barrière Schottky. De plus, on observe que pour les plus faibles niveaux de dopage, la hauteur de barrière apparente extraite ne correspond pas à la valeur implémentée, spécifiquement lorsque la hauteur de barrière Schottky est inférieure à 0.3 eV. Mieux encore, on montre que l'ensemble des valeurs extraites est plutôt similaire et davantage rapporté à la valeur de l'énergie des états d'interface qu'à celle de la hauteur de barrière Schottky ($\phi_{bp} < 0.3$ eV). Pour corroborer notre discussion, les bandes de valences sont tracées à la Fig. 2.37 pour différentes hauteurs de barrière pour les mêmes structures. Il est ainsi clarifié que l'influence électrostatique des pièges modifie considérablement les courbures des potentiels à l'interface en accroissant artificiellement la hauteur de barrière au désavantage de l'injection qui s'en trouve réduite.

La correspondance de la hauteur de barrière Schottky et apparente à la Fig. 2.36 est donc rompue pour des faibles dopages. Naturellement, l'effet des pièges se dissipe lorsque la charge provenant des dopants accepteurs vient compenser électriquement la charge des états d'interface. Autrement dit, la hauteur de barrière apparente reprend une valeur proche de la physique décrite par Mott-Schottky (1.33) lorsque le niveau de dopage est élevé (cadrant droit de la Fig. 2.36-a).

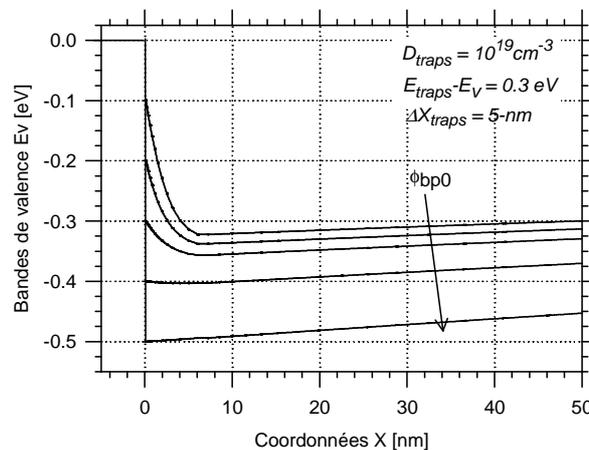


Fig. 2.37 : Bande de valence tracée à l'interface d'un contact de la structure de diodes en vis-à-vis pour différentes hauteurs de barrière variant de 0.1 à 0.5 eV par pas de 0.1 eV. La température est fixée à T=300 K et le système est simulé à l'équilibre thermodynamique ($V_{app} = 0$ V).

Il faut également rajouter que lorsque les mécanismes d'injection tunnel associés aux effets d'abaissement de barrière sont implémentés et que le niveau de dopage est élevé, la hauteur de barrière effective est davantage réduite pour tendre vers une valeur de hauteur de barrière apparente

correspondant à un contact idéal (Fig. 2.36-b). Ceci est parfaitement exposé avec les équations (1.47) à (1.50) et par la discussion d'E. Dubois [25].

Nous pouvons conclure que dans le cas où une jonction est soumise à des effets de pièges, l'augmentation de la concentration de dopants du semi-conducteur abaisse la hauteur de barrière observée par les porteurs par deux effets concomitants au bénéfice de l'injection.

2.5.2 Transistor SB-MOSFET

La seconde structure étudiée est le transistor SB MOSFET dont nous avons implémenté les pièges de façon identique à la structure unidimensionnelle de diodes en vis-à-vis. Les caractéristiques de courant en fonction de la tension de grille sont présentées à la Fig. 2.38-a. Le courant extrait à partir de cette caractéristique à la tension $V_{gs} = -1\text{ V}$ et $V_{gs} = -2\text{ V}$ est comparé à un dispositif sans effet de pièges à la Fig. 2.38-b.

Comme attendu, on montre dans le cas d'un transistor, que l'effet des pièges accentue la décroissance de l'injection. Toutefois, la diminution de l'injection est moins accentuée que dans le cas d'une simple jonction Schottky notamment parce qu'il faut considérer l'effet de champ de la grille qui contrôle également l'allure des profils de potentiel. Sur la Fig. 2.38-b, le courant obtenu pour une barrière Schottky $\phi_{pb} = 0\text{ eV}$ incluant des états d'interface à la tension $V_{gs} = -1\text{ V}$ correspond au courant obtenu pour une barrière de 80 meV sans états d'interface. Dans les mêmes conditions mais pour une tension $V_{gs} = -2\text{ V}$, la barrière serait de 50 meV.

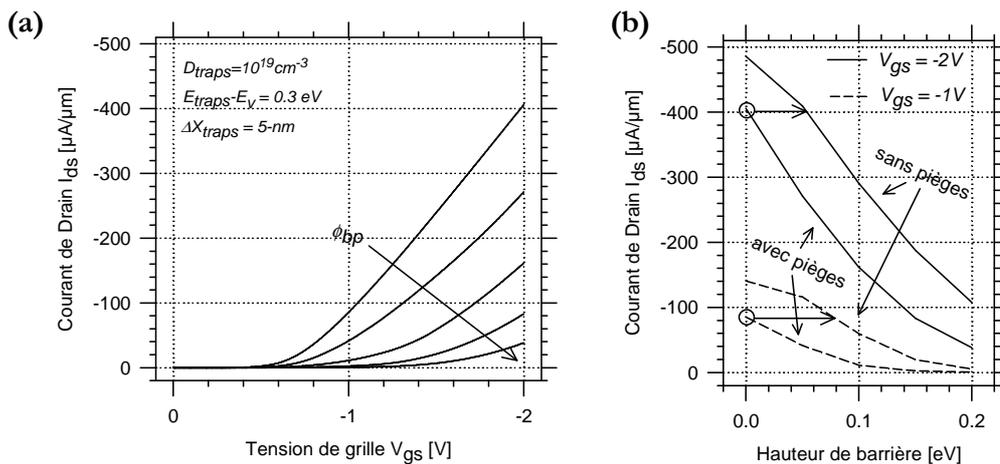


Fig. 2.38 : Courant de drain en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 0.05 eV. La tension de drain est fixée à -2 V, la largeur de non-recouvrement à 5-nm. A droite, comparaison du courant de drain sans piège et avec pièges en régime de forte saturation $V_{ds} = -2\text{ V}$.

La transconductance pour différentes hauteurs de barrière est également présentée à la Fig. 2.39. Les mêmes conclusions s'appliquent aux caractéristiques de transconductance.

Pour présenter de surcroît l'influence des effets de pièges, nous traçons les bandes de valences pour différentes hauteurs de barrière à la Fig. 2.40. Il apparaît clairement que la forte altération des profils de potentiels observés à la Fig. 2.40 se transpose par des variations plus douces du potentiel à l'interface et donc un élargissement de la barrière de potentiel, réduisant l'injection de porteurs dans le canal par effet tunnel.

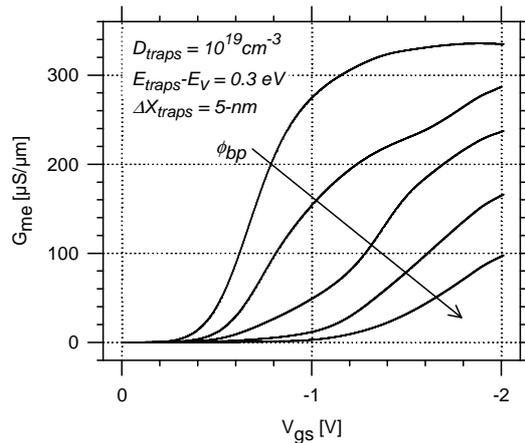


Fig. 2.39 : Transconductance en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 0.05 eV. La tension de drain est fixée à -2 V, la largeur de non-recouvrement à 5-nm.

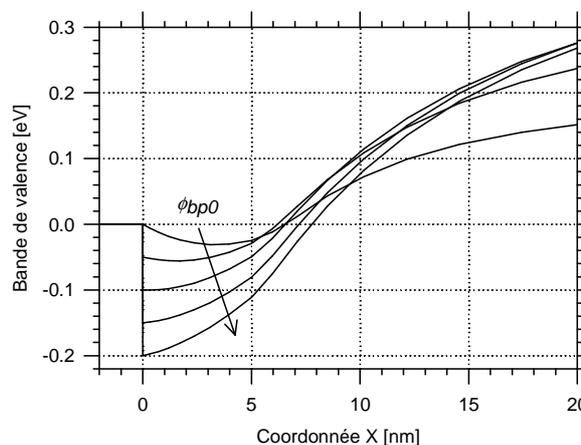


Fig. 2.40 : Bandes de valence tracées au contact Schottky de source du transistor SB MOSFET pour différentes hauteurs de barrière variant de 0 à 0.25 eV par pas de 0.05 eV. Les polarisations sont fixées à $V_{gs} = -1$ V et $V_{ds} = -2$ V. La longueur de non-recouvrement est fixée à $L_{un}=5$ -nm.

Pour résumer, un modèle d'injection sophistiqué, comprenant les émissions thermoïonique et tunnel, a été développé grâce à l'incorporation de pièges à l'interface métal-semi-conducteur afin de reproduire l'influence des charges dipolaires qui gouvernent l'effet de FLP. Cette étude a conduit à présenter l'impact sur le courant dans le cas de structures de diodes en vis-à-vis mais également dans le cas de transistors SB MOSFET. Notons que le choix spécifique de l'énergie des états

d'interface est orienté puisque celle-ci correspond au cas du siliciure de platine (PtSi) sur silicium pour lequel les pièges donneurs Pt160 sont responsables de l'effet de FLP ($E_{\text{traps}} - E_v = 0.33 \text{ eV}$).

Notons que les caractéristiques présentées sont idéales et ne tiennent pas compte du bruit de scintillation du transistor (bruit en $1/f$) lié notamment à la fluctuation des porteurs générés et recombinés dans les zones de pièges. Ce bruit sur les caractéristiques statiques est tellement important dans le cas de hauteur de barrière non optimisée, qu'il a fait l'objet d'une application assez originale qui est un générateur de nombre aléatoire physique [26].

2.6. Ségrégation de dopants à l'interface métal–semi-conducteur

Dans les précédentes parties, nous avons montré qu'une injection Schottky mal contrôlée n'était pas bénéfique à l'amélioration des performances du transistor d'autant qu'à l'interface, la jonction Schottky peut s'accompagner d'états d'interface. L'objectif ultime est naturellement que la jonction Schottky ne limite plus le courant traversant le transistor. Pour résoudre ce problème, une technique qui suscite un intérêt grandissant de la part de la communauté scientifique est la technique de ségrégation de dopants [27], [28]. Par opposition aux pièges et aux états d'interface qui sont des effets non contrôlés, cette technique consiste par divers procédés technologiques à venir ségréger une quantité contrôlée d'impuretés ionisées bien définies à la jonction métal–semi-conducteur qui s'avèrera bénéfique pour la réduction de la résistance de contact. Autrement dit, l'idée est ici de substituer et/ou d'accumuler des charges afin de contrôler pour optimiser le profil de la barrière de potentiel Schottky et favoriser les mécanismes d'injection de courant. Une des techniques est de venir implanter des impuretés dans le métal puis à réaliser un recuit typiquement à la température de 500°C pendant quelques minutes afin de faire diffuser les impuretés dans le métal jusqu'à l'interface semi-conducteur (technologie à faible budget thermique). Etant donnée la différence de solubilité des impuretés dans les matériaux, grand dans le métal et faible dans le silicium, ceux-ci migrent aisément dans le métal pour de faibles énergies thermiques, alors qu'ils diffusent plus difficilement dans le silicium. Ainsi les dopants se plaquent jusqu'à s'accumuler au niveau de l'interface et n'affectent pas le canal par des charges non désirables.

Ségréger des dopants ionisés permet d'écranter l'influence des états d'interface en contrebalançant leurs effets électrostatiques sur le potentiel de surface. Rappelons que nous avons observé l'influence du dopage sur une barrière soumise à des pièges (Fig. 2.36). En outre, les défauts d'interface sont localisés à des lieux privilégiés de substitution par des impuretés lors de l'étape technologique de diffusion thermique de la même façon que peut le faire une étape de passivation [29].

En considérant que les dopants sont incorporés dans des sites substitutionnels de la maille cristalline, la ségrégation de dopants est ici modélisée idéalement par une simple fine épaisseur uniforme de dopants ionisés placée à l'interface métal–semi-conducteur d'extension L_{seg} et de concentration constante N_{seg} . Cette approximation apparaît raisonnable parce que l'activation des dopants est attendu prendre place près de l'interface siliciure/silicium où la redistribution des liaisons rend possible l'incorporation des dopants dans des sites substitutionnels.

2.6.1 Diodes Schottky en vis-à-vis

Afin de préparer notre discussion sur les transistors, nous nous proposons de simuler initialement des jonctions Schottky dans la configuration de diodes en vis-à-vis et d'investiguer les résultats électriques des simulations. La schématique du dispositif est présentée à la Fig. 2.41.

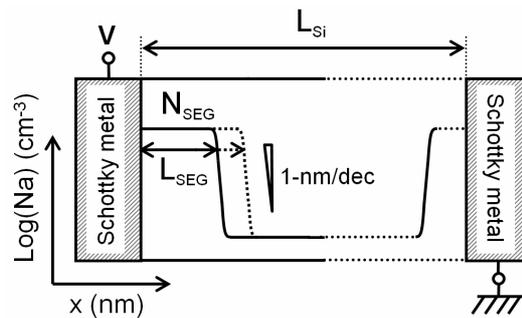


Fig. 2.41 : Schématique de diodes en vis-à-vis dont les contacts sont ségrégués.

La Fig. 2.42 présente quant à elle l'extraction de la hauteur de barrière apparente ϕ_{bapp} pour des jonctions Schottky ségréguées de dopants accepteurs associées à différentes densités de dopants. Les courbes sont paramétrées suivant la hauteur de barrière Schottky variant de 0.05 à 0.25 eV par incrément de 50 meV. On observe une chute drastique de la hauteur de barrière apparente lorsque la densité volumique dépasse un seuil de quelques 10^{18} cm^{-3} pour l'ensemble des hauteurs de barrière Schottky. Ceci indique la résistance de contact Schottky chute drastiquement lorsque le niveau de dopage à l'interface augmente pour tendre vers un contact dont le transport serait idéalement transparent.

Afin de confirmer ces observations, nous avons également tracé les courbures de bandes pour différentes densités volumiques de dopants à la Fig. 2.43 pour une hauteur de barrière Schottky fixée à 0.15 eV.

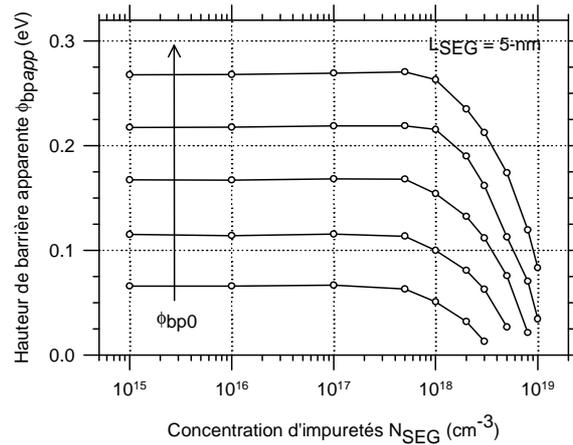


Fig. 2.42 : Extraction de la hauteur de barrière effective associée à la jonction Schottky assujettie à une ségrégation de porteurs. Les hauteurs de barrière sont paramétrées de 0.05 à 0.25 eV par incréments de 0.05 eV. A noter qu'au-delà d'une certaine concentration d'impuretés, il n'est plus possible d'extraire une hauteur de barrière puisqu'elle est masquée par la résistance du silicium. La concentration du silicium est fixée à $2 \times 10^{15} \text{ cm}^{-3}$ (dopage p).

La largeur de ségrégation est considérée à 5-nm.

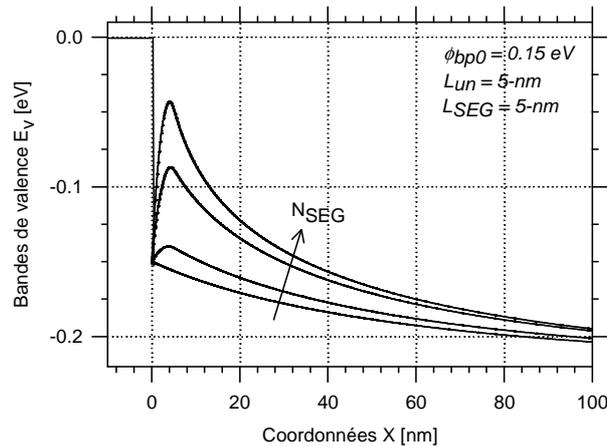


Fig. 2.43 : Bande de valence pour différentes concentrations N_{SEG} variant de 0, 10^{18} , 5×10^{18} et 10^{19} cm^{-3} pour une structure de diodes en vis-à-vis.

Il est clair que la chute de la hauteur de barrière effective est liée à une modification du profil de potentiel au contact Schottky et plus exactement à un amincissement de la barrière Schottky dû à la présence des charges négatives provenant des dopants ionisés. L'injection par effet de champ est donc incontestablement augmentée, réduisant de facto la hauteur de barrière apparente.

2.6.2 Transistor SB-MOSFET

La prochaine structure étudiée est la structure SB-MOSFET dont nous nous proposons de simuler les caractéristiques électriques dans le cas de contacts Schottky ségrégués de dopants (Fig. 2.44).

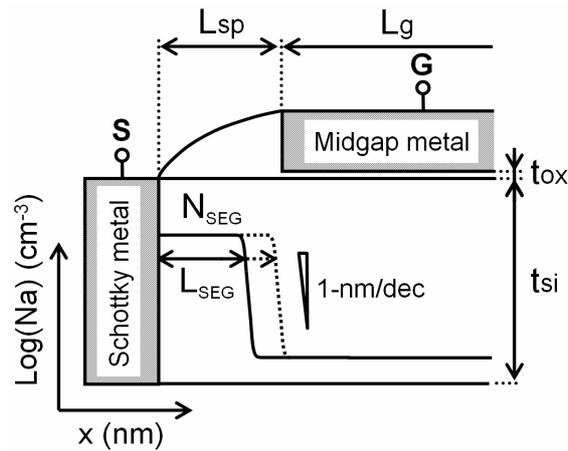


Fig. 2.44 : Schématisation des simulations d'une demi-structure d'un transistor SB-MOSFET de type p dont les contacts sont ségrégués de dopants accepteurs d'électrons.

La Fig. 2.45 présente le courant de drain ainsi que la transconductance en fonction de la tension de grille pour différentes variations de concentrations N_{SEG} variant de 10^{18} à 10^{20} cm^{-3} , qui correspond à une densité de charge équivalente (en anglais, *equivalent sheet density*) de 5×10^{11} à 5×10^{13} cm^{-2} .

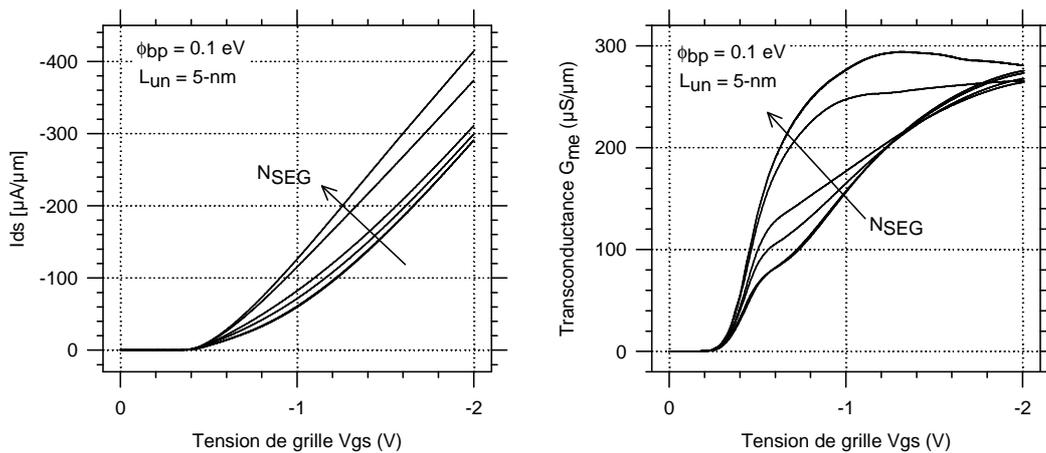


Fig. 2.45 : Courant de drain et transconductance en fonction de la tension de grille pour différentes concentrations N_{SEG} variant de 10^{12} , 10^{18} , 5×10^{18} , 10^{19} , 5×10^{19} à 10^{20} cm^{-3} . L_{SEG} est définie à 5-nm. La tension de drain est fixée à -2 V.

On peut observer que le courant s'accroît avec l'augmentation de la densité de dopants ségrégués à l'interface pour se rapprocher de celle du courant obtenu par un transistor SB MOSFET idéal, *i.e.*, lorsque $\phi_{bp} = 0$ eV. Il est clair que cette augmentation de courant est attribuée à la forte réduction de la résistance de contact dès les plus faibles polarisations de grille. Ceci se confirme sur la caractéristique de la transconductance puisque les inflexions observées avec des dispositifs non ségrégués de dopants tendent à disparaître. L'effet de la ségrégation de dopant se révèle alors bénéfique au transistor. Cependant, on peut observer qu'en régime de forte accumulation

($V_{gs} \sim -2$ V), la transconductance obtenue avec un transistor dont les jonctions sont ségréguées plafonne vers une valeur proche de la valeur atteinte sans ségrégation de dopants.

L'étude se poursuit en traçant la fréquence fT ainsi que la capacité totale de grille C_{gg} pour différents niveaux de ségrégation. Conformément à notre discussion précédente, les observations sur l'allure de la fréquence fT suivant la tension de grille sont similaires à la celles observées sur la transconductance. La valeur de fréquence fT maximum est extraite à ~ 37 GHz à $V_{gs} = -1$ V, qui est une valeur éloignée de la valeur extraite pour un transistor idéal dont la valeur est ~ 47 GHz (Fig. 2.22). Nous montrons que l'effet de la ségrégation de dopant n'a que peu d'impact pour réduire la résistance de contact à forte tension de grille (car la résistance R_s est déjà fortement abaissée) et que les performances hyperfréquences du transistor n'en sont pas augmentées. Cependant, ces performances sont obtenues à une tension appliquée beaucoup plus réduite, ce qui est bénéfique en perspective pour les applications à faibles tensions.

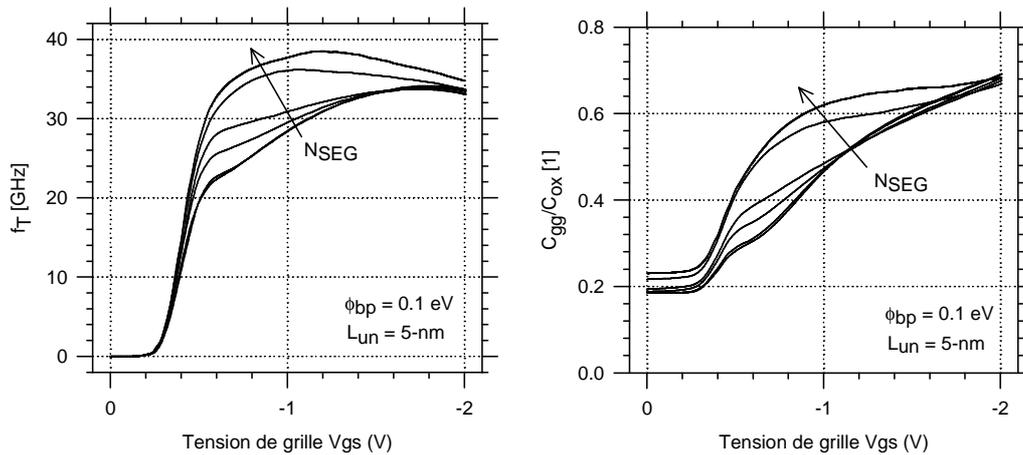


Fig. 2.46 : Fréquence fT en fonction de la tension de grille associée à la capacité totale de grille C_{gg} pour différentes concentrations N_{SEG} variant de 10^{12} , 10^{18} , 5×10^{18} , 10^{19} , 5×10^{19} à 10^{20} cm^{-3} . L_{SEG} est définie à 5-nm. La tension de drain est fixée à -2 V.

Pour comprendre de façon plus approfondie ces observations, nous nous proposons de tracer les bandes de valence pour différents niveaux de ségrégation à $V_{gs} = -1$ V et $V_{ds} = -2$ V mais également à $V_{gs} = -2$ V et $V_{ds} = -2$ V.

Suivant la Fig. 2.47, on observe clairement que la largeur de la barrière Schottky est largement réduite lorsque N_{SEG} augmente à $V_{gs} = -1$ V. Cependant lorsque V_{gs} est supérieure à -2 V, il apparaît que la ségrégation de dopants n'apporte que peu de bénéfice pour affiner la largeur des profils de potentiel Schottky et donc pour réduire la résistance de contact. Ceci s'explique parce que la force électrostatique de la grille est tellement intense à $V_{gs} = -2$ V que l'effet de la ségrégation de dopants sur le potentiel Schottky devient transparent. Ceci se traduit par une transconductance qui n'est alors plus améliorée.

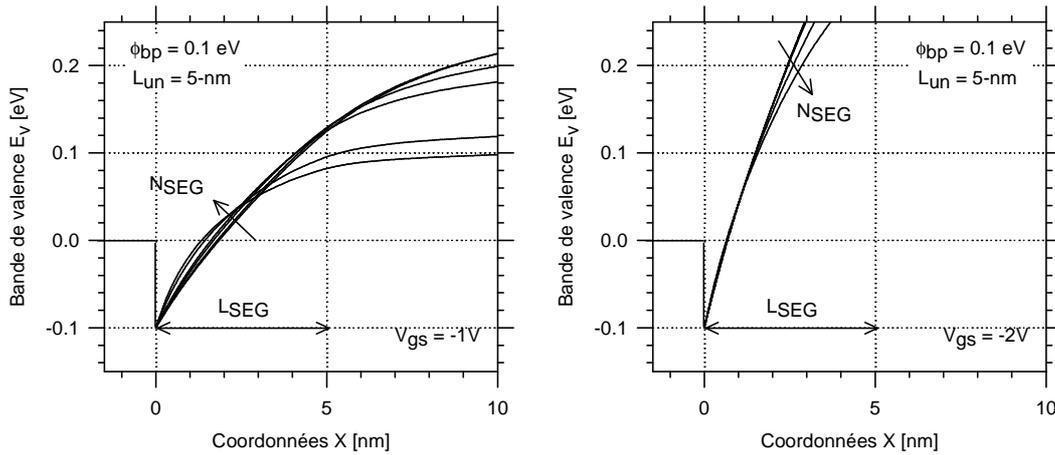


Fig. 2.47 : Bandes de valence E_v pour différentes concentrations N_{SEG} variant de 10^{12} , 10^{18} , 5×10^{18} , 10^{19} , 5×10^{19} à 10^{20} cm^{-3} . La longueur de non recouvrement est fixée à 5-nm. La largeur du film de ségrégation est fixée à 5-nm. Les points de polarisation sont considérés à $V_{ds} = -2 \text{ V}$ et $V_{gs} = -1 \text{ V}$ (a) et $V_{ds} = -2 \text{ V}$ et $V_{gs} = -2 \text{ V}$ (b).

Il semble que dans ces conditions, l'avantage qu'apporte la ségrégation de dopants est le nivellement de l'évolution de la résistance de contact avec la tension de grille sans toutefois l'aplanir complètement. Et en effet, la variation de la largeur du profil de potentiel maximale, *i.e.*, mesurée à $E_v = 0 \text{ eV}$, est de 1.3-nm sans ségrégation de dopants entre les tensions $V_{gs} = -1 \text{ V}$ et $V_{gs} = -2 \text{ V}$ mais reste à plus de 0.7-nm pour les mêmes variations lorsque N_{SEG} est égale à 10^{20} cm^{-3} .

Concernant les champs électriques longitudinaux et transversaux (Fig. 2.48), la ségrégation de dopants améliore l'intégrité électrostatique dans le canal pour se rapprocher du comportement d'un MOSFET conventionnel. De plus, le champ électrique longitudinal est grandi à l'interface Schottky de source, ce qui est bénéfique à l'accélération des porteurs dans le canal.

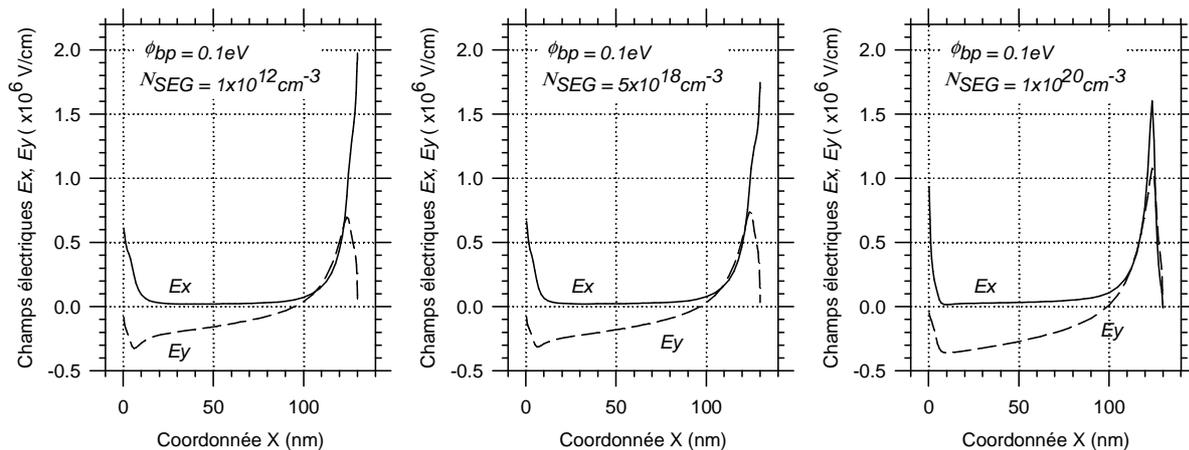


Fig. 2.48 : Champs électriques extraits le long du canal pour différentes concentrations N_{SEG} variant de 10^{12} , 5×10^{18} à 10^{20} cm^{-3} . Les champs E_x et E_y sont les champs électriques longitudinal et transverse respectivement. La hauteur de barrière est fixée à 0.1 eV. La longueur de non-recouvrement est fixée à 5-nm. L'abscisse zéro correspond à l'interface du contact Schottky de source. La largeur du film de ségrégation est fixée à 5-nm. Le point de polarisation est considéré à $V_{ds} = -2 \text{ V}$ et $V_{gs} = -1 \text{ V}$.

La Fig. 2.49 présente la concentration longitudinale de porteurs libres dans le canal pour différentes densités de dopants à la tension $V_{gs} = -1 V$. Il est clair que grâce à une injection améliorée pour ce point de polarisation, davantage de porteurs libres sont présents dans le canal ce qui bénéficie au courant de conduction.

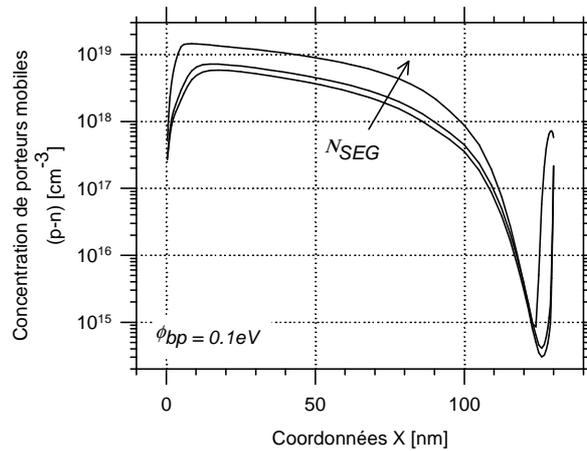


Fig. 2.49 : Concentration de porteurs mobiles $(p-n)$ le long du canal pour différentes concentrations N_{SEG} variant de 10^{12} , 5×10^{18} à 10^{20} cm^{-3} . La longueur de grille est de 120-nm, les largeurs de recouvrement de 5-nm. L'abscisse zéro correspond à l'interface du contact Schottky de source. La largeur du film de ségrégation est fixée à 5-nm. Le point de polarisation est considéré à $V_{ds} = -2 V$ et $V_{gs} = -1 V$.

La Fig. 2.50 présente l'effet d'une distribution des dopants dans le semi-conducteur sur le profil de potentiel. En simulation, nous traduisons cela par faire varier l'épaisseur L_{SEG} pour une densité surfacique de charge $D_{SEG} (= N_{SEG} \times L_{SEG})$ conservée constante. Suivant les allures des bandes de valence, on observe qu'il y a un optimum qui se révèle pour bénéficier d'une injection plus efficace.

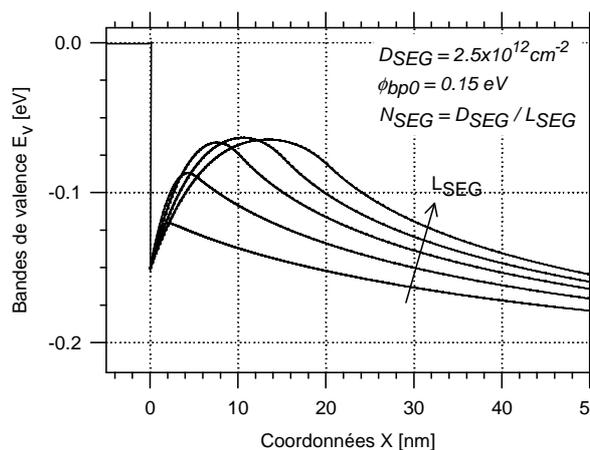


Fig. 2.50 : Bandes de valence dans le cas d'une structure de diodes en vis-à-vis pour différentes épaisseurs de ségrégation en conservant constant la densité équivalente de charges surfaciques.

L'épaisseur L_{SEG} varie de 2, 5, 10, 15 et 20-nm. La structure est à l'équilibre thermodynamique.

A une densité surfacique de dopants définie, les résultats montrent que pour que la ségrégation de dopants ait suffisamment de « force électrostatique pour modifier les courbures de bandes d'énergie », il est nécessaire de diffuser les dopants implantés dans le silicium sur une distance suffisamment large pour courber le niveau d'énergie mais pas excessivement afin de ne pas augmenter l'épaisseur de barrière tunnel. En outre, on montre que les profils de potentiel à la jonction Schottky ne peuvent pas être indéfiniment amincis.

Dans notre cas de figure, la longueur optimum L_{OPT} pour obtenir la meilleure injection de courant (tunnel + thermoionique) est proche de 10-nm pour une densité surfacique définie à $2.5 \times 10^{12} \text{ cm}^{-2}$ et dans le cas d'une hauteur de barrière Schottky de 0.15 eV.

2.7. Performances dynamiques du transistor SB-MOSFET de type n

Le choix de discuter du comportement dynamique du transistor de type p le long de ce chapitre est justifié par le fait d'être connecté aux dispositifs expérimentaux dont nous étudierons les mesures dans le chapitre suivant. Cependant, la simulation nous permet d'étudier également les propriétés électriques ainsi que les paramètres dynamiques des transistors SB MOSFET de type n (canal d'électrons). Nous nous proposons donc dans cette partie de présenter les performances dynamiques de ces composants et l'impact d'une injection d'électrons sur le comportement du transistor dans le cas de jonctions non ségrégées de dopants et sans états d'interface. Rappelons que spécifiquement au matériau silicium, les propriétés de transport des transistors sont meilleures dans le cas d'un transport d'électrons plutôt que d'un transport de trous. Nous espérons donc des meilleures performances. Pour illustrer ceci, les Figs. 2.51 et 2.52 présentent les caractéristiques de courant en saturation I_{ds} , de transconductance G_{me} ainsi que les fréquences f_T pour différentes hauteurs de barrières pour les électrons et pour une longueur de grille de 120-nm.

Nous montrons que l'augmentation de la mobilité des électrons par rapport aux trous aboutit comme attendu à une augmentation des performances. En effet, lorsque la barrière Schottky ne s'oppose pas à l'injection de porteurs dans le canal, *i.e.*, $\phi_{bn} = 0 \text{ eV}$, le courant I_{on} s'élève drastiquement passant de $480 \mu\text{A}/\mu\text{m}$ pour le p -MOS (Fig. 2.11) à près de $1800 \mu\text{A}/\mu\text{m}$ pour le n -MOS ($|V_{gs}| = |V_{ds}| = 2\text{V}$). Dans le cas où la hauteur de barrière est plus importante, par exemple à $\phi_{bn} = 0.2 \text{ eV}$, le courant s'élève également de $100 \mu\text{A}/\mu\text{m}$ à $400 \mu\text{A}/\mu\text{m}$ entre les deux structures. Ainsi, on peut observer que le ratio entre ces courants pour une même structure et pour deux hauteurs de barrière distinctes est quasi-similaire. Ceci s'explique parce que les masses effectives des électrons et des trous fixées pour les électrons à $m_e^* = 0.258$ et pour les trous à $m_t^* = 0.275$ sont quasi-identiques.

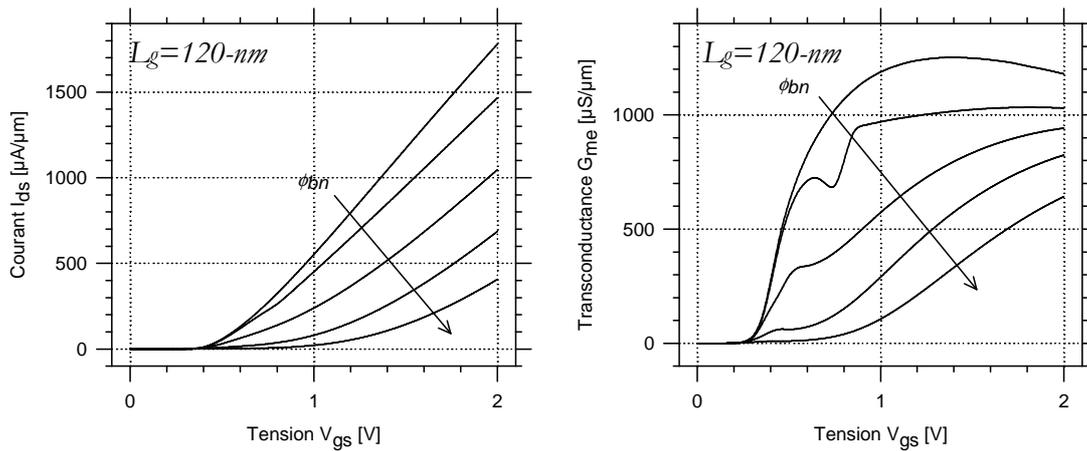


Fig. 2.51 : Courant de drain I_{ds} et transconductance G_{me} en fonction de la tension de grille V_{gs} pour différentes hauteurs de barrière aux électrons variant de 0 à 0.2 eV par pas de 0.05 eV. La tension de drain est fixée à 2 V.

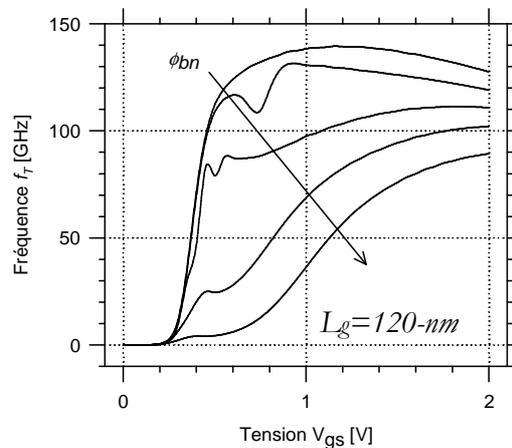


Fig. 2.52 : Fréquence fT en fonction de la tension de grille V_{gs} pour différentes hauteurs de barrière aux électrons variant de 0 à 0.2 eV par pas de 0.05 eV.

Dans le cas de substrats dont l'orientation cristalline est différente ([110] ou [111]), la masse effective des trous est modifiée suivant les expressions (A.8)-(A.10) et on peut donc s'attendre à une plus forte dégradation du courant et donc des performances, que celles déjà observées dans ce manuscrit lorsque les hauteurs de barrière ne sont pas optimisées.

En terme de performances fréquentielles, les fréquences de coupure atteignent pour les plus faibles hauteurs de barrières la valeur de 140 GHz. Dans des considérations idéales, nous notons que les valeurs fT obtenues pour des hauteurs de barrière jusqu'à 0.1 eV sont tout à fait réaliste et comparables aux valeurs extraites dans la littérature pour des technologies MOSFET conventionnelles et pour cette longueur de grille (Fig. 0.2).

Nous avons vu que la ségrégation de dopants montre des propriétés très intéressantes pour moduler et plus particulièrement abaisser les hauteurs de barrière apparentes des jonctions Schottky. Suite à

cette analyse, nous pouvons également favoriser l'injection des électrons cependant à une originalité près. Cette étude nous a mené à considérer que l'on pouvait se détacher de plus en plus d'un comportement électrique lié aux propriétés électroniques du matériau métallique. L'originalité dans cette partie est d'étudier les performances électriques d'un transport d'électrons à travers une jonction à faible barrière pour les trous et sur un substrat quasi non dopé [30]. Rappelons que conventionnellement dans ce cas, la barrière pour les électrons est quasi-infranchissable, typiquement de l'ordre de grandeur de l'énergie du gap, et que le transport du courant à travers le contact n'est gouverné que par les trous. Afin que les électrons puissent traverser cette barrière, il faut renverser les profils de potentiel de telle sorte à ce que les électrons puissent la franchir par effet de champ. Et pour cela, l'interface doit être ségréguée d'impuretés d'atomes donneurs d'électrons. L'intérêt de cette approche est qu'il peut constituer une alternative sérieuse aux matériaux métalliques à faible barrière pour les électrons, typiquement des siliciures d'ions de terres rares (ErSi_x , YSi_x , TbSi_x) dont les hauteurs de barrière sont encore trop élevées à l'heure actuelle (>0.23 eV) pour envisager de concurrencer des jonctions conventionnelles mais également parce qu'il subsiste encore des défis technologiques à résoudre pour les employer. Il faut noter également l'intérêt technologique d'utiliser un même matériau métallique pour les contacts des transistors SB MOSFET de type- p et de type- n , d'autant que les siliciures d'ions de terres rares présentent encore des difficultés technologiques [28].

Nous nous proposons donc de présenter les courbures de bandes associées à l'extraction des hauteurs de barrières apparentes pour des structures de diodes en vis-à-vis qui sont présentées à la Fig. 2.53 pour différentes concentrations de dopants ségrégués.

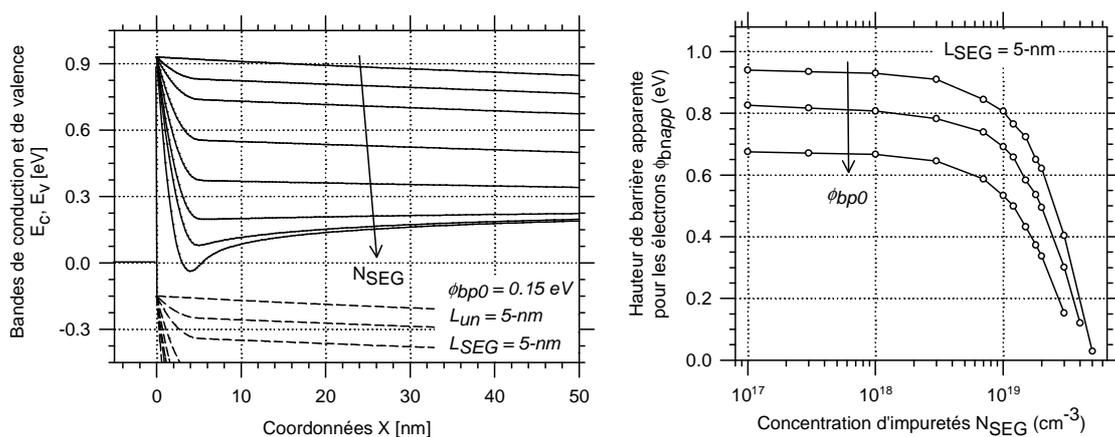


Fig. 2.53 : Courbures des bandes (a) associées à l'extraction des hauteurs de barrières apparentes (b) pour des structures de diodes en vis-à-vis définies pour différentes densités N_{SEG} variant de 10^{12} , 10^{18} , 10^{19} , 2×10^{19} , 3×10^{19} , 4×10^{19} , 5×10^{19} et 10^{20} cm^{-3} . L'extraction des barrières apparente est réalisée pour trois hauteurs barrières Schottky définies à 0.15, 0.25, 0.4 eV pour les trous. La largeur de bande interdite est égale dans notre modèle à 1.08 eV. A noter que les valeurs de barrières extraites ajoutées aux barrières Schottky correspondent à la bande interdite du silicium.

On observe clairement que suivant l'augmentation de la concentration, la hauteur de barrière apparente décroît pour devenir quasiment transparente aux électrons pour les plus hautes concentrations ($>5 \times 10^{19} \text{ cm}^{-3}$) grâce à une forte courbure de bande d'énergie qui favorise l'injection par effet tunnel. Autrement dit, grâce à une charge provenant des dopants, nous pouvons quasiment dé-corréler l'influence de la fonction de travail du métal sur l'injection Schottky pour obtenir une résistance de contact bien inférieure à celle obtenue par les siliciures d'ions de terres rares.

A partir de ces observations, nous nous proposons d'étudier l'influence de la ségrégation de dopants de type n sur des transistors SB MOSFET dont la hauteur de barrière des contacts Schottky est fixée faible pour les trous (0.15 eV). Les caractéristiques électriques $I_{ds}-V_{gs}$ sont présentées à la Fig. 2.54 pour différents niveaux de concentration de dopants ségrégés variant de 10^{18} à 10^{20} cm^{-3} .

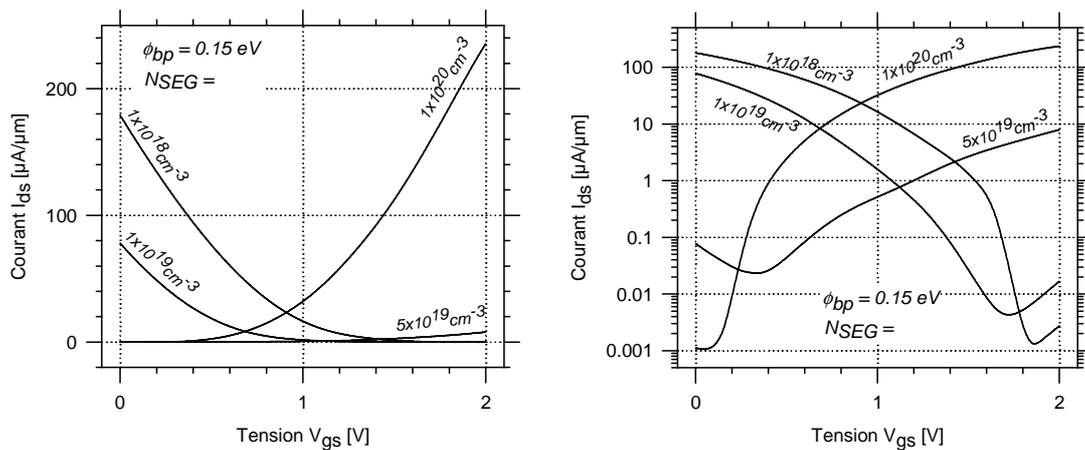


Fig. 2.54 : Courant de drain du dispositif SB MOSFET du type n pour différents niveaux de densité de ségrégation de dopants variant de 10^{18} , 10^{19} , 5×10^{19} à 10^{20} cm^{-3} . La hauteur de barrière pour les trous est fixée à 0.15eV. Notons que pour des raisons de convergence, le système d'équations de dérive et diffusion pour la structure avec 10^{20} cm^{-3} de dopants ségrégés et uniquement a été simplifié pour ne simuler que le comportement des électrons.

Cependant, en terme quantitatif, le courant de trous est tout à fait négligeable devant le courant d'électrons pour cette structure. Malheureusement ceci a imposé de ne pas pouvoir simuler de paramètres AC.

L'épaisseur de ségrégation est fixée à 5-nm.

Nous observons sur ces caractéristiques que nous pouvons dissocier deux modes de fonctionnement des transistors normalement 'on' et normalement 'off' suivant les niveaux de concentration de dopants. Pour comprendre davantage ces modes de fonctionnement, nous avons tracé les courbures des bandes d'énergie aux niveaux des contacts qui sont associées aux caractéristiques pour deux tensions de grille $V_{gs} = 0 \text{ V}$ et $V_{gs} = 2 \text{ V}$ à la Fig. 2.55. Lorsque la densité de dopants n'est pas suffisante pour modifier l'allure des profils de potentiels, il apparaît que la jonction de drain se montre plus favorable à l'injection de trous que la jonction de source à l'injection d'électrons, spécialement lorsque la tension de grille est nulle. Le courant de conduction

dans le canal est alors uniquement gouverné par le transport de trous. Lorsque le niveau de concentration est suffisant pour abaisser et amincir l'allure des bandes d'énergie aux contacts, l'injection de trous au contact de source cède le pas au profit du courant d'électron au contact de source. Le courant de conduction dans le canal est alors assujéti aux propriétés de transport des électrons. Cela se traduit sur la Fig. 2.54 à une caractéristique électrique comportant un point d'ambipolarité (au point du minimum de courant). En terme quantitatif, dans le cas particulier d'une hauteur de barrière de 0.15 eV pour les trous et pour les plus hautes concentrations de dopants simulées ($N_{SEG} = 10^{20} \text{ cm}^{-3}$), le niveau de courant reste toutefois inférieur à celui obtenu pour un transistor ayant une hauteur de barrière pour les électrons de 0.2 eV. Finalement, à la vue des concentrations de dopants nécessaires, il apparaît difficile de réduire davantage la résistance de contact des transistors de type n à faibles barrières pour les trous ($\phi_{bp} = 0.15 \text{ eV}$).

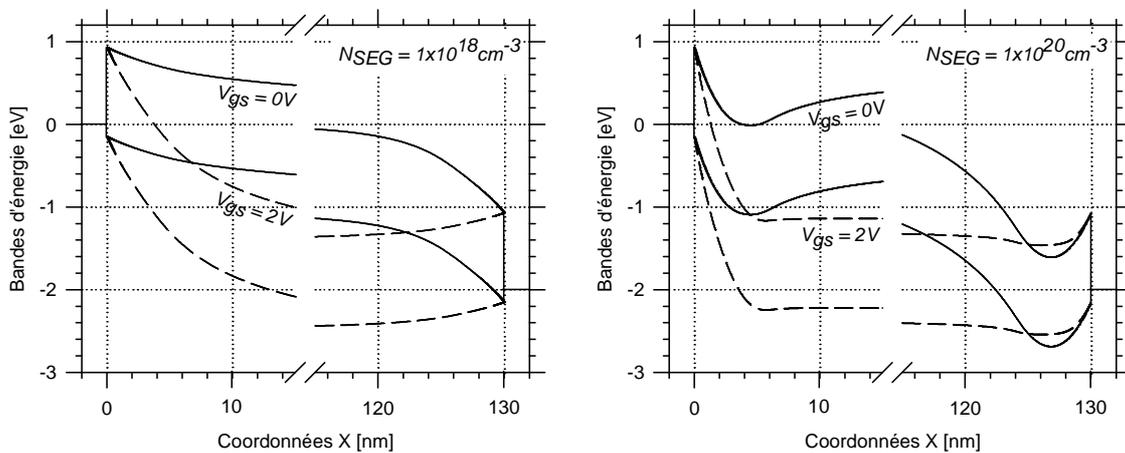


Fig. 2.55 : Bandes d'énergie pour deux niveaux de densité ségrégation de dopants aux l'interfaces de source et drain. La hauteur de barrière est fixée à 0.15 eV pour les trous. La largeur de non-recouvrement L_{un} est égale à 5-nm. L'épaisseur de ségrégation est fixée à 5-nm.

Puisque la force électrostatique induite par les dopants sur la hauteur de barrière effective souffre de limites, nous nous proposons d'étudier le même cas mais pour une hauteur de barrière moyenne pour les trous équivalente à 0.4 eV. La Fig. 2.56 présente les niveaux de courant pour les mêmes niveaux de ségrégation de dopants. Nous associons à cette caractéristique logarithmique son équivalent linéaire ainsi que sa transconductance extrinsèque à la Fig. 2.57.

On observe que le niveau de courant évolue de $240 \mu\text{A}/\mu\text{m}$ dans la structure précédente à plus de $700 \mu\text{A}/\mu\text{m}$ au point de polarisation de $V_{gs} = V_{ds} = 2 \text{ V}$. La structure est alors quasiment comparable à une structure ayant une hauteur de barrière pour les électrons de 0.15 eV en ce qui concerne le courant (Fig. 2.51).

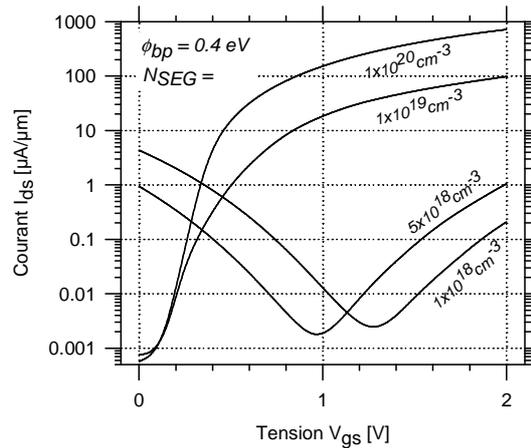


Fig. 2.56 : Courant de drain du dispositif SB MOSFET du type n pour différents niveaux de densité de ségrégation de dopants variant de 10^{18} , 10^{19} , 5×10^{19} à 10^{20} cm^{-3} . La hauteur de barrière pour les trous est fixée à 0.4 eV. L'ensemble des simulations est réalisé avec le modèle Schottky complet. L'épaisseur de ségrégation est fixée à 5-nm.

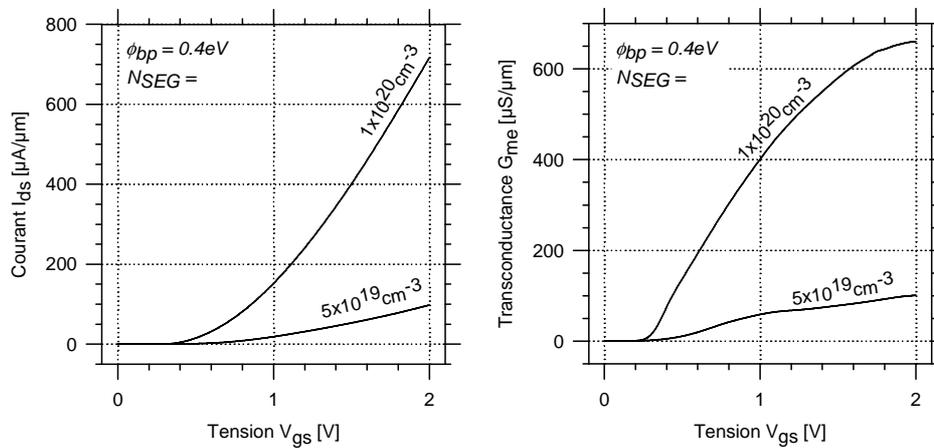


Fig. 2.57 : Courant et transconductance en fonction de la tension de grille pour deux niveaux de densité de dopants ségrégés. L'épaisseur de ségrégation est fixée à 5-nm.

En ce qui concerne la transconductance associée, il faut remarquer que son évolution n'observe pas d'inflexion et qu'elle est davantage semblable à l'évolution d'un transistor MOSFET conventionnel. En contrepartie, la transconductance montre une légère réduction à forte tension de grille que son homologue ayant une hauteur de barrière pour les électrons de 0.15 eV. Nous pouvons ainsi conclure que pour deux transistors SB MOSFET choisies dans des conditions de courant I_{on} identiques, la résistance de contact dans le cas d'une structure ségrégée de dopants est qualitativement moins sensible avec la polarisation malgré des valeurs plus élevées à des fortes tensions.

Nous présentons également à la Fig. 2.58 la fréquence de coupure fT et la capacité totale de grille C_{gg} en fonction de la tension de grille pour ces structures de type n à contacts fortement ségrégés de dopants. La barrière pour les trous est toujours fixée à 0.4 eV. Nous pouvons observer que la structure dont les contacts sont ségrégés à 10^{20} cm^{-3} présente une fréquence de coupure à 90 GHz et

conforte des valeurs plus élevées à plus faibles tensions comparativement à la structure mise en regard précédemment. En ce qui concerne l'évolution de la capacité de grille, on peut observer qu'elle tend vers une valeur de $2/3C_{ox}$ aux capacités parasites, conformément à la théorie du transistor MOSFET conventionnel.

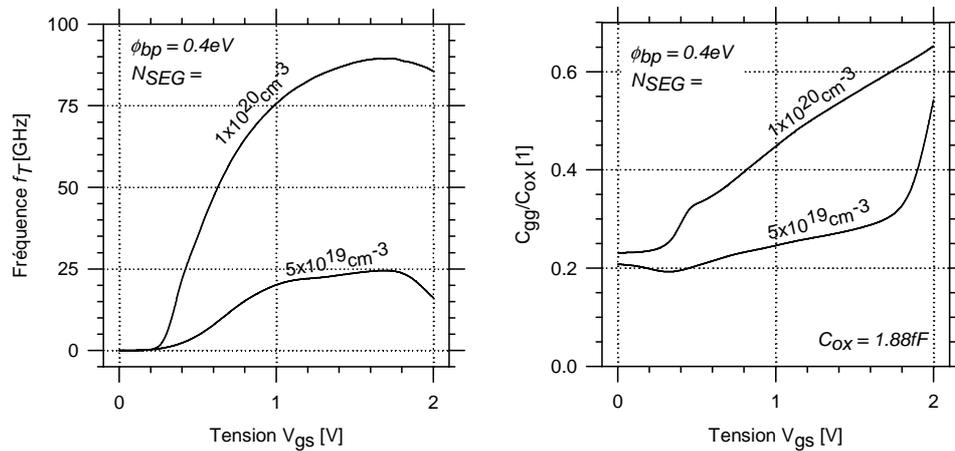


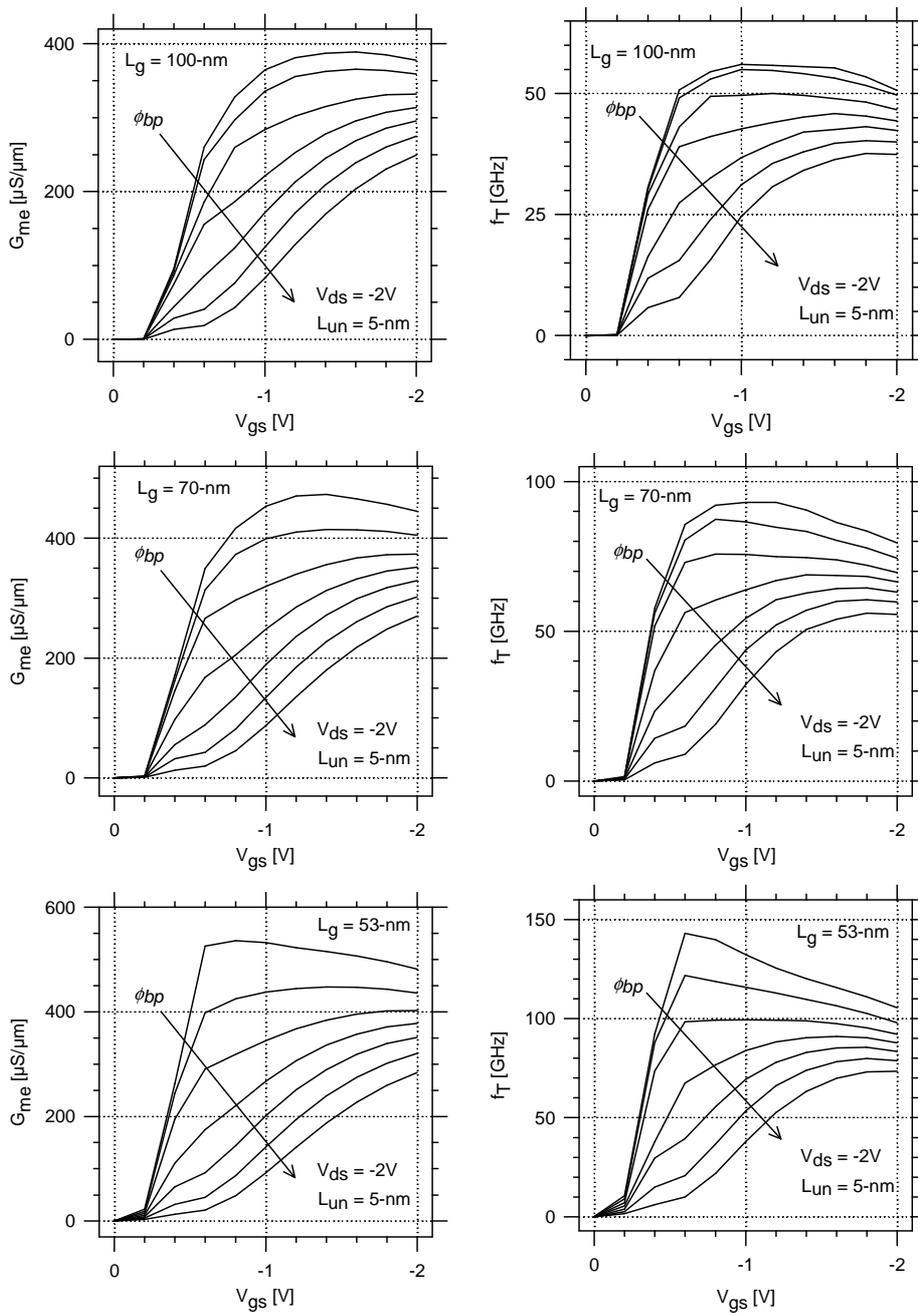
Fig. 2.58 : Fréquence f_T et capacité totale de grille normalisée C_{gg}/C_{ox} en fonction de la tension de grille pour deux niveaux de densité de dopants ségrégués.

2.8. Performances dynamiques du transistor SB MOSFET pour des longueurs de grille courtes

Cette dernière partie de ce chapitre se propose de décrire les potentialités dynamiques du transistor SB MOSFET dans le cas de longueurs de grille courtes allant de 100-nm jusqu'à 32-nm. A noter que les topologies sont simulées avec des contacts non ségrégués de dopants et que la distance de non-recouvrement L_{un} et l'épaisseur d'oxyde de grille t_{ox} , sont considérées indépendantes de la longueur de grille, fixées respectivement à 5-nm et 2.2-nm. La Fig. 2.59 présente l'ensemble des caractéristiques de transconductances G_{me} et de fréquences f_T simulées de transistors de type p en fonction de la tension de grille V_{gs} et pour différentes hauteurs de barrière ϕ_{bp} variant de 0 à 0.15 eV. L'ensemble des meilleures valeurs associé aux transistors de type p est reporté à la Fig. 2.60. Dans les mêmes conditions, nous ajoutons à la Fig. 2.61 les meilleures performances associées aux transistors de type n .

A partir de cet ensemble de caractéristiques, on peut noter qu'indépendamment de la hauteur de barrières Schottky, la réduction de la longueur de grille est bénéfique aux performances dynamiques et fréquentielles. Cependant, il faut également noter que ces figures de mérites n'évoluent pas proportionnellement inversement à la longueur de grille, comme le prédit la théorie du transistor à canal long dans le cas de la transconductance. En effet, entre les longueurs 100-nm et 32-nm, la

variation de transconductance G_{me} maximum n'est que de 50% lorsque la hauteur des barrières Schottky est nulle. Ceci s'explique naturellement par l'augmentation des effets de canaux courts justifiée par le fait qu'aucune autre réduction des paramètres du transistor n'a pas été entreprise (t_{ox} , t_{si} ...). Dans le cas de hauteurs de barrière plus importantes, *i.e.*, $\phi_{bp} = 0.15eV$, l'augmentation de la transconductance G_{me} maximum est davantage réduite à moins de 20% entre les longueurs 100-nm et 32-nm. Cette différence s'explique par l'augmentation de l'importance relative de la résistance de contact sur le courant et donc sur la transconductance et dont nous avons débattu précédemment (Fig. 1.18).



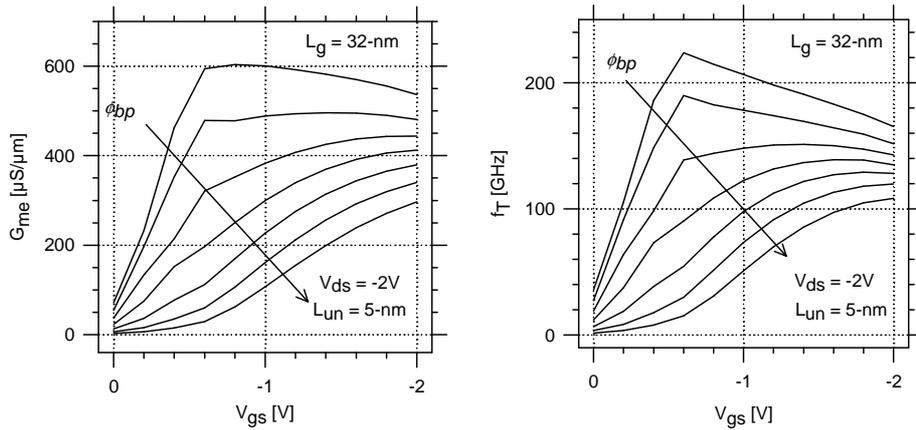


Fig. 2.59 : Transconductance et fréquence f_T en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.15 eV par pas de 25 meV. Les longueurs de grille sont fixées à 100-nm (a-b), 70-nm (c-d), 53-nm (e-f), 32-nm (g-h). Les structures de type p sont polarisées à $V_{ds} = -2$ V.

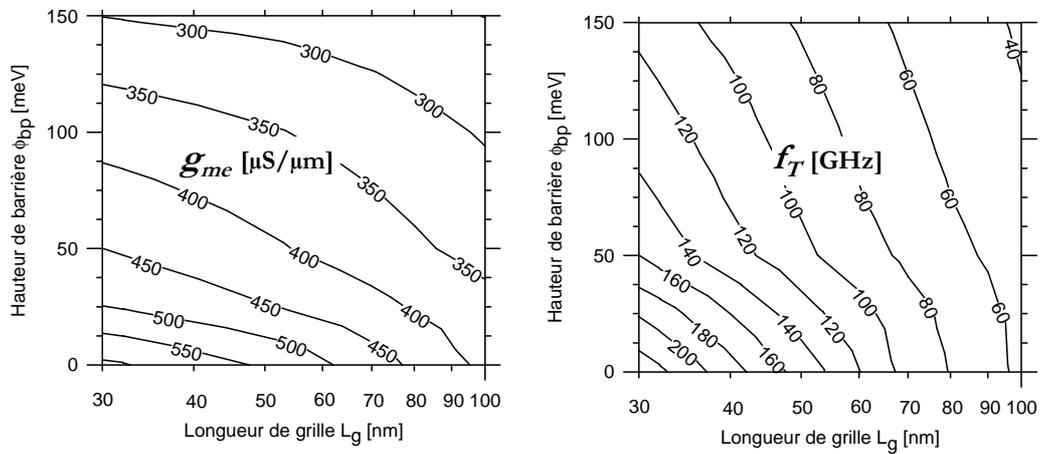


Fig. 2.60 : Meilleures performances dynamiques paramétrées selon la longueur de grille et la hauteur de barrière dans le cas d'un transistor SB MOSFET de type p .

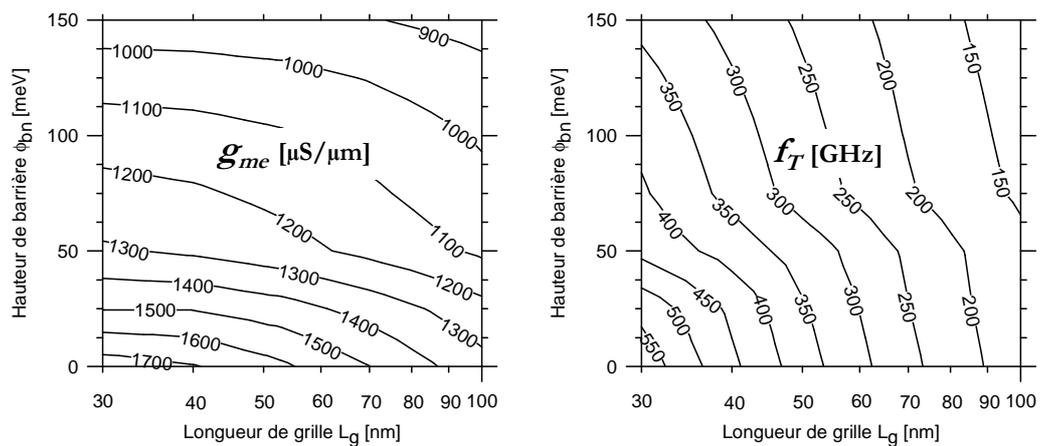


Fig. 2.61 : Meilleures performances dynamiques paramétrées selon la longueur de grille et la hauteur de barrière dans le cas d'un transistor SB MOSFET de type n .

En terme de fréquence de coupure f_T , grâce à la réduction inconditionnelle de la capacité de grille–à–source C_{gs} avec la longueur de grille, l’augmentation des performances est plus franche. Entre les longueurs 100-nm et 32-nm, la fréquence f_T varie de 55 GHz à 220 GHz pour une hauteur de barrière nulle et de 37 GHz à 110 GHz pour une hauteur de barrière fixée à 0.15 eV. Cependant on peut s’apercevoir qu’avec la diminution de la longueur de grille, la fréquence f_T est plus sensible à la hauteur de barrière puisque la réduction de f_T entre les hauteurs de barrière 0 eV à 0.15 eV est de 33% à la longueur de 100-nm alors qu’elle est de 50% pour une longueur de 32-nm. Les capacités de bord C_f étant indépendantes de la longueur de grille, il est clair que son importance vis-à-vis de la capacité de grille totale C_{gg} devient plus grande. La résistance de contact influe alors de moins en moins sur la capacité totale de grille (d’un point de vue extrinsèque). La fréquence f_T ne bénéficiant plus d’une forte réduction de la capacité totale de grille, elle est alors plus sensible aux variations de transconductance et donc à la hauteur de barrière.

En ce qui concerne les transistors de type n , on montre en simulation que lorsque la barrière est réduite à moins de 0.1 eV, il semble que la technologie SB MOSFET pourrait être parfaitement comparable aux points issus de la littérature (Fig. 0.2) en terme de fréquence f_T .

2.9. Conclusions

Ce chapitre a présenté une étude complète du comportement mais également des potentialités en haute fréquence du transistor SB MOSFET. Rappelons que pour évaluer la viabilité des contacts S/D métalliques, *Connelly* et al. [31] autant que *Xiong* et al. [32] ont conclu théoriquement que la hauteur de barrière Schottky a besoin d’être réduite à moins de 0.1 eV pour concurrencer les structures à zones S/D dopées, jusqu’à des longueurs de grille de 20-nm et spécifiquement pour les applications logiques. En ce qui concerne les applications hautes fréquences, les fréquences de coupure f_T aux Figs. 2.60 et 2.61 simulées mises en regard avec la Fig. 0.2 nous montrent que finalement, nous pouvons également dire sans trop d’hésitations que moyennant une hauteur de barrière Schottky n’excédant par 0.1 eV, la fréquence de coupure f_T peut rivaliser avec celle d’architectures conventionnelles (pour des structures dont les propriétés de transport du canal ne sont pas améliorées).

Le chapitre suivant se propose notamment de montrer sur des transistors réels et des caractérisations RF, si oui ou non, la technologie des zones S/D métalliques peut être une solution technologique aux verrous qui se présentent avec l’évolution des transistors MOSFET.

2.10. Références bibliographiques

- [1] ATLAS User's Manual version 5.10.2.R., SILVACO International, Santa Clara, CA, USA, Dec. 2005.
- [2] DESSIS Version 10.0 User's Manual (Sentaurus Device), SYNOPSYS, Inc., Mountain View, California, U.S.A., 2007.
- [3] S. Selberherr, "*Analysis and Simulation of Semiconductor Devices*", Springer, 1984.
- [4] Barber H. D., "*Effective Mass and Intrinsic Concentration in Silicon*", Solid-State Electronics, Vol. 10, pp. 1039-1051, May 1967.
- [5] Lombardi et al., "*A Physically Based Mobility Model for Numerical Simulation of Non-Planar Devices*", IEEE Trans. on CAD, pp. 1164, Nov. 1988.
- [6] Caughey, D.M., and R.E. Thomas. "*Carrier Mobilities in Silicon Empirically Related to Doping and Field.*" Proc. IEEE 55, pp.2192-2193, 1967.
- [7] J. D. Bude, "*MOSFET modeling into the ballistic regime*", Proceedings of the SISPAD, Seattle, WA, pp. 23–26, 2000.
- [8] R. Granzner, V. M. Polyakov, F. Schwierz, M. Kittler and T. Doll, "*On the suitability of DD and HD models for the simulation of nanometer double-gate MOSFETs*", in Fourth International Symposium on Nanostructures and Mesoscopy, Feb 17-21 2003, pp. 33-38, 2003.
- [9] Shockley W., and W. T. Read, "*Statistics of the Recombination of Holes and Electrons*", Phys. Rev.87, pp. 835-842, 1952.
- [10] Hall, R.N., "*Electron Hole Recombination in Germanium*", Phys. Rev. 87, pp. 387., 1952
- [11] Matsuzawa, K., Uchida, K., and Nishiyama, A., "*A Unified Simulation of Schottky and Ohmic Contacts*", IEEE Trans. Electron Devices, Vol. 47, No. 1, pp. 103-108, Jan. 2000.

- [12] Jeong, M., Solomon, P., Laux, S., Wong, H., and Chidambarro, D., “*Comparison of Raised and Schottky Source/Drain MOSFETs Using a Novel Tunneling Contact Model*”, Proceedings of IEDM, pp. 733-736, 1998.
- [13] M. Fritze and al “*High-Speed Schottky-Barrier pMOSFET With $f_T=280\text{GHz}$* ”, IEEE Electron Devices Letters, vol. 25, no. 4, pp. 220-222, April 2004.
- [14] C. Wang, J. Snyder, and J. R. Tucker, “*Sub-40-nm PtSi Schottky source/drain metal-oxide-semiconductor-field-effect transistors*”, Appl. Phys. Lett., vol. 74, pp. 1174–1176, 1999.
- [15] K. Ikeda, Y. Yamashita, A. Endoh, T. Fukano, K. Hikosaka, and T. Mimura, “*50-nm gate Schottky source/drain p-MOSFETs with a SiGe channel*”, IEEE Electron Device Lett., vol. 23, pp. 670–672, July 2002.
- [16] E. Pascual, R. Rengel, N. Reckinger, X. Tang, V. Bayot, E. Dubois, M. J. Martín, “*A Monte Carlo investigation of carrier transport in fabricated back-to-back Schottky diodes: Influence of direct quantum tunnelling and temperature*”, physica status solidi (c), Vol. 5, No. 1, pp. 119-122, 2008.
- [17] J. Knoch, M. Zhang, S. Mantl, J. Appenzeller, “*Physics of ultrathin-body silicon-on-insulator Schottky-barrier field-effect transistors*”, vol. 87, no. 3, pp 351-357, Jun. 2007.
- [18] Knoch, J. Min Zhang Mantl, S. Appenzeller, J., “*On the performance of single-gated ultrathin-body SOI Schottky-barrier MOSFETs*”, Electron Devices, IEEE Transactions on, Vol. 53, pp. 1669- 1674, July 2006.
- [19] J. Y. Duboz, P. A. Badoz, F. Arnaud d'Avitaya, and J. A. Chroboczek , “*Electronic transport properties of epitaxial erbium silicide/silicon heterostructures*”, Applied Physics Letters, Vol. 55, pp. 84-86, Apr. 1989.
- [20] M. H. Unewisse and J. W. V. Storey, “*Conduction mechanisms in erbium silicide Schottky diodes*”, Journal of Applied Physics, Vol. 73, pp. 3873-3879, Apr. 1993.
- [21] Siligaris A., Pailloncy G., Delcourt S., Valentin R., Lepilliet S., Danneville F., Gloria D., Dambrine G., “*High-Frequency and Noise Performances of 65-nm MOSFET at Liquid Nitrogen*

- Temperature*”, Electron Devices, IEEE Transactions on , vol. 53, no. 8, pp. 1902-1908, Aug. 2006.
- [22] Klaassen, D.B.M., “*A Unified Mobility Model for Device Simulation- I. Model Equations and Concentration Dependence*”, Solid-State Elect. Vol. 35, No. 7, pp. 953-959, 1992.
- [23] Klaassen, D.B.M., “*A Unified Mobility Model for Device Simulation - II. Temperature Dependence of Carrier Mobility and Lifetime*”, Solid-State Elect. Vol. 35, No. 7, pp. 961-967, 1992.
- [24] Shirahata M., H. Kusano, N. Kotani, S. Kusanoki, and Y. Akasaka, “*A Mobility Model Including the Screening Effect in MOS Inversion Layer*”, IEEE Trans. Computer-Aided Design Vol. 11, No. 9, pp. 1114-1119, Sept. 1992.
- [25] E. Dubois, G. Larrieu, “*Measurement of low Schottky barrier heights applied to metallic source/drain metal-oxide-semiconductor field effect transistors*”, J. Appl. Phys. 96, pp. 729, 2004.
- [26] Asano T., Maeda Y., Nakagawa G. and Arima Y., “*Physical Random-Number Generator using Schottky MOSFET*”, Jpn. J. Appl. Phys., Part 1, vol. 41, pp. 2306-2311, April 2002.
- [27] Larrieu G., Dubois E., Valentin R., Breil N., Danneville F., Dambrine G., Raskin J.-P. and Pesant, J.-C., “*Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs*”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pp. 147-150, Dec. 2007.
- [28] Dubois E., Larrieu G., Breil N., Valentin R., Danneville F., Yarekha D., Dambrine G., Halimaoui A., Pouydebasque A., Skotnicki T., “*Recent advances in metallic source/drain MOSFETs*”, *Junction Technology, 2008. IWJT '08. Extended Abstracts - 2008 8th International workshop on*, pp. 139-144, 15-16 May 2008.
- [29] B-Y. Tsaur, J. P. Mattia, and C. K. Chen, “*Hydrogen annealing of PtSi-Si Schottky barrier contacts*”, Appl. Phys. Lett. 57, pp. 1111, 1990.
- [30] N. Breil, A. Halimaoui, E. Lampin, E. Dubois, L. Godet, G. Papasouliotis, G. Larrieu, T. Skotnicki, “*Investigation of Platinum Silicide Schottky Barrier Height Modulation using a Dopant Segregation Approach*”, Ext. Abs. of MRS spring meeting, San Francisco, 2008.

- [31] D. Connelly et al., “*Performance of Schottky Source/Drain in Ultrathin-Body Silicon-on-Insulator and Dual-Gate CMOS*”, IEEE Transactions on Electron Devices, vol. 50, no. 5, May 2003.
- [32] Shiyong Xiong et al., “*A comparison Study of Symmetric Ultrathin-Body Double-Gate Devices With Metal Source/Drain and Doped Source/Drain*”, IEEE Transactions on Electron Devices, August 2005.



CHAPITRE 3

CARACTERISATIONS ET MODELISATIONS DU TRANSISTOR SB-MOSFET EN REGIME HYPERFREQUENCE

3.1.	Introduction	3.3
3.2.	Principes de la caractérisation linéaire hyperfréquence – définitions, contraintes et difficultés	3.4
3.2.1	Procédure d'étalonnage.....	3.8
3.2.2	Procédure d'épluchage des accès.....	3.9
3.3.	Développement du masque des structures SB-MOSFET RF.....	3.11
3.4.	Fabrication des transistors SB-MOSFET.....	3.15
3.5.	Performances et extractions des modèles petits signaux des transistors..... SB-MOSFET	3.16
3.5.1	Transistor SB-MOSFET à contacts purement Schottky sur substrat SRS	3.17
3.5.2	Transistors SB-MOSFET à contacts ségrévés de dopants sur substrat SRS	3.30
3.5.2.1	Topologies configurées en source commune	3.30
3.5.2.2	Topologies configurées en grille commune	3.34
3.5.3	Transistors SB-MOSFET à contacts ségrévés de dopants sur substrat HRS.....	3.38
3.6.	Investigation d'un modèle de schéma équivalent petit signal non quasi-statique du transistor SB-MOSFET.....	3.48
3.6.1	Evaluation de la résistance intrinsèque R_i	3.50
3.6.2	Evaluation de la résistance de source R_s	3.53
3.6.3	Modélisation petit signal et non quasi statique d'un transistor SB MOSFET	3.55
3.7.	Conclusion.....	3.60
3.8.	Références bibliographiques	3.60

CHAPITRE 3
CARACTERISATIONS ET MODELISATIONS DU TRANSISTOR
SB-MOSFET EN REGIME HYPERFREQUENCE

3.1. Introduction

Dans ce monde où l'électronique est hautement intégrée, les mesures dans le domaine des micro-ondes deviennent incontournables pour la conception des composants électroniques. Comme l'industrie ajoute de plus en plus de fonctionnalités dans les circuits opérant en hyperfréquence, les technologies existantes et émergentes sont sans cesse poussées à leurs limites.

Dans le processus systématique de développement de systèmes électroniques complexes, les équations de la physique fondamentale n'apparaissent certainement plus appropriées pour faciliter la conception. Dans ce contexte, les mesures offrent une solution rapide au développement réaliste de modèles compacts qui permettent de prédire le comportement sophistiqué d'une technologie autant que de quantifier ses performances sans avoir à comprendre ni à intégrer en détail chaque mécanisme physique qui interagit. Autrement dit, les mesures si elles débouchent sur des modèles sont synonymes d'un gain de temps et donc d'argent.

Nous avons souligné que les récentes performances fréquentielles de la technologie RF-CMOS s'explique par la forte réduction des tailles (L_g) mais aussi grâce aux optimisations systématiques et draconiennes démontrent qu'aujourd'hui celle-ci est une alternative sérieuse à l'utilisation d'autres technologies pour une électronique à très haute fréquence. De plus, associée à son homologue numérique, elle possède les atouts essentiels pour réaliser à très faible coût des systèmes de communication sans fil sur une seule puce. De ce fait, il devient primordial de procéder à des caractérisations complètes et précises des transistors MOSFET dans les bandes de fréquences des radio- et des hyperfréquences afin non seulement d'évaluer leurs performances mais également d'apporter les modèles compacts nécessaires à la réalisation de systèmes RF.

Le mode d'injection de type Schottky des zones de source et drain du transistor est réellement une proposition technologique émergente qui a déjà prouvé ses potentialités aux travers des figures de mérite définies pour les applications numériques lorsque les hauteurs de barrière Schottky sont inférieures à 0.1 eV [1], [2]. Concernant les performance RF, nous avons conclu le chapitre précédent sur une extrapolation que le transistor SB-MOSFET peut être également une alternative comparable ou meilleure si les hauteurs de barrière Schottky sont optimisées à moins de 0.1 eV.

A travers le projet Européen METAMOS, nous avons pu dans un cadre académique (IEMN) et sous un certain nombre de contraintes technologiques proposer un masque orienté à des fins de caractérisation et d'investigation dans le domaine de la RF. L'un des objectifs est de fournir une réponse quant aux performances réelles RF offertes par les transistors SB MOSFET. En outre, nous proposons dans ce cadre d'étudier un modèle de type schéma équivalent petit signal du

dispositif pour permettre notamment d'extrapoler de manière réaliste les performances si le transistor était parfaitement optimisé.

Ce chapitre se propose donc de présenter, de discuter, mais aussi de proposer une méthodologie d'extraction d'un modèle petit signal des dispositifs caractérisés.

3.2. Principes de la caractérisation linéaire hyperfréquence – définitions, contraintes et difficultés

Pour introduire l'un des concepts du domaine des signaux à très hautes fréquences, autrement dit des ondes micro-ondes, rappelons qu'initialement il s'agit de la problématique d'un signal électrique qui varie incroyablement vite. Si vite, que la lumière ne voyage que de quelques centimètres durant le temps que prend le signal pour réaliser une période. Aux faibles fréquences où la longueur d'onde du signal est plus importante que la longueur des conducteurs du circuit, un simple fil est très commode pour transporter un signal électrique. Le courant traverse le fil instantanément, la tension et le courant à chaque instant restant indifféremment identiques le long de la ligne. Aux hautes fréquences, la longueur d'onde du signal d'intérêt est comparable ou plus petite que la longueur des conducteurs. Dans ce cas, il paraît très difficile de mesurer respectivement la tension aux bornes du composant sous test et le courant le traversant puisque le signal d'intérêt dépend du temps mais également de la position. Une conséquence, nous ne pouvons désormais plus connecter un voltmètre ou une sonde de courant et obtenir une mesure précise à cause de la difficulté de ne pas pouvoir placer les points de mesure aux positions désirées.

Il faut ainsi revenir à l'étude théorique des mécanismes physiques régissant la propagation d'ondes électromagnétiques dans un guide d'onde et dans le cas général, cette analyse nécessite la résolution des équations de *Maxwell* [3]. Par soucis de simplification, nous nous proposons de commencer notre discussion par nous référer par analogie aux ondes lumineuses (Fig. 3.1).

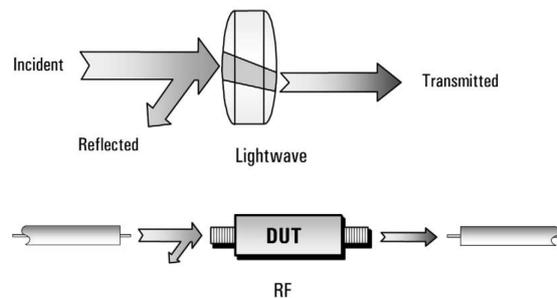


Fig. 3.1 : Analogie d'une onde lumineuse traversant un composant optique avec une d'une onde électromagnétique traversant un composant RF.

Dans ce cadre moins abstrait, nous pouvons imaginer un faisceau de lumière incidente frappant un composant optique, telle qu'une lentille. Suivant la loi bien connue de *Snell-Descartes*, la plupart de la lumière suit son chemin au travers du matériau alors qu'une partie de la lumière est réfléctée au niveau de la surface de la lentille. Si la lentille a été fabriquée avec des matériaux peu translucides, une partie de la lumière sera absorbée dans le matériau. Si la lentille a des surfaces miroitantes, alors une majorité du flux lumineux sera réfléchi et peu ou pas pourra être transmise au travers de la lentille. Cette analogie est parfaitement adaptée pour comprendre le comportement d'un signal électromagnétique micro-onde, à ceci près que la bande de fréquence d'intérêt concernée est celle située dans la gamme RF (> GHz) au lieu de la gamme optique (>10 THz) et que nos circuits et nos composants remplacent les lentilles et les miroirs.

Pour simplifier le problème physique, la propagation d'un signal électromagnétique dans un guide d'onde peut être également reliée aux définitions des composantes de champs magnétique (3.1) et électrique (3.2) qui sont fondées sur les équations de *Maxwell* respectivement au courant et à la tension [4].

$$\vec{H}_T(x, y, z) = \frac{I(z)}{i_0} \vec{h}_T(x, y) \quad (3.1)$$

$$\vec{E}_T(x, y, z) = \frac{V(z)}{v_0} \vec{e}_T(x, y) \quad (3.2)$$

où les vecteurs \vec{h}_T et \vec{e}_T sont des vecteurs normalisés des champs électrique et magnétiques \vec{H}_T et \vec{E}_T , et v_0 et i_0 sont les courants et tensions normalisés. Suivant ces expressions, nous allons pouvoir définir une impédance caractéristique pour l'onde de propagation progressive dans le guide d'onde et qui s'exprime par (3.3) :

$$Z_c = \frac{v_0}{i_0} \quad (3.3)$$

Nous pouvons ainsi exprimer la tension et le courant d'une ligne de propagation finie à une distance z de l'entrée par (3.4), (3.5) :

$$V(z) = v_0 (Ae^{-\gamma z} + Be^{\gamma z}) \quad (3.4)$$

$$I(z) = i_0 (Ae^{-\gamma z} - Be^{\gamma z}) \quad (3.4)$$

où A et B sont les amplitudes complexes des ondes respectivement directes et inverses et γ une constante complexe de propagation prenant en compte le coefficient de phase de la ligne β mais également les pertes linéiques α suivant (3.6) :

$$\gamma = \alpha + j\beta \quad (3.6)$$

Revenons à notre problématique de mesure micro-onde. En admettant que l'on puisse disposer idéalement les sondes de mesure pour caractériser notre composant, une autre difficulté se pose. En effet, l'impédance propre des sondes de mesure modifie les caractéristiques des ondes se propageant dans notre système et ainsi ne permet plus d'extraire précisément les paramètres de notre composant. Pour comprendre cette problématique, il est alors préférable de considérer le signal électrique par un concept d'onde de propagation.

Marks et Williams [4] ont donc proposé de décrire les ondes de propagations comme des pseudo-ondes¹ exprimées autour de quantités purement mathématiques a_i , le signal incident et b_i le signal réfléchi et qui sont définies par rapport à une impédance de référence arbitraire pour chaque accès d'un circuit telles que (3.7) et (3.8) :

$$a_i = \frac{\sqrt{\Re(Z_{ref}^i)}}{2|Z_{ref}^i|} (v_i + Z_{ref}^i i_i) \quad (3.7)$$

$$b_i = \frac{\sqrt{\Re(Z_{ref}^i)}}{2|Z_{ref}^i|} (v_i - Z_{ref}^i i_i) \quad (3.8)$$

où chaque accès i est défini par la tension v_i , le courant entrant i_i et son impédance de référence Z_{ref}^i choisie arbitrairement². La Fig. 3.2 représente schématiquement un système à 2 ports suivant ce concept d'onde.

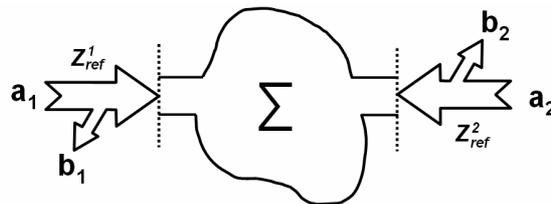


Fig. 3.2 : Schématisation d'un système à 2 ports (quadripôle) décrit par les équations (3.7) et (3.8).

Nous pouvons écrire alors que la puissance délivrée au port i est (3.9) [4] :

¹ Cette définition n'est pas unique puisqu'une alternative est présente dans la littérature et qui consiste à plutôt définir les ondes de propagation comme étant des ondes de puissance de *Kurokawa* [5].

² Conventionnellement l'impédance en RF est choisie comme étant purement réelle et égale à 50 Ω .

$$P_i = -\Re(v_i l_i^*) = |b_i|^2 - |a_i|^2 - 2\Im(a_i b_i^*) \frac{\Im(Z_{ref}^i)}{\Re(Z_{ref}^i)} \quad (3.9)$$

On peut noter que lorsque l'impédance du générateur est réelle et égale à l'impédance d'entrée conjuguée du système, la quantité b_i s'annule. Autrement dit, l'adaptation d'impédance au port i permet de transmettre un maximum de puissance du générateur au système.

A partir de ce concept de pseudo-onde, une matrice de répartition (S en anglais, *scattering*) issue des relations entre les coefficients de transmission et de réflexion peut être définie. La matrice S est alors une représentation mathématique des caractéristiques RF d'un système dont les paramètres complexes sont donnés par l'équation matricielle suivante (3.10) :

$$[b] = [S] \cdot [a] \quad (3.10)$$

avec $S_{ij} = \left. \frac{b_i}{a_j} \right|_{a_k=0 \forall k \neq j}$ correspondant au coefficient complexe de la matrice S , i et j étant la position

de ce coefficient dans la matrice.

L'analyse de réseau linéaire consiste donc à mesurer précisément les ratios du signal réfléchi et du signal transmis sur le signal incident. L'instrument de mesure approprié pour réaliser cette mesure est l'analyseur de réseaux vectoriel (VNA) dont le principe d'opération est rappelé à la Fig. 3.3.

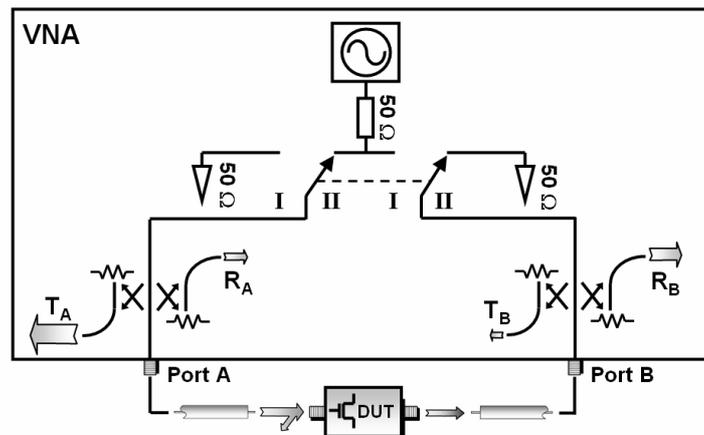


Fig. 3.3 : Principe d'opération simplifié d'un VNA vectoriel *two port* à quatre coupleurs. La schématique présente la source délivrant le signal RF, les charges de sortie, les coupleurs directs, les lignes de propagation ainsi que le composant sous test (DUT). La mesure retourne à partir des coefficients d'onde T_A , R_A , T_B , R_B , qui sont les images des coefficients d'onde a_1 , b_1 , a_2 , b_2 , une matrice de paramètres S selon les expressions (3.11).

Les équations (3.11) s'associent aux grandeurs définies à la Fig. 3.3 reliant les coefficients d'onde aux paramètres S d'un quadripôle :

$$S_{11} = \left. \frac{R_A}{T_A} \right|_{T_B=0} \quad S_{12} = \left. \frac{R_A}{T_B} \right|_{T_A=0} \quad S_{21} = \left. \frac{R_B}{T_A} \right|_{T_B=0} \quad S_{22} = \left. \frac{R_B}{T_B} \right|_{T_A=0} \quad (3.11)$$

3.2.1 Procédure d'étalonnage

Afin de mesurer précisément notre composant, une procédure d'étalonnage est nécessaire. Rappelons que lorsque l'instrument réalise une mesure d'un composant sous test, il extrait en réalité les paramètres S d'un système comprenant les lignes de transmission et toutes les imperfections liées aux câbles, aux connectiques et à l'analyseur. Le plan de référence de la mesure n'est alors plus défini aux accès de notre composant. Pour surmonter cette difficulté, les paramètres S doivent être corrigés. Cette opération est réalisée en utilisant des techniques spécifiques de calibration permettant de ramener le plan de référence de la mesure sur les bornes du composant sous test et dans le cas d'une mesure sous pointes, au bord des pointes (Fig. 3.4) [6].

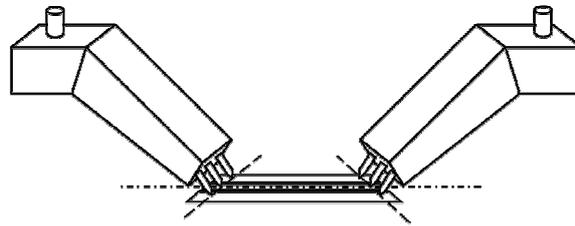


Fig. 3.4 : Schématic des pointes RF posées sur un motif correspondant à une ligne associée aux plans de référence définies aux bords des pointes après l'étalonnage.

Cela consiste grâce à des algorithmes de calibration à déterminer un système d'erreurs qui peuvent être modélisés par huit, douze et jusqu'à seize vecteurs. La Fig. 3.5 présente un graphe de fluence contenant huit termes d'erreur définis pour une procédure d'étalonnage d'un analyseur de réseau.

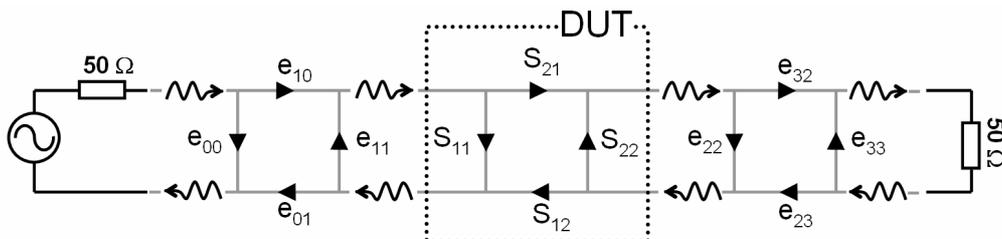


Fig. 3.5 : Modélisation de la chaîne de mesure et des huit termes d'erreur. Le quadripôle central « DUT » est le composant sous test (en anglais, *Device Under Test*). Les grandeurs e_{ij} sont les paramètres d'erreurs. La source, l'impédance de la source et la charge sont les éléments idéaux.

La correction des vecteurs-erreurs suit alors un processus de caractérisation défini qui consiste à mesurer des standards de calibration connue, et ensuite de soustraire ces erreurs sur les mesures ultérieures. Il existe différentes procédures tel que les méthodes d'étalonnage TRL (pour *Thru*, *Reflect*, *Line*), LRM (*Line*, *Reflect*, *Match*), LRRM (*Line*, *Reflect*, *Reflect*, *Match*) ou encore SOLT (*Short*, *Open*, *Load*, *Thru*). La signalétique d'un kit d'alumine définissant les standards de calibration pour des mesures sous pointes est présentée à la Fig. 3.6.

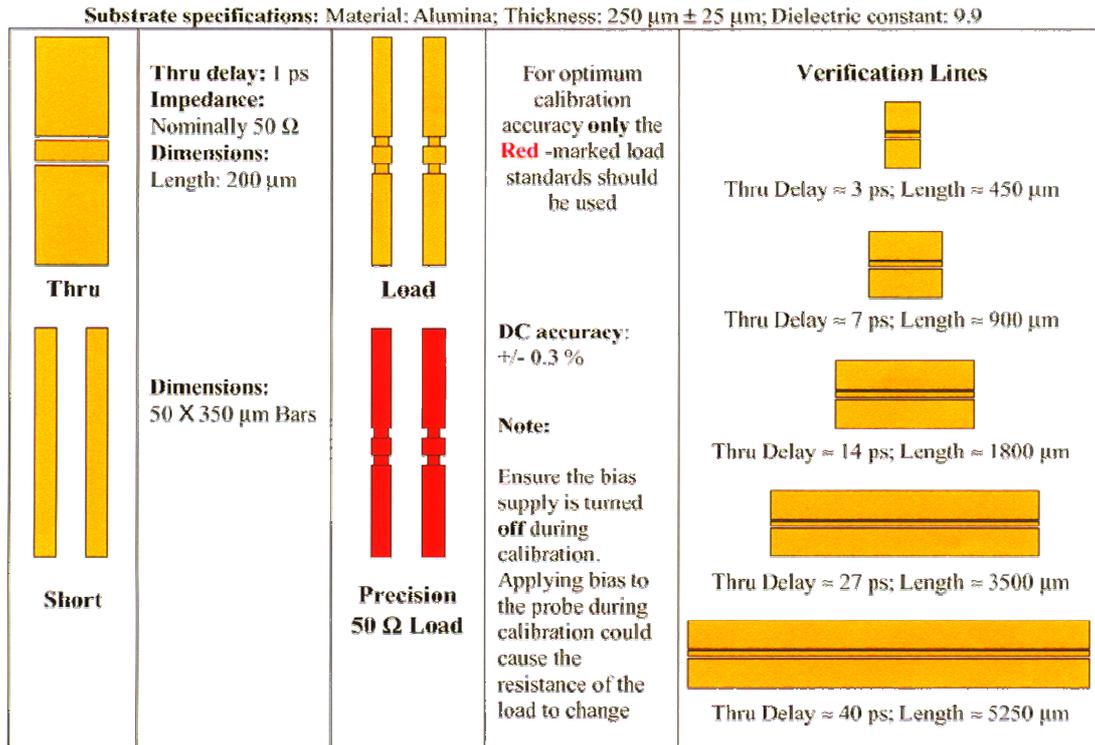


Fig. 3.6 : Signalétique associée au kit d'alumine utilisé définissant les Standards pour l'étalonnage des appareils de mesures. Le standard « open » correspond à une mesure « pointes en l'air ».

3.2.2 Procédure d'épluchage des accès.

Lorsque la mesure de paramètres S est calibrée dans le plan des pointes, il est encore nécessaire de s'affranchir de l'influence des accès (« *de-embedding* ») qui entourent le composant (Fig. 3.7) entre les plans P_1 - P'_1 et P_2 - P'_2 , qui sont susceptibles de présenter des pertes et de donc dégrader la précision de mesure des paramètres S du transistor. Dans l'absolu, ceci peut être obtenu en réalisant une procédure d'auto-calibration TRL. Cependant, cette étape nécessite la disponibilité de trois éléments, une transmission 50 Ω (*thru*), un circuit ouvert (*open*) ou un circuit fermé (*short*) et une ligne de transmission 50 Ω (*thru line*) [7]-[10].

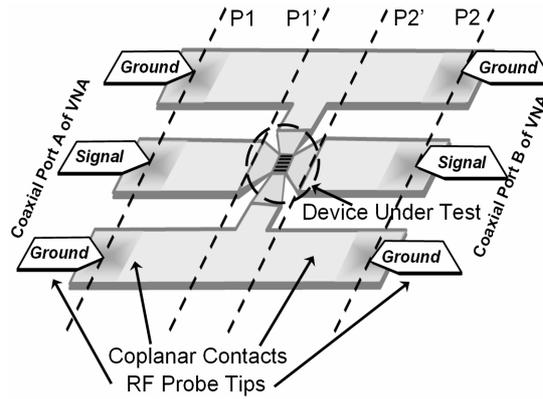


Fig. 3.7 : Schématisation d'une structures RF comprenant les accès coplanaires RF.

En pratique et suivant la bande de fréquences d'intérêt, une procédure alternative largement utilisé pour sa facilité de mise en œuvre consiste à utiliser une structure « Circuit-Ouvert » (OTS, en anglais *Open Test Structure*) dédiée au DUT comme présenté à la Fig. 3.8. Les paramètres S sont alors mesurés pour l'OTS, puis pour le DUT. La procédure de *de-embedding* consiste ensuite à soustraire tout simplement les paramètres Y de l'OTS à ceux du DUT telle que (3.12) :

$$Y_{DEV} = Y_{DUT} - Y_{OTS} \quad (3.12)$$

Même dans le cas d'un substrat silicium à haute résistivité (*typ.* $\sim 4 \text{ k}\Omega\cdot\text{cm}$), une telle procédure de *de-embedding* sera nécessaire pour extraire le plus précisément les propriétés dynamiques intrinsèques des composants investigués.

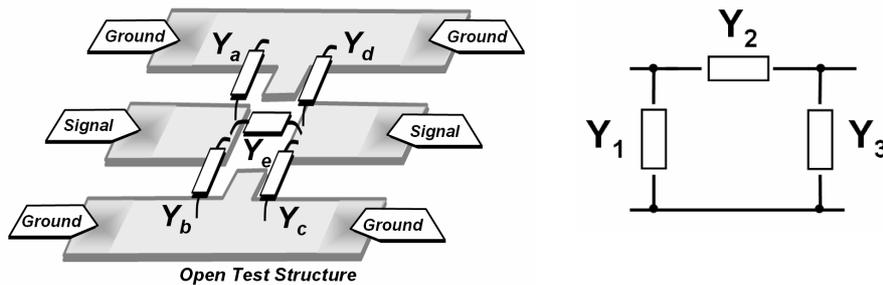


Fig. 3.8 : Schéma équivalent électrique du dispositif (OTS) (à gauche) pour des accès coplanaires. Les éléments prennent en compte les effets de propagation du signal dans l'air mais également dans le substrat. Par équivalence, la structure OTS peut être assimilée à une structure en *pi* (à droite) telle que $Y_1 = Y_a + Y_b$, $Y_2 = Y_e$, $Y_3 = Y_d + Y_c$.

Notons qu'il existe diverses techniques de *de-embedding* plus ou moins élaborées dans la littérature, souvent spécifiques aux topologies des structures d'accès, avec chacune des domaines de validité fréquentielles distinctes. En ce qui concerne la méthode « Open Test Structure », on peut considérer qu'elle fournit une correction amplement suffisante jusqu'à des fréquences supérieures à 40 GHz,

du fait des topologies coplanaires à un seul niveau de métal [9]. Notons que concernant la caractérisation de composant, les longueurs des lignes d'accès au composant sont dessinées de telles sortes à ce qu'elles soit plus petites que la longueur d'onde du signal injecté (ratio >20) afin de pouvoir simplifier les procédures de *de-embedding*, naturellement avec la contrainte dimensionnel du banc de mesure (pointes RF).

3.3. Développement du masque des structures SB-MOSFET RF

L'objectif principal du développement du masque³ des structures destinées à la caractérisation RF est de couvrir un large nombre de topologies de transistors afin de disposer d'une gamme étendue de mesures distinctes pour des études plus approfondies. De plus, cela permet de créer un équilibre entre les structures susceptibles d'exhiber les meilleures performances (petit L_g) et la statistique de mesurer des structures fonctionnelles⁴. Suivant cette démarche, nous avons choisi de faire varier les longueurs de grille L_g , la largeur unitaire de grille W_u et la configuration des transistors (source commune et grille commune) avec cependant la contrainte de ne pas pouvoir rajouter d'étapes technologiques spécifiques tel que des niveaux de métaux supplémentaires. Ceci nous limite donc à dessiner des motifs de composants à deux doigts de grille en parallèle dans la configuration à source commune et à un seul doigt dans la configuration à grille commune. Une autre contrainte est l'utilisation initiale de substrats SOI standard (SRS) dont la résistivité est de $\sim 10 \Omega \cdot \text{cm}$ avec une épaisseur d'oxyde enterré qui est réduite à 50-nm. Rappelons qu'avec l'utilisation de ce type de substrat, on peut s'attendre à des pertes de propagation RF dans les lignes d'accès importantes et donc à une dégradation de la qualité des mesures. Dans ce contexte, nous avons retenu de faire varier la largeur totale des transistors de $1 \times 6\text{-}\mu\text{m}$ à $2 \times 40\text{-}\mu\text{m}$ pour des longueurs de grille variant de 240 à 30-nm. Notons cependant que pour résoudre les difficultés liées aux pertes, les derniers lots de composants ont été réalisés sur un substrat à haute résistivité (HRS), dont la résistivité est $\sim 4 \text{ k}\Omega \cdot \text{cm}$. Afin d'éplucher les lignes d'accès, nous associons également des structures passives du type « Open Test Structure » ainsi que des circuits « Short Test Structure » et des lignes de transmission « Thru Test Structure ». Le masque RF complet est présenté à la Fig. 3.9 avec la désignation complète des structures à la Tab. 3.1.

³ Le masque initial a été développé par *M. Deban* dans le cadre d'un contrat de Post-Doc à l'IEMN et qu'il a été optimisé au cours du temps par nos soins.

⁴ L'ensemble des étapes technologiques pour fabriquer les transistors se déroule dans un cadre purement académique (IEMN).

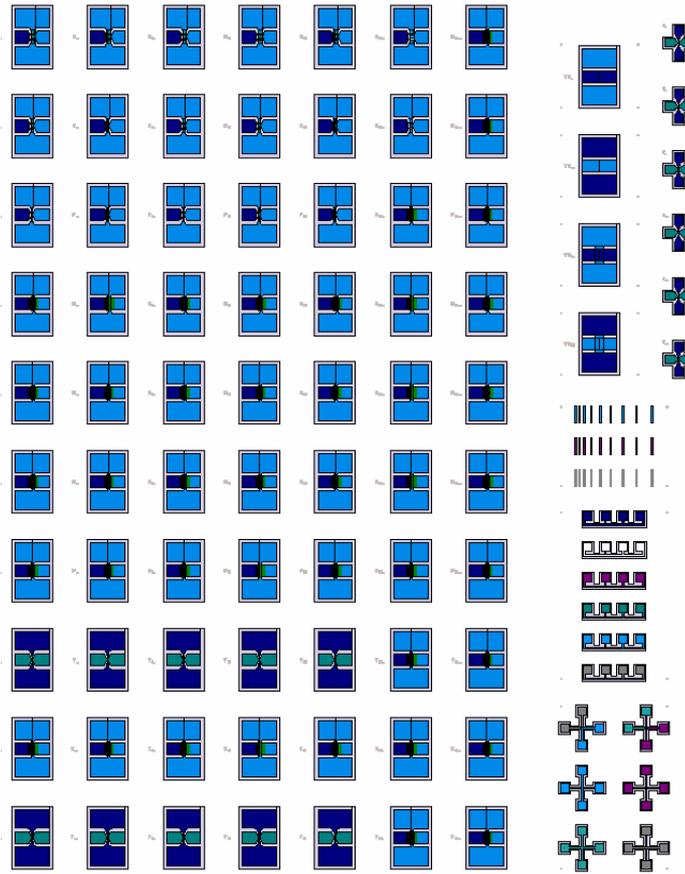


Fig. 3.9 : Masque des structures SB MOSFET orientées vers la caractérisation RF.

Pour mieux visualiser les topologies, nous présentons également deux structures correspondant à un transistor à deux doigts de grille dont la largeur de doigt unitaire est de 20- μm et à une structure passive du type « Open Test Structure » aux Figs. 3.10 et 3.11.

Tab. 3.1 : Liste des structures RF du dernier masque – Chaque structure est caractérisée par un nom (ex. B1), une configuration en source commune (CS) ou en grille commune (GC) et une nomenclature $Nf_x(W_u/L_g)$ décrivant le nombre de doigts de grille (N_f), la largeur de la grille (W_u) et la longueur de grille dessinée⁵ (L_g).

B1 CS 2x(20/.04)	B2 CS 2x(20/.06)	B3 CS 2x(20/.09)	B4 CS 2x(20/.12)	B5 CS 2x(20/.25)	B6 OP CS 2x(20/-)	B7 CG 1x(10/.04)	B1 CS 2x(20/.04)
E1 CS 2x(10/.04)	E2 CS 2x(10/.06)	E3 CS 2x(10/.09)	E4 CS 2x(10/.12)	E5 CS 2x(10/.25)	E6 OP CS 2x(10/-)	E7 CG 1x(10/.06)	E1 CS 2x(10/.04)
F1 CS 2x(6/.04)	F2 CS 2x(6/.06)	F3 CS 2x(6/.09)	F4 CS 2x(6/.12)	F5 CS 2x(6/.25)	F6 OP CS 2x(6/-)	F7 CG 1x(10/.09)	F1 CS 2x(6/.04)
H1 CS 2x(40/.04)	H2 CS 2x(40/.06)	H3 CS 2x(40/.09)	H4 CS 2x(40/.12)	H5 CS 2x(40/.25)	H6 OP CS 2x(40/-)	H7 CS 2x(6/.04)	H1 CS 2x(40/.04)
N1 CS 2x(10/.04)	N2 CS 2x(10/.06)	N3 CS 2x(10/.09)	N4 CS 2x(10/.12)	N5 CS 2x(10/.25)	N6 OP CS 2x(10/-)	N7 CS 2x(6/.06)	N1 CS 2x(10/.04)
O1 CG 1x(6/.25)	O2 CG 1x(6/.12)	O3 CG 1x(6/.09)	O4 CG 1x(6/.06)	O5 CG 1x(6/.04)	O6 OP 1x(6/-)	O7 CS 2x(6/.09)	O1 CG 1x(6/.25)
P1 CS 2x(6/.04)	P2 CS 2x(6/.06)	P3 CS 2x(6/.09)	P4 CS 2x(6/.12)	P5 CS 2x(6/.25)	P6 OP CS 2x(6/-)	P7 OP CS 2x(10/-)	P1 CS 2x(6/.04)
V1 CG 1x(20/.25)	V2 CG 1x(20/.12)	V3 CG 1x(20/.09)	V4 CG 1x(20/.06)	V5 CG 1x(20/.04)	V6 OP CG 1x(20/-)	V7 CS 2x(10/.25)	V1 CG 1x(20/.25)
X1 CS 2x(20/.04)	X2 CS 2x(20/.06)	X3 CS 2x(20/.09)	X4 CS 2x(20/.12)	X5 CS 2x(20/.25)	X6 OP CS 2x(20/-)	V8 CS 2x(10/.04)	X1 CS 2x(20/.04)
Y1 CG 1x(10/.04)	Y2 CG 1x(10/.06)	Y3 CG 1x(10/.09)	Y4 CG 1x(10/.12)	Y5 CG 1x(10/.25)	Y6 OP CG 1x(10/-)	Y7 CS 2x(10/.09)	Y8 CS 2x(20/.12)

⁵ En réalité, la longueur de grille du transistor est $\sim 10\text{-nm}$ plus petite que celle dessinée. Ceci s’explique par la précision de la lithographie électronique et du diamètre du spot d’électron, proche de l’ordre de 10-nm.

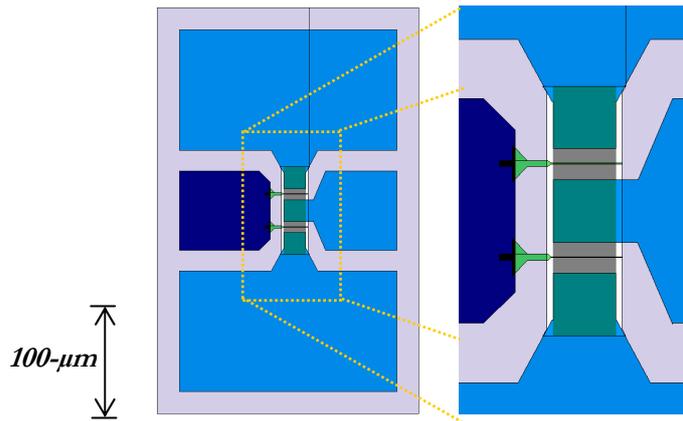


Fig. 3.10 : Présentation d'un motif particulier destiné à la caractérisation RF accolé à un zoom sur les doigts de grille. Il s'agit d'un transistor en configuration source commune, avec une longueur de grille de 250-nm et une largeur de doigt de 20- μm soit une largeur totale de 40- μm . Une échelle de 100- μm est associée à la figure.

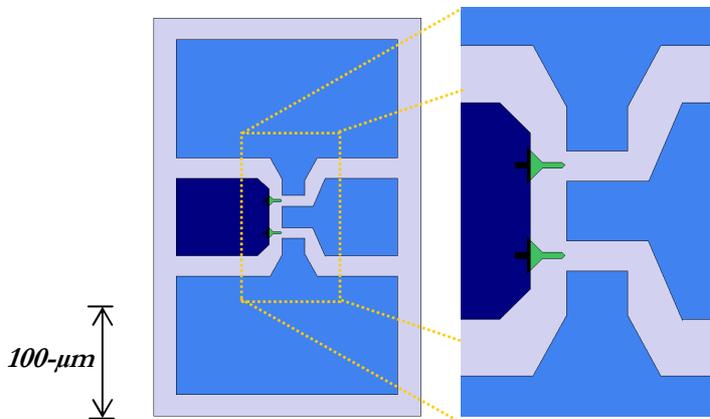


Fig. 3.11 : Présentation de la structure OTS associée au motif précédent.

Pour s'assurer que les motifs RF ont bien été dessinés, nous avons extrait l'impédance caractéristique complexe sur un motif de ligne de transmission de 300- μm sur le substrat SRS. On observe que la Fig. 3.12 valide les motifs puisque la ligne de transmission est parfaitement adaptée en RF à l'impédance caractéristique de 50 Ω pour des fréquences supérieures à 1 GHz.

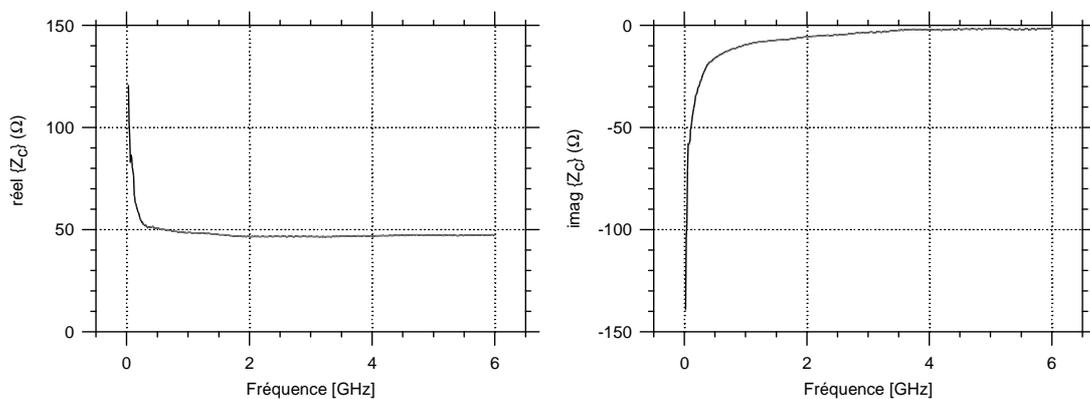


Fig. 3.12 : Impédance caractéristique complexe d'une ligne coplanaire de 300- μm mesurée sur le substrat faiblement résistif (SRS). L'expression pour extraire Z_c est rappelée à l'Annexe E.

La ligne de transmission nous permet également d'extraire la constante d'atténuation qui est présentée à la Fig. 3.13. On observe que malgré une excellente adaptation, des pertes linéiques de 5 dB/mm à 1 GHz et de près de 6 dB/mm à 6 GHz sont mesurées, ce qui représentent des valeurs très élevées comparativement aux constantes d'atténuations rencontrées dans la littérature (typiquement <0.5 dB/mm à 20 GHz sur un substrat à haute résistivité) [11]-[18].

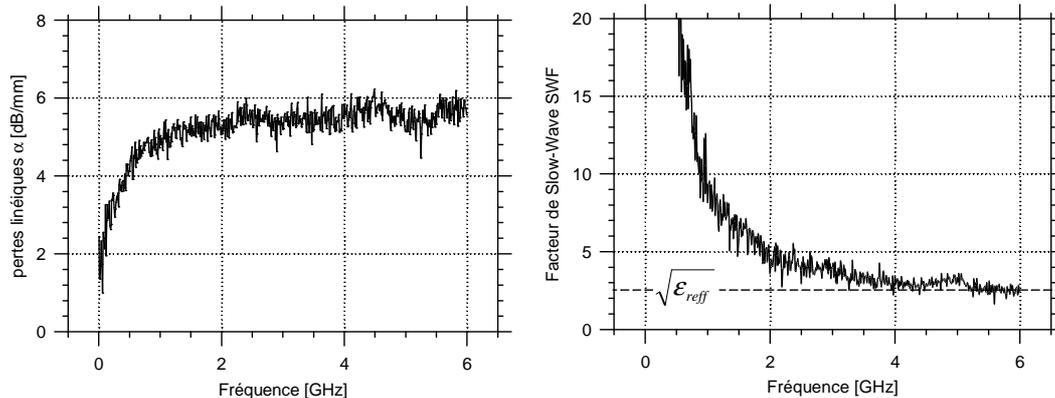


Fig. 3.13 : Constante d'atténuation normalisée (à gauche) et facteur de Slow-Wave (à droite) d'une ligne coplanaire de 300- μm mesurée sur le substrat faiblement résistif (SRS).

Ces valeurs sont naturellement imputées à l'effet de la faible résistivité du substrat qui en RF se comporte comme un conducteur à pertes du fait de l'existence d'un second mode électromagnétique à onde lente qui se propage dans la structure coplanaire. Pour présenter cet effet, la valeur du facteur de *Slow-Wave* (SWF) est calculée à la Fig. 3.13. On peut observer que les valeurs de SWF élevées caractérisent des vitesses de phase de l'onde électromagnétique réduites qui s'expliquent physiquement parce que la composante de l'énergie électrique se propage difficilement dans le substrat et se dissocie de l'énergie magnétique. L'expression du SWF ainsi que de la constante d'atténuation sont rappelées à l'Annexe E. Nous présentons également à la Fig. 3.14 l'effet des pertes sur les coefficients de réflexion S_{11} (et S_{22}) d'un motif « Open Test Structure » dans les cas de substrats SRS et HRS.

Il apparaît une diminution très importante du coefficient de réflexion S_{11} lorsque l'onde se propage dans un substrat HRS justifié par des pertes largement réduites. Rappelons que l'intérêt de disposer de motifs avec des accès à faibles pertes est d'améliorer la sensibilité de mesure du transistor intrinsèque par le VNA qui est relié à la difficulté de séparer la partie inhérente aux accès de celle de la partie intrinsèque du dispositif actif à caractériser (imprécision de mesure, bruit de mesure, etc.). Notons que pour améliorer la précision des extractions sur les substrats faiblement résistifs, nous mesurons la structure OTS à la même polarisation que la structure RF contenant le transistor de façon à s'affranchir des effets d'accumulation de porteurs à l'interface d'oxyde enterré/substrat et donc d'une modification des propriétés RF des accès.

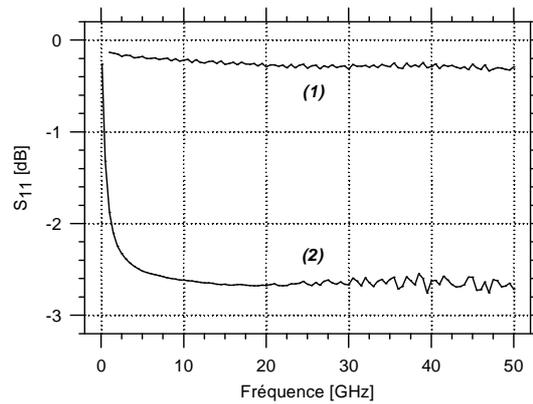


Fig. 3.14 : Coefficients de réflexion d'un même motif OTS lorsque celui-ci est sur substrat faiblement résistif (SRS) (1) et hautement résistif (HRS) (2).

3.4. Fabrication des transistors SB-MOSFET

Les transistors SB-MOSFET avec des contacts à faible barrière aux trous sont réalisés⁶ sur un substrat SOI à film fin. Pour cela, le film de SOI dont l'épaisseur initiale est de 100-nm est chimiquement aminci à 10-nm. Les parties actives du composant sont isolées par une technique classique de MESA où des ouvertures sont réalisées dans le silicium jusqu'à l'oxyde de silicium enterré par une gravure anisotrope de SF₆/N₂ RIE. Les contacts de grille sont formés en dehors de la partie active. Une longueur de grille extrinsèque de 2-μm est utilisée pour franchir le MESA et connecter le plot de grille aux doigts de grille intrinsèques. Une épaisseur d'oxyde de grille de 2.2-nm à 2.4-nm est ensuite formée grâce à une oxydation à 725°C suivie par un dépôt de tungstène obtenu par une évaporation par canon d'électrons. La grille est définie par une lithographie électronique en utilisant un masque réalisé avec une résine électronique négative inorganique (Hydrogène SilsesQuioxane, HSQ). Après une exposition et un double recuit, le HSQ possède des propriétés remarquables pour se transformer d'une structure monomère en forme de cage à un polymère en forme de réseau qui se rapproche de la structure du SiO₂. Par conséquent, après avoir graver la grille en utilisant une chimie basée sur le SF₆/N₂, les résidus de HSQ couvrant la grille de tungstène ne sont pas enlevés mais utilisés comme une couche de protection. Une couche de 15-nm de nitrure est alors déposée par PECVD pour assurer une couverture uniforme autour de la grille. Une étape de gravure RIE anisotrope est ensuite utilisée pour définir les espaceurs. En suivant cette séquence technologique, les deux flancs des espaceurs de nitrure et la couche de résine résiduelle de HSQ sur le dessus assurent une complète encapsulation de la grille métallique. Enfin, les jonctions

⁶ La fabrication des transistors SB MOSFET est réalisée par *Guilhem Larrieu* du groupe MicroElectronique Silicium dirigé par *Emmanuel Dubois*.

métalliques de S/D sont réalisées en utilisant un processus technologique auto-aligné. Une couche de 5-nm de platine (Pt) est évaporée après un traitement chimique à l'aide d'une solution d'acide fluorhydrique (HF) utilisée pour ôter l'oxyde de grille résiduelle. La réaction de siliciuration est activée par un rapide recuit thermique à 300°C durant 2 min sous une atmosphère de N₂/H₂. La couche de Pt qui n'a pas réagi et couvrant le périmètre de la grille est enlevée par une solution diluée d'eau régale. L'étape finale est un recuit de post-siliciuration sous azote hydrogéné afin de réduire les défauts d'interface. La siliciuration aussi proche du film de SOI correspond à la configuration optimale pour minimiser les résistances. Il convient de noter que la grille ne recouvre pas les régions siliciurées de S/D. Dans la mesure où la hauteur de barrière Schottky est suffisamment faible, une largeur de non-recouvrement de ~10-nm est préférable pour fournir une voie efficace pour contrôler les effets de canaux courts sans réduire significativement le courant de conduction. Finalement, le schéma d'encapsulation proposé autorise l'intégration d'un large choix de matériaux en ce qui concerne la grille métallique pour le transistor SB-MOSFET basé sur des contacts de PtSi. Notons que pour certaines raisons technologiques, les transistors ne sont pas passivés, ce qui amène à ce que ceux-ci se dégradent très rapidement avec le temps. En ce qui concerne la formation des lignes d'accès RF et des plots de contact, une étape de métallisation par évaporation PVD est réalisée permettant de déposer 10-nm de titane et 500-nm d'aluminium.

3.5. Performances et extractions des modèles petits signaux des transistors SB-MOSFET

Plusieurs lots de composants SB MOSFET RF de type *p* à faible barrière pour les trous ont pu être caractérisés. Dans cette section, nous nous proposons donc de présenter les principales caractéristiques statiques ainsi que les figures de mérite RF (f_T , f_{max}) pour les composants que nous avons mesurés. Nous tacherons à détailler également un modèle petit signal du composant associé à sa procédure d'extraction. Cependant, par souci de clarté, nous allons nous attacher à présenter les résultats des composants qui semblent les plus pertinents. Toujours pour être plus exhaustif dans notre discussion, nous nous proposons de scinder les composants en trois groupes : –les transistors réalisés sur substrat à pertes (SRS) dont les contacts sont purement Schottky, –les transistors réalisés sur substrat à pertes (SRS) dont les contacts ont été ségrégués de dopants et finalement –les transistors réalisés sur substrat à faibles pertes (HRS) dont les contacts ont été ségrégués de dopants. Rappelons que la ségrégation de dopants à l'interface métal/semi-conducteur permet d'augmenter sensiblement l'injection et donc de diminuer la hauteur de barrière apparente des contacts Schottky d'autant qu'elle amenuise aussi considérablement les effets des pièges.

3.5.1 Transistor SB-MOSFET à contacts purement Schottky sur substrat SRS

Le premier composant que nous nous proposons d'étudier est caractérisé par une longueur de grille physique de 110-nm et est configuré avec deux doigts de grille de $6\text{-}\mu\text{m}$ disposés en source commune. Avant d'investiguer les performances RF, nous allons commencer par présenter les caractéristiques de courant à la Fig. 3.15. On peut constater ainsi que les niveaux de courant sont typiquement faibles comparativement à une technologie conventionnelle [16]. De plus, on peut également distinguer sur la caractéristique $I_{ds}\text{-}V_{ds}$ que celle-ci présente une légère inflexion non linéaire pour les faibles niveaux de courant confirmant les observations réalisées sur les structures simulées et qui nous le rappelons illustre la signature de l'injection Schottky. Egalement, le niveau de courant du transistor diffère pour un même point de polarisation avec des conditions de mesures identiques, selon que le mode de balayage de l'appareil de mesure évolue suivant la tension de grille ($I_{ds}\text{-}V_{gs}$) ou de drain ($I_{ds}\text{-}V_{ds}$), l'écart des courants étant $\sim 45\%$ à $V_{gs} = V_{ds} = -1.5\text{ V}$ si l'on se réfère à la caractéristique $I_{ds}\text{-}V_{ds}$. Notons que cet effet d'une part présent quel que soit le composant mesuré et d'autre part plus ou moins prononcé selon les lots de composants, s'est avéré plus accentué pour

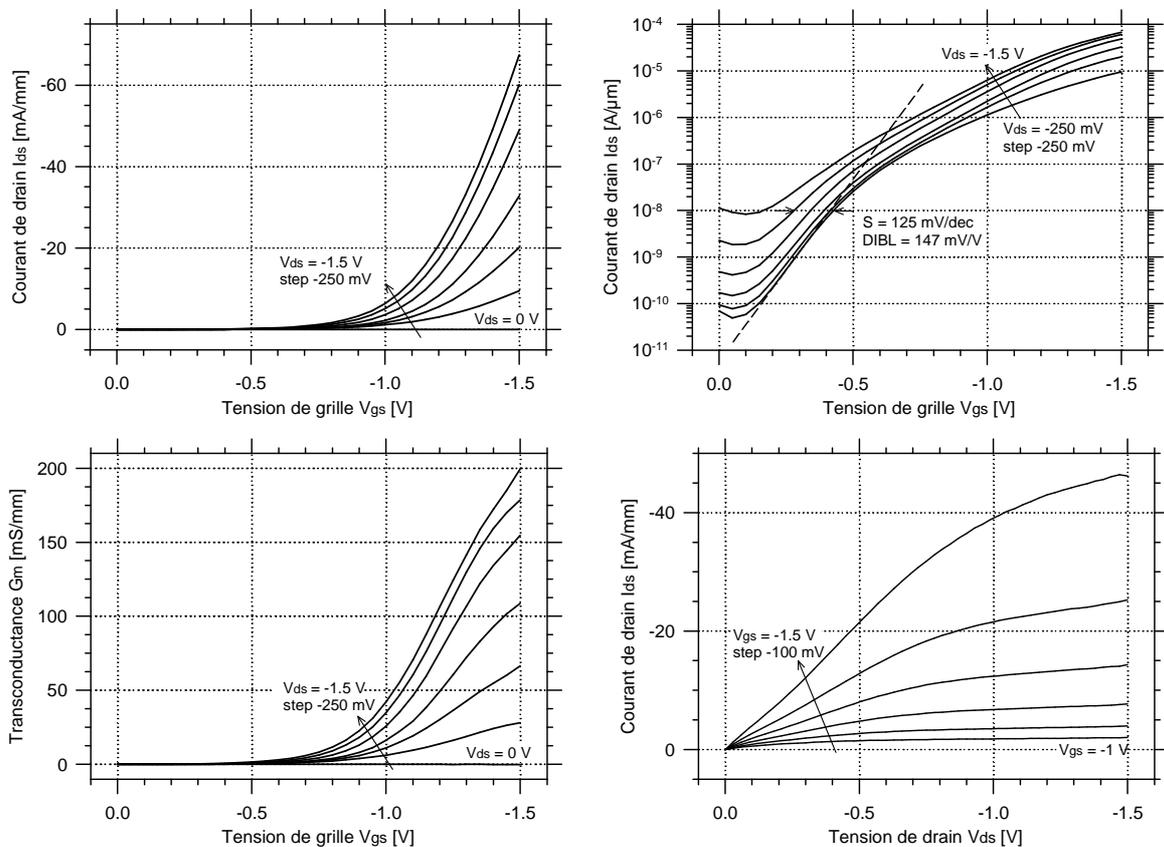


Fig. 3.15 : Caractéristiques statiques normalisées $I_{ds}\text{-}V_{gs}$ (a), $\text{Log}(I_{ds})\text{-}V_{gs}$ (b), $G_m\text{-}V_{gs}$ (c), $I_{ds}\text{-}V_{ds}$ (d). Ce composant présente un courant I_{on} de $80\text{ }\mu\text{A}/\mu\text{m}$, une transconductance maximum de $200\text{ }\mu\text{S}/\mu\text{m}$ à $V_{ds} = V_{gs} = -1.5\text{ V}$.

des contacts S/D non optimisés. Nous attribuons ceci à des effets de pièges aux interfaces Schottky qui engendrent des niveaux d'énergie dans la largeur de bande interdite du silicium modifiant les hauteurs de barrière apparentes. En rappelant que l'ordre de grandeur des temps de vie des pièges est typiquement de la milliseconde [19], les courants différents enregistrés aux mêmes conditions de polarisation peuvent être attribués à des charges d'interface qui dépendent du mode de balayage de la tension et du temps d'acquisition du courant. Ajoutons également que pour certains composants où les contacts Schottky ne sont pas optimisés, nous pouvons mesurer dans des conditions strictement identiques des courants sensiblement différents mais également très bruitées, posant le problème de la reproductibilité de la mesure. Cependant, des caractérisations complémentaires ont révélé que cet effet n'a pas d'influence sur les caractéristiques RF et donc sur les propriétés dynamiques du transistor. Ceci défend naturellement notre hypothèse que les composants sont soumis à des effets d'état d'interface qui n'affectent le composant qu'en basse fréquence.

On peut également observer une forte inflexion de l'évolution de la transconductance en fonction de la tension de grille. Si l'on se réfère à toute l'étude basée sur les simulations TCAD, on peut constater que cela caractérise la nature Schottky de la résistance de source. Pour montrer ce comportement, nous avons utilisé le modèle empirique que nous avons décrit dans le précédent chapitre pour le mettre en regard sur une caractéristique $I_{ds}-V_{gs}$ à $V_{ds} = -1.5 V$. On observe à la Fig. 3.16 que ce modèle reproduit très fidèlement les allures du courant ainsi que de la transconductance, nous permettant en outre d'évaluer la résistance de contact à plusieurs $k\Omega/\mu m$ au point de polarisation $V_{gs} = V_{ds} = -1.5 V$. Cette valeur naturellement très élevée, indique que les contacts sont non optimisés.

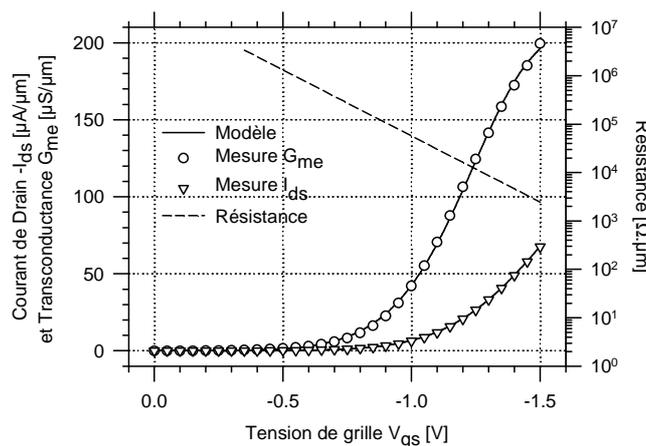


Fig. 3.16 : Comparaison entre la mesure du courant de drain (triangle) et de la transconductance (cercle) et le modèle phénoménologique (ligne continue). L'évolution de la résistance extraite est tracée également (ligne pointillée).

Pour caractériser le composant en RF, nous avons jugé plus adéquat étant donné les faibles niveaux de courant associés aux fortes pertes des accès d'utiliser un analyseur vectoriel dans une bande de

fréquence plus restreinte allant de 0 à 6 GHz. A partir des paramètres S mesurés, nous avons extrait le gain en courant et le gain unilatéral qui sont représentés à la Fig. 3.17. Les fréquences f_T et f_{max} ont été ainsi mesurées à 20 et 13 GHz respectivement. Nous notons que l'extraction des gains est sujette à un bruit de mesure élevé qui s'explique naturellement par la difficulté de dissocier la partie passive, *i.e.*, les accès, de la partie active, *i.e.*, le transistor, en l'occurrence non idéalement optimisé pour la RF.

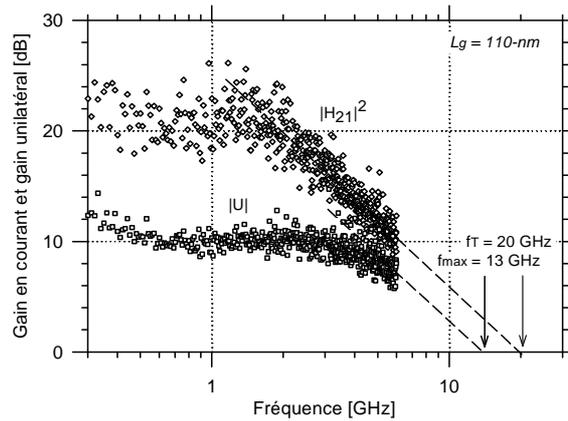


Fig. 3.17 : Gain en courant $|H_{21}|^2$ et gain unilatéral $|U|$ pour un transistor de longueur de grille de 110-nm. Ce composant présente à $V_{ds} = V_{gs} = -1.5 V$ un f_T de 20 GHz et un f_{max} de 13 GHz.

Suivant ces résultats hyperfréquences, nous nous proposons d'étudier un modèle petit signal en accord avec le comportement dynamique du transistor SB-MOSFET et de décrire une méthodologie d'extraction de ces éléments associés. Parce que le transistor SB-MOSFET fait partie de la famille des transistors MOSFET, nous nous baserons sur le modèle linéaire en saturation conventionnel « en Pi » décrit à l'Annexe C, pour la partie intrinsèque. En revanche, étant donné la nature des contacts de source et de drain régis par des mécanismes d'injection Schottky, nous proposons de les modéliser électriquement lorsque le transistor est en régime de saturation respectivement par une résistance R_s mise en parallèle à une capacité C_s^7 pour la jonction en inverse côté source et une simple résistance R_d pour la jonction en directe côté drain. Cette hypothèse est corroborée avec la Fig. 2.14 où l'on observe à l'interface du contact une désertion de porteurs mobiles. De plus, du fait du comportement fortement non linéaire des jonctions métal/semi-conducteur, ces éléments petits signaux seront dépendants de la polarisation appliquée. Ainsi suivant ces considérations et suivant sa topologie du transistor SB MOSFET (Fig. 1.1), le schéma équivalent petit signal non quasi-statique en régime de saturation pourrait être schématisé suivant la Fig. 3.18.

⁷ La capacité surfacique C_s d'une jonction Schottky peut être exprimée au premier ordre par $C_s = \epsilon_{si}/x_d$ avec x_d la largeur de la zone désertée.

A partir de ce modèle, il convient maintenant de décrire une méthodologie d'extraction des différents éléments. Pour cela, il convient de réaliser usuellement deux étapes, une qui consistera à extraire les éléments extrinsèques puis après avoir soustrait la contribution de ceux-ci aux paramètres AC initiaux, extraire les éléments intrinsèques. Malheureusement, les éléments extrinsèques dépendants de la polarisation impliquent que les procédures usuelles pour les extraire ne peuvent pas être appliquées (telle que l'extraction réalisée lorsque le composant est « froid », *i.e.*, à $V_{ds} = 0\text{ V}$) (Annexe E) [20]. Autrement dit, les paramètres du SSEC présentées à la Fig. 3.18 doivent être nécessairement tous extraits à la même condition de polarisation.

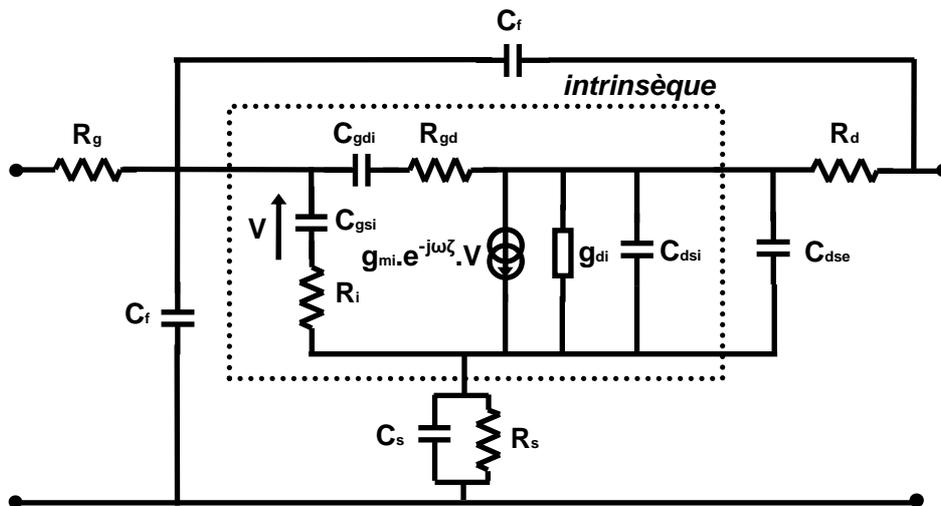


Fig. 3.18 : Schéma équivalent petit signal non quasi-statique du transistor SB-MOSFET (NQS-SSEC) en saturation et en régime d'accumulation. La jonction de source est polarisée en inverse, alors que la jonction de drain est en directe.

Notons la disparition des capacités de recouvrement (*overlap*) pour ce type de transistor.

Remarquons que par abus de langage, nous emploierons le terme « à froid » lorsque le transistor est passif, *i.e.*, polarisé à $V_{ds} = 0\text{ V}$ et le terme « à chaud », lorsque le transistor est actif, *i.e.*, polarisé dans ses conditions de fonctionnement.

Pour des raisons de compréhension, nous allons commencer par considérer un schéma équivalent extrinsèque du composant (Fig. D.1) afin d'extraire les éléments « apparents » en régime dynamique tels que la transconductance extrinsèque G_{me} , la conductance de sortie extrinsèque G_{de} , la capacité grille-à-source extrinsèque C_{gse} (qui inclut la capacité intrinsèque C_{gsi} et les composantes de capacité parasites C_f), la capacité grille-à-drain C_{gde} (qui inclut la capacité C_{gdi} et C_f) et finalement la capacité de drain-à-source C_{dse} . Ces éléments sont donnés à partir des paramètres Y_E du transistor par les relations suivantes (3.13)-(3.17) :

$$G_{me} = \Re e(Y_{E21}) \quad (3.13)$$

$$G_{de} = \Re(Y_{E22}) \quad (3.14)$$

$$C_{gse} = \frac{\Im(Y_{E11} + Y_{E12})}{\omega} \quad (3.15)$$

$$C_{gde} = \frac{-\Im(Y_{E12})}{\omega} \quad (3.16)$$

$$C_{dse} = \frac{\Im(Y_{E22} + Y_{E12})}{\omega} \quad (3.17)$$

Naturellement, la contribution des résistances de source et drain ainsi que de grille est implicitement incluse dans ces éléments. La méthodologie utilisée est de tracer chaque élément G_{me} , G_{de} , C_{gse} , C_{gde} et C_{dse} en fonction de la fréquence, comme montrée aux Figs. 3.19-3.21, puis de les extraire dans la bande de fréquence où les éléments ne varient pas, *i.e.*, de 4 à 6 GHz.

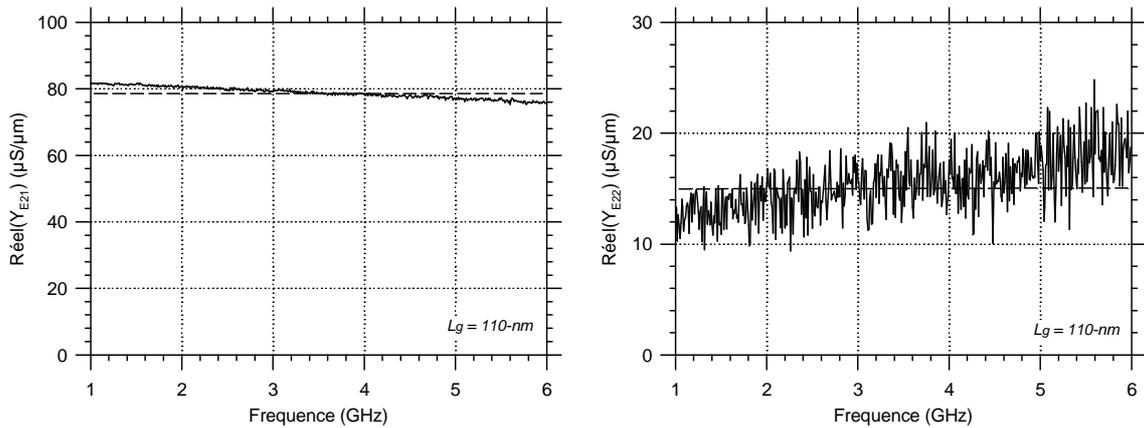


Fig. 3.19 : Extraction de la transconductance extrinsèque G_{me} (à gauche) et de la conductance de sortie G_{de} (à droite) à partir de la partie réelle de $(YE21)$ et $(YE22)$ respectivement. Les valeurs sont évaluées à environ 79 mS/mm et 15 mS/mm pour le transistor de longueur de grille de 110-nm. ($W_{tot} = 12\text{-}\mu\text{m}$) ($V_{ds} = V_{gs} = -1.5 \text{ V}$). Le ratio est ~ 5.5 .

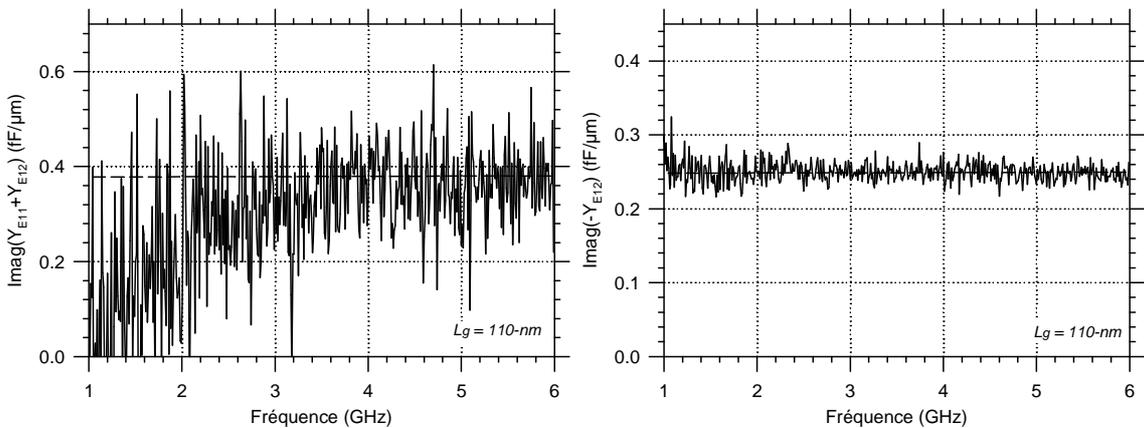


Fig. 3.20 : Extraction des capacités extrinsèques C_{gse} et C_{gde} à partir des parties imaginaires de $(YE11+YE12)$ et $(-YE12)$. Les capacités sont estimées à $0.38 \text{ fF}/\mu\text{m}$ et $0.25 \text{ fF}/\mu\text{m}$ ($V_{ds} = V_{gs} = -1.5 \text{ V}$). Le ratio est ~ 5 .

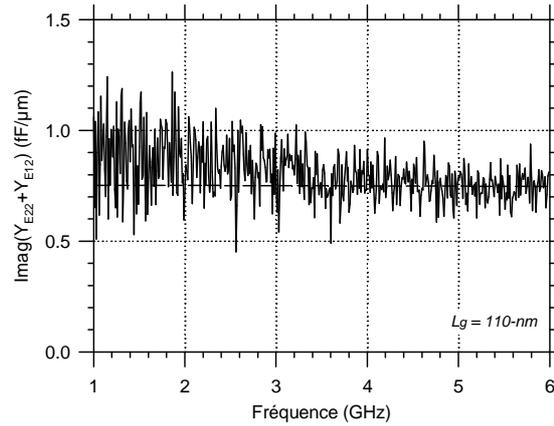


Fig. 3.21 : Extraction de la capacité drain-à-source extrinsèque C_{dse} évaluée à $0.75 \text{ fF}/\mu\text{m}$ ($V_{ds} = V_{gs} = -1.5 \text{ V}$).

La Tab. 3.2 fournit les valeurs mesurées que nous avons retenues et les valeurs normalisées pour chaque élément. À noter que des fluctuations concentrées sur la partie basse des fréquences lors des mesures sont présentes comme observées aux Figs. 3.19-3.21, nous les relierons à la difficulté du *de-embedding* complet des accès d'une part et d'autre part aux impédances mesurées très éloignées de l'impédance caractéristique de 50Ω du fait de résistances de contacts non optimisées et du faible développement totale W_{tot} ($= 2 \times 6\text{-}\mu\text{m}$) du transistor, amenant à la forte imprécision du VNA.

Tab. 3.2: Valeurs extraites des éléments du SSEC.

L _G = 110-nm, W _{TOT} = 2*6 μm, V _{ds} = -1.5 V, V _{gs} = -1.5 V		
Éléments	Valeurs	Valeurs Normalisées
G_{me}	950 μS	79 μS/μm
G_{de}	180 μS	15 μS/μm
C_{gse}	4.5 fF	0.38 fF/μm
C_{gde}	3 fF	0.25 fF/μm
C_{dse}	9.5 fF	0.79 fF/μm
f_T^*	20.1 GHz	-

$$* f_T = G_{me} / (2\pi(C_{gse} + C_{gde}))$$

À partir des extractions, plusieurs observations sont constatées. En premier point, les valeurs mesurées de la transconductance dynamique extrinsèque G_{me} sont plus petites que la transconductance G_m extraite à partir des caractéristiques statiques. En second point, les valeurs de transconductance extrinsèque G_{me} et la conductance de sortie G_{de} sont très petites pour la longueur de grille correspondante ($G_{me} = 79 \text{ mS/mm}$ et $G_{de} = 15 \text{ mS/mm}$).

À noter que la fréquence de coupure du gain en courant calculée par l'expression f_T^* dans la Tab. 3.2 est en accord avec celle mesurée. Dans le but de calculer les performances

intrinsèques (transconductance, conductance de sortie et capacités) du transistor, nous nous proposons d'investiguer un schéma équivalent petit signal quasi-statique (SSEC QS), plus sophistiqué puisque les éléments extrinsèques sont pris en compte. Comme nous l'avons déjà mentionné, l'une des principales difficultés de l'extraction des résistances séries R_s et R_d est liée à la dépendance avec la tension des résistances de contact. Néanmoins, nous proposons d'émettre des hypothèses pour simplifier le problème. Notre première hypothèse est de considérer qu'en régime de saturation, en rapport avec l'injection de type Schottky de la source, la résistance R_d peut être considérée comme négligeable. Ce point peut être justifié en considérant le diagramme des bandes d'énergies le long du canal lorsque le composant est polarisé en saturation comme cela est présenté à la Fig. 1.21. On peut ainsi observer que les trous n'ont pas à traverser de barrière de potentiel lorsque qu'ils s'échappent du canal vers le contact de drain. Notre seconde hypothèse est de considérer qu'étant donné le fort amincissement de l'épaisseur de barrière causé par le champ électrique de grille (régime de forte inversion), l'impédance équivalente du contact de source peut être comme quasiment réelle dans toute la bande de fréquence mesurée, nous permettant de négliger au premier ordre la capacité C_s . Suivant ces considérations, le schéma équivalent petit signal quasi-statique en régime de saturation est présenté à la Fig. 3.22.

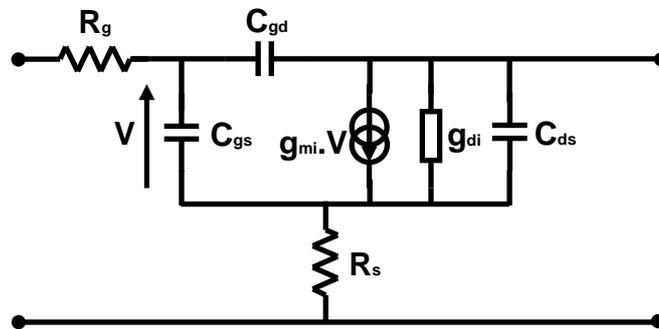


Fig. 3.22 : Circuit Equivalent Petit Signal simplifié (SSEC, *Small signal equivalent circuit*) du transistor SB MOSFET.

Les paramètres Z exacts associés sont exprimés alors comme suit (3.18)-(3.21) :

$$Z_{11} = R_g + R_s + \frac{1}{jC_{gs}\omega \left(1 + \frac{jC_{ds}\omega}{g_d + jC_{gd}\omega} \right) + jC_{gd}\omega \left(\frac{g_m + g_d + jC_{ds}\omega}{g_d + jC_{ds}\omega} \right)} \quad (3.18)$$

$$Z_{12} = R_s + \frac{1}{\left(\frac{C_{gs}}{C_{gd}} + 1 \right)} \frac{1}{\left(g_d + \frac{g_m}{\frac{C_{gs}}{C_{gd}} + 1} + j\omega \left(C_{ds} + \frac{C_{gs}C_{gd}}{C_{gs} + C_{gd}} \right) \right)} \quad (3.19)$$

$$Z_{21} = R_s - \frac{1}{jC_{gs}\omega \left(\frac{g_d + jC_{gd}\omega + jC_{ds}\omega}{g_m - jC_{gd}\omega} \right) + jC_{gd}\omega \left(\frac{g_m + g_d + jC_{ds}\omega}{g_m - jC_{gd}\omega} \right)} \quad (3.20)$$

$$Z_{22} = R_s + \frac{1}{g_d + \frac{g_m}{\frac{C_{gs}}{C_{gd}} + 1} + j\omega \left(C_{ds} + \frac{C_{gs}C_{gd}}{C_{gs} + C_{gd}} \right)} \quad (3.21)$$

Ainsi, en considérant les parties réelles des paramètres Z mesurés, les éléments série extrinsèques comme la résistance de source R_s et la résistance de grille R_g peuvent être déterminées à partir de (3.18) et (3.19). Les parties réelles de (Z_{12}) et $(Z_{11}-Z_{12})$ sont représentées à la Fig. 3.23.

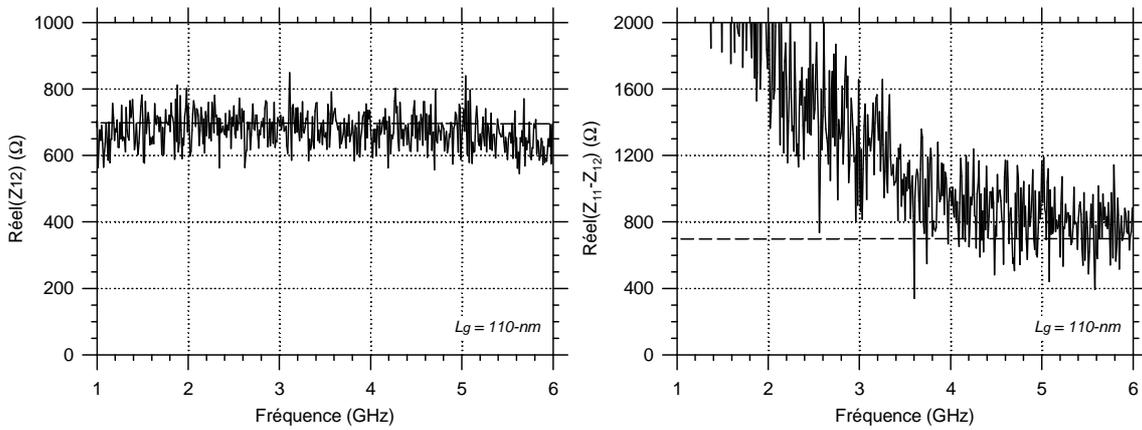


Fig. 3.23 : Extraction des résistances séries R_s (à gauche) et R_g (à droite) à partir des parties réelles de (Z_{12}) et $(Z_{11}-Z_{12})$. R_s et R_g sont approximées à $\sim 700 \Omega$ ($V_{ds} = V_{gs} = -1.5 V$).

Les résistances R_s et R_g sont extraites dans la section indépendante de la fréquence des courbes et sont estimées approximativement à 700Ω toutes les deux. Nous pouvons déduire la valeur normalisée de la résistance de source égale à $8.4 \text{ k}\Omega \cdot \mu\text{m}$ et de la résistance de grille par carré à $84 \Omega/\square$. Ces résistances normalisées sont très élevées comparées aux valeurs habituellement obtenues pour un transistor MOSFET standard. En ce qui concerne la résistance de grille par carreau, cette valeur également élevée peut être expliquée par la très faible épaisseur de la grille tungstène t_G ($\sim 40\text{-nm}$) couplée à la résistivité du tungstène⁸ qui est calculée ici à $\sim 330 \mu\Omega \cdot \text{cm}$. Notons que la valeur de la résistivité du métal de la grille a été confirmée par d'autres transistors.

⁸ Typiquement, la résistivité du tungstène sans traitement thermique est $\sim 200 \mu\Omega \cdot \text{cm}$. Rappelons que la résistivité du poly-silicium est d'environ $700 \mu\Omega \cdot \text{cm}$ pour une grille fortement dopée en phosphore et de $2 \text{ m}\Omega \cdot \text{cm}$ pour une grille fortement dopée en arsenic (D'après Kamins, T. [21]).

La toute dernière hypothèse est de considérer que les parties réelles des parties dépendantes de la fréquence dans les expressions (3.18)-(3.19) inhérentes à la partie intrinsèque du transistor sont négligeables étant données les résistances très élevées. Celle-ci a été vérifiée à l'aide de rétro-simulation avec des écarts sur les valeurs R_s , R_g extraites bien inférieures à 10%, nous permettant de valider la procédure d'extraction.

Pour extraire le schéma SSEC intrinsèque du transistor, les résistances séries extrinsèques sont ensuite éliminées suivant une procédure de *de-embedding* qui consiste à utiliser les opérations sur les matrices impédances et admittances :

$$[Y_E] \rightarrow [Z] \quad (3.22)$$

$$[Z_i] = [Z] - [Z_R] \quad (3.23)$$

$$[Z_i] \rightarrow [Y_i] \quad (3.24)$$

Suite à ces opérations, les principaux éléments intrinsèques de SSEC peuvent être déduits à partir des paramètres admittances intrinsèques en utilisant l'ensemble des équations (3.13)-(3.17) dans lequel les indices « e » ou « E » (pour extrinsèque) sont remplacés par « i » ou « I » (pour intrinsèque). Les éléments g_{mi} , g_{di} , C_{gsi} et C_{gdi} sont extraits sur une bande de fréquence au sein de laquelle les fluctuations sont les plus petites, *i.e.*, typiquement entre 4 et 6 GHz (Figs. 3.24-3.26).

Les valeurs mesurées et normalisées correspondantes pour chaque élément du SSEC sont reportées dans le Tab. 3.3. La fréquence de coupure du gain en courant intrinsèque f_c est calculée à 36 GHz. Rappelons que cette valeur représente la plus haute valeur f_T que l'on peut attendre du transistor de longueur de grille de 110-nm soustrait de l'ensemble de ses éléments parasites. Notons aussi que la valeur de f_T re-calculée à partir de (1.61) à travers les valeurs des éléments du SSEC est identique que celle mesurée. Quant à la valeur de f_{max} re-calculée à 15.5 GHz à partir de (1.62), elle est également en concordance avec celle mesurée (13 GHz).

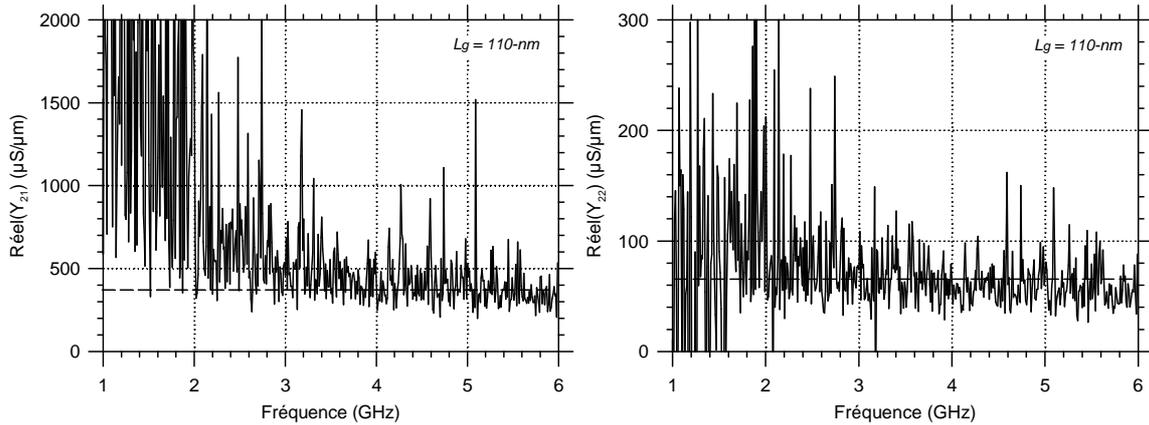


Fig. 3.24 : Extraction de la transconductance g_{mi} et de la conductance de sortie g_{di} à partir des parties réelles de (Y_{21}) et (Y_{22}) . g_{mi} et g_{di} sont évaluées à 375 mS/mm et 65 mS/mm, respectivement ($V_{ds} = V_{gs} = -1.5$ V). Le ratio est ~ 5.5 .

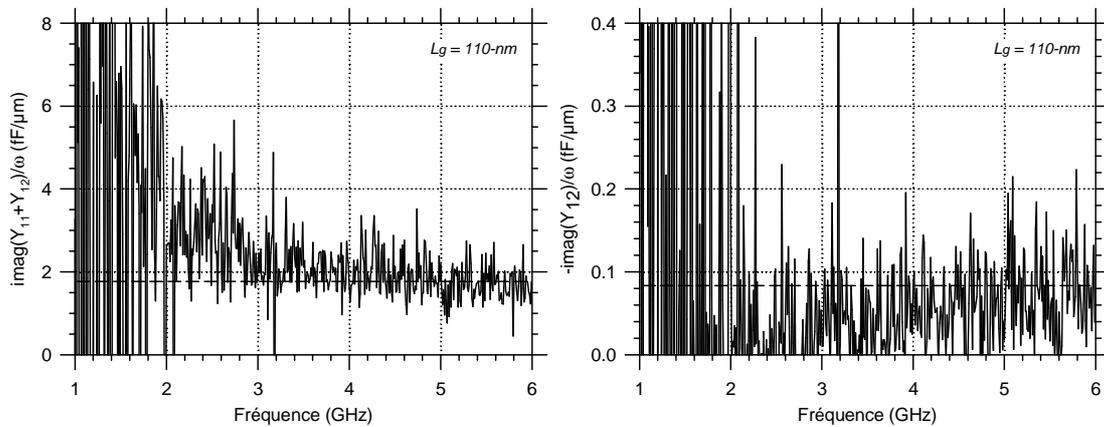


Fig. 3.25 : Extraction de capacité grille-à-source C_{gsi} et capacité grille-à-drain C_{gdi} à partir des parties imaginaires de $(Y_{11}+Y_{12})$ et $(-Y_{12})$. C_{gsi} et C_{gdi} sont évaluées à 1.65 fF/μm et 0.08 fF/μm, respectivement ($V_{ds} = V_{gs} = -1.5$ V). Le ratio est ~ 20 .

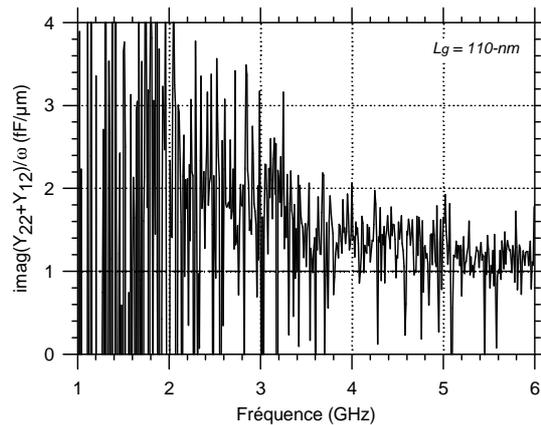


Fig. 3.26 : Extraction de la capacité drain-à-source C_{dsi} intrinsèque. La valeur est évaluée à environ 1 fF/μm ($V_{ds} = V_{gs} = -1.5$ V).

Tab. 3.3: Valeurs extraites des éléments du SSEC.

L _G = 120-nm, W _{TOT} = 2*6 μm, V _{ds} = -1.5 V, V _{gs} = -1.5 V		
Élément	Valeur	Valeur normalisée
g_{mi}	4500 μS	375 μS/μm
g_{di}	800 μS	66 μS/μm
C_{gsi}	20 fF	1.65 fF/μm
C_{gdi}	1 fF	0.08 fF/μm
C_{ds}	12 fF	1 fF/μm
R_s	700 Ω	8.4 kΩ.μm
R_g	700 Ω	84 Ω/square
R_d	0 Ω	-
f_c^*	35.9 GHz	-
$f\Gamma^{**}$	20.0 GHz	-
f_{max}^{***}	15.5 GHz	-

* f_c est calculée comme $f_c = g_m / 2\pi C_{gs}$

** $f\Gamma$ est calculée suivant (1.61)

*** f_{max} est calculée suivant (1.62)

La Fig. 3.27 montre la comparaison entre les gains mesurés et re-calculés (gain en courant et gain maximum en puissance). Ces observations consolident naturellement la forte corrélation entre le SSEC et ses paramètres extraits et les données expérimentales du transistor.

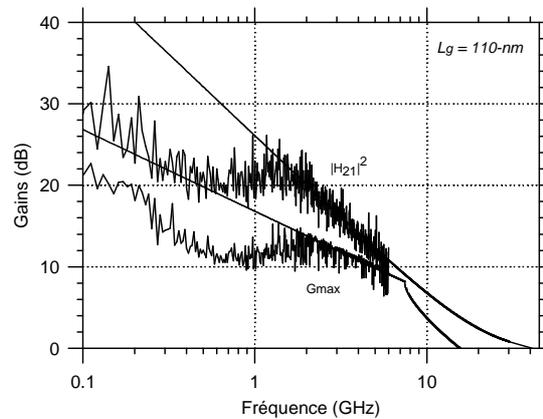


Fig. 3.27 : Comparaison entre les gains mesurés et simulés en fonction de la fréquence ($V_{ds} = V_{gs} = -1.5 V$).

Concernant l'extraction des éléments des modèles petits signaux extrinsèques et intrinsèques, deux autres remarques plus générales peuvent être signalées :

- les ratios entre la transconductance intrinsèque/extrinsèque, la conductance de sortie intrinsèque/extrinsèque et la capacité grille-à-source intrinsèque/extrinsèque, respectivement, sont approximativement 5,
- la capacité grille-à-drain du transistor en régime de saturation est essentiellement composée des capacités de bords parce que la grille ne chevauche pas les contacts de silicium de source et de drain.

Par conséquent, pour ce composant, un ratio C_{gsi}/C_{gdi} supérieur à 20 est observé, ce qui est beaucoup plus élevé que le ratio observé usuellement sur la technologie CMOS 130-nm [22]-[23].

Un autre point important est qu'en régime de saturation, la capacité grille-à-source intrinsèque C_{gsi} est près de $2/3C_{ox}$ (~ 16 fF) à laquelle il faut rajouter la capacité de bord. Cette dernière observation confirme que le contrôle de la charge dans le canal pour un transistor SB-MOSFET est similaire à celui d'un transistor MOSFET conventionnel.

Dans le but d'expliquer les écarts significatifs obtenus entre les transconductances et les capacités grille-à-source, une analyse simplifiée est proposée, basée sur le modèle de circuit équivalent intrinsèque du SB-MOSFET. Ce circuit schématisé à la Fig. 3.28 est composé d'une transconductance g_{mi} , d'une capacité grille-à-source C_{gsi} associées en série avec une résistance de source R_s . Nous négligeons la capacité grille-à-drain C_{gdi} de contre-réaction.

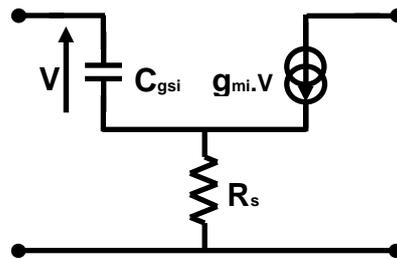


Fig. 3.28 : Modèle petit signal simplifié pour le SB-MOSFET.

A partir d'une analyse au premier ordre, les paramètres Y_{11} , Y_{21} peuvent être exprimés comme :

$$Y_{11} \approx jC_{gse}\omega \approx j \cdot \frac{C_{gsi}\omega}{(1 + g_{mi}R_s)}; \quad Y_{21} \approx G_{me} \approx \frac{g_{mi}}{(1 + g_{mi}R_s)} \quad (3.25)$$

A partir de cette analyse simple, le paramètre extrinsèque G_{me} (et respectivement C_{gse}) sont pondérés par le facteur $1/(1+g_{mi}R_s)$, une observation qui est confirmée en considérant les paramètres intrinsèques/extrinsèques reportées dans la Tab. 3.2 et 3.3. En d'autres mots, la transconductance extrinsèque G_{me} et la capacité C_{gse} peuvent être fortement affectées à cause d'une forte résistance de source. Cependant, en considérant le SSEC simplifié présenté à la Fig. 3.28, l'expression de la fréquence du gain en courant f_T reportée dans (3.26) reste quasi-indépendant de la résistance de source R_s .

$$f_T = f \cdot \left| \frac{Y_{21}}{Y_{11}} \right| = \frac{G_{me}}{2\pi C_{gse}} \approx \frac{g_{mi}}{2\pi C_{gsi}} = f_c \quad (3.26)$$

La dernière observation signifie que la transconductance extrinsèque peut être dégradée sans affecter fortement f_T [24]. Naturellement, en prenant en compte les autres éléments tels que g_{di} , C_{gdi} , on comprend bien que des différences peuvent être observées entre les fréquences f_T expérimentale et f_c puisque ceux-ci ne sont pas pondérés par le facteur $1/(1+g_{mi}R_s)$ que l'on peut montrer si un SSEC plus complet est considéré. Ce propos rejoint parfaitement les investigations réalisées au chapitre précédent. En ce qui concerne f_{max} , (1.63) souligne clairement que celle-ci est définitivement impactée par les résistances séries R_s , R_g . En effet, en utilisant le même modèle de SSEC et en considérant une réduction de R_g et R_s par un facteur 10, la fréquence f_T est améliorée de 20 GHz à 33 GHz alors que la fréquence f_{max} bondit de 15 à 55 GHz (Fig. 3.29) (R_g variant de $84 \Omega/\square$ à $8.4 \Omega/\square$).

Par conséquent, au-delà de l'optimisation des contacts Schottky, une attention particulière doit être faite pour diminuer significativement R_g pour permettre l'accroissement des performances hyperfréquences mais aussi l'amélioration de la qualité des mesures. Et pour cela, une solution efficace consiste à augmenter le nombre de doigts de grille en parallèle.

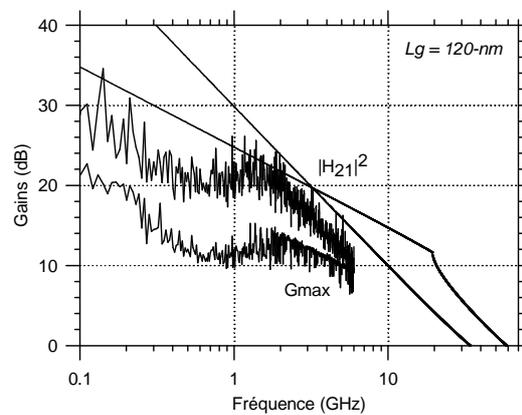


Fig. 3.29 : Comparaison entre les gains mesurés et simulés en fonction de la fréquence. Les gains simulés sont calculés en considérant R_g et R_s réduits d'un facteur 10.

En conclusion, nous rappelons tout d'abord que le modèle et la méthodologie d'extraction des éléments sont bien corrélés avec le comportement dynamique du transistor en RF. Cependant, la difficulté présente pour extraire les éléments du SSEC QS, expliquée notamment par la nécessité de réaliser un certain nombre d'approximations pour réussir à évaluer de manière directe les éléments les plus fondamentaux, nous impose certaines limitations pour extraire un modèle plus complet

(NQS-SSEC). Ces simplifications se justifient par les difficultés mathématiques qui se présentent avec un modèle de type NQS-SSEC dans des conditions où d'une part nous ne pouvons utiliser que des données issues d'une seule polarisation (littéralement trop d'inconnues pour les équations disponibles) et d'autre part, que les valeurs des éléments extrinsèques sont trop importantes pour tenter de distinguer davantage d'éléments tels que les éléments non quasi-statiques. Nous en discuterons ultérieurement dans une partie suivante. Notons également que les fluctuations de mesures des paramètres S autant que la forte dispersion des composants, issus d'un cadre académique, rendent la problématique davantage malaisée.

3.5.2 Transistors SB-MOSFET à contacts ségrégués de dopants sur substrat SRS

Dans le chapitre précédent, nous avons remarqué qu'il existe une solution pour optimiser les résistances Schottky qui consiste à disposer des dopants aux interfaces des contacts de source et de drain. Pour réaliser technologiquement ceci, trois principales techniques de ségrégation sont possibles et sont décrites au sein de la littérature, se dissociant principalement par la façon dont elles sont implémentées [25]. Trois séquences peuvent être résumées comme suit :

- une implantation de dopants dans le silicium suivie par un dépôt de métal et un recuit de siliciuration,
- une implantation de dopants à travers le métal (ITM) suivie par un recuit thermique de siliciuration permettant de façon concomitante l'accumulation des dopants et finalement,
- une implantation de dopants à travers la siliciure (ITS) suivie par un recuit thermique à faible température ($\sim 500^\circ\text{C}$) permettant l'accumulation des dopants aux interfaces. Cependant, il est d'ores et déjà prouvé que la séquence technologique ITS est celle qui influence de manière la plus sensible la barrière Schottky sans pour autant affecter le canal du transistor par des dopants non désirables [2].

Cette section se propose de décrire et d'investiguer les performances DC et AC de ces transistors à ségrégation de dopants suivant la séquence ITS en utilisant les topologies RF pour trois longueurs de grille variant de 240-nm , 110-nm à 30-nm . Notons que ces transistors décrits dans cette section ont été fabriqués sur le même substrat faiblement résistif que précédemment (SRS). Notons également que l'oxyde de grille a été aminci à 2.2-nm .

3.5.2.1 Topologies configurées en source commune

Les résultats électriques comme les figures de mérites f_T et f_{max} présentées ci-dessous aux Figs. 3.30-3.32 ont été obtenues sur des topologies source-commune avec des longueurs de grille de 240-nm ,

110-nm et 30-nm. Les transistors SB MOSFET sont composés de deux doigts de grille ayant chacun une largeur unitaire W_u de 10- μm . Par conséquent, à cause des faibles valeurs de $W_{tot} = W_u * N_f$, il est attendu que la fréquence f_{max} ne sera pas optimale comme il a été expliqué dans la section précédente. Les accès coplanaire sont soustraits du composant en utilisant la structure OTS dédiée. Une méthode de *de-embedding* plus complexe en utilisant une structure « Short Test Structure » a été expérimentée mais n'a pas montré d'amélioration sur la précision de la mesure. Cependant, malgré le substrat utilisé, il est intéressant d'observer que la précision des mesures RF a été sensiblement améliorée, démontrant que les impédances d'entrée et sortie du transistor sont réduites et donc que les résistances séries ont été optimisées.

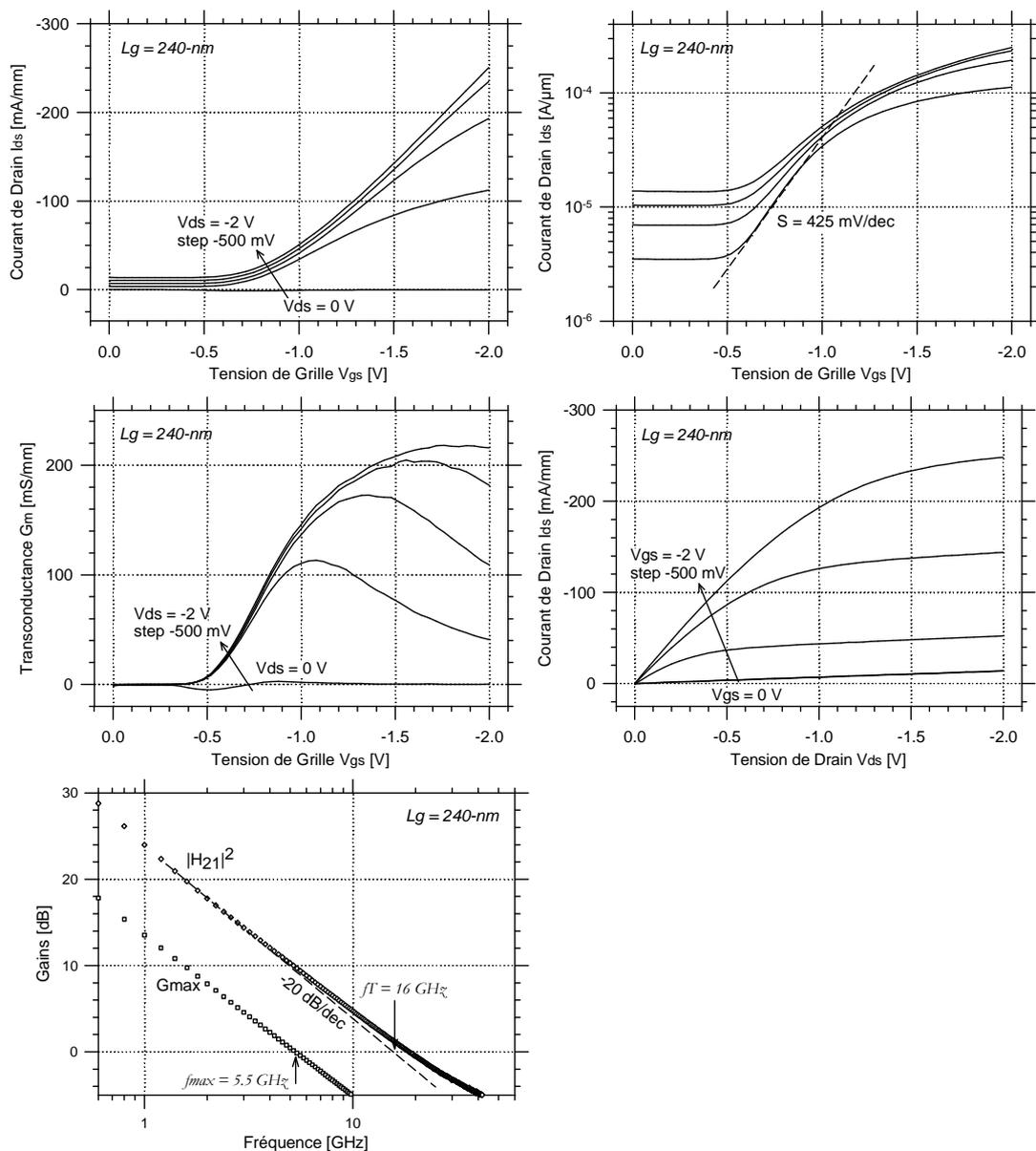


Fig. 3.30 : Caractéristiques statiques normalisées I_{ds} - V_{gs} (a), $\text{Log}(I_{ds})$ - V_{gs} (b), G_m - V_{gs} (c), I_{ds} - V_{ds} (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et maximum G_{max} (e) pour un transistor de longueur de grille de 240-nm. Ce composant présente des fréquences f_T/f_{max} égales à 16/5.5 GHz à $V_{ds} = -2.5\text{ V}$ et $V_{gs} = -2\text{ V}$.

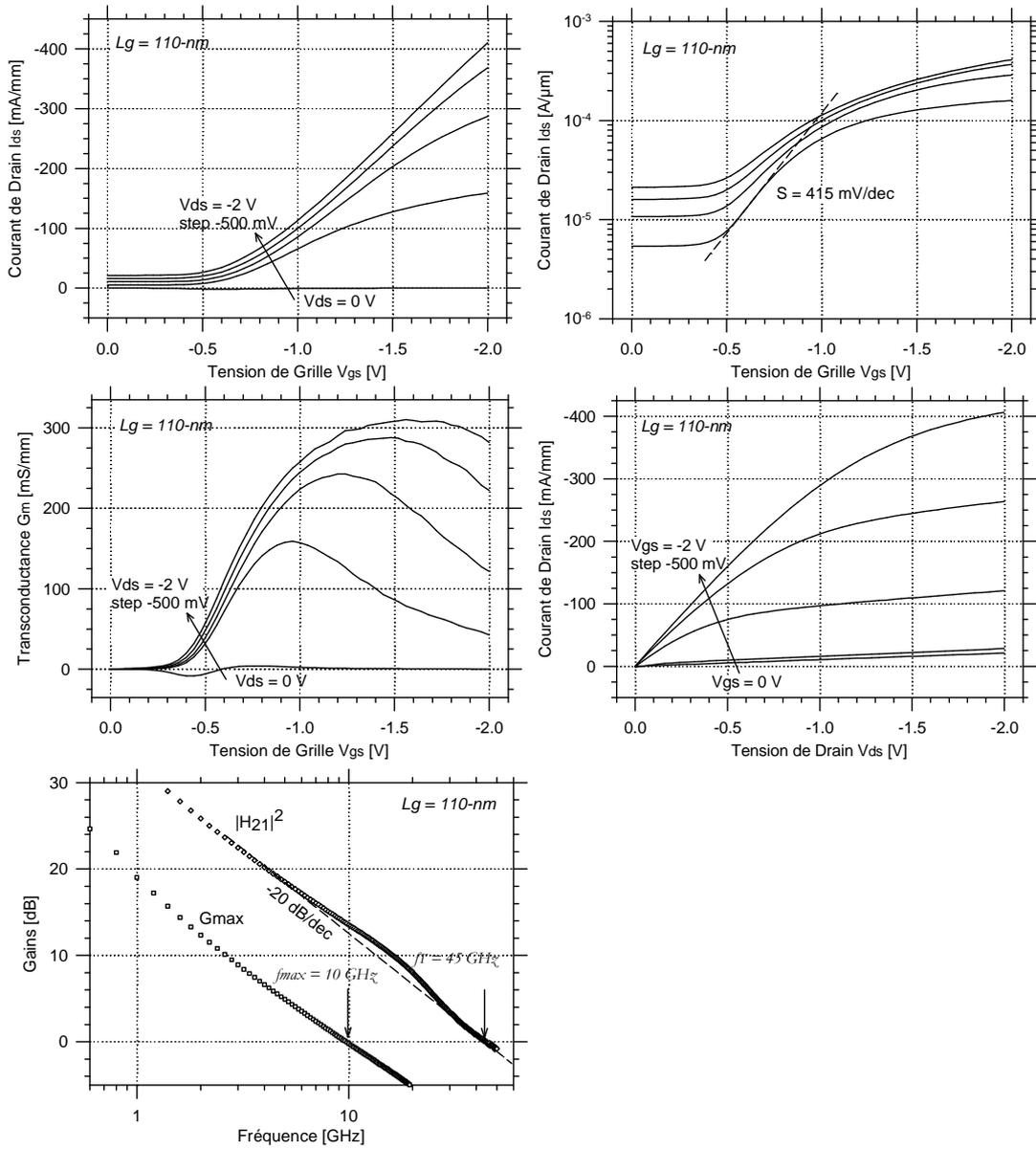


Fig. 3.31 : Caractéristiques statiques normalisées I_{ds} - V_{gs} (a), $\text{Log}(I_{ds})$ - V_{gs} (b), G_m - V_{gs} (c), I_{ds} - V_{ds} (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et maximum G_{max} (e) pour un transistor de longueur de grille de 110-nm. Ce composant présente des fréquences f_t/f_{max} égale à 45/10 GHz à $V_{ds} = -2.5\text{ V}$ et $V_{gs} = -2\text{ V}$.

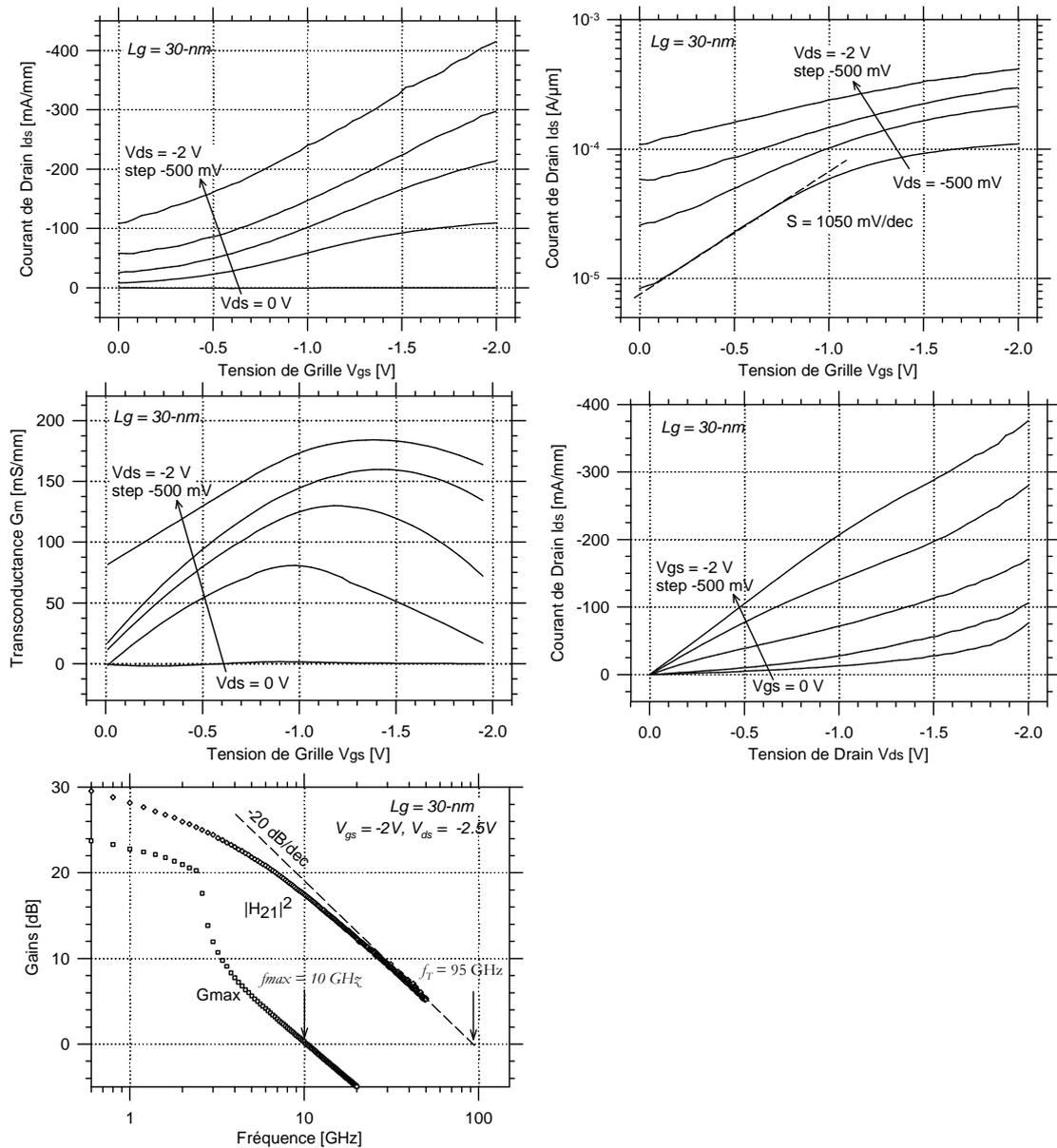


Fig. 3.32 : Caractéristiques statiques normalisées I_{ds} - V_{gs} (a), $\text{Log}(I_{ds})$ - V_{gs} (b), G_m - V_{gs} (c), I_{ds} - V_{ds} (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et maximum G_{max} (e) pour un transistor de longueur de grille de 30-nm.

Ce composant présente des fréquences f_t/f_{max} égale à 95/10 GHz à $V_{ds} = -2.5 \text{ V}$ et $V_{gs} = -2 \text{ V}$.

On peut observer à la Fig. 3.32 qu'il est important de remarquer que les caractéristiques I-V se révèlent avec des niveaux de courant plus élevés que ceux mesurés sur le premier composant décrits dans la Section 3.5.1. Les caractéristiques I-V du transistor SB-MOSFET avec une longueur de grille de 110-nm montrent un courant maximum au delà de 400 mA/mm à $V_{gs} = V_{ds} = -2 \text{ V}$ et de 250 mA/mm à $V_{gs} = V_{ds} = -1.5 \text{ V}$, ce dernier courant étant à comparer avec la valeur de 45 mA/mm. On peut également remarquer que les caractéristiques sont quasi-similaires à celles que l'on peut obtenir pour un transistor MOSFET conventionnel avec notamment la disparition des inflexions caractéristiques des contacts Schottky. Ces observations confirment que la résistance de contact est fortement réduite et que la technique de ségrégation de dopants basée sur la technique

ITS améliore les performances globales du transistor. Notons que les courants à l'état bloqué I_{off} des composants mesurés sont ici relativement importants, autrement dit, le transistor ne pince pas. La dépendance linéaire du courant de fuite avec la tension de drain observée sur les caractéristiques $I_{ds}-V_{ds}$ à une tension de grille nulle mais également l'allure sur les caractéristiques logarithmique $I_{ds}-V_{gs}$ suggèrent qu'il existe une résistance parasite qui s'interpose entre le contact de source et de drain sans qu'il soit mis en cause des effets canaux courts. Pour expliquer cela, les images des structures réalisées avec un microscope électronique sur la Fig. 3.33 laissent apparaître un léger désalignement transversal technologique (direction y). De ce fait, on peut penser que ce shunt entre la source et le drain peut provenir de la présence de métal non désirable qui déposé n'aurait pas été enlevé totalement (*e.g.*, recouvrant les doigts de grille encapsulés ou encore sur les extrémités des doigts de grille).

Néanmoins, des fréquences f_T ont été mesurées à 95 GHz et 45 GHz pour les transistors SB MOSFET dont les longueurs de grille sont respectivement définies à 30-nm et 110-nm. Une valeur maximale de 10 GHz a été extraite pour f_{max} .

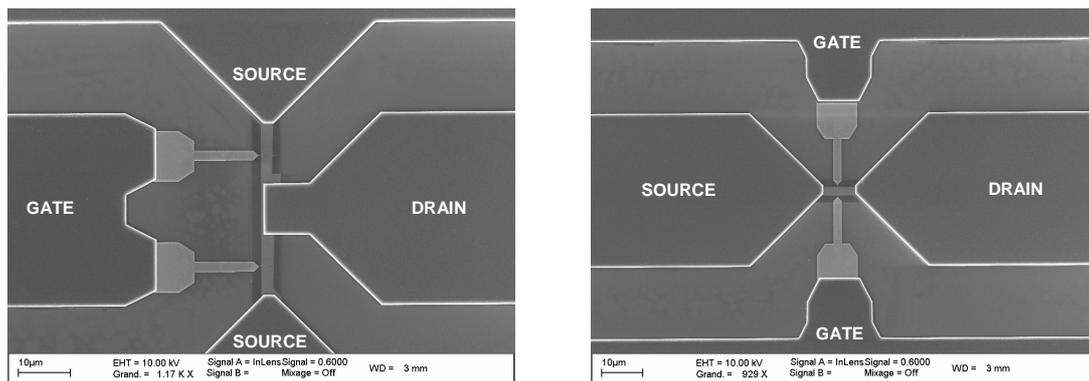


Fig. 3.33 : Vue au microscope électronique des topologies de transistors SB MOSFET configurées en source commune (à gauche) et grille commune (à droite). Les doigts de grille sont tournés de 90° entre ces deux structures. A noter que grâce aux deux accès de grille, la topologie grille commune est équivalente à une topologie source commune avec deux doigts de grille dont la largeur des doigts est égale à une demi largeur de doigt de grille.

3.5.2.2 Topologies configurées en grille commune

La disponibilité des topologies configurées en grille commune a permis d'investiguer de façon plus détaillée les performances RF des transistors SB MOSFET, à juste titre parce que les doigts de grille sont disposés dans la direction y contrairement aux topologies configurées en source commune, le désalignement n'affectant alors plus les composants. Cependant, rappelons qu'à cause de la configuration électrique en grille commune, des transformations mathématiques sont nécessaires pour pouvoir mesurer les gains en courant et en puissance usuels des transistors. Ces

transformations sont décrites à l'Annexe I. L'ensemble des caractéristiques DC et AC transformé dans la configuration source commune pour des transistors de longueur de grille 110-nm et 30-nm est présenté aux Figs. 3.34-3.35.

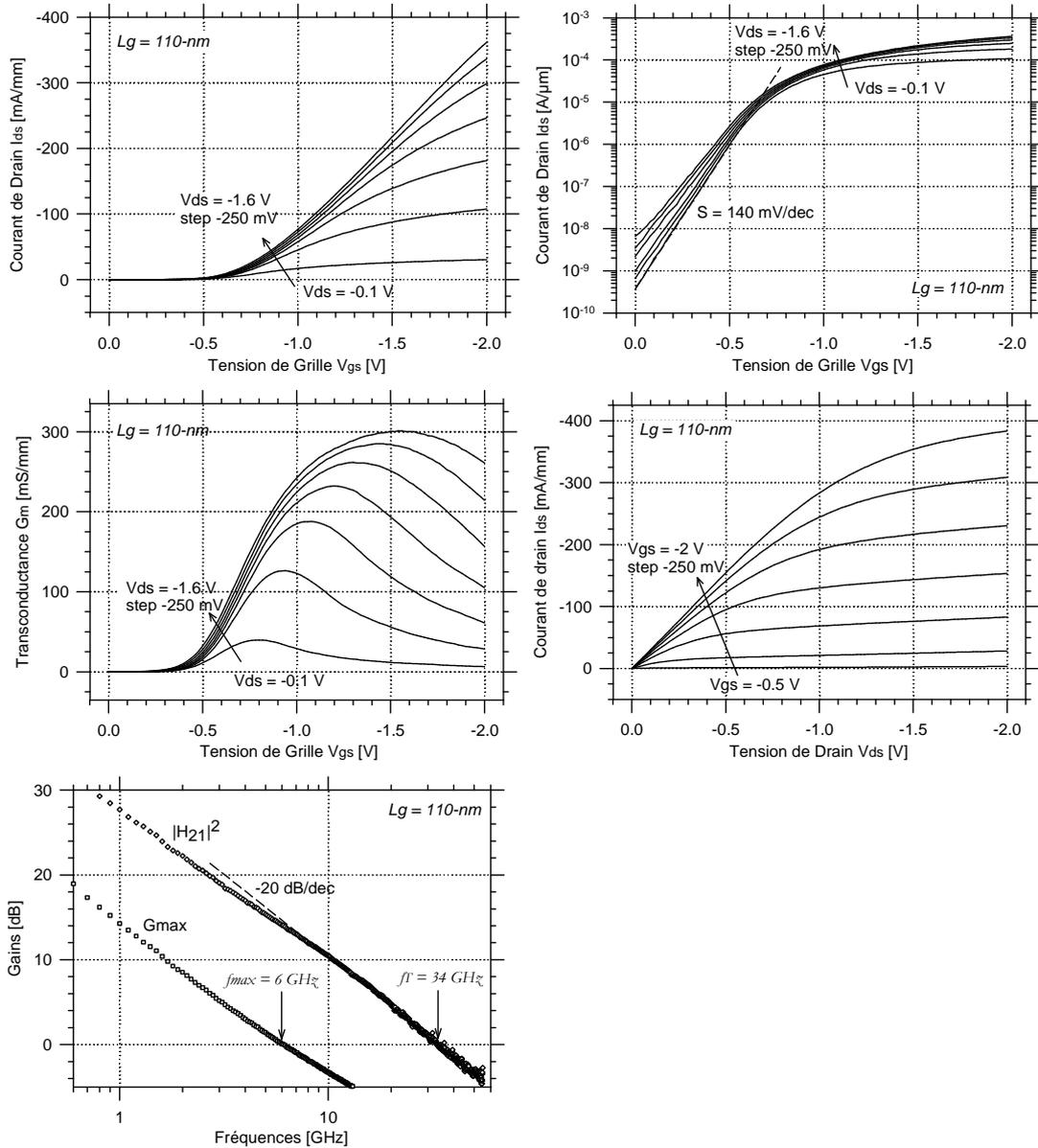


Fig. 3.34 : Caractéristiques statiques normalisées I_{ds} - V_{gs} (a), $\text{Log}(I_{ds})$ - V_{gs} (b), G_m - V_{gs} (c), I_{ds} - V_{ds} (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et maximum G_{max} (e) pour un transistor de longueur de grille de 110-nm. Ce composant présente des fréquences f_T/f_{max} égale à 34/6 GHz à $V_{sg} = 2$ V et $V_{dg} = -0.5$ V (équivalent à $V_{ds} = -2.5$ V et $V_{gs} = -2$ V).

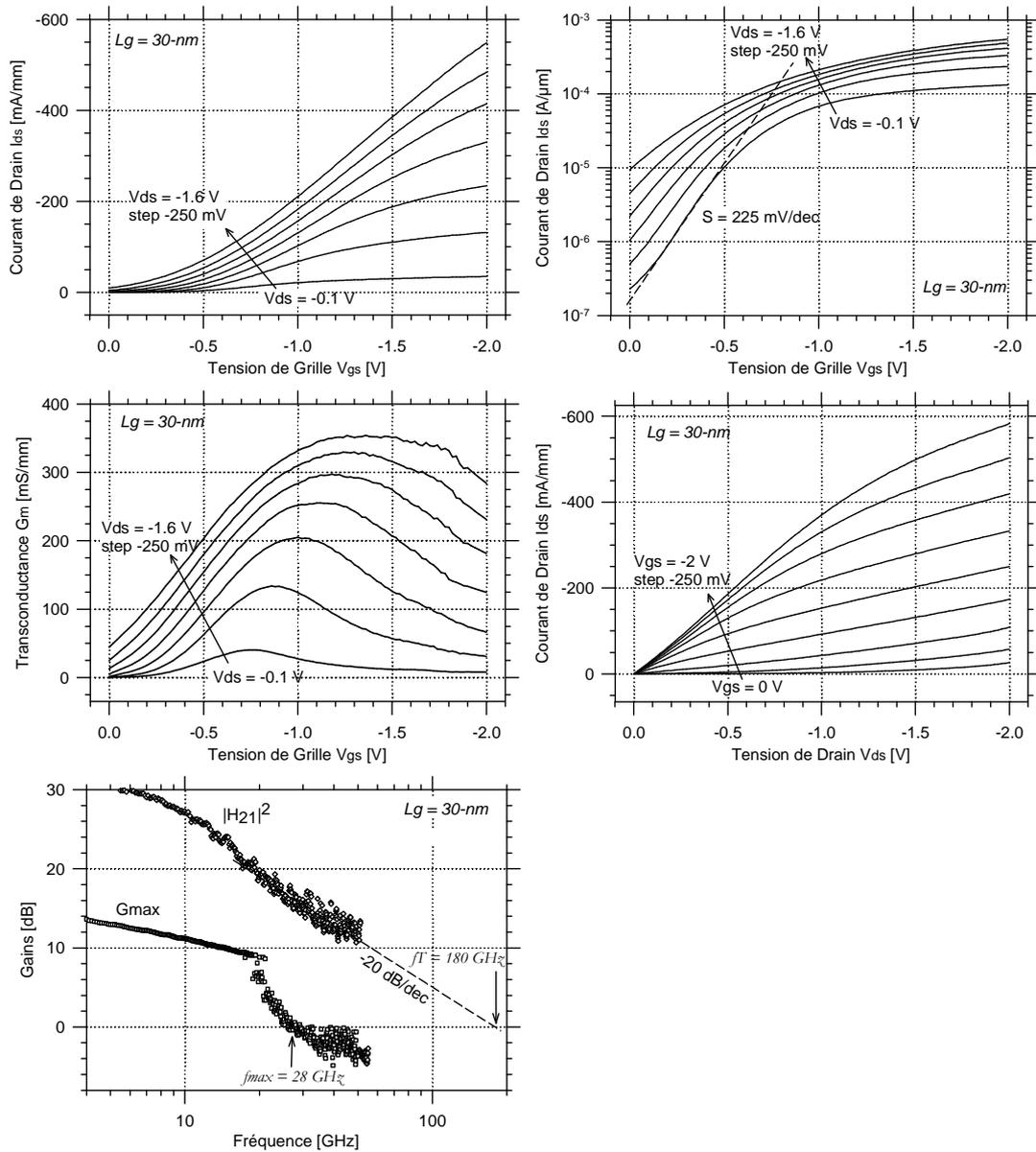


Fig. 3.35 : Caractéristiques statiques normalisées I_{ds} - V_{gs} (a), $\text{Log}(I_{ds})$ - V_{gs} (b), G_m - V_{gs} (c), I_{ds} - V_{ds} (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et maximum G_{max} (e) pour un transistor de longueur de grille de 30-nm.

Ce composant présente des fréquences f_T/f_{max} égale à 180/28 GHz à $V_{sg} = 2 \text{ V}$ et $V_{dg} = -0.5 \text{ V}$ (équivalent à $V_{ds} = -2.5 \text{ V}$ et $V_{gs} = -2 \text{ V}$). Notons que la valeur de 180 GHz a été obtenue par un moyennage numérique dans la bande de fréquence allant de 10 GHz à 40 GHz.

Premièrement, nous reportons sur une performance RF record d'un transistor SB-MOSFET de longueur de grille de 30-nm, de type p , sur un film fin entièrement déserté SOI. La fréquence f_T est extraite à 180 GHz (Fig. 3.35) pour ce transistor à canal non contraint, ce résultat constitue un des meilleurs résultats reportés dans la littérature pour un canal conventionnel. Il faut noter que le ratio f_{max}/f_T calculé à partir des mesures (reporté à ~ 0.16 pour la longueur de grille de 30-nm) est largement plus faible que pour des transistors conventionnels à canal de silicium [22], [23] (ce ratio est usuellement plus proche de l'unité). Cependant, rappelons que suite aux investigations réalisées

au second chapitre, les simulations ont déjà révélés que la résistance de grille est un paramètre particulièrement sensible sur la fréquence f_{max} et que d'une manière générale, l'optimisation du design du transistor est essentielle pour atteindre les valeurs de f_{max} les plus élevées. Ceci explique naturellement les valeurs faibles de f_{max} que l'on obtient sur les dispositifs mesurés étant données les topologies dont nous disposons.

Suivant la méthodologie de modélisation des transistors SB MOSFET décrite dans la partie précédente, nous nous proposons d'extraire un circuit équivalent petit signal quasi-statique. Gardons en mémoire que les contacts de source et drain sont régis par des mécanismes de type Schottky et donc que les résistances séries R_s/R_d doivent être considérées comme des éléments non linéaires dépendants de la polarisation. Dès lors, nous ne pouvons pas non plus appliquer la méthode usuelle dévolue au MOSFET conventionnel pour extraire les résistances⁹ (extraction « à froid », *i.e.*, à $V_{ds} = 0V$ [20]). En conséquence, tous les paramètres du SSEC montrés aux Figs. 3.36-3.38 ont été extraits à la même polarisation. Les parties réelles $R_{\text{réel}}(Z_{12})$ et $R_{\text{réel}}(Z_{11}-Z_{12})$ en fonction de la fréquence sont représentées à la Fig. 3.36 pour un transistor de longueur de grille de 240-nm et de largeur totale de $2 \times 10\text{-}\mu\text{m}$ en configuration de source commune. À noter qu'il existe une autre méthode pour évaluer les éléments séries à chaud [27] et que les valeurs extraites par celle-ci sont en accord avec les valeurs obtenues par la méthodologie présentée précédemment.

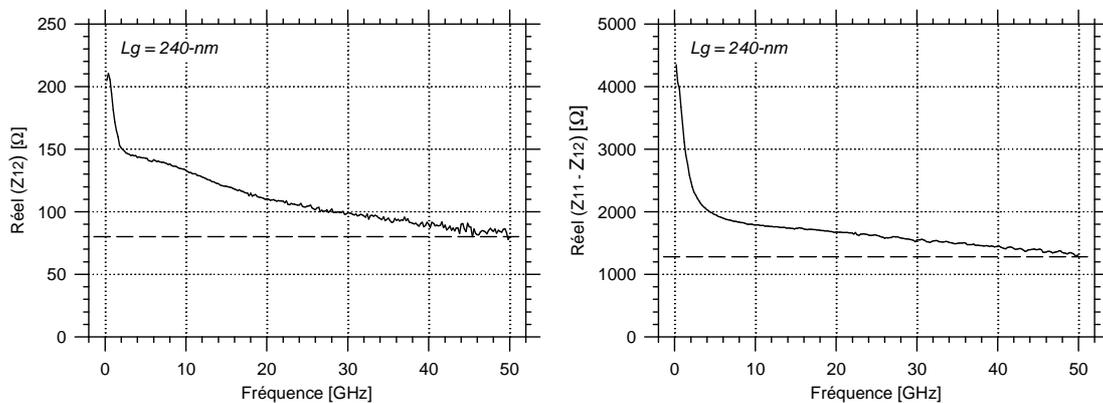


Fig. 3.36 : Parties réelles non-normalisées de $R_{\text{réel}}(Z_{12})$ et $R_{\text{réel}}(Z_{11}-Z_{12})$ en fonction de la fréquence à $V_{ds} = -2V$, $V_{gs} = -1.5V$. R_s et R_g sont extraites approximativement à $80\ \Omega$ et $1150\ \Omega$.

Les tracés des paramètres intrinsèques en fonction de la fréquence permettant d'extraire les paramètres intrinsèques sont montrés aux Figs. 3.37-3.38. On peut observer que ces paramètres intrinsèques sont fortement dépendants de la fréquence, ce qui est incorrect (par définition, les éléments du SSEC doivent être indépendants de la fréquence) et rend invalide l'extraction. On peut

⁹ Ceci sera présenté par la suite à la Section 3.5.3.

expliquer cette dépendance par le fait qu'à cause des faibles valeurs de résistances de S/D, de la faible épaisseur d'oxyde enterré (BOX) couplées à la faible résistivité du substrat ($<10 \Omega \cdot \text{cm}$), ceux-ci rendent le *de-embedding* plus délicat, amenant peut être à devoir considérer un schéma équivalent plus détaillé tenant compte d'effets de substrat. Dans ce cas, la solution pour s'en affranchir, étant donnée la difficulté de l'extraction, consiste à utiliser un substrat HRS.

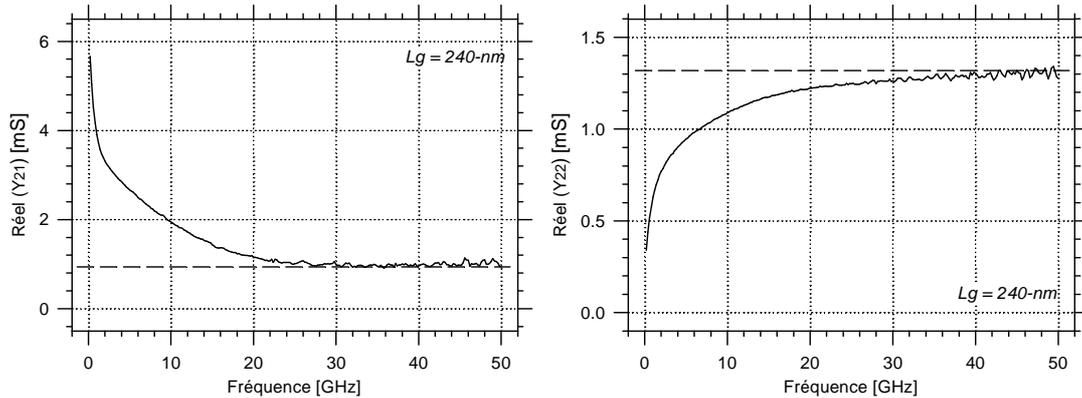


Fig. 3.37 : Extraction des éléments non-normalisés du SSEC à $V_{ds} = -2 \text{ V}$, $V_{gs} = -1.5 \text{ V}$. Rappelons que la transconductance g_{mi} et la conductance de sortie g_{di} sont extraits à partir des parties réelles (Y_{i21}) et (Y_{i22}). Les éléments g_{mi} et g_{di} sont évalués à 50 mS/mm et 70 mS/mm, respectivement.

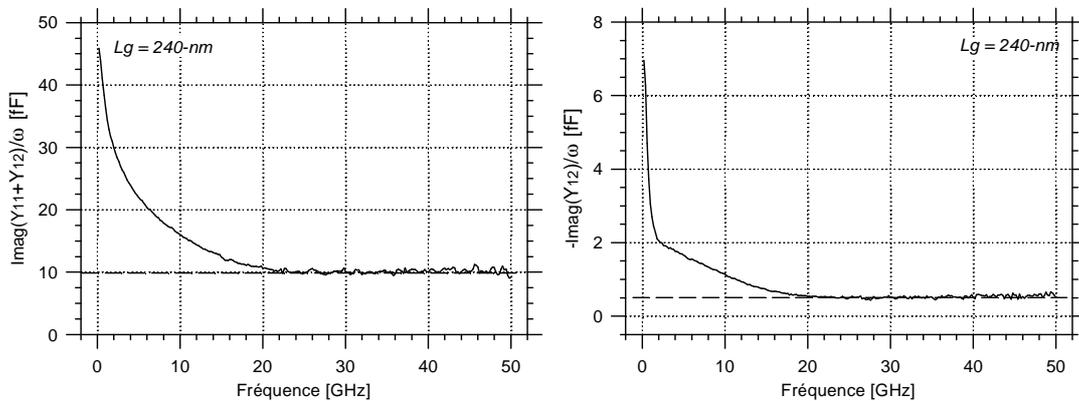


Fig. 3.38 : Extraction des éléments non-normalisés du SSEC à $V_{ds} = -2 \text{ V}$, $V_{gs} = -1.5 \text{ V}$. Les capacités grille-à-source C_{gsi} et grille-à-drain C_{gdi} sont extraites à partir des parties imaginaires de $(Y_{i11} + Y_{i12})/\omega$ et $(-Y_{i12})/\omega$. Les éléments C_{gsi} et C_{gdi} sont évalués à 0.4 fF/ μm et 0.04 fF/ μm , respectivement.

3.5.3 Transistors SB-MOSFET à contacts ségrégués de dopants sur substrat HRS

En ce qui concerne le dernier lot que nous avons eu à notre disposition, les composants SB MOSFET ont été réalisés sur un substrat à haute résistivité (HRS) afin d'améliorer la qualité des mesures des transistors à très hautes fréquences et nous permettre ainsi d'affiner le modèle de schéma équivalent petit signal. Malheureusement, des difficultés technologiques se sont présentées

et ont amenés à ce que peu de composants ont montré des caractéristiques fonctionnelles. Cependant, un transistor SB MOSFET de la longueur de grille de $L_g = 80\text{-nm}$ fonctionnel a pu être mesuré. Nous nous attacherons donc à discuter de ses caractéristiques statiques et hyperfréquences. Ce transistor est configuré en grille commune avec un doigt d'une largeur de $10\text{-}\mu\text{m}$. Les caractéristiques statiques sont présentées à la Fig. 3.39. Ce transistor exhibe un courant à l'état 'on' de 580 mA/mm à $V_{gs} = -2\text{ V}$, $V_{ds} = -1.6\text{ V}$ surpassant pratiquement l'ensemble des valeurs mesurées sur les composants déjà fabriqués dans le cadre de METAMOS [2]. En contrepartie, ce transistor présente un courant à l'état 'off' élevé, proche de 10 mA/mm à $V_{ds} = -1.6\text{ V}$.

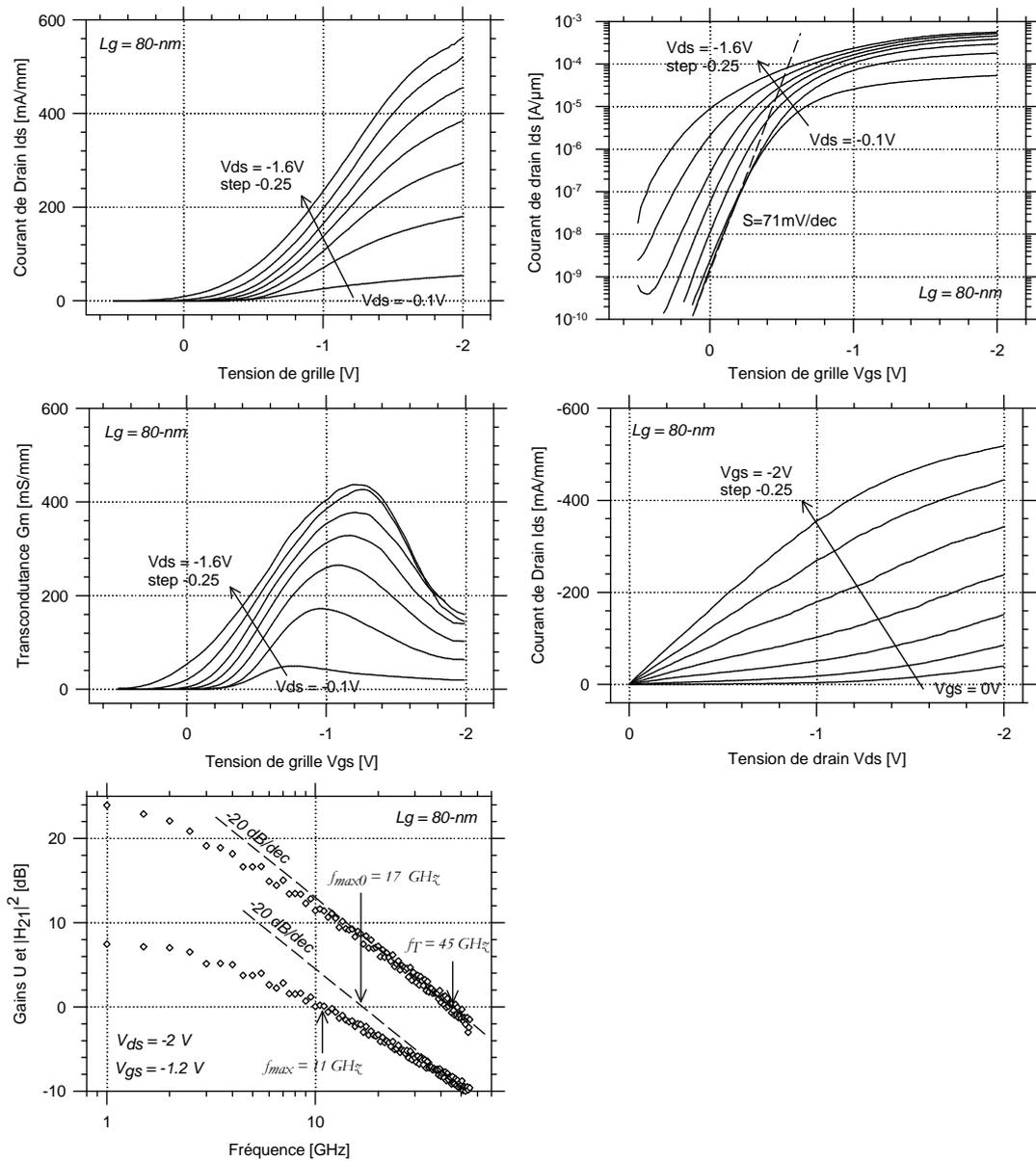


Fig. 3.39 : Caractéristiques statiques normalisées I_d - V_g (a), $\text{Log}(I_d)$ - V_g (b), G_m - V_g (c), I_d - V_d (d) et les figures de mérites AC des gains en courant $|H_{21}|^2$ et unilatéral U (e) pour un transistor de longueur de grille de 80-nm.

Ce composant présente des fréquences f_T/f_{max} égales à 45/11 GHz à $V_{sg} = 1.2\text{ V}$ et $V_{dg} = -0.8\text{ V}$ (équivalent à $V_{ds} = -2\text{ V}$ et $V_{gs} = -1.2\text{ V}$).

Il exhibe en outre une transconductance statique de près de 450 mS/mm qui représente une valeur très élevée pour un transistor de type p dont le canal n'a pas été contraint. A noter également un écart entre les niveaux de courant issus des caractéristiques ($I_{ds}-V_{gs}$) et ($I_{ds}-V_{ds}$) à un même point de polarisation, mesuré à environ 6% à $V_{gs} = -2\text{ V}$ et $V_{ds} = -1.6\text{ V}$ si l'on se réfère à la caractéristique $I_{ds}-V_{ds}$. Ceci laisse présager que de légers effets de pièges aux contacts.

Concernant les performances fréquentielles, nous avons mesuré des valeurs maximum f_T/f_{max} de 58/19 GHz au point de polarisation $V_{ds} = -2\text{ V}$, $V_{gs} = -0.8\text{ V}$ (45/17 GHz à $V_{ds} = -2\text{ V}$, $V_{gs} = -1.2\text{ V}$). Les fréquences f_T/f_{max} en fonction de la tension V_{gs} ont été extraites et sont présentées à la Fig. 3.40. Notons que les gains n'évoluent pas idéalement en -20 dB/dec et que cet effet est particulièrement accentué pour le gain unilatéral aux plus basses fréquences.

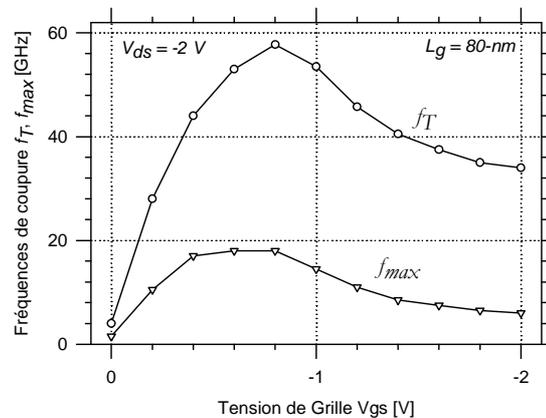


Fig. 3.40 : Extraction des fréquences de coupure f_T et f_{max} mesurée du transistor. La tension de drain est fixée à -2 V .

A partir de ces performances, nous nous proposons de continuer l'étude en extrayant un modèle petit signal du type QS-SSEC en régime de saturation ($V_{gs} = -1.2\text{ V}$, $V_{ds} = -2\text{ V}$). Cependant, préalablement et pour des raisons de compréhension, nous traçons les parties réelles de (Y_{E11}) et (Y_{E22}) représentatives de la transconductance et de la conductance de sortie extrinsèques qui sont présentées à la Fig. 3.41.

Nous pouvons donc évaluer la transconductance extrinsèque à près de 240 mS/mm à la fréquence de 500 MHz. Cette valeur est éloignée de la valeur de la transconductance calculée en statique à partir de la caractéristique $I_{ds}-V_{gs}$ qui est proche de 440 mS/mm alors que les effets des pièges ne peuvent plus expliquer cet écart. Cette valeur peut donc laisser en fait supposer qu'il n'y a qu'une partie du transistor qui est active en RF, *i.e.*, qui participe au gain d'amplification du transistor. Nous reviendrons sur cette discussion ultérieurement lorsque nous continuerons l'extraction du SSEC.

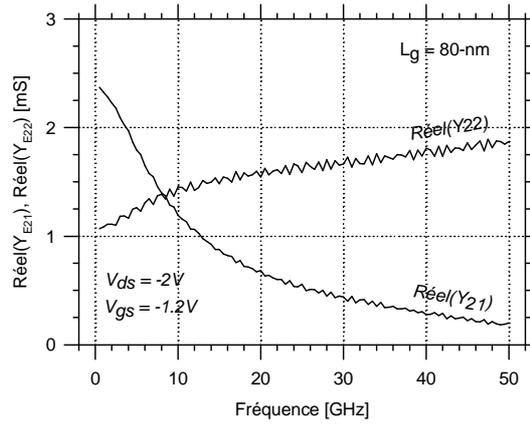


Fig. 3.41 : Extraction de la transconductance extrinsèque G_{me} et de la conductance de sortie G_{de} à partir des parties réelles de (Y_{E21}) et (Y_{E22}) respectivement. Les valeurs normalisées de G_{me} et G_{de} @ 1Ghz sont extraites respectivement à $240 \mu\text{S}/\mu\text{m}$ et $110 \mu\text{S}/\mu\text{m}$. ($W_{tot} = 10\text{-}\mu\text{m}$) ($V_{ds} = -2\text{V}$, $V_{gs} = -1.2\text{V}$).

Pour s'assurer que les résistances de contact restent dépendantes de la polarisation malgré la ségrégation de dopants et donc que l'on ne peut pas les évaluer par une méthodologie conventionnelle, nous avons extrait la grandeur R_{dse} ($=1/G_{de}$) calculée en statique à partir de la caractéristique $I_{ds}\text{-}V_{ds}$ lorsque le transistor est froid et lorsque le canal est entièrement ouvert, *i.e.*, à $V_{ds} = 0\text{ V}$ et $V_{gs} \gg V_t$. Nous rappelons l'expression de la résistance source à drain extrinsèque R_{dse} (3.27) :

$$R_{dse} = \frac{1}{g_{di}} + R_s + R_d \quad (3.27)$$

$$\text{avec } g_{di} = \frac{\mu W C_{ox}}{L} (V_{gs} - V_t - nV_{ds}) \quad (3.28)$$

L'idée d'ouvrir le canal à $V_{ds} = 0\text{ V}$ permet d'annuler ou tout au moins de négliger la contribution $1/g_{di}$ vis-à-vis des autres résistances. Pour cela, plusieurs résistances R_{dse} à fort V_{gs} sont extraites des mesures. En traçant R_{dse} en fonction de $1/(V_{gs}-V_t)$ et par extrapolation, *i.e.*, $1/(V_{gs}-V_t)$ tendant vers zéro, les résistances R_s+R_d peuvent être déduites au premier ordre. Notons que cette méthode est le pendant en statique de la méthode décrite par *A. Bracale* [20] (extraction « à froid ») en RF avec ici l'avantage de s'affranchir d'effets fréquentiels. Tel que l'on peut le voir à la Fig. 3.42, la valeur négative extrapolée naturellement invalide cette méthode d'extraction des résistances en DC mais également implicitement la méthode en RF.

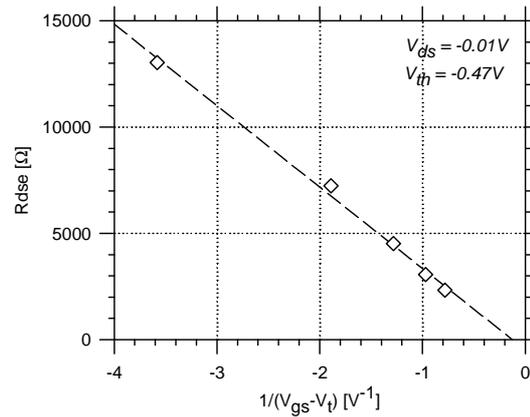


Fig. 3.42 : Résistance R_{dse} ($=R_{se}+R_{de}$) (extraite à partir de la caractéristique $I_{ds}-V_{ds}$) en fonction de $1/(V_{gs}-V_t)$.

La résistance R_{dse} est calculée en prenant ΔV_{ds} à 10 mV autour de $V_{ds} = 0\text{ V}$. La tension de seuil V_t est calculée à $\sim -0.47\text{ V}$ à partir de la caractéristique $I_{ds}-V_{gs}$ lorsque $V_{ds} = 10\text{ mV}$. L'extrapolation des points est tracée également.

Il est donc nécessaire d'appliquer la méthode à « chaud » que l'on a décrite dans la section précédente en utilisant les paramètres Z comme indicateurs des valeurs des résistances extrinsèques¹⁰. A la Fig. 3.43, nous présentons les parties réelles de Z_{12} et $Z_{11}-Z_{12}$ afin d'extraire respectivement les résistances R_s et R_g .

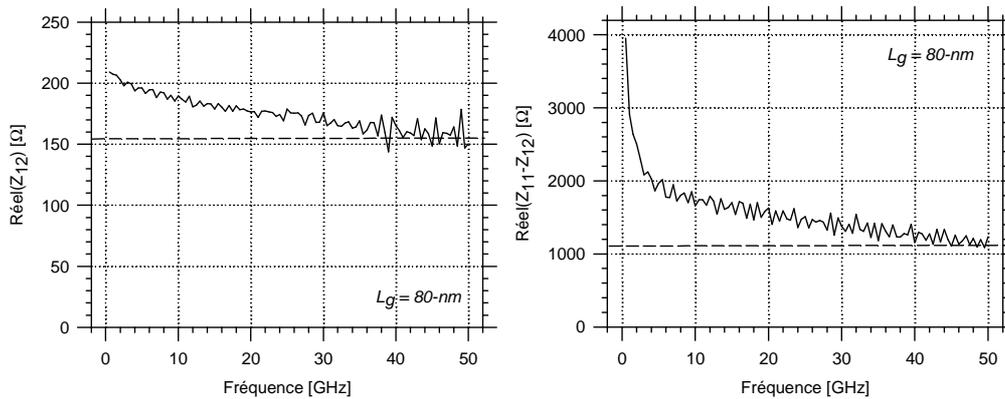


Fig. 3.43 : Parties réelles des paramètres Z_{12} et $(Z_{11}-Z_{12})$ à $V_{sg} = 1.2\text{ V}$ et $V_{dg} = -0.8\text{ V}$ (équivalent à $V_{ds} = -2\text{ V}$ et $V_{gs} = -1.2\text{ V}$).

On peut observer que l'évolution du paramètre $R_{\text{réel}}(Z_{12})$ est moins sensible à la fréquence que celle du précédent transistor (Figs. 3.37-3.38). Ceci peut être naturellement expliqué par l'utilisation d'un substrat HRS amenant à la réduction d'effets parasites. Néanmoins, en ce qui concerne l'évolution du paramètre $R_{\text{réel}}(Z_{11}-Z_{12})$, celle-ci reste très similaire à celle du précédent transistor sur substrat SRS et nous ne pouvons donc plus l'expliquer par l'effet du substrat.

Malgré les fluctuations des paramètres Z , nous estimons les résistances R_s et R_g respectivement à $155\ \Omega$ et $1150\ \Omega$. A partir de ces valeurs, nous pouvons dès lors extraire le schéma équivalent petit

¹⁰ Notons que nous avons extraits à $V_{ds} = V_{gs} = 0\text{ V}$ les capacités de plots C_{pg} et C_{pd} du transistor à respectivement 0 et 0.8 fF , éléments qui sont soustraits du SSEC.

signal intrinsèque. L'ensemble des variations fréquentielles des paramètres intrinsèques est présenté aux Figs. 3.44-3.46.

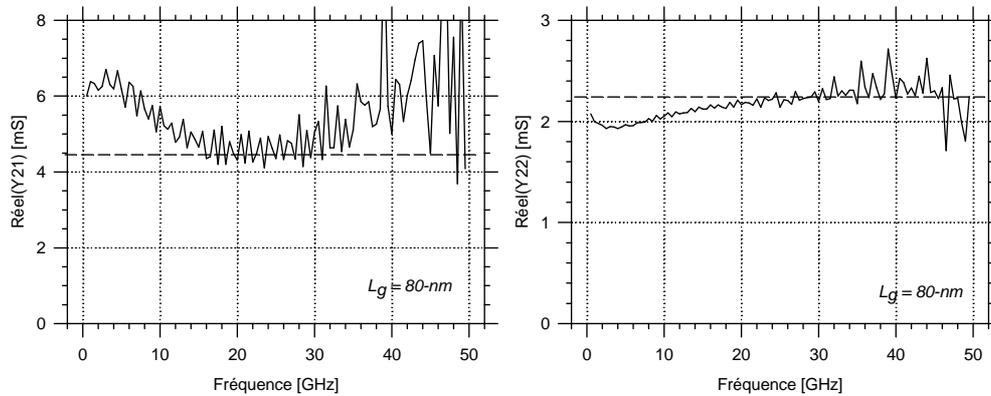


Fig. 3.44 : Extraction de la transconductance intrinsèque g_{mi} (à gauche) et de la conductance de sortie g_{di} (à droite) à partir des parties réelles de (Y_{i21}) et (Y_{i22}) respectivement. Les valeurs sont évaluées à environ 450 mS/mm et 220 mS/mm pour le transistor de longueur de grille de 80-nm. ($W_{tot} = 1*10\text{-}\mu\text{m}$) à $V_{sg} = 1.2\text{ V}$ et $V_{dg} = -0.8\text{ V}$ (équivalent à $V_{ds} = -2\text{ V}$ et $V_{gs} = -1.2\text{ V}$). Le ratio est environ 2.

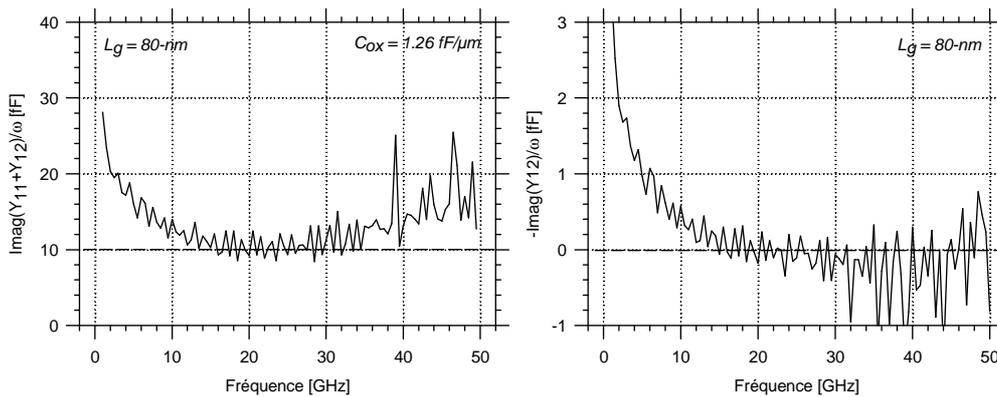


Fig. 3.45 : Extraction des capacités intrinsèques C_{gsi} et C_{gdi} à partir des parties imaginaires de $(-Y_{i12})/\omega$ et $(Y_{i11}+Y_{i12})/\omega$. Les capacités sont estimées à 1 fF/ μm et $<0.1\text{ fF}/\mu\text{m}$ à $V_{sg} = 1.2\text{ V}$ et $V_{dg} = -0.8\text{ V}$ (équivalent à $V_{ds} = -2\text{ V}$ et $V_{gs} = -1.2\text{ V}$).

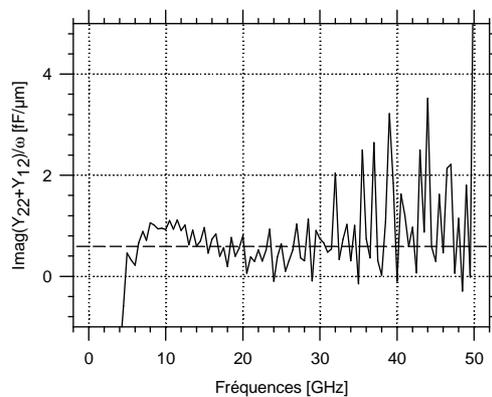


Fig. 3.46 : Extraction de la capacité drain-à-source C_{ds} évaluée à 0.6 fF à $V_{sg} = 1.2\text{ V}$ et $V_{dg} = -0.8\text{ V}$ (équivalent à $V_{ds} = -2\text{ V}$ et $V_{gs} = -1.2\text{ V}$).

Tab. 3.4: Valeurs extraites des éléments du SSEC.

L _G = 80-nm, W _{TOT} = 1*10 μm, V _{ds} = -2 V, V _{gs} = -1.2 V		
Eléments	Valeurs	Valeurs normalisées (μm ⁻¹)
g_{mi}	4500 μS	450 μS/μm
g_{di}	2200 μS	220 μS/μm
C_{gsi}	10 fF	1 fF/μm (= 0.8*C _{ox})
C_{gdi}	<0.1 fF	<0.01 fF/μm
C_{ds}	0.6 fF	0.06 fF/μm
R_s	155 Ω	1.55 kΩ.μm
R_g	1150 Ω	110 Ω/square ****
R_d	0 Ω	-
f_c^*	71.6 GHz	-
f_T^{**}	53.4 GHz	-
f_{max}^{***}	21.1 GHz	-

* f_c est calculée comme $f_c = g_m / 2\pi C_{gs}$

** f_T est calculée suivant Eq. (1.1).

*** f_{max} est calculée suivant Eq. (1.2).

**** hypothèse : structure GC comportant 2 accès homogènes aux doigts de grille.

On peut observer de sévères fluctuations dans toute la bande de fréquence pour les échelles considérées, cependant, celles-ci semblent de nature stochastique autour d'une valeur moyenne dans la bande de fréquence allant de 10 à 40 GHz, nous permettant d'évaluer les éléments intrinsèques. Nous pouvons alors estimer les valeurs de la transconductance g_{mi} et de la conductance de sortie g_{di} intrinsèques à respectivement 450 μS/μm et 220 μS/μm ainsi que les valeurs des capacités grille-à-source C_{gsi} et grille-à-drain C_{gdi} à 1 fF/μm et <0.01 fF/μm. Les valeurs des éléments estimés et normalisés sont reportées dans le Tab. 3.4. Il faut également observer que le gain en tension (= g_{mi}/g_{di}) est particulièrement faible sur ce transistor, montrant que celui-ci est notamment altéré par des effets de canaux courts.

La Fig. 3.47 présente la comparaison entre les gains mesurés et re-calculés (gains en courant et unilatéral). Un accord acceptable est observé, notamment dans la bande de fréquence où les éléments du schéma équivalent ont été extraits.

A noter que la capacité C_{gsi} (~1 fF) est légèrement plus élevée que $2/3C_{ox}$ (~0.85 fF/μm), mais nous permet tout de même de conforter la qualité de l'extraction faite précédemment à la Section 3.5.1, la commande de charge étant semblable à celle d'un transistor MOSFET conventionnel. Ajoutons également que la transconductance intrinsèque mesurée à 450 μS/μm est finalement très proche de la transconductance statique alors que la résistance de source n'est pas négligeable et devrait affecter davantage lors de l'extraction la transconductance intrinsèque si l'on

considère (1.22). Notons cependant que la valeur obtenue avec (1.22) ($G_{me} \sim 221 \mu\text{S}/\mu\text{m}$) nous permet de la valeur de la transconductance extrinsèque AC.

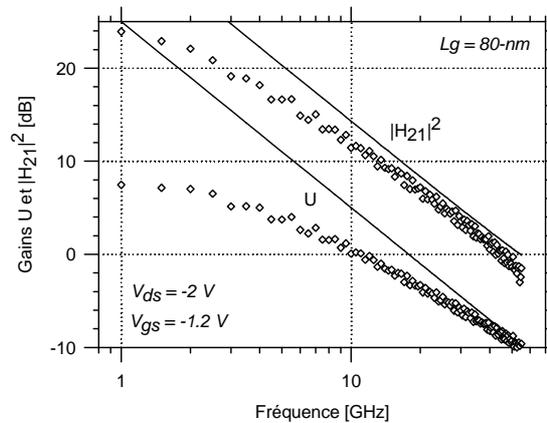


Fig. 3.47 : Comparaison entre les gains mesurés et simulés en fonction de la fréquence à $V_{gs} = -1.2 \text{ V}$ et $V_{dg} = -0.8 \text{ V}$ (équivalent à $V_{ds} = -2 \text{ V}$ et $V_{gs} = -1.2 \text{ V}$).

Ces observations montrent que nous sommes toujours soumis à des difficultés bien que nous ayons optimisé sensiblement un certain nombre d'effets qui sans aucun doute parasitaient l'extraction du transistor jusqu'à 50 GHz (grâce à l'utilisation du substrat HRS et à l'optimisation des résistances de contacts S/D). Malheureusement comme nous avons pu le voir, les résistances de grille n'ont pas pu être optimisées, étant donnée la contrainte de ne pas pouvoir rajouter d'étapes technologiques afin de ne pas réduire davantage la probabilité de disposer de transistors fonctionnels.

L'une de ces difficultés peut s'expliquer par le fait qu'un modèle de type schéma équivalent petit signal admet que le transistor, qui d'un point de vue technologique 3D, est un système « quasi-ponctuel » ou tout au plus « quasi-unidimensionnel ». Et en effet, nous faisons l'approximation que tous les mécanismes de distribution et de propagation dans le transistor qui comprend ses accès extrinsèques (doigts de grille, siliciures des contacts de source et drain), qui ont des effets multidimensionnels, peuvent être réduits à des éléments purement localisés au premier ordre. Le premier exemple que nous avons déjà abordé dans le premier chapitre, est la modélisation petit signal des effets non quasi-statiques du transistor, *i.e.*, des effets de distributions longitudinales, via les éléments R_i , R_{gd} et τ qui apportent un degré de précision supplémentaire en hautes fréquences comparativement au modèle quasi-statique. Un autre élément qui illustre cette approximation est la valeur de la résistance de grille qui en régime dynamique est mesurée trois fois inférieure qu'en statique [29]. Naturellement, dans ces conditions, il est nécessaire de respecter des domaines de validité, en général fréquentiels, dans lesquels chaque approximation a été définie si nous souhaitons utiliser ce modèle. Dans le cas de notre transistor et après avoir écarté les principaux effets parasites

liées à l'environnement du transistor, les écarts entre les mesures et le modèle simulé mais également l'évolution fréquentielle des éléments extraits nous indiquent clairement que le domaine de validité de notre modèle est dépassé. En ce qui concerne la résistance du doigt de grille, il est certain que sa forte valeur pose des problèmes lors de l'extraction, notamment parce qu'il faut dorénavant prendre en compte un effet de distribution du transistor le long du doigt de grille tel qu'il est présenté schématiquement à la Fig. 3.48-a. Il est facile de mettre en évidence cet effet, il suffit pour cela de considérer une simple ligne distribuée d'éléments RC, avec R et C représentant respectivement la résistance de grille réelle du matériau de grille et la capacité d'entrée du transistor localisées (Fig. 3.48-b).

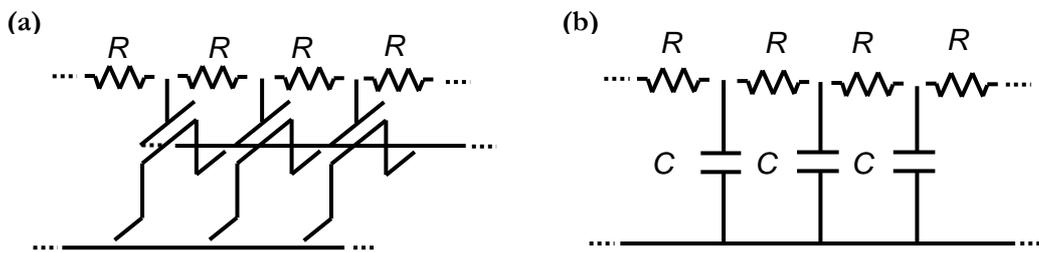


Fig. 3.48 : Schématisation des transistors distribués selon l'axe du doigt de grille (a). Schématisation d'un réseau RC (b). Rappelons qu'à cause de l'effet distribué de la résistance, on peut montrer que la résistance apparente ($= \text{Réel}(Z_{RC11})$) est 3 fois inférieure à la résistance réelle du matériau R (pour des fréquences très inférieures à f_0).

Il est alors très facile de déduire en appliquant la théorie des lignes la fréquence de coupure f_0 du doigt pour laquelle le transistor est coupé suivant (3.29) :

$$f_0 \approx \frac{3}{2\pi RC(W_u)^2} \quad (3.29)$$

où W_u est la largeur unitaire du doigt. En implémentant des valeurs $R/3$ fixées à $200 \Omega/\mu\text{m}$ (correspondant à la valeur de $\text{Réel}(Z_{11}-Z_{12})$ à la fréquence de 5 GHz à la Fig. 3.43) et C à $1 \text{ fF}/\mu\text{m}$ pour un doigt de largeur de $10\text{-}\mu\text{m}$, il apparaît que la fréquence de coupure f_0 du doigt de grille est $\sim 8 \text{ GHz}$. Cela signifie d'une part que la tension d'entrée se retrouve presque en totalité aux bornes de la résistance de grille pour les fréquences au-delà de f_0 , diminuant par conséquent l'effet transistor. D'autre part que l'approximation réalisée pour modéliser le doigt de grille par une simple résistance n'est plus appropriée puisque désormais la partie réelle de l'impédance d'entrée $\text{Réel}(Z_{RC11})$ dépend de la fréquence¹¹. On peut montrer que la fréquence pour laquelle $\text{Réel}(Z_{RC11})$ a été divisée par 2 correspond à $6f_0$ ($\sim 50 \text{ GHz}$). La variation fréquentielle pour les plus hautes fréquences de la

¹¹ Rappelons que l'impédance d'entrée d'une ligne RC dont l'extrémité est ouverte (impédance infinie) s'exprime telle que $Z_{RC11} = Z_c \tanh^{-1}(\gamma L)$ avec $Z_c = \sqrt{R/jC\omega}$, $\gamma = \sqrt{jRC\omega}$ et L la longueur de la ligne.

partie réelle de $\text{Réel}(Z_{11}-Z_{12})$ est un indicateur qui milite en faveur de cette interprétation. De façon plus générale, si l'on souhaite caractériser un transistor et extraire un SSEC, on devra faire en sorte que f_0 soit très supérieure à la fréquence haute de la bande de mesure afin de pouvoir négliger les effets de distribution du transistor et qui n'est de toute façon pas le cas pour nos mesures RF.

Cependant l'effet de distribution n'est pas suffisant pour expliquer l'ensemble des variations qui affecte notamment les paramètres $\text{Réel}(Y_{E21})$, $\text{Réel}(Z_{11}-Z_{12})$ ainsi que les gains dans les plus basses fréquences. Une explication peut être donnée si l'on considère que la résistance métallique du doigt n'est pas seule à justifier une forte valeur de la résistance de grille extraite. Notamment, il faut également peut être tenir compte de résistances d'accès aux doigts de grille hétérogènes à plus forte raison si certains doigts de grille sont mal connectés aux accès.

Afin d'illustrer notre propos, considérons deux transistors mis en parallèle, à l'image de deux doigts de grille, dont l'un des deux transistors est mal connecté à son accès, les schémas équivalents petits signaux distincts peuvent être alors mis en parallèle et comprennent naturellement deux résistances de grille distinctes R_{g1} et R_{g2} dont la résistance R_{g2} contraste fortement avec R_{g1} par sa grande valeur. Les schémas équivalents petits signaux sont alors comme présentés à la Fig. 3.49.

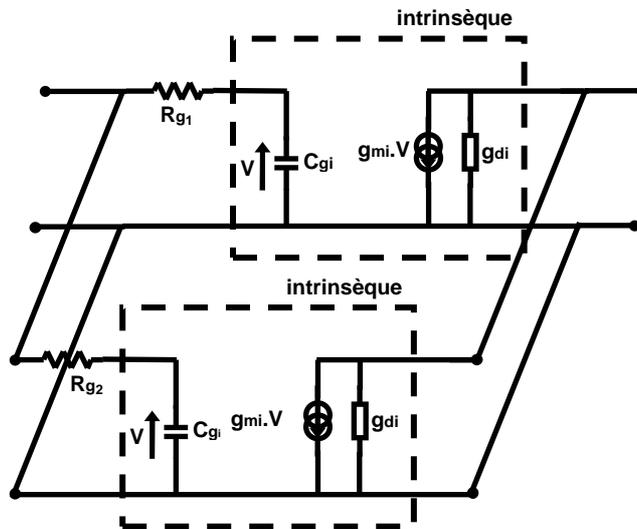


Fig. 3.49 : Schéma équivalent petit signal simplifié de deux doigts d'un transistor MOSFET.

A partir de la théorie des quadripôles, les nouvelles expressions de la transconductance extrinsèque et de capacité extrinsèque sont données par (3.30) et (3.31) :

$$\Re\{Y_{E21}^{\parallel}\} = G_{me} = \frac{g_{mi}}{1+(R_{g1}C_{gi}\omega)^2} + \frac{g_{mi}}{1+(R_{g2}C_{gi}\omega)^2} \quad (3.30)$$

$$\frac{\Im\{Y_{E11}^{\parallel}\}}{\omega} = C_{ge} = \frac{C_{gi}}{1+(R_{g1}C_{gi}\omega)^2} + \frac{C_{gi}}{1+(R_{g2}C_{gi}\omega)^2} \quad (3.31)$$

Deux fréquences de coupure f_{c1} et f_{c2} apparaissent sur les termes G_{me} et C_{ge} . Ces deux fréquences seront naturellement d'autant éloignées que les résistances R_{g1} et R_{g2} sont dissociées. A noter que la conductance de sortie $G_{de} = \Re\{Y_{22}''\}$ n'est pas sensible à R_g dans le cas où il n'y a pas de contre-réaction C_{gd} et de résistance R_s .

Suite à ces expressions, on peut aisément comprendre que les éléments extrinsèques évoluera sous la forme de « deux marches d'escalier » (3.30)-(3.31). Celle-ci est confortée naturellement par les observations de la transconductance extrinsèque qui est plus faible à 1 GHz que la transconductance statique (Fig. 3.41).

On peut également mettre en évidence que la partie réelle de $(Z_{11}-Z_{12})$ présente une évolution drastique dans les plus faibles fréquences (Fig. 3.43). En effet, dans les conditions où si $R_{g2} \gg R_{g1}$, on peut montrer qu'en basse fréquence, $\Re\{Z_{11}''\}$ vaut $\sim R_{g2}/4$ alors qu'en haute fréquence $\Re\{Z_{11}''\}$ vaut $\sim R_{g1}$.

Malheureusement, nous n'avons pas pu confirmer cette évolution à plus basse fréquence sur ce transistor étant donné qu'il ne fonctionnait plus suite aux précédentes mesures. Cependant, l'évolution sur le terme de transconductance AC a été observée sur d'autres transistors du même lot non présentés ici du fait de performances très faibles.

Il est certain que le processus technologie est particulièrement délicat dans un cadre académique comparativement aux processus parfaitement stabilisés issus d'un cadre industriel. Nous montrons que les étapes technologiques critiques à la caractérisation RF sont ceux liées à la formation de la grille. Et en effet, si son importance est réduite en ce qui concerne le comportement statique du transistor, une topologie optimisée de la grille ainsi qu'une optimisation de sa résistance sont fondamentaux si l'on souhaite des performances RF à l'état de l'art (f_{max}) mais également si l'on souhaite envisager des investigations avancées du transistor (modèles RF, caractérisation de bruit, etc.). Une technologie qui aiderait à abaisser la résistance de grille si la contrainte est de ne pouvoir réaliser qu'un seul niveau de métal pourrait être de fabriquer des grilles en Té [30].

3.6. Investigation d'un modèle de schéma équivalent petit signal non quasi-statique du transistor SB-MOSFET

Les différentes difficultés rencontrées lors des mesures RF des composants nous ont amenés à n'initier qu'un schéma équivalent petit signal quasi-statique pour modéliser le transistor SB

MOSFET sans pouvoir prétendre extraire un modèle non quasi-statique tel qu'il est présenté à la Fig. 3.18, du fait des motifs de transistor non optimisés pour une caractérisation RF approfondie.

Cependant, nous disposons d'un simulateur de composant, qui par définition prend en compte les temps de relaxation des porteurs dans le semi-conducteur permettant ainsi de décrire convenablement les effets non quasi-statiques du transistor. De ce fait, nous proposons d'investiguer une méthodologie d'extraction du modèle SSEC NQS (Fig. F.1) à partir de données AC provenant de simulations TCAD d'un transistor SB MOSFET dont la longueur de grille est de 120-nm.

Malgré l'amélioration de la qualité de la mesure, il subsiste néanmoins un obstacle à franchir : l'impossibilité d'extraire dans le cas de transistors SB MOSFET les résistances de contact par une méthode conventionnelle à froid (à $V_{ds} = 0V$), étant donnée la dépendance des résistances avec la tension. Malheureusement, évaluer précisément les éléments séries est primordiale pour extraire un modèle non quasi-statique complet. Pour montrer la difficulté en AC, une méthodologie à chaud a été utilisée pour extraire les résistances [28] en fonction de la tension V_{gs} . Les valeurs extraites de la résistance R_s sont présentées en fonction de la tension V_{gs} pour différentes hauteurs de barrière à la Fig. 3.50-a et en fonction de la distance de non-recouvrement à la Fig. 3.50-b.

A partir de la Fig. 3.50-a, on observe que les valeurs de la résistance R_s extraites varient sensiblement en fonction de la tension V_{gs} si la hauteur de barrière est supérieure de $0 eV$. On observe également sur la Fig. 3.50-b que lorsque la hauteur de barrière et la distance de non-recouvrement sont nulles, la résistance R_s extraite suivant cette méthodologie à $\sim 500 \Omega \cdot \mu m$ est une valeur très importante.

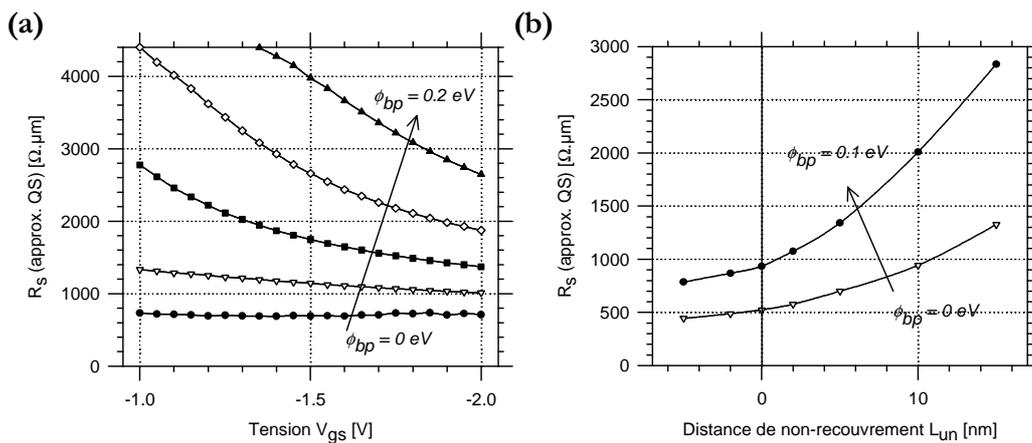


Fig. 3.50 : A gauche, extraction de la résistance R_s par la méthode « *Raskin* » en fonction de la tension de grille pour différentes hauteurs de barrière variant de 0 à 0.2 eV par pas de 50 meV. La tension V_{ds} est fixée à -2 V et la distance de non-recouvrement L_{un} à 5-nm. A droite, extraction de la résistance R_s en fonction de la distance de non-recouvrement pour deux hauteurs de barrières fixées à 0 et 0.1 eV. Les tensions V_{gs} et V_{ds} sont fixées à -2 V. A noter que les contacts du transistor n'ont pas été ségrégués de dopants.

Rappelons que cette méthode détermine les valeurs asymptotiques des parties réelles des paramètres Z (3.18)-(3.21) qui reflètent les images des résistances dans les conditions d'un modèle QS-SSEC, *i.e.* lorsque les éléments R_i , R_{gd} et τ sont considérés nuls. Cette méthode est largement décrite par *J.-P. Raskin* ainsi que dans sa thèse [26]-[28]. En quelques mots, elle consiste en la transformation des valeurs asymptotiques déterminées par une simple régression linéaire sur la base des avantages de la dissymétrie provenant des paramètres Z en régime de saturation. En effet, en traçant les courbes paramétriques définies par des paramètres $[\text{Réel}(Z_{ij}(\omega)), \text{Réel}(Z_{kl}(\omega))]$, où $\{i,j\} \neq \{k,l\}$, puis en calculant les droites de tendance de type $y = ax + b$, les valeurs des résistances R_s , R_g et R_d peuvent être retrouvées¹². Cependant en AC, l'influence des résistances R_i et R_{gd} se retrouve implicitement dans les valeurs extraites des résistances R_s et R_d extraites. On peut montrer ainsi que la résistance R_s extraite est en fait la valeur correspondant à $\sim R_s + R_i$ et la résistance R_d à $\sim R_d + R_{gd}$. Noter que grâce à une auto annulation des termes intrinsèques, la résistance R_g est convenablement extraite. Il est dorénavant clair que cette méthode à chaud ne permet pas d'évaluer rigoureusement les valeurs des résistances telles qu'elles sont présentées à la Fig. 3.50.

3.6.1 Evaluation de la résistance intrinsèque non quasi statique R_i

Avant de mieux comprendre et mieux mettre en évidence l'influence des résistances R_i et R_{gd} dans le cas d'un transistor SB MOSFET de type p , nous avons commencé par simuler un transistor MOSFET conventionnel idéal de type n et de longueur de grille 120-nm pour lequel les valeurs des résistances R_i et R_{gd} sont tracées en fonction de la tension de grille. Les valeurs extraites sont présentées à la Fig. 3.51.

On observe que ces résistances non négligeables (~ 100 à $200 \Omega \cdot \mu\text{m}$) sont dépendantes de V_{gs} mais aussi de V_{ds} . Une expression analytique qui est communément admise pour modéliser au premier ordre la résistance R_i en saturation est décrite par $R_{i,g_{mi}} \approx 0.5R$ avec R typiquement proche de 0.2 pour un MOSFET, R étant le coefficient de bruit induit de grille [31], [32], [33]. Les valeurs calculées et présentées à la Fig. 3.52 à partir de cette approximation ne sont pas trop éloignées en comparaison des valeurs extraites précédemment dans les conditions où le transistor est en régime

¹² A noter que cette méthode [28] nécessite de déterminer a et b par la méthode des moindres carrés. Nous proposons de simplifier la procédure en n'ayant recourt qu'au terme b pour extraire les résistances. Pour cela, il suffit de tracer les courbes $[\text{Réel}(Z_{ij}(\omega)), \text{Réel}(Z_{21}(\omega)-Z_{12}(\omega))]$ où $\{i,j\} = \{1,2\}, \{1,1\}, \{2,2\}$, le terme b n'étant alors déterminée que par une simple extrapolation vers 0 . Cette méthode permet en outre de s'affranchir d'une imprécision sur la détermination du terme a , et donc d'améliorer l'extraction des résistances.

d'inversion et de saturation, ce qui permet d'une part de valider la bonne prise en compte des effets NQS par le simulateur et d'autre part de consolider l'extraction de R_i (écart relatif $\sim 35\%$).

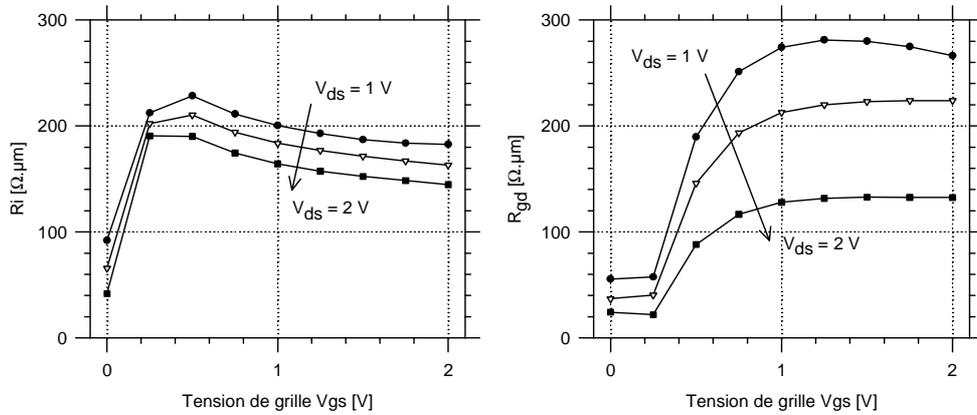


Fig. 3.51 : Résistances R_i et R_{gd} tracées en fonction de la tension de grille V_{gs} pour 3 tensions de drain V_{ds} 1, 1.5 et 2 V. Le modèle de mobilité choisie est CVT.

L'étude suivante consiste maintenant à extraire la résistance R_i sur des transistors SB MOSFET de type p . Suivant l'expression $R_i g_m \approx 0.5 * R$, on peut s'attendre à ce que la valeur de R_i augmente typiquement de 2 à 3 fois en référence au transistor de type n , étant donné l'écart des transconductances.

Afin de dissocier par la méthode [28] la résistance de contact de la résistance intrinsèque, nous allons employer une astuce qui consiste à modifier artificiellement le paramètre de vitesse de recombinaison Schottky dans le modèle d'émission thermoïonique décrit par (2.13)-(2.15) afin d'obtenir un contact parfaitement transparent au passage des porteurs indépendamment d'une hauteur de barrière fixée, et cela sans modifier le profil de la barrière de potentiel Schottky et de façon sensible l'allure du potentiel le long du canal. Notons que la distance de non-recouvrement est fixée nulle.

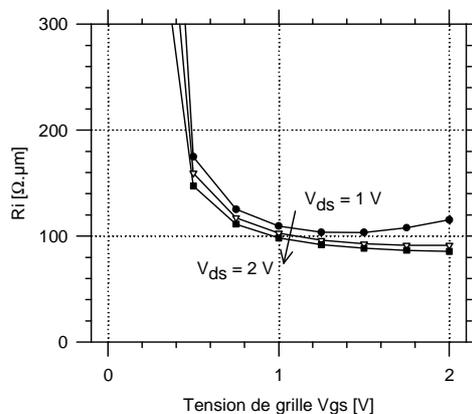


Fig. 3.52 : Résistance R_i en fonction de la tension de grille V_{gs} pour 3 tensions de drain V_{ds} 1, 1.5 et 2 V calculée en utilisant l'expression $R_i g_m \approx 0.5R$ avec g_m extraite des caractéristiques AC et R fixée conventionnellement en régime de saturation à ~ 0.2 .

A noter que cette méthode pour extraire les valeurs intrinsèques n'est évidemment pas transposable en pratique mais dans le cadre de cette étude permet tout au moins d'évaluer la résistance R_i . Suivant cette méthodologie, la Fig. 3.53 présente les valeurs extraites de la résistance intrinsèque R_i en fonction de la tension de grille pour deux hauteurs de barrière fixées.

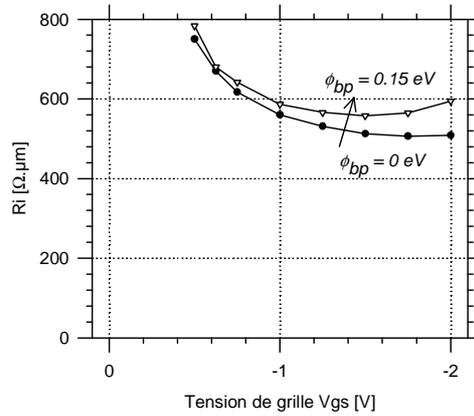


Fig. 3.53 : Résistance R_i extraite et tracée en fonction de la tension de grille V_{gs} pour une tension de drain fixée à -2 V et pour deux hauteurs de barrière. Rappelons que le terme de vitesse de recombinaison est fixé très grand.

Notons que les valeurs extraites de R_i sont quasi-similaires pour les deux hauteurs de barrière, confirmant que la résistance de contact est nulle. De plus, on observe que la valeur extraite de R_i pour un transistor p -MOSFET est assez conséquente comparativement au cas du transistor n -MOSFET puisque la valeur est multipliée par un facteur 3. Ce facteur correspond naturellement au rapport des mobilités des électrons et des trous. Le modèle qui utilise l'expression $R_i g_m \approx 0.5R$ présenté à la Fig. 3.54 confirme également approximativement les valeurs de R_i extraites (écart relatif $\sim 35\%$).

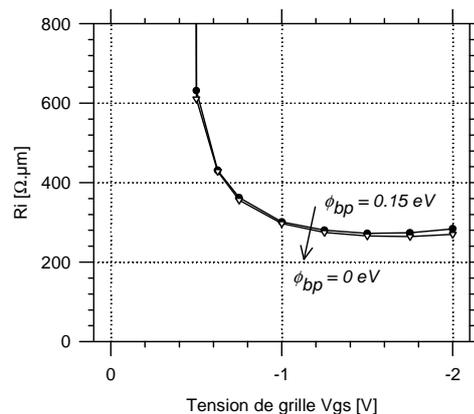


Fig. 3.54 : Résistance R_i tracée en fonction de la tension de grille V_{gs} pour une tension de drain fixée à -2 V et une hauteur de barrière nulle, calculée suivant l'expression $R_i g_m \approx 0.5R$ avec R retenue à 0.2 . Rappelons que le terme de vitesse de recombinaison est fixé très grand.

3.6.2 Evaluation de la résistance de source R_s

A partir des valeurs obtenues de la résistance R_i , nous pouvons par soustraction mathématique déduire la résistance R_s . La Fig. 3.55 présente ce résultat pour un transistor SB-MOSFET avec une hauteur de barrière nulle et une largeur d'underlap nulle. A noter que la soustraction est réalisée à courant de drain identique afin d'être dans des conditions d'opération quasi-similaires.

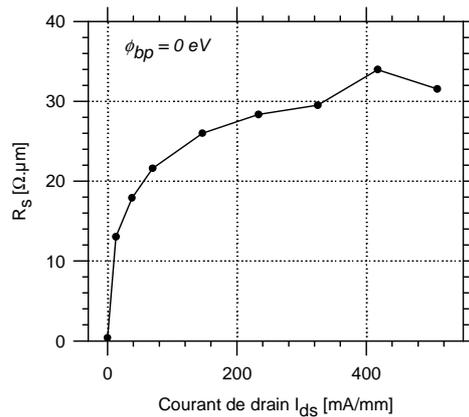


Fig. 3.55 : Résistance R_s extraite tracée en fonction du courant de drain I_{ds} pour une tension de drain $V_{ds} = -2 \text{ V}$, pour une hauteurs de barrière de nulle et pour une distance de non-recouvrement nulle.

A forte polarisation, la résistance de contact au niveau de la source/canal est évaluée à $\sim 30 \Omega \cdot \mu\text{m}$. Cette valeur est très faible mais non nulle. Pour ce qui est de la variation de la résistance en fonction du courant de drain, il faut rappeler que la résistance R_i est très grande devant la résistance R_s , et que l'extraction de cette dernière reste entachée d'une certaine erreur due à la méthodologie employée.

Pour confirmer la valeur de la résistance R_s extraite, considérons que celle-ci est indépendante de la polarisation de manière à pouvoir l'extraire par la méthode à froid puis par une variation en fonction de la longueur de grille, afin de s'affranchir de la résistance de canal qui existe du fait d'un effet de dépendance de la mobilité avec le champ transverse (Appendix E)[20].

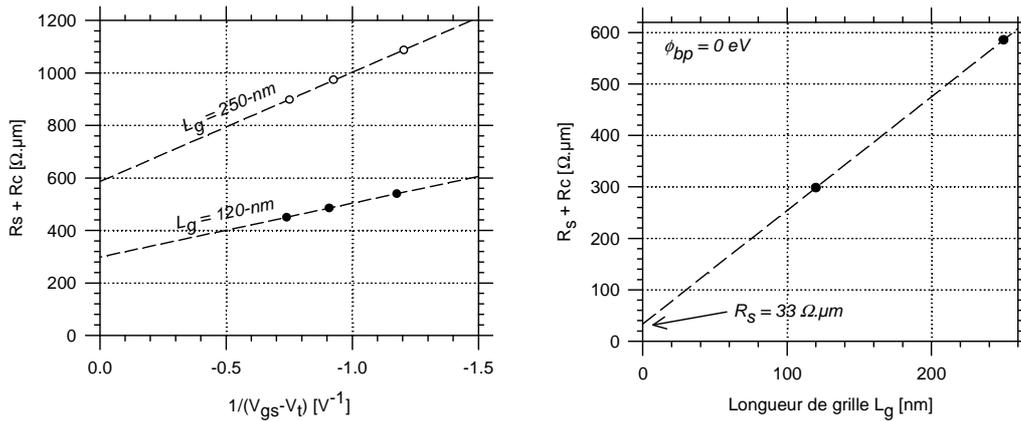


Fig. 3.56 : Extraction de la résistance R_s par la méthode à froid à partir des paramètres AC provenant des simulations.

La résistance de contact R_s est également extraite à $\sim 30 \Omega \cdot \mu\text{m}$. Cette valeur est parfaitement cohérente avec la valeur obtenue précédemment. De plus, le fait que la méthode à froid est fonctionnelle et qu'elle fournit un résultat qui adhère parfaitement avec la valeur obtenue de la méthode à chaud montre que la résistance de contact est indépendante de la polarisation appliquée au transistor.

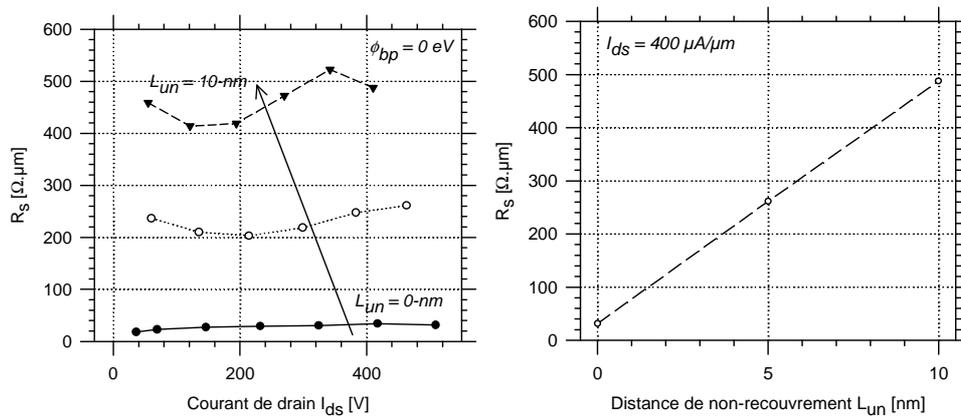


Fig. 3.57 : Résistance R_s extraite tracée en fonction du courant de drain I_{ds} pour une tensions de drain $V_{ds} = -2\text{V}$, pour une hauteur de barrière de nulle et pour différentes largeurs d'underlap variant de 0, 5 à 10-nm.

Suivant la méthodologie employée précédemment, nous avons extrait la résistance en fonction du courant pour différentes longueurs de non-recouvrement. Les valeurs obtenues sont tracées à la Fig. 3.57. Dès lors, nous pouvons remarquer que la résistance de contact côté source est peu dépendante de la polarisation suivant le courant de drain. Nous pouvons également observer que la résistance de source extraite est linéaire suivant la distance de non-recouvrement.

Bien que cette méthode ne soit pas applicable sur un dispositif réel, cette étude nous a permis de mettre en évidence l'influence de la résistance R_i sur l'extraction à chaud de la résistance R_s . Nous

montrons également que si le transistor est caractérisé par une hauteur de barrière Schottky et d'une distance de non-recouvrement nulle, la résistance extraite est d'une part indépendante de la polarisation et d'autre part parfaitement négligeable.

3.6.3 Modélisation petit signal et non quasi statique d'un transistor SB MOSFET

Ne pouvant synthétiser le transistor SB MOSFET par un modèle plus complet étant donné les problématiques de mesure, nous proposons dans cette section d'utiliser les données AC fournies par un simulateur TCAD afin d'extraire un modèle SSEC NQS. Nous avons donc simulé un transistor SB MOSFET sans ségrégation de dopants dont la hauteur de barrière Schottky et la distance de non-recouvrement sont fixées respectivement à 0.1 eV et 5-nm. La longueur de grille reste constante à 120-nm. La définition entière de la structure est similaire à la Fig. 2.7. Afin d'être consistant avec une technologie fabriquée, nous avons également pris en compte une résistance de grille. Pour cela, nous avons fait le choix de définir une résistance par carreau du métal de grille fixée à $10 \Omega/\square$ avec une géométrie de grille parfaitement optimisée RF comportant 32 doigts de 2- μm disposés en parallèle et connectés par un seul accès. La résistance de grille pour cette topologie de transistor peut alors être calculée à $\sim 1.75 \Omega$.

Etant donné l'impossibilité d'utiliser une méthode à froid, nous utilisons la méthode à chaud décrite par [28] pour extraire les éléments du SSEC NQS. La procédure entière utilisée pour extraire le SSEC NQS du transistor SB MOSFET est rappelée à la Tab. 3.5.

Tab. 3.5 : Ensemble des Etapes pour l'Extraction du SSEC NQS d'un transistor SB MOSFET.

1. Extraction des paramètres séries R_{se} , R_{ge} , R_{de} dans les conditions d'un SSEC QS ($R_i=0$, $R_{gd_i}=0$, $\tau=0$) [26]
2. Extraction des paramètres Z intrinsèques $[Z]_{\text{INTRINSIC}} = [Z]_{\text{DEVICE}} - [Z]_{\text{R}}$
3. Transformation Mathématique $[Z]_{\text{INTRINSIC}} \rightarrow [Y]_{\text{INTRINSIC}}$
4. Extraction des Eléments Intrinsèques dans les conditions d'un SSEC NQS, exceptées la valeur de R_i approximée à $\tau/2/C_{gsi}$ (approximation en régime de saturation)
5. Calcul des nouveaux paramètres Z intrinsèques du SSEC NQS
6. Extraction des termes d'erreurs séries ΔR_{se} , ΔR_{ge} , ΔR_{de} à l'aide des paramètres Z intrinsèques.

<p>7. Correction des paramètres séries R_{se}, R_{ge}, R_{de}</p> $R_s = R_{se} - \Delta R_{se}$ $R_g = R_{ge} - \Delta R_{ge}$ $R_d = R_{de} - \Delta R_{de}$
<p>8. Extraction des paramètres Z intrinsèques avec les nouveaux paramètres séries R_s, R_g, R_d.</p> $[Z]_{\text{INTRINSIC}} = [Z]_{\text{DEVICE}} - [Z]_R$
<p>9. Extraction des Eléments Intrinsèques dans les conditions d'un SSEC NQS</p>

Suivant cette méthodologie, nous pouvons déduire l'ensemble des éléments extrinsèques et intrinsèques. Afin de présenter l'extraction du SSEC NQS, nous avons tracé les éléments intrinsèques en fonction de la fréquence à la Fig. 3.58 de 100 MHz à 100 GHz. Notons que les éléments extraits n'ont pas été affinés à l'aide d'une dernière étape d'optimisation décrite dans [24], malgré cela on peut observer qu'ils sont pour ainsi dire indépendants de la fréquence, nous permettant de déduire l'ensemble des éléments que nous avons reportés dans la Tab. 3.6.

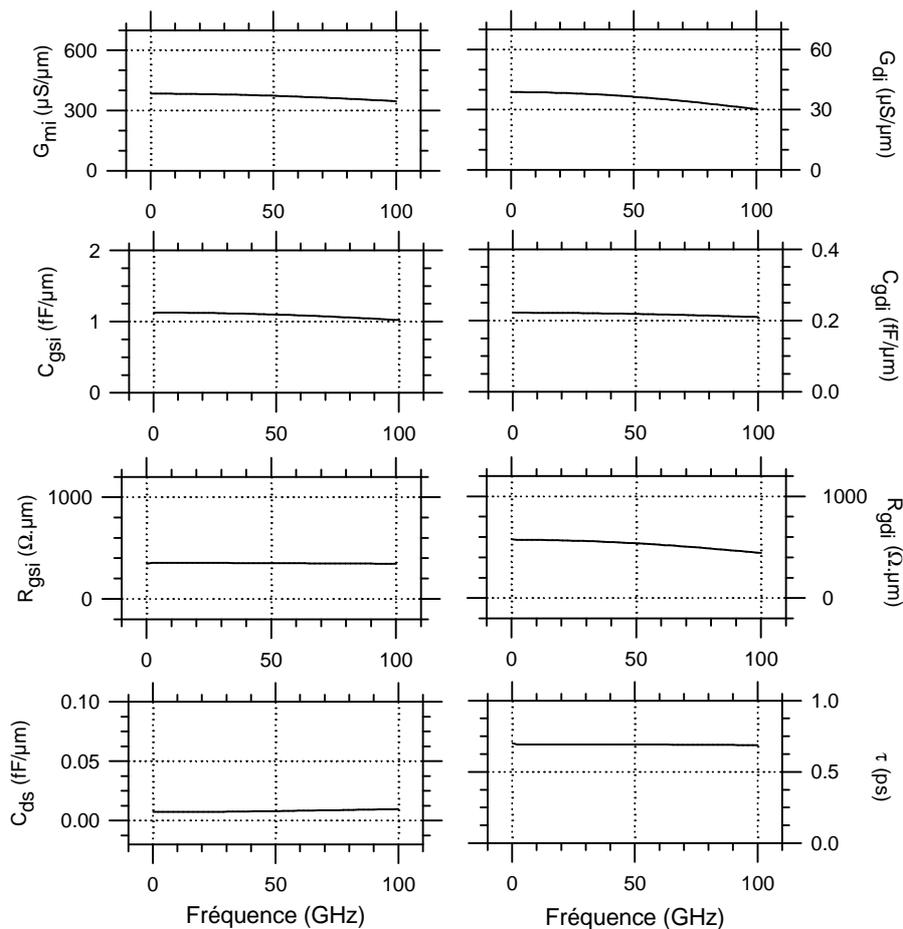


Fig. 3.58 : Paramètres du SSEC NQS intrinsèques tracés en fonction de la fréquence à $V_{gs} = V_{ds} = -2 \text{ V}$.

Tab. 3.6 : Valeurs extraites des éléments du SSEC.

L _G =120-nm, W _{TOT} =32*2-μm, V _{ds} = -2 V, V _{gs} = -2 V, φ _{bp} =0.1 eV		
Eléments	Valeurs	Valeurs normalisées
g_{mi}	24.6 mS	384 μS/μm
g_{di}	2.5 mS	39 μS/μm
C_{gsi}	72.3 fF	1.13 fF/μm (= 0.66*Co _x)
C_{gdi}	14.1 fF	0.22 fF/μm
C_{ds}	0.45 fF	0.007 fF/μm
R_s	15.3 Ω	980 Ω.μm
R_g	2.38 Ω	13.7 Ω/□
R_d	17.5 Ω	1120 Ω.μm
R_l	5.52 Ω	353 Ω.μm
R_{gd}	8.95 Ω	573 Ω.μm
τ	0.7 ps	0.7 ps

Pour montrer le degré de précision du modèle extrait, nous avons recalculé les quatre paramètres S à partir du modèle de SSEC NQS et nous les avons mis en regard avec les paramètres S initiaux provenant du transistor à la Fig. 3.59. On observe que le modèle reproduit de manière quasi parfaite les paramètres S du transistor jusqu'à 100 GHz. Malgré cela, nous pouvons relever une légère erreur entre la résistance R_g implémentée (1.75 Ω) et extraite (~2.38 Ω), que nous devons mettre en regard avec les résistances R_s et R_l évaluées à ~15.3 Ω et ~5.52 Ω, respectivement. On peut donc conclure que l'accord du modèle non quasi statique est très acceptable dans la bande de fréquence intéressée, et ceci sans avoir à recourir à une optimisation fine des éléments.

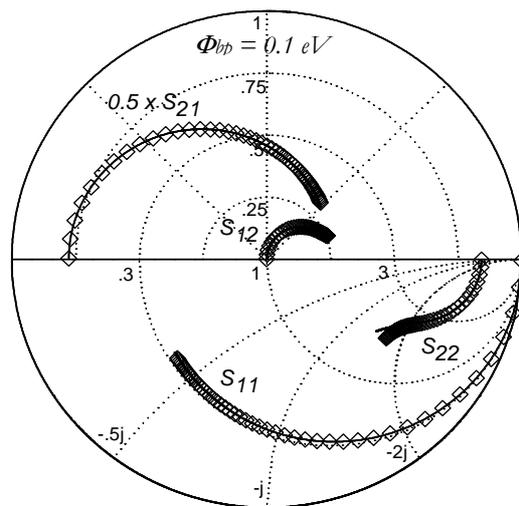


Fig. 3.59 : Comparaison entre le modèle non quasi-statique rétro-simulé et les paramètres S issus du transistor SB MOSFET pour $V_{ds} = -2 V$, $V_{gs} = -2 V$. Les symboles correspondent aux points issus du simulateur de composant et les lignes du modèle SSEC non quasi-statique. La fréquence varie de 100 MHz à 100 GHz. La hauteur de barrière est définie à 0.1 eV.

En ce qui concerne les valeurs intrinsèques extraites, on peut observer un gain en tension g_{mi}/g_{di} à ~ 10 et un ratio des capacités C_{gsi}/C_{gdi} de ~ 5 . Ce faible ratio des capacités s'explique par le fait que la distance de non-recouvrement est très faible, amenant à des capacités parasites importantes.

La capacité grille-à-source C_{gsi} est près de $2/3C_{ox}$ ($\sim 1.15 \text{ fF}/\mu\text{m}$). En ce qui concerne les résistances extrinsèques, la résistance R_s est extraite à $\sim 980 \Omega \cdot \mu\text{m}$. Naturellement, cette valeur relativement importante reflète avec beaucoup plus de réalisme la valeur physique de la résistance de source comprenant la résistance de contact et la résistance de non-recouvrement. Cette valeur élevée, comparée aux recommandations de l'ITRS (Fig. 0.3), est imputée à une hauteur de barrière et/ou à une largeur de non recouvrement encore trop importantes. La résistance R_d est également extraite et apparaît non négligeable contrairement à l'hypothèse que l'on avait faite à la Section 3.5.1. Notons que cela ne remet pas en cause l'extraction faite à cette section, la résistance R_s étant beaucoup plus importante que la résistance de drain du fait de la hauteur de barrière non optimisée. Une résistance de drain importante peut s'expliquer que, malgré le fait que les bandes d'énergie soient favorables au transfert des porteurs provenant du canal sous la grille au contact de drain en régime de saturation, il n'empêche que l'épaisseur du canal de conduction est fortement réduite dans cette région non recouverte par le métal de grille. La conduction se réalise alors pour ainsi dire via les charges dues aux atomes accepteurs ionisés, dont la concentration volumique a été fixée à $2 \times 10^{15} \text{ cm}^{-3}$. Cela se traduit finalement par une résistance de drain non négligeable. Cependant, on peut s'attendre à une faible dépendance de cette résistance avec la hauteur de barrière contrairement à la résistance R_s . Rappelons également que l'impact de la résistance R_d peut être non négligeable sur les figures de mérites statiques (I_{on}) autant que sur les figures de mérites RF (f_T, f_{max}) [34].

Nous avons également extrait le SSEC NQS suivant le même schéma d'extraction dans le cas d'un transistor structurellement identique mais dont la hauteur de barrière est définie à 0.2 eV. L'ensemble des paramètres extraits est reporté au Tab. 3.7 ainsi que les paramètres S recalculés qui sont mis en correspondance avec les paramètres S initiaux à la Fig. 3.60. On peut observer un léger décalage pour les plus hautes fréquences ($>100 \text{ GHz}$) entre le modèle et les paramètres AC du transistor. De plus, la valeur de la résistance R_g extraite est un peu plus éloignée que précédemment. Cependant, l'extraction des éléments nous paraît encore acceptable. Notons que pour être plus précis, il aurait été nécessaire d'appliquer une étape supplémentaire d'optimisation fine des éléments.

En ce qui concerne les valeurs extraites de résistances, la résistance de source est évaluée à $\sim 1778 \Omega \cdot \mu\text{m}$, cette valeur est ~ 1.8 fois plus importante que celle extraite pour un transistor dont la hauteur de barrière est définie à 0.1 eV. La résistance de drain est extraite à $\sim 1368 \Omega \cdot \mu\text{m}$, assez proche de la valeur obtenue précédemment. Ceci confirme naturellement notre interprétation concernant R_d .

Notons que si le ratio des capacités C_{gsi}/C_{gdi} reste constant à ~ 5 , le gain en tension g_{mi}/g_{di} s'élève de ~ 10 à ~ 21.5 . Rappelons que l'amélioration du gain en tension se fait au prix naturellement d'une résistance de source plus élevée.

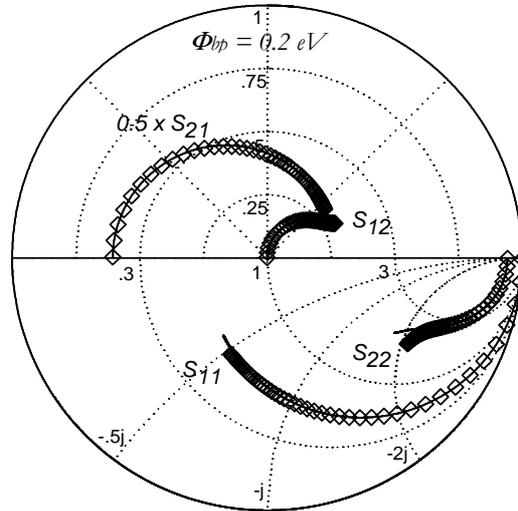


Fig. 3.60 : Comparaison entre le modèle non quasi-statique rétro-simulé et les paramètres S issus du transistor SB MOSFET pour $V_{ds} = -2\text{ V}$, $V_{gs} = -2\text{ V}$. Les symboles correspondent aux points issus du simulateur de composant et les lignes du modèle SSEC non quasi-statique. La fréquence varie de 100 MHz à 100 GHz. La hauteur de barrière est définie à 0.2 eV.

Tab. 3.7 : Valeurs extraites des éléments du SSEC.

$L_g = 120\text{-nm}$, $W_{TOT} = 32*2\text{-}\mu\text{m}$, $V_{ds} = -2\text{ V}$, $V_{gs} = -2\text{ V}$, $\phi_{bp} = 0.2\text{ eV}$		
Éléments	Valeurs	Valeurs normalisées
g_{mi}	19.9 mS	311 $\mu\text{S}/\mu\text{m}$
g_{di}	0.92 mS	14.5 $\mu\text{S}/\mu\text{m}$
C_{gsi}	65.3 fF	1.02 fF/ μm (= 0.59* C_{ox})
C_{gdi}	14.7 fF	0.23 fF/ μm
C_{ds}	0.45 fF	0.007 fF/ μm
R_s	27.8 Ω	1778 $\Omega\cdot\mu\text{m}$
R_g	4.13 Ω	23.8 Ω/\square
R_d	21.4 Ω	1368 $\Omega\cdot\mu\text{m}$
R_i	10.6 Ω	677 $\Omega\cdot\mu\text{m}$
R_{gd}	19.1 Ω	1221 $\Omega\cdot\mu\text{m}$
τ	0.92 ps	0.92 ps

En conclusion de cette section, nous avons présenté une extraction d'un modèle de schéma équivalent petit signal non quasi-statique par la méthode [28] pour un transistor SB MOSFET dont l'architecture de grille est optimisée. Nous avons relevé une légère imprécision lorsque la hauteur de barrière est importante, que nous pouvons corriger malgré tout en procédant à une optimisation

fine des éléments. Il apparaît également que nous ne pouvons pas négliger la résistance de drain en régime de forte saturation.

3.7. Conclusion

Ce chapitre présente une étude AC complète des mesures réalisées sur les topologies de transistors SB MOSFET à contacts optimisés et non optimisés destinées à la caractérisation linéaire RF, incluant l'extraction de modèles petits signaux. Dans ce contexte, nous avons pu mesurer un transistor affichant une fréquence f_T de 180 GHz pour une longueur de grille de 30-nm. Ce résultat particulièrement encourageant pour la technologie constitue l'un des meilleurs résultats obtenu reporté dans la littérature pour un transistor dont le canal n'a pas été contraint. En ce qui concerne la fréquence f_{max} , les topologies de grille n'étant pas adaptées pour atteindre des valeurs élevées, nous n'envisageons pas de rivaliser avec des structures à l'état de l'art. Nous avons pu mettre en évidence l'extraction d'un modèle de schéma équivalent petit signal quasi statique sur des transistors à contacts optimisés et non optimisés, nous permettant de relever les potentialités intrinsèques du transistor (f_c , g_{mi}/g_{di} , C_{gsi}/C_{gdi}), abstraction faite de la nature non linéaire des résistances S/D. Nous montrons également qu'en régime de forte inversion la capacité grille-à-source intrinsèque des transistors SB MOSFET atteint la valeur conventionnelle des transistors MOSFET ($2/3C_{ox}$). Dans le but d'extraire un modèle non quasi statique, étant données les difficultés présentes avec les mesures, nous avons eu recours à un simulateur TCAD. Nous proposons un schéma d'extraction fondé sur la méthode [28] pour évaluer l'ensemble des éléments composant le modèle NQS. Nous montrons que la résistance de drain R_d est finalement non négligeable de même que la résistance intrinsèque R_i .

3.8. Références bibliographiques

- [1] Dubois E., Larrieu G., Breil N., Valentin R., Danneville F., Yarekha D., Dambrine G., Halimaoui A., Pouydebasque A., Skotnicki T., "Recent advances in metallic source/drain MOSFETs", *Junction Technology*, 2008. IWJT '08. Extended Abstracts - 2008 8th International workshop on, vol., no., pp.139-144, 15-16 May 2008.
- [2] Larrieu G., Dubois E., Valentin R., Breil N., Danneville F., Dambrine G., Raskin J.-P. and Pesant, J.-C., "Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions

- in *Thin-Body SOI p-MOSFETs*”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pp. 147-150, Dec., 2007.
- [3] Maxwell, J. C., “*A dynamical theory of the electromagnetic field.*”, Phil. Trans. R. Soc. Lond. 155, 459–512, 1865.
- [4] R. B. Marks and D. F. Williams, “*A general waveguide circuit theory*”, Journal of research of the national institute of standards and technology, vol. 97, pp. 533-562, Sept.-Oct. 1992.
- [5] K. Kurokawa, “*An introduction to the Theory of Microwave Cricuits*”, Academic Press, New-York, 1969.
- [6] H. J. Eul and B. Schiek, “*A generalized theory and new calibration procedures for network analyzer self-calibration*”, IEEE Trans. on Microwave Theory and Techniques, vol. 39, pp. 724–731, April 1991.
- [7] R. Gillon, J.-P. Rakin, D. Vanhoenacker, and J.-P. Colinge, “*Determining the reference impedance of on-wafer tlr calibrations on lossy substrates*”, in 26th, European Microwave Conference Digest, Sept. 1996, pp. 170–173.
- [8] A. Bracale, V. Carlet-Cavrois, N. Fel, D. Pasquet, J.-L. Gauthier and J.-L. Pelloie, “*A new method for characteristic impedance determination on lossy substrate*”, in IEEE Microwave Symposium MTT, 2000.
- [9] C. Andrei, D. Gloria, F. Danneville, and G. Dambrine, “*Efficient De-Embedding Technique for 110-GHz Deep-Channel-MOSFET Characterization*”, IEEE, Microwave and wireless Components Letters, vol. 17, no. 4, pp. 301-303, april 2007.
- [10] P. J. van Wijnen, et al. “*A New Straightforward Calibration and Correction Procedure for 'On Wafer' High Frequency S-parameter Measurements (45 MHz-18 GHz)*”, Proceedings of the Bipolar Circuits and Technology Meeting, 1987.
- [11] G. Six, “*Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat silicium*”, Thèse de doctorat, Université de Lille 1, No. d'ordre 3491, Oct. 2004, pp. 18-19.

- [12] Durr W., Erben U., Schuppen A., Dietrich H., Schumacher H., “*Investigation of microstrip and coplanar transmission lines on lossy silicon substrates without backside metallization*”, Microwave Theory and Techniques, IEEE Transactions on , vol. 46, no. 5, pp. 712-715, May 1998.
- [13] Heinrich W., Gerdes J., Schmuckle F.-J., Rheinfelder C., Strohm K., “*Coplanar passive elements on Si substrate for frequencies up to 110 GHz*”, Microwave Theory and Techniques, IEEE Transactions on , vol. 46, no. 5, pp. 709-712, May 1998.
- [14] Ponchak G.-E., Downey A.-N., Katehi L.-P.-B., “*High frequency interconnects on silicon substrates*”, Radio Frequency Integrated Circuits (RFIC) Symposium, 1997, IEEE, pp. 101-104, 8-11 Jun 1997.
- [15] Warns C., Menzel W., Schumacher H., “*Transmission lines and passive elements for multilayer coplanar circuits on silicon*”, Microwave Theory and Techniques, IEEE Transactions on, vol. 46, no. 5, pp. 616-622, May 1998.
- [16] Barlage D. et al., “*High-frequency response of 100 nm integrated CMOS transistors with high-K gate dielectrics*”, Electron Devices Meeting, 2001. IEDM Technical Digest. International.
- [17] C. Tinella, F. Ganesello, D. Gloria, C. Raynaud , P. Delatte, A. Engelstein, J.M. Fournier, Ph. Benech, J. Jomaah, “*Partially Depleted CMOS SOI Technology for Low Power RF Applications*”.
- [18] F. Ganesello, C. Raynaud, S. Montusclat, D. Gloria, S. Boret, C. Clément, B. Van-Haaren, C. Tinella, D. Belot, Ph. Benech, G. Dambrine and J.M. Fournier, “*Composants passifs intégrés en technologie CMOS 130 nm SOI Haute Résistivité*”, JNM 2005.
- [19] Myungsim Jun, Moongyu Jang, Yarkyeon Kim, Cheljong Choi, Taeyoub Kim, Byungchul Park, and Seongjae Lee , “*Analysis of interface trap states at Schottky diode by using equivalent circuit modelling*”, Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures, Vol. 25, Iss. 1, pp. 82-85, January 2007.
- [20] A. Bracale et al., “*A new approach for SOI devices small and signal parameters extraction*”, in Analog and Integrated Circuits and Signal Processing. Dordrecht, The Netherlands: Kluwer, pp. 157-169, Nov. 2000.

- [21] Kamins, T. “*Polycrystalline silicon for integrated circuit applications*”, Boston, Kluwer Academic Publishers, 1988, 290p.
- [22] Siligaris A., Pailloncy G., Delcourt S., Valentin R., Lepilliet S., Danneville F., Gloria D., Dambrine G., “*High-Frequency and Noise Performances of 65-nm MOSFET at Liquid Nitrogen Temperature*”, IEEE Transactions on Electron Devices, Vol. 53, pp. 1902-1908, Aug. 2006.
- [23] Dambrine G., Raynaud C., Lederer D., Dehan M., Rozeaux O., Vanmackelberg M., Danneville F., Lepilliet S., and Raskin J.-P., “*What are the Limiting Parameters of Deep-Submicron MOSFETs for High Frequency Applications?*”, Electron Device Letters, IEEE, Vol. 24, March 2003.
- [24] Valentin R., Dubois E., Raskin J.-P., Dambrine G., Larrieu G., Breil N., Danneville F., “*Investigation of High Frequency Performance for Schottky-Barrier p-MOSFET*”, in Proc. of 2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 32-35, 10-12 January 2007, Long Beach USA.
- [25] B. Chen, M. Chen, “*Formation of cobalt silicided shallow junction using implant into/through silicide technology and low temperature furnace annealing*”, IEEE Trans. Electron Devices, vol. 43, pp. 258-266, 1996.
- [26] J.-P. Raskin, “*Modeling, characterisation and Optimisation of MOSFET's and Passive Elements for the Synthesis of SOI MMIC's*”, Thesis of the Université Catholique de Louvain (http://edoc.bib.ucl.ac.be/by_year/1997.htm), December 1997, Louvain-la-Neuve, Belgium.
- [27] J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier and J.-P. Colinge, “*Accurate SOI MOSFET characterizations at microwave frequencies for device performance optimization and analog modeling*”, IEEE Transactions on Electron Devices, vol. 45, no. 5, pp. 1017, 1998.
- [28] Raskin, J.-P. et al., “*Direct Extraction of the Nonquasi-Static Small-Signal Model of MOSFET's*”, European Microwave Conference, 1998. 28th, vol. 1, pp. 727-73, Oct. 1998.
- [29] Xiaodong Jin, Jia-Jiunn Ou, Chih-Hung Chen, Weidong Liu, M. Jamal Deen, Paul R. Gray, and Chenming Hu, “*An Effective Gate Resistance Model for CMOS RF and Noise Modeling*”.

- [30] Chen C.L. et al., “*High-performance fully-depleted SOI RF CMOS*”, IEEE Electron Device Letters, vol. 23, no. 1, pp. 52-54, January 2002.
- [31] Danneville F., Happy H., Dambrine G., Belquin J.-M., Cappy A., “*Microscopic noise modeling and macroscopic noise models: how good a connection? [FETs]*”, Electron Devices, IEEE Transactions on, vol. 41, no. 5, pp. 779-786, May 1994.
- [32] G. Pailloncy, B. Iniguez, G. Dambrine, J.-P. Raskin, F. Danneville, “*Noise modeling in fully depleted SOI MOSFETs*”, Solid-State Electronics, vol. 48, iss. 5, pp. 813-825, May 2004.
- [33] R. A. Pucel, H. A. Haus, and H. Statz, “*Signal and noise properties of gallium arsenide field effect transistors*”, Advances In Electronics and Electron Physics, vol. 38, pp. 195-265, 1974.
- [34] Tao Chuan Lim, G. Alastair Armstrong, “*The impact of the intrinsic and extrinsic resistances of double gate SOI on RF performance*”, Solid-State Electronics, vol. 50, iss. 5, May 2006, pp. 774-783.



CONCLUSIONS – PERSPECTIVES

Conclusions générales

Le contexte de cette thèse, intégré pleinement au sein du projet Européen METAMOS, a été de répondre aux problématiques effectives et posées à l'utilisation de jonctions S/D métalliques Schottky sur les architectures MOSFET SOI à film ultra mince pour les applications en hautes fréquences. Suivant cette description, l'objectif principal de ce manuscrit de thèse a été de présenter les résultats les plus pertinents issus des investigations menées sur le comportement et les potentialités hyperfréquences petits signaux des transistors SB MOSFET.

Pour y répondre, notre première discussion décrite dans le second chapitre a été d'identifier via des simulations TCAD les paramètres sensibles qui influencent les caractéristiques statiques du transistor, après avoir préalablement rappelé les principaux mécanismes physiques qui régissent les propriétés électriques du dispositif, avec pour finalité éclairer les principales tendances en régime hyperfréquence. Nous avons pu mettre en évidence que si les paramètres de hauteurs de barrière Schottky ϕ_b mais également de largeurs de non-recouvrement L_{nn} étaient critiques pour une augmentation de l'injection de courant dans le transistor, leur importance est toutefois réduite dans le cas particulier de la figure de mérite fT . En outre, il s'est également révélé que pour obtenir les meilleures performances dynamiques (fT , gm), nous pouvons suivre un schéma d'optimisation tel qu'avoir L_{nn} aussi faible que possible si ϕ_b n'est pas optimisée ou réaliser ϕ_b aussi petite possible si L_{nn} n'est pas optimisée. De ce fait, pouvoir relâcher l'une des contraintes technologiques est très encourageant, particulièrement pour les transistors SB MOSFET de type n dont les caractéristiques des métaux à faible barrière pour les électrons sont autour de 0.27 eV [1], [2]. Malheureusement, nous montrons que ceci n'est plus vrai pour la figure de mérite f_{max} dans le cas naturellement où la topologie de grille est optimisée, s'expliquant par le fait que cette figure de mérite est plus sensible aux éléments extrinsèques du transistor. Nous avons pu également discuter du comportement dynamique du transistor en fonction de la température (inférieure à 77 K), nous permettant d'une part de montrer les tendances RF mais également de mettre en évidence qualitativement l'influence des résistances Schottky sur le comportement électrique du transistor ; en particulier, cela nous a permis d'extraire une hauteur de barrière du contact.

Dans un second temps, nous nous sommes attachés à décrire de façon détaillée une évolution récente du transistor SB MOSFET à savoir le transistor MOSFET à contacts Schottky ségrégués de dopants [3], [4]. Nous montrons que grâce à cette technique, la résistance de contact Schottky est réduite pour une large gamme des tensions grille-à-source grâce à l'amincissement de la barrière de

potentiel. Malheureusement, il apparaît que l'effet du champ électrostatique de grille à l'interface au-delà d'une valeur seuil (forte tension de grille), peut contrebalancer l'effet de la ségrégation et ne plus lui permettre d'apporter de bénéfices pour injecter des porteurs dans le canal, montrant les limites que l'on peut attendre d'une telle technologie pour réduire la résistance de contact. Parallèlement, nous nous sommes également intéressés à la ségrégation de dopants pour des transistors à transport d'électrons, *i.e.*, de type n , dont les contacts Schottky sont à faibles barrières pour les trous. Nous concluons de la faisabilité d'un tel dispositif à travers ce type d'interface Schottky si toutefois la hauteur de barrière pour les électrons n'est pas trop importante.

Finalement, nous terminons par une étude sur la figure de mérite fT en fonction de la longueur de grille et de la hauteur de barrière allant jusqu'à 30-nm. Nous montrons que l'architecture SB MOSFET peut se comparer aux technologies conventionnelles si la hauteur de barrière des contacts Schottky reste inférieure à 0.1 eV.

Dans le cadre du projet METAMOS, nous avons pu également investiguer des transistors RF à contacts tout d'abord non optimisés puis optimisés réalisés à l'IEMN (contexte académique) à des fins d'analyses de réseau linéaire HF avancées. Le troisième chapitre s'est donc proposé de décrire les résultats expérimentaux obtenus. Le premier résultat clé montrant explicitement les potentialités réelles obtenus sur cette architecture est la performance record avec une fréquence de coupure fT de près de 180 GHz pour un transistor de longueur de grille de 30-nm. Ceci constitue l'une des meilleures fréquences reportée dans la littérature pour un transistor à canal non contraint et confirme les résultats issus des simulations TCAD. L'ensemble des fréquences fT mesurées et référées dans ce manuscrit est reporté à la Fig. 4.1.

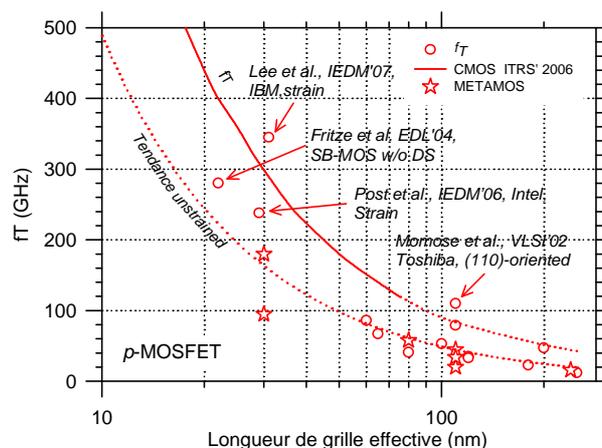


Fig. 4.1 : Etat de l'art des fréquences de coupure fT (cercles) des transistors massifs et SOI p -MOSFETs (Fig. 0.2) mis en regard aux prévisions de l'ITRS'06. Nous avons reporté l'ensemble des points mesurés et référés dans ce manuscrit de thèse (étoiles). La courbe de tendance ($\propto 1/L_g$) est calculée suivant l'ensemble des points provenant de la littérature sur des transistors à canal uniquement non amélioré. La fréquence $fT = 180 \text{ GHz}$ constitue l'un des meilleurs résultats pour un transistor à canal non contraint.

Travaux Futurs et Perspectives des transistors SB MOSFET

Ce travail de thèse a permis notamment de mettre en évidence les performances RF prometteuses des transistors SB MOSFET mais également de présenter les difficultés rencontrées lors des mesures en très haute fréquence des structures académiques correspondantes. Dans la perspective proche de ce travail de thèse, il est évident que la disponibilité de dispositifs fabriqués dont la topologie de la grille aurait été optimisée (multiplication des doigts de grille) aurait permis d'extraire un modèle non quasi-statique. En sus des performances RF évaluées, des mesures de bruit à haute fréquence pourraient être entreprises. Il est certain que l'étude du bruit dans ce type de dispositif pourra fournir beaucoup d'informations, afin de mieux comprendre physiquement le dispositif, mais aussi pour en extraire un modèle compact adapté au composant.

D'ores et déjà, nous avons pu nous rendre compte que les jonctions S/D métalliques se présentent comme une technologie attractive, alternative aux zones de S/D dopées des transistors MOSFET à film ultra fin. En ce qui concerne la hauteur de barrière Schottky, suite à l'étude liée à l'extraction d'un schéma équivalent petit signal non quasi-statique et aux recommandations sévères de l'ITRS concernant les résistances R_s/R_d , il faudra optimiser davantage la barrière Schottky pour descendre à une hauteur inférieure à 50 meV pour les plus petites longueurs de grille. Dans ce but, il se profile aujourd'hui une solution technologique qui pourrait aider à diminuer la résistance de contact. *Yagishita* et al. et plus récemment *Connelly* et al. ont montré une dépendance de la hauteur de barrière suivant la contrainte mécanique appliquée à la couche semi-conductrice accolée au métal [5], [6]. Ces techniques semblent en théorie très prometteuses pour abaisser davantage la hauteur de barrière Schottky d'autant qu'elles peuvent se combiner avec une augmentation de la mobilité du semi-conducteur. Malheureusement, comme le précise *Connelly*, aucune donnée expérimentale n'est à ce jour présente à notre connaissance dans la littérature, pour conforter les discussions et les tendances. Il est dès lors particulièrement intéressant d'étudier et de confronter les modèles avec des mesures expérimentales.

Au-delà des transistors silicium à film fin, la problématique du contact S/D se retrouve également au niveau des transistors *nano* très avancés : les transistors à double grille, finfets, à nanotubes de carbone, à film de graphène. En effet, les performances de ces transistors sont intrinsèquement très élevées, mais l'impact des résistances parasites est également très critiques. De façon concomitante alors que la taille des dispositifs diminue, la surface de contact sur le semi-conducteur se réduit amenant à ce qu'une moindre hétérogénéité des jonctions métalliques élève les résistances parasites.

De par la taille *nano* de ces structures, il est certain que des études complètes à l'échelle atomique au niveau de l'interface méritent toute l'attention.

Etant données les jonctions parfaitement abruptes, la technologie à Barrières Schottky ouvre les meilleures portes pour investiguer le *nano* dispositif ultime, lorsque les charges mobiles le long du canal ne subissent presque ou plus d'interactions, autrement dit, le transistor balistique. En outre, des simulations de jonctions Schottky via une approche de Monte Carlo montrent des signes de porteurs quasi-balistiques à l'interface des contacts [7].

D'un point de vue plus personnel, j'aimerais conclure que suite à toute l'expérience que j'ai acquise le long de cette thèse sur la thématique des transistors SB MOSFET, je crois vivement que la technologie Schottky, certes encore non mature, peut constituer beaucoup d'atouts et qu'elle peut être très prometteuse pour répondre aux problématiques liées aux régions S/D de l'architecture MOSFET. De plus, je me suis aperçu que lorsque les difficultés technologiques étaient surmontées, cela se traduisait par des performances RF à l'état de l'art. A la lumière de nos travaux, je suis intimement convaincu que la technologie Source/Drain à Barrières Schottky peut s'appliquer plus généralement aux *nano* transistors, quelle que soit l'approche technologique envisagée *top-down* ou *bottom-up*. Aujourd'hui, à mes yeux, cette technologie constitue le candidat idéal pour poursuivre la feuille de route du CMOS.

Disséminations et Publications

- [a] Siligaris A., Pailloncy G., Delcourt S., Valentin R., Lepilliet S., Danneville F., Gloria D., Dambrine G., “*High-Frequency and Noise Performances of 65-nm MOSFET at Liquid Nitrogen Temperature*”, Electron Devices, IEEE Transactions on, Volume 53, Issue 8, Aug. 2006.
- [b] Lim T. C., Valentin R., Dambrine G., Danneville F., “*MOSFETs RF Noise Optimization via Channel Engineering*”, Electron Device Letters, IEEE, vol. 29, no. 1, pp. 118-121, Jan. 2008.
- [c] Valentin R., Dubois R. , Raskin J.-P., Larrieu G., Dambrine G., Lim T.-C., Breil N., Danneville F., “*RF Small Signal Analysis of Schottky-Barrier p-MOSFET*”, Transactions on Electronic Devices, May 2008.
- [d] Dambrine G., Gloria D., Scheer P., Raynaud C., Danneville F., Lepilliet S., Siligaris A., Pailloncy G., Martineau B., Bouhana E., Valentin R., “*High frequency low noise potentialities of down*

- to 65nm technology nodes MOSFETs”, EuMW-GaAs conference, Paris, Proc. of GAAS, pp. 97-100, Oct. 2005.
- [e] Valentin R., Siligaris A., Paillancy G., Dubois E., Dambrine G., Danneville F., “*Influence of gate offset spacer width on SOI MOSFETs HF properties*”, Silicon Monolithic Integrated Circuits in RF Systems, 2006. Digest of Papers. 2006 Topical Meeting on, Page(s): 4 pp, Jan. 18-20, 2006.
- [f] Danneville F., Valentin R., Dubois E., Dambrine G., “*High Frequency Figures of Merit of Conventional and Schottky Barrier Mosfets*”, Proc. of 4th International Symposium on System Construction of Global-Network-Oriented Information Electronics, Sendai, Japan, pp. 412-417, Jan. 23-25, 2007.
- [g] Valentin R., Dubois E., Raskin J.-P., Dambrine G., Larrieu G., Breil N., Danneville F., “*Investigation of High Frequency Performance for Schottky-Barrier p-MOSFET*”, in Proc. of 2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Jan. 10-12, 2007, Long Beach.
- [h] Larrieu G., Dubois E., Valentin R., Breil N., Danneville F., Dambrine G., Pesan J.-C. t, Raskin J.-P., “*Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs*”, Proceeding of IEDM, Dec. 2007.
- [i] Dubois E., Larrieu G., Breil N., Valentin R., Danneville F., Yarekha D., Dambrine G., Halimaoui A., Pouydebasque A., Skotnicki T., “*Recent advances in metallic source/drain MOSFETs*”, Proceeding of International Workshop on Junction Technology, Invited communication, May 15-16, 2008.
- [j] Dubois E., Larrieu G., Breil N., Valentin R., Danneville F., Ostling M., Hellström P.-E., Reckinger N., Tang X., Raskin J.-P., Mantl S., Zhao Q.-T., “*Metallic Source/Drain architecture: status and prospects*” - Invited communication, Essderc, Sept. 2007, <http://www.sinano.org/index/public/17/essderc07.html>.
- [k] Valentin R., Dubois E. , Raskin J.-P., Larrieu G., Dambrine G., Lim T.-C., Breil N., Danneville F., “*Optimization of RF Performance of Metallic Source/Drain SOI MOSFETs using Dopant Segregation at the Schottky interface*”, Electron Device Letters, Submitted, April 2009.

- [l] Valentin R., Danneville F., “Investigation des Performances Hyper-Fréquences du dispositif Schottky-Barrier MOSFET”, JNRDM, May 2007, <http://www.jnrldm.org>.
- [m] F. Danneville, R. Valentin, M. Dehan, G. Dambrine, “*Report on First set of RF test structures intended to SB MOSFETs originating from academic source*”, reports for the European METAMOS Project IST-016677, 16 pages, Oct. 2006, <http://metamos.univ-lille1.fr/>.
- [n] R. Valentin, F. Danneville, J.-P. Raskin, G. Dambrine, “*High Frequency (few GHz to 55 GHz) Characterization of SB MOSFETs originating from academic source*”, reports for the European METAMOS Project IST-016677, 20 pages, Mar. 2007, <http://metamos.univ-lille1.fr/>.
- [o] R. Valentin, E. Dubois, F. Danneville, N. Breil, G. Larrieu, “*Report on dynamic operation of SB-MOSFETs and on improved injection modelling based on a drift-diffusion approach*”, reports for the European METAMOS Project IST-016677, 24 pages, Oct. 2007, <http://metamos.univ-lille1.fr/>.
- [p] R. Valentin, F. Danneville, J.-P. Raskin, G. Dambrine, “*Second set of RF test structures for SB MOSFETs originating from industrial source. Report on DC to RF (few GHz) advanced characterization for SB-MOSFETs from academic and industrial sources*”, reports for the European METAMOS Project IST-016677, 22 pages, Oct. 2007, <http://metamos.univ-lille1.fr/>.
- [q] R. Valentin, F. Danneville, J.-P. Raskin, G. Dambrine, “*Advanced broadband characterization (few GHz to 110 GHz) : Small Signal Equivalent Circuit, Channel HF noise investigation of SB MOSFETs originating from the academic source*”, reports for the European METAMOS Project IST-016677, 22 pages, Mar. 2009, <http://metamos.univ-lille1.fr/>.
- [r] J.-P. Raskin, J. Tinoco, R. Valentin, F. Danneville, “*DC-to-RF large-signal current-voltage characteristics*”, reports for the European METAMOS Project IST-016677, 17 pages, Mar. 2009, <http://metamos.univ-lille1.fr/.s>
- [s] J. Tinoco, D. Flandre, R. Valentin, R. Rengel, “*Report on circuit-level simulations*”, reports for the European METAMOS Project IST-016677, 19 pages, Mar. 2009, <http://metamos.univ-lille1.fr/>.

Références bibliographiques

- [1] J. Y. Duboz, P. A. Badoz, F. Arnaud d'Avitaya, and J. A. Chroboczek , “*Electronic transport properties of epitaxial erbium silicide/silicon heterostructures*”, Applied Physics Letters, Vol. 55, pp. 84-86, Apr.1989.
- [2] M. H. Unewisse and J. W. V. Storey, “*Conduction mechanisms in erbium silicide Schottky diodes*”, Journal of Applied Physics, Vol. 73, pp. 3873-3879, Apr. 1993.
- [3] Larrieu G., Dubois E., Valentin R., Breil N., Danneville F., Dambrine G., Raskin J.-P. and Pesant, J.-C., “*Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs*”, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, pp. 147-150, Dec., 2007.
- [4] Dubois E., Larrieu G., Breil N., Valentin R., Danneville F., Yarekha D., Dambrine G., Halimaoui A., Pouydebasque A., Skotnicki T., “*Recent advances in metallic source/drain MOSFETs*”, Junction Technology, 2008. IWJT'08. Extended Abstracts - 2008 8th International workshop on, , pp.139-144, 15-16 May 2008.
- [5] Atsushi Yagishita, Tsu-Jae King and Jeffrey Bokor, “*Schottky Barrier Height Reduction and Drive Current Improvement in Metal Source/Drain MOSFET with Strained-Si Channel*”, Jpn. J. Appl. Phys. 43, pp. 1713-1716, 2004.
- [6] Daniel Connelly and Paul Clifton, “*Analysis of Schottky barriers to ultrathin strained Si*”, J. Appl. Phys. 103, 2008.
- [7] E. Pascual, R. Rengel, N. Reckinger, X. Tang, V. Bayot, E. Dubois, M. J. Martin, “*A Monte Carlo investigation of carrier transport in fabricated back-to-back Schottky diodes: Influence of direct quantum tunnelling and temperature*”, Physica Status Solidi (c), vol. 5 is. 1, pp. 119-122, 12 Oct 2007.



ANNEXES

A.	Masses effectives des électrons et des trous dans le silicium.....	A.3
B.	Modèle Schottky Universel.....	A.7
C.	Matrice de passage.....	A.9
D.	Introduction à la Modélisation petit signal du transistor MOSFET.....	A.11
E.	Détermination des caractéristiques d'une ligne de transmission.....	A.15
F.	Méthodologie d'extraction des éléments du schéma équivalent petit signal.....	A.17
G.	Détermination des résistances séries.....	A.21
H.	Extraction des paramètres du SSEC NQS d'une technologie conventionnelle.....	A.25
I.	Topologies de grille commune.....	A.29
J.	Références bibliographiques.....	A.31

ANNEXES

A. Masses effectives des électrons et des trous dans le silicium

Le concept de masse effective des électrons et des trous dans un matériau semi-conducteur a son origine de la définition, dans le vide, de l'énergie d'un électron en mouvement E qui est donnée par la relation (A.1) :

$$E = p^2 / 2m_0 \quad (\text{A.1})$$

où p est la quantité de mouvement de l'électron et m_0 , sa masse au repos. Dans un matériau semi-conducteur, cette dernière relation n'est plus vraie ; en effet, le potentiel périodique créé par les noyaux situés aux nœuds du réseau cristallin modifie l'énergie des porteurs libres. Cependant, les électrons de conduction — ceux qui participent au courant de conduction — sont les moins liés aux noyaux et sont approximativement libres de se mouvoir dans le semi-conducteur. Il est ainsi possible d'exprimer leur énergie d'une manière similaire à (A.2) en écrivant :

$$E = p^2 / 2m_{\text{eff}} \quad (\text{A.2})$$

où m_{eff} est la masse effective de l'électron dans le matériau. En utilisant le relation de *De Broglie* $p = \hbar k$, où \hbar est la constante de Planck réduite et k le vecteur d'onde associé à l'électron, nous pouvons définir la relation de dispersion (ou structure de bandes) (A.3) :

$$E = \hbar^2 k^2 / 2m_{\text{eff}} \quad (\text{A.3})$$

Cependant, cette relation qui donne l'énergie des électrons en fonction de leur vecteur d'onde est physiquement plus subtile qu'une simple loi parabolique et isotrope — en d'autres mots, la relation de dispersion $E(k)$ est plus complexe qu'une simple loi parabolique et uniforme suivant chaque direction particulière du courant de conduction. Malgré cela, dans le silicium, la relation $E(k)$ pour les électrons, dans une direction donnée et pour des faibles valeurs de k , constitue une excellente approximation. La masse effective peut alors être définie comme (A.4) :

$$m_{\text{eff}} = \hbar \left(\frac{\partial^2 E}{\partial k^2} \right)^{-1} \quad (\text{A.4})$$

Naturellement, dans le cas du silicium, qui est un matériau anisotrope, nous définirons plusieurs masses effectives. Et en effet, dans le silicium où la bande de conduction est ellipsoïdale (Fig. A.1), il a été reporté que les masses effectives longitudinale et transverse valent respectivement (A.5) [1] :

$$\begin{aligned} m_l/m_0 = m_l^* &= 0.9163 \\ m_t/m_0 = m_t^* &= 0.1905 \end{aligned} \quad (\text{A.5})$$

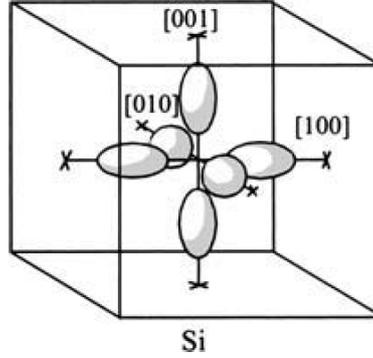


Fig. A.1 : Allure des surfaces à énergie constante pour les électrons dans le silicium avec les 6 ellipsoïdes le long de l'axe (100).

En intégrant la relation de dispersion dans toutes les directions de l'espace des k , nous pouvons définir une masse de conductivité pour les électrons m_c^* donnée par (A.6) :

$$\frac{1}{m_c^*} = \frac{1}{3} \left(\frac{1}{m_l^*} + \frac{2}{m_t^*} \right) \quad (\text{A.6})$$

Cette masse effective de conductivité pour les électrons est alors évaluée à $m_c^* = 0.258$.

En ce qui concerne les trous, la problématique est plus délicate car la bande de valence du silicium n'est pas parabolique, même pour des faibles valeurs de k . Ceci s'explique parce qu'elle est scindée en deux bandes $E_{1,2}(k)$ dégénérées — *i.e.*, qui possède un même extremum en $\vec{k} = 0$, — qui distordent la symétrie sphérique idéale et la distribution parabolique des porteurs. Son expression est décrite par (A.7) :

$$E_{1,2}(k) = Ak^2 \pm \sqrt{B^2k^4 + C^2(k_x^2k_y^2 + k_x^2k_z^2 + k_y^2k_z^2)} \quad (\text{A.7})$$

où les constantes $A = -4.27$, $B = -0.63$, $C = 4.93$ sont définies par *Bir et Pikus* [2] en unités de $\hbar^2/2m_0$ et mesurées par *Hensel et Feber* [3] et k_x , k_y , k_z , les directions des vecteurs k . Il apparaît de suite que cette relation de dispersion est fortement anisotrope et possède un même extremum, ce qui amène à un fort couplage entre elles. A partir de (A.1) et (A.4) et en considérant l'approximation des fortes énergies, les masses effectives de conductivité des trous peuvent être calculées selon les principales directions cristallographique décrites par (A.8)-(A.10) [1] :

$$m_{eff}^{[001]} = (A \mp B)^{-1} = \begin{matrix} 0.275 \\ 0.204 \end{matrix} \quad (\text{A.8})$$

$$m_{eff}^{[110]} = \left(A \pm \sqrt{B^2 + \frac{C^2}{4}} \right)^{-1} = \begin{matrix} 0.579 \\ 0.147 \end{matrix} \quad (\text{A.9})$$

$$m_{eff}^{[111]} = \left(A \pm \sqrt{B^2 + \frac{C^2}{3}} \right)^{-1} = \begin{matrix} 0.738 \\ 0.139 \end{matrix} \quad (\text{A.10})$$

Le fait que la relation de dispersion se scinde en deux bandes d'énergie E_1 , et E_2 , amène à définir deux masses distinctes, l'une appelée masse des trous lourds, l'autre masse des trous légers. Généralement, la bande des trous lourds est beaucoup plus peuplée que la bande des trous légers et donc gouverne principalement les propriétés électroniques. Nous considérerons donc la masse des trous lourds comme référence lors de nos simulations. La Fig. A.2 présente l'allure de la structure de bande du silicium où l'on peut distinguer les deux bandes d'énergie E_1 et E_2 .

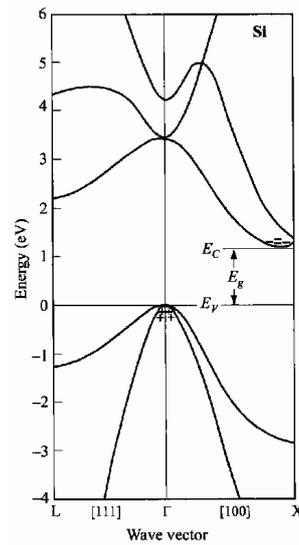


Fig. A.2 : Structure de bande du silicium, où E_g est l'énergie de la bande interdite. Les signes (+) indique les trous sur les bandes de valence et les signes (-) indique les électrons dans les bandes de conduction [4].

La Fig. A.3 présente une schématique de la surface cristalline du silicium dans les trois configurations [100], [110] et [111].

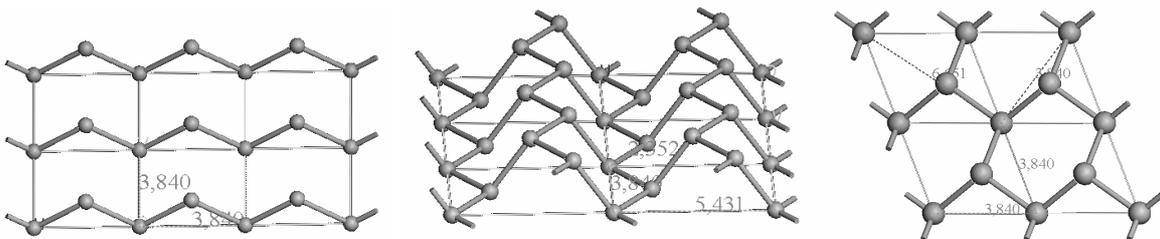


Fig. A.3 : Schématisation de la surface cristalline du silicium [100], [110] et [111] obtenue avec MSModeling[®]. Les dimensions sont données en Angstrom.

Nous reportons également les masses effectives de conductivité des principaux semi-conducteurs de la microélectronique à la Tab. A.1.

Tab. A.1 : Masses effectives de conductivité m^*/m_0 des électrons et des trous pour différents semi-conducteurs [5], [6].

	Ge	GaAs	InAs	AlAs	InSb
Electrons	0.12	0.067	0.023	0.15	0.015
Trous	0.21	0.46	0.47	0.60	0.17

B. Modèle Schottky Universel (Universal Schottky Tunnelling, UST)

Comme nous l'indiquions dans la Section 2.2.1, les simulateurs de *Silvaco/Atlas*[®] et *Dessis/Synopsys*[®] implémentent l'injection tunnel en utilisant le formalisme du modèle UST [7]-[8]. Cette annexe se propose de décrire succinctement les équations tunnel qui sont utilisées pour résoudre numériquement cette injection. Le courant tunnel est représenté comme un taux de génération localisé de porteurs ayant été injectés par effet tunnel, calculé à chaque nœud du maillage près du contact Schottky. Pour les électrons, ceci était illustré à la Fig. 2.3. La composante tunnel du modèle de d'injection de courant est décrite par l'équation (B.1).

$$J_T = \frac{A^*T}{k} \int_E^\infty \Gamma(E') \ln \left[\frac{1 + f_s(E')}{1 + f_m(E')} \right] dE' \quad (\text{B.1})$$

Ici J_T est la densité de courant tunnel, A^* , le coefficient de Richardson effectif, T , la température, $\Gamma(E)$, la probabilité tunnel, $f_s(E)$ et $f_m(E)$, les fonctions de distribution de Maxwell–Boltzmann dans le semi-conducteur et dans le métal, respectivement, et E , l'énergie du porteur.

On peut alors appliquer la transformation [8] donné par l'équation (B.2) pour obtenir le taux tunnel localisé G_T .

$$G_T = \frac{1}{q} \nabla J_T \quad (\text{B.2})$$

En appliquant la transformation donnée par les équations (B.1) et (B.2), on peut obtenir l'expression donnée par l'équation (B.3).

$$G_T = \frac{AT\xi}{k} \Gamma(x) \ln \left[\frac{1 + n/\gamma_n N_c}{1 + \exp(-(E_c - E_{FM})/kT)} \right] \quad (\text{B.3})$$

où ξ est le champ électrique local, n , la concentration d'électron locale, N_c , la densité d'état de la bande de conduction locale, γ_n , le facteur local de Fermi-Dirac, E_c , l'énergie localisée du bas de bande de conduction et E_{FM} , le niveau de Fermi du contact. La probabilité tunnel $\Gamma(x)$ peut être décrite par l'équation (B.4) suivant l'approximation de WKB.

$$\Gamma(x) = \exp\left[\frac{-2\sqrt{2m}}{\hbar} \int_0^x (E_c(x') - E_c(x)) dx'\right] \quad (\text{B.4})$$

Dans l'équation (B.4), m est la masse effective tunnel, et $E_c(x)$, l'énergie de bas de bande de conduction en fonction de la position x .

En considérant une variation linéaire de E_c autour d'une position du maillage, l'équation (B.4) peut être réduite à l'équation (B.5).

$$\Gamma(x) = \exp\left[\frac{-4\sqrt{2m}}{3\hbar} (E_{FM} + q\phi_b - E_c(x))\right]^{1/2} \quad (\text{B.5})$$

Dans l'équation (B.4), ϕ_b est la hauteur de barrière. Des expressions similaires de l'équation (B.1) à (B.5) existent pour les trous.

C. Matrices de passage

	S	Z	Y	H	A
S	$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$	$\frac{(Z_{11}-1)(Z_{22}+1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}} \frac{2Z_{12}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$ $\frac{(Z_{11}-1)(Z_{22}-1)-Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}} \frac{2Z_{21}}{(Z_{11}+1)(Z_{22}+1)-Z_{12}Z_{21}}$	$\frac{(1-Y_{11})(1+Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}} \frac{-2Y_{12}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$ $\frac{(1+Y_{11})(1-Y_{22})+Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}} \frac{-2Y_{21}}{(1+Y_{11})(1+Y_{22})-Y_{12}Y_{21}}$	$\frac{(h_{11}-1)(h_{22}+1)-h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}} \frac{2h_{12}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$ $\frac{(h_{11}+1)(h_{22}-1)+h_{12}h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}} \frac{-2h_{21}}{(h_{11}+1)(h_{22}+1)-h_{12}h_{21}}$	$\frac{A+B-C-D}{A+B+C+D} \frac{2(AD-BC)}{A+B+C+D}$ $\frac{A+B+C+D}{2} \frac{A+B+C+D}{A+B+C+D}$ $\frac{-A+B-C+D}{A+B+C+D}$
Z	$\frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}} \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$ $\frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}} \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{21}S_{12}}$	$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$	$\frac{Y_{22}}{\Delta^Y} \quad \frac{-Y_{12}}{\Delta^Y}$ $\frac{-Y_{21}}{\Delta^Y} \quad \frac{Y_{11}}{\Delta^Y}$	$\frac{\Delta^h}{h_{22}} \quad \frac{h_{12}}{h_{22}}$ $\frac{h_{22}}{-h_{12}} \quad \frac{h_{22}}{1}$ $\frac{h_{22}}{h_{22}} \quad \frac{h_{22}}{h_{22}}$	$\frac{A}{C} \quad \frac{\Delta^A}{C}$ $\frac{1}{C} \quad \frac{D}{C}$ $\frac{A}{C} \quad \frac{\Delta^A}{C}$
Y	$\frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}} \frac{2S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$ $\frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}} \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{21}S_{12}}$	$\frac{Z_{22}}{\Delta^Z} \quad \frac{-Z_{12}}{\Delta^Z}$ $\frac{-Z_{21}}{\Delta^Z} \quad \frac{Z_{11}}{\Delta^Z}$	$\begin{bmatrix} i_1 \\ i_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} v_1 \\ v_2 \end{bmatrix}$	$\frac{1}{h_{11}} \quad \frac{h_{12}}{h_{11}}$ $\frac{h_{21}}{h_{11}} \quad \frac{\Delta^h}{h_{11}}$ $\frac{h_{11}}{h_{11}} \quad \frac{h_{11}}{h_{11}}$	$\frac{D}{B} \quad \frac{-\Delta^A}{B}$ $\frac{-1}{B} \quad \frac{A}{B}$ $\frac{D}{B} \quad \frac{-\Delta^A}{B}$
H	$\frac{(1+S_{11})(1+S_{22})-S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}} \frac{2S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$ $\frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}} \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{21}S_{12}}$	$\frac{\Delta^Z}{Z_{22}} \quad \frac{Z_{12}}{Z_{22}}$ $\frac{-Z_{21}}{Z_{22}} \quad \frac{1}{Z_{22}}$	$\frac{1}{Y_{11}} \quad \frac{-Y_{12}}{Y_{11}}$ $\frac{Y_{21}}{Y_{11}} \quad \frac{\Delta^Y}{Y_{11}}$ $\frac{Y_{11}}{Y_{11}} \quad \frac{Y_{11}}{Y_{11}}$	$\begin{bmatrix} v_1 \\ v_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \end{bmatrix}$	$\frac{B}{D} \quad \frac{\Delta^A}{D}$ $\frac{-1}{D} \quad \frac{-C}{D}$ $\frac{B}{D} \quad \frac{\Delta^A}{D}$
A	$\frac{(1+S_{11})(1-S_{22})+S_{21}S_{12}}{2S_{21}} \frac{(1+S_{11})(1+S_{22})-S_{21}S_{12}}{2S_{21}}$ $\frac{(1-S_{11})(1-S_{22})-S_{21}S_{12}}{2S_{21}} \frac{(1-S_{11})(1+S_{22})+S_{21}S_{12}}{2S_{21}}$	$\frac{Z_{11}}{Z_{21}} \quad \frac{\Delta^Z}{Z_{21}}$ $\frac{1}{Z_{21}} \quad \frac{Z_{22}}{Z_{21}}$	$\frac{-Y_{22}}{Y_{21}} \quad \frac{-1}{Y_{21}}$ $\frac{-\Delta^Y}{Y_{21}} \quad \frac{-Y_{11}}{Y_{21}}$	$\frac{-\Delta^h}{h_{21}} \quad \frac{-h_{11}}{h_{21}}$ $\frac{h_{21}}{-h_{22}} \quad \frac{-1}{h_{21}}$ $\frac{h_{21}}{h_{21}} \quad \frac{h_{21}}{h_{21}}$	$\begin{bmatrix} v_1 \\ i_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} v_2 \\ -i_2 \end{bmatrix}$

D. Introduction à la Modélisation petit signal du transistor MOSFET

Généralement, lorsqu'on souhaite modéliser un composant tel qu'un transistor à effet de champ¹, une approche consiste à réaliser un ensemble de mesures en régime statique, *i.e.*, indépendamment du temps, pour lesquelles nous faisons varier les tensions de grille V_G et de drain V_D , et nous mesurons aux contacts les courants de grille I_G et de drain I_D correspondants. Il en résulte deux fonctions 2-D qui décrivent I_G et I_D en fonction de V_G et V_D telles que (D.1) et (D.2) [9] :

$$I_G = F_G(V_G, V_D) \quad (\text{D.1})$$

$$I_D = F_D(V_G, V_D) \quad (\text{D.2})$$

A partir des données collectées, nous pouvons alors construire un schéma électrique équivalent simple basé sur les fonctions (D.1) et (D.2). Ce schéma électrique équivalent est alors un modèle du transistor et est adéquat pour prédire son comportement lorsque l'on applique une tension. Cependant, ce modèle simple basé sur des mesures DC n'est pas adéquat pour répondre au comportement du transistor à des signaux variant dans le temps. Si notre intérêt est d'étudier le composant à très hautes fréquences (>GHz), les signaux varient si vite, que même une infime capacité, inévitablement présente dans les transistors FET crée des courants capacitifs significatifs. Ainsi, dans le but de prédire les courants des contacts, les expressions (D.1) et (D.2) doivent être corrigées pour contenir la contribution des courants capacitifs et au premier ordre², cela peut s'exprimer par (D.3) et (D.4) :

$$I_G(t) = F_G(V_G(t), V_D(t)) + \frac{dQ_G(V_G(t), V_D(t))}{dt} \quad (\text{D.3})$$

$$I_D(t) = F_D(V_G(t), V_D(t)) + \frac{dQ_D(V_G(t), V_D(t))}{dt} \quad (\text{D.4})$$

Autrement dit, la densité de courant sortant d'un contact est modélisée par la composition d'un transport de charge, c'est-à-dire du déplacement à une vitesse v d'une densité de charge Q , et d'une variation temporelle de charge dQ/dt .

¹ En considérant un transistor configuré en source commune.

² En considérant que les charges stockées sont placées en parallèle du transistor FET.

Lorsque l'on souhaite caractériser un composant à haute fréquence, la mesure des paramètres S est une technique adaptée pour caractériser un composant en régime petit signal, l'idée étant alors d'appliquer une condition de polarisation DC (V_{G0} et V_{D0}) au transistor et de mesurer les paramètres S correspondants. Notons que si nous souhaitons caractériser entièrement notre transistor, nous répétons cette opération pour toute la gamme de tensions possible.

Autrement dit, lors d'une mesure de paramètres S , nous superposons des signaux micro-ondes aux tensions V_{G0} et V_{D0} qui excitent le composant et qui résultent à des variations de courant et de tension aux bornes de nos contacts. Nous pouvons alors réécrire (D.3) et (D.4) par (D.5) et (D.6) :

$$I_G(t) = F_G(V_{G0} + v_g(t), V_{D0} + v_d(t)) + \frac{dQ_G(V_G + v_g(t), V_D + v_d(t))}{dt} \quad (\text{D.5})$$

$$I_D(t) = F_D(V_{D0} + v_g(t), V_{D0} + v_d(t)) + \frac{dQ_D(V_G + v_g(t), V_D + v_d(t))}{dt} \quad (\text{D.6})$$

Si on applique au transistor des signaux d'excitation d'amplitudes suffisamment faibles afin que les non linéarités des caractéristiques s'estompent et que les harmoniques ne sont pas générées, on peut réduire les équations à (D.7) et (D.8) :

$$i_g(t) = \frac{\partial F_G}{\partial V_G} v_g(t) + \frac{\partial F_G}{\partial V_D} v_d(t) + \frac{\partial Q_G}{\partial V_G} \frac{dv_g(t)}{dt} + \frac{\partial Q_G}{\partial V_D} \frac{dv_d(t)}{dt} \quad (\text{D.7})$$

$$i_d(t) = \frac{\partial F_D}{\partial V_G} v_g(t) + \frac{\partial F_D}{\partial V_D} v_d(t) + \frac{\partial Q_D}{\partial V_G} \frac{dv_g(t)}{dt} + \frac{\partial Q_D}{\partial V_D} \frac{dv_d(t)}{dt} \quad (\text{D.8})$$

Considérons que les signaux d'entrée $v_g(t)$ et $v_d(t)$ sont sinusoïdaux, de fréquence angulaire ω et peuvent être exprimés par (D.9) et (D.10) :

$$v_g(t) = A_g e^{j\omega t} \quad (\text{D.9})$$

$$v_d(t) = A_d e^{j\omega t} \quad (\text{D.10})$$

Alors les expressions des courants en fonction des signaux deviennent alors (D.11) et (D.12) :

$$i_g(\omega) = \left(\frac{\partial F_G}{\partial V_G} + j\omega \frac{\partial Q_G}{\partial V_G} \right) v_g(\omega) + \left(\frac{\partial F_G}{\partial V_D} + j\omega \frac{\partial Q_G}{\partial V_D} \right) v_d(\omega) \quad (\text{D.11})$$

$$i_d(\omega) = \left(\frac{\partial F_D}{\partial V_G} + j\omega \frac{\partial Q_D}{\partial V_G} \right) v_g(\omega) + \left(\frac{\partial F_D}{\partial V_D} + j\omega \frac{\partial Q_D}{\partial V_D} \right) v_d(\omega) \quad (\text{D.12})$$

ou encore au premier ordre (D.13) et (D.14) :

$$i_g = (G_{gg} + j\omega C_{gg}) v_g + (G_{gd} - j\omega C_{gd}) v_d \quad (\text{D.13})$$

$$i_d = (G_{dg} - j\omega C_{dg}) v_g + (G_{dd} + j\omega C_{dd}) v_d \quad (\text{D.14})$$

C'est ainsi que nous pouvons construire un modèle électrique petit signal à l'aide de physique intrinsèque du transistor MOSFET fonctionnant en régime de saturation et en configuration de source commune par (D.15) :

$$\begin{cases} i_g = j\omega(C_{gs} + C_{gd})v_{gs} - j\omega C_{gd}v_{ds} \\ i_d = (g_m - j\omega C_{gd})v_{gs} + (g_d + j\omega C_{ds} + j\omega C_{gd})v_{ds} \end{cases} \quad (\text{D.15})$$

Le schéma électrique quasi-statique correspond alors à celui présenté à la Fig. D.1.

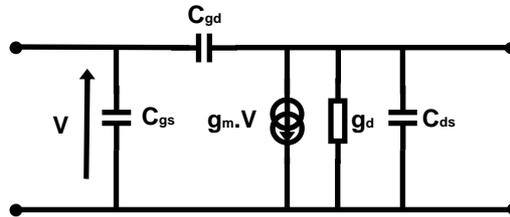


Fig. D.1 : Schéma équivalent petit signal quasi statique du transistor MOSFET intrinsèque en régime de saturation.

Rappelons que ce modèle de schéma équivalent petit signal considère que les fréquences des signaux appliqués sont suffisamment faibles pour que le transistor puisse avoir le temps de réajuster les charges soumises à leur inertie dans le canal. En régime de forte saturation de vitesse, on peut estimer ce temps à $\tau_0 \sim L/v_{sat}$ ce qui nous permet de considérer que le SSEC quasi-statique reste valable si $f < 0.01/\tau_0$ [9]. Au-delà de cette fréquence, nous devons considérer un SSEC non quasi-statique (Fig. 1.33).

Il faut également considérer que ce modèle ne tient pas compte ni des accès au canal, ni des capacités parasites. Il est donc nécessaire de venir greffer sur le schéma électrique des résistances

séries (R_s , R_d , R_g) et des capacités électrostatiques de bord (C_f). Le schéma électrique se transforme alors comme la Fig. D.2.

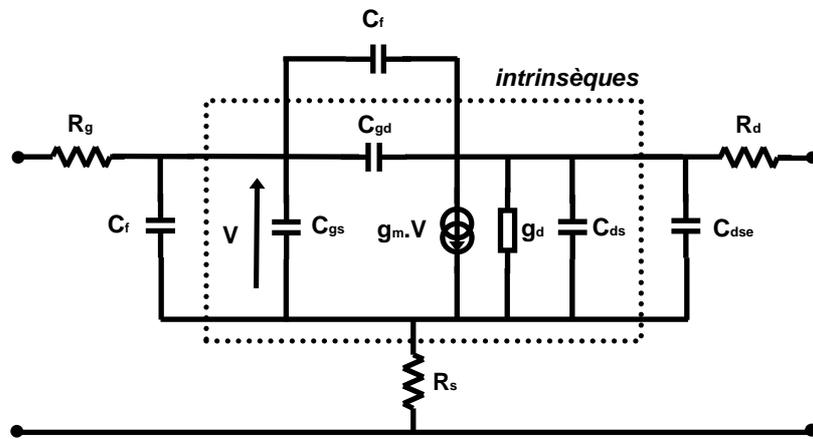


Fig. D.2 : Schéma équivalent petit signal quasi statique complet du transistor MOSFET en régime de saturation.

E. Détermination des caractéristiques d'une ligne de transmission

L'ensemble des caractéristiques d'une ligne de transmission peut être déterminé à partir des éléments de sa matrice chaîne obtenue suite à une transformation des paramètres S mesurés. Cette matrice s'écrit pour une ligne idéale (mode TEM) telle que (E.1) :

$$A_{\text{Ligne}} = \begin{bmatrix} \cosh(\gamma L) & Z_c \sinh(\gamma L) \\ Y_c \sinh(\gamma L) & \cosh(\gamma L) \end{bmatrix} \quad (\text{E.1})$$

où L est la longueur de la ligne. L'impédance caractéristique Z_c et la constante de propagation γ sont calculées par (E.2) et (E.3) :

$$Z_c = \sqrt{\frac{A_{\text{Ligne}12}}{A_{\text{Ligne}21}}} \quad (\text{E.2})$$

$$\gamma = \frac{a \cosh(A_{\text{Ligne}11})}{L} \quad (\text{E.3})$$

A partir du terme complexe γ , nous pouvons extraire d'une part les pertes linéiques en dB , d'autre part le coefficient de phase tel que (E.4) et (E.5) :

$$\gamma = \alpha + j\beta \quad (\text{E.4})$$

$$\text{avec } \alpha_{dB} = 8.686 \cdot 10^{-3} \cdot \alpha_{\text{Nep}} [dB/mm] \quad (\text{E.5})$$

Le terme de coefficient de phase nous permet de calculer le facteur d'onde lente, la vitesse de phase et la permittivité effective complexe suivant respectivement les expressions (E.6), (E.7) et (E.8) :

$$SWF = \frac{\beta c}{2\pi f} \quad (\text{E.6})$$

$$v_\varphi = \frac{2\pi f}{\beta} \quad (\text{E.7})$$

$$\epsilon_{\text{reff}}^* = - \left[\frac{\gamma c}{2\pi f} \right]^2 \quad (\text{E.8})$$

F. Méthodologie d'extraction des éléments du schéma équivalent petit signal

Cette partie a pour objectif de décrire la méthodologie d'extraction des éléments composants le modèle équivalent petit signal non quasi-statique (SSEC NQS) du transistor MOSFET conventionnel en régime de saturation qui est présenté à la Fig. F.1.

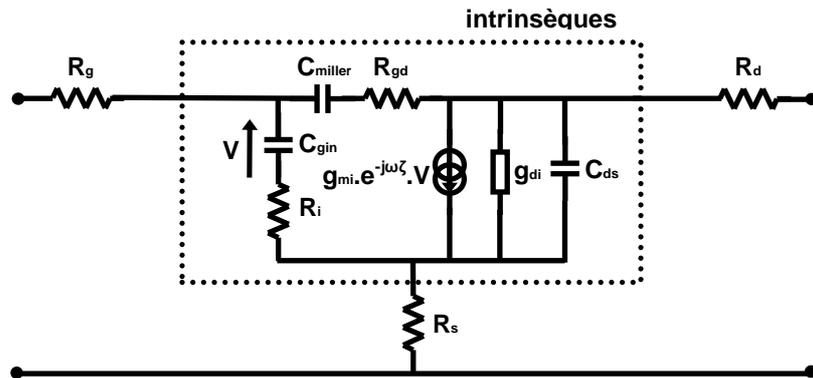


Fig. F.1 : Schéma équivalent petit signal non quasi-statique du transistor SOI MOSFET en saturation¹. Les capacités C_{gin} et C_{miller} prennent compte implicitement les composants de capacités parasites de recouvrement et de bord.

A partir du schéma équivalent petit signal, la détermination des éléments électriques du modèle suit une procédure d'extraction qui conventionnellement s'opère par « effeuillages » successifs encore appelée « *de-embedding* » et qui a été largement développée et détaillée dans le cadre de nombreux travaux [10]-[15]. Suivant cette méthode, deux étapes principales s'en dégagent : « l'épluchage » des éléments extrinsèques [résistances de grille R_g , de source R_s et de drain R_d] qui sont déterminées à $V_{ds} = 0\text{ V}$ et la détermination des éléments intrinsèques [g_{mi} , g_{di} , C_{gin} , C_{miller} , etc.]. La Tab. F.1 résume la procédure entière de la mesure des paramètres S du transistor comprenant les accès jusqu'à l'extraction des éléments du schéma équivalent petit signal.

Tab. F.1 : Résumé des Etapes Courantes pour l'Extraction du NQS-SSEC.

1. Mesures des paramètres S du composant sous test (DUT) et de la structure ouverte (OTS) $[S]_{DUT}, [S]_{OTS}$
2. Transformations mathématiques $[S]_{DUT} \rightarrow [Y]_{DUT}$ $[S]_{OTS} \rightarrow [Y]_{OTS}$

¹ Notons que le NQS SSEC est généralement plus complexe, avec l'adjonction d'éléments extrinsèques tels que des capacités de plots, des inductances séries ou un réseau substrat, mais étant donné l'orientation de la thèse, nous ne les décrierons pas.

3. De-embedding de la structure ouverte $[Y]_{\text{DEVICE}} = [Y]_{\text{DUT}} - [Y]_{\text{OTS}}$
4. Transformation mathématique $[Y]_{\text{DEVICE}} \rightarrow [Z]_{\text{DEVICE}}$
5. Extraction des éléments séries (résistances) à $V_{ds} = 0 \text{ V}$
6. Extraction des paramètres Z intrinsèques du transistor en régime de saturation $[Z]_{\text{INTRINSIC}} = [Z]_{\text{DEVICE}} - [Z]_{\text{R}}$ $[Z]_{\text{R}} = \begin{bmatrix} R_g + R_s & R_s \\ R_s & R_d + R_s \end{bmatrix}$
7. Transformation mathématique $[Z]_{\text{INTRINSIC}} \rightarrow [Y]_{\text{INTRINSIC}}$
8. Extraction of éléments intrinsèques

Lorsque les résistances séries ne dépendent pas de la tension, ou de façon négligeables, celles-ci peuvent être extraites suivant une technique définie lorsque le transistor est polarisé à froid et à canal ouvert, *i.e.*, pour une tension V_{ds} nulle et des tensions $V_{gs} \gg V_t$.

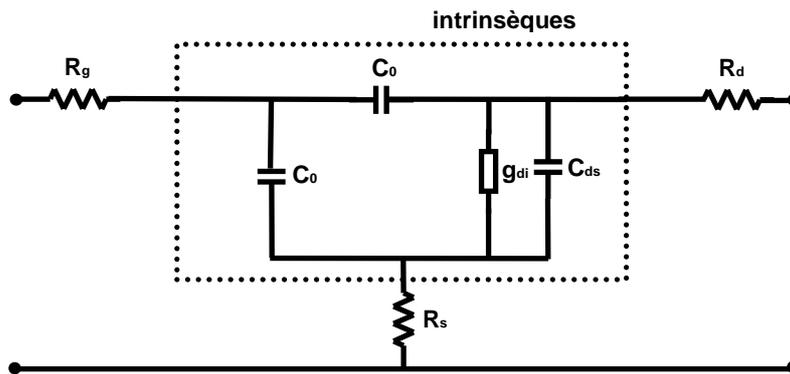


Fig. F.2 : Schéma équivalent petit signal du transistor MOSFET à $V_{ds} = 0 \text{ V}$ et $V_{gs} \gg V_t$.

Dans ces conditions, le quadripôle correspondant au transistor est passif et réciproque², ce qui permet de simplifier le schéma équivalent petit signal intrinsèque à uniquement quatre éléments qui sont représentées à la Fig. F.2. C'est ainsi que nous pouvons écrire dans une large bande de fréquence et au premier ordre que les parties réelles suivent les relations (F.1) :

$$\begin{cases} \Re\{Z_{11} - Z_{12}\} \approx R_g - \frac{1}{4g_{di}} \\ \Re\{Z_{22} - Z_{12}\} \approx R_d + \frac{1}{2g_{di}} \\ \Re\{Z_{12}\} \approx R_s + \frac{1}{2g_{di}} \end{cases} \quad (\text{F.1})$$

² $C_{gs} = C_{gd} = C_0 = 1/2C_{ox} + C_f$, $g_m = 0$

Pour extraire les résistances, la méthode consiste alors à utiliser la conductance de sortie exprimée par (F.2) en tant que paramètre de variation :

$$g_{di} = \frac{\mu WC'_{ox}}{L} (V_{gs} - V_t) \quad (\text{F.2})$$

Et, en traçant les parties réelles (F.1) en fonction de $1/(V_{gs} - V_t)$ et par régression linéaire, les différentes résistances peuvent être retrouvées. Cette méthode qui est couramment nommée méthode « *Bracale* » [10], [11] est la méthode usuelle pour extraire les résistances de source, de drain et de grille pour les transistors MOSFET.

Cependant, on peut remarquer que cette procédure réalise l'approximation de considérer que les paramètres de mobilité effective dans le canal et de longueur de grille effective sont indépendants de la tension de grille. De ce fait, cela affaiblit la robustesse de la méthode *Bracale* telle qu'elle est présentée pour les transistors à canaux courts fortement affectés par la réduction de la mobilité avec le champ électrique. Nous avons observé sur des dispositifs MOSFET conventionnels (technologie 65-nm) via des caractérisations RF que la résistance de canal ne tend pas vers une valeur nulle lorsque la tension de grille augmente, confirmant que nous dépassons les limites de cette approximation. Cette méthode nécessite donc d'être améliorée pour extraire avec plus de précision les valeurs des résistances. Nous nous proposons de présenter à l'Annexe F une méthodologie.

Lorsque les résistances sont déterminées, nous pouvons simplement les retrancher aux paramètres du transistor et extraire les éléments intrinsèques du transistor. La matrice Y_i du schéma équivalent petit signal intrinsèque est alors donnée par (F.3) :

$$Y_i = \begin{bmatrix} \frac{jC_{gs}\omega}{D_{gsi}} + \frac{jC_{gd}\omega}{D_{gdi}} & \frac{jC_{gd}\omega}{D_{gdi}} \\ \frac{g_{mi} \exp(-j\omega\tau)}{D_{gsi}} - \frac{jC_{gd}\omega}{D_{gdi}} & g_{di} + jC_{ds}\omega + \frac{jC_{gd}\omega}{D_{gdi}} \end{bmatrix} \quad (\text{F.3})$$

où $D_{gsi} = 1 + jR_i C_{gs} \omega$ et $D_{gdi} = 1 + jR_{gd} C_{gd} \omega$. Notons que dans le cas d'un schéma équivalent petit signal quasi-statique, les termes D_{gsi} et D_{gdi} sont égaux à 1 et le terme τ à 0.

A partir de la matrice Y_i , les éléments électriques intrinsèques peuvent être calculés suivant les expressions (F.4) à (F.11) :

$$g_m = \left| (Y_{i21} - Y_{i12}) \left(1 + j \frac{\Re\{Y_{i11}\} + \Re\{Y_{i12}\}}{\Im\{Y_{i11}\} + \Im\{Y_{i12}\}} \right) \right| \quad (\text{F.4})$$

$$g_d = \Re\{Y_{i22}\} + \Re\{Y_{i12}\} \quad (\text{F.5})$$

$$C_{gs} = \frac{\Im\{Y_{i11}\} + \Im\{Y_{i12}\}}{\omega} \left(1 + \left(\frac{\Re\{Y_{i11}\} + \Re\{Y_{i12}\}}{\Im\{Y_{i11}\} + \Im\{Y_{i12}\}} \right)^2 \right) \quad (\text{F.6})$$

$$C_{gd} = -\frac{\Im\{Y_{i12}\}}{\omega} \left(1 + \left(\frac{\Re\{Y_{i12}\}}{\Im\{Y_{i12}\}} \right)^2 \right) \quad (\text{F.7})$$

$$C_{ds} = \frac{\Im\{Y_{i22}\} + \Im\{Y_{i12}\}}{\omega} \quad (\text{F.8})$$

$$R_i = \frac{1}{C_{gs} \omega} \frac{\Re\{Y_{i11}\} + \Re\{Y_{i12}\}}{\Im\{Y_{i11}\} + \Im\{Y_{i12}\}} \quad (\text{F.9})$$

$$R_{gd} = \frac{1}{C_{gd} \omega} \frac{\Re\{Y_{i12}\}}{\Im\{Y_{i12}\}} \quad (\text{F.10})$$

$$\tau = -\frac{1}{\omega} \left(\arg \left(\frac{Y_{i21} + Y_{i12}}{Y_{i11} + Y_{i12}} \right) + \frac{\pi}{2} \right) \quad (\text{F.11})$$

Afin de présenter la précision du modèle et l'efficacité de cette méthodologie d'extraction, nous avons extrait l'ensemble des éléments du schéma équivalent petit signal d'un transistor SOI MOSFET conventionnel et optimisé pour la RF à l'Annexe H.

G. Détermination des résistances séries

Cette partie se propose de déterminer plus précisément les résistances séries (R_s , R_d , R_g) des transistors MOSFET en considérant l'effet de saturation de la mobilité non pris en compte avec la méthode *Bracale* [10], [11] dans l'expression de la conductance G_d . Pour présenter cet effet, nous avons extrait de manière systématique la résistance R_s sur des transistors MOSFET conventionnels issus de mesures expérimentales pour des longueurs de grille variant de 65, 80, 100, 200 à 500-nm. Pour s'assurer de conserver des paramètres technologiques identiques tels que l'épaisseur d'oxyde de grille, les composants ont été mesurés sur un même lot. L'ensemble des points est reporté à la Fig. F.1. Nous reportons également les points lorsque les tensions d'overdrive ($= V_{gs} - V_t$) sont égales à 0.67 et 1V.

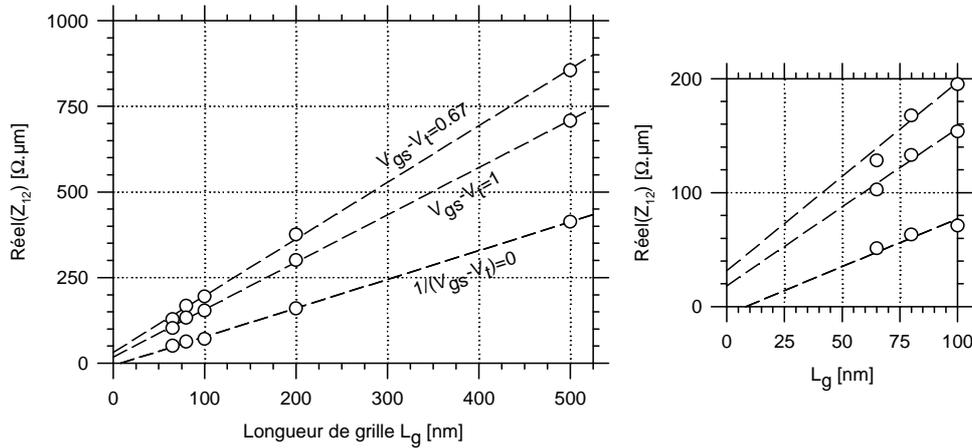


Fig. G.1 : Report de la partie réelle de Z_{12} , représentative de la résistance R_s en fonction de la longueur de grille pour différentes tensions d'overdrive (0.67 et 1 V) mais également avec les points obtenus par la méthode *Bracale* ($1/(V_{gs}-V_t) = 0$). A droite, zoom sur une zone d'intérêt proche de $L_g = 0$.

On peut clairement observer que les points extraits varient quasi-linéairement avec la longueur de grille. Pour comprendre cette dépendance, considérons un modèle empirique de la mobilité effective du canal en prenant en compte une dépendance avec le champ électrique vertical. Au premier ordre, l'expression s'écrit tel que (G.1) :

$$\mu_{eff\perp} = \frac{\mu_0}{1 + \alpha_\theta \xi_\perp} \quad (\text{G.1})$$

où ξ_\perp correspond au champ électrique normal dans le canal, μ_0 à une mobilité du matériau et α_θ un coefficient de dégradation de la mobilité. D'après *Tsividis* [9], nous pouvons réécrire l'expression de la mobilité au premier ordre en fonction de $V_{gs}-V_t$ par (G.2) :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{\beta_\theta}{t_{ox}}(V_{gs} - V_t)} \quad (G.2)$$

où β_θ est proportionnel à α_θ et est typiquement évalué autour de 0.5 à 2-nm/V. La dépendance de la mobilité selon le paramètre t_{ox} nous permet de comprendre que l'effet de saturation est amplifié pour les fines épaisseurs d'oxyde. A partir de (G.2), nous obtenons l'expression $\Re\{Z_{12}\}$ qui peut être écrite tel que (G.3) :

$$\Re\{Z_{12}\} = R_s + \frac{1}{2g_{di}} \quad (G.3)$$

$$\text{avec } g_{di} = \frac{\mu_0}{1 + \frac{\beta_\theta}{t_{ox}}(V_{gs} - V_t)} \cdot \frac{W \epsilon_{ox}}{L_g t_{ox}} (V_{gs} - V_t) \quad (G.4)$$

Lorsque le canal est totalement « ouvert », *i.e.*, V_{gs} tend par extrapolation vers l'infini, il apparaît clairement que la résistance de canal ($=1/g_{di}$) ne s'annule plus et la méthode *Bracale* ne permet plus de distinguer la résistance de source R_s précisément. La valeur de résistance extraite R_{se} est alors équivalente à (G.5) :

$$R_{se} = \frac{\beta_\theta}{2\mu_0 W \epsilon_{ox}} L_g + R_s \quad (G.5)$$

Cette expression confirme donc ce que l'on peut observer à la Fig. G.1 en montrant que la résistance R_{se} dépend linéairement de la longueur de grille L_g . Pour pouvoir extraire correctement la résistance R_s , il est donc nécessaire d'effectuer une seconde extrapolation en fonction de L_g . Naturellement cet effet se retrouve lors des extractions en AC des résistances de grille et de drain.

Cependant, cette méthode est très rudimentaire et (G.5) ne peut répondre qu'à la question de la dépendance en fonction de L_g . Et en effet, on peut s'apercevoir sur la Fig. G.1 que les extrapolations vers 0 des paramètres *Réel*(Z_{12}) suivant la tension d'overdrive ne convergent pas vers une unique valeur. Pour expliquer cet effet, il faut mettre en cause la différence entre la longueur de grille métallurgique et la longueur électrique de canal d'autant que cette dernière peut être dépendante de la tension overdrive appliquée (SCE, Fig. 1.9). Dans ce contexte l'expression (G.5) n'est plus complète et doit s'écrire comme suit :

$$R_{se} = \frac{\beta_{\theta}}{2\mu_0 W \epsilon_{ox}} (L_g - \Delta L) + R_s \quad (\text{G.6})$$

En ce qui nous concerne, une analyse plus approfondie de ces expressions appliquée aux transistors mesurés dépasse le cadre de nos besoins. Notons cependant qu'il existe de nombreuses méthodes pour extraire les résistances à froid. Nous vous référons à un papier de *Knock K. Ng* et al. [16] pour une description plus exhaustive des différentes méthodes. Notons également que dans le cas de nos transistors, la tâche est encore plus complexe du fait de l'implantation de zone *halo* et *pocket*¹ qui invalident partiellement l'expression (G.6) [17].

Dans un autre contexte, l'expression (G.5) montre que l'on peut atteindre le niveau de saturation plus rapidement lorsque l'on diminue les résistances séries mais aussi la longueur de grille ou que l'on augmente la mobilité dans le canal. Rappelons que plus le niveau de saturation est atteint rapidement, plus le rendement électrique du transistor sera meilleur dans les applications telles que les circuits à ultra faible tension (ULV, en anglais, *Ultra Low Voltage*) [18] puisqu'on pourra utiliser le transistor dans des conditions de courants identiques à des tensions plus faibles.

¹ Nous pouvons mettre en évidence leurs présences en traçant la tension de seuil en fonction de la longueur de grille et dont l'évolution est contraire à celle attendue d'une structure MOSFET purement conventionnelle [9].

H. Extraction des paramètres du SSEC NQS d'une technologie conventionnelle

Ayant eu l'opportunité d'accéder à une technologie industrielle posée sur le nœud technologique 65-nm, nous avons pu extraire les différentes figures de mérite ainsi qu'un schéma équivalent petit signal non quasi-statique d'un transistor MOSFET conventionnelle de type n , de longueur de grille 60-nm et en topologie SOI partiellement déserté et optimisé en HF. La Fig. H.1 présente les caractéristiques statiques $I_{ds}-V_{gs}$, $I_{ds}-V_{ds}$ ainsi que la transconductance G_m . La transconductance maximum extraite est de 850 mS/mm à la polarisation $V_{ds} = 1.2 V$ et $V_{gs} = 0.7 V$ pour un courant de 300 mA/mm. En outre, étant donné la tension de seuil élevée, il s'agit donc d'une technologie *Low Power* (LP).

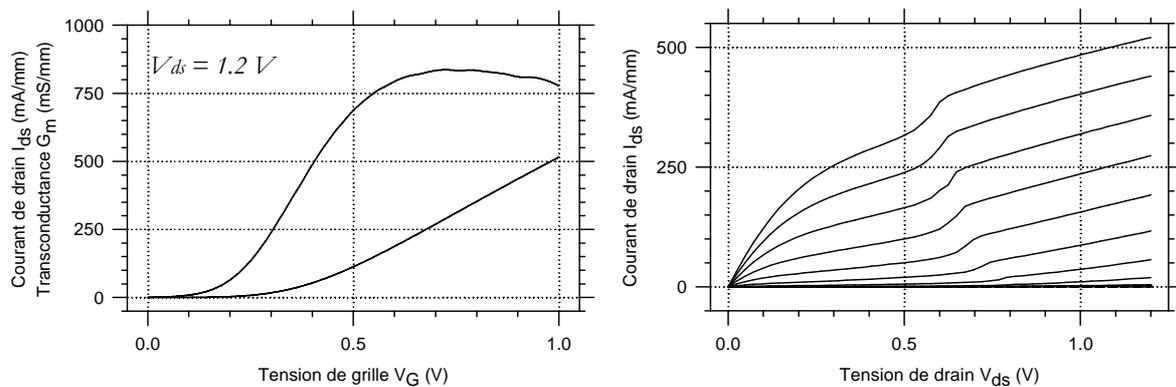


Fig. H.1 : Caractéristiques de courant et transconductance normalisées en fonction des tensions de grilles et de drain La tension de grille variant de 0 à 1 V par pas de 0.1 V. Notons que la prise substrat est laissée flottante, ce qui amène à un effet *kink* que l'on peut observer sur la caractéristique $I_{ds}-V_{ds}$.

L'étude statique est suivie par une caractérisation en hyperfréquence de 500 MHz à 110 GHz. La Fig. H.2 présente les différents gains en courant et en puissance pour ce transistor SOI. Les fréquences de coupure extraites sont respectivement 165 GHz et 229 GHz pour f_T et f_{max} . A noter que les courbes des gains ont été rétro-simulées à partir du modèle SSEC NQS extrait par la suite et est placées en regard avec les mesures. On pourra observer que le modèle correspond parfaitement aux points issus des mesures.

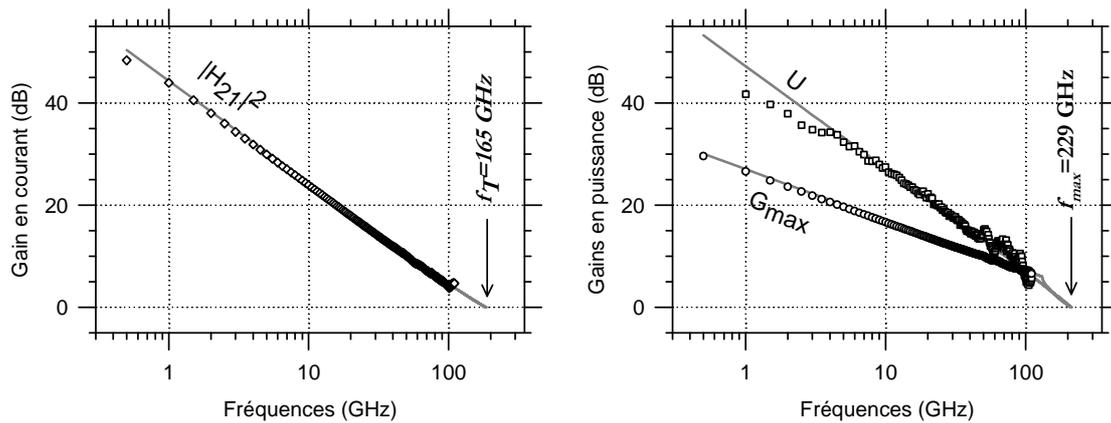


Fig. H.2 : Gains en courant (à gauche), unilatéral et maximal (à droite) pour un transistor MOSFET SOI 60-nm. Les points représentent les mesures et les lignes continues les rétro-simulations du SSEC NQS. Les fréquences de coupure obtenues ont été extrapolées à $f_T=165$ GHz et $f_{max}=229$ GHz ($V_{ds} = 1.2$ V, $V_{gs} = 0.7$ V).

Suite à l'extraction des fréquences de coupure, nous avons extrait l'ensemble des éléments du SSEC NQS dont nous présentons les résultats à la Fig. H.3 sur une bande de fréquence s'étalant de 500 MHz à 100 GHz. L'ensemble des valeurs extraites est reporté à la Tab. H.1.

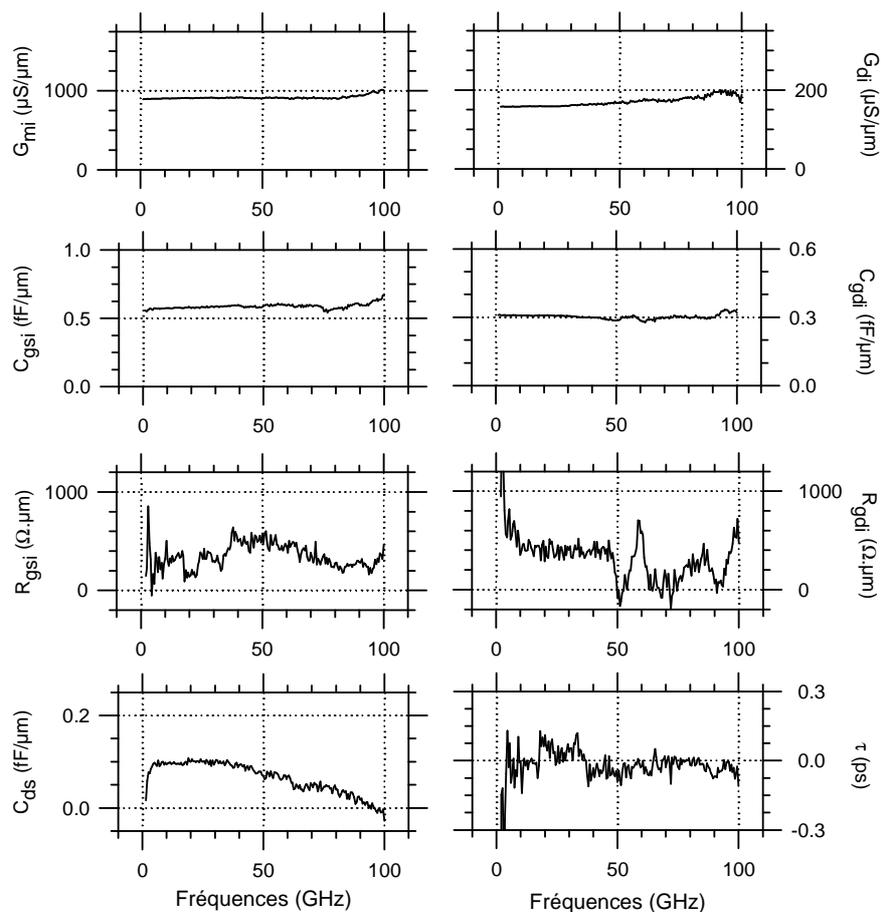


Fig. H.3 : Paramètres intrinsèques extraits à partir (F.4)-(F.11) pour un transistor MOSFET partiellement déserté 60-nm polarisé à $V_{ds} = 1.2$ V, $V_{gs} = 0.7$ V.

Tab. H.1 : Valeurs extraites des éléments du SSEC.

$L_g = 60\text{-nm}, W_{\text{TOT}} = 64\text{-}\mu\text{m}, V_{ds} = 1.2\text{ V}, V_{gs} = 0.7\text{ V}$		
Eléments	Valeurs	Valeurs normalisées
g_{mi}	59.1 mS	924 $\mu\text{S}/\mu\text{m}$
g_{di}	10.1 mS	158 $\mu\text{S}/\mu\text{m}$
C_{gsi}	35.3 fF	0.55 fF/ μm
C_{gdi}	20.0 fF	0.31 fF/ μm
C_{ds}	1.32 fF	0.02 fF/ μm
R_y	0.146 Ω	9.35 $\Omega\cdot\mu\text{m}$
R_g	1.49 Ω	17.2 Ω/\square
R_d	0.885 Ω	56.6 $\Omega\cdot\mu\text{m}$
R_i	7.44 Ω	476 $\Omega\cdot\mu\text{m}$
R_{gd}	7.74 Ω	495 $\Omega\cdot\mu\text{m}$
τ	-0.08 ps	-0.08 ps

Pour conclure, nous nous avons recalculé les quatre paramètres S à partir du modèle de SSEC afin de valider l'extraction du SSEC NQS et nous les avons mis en regard avec les paramètres S initiaux provenant du transistor à la Fig. H.4. On peut observer que le modèle colle très bien à la mesure montrant la bonne précision du modèle.

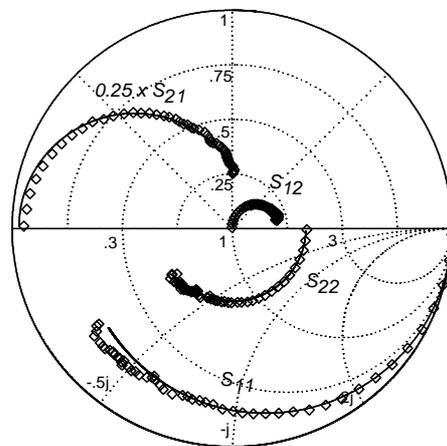


Fig. H.4 : Comparaison entre le modèle non quasi-statique rétro-simulé et les paramètres S issus du transistor à $V_{ds} = 1.2\text{ V}, V_{gs} = 0.7\text{ V}$. Les symboles correspondent aux points issus des mesures et les lignes du modèle SSEC non quasi-statique. La fréquence varie de 500 MHz à 100.5 GHz par pas de 2 GHz.

I. Topologies de grille commune

La méthodologie peut être résumée comme suivant. Les paramètres Y du mode grille commune (GC) doivent être convertie en des paramètres Y du mode source commune (SC). La Fig. H.1 présente les configurations électriques des deux modes.

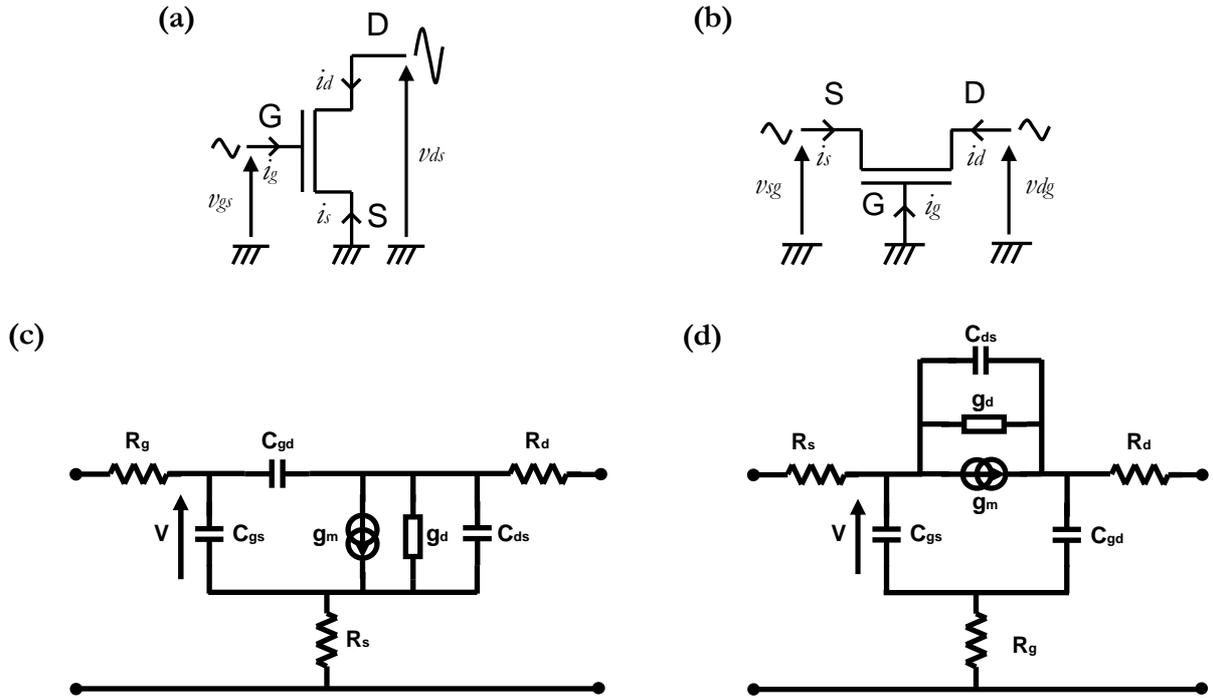


Fig. I.1 : Modes d'opération en source commune (a) et en grille commune (b) du transistor MOSFET associés aux modèles de SSEC QS (c, d).

Initialement, les paramètres Y des topologies en source commune et en grille commune sont exprimés respectivement par (I.4) et (I.5) (voir la Fig. I.1-a et -b pour les conventions de tension et de courant) :

$$\begin{cases} i_g = y_{11s} v_{gs} + y_{12s} v_{ds} \\ i_d = y_{21s} v_{gs} + y_{22s} v_{ds} \end{cases} \quad (I.1)$$

$$\begin{cases} i_s = y_{11g} v_{sg} + y_{12g} v_{dg} \\ i_d = y_{21g} v_{sg} + y_{22g} v_{dg} \end{cases} \quad (I.2)$$

En utilisant la loi de courant de *Kirchoff*, $i_g + i_d + i_s = 0$, les équations suivantes permettent de convertir la configuration d'un schéma électrique de grille commune en une configuration en source commune (I.3) :

$$\begin{cases} y_{11s} = y_{11g} + y_{12g} + y_{21g} + y_{22g} \\ y_{12s} = -y_{12g} - y_{22g} \\ y_{21s} = -y_{21g} - y_{22g} \\ y_{22s} = y_{22g} \end{cases} \quad (\text{I.3})$$

A l'aide de ses transformations, les gains RF aussi bien que les figures de mérites (f_T, f_{max}) peuvent être extraits aisément suivant les expressions usuelles.

J. Références bibliographiques

- [1] Barber H. D., “*Effective Mass and Intrinsic Concentration in Silicon*”, Solid-State Electronics, Vol. 10, pp. 1039-1051, May 1967.
- [2] G. E. Pikus and G. L. Bir, “*Symmetry and Strain-Induced Effects in Semiconductors*”, New York, J. Wiley, 1974.
- [3] J. C. Hensel and G. Feher, “*Valence Band Parameters in Silicon from Cyclotron Resonances in Crystals Subjected to Uniaxial Stress*”, Phys. Rev. Lett. 5, 307 - 309, 1960.
- [4] S. M. Sze, Kwok K. Ng, “*Physics of Semiconductor Devices*”, Third Edition, a John Wiley & Sons, Inc., Publication, 2007.
- [5] Włodzimierz Nakwaski, “*Effective masses of electrons and heavy holes in GaAs, InAs, AlAs and their ternary compounds*”, Physica B: Physics of Condensed Matter , vol. 210, iss. 1, pp. 1-25, april 1995.
- [6] H. J. Hrostowski, F. J. Morin, T. H. Geballe, and G. H. Wheatley , “*Hall Effect and Conductivity of InSb*”, Phys. Rev., vol. 100, no. 6, pp. 1672-1676, Dec. 1955.
- [7] Matsuzawa, K., Uchida, K., and Nishiyama, A., “*A Unified Simulation of Schottky and Ohmic Contacts*”, IEEE Trans. Electron Devices, Vol. 47, No. 1, pp. 103-108, Jan. 2000.
- [8] Jeong, M., Solomon, P., Laux, S., Wong, H., and Chidambarro, D., “*Comparison of Raised and Schottky Source/Drain MOSFETs Using a Novel Tunneling Contact Model*”, Proceedings of IEDM, pp. 733-736, 1998.
- [9] Yannis P. Tsividis, “*Operation and modeling of the MOS transistor*”, McGraw-Hill series in electrical engineering, VLSI, 1987.
- [10] A. Bracale et al., “*A new approach for SOI devices small and signal parameters extraction*”, in Analog and Integrated Circuits and Signal Processing. Dordrecht, The Netherlands: Kluwer, pp. 157-169, Nov. 2000.

- [11] A. Bracale, “*Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes*”, Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique, Mars 2001.
- [12] M. Vanmackelberg, “*Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique*”, Thèse de l'Université des Sciences et Technologies de Lille, spécialité électronique, 2001.
- [13] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, “*A new method for determining the FET small-signal equivalent circuit*”, IEEE Transactions on Microwave Theory and Techniques, vol. 36, pp. 1151-1159, 1988.
- [14] J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier, and J.-P. Colinge, “*Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET's*”, IEEE Microwave and Guided Wave Letters, vol. 7, pp. 408-410.
- [15] J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier and J.-P. Colinge, “*Accurate SOI MOSFET characterizations at microwave frequencies for device performance optimization and analog modeling*”, IEEE Transactions on Electron Devices, vol. 45, no. 5, pp. 1017, 1998.
- [16] Ng K.K., Brews J.R., “*Measuring the effective channel length of MOSFET's*”, Circuits and Devices Magazine, IEEE, vol. 6, no. 6, pp. 33-38, Nov 1990.
- [17] van Meer H., Henson K., Lyu J.-H., Rosmeulen M., Kubicek S., Collaert N., De Meyer K., “*Limitations of shift-and-ratio based L_{eff} extraction techniques for MOS transistors with halo or pocket implants*”, Electron Device Letters, IEEE, vol. 21, no. 3, pp. 133-136, Mar 2000.
- [18] Peter R. Kinget, “*Ultra-low Voltage Analog Integrated Circuits for nanoscale CMOS*”.

Résumé

Les problématiques liées à la technologie des semi-conducteurs sont principalement corrélées à la diminution des dimensions. Aujourd'hui, les défis majeurs de la technologie MOSFET concernent la formation de jonctions Source/Drain (S/D) parfaitement abruptes au bord de la grille afin de minimiser les résistances parasites. Afin de surmonter ce problème, une solution consiste à remplacer les contacts ohmiques réalisés sur des jonctions dopées par de simples extensions métalliques.

Adossé au projet Européen METAMOS (IST-016677), cette thèse s'est concentrée sur les propriétés en Haute Fréquence (HF) de l'architecture MOSFET à film fin SOI non dopée et à contacts S/D Schottky.

A partir de simulations TCAD, le premier grand champ d'investigation s'est fixé sur la compréhension théorique détaillée et sur les potentialités en HF de l'architecture à S/D Schottky pure et/ou optimisée (grâce à une technique de ségrégation de dopants). Il a été montré que moyennant une hauteur de barrière Schottky n'excédant pas 0.1 eV, la fréquence de coupure f_T pouvait rivaliser avec celle d'architectures conventionnelles.

Le second grand champ d'investigation a été l'extraction des performances et l'analyse AC de SB MOSFETs fabriqués. Un premier résultat a concerné f_T mesurée de 180 GHz pour une longueur de grille de 30-nm, l'une des meilleures rapportées dans la littérature pour un MOSFET de type p à canal non contraint.

Un second résultat a concerné l'extraction de schémas équivalents petits signaux quasi-statique (dispositif non optimisé) et non quasi statique (dispositif optimisé), prenant en compte de la problématique à S/D Schottky (résistance de contact dépendante de la polarisation).

Title

Investigation of Behavior and Potentialities in High Frequency range of Metallic Source/Drain Architecture for Advanced MOSFET transistors.

Abstract

Over the past 40 years, conventional MOSFETs have continuously improved their performance due to aggressive device scaling. To pursue CMOS evolution, many challenges must be solved, such as difficulties in shallow junction formation in order to decrease parasitic resistances. To alleviate these difficult problems, one solution is to replace the ohmic contacts realized on highly doped junctions by metallic extensions.

In the framework of the European Project METAMOS (IST-016677), this thesis concentrates on the High Frequency (HF) analogue properties of Source/Drain (S/D) Schottky Barrier (SB) SOI Thin Film undoped MOSFET transistor.

With the help of TCAD simulations, the first major field of investigation has focused on a deep theoretical understanding and potentialities in HF of the pure S/D Schottky and/or optimized (through the implementation of Dopant Segregation technology). One key result concerning current gain cut off frequency (f_T) reveals that a thin film structure with a SB Height less than 0.1 eV can keep RF advantage for the continuous gate length scaling.

The second major field of investigation has concerned extraction of HF properties and analysis of fabricated SB MOSFETs by means of extraction of their HF properties. First, a key result is a 180 GHz f_T on a 30-nm gate length unstrained p -type SB MOSFET that constitutes one of the best reported in literature for conventional fully depleted p -MOSFET channel.

A second key result concerns the extraction of a Quasi-Static (non optimized device) and Non Quasi-Static (optimized device) Small Signal Equivalent Circuits, taking into account S/D Schottky extensions (bias-dependency of contact resistances).

Mots clés

MOSFET SOI SOURCE/DRAIN SCHOTTKY MODELISATION SIMULATION
CHARACTERISATION HYPERFREQUENCES