

 N° d'ordre : 40324

THESE

présentée à

l'UNIVERSITE LILLE 1 - SCIENCES ET TECHNOLOGIES Ecole Doctorale Sciences Pour l'Ingénieur

pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE spécialité MICRO ET NANO TECHNOLOGIE, ACOUSTIQUE et TELECOMMUNICATION

par

Aurélien OLIVIER

Fabrication et caractérisation des transistors à effet de champ de la filière III-V pour applications basse consommation

soutenue le 24 Septembre 2010

M. C. Gacquière
M. J.P. Raskin
Mme. C. Maneux
M. H. Maher
M. A. Bournel
M. S. Bollaert
M. N. Wichmann

Président du Jury Rapporteur Rapporteur Examinateur Examinateur Directeur de thèse Co-encadrant de thèse Family means nobody gets left behind, or forgotten.

A ma mère A mon père A mes grands parents A ma famille et mes amis

Journal

- A. Olivier, N. Wichmann, J.J. Mo, A. Noudeviwa, O. Desplats, Y. Roelens, L. Desplanque, X. Wallart, F. Danneville, G. Dambrine, F. Martin, P. Ruterana, Y. Wang and S.Bollaert, Fabrication and characterization of 300 nm gatelength self-aligned In_{0.53}Ga_{0.47}As MOSFET with ft of 57 GHz, *Electron Devices Letters, En Cours.*
- A. Noudeviwa, Y. Roelens, F. Danneville, A. Olivier, N. Waldhoff, S. Lepilliet, G. Dambrine, L. Desplanque, X. Wallart, G. Moschetti, J. Grahn and S.Bollaert, Sb-HEMT: towards 100 mV cryogenic electronics, *Transaction on Electron Devices*, Vol. 57, Issue 8, 1903-1909.

PAPIER CONFÉRENCE INTERNATIONAL (AVEC PROCEEDINGS)

- A. Noudeviwa, A. Olivier, Y. Roelens, F. Danneville, N. Wichmann, N. Waldhoff, L. Desplanque, X. Wallart, S. Bollaert, 100 mV noise performances of Te-doped Sb-HEMT, ASDAM 2010, Smolenice Castle, Slovakia, 25-27 October 2010, 25 28.
- Y. Roelens, **A. Olivier**, L. Desplanque, A. Noudeviwa, F. Danneville, N. Wichmann, X. Wallart, S. Bollaert, Tellurium δ -doped 120nm AlSb/InAs HEMTs: towards sub-100mV electronics, *DRC'10*, Notre-Dame, USA, 21-23 juin, 2010, 53-54.
- A. Olivier, A. Noudeviwa, N. Wichmann, Y. Roelens, L. Desplanque, F. Danneville, G. Dambrine, X. Wallart, S. Bollaert, High frequency performance of tellurium δ-doped AlSb/InAs HEMTs at low power supply, *EUMW'10*, Paris, France, 162 165.
- A. Noudeviwa, Y. Roelens, F. Danneville, A. Olivier, N. Wichmann, N. Waldhoff, S. Lepilliet, G. Dambrine, L. Desplanque, X. Wallart, J. Bellaiche, D. Smith, H. Maher, S. Bollaert, Potentiality of commercial metamorphic HEMT at cryogenic temperature and low voltage operation, *EUMW'10*, Paris, France, 286 289.
- A. Olivier, N. Wichmann, J.J. Mo, A. Noudeviwa, Y. Roelens, L. Desplanque, X. Wallart, F. Danneville, G. Dambrine, F. Martin, O. Desplats, Y. Wang, M.P. Chauvat, P. Ruterana, H. Maher, J. Saint-Martin, S. Ming, S. Bollaert, Fabrication and characterization of 200-nm self-aligned In_{0.53}Ga_{0.47}As MOSFET, *IPRM*'10, Kagawa, Japan, 1-4 juin, 2010.
- G. Moschetti, P.A. Nilsson, N. Wadefalk, M. Malmkvist, E. Lefebvre, J. Grahn, Y. Roelens, A. Noudeviwa, A. Olivier, S. Bollaert, F. Danneville, L. Desplanque, X. Wallart, G. Dambrine, DC characteristics of InAs/AlSb HEMTs at cryogenic temperatures, *IPRM'09*, Newport Beach, CA,USA, may 10-14, 2009, 323-325.
- G. Dambrine, S. Bollaert, Y. Roelens, A. Noudeviwa, F. Danneville, A. Olivier, N. Wichmann, L. Desplanque, X. Wallart, J. Grahn, G. Moschetti,

P.A. Nilsson, M. Malmkvist, E. Lefebvre, Narrow band gap III-V based-FET for ultra low power high frequency analog applications, *DRC'09*, State College, PA, USA, juin 22-24, 2009, 149-151.

A. Olivier, T. Gehin, L. Desplanque, X. Wallart, Y. Roelens, G. Dambrine,
 A. Cappy, S. Bollaert, M. Malmkvist, E. Lefebvre, J. Grahn, AlSb/InAs
 HEMTs on InP substrate using wet and dry etching for mesa isolation,
 IPRM'08, Versailles, France, mai 25-29, 2008, 1-3.

PAPIER CONFÉRENCE INTERNATIONAL (SANS PROCEEDINGS)

- X. Wallart, L. Desplanque, D. Vignaud, S. Bollaert, Y. Roelens, A. Noudeviwa, F. Danneville, A. Olivier, N. Wichmann, M. Zaknoune, E. Mairiaux, G. Dambrine, J. Grahn, G. Moschetti, P.-Å. Nilsson, M. Malmkvist, E. Lefebvre, MBE growth of antimony-based heterostructures for microelectronic applications, *EXMATEC 2010*, Darmstadt/Seeheim, Germany, mai 19-21 2010.
- A. Olivier, N. Wichmann, Y. Roelens, L. Desplanque, X. Wallart, T. Melin, S. Lepilliet, G. Dambrine, S. Bollaert, N-type ohmic contacts study on AlInSb/InGaSb heterostructure for high speed and low power HEMTs fabrication, *HETECH'09*, Gunzburg, Germany, novembre 2-4, 2009.
- A. Noudeviwa, Y. Roelens, F. Danneville, A. Olivier, S. Lepilliet, G. Dambrine, L. Desplanque, X. Wallart, S.Bollaert, G. Moschetti and J. Grahn, 6K-300K study of AlSb/InAs HEMTs for low power operation, *HETECH'09*, Gunzburg, Germany, novembre 2-4, 2009.
- P-A. Nilsson, G. Moschetti, N. Wadefalk, M. Malmkvist, E. Lefebvre, J. Grahn, Y. Roelens, A. Noudeviwa, A. Olivier, S. Bollaert, F. Danneville, L. Desplanque, X. Wallart, G. Dambrine, InAs/AlSb HEMTs characterised at cryogenic temperatures, *WOCSDICE 2009*, Málaga, Spain.

PAPIER CONFÉRENCE NATIONAL (SANS PROCEEDINGS)

- J.J. Mo, A. Olivier, N. Wichmann, A. Noudeviwa, Y. Roelens, L. Desplanque, X. Wallart, F. Danneville, G. Dambrine, F. Martin, O. Desplats, Y. Wang, M.P. Chauvat, P. Ruterana, H. Maher, S. Bollaert, Fabrication et caractérisation de MOSFET In_{0.53}Ga_{0.47}As de type N en technologie auto-alignée et de longueur de grille de 200 nm, *JNRDM'2010*, Montpellier, France, juin 7-9, 2010.
- A. Olivier, T. Gehin, L. Desplanque, X. Wallart, J. Cheng, N. Wichmann, Y. Roelens, G. Dambrine, A. Cappy, S. Bollaert, Isolation mesa par gravures humide et sèche des HEMTs AlSb/InAs sur substrat InP, *JNRDM'08*, Bordeaux, France, mai 14-16, 2008.
- S. Bollaert, A. Olivier, Y. Roelens, N. Wichmann, A. Shchepetov, G. Dambrine, A. Cappy, L, Desplanque, X. Wallart, HEMTs AlSb/InAs pour applications ultra faible consommation, *JNMO'08*, S^t Pierre d'Oléron, France, juin 3-6, 2008.

CHAPITRE OUVRAGE

 S. Bollaert, A. Olivier, N. Wichmann, Y. Roelens, L. Desplanque, X. Wallart, A. Cappy, G. Dambrine, Dispositifs à matériaux petit gap pour électronique ultra-faible consommation, in *La micro-nano électronique, enjeux et mutations*, JL. LERAY, J.C BOUDENOT, J. GAUTIER(Eds), (CNRS EDITIONS), 2009, 183-186.

Je remercie Monsieur le professeur Alain CAPPY, ancien directeur de l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN), Monsieur Lionel BUCHAILLOT, directeur de recherche CNRS et actuel directeur de l'IEMN pour m'avoir accueilli au sein de leur laboratoire pendant la durée de ces travaux.

Je remercie Monsieur Christophe GAQUIERE, Professeur à l'Université des Sciences et Technologies de Lille (USTL) pour l'honneur qu'il m'a fait en acceptant de présider le jury. Je remercie sincèrement Monsieur Jean-Pierre RASKIN, Professeur à l'Université de catholique de Louvain en Belgique, ainsi que Madame Cristell MANEUX, Maître de conférences à l'Université de Bordeaux 1, pour l'honneur qu'ils me font d'avoir accepté d'être rapporteurs de ce travail.

Je remercie également Monsieur Hassan MAHER, Ingénieur R& D au sein de la société OMMIC et Monsieur Arnaud BOURNEL, professeur à l'Université Paris-Sud 11, de participer à ce jury en tant qu'examinateurs.

Je tiens à remercier ici chaleureusement Monsieur le professeur Gilles DAMB-RINE, Professeur à l'USTL, ancien responsable du groupe ANODE et actuel directeur-adjoint de l'IEMN et Monsieur le professeur François DANNEVILLE, Professeur à l'USTL, actuel responsable du groupe ANODE, pour m'avoir acceuilli au sein de leur groupe de grande compétence scientifique.

Je tiens à remercier ici chaleureusement mon directeur de thèse, Monsieur Sylvain BOLLAERT, Professeur à l'Université des Sciences et Technologies de Lille, pour m'avoir excellemment encadré durant cette thèse, pour son honnêteté, son franc parler et son ouverture d'esprit. Je remercie également tout particulièrement Monsieur Nicolas WICHMANN, maître de conférences à l'USTL qui fût mon collègue de bureau pendant presque trois ans et qui a co-endadré ce travail. Il fût et reste toujours, pour moi, un des meilleurs technologues de l'IEMN. L'aide constante et les conseils qu'ils m'ont prodigué pendant ces années, ont été d'une grande richesse et m'ont permis de mener à bien cette étude. Je pense que l'on ne peut pas rêver mieux comme encadrement.

Je souhaite remercier ici vivement tous les membres du groupe ANODE avec qui j'ai pu discuter, échanger et apprendre pendant ces trois années que j'ai passé au sein du laboratoire: Henri HAPPY pour me permettre de continuer la recherche après la thèse, Yannick ROELENS pour les nombreuses discussions et échanges concernant le projet CNES sur la techno et pour m'avoir appris à faire la liaison entre mesures électriques et étapes technologiques et Mohammed ZAKNOUNE, pour m'avoir fait part de son expérience en salle blanche. Je remercie aussi le groupe EPIPHY, plus particulièrement, Xavier WALLART et Ludovic DESPLANQUE pour m'avoir fourni les différentes et nombreuses épitaxies qui m'ont permis de réaliser ces travaux.

Un grand mérite revient aussi au personnel de l'IEMN, plus particulièrement au techniciens et ingénieurs de la salle blanche et de la salle de caractérisation, qui ont su me former, me conseiller et m'aider à la réalisation et à la caractérisation des mes dispositifs. Ainsi je remercie par ordre de fabrication des dispositifs, Pascal TILMANT, François VAURETTE, Yves DEBLOCK et Marc FRANCOIS pour la lithographie optique et électronique, André LEROY, Annie FATTORINI et Jonathan LEMAITRE pour la métallisation, Christiane LEGRAND, Dmitri YAREKHA et Thomas GEHIN pour les gravures humides et sèches, Christophe BOYAVAL, pour la caractérisation au MEB, Bertrand GRIM-BERT pou la caractérisation à l'alphastep et au microscope optique, David TROADEC pour les coupes FIB et Sylvie GODEY pour la caractérisation XPS. Je remercie aussi messieurs Dominique DERESMES et Thierry MELIN pour la caractérisation par AFM et KFM, et VD pour les collages et les mises en boîtier. Un remerciement spécial est à faire à notre Sylvie LEPILLIET "national", pour son aide extrêmement précieuse en caractérisation électrique, son expérience qu'elle a su faire partager, sa bonne humeur et les moments mémorables en groupe.

Un grand merci à mes chères collègues post-docs, thèsards, ingénieurs et techniciens pour leur bonne humeur, leur soutien et leur amitié qui ont contribué énormément à la réussite de ce travail. Ainsi je remercie Nono, Lolo, Tao, Cristian, Bea, Cyril, Raph, Nico, Estelle, Nan, Albert, Arame, JiongJiong, Julien et les nouveaux venus Emmanuelle, Frederico et Romain. Je remercie tous ces gens du groupe ANODE qui font qu'il reste un très bon esprit dans ce collectif. Je souligne toute ma gratitude à Albert NOUDEVIWA pour la caractérisation électrique de mes composants et Nicolas WALDHOFF pour avoir corrigé ce manuscript et pour les nombreuses parties de badminton nous permettant d'évacuer la pression. Je n'oublie pas Salim et Alex de DELFMEMS, Malek, Crucru, Nico D., Christophe, Virginie, Hermance, François, Alex B. ainsi que la team 'Moinette', François V., Renaud, Guillhem, Fabien, Yannick C. et bien d'autres pour tous ces moments en dehors du travail pour oxygéner notre cerveau et qui resteront graver dans ma mémoire.

Je remercie également tous les membres du laboratoire, que je ne citerais pas ici sans en oublier. Je les remercie tous pour avoir contribué à faire de l'IEMN un laboratroire chaleureux, extrêmement compétent dans son domaine, et doté des outils des plus performants. Par leur travail, leurs qualités humaines et leurs compétences, ils ont contribué directement à la réussite de cette étude.

Enfin, je remercie mes parents pour m'avoir bien 'éducaillé' et à qui, je pense, que c'est du bonheur de me voir réussir depuis le baccalauréat.

IN	ITRO	DUCTION 1				
1	INTRODUCTION AUX DISPOSITIFS HAUTES PERFORMANCES 5					
	1.1 Motivations 5					
	1.2	Paramètres physiques clés des FETs faib	le consommation 9			
		1.2.1 Puissance de consommation)			
		1.2.2 Fréquence de coupure et puissance	e consommée des FETs:			
		influence du transport des porteu	ırs 9			
		1.2.3 Commande de charge et masse et	ffective 13			
		1.2.4 Courant en fonctionnement 15				
		1.2.5 Choix de matériaux du canal 1	7			
	1.3	Principe de fonctionnement et paramètres électriques des FETs 17				
		1.3.1 Principe de fonctionnement des H	ETs 18			
		1.3.2 Paramètres électriques des FETs	19			
	1.4	Limites des performances des FETs III-V	22			
		1.4.1 Limites des performances et vo MOSFETs III-V 22	ies d'amélioration des			
		1.4.2 Limites des performances et vo	ies d'amélioration des			
		HEMTs 28				
	1.5	Etat de l'art 31				
		1.5.1 Etat de l'art MOSFET III-V 31				
		1.5.2 Etat de l'art HEMT 38				
	1.6	Objectifs du travail 43				
2	FABRICATION ET CARACTÉRISATION DES SB-HEMTS 45					
	2.1	Etapes de fabrication du HEMT AlSb/Ir	As 45			
		2.1.1 Bref historique 45				
		2.1.2 Structure de couche 46				
		2.1.3 Vue générale des étapes 48				
		2.1.4 Contacts ohmiques 52				
		2.1.5 Définition de la grille 53				
		2.1.6 Isolation 53				
		2.1.7 Bilan 57				
	2.2	Caractérisation des HEMTs AlSb/InAs	58			
		2.2.1 Caractéristiques statiques 58				
		2.2.2 Caractéristiques dynamiques 6	2			
		2.2.3 Conclusion 66				
	2.3	Etapes de fabrication du HEMT AllnSb/	GalnSb 68			
		2.3.1 Structure de couche 68				
		2.3.2 Vue générale des étapes 69				
		2.3.3 Contacts ohmiques 70				
		2.3.4 Définition de la grille et isolation	91			
		2.3.5 Bilan 91				

- 2.4 Conclusion sur les HEMTs 92
- 3 FABRICATION ET CARACTÉRISATION DU MOSFET III-V 95
 - 3.1 Etapes technologiques de fabrication du MOSFET 95
 - 3.1.1 Structure de couche 95
 - 3.1.2 Vue générale des étapes 97
 - 3.1.3 Traitement de surface et dépôt d'oxyde 101
 - 3.1.4 Définition de la grille 106
 - 3.1.5 Implantation 111
 - 3.1.6 Création des espaceurs: Les *Sidewalls* 113
 - 3.1.7 Contacts ohmiques 115
 - 3.1.8 Isolation 120
 - 3.1.9 Bilan et conclusion 120
 - 3.2 Etapes technologiques de fabrication des CapaMOS 121
 - 3.3 Caractérisation des MOSFETs 124
 - 3.3.1 Caractéristiques du MOSFET 124
 - 3.3.2 Caractéristiques des CapaMOS 128
 - 3.3.3 Caractéristiques dynamiques 130
 - 3.4 Conclusion 136

CONCLUSION GÉNÉRALE 139

BIBLIOGRAPHIE 143

Resumé 163

TABLE DES FIGURES

Figure 1	Graphe flux d'information-puissance des technologies
Ti arren a	existences [4]. 0
Figure 2	champ. 10
Figure 3	Caractéristique vitesse drift en fonction du champ élec-
19010)	trique de différents matériaux semi-conducteur 11
Figure 4	Caractéristiques calculées C_{inv} , C_{inv}^{DOS} et C_{inv}^{thick} en fonc-
0	tion de N_s [135]. 14
Figure 5	Caractéristique fréquence de coupure f_t en fonction du
0 5	courant en fonctionnement I_D pour un FET. 16
Figure 6	Schéma d'un MOSFET. 18
Figure 7	Schéma d'une structure HEMT de type n et son dia-
	gramme de bande de conduction associé. 19
Figure 8	Schéma équivalent pour un transistor à effet de champ
	(FET). 22
Figure 9	Schématisation des différents types de charges d'oxyde et
	des pièges d'interface. 24
Figure 10	Diagrammes de bandes d'énergie illustrant les effets des
	pièges d'interface. Les électrons occupant les pièges
	d'interface sont désignés par des traits épais et les sites
	non occupés par des traits fins [124]. 25
Figure 11	Effets des pièges d'interface sur les caractéristiques $C - V$
	de capacités MOS [124]. 25
Figure 12	Caractéristiques en fonction de l'offset $\Delta C/C_{ox}$ dues aux
	pièges d'interface [124]. 27
Figure 13	Densité de pièges d'interface en fonction de l'énergie de
	ces pièges avec la méthode quasistatique pour le silicium
	(100) [124]. 27
Figure 14	Diagrammes d'hétérojonctions type II (AlSb/InAs) et type
	I ($In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As$). 29
Figure 15	Hétérostrucures HEMT et leurs diagrammes de bandes
	associés de la filière AlSb/InAs ver la filière InAlSb/In-
	GaSb 29
Figure 16	Effet de la réduction de la distance grille canal a. 31
Figure 17	Mécanisme d'apparition de l'effet Kink au niveau de la
	zone recessée de source. Structure à l'équilibre thermo-
	dynamique (a), Accumulation de trous dans le canal (b),
	Transfert des trous vers la surface de la zone recessée de
	source (c). 32

Figure 18	Courant de drain maximum et transconductance en fonc- tion de la longueur de grille pour différents types de
Figure 19	Fréquences de coupure des gains en courant et de Mason en fonction de la longueur de grille pour différents types de structure MOS. 38
Figure 20	Transconductance en fonction de la longueur de grille pour trois types de HEMTs à canal composite, InGaAs et InAs. 39
Figure 21	Fréquences de coupure du gain en courant et de Mason en fonction de la longueur de grille pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb. 40
Figure 22	Fréquences de coupure du gain en courant et de Mason en fonction de la tension de drain-source pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb. 41
Figure 23	Fréquences de coupure de gain en courant et de Mason en fonction de la consommation en puissance trois types de HEMTs à canal composite, InGaAs, InAs et InSb. 42
Figure 24	Structure de la couche HEMT AlSb/InAs épitaxiée par MBE. 47
Figure 25	Etapes de fabrication du HEMT AlSb/InAs avec isolation par gravure humide. 49
Figure 26	Etapes de fabrication du HEMT AlSb/InAs avec isolation par gravure sèche. 50
Figure 27	Masques utilisés pour la fabrication des transistors HEMTs AlSb/InAs. 51
Figure 28	Etapes de réalisation de la grille par lithographie élec- tronique, gravure du 'cap layer' et métallisation pour l'obtention d'un HEMT AlSb/InAs. 53
Figure 29	Images MEB d'isolation des HEMTs par gravure hu- mide. 54
Figure 30	Images au MEB des différents essais de gravure sèche pour l'isolation des HEMTs AlSb/InAs. 57
Figure 31	Caractéristiques Schottky des différents transistors HEMTs AlSb/InAs. 59
Figure 32	Caractéristiques courant de drain en fonction de la ten- sion de source-drain des différents transistors HEMTs AlSb/InAs. 59
Figure 33	Transconductance DC et son courant de drain associé pour V_{DS} = 100 mV et V_{DS} = 250 mV. 61
Figure 34	Gains en courant extrinsèque et unilatéral de Mason en fonction de la fréquence et leurs fréquences de coupure associées pour V_{DS} = 100 mV et V_{DS} = 250 mV. 62
Figure 35	Fréquence de coupure f_t en fonction de la consommation P_{DC} ($V_{DS} \times I_D$) pour les différents HEMTs. 63

- Figure 36 Schéma équivalent pour un transistor à effet de champ (FET). 65
- Figure 37Structure de la couche HEMT Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sbépitaxiée par MBE.69
- Figure 38 Représentation des bandes de conduction et de valence en fonction du paramètre de maille des principaux semiconducteurs. Les discontinuités de bandes entre matériaux adaptés en maille peuvent être retrouvées sur ce diagramme par différence des énergies de bandes. Le point d'énergie zéro représente la position approximative de la barrière Schottky de l'Au pour chaque matériau semi-conducteur. Les autres métaux sont aussi représentés. 71
- Figure 39 Caractéristiques courant-tension des essais de métallisation pour l'obtention de contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb. 72
- Figure 40
 Caractéristiques courant-tension des différentres métallisations testées à faible tension pour l'obtention de contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb avec 65% d'In dans le canal. La distance entre les plots métalliques de la TLM est de 5 μm. 79
- Figure 41 Diagramme de bandes de conduction et de valence pour une hétérostructure AlInSb/GaInSb ainsi que la concentration d'électrons et de trous dans l'hétérostructure 80
- Figure 42 Image montrant le dispositif de mesure de KFM (petit encadré) dans le cas du GaN. La surface GaN est entourée par un contact ohmique qui est lié à un plot d'Au. Ce dernier sert de référence pour la mesure KFM. La topographie de surface du GaN par microscopie à force atomique (AFM) est montrée sur l'image de gauche et l'image KFM à droite. 80
- Figure 43Structure de la couche Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb épi-
taxiée par MBE avec canal dopé au Te à deux concentra-
tions.81
- Figure 44 Schémas de base servant à la simplification du schéma électrique dans l'hétérostructure afin d'appliquer la méthode de mesure de la barrière Schottky entre le métal et le canal. 83
- Figure 45 Courbe d'Arrhenius à partir de jonctions Schottky têtes bêches. L'énergie d'activation extraite de la pente de la courbe à basses températures caractérise la hauteur de barrière Schottky effective. Chaque courbe est caractérisée par une tension de 100 mV à 2 V. 84
- Figure 46 Résistance de contact en fonction de la température de recuit d'activation après implantation ionique d'éléments VI (S, Se) et d'élément V (As). 86

Figure 47	Image en microscope optique de diffusion d'éléments au-
	tour d'un trèfle de Hall dans le cas de l'implantation
	du sélénium et de l'échantillon ayant subit un recuit
	d'activation de 400°C . La durée du recuit est de 15 s. 86
Figure 48	Structures antimoniées bulk épitaxiées par MBE. 87
Figure 49	Résistance de contact en fonction de la température de
	recuit d'activation après implantation ionique de Se dans
	le Al _{0.55} In _{0.45} Sb et le Ga _{0.5} In _{0.5} Sb. 88
Figure 50	Image MEB gravure d'isolation d'hétérostructure AlInSb/-
	GaInSb par RIE & ICP. 92
Figure 51	Réalisation de la couche à base d'In _{0.53} Ga _{0.47} As par
-	MBE. <u>96</u>
Figure 52	Structure de couche simulée par l'IEF d'Orsay. 96
Figure 53	Résultats de simulation de la commande de charge et
0 00	de la densité des électrons en régime d'inversion d'une
	capacité MOS type p pour un EOT d'environ 3 nm et
	utilisant une grille de TaN (même travail de sortie que
	Ta). 97
Figure 54	Etapes de fabrication du MOSFET In _{0,53} Ga _{0,47} As auto-
0 51	aligné. 99
Figure 55	Masque 'mosfet' montrant les transistors de longueurs de
0 55	grille et de distances source-drain différentes . 100
Figure 56	Zoom d'un transistor du masque 'mosfet' avec les diffé-
0 9	rentes longueurs, L_{SD} , la distance source-drain, L_G , la
	longueur de grille, $L_{SG}=L_{GD}$, respectivement la distance
	source-grille et la distance grille-drain. 101
Figure 57	Schéma d'un cycle ALD pour l'obtention d'une mono-
0 57	couche d'alumine à l'aide de deux précurseurs, l'eau
	(H ₂ O) et le TriMéthyl Aluminium (TMA). 102
Figure 58	Suivi par images AFM de croissance par cycles ALD de
0 5	$l'Al_2O_3$ sur In _{0 53} Ga _{0 47} As. 102
Figure 59	Résultats XPS des différents traitements de surface à base
0 57	de solutions HCl et NH4OH réalisés sur In0.2Ga0.8As
	par Shin et al. [125]. Les courbes vertes caractérisent les
	oxydes, les courbes rouges, les liaisons entre atomes. 106
Figure 60	Masque 'hsgetchprofile' des lignes de largeur 3 mm et de
0	longueurs 25, 50, 75 et 100 nm. 107
Figure 61	Ligne de HSQ insolée et révélée à la TMAH de longueur
0	sur masque de 25, 50, 75 et 100 nm sous une dose de base
	de 5700 μ C/cm ² . 108
Figure 62	Ligne de HSQ insolée et révélée à la TMAH de longueur
U	sur masque de 25, 50, 75 et 100 nm sous une dose de base
	de 4000 μ C/cm ² et différents coefficients C. 109
Figure 63	Image MEB de gravure du Ta sur GaAs après gravure
0 9	RIE. 110

Figure 64	Images MEB de gravure du tantale de longueurs de lignes
Figure 65	Parcours d'une particule dans un solide jusqu'à son arrêt
Figure 66	dans le matériau. 112 Profils de concentrations normalisés par la dose d'ions Si ⁺ lors de l'implantation à deux énergies dans l'Al ₂ O ₃ et l'InverCaura Accentra
Figure 67	Schéma du procédé de gravure RIE pour la définition des sidewalls en Si ₃ N ₄ . Les gaz utilisés sont l'héxafluorure
Figure 68	de soutre, SF ₆ et l'argon, Ar. 114 Images MEB de définition des sidewalls en Si ₃ N ₄ par gravure RIE SF ₆ :Ar pour des grilles en Ta de longueur 50,
Figure 69	Schéma de réalisation des contacts ohmiques de type n par lithographie électronique. 116
Figure 70	Schéma de réalisation des contacts ohmiques de type p par lithographie optique. 118
Figure 71	Images MEB de l'isolation mesa par gravure humide d'un MOSFET $In_{0.53}Ga_{0.47}As$. 120
Figure 72	Etapes de fabrication de la capacité MOS In _{0.53} Ga _{0.47} As. 122
Figure 73	Schéma du masque utilisé pour la fabrication des ca- pacités MOS ainsi que les dimensions d'une capacité MOS en lien avec les dimensions des sondes hyperfré- quences 122
Figure 74	Caractéristiques courant-tension d'un MOSFET InGaAs auto-aligné fonctionnant en inversion et pour 4 longueurs de grille et pour une distance source-grille de 1 µm. 125
Figure 75	Caractéristique courant de grille en fonction de la ten- sion de grille à tension drain-source nulle d'un MOS- FET In _{0.53} Ga _{0.47} As auto-aligné fonctionnant en inversion commune aux 4 longueurs de grille 126
Figure 76	Caractéristiques courant de drain et sa transconductance associée en fonction de la tension de grille pour deux tensions drain-source d'un MOSFET $In_{0.53}Ga_{0.47}As$ auto- aligné fonctionnant en inversion et pour 4 longueurs de grille. 127
Figure 77	Résultats C-V de capacité MOS $In_{0.53}Ga_{0.47}As$ avec 8 nm d'Al ₂ O ₃ au sein de l'IEMN et issue de la littérature. 129
Figure 78	Mesure de la densité de défauts d'interface (D_{it}) dans la bande interdite de l'In _{0.53} Ga _{0.47} As de la CAPAMOS avec 8 nm d'Al ₂ O ₃ , utilisant un plot de grille en titane (Ti) et la méthode HF-LF. 130
Figure 79	Zoom du masque 'mosfet' sur les structures utilisées pour la méthode d'épluchage. 131

Figure 80	Gains en courant et de Mason et leurs fréquences de cou-			
	pures associées, f _t et f _{max} d'un MOSFET In _{0.53} Ga _{0.47} As			
	auto-aligné fonctionnant en inversion et pour 4 longueurs			
	de grille. 132			
Figure 81	Mesures pulsées de caractéristiques courant de drain			
	en fonction de la tension de drain-source d'un MOS-			
	FET In _{0.53} Ga _{0.47} As auto-aligné fonctionnant en inversion,			
	pour 4 longueurs de grille et pour 4 temps d'impulsion. 134			
Figure 82	Mesures pulsées de caractéristiques de courant de drain			
	et de transconductance en fonction de la tension de grille-			
	source d'un MOSFET In _{0.53} Ga _{0.47} As auto-aligné fonc-			
	tionnant en inversion, de longueur de grille 300 nm et			
	pour 4 temps d'impulsion. 135			
Figure 83	Représentation des zones de non fonctionnement des			
	transistors et des moyens utilisées comme l'imagerie MEB			
	et des structures adaptées pour évaluer respectivement			
	les effets de proximité et la diffusion latérale. 136			

LISTE DES TABLEAUX

Tableau 1	Propriétés physiques des principaux matériaux semicon-			
Tableau 2	Matériaux alternatifs de canal pour les FETs, d'après			
	Thompson et al. [137], avec mise en évidence de la densité			
	d'états. 15			
Tableau 3	Densité de défauts d'interface mesurée après dépôt d'oxyde			
	'in-situ' (GdGaO), réalisés par différents laboratoires. 34			
Tableau 4	Résultats des traitements de surface avant dépôt d'oxyde			
	par ALD, réalisés par différents laboratoires et caractérisés			
	par la densité de défauts d'interface. 35			
Tableau 5	Résultats des traitements de surface avant dépôt d'oxyde			
	par MOCVD, réalisés par différents laboratoires et carac-			
	térisés par la densité de défauts d'interface. 36			
Tableau 6	Résultats des performances statiques pour différents MOS-			
	FETs et MOSHEMTs, réalisés par différents laboratoires. 37			
Tableau 7	Résultats des performances dynamiques pour différents			
-	MOSFETs et MOSHEMTs, réalisés par différents labora-			
	toires. 38			
Tableau 8	Meilleurs SS et DIBL pour des MOSFETs en inversion,			
	réalisés par différents laboratoires. 38			

Tableau 9	Résultats des mesures de résistances de contact, de couche des contacts de type n pour des HEMTs AlSb/InAs, pour			
	différentes épitaxies. 52			
Tableau 10	Conditions de gravure RIE/ICP réalisées pour la gravure			
TT 1 1	seche disolation des HEIVIIS AISD/INAS. 50			
lableau 11	charges pour une structure HEMT à dopage Si à 77 K et 300 K et à dopage Te sur des dispositifs à effet Hall. 60			
Tableau 12	Courant de drain maximum des différents transistors HEMTs à V_{DS} = 250 mV et à V_G = 0 V . 60			
Tableau 13	Transconductance maximale des différents transistors HEMTs à V_{DS} = 100 mV et V_{DS} = 250 mV. 61			
Tableau 14	f_t maximum et P _{DC} associée pour V _{DS} = 100 mV et V _{DS} = 250 mV pour les différents HEMTs 64			
Tableau 15	f_{max} maximum et sa P_{DC} associée pour V_{DS} = 100 mV et V_{DS} = 250 mV pour les différents HEMTs = 64			
Tableau 16	Paramètres du schéma équivalent petit signal pour les différents transistors HEMTs à V_{DS} = 100 mV et V_{DS} = 250 mV. 65			
Tableau 17	Comparaison des différentes propriétés physiques des hétérostructures standards et antimoniées. 69			
Tableau 18	Données obtenues de la littérature sur les contacts oh- miques sur composés antimoniés 'hulk' 70			
Tableau 19	Evaluation du pontentiel de barrière $\phi_{b,c}$ des électrons par rapport à la bande de conduction E_c du $In_{0.5}Ga_{0.5}Sb$ d'une jonction métal/semi-conducteur, d'après Tiwari and Frank [139]. 71			
Tableau 20	Essais de contacts ohmiques diffusifs réalisés sur l'hétéros- tructure AlInSb/GaInSb. 72			
Tableau 21	Analyse MEB et EDX des métallisations pour l'obtention des contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb avec 50% d'In dans le canal. 74			
Tableau 22	Comparaison des différentes propriétés physiques des hétérostructures antimoniées. 76			
Tableau 23	Essais de contacts ohmiques diffusifs réalisés sur l'hétéros- tructure AllpSh/GalpSh avec 65% d'In dans le canal			
Tableau 24	Analyse MET et EDX des métallisations pour l'obtention			
Tableau 25	AlInSb/GaInSb avec 65% d'In dans le canal. La ligne blanche en pointillés désigne la surface de l'hétérostructure. Résultats des mesures de résistances de contact, de ré- sistances carrées de type n pour une hétérostructure des Al _{0.55} In _{0.45} Sb/In _{0.5} Ga _{0.5} Sb avec un cap layer de 500 Åà			

78

- Tableau 26Résultats des mesures de résistances de contact, de couche
des contacts de type n pour une hétérostructure des
 $Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb$ avec un canal dopé au Te
 $(5 \times 10^{18}/cm^3)$. 82
- Tableau 27Conditions expérimentales d'implantation et de recuit des
premiers essais d'implantation ionique d'éléments VI (S,
Se) et d'élément V (As) pour une dose de 5×10^{13} /cm².
- Tableau 28Caractéristiques obtenues par les mesures TLM et par
effet Hall après implantation de S, As et Se dans des
hétérostructures AlInSb/GaInSb.

Tableau 29Conditions expérimentales d'implantation et de recuit
d'activation avec une dose de base de 5×10^{13} / cm².87

- Tableau 30Caractéristiques obtenues par les mesures TLM et par
effet Hall après implantation de Se dans des structures
AlInSb et GaInSb.88
- Tableau 31Conditions expérimentales d'implantation et de recuit
d'activation90
- Tableau 32Résultats des différents traitements de surface réalisés
sur $In_{0.53}Ga_{0.47}As$ caractérisés par AFM (dimensions ba-
layage: 5 µm× 5 µm) et XPS au sein du CEA-LETI. 3 nm
d'Al₂O₃ est déposée par ALD. 105
- Tableau 33Résultats de mouillabilité des différents traitements de
surface réalisés sur InGaAs106
- Tableau 34Projections incidente et latérale et leurs déviations stan-
dards des ions Si⁺ dans l'Al $_2O_3$ et l'In $_{0.53}Ga_{0.47}As$ à des
énergies d'implantation 15 et 30 keV.112

Tableau 35Résultats des mesures de résistances de contact, de couche
des contacts de type n, pour différentes implantations.117Tableau 36Résultats des mesures de résistances de contact, de couche

- des contacts de type p. 119
- Tableau 37Courant de drain maximum $I_{D,max}$ en fonction de la
longueur de grille L_G pour V_{DS} = 1 V et V_G = 3 V et
distance source-grille de 1 µm. *: est tiré de [84] pour
 V_{DS} = 2 V et V_G = 2 V, état de l'art pour $I_{D,max}$. 125
- Tableau 38Résultats des mesures de résistances de contact, de couche
des contacts de type p. 126
- Tableau 39Transconductance g_m en fonction de la longueur de grille L_G à V_{DS} et V_{GS} . *: est tiré de [84], état de l'art pour g_m .127

Tableau 40Courants de drain maximum statiques et pulsés (τ = 500ns) pour les différentes longueurs de grille.133

ACRONYMES

AFM	Atomic Force Microscopy, Microscopie par Force Atomique				
ALD	Atomic Layer Deposition, Dépôt par Couche Atomique				
CMOS	Complementary Metal Oxide Semiconductor				
CVD	Chemical Vapor Deposition, Dépôt Chimique en phase Vapeur				
DARPA	Defense Advanced Research Projects Agency				
DIBL	Drain Induced Barrier Lowering, <i>Abaissement de la Barrière Induite par la tension de Drain</i>				
EDX	Energy Dispersive X-ray spectrometry, spectrométrie Dispersive en Energie des rayons X				
ЕОТ	Equivalent Oxide Thickness, Epaisseur d'Oxyde Equivalente				
FB-FET	FeedBack Field Effect Transistor				
FET	Field Effect Transistor, Transistor à Effet de Champ				
НЕМТ	High Electron Mobility Transistor, Transistor à Haute Mobilité Electronique				
IGFET	Insulated Gate Field Effect Transistor, <i>Transistor à Effet de Champ à Grille Isolée</i>				
IMOS	Impact-ionisation Metal Oxide Semiconductor				
JFET	Junction Field Effect Transistor, Transistor à Effet de Champ à Jonction				
MBE	Molecular Beam Epitaxy, Epitaxie par Jets Moléculaires				
MEB	Microscopie Electronique à Balayage				
MESFET	[•] MEtal Semiconductor Field Effect Transistor, <i>Transistor à Effet de Champ Métal Semi-conducteur</i>				
MET	Microscopie Electronique en Transmission				
MOCVD	Metal Organic Chemical Vapor Deposition, Dépôt Chimique en phase Vapeur Métal-Organique				
MOS	Metal Oxide Semiconductor, Métal Oxyde Semi-conducteur				
MOSFET	⁻ Metal Oxide Semiconductor Field Effect Transistor, <i>Transistor à Effet de Champ Métal Oxyde Semi-conducteur</i>				
MOST	Metal Oxide Semiconductor Transistor, Transistor Métal Oxyde Semi-conducteur				
PDA	Post Deposition Annealing, Recuit Thermique Après Dépôt				

PECVD	Plasma-Enhanced Chemical Vapor Deposition, <i>Dépôt Chimique en phase</i> <i>Vapeur Assisté par Plasma</i>
RIE	Reactive Ion Etching, Gravure Ionique Réactive
SIMS	Secondary Ion Mass Spectrometry, Spectrométrie de Masse à Ionisation Secondaire
SOI	Silicon On Insulator, Silicium Sur Isolant
SS	Subthreshold Slope, Pente sous le seuil
tFET	tunnel Field Effect Transistor
TLM	Transmission Line Method, Méthode de Lignes de Transmission
UTB	UltraThin Body, Substrat Ultra Fin
XPS	X-ray Photoemission Spectrometry, <i>Spectrométrie de Photoélectrons induits par rayons X</i>

INTRODUCTION

Ces dix dernières années, l'électronique s'est de plus en plus invitée dans les produits de la vie courante longtemps restés vierges ou peu 'électronisés' comme dans l'automobile, la chauffagerie, le luminaire, ... et ceci en plus des produits électroniques de consommation courante comme les téléviseurs, la téléphonerie mobile, les ordinateurs ... Ce développement répond à une demande des consommateurs qui veulent faciliter leur vie quotidienne. Un exemple est le contrôle des pièces dans une voiture grâce à des capteurs électroniques via une interface 'logiciel' permettant un gain de temps non négligeable pour les réparations.

La course à la basse consommation en énergie n'est pas simplement une conséquence directe de ce constat mondial de consommation en énergie. Elle répond aussi à une demande croissante pour de nouvelles applications dont le cahier des charges en termes de consommation d'énergie est très restrictif. En effet, l'idée est de s'affranchir des sources d'énergie créées par l'homme et de puiser l'énergie dans l'environnement où le dispositif électronique se trouve. Cette autonomie vis à vis de l'énergie permet de réduire l'encombrement des dispositifs. Ainsi, l'application principale est celui de l'intelligence ambiante où des sytèmes électroniques autonomes sont en partie recquis.

L'intelligence ambiante consiste à créer des environnements qui sont sensibles et qui réagissent à la présence de personnes. L'utilisateur de toutes les technologies nouvelles issues de l'intelligence ambiante est placé au centre de l'environnement. Le concept est basé sur l'idée originale de l'Ubiquitous Computing (informatique omniprésente) introduite pour la première fois par Marc Weiser en 1991 [149]. En 2001, l'Information Society Technology Advisory Group (ISTAG) de la Commission européenne a proposé le concept d'intelligence ambiante pour être utilisé comme le thème central du 6^{eme} programme-cadre en matière de technologie de l'information. L'idée d'intéraction entre la personne et son environnment revient à un échange d'informations, de communication.

Aarts, à travers la référence [4], introduit le lien entre le débit d'information, les catégories des dispositifs électroniques entrant dans le cadre de l'intelligence ambiante et leurs consommations, et les conditions d'un point de vue technologique et physique pour atteindre certains niveaux de puissance de consommation.

Les systèmes électroniques entrant dans le cadre de l'intelligence ambiante sont rangés dans trois catégories selon la puissance de consommation (μ W, mW et W): les dispositifs statiques (e.g. enregistreur vidéo, stockage), porta-

2 Liste des tableaux

bles (e. g. téléphone portable) et autonomes (e. g. capteurs de températures). Pour cette dernière catégorie, les dispositifs doivent pouvoir être intégrés dans leur environnement sur une très longue durée et fonctionner à des puissances inférieures à 100 muW. Pour cela, ils se fourniront en énergie dans leur environnement par voie thermique, photovoltaïque ou mécanique.

Un système autonome est composé d'une interface capteur, d'un controleur numérique, d'une interface de communication et d'une source d'énergie.

L'interface de communication ou le module de communication est souvent composé d'un amplificateur faible bruit (LNA). La base des LNAs est le transistor à effet de champ qui doit pouvoir fournir de grandes performances électriques (fréquentielles, bruit). C'est sur ce dispositif que notre travail de thèse va porter.

Les différents dispositifs à effet de champ existants sont le Metal Oxide Semiconductor Field Effect Transistor, Transistor à Effet de Champ Métal Oxyde Semi-conducteur (MOSFET), le High Electron Mobility Transistor, Transistor à Haute Mobilité Electronique (HEMT). Le MOSFET est la topologie la plus répandue dans le domaine de la microélectronique, particulièrement à base de silicium. Dans le cadre de l'intelligence ambiante, il se limite à une intégration dans des dispositifs portables (e.g. Zigbee) donc fonctionnant à la puissance de l'ordre du milliWatt. Ces niveaux de puissance rendent impossible l'autonomie. Et malgré l'évolution suivant la loi de Moore, l'intégration de la technologie Si dans les dispositifs ne permettra pas de descendre en dessous de 100 µW. On s'est donc intéressé à des matériaux alternatifs, en particulier pour les matériaux III-V, e.g. InP, GaAs, InGaAs, InAs. Les propriétés intrinsèques de ces matériaux sont en particulier la grande mobilité électronique et la faible masse effective. Ces matériaux ont montré et montrent toujours leurs potentialités à travers des transistors de topologie HEMT qui est à la base des meilleurs LNAs du marché. Leurs grandes performances fréquentielles sont obtenues à de faibles puissances même si cette topologie a des défauts comme la fuite de courant en veille et dans un sens, la topologie MOSFET reste intéressante pour la mise en veille des certaines parties des dispositifs autonomes. Ainsi, notre travail consistera à étudier de ces dispositifs MOSFET et HEMT pour atteindre de grandes performances fréquentielles dans un cadre de faible consommation.

Cette thèse est décomposée en trois chapitres:

- Le premier chapitre va établir les bases physiques et les conditions nécessaires d'obtention de grandes performances électriques à une basse consommation en énergie. Nous mettrons en exergue les paramètres physiques influant et allant dans le sens de notre objectif mais aussi les paramètres allant à l'encontre. Nous montrerons que les semi-conducteurs III-V sont de bons candidats pour nos dispositifs. Les dispositifs choisis sont les HEMTs et les MOSFETs dont un principe de fonctionnement de base sera exposé ainsi qu'un état de l'art des performances électriques.

- Le deuxième chapitre concerne la mise en place des briques technologiques des HEMTs à base de matériaux semi-conducteur à forte mobilité électronique comme le HEMT AlSb/InAs et le HEMT Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb. Nous évaluerons les performances électriques des HEMTs AlSb/InAs et nous verrons les avantages et les inconvénients de ces dispositifs.
- Le troisième et dernier chapitre est quant à lui destiné à l'étude du MOSFET à base de matériaux III-V, en particulier le matériau Ga_{0.47}In_{0.53}As qui est à la base des meilleures transistors HEMTs mis sur le marché (hétérostructures Al_{0.52}In_{0.48}As/Ga_{0.47}In_{0.53}As). Le MOSFET est dans notre travail considéré comme une évolution logique à partir du HEMT. Nous présenterons les briques technologiques pour la fabrication des premiers MOSFET III-V de France et leurs performances électriques. La caractérisation mettra en avant de possibles améliorations.

Après avoir développé le contenu du travail de cette thèse, nous confronterons nos résultats avec la littérature et nous exposerons les perspectives de travail dans le domaine des dispositifs à effet de champ pour des applications hautes performances électriques basse consommation.

INTRODUCTION AUX DISPOSITIFS HAUTES PERFORMANCES FRÉQUENTIELLES FAIBLE CONSOMMATION D'ÉNERGIE

1.1 MOTIVATIONS

Les transistors faible consommation: The Green Transistor

Les futurs besoins de la société en matériel électronique couvrent le domaine de l'intelligence ambiante, en particulier les objets ou capteurs communicants. La plupart de ces objets devront être intégrés 'sur une très longue durée' dans leurs environnements et par conséquent autonomes en énergie. Ces composants/systèmes doivent s'autoalimenter en extrayant l'énergie disponible autour d'eux et issue, d'ondes électromagnétiques, d'énergies mécanique ou thermoélectrique, e.g. l'énergie issue de la lumière via les cellules photovoltaïques.

La Figure 1 donne le débit d'information en fonction de la puissance consommée pour différents systèmes électroniques usuels [4]. L'auteur indique que l'autonomie n'est possible que pour des consommations inférieures à environ 100 µW. Cette valeur approximative est basse et est liée aux possibilités de récupération d'énergie dans l'environnement et de l'encombrement du capteur lui-même, qui doit être raisonnable pour des raisons de mobilité. Par exemple, pour une récupération d'énergie par le photovoltaïque, la densité de puissance récupérable, en étant optimiste sur le rendement, est aux alentours de 100 μ W/mm² sous éclairement extérieur. Ce qui signifie que si l'on veut un capteur de surface 1 mm², la puissance récupérable est de seulement 100 μ W. On peut augmenter l'autonomie par le stockage et la mise en veille de l'objet communicant, mais cette valeur reste faible pour atteindre des débits actuels d'information. En effet, si l'on regarde les débits d'information disponible sous les 100 μ W (Figure 1), nous constatons qu'ils sont limités aux kbit/s en utilisant une technologie de type CMOS silicium, ce qui limite énormément les applications possibles. Beaucoup d'équipes de recherche tente de développer des systèmes de récupération et de stockage de l'énergie plus efficaces. Toutefois, la réduction de la consommation de l'électronique utilisée est aussi une voie complémentaire à exploiter. Donc la diminution de la consommation de puissance des transistors constituants les circuits utilisés, doit être explorer.

Pour réduire la consommation de puissance, différentes voies sont abordées, d'un point de vue de la topologie, du mode de fonctionnement et/ou des matériaux utilisés. Nous regrouperons ces nouveaux composants sous l'étiquette de Green Transistor, qui tirent leur nom de la faible consommation et non du faible impact environnemental ('green electronic' usuellement pour



Figure 1: Graphe flux d'information-puissance des technologies existantes [4].

électronique utlisant des matériaux et des procédés de faible impact environnemental). Ce nom de Green Transistor a été suggéré par Hu et al. [62] pour les tunnel Field Effect Transistor (tFET), et nous le généralisons à l'ensemble des transistors basse consommation.

Nous pouvons retrouver dans la littérature des études axées sur la 'TOPOLOGIE' [106, 61, 62, 57] et le mode de fonctionnement ou le 'MATÉRIAU' utilisé.

TOPOLOGIE Le but de ces nouvelles topolgies est d'agir principalement sur la pente sous le seuil (SS) qui est une limite théorique pour les topologies classiques comme les MOSFETs et les HEMTs d'une valeur d'environ 60-70 mV/dec à température ambiante. En effet, pour des applications numériques, la SS intervient dans la puissance de consommation des dispositifs [135]. La pente sous le seuil conditionne le ratio $\frac{I_{on}}{I_{off}}$ des FETs. Dans une porte complémentaire CMOS, le courant I_{off} de fuite contribue à la puissance dite de fuite qui est aussi le courant en régime permanent d'un inverseur CMOS. Il est nécessaire que ce courant I_{off} soit le plus faible possible. Dans le cas des noeuds sub-50 nm, ce I_{off} devient important et la puissance liée à ce paramètre tend à devenir aussi importante que les autres composantes.

Par ailleurs, le courant I_{on} conditionne le temps de commutation de l'inverseur CMOS. Plus ce courant est important, et plus la commutation sera rapide. Différentes topologies ont été proposées pour réduire la pente sous le seuil et ainsi augmenter le rapport $\frac{I_{on}}{I_{off}}$.

Dans le cadre de notre travail, nous nous sommes intéressés aux applications analogiques. Les circuits analogiques n'ont pas les mêmes contraintes de $\frac{I_{on}}{I_{off}}$, comparées aux CMOS. En effet, le ratio $\frac{I_{on}}{I_{off}}$ peut être relaché. La puissance dite de fuite ne contribue que faiblement à la puissance consommée. Par exemple, pour un amplificateur à FET source commune, la puissance statique consommée

est majoritairement liée au courant de polarisation I_{on} (ou plutôt I_o). Toutefois, la pente sous le seuil de nos FETs doit approcher sa valeur idéale. En effet, une pente trop importante indique la présence d'effets de canal court ou de courant de fuite pénalisants pour les performances du transistor.

C'est pourquoi, notre travail s'est principalement axé sur l'utilisation de matériaux à faible bande interdite pour réduire la consommation.

MATÉRIAU Le point clé, pour atteindre une consommation de puissance aussi faible, est la réduction de la tension d'alimentation (V_{dd}) des transistors entre 50 et 200 mV; c'est-à-dire quelques $\frac{k_BT}{q}$ à température ambiante. Ce domaine de fonctionnement est difficilement accessible au CMOS silicium (actuellement $V_{dd} \sim 0.5-1$ V) [3], dont les performances fréquentielles sont fortement dégradées à basse tension [18]. En effet la mobilité dans le silicium est trop faible pour compenser la dégradation des fréquences de coupure à faible V_{dd} . Pour accéder au régime de faible tension d'alimentation, nous devons nous intéresser à d'autres matériaux semi-conducteurs sans modifier la topologie du transistor. Dans la famille des matériaux III-V, les semi-conducteurs à faible bande interdite et à forte mobilité électronique sont de bons candidats pour fabriquer et explorer les potentialités fréquentielles à très faible V_{DS} de transistors de type MOSFET ou HEMT. En effet, comme nous le verrons dans la partie 1.2, les propriétés de transport électronique de ces matériaux devraient permettre d'abaisser le point de fonctionnement en tension V_{DS}, tout en conservant les performances fréquentielles indispensables aux applications de communication.

L'utilisation de matériaux à petite bande interdite dans des topologies bien connues, les MOSFETs et les HEMTs, peut être envisagée comme solution à la baisse de la consommation. Ces structures sont bien connues et leur développement représente un risque moins important que des solutions plus innovantes ou originales (e.g. le tFET). L'utilisation de matériaux à très petite bande interdite de la filière antimoine pour les HEMTs et l'utilisation d'un canal III-V en remplacement du silicium sont actuellement en cours d'exploration:

– Dans la catégorie des MOSFETs III-V, aux Etats Unis, depuis quelques années, l'étude des transistors et circuits à base de matériaux III-V à petit gap (filières InP et GaAs) pour des applications très hautes fréquences a été et continue d'être fortement soutenue dans les programmes Defense Advanced Research Projects Agency (DARPA) en particulier mais aussi par les grands groupes de l'industrie du silicium [32]. Le programme DARPA 'COSMOS' [122] concerne l'hétéro- intégration de matériaux III-V petit et grand gap sur une plateforme CMOS silicium. Il existe un projet Européen 'DUALLOGIC' [2]; il s'agit d'une co-intégration de MOSFET GaInAs de type n et de MOSFET Ge de type p le tout sur un substrat de silicium. Quelques résultats sont déjà parus sur les CMOS hybride InGaAs/Ge [79]. Par ailleurs, l'utilisation de composants semi-conducteurs à base de composés III-V à faible bande interdite est clairement mentionnée dans les documents de ITRS 2009 [1] relatifs aux technologies émergentes. L'enjeu

PROPRIÉTÉS	Si	Ge	In _{0.53} Ga _{0.47} As	InAs	In _{0.5} Ga _{0.5} Sb	InSb
Energie de bande interdite E _g (eV)	1,12	0,66	0,74	0,36	0,34	0,18
Masse effective des électrons m*	0,19	0,08	0,041	0,023	0,02	0,014
Mobilité des électrons μ_e (cm ² /V.s)	1 400	3 900	12 000	40 000	-	78 000
Vitesse de saturation des électrons (\times 10 ⁷ cm/s)	1	-	2,7	4	-	5

Table 1: Propriétés physiques des principaux matériaux semiconducteur.

principal est de prouver ou non que ces filières de composants à base de matériaux petit gap sont des solutions viables pour la réalisation de fonctions analogiques HF destinées aux systèmes autonomes. La section 1.2 présente les avantages des III-V comparés au Si comme matériaux pour les futurs MOSFETs.

Dans la catégorie des HEMTs, pour le domaine des applications hautes fréquences (HF) analogiques, des amplificateurs fonctionnant en gamme millimétrique ont démontré des performances faible bruit et grand gain avec des consommations de puissance statique extrêmement faibles de quelques mW. A titre d'exemple, des amplificateurs faible bruit à base de HEMTs sur InP et fonctionnant autour de 100 GHz présentent une consommation proche de 125 μW/μm (puissance DC par unité de largeur de grille) sous 1 V d'alimentation. Le même type d'amplificateur sur la filière InAs présente une consommation de 15 μW/μm pour V_{DS}= 0,3 V [36]. Bien que les HEMTs présentent de forts courants de fuite, les filières de composants HF à base de matériaux faible bande interdite restent de sérieux candidats pour des applications dans le domaine des dispositifs faible consommation et donc pour des objets communicants.

Dans la partie précédente, nous avons indiqué que l'utilisation de matériaux III-V à petite bande interdite dans des topologies pouvait être une voie d'amélioration de la consommation en conservant de bonnes performances dynamiques. Notre argument, qui sera développé dans la suite, vient des bonnes propriétés de transport de ces matériaux. Nous pouvons constater dans le Table 1, que les matériaux III-V présentent de meilleures caractéristiques de transport électronique que le silicium. Dans les matériaux III-V, la mobilité est de plusieurs ordres de grandeur, ce qui est lié à une masse effective beaucoup plus faible. De plus, la vitesse de saturation est aussi plus élevée.

Dans la section suivante, nous allons isoler les paramètres physiques qui caractérisent les dispositifs à effet de champ hautes performances fréquentielles faible consommation et ainsi démontrer que les matériaux III-V sont de sérieux candidats pour de telles applications.

1.2 PARAMÈTRES PHYSIQUES CLÉS DES MATÉRIAUX POUR LE CANAL DES FETS FAIBLE CONSOMMATION

1.2.1 Puissance de consommation

Pour une amplification utilisant un FET monté en source commune, nous avons une puissance de consommation statique qui peut s'écrire:

$$P_{consum} = I_D \cdot V_{DS} + I_G \cdot V_{GS}$$
(1.1)

Le courant de grille peut être négligé, en particulier pour les structures de type MOS où le courant traversant l'oxyde de grille est très faible. Pour un HEMT, ce courant I_G correspond au courant de la diode Schottky. Dans la majorité des cas, ce courant peut être négligé.

Donc d'après l'expression précédente, un moyen de diminuer la consommation est la réduction de la tension drain-source V_{DS} . Toutefois, comme nous le verrons dans la partie suivante, cette réduction de V_{DS} n'est pas sans effet sur la fréquence de coupure du transistor. Enfin, il est aussi possible de jouer sur le courant de drain I_D . En règle générale, il existe un minimum de courant I_D pour l'obtention d'une fréquence de coupure maximale.

1.2.2 Fréquence de coupure et puissance consommée des FETs: influence du transport des porteurs

L'idée de cette partie est d'indiquer l'influence de la tension V_{DS} sur les performances fréquentielles

Pour l'obtention de dispositifs FETs atteignant de hautes performances fréquentielles mais à faible consommation, nous devons trouver une relation simple entre ce qui est commun entre les performances fréquentielles (f_t et f_{max}), i.e. la 'fréquence de coupure', f_c et un des paramètres influant de la faible consommation, la tension d'alimentation, i.e. la tension de drain-source, V_{DS} .

Nous partons déjà de l'expression simplifiée de la fréquence de coupure intrinsèque comme le montre l'Equation 1.2.

$$f_{c} = \frac{\langle \upsilon \rangle}{2\pi \cdot L_{G}^{*}}$$
(1.2)

L'expression exprime le lien entre la fréquence de coupure et les paramètres du composant. En effet, $\langle v \rangle$ est la vitesse moyenne des électrons sous la grille, et L^{*}_g, la longueur de grille effective qui tient compte des effets de bord (e.g. overlap,...). Composant à grille courte et matériaux à vitesse électronique élevée sont bien les clefs de la montée en fréquence. Cette expression est approximative. Elle ne tient pas compte des effets parasites (capacité, résistance d'accès, ...).

La Figure 2 représente la caractéristique courant-tension d'un FET. Nous pouvons discerner deux régimes de fonctionnement: le régime linéaire et le régime de saturation.



Figure 2: Caractéristique courant-tension d'un transistor à effet de champ.

En régime linéaire Le FET a un comportement résistif, la résistance dépendant de la tension V_{GS} . Dans ce mode de fonctionnement, la vitesse électronique peut s'écrire:

$$\langle \upsilon \rangle = -\mu \cdot \mathsf{E} \tag{1.3}$$

avec μ , la mobilité des porteurs.

Pour une faible valeur de V_{DS} , le champ électrique est quasi-constant sous la grille et peut s'écrire:

$$\mathsf{E} = -\frac{\partial \mathsf{V}}{\partial \mathsf{x}} \approx -\frac{\mathsf{V}_{\mathsf{D}\mathsf{S}}}{\mathsf{L}_{\mathsf{G}}^*} \tag{1.4}$$

Nous pouvons alors déduire des Equations 1.3 et 1.4, la relation suivante:

$$f_c \approx \frac{\mu \cdot V_{DS}}{2\pi \cdot L_G^{*2}} \tag{1.5}$$

Ainsi à faible consommation, i. e. à faible tension drain-source, nous pouvons attendre de hautes performances électriques en utilisant des matériaux à haute mobilité.

En régime de saturation Au delà d'un certain seuil de tension V_{DS} , le courant sature. La tension de saturation $V_{DS,sat}$ va dépendre du mécanisme de saturation. Pour un transistor long, la saturation se produit lorsque le canal est pincé côté drain. Pour un transistor court, la saturation est liée à la caractéristique de vitesse des électrons en fonction du champ électrique (Figure 3).



Figure 3: Caractéristique vitesse drift en fonction du champ électrique de différents matériaux semi-conducteur.

En effet au delà d'un champ électrique E_o , la vitesse sature. La saturation de vitesse est alors responsable de la saturation du courant I_D . Dans ce cas la fréquence de coupure peut s'exprimer par :

$$f_c \approx \frac{v_{sat}}{2\pi \cdot L_G^*} \tag{1.6}$$

Nous voyons donc l'importance de la vitesse de saturation dans cette expression et donc l'avantage des matériaux III-V (voir Table 1). De plus, ce régime de fonctionnement offre la meilleure linéarité. Ce qui n'est pas le cas du régime linéaire (en zone de mobilité). Par ailleurs, en négligeant les effets de survitesse, la fréquence de coupure en régime de saturation est plus importante qu'en régime de mobilité. Cette dernière tend en effet vers la fréquence en régime de saturation.

De plus, si nous observons les caractéristiques v = f(E) de la Figure 3, nous constatons que la saturation de la vitesse dans les matériaux III-V se fait à champ plus faible. Et donc pour une longueur de grille donnée, les matériaux III-V favorisent un seuil V_{DS} de saturation de courant plus faible, indispensable pour la réduction de la consommation. Ainsi, l'utilisation des matériaux III-V devrait permettre de conserver des performances fréquentielles à faible V_{DS} .

Une voie complémentaire de la réduction de la consommation est de diminuer les résistances d'accès R_S et R_D ($P_{conso} \sim RI_D^2$). En effet, de faibles valeurs de R_S et R_D conduisent à une diminution de la tension de coude et donc de V_{DS} . Les résistances d'accès sont liées à la qualité des contacts ohmiques, ainsi que la distance entre le contact ohmique de drain ou de source et de la grille. C'est pourquoi une technologie auto-alignée est favorable à un faible V_{DS} .

Nous pouvons préciser que l'argumentaire, précédemment présenté, est basé sur des relations analytiques très approximatives. En effet, les electrons sous la grille d'un transistor court peuvent être en survitesse. De plus, leur transport peut être balistique. Par ailleurs, l'Equation 1.6 ne tient pas compte des éléments parasites tels que les résistances d'accès et les capacités parasites.

Nous pouvons exprimer une fréquence de coupure qui tient compte des éléments parasites de manière approchée par

$$f_{c,par} = \frac{g_{m}}{2\pi (C_{GS} + C_{p})}$$
(1.7)

où C_p correspond à la traduction des éléments parasites du transistor. Si nous prenons l'Equation 1.7, nous pouvons aussi l'écrire comme:

$$f_{c,par} = \frac{g_{m}}{2\pi C_{GS}(1 + \frac{C_{p}}{C_{GS}})}$$
(1.8)

En utilisant une vitesse moyenne sous la grille, nous pouvons définir la transconductance par:

$$g_{\rm m} \approx \frac{C_{\rm GS} \langle \upsilon \rangle}{L_{\rm G}^*} \tag{1.9}$$

Ainsi à partir des Equations 1.8 et 1.9, nous obtenons:

$$f_{c,par} = \frac{\langle \upsilon \rangle}{2\pi L_{G}^{*}(1 + \frac{C_{p}}{C_{GS}})}$$
(1.10)

Nous voyons dans cette expression que la capacité C_G doit être bien supérieure à la capacité C_p représentant les éléments parasites pour augmenter $f_{c,par}$. Une commande de charge la plus efficace possible se traduisant par un C_G important est donc préférable. L'obtention d'un fort C_G peut être obtenu par la réduction de la distance grille-canal et l'utilisation de matériaux de permittivité importante entre la grille et le canal (high- κ).

Pour un MOSFET, cette distance correspond à l'épaisseur de l'oxyde T_{ox} . Cette épaisseur peut atteindre des valeurs proches du nanomètre dans les technologies MOSFET récentes.

Pour un HEMT, une réduction en deça de 5 nm est difficile car comme nous allons le voir dans la section 1.4.2, il faut insérer entre la grille et le canal les couches de barrière Schottky et espaceur ainsi que le plan de dopage. De plus, une faible épaisseur est défavorable au courant de fuite de grille, dû à l'effet tunnel.

L'insertion d'un oxyde entre la grille et le semi-conducteur, i. e. un MOSFET, est donc un avantage, car cet oxyde va permettre de réduire le courant de grille, tout en ayant des épaisseurs d'oxyde très faibles. Toutefois, comme nous allons le décrire dans la partie suivante, l'utilisation des matériaux III-V n'est pas sans conséquence, l'épaisseur d'oxyde est limitée, du fait de la faible densité d'états des matériaux III-V.

1.2.3 Commande de charge et masse effective

D'après la relation 1.10, la commande de charge caractérisée par la capacité C_G doit être la plus efficace possible pour minimiser les effets de la capacité parasite C_p .

Le fonctionnement standard d'un MOSFET est le régime d'inversion. Dans ce régime, la commande de charge est proche de celle d'un HEMT. En forte inversion, la densité d'électrons du canal conducteur est dans les 2 structures linéairement dépendante de la tension V_{GS} . Dans la suite, les expressions sont données pour le MOSFET canal n en régime d'inversion. Ces expressions sont aussi proches de celles d'un HEMT, et les démonstrations suivantes peuvent être appliquées aux HEMTs.

Dans le cas du régime d'inversion, la capacité d'inversion $C_{in\nu}$ (caractérisant les charges dans le canal d'inversion) est connectée en série avec la capacité d'oxyde C_{ox} , la capacité de grille totale C_G est représentée par [50]:

$$\frac{C_{G}}{C_{ox}} = \frac{1}{1 + C_{ox}/C_{in\nu}} = \frac{1}{1 + (\varepsilon_{ox}/T_{ox})/C_{in\nu}}$$
(1.11)

où T_{ox} et ε_{ox} sont, respectivement l'épaisseur et la permittivité d'oxyde de grille. Donc, C_G est dégradée par l'existence de C_{inv} et la dégradation devient plus importante avec la diminution de l'épaisseur d'oxyde. Dans les MOSFETs silicium type n, C_{inv} augmente l'épaisseur effective T_{ox} d'environ 0,5 nm et a un faible impact sur le ratio $\frac{C_G}{C_{ox}}$ avec des épaisseurs T_{ox} supérieures à 5 nm alors que l'influence de C_{inv} devient important pour des T_{ox} approchant 1-2 nm [96].

La capacité d'inversion C_{inv} est déterminée via deux composantes, la capacité d'inversion due à la densité d'états, C_{inv}^{DOS} et la capacité d'inversion due à la discrétisation des niveaux d'énergie, C_{inv}^{thick} , comme le montre l'équation suivante [96, 133]

$$\frac{1}{C_{in\nu}} = \frac{1}{C_{in\nu}^{DOS}} + \frac{1}{C_{in\nu}^{thick}}$$
(1.12)

De grandes valeurs de $C_{in\nu}^{DOS}$ et $C_{in\nu}^{thick}$ vont permettre de réduire l'influence de $C_{in\nu}$ sur C_G d'après les Equations 1.11 et 1.12. D'après l'Equation 1.11, une forte valeur de $C_{in\nu}$ est nécessaire au bon fonctionnement des transistors à faible épaisseur d'oxyde T_{ox} .

Mais il faut noter que les masses effectives en relation avec $C_{in\nu}^{DOS}$ et $C_{in\nu}^{thick}$ sont différentes. $C_{in\nu}^{DOS}$ et $C_{in\nu}^{thick}$ pour les électrons du canal d'inversion, considérés comme un gaz d'électrons bidimensionel (2DEG) sont décrites par les relations suivantes:

$$C_{in\nu}^{DOS} = q^2 \cdot D_{2D} (1 - \exp(-qN_s/D_{2D}))$$
(1.13)

où D_{2D} est la densité d'états (DOS) des sous-bandes en 2D formulée par

$$D_{2D} = 2n_v \frac{\sqrt{m_x m_y}}{\pi \hbar^2} \tag{1.14}$$

où n_v est la dégénérescence de la vallée, m_x et m_y , respectivement, les masses effectives le long du canal et dans la largeur du canal.

Et,

$$C_{in\nu}^{\text{thick}} \approx \frac{\varepsilon_s}{W_{in\nu}} = m_z^{1/3} \cdot \left(\frac{4\varepsilon_s^2 q^2}{9\hbar^2}\right)^{1/3} \cdot \left(N_{dpl} + \frac{11}{32}N_s\right)^{1/3}$$
(1.15)

où ε_s , $W_{in\nu}$, m_z et N_{dpl} sont respectivement la permittivité du semi-conducteur, l'épaisseur effective des couches d'inversion, la masse effective normale à l'interface MOS et la concentration de charges d'espace en surface. $C_{in\nu}^{DOS}$ est déterminée grâce à m_x , m_y et n_v alors que $C_{in\nu}^{thick}$ est déterminée par m_z . La Figure 4 montre les caractéristiques calculées $C_{in\nu} - N_s$, $C_{in\nu}^{DOS} - N_s$ et $C_{in\nu}^{thick} - N_s$ combinaisons de m_x , m_y , m_z et n_v .

- Dans le cas d'un fort D_{2D} , C_{inv}^{DOS} et C_{inv}^{thick} conditionnent, respectivement C_{inv} dans les régions à faible et fort N_s , ce qui reflète typiquement les MOSFETs Si n et p [133, 134].
- Dans le cas où D_{2D} devient de plus en plus faible, c'est à dire à faibles m_x , m_y et n_v , alors C_{inv}^{DOS} conditionne C_{inv} quelque soit N_s , ce qui est le cas pour des MOSFETs à base d'éléments III-V par leurs faibles masses effectives (Table 2).



Figure 4: Caractéristiques calculées $C_{in\nu}$, $C_{in\nu}^{DOS}$ et $C_{in\nu}^{thick}$ en fonction de N_s [135].

Dans le but d'obtenir de fortes valeurs de C_G et de N_s , un large C_{inv} est favorable, c'est à dire de lourdes masses effectives et une large n_v permettent d'atteindre de forts N_s à des T_{ox} et V_G données. Cependant, de lourdes m_x
PROPRIÉTÉS	Si	Ge	Si contraint	GaAs	InP	GaSb	InAs	InSb
Energie de bande interdite E _g (eV)	1,12	1,08	1,42	1,34	0,73	0,7	0,35	0,17
Masse effective des électrons m*	m _x = 0,19	$m_x = 0.08$	-	0,067	0,082	0,042	0,023	0,014
(m ₀)	m _y = 0,98	m _y = 1,59						
Mobilité des électrons μ_e (cm ² /V.s)	1 400	3 900	2900	9200	5400	5000	40 000	78 000
$D_{2D} (\times 10^{12} / \text{cm}^2.\text{eV})$	159	56,7	159	26	33,1	16,8	10,1	5,87

Table 2: Matériaux alternatifs de canal pour les FETs, d'après Thompson et al. [137], avec mise en évidence de la densité d'états.

réduisent directement v_s et une augmentation de D_{2D} causerait une diminution de la mobilité.

Pour le silicium, la masse effective élevée donne une forte densité d'états, qui permet l'obtention d'une C_{inv} plus élevée que pour les matériaux III-V. Ainsi, nous pourrons réduire l'épaisseur T_{ox} à des valeurs plus faibles dans le cas du Si en comparaison avec les matériaux III-V à petit gap. Lors de la réduction de la longueur de grille du transistor, l'épaisseur de T_{ox} pourra être fixée à des valeurs plus faibles dans le Si que dans les matériaux à faible masse effective. La limitation de la loi d'échelle sera plus rapidement atteinte dans les matériaux à faible masse effective. Toutefois ces matériaux offrent les meilleures propriétés de transport (Table 2).

Nous avons donc lors d'une réduction de masse effective deux effets antagonistes:

- une limitation de l'épaisseur d'oxyde et donc de la loi d'échelle, et,

- des propriétés de transport meilleures.

1.2.4 Courant en fonctionnement

Dans le cas de la technologie CMOS, le temps de commutation est lié au courant par l'approximation suivante:

$$\tau \approx \frac{C_{GS} \cdot V_{dd}}{I_{on}} \tag{1.16}$$

Où C_{GS} est la capacité de grille, V_{dd} la tension d'alimentation, mais aussi d'excursion en tension.

La fréquence associée à ce retard s'écrit:

$$f_{c} = \frac{1}{2\pi\tau} \approx \frac{I_{on}}{2\pi C_{GS} \cdot V_{dd}}$$
(1.17)

Nous voyons donc qu'une réduction du courant I_{on} induit une fréquence de coupure plus basse. De même, si l'excursion en tension V_{dd} est importante, cette fréquence est aussi plus faible. Dans ce cas de circuit numérique, on observe donc que la fréquence de fonctionnement est liée au temps de charge de la capacité C_{GS} , ce temps sera d'autant plus faible que le courant I_{on} est important, et l'excursion en tension est faible. Donc si I_{on} est faible, nous aurons un temps de commutation plus important.

Dans le cas d'un circuit analogique, nous pouvons utiliser des expressions similaires. Le courant I_{on} ou en réalité I_D est lié à la polarisation par la transconductance. Nous avons donc:

$$I_{on} = I_D = g_m \cdot (V_{GS} - V_{th}) \tag{1.18}$$

Où V_{th} est la tension de seuil, V_{GS} la tension de polarisation de grille-source. Le terme $V_{GS} - V_{th}$ correspond à l'excursion en tension V_{dd} de l'expression 1.16. Ainsi nous retrouvons l'expression standard de la fréquence de coupure d'un transistor idéal:

$$f_c = \frac{g_m}{2\pi C_{GS}} \tag{1.19}$$

D'un point de vue expérimentale, la fréquence de coupure passe par une valeur maximale pour une valeur de courant (i. e. de tension V_{GS}). La Figure 5 représente cette évolution typique.



Figure 5: Caractéristique fréquence de coupure f_t en fonction du courant en fonctionnement I_D pour un FET.

Cette évolution est liée à la commande de charge des électrons ainsi qu'à la dépendance des propriétés de transport avec la tension V_{GS} . Pour de faibles V_{GS} , nous avons une dégradation des propriétés de transport liée à l'effet d'écran; pour de forts V_{GS} , nous avons peuplement des niveaux d'énergie du puits, possibilité de passage en vallées L et aussi peuplement de la couche barrière Schottky dans le cas d'un HEMT. Pour un MOSFET, nous aurons aussi l'effet du champ électrique transversal. L'ensemble de ces contraintes, sur le transport et la commande de charge, conduit donc à une valeur optimale du courant de polarisation. Il est donc inutile de travailler au delà du courant optimal, si nous voulons un maximum de performance fréquentielle et une faible consommation.

Ainsi si nous voulons réduire la consommation par le courant I_D , nous aurons une dégradation de la fréquence de coupure du transistor. Le choix du point de polarisation est donc un compromis entre la consommation du transistor et la fréquence de coupure. En définitif, le paramètre comparatif de filières technologiques est le facteur de mérite F, qui correspond à l'énergie nécessaire au fonctionnement du transistor en analogique ou en numérique. Plus ce terme est faible et plus la filière offrira le meilleur compromis puissancefréquence. Il peut servir comme indice référence dans la classification des objets hautes performances à faible consommation.

1.2.5 Choix de matériaux du canal

Le Table 2 liste la mobilité 'bulk' des électrons et des trous, la masse effective des électrons, l'énergie de bande interdite et la densité d'états du Si, Ge, et des principaux semi-conducteurs III-V [131, 89, 49]. Ici, les valeurs des mobilités bulk sont listées au lieu de la mobilité dans la couche d'inversion qui serait mieux appropriée dans ce cas. Bien que la mobilité dans la couche d'inversion d'un MOSFET soit plus faible que dans le bulk, la mobilité des III-V reste supérieure au silicium dans un MOSFET.

Cependant, nous savons que la mobilité dans la couche d'inversion est plus grande dans les matériaux III-V que dans le Si et que la mobilité bulk dans les matériaux III-V est plus élevée que dans le Si d'un facteur 3 à 50. Cette différence entre les matériaux est due aux faibles masses effectives des matériaux III-V. Car une faible masse effective régit l'accroissement de v_s alors qu'elle peut dégrader C_g sous T_{ox} très faibles.

La plupart des canaux à fort transport de charges comme le Si et le SiGe contraint, ont une plus faible bande interdite que le Si et le Ge, le courant de fuite de jonction est un problème critique pour les composants faible consommation. La coexistence entre large bande interdite et faible masse effective (donc haute mobilité électronique) comme le GaAs, l'InP ou tout autres matériaux III-V montre qu'ils sont de possibles candidats pour la fabrication de MOSFETs pour des applications faible consommation. Le problème premier avec ces types de matériaux est la réalisation d'oxyde de grille permettant l'obtention d'une bonne interface.

1.3 PRINCIPE DE FONCTIONNEMENT ET PARAMÈTRES ÉLECTRIQUES DES TRANSISTORS À EFFET DE CHAMP

Dans cette partie, nous allons rappeler les principaux paramètres électriques caractérisant les transistors à effet de champ.

1.3.1 Principe de fonctionnement des FETs

Le principe de fonctionnement d'un transistor MOSFET ou d'un transistor HEMT repose sur l'effet 'de champ', qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique (MOSFET) ou par un matériau de haute permittivité et à grande bande interdite (HEMT), comme dans une capacité plane.

L'ajout d'électrodes de source (S) et de drain (D) permet d'appliquer un champ électrique longitudinal dont le rôle est de transporter les électrons libres du canal et de venir récolter le courant resultant.

La structure de base d'un MOSFET (ici nMOS) est schématisée Figure 6, elle est composée de:

- un substrat de type p
- une électrode de grille G commandant l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles,
- deux contacts dits de source S et de drain D à ses extrémités, déposés sur des zones très dopées n (contraire au substrat) entre lesquels est appliquée une différence de potentiel.



Figure 6: Schéma d'un MOSFET.

La structure épitaxiale d'un transistor HEMT canal n est schématisée sur la Figure 7. Le profil de la bande de conduction y est également représenté. La structure d'un HEMT est constituée de:

- une couche de matériau à petit gap fortement dopée appelée couche de contact ohmique ou 'cap layer' permettant, à la fois, de réaliser des contacts ohmiques de source et de drain et de réduire les résistances d'accès au composant intrinsèque [26],
- une couche de matériau à grand gap dopé appelée couche Schottky ou barrière, où l'électrode de commande de grille est déposée sur la couche

Schottky après la réalisation du fossé de grille (recess) par gravure humide,

- une couche de matériau à grand gap non intentionnellement dopé, communément appelée espaceur (spacer), intercalée entre le canal et la couche Schottky pour réduire les interactions coulombiennes entre les électrons libres du canal et les donneurs ionisés de la couche Schottky, et enfin,
- un matériau à petit gap non intentionnellement dopé appelé canal constituant la zone d'accumulation du gaz bidimensionnel d'électrons libres.



Figure 7: Schéma d'une structure HEMT de type n et son diagramme de bande de conduction associé.

La quantification des niveaux d'énergie des électrons, liée à la largeur du puits (largeur inférieure à la longueur d'onde de De Broglie), entraîne une restriction du mouvement des porteurs à l'hétérointerface, la formation d'un canal de gaz d'électrons bidimensionnel (2DEG).

1.3.2 Paramètres électriques des FETs

En régime statique

A partir des caractéristiques statiques d'un FET, des critères ou des paramètres sont à observer:

- $$\begin{split} I_{on}/I_{off} & \text{le rapport entre le courant de commande, par convention,} \\ & \text{défini à } V_{DS} = V_{GS} \text{ et le courant à l'état bloqué, i. e. } V_{GS} = \\ & 0. \quad \text{C'est un paramètre important pour les inverseurs en topologie complémentaire (e. g. CMOS).} \end{split}$$
- V_{FB} la tension de bandes plates d'un MOSFET. Il s'agit de la tension de polarisation nécessaire à l'établissement du régime d'équilibre dans lequel les bandes sont plates. L'expression est donnée par l'équation ci-dessous

$$V_{FB} = \phi_{\mathfrak{m}} - \phi_{sc} - \frac{Q_{it}}{C_{ox}}$$
(1.20)

, avec ϕ_m , ϕ_{sc} , respectivement, les travaux de sortie du métal et du semi-conducteur, Q_{it} , la quantité de charges à l'interface oxyde semi-conducteur et C_{ox} , la capacité de l'oxyde.

 V_{th} la tension de seuil dans un MOSFET. Il s'agit de la tension de polarisation nécessaire à l'établissement du régime de forte inversion, c'est à dire la valeur de V_{GS} pour laquelle le potentiel de surface $\phi_s = 2\phi_F$ avec ϕ_F , le potentiel de Fermi. L'expression est donnée par l'équation ci-dessous

$$V_{\rm th} = V_{\rm FB} - \frac{Q_{\rm dep}}{C_{\rm ox}} + 2\phi_{\rm F} \tag{1.21}$$

, avec Q_{dep}, la quantité de charges dans la zone de déplétion.

V_p la tension de pincement dans un HEMT. Son expresssion est donnée par l'équation suivante

$$V_{p} = \phi_{b} - \Delta E_{c} - \frac{q}{\varepsilon} \cdot N_{\delta} d_{\delta}$$
(1.22)

, avec ϕ_b , le potentiel de 'built-in' qui caractérise la hauteur de barrière Schottky entre la grille et la barrière, ΔE_c , la discontinuité de bande de conduction entre le canal et l'espaceur, ε , la permittivité du matériau de la barrière, N_{δ} , la concentration de porteurs dans le plan de dopage et d $_{\delta}$ la distance entre ce plan de dopage et la grille.

- I_G le courant de grille ou le courant de fuite, introduit dans I_{off} .
- g_m la transconductance qui caractérise la capacité de la grille à contrôler le passage du courant I_D . Son expression est donnée par l'équation ci-dessous

$$g_{\rm m} = \left(\frac{\mathrm{dI}_{\rm D}}{\mathrm{dV}_{\rm G}}\right)_{\rm V_{\rm DS}} \tag{1.23}$$

DIBL le Drain Induced Barrier Lowering, *Abaissement de la Barrière Induite par la tension de Drain*. Cette caractéristique est définie comme la variation de la tension V_{GS} au seuil du transistor en fonction de V_{DS} . Elle traduit la perte de contrôle l'électrode de grille au voisinage du pincement et est liée aux effets de canal court. SS la pente sous le seuil. Son expression idéale est donnée par l'équation ci-dessous

$$SS = \frac{dV_G}{d\log I_{DS}}$$
(1.24)

- dans le cas du MOSFET,

$$SS \approx \frac{kT}{q} \ln 10 \left(1 + \frac{C_{dep}}{C_{ox}} \right)$$
(1.25)

, avec C_{dep} et C_{ox} , respectivement les capacités de déplétion et de l'oxyde.

- dans le cas du HEMT,

$$SS \approx \ln 10 \cdot \frac{kT}{q} \tag{1.26}$$

En régime dynamique

Nous mesurons les paramètres S qui nous permettent de calculer différents gains qui caractérisent les performance du transistor. Dans notre cas, nous nous intéresserons à deux types de gains qui sont:

 $|H_{21}|^2$ le gain en courant de court-circuit. Il définit le facteur d'amplification du courant d'entrée quand la sortie du transistor est court-circuitée. L'expression en fonction des paramètres S est donnée par l'équation ci-dessous

$$|\mathbf{H}_{21}|^2 = \left|\frac{-S_{21}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}\right|^2$$
(1.27)

U le gain unilatéral de Mason. Ce gain est mesuré quand l'entrée et la sortie du composant sont adaptées et quand une contre-réaction est ajoutée au transistor, afin de rendre le paramètre de transmission de l'ensemble (transistor + octopôle de contre-réaction) S'_{12} = o. L'expression est donnée par l'équation ci-dessous

$$U = \frac{1}{2} \left| \frac{S_{21}}{S_{12}} - 1 \right|^2 \cdot \left(k \left| \frac{S_{21}}{S_{12}} \right| - \Re\left(\frac{S_{21}}{S_{12}} \right) \right)^{-1}$$
(1.28)

, avec $k{=}\;\frac{1{-}|S_{22}|^2{-}|S_{11}|^2{+}|S_{11}S_{22}{-}S_{12}S_{21}|^2}{2|S_{12}||S_{21}|}$, le facteur de Rollet ou de stabilité.

A partir de ces gains, nous pouvons évaluer les fréquences de transition lorsqu'ils sont égaux à 1.

– A partir du $|H_{21}|^2$, la fréquence de transition de gain en courant, f_t.

- A partir du U, la fréquence maximale d'oscillation, f_{max}.

Schéma équivalent

Pour modéliser le comportement électrique du transistor à effet de champ, nous faisons appel à des schémas électriques dits équivalents (Figure 8).



Figure 8: Schéma équivalent pour un transistor à effet de champ (FET).

Les éléments de ce schéma sont classés selon deux catégories:

- les éléments extrinsèques c'est à dire en dehors du dispositif actif, indépendants des tensions de polarisation du transistor,
 - L_g , L_S , L_D les inductances, respectivement de grille, de source et de drain.
 - R_G, R_S, R_D les résistances, respectivement de grille, de source et de drain.
 - C_{pG}, C_{pD} les capacités plots ou parasites, respectivement de grille et de drain.
- les éléments dits intrinsèques c'est à dire caractérisant le dispositif actif, indépendants de la fréquence de mesure,

C_{GS}, C_{GD}, C_{DS}	les capacités, respectivement de grille-source, de grille-drain, et, de drain-source.
R _{GD} , R _i	la résistance de grille-drain, et la résistance interne.
g _m	la transconductance.
9a	la conductance de sortie.

1.4 LIMITES DES PERFORMANCES DES FETS III-V

1.4.1 Limites des performances et voies d'amélioration des MOSFETs III-V

Dans cette partie, nous allons voir les principales limitations accompagnant l'utilisation de matériaux III-V dans des MOSFETs.

Limitation par la densité de défauts d'interface

Comme il a été indiqué dans ce chapitre, l'utilisation de matériaux III-V petit gap dans les MOSFETs nous semble une solution intéressante pour les applications basse consommation hautes fréquences. Le premier MOSFET III-V date des années 60, et son développement a été freiné par la mauvaise qualité de son oxyde, comparée au couple SiO₂/Si. Une densité de défauts d'interface trop forte empêche l'inversion du semi-conducteur et donc l'apparition d'un courant de drain.

Un autre problème que nous n'aborderons pas, lié à l'utilisation d'un matériau petit gap pour la fabrication d'un MOSFET, est la densité de porteurs intrinsèque n_i . En effet, la densité n_i conditionne le courant de fuite des jonctions pn entre les caissons d'implantation et la zone active, et va donc imposer un courant I_{off} important, défavorable aux applications numériques. Pour des applications analogiques, cette contrainte est dans une certaine mesure relâchée. Une étape importante pour l'obtention d'un MOSFET est la réalisation d'un oxyde de bonne qualité.

Ainsi le paragraphe qui va suivre est destiné à l'évaluation de la densité de défauts d'interface, D_{it} , dans des structures MOS qui a une influence notable sur les performances électriques des transistors MOSFET. Les différents types de défauts dans une structure MOS seront traités, et une technique de mesure du D_{it} , la méthode HF-LF sera décrite.

Les défauts d'oxydes se traduisent en général par des charges dans l'oxyde et à l'interface oxyde/semi-conducteur. Quatre types de charges d'oxydes existent dans un système Oxyde/Semi-conducteur, par exemple le couple SiO_2/Si (Figure 9):

- les charges d'oxydes fixes (noté 1 sur la Figure 9), qui sont des charges proches de l'interface oxyde/semi-conducteur pouvant apparaître lors du procédé de dépôt d'oxyde ou par oxydation.
- les charges d'oxydes piégées (noté 2 sur la Figure 9), qui sont des charges qui peuvent être soit positives ou négatives pouvant apparaître à cause de phénomènes physiques comme les radiations ionisantes, l'injection par avalanche, l'effet tunnel.
- les charges d'oxydes mobiles (noté 3 sur la Figure 9), qui sont des charges apportées par des impuretés dues à l'environnement type Na⁺, K⁺ voir H⁺.
- les charges pièges d'interface (noté 4 sur la Figure 9), qui sont exclusivement localisées à l'interface oxyde/semi-conducteur.

Grâce à des techniques de dépôt telles que l'Atomic Layer Deposition, *Dépôt* par Couche Atomique (ALD) et au Post Deposition Annealing, *Recuit Thermique* Après Dépôt (PDA), les charges d'oxydes fixes, mobiles et piégées sont généralement éliminées. Nous supposerons par la suite que ces charges sont inexistantes. Les charges piégées à l'interface, aussi appelées pièges d'interface ou états d'interface sont attribuées aux liaisons pendantes à l'interface semi-



Figure 9: Schématisation des différents types de charges d'oxyde et des pièges d'interface.

conducteur/oxyde, aux oxydes natifs et autres espèces dites élémentaires dans le cas du système oxyde/III-V. Nous allons voir comment elles se caractérisent dans les paragraphes suivants.

La densité de pièges d'interface Avant toute chose, il est intéressant de connaître l'origine de ces pièges via des modèles comme le comportement 'donneur' pour une densité de pièges D_{it} localisée en dessous du niveau de pièges neutres du semi-conducteur E_0 ou le comportement 'accepteur' où les charges sont situées au dessus de ce niveau neutre (Figure 10a). Les pièges d'interface donneurs en dessous de E_f sont occupés par des électrons et sont alors neutres. Les pièges donneurs pour des énergies $E_f < E < E_0$ sont inoccupés et chargés positivement. Les pièges au dessus du niveau neutre sont des accepteurs inoccupés et neutres.

Pour une tension positive (Figure 10b), quelques états accepteurs se retrouvent en dessous du niveau de Fermi du semi-conducteur et ainsi, une charge négative nette apparaît.

Pour une tension négative (Figure 10c), on a un accroissement de la charge positive nette par une élévation du niveau neutre. La densité de défauts d'interface est la résultante de ces charges positives ou négatives.

Ces pièges d'interface ont des temps de piégeage et de dépiégeage très longs, observables en basse fréquence.

Les effets des pièges d'interface peuvent être caractérisés sur les courbes C-V de capacités MOS hautes et basses fréquences (Figure 11), une comparaison entre le cas idéal où $Q_{it} = 0$ et le cas où le semi-conducteur et les pièges d'interface peuvent être chargés. On suppose aussi qu'il n'y a pas de charge d'oxyde, $Q_G = -(Q_s + Q_{it})$, avec Q_G , la quantité de charges totale de grille, Q_s la quantité de charges dans le semi-conducteur et Q_{it} , la quantité de charges à l'interface oxyde/semi-conducteur.

Les courbes hautes fréquences sont alors 'étirées' (Figure 11a) si le balayage en tension est lent. Les pièges d'interface peuvent être vus à basses fréquences.



Figure 10: Diagrammes de bandes d'énergie illustrant les effets des pièges d'interface. Les électrons occupant les pièges d'interface sont désignés par des traits épais et les sites non occupés par des traits fins [124].

La capacité C_{it} contribue à la distortion de la courbe C - V à basses fréquences (Figure 11b).



Figure 11: Effets des pièges d'interface sur les caractéristiques C - V de capacités MOS [124].

La méthode basses fréquences (quasi-statique) La méthode basse fréquence ou quasi-statique est une méthode assez courante pour la mesure des pièges à l'interface. L'information obtenue concerne seulement la densité de ces charges.

La méthode consiste à comparer des données C - V à basse fréquence avec des données libres de l'effet de piège d'interface. Par exemple, une courbe C - V théorique ou une courbe à haute fréquence. A basses fréquences signifie que les pièges peuvent répondre à la tension qui est appliquée.

La capacité à basse fréquence en déplétion-inversion est donnée par [58, 51]

$$C_{\rm lf} = \left(\frac{1}{C_{\rm ox}} + \frac{1}{C_{\rm s} + C_{\rm it}}\right)^{-1} \tag{1.29}$$

où C_s représente la capacité du semi-conducteur à basse fréquence, C_{it} est en relation à la densité de pièges d'interface par niveau d'énergie $D_{it} = C_{it}/q^2$, donnant alors

$$D_{it} = \frac{1}{q^2} \left(\frac{C_{ox} C_{lf}}{C_{ox} - C_{lf}} - C_s \right)$$
(1.30)

 C_{1f} est fonction de la tension de grille et C_s peut être calculée via des équations en rapport à la structure. Cette capacité C_s dépend de ϕ_s , le potentiel de surface. C_{1f} étant fonction de la tension de grille V_G , Berglund a proposé une relation entre ϕ_s et V_G [15].

$$\phi_{s} = \int_{V_{FB}}^{V_{G1}} \left(1 - \frac{C_{1f}}{C_{ox}}\right) dV_{G}$$
(1.31)

Pour éviter les incertitudes dues au calcul de C_s , Castagné et Vapaille proposèrent de calculer cette capacité via les données C - V à haute fréquence [28].

$$C_{s} = \frac{C_{ox}C_{hf}}{C_{ox} - C_{hf}}$$
(1.32)

Via les données C - V à haute et à basse fréquences, l'équation de la densité de pièges d'interface d'énergie est alors modifiée et on a donc,

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1 - C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1 - C_{hf}/C_{ox}} \right)$$
(1.33)

Cette équation donne une densité dans un intervalle limité de la bande interdite. Typiquement de la fin du régime de faible inversion jusqu'au flanc de la bande de valence ou de conduction selon le type de porteurs majoritaires.

Plus haute est la fréquence, plus la mesure du D_{it} se fera proche de la bande conduction (Figure 12).

Le tracé du $D_{it} - \phi_s$ a un comportement en 'U' avec un minimum en milieu de bande interdite (Figure 13). Des inhomogénéités de charges d'oxyde ou de densité de dopage peuvent faire fluctuer le potentiel de surface [29].

Le tracé du D_{it} en fonction du potentiel de surface n'est pas nécessaire. Comme à basse fréquence, la technique de mesure est très sensible, nous pouvons tracer le D_{it} en fonction du rapport de la différence entre la capacité basse fréquence et la capacité haute fréquence avec la capacité de l'oxyde, $\Delta C/C_{ox} = (C_{lf} - C_{hf})/C_{ox}$ (Figures 12a, 12b).

À haute fréquence, la réponse des pièges est inexistante. Souvent à partir de 1 MHz, on considère que nous sommes à haute fréquence.

Cette méthode est limitée pour la mesure du D_{it} à 10¹⁰ /cm².eV [98]. Elle est discutable quand les oxydes sont de plus en plus fins.



(a) Courbes $C - V_G$ mesurées à haute fréquence et basse fréquence montrant l'effet dû aux pièges d'interface caractérisé par l'offset $\Delta C/C_{ox}$.



Figure 12: Caractéristiques en fonction de l'offset $\Delta C/C_{ox}$ dues aux pièges d'interface [124].



Figure 13: Densité de pièges d'interface en fonction de l'énergie de ces pièges avec la méthode quasistatique pour le silicium (100) [124].

Dans notre travail, seule cette technique sera utilisée bien qu'il en existe d'autres comme la méthode par la conductance, par le pompage de charges ou 'charge pumping', par la méthode Terman,...

Limitation par la mobilité effective à l'inteface oxyde/semi-conducteur

Comme la couche d'inversion se fait à l'interface oxyde/semi-conducteur, la mobilité des électrons dans le puits quantique est directement liée à cette interface. Ainsi la rugosité d'interface, la densité de défauts d'interface influencent cette mobilité. L'idée de certains groupes est d'avoir une même interface que dans les structures HEMTs entre un matériau à grande bande interdite et un matériau à faible bande interdite. Ainsi deux types de topologies assez proches structurellement ont fait leur apparition aux débuts des années 2000:

- la structure MOSHEMT: où un oxyde est déposé sur la couche de contact Schottky d'une structure HEMT classique, et,
- la structure MOSHFET: où un matériau à grande bande interdite est inséré entre l'oxyde et le canal semi-conducteur d'une structure MOSFET

classique d'où le nom de HFET (Heterojunction FET) et donc dépourvue de plan de dopage [164].

Donc grâce à cette jonction comme dans un HEMT, la mobilité électronique est nettement améliorée du fait de l'éloignement de l'interface MOS. Il faut cependant pouvoir déposer un oxyde de qualité sur ce matériau grande bande interdite.

1.4.2 Limites des performances et voies d'amélioration des HEMTs

Globalement, nous pouvons constater dans la littérature une tendance à la saturation du f_t et du f_{max} lorsque la longueur de grille est réduite à des valeurs inférieures à 100 nm. Ainsi, il semblerait que la filière HEMT atteigne ses limites en terme de fréquence de coupure et ceci pour les raisons suivantes.

Limitation liée à l'hétérointerface

Les propriétés de transport de l'hétérojonction utilisée est un des facteurs limitant les performances des HEMTs.

Depuis Dingle et al. [41], la filière des HEMTs a connu une augmentation de ces performances fréquentielles par l'utilisation de matériaux présentant d'excellentes propriétés de transport. Le plus récent pour les applications millimétriques voire sub-millimétriques est l'InGaAs. Ce dernier a encore connu une amélioration, en insérant dans le canal InGaAs une fine couche contrainte d'InAs [48, 5]. En plaçant un matériau petit gap au centre du canal, le gaz 2DEG est légèrement éloigné de l'interface InAlAs/InGaAs et du plan de dopage. De plus, l'InAs présente une meilleure mobilité électronique. Toutefois dans cette technique, il faut veiller aux conditions de croissance du matériau pseudomorphique, qui peuvent avoir un impact non négligeable sur les propriétés de transport.

Une autre voie a été explorée pour l'obtention d'hétérostructure à canal InAs: la filière antimoine. En effet, les matériaux GaSb, AlSb et InAs sont quasiadaptés avec un paramètre de maille voisin de 6,1 Å. De tous les composés III-V, le couple InAs/AlSb possède la plus grande discontinuité de bande de conduction, de l'ordre de 1,35 eV ce qui lui confère d'excellentes propriétés électroniques [142]. L'hétérojonction InAs/AlSb est de type II décalé (Figure 14) ce qui implique que, dans le canal, les trous ne sont pas confinés. Ceci peut poser un problème lors de l'ionisation par impact, favorisée par la faible bande interdite qui implique un fort courant de grille et une tension de claquage faible. De plus, ceci se traduit par un effet kink important des caractéristiques I(V), lié à l'accumulation des trous vers la couche tampon.

Pour confiner les trous dans le canal, l'idéal était de revenir à une jonction de type I comme pour les hétérostructures standards AlInAs/GaInAs. Cette voie fût trouvée par le groupe Qinetic avec l'hétérostructure Al_{0.2}In_{0.8}Sb/InSb [9, 35, 10, 7, 8, 11]. Cette hétérostructure possède cependant une faible discontinuité de



Figure 14: Diagrammes d'hétérojonctions type II (AlSb/InAs) et type I (In_{0.52}Al_{0.48}As/In_{0.53}Ga_{0.47}As).

bandes de conduction (~ 0,3 eV) pouvant poser des problèmes de confinements des électrons.

Toutefois entre la filière AlSb/InAs et la filière AlInSb/InSb, il existe un panel d'hétérostructures à matériaux antimoniés ternaires pouvant répondre aux attentes, c'est à dire une jonction de type I, une assez grande discontinuité de bandes de conduction, un canal avec une assez grande mobilité d'électrons. Nous avons trouvé l'hétérostructure avec un canal InGaSb avec 50% d'In et une barrière AlInSb avec 45% d'In (Figure 15). Nous verrons dans le chapter 2 les potentialités de cette hétérostructure.



Figure 15: Hétérostrucures HEMT et leurs diagrammes de bandes associés de la filière AlSb/InAs ver la filière In_{0.45}Al_{0.55}Sb/In_{0.5}Ga_{0.5}Sb.

Limitation liée à la structure de couche

La rapidité des transistors à effet de champ est principalement limitée par le temps de transit des électrons sous la grille. Cependant, lorsque les longueurs de grille atteignent des longueurs sub-50nm, le temps de transit total (τ_t) des électrons sous la grille devient comparable aux autres temps de charge parasites (τ_p).

En prenant, l'expression du f_t, établie par Tasker and Hughes [136], il est indispensable de réduire la longueur de grille L_G afin de bénéficier d'une réduction des capacités C_{GS} et C_{GD} et, éventuellement, une augmentation du g_m. Ainsi, le temps de transit intrinsèque ($\tau_{int} = \frac{C_{GS}+C_{GD}}{g_m}$) sera réduit.

De plus, au même titre que la réduction de L_G , il est indispensable de minimiser la contribution des temps de charge parasites sur le temps de transit intrinsèque. Ceci s'opère par la diminution des résistances parasites de source et de drain.

De plus, l'augmentation des rapports $\frac{g_m}{g_d}$ et $\frac{C_{GS}}{C_{GD}}$ sont naturellement indispensables pour une amélioration du f_t. De ce fait, pour améliorer les performances hyperfréquences des HEMTs, il est nécessaire de respecter les règles de changement d'échelle ('scaling down rules').

Le 'scaling' vertical Lorsque la longueur de grille diminue, il est indispensable de respecter un rapport d'aspect α étant défini comme le rapport entre la longueur métallique de l'électrode de grille (L_G) et la distance entre l'électrode de grille et le gaz d'électrons du canal (a) ($\alpha = \frac{L_G}{a}$). Ce rapport d'aspect doit être maintenu au-dessus de 5 [97] et ceci pour les raisons suivantes:

- afin de commander efficacement le gaz d'électrons par l'action du champ électrique longitudinal (Figure 16a),
- réduire a peut induire un courant de grille par effet tunnel I_{G_T} (Figure 16b) pouvant entraîner un claquage précoce du contact Schottky de grille, et,
- réduire a, c'est rapprocher le gaz d'électrons du canal des états de surface des zones recessées de source et de drain (Figure 16c), provoquant une augmentation des résistances R_S et R_D et une augmentation de la longueur de grille effective, $L_{G_{eff}}$ diminuant la vitesse des porteurs sous la grille [128].

Le 'scaling' horizontal Concernant le 'scaling horizontal' des dispositifs HEMT, les différents paramètres à prendre en compte sont:

- la largeur du recess de grille. Cela entraîne une augmentation des résistances R_S et R_D qui entraînera une diminution du g_m et du courant drain I_D mais la capacité C_{GD} et la conductance de sortie g_d des transistors seront améliorées.
- la réduction de la distance entre la source et le drain L_{SD} . La réduction de L_{SD} permet de réduire R_S et R_D au détriment d'une aug-











de surface dans les zones recessées

Figure 16: Effet de la réduction de la distance grille canal a.

mentation des capacités électrostatiques entre la grille et les contacts (S et D).

- le phénomènes d''ionisation par impact'. L'augmentation du courant de grille et la diminution de la tension de claquage sont les conséquences de ce phénomène.
- 'l'effet Kink', qui se traduit par une augmentation anormale de ID à partir d'une certaine valeur de V_{DS}, lié à la réduction de R_S provenant d'une augmentation de la densité d'électrons dans la zone recessée de source [126, 127] (Figure 17). Une augmentation de la conductance de sortie g_d et un décalage de la tension de pincement sont conjointement observés.

D'un point de vue générale, en dehors du choix du matériau du canal, la densité de défauts à l'interface oxyde/semi-conducteur sera le paramètre dominant le fonctionnement des transistors MOSFETs. Dans le cas des HEMTs, les règles de changement d'échelle impliquent des paramètres technologiques comme la distance grille-canal et la distance source-drain sont à optimiser. Le rapport d'aspect pour les MOSFETs peut être plus faible que dans les HEMTs (scaling vertical).

1.5 ETAT DE L'ART

1.5.1 Etat de l'art MOSFET III-V

Dans la filière des structures MOS à base de matériaux III-V, nous pouvons distinguer trois types:

le MOSFET



- Figure 17: Mécanisme d'apparition de l'effet Kink au niveau de la zone recessée de source. Structure à l'équilibre thermodynamique (a), Accumulation de trous dans le canal (b), Transfert des trous vers la surface de la zone recessée de source (c).
 - le MOSHEMT
 - le MOSHFET

Ces trois types sont eux-mêmes divisés en trois modes de fonctionnement:

- en mode Inversion de population,
- en mode Déplétion ou désertion, et,
- en mode Enrichissement.

Pour la réalisation des structures MOS, l'oxyde est bien sur un élément crucial de la structure. Diverses méthodes sont utilisées pour obtenir un oxyde comme:

- Croissance oxydation haute température [132],
- Oxydation anodique [93],
- Plasma-Enhanced Chemical Vapor Deposition, Dépôt Chimique en phase Vapeur Assisté par Plasma (PECVD) [85, 138, 91],
- M-SLPCEO (selective liquid phase chemical-enhanced oxidation) à basse température [151, 67].
- Oxydation par ozone [78].
- Atomic Layer Deposition (ALD) [156, 161, 160, 158, 159, 81].
- Dépôt d'oxyde 'in-situ' [107, 114, 117]
- Metal Organic Chemical Vapor Deposition, Dépôt Chimique en phase Vapeur Métal-Organique (MOCVD) [34, 102, 33, 83]

BREF HISTORIQUE DES MOSFETS III-V L'essentiel des travaux dans les années 60 est sur GaAs pour obtenir un MOSFET. Le premier MOSFET GaAs date de 1967 [92]. Ce premier papier [92] donne un récapitulatif des travaux jusqu'en 1980. Deux axes sont abordés: les oxydes hétéromorphiques (SiO₂, Si₃N₄, Al₂O₃...) et homomorphiques (oxyde natif e.g. Ga₂O₃). Les oxydes hétéromorphiques ne présentent pas de bonnes caractéristiques, car les techniques ne sont pas vraiment adaptées au substrat i. e. en termes de températures, surement trop élevées. Une basse température de procédé est donc nécessaire. Les oxydes homomorphiques sont alors préférables, les moyens d'oxydation utilisés sont des solutions à basses températures (<200°C) comme par plasma O_2 ou oxydation thermique. Les oxydes par couplage Ga_2O_3 - As_2O_3 présentaient à cette époque les meilleures propriétés pour les applications MOS.

Deux groupes de MOSFET à GaAs existent: ceux fonctionnant en inversion à canal de type n et ceux fonctionnant en déplétion profonde. Mais les premiers MOSFETs en inversion montrent une faible transconductance, ils rencontrent la difficulté de croîssance des couches de type p sur un substrat comme le GaAs. Ainsi les efforts se sont dirigés vers les MOSFETs en mode déplétion.

Cependant l'arrivée des premiers MESFETs, des techniques de croissance de substrat GaAs type p et une technologie de dépôt diélectrique pas assez matures ont posé un voile sur l'émergence des MOSFETs. Jusqu'aux années 80, il y a peu de résultats probants. Au milieu des années 90 et surtout au début des années 2000, les travaux sur les structures MOS repartent surtout avec ceux de Bell-Lab sur les oxydes Ga_2O_3 (Gd_2O_3) à base de Gadolinium [148, 116, 118, 60, 117]. Finalement, le développement des high- κ pour les technologies MOSFET silicium est à l'origine du récent regain pour les MOSFET III-V, qui a mobilisé la communauté scientifique pour la mise au point des procédés de fabrication (en particulier l'oxyde). L'apparition de l'ALD pour déposer des couches d'oxydes de qualité comme Al₂O₃ et HfO₂ permettent de rouvrir sérieusement la voie des MOS III-V à partir de 2003 par de grands groupes de recherche comme Intel, Freescale et IBM.

Dans la catégorie des MOSFETs fonctionnant en inversion, on peut distinguer deux mouvances, les MOSFETs 'gate-last' (grille réalisée en fin de process, e. g.[154]) et les MOSFETs 'gate-first' ou auto-alignés (grille réalisée en début de process, e. g.[83]). Comme le recuit d'activation des dopants a un impact sur l'interface et donc le D_{it}, il est judicieux d'enlever la couche d'oxyde servant d'encapsulation pour l'implantation, de réaliser un traitement de surface, de redéposer une nouvelle couche d'oxyde et de terminer par la réalisation de la grille. Ce procédé 'gate-last' permet d'avoir un D_{it} faible (~ qq 10¹¹/cm²·eV).

Dans le cas où la grille est réalisée en premier afin de servir de masque d'implantation, il semble que le recuit d'activation dégrade l'interface. Certains groupes défendant le procédé 'gate-last' ont indiqué cette faiblesse des MOSFETs auto-alignés [163] mais les groupes réalisant les MOSFETs auto-alignés comme le groupe de Singapour (NUS) ont développé des techniques de passivation de l'interface (traitement plasma) afin d'empêcher l'oxydation des éléments III-V par création en surface de liaisons thermiquement stables comme les liaisons Si-N ou III(-V)-N [103, 104, 33, 83, 102].

Dans la catégorie des HEMTs, l'un des problèmes les plus récurrents est le courant de fuite de grille. L'utilisation d'un oxyde comme dans les MOSFET

LABORATOIRE	MATÉRIAU	OXYDE	D_{it} (/cm ² ·eV)	Référence
Freescale	Al _{0.45} Ga _{0.55} As	$Ga_2O_3/((Gd_xGa_{(1-x)})_2O_3)$	4×10 ¹⁰	[107, 114]
Bell laboratories	GaAs	$Ga_2O_3/(Gd_2O_3)$	2×10 ¹⁰	[117]

Table 3: Densité de défauts d'interface mesurée après dépôt d'oxyde 'in-situ' (GdGaO), réalisés par différents laboratoires.

est une solution à ce problème. Ainsi la catégorie des MOSHEMTs (InGaAs) a vraiment vu le jour ces 10 dernières années [94, 107, 75, 109] ainsi que les MOSHFETs très récemment. En mode déplétion, l'oxyde permet de bloquer les trous créés par ionisation par impact.

OXYDES ET DENSITÉ DE DÉFAUTS D'INTERFACE Au fur et à mesure des années, deux techniques de dépôt d'oxyde deviennent incontournables, l'ALD et le dépôt 'in-situ'. Les raisons de leur succès sont l'obtention d'oxydes de qualité en minimisant les défauts structurels (charges d'oxydes, éléments polluants, ...) mais aussi la préparation de surface avant dépôt d'oxyde qui permet d'obtenir de faibles densités de défauts d'interface, D_{it}. Car la densité de défauts d'interface a une influence notable sur certains paramètres électriques tels que la tension de bandes plates, V_{FB} (Equation 1.20), donc sur la tension de seuil, V_{th} et la mobilité des électrons.

Dépôt 'in-situ' Réalisé au sein du groupe Freescale, le dépôt se fait sous vide poussé (Ultra High Vaccum: 1×10^{-10} Torr) couplé au bâti d'épitaxie. Il réalise le dépôt d'oxyde composé de Ga₂O₃ et de Gd₂O₃. Après avoir désorbé l'oxyde natif en surface sous pression d'As dans le bâti de MBE, le dépôt de l'oxyde est réalisé par évaporation par faisceau d'électrons d'un cristal Ga₅Gd₂O₁₂. Par ce procédé 'in-situ', ils obtiennent une très faible densité de défauts d'interface (Table 3). Bell laboratories se sont intéressés aussi à cette oxyde et ont montré de bons résultats.

Le succès de cette technique vient du fait que le niveau de Fermi (unpinned Fermi level) n'est pas accroché à l'interface oxyde/semi-conducteur comme les autres techniques 'ex-situ' d'obtention d'oxyde [107]. Ils notent le fait que la mobilité est réduite par la présence de ces pièges à l'interface oxyde/semi-conducteur, ainsi que dans l'oxyde même. Ils obtiennent une mobilité de 6000 cm²/V.s. En 2006, ils réalisent une couche d'oxyde un peu hétérostructurée à savoir une couche Ga₂O₃ amorphe (par MBE) et une couche diélectrique GdGaO (κ = 20) ne créant pas de double interface et de changement dans le niveau de bandes d'énergie.

Agere Systems présente des résultats en fréquence pour le MOSFET GaAs en mode déplétion [156] avec un oxyde de grille Ga_2O_3 (Gd_2O_3) qui sont meilleurs qu'un MESFET avec le même procédé de fabrication, même longueur de grille et même matériaux. L'oxyde permet de maintenir la tension d'avalanche assez élevée et d'améliorer la transconductance. Freescale [107, 114] fait référence à l'utilisation de l'oxyde d'Hafnium (HfO₂) pour les Si-MOSFET qui pourrait être envisagé pour les MOSFET à base de matériaux III-V. Ils ont gardé tout

de même l'oxyde $Ga_2O_3/((Gd_xGa_{(1-x)})_2O_3)$ avec x= 0,6. Ce type de procédé reste une contrainte forte pour l'industrie (conditions de vide).

Dépôt ALD Depuis 2003, les publications concernant l'ALD d'Al₂O₃ ou de HfO₂ se sont multipliées. Le groupe Agere donne des résultats très intéressants sur l'Al₂O₃ sur des structures MOS à base de matériaux GaAs et InGaAs [161, 160, 158, 159]. On ne requiert pas des conditions de vide ultra poussé ce qui fait de l'ALD un bon procédé pour l'industrie. L'Al₂O₃ est un oxyde de hauteur de barrière de ~ 9 eV et une constante diélectrique de 8,6-10. Les performances des MOSFETs GaAs avec un oxyde de grille Al₂O₃ sont supérieures en terme de mobilité que celles avec le Silicium.

Ensuite Intel [103, 104] propose d'utiliser le HfO_2 ($\kappa \sim 25$) en insérant une fine couche de Si (ICL : Interface Control Layer ou aussi appelé IPL pour couche de passivation d'interface) qui évite l'accrochage du niveau de Fermi par HfO_2 (obligatoire pour fonctionner en inversion) sur des MOS. Cette technique permet de diminuer le courant de fuite et sa dispersion en fréquence. Il existe d'autres techniques comme l'utilisation de composés soufrés, de plasmas d'hydrogène ou d'azote.

D'après l'équipe de Singapour [54], la technique utilisant l'IPL Si pose un problème. Il sert de passivation entre l'oxyde et le substrat mais cette interface altère la concentration de dopage car Si est un dopant dans le GaAs. Ils utilisent la passivation par pulvérisation de nitrure d'aluminium (AlN) ou par un plasma de nitrure avant de déposer la couche d'oxyde HfO₂ par ALD. La passivation par AlN permet d'empêcher la formation de GaO de même que AsO pouvant dégrader l'interface.

En 2005 [52] IBM propose HfO_2 et Al_2O_3 sur GaAs et s'intéresse essentiellement à l'état d'interface. L'utilisation d'Al(CH₃)₃ est plus favorable que $HfCl_4$ du point de vue enthalpie de réaction ¹.

Le Table 4 présente les meilleurs résultats obtenues en terme de densité de défauts d'interface pour différents laboratoires utilisant l'ALD. Même si les résultats sont moins bons que par dépôt 'in-situ' (1 ordre de grandeur), le procédé ALD ne recquiert pas un vide poussé ce qui ait qu'il est très utilisé en industries.

LABORATOIRE	MATÉRIAU	OXYDE	D_{it} (/cm ² ·eV)	Référence
Purdue	GaAs	Al_2O_3	5×10 ¹¹	[161, 160, 158, 159]
Intel	GaAs	HfO ₂ (IPL Si)	~1,2×10 ¹²	[103, 104]
NUS Singapour	GaAs	HfO ₂ (AlN)	4×10 ¹⁰ -3×10 ¹¹	[54]

Table 4: Résultats des traitements de surface avant dépôt d'oxyde par ALD, réalisés par différents laboratoires et caractérisés par la densité de défauts d'interface.

^{1.} Mesure thermodynamique de la variation de la quantité de chaleur contenue dans un système physique

Dépôt MOCVD Ces dernières années, un groupe de l'université de Singapour (NUS) proposa une alternative par MOCVD pour déposer des oxydes assistés par des traitements plasma afin d'obtenir une interface résistante aux températures de recuit d'activation des dopants dans la fabrication de MOSFETs auto-alignés [33, 82, 83, 102]. Car pour des recuits de l'ordre de 700 à 800°C, l'oxygène de l'oxyde peut migrer vers l'interface oxyde/semi-conducteur, intéragir avec les éléments III-V et ainsi former des oxydes natifs qui détériore le D_{it}. Le Table 5 montre les résultats de densités de défauts d'interface obtenus pour ce type de dépôt ainsi que les traitements plasma utilisés.

LABORATOIRE	MATÉRIAU	OXYDE	$D_{it} (/cm^2 \cdot eV)$	Référence
NUS Singapour	GaAs	HfAlO (plasma SiH ₄ -NH ₃)	~1,2×10 ¹²	[33]
NUS Singapour	In _{0.53} Ga _{0.47} As	HfO ₂ (plasma NH ₃)	~1,2×10 ¹²	[103, 104]

Table 5: Résultats des traitements de surface avant dépôt d'oxyde par MOCVD, réalisés par différents laboratoires et caractérisés par la densité de défauts d'interface.

COURANT DE DRAIN MAXIMUM ET TRANSCONDUCTANCE EN FONCTION DE La Malgré la domination en termes de performances statiques des MOS-FETs en mode déplétion dans les annéees 90 ($I_{D,max}$ = 450 mA/mm, g_m = 130 mS/mm, [148]), les MOSFETs en mode inversion ont vraiment été améliorés, d'une part grâce à la maturité de l'ALD mais aussi des traitements de surface, et, d'autre part, par la migration logique vers les matériaux à forte mobilité électronique, du GaAs à l'In_{0.7}Ga_{0.3}As. D'après les Figures 18a et 18b, les MOSFETs fonctionnant en inversion ont atteint des courants de drain et des transconductances dépassant, respectivement, 1 A/mm et 1 S/mm (Purdue, [154, 152]). De même les MOSHEMTs, en mode déplétion ou en mode inversion atteignent respectivement des courants de drain de 960 mA/mm (IBM, [129]) et 550 mA/mm (Intel, [113]) et des transconductances de 793 mS/mm et 1,7 S/mm. Il est à noter que ces performances sont pour des matériaux InGaAs à 70% d'In.

Le Table 6 récapitule les meilleures performances obtenues pour différents MOSFETs et MOSHEMTs sous les trois modes de fonctionnement. On note en particulier les performances avec le matériau In_{0.53}Ga_{0.47}As qui seront des points de comparaison avec notre dispositif qui sera présenté chapter 3.

FRÉQUENCES DE COUPURE DE GAINS EN COURANT ET EN PUISSANCE EN FONCTION DE La Malgré des performances en statique très intéressantes, les performances fréquentielles sont peu nombreuses comme peuvent le montrer les Figures 19a et 19b. Les résultats sont assez disparates, pouvant s'expliquer par le manque de maturité des dispositifs (certains datant d'avant 2005) mais

^{2.} MOSFET

^{3.} Déplétion

^{4.} Enrichissement

^{5.} Inversion

^{6.} MOSHEMT



(a) Courant de drain maximum en fonction de la longueur de grille pour différents types de structure MOS.



Figure 18: Courant de drain maximum et transconductance en fonction de la longueur de grille pour différents types de structure MOS.

LABORATOIRE	MATÉRIAU	OXYDE	TYPE	MODE	L _G (µm)	I _{D,max} (mA/mm)	gm (mS/mm)	Réf.
Bell Labs	GaAs	Ga ₂ O ₃ /Gd ₂ O ₃	MOS ²	D 3	0,8	450	130	[148]
Bell Labs	In _{0.53} Ga _{0.47} As	Ga_2O_3/Gd_2O_3	MOS	E ⁴	0,75	-	190	[118]
NUS	GaAs	HfAlO	MOS	I 5	0,16	100	56	[33]
Freescale	In _{0.3} Ga _{0.7} As	Ga ₂ O ₃ /GdGaO	MOSH ⁶	Е	1	407	477	[108]
Purdue	In _{0.7} Ga _{0.3} As	Al_2O_3	MOS	Ι	0,16	925	1100	[152]
Purdue	$In_{0.65}Ga_{0.35}As$	Al_2O_3	MOS	Ι	0,4	1050	350	[154]
IBM	In _{0.7} Ga _{0.3} As	Al_2O_3	MOSH	D	0,08	960	793	[129]
Intel	In _{0.7} Ga _{0.3} As	TaSiO _x	MOSH	Ι	0,075	550	1700	[113]
NUS	In _{0.53} Ga _{0.47} As	HfO ₂	MOS	Ι	4	400	180	[83]
Taiwan+Intel	$In_{0.53}Ga_{0.47}As$	$Al_2O_3\text{-}Ga_2O_3/Gd_2O_3$	MOS	Ι	1	960	700	[84]

Table 6: Résultats des performances statiques pour différents MOSFETs et MOSHEMTs, réalisés par différents laboratoires.

aussi par une volonté commune de certains groupes (américains en majorité) à travers le projet DARPA 'COSMOS' [122] de ne présenter que des performances statiques. En effet, ces groupes se focalisent essentiellement sur les aspects I_{on} et I_{off} , et plus précisément sur le fonctionnement sous la tension de seuil (SS, DIBL, ...).

Le Table 7 récapitule les meilleures performances fréquentielles publiées. Cependant, ces résultats sont justes indicatifs car les performances en statique doivent supposer de très bonnes performances fréquentielles, supérieures à ce présent état de l'art. Nous pouvons avoir une idée des performances fréquentielles en se référant à la transconductance DC, d'une évaluation de commande de charge C_G et des résistances d'accès.

SS ET DIBL Bien que nous focaliserons notre travail sur les applications analogiques, la SS mais aussi le DIBL sont des paramètres caractéristiques d'un bon fonctionnement d'un FET. Ces paramètres doivent être les plus faibles possible. Le SS mais aussi le Drain Induced Barrier Lowering, *Abaissement*



(a) Fréquence de coupure du gain en courant en fonction de la longueur de grille pour différents types de structure MOS. (b) Fréquence de coupure du gain de Mason en fonction de la longueur de grille pour différents types de structure MOS

Figure 19: Fréquences de coupure des gains en courant et de Mason en fonction de la longueur de grille pour différents types de structure MOS.

LABORATOIRE	MATÉRIAU	OXYDE	ТҮРЕ	MODE	L _G (µm)	f _t (GHz)	f _{max} (GHz)	Référence
Qinetic	InSb	SiO ₂	MOS	Ι	0,7	74	89	[8]
K-JIST	InP	In _{0.53} Ga _{0.47} As oxydé	MOS	D	1,5	10	70	[67]
Bell Labs	GaAs	Ga_2O_3/Gd_2O_3	MOS	D	0,8	17	60	[148]
Qinetic	InSb	Al_2O_3	MOSH	D	0,085	300	-	[35]
Taiwan	In _{0.53} Ga _{0.47} As	In _{0.52} Al _{0.48} As oxydé	MOSH	D	0,65	32	60	[75]
Fujitsu	GaAs	GaAs oxydé	MOS	Е	1,8	13	22	[93]
Purdue	$In_{0.2}Ga_{0.8}As$	Al_2O_3	MOSH	Е	1	27	40	[80]

Table 7: Résultats des performances dynamiques pour différents MOSFETs et MOSHEMTs, réalisés par différents laboratoires.

de la Barrière Induite par la tension de Drain (DIBL) restent des paramètres qui doivent être les plus faibles possibles (60 mV/dec, la limite théorique pour le SS pour les MOSFETs et les HEMTs). Le Table 8 montre les résultats obtenus des meilleurs SS et DIBL pour une technologie MOSFET en inversion non auto-alignée (Purdue) et auto-alignée (NUS).

1.5.2 *Etat de l'art HEMT*

TRANCONDUCTANCE EN FONCTION DE L_g La Figure 20 donne la transconductance extrinsèque en fonction de la longueur de grille pour les HEMTs

LABORATOIRE	MATÉRIAU	OXYDE	L _G (µm)	SS (mV/dec)	DIBL (mV/V)	Référence
Purdue	In _{0.7} Ga _{0.3} As	Al_2O_3	0,25	150 à V _{DS} = 2 V	100	[152]
NUS Singapour	$In_{0.53}Ga_{0.47}As$	HfO ₂ (plasma NH ₃)	4	103 à V _{DS} = 1 V	18	[83]

Table 8: Meilleurs SS et DIBL pour des MOSFETs en inversion, réalisés par différents laboratoires.

AlInAs/InGaAs, composites (canal constitué par InGaAs/InAs) et la filière antimoine AlSb/InAs. Les valeurs obtenues avec les HEMTs AlSb/InAs sont similaires à celles obtenues avec les HEMTs à canal composite InGaAs/InAs. Les structures à fort taux d'indium offrent une meilleure transconductance que les HEMTs InGaAs standards. Ce résultat est dû principalement à une meilleure mobilité des électrons, particulièrement pour les dispositifs de longueur de grille sub-100 nm, où le phénomène de survitesse se produit. Comme le montre la Figure 20, une transconductance 2,5 S/mm est atteinte. Mais nous devons faire attention aux fortes valeurs de transconductances DC qui peuvent être surestimées à cause de la génération de trous par le phénomène d'ionisation par impact dans les matériaux à faible bande interdite [88], en particulier l'InAs.



Figure 20: Transconductance en fonction de la longueur de grille pour trois types de HEMTs à canal composite, InGaAs et InAs.

 f_t et f_{max} en fonction de L_q Les résultats présentés Figure 21a confirment la tendance de l'accroissement de f_t lorsque la longueur de grille diminue. Lorsque L_G diminue de 0,15 µm à 25 nm pour les HEMTs InGaAs/InAlAs, f_t augmente de 82 GHz à 562 GHz [47] (résultats de Fujitsu Labs). La meilleure fréquence de coupure obtenue est pour un dispositif à canal composite In-GaAs/InAs avec un f_t de 628 GHz pour une longueur de grille L_G de 30 nm [69]. Pour la filière HEMT AlSb/InAs, une baisse de L_G de 1 μ m à 100 nm se traduit par une augmentation de f_t de 60 GHz [13] à 272 GHz [88]. Pour des longueurs de grille supérieures à 100 nm, les performances fréquentielles des HEMTs standards et des HEMTs AlSb/InAs sont presque similaires. Pour des longueurs de grille inférieures à 100 nm, les performances fréquentielles des HEMTs AlSb/InAs sont moindres que celles des HEMTs standards et à canal composite. Pour exemple, pour L_G = 70 nm, le laboratoire IEMN a obtenu un f_t= 200 GHz [18]. Cette faible valeur est supposée être liée aux effets de canal court, en effet la plupart des dispositifs InAs de longueur de grille sub-100 nm ne respectent pas vraiment le rapport d'aspect $\frac{L_G}{q}$. Car il est difficile de réduire cette distance si l'on veut éviter l'apparition du courant de grille ou de fuite dû à l'hétérojonction de type II. De plus, pour ces dispositifs à courte longueur de grille, les caractéristiques courant-tension présentent un effet Kink prononcé. Une faible bande interdite associée à une grande distance intervallée $\Delta E_{\Gamma L}$ sont



des paramètres qui peuvent probablement affecter les performances électriques.

(a) Fréquences de coupure du gain en courant en fonction de la longueur de grille pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb.

(b) Fréquences de coupure du gain de Mason en fonction de la longueur de grille pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb.

Figure 21: Fréquences de coupure du gain en courant et de Mason en fonction de la longueur de grille pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb.

Pour la fréquence de transition f_{max} , les mêmes tendances sont observées (Figure 21b). Un f_{max} de 1,2 THz est obtenu avec un HEMT à canal composite, développé au JPL-NGST [72]. Le meilleur compromis f_{max}/f_t est obtenu par le MIT (Kim and del Alamo, f_t = 557 GHz et f_{max} = 718 GHz [69]) pour un HEMT aussi à canal composite à L_G = 50 nm. Pour atteindre ces hautes performances fréquentielles, la distance grille-canal a été ramenée à 4 nm. Pour les transistors standards, la meilleure valeur en f_{max} est 500 GHz pour L_G = 70 nm [70]. Pour les HEMTs AlSb/InAs, la fréquence de coupure de gain en puissance est limitée à 280 GHz pour une longueur de grille de 100 nm [73]. Comme il a été mentionné pour le f_t , cette limitation en fréquence est attribuée aux effets de canal court, d'ionisation par impact et d'un rapport d'aspect très faible.

f_t ET f_{max} EN FONCTION DE V_{ds} Une façon de réduire la consommation d'énergie est de diminuer la tension d'alimentation, ce qui signifie un système fonctionnant à basse tension de drain-source. Les Figures 22a et 22b représentent f_t et f_{max} en fonction de V_{DS}. Nous pouvons constater pour les filières AlSb/InAs, qu'il n'existe pas de point au delà de V_{DS}= 1 V, ce qui est lié à la faible tenue en tension de ces transistors. Pour les autres transistors, le point de polarisation se situe aux alentours de 1 V, et peut monter jusqu'à 2 V. Lorsque V_{DS} est diminuée jusqu'à une valeur de 100 mV, f_t pour les HEMTs AlSb/InAs reste supérieur à 100 GHz [88]. A V_{DS}= 200 mV, f_t atteint 153 GHz selon Deal et al. (NGST, [36]). A l'IEMN, nous avons obtenu un f_t de 160 GHz à V_{DS}= 200 mV avec un HEMT AlSb/InAs de 70 nm de longueur de grille [19]. Pour une longueur de grille de 100 nm, à V_{DS}= 300 mV, f_t est supérieure à 200 GHz.



(a) Fréquence de coupure du gain en courant en fonction de la tension de drain-source pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb.



Figure 22: Fréquences de coupure du gain en courant et de Mason en fonction de la tension de drain-source pour quatre types de HEMTs à canal composite, InGaAs, InAs et InSb.

En régime sub-0,5 V de tension de drain, le dispositif à canal composite présente un f_t de 162 GHz (IAF, [76]) une longueur de grille 50 nm alors que cette performance est obtenue pour des HEMTs AlSb/InAs à longueur de grille, deux fois plus élevée (100 nm). Pour L_G = 100 nm, le f_t pour un HEMT à canal composite est de 220 GHz à V_{DS} = 0,8 V. Pour les HEMTs standards et commerciaux, le NTT [99] présente des performances fréquentielles pour des longueurs de grille de 100 nm sous 500 mV de tension de drain, des f_t étant environ deux fois plus faibles que celles obtenues par les HEMTs AlSb/InAs aux mêmes tensions de drain et longueurs de grille. Ces résultats indiquent que les dispositifs avec des matériaux de grande mobilité électronique sont attrayants pour des applications basse tension d'alimentation. De plus, les composants antimoniés sont des dispositifs non optimisés comparés aux dispositifs standards et composites (HEMTs InGaAs/InAlAs).

Pour f_{max} , peu de résultats sont publiés pour comparer les dispositifs, plus particulièrement avec les dispositifs standards et canal composite dans le régime sub-500 mV. Sinon, pour une longueur de grille de 100 nm et à V_{DS} = 300 mV les HEMTs AlSb/InAs présentent un f_{max} de 265 GHz [141]. Cependant pour des HEMTs standards et commerciaux du NTT, les fréquences de coupure du gain de Mason f_{max} sont comparables à celles des HEMTs AlSb/InAs.

De façon plus précise, f_t et f_{max} peuvent être présentées en fonction de la puissance de consommation électrique en DC, P_{DC} (Figures 23a et 23b). La puissance est la somme des produits du courant de drain I_D avec la tension drain-source V_{DS} et du courant de fuite I_G avec la tension grille-source V_{GS} . Pour la plupart des dispositifs standards et composites, le fonctionnement se trouve dans la gamme 100-1000 mW/mm. Pour les HEMTs AlSb/InAs, P_{DC} est de l'ordre de quelques dizaines de mW/mm, aux faibles V_{DS} . Le meilleur résultat est 14 mW/mm (V_{DS} = 1 V) pour un f_t de 340 GHz pour un dispositif de 50 nm de longueur de grille [76]. En comparaison, les HEMTs AlSb/InAs

présentent un f_t de 153 GHz à 17 mW/mm (V_{DS} = 200 mV) une longueur de grille de 100 nm et un f_t de 82 GHz à 6 mW/mm (V_{DS} = 100 mV) [95].



(a) Fréquence de coupure du gain en courant en fonction de la consommation en puissance trois types de HEMTs à canal composite, InGaAs, InAs et InSb.

(b) Fréquence de coupure du gain de Mason en fonction de la consommation en puissance trois types de HEMTs à canal composite, InGaAs, InAs et InSb.

Figure 23: Fréquences de coupure de gain en courant et de Mason en fonction de la consommation en puissance trois types de HEMTs à canal composite, InGaAs, InAs et InSb.

Pour f_{max} , les valeurs sont quelques centaines de GHz pour quelques dizaines de mW/mm. Comme il a été observé en fonction de V_{DS} , des résultats comparables sont obtenus sur le dispositif AlSb/InAs avec une longueur de grille plus grande. Cependant, il y a un manque de résultats expérimentaux à faible V_{DS} pour avoir une comparaison rigoureuse. La plupart des données expérimentales sont extraites à partir de mesures à leur valeur maximale, sans aucune considération sur la consommation d'énergie.

Le groupe QinetiQ a développé pendant plus de 20 ans des transistors basés sur le matériau InSb qui possède la plus grande mobilité électronique parmi les matériaux III-V [9, 35, 10, 7, 8, 11]. Les auteurs ont mis au point une hétérostructure Al_xIn_{1-x}Sb/InSb avec une teneur en aluminium de quelques 10% (jusqu'à 30%). Le principal avantage est l'utilisation d'une hétérojonction de type I menant à la réduction du courant de fuite de grille. La discontinuité bande de conduction est proche de 0,3 eV, semblable au système à AlGaAs/InGaAs. Cependant, la mobilité est quatre fois plus élevée et atteint 32 000 cm²/V·s avec une densité de porteurs de 1,3×10¹²/cm² [9]. La croissance de l'hétérostructure AlInSb/InSb se fait sur substrat GaAs, mais récemment, la croissance sur substrat Si a été rapportée [11]. Un transistor HEMT AlInSb/InSb atteint un f_t de 340 GHz à V_{DS}= 0,5 V pour une longueur de grille 85 nm (à V_{DS}= 0,3 V, f_t= 300 GHz et f_{max}= 270 GHz, [10]).

1.6 OBJECTIFS DU TRAVAIL

D'après les Sections 1.1 et 1.3, les matériaux semi-conducteurs III-V sont une alternative pour l'obtention de différents dispositifs à effet de champ pouvant fonctionner à faible tension d'alimentation et pouvant répondre au cahier des charges de futures applications pour des dispositifs autonomes. L'objectif de ces travaux de thèse est de présenter divers dispositifs électroniques, MOSFET et HEMT fonctionnant, respectivement, en mode inversion et en mode déplétion, utilisant des matériaux semi-conducteurs à petit gap comme canaux et de type n (In_{0.53}Ga_{0.47}As, InAs, In_{0.5}Ga_{0.5}Sb) et de montrer leurs potentialités en termes de performances statiques et dynamiques à faible consommation. Voici les différents objectifs:

- Dans le chapter 2, Sections 2.1 et 2.2,
 - section 2.1: Consolider les briques technologiques du procédé de fabrication des transistors HEMTs AlSb/InAs pour un fonctionnement en mode déplétion, le canal sera à base d'InAs, et,
 - 2. section 2.2: Caractériser du point de vue électrique, en statique et en dynamique, les HEMTs AlSb/InAs pour mettre en avant leurs potentialités pour des applications basse consommation.
- Dans le chapter 2, Section 2.3,
 - section 2.3: Etablir et caractériser les briques technologiques du procédé de fabrication des transistors HEMTs In_{0.45}Al_{0.55}Sb/In_{0.5}Ga_{0.5}-Sb pour un fonctionnement en mode déplétion, le canal sera à base d'In_{0.5}Ga_{0.5}Sb, et,
- Dans le chapter 3,
 - section 3.1: Etablir et caractériser les briques technologiques du procédé de fabrication des transistors MOSFETs III-V auto-alignés pour des fonctionnements en mode inversion, le canal sera à base d'In_{0.53}Ga_{0.47}As, et,
 - 2. section 3.3: Caractériser du point de vue électrique, en statique et en dynamique, les MOSFETs In_{0.53}Ga_{0.47}As et exposer les potentialités pour des applications basse consommation.
- En conclusion, un bilan de tous ces dispositifs à effet de champ sera établi à travers un état de l'art final et les perspectives seront alors proposées.

FABRICATION ET CARACTÉRISATION DES TRANSISTORS À EFFET DE CHAMP À HAUTE MOBILITÉ D'ÉLECTRONS (HEMT) DE LA FILIÈRE ANTIMOINE

Ce chapitre est composé de trois parties.

- la fabrication des transistors à effet de champ à haute mobilité électronique (HEMT) de la filière AlSb/InAs,
- la caractérisation électrique des HEMTs AlSb/InAs à faible tension drainsource, et,
- 3. l'exploration de la filière Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb qui possède une jonction de type I.

2.1 ETAPES DE FABRICATION DU HEMT ALSB/INAS

2.1.1 Bref historique

Les premiers HEMTs à base d'antimoniure ont été réalisés dans les années 70 [157, 31]. Dans les années 80, Tuttle et al. ont fabriqué des HEMTs InAs/AlSb à puits quantiques obtenant d'excellentes mobilités mais ceci avec un grand contrôle du point de vue de la croissance [142, 143]. Bolognesi et al. ont diminué l'épaisseur du canal InAs et ont obtenu de grandes mobilités pour un intervalle d'épaisseur (125-200 Å). Pour des épaisseurs inférieures à 200 Å, il y a quand même une diminution de la mobilité due à la différence de paramètre de maille entre le canal et la barrière (1,3%) impliquant l'apparition de dislocations.

Les paramètres clés pour des HEMTs à puits quantiques sont la mobilité des électrons, la concentration en porteurs n_s , le type de couche pour le contact ohmique (souvent InAs ou GaSb), le type de liaison d'interface et la pureté de l'AlSb [24].

Le silicium est le dopant de type n le plus commun pour les matériaux III-V. Il peut être aussi de type p car il est amphotère. Communément placé au dessus du canal, Sasa et al. ont placé un plan de dopage en dessous du canal atteignant une concentration de porteurs de l'ordre 2 à 4×10^{12} /cm² [123]. Une trop grande concentration en dopant tend à peupler le second niveau d'énergie quantique dans le puits diminuant ainsi la mobilité. Des travaux allant dans cette voie ont conduit à de bons résultats [165, 22, 13, 20]. Les éléments de la colonne VI du tableau périodique, les chalcogènes comme le soufre S, le sélénium Se et le tellure, Te sont aussi des dopants pour les matériaux III-V. Le Te posa des problèmes pour la croissance par Molecular Beam Epitaxy,

Epitaxie par Jets Moléculaires (MBE). La solution fut trouvée en utilisant les chalcogénures comme PbSe, GaTe ou PbS [150]. L'utilisation de chalcogénures est prometteuse du fait qu'elle est très compatible pour la fabrication de HEMT à base d'antimoine. De plus, les résistances de couches sont à la hauteur de celles obtenues par le dopage silicium. Les mobilités sont optimales pour des densités de porteurs proches de 3×10^{12} /cm² par rapport aux résistances de couche. L'idéal serait alors d'atteindre des mobilités de l'ordre de 25000-30000 cm²/V.s avec une densité de porteurs d'environ 3×10^{12} /cm² [123, 13]. Malgré que le silicium soit plus disponible pour les systèmes de MBE, le silicium nécessite une diminution de la température de croissance entre le canal InAs et le plan de dopage [13] et nécessite une encapsulation dans des monocouches d'InAs. Pour le tellure, il n'est pas nécessaire d'encapsuler le plan de dopage.

En ce qui concerne les substrats utilisés, le GaSb est un candidat potentiel. Toutefois son coût, son faible diamètre et son manque d'isolation, ont fait qu'il n'a pas été retenu. La majorité des hétérostructures AlSb/InAs a été effectuée sur substrat GaAs en utilisant le concept de croissance métamorphique. Afin d'accorder le paramètre de maille entre le GaAs et les matériaux 6,1 Å, une couche tampon sacrificielle est réalisée (appelée buffer métamorphique), dans laquelle la contrainte est relaxée et les dislocations sont confinées, évitant ainsi la remontée de celles-ci dans la couche active. A cette couche métamorphique, est en général ajoutée un buffer constitué de matériaux AlGaSb. L'adjonction de gallium permet de limiter les problèmes d'oxydation sur AlSb lors de la mise à l'air par l'isolation mesa [21]. De plus une couche AlInAs est ajoutée dans la barrière Schottky afin de limiter le passage des trous du canal vers la grille. Cette couche d'AlInAs servira aussi de couche d'arrêt de la gravure du recess et permet d'obtenir un contact Schottky de bonne qualité [24, 140].

Vers la fin des années 90, les HEMTs à canal InAs ont montré leur potentiel de faible consommation. Pour exemple, Boos et al. ont fabriqué un HEMT à canal InAs avec L_G = 60 nm [23]. Ils obtiennent une densité de porteurs de 1,6×10¹²/cm² avec une mobilité de 21300cm²/V.s.

Ces dernières années grâce au programme du DARPA, ABCS (Antimonidebased compond semiconductors), des progrès énormes ont été réalisés en technologie HEMTs à canal InAs. La densité de porteurs $n_s=1,3 \times 10^{12}/\text{cm}^2$ et la mobilité de 29000 cm²/V.s ont été atteintes [140]. Les composants montrent de grandes transconductances g_m à faible tension drain-source V_{DS} .

2.1.2 Structure de couche

La structure de couche, présentée Figure 24, matériaux de base servant à la fabrication des HEMTs AlSb/InAs est réalisée par MBE au sein de l'IEMN par le groupe EPIPHY. Ils utilisent un bâti à sources solides.

La structure est constituée de:



(a) Epitaxie HEMT AlSb/InAs avec plan de dopage Si.



Figure 24: Structure de la couche HEMT AlSb/InAs épitaxiée par MBE.

- Une couche de contact ohmique aussi appelée 'cap layer' à base de matériau InAs de 50 Å d'épaisseur dopée au Si à une concentration de 5×10¹⁸/cm³ (Figure 24a), ou dopée au Te à une concentration de 8×10¹⁸/cm³ (Figure 24b),
- Une couche de protection à base de Al_{0.5}In_{0.5}As de 40 Å d'épaisseur servant de barrière de trous, permettant d'éviter une augmentation du courant de grille et servant de couche de contact Schottky,
- Une barrière à base d'AlSb de 100 Å d'épaisseur (Figure 24a), ou de 60 Å (Figure 24b)
- Un plan de dopage à base de Si de concentration de 4,5×10¹²/cm² encapsulé de chaque côté par 2 monocouches d'InAs, (Figure 24a) ou un plan de dopage à base de Te de concentration surfacique de 5×10¹²/cm² inséré dans l'AlSb (Figure 24b),
- Un espaceur à base d'AlSb de 50 Å d'épaisseur,
- Un canal d'InAs de 150 Å d'épaisseur,
- Une barrière inférieure d'AlSb de 500 Å d'épaisseur,
- Une couche d'arrêt aussi appelée 'mesa floor' à base d' Al_{0.8}Ga_{0.2}Sb de 2500 Å d'épaisseur, servant d'alternative de gravure d'isolation et,
- Une couche ou une rampe métamorphique à base d'AlSb pour palier à la différence de maille entre le substrat InP et la couche active d'environ 6,1 Å de paramètre de maille; celle-ci a une épaisseur de 7500 Å.

Le groupe Epiphy a choisi d'utiliser des substrats d'InP, au lieu du GaAs. En effet, l'InP présente une différence de paramètre de maille cristalline avec la couche active AlSb/InAs, plus faible que GaAs. Toutefois, de récents résultats expérimentaux ont montré que le substrat n'avait pas d'influence sur la qualité des épitaxies.

D'après la Figure 24, nous allons étudier deux structures de couche:

1. une structure standard AlSb/InAs avec plan de dopage Si nécessitant une encapsulation dans InAs (Figure 24a), et,

 une structure optimisée AlSb/InAs avec plan de dopage Te ne nécessitant aucune encapsulation (Figure 24b) et permettant de réduire la barrière AlSb de 100 à 60 Å (diminution du rapport d'aspect).

Ce rapport d'aspect sera étudié par la caractérisation de HEMTs dont la fabrication va être expliquée dans la section suivante

2.1.3 Vue générale des étapes

La Figure 25 présente les différentes étapes de fabrication du HEMT AlSb/InAs fonctionnant en déplétion. La réalisation de ces transistors rentre dans le cadre d'un projet avec le Centre National des Etudes Spatiales (CNES). Voici, ci-dessous, le déroulement des étapes:

- A. Le dégraissage de surface de l'épitaxie (Figure 25b),
- B. La réalisation des contacts ohmiques source et drain par lithographie électronique qui sera suivie du dépôt métallique par évaporation et d'une dissolution du masque dans un solvant appelé procédé 'Lift-off' (Figure 25c),
- c. La réalisation de la grille par lithographie électronique qui sera suivie de la gravure par voie humide de la couche de contact ohmique (recess) et du dépôt métallique par évaporation et du 'lift-off' (Figure 25d),
- D. La réalisation des plots d'épaississements par lithographie optique qui sera suivie du dépôt métallique par évaporation et du 'lift-off' (Figure 25e), et,
- E. L'isolation du composant par lithographie optique et gravure humide jusqu'au substrat (Figure 25f) ou la couche d'arrêt AlGaSb.

La Figure 25 présente les étapes technologiques de fabrication du HEMT AlSb/InAs avec une gravure d'isolation par voie humide profonde mais comme nous le montrerons dans la Section 2.1.6, nous pouvons isoler le composant par gravure sèche et l'étape de réalisation de grille sera faite à la fin du processus de fabrication comme le montre la Figure 26. Cette technique est utilisée pour définir un mésa peu profond. Dans le cas d'un mesa profond, la technologie d'isolation par voie humide doit être réalisée après la grille. Cette technique conduit à l'obtention de grilles suspendues ou 'à air' (voir Figure 29a). Enfin, l'obtention d'un mésa peu profond nécessite l'utilisation d'une couche d'arrêt AlGaSb. Nous reviendrons plus en détail sur ce point dans la partie sur la gravue sèche.



Figure 25: Etapes de fabrication du HEMT AlSb/InAs avec isolation par gravure humide.



Figure 26: Etapes de fabrication du HEMT AlSb/InAs avec isolation par gravure sèche.
La Figure 27a montre les différents dispositifs qui seront réalisés. Le masque 'stibium4' regroupe:

- des transistors (HEMT) à deux doigts de grille,
- un 'trèfle de Hall' pour mesurer la concentration et la mobilité des électrons dans l'hétérostructure,
- des échelles de Transmission Line Method, Méthode de Lignes de Transmission (TLM) pour mesurer la résistance de contact ainsi que la résistance de l'hétérostructure et des structures de mesure d'isolation des composants, et,
- des structures adaptées pour réaliser la méthode dite d''épluchage' pour retirer les éléments parasites du schéma électrique du Composant Sous Test (CST).





(a) Masque 'stibium4' (dimensions 5120 μm \times 5120 μm).

(b) Masque 'stibium2010' (dimensions 5120 $\mu m \times$ 5120 $\mu m).$



(c) Zoom d'un transistor du masque 'stibium' avec les différentes longueurs, L_{SD}, la distance source-drain, L_G, la longueur de grille, et W le développement du transistor.

Figure 27: Masques utilisés pour la fabrication des transistors HEMTs AlSb/InAs.

Le 'masque Stibium 2010' (Figure 27b). Un des objectifs de ce masque est d'augmenter la densité surfacique des composants, et ainsi de profiter pleinement de la surface de nos échantillons.

Concernant le transistor HEMT sur masque 'stibium4', différents paramètres ont été variés, comme le montre la Figure 27c,

– la longueur de grille, L_G: 80, 120, 200, 300, 500 et 700 nm,

– la distance source-drain, L_{SD} : 1,3, 2, 3,5 et 5 μ m, et,

– le développement W: 2×25 , 2×50 et $2 \times 100 \mu$ m.

Concernant le transistor HEMT sur masque 'stibium2010',

- la longueur de grille, L_G: 80, 120 nm,
- la distance source-drain, L_{SD}: 1,3 μm, et,
- le développement W: $2 \times 15 \mu m$.

Dans le masque 'stibium4', nous avons choisi 1 distance source-drain: 1,3 μ m et 1 longueur de grille L_G: 120 nm. Dans le masque 'stibium2010', nous avons choisi 1 distance source-drain: 0,8 μ m et 1 longueur de grille L_G: 120 nm. Ce choix permet de pouvoir comparer, en plus du changement de l'hétérostructure, de montrer l'influence de la réduction de la distance source-drain sur les performances électriques.

La différence de

2.1.4 Contacts ohmiques

La réalisation des contacts ohmiques de type n dans les HEMTs suit les mêmes étapes que celle pour les MOSFETs (Section 3.1.7).

Après lithographie électronique, nous utilisons la métallisation Pd/Pt/Au (100/200/2000 Å) qui après recuit rapide de 20 s à 275°C permet de contacter le canal InAs. Il est à noter que contrairement aux MOSFETs, cette métallisation diffuse dans le semi-conducteur. Le Table 9 récapitule la métallisation utilisée, le recuit, les mesures de résistances de contact, de la couche, de mobilité électronique et densité de charges par les structures TLM et trèfles de Hall pour les épitaxies avec plans de dopage Si standard (std) et Te optimisée (opt).

EPITAXIE	std	opt
MÉTALLISATION	Pd/Pt/Au	
	100/200	0/2000 Å
RECUIT DE MÉTALLISATION	275° (C, 20 s
résistance de couche tlm (Ω/\Box)	127	120
résistance de couche hall (Ω/\Box)	124	110
résistance de contact (Ω ·mm)	0,085	0,05
mobilité (cm²/V·s)	21 400	24 100
densité de charges (×10 ¹² /cm ²)	-2,24	-2,37

Table 9: Résultats des mesures de résistances de contact, de couche des contacts de type n pour des HEMTs AlSb/InAs, pour différentes épitaxies.

Nous pouvons remarquer d'après ce tableau que nous avons un gain de 40% sur la résistance de contact, de 13% sur la mobilité et de 6% sur la densité de charges.

2.1.5 Définition de la grille

Pour la réalisation de la grille, nous utilisons un bi-couche de résine, deux résines électroniques dites 'positives' et de sensiblité différente (Figure 28a). La première résine doit être moins sensible aux électrons que la seconde car après insolation électronique (Figure 28b) et révélation des zones insolées (Figure 28c), nous obtenons un profil pour la réalisation de grille en 'T'. Après gravure de la couche de contact ohmique par voie humide (acide succinique:H₂O₂; 15:2) (Figure 28d), nous réalisons la métallisation (Ti/Pt/Au; 250/250/2500 Å, Figure 28e) et nous dissolvons la résine (Figure 28f). L'acide succinique est utilisée pour sa sélectivité de gravure entre InAs et InAlAs. Cette gravure permet de s'arrêter sur la couche d'InAlAs nécessaire à la formation du contact Schottky.



Figure 28: Etapes de réalisation de la grille par lithographie électronique, gravure du 'cap layer' et métallisation pour l'obtention d'un HEMT AlSb/InAs.

2.1.6 Isolation

L'isolation du dispositif est réalisée par gravure, soit humide, soit sèche. Elle est réalisée à travers un masque de résine (AZ1518) par lithographie optique. Nous allons décrire les deux types de gravure.

Gravure humide

Dans le cas d'une couche tampon AlSb, il est indispensable de graver l'ensemble de cette couche. En effet, l'AlSb est un matériau très réactif avec l'air et il doit être totalement retiré du fond du mésa. Cependant cette couche tampon, nécessaire à la croissance métamorphique, est très épaisse (environ 1µm). Ainsi, il est impossible de réaliser la grille après cette étape de mesa. En effet, la métallisation de grille ne peut descendre le mesa de 1µm sans risque de coupure. Ainsi la gravure profonde du mesa doit être effectuée après l'étape de grille.

La gravure humide utilise une solution à base d'acide fluorhydrique diluée dans l'eau (HF:H₂O₂:H₂O; 1:1:200). Comme le montre la Figure 29a, l'isolation est réalisée après création de la grille et comme la gravure est isotrope, cela nous permet de graver en dessous de la grille et de réaliser des ponts à air.



(a) Grille à ponts à air.



(b) Sous-gravure sous les contacts ohmiques.



(c) Introduction de la solution au niveau du pied de grille.

Figure 29: Images MEB d'isolation des HEMTs par gravure humide.

Cependant, l'isotropie de la gravure entraîne des problèmes de sous-gravure (Figure 29b). Nous gravons en dessous des contacts ohmiques ce qui peut réduire le développement W de nos transistors. A cause de cette sous-gravure, la solution peut s'introduire et détériorer le pied de grille comme le montre la Figure 29c.

Pour éviter ces problèmes dûs à la gravure humide, nous pouvons augmenter les dimensions du masque de résine ou graver de façon anisotrope pour éviter les sous-gravures. Pour cette dernière solution, nous allons utiliser une gravure sèche par technique RIE & ICP que nous décrivons dans le paragraphe suivant.

Gravure sèche

Les techniques de gravure sèche, comme la RIE et l'ICP, permettent de réaliser des gravures anisotropes par couplage de réactions 'physiques' et 'chimiques'. Au sein de l'IEMN, nous possédons un bâti de gravure RIE couplé à l'ICP. L'ICP permet d'avoir un plasma homogène qui, couplé avec la technique RIE, permet de graver la surface de façon uniforme.

Cependant, comme il a été indiqué dans le processus de fabrication des HEMTs avec gravure sèche (Figure 26), la grille est réalisée après la gravure d'isolation. Une gravure profonde induirait une coupure de la grille dans la descente du mesa lors de la réalisation de celle-ci. De même, le mesa peu profond qui s'arrêterait dans le matériau AlSb n'est pas recommandée, de par la nature hautement réactive avec l'air de ce matériau. C'est pourquoi il est nécessaire d'insérer dans la couche tampon, une couche d'AlGaSb (Figure 24), qui est un matériau isolant, peu réactif avec l'air et de paramètre de maille voisin de l'AlSb. Nous avons choisi une couche d'AlGaSb de 250 nm d'épaisseur. La profondeur de gravure sèche doit être comprise entre 90 et 340 nm. La métallisation de la grille épousera le profil de gravure et aucune coupure ne sera possible.

Nous sommes partis d'un mélange de gaz chlorés qui permet de graver une grande majorité des matériaux semi-conducteurs. Le Table 10 récapitule les essais réalisés et la Figure 30 montre les images MEB de la gravure résultante de l'hétérostructure Figure 24. Les principaux points d'optimisation de cette gravure sont:

- de s'arrêter précisément sur la couche AlGaSb, et,
- d'éviter la sous-gravure.

Pour les premiers essais (1 à 3), seule la technique RIE fut utilisée. Dans l'essai 1, nous voulions favoriser une gravure physique. Cependant, il faut que le plasma chloré puisse réagir avec les éléments III-V pour former des éléments qui puissent être éjectés par le plasma Argon. Dans cet essai, la gravure est faible car la réaction chimique avec la surface fut faible et la gravure était majoritairement physique (faible puissance RIE de 50 W). Pour cela, nous avons augmenter la puissance et le flux de gaz chlorés pour favoriser la réaction chimique. La Figure 30b montre une gravure jusqu'au substrat. Cependant, il y a présence de sous-gravure importante et un fond de gravure recouvert d'éléments non volatiles issus de la réaction. Ainsi, dans le troisième essai, nous

CONDITIONS DE GRAVURE	BCl ₃ (sccm)	Cl ₂ (sccm)	Ar (sccm)	P _{rie} (W)	P _{icp} (W)	pression (mTorr)	DC _{bias} (V)	Temps (s)	Température (°C)	Profondeur (nm)
Essai 1	5	15	40	50	-	5	300	120	-	50,59
Essai 2	10	30	20	75	-	10	300	120	-	1040
Essai 3	8	22	20	100	-	10	375	60	-	362
Essai 4	5	5	20	100	200	3	375	60	7	951,2
Essai 5	5	5	20	100	200	3	375	45	7	540
Essai 6	5	5	20	100	200	3	375	25	7	130

Table 10: Conditions de gravure RIE/ICP réalisées pour la gravure sèche d'isolationdes HEMTs AlSb/InAs.

avons diminué le flux des gaz. D'après la Figure 30c, le fond de gravure est lui aussi recouvert de composés réagis non volatiles. La gravure est cependant moins isotrope et pas assez uniforme. Donc en diminuant le flux des gaz, en ayant une puissance RIE assez élevée et en couplant avec la technique ICP permettant d'homogénéiser le plasma, nous pouvons atteindre les objectifs que nous nous sommes fixés.

Donc une deuxième série d'essais (4 à 6) introduit l'ICP. La Figure 30d montre une gravure très anisotrope avec un fond de gravure propre. Cependant la gravure est trop profonde. Sur les essais 5 et 6, le temps de gravure a été réduit pour atteindre enfin la profondeur souhaitée. Or comme le montre les Figures 30e et 30f, il y a recroissance d'un oxyde, qui peut être d'une épaisseur équivalente à la profondeur de gravure. Cette recroissance est liée à la réaction du matériau AlGaSb avec l'air. Les mesures sur plots d'isolation ont montré que cette oxyde n'était pas conducteur et non dommageable pour la fabrication des HEMTs.



Figure 30: Images au MEB des différents essais de gravure sèche pour l'isolation des HEMTs AlSb/InAs.

Les mesures électriques des transistors avec gravure d'isolation par voie sèche montrent des performances équivalentes à celles des transistors avec gravure d'isolation par voie humide, exposées dans la référence [105].

2.1.7 Bilan

Nous allons voir dans la section 2.2, la caractérisation de ces transistors selon les différentes épitaxies et l'influence de certains paramètres comme la distance source-drain et la distance grille-canal (rapport d'aspect).

2.2 CARACTÉRISATION DES HEMTS ALSB/INAS

Dans cette section de chapitre nous allons présenter les résultats de caractérisations électriques de HEMTs AlSb/InAs avec dopage Si, dont la distance grille-canal est de 19 nm et la distance source-drain de 1,3 μ m et les HEMTs AlSb/InAs avec dopage Te dont la distance grille-canal est de 15 nm et la distance source-drain de 0,8 μ m. Nous allons montrer les résultats des mesures en DC et en RF pour évaluer les performances fréquentielles à basse consommation. Une extraction de schéma équivalent a été réalisée à partir des mesures de paramètres S. Deux études ont été réalisées:

- influence de la mobilité sur les caractéristiques des HEMTs à dopage Si par des mesures en température à 300 K et à 77 K car le mobilité augmente lorsque la température diminue.
- influence du rapport d'aspect et de la distance source-drain sur les HEMTs à dopage Si et Te à 300 K.

Notre banc de mesures est composé d'un analyseur de réseau (PNA) Agilent capable d'effectuer des mesures jusqu'à 67 GHz pour les mesures de paramètres S, couplé à une alimentation Agilent E5270B pour les mesures statiques et la polarisation des transistors.

Dans le cas des mesures des HEMTs à 77 K avec plan de dopage silicium, nos dispositifs sont positionnés dans une station cryogénique sous vide Janis ST 500-2 en utilisant le même analyseur de réseau et la même alimentation.

Lors de la réalisation de ce manuscrit, les mesures en température (77 K) ne furent pas réalisées concernant les transistors HEMTs Te. D'où une attention toute particulière sur l'étude en température sur les transistors HEMTs Si.

2.2.1 Caractéristiques statiques

Caractéristique du contact Schottky

La Figure 31 montre des comparaisons de courant de grille par longueur de grille en fonction de la polarisation de grille à une polarisation de drain nulle entre les HEMTs antimoines avec plan de dopage Si et Te (Figure 31a) et entre les HEMTs antimoines avec plan de dopage Si à des températures de 77 et 300 K avec une distance source-drain de $1,3 \mu$ m (Figure 31b).

D'après ces résultats, nous pouvons dire:

- entre les HEMTs Si et Te: la diminution de la distance entre la grille et le canal et le passage du plan de dopage Si à celui du Te augmentent le courant de grille sous le seuil et décale la tension de seuil (V_{th}) mais permettent une meilleure tenue en polarisation directe.
- entre les HEMTs Si à 77 K et 300 K: la diminution en température permet de réduire le courant de grille en polarisation inverse et en polarisation directe. Lorsque la température diminue, les énergies de bande interdite de l'AlSb et de l'InAs augmentent. Ainsi moins de charges s'accumulent



Figure 31: Caractéristiques Schottky des différents transistors HEMTs AlSb/InAs.

dans la barrière AlSb et ainsi traversent la barrière AlInAs. Le contact Schottky en est meilleur.

Caractéristique courant-tension: I(V)

La Figure 32 montre les caractéristiques courant de drain en fonction de la tension de drain-source à différentes polarisations de grille-source dans le cas des comparaisons entre les HEMTs à dopage Si et Te, et entre les HEMTs à dopage Si à 77 K et 300 K.



(a) Entre les HEMTs à dopage Si et Te à 300
 (b) Entre les HEMTs à dopage Si à 77 K et 300 K.

Figure 32: Caractéristiques courant de drain en fonction de la tension de source-drain des différents transistors HEMTs AlSb/InAs.

D'après ces résultats, nous pouvons dire:

– entre les HEMTs Si et Te (Figure 32a): le HEMT Te développe un meilleur courant de drain. Le courant drain maximum augmente de 56% dans le HEMT Te par rapport à celui du HEMT Si à V_G nul et V_{DS} = 0.25 V. Si on se réfère au Table 11, cette augmentation du courant est attribuée à la diminution de la distance entre la source et le drain et à l'augmentation du dopage de la couche de contact ohmique induisant une meilleure résistance

de contact mais aussi à la légère augmentation de la densité de charges dans le canal .

entre les HEMTs Si à 77 K et 300 K (Figure 32b): la diminution en température permet d'améliorer la saturation (une conductance de sortie plus faible). Cette amélioration est liée à la réduction de l'effet de l'ionisation par impact que nous voyons sur la caractéristique à 300 K comme d'après [25, 71]. Nous remarquons un effet de saturation de courant de drain à 77 K comparé au courant de drain à 300 K. Ce comportement peut s'expliquer par la réduction de l'effet Kink qui est dû à l'accumulation de trous au niveau de la grille côté source réduisant la zone de désertion dans le canal sous la grille et impliquant une augmentation du courant de drain.

STRUCTURE	dopa	age Si	dopage Te
HEMT	77 K	300 K	300 K
résistance carrée (Ω/\Box) 42	124	110
mobilité (cm²/V.s) 65 900	21 400	24 100
densité de charges (×10 ¹² /cm ²) 2,24	2,24	2,37

Table 11: Mesures de mobilités, de résistances carrées et densité de charges pour une structure HEMT à dopage Si à 77 K et 300 K et à dopage Te sur des dispositifs à effet Hall.

Le Table 12 présente le courant de drain maximum à V_{DS} = 250 mV et à V_G nul pour chaque type de transistor.

STRUCTURE	dopa	age Si	dopage Te
HEMT	77 K	300 K	300 K
I _{d,max} (mA/mm)	389	526	825

Table 12: Courant de drain maximum des différents transistors HEMTs à V_{DS}= 250 mV et à V_G= 0 V .

Transconductance extrinsèque statique: g_m

D'après la Figure 33, nous pouvons dire:

- entre les HEMTs Si et Te (Figures 33a et 33b): avec la diminution de la distance entre la grille et le canal, de la distance entre la source et le drain et le passage du plan de dopage Si à celui du Te, nous observons une augmentation de la transconductance maximale de 21% à V_{DS} = 250 mV et de 59% à V_{DS} = 100 mV.
- entre les HEMTs Si à 77 K et 300 K (Figures 33a et 33c): avec la diminution en température, nous observons une augmentation de la transconductance maximale de 8% à V_{DS} = 250 mV et de 50% à V_{DS} = 100 mV. L'effet de la température est plus important à faible V_{DS} , donc en région linéaire du transistor. Cependant le g_m extrinsèque peut être surestimé. Car l'effet



(a) pour le HEMT avec dopage Si et L_{SD} = 1,3 µm à 300 K.

(b) pour le HEMT avec dopage Te et L_{SD}= 0,8 μm à 300 K.



1,3 µm à 77 K.

Figure 33: Transconductance DC et son courant de drain associé pour V_{DS} = 100 mV et V_{DS} = 250 mV.

Kink altère le courant s'il est de plus important induisant une modification de la transconductance extrinsèque. Une discussion sur le schéma équivalent petit signal permettra de vérifier l'influence de la température sur la transconductance[88].

STRUCTURE	dopa	age Si	dopage Te		
HEMT	77 K	300 K	300 K		
G_{m} (mS/mm) (V _{DS} = 250 mV)	1140	1055	1280		
G_{m} (mS/mm) (V _{DS} = 100 mV)	664	441	705		

Table 13: Transconductance maximale des différents transistors HEMTs à V_{DS} = 100 mV et V_{DS} = 250 mV.

Bilan

La diminution de la température de mesure, le changement de plan de dopage et la diminution de la distance source-drain permettent d'améliorer les performances statiques à faibles tensions de polarisation. Nous allons maintenant étudier les effets sur les performances fréquentielles.

2.2.2 Caractéristiques dynamiques

Gain en courant et gain unilatéral de Mason

Les gains en courant extrinsèques $(|H_{21}|^2)$ et unilatéral de Mason (U) en fonction de la fréquence sont présentés Figure 34. Chaque figure présente $|H_{21}|^2$ et U et leurs extrapolations, respectivement f_t et f_{max} pour deux tensions drainsource V_{DS}= 100 mV et V_{DS}= 250 mV et ceci pour chaque type de transistor HEMT.



(c) $|H_{21}|^2$ et U pour le HEMT avec dopage Si et L_{SD}= 1,3 µm à 77 K.

Figure 34: Gains en courant extrinsèque et unilatéral de Mason en fonction de la fréquence et leurs fréquences de coupure associées pour V_{DS} = 100 mV et V_{DS} = 250 mV.

D'après la Figure 34,

- entre les HEMTs Si et Te (Figures 34a et 34b): comme en statique, nous observons une amélioration des performances fréquentielles pour le HEMT Te, et ce, quelque soit la tension drain-source. Le schéma équivalent que nous présenterons ultérieurement nous permettra d'interpréter quantitativement ces évolutions.
- entre les HEMTs Si à 77 K et 300 K (Figures 34a et 34c): la diminution en température n'augmente pas le $|H_{21}|^2$ à V_{DS} = 250 mV mais améliore U permettant une augmentation de la fréquence de coupure f_{max} à V_{DS} = 250

mV. Nous avons cependant une amélioration du $|H_{21}|^2$ et U à V_{DS} = 100 mV qui permet d'avoir une augmentation des performances fréquentielles. Ceci s'explique par l'augmentation de la mobilité de 300 à 77 K (Table 11), ce qui sera confirmé par la suite grâce au schéma petit signal.

Performances fréquentielles en fonction de la consommation

Pour mieux apprécier les performances fréquentielles de nos transistors, nous présentons les fréquences de coupure en fonction de la consommation en DC Figure 35 et Tableaux 14 et 15.

La Figure 35 présente la fréquence de coupure f_t en fonction de la puissance de consommation en DC pour des tensions source-drain V_{DS} = 100 mV et V_{DS} = 250 mV. Les pics en f_t et leurs P_{DC} associées sont répertoriées dans le Table 14.



entre le HEMT avec dopage Si et le HEMT avec dopage K.

(b) Comparaison de f_t en fonction de P_{DC} entre le HEMT avec dopage Si à 300 K et le HEMT avec dopage Si à 77 K avec L_{SD} = 1,3 µm.

Figure 35: Fréquence de coupure f_t en fonction de la consommation P_{DC} ($V_{DS} \times I_D$) pour les différents HEMTs.

Ainsi,

- entre les HEMTs Si et Te (Figure 35a): la diminution de la distance entre la grille et le canal et le passage du plan de dopage Si à celui du Te améliore le pic f_t mais augmente la consommation à V_{DS} = 100 mV et V_{DS} = 250 mV. Ceci est dû à une amélioration du courant de drain pour le HEMT Te au détriment de la consommation P_{DC} . Cependant, à P_{DC} = 6,3 mW/mm pic de f_t pour le dopage Si, le f_t pour le HEMT Te augmente de 100% (110 GHz) et de 96% (247 GHz) à P_{DC} = 50 mW/mm.
- entre les HEMTs Si à 77 K et 300 K (Figure 35b): la diminution en température améliore le pic ft et augmente la puissance de consommation à V_{DS}= 100 mV mais la diminue à V_{DS}= 250 mV. A P_{DC}= 6,3 mW/mm pic de ft pour le dopage Si à 300 K, le ft pour le HEMT Si augmente de 60% (88 GHz). A V_{DS}= 250 mV, un ft de 130 GHz est atteint pour un P_{DC}= 33,7 mW/mm pour le HEMT Si à 77 K, une réduction de 66% comparée au HEMT Si à 300 K. Ceci s'explique par une réduction du phénomène d'ionisation par impact qui diminue le courant de fuite de grille.

STRU	dopa	age Si	dopage Te	
н	77 K	300 K	$L_{SD} = 0.8 \ \mu m$	
f _t (GHz) (V _{DS} = 100 mV)	92	55	144
p_{dc}	(mW/mm)	9,11	6,3	12,2
f _t (GHz) (V _{DS} = 250 mV)	132	130	255
Pdc	(mW/mm)	34	50	71

Table 14: f_t maximum et P_{DC} associée pour V_{DS} = 100 mV et V_{DS} = 250 mV pour les différents HEMTs.

Les pics en f_{max} et leurs P_{DC} associées sont répertoriées dans le Table 15.

:	dopa	age Si	dopage Te	
	77 K	300 K	L _{SD} = 0,8 μm	
f _{max} (C	GHz) (V _{DS} = 100 mV)	107	51	115
p	dc (mW/mm)	5 <i>,</i> 8	4,3	9,9
f _{max} (C	GHz) (V _{DS} = 250 mV)	142	112	202
pa	ıc (mW/mm)	18	50	51

Table 15: f_{max} maximum et sa P_{DC} associée pour V_{DS} = 100 mV et V_{DS} = 250 mV pour les différents HEMTs.

Schéma équivalent

Dans le but d'analyser l'amélioration des performances fréquentielles des transistors, nous réalisons l'extraction des schémas équivalents petit signal comme le montre la Figure 36.



Figure 36: Schéma équivalent pour un transistor à effet de champ (FET).

Dans le Table 16, nous présentons les éléments intrinsèques comme la transconductance g_m , la conductance de sortie g_d , les capacités grille-source et grille-drain, respectivement, C_{GS} et C_{GD} et les éléments extrinsèques comme les résistances de grille, de source et de drain, respectivement, R_G , R_S et R_D . Et ceci pour chaque type de transistor à V_{DS} = 100 mV et V_{DS} = 250 mV.

		R _S (Ω.mm)	R _D (Ω.mm)	R _G (Ω/mm)	C _{GS} (fF/mm)	C _{GD} (fF/mm)	g _m (mS/mm)	g _d (mS/mm)
	HEMT Si 300 K	0,12	0,25	138	790	490	375	550
V _{DS} = 100 H mV	HEMT Te L_{SD} = 0,8 µ.m	0,09	0,14	392	424	288	884	1362
	HEMT Si 77 K	0,06	0,14	129	733	443	688	503
I V _{DS} = 250 HEM	HEMT Si 300 K	0,12	0,25	138	703	340	1063	435
	HEMT Te L _{SD} = 0,8 μ.m	0,09	0,14	392	453	255	1464	785
mV	HEMT Si 77 K	0,06	0,14	129	793	338	1003	250

Table 16: Paramètres du schéma équivalent petit signal pour les différents transistors HEMTs à V_{DS} = 100 mV et V_{DS} = 250 mV.

D'après le schéma équivalent petit signal, et en négligeant les inductances (L_g , L_S , L_D) et les capacités extrinsèques (C_{pG} , C_{pD}), nous pouvons exprimer la fréquence de coupure f_t en fonction des éléments intrinsèques et les résistances extrinsèques,

$$f_{t} = \frac{f_{c}}{1 + \left(g_{d} + g_{m} \cdot \left(\frac{C_{GD}}{C_{GS} + C_{GD}}\right)\right) \cdot (R_{S} + R_{D})}$$
(2.1)

Avec,

$$f_{c} = \frac{g_{m}}{2\pi(C_{GS} + C_{GD})}$$
(2.2)

Ainsi, d'après les équations ci-dessus et les résultats du Table 16, nous pouvons affirmer que:

- entre les HEMTs Si et Te: le rapport $\frac{C_{GS}}{C_{GD}}$ ne varie pas. L'amélioration du f_t pour le HEMT Te comparée au HEMT Si est due principalement à la transconductance intrinsèque qui est 38% plus élevée que celle du HEMT Si à V_{DS}= 250 mV et surtout 135% plus élevée à V_{DS}= 100 mV. Les résistances d'accès R_S et R_D qui sont très faibles dans le HEMT Te sont aussi des contributions à l'amélioration du f_t.
- entre les HEMTs Si à 77 K et 300 K: à V_{DS} = 250 mV, g_m , C_{GS} et C_{GD} varient peu à 77 K et 300 K (\approx 10%)expliquant le pic f_t équivalent aux deux températures. Pour V_{DS} = 100 mV, si nous observons que C_{GS} et C_{GD} sont quasi-similaires aux deux températures, le g_m est lui deux fois plus élevé à 77 K et est le paramètre qui explique la forte amélioration du f_t . En régime de mobilité, nous devons avoir un facteur d'environ 3. Nous pouvons dire que nous sommes en régime de transition entre le régime de mobilité et le régime de saturation.

2.2.3 Conclusion

Dans cette section de chapitre, nous avons investigué les performances statiques et dynamiques à basse consommation des transistors HEMTs AlSb/InAs. Nous avons réalisé deux études: l'une concernant les performances statiques et dynamiques faible consommation des HEMTs à plan de dopage Si à la température cryogénique comparées à celles à température ambiante et l'autre concernant les performances statiques et dynamiques faible consommation des HEMTs à plan de dopage Te comparées à celles des HEMTs à plan de dopage Si. Le passage du plan de dopage Si vers le plan de dopage Te évite l'utilisation de l'encapsulation InAs et permet de réduire la distance grille canal. La distance source-drain est aussi réduite, de 1,3 μ m (HEMT Si) à 0,8 μ m (HEMT Te).

Ainsi, nous avons observé:

- que la diminution de la distance grille-canal, la diminution de la distance source-drain permettent d'améliorer les performances statiques, e. g. de 59% pour g_m à V_{DS}= 100 mV, de 21% à V_{DS}= 250 mV. Les performances dynamiques sont aussi améliorées avec des fréquences de coupure légèrement au dessus de l'état de l'art (f_t= 144 GHz à P_{DC}= 12,2 mW/mm (V_{DS}= 100 mV) et f_t= 255 GHz à P_{DC}= 71 mW/mm (V_{DS}= 250 mV)). La réduction des résistances d'accès et l'amélioration de la transconductance intrinsèque en sont les causes principales.
- que la diminution en température permet d'améliorer les performances statiques en régime linéaire et de transition (c'est à dire $< V_{DS}$ = 100 mV) et réduit l'effet Kink en régime de saturation (c'est à dire $> V_{DS}$ = 100 mV). Les performances dynamiques sont aussi améliorées avec des

fréquences de coupure (f_t= 92 GHz à P_{DC}= 9,11 mW/mm (V_{DS}= 100 mV) et f_t= 132 GHz à P_{DC}= 34 mW/mm (V_{DS}= 250 mV)). La réduction des résistances d'accès et de la conductance de sortie et l'amélioration de la transconductance intrinsèque en sont les causes principales.

2.3 ETAPES DE FABRICATION DU HEMT ALINSB/GAINSB

Les HEMTs à base d'antimoniures sont des dispositifs attractifs pour leur grande mobilité électronique et leur faible consommation d'énergie. Les HEMTs AlSb/InAs ont été développés et ont montré de bonnes performances électriques [14]. L'hétérostructure la plus couramment utilisée est l'hétérostructure AlSb/InAs, car ces deux matériaux ont un paramètre de maille similaire (AlSb comme barrière, InAs comme canal).

La DARPA a investi environ 50 millions \$ dans le programme ABCS [121], où une partie importante de ce programme a été consacrée aux HEMTs AlSb/InAs. Dans le cadre de ce programme, le NRL (Naval Research Laboratory) a travaillé avec NGST (Northrop Grumann anciennement TRW Inc) et UCSB (Université de Californie Santa Barbara) avec Teledyne (anciennement Rockwell Scientific Company). En ce qui concerne les HEMTs InSb, les travaux principaux ont été développés par QinetiQ au Royaume-Uni, en collaboration avec Intel.

Nous avons décidé d'exploiter une filière intermédiaire qui est l'hétérostructure $Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb$.

2.3.1 Structure de couche

Justification de ce choix

Les HEMTs AlSb/InAs souffrent de forts courants de grille liés à l'hétérostructure de type II, ce qui fait de la barrière AlSb, une zone d'accumulation de trous qui peuvent traverser la barrière AlInAs et se retrouver au niveau de la grille. De plus, ces trous peuvent aussi s'accumuler dans la couche tampon AlSb. L'avantage des structures de Qinetic est que la structure HEMT AlInSb/InSb a une jonction de type I comme les hétérostructures standards AlInAs/InGaAs mais possède une discontinuité de bandes de conduction petite, environ 0,3 eV.

Ainsi, nous avons développé une hétérostructure de type I AlInSb/InGaSb intermédiaire entre les structures citées ci-dessus et qui présente des alignements de bandes de conduction et de valence semblables à l'hétérostructure InAlAs/InGaAs. Notre hétérostructure présente cependant une mobilité des électrons deux fois plus élevée Table 17.

Détail et évolution de la structure

Comme le montre la Figure 37, la structure de départ consiste à:

- Une couche de contact ohmique à base de matériau $In_{0.5}Ga_{0.5}Sb$ de 50 Å d'épaisseur dopée au Te à une concentration de $2 \times 10^{18}/cm^3$,
- Une barrière à base d'Al_{0.55}In_{0.45}Sb de 150 Å d'épaisseur,
- Un plan de dopage à base de Te de concentration surfacique de 2×10^{12} /cm²,
- Un espaceur à base d'Al_{0.55}In_{0.45}Sb de 100 Å d'épaisseur,
- Un canal d'In_{0.5}Ga_{0.5}Sb de 150 Å d'épaisseur,

STRUCTURI	E HEMT	Al _{0.52} In _{0.48} As/ In _{0.53} Ga _{0.47} As	AlSb/InAs	Al _{0.55} In _{0.45} Sb/ In _{0.5} Ga _{0.5} Sb	Al _{0.2} In _{0.8} Sb/ InSb
ΔEc	(eV)	0,52	1,35	0,636	0,3
MOBILITÉ	$(cm^2/V.s)$	8000	21000	20000	32000
MASSE EFFEC	tive (m _o)	0,041	0,022	0,02	0,011
TYPE DE JO	NCTION	Ι	II	Ι	Ι

Table 17: Comparaison des différentes propriétés physiques des hétérostructures standards et antimoniées.

- Une barrière inférieure d'Al_{0.55}In_{0.45}Sb de 100 Å d'épaisseur,
- Une couche métamorphique à base d'AlInSb et d'AlSb pour palier à la différence de maille entre le substrat InP et la couche active d'une épaisseur d'environ 1,5 μm.

Contact Ohmique Te 2 x 10 ¹⁸ /cm ³ GalnSb 50 Å									
Barrière Schottky plan de dopage	AllnSb	150 Å							
Espaceur Te 2 x 10 ¹² /cm ²	AlinSb	100 Å							
Canal	GainSb	150 Å							
Barrière inférieure	AllnSb	100 Å							
Couche tampon métamorphique AllnSb									
Substrat Semi-isolant		InP							

Figure 37: Structure de la couche HEMT Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb épitaxiée par MBE.

Depuis 2007, une seule équipe en Europe travaille sur cette hétérostructure AlInSb/InGaSb: le goupe Epiphy de l'IEMN en France. Les références [39, 38, 40] montrent l'évolution de la structure en termes de mobilité électronique par une étude poussée sur la rampe métamorphique.

L'objectif est alors d'apporter les premières briques technologiques pour fabriquer des dispositifs HEMTs AlInSb/InGaSb.

2.3.2 *Vue générale des étapes*

Le processus de fabrication des HEMTs AlInSb/InGaSb est le même que celui pour les HEMTs AlSb/InAs avec gravure d'isolation par voie humide Figure 25.

Les étapes technologiques doivent être développées sur cette nouvelle hétérostructure. Une difficulté est la réalisation de contact ohmique de type n de faible résistivité. Nous allons étudier les différents aspects de la réalisation des contacts ohmiques afin de comprendre le mécanisme de formation d'un point de vue physique, chimique, et électrique.

MATÉRIAUX	dopage (/cm ³)	MÉTALLISATION	résistivité (Ω/cm^2)	Référence
GaSb	n	Ag(Te)/ZrB ₂ /Au	3×10 ⁻⁵	[68]
GaSb	n; 5,6×10 ¹⁷	Pd/Ge/Pd/In/Pd	1,4×10 ⁻⁶	[63]
GaSb	n; 6×10 ¹⁷	Pd/Ge/Au/Pt/Au	4,9×10 ⁻⁶	[145]
GaSb-GaInAsSb	n; 1,3×10 ¹⁸	Pd/Ge/Au	1×10^{-5} -2 $\times 10^{-6}$	[146]
GaSb	n; 2-6×10 ¹⁷	Pd	-	[119]
GaAsSb	р	Pd/Au	8,38×10 ⁻⁹	[65]
	р	Pd/Ir/Au	1,29×10 ⁻⁸	
	р	Pd/Pt/Au	6,24×10 ⁻⁹	
	р	Pd/Ir/Mo/Au	-	
	р	Pd/Pt/Mo/Au	-	
GaSb-InSb	-	Ni, Pd, Pt	-	[64]
InSb	-	Pd	-	[27]
InGaSb	р	Pd/W/Au	1,8×10 ⁻⁷	[147]
InSb	n	Ag, Al	-	[45]
AlSb/InAs HEMT	n	Pd/Pt/Au	3,2×10 ⁻⁷	[23]
AlSb/InAsSb HEMT	n	Pd/Pt/Au	0,07 (Ω.mm)	[120]

Table 18: Données obtenues de la littérature sur les contacts ohmiques sur composés antimoniés 'bulk'.

2.3.3 Contacts ohmiques

Littérature

Comme nous pouvons le voir dans le Table 18, la littérature n'est pas assez conséquente concernant la réalisation de contacts ohmiques sur matériaux GaInSb. La plupart de ces références concernent les contacts métalliques sur des structures 'bulk' comme le GaSb et l'InSb en grande majorité. Nous avons deux catégories: les contacts alliés (voie diffusive) et les contacts non alliés. Nous avons aussi des données concernant les structures HEMTs AlSb/InAs. Le seul résultat sur GaInSb est la référence [147] pour obtenir des contacts de type p.

Cependant, d'après ce tableau, nous voyons une prédominance de l'utilisation du palladium (Pd). Ce métal est un matériau qui diffuse très bien dans les structures antimoniées. Il est à la base des contacts ohmiques n dans les HEMTs AlSb/InAs. Il peut être un élément à utiliser dans le séquentiel de métaux. Dans la référence [87], Liu and Mohney préconise l'utilisation de métaux à faible travail de sortie (ϕ_m autour de 4 eV) comme le molybdène (Mo) ou des composés binaires à base d'In. Ces métaux permettent de réduire la hauteur de barrière entre le contact métallique et le matériau semi-conducteur pour permettre aux charges de se déplacer. La Figure 38 permet d'évaluer la hauteur de barrière approximative des différents métaux par rapport à la bande de conduction du In_{0.5}Ga_{0.5}Sb et permettant l'obtention de possibles contacts ohmiques de type n [139]. Ce calcul se base sur le fait que pour l'InAs, $\phi_{b,c}$ = 0 eV par rapport à l'air et $\phi_{b,c}$ = -0,2 eV par rapport à l'Au [66].

Afin de réaliser un contact ohmique de type n, la barrière entre le métal et le matériau semi-conducteur doit être la plus faible possible voire négative. Dans le cas contraire, nous aurons un contact Schottky.



Figure 38: Représentation des bandes de conduction et de valence en fonction du paramètre de maille des principaux semi-conducteurs. Les discontinuités de bandes entre matériaux adaptés en maille peuvent être retrouvées sur ce diagramme par différence des énergies de bandes. Le point d'énergie zéro représente la position approximative de la barrière Schottky de l'Au pour chaque matériau semi-conducteur. Les autres métaux sont aussi représentés.

Le Table 19 récapitule le potentiel de barrière vu par les électrons du métal à l'interface entre le métal et le semi-conducteur $In_{0.5}Ga_{0.5}Sb$ et ceci pour divers métaux souvent usités. Cette grandeur correspond à la différence entre le travail de sortie du métal et l'affinité électronique du semi-conducteur. Cependant ces métaux, nous permettant d'avoir un très faible ϕ_b , sont souvent réfractaires donc difficiles à faire diffuser ou non disponibles au sein de notre laboratoire. L'utilisation de séquentiel à base de dopant comme le Te (comme l'utilisation du Ge pour les HEMTs AlInAs/GaInAs) n'est pas possible au sein de nos bâtis de métallisation dû à sa faible pression de vapeur.

MÉTAL	Au	Pd	Pt	Та	Ti	Mo	In	Ag	W	
$\phi_{b,c}/E_{c,gainsb}$ (eV)	0,318	0,321	0,335	-0,762	-0,732	-0,492	-0,962	-0,432	-0,452	

Table 19: Evaluation du pontentiel de barrière $\phi_{b,c}$ des électrons par rapport à la bande de conduction E_c du $In_{0.5}Ga_{0.5}Sb$ d'une jonction métal/semi-conducteur, d'après Tiwari and Frank [139].

L'Au est aussi un métal qui s'allie bien avec les éléments III-V. Cependant les composés binaires ou ternaires formés avec ce métal peuvent augmenter la résistivité des contacts métalliques. L'utilisation de barrière de diffusion de l'Au est recommandée [68, 65, 147, 87].

MÉTALLISATION	séquence (Å)	température (°C)	temps (s)
Pd/Pt/Ag	200/150/1700	275, 325, 375	30
Ti/Au	500/2000	300, 325, 350	30
Ag/Pt/Au	2000/500/1500	200, 300, 350	(30, 180), 180, 180
Au/In/Au/In/Au	500/500/500/500/2000	200	30, 90
In/Ti/Au	1000/500/2000	150, 200, 250	30
Ti/W/Au	250/250/2000	300, 350, 400	30

Table 20: Essais de contacts ohmiques diffusifs réalisés sur l'hétérostructure AlInSb/-GaInSb.

Dans notre étude, nous avons décidé d'utiliser la voie diffusive pour la réalisation des contacts ohmiques de type n dans les HEMTs AlInSb/GaInSb avec 50% d'In dans le canal.

La voie diffusive et ses limites

Contacts métalliques alliés Dans le Table 20, nous détaillons les différents séquentiels utilisés et les différents recuits réalisés. Nous avons utilisé le Pd pour sa capacité de diffusion, le Ti, l'Ag et l'In pour leur faible travail de sortie.

La Figure 39 montre les résultats du courant en fonction de la tension en mesurant sur des structures TLM avec des plots de métallisation ($50 \times 100 \ \mu m^2$) espacés d'une distance de 5 μm . La résistance carrée de cette couche est de 202 Ω/\Box (mesurée par courant de Foucault).



 (a) Caractéristique courant-tension obtenue par mesure TLM commune à toutes les métallisations testées.



(b) Caractéristiques courant-tension des différentres métallisations testées à faible tension. Il s'agit des meilleurs résultats pour chaque séquentiel. La distance entre les plots métalliques de la TLM est de 5 μm.

Figure 39: Caractéristiques courant-tension des essais de métallisation pour l'obtention de contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb.

Comme nous pouvons le voir, les densités de courant sont faibles et le comportement n'est pas ohmique (Figure 39a). Nous pouvons observer un point d'inflexion centré sur o V, indiquant un effet redreseur de type Schottky. Concernant les séquentiels Au/In/Au/In/Au et Ti/W/Au, les courants étaient

trop faibles pour être mesurés et ne sont pas représentés sur la Figure 39b. Afin d'envisager de contacter au plus près le canal conducteur GaInSb, nous avons procédé avant dépôt des métallisations, à la gravure de la couche de contact ohmique (w/o cap), et, des couches de contact ohmique et de barrière Schottky (w/o cap et barrière).

Nous allons voir d'après le Table 21 une vue en coupe au MEB des différents séquentiels métalliques et la diffusion approximative des métaux dans l'hétérostructure grâce à l'analyse Energy Dispersive X-ray spectrometry, *spectrométrie Dispersive en Energie des rayons X* (EDX).



Table 21: Analyse MEB et EDX des métallisations pour l'obtention des contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb avec 50% d'In dans le canal.

Grâce à l'imagerie MEB assistée de l'EDX, nous pouvons émettre les remarques suivantes:

- pour le contact In/Ti/Au ((a)), l'In s'est totalement évaporé laissant des cavités. Le courant mesuré est dû au contact des métaux Ti et Au restants. L'analyse MEB du dépôt d'In seul (non représentée) montre la formation de gouttes d'In en surface. La mouillabilité de l'In_{0.5}Ga_{0.5}Sb pour le dépôt d'In est faible. Nous avons introduit des couches d'Au pour pouvoir changer la mouillabilité et pouvoir déposer l'In mais nous avons aussi remarqué ce problème avec le contact Au/In/Au/In/Au où l'aspect avant et après recuit était granuleux. Aucun courant traverse entre les contacts métalliques.
- pour les autres contacts contenant de l'Au ((a),(c),(d),(e)), malgré les barrières de diffusion comme le W, l'Au diffuse à travers l'hétérostructure et s'allie facilement avec les matériaux de l'hétérostructure. L'Au peut être la cause de la détérioration des contacts due à son \u03c6_{b,c} élevée (~0,318 eV).
- pour les contacts à base de Pd ((b)), le Pd diffuse très bien dans l'hétérostructure, donc le canal In_{0.5}Ga_{0.5}Sb est contacté. Le Pd a aussi un potentiel de barrière φ_{b,c} élevée (~0,321 eV) pouvant expliquer la difficulté d'avoir un comportement ohmique.
- pour le contact Ti/Au ((c),(d)), malgré la diffusion du Ti, le contact n'induit pas un comportement ohmique malgré un φ_{b,c} d'environ -0,732 eV. Or, dans ce cas, l'Au diffuse pouvant augmenter le φ_{b,c}.

Des hypothèses incriminant des métaux à fortes sorties de travail comme l'Au et le Pd peuvent expliquer le comportement non ohmique de nos contacts. Mais nous pouvons aussi émettre d'autres hypothèses:

- à cause de la barrière AlInSb: il est possible que les électrons ne peuvent atteindre le canal à cause de la barrière par une trop grande bande interdite. Ou, il est possible que les alliages métal/AlInSb soient résistifs. En effet, dû à la résolution du MEB et l'analyse EDX, il n'est pas possible d'analyser plus finement la composition de l'alliage métal/AlInSb.
- à cause de la couche de contact ohmique GaInSb: le potentiel de barrière peut être élevé entre l'air et le semi-conducteur. En effet, le courant qui circule est distribué dans la couche de contact ohmique. Il circule dans l'alliage métal/semi-conducteur vers le canal mais aussi le long de la couche de contact ohmique (en contact avec l'air) et ensuite vers la canal.
- à cause du potentiel de barrière entre le métal et le canal.

A travers diverses études, nous allons essayer d'étayer ces différentes hypothèses.

Non ohmicité due à la hauteur de barrière AllnSb Pour étayer l'hypothèse sur le fait que les électrons ne peuvent atteindre le canal à cause d'une grande discontinuité de bande de conduction de la barrière, nous avons décidé de diminuer l'énergie de bande interdite de la barrière en augmentant le taux d'In de 15% dans toute l'hétérostructure (pour éviter aussi la différence de

STRUCTURE HEMT		Al _{0.55} In _{0.45} Sb/	Al _{0.4} In _{0.6} Sb/	
		$In_{0.5}Ga_{0.5}Sb$	$In_{0.65}Ga_{0.35}Sb$	
Δ E _c	(eV)	0,636	0,382	
MOBILITÉ	$(cm^2/V.s)$	20000	20000	
MASSE EFFEC	TIVE (m _o)	0,02	0,018	
TYPE DE JONCTION		Ι	Ι	

paramètre de maille). La jonction AlInSb/GaInSb reste une jonction de type I avec une mobilité toujours intéressante comme le montre le Table 22.

Table 22: Comparaison des différentes propriétés physiques des hétérostructures antimoniées.

A partir de cette hétérostructure, nous réalisons divers essais de métallisation en gardant des séquentiels diffusants à base de Pd et de Ti. Nous allons introduire une autre barrière de diffusion de l'Au qu'est le Molybdène (Mo). Le Table 23 récapitule les différents séquentiels métalliques et les différents recuits testés.

MÉTALLISATION	séquence (Å)	température (°C)	temps (s)
Pd/Pt/Au	200/350/2000	300, 325, 350	900
Pd/Pt/Au	1000/350/2000	300	900
Ti/Au	500/2000	(275, 300, 325), (300, 325)	(30), (900)
Pd/Mo/Pt/Au	1000/150/200/2000	275, 325, 350	900

Table 23: Essais de contacts ohmiques diffusifs réalisés sur l'hétérostructure AlInSb/-GaInSb avec 65% d'In dans le canal.

La Figure 40 présente les résultats du courant en fonction de la tension en mesurant sur des structures TLM avec des plots de métallisation espacés d'une distance de 5 µm. D'un point de vue général, le comportement n'est pas ohmique. Pourtant, nous avons une augmentation du courant d'un facteur 2 comparée aux premiers résultats avec la structure à 50% d'In dans le canal. Nous supposons que le courant mesuré est le courant traversant la couche de contact ohmique. Nous remarquons que l'apport d'une barrière de diffusion comme le Mo permet d'améliorer le contact Pd/Pt/Au mais le comportement reste non ohmique. Nous allons analyser en détail les différents contacts métalliques avec une meilleure résolution par l'utilisation de la *Microscopie Electronique en Transmission* (MET) et une analyse EDX. Les analyses (voir le Table 24) furent réalisées au sein du CIMAP à Caen par P. Ruterana.

Grâce à l'imagerie MET assistée de l'EDX, nous pouvons émettre les remarques suivantes:

 pour le contact Pd(200 Å)/Pt/Au, il y a une interdiffusion entre le Pd et le Pt (spectres EDX 5 et 8). Le spectre 5 montre la présence de Sb indiquant





Table 24: Analyse MET et EDX des métallisations pour l'obtention des contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb avec 65% d'In dans le canal. La ligne blanche en pointillés désigne la surface de l'hétérostructure.



Figure 40: Caractéristiques courant-tension des différentres métallisations testées à faible tension pour l'obtention de contacts ohmiques de type n sur hétérostructure AlInSb/GaInSb avec 65% d'In dans le canal. La distance entre les plots métalliques de la TLM est de 5 µm.

une possible réaction avec le Pd et/ou le Pt. L'Au n'a apparemment pas diffusé à travers la structure. Nous remarquons des phases bien distinctes

- pour le contact Pd(1000 Å)/Pt/Au, le Pd intéragit avec le Pt et l'Au et induit un décollement du contact (en blanc sur l'image et avec le spectre 5). L'augmentation de l'épaisseur de Pd et peut être la raison de ce décollement.
- pour le contact Ti/Au, l'Au traverse le Ti (spectre 8) et intéragit avec la structure (spectre 3).
- pour le contact Pd/Mo/Pt/Au, nous remarquons des phases bien distinctes, la diffusion de l'Au dans les couches en profondeur (spectre 20), une phase exclusivement composé de Sb (spectre 12) et le Pd qui réagit complètement avec les éléments de la structure (e.g. Al, spectre 21). La couche de Mo est bien distincte et empêche l'Au de trop diffuser mais d'après le spectre 20, l'Au traverse la barrière de Mo. Nous avons remarqué que le dépôt de Mo est limité en épaisseur car le métal est très contraint. Ainsi le métal en se relaxant peut créer des failles où l'Au peut alors traverser. Nous avons quand même un meilleur courant donc l'idée de la barrière de diffusion Mo est plûtot favorable.

Nous pouvons voir un effet de la diminution de l'énergie de la bande interdite sur la densité de courant mais pas sur le comportement du contact. Nous pourrions continuer dans ce sens à augmenter le taux d'In et arriver à une hétérostructure AlInSb/InSb comme le groupe Qinetic a réalisé mais nous perdrions les avantages de notre hétérostructure (grande discontinuité de bandes de conduction, une jonction de type I équivalente à celle de l'hétérojonction standard AlInAs/InGaAs,...).

Non ohmicité due à la couche de contact ohmique GalnSb Le courant venant du contact métallique est un courant distribué à la fois à travers l'alliage métal/semi-conducteur et le long de la couche de contact ohmique pour ensuite traverser la barrière et atteindre le canal. Nous avons simulé notre structure de couche à l'aide du modèle Schrödinger-Poisson 1D pour avoir la distribution

des charges à l'intérieur de l'hétérostructure. Nous avons fixé un potentiel de barrière de 0,518 eV pour simuler l'effet de l'air en surface d'après le diagramme de Tiwari ([139]) et l'hypothèse sur l'InAs ([66]). La simulation (Figure 41) montre une répartition classique des charges en particulier dans le canal. La couche de contact ohmique est bien sûr complètement désertée mais une métallisation Pd/Pt/Au peut contacter le canal (métallisation diffusante).



Figure 41: Diagramme de bandes de conduction et de valence pour une hétérostructure $Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb$ ainsi que la concentration d'électrons et de trous dans l'hétérostructure.

Pour vérifier le potentiel de surface par rapport à l'air pour l' $In_{0.5}Ga_{0.5}Sb$, nous avons réalisé une mesure AFM en mode de Kelvin (KFM) [100, 12]. A partir d'une référence (ici l'Au), nous pouvons mesurer un potentiel de barrière effectif de notre surface. Une image du dispositif est présentée Figure 42.



Figure 42: Image montrant le dispositif de mesure de KFM (petit encadré) dans le cas du GaN. La surface GaN est entourée par un contact ohmique qui est lié à un plot d'Au. Ce dernier sert de référence pour la mesure KFM. La topographie de surface du GaN par microscopie à force atomique (AFM) est montrée sur l'image de gauche et l'image KFM à droite.

STRUCTURE HEMT	Al _{0.55} In _{0.45} Sb/ In _{0.5} Ga _{0.5} Sb		
		300 K	77 K
RÉSISTANCE DE CONTACT	(Ω.mm)	0,08	-
RÉSISTANCE DE COUCHE (TLM	 (Ω/□) 	109	-
RÉSISTANCE DE COUCHE (HAL	L) (Ω/□)	92	101,6
MOBILITÉ	(cm ² /V.s)	5840	4920

Table 25: Résultats des mesures de résistances de contact, de résistances carrées de type n pour une hétérostructure des Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb avec un cap layer de 500 Åà 300 K et 77 K.

Le potentiel de surface du $In_{0.5}Ga_{0.5}Sb$ est plus important que celui prévu par le diagramme de Tiwari (0,5-0,6>0,318 eV). Sachant que l'énergie de bande interdite du $Ga_{0.5}In_{0.5}Sb$ est d'environ 0,35 eV, nous avons une accumulation de trous en surface et une totale déplétion des charges négatives au delà de l'épaisseur du cap layer comme le montre la Figure 41.

Nous avons donc décidé d'augmenter l'épaisseur de la couche de contact ohmique, de 50 à 500 Å. Nous avons un comportement de contact ohmique mais les mesures par effet Hall sur des structures adaptées montrent que nous contactons seulement la couche de contact ohmique (voir Table 25), car la mobilité mesurée à 77 K ne varie pas. La couche de contact ohmique n'est pas en cause dans l'obtention des contacts ohmiques.

Non ohmicité due à l'alliage de la métallisation avec la barrière AlInSb Une autre voie explorée pour comprendre ce phénomène est de voir si les alliages formés lors du recuit des contacts métalliques avec la barrière AlInSb sont fortement résistifs. Pour cela nous avons décidé d'utiliser une structure de couche à canal dopé comme le montre la Figure 43. L'idée est de vérifier si un contact entre le GaInSb dopé et le métal est possible au travers de la barrière d'AlInSb. Nous avons 2 dopages au Te, 5×10^{17} /cm³ et 5×10^{18} /cm³. Pour contacter le canal nous avons utilisé un contact métallique diffusant Pd/Pt/Au.

Barrière	AlinSb 200 Å
Canal Te 5 x 10 ¹⁸	⁽¹⁷⁾ /cm ³ GainSb 150 Å
Barrière inférieure	AlinSb 100 Å
Couche tampon métar	norphique AllnSb
Substrat Semi-isolar	t InP

Figure 43: Structure de la couche Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb épitaxiée par MBE avec canal dopé au Te à deux concentrations.

STRUCTURE HEMT	Al _{0.55} In _{0.45} Sb/ n ⁺ -In _{0.5} Ga _{0.5} Sb
résistance de contact ($\Omega.mm$	n) 0,98
résistance de couche (tlm) (Ω/\Box	l) 120
résistance de couche (hall) Ω/\Box	l) 127
mobilité (cm²/V.s	s) 3950

Table 26: Résultats des mesures de résistances de contact, de couche des contacts de type n pour une hétérostructure des $Al_{0.55}In_{0.45}Sb/In_{0.5}Ga_{0.5}Sb$ avec un canal dopé au Te ($5 \times 10^{18}/cm^3$).

Les mesures de TLM et par effet Hall nous ont montré un comportement ohmique des contacts pour un dopage au Te de 5×10^{18} /cm³. Les résultats sont exposés Table 26 et discrimine l'hypothèse des alliages résistifs.

Cependant pour un dopage au Te de 5×10^{17} /cm³, aucun courant n'est mesuré. Il semblerait qu'il existe un dopage minimal pour lequel le comportement des contacts Pd/Pt/Au soit ohmique. Donc il serait intéressant de mesurer le potentiel de barrière entre le canal et le contact métallique diffusant dans le cas du contact Pd/Pt/Au.

Mesure de hauteur de barrière métal-canal D'après la caractéristique I(V) de la Figure 39, nous avons supposé une représentation de diodes en tête-bêche entre les contacts métalliques. En partant de cette idée nous pouvons tout à fait mesurer la hauteur de barrière Schottky qui est l'équivalent du potentiel de barrière ou de surface.

Pour utiliser la méthode de caractérisation de la barrière Schottky, le dispositif doit avoir certaines caractéristiques c'est à dire remplir les conditions suivantes [44]:

- 1. le canal de la couche active doit être faiblement dopé,
- la hauteur de barrière Schottky devra être la plus petite possible pour approcher une résistance de contact spécifique proche d'un contact ohmique, et,
- 3. le transport du courant a lieu entre deux contacts Schottky correspondant à la source et au drain.

Pour la première condition, l'idéal est d'avoir une structure bulk comme dans l'étude de Dubois and Larrieu [44] avec le silicium. Cependant dans notre cas, il s'agit d'une hétérostructure donc nous pouvons penser à un réseau distribué dans la couche active composée de diodes tête-bêche en série avec la résistance de la couche comme le montre la Figure 44a.

Sachant que nous avons mesuré par KFM un potentiel de surface du GaInSb d'environ 0,5 eV, nous pouvons évaluer une épaisseur de déplétion des charges de $\sqrt{\frac{2\varepsilon_{GaInSb}\Phi_{bc}}{qN_D}} = \sqrt{\frac{2\times16.25\times8.8\times10^{-12}\times0.5}{1.6\times10^{-19}\times5\times10^{24}}} = 134$ Å avec ε_{GaInSb} , la permittivité du Ga_{0.5}In_{0.5}Sb, Φ_{bc} , la hauteur de barrière des électrons en surface



(a) Schéma montrant le réseau distribué de diodes tête-bêche en série avec la résistance de couche avant hypothèses de simplification.



Figure 44: Schémas de base servant à la simplification du schéma électrique dans l'hétérostructure afin d'appliquer la méthode de mesure de la barrière Schottky entre le métal et le canal.

du Ga_{0.5}In_{0.5}Sb, N_D, la concentration de dopants dans le Ga_{0.5}In_{0.5}Sb et q, la charge de l'électron. Cette épaisseur de déplétion est plus grande que l'épaisseur du cap layer. Nous pouvons supposer aussi que la barrière Al_{0.55}In_{0.45}Sb est partiellement déplétée et que le contact métal barrière est très résistif.

Nous pouvons alors réduire le schéma électrique à deux diodes tête-bêche en série avec la résistance de couche du canal (Figure 44b).

Pour la deuxième condition, sachant que l'énergie de bande interdite du $Ga_{0.5}In_{0.5}Sb$ non dopée est faible (0,35 eV), les hauteurs de barrière Schottky pour les électrons ou les trous sont faibles. Pour la dernière condition, on part d'un schéma électrique avec deux diodes en têtes bêches en série avec la résistance de la couche. Ces deux diodes Schottky correspondent aux contacts de source et de drain.

La méthode la plus appropriée pour cette structure test est la technique de l'énergie d'activation qui ne nécessite pas de postulat sur la région active d'un point de vue électrique, de même sur la surface d'injection électrique pour caractériser l'interface métal/semi-conducteur. Le courant inverse I_s circulant dans une des jonctions peut être exprimé à partir d'une courbe de type Arrhénius:

$$\ln\left(\frac{I_s}{T^2}\right) = \ln(SA^*) - \frac{q\phi_{b\ eff}}{kT},\tag{2.3}$$

où $\phi_{b \text{ eff}}$ étant la hauteur de barrière Schottky effective incluant les contributions de l'effet tunnel et de la réduction de barrière en lien avec l'induction de la charge image.

Nous traçons ensuite, à une polarisation donnée, le courant I_s/T^2 en fonction de 1000/T dans un graphe semi-logarithmique comme le montre la Figure 45:



Figure 45: Courbe d'Arrhenius à partir de jonctions Schottky têtes bêches. L'énergie d'activation extraite de la pente de la courbe à basses températures caractérise la hauteur de barrière Schottky effective. Chaque courbe est caractérisée par une tension de 100 mV à 2 V.

La pente de la droite moyenne nous donne $\phi_{b \text{ eff}} \approx 0,1$ eV. Comme nous voyons que les courants inverses des diodes et vu les faibles courants, cette hauteur de barrière effective correspond à la barrière des trous. Donc, nous avons une hauteur de barrière des électrons d'environ 0,25 eV. Nous devrions obtenir un comportement de contact ohmique, mais ce n'est pas le cas. L'hypothèse sur la désertion de la couche de contact ohmique doit être fausse et nous mesurons donc un courant au niveau de la couche de contact ohmique, un courant de trous issus du fort potentiel de surface où les trous s'accumulent.

Au vu des essais sur canal dopé, il est possible que la hauteur de barrière entre le métal diffusant et le canal soit très élevée. Il faut donc trouver une métallisation avec une très faible travail de sortie pouvant diffuser vers le canal.

La voie diffusive a montré ses limites, dans l'état actuel. Nous avons donc essayé la voie de l'implantation de dopants pour pouvoir réaliser des contacts ohmiques de type n. Nous allons dans la partie suivante exposer l'étude réalisée sur ces matériaux antimoniés.

La voie de l'implantation

Une autre voie pour réaliser des contacts ohmiques autre que les contacts diffusants est l'utilisation de l'implantation de dopants dans la structure. Dans le cas des matériaux antimoniés, certains éléments VI peuvent être utilisés pour doper n. Au sein de l'IEMN, nous avons le moyen d'utiliser le soufre (S) et le sélénium (Se) pour doper nos structures. Nous avons aussi utilisé un élément V, l'arsenic (As) pour changer la structure de bande de notre hétérostructure.

Tout d'abord, les couches subissent un dégraissage par un passage dans l'acétone et l'alcool ispropylique (IPA) et une désoxydation avec une solution d'acide chlorydrique diluée HCl:H₂O (1:10) pour retirer l'oxyde natif en surface des échantillons. Pour étudier plus particulièrement la résistance de contact, l'implantation est réalisée pleine plaque avec une dose de 5×10^{13} /cm². Avant le recuit flash permettant d'activer les espèces implantées, nous réalisons les structures TLM. Après clivage, chaque échantillon subit un recuit flash pendant une certaine durée. Les données de l'implantation et de recuit sont données dans le Table 27 ci-dessous:

ESPÈCE IMPLANTÉE	ENERGIE D'IMPLANTATION	RECUIT	TEMPS
	(keV)	(°C)	(s)
S	42	450, 500, 550, 600	10
As	80	400, 450, 500, 550	15
Se	80	400, 450, 500, 550	15

Table 27: Conditions expérimentales d'implantation et de recuit des premiers essais d'implantation ionique d'éléments VI (S, Se) et d'élément V (As) pour une dose de 5×10^{13} /cm².

Après recuit flash et lithographie optique, nous réalisons les contacts métalliques avec une séquence Ti(200Å)/Au(3000Å). Après lift-off, la résistance de contact du entre le métal et le caisson d'implantation est mesurée via les TLM.

Les contacts sont ohmiques mais d'après les mesures par effet Hall, qui nous servent à déterminer le taux d'activation des dopants ainsi que le type de charge (n ou p), nos contacts sont p. Les résistances de contact ne descendent pas en dessous de 35 Ω .mm, dans le cas du soufre et de 50 Ω .mm dans le cas de l'arsenic (Table 28 et Figure 46).

ESPÈCE IMPLANTÉE	RECUIT	Rc	R_{\Box} (TLM)	R_{\Box} (Hall)	μ_h	n_h	TYPE DE CONTACT
	$(T^{\circ}(^{\circ}C; t(s))$	(Ω.mm)	(kΩ/□)	(kΩ/□)	(cm ² /V.s)	$(\times 10^{13}/\text{cm}^2)$	OHMIQUE
S	450; 10	36,54	15,8	21,47	7,37	3,943	р
	500; 10	97,95	41,18	42,61	8,88	1,65	р
	550; 10	268,6	67,26	81,85	3,84	1,983	р
	600; 10	812,5	240,47	164,4	0,505	7,514	р
As	400; 15	49,98	12,07	6,983	3,29	7,514	р
	450; 15	119,87	24,36	35,32	30,6	3,943	р
	500; 15	283,86	31,52	80,65	22,6	1,65	р
	550; 15	416,19	39,01	73,66	6,55	1,983	р
Se	400; 15	13,65	4,46	1,356	1,71	256,14	р
	450; 15	16,51	10,48	16,75	19,3	1,93	р
	500; 15	64,56	39,1	39,519	-	-	-
	550; 15	294,92	173,7	176,746	-	-	-
	600; 15	1057,29	320,3	323,611	-	-	-

Table 28: Caractéristiques obtenues par les mesures TLM et par effet Hall après implantation de S, As et Se dans des hétérostructures AlInSb/GaInSb.



Figure 46: Résistance de contact en fonction de la température de recuit d'activation après implantation ionique d'éléments VI (S, Se) et d'élément V (As).

Dans le cas du sélénium, les recuits ont induit une diffusion d'un des éléments de la couche ou du dopant lui même comme le montre la Figure 47 ci-dessous. Dans tous les cas, les échantillons n'étaient pas encapsulés dans un oxyde qui pourrait empêcher ou diminuer la dégradation de la structure après implantation et donc la diffusion observée après recuit rapide.



Figure 47: Image en microscope optique de diffusion d'éléments autour d'un trèfle de Hall dans le cas de l'implantation du sélénium et de l'échantillon ayant subit un recuit d'activation de 400°C. La durée du recuit est de 15 s.

L'étude de l'implantation d'éléments V, l'arsenic et surtout d'éléments VI, le soufre et le sélénium, dans une hétérostructure AlInSb/GaInSb a montré la difficulté d'obtenir des contacts de type n. Nous obtenons des contacts de type p avec des résistances de couche très élévées. Une étude plus poussée en température est nécessaire ainsi que l'introduction d'une étape d'encapsulation
afin d'éviter cette diffusion. Un autre point est la méconnaissance en terme d'implantation dans les structures antimoniées. Pour cela, nous avons décidé d'étudier l'implantation dans les structures ternaires antimoniées bulk non dopées (Figure 48) avec un seul type de dopant, le Se.



Figure 48: Structures antimoniées bulk épitaxiées par MBE.

Nous réalisons le même dégraissage et la même désoxydation. Pour éviter la diffusion des éléments de la structure épitaxiée lors des recuits d'activation, nous avons besoin d'une couche d'encapsulation. Dans le cas du GaInSb, nous déposons par PECVD une couche de nitrure de silicium (Si₃N₄) de 10 nm d'épaisseur. Dans le cas de l'AlInSb, le cap GaInSb de 10 nm d'épaisseur va nous servir de couche d'encapsulation.

La simulation d'implantation du sélénium (Se) dans chaque structure nous permet d'évaluer l'énergie d'implantation de base. Nous gardons la même dose de base de 5×10^{13} /cm².

Après implantation du Se dans chaque structure, nous clivons en plusieurs morceaux afin de réaliser différents recuits d'activation.

Les différents essais d'implantation et de recuits d'activation sont résumés dans le Table 29.

COUCHE	ESPÈCE IMPLANTÉE	ENERGIE D'IMPLANTATION	RECUIT	TEMPS
		(keV)	(°C)	(s)
Ga _{0.5} In _{0.5} Sb bulk	Se	35	450, 500, 550, 600	5
			400, 450, 500, 550, 600	10
$Al_{0.55}In_{0.45}Sb$ bulk	Se	35	400, 450, 500, 550, 600	5
			400, 450, 500, 550, 600	10

Table 29: Conditions expérimentales d'implantation et de recuit d'activation avec une dose de base de 5×10^{13} /cm².

Après les différents recuits, sur les échantillons bulk, nous réalisons les structures TLM et les trèfles de Hall. Le séquentiel de métallisation Ti(200 Å)/Au(3000 Å) est utilisé. Après lift-off, la résistance de contact est mesurée via les TLM et le type de charge associée au courant via le trèfle de Hall.

Avant le dépôt de la séquence de métaux, nous devons retirer la couche d'encapsulation pour les deux types d'échantillons. Pour le $Ga_{0.5}In_{0.5}Sb$, nous éliminons la couche de nitrure de silicium par gravure sèche RIE à base de gaz SF_6 (20 scccm, 20 mTorr, 75 W) et pour l' $Al_{0.55}In_{0.45}Sb$, nous éliminons la couche $Ga_{0.5}In_{0.5}Sb$ par gravure humide à base d'acide tartrique (acide tartrique: H_2O_2 : H_2O , 5.3g:7ml:140ml) durant 20s ([90]).



Figure 49: Résistance de contact en fonction de la température de recuit d'activation après implantation ionique de Se dans le $Al_{0.55}In_{0.45}Sb$ et le $Ga_{0.5}In_{0.5}Sb$.

COUCHE	ESPÈCE	RECUIT	Rc	R_{\Box} (TLM)	R□ (Hall)	μ_h	n _h	TYPE DE CONTACT
	IMPLANTÉE	$(T^{\circ}(^{\circ}C; t(s))$	$\Omega.mm$	$(k\Omega/\Box)$	$(k\Omega/\Box)$	$(\mathrm{cm}^2/\mathrm{V.s})$	$(\times 10^{13}/cm^2)$	OHMIQUE
Ga _{0.5} In _{0.5} Sb bulk	Se	400; 5	2,61	3,898	2,670	149	1,567	р
		450; 5	5,17	3,339	2,626	205	1,159	р
		500; 5	10,26	2,961	9,598	60,8	1,07	p?
		550; 5	11,39	3,844	3,154	166	1,19	р
		600; 5	0,87	0,320	0,322	135	14,32	р
		400; 10	2,37	3,403	3,245	3,76	51,1	p?
		450; 10	4,39	3,572	3,438	2,64	68,8	p?
		500; 10	10,10	3,151	3,03	2,99	68,8	p?
		550; 10	12,70	4,020	3,064	43,5	4,68	p?
		600; 10	1,00	0,350				р
Al _{0.55} In _{0.45} Sb bulk	Se	400; 5	133,66	7,252	-	-	-	-
		450; 5	98,95	7,357	5,619	672	0,165	р
		500; 5	104,96	5,549	5,385	664	0,1745	р
		550; 5	194,45	-	5,376	661	0,1756	р
		600; 5	100,61	8,037	4,696	700	0,1899	р
		400; 10	108,04	6,987	5,535	674	0,167	р
		450; 10	137,83	7,656	5,202	664	0,18	р
		500; 10	99,11	8,731	5,537	665	0,169	р
		550; 10	108,92	7,907	5,476	656	0,173	р
		600; 10	101,08	8,382	0,862	277	0,2608	p

Les résultats sont présentés dans le Table 30.

Table 30: Caractéristiques obtenues par les mesures TLM et par effet Hall après implantation de Se dans des structures AlInSb et GaInSb. Nous remarquons, dans le cas de l'Al_{0.55}In_{0.45}Sb, que la résistance de contact reste constante ($\approx 105 \ \Omega$.mm) comme la résistance de couche ($\approx 7500\Omega/\Box$ (TLM), $\approx 5300\Omega/\Box$ (Hall)) et la concentration de charges ($\approx 1,7 \times 10^{12}/cm^2$) malgré les différentes températures et temps de recuit. Ce qui laisse supposer que la gravure humide a éliminé la couche implantée.

Dans le cas du Ga_{0.5}In_{0.5}Sb, le type de charge reste p dans tous les cas et les résistances de couches sont en assez bonne corrélation entre les deux types de mesures. L'élimination du nitrure de silicium n'a pas posé de problème pour l'élaboration de contacts ohmiques. Mais il faut noter, que la mesure par effet Hall fut difficile sur certains échantillons (notés avec ? dans le Table 30). Un doute en particulier sur les échantillons à 600°C où la résistance de couche diminue, la concentration de charges augmente. Nous pouvons supposer un passage du type p au type n ou une remontée de l'indium caractérisée par l'aspect rugueux.

Bilan

Concernant la réalisation des contacts ohmiques par voie diffusive, il n'est pour l'instant pas possible de réaliser des contacts de type n sur hétérostructure HEMT Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb. Cependant, les différentes études réalisées, au sein de l'IEMN, nous ont donné des indications pour de possibles séquentiels métalliques.

- éviter les contacts à base de métaux à fort travail de sortie, ≥ 5 eV comme le Pd et l'Au,
- éviter l'utilisation de l'Au ou avoir une bonne barrière de diffusion car l'Au réagit très bien avec les antimoniures et augmente le potentiel de barrière entre le métal et le canal, et,
- utiliser des métaux à faible travail de sortie (idéalement, ≤ 4,5 eV que l'on puisse faire diffuser vers le canal comme l'In mais nous devons étudier la méthode de dépôt (en particulier sa mouillabilité en surface du GaInSb).

Concernant l'implantation ionique dans les semi-conducteurs III-V à faible gap, les dommages dues à l'implantation dans ces structures peuvent être autant des donneurs que des accepteurs. L'implantation ionique crée aussi des changements de stoechiométrie locaux influençant l'activation des dopants. Des énergies ≤200 keV sont suffisantes pour l'obtention de transistors à effet de champ ou de jonctions peu profondes.

Les principaux problèmes dus à l'implantation ionique dans les matériaux III-V sont:

- la complexité de la réduction des dommages et de l'activation des dopants,
- la volatilité des éléments V à des températures au dessus de 500°C,
- le lien fort entre le type et la concentration de défauts produits avec les conditions pour de parfaits recuits et activations de dopants, et,

 l'influence des paramètres d'implantation, en particulier la dose et la température d'implantation sur la distribution des dommages résultant de l'implantation.

Une étude bibliographique plus poussée a permis de voir les différents essais d'implantation dans les matériaux antimoniés comme le GaSb et l'InSb. Le Table 31 récapitule les différentes études d'implantation dans les matériaux antimoniés.

Matériau	Espèce implantée	Energie d'implantation (keV)	Dose (ions/cm ²)	Température d'implantation (°C)	Recuit (°C)	Temps (min)	Méthode d'analyse	Réf.
n-InSb	Be	140	7×10 ¹⁴	Tamb				
	Be	140	5×10 ¹⁵	Tamb				
	Mg	320	1,5×10 ¹³	Tamb			SIMS	[37]
	Mg	320	1×10 ¹⁴	Tamb				
	Mg	320	7×10 ¹⁴	Tamb				
p-InSb	Te	30	2×10 ¹³	Tamb	100-300,320	10,20		
	Te	30	1,8×10 ¹⁴	Tamb	100-300,320	10,20	I - V	[155]
	Te	30	1,5×10 ¹⁵	Tamb	100-300,320	10,20		
n-InSb	Be	100	5×10 ¹⁴	Tamb	300-500	0,5-1	SIMS, AES	[86]
							RBS	
n-InSb	Be	200	10 ¹⁵	Tamb	-	-		
	Mg	200	10 ¹⁴	Tamb	-	-	SIMS	[56]
	Mg	200	10 ¹⁵	Tamb	-	-		
n-InSb	Be	200	10 ¹⁵	Tamb	300-450	30-240	SIMS	[==]
	Mg	200	5×10 ¹⁴	Tamb	300-450	30-240	511115	1551
p-InSb	S	30	n.c.	n.c.	n.c.	n.c.	n.c.	[115]
n(p)-GaSb	Mg	100	5×10 ¹³ -10 ¹⁵	Tamb	400-600	10(s)-2	SIMS,TEM	[110]
n(p)-GaSb	Si	100	5×10 ¹³ -10 ¹⁵	Tamb	400-600	10(s)-2	RBS	[110]
p-InSb	S	40	n.c.	n.c.	n.c.	n.c.	n.c.	[59]
p-InSb	Ne	n.c.	n.c.	T _{amb} ,250-300	250-300	n.c.	n.c.	
	Ar	n.c.	n.c.	T _{amb} ,250-300	250-300	n.c.	n.c.	[17]
	Kr	n.c.	n.c.	T _{amb} ,250-300	250-300	n.c.	n.c.	
InSb	Н	n.c.	n.c.	T _{amb} ,250-300	250-300	n.c.	n.c.	[77]

Table 31: Conditions expérimentales d'implantation et de recuit d'activation

Au vu de la littérature (Table 31), nous pouvons établir les conditions de futurs essais d'implantation ionique du Se dans les composés antimoniés ternaires Ga_{0.5}In_{0.5}Sb et Al_{0.55}In_{0.45}Sb et des récuits d'activation qui sont

- une énergie d'implantation ≤100 keV,
- un intervalle de dose d'ions minimal et maximal pour éviter l'amorphisation de la couche, entre 5×10^{13} /cm² et 1×10^{15} /cm²,
- une couche d'oxyde d'encapsulation comme le SiO_2 ou le Si_3N_4 de faible épaisseur, 20 nm par exemple.
- une température d'implantation assez élevée pour éviter que la couche devienne amorphe mais pas trop élevée pour éviter la diffusion des éléments V, ici l'Sb. Donc une température ≤ 300°C, et,

une température de recuit d'activation minimale, ceci en fonction de la température d'implantation et une température maximale, toujours par rapport à la diffusion des éléments V. D'après les études référencées dans le Table 31, cet intervalle de températures peut être situé entre la température d'implantation et 450°C. Nous pourrons cependant faire varier les temps de recuit à des temps de l'ordre de dizaines de minutes.

Malheureusement, l'implantation en température n'est pas encore enviseageable au sein de l'IEMN mais cela reste une bonne piste pour obtenir des contacts ohmiques de type n sur une hétérostructure HEMT Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb.

2.3.4 Définition de la grille et isolation

Au vu des résultats obtenus d'après l'étude sur les contacts ohmiques, il n'y a pas eu de réelles études sur les autres briques technologiques pour la fabrication des HEMTs AlInSb/GaInSb. Les paragraphes suivants donnent quelques résultats sur les étapes de la définition de la grille et la gravure d'isolation.

Définition de la grille

Cette étape suit le même protocole que sur les HEMTs AlSb/InAs à la différence que la gravure humide pour définir le pied de grille utilise un mélange d'acide tartrique [90]. Aucune étude de recess de grille ne fût réalisée.

Gravure mesa

Pour réaliser l'isolation du composant, nous avons les deux types de gravure: sèche et humide. Pour la gravure humide, nous utilisons la même solution à base d'acide fluorhydrique que pour l'isolation des HEMTs AlSb/InAs.

Concernant la gravure sèche, nous avons aussi utilisé la gravure RIE & ICP à partir de gaz chlorés (BCl₃, Cl₂, Ar) dans les conditions: BCl₃= 5 sccm, $Cl_2= 5$ sccm, Ar= 20 sccm, P_{RIE}= 100 W, P_{ICP}= 200 W et température de 7°C. Nous nous arrêtons après cette gravure à la couche tampon AlInSb (Figure 50). Malheureusement, cette couche est conductrice.

La gravure jusqu'au substrat InP est possible mais le masque de résine protégeant la zone active devient très difficile à enlever.

2.3.5 Bilan

Dans cette section de chapitre, nous avons vu qu'il est très difficile de réaliser des contacts ohmiques de type n que ce soit par voie diffusive ou par voie de l'implantation ionique. Cependant ces voies ne sont pas entièrement épuisées comme par exemple l'implantation ionique en température. Les autres étapes technologiques de fabrication de HEMT AlInSb/GaInSb restent encore à être étudiées mais il serait inutile de les étudier tant que le verrou technologique des contacts ohmiques reste présent.



Figure 50: Image MEB gravure d'isolation d'hétérostructure AlInSb/GaInSb par RIE & ICP.

2.4 CONCLUSION SUR LES HEMTS

Les transistors HEMTs AlSb/InAs ont un énorme potentiel pour des applications hautes performances fréquentielles à basse consommation, aux environs du GHz/mV. L'étude en température nous a permis d'étudier l'influence de la mobilité sur les performances à faible polarisation. Nous avons remarqué une augmentation des fréquences de coupure f_t et f_{max} d'un facteur 2 pour une mobilité trois fois plus élevée à V_{DS}= 100 mV (f_t= 55 GHz et f_{max}= 52 GHz à 300 K à f_t= 92 GHz et f_{max}= 107 GHz à 300 K). D'après ce qui a été exposé dans la section 1.2, nous sommes en régime de transition en entre le régime linéaire et le régime de saturation expliquant que les fréquences n'ont pas augmenté d'un facteur 3 comme la mobilité.

En diminuant le rapport d'aspect (par changement de type de dopant dans le plan de dopage) et la distance source-drain, nous avons atteint une fréquence de transition f_t = 250 GHz à V_{DS} = 250 mV qui est l'état de l'art actuel pour les transistors HEMTs AlSb/InAs pour une longueur de grille de 120 nm. Du fait d'une résistance de grille élevé, la fréquence maximale d'oscillation f_{max} = 202 GHz inférieure à l'état de l'art.

Les domaines des objets communicants et de la cryo-électronique (LNA) peuvent à priori intégrer ce type de dispositif mais des études à ultra faible consommation pourraient montrer ces potentialités faible consommation. Contrairement aux MOSFETs, les HEMTs et surtout les hétérostructures AlSb/InAs souffrent de forts courants de grille mais aussi d'une limitation concernant la distance entre la grille et le canal.

Le processus de fabrication des HEMTs Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb s'arrête sur l'étape des contacts ohmiques. Deux voies pour l'obtention de contacts ohmiques furent explorées, la voie diffusive et la voie de l'implantation. Cependant, l'étude électrique et physique de ces contacts a ouvert d'autres pistes comme l'implantation en température ou l'utilisation de séquentiels métalliques à faible travail de sortie. Donc la filière Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb reste encore exploitable.

TECHNOLOGIE DE FABRICATION ET CARACTÉRISATION DU MOSFET III-V

La réalisation des transistors MOSFET III-V rentre dans le cadre d'un projet de l'Agence National de la Recherche (ANR), appelé MOS35, en partenariat avec le CEA-LETI de Grenoble, l'IEF d'Orsay, la société OMMIC et le CIMAP de Caen.

L'objectif en permière instance du projet MOS₃₅ est la réalisation de transistors MOSFETs à base de matériau semi-conducteur $In_{0.53}Ga_{0.47}As$, auto-alignés dont l'oxyde est l'alumine (Al₂O₃) déposée par ALD, pour des applications hautes performances à faible consommation. Les raisons de base de ce choix de ce dispositif sont les suivantes:

- MOSFET: le but est la diminution du courant de fuite, qui est un problème inhérent aux HEMTs (entrant dans la formulation de puissance de consommation, P_{consum}) par l'utilisation d'un oxyde.
- In_{0.53}Ga_{0.47}As: il s'agit d'un matériau mâture, et la connaissance acquise du groupe Epiphy à l'IEMN sur la croissance de ce matériau nous a dirigé vers ce choix.
- Al₂0₃: la littérature sur cet oxyde de base est assez conséquente, dont l'EOT (Epaisseur d'Oxyde Equivalente) permet d'atteindre l'objectif de longueur de grille 50 nm.
- auto-aligné: le but est d'être proche des méthodes industrielles utilisant principalement la technologie auto-alignée (e.g. CMOS Silicium)

Ainsi, dans notre étude, la section 3.1 concerne la fabrication de nos MOSFETs In_{0.53}Ga_{0.47}As auto-alignés et la section 3.3, leurs caractérisations électriques.

3.1 ETAPES TECHNOLOGIQUES DE FABRICATION DU MOSFET

3.1.1 *Structure de couche*

Epitaxie

La structure de couche de type p, présentée Figure 51a, matériaux de base servant à la fabrication des MOSFETs est réalisée par MBE au sein de l'IEMN par le groupe EPIPHY. Ils utilisent un bâti à sources solides comme le montre la Figure 51b.

L'épitaxie est réalisée sur un substrat InP de 2 pouces. Elle consiste en une première couche d' $In_{0.53}Ga_{0.47}As$ de 500 nm en accord de maille avec InP dopée au carbone (C) à 1×10^{19} /cm³ (dopage p), qui servira de contact substrat ou 'body contact'. Il sera expliqué section 3.1.7, pourquoi nous avons choisi un tel dopage. On termine cette épitaxie par une nouvelle couche d' $In_{0.53}Ga_{0.47}As$ de 300 nm dopée au carbone (C) à 1×10^{17} /cm³, qui correspond à la couche



(a) Epitaxie pour la réalisation de MOSFET par MBE.

(b) Bâti d'EJM (MBE) à sources solides du groupe EPIPHY de l'IEMN.

Figure 51: Réalisation de la couche à base d' $In_{0.53}Ga_{0.47}As$ par MBE.

active. Les raisons de ce dopage vont être expliquées dans la paragraphe suivant par des simulations réalisées par Mr. Ming Shi dans le cadre du projet MOS₃₅.

Simulations

Des simulations en fonction du dopage de la couche active ont été réalisées au sein de l'IEF d'Orsay qui nous ont permis de fixer le dopage du substrat In_{0.53}Ga_{0.47}As.

La structure simulée est donnée Figure 52. Elle est constituée de couches $In_{0.53}Ga_{0.47}As$ (idem que la Figure 51a), d'un oxyde Al_2O_3 de 8 nm (EOT = 3 nm) et d'une grille en Nitrure de Tantale (TaN).



Figure 52: Structure de couche simulée par l'IEF d'Orsay.

L'EOT obtenu est d'environ 3 nm. Le potentiel de bandes plates (Flat-Band) est de -0,5 V.

Le calcul numérique autocohérent des équations de Schrödinger et de Poisson permet de déterminer la densité de charges et la capacité de grille. Le modèle prend en compte le diagramme d'énergie multibande de In_{0.53}Ga_{0.47}As.



(a) Capacité de grille en régime d'inversion en fonctionde de la tension de grille soustraite de la tension de bandes plates pour différents dopages du substrat.



Figure 53: Résultats de simulation de la commande de charge et de la densité des électrons en régime d'inversion d'une capacité MOS type p pour un EOT d'environ 3 nm et utilisant une grille de TaN (même travail de sortie que Ta).

D'après les Figures 53a et 53b, nous remarquons bien que l'inversion se produit à V_G = 0,017 V pour un dopage de 10¹⁷/cm³, ce qui est idéal pour notre application du fait que le dispositif MOSFET sera non passant ou normally off. Cette valeur est en accord avec la tension de bandes plates de -0,5 V. Alors que pour un dopage de 10¹⁸/cm³, la tension de seuil V_{th} se trouve à une tension de grille de 0,45 V environ ce qui n'est pas envisageable pour des applications faible tension. En dessous de 10¹⁷/cm³, la tension de seuil ne varie quasiment plus, ce qui est cohérent avec sa définition. Toutefois, de trop faibles valeurs de dopage vont influencer fortement le courant inverse des jonctions pn, et donc le courant I_{off} dans nos dispositifs MOSFETs.

Bien que l'objectif de notre étude ne soit pas numérique, le courant sous le seuil doit être maintenu faible. C'est pourquoi nous avons fixé la densité d'accepteurs de la couche active InGaAs à 10^{17} /cm³.

Nous pouvons constater sur le graphe de la Figure 53a une remontée de la capacité de grille au delà de V_{GS} = 1,5 V. Cet effet est attribué à l'apparition de charges en vallée latérale L. En vallée L, la masse effective est plus élevée, ce qui n'est pas favorable pour la mobilité électronique.

3.1.2 Vue générale des étapes

La Figure 54 présente les différentes étapes de fabrication du MOSFET $In_{0.53}Ga_{0.47}As$ auto-aligné fonctionnant en inversion. Voici, ci-dessous, le déroulement des étapes:

- A. Le dégraissage et le traitement de surface de l'In_{0.53}Ga_{0.47}As (Figure 54b, réalisé au CEA-LETI à Grenoble),
- B. Le dépôt de l'oxyde, l'alumine (Al₂O₃), par ALD (Figure 54c, réalisé au CEA-LETI à Grenoble),
- c. Le dépôt de Tantale (Ta) par pulvérisation cathodique (Figure 54d, réalisé à l'IEMN),
- D. La réalisation du masque de gravure du Ta par lithographie électronique (Figure 54e, réalisée à l'IEMN),
- E. La gravure du Ta par ions réactifs (RIE) (Figure 54f, réalisée à l'IEMN),
- F. L'implantation ionique de silicium (Si) à faible énergie (Figure 54g, réalisée à l'IEMN),
- G. Le dépôt de nitrure de silicium (Si₃N₄) par PECVD et la gravure anisotrope du Si₃N₄ par RIE pour la réalisation des espaceurs ou 'sidewalls' (Figure 54h, réalisés à l'IEMN),
- H. L'implantation ionique de silicium (Si) à forte énergie (Figure 54i, réalisé à l'IEMN) qui sera suivie d'un recuit d'activation des dopants,
- La réalisation des contacts ohmiques de type n source et drain par lithographie électronique qui sera suivie du dépôt métallique par évaporation et d'une dissolution du masque de résine dans un solvant appelé procédé 'lift-off' (Figure 54j, réalisé à l'IEMN),
- J. L'isolation du composant MOSFET par gravure humide à travers un masque de résine réalisé par lithographie optique (Figure 54k, réalisée à l'IEMN),
- κ. La réalisation des contacts ohmiques de type p du substrat par lithographie optique qui sera suivie du dépôt métallique par évaporation et du procédé 'lift-off' (Figure 54l, réalisée à l'IEMN), et,
- L. La réalisation des plots d'épaississement par lithographie optique qui sera suivie du dépôt métallique par évaporation et du procédé 'lift-off' (réalisée à l'IEMN).

L'ensemble de ces étapes est détaillée dans la suite de ce chapitre.



Figure 54: Etapes de fabrication du MOSFET In_{0.53}Ga_{0.47}As auto-aligné.

La Figure 55 montre les différents dispositifs qui seront réalisés. Le masque 'mosfet', réalisé au sein de l'IEMN regroupe:

- des transistors (MOSFET) à deux doigts de grille,
- des capacités (CAPAMOS) et des structures de mesure de jonction p n,
- un 'trèfle de Hall' pour mesurer la concentration et la mobilité des électrons dans les caissons d'implantation,
- des échelles de TLM pour mesurer la résistance de contact ainsi que la résistance de la couche des caissons d'implantation et des échelles d'isolation des composants, et,
- des structures RF passives de type circuit ouvert et court-circuit pour réaliser la méthode dite d''épluchage' afin d'obtenir les paramètres S dans le plan du transistor.



Figure 55: Masque 'mosfet' montrant les transistors de longueurs de grille et de distances source-drain différentes .

Concernant le transistor MOSFET, différentes dimensions sont définies dans le masque, comme le montre la Figure 56,

- la longueur de grille, L_G: 50, 100, 200, 300, 500 nm et 1 μ m,
- la distance source-grille, L_{SG} ou grille-drain, $L_{GD}\colon$ 100, 200, 500 nm et 1 $\mu m,$ et,
- le développement W: 2×15 , 2×25 , $2 \times 50 \mu m$.

Dans les paragraphes suivants, nous allons détailler les étapes de fabrication du MOSFET In_{0.53}Ga_{0.47}As.



Figure 56: Zoom d'un transistor du masque 'mosfet' avec les différentes longueurs, L_{SD}, la distance source-drain, L_G, la longueur de grille, L_{SG}=L_{GD}, respectivement la distance source-grille et la distance grille-drain.

3.1.3 Traitement de surface et dépôt d'oxyde

Comme il a été dit précédemment, le traitement de surface de notre épitaxie et le dépôt de notre oxyde d'alumine sont réalisés au sein du CEA-LETI, la ressource ALD n'étant pas disponible aux débuts des travaux sur le MOSFET à l'IEMN. Ayant de sérieuses connaisances et d'énormes ressources concernant la fabrication pré-industrielle voire industrielle des MOSFETs Si sur 200 et 300 mm, nous avons fait appel à leur expérience pour mettre au point le dépôt d'oxyde par couches atomiques (ALD) sur les matériaux III-V et plus spécifiquement sur In_{0.53}Ga_{0.47}As. Une caractérisation par X-ray Photoemission Spectrometry, *Spectrométrie de Photoélectrons induits par rayons X* (XPS) et Atomic Force Microscopy, *Microscopie par Force Atomique* (AFM) sera aussi effectuée au sein de ce laboratoire.

Dépôt d'oxyde par ALD

L'ALD est un procédé de dépôt de couches atomiques. Le principe consiste à exposer une surface successivement à différents précurseurs chimiques afin d'obtenir des couches ultra-minces. L'ALD est similaire en terme de chimie à la Chemical Vapor Deposition, *Dépôt Chimique en phase Vapeur* (CVD), excepté le fait que l'ALD scinde la réaction en CVD en deux demi-réactions permettant d'utiliser les précurseurs séparément. Comme il est possible de séparer en deux réactions, la croissance de la couche atomique est facile à contrôler, monocouche par monocouche (~ 1 Å de précision). Entre deux réactions des précurseurs, une purge des gaz précurseurs se fait à l'aide d'un flux de gaz d'argon ou d'azote appelé 'pulse' (terme pour chaque flux de gaz et précurseurs) éliminant l'excès de précurseurs et évitant des réactions parasites.

L'ALD permet de déposer des matériaux de tout type comme les oxydes (e.g. Al₂O₃, HfO₂, TiO₂, ZnO, ...), les nitures métalliques (e.g. TiN, TaN, WN, ...), les métaux (e.g. Ru, Ir, Pt).

Comme le montre la Figure 57, la croissance des films par ALD se fait par cycle qui consiste en 4 étapes:

- 1. Exposition au premier précurseur,
- 2. Purge pour l'évacuation des précurseurs non réagits et les gaz créés,
- 3. Exposition au deuxième précurseur, et,
- 4. Purge pour l'évacuation des précurseurs non réagits et les gaz créés.



Figure 57: Schéma d'un cycle ALD pour l'obtention d'une monocouche d'alumine à l'aide de deux précurseurs, l'eau (H₂O) et le TriMéthyl Aluminium (TMA).

Pour notre composant, nous déposons 8 nm d'Al₂O₃ ce qui correspond à environ 91 cycles à partir de Triméthyl Aluminium (Al(CH₃)₃) et d'eau (H₂O) comme précurseurs. La Figure 58 constitue un suivi de la croissance par AFM de l'Al₂O₃ en fonction du nombre de cycle. Nous pouvons voir que la couche devient uniforme après un certain nombre de cycles (sur l'image, 19 cycles = 2 nm). Cependant, le nombre de cycles pour atteindre cette uniformité dépend de la mouillabilité de la surface car nous commençons par un cycle d'eau donc le traitement de surface avant l'ALD est important. De plus ce traitement de surface aura un effet sur la qualité 'électrique' de l'oxyde et en minimisant les parasites pouvant amener d'un point de vue électrique des charges d'interface entre l'oxyde et le semi-conducteur.



Figure 58: Suivi par images AFM de croissance par cycles ALD de l'Al $_2O_3$ sur In $_{0.53}Ga_{0.47}As$.

Traitement de surface

Le traitement de surface avant le dépôt de l'oxyde par ALD est important car il permet de réduire les défauts d'oxyde à l'interface qui auraient une influence notable sur les performances électriques du transistor (e. g. la densité de défauts d'interface, D_{it}) mais aussi sur la croissance de l'oxyde. Les paragraphes suivants vont nous permettre de comprendre l'origine des défauts d'interface et de déterminer les traitements de surface que nous pouvons utiliser pour les éliminer ou minimiser leur densité.

Origine du D_{it} La haute densité de charges ou de pièges (D_{it}) en surface des semi-conducteurs est la cause principale de dysfonctionnement des différents types de contacts métal/oxyde/semi-conducteur (MOS) et métal/isolant/semi-conducteur (MIS). Dans le cas des semi-conducteurs III-V, l'origine est attribuée à:

- la présence d'oxydes natifs, pouvant être porteurs de charges ou même conducteurs (As₂O₅, As₂O₃, Ga₂O₃, Al₂O₃ et In₂O₃) [162] ou,
- la présence de liaisons pendantes ou de matériaux élémentaires qui n'ont aucune liaison avec d'autres atomes et donc possédant une charge libre (As⁰) [101], ou
- la présence de polluants due aux conditions environnementales comme par exemple le carbone [74].

Techniques de passivation Le phénomène de pièges d'interface sur les matériaux III-V est très important et il est donc nécessaire d'éliminer le plus possible les causes de ces pièges à l'aide d'un traitement adéquat avant le dépôt d'oxyde par ALD. Ce traitement de surface est appelé 'passivation'.

Il existe différents types de passivation permettant l'élimination de ces oxydes défauts comme:

- l'utilisation des solutions humides:
 - les bases: l'ammoniaque (NH₄OH), les solutions soufrées ((NH₄)₂S_x, ...) [6, 16, 53, 111, 130, 46, 101, 112, 162, 74],
- les acides: l'acide chlorhydrique (HCl), l'acide phosphorique (H₃PO₄).
- l'utilisation des plasmas avec des gaz comme:
 - le silane et l'ammoniaque (SiH₄-NH₃) [33],
 - la phosphine (PH₃) [8₃].
- l'utilisation des UV-ozone suivi d'une désoxydation [43, 144, 42].

Les techniques de passivation sont nombreuses, en particulier l'utilisation des solutions soufrées mais ces dernières années les méthodes par plasma ont fait leurs apparitions et apportent de très bons résultats.

Pour notre étude, les techniques qui viennent d'être citées sont à titre indicatifs car pour raison de pollution du bâti ALD au CEA-LETI qui est une ressource quasi-industrielle, les solutions chimiques soufrées et les techniques de plasma n'ont pas pu être testées. Nous nous sommes donc dirigés vers une solution simple qu'est l'utilisation des bases et des acides, respectivement, NH_4OH et HCl. **Analyses des traitements NH**₄**OH et HCI** L'étude de l'effet du traitement de surface à base de NH₄OH et HCl est basée sur la référence [125]. Olivier Desplats du CEA-LETI s'est inspiré de ces travaux. Pour caractériser les surfaces après traitement par XPS et AFM, une fine couche d'oxyde d'Al₂O₃ de 3 nm est déposée par ALD empéchant l'oxydation de la surface et permettant une meilleure manipulation lors des mesures.

D'après Shin et al. [125], le passage dans une solution de HCl et ensuite dans une solution de NH₄OH permet de réduire en grande partie les oxydes natifs, l'oxyde d'Arsénic (As₂O₃), l'oxyde d'Indium (In₂O₃) et l'oxyde de Gallium (Ga₂O₃). Un recuit à 380°C permet d'éliminer As₂O₃ au détriment d'une augmentation de Ga₂O₃. Sachant que dans notre processus de fabrication, le bilan thermique peut atteindre 750°C, la recroissance des oxydes natifs devraient être un problème majeur dans l'augmentation du D_{it}.

O. Desplats s'est basé sur cette solution avec HCl et NH₄OH et voici, dans le Table 32 les différents essais réalisés et caractérisés par AFM et XPS:

Comme le montre les images AFM, les couches d'alumine sont discontinues dans le cas où le traitement est à base de HCl. La raison vient de la mouillabilité de la surface de l'In_{0.53}Ga_{0.47}As après traitement de surface. Lors d'un traitement de surface à base d'HCl, les oxydes natifs laissent place à des liaisons Ga/In-Cl rendant la surface hydrophobe. Comme le cycle d'ALD commence par un pulse de précurseur H₂O, il y a moins de création de liaisons OH en surface permettant ensuite une réaction lors du second pulse de Al(CH₃)₃. On a alors croissance d'ilôts d'alumine donc une discontinuité de la couche. Le Table 33 montre les mesures d'angle de contact par le test de la goutte d'eau caractérisant la mouillabilité de la surface de l'In_{0.53}Ga_{0.47}As.



Table 32: Résultats des différents traitements de surface réalisés sur In_{0.53}Ga_{0.47}As caractérisés par AFM (dimensions balayage: 5 μ m \times 5 μ m) et XPS au sein du CEA-LETI. 3 nm d'Al₂O₃ est déposée par ALD.

Les relevés XPS montrent quand à eux une présence encore importante d'oxydes natifs de type InO_x et GaO_x mais les oxydes d'As ont été complètement éliminés. Pourtant si l'on se reporte à la Figure 59, sans recuit l'oxyde d'arsénic est encore présent pour un traitement HCl et NH₄OH. L'explication vient de l'élimination lors des premiers cycles d'ALD de cet oxyde. Il s'agit d'un processus d'échange de ligands lors des pulses de Al(CH₃)₃ aussi appelé 'self-cleaning'.

ESSAI	ANGLE DE CONTACT	MOUILLABILITÉ
oxyde natif	$\sim 55^{\circ}$	Hydrophobe
HCl (50%), 5 min	$\sim 62^{\circ}$	Hydrophobe
HCl (6%), 5 min	$\sim 69^{\circ}$	Hydrophobe
HCl (6%), 5 min,	\sim 52 $^{\circ}$	Hydrophobe
NH4OH (4%), 2 min		
NH4OH (4%), 10 min	$\sim 15^{\circ}$	Hydrophile
NH4OH (4%), 15 min	$\sim 20^{\circ}$	Hydrophile
NH4OH (50%), 2 min	$\sim 15^{\circ}$	Hydrophile

Table 33: Résultats de mouillabilité caractérisée par l'angle de contacts des différents traitements de surface réalisés sur $In_{0.53}Ga_{0.47}As$. La surface est hydrophile lorsque l'angle de contact $<45^{\circ}$ et hydrophobe lorsque l'angle de contact $>45^{\circ}$.





D'après les Tableaux 32 et 33, la solution NH₄OH diluée seule donne les meilleures résultats et nous avons décidé de l'utiliser pour nos traitemens de surface dans le processus de fabrication du MOSFET InGaAs.

3.1.4 Définition de la grille

Dans le processus de fabrication des MOSFET III-V, l'étape de définition de la grille est importante, surtout pour la réalisation de transistors autoalignés. La grille doit être réfractaire pour supporter les températures de recuit d'activation des dopants après l'implantation et la gravure du métal doit permettre l'obtention de flancs verticaux pour la réalisation des espaceurs en nitrure de silicium (Si₃N₄).

Le protocole de définition de la grille est défini selon trois étapes:

- le dépôt du métal par pulvérisation cathodique,
- la lithographie électronique pour la définition de masque servant à définir les grilles en utilisant une résine négative, et,
- la gravure sèche par RIE et/ou ICP du métal à travers le masque.

Dans notre cas, le métal de grille correspond au Tantale (Ta) déposé par pulvérisation cathodique. La définition de la grille est réalisée par lithographie électronique à l'aide d'une résine négative, l'Hydrogen SilsesQuioxane (HSQ) et par gravure sèche RIE à l'aide du mélange de gaz (SiCl₄, Cl₂ et Ar). Le but de l'étude est de définir des grilles de faible longueur, typiquement de 50 nm à 1 μ m.

Dépôt de Tantale par pulvérisation cathodique

Le Ta est déposé par pulvérisation cathodique selon les conditions suivantes: 200 W, Ar 30 sccm, 5 min. Ces conditions de pulvérisation nous permettent d'obtenir un dépôt uniforme de 200 nm d'épaisseur. La résistivité du Ta déposé a été évaluée à $1,78 \times 10^{-6} \Omega$.m.

Défintion du masque par lithographie électronique

Pour la lithographie électronique, on utilise une résine négative, l'Hydrogen SilsesQuioxane (HSQ) qui a la propriété après insolation électronique de se transformer en oxyde de silicium hydrogéné (SiOH). Cette résine possède une excellente résolution. La révélation de la résine se fait par une solution d'Hydroxyde de TetraMethylAmmonium (TMAH). Nous avons déposé de la HSQ (Fox 16) d'une épaisseur de 200 nm selon les conditions de tournette (v = 5000 tr/min, a = 3000 tr/(min.s), t = 60 s). On recuit 1 minute à une température de 80°C. Le groupe ANODE a beaucoup travaillé sur cette résine. La dose de base d'électrons et des coefficients de correction qui nous permettront d'obtenir les longueurs de grille désirées, ont été optimisés à partir du masque appelé 'hsqetchprofile' (Figure 60).



Figure 60: Masque 'hsqetchprofile' des lignes de largeur 3 mm et de longueurs 25, 50, 75 et 100 nm.

Le zoom de la Figure 60 montre les différentes longueurs, de 25 à 100 nm pour une largeur de 3 mm. Pour chaque paquet de lignes d'une longueur donnée, les lignes sont espacées de plusieurs distances pour évaluer l'effet de proximité lors du masquage électronique. Deux essais de variation de dose au masqueur électronique ont été réalisés lors du masquage électronique afin d'obtenir des paramètres pour avoir des lignes de SiOH avec des flancs droits:

- à une tension d'accélération de 100 keV, une dose de base de 5700 μ C/cm², avec un pas de 200 μ C/cm², et,
- à une tension d'accélération de 100 keV, une dose de base de 4000 μ C/cm², avec un pas de 100 μ C/cm².

Dans le premier essai, la révélation par la TMAH fait apparaître des lignes avec des longueurs beaucoup plus grandes que prévues, signe d'un surdosage d'électrons (Figure 61) à commencer par la première dose (5700 μ C/cm²). Nous notons aussi un évasement des lignes de HSQ.



(a) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 25 nm sous une dose de base de 5700 μ C/cm² et de longueur réelle de 34 nm environ.



(b) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 50 nm sous une dose de base de 5700 μ C/cm² et de longueur réelle de 66 nm environ.



(c) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 75 nm sous une dose de base de 5700 μ C/cm² et de longueur réelle entre 90 et 110 nm.



(d) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 100 nm sous une dose de base de 5700 μ C/cm² et de longueur réelle entre 105 et 120 nm.

Figure 61: Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 25, 50, 75 et 100 nm sous une dose de base de 5700 $\mu C/cm^2.$

En diminuant énormément la dose de base, dans le deuxième essai, la révélation par la TMAH fait apparaître des lignes avec des longueurs quasiégales à celles prévues (Figure 62) à commencer par la première dose (4000 μ C/cm²). La dose correspondante à la bonne longueur de la ligne nous permet d'évaluer le coefficient de correction C par rapport à la dose de base de départ, ici, 4000 μ C/cm². L'évasement des lignes de HSQ est beaucoup moins prononcé qu'auparavant.





(a) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 25 nm sous une dose de base de 4000 μ C/cm² et un coefficient de correction C de 1,45.





(c) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 75 nm sous une dose de base de 4000 μ C/cm² et un coefficient de correction C de 1,05.



(d) Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 100 nm sous une dose de base de 4000 μ C/cm² et un coefficient de correction C de 1,12.

Figure 62: Ligne de HSQ insolée et révélée à la TMAH de longueur sur masque de 25, 50, 75 et 100 nm sous une dose de base de 4000 μ C/cm² et différents coefficients C.

La définition des motifs de HSQ est beaucoup plus délicate pour des longueurs sub-100 nm. Sachant que nous voulons des grilles de 50 nm à 1 μ m, nous avons réalisé une deuxième série d'essais de dosage pour des longueurs jusque 1 μ m et nous avons remarqué que la dose de base fixe de

4000 μ C/cm² sans coefficent de correction C est suffisante pour des longueurs de grille au dessus de 200 nm.

Définition de la grille par gravure sèche du tantale

Après la définition des lignes de HSQ, nous réalisons la gravure sèche à ions réactifs (RIE) à base du mélange de gaz SiCl₄, Cl₂ et Ar. Nous avons bénéficié de l'expérience du groupe Microélec Si à l'IEMN pour la gravure du Ta. Nous avons procédé aux conditions de gravure suivantes: SiCl₄, Cl₂, Ar (5, 10, 15 sccm) à une pression de 3 mTorr pour une puissance de 30 W. Ceci est réalisé dans un bâti OXFORD Plasmalab System100 double chambre où il est possible de coupler RIE et ICP.

Nous avons cependant relevé le problème de fin de gravure du tantale à cause de la faible selectivité entre le Ta et le GaAs. Loin des motifs de HSQ dont la vitesse de gravure est estimée à 10 nm/min, le Ta se grave assez bien. Cependant lorsque l'on se rapproche du motif, nous remarquons que le Ta ne se grave pas à la même vitesse que celle loin du motif. La Figure 63 montre la gravure du Ta sur GaAs. Nous remarquons bien cette différence de vitesse de gravure loin et proche du motif HSQ du fait de cette faible selectivité. Nous avons tout de même évalué la vitesse de gravure du Ta entre 25 et 40 nm/min.



Figure 63: Image MEB de gravure du Ta sur GaAs après gravure RIE.

Dans une deuxième série d'essais, nous déposons une couche d'arrêt, l'alumine (Al_2O_3) déposée par ALD de 10 nm d'épaisseur. Selon les mêmes conditions en RIE, nous obtenons une vitesse de gravure de 2 nm/min pour l'Al₂O₃. En calibrant le temps de gravure, on a pu définir les grilles de Ta comme le montre la Figure 64. La gravure du Ta proche du masque HSQ est alors possible grâce à l'Al₂O₃ qui nous sert de couche d'arrêt et nous donne des flancs bien droits.





(a) Gravure sèche du Ta à travers un masque de HSQ insolée pour l'obtention d'une longueur de grille de 25 nm.



(c) Gravure sèche du Ta à travers un masque de HSQ insolée pour l'obtention d'une longueur de grille de 75 nm.

(b) Gravure sèche du Ta à travers un masque de HSQ insolée pour l'obtention d'une longueur de grille de 50 nm.



(d) Gravure sèche du Ta à travers un masque de HSQ insolée pour l'obtention d'une longueur de grille de 100 nm.

Figure 64: Images MEB de gravure du tantale de longueurs de lignes 25, 50, 75 et 100 nm.

3.1.5 Implantation

L'implantation ionique est un procédé d'ingénierie des matériaux. Comme son nom l'indique, elle est utilisée pour implanter les ions d'un matériau dans un autre solide, changeant de ce fait les propriétés physiques de ce solide. L'implantation ionique est utilisée dans la fabrication des dispositifs à semi-conducteurs (implantation de dopants), pour le traitement de surface des métaux, Les ions permettent à la fois de changer les propriétés chimiques de la cible, mais également les propriétés structurelles. Les détails de principe de fonctionnement et de l'installation utilisée sont décrits dans la référence [30].

Dans notre cas, nous implantons des ions Si^+ car les élements de la colonne IV du tableau périodique sont des dopants de type n pour le matériau $In_{0.53}Ga_{0.47}$ -As. Afin d'obtenir des caissons d'implantation de type n nous permettant d'atteindre les plus faibles résistances de contact et de couche, tout en évitant le contact de celles-ci entre elles dues à la diffusion latérale sous la grille, il est important de prévoir l'énergie et la dose d'implantation. Pour cela

OXYDE	Al_2O_3	
energie d'implantation (keV)	15	30
R _p (Å)	162	302
ΔR_p (Å)	97	179
R_{\perp} (Å)	68	137
$\Delta \mathrm{R}_{\perp}$ (Å)	91	177

Table 34: Projections incidente et latérale et leurs déviations standards des ions Si⁺ dans l'Al₂O₃ et l'In_{0.53}Ga_{0.47}As à des énergies d'implantation 15 et 30 keV.

nous réalisons une simulation à l'aide du logiciel TRIM, qui nous permet de déterminer le profil de concentration normalisé par la dose de base des dopants selon une distribution de type gaussien, indépendemment de la dose en profondeur mais aussi latéralement par la trajectoire de l'ion dans le solide (Figure 65) d'après les termes suivants:



Figure 65: Parcours d'une particule dans un solide jusqu'à son arrêt dans le matériau.

- la projection incidente R_p et sa déviation standard ΔR_p , qui correspondent respectivement à la diffusion en profondeur et à son écart type et,
- la projection latérale R_{\perp} et sa déviation standard ΔR_{\perp} , qui correspondent respectivement à la diffusion latérale et à son écart type.

La Figure 66 présente les simulations d'implantation d'ions Si⁺ dans l'In_{0.53}-Ga_{0.47}As à deux énergies, 15 et 30 keV. Le Table 34 donne les paramètres R_p , ΔR_p , R_{\perp} et ΔR_{\perp} pour chaque énergie.

Sachant que notre but est d'avoir de faibles résistances de contact et de couche, nous avons envisagé la double implantation, à 15 et 30 keV. La projection latérale à une énergie de 30 keV est 2 fois plus grande que celle à 15 keV. Pour avoir un maximum de concentration de dopants (par l'addition des deux gaussiennes) sur une assez grande profondeur mais avec une même projection latérale, il faut pouvoir décaler la gaussienne à une énergie de 30 keV d'au moins 10 à 15 nm.



(a) Profil de concentration normalisé par la dose d'ions Si⁺ lors de l'implantation à une énergie de 15 keV.



Figure 66: Profils de concentrations normalisés par la dose d'ions Si⁺ lors de l'implantation à deux énergies dans l'Al₂O₃ et l'In_{0.53}Ga_{0.47}As.

Pour réaliser ce décalage, nous pouvons utiliser le principe d''espaceurs', une étape à insérer entre la première et la deuxième implantation. Nous discutons de cette étape dans le paragraphe suivant (subsection 3.1.6).

De plus, le pic du rapport entre la concentration de dopants (atomes/cm³) et la dose de dopants (atomes/cm²) est pratiquement deux fois plus élevé à une énergie de 15 keV qu'à 30 keV. Pour cela nous avons choisi une dose 5×10^{13} /cm² à 15 keV et $8,75 \times 10^{13}$ /cm² à 30 keV pour avoir une concentration de dopants moyenne de 1×10^{19} /cm³ sur une profondeur de 30 nm. Les résultats de résistances de contact et de couche des caissons de type n sont présentés paragraphe 3.1.7.

3.1.6 Création des espaceurs: Les Sidewalls

Dans le process de fabrication des MOSFET III-V, la définition des contacts ohmiques se fait par implantation ionique. Le plus souvent en technologie silicium, il s'agit d'une double implantation, une à basse énergie et une à plus forte énergie afin d'avoir une jonction pn abrupte et la plus homogène en concentration de dopants. Sachant que la diffusion latérale des dopants est environ aux 2/3 de la profondeur d'implantation, l'implantation à plus forte énergie peut induire le contact entre les caissons d'implantation. Pour éviter ce problème, nous réalisons des espaceurs ou des 'sidewalls' en nitrure de silicium (Si₃N₄) entre la première et la deuxième implantation.

Dans l'élaboration de nos transistors, la deuxième implantation à 30 keV induit une diffusion latérale des dopants Si⁺ simulée à environ 20 nm. L'idée est donc de réaliser des espaceurs d'épaisseur égale à cette diffusion latérale.

La première étape consiste à déposer 20 nm de Nitrure de Silicium (Si $_3N_4$) par PECVD.

Pour définir les espaceurs, il y a nécessité de graver de façon anisotrope le Si_3N_4 comme le montre la Figure 67. Grâce aux études d'E. Dubois du groupe Microélec Si à l'IEMN, la gravure RIE basée sur des gaz fluorés (SF₆:Ar) permet d'obtenir de tels profils.



Figure 67: Schéma du procédé de gravure RIE pour la définition des sidewalls en Si_3N_4 . Les gaz utilisés sont l'héxafluorure de soufre, SF_6 et l'argon, Ar.

Les conditions RIE sont les suivantes: $SF_6 = 10$ sccm; Ar = 10 sccm; $P_{RIE} = 30$ W; pression =3 mTorr; temps = 50 s. La détection de fin d'attaque par interférométrie laser du Si₃N₄ est assez visible. La Figure 68 montre le profil des sidewalls après gravure du Si₃N₄ dans les conditions exposées ci-dessus. Nous voyons bien le caractère anisotropique de la gravure RIE.



Figure 68: Images MEB de définition des sidewalls en Si_3N_4 par gravure RIE SF_6 : Ar pour des grilles en Ta de longueur 50, 75 et 100 nm.

Nous remarquons aussi que la gravure latérale est présente. Malgré l'attaque physique du plasma d'argon qui donne l'anisotropie, l'attaque chimique avec le plasma SF₆ reste encore présente sur les flancs de la grille de Ta. Typiquement, nous perdons environ 5% de l'épaisseur du Si₃N₄ sur les sidewalls d'après les images MEB. Mais il faut prendre en compte la non uniformité du dépôt du Si₃N₄ sur les flancs de la grille Ta à cause de sa forme évasée et aussi la faible résolution du MEB à l'échelle nanométrique où on peut sous-estimer ou sur-estimer la mesure.

D'un point de vue général, la réalisation des sidewalls en Si_3N_4 est possible grâce à la gravure RIE anisotrope à base d'un mélange de gaz SF_6 :Ar.

3.1.7 Contacts ohmiques

Pour la réalisation des contacts ohmiques de source et de drain, deux voies en terme de lithographie sont envisageables, la voie optique et la voie electronique.

Cette dernière permet d'obtenir des distances source-drain inférieur à 1 μ m, difficile à obtenir par voie optique. Ainsi les contacts type n sont faits par voie électronique et les contacts type p (contact substrat ou 'body contact', étant des motifs assez larges et ne demandant pas de grande précision (donc une grande résolution) sont faits en optique. L'IEMN et le groupe ANODE possèdent une grande base de données concernant la lithographie des contacts ohmiques, et nous allons voir dans les paragraphes suivants ce qui est utilisé en terme de lithographie mais aussi de métallisation pour la réalisation des contacts ohmiques type n et p.

Contacts type n

Dans le masque 'mosfet', nous avons choisi 4 distances source-grille ou grille-drain: 100, 200, 500 nm et 1 μ m.

Nous utilisons une bi-couche de résine, deux résines électroniques dites 'positives' et de sensiblité différentes (Figure 69a). La première résine doit être plus sensible aux électrons que la seconde car après insolation électronique (Figure 69b) et révélation des zones insolées (Figure 69c), nous obtenons un profil 'casquette'. Ce profil 'casquette' permet d'éviter, après métallisation (Figure 69d) et dissolution de la résine ou 'Lift-off' (Figure 69e), les lichettes de métallisation ¹.

^{1.} Excroissances métalliques se formant sur les rebords du contact métallique. Elles peuvent induire des capacités parasites au niveau du transistor.



 (a) Dépôt du bi-couche de résine électronique positives et de sensiblités différentes.

(b) Insolation électronique des zones de contacts par l'intemédiaire d'un masque physique.

(c) Révélation des zones insolées dans un solvant adapté. Apparition de la casquette.



Figure 69: Schéma de réalisation des contacts ohmiques de type n par lithographie électronique.

D'un point de vue expérimentale, voici les résines et la séquence métallique utlisées pour nos contacts types n:

- la première résine est un copolymère avec comme monomères, le méthacrylate de méthyle (MMA) et l'acide méthacrylique (MAA) (PMMA/MAA),
- la deuxième résine est un polymère, le polyméthacrylate de méthyle (PMMA), et,
- la séquence métallique est Ti/Pt/Au (250/250/3500 Å).

La révélation des zones de contacts se fait par immersion dans un mélange de solvants, le méthyl isobutyl kétone (MIBK) et l'alcool isopropylique (IPA) dans les proportions 1:2.

Nous avons choisi une séquence métallique Ti/Pt/Au, car la diffusion après recuit de ce séquentiel est assez faible. En effet, il faut éviter un contact avec les couches p sous le caisson d'implantation n. En général, le séquentiel Ni/Ge/Au est utilisé pour les contacts n sur InGaAs. Toutefois, ce séquentiel standard

OXYDE	Al ₂ O ₃					
IMPLANTATION (/CM ²)	15 keV, 5×10 ¹³	15 keV, 5×10 ¹³	15 keV, 5×10 ¹³	15 keV, 5×10 ¹³		
				30 keV, 8,75×10 ¹³		
RECUIT D'ACTIVATION	750°C, 10 s	750°C, 10 s	750°C, 10 s	750°C, 10 s		
MÉTALLISATION	Ti/Pt/Au	Ti/Pt/Au	Ti/Pt/Au	Ti/Pt/Au		
	250/250/3500 Å	250/250/3500 Å	250/250/3500 Å	250/250/3500 Å		
RECUIT DE MÉTALLISATION	Pas de	295°C, 20 s	295°C, 20 s	-		
	recuit		+ 400°C, 1 min	-		
résistance de couche (Ω/\Box)	128	128	128	41		
résistance de contact (Ω ·mm)	0,08	0,13	0,22	0,08		
mobilité (cm²/V·s)	2420	2420	2420	2250		
densité de charge ($\times 10^{13}$ /cm ²)	2,01	2,01	2,01	6,76		

Table 35: Résultats des mesures de résistances de contact, de couche des contacts detype n, pour différentes implantations.

Ni/Ge/Au est à proscrire car les métaux diffusent énormément en profondeur, jusqu'à 1 μ m pour un recuit de 400°C.

Le Table 35 résume les essais réalisés avec les différentes métallisations et avec différents oxydes. La série d'essais est l'utilisation du séquentiel Ti/Pt/Au après une implantation à travers l'Al₂O₃. Nous remarquons que la résistance de contact diminue avec la température de façon abrupte. Il était important de connaître l'influence du recuit des futurs contacts p (décrit plus tard dans l'exposé), qui nécessitent un recuit à 400°C sur les contacts n. Ces résultats ont été jugés convenables pour la fabrication de nos transistors.

Contacts type p

Pour la réalisation du contact substrat ou 'Body contact', nous le réalisons par lithographie optique, en utilisant une résine positive et un masque positif. Nous devons aussi réaliser une casquette. A l'IEMN, nous avons un procédé de lithographie permettant de réaliser cette casquette en utilisant une couche de résine en modifiant, la sensibilité aux ultraviolets (U.V.) en surface de la résine à l'aide d'une solution basique. La Figure 70 montre le procédé de lithographie optique du contact substrat pour notre MOSFET In_{0.53}Ga_{0.47}As.



Figure 70: Schéma de réalisation des contacts ohmiques de type p par lithographie optique.

Les étapes technologiques sont:

- le dépôt de résine positive, AZ1518 (MicroChemicals),
- le traitement de surface de la résine à l'aide d'une base, AZ 326 (Micro-Chemicals),
- la gravure humide avec une solution acide phosphorée (H₃PO₄:H₂O₂:H₂O, 5:1:40, 3 min) de la couche p faiblement dopée (1×10¹⁷/cm³) pour atteindre la couche fortement dopée (1×10¹⁹/cm³), et,

MÉTALLISATION	Ti/Pt/Au		
	250/250	/3500 Å	
RECUIT DE MÉTALLISATION	Pas de recuit	400°C, 1 min	
résistance de couche (Ω/\Box)	161	159	
résistance de contact ($\Omega \cdot mm$)	4,17	0,13	

Table 36: Résultats des mesures de résistances de contact, de couche des contacts de type p.

– la séquence métallique est Ti/Pt/Au (250/250/3500 Å).

La révélation des zones de contacts se fait par immersion dans une base AZ 726 (MicroChemicals).

Concernant la métallisation, tout comme les contacts type n, il fallait obtenir la plus basse résistance de contact. Au départ, le contact substrat devait se faire sur une couche p dopée au Carbone (C) à 1×10^{18} /cm³. Cependant sans et avec recuit, divers métallisations comme Ti/Pt/Au, Ti/Pd/Au, Ni/Au et Pd/Au ne permettent pas d'obtenir des contacts de type ohmique. Un effet 'redresseur' est toujours observé. Pour remédier à ce problème, nous avons augmenter le dopage en C à 1×10^{19} /cm³. Le Table 36 montre les résultats de résistances de contact sur In_{0.53}Ga_{0.47}As dopée C à 1×10^{19} /cm³ avec comme métallisation la séquence Ti/Pt/Au (250/250/3500 Å) qui était la séquence la plus stable pour notre composant. Nous aboutissons après recuit à une résistance de contact de 0,13 Ω .mm.

3.1.8 Isolation

L'isolation entre les composants est réalisée par gravure humide à l'aide d'un mélange d'acide phosphorique, d'eau oxygénée et d'eau déminéralisée $(H_3PO_4:H_2O_2:H_2O)$ dans les proportions 5:1:40. A l'aide d'une lithographie optique qui permet de protéger les dispositifs actifs, la gravure se fait jusqu'au substrat InP. La Figure 71 montre le résultat de la gravure humide d'isolation pour un MOSFET In_{0.53}Ga_{0.47}As.



Figure 71: Images MEB de l'isolation mesa par gravure humide d'un MOSFET $In_{0.53}Ga_{0.47}As$.

3.1.9 Bilan et conclusion

L'étude approfondie de chaque étape et l'expérience au sein de l'IEMN nous ont permis de fabriquer un MOSFET $In_{0.53}Ga_{0.47}As$ auto-aligné utilisant une lithographie de grille originale et l'utilisation d'espaceurs comme en technologie Si. La section 3.3 expose les performances obtenues sur nos transistors. Des mesures électriques et physiques, nous tirons un bilan et de possibles améliorations. Dans la section suivante, nous allons détailler les étapes de réalisation des capacités MOS $In_{0.53}Ga_{0.47}As$ nous permettant l'évaluation de la densité de défauts d'interface. 3.2 ETAPES TECHNOLOGIQUES DE FABRICATION DES CAPAMOS POUR L'ÉVALUATION DE LA DENSITÉ DE DÉFAUTS À L'INTERFACE

La Figure 72 présente les différentes étapes de fabrication d'une capacité MOS (CAPAMOS) In_{0.53}Ga_{0.47}As. Deux types de CAPAMOS ont été réalisés qui différent par l'étape de grille. Voici, ci-dessous, le déroulement des étapes:

- A. Le dégraissage et le traitement de surface de l'In_{0.53}Ga_{0.47}As (Figure 72b, réalisé au CEA-LETI à Grenoble),
- B. Le dépôt de l'oxyde, l'alumine (Al₂O₃), par ALD (Figure 72c, réalisé au CEA-LETI à Grenoble),
- c. La réalisation de la grille de deux façons (Figure 72d réalisé à l'IEMN):
 - Soit par gravure RIE de tantale (Ta) déposé par pulvérisation cathodique à travers un masque de gravure du Ta par lithographie électronique, ou
 - Soit par lithographie optique qui sera suivie du dépôt métallique par évaporation et du procédé 'lift-off'. Cette méthode permet le dépôt de Ti/Pt/Au avec le Ti qui a un travail de sortie équivalent à celui du Ta (4,33 eV pour le Ti, 4,3 pour le Ta). Ainsi les comparaisons des mesures électriques seront indépendantes du travail de sortie.
- D. La réalisation des contacts ohmiques p de substrat par lithographie optique qui sera suivie d'une gravure humide jusqu'à la couche de type p fortement dopée, du dépôt métallique par évaporation et du procédé 'lift-off' (Figure 72e, réalisé à l'IEMN), et,
- E. L'isolation du composant MOSFET par gravure humide à travers un masque de résine réalisé par lithographie électronique (Figure 72f, réalisé à l'IEMN).

La Figure 73a montre les différents dispositifs qui seront réalisés. Le masque 'capamos' regroupe:

- des capacités (CAPAMOS) de différents diamètres de plot central (grille) et de différents diamètres,
- des 'trèfles de Hall' pour mesurer la concentration et la mobilité des trous des couches de substrat (body contact), et,
- des échelles de TLM pour mesurer la résistance de contact ainsi que la résistance des couches de substrat.



Figure 72: Etapes de fabrication de la capacité MOS In_{0.53}Ga_{0.47}As.

Concernant la capacité MOS, différentes structures sont définies, comme le montre la Figure 73b,

- le diamètre du plot central, DG: 50, 75, 100, 125, 150, 200, 300, 400 et 500 $\mu m,$ et,
- la distance entre le centre du plot central et le milieu de l'anneau métallique, L_{pitch}: 125, 150 et 450 μ m.

Il est à noter que L_{pitch} correspond à la distance entre deux électrodes d'une sonde hyperfréquence comme le montre la Figure 73c.


(a) Masque 'capamos' montrant différents diamètres de capacités MOS circulaires.



(b) Zoom d'une capacité MOS avec les différentes dimensions, D_G , le diamètre du plot central et L_{pitch} , la distance entre le centre du plot central et le milieu de l'anneau métallique.



(c) Sonde hyperfréquence CASCADE gamme Infinity Probe (à gauche) et un zoom des électrodes de la sonde avec L_{pitch}, la distance entre deux électrodes (à droite).

Figure 73: Schéma du masque utilisé pour la fabrication des capacités MOS ainsi que les dimensions d'une capacité MOS en lien avec les dimensions des sondes hyperfréquences.

3.3 CARACTÉRISATION DES MOSFETS

Dans cette section, nous présentons les caractéristiques électriques de MOS-FET In_{0.53}Ga_{0.47}As.

Dans un premier temps, nous discutons des caractéristiques statiques des MOSFETs InGaAs de 4 longueurs de grille différentes, 200, 300, 500 nm et 1 μ m. D'après les mesures, nous pourrons évaluer et discuter les paramètres caractéristiques de ces transistors comme le courant de grille, la transconductance, le rapport $\frac{I_{onf}}{I_{off}}$, la pente sous le seuil et le DIBL.

Dans un second temps, nous évaluons un paramètre important pour les MOSFETs III-V, qu'est la densité de défauts d'interface (D_{it}). Nous pourrons calculer via une méthode qui conjuguent les mesures capacité-tension (C-V) basse fréquence et haute fréquence (la méthode HF-LF), cette densité de défauts. Nous conjuguerons mesures statiques et mesures C-V pour expliquer certaines caractéristiques des MOSFETs.

Dans une troisième partie, les potentialités dynamiques de ces dispositifs sont évaluées par des mesures de paramètres S. A partir de ces mesures, nous évaluerons les fréquences de coupures, f_t et f_{max} respectivement à partir du gain en courant et du gain de Mason.

Du fait d'un certain écart en termes de performances entre les mesures statiques et les mesures dynamiques, un complément de mesures via des mesures pulsées sera réalisé pour essayer de comprendre cet écart.

3.3.1 Caractéristiques du MOSFET

Caractéristique courant-tension: I(V)

Tout d'abord, comme le montre la Figure 74, les caractéristiques courant de drain - tension drain-source sont exposées pour des longueurs de grille de 200, 300, 500 nm et 1 μ m. En effet, les MOSFETs de longueurs de grille 50 et 100 nm ne fonctionnent pas. Ce problème sera discuté dans le paragraphe 3.3.3.

Comparés à la littérature (subsection 1.5.1), les courants de drain maximums sont moins élevés, comme le montre le Table 37. En effet, Lin et al. [84] obtiennent un courant de drain maximum de 960 mA/mm pour un transistor de longueur de grille de 1 μ m. Cette référence ne renseigne pas l'énergie d'implantation des ions Si⁺. La diffusion latérale des caissons d'implantation est alors possible et la longueur du canal peut être diminuée.

Si nous nous référons au Table 38, nous avons des résistances de contact assez élevées au niveau des caissons d'implantation. Cependant, cela ne peut



Figure 74: Caractéristiques courant-tension d'un MOSFET In $_{0.53}$ Ga $_{0.47}$ As auto-aligné fonctionnant en inversion et pour 4 longueurs de grille et pour une distance source-grille de 1 μ m.

expliquer entièrement les résultats obtenus en terme de niveau du courant de drain.

Nous pouvons émettre l'hypothèse de la présence d'une densité de charge à l'interface oxyde/semi-conducteur (D_{it}) assez élevée. En effet, en polarisant le transistor, nous commençons par contrôler ces pièges d'interface qui occultent les réelles performances de ces transistors.

Nous pouvons remarquer aussi une augmentation de la conductance de sortie pour les transistors de longueur de grille 500, 300 et 200 nm. Cet effet est de plus en plus important quand L_G décroît, dû peut être à l'effet de canal court.

Lg	(nm) 20	0 300	500	1000	1000*
I _{d,max} (mA	/mm) 21	6 47	21	9	960

Table 37: Courant de drain maximum $I_{D,max}$ en fonction de la longueur de grille L_G pour V_{DS} = 1 V et V_G = 3 V et distance source-grille de 1 µm. *: est tiré de [84] pour V_{DS} = 2 V et V_G = 2 V, état de l'art pour $I_{D,max}$.

MÉTALLISATION	Ti/Pt/Au	
		250/250/3500 Å
RÉSISTANCE DE COUCHE	(Ω/\Box)	60
RÉSISTANCE DE CONTACT ((Ω·mm)	0,4

Table 38: Résultats des mesures de résistances de contact, de couche des contacts de type p.

Une autre remarque vient du courant de fuite car la polarisation de grille commence à -1 V. Ce courant de fuite peut être dû à cet effet Kink ou à un mauvais oxyde ou à une mauvaise jonction pn.

Courant de grille: I_g

La Figure 75 présente le courant de grille commun à tous les transistors en fonction de la polarisation de grille. Nous pouvons remarquer, qu'en régime d'accumulation, le courant de grille augmente plus vite qu'en régime d'inversion. Ceci est probablement dû au courant tunnel qui est plus important en régime d'accumulation ([131], pages 227-229).



Figure 75: Caractéristique courant de grille en fonction de la tension de grille à tension drain-source nulle d'un MOSFET In_{0.53}Ga_{0.47}As auto-aligné fonctionnant en inversion commune aux 4 longueurs de grille.

Transconductance: gm

Les transconductances que nous avons mesurées sur les 4 longueurs de grille (Figure 76) reflètent bien les performances I_D - V_{DS} . Les mesures sont illustrées dans le Table 39. Les transconductances sont très faibles comparées à la littérature [84]. Nous pouvons supposer la présence d'un effet parasite qui dégradent les performances statiques des transistors. Comparé à la littérature, il y un décalage du maximum de g_m vers de plus fortes polarisations de grille. Il s'agit d'un décalage de la tension de seuil V_{th} dû à l'effet de la diminution de la longueur de grille.

Lg	(nm)	200	300	500	1000	1000 *
g _m (mS	/mm)	77	36	16	7,3	700
v _{ds}	(V)	1	1	1	1	2
v _{gs}	(V)	1	3	3	3	0,85

Table 39: Transconductance g_m en fonction de la longueur de grille L_G à V_{DS} et V_{GS} . *: est tiré de [84], état de l'art pour g_m .

L'hypothèse de la densité de défauts d'interface élevée peut induire de tels résultats. Une évaluation du D_{it} pourrait être intéressante pour corroborer nos hypothèses.



Figure 76: Caractéristiques courant de drain et sa transconductance associée en fonction de la tension de grille pour deux tensions drain-source d'un MOSFET $In_{0.53}Ga_{0.47}As$ auto-aligné fonctionnant en inversion et pour 4 longueurs de grille.

3.3.2 Caractéristiques des CapaMOS

Caractéristique capacité-tension en fonction de la fréquence

Pour la mesure de caractéristiques capacité de grille en fonction de la polarisation de grille (C_G - V_G), nous utilisons deux bancs de mesures:

- un banc sous aiguilles: il nous permet de mesurer sur une large gamme en basse fréquence (typiquement de 40 Hz à 1 MHz) et d'évaluer par la méthode HF-LF (voir subsection 1.4.1), la densité de défauts d'interface dans un certain intervalle d'énergies dans la bande interdite du semi-conducteur.
- un banc sous pointes: la mesure utilise une sonde pour mesurer en réflexion le paramètre S₁₁, qui nous permet de mesurer une caractéristique C_G-V_G correspondant à une mesure haute fréquence et de voir si elle coïncide avec la mesure haute fréquence du banc sous aiguilles.

Cette caractéristique C-V est montrée Figure 77. Nous avons deux caractéristiques C_G-V_G , l'une sous intensité lumineuse (Figure 77a) et l'autre dans l'obscurité (Figure 77b). Nous observons, par apport de lumière, une inversion de la capacité. L'énergie due à la lumière permet de dépiéger les électrons et augmenter la capacité. Ce qui n'est pas le cas dans l'obscurité, où les électrons restent piégés à l'interface et de ce fait, la capacité diminue. Si nous la comparons à la littérature, [153], nous remarquons une dispersion en accumulation sur nos 2 caractéristiques C_G-V_G . Ceci est due d'une part à un possible effet du D_{it} sur les caractéristiques C-V comme il est expliqué dans la subsection 1.4.1. Et nous pouvons soupçonner des courants de fuite (courants tunnel, mauvais oxyde). La Figure 77c témoigne de l'effet de possibles charges dans l'oxyde, qui sont surement des charges mobiles ([124], pages 338-342).

Mesure de densité de défauts d'interface: D_{it}

Pour expliquer les performances statiques et la dispersion des caractéristiques C-V, à l'aide de la méthode HF-LF, nous avons pu évaluer la densité de défauts d'interface. La Figure 78 présente le D_{it} en fonction de l'énergie $E - E_{\nu}$. $E - E_{\nu}$ correspond au niveau d'énergie dans la bande interdite (E_{ν} étant le niveau d'énergie du maximum de la bande de valence) qui correspond à $E_g - \varphi_s$ avec E_g , l'énergie de bande interdite et φ_s , le potentiel de surface (correspondant à la différence entre le niveau d'énergie de bande de conduction à l'interface oxyde/semi-conducteur et le niveau d'énergie de bande de conduction loin de l'interface). En d'autres termes, nous pouvons évaluer la densité de pièges à un niveau d'énergie donné dans la bande interdite.

D'après la Figure 78, la densité de pièges est évaluée à $6,1 \times 10^{12}$ /cm².eV au milieu de la bande interdite. Cependant, en fonctionnement en régime d'inversion, nous évaluons un D_{it} d'environ quelques $\times 10^{13}$ /cm².eV qui peut avoir un effet notable sur les caractéristiques statiques (rien n'est mentionné dans la littérature). Cet effet se traduit par une diminution du courant de drain et de la transconductance. Plus le D_{it} augmente plus son effet est important.

- 95 Hz - 210 Hz - 500 Hz - 1 kHz

— 10 kHz — 100 kHz — 1 MHz

1



(a) Capacité MOS In_{0.53}Ga_{0.47}As avec 8 nm d'Al₂O₃ sous intensité lumineuse.



0

V_G (V)

-1



(c) Capacité MOS $In_{0.53}Ga_{0.47}$ As avec 8 nm d'Al₂O₃ à 10 kHz avec hysteresis.

(d) Capacité MOS In_{0.53}Ga_{0.47}As avec 8 nm d'Al₂O₃ issue de [153].

Figure 77: Résultats C-V de capacité MOS $In_{0.53}Ga_{0.47}As$ avec 8 nm d'Al₂O₃ au sein de l'IEMN et issue de la littérature.

Cependant les mesures dynamiques (jusque 67 GHz) permettront de s'affranchir de l'effet du D_{it} car le temps de 'piégeage' est un phénomène lent (basse fréquence, i. e. < 10 kHz). Nous pourrons évaluer les performances fréquentielles de ces transistors.



Figure 78: Mesure de la densité de défauts d'interface (D_{it}) dans la bande interdite de l'In_{0.53}Ga_{0.47}As de la CAPAMOS avec 8 nm d'Al₂O₃, utilisant un plot de grille en titane (Ti) et la méthode HF-LF.

3.3.3 Caractéristiques dynamiques

Présentation du dispositif de mesure

Notre banc de mesures est composé d'un analyseur de réseau (PNA) Agilent capable d'effectuer des mesures jusqu'à 67 GHz pour les mesures de paramètres S, couplé à une alimentation pour les mesures statiques et la polarisation Agilent E5270B. Nous utilisons des pointes de mesure coplanaire.

Gain en courant, f_t , Gain unilatéral de Mason et f_{max}

A partir des mesures de paramètres S bruts, pour mesurer les performances fréquentielles intrinsèques des transistors, il faut pouvoir retirer les éléments parasites du transistor à l'aide d'une méthode dite d''épluchage' ou en anglais de 'de-embedding'. Comme il est indiqué sur la Figure 55, nous utilisons des structures adaptées qui nous permettent d'évaluer les éléments parasites extrinsèques du transistor. La Figure 79 détaille les différentes structures. Nous avons:

- des lignes en transmission,
- des structures 'open', et,
- des structures dites 'muettes' de différent développement afin de pouvoir appliquer la méthode d'épluchage sur tous les transistors. Sur cette structure les grilles sont retirées et une isolation par gravure chimique entre les électrodes de source et de drain est réalisée.

La démarche d'épluchage consiste dans un premier temps à mesurer les paramètres S de ces structures qui caractérisent les éléments parasites du transistor. D'un point de vue mathématique, pour pouvoir extraire ou soustraire les



Figure 79: Zoom du masque 'mosfet' sur les structures utilisées pour la méthode d'épluchage.

parasites, il nous faut travailler avec les paramètres Y ou la matrice admittance et des paramètres Z ou la matrice impédance. Pour cela, nous utilisons la matrice de passage pour transformer les paramètres S en paramètres Y. Ainsi la matrice Y correspondant aux paramètres intrinsèques du transistor correspond à la soustraction entre la matrice Y brut du transistor et la matrice Y de la structure d'épluchage, comme l'indique l'Equation 3.1 ci-dessous:

$$[Y_{int}] = [Y_{brut}] - [Y_{open}]$$
(3.1)

Ainsi, à partir de ces paramètres Y intrinsèques, nous pouvons évaluer les gains en courant et en puissance d'après les formules pré-établies. La Figure 80 montre les performances obtenues sur les MOSFETs des 4 longueurs de grille. Les fréquences de coupure f_t et f_{max} sont obtenues par extrapolation des gains H_{21} et U. Les performances pour les longueurs de grille 200 et 300 nm sont des résultats à l'état de l'art concernant f_t . Cependant, comme il a été expliqué subsection 1.5.1, concernant l'état de l'art, f_t et f_{max} , pour les transistors MOSFETs fonctionnant en inversion, les résultats fréquentiels datent d'avant 2005 alors que d'un point de vue statique, les résultats actuels en termes de g_m (nettement supérieurs aux nôtres) peuvent supposer de bonnes performances fréquentielles.

Mais les performances sont quand même intéressantes car les résultats statiques ne reflètent pas les résultats dynamiques. Cependant, la méthode d'épluchage suit un mode opératoire correct c'est à dire que nous n'avons pas soustrait trop d'éléments extrinsèques.

Si nous parlons en termes de fréquence de coupure, f_c et en supposant l'approximation suivante:

$$f_{c} = \frac{g_{m}}{2\pi \cdot C_{GS}} \approx \frac{g_{m}}{2\pi \cdot C_{ox}}$$
(3.2)

en prenant $C_{ox} = \frac{\varepsilon_r \cdot S}{e}$ et du fait que $f_t < f_c$, nous pouvons discuter d'une comparaison entre la fréquence de coupure en lien avec le g_m statique, $f_{c,DC}$



Figure 80: Gains en courant et de Mason et leurs fréquences de coupures associées, f_t et f_{max} d'un MOSFET In_{0.53}Ga_{0.47}As auto-aligné fonctionnant en inversion et pour 4 longueurs de grille.

et la fréquence de coupure $f_t < f_{c,RF}$, fréquence de coupure en lien avec le g_m dynamique. En principe, dans le cas où aucun phénomène parasite physique ou électrique n'est présent dans le fonctionnement du transistor, $f_{c,DC} \approx f_{c,RF}$.

Or nous voyons que $f_{c,DC}$ = 9,4 GHz $\ll f_t < f_{c,RF}$ dans le cas du transistor de longueur de grille 200 nm. Cette approche peut être appliquée aux autres longueurs de grille. Par cette approche, nous voyons qu'il existe un phénomène parasite qui détériore les performances statiques très éloignées des performances dynamiques.

Nous avons plusieurs pistes pouvant expliquer ces différences entre performances statiques et dynamiques.

- une diffusion latérale des caissons d'implantation trop importante diminuant la longueur effective du canal, et/ou,
- une résistance d'accès importante, et/ou,
- une influence de la densité de défauts d'interface.

Hypothèse de la diffusion latérale La diffusion latérale des caissons d'implantation diminue la longueur effective du canal. Sachant que le rapport des fréquences de coupure est $\frac{f_t}{f_{c,DC}} = \frac{L_{Gc,DC}}{L_{Gt}} \approx 11$, cela implique que la longueur de grille $L_{Gt} \approx 19$ nm. Un tel transistor avec cette longueur de grille impliquerait un fort effet de canal court et donc une conductance de sortie très élevée, ce qui n'est pas le cas sur la caractéristique I(V).

Hypothèse de la résistance d'accès Sachant que $\frac{f_t}{f_{c,DC}} < \frac{g_{mi}}{g_{m,DC}} \approx 11$, avec $g_{mi} > 850 \text{ mS/mm}$, la transconductance intrinsèque. Or comme $g_{mi} = \frac{g_{m,DC}}{1-R_S \cdot g_{m,DC}}$, alors $R_S > 11,8 \Omega$.mm. De l'autre côté, en utilisant les résultats du Table 38 et sachant que $R_S = R_c + \frac{R_D \cdot L_{SG}}{W}$, alors, en prenant $L_{SG} = 1 \mu \text{m}$ et W= 100 μm , nous calculons $R_S = 0.46 \Omega$.mm. L'hypothèse de la résistance d'accès est à écarter.

Hypothèse de la densité de défauts d'interface Pour démontrer son influence, nous allons réaliser des mesures impulsionnelles qui est la méthode idéale pour s'affranchir de ces effets basses fréquences que nous allons étudier dans le paragraphe suivant.

Mesures pulsées

Afin de confirmer l'effet de la densité de défauts d'interface, nous avons caractérisé nos transistors par des mesures en impulsion. Le principe de la mesure en impulsion repose sur l'emploi de brèves impulsions appliquées sur le drain et la grille à partir d'un point de polarisation, un point de repos (V_{DSo} , V_{GSo}) donné. Il s'agit d'une des conditions initiales et nous avons fixé notre point de repos à V_{DSo} = 0 V, V_{GSo} = 0 V. Nous avons choisi plusieurs temps d'impulsion: 5 µs, 2 µs, 1 µs et 500 ns. Nous avons fixé un temps de 10 µs entre chaque impulsion.

D'après la Figure 81 et le Table 40, nous observons des courants de drain pulsés plus élevés que les courants de drain statiques d'un facteur 2 pour L_G = 200 nm, d'un facteur 3 pour L_G = 300 nm, d'un facteur 4 pour L_G = 500 nm, d'un facteur proche de 5 pour L_G = 1 µm.

Lg	(nm)	200	300	500	1000
I _{d,max}	(mA/mm)	153	38	12	5
I _{d,max} , PULSÉ	(mA/mm)	268	108	48	22,5

Table 40: Courants de drain maximum statiques et pulsés (τ = 500 ns) pour les différentes longueurs de grille.



Figure 81: Mesures pulsées de caractéristiques courant de drain en fonction de la tension de drain-source d'un MOSFET In_{0.53}Ga_{0.47}As auto-aligné fonctionnant en inversion, pour 4 longueurs de grille et pour 4 temps d'impulsion.

Concernant la transconductance, nous avons réalisé des mesures impulsionnelles sur le transistor de longueur de grille 300 nm. La Figure 82 présente ces mesures pour les 4 différents temps d'impulsion. Nous avons un facteur 2,5 entre la transconductance extrinsèque (26 mS/mm) et la transconductance pulsée (65 mS/mm). Nous sommes loin du facteur 26 du rapport entre le f_t mesuré (57 GHz) et le f_{c,DC} calculé (2,15 GHz). Comme nous sommes limités du point de vue du banc de mesures d'impulsion (temps d'impulsion minimal de 500 ns), nous pouvons imaginer qu'en dessous de 500 ns, la transconductance pulsée peut augmenter mais sans atteindre un facteur 26 que nous espérons. Nous pouvons rapporter ce constat aux autres longueurs de grille et nous pouvons affirmer que la densité de défauts d'interface a un effet sur les performances statiques et explique en partie la différence entre ces performances statiques et les performances dynamiques.

Après avoir essayé d'étayer les différentes hypothèses, nous pouvons affirmer qu'aucune hypothèse, seule, explique la différence entre performances statiques et dynamiques. Mais il est fort possible que ces 3 hypothèses combinées sont les causes de cette différence.



Figure 82: Mesures pulsées de caractéristiques de courant de drain et de transconductance en fonction de la tension de grille-source d'un MOSFET In_{0.53}Ga_{0.47}As auto-aligné fonctionnant en inversion, de longueur de grille 300 nm et pour 4 temps d'impulsion.

Rendement

Comme le montre la Figure 83a, le rendement sur notre première plaque est inférieure à 50% et ceci pour les raisons suivantes:

- encadré en rouge sur la Figure 83a, les MOSFETs avec des longueurs de grille de 50 et 100 nm ne fonctionnent pas. La mesure du courant entre la source et le drain a révélé une caractéristique de type ohmique. Ceci témoigne du contact entre les caissons d'implantation donc une diffusion latérale plus importante que celle simulée sur le logiciel TRIM qui ne prend pas en compte la diffusion après recuit d'activation,
- encadré en bleu sur la Figure 83a, les MOSFETs avec des distances sourcegrille et grille-drain de 100 et 200 nm ne fonctionnent pas. Les images en *Microscopie Electronique à Balayage* (MEB), ont révélé le contact entre les source et drain comme le montre la Figure 83b par la présence de métal au dessus de la grille. Ce constat vient d'importants effets de proximité lors de la lithographie électronique qui après révélation et métallisation mettent en contact les sources et drains.

Nous savons qu'il est possible d'évaluer la profondeur du dopant par implantation par analyse Secondary Ion Mass Spectrometry, *Spectrométrie de Masse à Ionisation Secondaire* (SIMS). Cependant, l'analyse de la diffusion latérale reste difficile. Nous avons pu estimer la diffusion minimale en utilisant une structure TLM où entre deux électrodes, nous faisons varier la longueur d'une ligne en HSQ (25 à 150 nm), simulant la grille, nous permet d'obtenir cette valeur minimale de diffusion de chaque implantation (Figure 83c).



(a) Représentation des zones de non fonctionnement des transistors sur le masque 'mosfet' dues à différents problèmes technologiques.

	Source	e			
G	rille			Dra	in
200 nm	EHT = 10.00 kV Grand. = 25.80 K X	Signal A = InLens Signal B = SE2	Signal = 0.7764 Mixage = Off	WD = 3.6 mm	-iemn-

(b) Image MEB mettant en évidence le contact entre la source et le drain dû aux effets de proximité.



(c) Motif TLM utilisé pour mesurer la diffusion minimale des caissons d'implantation. Les longueurs de ligne HSQ servant de masque et simulant la grille sont de 25, 50, 75, 100 et 150 nm.

Figure 83: Représentation des zones de non fonctionnement des transistors et des moyens utilisées comme l'imagerie MEB et des structures adaptées pour évaluer respectivement les effets de proximité et la diffusion latérale.

Grâce à ces essais, nous avons pu estimer que la diffusion latérale minimale des dopants, lors de la première implantation à 15 keV, est comprise entre 50 et 75 nm et, lors de la seconde implantation à 30 keV, comprise entre 75 et 100 nm.

3.4 CONCLUSION

Nous avons établi les briques technologiques pour fabriquer des transistors MOSFETs auto-aligné à base de matériaux InGaAs avec 53% d'In. Nous avons réalisé nos grilles en utilisant un procédé original de lithographie avec une résine négative et utilisé un procédé d'espaceurs comme dans la technologie Si entre l'implantation de faible énergie et celle à forte énergie.

La caractérisation du transistor nous a dévoilé de faibles performances en statique comparées à la littérature, mais toutefois de très bonnes performances

en dynamique, état de l'art actuellement en f_t. Une contribution de trois paramètres comme la diffusion latérale des dopants importante, la résistance d'accès légèrement élevée et la densité de défauts d'interface élevé en régime d'inversion pourraient expliquer la différence entre les performances DC et RF. Bien sur, une étude du schéma équivalent petit signal serait intéressante à réaliser. Cependant l'extraction des éléments extrinsèques reste difficile du fait de l'inhomogénéité de la plaque (exposé dans le paragraphe 3.3.3).

Cette thèse entre dans le cadre de différents projets de recherche: le projet du CNES sur les transistors HEMTs antimoniés (AlSb/InAs et Al_{0.55}In_{0.45}Sb/Ga_{0.5}-In_{0.5}Sb) dont l'objectif était de présenter les performances électriques en termes de fréquence de coupure et de bruit à faibles tensions drain-source c'est à dire à faible consommation à températures ambiante et cryogénique (77 K), et, le projet de l'ANR appelé MOS₃₅ dont l'objectif est la réalisation et la caractérisation de transistors MOSFETs à base de matériaux III-V, en particulier à base de Ga_{0.47}In_{0.53}As et de longueur de grille sub-micronique.

Le contexte de ce travail de thèse se base sur les récents progrès sur les transistors à effet de champ rapides basse consommation pour la réalisation de dispositifs pouvant être utilisables dans le domaine des objets communicants ou de l'intelligence ambiante et de l'autre côté un intérêt croissant pour les MOSFETs à base de matériaux III-V, présentés comme alternative au matériau Si par rapport à la loi de Moore mais aussi comme une évolution logique de la topologie HEMT vers la topologie MOSFET, pour la réduction du rapport d'aspect.

Nous nous sommes intéressés aux conditions physiques qui caractérisent les transistors hautes performances fréquentielles basse consommation. Nous avons pu mettre en avant qu'une faible masse effective, une grande mobilité des électrons permet de compenser la perte en fréquence de coupure lorsque l'on diminue la tension d'alimentation. Ainsi les matériaux à faible énergie de bande interdite comme les matériaux III-V (excepté les matériaux III-N) sont les candidats pour fabriquer des transistors à effet de champ comme les MOSFETs et les HEMTs pour garder d'assez grandes fréquences de coupure à faible tension drain-source. Même si de faibles masses effectives dans le sens de la largeur et de la longueur du canal de conduction ne permettent d'avoir un bon contrôle de charge (dû à une faible capacité d'inversion dans le canal), la grande mobilité des électrons dans un canal à base de matériaux III-V permet de maintenir une fréquence de coupure élevée avec la diminution de la tension drain-source. Nous avons pu remarquer en présentant un état de l'art sur les MOSFETs et les HEMTs, l'avantage des matériaux III-V à faible bande interdite sur les performances électriques, en particulier les HEMTs AlSb/InAs. Les MOSFETs III-V présentent des performances électriques en statique très intéressantes mais n'ont pas encore vraiment montré leurs potentialités en dynamique.

Ainsi, nous avons présenté dans le deuxième chapitre la fabrication des transistors HEMTs AlSb/InAs à l'état de l'art en termes de fréquences de coupure f_t/f_{max} à température ambiante (250/202 GHz à V_{DS}= 250 mV

et 144/115 GHz à V_{DS}= 100 mV pour les HEMTs avec longueur de grille de 120 nm) et à température cryogénique (132/142 GHz à V_{DS} = 250 mV et 92/107 GHz à V_{DS} = 100 mV pour les HEMTs Si avec longueur de grille de 120 nm). En effet, le passage d'un plan de dopage Si à celui de Te permet la réduction de la distance entre la grille et le canal permettant un meilleur contrôle du gaz d'électrons 2DEG augmentant ainsi la transconductance et du même coup les fréquences de coupure. La diminution en température permet d'accroître la mobilité des électrons permettant alors d'augmenter la transcondcutance et grâce à la diminution des résistances d'accès et de grille à température cryogénique, d'augmenter les performances dynamiques mais à basse tension drain-source (en dessous de 100 mV). Au dessus de 100 mV, les performances restent quasi constantes mais nous notons une diminution notable du phénomène d'ionisation par impact à 77 K diminuant la conductance de sortie, problème inhérent aux HEMTs avec jonction de type II. De plus, ces performances sont obtenues à faible puissance de consommation DC. Nous arrivons à des fréquences de coupure d'une centaine de GHz en dessous de 20 mW/mm ($f_t = 144$ GHz à P_{DC} = 12,2 mW/mm pour le HEMT Te). Concernant la filière $Al_{0.55}In_{0.45}Sb/Ga_{0.5}In_{0.5}Sb$, un verrou technologique est encore présent pour la fabrication des HEMTs. La réalisation des contacts ohmiques est difficile malgré l'exploration de deux voies pour les réaliser.

Dans le troisième chapitre, nous avons développé les étapes technologiques de fabrication des MOSFETs $Ga_{0.47}In_{0.53}As$ auto-alignés en utilisant un processus de fabrication original comme le masque utilisé pour la gravure de la grille et l'utilisation des espaceurs comme dans la technologie silicium. Il s'agit, selon nous, d'une évolution logique de passage d'une topologie HEMT vers une topologie MOSFET en améliorant la loi d'échelle du transistor. Nos transistors présentent de faibles performances en statique comparées à la littérature mais de bonnes performances dynamiques (état de l'art en $f_t = 116$ GHz à $V_{DS} = 1$ V). Cette contradiction fût expliquée par des mesures pulsées révélant une forte densité de défauts d'interface mais aussi des résistances d'accès un peu élevées et une très forte diffusion des dopants après implantation ionique et recuit d'activation.

En définitif, nous pouvons envisager une optimisation de la fabrication de nos transistors, en particulier et dans un premier temps, les MOSFETs $Ga_{0.47}In_{0.53}As$ en prenant en compte toutes les recommendations sur les étapes de fabrications comme de plus faibles énergies pour l'implantation, la réalisation de topologie de transistor multigrille, la diminution des distances entre la grille et les contacts ohmiques pour diminuer les résistances d'accès, ...

La continuité de notre projet concernant les MOSFETs III-V serait de se diriger vers une plus faible énergie de bande interdite et une plus faible masse effective et l'étude des HEMTs AlSb/InAs entre comme une étude préliminaire à la réalisation de MOSFETs avec un canal InAs. Cependant, les études sur les HEMTs AlSb/InAs doivent continuer mais dans le cadre des ultra faibles consommations c'est à dire une tension de drain-source en dessous de 50 mV. Nous mettons en avant l'idée du 1 mV= 1 GHz et la réalisation de LNA à base de HEMT AlSb/InAs serait envisageable afin de confronter les résultats aux critères pour une intégration dans un dispositif autonome.

- [1] ITRS 2009 Edition. URL http://www.itrs.net/Links/2009ITRS/ Home2009.htm. (Cité page 7.)
- [2] Projet Européen Duallogic. URL ftp: //ftp.cordis.europa.eu/pub/fp7/ict/docs/ events3-20070226-07-mfgineurope-duallogic-dimoulas-230207_ en.pdf. (Cité page 7.)
- [3] ITRS 2006 update. URL http://www.itrs.net/Links/2006Update/ 2006UpdateFinal.htm. (Cité page 7.)
- [4] E. Aarts and R. Roovers. IC design challenges for ambient intelligence. In *Design, Automation and Test in Europe Conference and Exhibition, 2003,* pages 2–7, 2003. ISBN 1530-1591. (Cité pages xiii, 1, 5, et 6.)
- [5] T. Akazaki, K. Arai, T. Enoki, and Y. Ishii. Improved InAlAs/InGaAs HEMT characteristics by inserting an InAs layer into the InGaAs channel. *IEEE Electron Device Letters*, 13(6):325–327, 1992. ISSN 07413106. doi: 10.1109/55.145073. URL http://ieeexplore.ieee.org/lpdocs/epic03/ wrapper.htm?arnumber=145073. (Cité page 28.)
- [6] S. Arabasz, E. Bergignat, G. Hollinger, and J. Szuber. XPS analysis of surface chemistry of near surface region of epiready GaAs (100) surface treated with (NH₄)₂S_x solution. *Applied Surface Science*, 252 (21):7659–7663, August 2006. doi: 10.1016/j.apsusc.2006.03.061. URL http://www.sciencedirect.com/science/article/B6THY-4JW11W0-9/ 2/75da85eb1b6b5984f3015a25fefe6a78. (Cité page 103.)
- [7] T. Ashley, A.B. Dean, C.T. Elliott, C.F. McConville, and C.R. Whitehouse. InSb n-channel enhancement mode MISFET grown by molecular beam epitaxy. *Electronics Letters*, 25(4):289–290, 1989. ISSN 0013-5194. doi: 10.1049/el:19890201. (Cité pages 28 et 42.)
- [8] T. Ashley, A.B. Dean, C.T. Elliott, R. Jefferies, F. Khaleque, and T.J. Phillips. High-speed, low-power InSb transistors. In *Electron Devices Meeting*, 1997. *IEDM '97. Technical Digest., International*, pages 751–754, 1997. ISBN 0163-1918. doi: 10.1109/IEDM.1997.650491. (Cité pages 28, 38, et 42.)
- [9] T. Ashley, A.R. Barnes, L. Buckle, S. Datta, A.B. Dean, M.T. Emery, M. Fearn, D.G. Hayes, K.P. Hilton, R. Jefferies, T. Martin, K.J. Nash, T.J. Phillips, W.A. Tang, P.J. Wilding, and R. Chau. Novel InSb-based quantum well transistors for ultra-high speed, low power logic applications. In *Solid-State and Integrated Circuits Technology*, 2004. Proceedings. 7th International Conference on, volume 3, pages 2253–2256 vol.3, 2004. doi: 10.1109/ICSICT.2004.1435293. (Cité pages 28 et 42.)

- [10] T. Ashley, L. Buckle, M.T. Emeny, M. Fearn, D.G. Hayes, K.P. Hilton, R. Jefferies, T. Martin, T.J. Phillips, J. Powell, A.W.H. Tang, D. Wallis, and P.J. Wilding. Indium antimonide based quantum well FETs for ultrahigh frequency, low power dissipation circuits. In *European Microwave Integrated Circuits Conference*, 2006. The 1st, pages 29–30, 2006. doi: 10. 1109/EMICC.2006.282741. (Cité pages 28 et 42.)
- [11] T. Ashley, L. Buckle, S. Datta, M.T. Emeny, D.G. Hayes, K.P. Hilton, R. Jefferies, T. Martin, T.J. Phillips, D.J. Wallis, P.J. Wilding, and R. Chau. Heterogeneous InSb quantum well transistors on silicon for ultra-high speed, low power logic applications. *Electronics Letters*, 43(14), 2007. ISSN 0013-5194. doi: 10.1049/el:20071335. (Cité pages 28 et 42.)
- S. Barbet, R. Aubry, M.-A. di Forte-Poisson, J.-C. Jacquet, D. Deresmes, T. Melin, and D. Theron. Surface potential of n- and p-type GaN measured by kelvin force microscopy. *Applied Physics Letters*, 93(21):212107–3, November 2008. doi: 10.1063/1.3028639. URL http://link.aip.org/ link/?APL/93/212107/1. (Cité page 80.)
- [13] Brian R. Bennett, M. J. Yang, B. V. Shanabrook, J. B. Boos, and D. Park. Modulation doping of InAs/AlSb quantum wells using remote InAs donor layers. *Applied Physics Letters*, 72(10):1193–1195, March 1998. URL http://link.aip.org/link/?APL/72/1193/1. (Cité pages 39, 45, et 46.)
- [14] Brian R. Bennett, Richard Magno, J. Brad Boos, Walter Kruppa, and Mario G. Ancona. Antimonide-based compound semiconductors for electronic devices: A review. *Solid-State Electronics*, 49(12):1875– 1895, December 2005. URL http://www.sciencedirect.com/science/ article/B6TY5-4HGM7DW-1/2/9d952ef58bc6e08fc8832b0eda63c969. (Cité page 68.)
- [15] C.N. Berglund. Surface states at steam-grown silicon-silicon dioxide interfaces. *Electron Devices, IEEE Transactions on*, 13(10):701–705, 1966. ISSN 0018-9383. (Cité page 26.)
- [16] T. Blachowicz, G. Salvan, D.R.T. Zahn, and J. Szuber. Micro-Raman spectroscopy of disordered and ordered sulfur phases on a passivated GaAs surface. *Applied Surface Science*, 252(21): 7642–7646, August 2006. doi: 10.1016/j.apsusc.2006.03.058. URL http://www.sciencedirect.com/science/article/B6THY-4JX9V36-2/ 2/b87bfbble84e55a6eb44a859b1263813. (Cité page 103.)
- [17] A. N. Blaut-Blachev and N. N. Gerasimenko and. On the nature of p-n conversion of InSb crytals irradiated with ions. *Sov. Phys. Semiconductors*, 14:306–310, 1980. (Cité page 90.)
- [18] S. Bollaert, L. Desplanque, X. Wallart, Y. Roelens, M. Malmkvist, M. Borg, E. Lefebvre, J. Grahn, D. Smith, and G. Dambrine. Benchmarking of low band gap III-V based-HEMTs and sub-100nm CMOS under low drain

voltage regime. In *Microwave integrated circuit conference, EuMIC 2007.,* pages 20–23, 2007. doi: 10.1109/EMICC.2007.4412637. (Cité pages 7 et 39.)

- [19] S. Bollaert, L. Desplanque, M. Malmkvist, E. Lefebvre, A. Olivier, A. Shchepetov, Y. Roelens, X. Wallart, A. Cappy, J. Grahn, and G. Dambrine. Antimonide based HEMTs for Ultra-Low-Power and High-Frequency applications. 2008. (Cité page 40.)
- [20] C. R. Bolognesi, J. E. Bryce, and D. H. Chow. InAs channel heterostructurefield effect transistors with InAs/AlSb short-period superlattice barriers. *Applied Physics Letters*, 69(23):3531–3533, December 1996. (Cité page 45.)
- [21] C.R. Bolognesi, E.J. Caine, and H. Kroemer. Improved charge control and the frequency performance in InAs/AlSb HFET's. *Electron Devices*, *IEEE Transactions on*, 40(11):2114, 1993. ISSN 0018-9383. doi: 10.1109/16.239786. (Cité page 46.)
- [22] C.R. Bolognesi, M.W. Dvorak, and D.H. Chow. High-transconductance delta-doped InAs/AlSb HFETs with ultrathin silicon-doped InAs quantum well donor layer. *Electron Device Letters*, *IEEE*, 19(3):83–85, 1998. ISSN 0741-3106. doi: 10.1109/55.661172. (Cité page 45.)
- [23] J. B. Boos, B. R. Bennett, W. Kruppa, D. Park, J. Mittereder, R. Bass, and M. E. Twigg. Ohmic contacts in AlSb/InAs high electron mobility transistors for low-voltage operation. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 17(3):1022–1027, May 1999. URL http://link.aip.org/link/?JVB/17/1022/1. (Cité pages 46 et 70.)
- [24] J.B. Boos, W. Kruppa, B.R. Bennett, D. Park, S.W. Kirchoefer, R. Bass, and H.B. Dietrich. AlSb/InAs HEMT's for low-voltage, high-speed applications. *Electron Devices*, *IEEE Transactions on*, 45(9):1869–1875, 1998. ISSN 0018-9383. doi: 10.1109/16.711349. (Cité pages 45 et 46.)
- [25] B. Brar and H. Kroemer. Influence of impact ionization on the drain conductance in InAs-AlSb quantum well heterostructure field-effect transistors. *Electron Device Letters, IEEE*, 16(12):548–550, 1995. ISSN 0741-3106. doi: 10.1109/55.475583. (Cité page 60.)
- [26] N. Braslau. Alloyed ohmic contacts to GaAs. Journal of Vacuum Science and Technology, 19(3):803–807, 1981. doi: 10.1116/1.571152. URL http: //link.aip.org/link/?JVS/19/803/1. (Cité page 18.)
- [27] Luef C, Flandorfer H, Richter K. W, and Ipser H. Palladium as a contact material for InSb semiconductors - the In-Pd-Sb phase diagram. *Journal of ELECTRONIC MATERIALS*, 32(2):43–51, 2003. URL http://www.ingentaconnect.com/content/tms/jem/2003/ 00000032/00000002/art000002. (Cité page 70.)

- [28] R. Castagné and A. Vapaille. Description of the SiO₂-Si interface properties by means of very low frequency MOS capacitance measurements. *Surface Science*, 28(1):157–193, November 1971. ISSN 0039-6028. doi: 10.1016/0039-6028(71)90092-6. URL http://www.sciencedirect.com/science/article/B6TVX-46T3H41-71/ 2/27e3b1d3871fed57a7b9d796c2e22c3e. (Cité page 26.)
- [29] R. Castagne and A. Vapaille. Apparent interface state density introduced by the spatial fluctuations of surface potential in an MOS structure. *Electronics Letters*, 6(22):691–694, 1970. ISSN 0013-5194. doi: 10.1049/el: 19700481. (Cité page 26.)
- [30] Claude Chabrol. Implantation ionique techniques de l'ingénieur. http://www.techniques-ingenieur.fr/book/m1219/1/implantationionique.html, 1989. URL http://www.techniques-ingenieur.fr/book/ m1219/1/implantation-ionique.html. (Cité page 111.)
- [31] Chin-An Chang, R. Ludeke, L. L. Chang, and L. Esaki. Molecular-beam epitaxy (MBE) of In_{1-x}Ga_xAs and GaSb_{1-y}As_y. *Applied Physics Letters*, 31(11):759–761, December 1977. URL http://link.aip.org/link/?APL/ 31/759/1. (Cité page 45.)
- [32] R. Chau, S. Datta, M. Doczy, B. Doyle, B. Jin, J. Kavalieros, A. Majumdar, M. Metz, and M. Radosavljevic. Benchmarking nanotechnology for highperformance and low-power logic transistor applications. *Nanotechnology*, *IEEE Transactions on*, 4(2):153–158, 2005. ISSN 1536-125X. doi: 10.1109/ TNANO.2004.842073. (Cité page 7.)
- [33] Hock-Chun Chin, Ming Zhu, Zhi-Chien Lee, Xinke Liu, Kian-Ming Tan, Hock Koon Lee, Luping Shi, Lei-Jun Tang, Chih-Hang Tung, Guo-Qiang Lo, Leng-Seow Tan, and Yee-Chia Yeo. A new silaneammonia surface passivation technology for realizing inversion-type surface-channel GaAs N-MOSFET with 160 nm gate length and highquality metal-gate/high-k dielectric stack. In 2008 IEEE International Electron Devices Meeting, pages 1–4, San Francisco, CA, USA, 2008. doi: 10.1109/IEDM.2008.4796700. URL http://ieeexplore.ieee.org/ lpdocs/epic03/wrapper.htm?arnumber=4796700. (Cité pages 32, 33, 36, 37, et 103.)
- [34] Hock-Chun Chin, Ming Zhu, Chih-Hang Tung, Ganesh S. Samudra, and Yee-Chia Yeo. In-situ surface passivation and CMOS-Compatible Palladium-Germanium contacts for surface-channel Gallium Arsenide MOSFETs. *IEEE Electron Device Letters*, 29(6):553–556, 2008. ISSN 0741-3106. doi: 10.1109/LED.2008.921393. URL http://ieeexplore.ieee. org/lpdocs/epic03/wrapper.htm?arnumber=4526758. (Cité page 32.)
- [35] S. Datta, T. Ashley, J. Brask, L. Buckle, M. Doczy, M. Emeny, D. Hayes, K. Hilton, R. Jefferies, Martin, T.J. Phillips, D. Wallis, P. Wilding, and

R. Chau. 85nm gate length enhancement and depletion mode InSb quantum well transistors for ultra high speed and very low power digital logic applications. In *Electron Devices Meeting*, 2005. *IEDM Technical Digest*. *IEEE International*, pages 763–766, 2005. doi: 10.1109/IEDM.2005.1609466. (Cité pages 28, 38, et 42.)

- [36] W.R. Deal, R. Tsai, M.D. Lange, J.B. Boos, B.R. Bennett, and A. Gutierrez. A low Power/Low noise MMIC amplifier for Phased-Array applications using InAs/AISb HEMT. In *Microwave Symposium Digest*, 2006. IEEE MTT-S International, pages 2051–2054, 2006. ISBN 0149-645X. doi: 10. 1109/MWSYM.2006.249858. (Cité pages 8 et 40.)
- [37] A. Declémy, T. Sauvage, E. Kotai, P. Lévêque, and M. I. Abd El-Ati. Be- and Mg-ion implantation-induced damage in InSb. *Materials Science in Semiconductor Processing*, 4(1-3):277–279, February 2001. ISSN 1369-8001. doi: 10.1016/S1369-8001(00)00121-9. URL http://www.sciencedirect.com/science/article/B6VPK-42JHDHD-28/ 2/5085a25f5cb918d11c3916ca105c5938. (Cité page 90.)
- [38] G. Delhaye, L. Desplanque, and X. Wallart. Metamorphic high electron mobility Te-doped AlInSb/GaInSb heterostructures on InP (001). *Journal* of Applied Physics, 104(6):066105, 2008. ISSN 00218979. doi: 10.1063/ 1.2978365. URL http://link.aip.org/link/JAPIAU/v104/i6/p066105/ s1&Agg=doi. (Cité page 69.)
- [39] G. Delhaye, L. Desplanque, and X. Wallart. Preliminary investigations on the Te-doped AlInSb/GaInSb heterostructures for high electron mobility transistor (HEMT) applications. In *Indium Phosphide and Related Materials*, 2008. IPRM 2008. 20th International Conference on, pages 1–3, 2008. ISBN 1092-8669. doi: 10.1109/ICIPRM.2008.4702932. (Cité page 69.)
- [40] L. Desplanque, D.Vignaud, S.Godey, E.Cadio, S.Plissard, X.Wallart, P.Liu, and H.Sellier. Electronic properties of the high electron mobility Al_{0.56}In_{0.44}Sb/Ga_{0.5}In_{0.5}Sb heterostructure. *Journal of Applied Physics*, page à paraître. doi: 10.1063/1.2978365. (Cité page 69.)
- [41] R. Dingle, H. L. Störmer, A. C. Gossard, and W. Wiegmann. Electron mobilities in modulation-doped semiconductor heterojunction superlattices. *Applied Physics Letters*, 33(7):665–667, 1978. doi: 10.1063/1.90457. URL http://link.aip.org/link/?APL/33/665/1. (Cité page 28.)
- [42] R. Driad, Z. H. Lu, S. Laframboise, D. Scansen, W. R. McKinnon, and S. P. McAlister. Surface passivation of InGaAs/InP heterostructures using UV-irradiation and ozone. In *Indium Phosphide and Related Materials*, 1998 International Conference on, Tsukuba (Japan), May 1998. (Cité page 103.)
- [43] R. Driad, W. McKinnon, Z. Lu, and S. McAlister. Effect of UV-ozone oxidation on the device characteristics of InP-based heterostructure bipolar transistors. *Journal of Electronic Materials*, 29(12):L33–L36, Decem-

ber 2000. doi: 10.1007/s11664-000-0127-z. URL http://dx.doi.org/10. 1007/s11664-000-0127-z. (Cité page 103.)

- [44] Emmanuel Dubois and Guilhem Larrieu. Measurement of low schottky barrier heights applied to metallic source/drain metal-oxidesemiconductor field effect transistors. *Journal of Applied Physics*, 96(1): 729–737, 2004. doi: 10.1063/1.1756215. URL http://link.aip.org/link/ ?JAP/96/729/1. (Cité page 82.)
- [45] G. Eftekhari. Electrical characteristics of metal/n-InSb contacts with InSb annealed rapidly prior to metal evaporation. *Journal of Vacuum Science* & Technology B: Microelectronics and Nanometer Structures, 13(5):2134–2136, 1995. URL http://link.aip.org/link/?JVB/13/2134/1. (Cité page 70.)
- [46] G. Eftekhari. Electrical properties of sulfur-passivated III-V compound devices. Vacuum, 67(1):81–90, September 2002. doi: 10.1016/ S0042-207X(02)00195-1. URL http://www.sciencedirect.com/science/ article/B6TW4-45F8X00-C/2/682a70095c8ce45db9b942e118fb92f6. (Cité page 103.)
- [47] A. Endoh, Y. Yamashita, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Matsui, S. Hiyamizu, and T. Mimura. InP HEMTs: physics, applications, and future. In *Device Research Conference*, 2003, pages 5–8, 2003. (Cité page 39.)
- [48] C.C. Eugster, T.P.E. Broekaert, J.A. del Alamo, and C.G. Fonstad. An InAlAs/InAs MODFET. *IEEE Electron Device Letters*, 12 (12):707–709, December 1991. ISSN 07413106. doi: 10.1109/55. 116963. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=116963. (Cité page 28.)
- [49] M.V. Fischetti. Monte carlo simulation of transport in technologically significant semiconductors of the diamond and zinc-blende structures. I. homogeneous transport. *IEEE Transactions on Electron Devices*, 38(3):634–649, 1991. ISSN 00189383. doi: 10.1109/16.75176. URL http://ieeexplore. ieee.org/lpdocs/epic03/wrapper.htm?arnumber=75176. (Cité page 17.)
- [50] M.V. Fischetti and S.E. Laux. Monte carlo simulation of transport in technologically significant semiconductors of the diamond and zinc-blende structures. II. submicrometer MOSFET's. *IEEE Transactions on Electron Devices*, 38(3):650–660, 1991. ISSN 00189383. doi: 10.1109/16.75177. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=75177. (Cité page 13.)
- [51] D. M. Fleetwood. Long-term annealing study of midgap interface-trap charge neutrality. *Applied Physics Letters*, 60(23):2883–2885, 1992. doi: 10. 1063/1.106807. URL http://link.aip.org/link/?APL/60/2883/1. (Cité page 25.)

- [52] Martin M. Frank, Glen D. Wilk, Dmitri Starodub, Torgny Gustafsson, Eric Garfunkel, Yves J. Chabal, John Grazul, and David A. Muller. HfO₂ and Al₂O₃ gate dielectrics on GaAs grown by atomic layer deposition. *Applied Physics Letters*, 86(15):152904–3, April 2005. URL http://link.aip.org/ link/?APL/86/152904/1. (Cité page 35.)
- [53] Y. Fukuda, Y. Suzuki, N. Sanada, M. Shimomura, and S. Masuda. (NH₄)₂S_x-treated InAs(001) surface studied by x-ray photoelectron spectroscopy and low-energy electron diffraction. *Physical Review B*, 56(3): 1084, 1997. URL http://link.aps.org/abstract/PRB/v56/p1084. (Cité page 103.)
- [54] Fei Gao, S.J. Lee, Rui Li, S.J. Whang, S. Balakumar, D.Z. Chi, Chia Ching Kean, S. Vicknesh, C.H. Tung, and D.-L. Kwong. GaAs p- and n-MOS devices integrated with novel passivation (plasma nitridation and AlNsurface passivation) techniques and ALD-HfO2/TaN gate stack. In *Electron Devices Meeting*, 2006. *IEDM '06. International*, pages 1–4, 2006. doi: 10.1109/IEDM.2006.346743. (Cité page 35.)
- [55] N. N. Gerasimenko, G. S. Khryashchev, G. L. Kuryshev, A. M. Myasnikov, and V. I. Obodnikov. SIMS study on redistribution of implanted impurities in InSb and InAs during post-implantation annealing. Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, 111(3-4):281–284, May 1996. ISSN 0168-583X. doi: 10.1016/0168-583X(95)01457-8. URL http://www.sciencedirect.com/science/article/B6TJN-3VRW3MR-D/ 2/cb5b8576271df3be254650270cc2794b. (Cité page 90.)
- [56] N. N. Gerasimenko, G. L. Kuryshev, A. M. Myasnikov, V. I. Obodnikov, and I. V. Verner. Distribution of impurities implanted in InSb and InAs before and after annealing. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, 127-128:446–450, May 1997. ISSN 0168-583X. doi: 10.1016/S0168-583X(97)80045-6. URL http://www.sciencedirect.com/science/article/B6TJN-3SP7WH-3J/ 2/b7ef071db20e782049eeaa62c9b2f91f. (Cité page 90.)
- [57] K. Gopalakrishnan, P.B. Griffin, and J.D. Plummer. I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q. In *Electron Devices Meeting*, 2002. *IEDM '02. Digest. International*, pages 289– 292, 2002. doi: 10.1109/IEDM.2002.1175835. (Cité page 6.)
- [58] Peter V. Gray and Dale M. Brown. Density of SiO₂ single bond Si interface states. *Applied Physics Letters*, 8(2):31–33, 1966. doi: 10.1063/1.1754468. URL http://link.aip.org/link/?APL/8/31/1. (Cité page 25.)
- [59] M. I. Guseva, A. N. Mansurova, V. G. Tikhonov, and S. N. Khorvat. A study of hall effect in sulfur ion implanted indium antimonide. *Sov. Phys. Semiconductors*, 10:1469–1471, 1976. (Cité page 90.)

- [60] M. Hong, J.N. Baillargeon, J. Kwo, J.P. Mannaerts, and A.Y. Cho. First demonstration of GaAs CMOS. In *Compound Semiconductors*, 2000 IEEE International Symposium on, pages 345–350, 2000. doi: 10.1109/ISCS.2000. 947180. (Cité page 33.)
- [61] Chenming Hu. Reduce IC power consumption by >10x with a green transistor? In *Device Research Conference*, 2009. DRC 2009, pages 9–10, 2009. doi: 10.1109/DRC.2009.5354973. (Cité page 6.)
- [62] Chenming Hu, D. Chou, P. Patel, and A. Bowonder. Green transistor a V_{DD} scaling path for future low power ICs. In VLSI Technology, Systems and Applications, 2008. VLSI-TSA 2008. International Symposium on, pages 14–15, 2008. ISBN 1930-885X. doi: 10.1109/VTSA.2008.4530776. (Cité page 6.)
- [63] K. Ikossi, M. Goldenberg, and J. Mittereder. Metallization options and annealing temperatures for low contact resistance ohmic contacts to n-type GaSb. *Solid-State Electronics*, 46(10):1627– 1631, October 2002. doi: 10.1016/S0038-1101(02)00116-8. URL http://www.sciencedirect.com/science/article/B6TY5-45D8GFT-7/ 2/4e22afa1033a46c3014eed035c4c8c11. (Cité page 70.)
- [64] Ipser and Richter. Ni, pd, or pt as contact materials for GaSb and InSb semiconductors: Phase diagrams. *Journal of Electronic Materials*, 32 (11):1136–1140, November 2003. doi: 10.1007/s11664-003-0002-9. URL http://dx.doi.org/10.1007/s11664-003-0002-9. (Cité page 70.)
- [65] J. H. Jang, H. K. Cho, J. W. Bae, I. Adesida, and N. Pan. Comparative studies on Low-Resistance Pd-Based ohmic contacts on p-GaAsSb. *Journal* of The Electrochemical Society, 154(5):H389–H392, May 2007. URL http: //link.aip.org/link/?JES/154/H389/1. (Cité pages 70 et 71.)
- [66] C. Kadow, M. Dahlstrom, J.-U. Bae, H.-K. Lin, A.C. Gossard, M.J.W. Rodwell, B. Brar, G.J. Sullivan, G. Nagy, and J.I. Bergman. n⁺/-InAs-InAlAs recess gate technology for InAs-channel millimeter-wave HFETs. *Electron Devices, IEEE Transactions on*, 52(2):151–158, 2005. ISSN 0018-9383. doi: 10.1109/TED.2004.842534. (Cité pages 70 et 80.)
- [67] Shin-Jae Kang, Jae-Chun Han, Jeong-Hoon Kim, Seong-June Jo, Seong-Wung Park, and Jong-In Song. InP-based MOSFET technology utilizing a liquid phase oxidized InGaAs gate. In *Conference Proceedings. 14th Indium Phosphide and Related Materials Conference (Cat. No.o2CH37307)*, pages 193–196, Stockholm, Sweden. doi: 10.1109/ICIPRM.2002. 1014307. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=1014307. (Cité pages 32 et 38.)
- [68] J. Katcki, A. Laszcz, J. Ratajczak, F. Phillipp, M. Guziewicz, and A. Piotrowska. Transmission electron microscopy study of Au/ZrB₂/Ag(Te) contacts to GaSb. *Materials Chemistry and Physics*, 81

(2-3):260-264, August 2003. doi: 10.1016/S0254-0584(02)00597-7. URL http://www.sciencedirect.com/science/article/B6TX4-47RB69W-4/ 2/8a719220bf834318a5931bf02b7c4db8. (Cité pages 70 et 71.)

- [69] Dae-Hyun Kim and J.A. del Alamo. 30-nm InAs pseudomorphic HEMTs on an InP substrate with a Current-Gain cutoff frequency of 628 GHz. *Electron Device Letters, IEEE*, 29(8):830–833, 2008. ISSN 0741-3106. (Cité pages 39 et 40.)
- [70] Y.L. Kok, H. Wang, T.W. Huang, R. Lai, M. Barsky, Y.C. Chen, M. Sholley, T. Block, D.C. Streit, B.R. Allen, L. Samoska, and T. Gaier. 160-190-GHz monolithic low-noise amplifiers. *Microwave and Guided Wave Letters*, *IEEE*, 9(8):311–313, 1999. ISSN 1051-8207. doi: 10.1109/75.779912. (Cité page 40.)
- [71] W. Kruppa and J.B. Boos. Rf measurement of impact ionization and its temperature dependence in AlSb/InAs HEMTs. In *Indium Phosphide and Related Materials*, 1994. Conference Proceedings., Sixth International Conference on, pages 339–342, 27-31 1994. doi: 10.1109/ICIPRM.1994.328239. (Cité page 60.)
- [72] R. Lai, X.B. Mei, W.R. Deal, W. Yoshida, Y.M. Kim, P.H. Liu, J. Lee, J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska, and A. Fung. Sub 50 nm InP HEMT device with f_{max} greater than 1 THz. In *Electron Devices Meeting*, 2007. *IEDM* 2007. *IEEE International*, pages 609–611, 2007. doi: 10.1109/IEDM.2007.4419013. (Cité page 40.)
- [73] M.D. Lange, A. Cavus, R.S. Tsai, C. Monier, W.R. Deal, B. Chan, A.C. Cox, D.G. Pascua, R.S. Sandhu, R. Hsing, B.D. Poust, J.L. Kraus, P.S. Nam, L.J. Lee, D. Li, A.L. Gutierrez-Aitken, A.M. Noori, S.L. Hayashi, and M.S. Goorsky. Ultra-low-power HEMT and HBT devices and circuit demonstrations. In *Semiconductor Device Research Symposium*, 2005 International, pages 145–146, 2005. doi: 10.1109/ISDRS.2005.1596022. (Cité page 40.)
- [74] J. L. Leclercq, E. Bergignat, and G. Hollinger. Surface chemistry of InAlAs after (NH₄)₂S_x sulphidation. *Semiconductor Science and Technology*, 10(1): 95–100, 1995. ISSN 0268-1242. (Cité page 103.)
- [75] Kuan-Wei Lee, Kai-Lin Lee, Xian-Zheng Lin, Chao-Hsien Tu, and Yeong-Her Wang. Improvement of impact ionization effect and subthreshold current in InAlAs/InGaAs Metal/Oxide/Semiconductor metamorphic HEMT with a Liquid-Phase oxidized InAlAs as gate insulator. *Electron Devices, IEEE Transactions on*, 54(3):418–424, 2007. ISSN 0018-9383. doi: 10.1109/TED.2006.890599. (Cité pages 34 et 38.)
- [76] A. Leuther, R. Weber, M. Danamann, M. Schlechtweg, M. Mikulla, M. Walther, and G. Weimann. Metamorphic 50 nm InAs-channel HEMT. In *International Conference on Indium Phosphide and Related Materials*, 2005., pages 129–132, Glasgow, Scotland, 2005. doi: 10.1109/ICIPRM.2005.

1517436. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=1517436. (Cité page 41.)

- [77] L. V. Lezheyko, E. V. Lyubopytova, and V. I. Obodnikov. Conversion of conduction type at isochronous annealing InSb irradiated with hydrogen ions. *Sov. Phys. Semiconductors*, 16:1638–1640, 1982. (Cité page 90.)
- [78] X. Li, Y. Cao, D.C. Hall, P. Fay, B. Han, A. Wibowo, and N. Pan. GaAs MOSFET using InAlP native oxide as gate dielectric. *Electron Device Letters, IEEE*, 25(12):772–774, 2004. ISSN 0741-3106. doi: 10.1109/LED. 2004.838555. (Cité page 32.)
- [79] D. Lin, G. Brammertz, S. Sioncke, C. Fleischmann, A. Delabie, K. Martens, H. Bender, T. Conard, W. H. Tseng, J. C. Lin, W. E. Wang, K. Temst, A. Vatomme, J. Mitard, M. Caymax, M. Meuris, M. Heyns, and T. Hoffmann. Enabling the high-performance InGaAs/Ge CMOS: a common gate stack solution. In 2009 IEEE International Electron Devices Meeting (IEDM), pages 1–4, Baltimore, MD, USA, 2009. doi: 10.1109/IEDM.2009. 5424359. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5424359. (Cité page 7.)
- [80] H. C. Lin, T. Yang, H. Sharifi, S. K. Kim, Y. Xuan, T. Shen, S. Mohammadi, and P. D. Ye. Enhancement-mode GaAs metal-oxide-semiconductor highelectron-mobility transistors with atomic layer deposited al₂o₃ as gate dielectric. *Applied Physics Letters*, 91(21):212101–3, November 2007. URL http://link.aip.org/link/?APL/91/212101/1. (Cité page 38.)
- [81] H.C. Lin, P.D. Ye, and G.D. Wilk. Current-transport properties of atomic-layer-deposited ultrathin Al₂O₃ on GaAs. *Solid-State Electronics*, 50(6):1012–1015, 2006. URL http://www.sciencedirect.com/science/ article/B6TY5-4K5ST7T-1/2/206979951501dff15b6f26613089cf08. (Cité page 32.)
- [82] J. Q. Lin, S. J. Lee, H. J. Oh, G. Q. Lo, D. L. Kwong, and D. Z. Chi. Inversion-Mode Self-Aligned In_{0.53}Ga_{0.47}As N-Channel Metal-Oxide-Semiconductor Field-Effect transistor with HfAlO gate dielectric and TaN metal gate. *IEEE Electron Device Letters*, 29(9):977–980, 2008. ISSN 0741-3106. doi: 10.1109/LED.2008.2001766. URL http://ieeexplore.ieee. org/lpdocs/epic03/wrapper.htm?arnumber=4604834. (Cité page 36.)
- [83] Jianqiang Lin, Sungjoo Lee, Hoon-Jung Oh, Weifeng Yang, G.Q. Lo, D.L. Kwong, and D.Z. Chi. Plasma PH3-passivated high mobility inversion InGaAs MOSFET fabricated with self-aligned gate-first process and HfO2/TaN gate stack. In *Electron Devices Meeting*, 2008. *IEDM 2008. IEEE International*, pages 1–4, 2008. ISBN 8164-2284. doi: 10.1109/IEDM.2008.4796705. (Cité pages 32, 33, 36, 37, 38, et 103.)
- [84] T. D. Lin, H. C. Chiu, P. Chang, L. T. Tung, C. P. Chen, M. Hong, J. Kwo, W. Tsai, and Y. C. Wang. High-performance self-aligned inversionchannel In_{0.53}Ga_{0.47}As metal-oxide-semiconductor field-effect-transistor

with al₂0₃/ga₂0₃(gd₂0₃) as gate dielectrics. *Applied Physics Letters*, 93 (3):033516–3, 2008. doi: 10.1063/1.2956393. URL http://link.aip.org/link/?APL/93/033516/1. (Cité pages xx, 37, 124, 125, 126, et 127.)

- [85] Biing-Der Liu, Si-Chen Lee, Tai-Ping Sun, and Sheng-Jenn Yang. Detailed investigation of InSb p-channel metal-oxide-semiconductor field effect transistor prepared by photo-enhanced chemical vapor deposition. *IEEE Transactions on Electron Devices*, 42(5):795–803, 1995. ISSN 00189383. doi: 10.1109/16.381972. URL http://ieeexplore.ieee.org/lpdocs/epic03/ wrapper.htm?arnumber=381972. (Cité page 32.)
- [86] Jialu Liu and Tingqing Zhang. Rapid thermal annealing characteristics of Be implanted into InSb. Applied Surface Science, 126(3-4):231–234, April 1998. ISSN 0169-4332. doi: 10.1016/S0169-4332(97)00695-8. URL http://www.sciencedirect.com/science/article/B6THY-3VCKD1T-6/ 2/35d2091e0905897626f07e16c10fe102. (Cité page 90.)
- [87] W. E. Liu and S. E. Mohney. Condensed phase equilibria in transition metal-In-Sb systems and predictions for thermally stable contacts to InSb. *Materials Science and Engineering B*, 103(2):189– 201, October 2003. doi: 10.1016/S0921-5107(03)00214-9. URL http://www.sciencedirect.com/science/article/B6TXF-494S7MY-5/ 1/1440c357ee9f85ddd8ca141872ec6b8e. (Cité pages 70 et 71.)
- [88] B. Y. Ma, J. Bergman, P. Chen, J. B. Hacker, G. Sullivan, G. Nagy, and B. Brar. InAs/AlSb HEMT and its application to Ultra-Low-Power wideband High-Gain Low-Noise amplifiers. *Microwave Theory and Techniques, IEEE Transactions on*, 54(12):4448–4455, 2006. ISSN 0018-9480. doi: 10.1109/TMTT.2006.883604. (Cité pages 39, 40, et 61.)
- [89] Otfried Madelung. Semiconductors. Birkhauser, 2004. ISBN 3540404880, 9783540404880. (Cité page 17.)
- [90] E. Mairiaux, L. Desplanque, X. Wallart, G. Dambrine, and M. Zaknoune. Selective wet chemical etching of GaInSb and AlInSb for 6.25 åHBT fabrication. In *Indium Phosphide and Related Materials, 2008. IPRM 2008.* 20th International Conference on, pages 1–3, 2008. ISBN 1092-8669. doi: 10.1109/ICIPRM.2008.4702971. (Cité pages 88 et 91.)
- [91] M. Marso, G. Heidelberger, K.M. Indlekofer, J. Bernat, A. Fox, P. Kordos, and H. Luth. Origin of improved RF performance of AlGaN/GaN MOSHFETs compared to HFETs. *Electron Devices, IEEE Transactions on*, 53(7):1517–1523, 2006. ISSN 0018-9383. doi: 10.1109/TED.2006.875819. (Cité page 32.)
- [92] T. Mimura and M. Fukuta. Status of the GaAs metal/oxide/semiconductor technology. *Electron Devices*, *IEEE Transactions on*, 27(6):1147–1155, 1980. ISSN 0018-9383. (Cité page 32.)

- [93] T. Mimura, K. Odani, N. Yokoyama, Y. Nakayama, and M. Fukuta. GaAs microwave MOSFET's. *Electron Devices, IEEE Transactions on*, 25(6):573– 579, 1978. ISSN 0018-9383. (Cité pages 32 et 38.)
- [94] K. Nakamura, N.C. Paul, M. Takebe, K. liyama, and S. Takamiya. Depletion/enhancement mode InAlAs/InGaAs- MOSHEMTs with nm thin gate insulating layers formed by oxidation of the InAlAs layer. In 16th IPRM. 2004 International Conference on Indium Phosphide and Related Materials, 2004., pages 191–194, Kagoshima, Japan, 2004. doi: 10. 1109/ICIPRM.2004.1442643. URL http://ieeexplore.ieee.org/lpdocs/ epic03/wrapper.htm?arnumber=1442643. (Cité page 34.)
- [95] P. Nam, R. Tsai, M. Lange, W. Deal, J. Lee, C. Namba, P. Liu, R. Grundbacher, J. Wang, M. Barsky, A. Gutierrez-Aitken, and S. Olson. Shallow mesa isolation of AlSb/InAs HEMT with AlGaSb buffer layer using inductively coupled plasma etching. 2005. URL http://www.gaasmantech. org/Digests/2005/2005abstracts/7.2abs2005.htm. (Cité page 42.)
- [96] Kenji Natori. The capacitance of microstructures. Journal of Applied Physics, 78(7):4543, 1995. ISSN 00218979. doi: 10.1063/1.359797. URL http://link.aip.org/link/JAPIAU/v78/i7/p4543/s1&Agg=doi. (Cité page 13.)
- [97] L.D. Nguyen and P.J. Tasker. Scaling issues of ultra-high-speed HEMTs. volume 1288, pages 251 –257, 1990. (Cité page 30.)
- [98] E. H. Nicollian and J. R. Brews. MOS Physics and Technology. New York, wiley edition, 1982. ISBN 978-0-471-43079-7. (Cité page 26.)
- [99] K. Nishikawa, T. Enoki, S. Sugitani, and I. Toyoda. 0.4 V, 5.6 mW InP HEMT V-band Low-Noise amplifier MMIC. In *Microwave Symposium Digest, 2006. IEEE MTT-S International*, pages 810–813, 2006. ISBN 0149-645X. doi: 10.1109/MWSYM.2006.249796. (Cité page 41.)
- [100] M. Nonnenmacher, M. P. O'Boyle, and H. K. Wickramasinghe. Kelvin probe force microscopy. *Applied Physics Letters*, 58(25):2921–2923, 1991. doi: 10.1063/1.105227. URL http://link.aip.org/link/?APL/58/2921/
 1. (Cité page 80.)
- [101] E. O'Connor, R. D. Long, K. Cherkaoui, K. K. Thomas, F. Chalvet, I. M. Povey, M. E. Pemble, P. K. Hurley, B. Brennan, G. Hughes, and S. B. Newcomb. In situ H₂S passivation of In_{0.53}Ga_{0.47}As/InP metal-oxide-semiconductor capacitors with atomic-layer deposited HfO₂ gate dielectric. *Applied Physics Letters*, 92(2):022902–3, 2008. URL http://link.aip.org/link/?APL/92/022902/1. (Cité page 103.)
- [102] H. J. Oh, J. Q. Lin, S. A. B. Suleiman, G. Q. Lo, D. L. Kwong, D. Z. Chi, and S. J. Lee. Thermally robust phosphorous nitride interface passivation for InGaAs self-aligned gate-first n-MOSFET integrated with high-k dielectric. In 2009 IEEE International Electron Devices Meeting

(IEDM), pages 1-4, Baltimore, MD, USA, 2009. doi: 10.1109/IEDM.2009. 5424354. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=5424354. (Cité pages 32, 33, et 36.)

- [103] I. Ok, Hyoung sub Kim, Manhong Zhang, Chang-Yong Kang, Se Jong Rhee, Changhwan Choi, S.A. Krishnan, Tackhwi Lee, Feng Zhu, G. Thareja, and J.C. Lee. Metal gate-HfO₂/MOS structures on GaAs substrate with and without Si interlayer. *Electron Device Letters, IEEE*, 27 (3):145–147, 2006. ISSN 0741-3106. doi: 10.1109/LED.2006.870243. (Cité pages 33, 35, et 36.)
- [104] InJo Ok, H. Kim, M. Zhang, T. Lee, F. Zhu, L. Yu, S. Koveshnikov, W. Tsai, V. Tokranov, M. Yakimov, S. Oktyabrsky, and J.C. Lee. Self-Aligned n- and p-channel GaAs MOSFETs on undoped and p-type substrates using HfO2 and silicon interface passivation layer. In *Electron Devices Meeting*, 2006. *IEDM '06. International*, pages 1–4, 2006. doi: 10.1109/IEDM.2006.346742. (Cité pages 33, 35, et 36.)
- [105] A. Olivier, T. Gehin, L. Desplanque, X. Wallart, Y. Roelens, G. Dambrine, A. Cappy, S. Bollaert, E. Lefebvre, M. Malmkvist, and J. Grahn. AlSb/InAs HEMTs on InP substrate using wet and dry etching for mesa isolation. In *Indium Phosphide and Related Materials, 2008. IPRM 2008. 20th International Conference on*, pages 1–3, 2008. ISBN 1092-8669. (Cité page 57.)
- [106] A. Padilla, Chun Wing Yeung, Changhwan Shin, Chenming Hu, and Tsu-Jae King Liu. Feedback FET: a novel transistor exhibiting steep switching behavior at low bias voltages. In *Electron Devices Meeting*, 2008. *IEDM 2008. IEEE International*, pages 1–4, 2008. ISBN 8164-2284. doi: 10.1109/IEDM.2008.4796643. (Cité page 6.)
- [107] M. Passlack, R. Droopad, K. Rajagopalan, J. Abrokwah, R. Gregory, and D. Nguyen. High mobility NMOSFET structure with high-κ dielectric. *Electron Device Letters, IEEE*, 26(10):713–715, 2005. ISSN 0741-3106. doi: 10.1109/LED.2005.856707. (Cité pages 32 et 34.)
- [108] M. Passlack, P. Zurcher, K. Rajagopalan, R. Droopad, J. Abrokwah, M. Tutt, Y.-B. Park, E. Johnson, O. Hartin, A. A10 Zlotnicka Zlotnicka, P. A11 Fejes Fejes, R.J.W. A12 Hill Hill, D.A.J. A13 Moran Moran, X. A14 Li Li, H. A15 Zhou Zhou, D. A16 Macintyre Macintyre, S. A17 Thoms Thoms, A. A18 Asenov Asenov, K. A19 Kalna Kalna, and I.G. A20 Thayne Thayne. High mobility III-V MOSFETs for RF and digital applications. In *Electron Devices Meeting*, 2007. *IEDM* 2007. *IEEE International*, pages 621–624, 2007. doi: 10.1109/IEDM.2007.4419016. (Cité page 37.)
- [109] Narayan Chandra Paul, Kazuki Nakamura, Masahide Takebe, Akira Takemoto, Takao Inokuma, Koichi Iiyama, Saburo Takamiya, Koichi Higashimine, Nobuo Ohtsuka, and Yasuto Yonezawa. Structural and electrical characterization of oxidated, nitridated and oxi-nitridated (100) GaAs surfaces. Japanese Journal of Applied Physics, 42(Part 1, No. 7A):4264–4272,

2003. ISSN 0021-4922. doi: 10.1143/JJAP.42.4264. URL http://jjap.ipap. jp/cgi-bin/getarticle?magazine=JJAP&volume=42&page=4264. (Cité page 34.)

- [110] S. J. Pearton, A. R. Von Neida, J. M. Brown, K. T. Short, L. J. Oster, and U. K. Chakrabarti. Ion implantation damage and annealing in InAs, GaSb, and GaP. *Journal of Applied Physics*, 64(2):629–636, 1988. doi: 10.1063/1.341952. URL http://link.aip.org/link/?JAP/64/629/1. (Cité page 90.)
- [111] D. Y. Petrovykh, M. J. Yang, and L. J. Whitman. Chemical and electronic properties of sulfur-passivated InAs surfaces. *Surface Science*, 523(3):231–240, 2003. doi: 10.1016/S0039-6028(02)02411-1. URL http://www.sciencedirect.com/science/article/B6TVX-4718468-3/ 2/2de4093b04ced5c1d033f73c4ac6c1e9. (Cité page 103.)
- [112] D. Y. Petrovykh, J. M. Sullivan, and L. J. Whitman. Quantification of discrete oxide and sulfur layers on sulfur-passivated InAs by XPS. *Surface and Interface Analysis*, 37(11):989–997, 2005. URL http://dx.doi.org/10. 1002/sia.2095. (Cité page 103.)
- [113] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and Robert Chau. Advanced high-K gate dielectric for high-performance short-channel In_{0.7}Ga_{0.3}As quantum well field effect transistors on silicon substrate for low power logic applications. In 2009 IEEE International Electron Devices Meeting (IEDM), pages 1–4, Baltimore, MD, USA, 2009. doi: 10.1109/IEDM.2009.5424361. URL http://ieeexplore.ieee.org/ lpdocs/epic03/wrapper.htm?arnumber=5424361. (Cité pages 36 et 37.)
- [114] K. Rajagopalan, J. Abrokwah, R. Droopad, and M. Passlack. Enhancement-Mode GaAs n-Channel MOSFET. *Electron Device Letters, IEEE*, 27(12): 959–962, 2006. ISSN 0741-3106. doi: 10.1109/LED.2006.886319. (Cité pages 32 et 34.)
- [115] Mulpuri V. Rao, Mehrdad M. Moslehi, Rajendra Singh, and Dim-Lee Kwong. Rapid thermal annealing of ion-implanted InP, InGaAs, and InSb. In *Rapid Thermal and Integrated Processing*, volume 1595, pages 108–119. SPIE, February 1992. URL http://link.aip.org/link/?PSI/1595/108/1. (Cité page 90.)
- [116] F. Ren, M. Hong, W. S. Hobson, J. M. Kuo, J. R. Lothian, J. P. Mannaerts, J. Kwo, S. N. G. Chu, Y. K. Chen, and A. Y. Cho. Demonstration of enhancement-mode p- and n-channel GaAs MOSFETS with Ga₂O₃(Gd₂O₃) as gate oxide. *Solid-State Electronics*, 41(11):1751–1753, November 1997. URL http://www.sciencedirect.com/science/ article/B6TY5-3SPX7C4-2T/2/ebf3a68c4e05fa15095f780e334319d9. (Cité page 33.)

- [117] F. Ren, M. Hong, J.M. Kuo, W.S. Hobson, J.R. Lothian, H.S. Tsai, J. Lin, J.P. Mannaerts, J. Kwo, S.N.G. A10 Chu Chu, Y.K. A11 Chen Chen, and A.Y. A12 Cho Cho. III-V compound semiconductor MOSFETs using Ga₂O₃ (Gd₂O₃) as gate dielectric. In *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, 1997. Technical Digest 1997., 19th Annual, pages 18–21, 1997. doi: 10.1109/GAAS.1997.628229. (Cité pages 32, 33, et 34.)
- [118] F. Ren, J.M. Kuo, M. Hong, W.S. Hobson, J.R. Lothian, J. Lin, H.S. Tsai, J.P. Mannaerts, J. Kwo, S.N.G. Chu, Y.K. Chen, and A.Y. Cho. Ga₂O₃(Gd₂O₃)/InGaAs enhancement-mode n-channel MOSFETs. *Electron Device Letters, IEEE*, 19(8):309–311, 1998. ISSN 0741-3106. doi: 10.1109/55.704409. (Cité pages 33 et 37.)
- [119] J. Robinson and S. Mohney. Solid-state phase formation between pd thin films and GaSb. *Journal of Electronic Materials*, 35(1):48–55, January 2006. doi: 10.1007/s11664-006-0183-0. URL http://dx.doi.org/10. 1007/s11664-006-0183-0. (Cité page 70.)
- [120] J.A. Robinson, S.E. Mohney, J.B. Boos, B.P. Tinkham, and B.R. Bennett. Pd/Pt/Au ohmic contact for AlSb/InAs_{0.7}Sb_{0.3} heterostructures. *Solid-State Electronics*, 50(3):429–432, March 2006. doi: 10.1016/ j.sse.2006.01.009. URL http://www.sciencedirect.com/science/ article/B6TY5-4JG5FJY-2/2/2ed0d43acffef76b02bf0db6d1f1598f. (Cité page 70.)
- [121] M. Rosker and J. Shah. DARPA's program on antimonide based compound semiconductors (ABCS). In *Gallium Arsenide Integrated Circuit* (*GaAs IC*) Symposium, 2003. 25th Annual Technical Digest 2003. IEEE, page 293, 2003. ISBN 1064-7775. (Cité page 68.)
- [122] M.J. Rosker, V. Greanya, and Tsu-Hsi Chang. The DARPA COmpound semiconductor materials on silicon (COSMOS) program. In *Compound Semiconductor Integrated Circuits Symposium*, 2008. CSIC '08. IEEE, pages 1–4, 2008. ISBN 1550-8781. doi: 10.1109/CSICS.2008.6. (Cité pages 7 et 37.)
- [123] Shigehiko Sasa. Increased electron concentration in InAs/AlGaSb heterostructures using a Si planar doped ultrathin InAs quantum well. *Jpn. J. Appl. Phys.*, 36(3B):1869–1871, March 1997. URL http://jjap.ipap.jp/link?JJAP/36/1869. (Cité pages 45 et 46.)
- [124] Dieter K. Schroder. Semiconductor material and device characterization. John Wiley and Sons, January 2006. ISBN 0471739065, 9780471739067. (Cité pages xiii, 25, 27, et 128.)
- [125] Byungha Shin, Donghun Choi, James S. Harris, and Paul C. McIntyre. Pre-atomic layer deposition surface cleaning and chemical passivation of (100) In_{0.2}Ga_{0.8}As and deposition of ultrathin Al₂O₃ gate insulators. *Applied Physics Letters*, 93(5):052911, 2008. ISSN 00036951.

doi: 10.1063/1.2966357. URL http://link.aip.org/link/APPLAB/v93/ i5/p052911/s1&Agg=doi. (Cité pages xvi, 104, et 106.)

- [126] M.H. Somerville, A. Ernst, and J.A. del Alamo. A physical model for the kink effect in InAlAs/InGaAs HEMTs. *IEEE Transactions on Electron Devices*, 47(5):922–930, 2000. ISSN 00189383. doi: 10.1109/ 16.841222. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=841222. (Cité page 31.)
- [127] T. Suemitsu, T. Enoki, N. Sano, M. Tomizawa, and Y. Ishii. An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation. *IEEE Transactions on Electron Devices*, 45(12):2390–2399, December 1998. ISSN 00189383. doi: 10.1109/16.735714. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=735714. (Cité page 31.)
- [128] Tetsuya Suemitsu, Takatomo Enoki, Haruki Yokoyama, and Yasunobu Ishii. Improved Recessed-Gate structure for Sub-0.1-µm-Gate InP-Based high electron mobility transistors. *Japanese Journal of Applied Physics*, 37:1365–1372, 1998. ISSN 0021-4922. doi: 10.1143/JJAP.37.1365. URL http://jjap.ipap.jp/link?JJAP/37/1365. (Cité page 30.)
- [129] Yanning Sun, E.W. Kiewra, J.P. de Souza, J.J. Bucchignano, K.E. Fogel, D.K. Sadana, and G.G. Shahidi. Scaling of In_{0.7}Ga_{0.3}As buried-channel MOSFETs. In *Electron Devices Meeting*, 2008. *IEDM 2008. IEEE International*, pages 1–4, 2008. ISBN 8164-2284. doi: 10.1109/IEDM.2008.4796696. (Cité pages 36 et 37.)
- [130] D. B. Suyatin, C. Thelander, M. T. Björk, I. Maximov, and L. Samuelson. Sulfur passivation for ohmic contact formation to InAs nanowires. *Nanotechnology*, 18(10):105307, 2007. ISSN 0957-4484. (Cité page 103.)
- [131] S. M. Sze and Kwok Kwok Ng. *Physics of semiconductor devices*. John Wiley and Sons, 2007. ISBN 0471143235, 9780471143239. (Cité pages 17 et 126.)
- [132] H. Takagi, G. Kano, and I. Teramoto. Thermal-oxide gate GaAs MOSFET's. *Electron Devices, IEEE Transactions on*, 25(5):551–552, 1978. ISSN 0018-9383. (Cité page 32.)
- [133] S. Takagi and A. Toriumi. Quantitative understanding of inversionlayer capacitance in si MOSFET's. *IEEE Transactions on Electron Devices*, 42(12):2125–2130, December 1995. ISSN 00189383. doi: 10.1109/ 16.477770. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=477770. (Cité pages 13 et 14.)
- [134] S. Takagi, M. Takayanagi, and A. Toriumi. Characterization of inversionlayer capacitance of holes in si MOSFET's. *IEEE Transactions on Electron Devices*, 46(7):1446–1450, 1999. ISSN 00189383. doi: 10.1109/ 16.772489. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper. htm?arnumber=772489. (Cité page 14.)
- [135] S. Takagi, T. Iisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka, and N. Sugiyama. Carrier-Transport-Enhanced channel CMOS for improved power consumption and performance. *Electron Devices, IEEE Transactions on*, 55(1):21–39, 2008. ISSN 0018-9383. doi: 10.1109/TED.2007.911034. (Cité pages xiii, 6, et 14.)
- [136] P.J. Tasker and B. Hughes. Importance of source and drain resistance to the maximum f_T of millimeter-wave MODFETs. *IEEE Electron Device Letters*, 10(7):291–293, 1989. ISSN 07413106. doi: 10.1109/55.29656. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=29656. (Cité page 30.)
- [137] S. E. Thompson, S. Suthram, Y. Sun, G. Sun, S. Parthasarathy, M. Chu, and T. Nishida. Future of strained Si/semiconductors in nanoscale mosfets. In *Electron Devices Meeting*, 2006. *IEDM '06. International*, pages 1 –4, 11-13 2006. doi: 10.1109/IEDM.2006.346877. (Cité pages xviii et 15.)
- [138] S. Tiwari, S.L. Wright, and J. Batey. Unpinned GaAs MOS capacitors and transistors. *Electron Device Letters*, *IEEE*, 9(9):488–490, 1988. ISSN 0741-3106. doi: 10.1109/55.6954. (Cité page 32.)
- [139] Sandip Tiwari and David J. Frank. Empirical fit to band discontinuities and barrier heights in III–V alloy systems. *Applied Physics Letters*, 60(5): 630–632, February 1992. URL http://link.aip.org/link/?APL/60/630/
 1. (Cité pages xix, 70, 71, et 80.)
- [140] R. Tsai, M. Barsky, J.B. Boos, B.R. Bennett, J. Lee, N.A. Papanicolaou, R. Magno, C. Namba, P.H. Liu, D. Park, R. Grundbacher, and A. Gutierrez. Metamorphic AlSb/InAs HEMT for low-power, high-speed electronics. In *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2003. 25th Annual Technical Digest 2003. IEEE*, pages 294–297, 2003. ISBN 1064-7775. (Cité page 46.)
- [141] R. Tsai, M. Lange, L.J. Lee, P. Nam, C. Namba, P.H. Liu, R. Sandhu, R. Grundbacher, W. Deal, and A. Gutierrez. 260 GHz ft, 280 GHz fmax AlSb/InAs HEMT technology. In *Device Research Conference Digest*, 2005. DRC '05. 63rd, volume 1, pages 257–258, 2005. (Cité page 41.)
- [142] Gary Tuttle, Herbert Kroemer, and John H. English. Electron concentrations and mobilities in AlSb/InAs/AlSb quantum wells. *Journal of Applied Physics*, 65(12):5239–5242, 1989. URL http://link.aip.org/link/?JAP/ 65/5239/1. (Cité pages 28 et 45.)
- [143] Gary Tuttle, Herbert Kroemer, and John H. English. Effects of interface layer sequencing on the transport properties of InAs/AlSb quantum wells: Evidence for antisite donors at the InAs/AlSb interface. *Journal of Applied Physics*, 67(6):3032–3037, March 1990. URL http://link.aip.org/link/ ?JAP/67/3032/1. (Cité page 45.)

- [144] John R. Vig. UV/ozone cleaning of surfaces. Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films, 3(3):1027–1034, May 1985. doi: 10.1116/1.573115. URL http://link.aip.org/link/?JVA/3/1027/1. (Cité page 103.)
- [145] A. Vogt, A. Simon, H. L. Hartnagel, J. Schikora, V. Buschmann, M. Rodewald, H. Fuess, S. Fascko, C. Koerdt, and H. Kurz. Ohmic contact formation mechanism of the PdGeAu system on n-type GaSb grown by molecular beam epitaxy. *Journal of Applied Physics*, 83(12):7715–7719, 1998. URL http://link.aip.org/link/?JAP/83/7715/1. (Cité page 70.)
- [146] C. A. Wang, D. A. Shiau, R. K. Huang, C. T. Harris, and M. K. Connors. Organometallic vapor phase epitaxy of n-GaSb and n-GaInAsSb for low resistance ohmic contacts. *Journal of Crystal Growth*, 261(2-3): 379–384, January 2004. doi: 10.1016/j.jcrysgro.2003.11.031. URL http://www.sciencedirect.com/science/article/B6TJ6-4B3MVGD-8/ 2/30d9647b744088d863ff496ebc31c536. (Cité page 70.)
- [147] S. H. Wang, S. E. Mohney, B. A. Hull, and B. R. Bennett. Design of a shallow thermally stable ohmic contact to p-type InGaSb. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 21(2):633–640, March 2003. URL http://link.aip.org/link/?JVB/21/ 633/1. (Cité pages 70 et 71.)
- [148] Y.C. Wang, M. Hong, J.M. Kuo, J.P. Mannaerts, J. Kwo, H.S. Tsai, J.J. Krajewski, Y.K. Chen, and A.Y. Cho. Demonstration of submicron depletionmode GaAs MOSFETs with negligible drain current drift and hysteresis. *Electron Device Letters, IEEE*, 20(9):457–459, 1999. ISSN 0741-3106. doi: 10.1109/55.784451. (Cité pages 33, 36, 37, et 38.)
- [149] Mark Weiser. The computer for the Twenty-First century. *Scientific American*, 265(3):104, 94, 1991. (Cité page 1.)
- [150] C. E. C. Wood. "Surface exchange" doping of MBE GaAs from S and Se "captive sources". Applied Physics Letters, 33(8):770–772, October 1978. URL http://link.aip.org/link/?APL/33/770/1. (Cité page 46.)
- [151] Jau-Yi Wu, Hwei-Heng Wang, Yeong-Her Wang, and Mau-Phon Houng. Fabrication of depletion-mode GaAs MOSFET with a selective oxidation process by using metal as the mask. *Electron Device Letters, IEEE*, 22(1): 2–4, 2001. ISSN 0741-3106. doi: 10.1109/55.892425. (Cité page 32.)
- [152] Y. Q. Wu, M. Xu, R.S. Wang, O. Koybasi, and P. D. Ye. High performance Deep-Submicron Inversion-Mode InGaAs MOSFETs with maximum g_m exceeding 1.1 mS/µm: new HBr pretreatment and channel engineering. In 2009 IEEE International Electron Devices Meeting (IEDM), pages 1–4, Baltimore, MD, USA, 2009. doi: 10.1109/IEDM.2009. 5424358. URL http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=5424358. (Cité pages 36, 37, et 38.)

- [153] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, and P. D. Ye. High-performance submicron inversion-type enhancement-mode InGaAs MOSFET with maximum drain current of 360 mA/mm and transconductance of 130 mS/mm. In *Device Research Conference, 2007 65th Annual*, pages 207–208, 2007. ISBN 1548-3770. doi: 10.1109/DRC.2007.4373720. (Cité pages 128 et 129.)
- [154] Y. Xuan, Y.Q. Wu, and P.D. Ye. High-Performance Inversion-Type Enhancement-Mode InGaAs MOSFET with maximum drain current exceeding 1 A/mm. *Electron Device Letters, IEEE*, 29(4):294–296, 2008. ISSN 0741-3106. doi: 10.1109/LED.2008.917817. (Cité pages 33, 36, et 37.)
- [155] A. D. Yadav, Bhagyashree V. Rao, S. K. Dubey, and D. B. Gadkari. Electrical characteristics of low energy tellurium implanted indium antimonide. *Materials Science and Engineering B*, 84(3):176–181, 2001. ISSN 0921-5107. doi: 10.1016/S0921-5107(01)00562-1. URL http://www.sciencedirect.com/science/article/B6TXF-4372VRV-7/2/a4f739b5f6fd2c892e9c061f3c91f04e. (Cité page 90.)
- [156] B. Yang, P.D. Ye, J. Kwo, M.R. Frei, H.-J.L. Gossmann, J.P. Mannaerts, M. Sergent, M. Hong, K.K. Ng, and J. Bude. DC and RF characteristics of depletion-mode GaAs MOSFET employing a thin ga₂o₃(gd₂o₃) gate dielectric layer. In *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, 2002. 24th Annual Technical Digest, pages 139–142, 2002. ISBN 1064-7775. doi: 10.1109/GAAS.2002.1049047. (Cité pages 32 et 34.)
- [157] Mitsuaki Yano. Molecular beam epitaxy of GaSb and GaSb_xAs_{1-x}. Jpn. J. Appl. Phys., 17(12):2091-2096, December 1978. URL http://jjap.ipap.jp/cgi-bin/getarticle?journal=JJAP&journal= JJAP&volume=17&page=2091. (Cité page 45.)
- [158] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, S. N. G. Chu, S. Nakahara, H.-J. L. Gossmann, J. P. Mannaerts, M. Hong, K. K. Ng, and J. Bude. GaAs metal–oxide–semiconductor field-effect transistor with nanometer-thin dielectric grown by atomic layer deposition. *Applied Physics Letters*, 83(1): 180–182, 2003. URL http://link.aip.org/link/?APL/83/180/1. (Cité pages 32 et 35.)
- [159] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, H.-J. L. Gossmann, M. Hong, K. K. Ng, and J. Bude. Depletion-mode InGaAs metal-oxide-semiconductor field-effect transistor with oxide gate dielectric grown by atomic-layer deposition. *Applied Physics Letters*, 84(3):434–436, 2004. URL http://link. aip.org/link/?APL/84/434/1. (Cité pages 32 et 35.)
- [160] P.D. Ye, G.D. Wilk, J. Kwo, B. Yang, H.-J.L. Gossmann, M. Frei, S.N.G. Chu, J.P. Mannaerts, M. Sergent, M. Hong, K.K. Ng, and J. Bude. GaAs MOSFET with oxide gate dielectric grown by atomic layer deposition. *Electron Device Letters, IEEE*, 24(4):209–211, 2003. ISSN 0741-3106. doi: 10.1109/LED.2003.812144. (Cité pages 32 et 35.)

- [161] P.D. Ye, G.D. Wilk, B. Yang, J. Kwo, H.J.L. Gossmann, M. Frei, J.P. Mannaerts, M. Sergent, M. Hong, K.K. Ng, and J. Bude. GaAs-based metaloxide semiconductor field-effect transistors with Al₂O₃ gate dielectrics grown by atomic layer deposition. *Journal of Electronic Materials*, 33:912– 915, August 2004. URL http://www.ingentaconnect.com/content/klu/ jem/2004/00000033/00000008/art00012. (Cité pages 32 et 35.)
- [162] Nobuhide Yoshida, Masahiro Totsuka, Junsuke Ino, and Satoru Matsumoto. Surface passivation of In_{0.52}Al_{0.48}As using (NH₄)₂S_x and P₂S₅/(NH₄)₂S. *Japanese Journal of Applied Physics*, 33:1248–1252, 1994. ISSN 0021-4922. doi: 10.1143/JJAP.33.1248. URL http://jjap.ipap.jp/link?JJAP/33/1248/. (Cité page 103.)
- [163] Han Zhao, Jeff Huang, Yen-Ting Chen, Jung Hwan Yum, Yanzhen Wang, Fei Zhou, Fei Xue, and Jack C. Lee. Effects of gate-first and gate-last process on interface quality of In_{0.53}Ga_{0.47}As metal-oxide-semiconductor capacitors using atomic-layer-deposited Al₂O₃ and HfO₂ oxides. *Applied Physics Letters*, 95(25):253501, 2009. ISSN 00036951. doi: 10.1063/1.3275001. URL http://link.aip.org/link/APPLAB/v95/i25/p253501/s1&Agg=doi. (Cité page 33.)
- [164] Han Zhao, Yen-Ting Chen, Jung Hwan Yum, Yanzhen Wang, Fei Zhou, Fei Xue, and Jack C. Lee. Effects of barrier layers on device performance of high mobility In_{0.7}Ga_{0.3}As metal-oxide-semiconductor field-effecttransistors. *Applied Physics Letters*, 96(10):102101, 2010. ISSN 00036951. doi: 10.1063/1.3350893. URL http://link.aip.org/link/APPLAB/v96/ i10/p102101/s1&Agg=doi. (Cité page 28.)
- [165] Y. Zhao, M.J. Jurkovic, and W.I. Wang. Kink-free characteristics of AlSb/InAs high electron mobility transistors with planar Si doping beneath the channel. *Electron Devices*, *IEEE Transactions on*, 45(1):341–342, 1998. ISSN 0018-9383. doi: 10.1109/16.658855. (Cité page 45.)

RÉSUMÉ

Un système autonome est composé d'une interface capteur, d'un contrôleur numérique, d'une interface de communication et d'une source d'énergie et sa consommation doit être inférieure à environ 100 microW. Pour réduire la consommation de puissance, des nouveaux composants, les Green Transistor ont fait leur apparition sous différentes topologies, modes de fonctionnement et matériaux alternatifs au silicium. L'interface de communication est composée d'un transistor possédant de grandes performances électriques sous faible alimentation. Les topologies retenues sont le transistor à haute mobilité électronique (HEMT) et le transistor à effet de champ métal/oxyde/semi-conducteur (MOSFET) et seuls les matériaux de la filière III-V à faible énergie de bande interdite, faible masse effective et grande mobilité électronique devraient permettre d'atteindre ces objectifs. Des technologies de HEMTs antimoniés AlSb/InAs ainsi que des MOSFETs InGaAs ont été développées. Les mesures de transistors HEMTs AlSb/InAs ont montré des performances au dessus de 100GHz à 10mW/mm à température ambiante et cryogénique et nous pouvons espérer des transistors où 1mW/mm à 10GHz. Or, les courants de grille importants et la conservation d'un rapport d'aspect élevé dans une structure HEMT limitent la réduction du facteur de mérite puissance-fréquence. Ainsi, la technologie de transistors de type MOS InGaAs a été caractérisée durant ces travaux et les résultats dynamiques sont prometteurs (fT =120GHz, Lg=200nm) même si le processus de fabrication n'est pas complètement optimisé. Une perspective de ce travail est l'utilisation de matériaux antimoines pour la réalisation de MOSFET ultra faible consommation.

ABSTRACT

An autonomous system is composed of a sensor, a digital controller, a communication interface and an energy source. Its consumption should be less than about 100 microW. To reduce power consumption, new components called the Green transistors have appeared in various topologies, operating modes and alternative materials to silicon. The communication interface consists of a transistor with high performances at low power supply. The topologies used are the high electron mobility transistor (HEMT) and the metal-oxide-semiconductor field-effect transistor (MOSFET) and only III-V-based channels with low bandgap energy, low effective mass and high electron mobility should achieve these goals. Antimonide based HEMTs (AlSb/InAs) and InGaAs MOSFETs technologies have been developed. Measurements of transistors AlSb /InAs HEMTs showed performance above 100GHz at 10mW/mm at room and cryogenic temperatures and transistors which 1mW/mm equals to 10GHz can be expected. However, significant gate currents and a high aspect ratio in a HEMT structure limit the reduction the factor of merit between the power and the cut-off frequency. Thus, the technology of InGaAs MOSFET has been characterized during this work and the RF results are promising (fT = 120GHz, Lg = 200nm) even if the process fabrication is not fully optimized. A perspective of this work is the use of antimonide materials for the realization of ultra low power MOSFET.