

THÈSE

Présentée à

L'UNIVERSITE DE LILLE 1 SCIENCES & TECHNOLOGIES

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

**Spécialité : Micro et Nano Technologies, Acoustique et
Télécommunications**

**Réalisation et caractérisation de dispositifs
MOSFET nanométriques à base de réseaux
denses de nanofils verticaux en silicium**

par

Xiang-Lei HAN

Soutenance devant la commission d'examen :

Président

Didier Stievenard

Rapporteurs

Jean-Pierre Raskin

Christophe Vieu

Examineur

Filadelfo Cristiano

Directeurs de thèse

Guilhem Larrieu

Emmanuel Dubois

Table des matières

Introduction	- 4 -
---------------------------	-------

Chapitre 1

Principe de fonctionnement du transistor MOSFET : effets physiques et parasites liés à la miniaturisation et motivation de la thèse.

1.1 Généralités sur le transistor MOSFET.	- 8 -
1.1.1 Présentation du transistor MOS.	- 8 -
1.1.2 Principe de fonctionnement d'un transistor MOS idéal.	- 10 -
1.1.3 Caractéristique électrique idéale du transistor MOS.	- 12 -
1.1.4 Miniaturisation des composants et effets parasites associés.	- 14 -
1.2 Amélioration des performances de MOSFETs.	- 20 -
1.2.1 Introduction de contraintes mécaniques.	- 20 -
1.2.2 Transistors sur substrat SOI.	- 21 -
1.2.3 Introduction de grilles métalliques.	- 22 -
1.3 Transistors à base d'architecture non-planaire.	- 23 -
1.3.1 Physique du MOSFET à grilles multiples.	- 23 -
1.3.2 Dispositifs MOSFET à multi-grilles.	- 25 -
1.3.3 Transistors à base de structures unidimensionnelles.	- 28 -
1.3.3.1 Les premiers transistors à base de nanofils de silicium.	- 29 -
1.3.3.2 Transistors à base de nanofils à grille entourante.	- 31 -
1.3.3.3 Transistors à base de nanofils en multi-canaux à grille entourante.	- 33 -
1.3.3.4 Transistors à base de réseaux de nanofils en structure verticale à grille entourante.	- 36 -
1.3.4 Challenges technologiques associés à la réalisation de transistors à base de réseaux denses de nanofils verticaux.	- 40 -

Chapitre 2

Réalisation de réseaux ultra denses de nanofils verticaux en silicium et étude des phénomènes d'effondrement de nanostructures.

2.1 Réalisation du masque pour la fabrication de réseaux denses de piliers verticaux.	- 50 -
2.1.1 La lithographie électronique.	- 51 -
2.1.2 Le polymère hydrogen silsesquioxane comme résine négative à haute résolution.	- 51 -

2.1.3	Insolation par lithographie électronique.....	- 52 -
2.1.4	Révélation de la résine HSQ.....	- 56 -
2.1.5	Démonstration expérimentale de motifs en forme de nanoailettes et de nanopiliers.....	- 56 -
2.2	Transfert du masque par la gravure ionique réactive.....	- 59 -
2.2.1	Gravure des ailettes de silicium isolées.....	- 59 -
2.2.1.1	Choix de la chimie de gravure plasma.....	- 59 -
2.2.1.2	Impact de paramètres de gravure sur l'anisotropie du profil et phénomène de microtranché.....	- 61 -
2.2.1.3	Sélectivité de la gravure du silicium par rapport au masque de HSQ.....	- 63 -
2.2.2	Impact de la densité des motifs.....	- 64 -
2.2.3	Analyse de l'état du réseau de nanofils verticaux réalisés.....	- 66 -
2.2.3.1	Reproductibilité des nanofils verticaux gravés par microscope à force atomique.....	- 66 -
2.2.3.2	Etat de surface des flancs des nanofils par microscopie électronique à transmission.....	- 67 -
2.2.4	Limitation ultime du procédé technologique.....	- 68 -
2.3	Phénomènes d'effondrements des nanostructures.....	- 69 -
2.3.1	Phénomènes d'effondrements sur nanostructures de type ailettes.....	- 70 -
2.3.2	Phénomènes d'effondrements sur nanostructures unidimensionnelles.....	- 76 -
2.3.3	Impact de la géométrie des nanostructures.....	- 81 -
2.3.4	Impact du module de Young.....	- 82 -
2.3.5	Impact de la tension de surface.....	- 83 -
2.3.6	Réalisation des nano-masques par l'effet d'effondrement.....	- 86 -

Chapitre 3

Oxydation et siliciuration de nanostructures en silicium.

3.1	Oxydation de nanostructures de silicium.....	- 94 -
3.1.1	Croissance de l'oxyde de silicium sur substrat massif.....	- 95 -
3.1.2	Oxydation de nanostructures bidimensionnelles de silicium.....	- 99 -
3.1.2.1	Description expérimentale.....	- 99 -
3.1.2.2	Influence de la hauteur de nanoailettes sur la contrainte compressive.....	- 101 -
3.1.3	Oxydation des nanostructures unidimensionnelles de silicium.....	- 103 -
3.1.3.1	Description expérimentale de l'oxydation autolimitée.....	- 103 -
3.1.3.2	Analyse des contraintes par simulation.....	- 106 -
3.1.3.3	Comparaison d'oxydation des nanoailettes et nanofils de silicium.....	- 109 -
3.1.4	Amélioration du profil et de la rugosité de surface des nanofils par oxydation auto-limitée.....	- 110 -
3.2	Siliciuration de nanostructures de silicium : l'exemple du siliciure de platine.....	- 112 -
3.2.1	Mécanisme de formation du siliciure de platine.....	- 113 -
3.2.2	Siliciuration sur nanofils de silicium.....	- 114 -
3.2.3	Siliciuration dans un environnement confiné.....	- 120 -
3.2.3.1	Réalisation de la structure confinée.....	- 121 -
3.2.3.2	Siliciuration confinée de nanofils de silicium.....	- 122 -

Chapitre 4

Réalisation et caractérisation électrique de dispositifs à base de réseaux de nanofils verticaux en silicium.

4.1 La diode Schottky.....	- 132 -
4.1.1 La diode Schottky non polarisée.....	- 132 -
4.1.2 La diode Schottky polarisée en direct et inverse.....	- 133 -
4.2 Intégration et caractérisation électrique de réseaux denses de nanofils verticaux de silicium.....	- 134 -
4.2.1 Procédés de réalisation de contacts verticaux.....	- 135 -
4.2.1.1 Technique de planarisation par amincissement d'une couche de HSQ.....	- 135 -
4.2.1.2 Réalisation des contacts métalliques sur un réseau de nanofils verticaux.....	- 138 -
4.2.2 Caractérisation électrique de réseaux de nanofils verticaux.....	- 140 -
4.2.2.1 Impact du diamètre des nanofils.....	- 141 -
4.2.2.2 Variabilité dans un nanofil unique.....	- 142 -
4.2.2.3 Impact de la déplétion de surface de nanofils sur la conductivité.....	- 143 -
4.3 Intégration et caractérisation électrique des transistors à base de réseaux denses de nanofils verticaux de silicium.....	- 146 -
4.3.1 Procédé d'intégration des transistors à base de réseaux denses de nanofils verticaux.....	- 146 -
4.3.2 Caractérisation électrique des transistors à base de réseaux denses de nanofils verticaux.....	- 152 -
4.3.2.1 Caractérisation électrique des transistors à base de nanofils verticaux de silicium avec couche de diélectrique épaisse.....	- 152 -
4.3.2.2 Caractérisation électrique des transistors à base de nanofils verticaux de silicium avec une couche de diélectrique fine.....	- 155 -
4.3.2.3 Amélioration de la performance de transistors par diminution des défauts d'interface.....	- 158 -
4.3.2.4 Corrélation entre le courant d'obit et le nombre de nanofils du réseau.....	- 160 -
4.3.2.5 Etat de l'art des transistors à base de nanofils verticaux.....	- 161 -
Conclusions et perspectives	- 165 -
Annexe 1 : Procédé technologique	- 169 -

Introduction

Les produits issus de la microélectronique sont omniprésents dans notre vie quotidienne. Elles changent et améliorent notre niveau de vie. La valeur du marché des semi-conducteurs en 2010 était d'environ 300 milliards de dollars selon les experts du cabinet d'analyse Gartner. Depuis la première création du microprocesseur 4004 (2300 transistors) en 1971 par l'entreprise Intel, l'industrie du semi-conducteur a permis une véritable révolution dans le traitement de l'information grâce à une évolution technologique fulgurante et la réduction d'échelle des transistors tout en conservant une fabrication à moindre coût. Ceci a permis l'évolution de la microélectronique au rythme dicté par la loi de « Moore », qui prévoit le doublement de la densité d'intégration des composants tous les deux ans depuis l'année 1965. Le processeur Core i7 980X présenté en 2010 par Intel possède environ 1.17 milliard de transistors sur une surface de 248 mm². Selon les prévisions de l'ITRS (de l'anglais « International Technology Roadmap for Semiconductors »), la génération de composant CMOS (de l'anglais « Complementary metal-oxide-semiconductor ») correspondant au nœud technologique 22 nm entrera en production à l'horizon 2016 avec une longueur de grille de 13 nm.

La réduction des dimensions physiques des dispositifs MOS (de l'anglais « metal-oxide-semiconductor ») a provoqué l'apparition d'effets parasites, tels que les effets canaux courts (forts couplages électrostatiques entre les électrodes de source et de drain et limitation du contrôle de la grille sur le potentiel du canal), l'augmentation du courant de fuite de grille ou encore une grande variabilité des performances. Afin de continuer la miniaturisation des composants tout en améliorant leurs performances, des innovations importantes dans l'architecture des dispositifs sont nécessaires, telles que l'introduction de contraintes dans le canal, l'introduction d'isolant à haute constante diélectrique (oxyde high-*k*) et de grilles métalliques, l'intégration de transistors sur substrat à film mince avec des architectures multi-grilles, l'utilisation de matériaux à mobilité élevée (semiconducteur III-V, graphène ou nanotube de carbone) et la fabrication de transistors à base de nanofils avec une grille entourante. Cette dernière architecture a été identifiée [1] [2] [3] [4] comme un des candidats le plus prometteurs, malgré la limitation du courant à l'état passant inhérent à la faible surface de conduction de nanofils.

Dans cette thèse, une structure de transistors à base de réseau dense de nanofils verticaux avec une grille entourante est proposée afin d'améliorer le courant à l'état passant

tout en conservant un courant de fuite très faible et en utilisant un procédé compatible avec la technologie CMOS conventionnelle.

Le premier chapitre présente de manière générale le fonctionnement du transistor MOSFET (de l'anglais « metal-oxide-semiconductor field-effect transistor ») et s'intéresse aux effets parasites liés à la réduction des dimensions physiques du composant. Plusieurs solutions sont proposées afin de poursuivre l'évolution des transistors MOS. L'état de l'art concernant la réalisation et la caractérisation de transistors à base de nanofils en structure horizontale et verticale est décrit. Les limitations identifiées dans les procédés technologiques de réalisation des dispositifs à base de nanofils verticaux conduisent à l'introduction d'un procédé original et compatible CMOS.

Dans un deuxième chapitre, des masques de résine formant réseaux de nanopiliers verticaux sont fabriqués par lithographie électronique à l'aide d'une résine inorganique HSQ (Hydrogen SilsesQuioxane). Ces masques sont ensuite transférés au niveau du substrat de silicium par une gravure ionique réactive avec des conditions optimisées pour réaliser des réseaux ultra-denses de nanofils verticaux avec un diamètre nanométrique et une excellente anisotropie. Enfin, les phénomènes d'effondrement de nanostructures induits par les forces de capillarité ont été analysés en détail.

Dans un troisième chapitre, les phénomènes d'oxydation et de siliciuration dans les niveaux de nanofils mais également dans différentes nanostructures sont étudiés et analysés d'une manière systématique. En utilisant l'oxydation thermique de silicium dans un régime où les cinétiques sont retardées voire autolimitées par les contraintes mécaniques, des nanofils avec un diamètre ultrafin ont été réalisés. L'anisotropie des profils de nanofils et la rugosité de surface a également été améliorée par ce procédé.

Le dernier chapitre débute par une étude de la technologie de planarisation à base de gravure chimique de résine inorganique. Puis, la réalisation et la caractérisation de nanocontacts implantés sur des structures à 2 terminaux à base de réseaux de nanofils verticaux sont effectuées. Une parfaite reproductibilité des caractéristiques courant-tension ($I-V$) est démontrée quand un grand nombre de nanofils est considéré. De plus, l'impact de la surface d'injection des contacts sur la conduction est discuté. Enfin, des transistors à base de réseaux denses de nanofils verticaux avec une grille entourante sont démontrés et s'avèrent être une architecture intéressante contre les effets aux canaux courts.

Bibliographie

- [1] H. Iwai, "Roadmap for 22 nm and beyond (Invited Paper)," *Microelectronic Engineering*, vol. 86, no. 7-9, pp. 1520-1528, July. 2009.
- [2] C. Thelander et al., "Development of a Vertical Wrap-Gated InAs FET," *Electron Devices, IEEE Transactions on*, vol. 55, no. 11, pp. 3030-3036, 2008.
- [3] N. Singh et al., "Si, SiGe Nanowire Devices by Top-Down Technology and Their Applications," *Electron Devices, IEEE Transactions on*, vol. 55, no. 11, pp. 3107-3118, 2008.
- [4] Kyoung Hwan Yeo, Sung Dae Suk, Ming Li, Yun-young Yeoh, Keun Hwi Cho, Ki-Ha Hong, SeongKyu Yun, Mong Sup Lee, Nammyun Cho, Kwanheum Lee, Duhyun Hwang, Bokkyoung Park, Dong-Won Kim, Donggun Park and Byung-Il Ryu, "Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires," in *Electron Devices Meeting, Technical Digest. International*, pp. 1-4. 2006,

Chapitre 1

Principe de fonctionnement du transistor MOSFET : effets physiques et parasites liés à la miniaturisation et motivation de la thèse.

Introduction.

D'une manière générale, le premier chapitre présente l'architecture de base des circuits logiques modernes à savoir le transistor de type métal-oxyde-semiconducteur à effet de champs (de l'anglais «Metal-Oxide-Semiconductor field-effect transistor», MOSFET). Ensuite, les règles de miniaturisation associées à la technologie CMOS (de l'anglais «Complementary metal-oxide-semiconductor») sont exposées et les challenges liés à cette course à la réduction des dimensions sont explicités. Plusieurs innovations sont présentées, telles que des MOSFETs à base de structure multi-grilles, le remplacement du silicium par des matériaux à haute mobilité au niveau du canal ou encore les transistors à base de nanofils. Dans cette thèse, une nouvelle structure de transistor implémentée sur des réseaux denses de nanofils verticaux en silicium, sera proposée comme une solution alternative pour des composants très avancés.

1.1 Généralités sur le transistor MOSFET.

1.1.1 Présentation du transistor MOS.

Le MOSFET est le dispositif semi-conducteur le plus utilisé à la base du cœur de chaque circuit numérique. Il est présent en forte densité dans des circuits intégrés comme les microprocesseurs ou les mémoires. Le principe du transistor à effet de champ de surface a été proposé dans le début des années 1930 par Julius Edgar Lilienfeld et Oskar Heil [1] [2] puis a ensuite été étudié par William Bradford Shockley et Roger Pearson [3] au cours de la fin des années 1940 aux Bell Labs. En 1960, Joseph R. Ligenza et W.G. Spitzer [4] ont réalisé le premier dispositif de qualité qui a utilisé le système Si-SiO₂ par oxydation thermique. La structure MOSFET basée sur ce système a été proposée par Martin M. Atalla [5] et déclarée par D. Kahng et Martin M Atalla en 1960 [6].

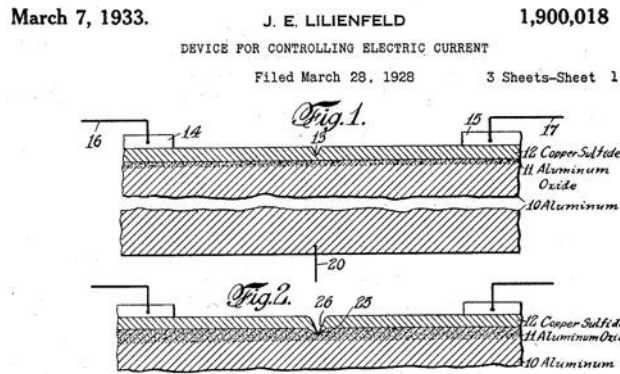


Figure 1-1. Brevet du transistor MOSFET par J. E. Lilienfeld, 'Dispositif pour le contrôle du courant électrique' [2].

En 1947, trois chercheurs des laboratoires Bell Labs, John Bardeen, Walter Brattain et Shockley Robert, ont expérimentalement démontré un transistor bipolaire à l'aide d'un substrat de germanium (Voir le Fig. 1-2 (a)) [7] et furent colaur éats du prix Nobel de physique en 1956 pour leurs recherches sur les semi-conducteurs et leurs découvertes de l'effet transistor. Durant les années cinquante, les technologies des semi-conducteurs ont rapidement progressé en termes de procédé de diffusion, de techniques lithographiques ainsi que de méthodes de dépôt. Robert Noyce a présenté le premier transistor planaire en 1959 à Fairchild, alors que le premier circuit intégré utilisant cette technique a vu le jour deux ans plus tard, en 1961 [8]. (Fig. 1-2(b))

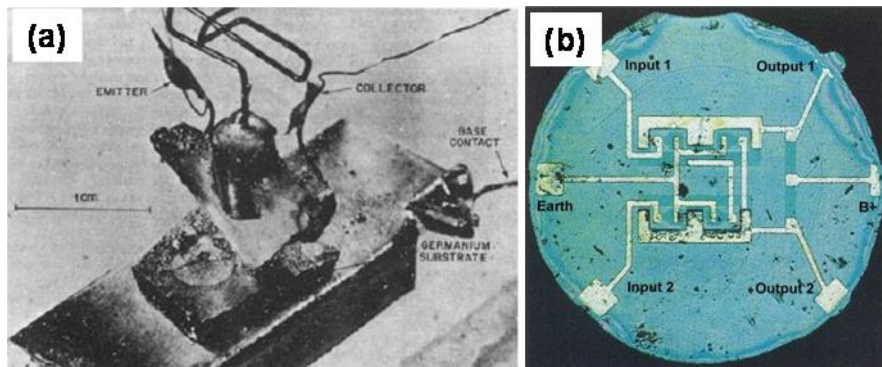


Figure 1-2. Image du (a) premier transistor bipolaire réalisé dans les laboratoires Bell en 1947 [9] et (b) premier circuit planaire intégré par Fairchild Semiconducteur en 1961 [8].

La structure conventionnelle d'un transistor MOSFET est présentée (Fig. 1-3), La structure MOS est constituée d'une électrode de grille, déposée sur un isolant (couche d'oxyde de grille), recouvrant un substrat semi-conducteur (canal de conduction). De part et d'autre de la structure MOS sont placées les électrodes de source et drain, qui sont deux réservoirs de charges permettant la circulation du courant. Deux types de transistors sont

déterminés selon le type de porteur qui constitue le courant dans le canal : transistor NMOS où le canal n est constitué d'électrons et le PMOS où le canal p est constitué de trous.

Lorsque la polarisation de la grille V_{GS} est nulle, il n'y a pas de champ électrique et ni de charge dans le canal. Le courant ne peut donc pas circuler de la source vers le drain, le transistor est alors en mode bloqué. Il est important de décrire l'état du transistor sans polarisation de la grille où V_{GS} est nulle. Dans le cas où la grille est non-polarisée, la conductivité du canal est très faible et une tension de grille doit être appliquée pour former un canal conducteur, (régime d'accumulation). Au contraire, si le canal est conducteur dans le cas où la grille n'est pas polarisée, une tension de grille doit être appliquée pour couper ce canal, le transistor à effet de champ est dit en régime d'épluché.

Lorsqu'un champ électrique non nul est appliqué, la charge dans le semi-conducteur au niveau de l'interface oxyde / semi-conducteur est modulée par le champ électrique et un canal de conduction se forme. Le courant peut alors circuler entre l'électrode de la source et du drain, le transistor fonctionne alors à l'état passant.

Le passage du mode bloqué au mode passant n'est pas abrupt. Il existe un régime d'inversion faible pour une barrière de drain Φ_d importante. Un courant faible peut circuler dans le canal, car quelques porteurs peuvent franchir cette barrière Φ_d par activation thermique. Ce courant augmente exponentiellement avec une polarisation de la grille jusqu'à atteindre une tension limite, appelée tension de seuil V_{th} .

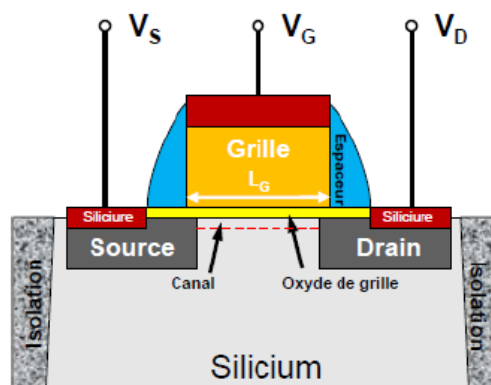


Figure 1-3. Représentation schématique d'un MOSFET classique où sont décrits les éléments principaux du dispositif, tels que la grille, la source, le drain, l'oxyde de grille, le canal, le contact de siliciure, la longueur de grille (L_G), l'espaceur et le caisson d'isolation.

1.1.2 Principe de fonctionnement d'un transistor MOS idéal.

Cette partie s'attache à décrire les mécanismes physiques d'un transistor MOS durant ses différents régimes de fonctionnement. Le dispositif choisi comme exemple est un

transistor de type PMOS. La conduction du transistor est contrôlée par la polarisation de la grille. Les trois régimes de fonctionnement, accumulation, inversion, déplétion, sont décrits ci-dessous. On suppose que le travail de sortie du métal Φ_m est égal à celui du semi-conducteur Φ_s , de manière à se placer en situation de bandes plates à une tension de grille nulle.

(a) Accumulation

Lorsque la grille est polarisée positivement ($V_{GS} > 0$), les électrons sont attirés et s'accumulent à la surface du canal et c'est le régime d'accumulation. L'énergie potentielle du canal est supérieure à celle de la source et constitue une barrière de hauteur Φ_d , empêchant ainsi la circulation de charges (Fig. 1-4 (a)).

(b) Déplétion

La tension appliquée sur la grille est négative mais inférieure à la tension de seuil ($V_{GS} < V_{th} < 0$), les électrons sous la grille sont repoussés laissant uniquement des charges fixes dans le canal. Ainsi, une zone de déplétion (zone vide de toute charge mobile) se forme sous la grille et à proximité des zones de source et de drain. De ce fait, la hauteur de barrière Φ_d entre la source et le canal diminue mais ne laisse toutefois pas encore passer de courant. (Fig.1-4 (b))

(c) Inversion

Lorsque le transistor est polarisé dans l'état passant ($V_{th} < V_{GS} < 0$), les trous sont attirés au niveau de l'interface de canal / oxyde, formant ainsi une couche d'inversion, et diminuant le potentiel entre le canal et le drain. Dans ce régime, une tension négative appliquée entre le drain et la source (V_{DS}) permet alors le passage du courant (I_{DS}). La variation de potentiel entre la source et le drain induit une variation de la distribution de charges le long du canal. (Fig. 1-4 (c)).

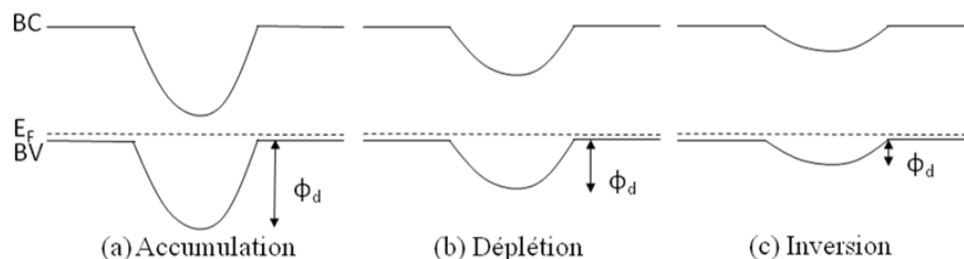


Figure 1-4. Description schématique des différents diagrammes énergétiques d'un transistor PMOS pour différents régimes : (a) accumulation, (b) déplétion et (c) inversion.

1.1.3 Caractéristique électrique idéale du transistor MOS.

Les transistors MOSFET peuvent être caractérisés électriquement par des mesures statiques en courant – tension au niveau du drain, $I_{DS} = f(V_{DS})$ et courant – tension de grille, $I_{DS} = f(V_{GS})$, comme présent éFig. 1-5. Il s’agit de caractéristiques idéales souvent associées à des dispositifs à canal long.

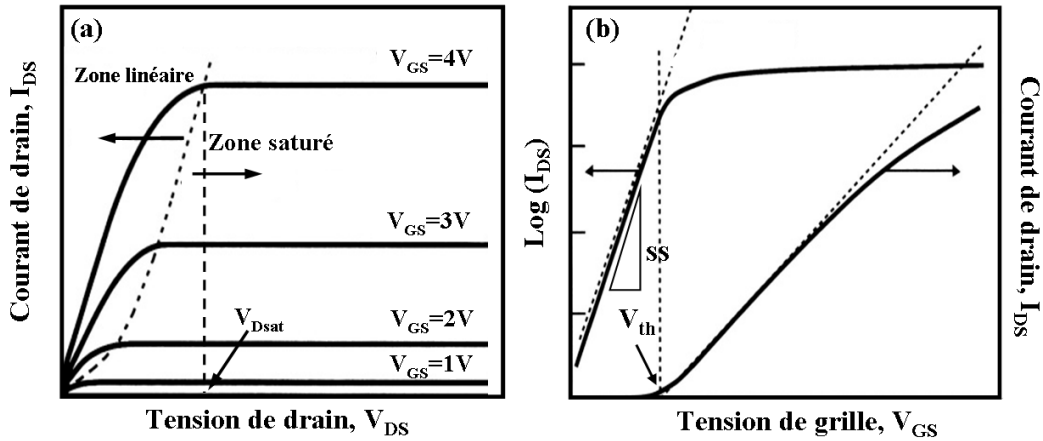


Figure 1-5. Caractéristique statique d'un transistor MOSFET: (a) $I_{DS} - V_{DS}$ et (b) $I_{DS} - V_{GS}$.

(a) Inversion faible ou mode bloqué ($V_{GS} < V_{th}$).

La polarisation de la grille permet de moduler la concentration des porteurs en surface dans le canal ainsi que la hauteur de barrière drain / source. Quand $V_{GS} < V_{th}$, (mode bloqué), le transistor est en régime de déplétion ou d'inversion faible. Le courant de drain, I_{DS} est défini par l'équation suivante :

$$I_{DS} = \frac{W}{L_{eff}} \cdot C_{dep} \cdot \mu_0 \left(\frac{kT}{q} \right)^2 \cdot \left(1 - \exp\left(-\frac{qV_{DS}}{kT} \right) \right) \cdot \exp\left(q \frac{V_{GS} - V_{th}}{\alpha kT} \right) \quad Eq. 1-1$$

Où W est la largeur du canal, L_{eff} est la longueur effective du canal, μ_0 est la mobilité des porteurs, α étant égal à $(1 + C_{dep}/C_{ox})$, C_{ox} est la capacité de l'oxyde de grille, C_{dep} est la capacité de la zone déplétion, k est la constante de Boltzmann, q est la charge élémentaire et T est la température. En régime de faible inversion, le courant de drain est exponentiellement proportionnel à $(V_{GS} - V_{th})$. On définit alors la pente sous le seuil, SS (de l'anglais «Subthreshold Slope»), par l'équation suivante :

$$SS = \frac{\partial V_{GS}}{\partial (\log I_{DS})} = \left(1 + \frac{C_{dep}}{C_{ox}} \right) \cdot \frac{kT}{q} \ln 10 \quad (\text{en mV/dec}) \quad Eq. 1-2$$

C_{dep} et C_{ox} sont respectivement la capacité de la zone de déplétion et la capacité de l'oxyde de grille. La pente sous le seuil correspond à la tension de grille nécessaire pour

augmenter le courant de drain d'une décade. Dans le cas d'un transistor idéal à température ambiante (300 K), la pente sous le seuil est de 60 mV/dec.

(b) Inversion forte ou mode passant ($V_{GS} > V_{th}$).

Quand $V_{GS} > V_{th}$, le transistor est en régime d'inversion forte, le schéma de régime linéaire est montré au niveau de la Fig1-6 (a). Pour les faibles polarisations de drain, la charge d'inversion dans le canal est totalement contrôlée par la grille. Le courant passant dans le transistor est quasi-linéaire et s'exprime par :

$$I_{DS} = \frac{W}{L_{eff}} \mu_0 C_{ox} \left[V_{GS} - V_{th} - \frac{1}{2} V_{DS} \right] V_{DS} \quad Eq. 1-3$$

Lorsque la polarisation du drain augmente, le champ vertical de la grille place le canal en limite de pincement et la charge d'inversion est modifiée. Pour $V_{DS} = V_{Dsat}$, un point de pincement se crée à l'interface drain / canal, illustré par le schéma de principe Fig 1-6 (b). Ce point de pincement se déplace vers la source quand la polarisation de drain augmente (Fig. 1-6 (c)). En passant le point de pincement, la charge d'inversion diminue quand V_{DS} augmente, et le courant de drain sature alors à la valeur I_{Dsat} :

$$I_{Dsat} \square \frac{W}{L_{eff}} \mu_0 C_{ox} (V_{GS} - V_{th})^2 \quad Eq. 1-4$$

où W est la largeur du canal, L_{eff} est la longueur du canal effective, μ_0 est la mobilité des porteurs et C_{ox} est la capacité de l'oxyde de grille. Selon l'équation 1.4, afin d'augmenter le courant de saturation I_{Dsat} tout en conservant la même valeur de V_{Dsat} , il faudrait diminuer L_{eff} et augmenter W , μ_0 et C_{ox} . Ceci fait apparaître une des motivations principales de la miniaturisation des composants afin notamment d'en améliorer leur performance. En effet, la diminution de L_{eff} peut être réalisée par une miniaturisation de la grille du dispositif. L'augmentation de μ_0 peut être réalisée par introduction de la contrainte dans le canal ou l'utilisation de matériaux avec des mobilités élevées (III-V ou graphène). La capacité de grille, C_{ox} peut être augmentée en diminuant l'épaisseur de couche d'oxyde de grille avec notamment l'introduction de matériaux à forte permittivité diélectrique, (en l'anglais « high- k »). Concernant la largeur du dispositif W , si elle est élargie tout en diminuant L_{eff} , la perte de contrôle électrostatique du canal est inévitable entraînant une augmentation du courant de fuite. Pour surmonter ce problème, la séparation de la largeur de canal W en multicanaux de plus petites largeurs semble être une solution pertinente. Nous reviendrons sur ces différents éléments dans le prochain paragraphe.

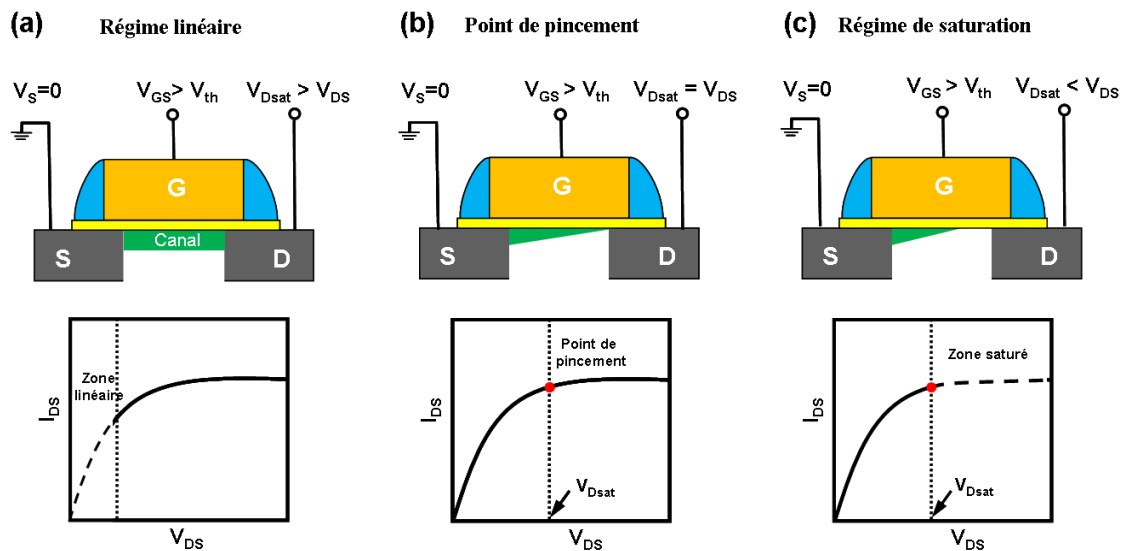


Figure 1-6. Régime de conduction en fonction de la polarisation de drain : (a) régime linéaire, (b) régime de pincement, (c) régime de saturation.

1.1.4 Miniaturisation des composants et effets parasites associés.

La croissance de l'industrie des semi-conducteurs est principalement liée à l'amélioration des performances des composants et à la miniaturisation de ceux-ci permettant ainsi une meilleure portabilité des produits et une fabrication à moindre coût, comme décrit par la représentation schématique Fig. 1-7 (b).

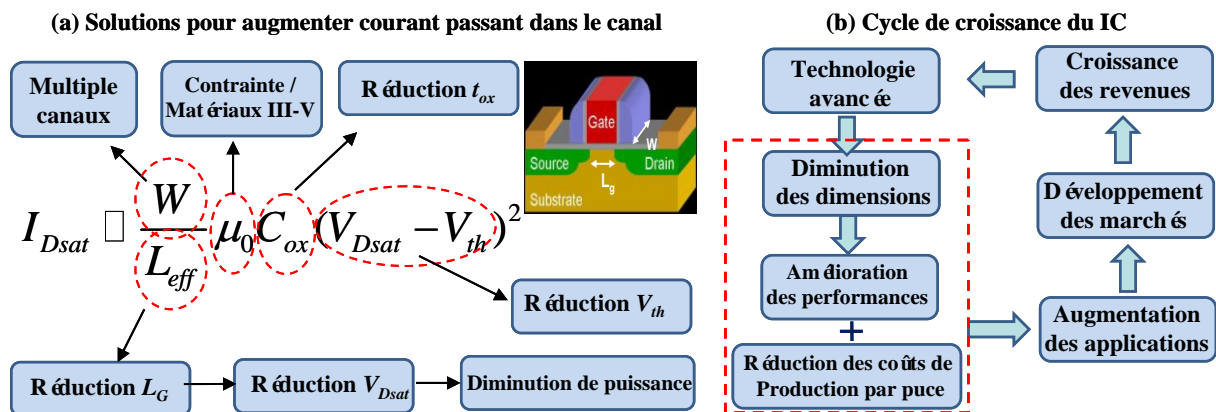


Figure 1-7. (a) Solutions pour augmenter le courant passant dans le canal, (b) Cycle de croissance du marché des circuits intégrés (IC).

Le nombre de composants par circuit intégré a connu une croissance exponentielle. En 1965, Gordon Moore a remarqué que le nombre des transistors double chaque année, règle qui a été toujours respectée depuis cette date [10] (Fig. 1-8 (a)). La croissance exponentielle de la technologie MOSFET est très bien illustrée par l'évolution du nombre de transistors MOS

intégré dans un seul microprocesseur Intel, en fonction de l'année de mise sur le marché (Fig. 1-8 (b)) [11].

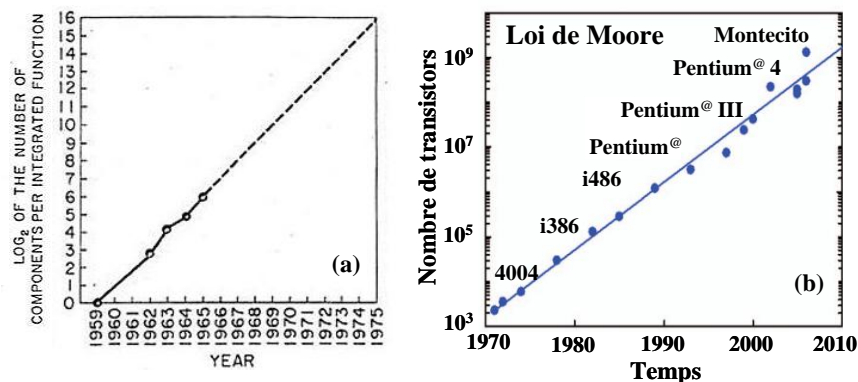


Figure 1-8. (a) Premier tracé de la loi de Moore (1965) [10]. (b) Evolution du nombre de transistors pour les microprocesseurs Intel de 1970 au années 2010 [11].

Avec la réduction de longueur de grille, tous les autres paramètres du dispositif fondamental doivent être modifiés de concert. Le principe est basé alors sur un facteur de réduction k qui permet de diminuer les dimensions du transistor tout en conservant le champ électrique constant. Le tableau 1-1 présente les tendances d'évolution des principaux paramètres des technologies CMOS, en fonction du coefficient de miniaturisation k . Ces lois de variations ont été définies par R.H. Dennard en 1974 [12].

Paramètres	Miniaturisation (en champs électrique constant)
$L_G t_{ox}$	$1/k$
Dopage du canal	k
Densité du circuit	k^2
Capacité par circuit	$1/k$
Tension d'alimentation V_{DD}	$1/k$
Vitesse du circuit	k
Puissance du circuit	$1/k^2$
Puissance x Déléai	$1/k^2$

Tableau 1-1. Evolution des principaux paramètres du transistor MOS en fonction du paramètre de miniaturisation k selon R.H. Dennard [12]. L_G est longueur de grille et t_{ox} est l'épaisseur d'oxyde.

En fait, le principe de miniaturisation décrit précédemment est uniquement valable pour des dispositifs longs et larges (L et $W > 1 \mu\text{m}$). Pour les dispositifs plus petits, des effets parasites apparaissent, comme par exemple des courants de fuites dans des oxydes ultra-minces ou la difficulté à diminuer la tension d'alimentation au même rythme que les dimensions. Par la suite, ces effets parasites seront détaillés plus précisément.

Les effets canaux courts.

La miniaturisation des composants correspond, entre autre, à une réduction de la longueur de grille. Les effets de canaux courts, SCE (de l'anglais « Short Canal Effect ») se produit lorsque la longueur de grille (L_G) devient comparable à la somme des zones d'éplées autour de la source et du drain. Lorsque ces deux zones se rejoignent, le potentiel au centre du canal est fortement modifié. Par conséquent, la barrière de potentiel formée dans le canal diminue et donc la tension seuil du dispositif diminue (Fig. 1-9 (b)).

Lorsqu'une tension négative est appliquée entre le drain et la source (V_{DS}), la barrière de potentiel entre le canal et le drain diminue encore plus fortement. L'abaissement de la barrière à la source provoque le passage des porteurs dans le canal indépendamment de la tension de grille. Par conséquent, la grille ne contrôle plus le courant de drain. Ce phénomène est appelé DIBL (de l'anglais « Drain Induced Barrier Lowering ») (Fig. 1-9 (c)).

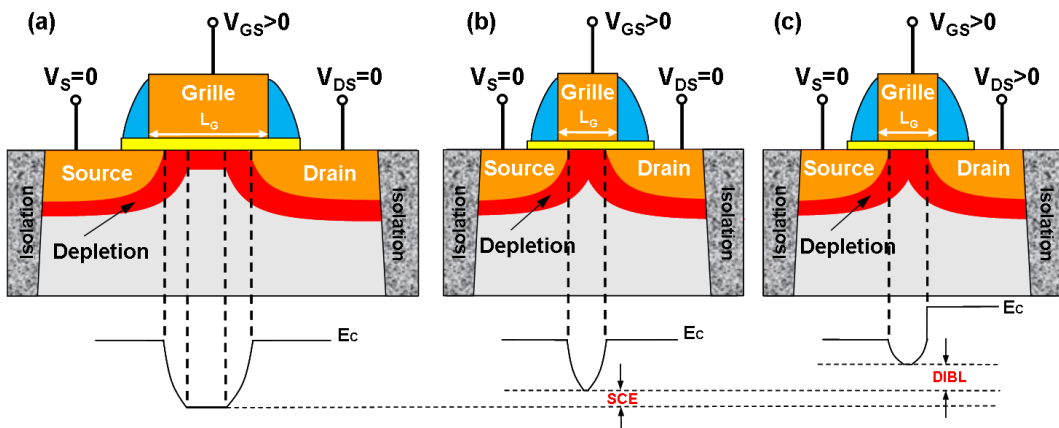


Figure 1-9. Représentation schématique des effets de canaux courts et DIBL pour un PMOS : (a) L_G est très grande devant la taille de la zone d'éplée entre la source et le drain. (b) La longueur de grille effective est inférieure à celle de la taille (SCE). (c) Abaissement supplémentaire de la barrière par la tension de drain (DIBL).

L'impact de SCE et du DIBL sur les caractéristiques électriques sont présentés Fig. 1-10. La variation de la tension du seuil provoque une augmentation du courant de fuite, I_{off} . La pente sous le seuil est dégradée.

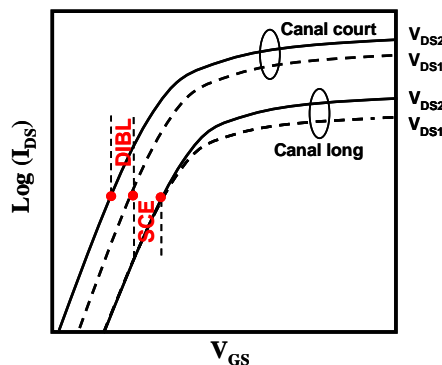


Figure 1-10. Impact des effets de SCE et de DIBL sur les caractéristiques électriques d'un transistor MOS.

Il existe un outil simple, appelé la transformation de tension-dopage, mod èle VDT (de l'anglais « voltage-doping transformation »), propos é par T. Skotnicki [13] qui peut être utilis é pour estimer l'impact des effets de r éduction des dimensions, tels que la longueur de grille ou de la tension drain, en param ètres électriciens. Dans le cas particulier de la SCE et du DIBL, les expressions suivantes peuvent être d ériv ées de ce mod èle VDT :

$$SCE = 0.64 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left[1 + \frac{\chi_j^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{dep}}{L_{eff}} V_{bi} \equiv 0.64 \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot EI \cdot \Phi_d \quad Eq. 1-5$$

$$DIBL = 0.80 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left[1 + \frac{\chi_j^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{dep}}{L_{eff}} V_{DS} \equiv 0.80 \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot EI \cdot V_{DS} \quad , \text{ avec} \quad Eq. 1-6$$

$$EI = \left[1 + \frac{\chi_j^2}{L_{eff}^2} \right] \frac{t_{ox}}{L_{eff}} \frac{t_{dep}}{L_{eff}}$$

o ù L_{eff} est la longueur du canal électricien, Φ_d est la hauteur de barri ère entre le canal et le drain, t_{ox} est l'épaisseur d'oxyde de grille, χ_j est la profondeur de jonction de la source et du drain et t_{dep} est la profondeur de la couche d'épl éié du canal sous la grille. Le param ètre EI est appelé facteur d'intégrité électrostatique, qui dépend de la géométrie du dispositif. Il permet de mesurer l'influence du potentiel électricien de drain sur le canal, ce qui provoque des effets canaux courts (SCE et DIBL). Par exemple, un EI optimisé signifie une distribution de potentiel unidimensionnel dans le canal (comme dans le cas de canal long). Sur la base des expressions ci-dessus, la tension de seuil d'un MOSFET en fonction de la longueur de canal L_{eff} peut ainsi être calcul ée en utilisant la relation suivante :

$$V_{th} = V_{th\infty} - SCE - DIBL \quad Eq. 1-7$$

o ù $V_{th\infty}$ est la tension du seuil d'un dispositif à canal long. La diminution de la tension du seuil avec la r éduction de longueur de grille est un des effets canaux courts. Selon ces diff érentes expressions, les effets canaux courts peuvent être minimisés dans des dispositifs planaires en r éduisant la profondeur de jonction et l'épaisseur de l'oxyde de grille, ainsi qu'en r éduisant la profondeur de d'épl éion par une augmentation de la concentration de dopage. Une autre approche consiste à améliorer le contr ôle électrostatique par le d éveloppement d'architecture multi-grilles.

Per çage volumique.

Le ph énom ène de per çage volumique se traduit par une apparition du courant de fuites sous le seuil et par cons équent d'une dégradation de la pente sous le seuil (voir Fig. 1-11). On observe que la diminution de la longueur de grille entra îne un rapprochement des zones de charge d'espace de la source et du drain. Un canal de conduction volumique apparaît sous la

zone contrôlée par la grille. Le compromis entre faible niveau de dopage dans le canal et l'immunité du dispositif au perçage impose par conséquent de fortes contraintes sur la diminution de la profondeur des jonctions de source / drain.

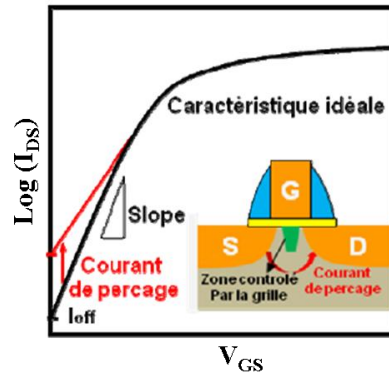


Figure 1-11. Représentation schématique de l'impact du perçage volumique sur les caractéristiques statiques.

Augmentation de la résistance série.

La résistance série d'une extension de la source ou du drain se décompose en plusieurs contributions schématisées au niveau de la Fig. 1-12 [14] : R_{sh} , R_{sp} , R_{acc} , et R_{con} sont respectivement la résistance de feuille, de diffusion, d'accumulation et de contact. La miniaturisation des transistors induit l'augmentation de ces résistances série parasites, $R_{séries}$. Cet accroissement des résistances parasites génère une chute du potentiel de source / drain et grille / source par conséquent une dégradation du courant de source / drain. Les performances de celui-ci s'en trouvent alors diminuées par rapport au cas idéal.

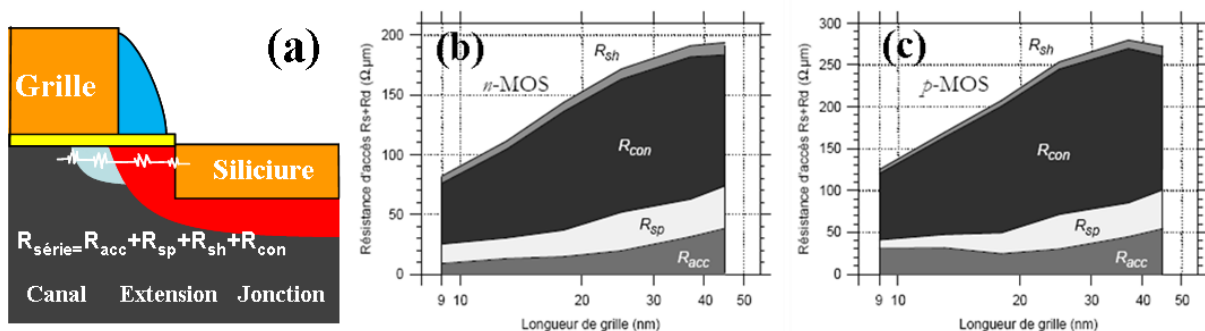


Figure 1-12. (a) Structure de drain et la composition principale des résistances série [14]. (b) et (c) : Contribution des différentes résistances (R_{sh} , R_{con} , R_{sp} et R_{acc}) en fonction de la longueur de grille (ITRS'07) pour des MOS en type N et P, respectivement. La résistance de contact R_{con} est la plus importante contribution affectant le transistor comparé aux autres résistances.

La contribution à la résistance globale des différents composants en série en fonction de la longueur de grille est illustré par les Fig. 1-12 (b) et (c) pour le cas du NMOS et PMOS,

respectivement. Il apparait clairement que la résistance du contact, R_{con} est la contribution la plus importante affectant le principe de fonctionnement du transistor en comparaison aux autres résistances et il apparait donc nécessaire de réaliser des études afin de la minimiser, par exemple en introduisant des matériaux à faibles hauteurs de barrière Schottky afin de promouvoir l'injection thermoionique.

Fuite de l'oxyde de grille.

La réduction de l'épaisseur d'oxyde de grille est également nécessaire pour la poursuite de l'évolution de la technologie CMOS. Celle-ci permet d'assurer un meilleur contrôle des effets des canaux courts et permet ainsi de réduire le courant de fuite (I_{off}) tout en augmentant le courant de commande (I_{on}) par augmentation de la capacité (C_{ox}) (voir Eq. 1-4 et Eq. 1-8). Cependant, l'épaisseur d'oxyde de grille devient un paramètre critique et atteint des valeurs de l'ordre de quelques couches atomiques. A de telles épaisseurs de l'ordre du nanomètre, le courant de fuite à traverser l'oxyde est essentiellement gouverné par l'effet tunnel. Il n'est alors plus négligeable, ce qui perturbe le comportement du dispositif et cause une forte augmentation de la puissance consommée.

$$C_{ox} = \epsilon_o \frac{\epsilon_{ox}}{t_{ox}} \quad \text{Eq. 1-8}$$

Le problème du courant de fuite par l'effet tunnel est intrinsèque au matériau et ne pourra être résolu que par l'intégration de matériaux high- k . Ces matériaux permettent d'augmenter la valeur de capacité C_{ox} sans diminuer l'épaisseur du diélectrique, évitant ainsi des fuites par effet tunnel. La notion d'épaisseur d'oxyde est alors remplacée par l'épaisseur d'oxyde équivalente «EOT» (de l'anglais «Equivalent Oxide Thickness») définie par Eq. 1-9. Cette grandeur correspond à l'épaisseur de dioxyde de silicium nécessaire pour atteindre la même capacité que celle obtenue grâce à l'intégration du matériau high- k . EOT se calcule en fonction des permittivités du dioxyde de silicium (ϵ_{ox}), du matériau high- k (ϵ_{high-k}) et de l'épaisseur diélectrique déposée (t_{high-k}), en utilisant l'équation suivante:

$$EOT = t_{diélectrique} \frac{\epsilon_{SiO_2}}{\epsilon_{diélectrique}} \quad \text{Eq. 1-9}$$

Matériaux	SiO ₂	Si ₃ N ₄	Al ₂ O ₃	ZrSiO ₄	HfSiO ₄	Y ₂ O ₃	HfO ₂	ZrO ₂	Ta ₂ O ₅	TiO ₂	Nb ₂ O ₅
k	3.9	7.6	10	12	12	14	20-25	20-25	25	40	96

Tableau 1-2 Constantes diélectriques des matériaux isolants pouvant être utilisés comme oxyde de grille.

Les constantes diélectriques des matériaux initialement envisagés comme isolant de grille sont répertoriées dans le Tableau 1-2. L'utilisation d'un oxyde à haute constante diélectrique, permet d'atteindre des épaisseurs d'oxyde équivalentes inférieures à 1 nm, mais avec une épaisseur physique de diélectrique suffisamment importante pour réduire le courant de fuite de grille. Outre les études spécifiques sur les matériaux nécessaires pour réaliser des couches avec un EOT inférieur à 1 nm, la couche d'oxyde high- k doit être compatible avec le matériau de grille et pouvoir s'intégrer dans le procédé de fabrication des transistors MOS : résister aux traitements thermiques, notamment lors des recuits d'activation des dopants, être compatible avec la gravure de la grille, être retiré sélectivement, etc. Par ailleurs, ces matériaux sont responsables d'une dégradation de la mobilité des porteurs dans le canal de conduction [15], comparé à un oxyde de silicium thermique de même EOT [16]. Cette réduction de la mobilité serait induite par l'accentuation des interactions des porteurs avec les plasmons de surface (forte polarisabilité des diélectriques high- k) [17], et / ou par le piégeage des porteurs mobiles [18], et / ou par l'augmentation des interactions coulombiennes entre des charges fixes piégées dans l'oxyde (ou high- k) et les porteurs.

1.2 Amélioration des performances de MOSFETs.

Afin de lutter contre les effets négatifs de la miniaturisation des structures planaires, différentes approches ont été mises en œuvre afin de poursuivre l'amélioration des performances des dispositifs, telles que l'introduction des contraintes mécaniques dans le canal ou l'intégration de dispositif sur substrat silicium sur isolant (SOI de l'anglais « silicon on insulator »), structure présentant une couche d'oxyde enterrée (BOX de l'anglais « Buried OXide »).

1.2.1 Introduction de contraintes mécaniques.

Les propriétés électriques du silicium peuvent être modifiées par l'introduction de contraintes mécaniques dans le canal de conduction. Ces contraintes impactent alors les structures des bandes d'énergies du silicium et modifient les masses effectives des porteurs. La mobilité de transistor est alors modifiée suivant l'équation ci-dessous:

$$\mu = \frac{q\tau}{m^*} \quad \text{Eq. 1-10}$$

où m^* est la masse effective de conductivité des porteurs, q est la charge élémentaire de l'électron et τ est le temps de relaxation moyen qui exprime le temps minimum entre deux interactions avec les phonons de la bande considérée. La mobilité peut être améliorée en réduisant la masse effective de conductivité et / ou vitesse de diffusion (l/τ). En raison de la différence de comportement de la masse effective entre les électrons et les trous, les contraintes appliquées au niveau des transistors NMOS et PMOS sont différentes.

Des contraintes en tension ou en compression sont appliquées au canal de conduction du PMOS et du NMOS respectivement comme le montre la Fig. 1-13. Dans le cas du transistor à canal P, le SiGe est utilisé à la place du silicium pour former la zone de source / drain et pour induire une contrainte de compression uniaxiale dans le canal de silicium en améliorant la mobilité des trous ainsi que la réduction des résistances parasites au niveau de la zone de source et du drain. Dans le cas du transistor à canal N, une couche de nitrure de silicium est déposée sur le transistor de manière à introduire une contrainte en tension uniaxiale dans le canal de silicium permettant ainsi d'augmenter la mobilité d'électrons.

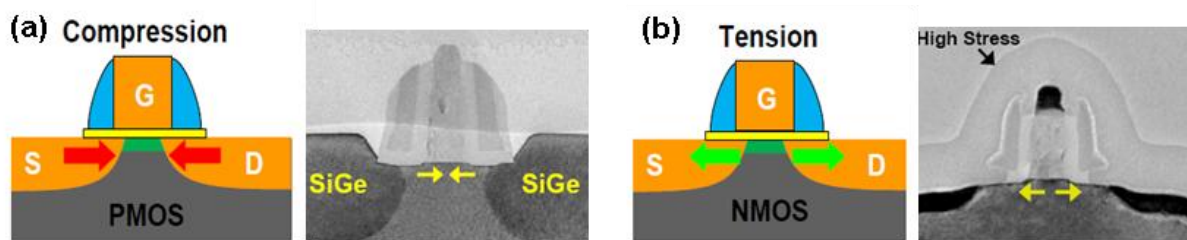


Figure 1-13. Représentations schématiques et images MET associées des contraintes mécaniques en compression et tension utilisées afin d'améliorer les performances des transistors (a) PMOS par introduction d'une contrainte compressive et (b) NMOS par une contrainte tensile [19].

Une autre approche consiste à introduire les contraintes mécaniques sur toute la surface du substrat, au moyen d'une épitaxie sélective de silicium sur un substrat tampon en $\text{Si}_x\text{Ge}_{1-x}$ relaxé [20] [21] [22]. L'autre solution consiste à déposer une couche d'encapsulation sur le transistor, qui sera choisie en tension ou en compression pour l'optimisation de la mobilité d'électrons et des trous, respectivement [23] [24].

1.2.2 Transistors sur substrat SOI.

L'effet SCE se produit lorsque le contrôle de la région de canal par une grille est affecté par des lignes de champ électrique de la source et le drain. Les lignes de champ électrique se propagent à travers les régions associées à la déplétion des jonctions. Leur

influence sur le canal peut être réduite en augmentant la concentration de dopage dans cette région. Dans les dispositifs nanométriques, la concentration de dopage devient trop élevée (10^{19} cm^{-3}) pour permettre un fonctionnement satisfaisant du dispositif. Afin d'obtenir un meilleur contrôle des effets SCE, de nouvelles architectures sont réalisées sur des substrats structurés, à films minces, comme les transistors à base de SOI ou de SON (de l'anglais « Silicon On Nothing »). Le procédé de fabrication demeure similaire à un procédé CMOS classique même si des ajustements peuvent être nécessaires pour tirer partie des avantages de la structure. Trois types d'architectures différents SOI sont présentés au niveau de la Fig. 1-14.

Lorsque le film de silicium est relativement épais, la zone de déplétion sous le canal de conduction ne s'étend pas jusqu'à l'oxyde enterré et une zone neutre persiste dans la couche SOI. Le transistor est dit partiellement déplété ou PDSOI (de l'anglais « Partially depleted SOI »). Cependant les propriétés de ces dispositifs PDSOI diffèrent peu des transistors sur substrat massif et le contrôle des effets SCE n'est que faiblement amélioré. De plus, des effets parasites liés à l'accumulation de charges dans la zone neutre du substrat provoquent des effets transitoires (ou de l'anglais « kink effect ») [25]. Quand l'épaisseur de la couche SOI diminue et la déplétion sous la grille atteint l'oxyde enterré, le transistor est alors complètement déplété et correspond à une structure FDSOI (de l'anglais « fully depleted SOI »). Dans ce cas, les effets SCE peuvent être mieux contrôlés car la plupart des lignes de champ se propagent dans le BOX avant d'atteindre la région de canal. Une autre variante, les transistors sur SON, permet de travailler avec des substrats SOI localisés uniquement sous le canal de conduction.

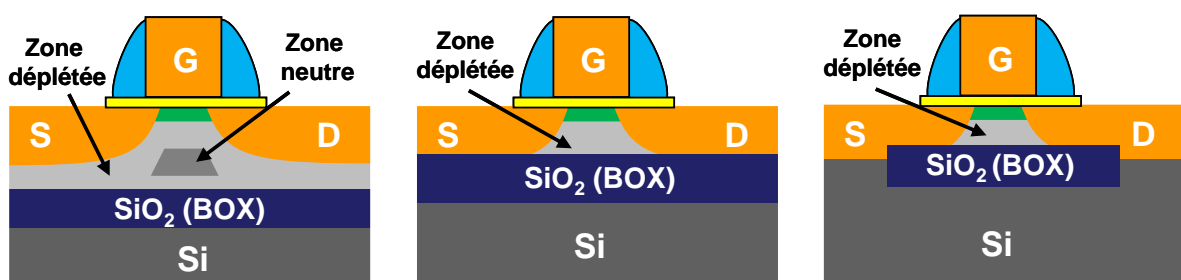


Figure 1-14. Représentation schématique des différentes architectures de transistors sur substrats à films minces : (a) transistor partiellement déplété (b) transistor complètement déplété et (c) transistor SON.

1.2.3 Introduction de grilles métalliques.

La tension de seuil du transistor V_{th} , est dépendante du matériau de grille utilisé. En

effet, la tension de bande plate, proportionnelle à V_{th} , est directement reliée au travail de sortie du matériau de grille par la relation : $V_{th} = \Phi_m - \Phi_s - Q_{ox}/C_{ox}$, avec Φ_m et Φ_s le travail de sortie, respectivement de la grille et du semiconducteur, et Q_{ox} la charge de l'oxyde. Différents types de grilles existent : «N⁺ like» (le travail de sortie du métal de grille est proche de celui d'une grille en polysilicium dopé N, soit environ 4.05 eV), «P⁺ like »(avec un travail de sortie de la grille voisin de celui d'une grille en polysilicium dopé P, autour de 5.1 eV), ou «mid-gap », des matériaux uniques pour les transistors NMOS et PMOS dont le travail de sortie se situe au milieu du gap du silicium (comme TiN, W, CoSi₂). Les matériaux les plus utilisés actuellement sont de type «mid-gap » car ils permettent d'obtenir des tensions de seuil symétriques entre le NMOS et le PMOS, à partir d'un seul matériau de grille. Toutefois, la tension de seuil obtenue est élevée et de nombreux travaux de recherche s'orientent vers une intégration N⁺ like pour les NMOS / P⁺ like pour le PMOS afin de pouvoir diminuer la tension de seuil. Cette dualité entraîne une complexification importante au niveau du procédé de fabrication. Une des voies actuelles consiste à siliciurer totalement le polysilicium de grille [26] [27] [28] après le recuit d'activation de dopant, ce qui permet d'éviter le problème de la compatibilité de la grille métallique avec les différentes étapes de recuit thermique du procédé de fabrication.

1.3 Transistors à base d'architecture non-planaire.

Malgré l'introduction de différentes technologies décrites précédemment (canal contraint, l'intégration high- k / grille métallique), les dispositifs planaires ont néanmoins atteint certaines limites, avec des effets SCE de plus en plus marqués. Alors, des nouvelles architectures de canal, dites non-planaires, ont été pensées et développées afin de lutter plus efficacement contre les effets néfastes de la miniaturisation. Par exemple des architectures à base d'ailette ou (FinFET de l'anglais « Fin ») ou structures multi-grilles ont été proposées.

1.3.1 Physique du MOSFET à grilles multiples.

Un exemple de structure non-planaire à double ou triple-grille est présenté au niveau de la Fig. 1-15 [29], une architecture permettant d'augmenter le contrôle électrostatique du canal et ainsi de minimiser les effets canaux courts en comparaison avec une structure planaire.

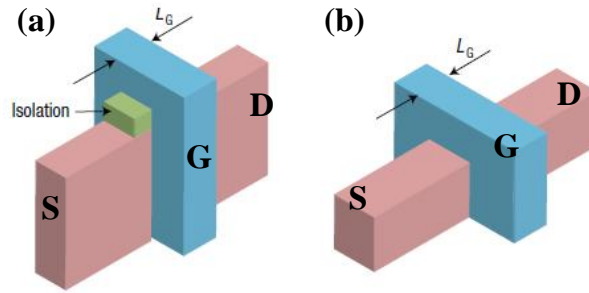


Figure 1-15. Représentation schématique du MOSFET en structure (a) double-grille et (b) triple-grille [29].

La distribution du potentiel dans le canal d'un MOSFET à multi-grilles peut être obtenue en résolvant l'équation de Poisson, Eq 1-12 :

$$\frac{d^2\Phi(x, y, z)}{dx^2} + \frac{d^2\Phi(x, y, z)}{dy^2} + \frac{d^2\Phi(x, y, z)}{dz^2} = \frac{qN_a}{\epsilon_{Si}} \quad \text{Eq. 1-12}$$

Où N_a est concentration de porteurs, ϵ_{Si} est la permittivité électrique du silicium et q est la charge élémentaire de l'électron. Cette relation signifie que, pour tout point (x, y, z) du canal, la somme des variations des composantes du champ électrique dans les directions x , y et z est égale à une valeur constante. Ainsi, si l'une de ces composantes augmente, la somme des deux autres doit diminuer. Le champ électrique de la composante x , E_x représente l'empêchement du champ électrique sur la région du canal. L'influence de E_x sur un petit élément de la région du canal situé aux coordonnées (x, y, z) (Fig. 1-16) peut être réduite, soit en augmentant la longueur du canal, L , ou augmentant le contrôle par la grille en haut et en bas $dE_y(x, y, z)/dy$, ou les grilles latérales $dE_z(x, y, z)/dz$ sur le canal. Ceci peut être réalisé en réduisant l'épaisseur du canal de silicium, t_{si} , et / ou la largeur du canal de silicium, W_{si} . En outre, une augmentation du composant $dE_y(x, y, z)/dy + dE_z(x, y, z)/dz$ peut également être obtenue en augmentant le nombre de grilles. En particulier, $dE_y(x, y, z)/dy$ peut être augmenté en ayant deux grilles (grilles en haut et en bas) au lieu d'une grille seule, et $dE_z(x, y, z)/dz$ est augmenté par la présence de grilles latérales.

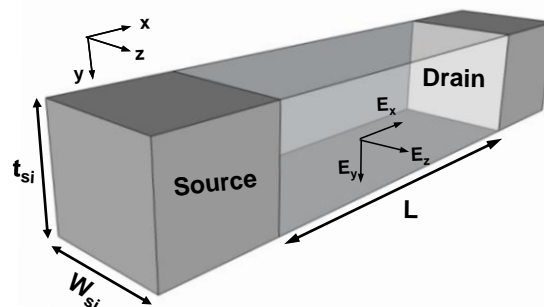


Figure 1-16. Composantes du champ électrique dans un dispositif à multi-grilles [30].

L'intégration de transistors à multi-grilles diminue les contraintes technologiques sur le dimensionnement du canal grâce à l'augmentation du contrôle électrostatique [31] [32]. La Fig. 1-17 présente l'épaisseur maximale du film de silicium nécessaire afin d'éviter les effets de SCE [30]. Par exemple, pour un transistor à grille unique ($L_G = 40$ nm), l'épaisseur de la couche de silicium doit être environ 5 fois plus petite que la longueur de grille pour déplier complètement le canal. Pour un transistor double-grille, cette contrainte est relaxée avec une épaisseur de la couche de silicium égale à la moitié de la longueur de grille. Ainsi, pour un transistor 4 grilles (ou grille entourante), la dimension du canal est équivalente à la dimension de la grille.

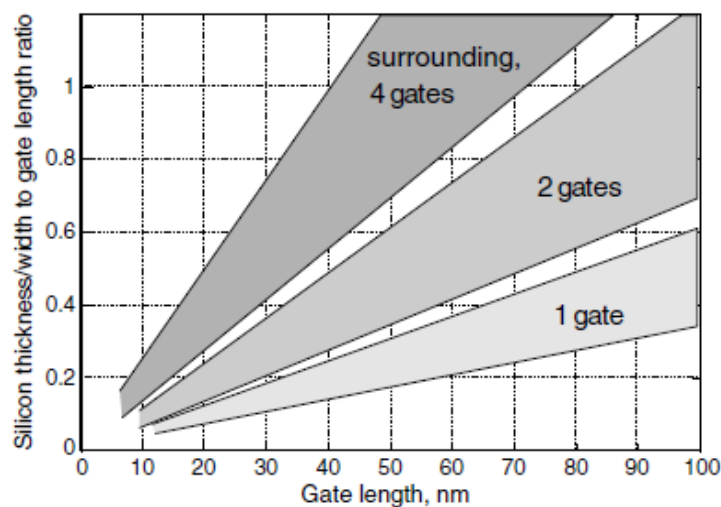


Figure 1-17. L'épaisseur de la couche de silicium maximale autorisée par rapport à la longueur de grille afin d'éviter les effets canaux courts pour un dispositif à grille unique, double ou entourante (4 grilles) de MOSFET à base de SOI [30].

1.3.2 Dispositifs MOSFET à multi-grilles.

D'un point de vue expérimental, des efforts importants sur l'intégration de transistors multi-grilles implémentés sur substrat SOI ont été présentés [33] [34] [35] [26] [36]. L'évolution de ces transistors à multi-grilles est schématisée par J.P. Colinge en Fig. 1-18, [37] partant des dispositifs simple grille jusqu'aux dispositifs à grille entourante.

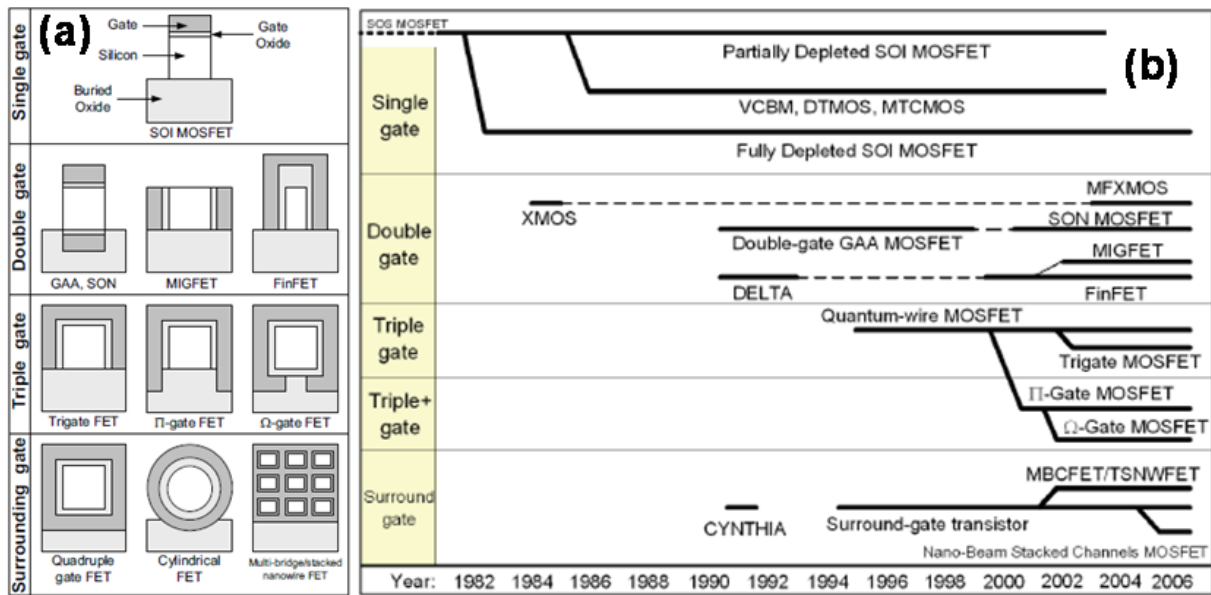


Figure 1-18. (a) Représentation schématique en vue en coupe de transistors à multi-grilles ainsi que (b) l'arbre généalogique des transistors à multi-grilles [37].

La première structure de transistor MOS à double-grille, proposée par T. Sekigawa and Y. Hayashi en 1984 [38], démontrait des réductions d'effets SCE. Dans cette configuration, un meilleur contrôle de canal est obtenu en comparaison à un transistor à grille unique, grâce à la réduction de l'influence du champ électrique de drain sur le canal [39] [40] [41].

Le MOSFET à triple-grilles est implémenté à l'aide d'une ailette de silicium où les trois faces disponibles sont contrôlées par trois grilles [42] [33]. La Fig.1-19 présente schématiquement la structure ainsi qu'une vue en coupe par imagerie MET haute résolution [43]. La performance de cette architecture peut être encore améliorée en créant une extension de l'électrode de grille jusqu'à une certaine profondeur dans l'oxyde enterré (π -grille [36]) et sous la zone de canal (Ω -grille [44] [45]). D'un point de vue électrostatique, ces structures, représentées schématiquement au niveau de la Fig. 1-18 (a) et (b), peuvent être considérées comme des dispositifs à trois ou quatre grilles. Il a été démontré que ces architectures couplées avec l'utilisation technologies innovantes comme le silicium contraint, l'empilement grille en métal et / ou diélectrique high- k peuvent encore améliorer la performance du dispositif [46] [47].

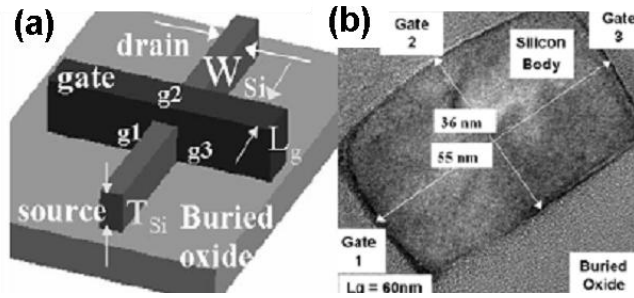


Figure 1-19. (a) Représentation schématique de transistor à triple-grilles et (b) image de MET en haute résolution sur vue de coup du canal [34]. Une nanoailette de silicium (canal) réalisée sur substrat SOI est recouverte par une grille entourant trois faces.

Enfin, le transistor avec une structure de grille entourante, Fig. 1-20 (c), est obtenue à partir d'une technologie SON [48], la grille entourant entièrement le canal pour un meilleur contrôle électrostatique. Actuellement, la structure en grille entourante est utilisée principalement pour l'intégration de transistors à base de nanofils pour adresser de la longueur de grille ultra-courte. Ceci sera détaillé dans la partie 1.3.3.2.

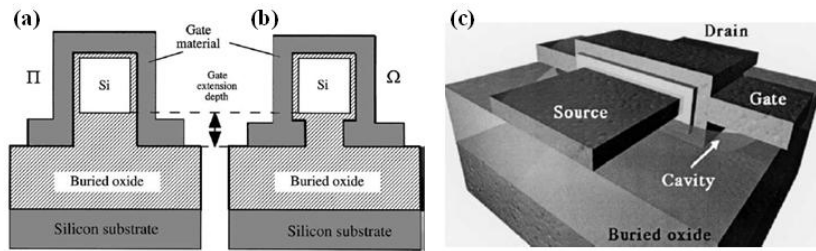


Figure 1-20. Représentation schématique (vue de coupe) de principe de transistor en (a) n-grille (b) Ω -grille [30] et (c) (3D) grille entourante [48] réalisée à base de substrat SOI.

En raison de la section nanométrique du canal, le courant circulant entre la source et le drain est très faible. Le courant total peut être augmenté en intégrant plusieurs canaux de conduction en parallèle, le courant du transistor étant égal au courant d'un canal multiplié par le nombre des canaux. Des dispositifs FinFET, réalisés sur un substrat SOI (Fig. 1-21 (a)) [49] [50] démontrent expérimentalement l'impact du nombre des canaux sur le courant (Fig. 1-21 (b)).

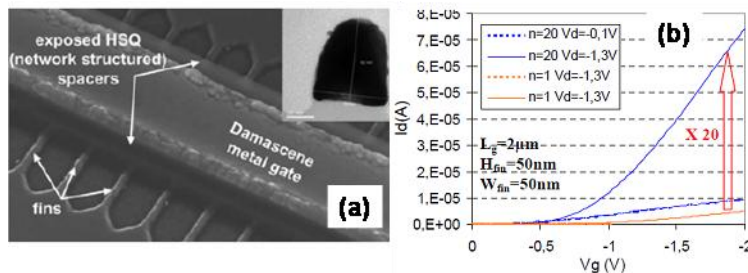


Figure 1-21. (a) Transistor SB-FinFET en multi-canaux réalisé par Cornu-Frueux et al, [50] et (b) comparaison du courant d'ôit épar ces dispositifs à 1 et 20 ailettes.

En considérant un pas P , le pas entre deux canaux, le courant d'un tel dispositif est donné par [51]:

$$I_{DS} = I_{DS0} \frac{\theta \mu_{top} W_{si} + 2 \mu_{side} t_{si}}{\mu_{top} P} \quad \text{Eq. 1-13}$$

Où I_{DS0} est le courant dans le dispositif planaire à grille unique occupant la même surface que le dispositif multi-canaux. W_{si} est la largeur de chaque canal, t_{si} est l'épaisseur du film de silicium, μ_{top} et μ_{side} sont les mobilités de l'interface supérieure et latérale de nanoailettes, $\theta = 1$ pour le transistor à triple-grille et $\theta = 0$ pour le transistor à double-grille (Fig. 1-22). Afin d'obtenir un courant plus important à l'état passant pour un dispositif multi-grilles que pour un dispositif planaire, la densité de nanoailettes doit être suffisamment élevée, autrement dit, le pas P entre les canaux doit être assez petit pour une largeur de nanoailette donnée [51].

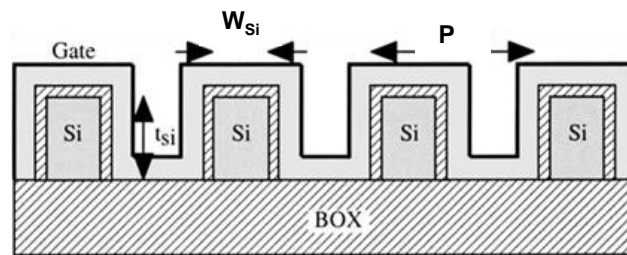


Figure 1-22. Représentation schématique (vue de coupe) de multi-canaux FinFET [51] à base de réseau de nanoailettes de silicium gravées sur substrat de SOI, t_{si} et W sont la hauteur et la largeur de nanoailette et le « pitch » est le pas entre deux nanoailettes adjacentes.

1.3.3 Transistors à base de structures unidimensionnelles.

La course à la miniaturisation des structures CMOS atteindra probablement ses limites lorsque la longueur de grille approchera 5 nm, à l'horizon 2020 - 2030, du fait des courants de fuites de l'ensemble du circuit [52]. Afin d'atteindre cette limite, le transistor à base de nanofils de silicium intégrant une grille entourante est un candidat très prometteur parce que ces structures offrent théoriquement le meilleur contrôle électrostatique du canal par la grille. La Fig. 1-23 présente une feuille de route des structures alternatives MOSFET décrite par Iwai [53], où de part son haut niveau de performances potentielles et sa compatibilité avec les procédés technologiques existants, le transistor à base de nanofils de silicium se positionne comme un candidat sérieux.

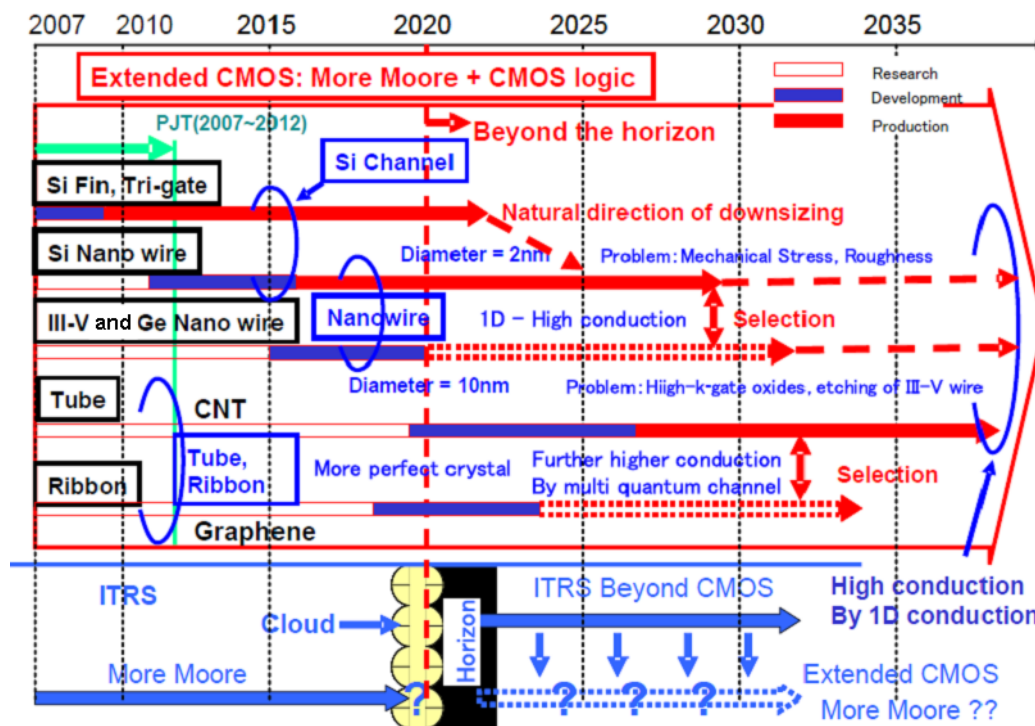


Figure 1-23. Feuille de route des architectures alternatives [53]. Plusieurs feuilles de route concernant des alternatives différentes (structure multigrilles), unidimensionnelle (nanofils et nanotube de carbone) et graphène sont proposés.

1.3.3.1 Les premiers transistors à base de nanofils de silicium.

Expérimentalement, les premiers transistors à base de nanofils horizontaux en structure conventionnelle ont été développés par le groupe de C.M. Lieber à Université de Harvard [54]. Les nanofils intégrés ont été synthétisés par une croissance catalytique (méthode dite «bottom-up») en utilisant un mécanisme VLS (vapeur liquide solide) (de l'anglais «vapor-liquid-solid») [55]. Cette technologie permet de réaliser des nanofils avec un diamètre inférieur à 100 nm dont le dopage (n ou p) est réalisé pendant le procédé de synthèse. Les nanofils sont séparés du substrat hôte par sonication puis mis en solution. Ces nanofils sont ensuite dispersés sur un substrat de silicium recouvert d'un oxyde (pouvant être utilisé comme grille de face arrière) suivant différentes techniques, telles que la diélectrophorèse [56], la micro-fluidique [57] ou le Langmuir-Blodgett [54]. Finalement, des contacts métalliques de source et de drain sont réalisés à chaque extrémité des nanofils. Un exemple d'une telle configuration est montré au niveau de la Fig. 1-24 (a) [58]. Appenzeller et al. [59] ont étudié la formation du siliciure de nickel dans les nanofils de silicium en montrant notamment l'influence des contacts siliciurés sur les performances du dispositif. La Fig. 1-24 (b) montre le transistor à base de nanofils en silicium à double grilles avec des électrodes en siliciure de nickel. Cette configuration permet de supprimer le comportement ambipolaire et

d'obtenir un dispositif avec des caractéristiques unipolaires satisfaisantes en polarisant le substrat à -15 V ainsi que la grille du dessus. L'injection de trous en provenance de la source est permise alors que l'injection des électrons en provenance du drain est supprimée. Afin de minimiser l'effet des résistances de contact sur les caractéristiques du dispositif, des transistors à nanofils avec des jonctions conventionnelles fortement dopées ont été fabriqués par implantation ionique puis recuit d'activation [60], comme le montre la Fig. 1-24 (c). Des transistors de structures similaires ont été réalisés par Weber et al. (Fig. 1-24 (d)) [61], Lin et al. (Fig. 1-24 (e)) [62], et Wu et al. (Fig. 1-24 (f)) [63]. Les différents paramètres physiques ainsi que leurs performances statiques sont résumés dans le tableau 1-3. Ces premiers transistors à base de nanofils sont relativement perfectibles, avec des longueurs de grille relativement grandes (de 500 nm à 3 µm), un contrôle du canal de conduction par une polarisation face arrière ou supérieure avec des tensions de polarisation élevées. Cette technologie n'est pas optimale pour analyser l'efficacité de ces transistors à base de nanofils à grille ultra-courte pour le contrôle des effets SCE. De plus, même pour des longueurs de grille relativement longues, la caractéristique statique des transistors n'est pas idéale, par exemple, avec une pente sous le seuil largement supérieure à 60 mV/dec. Enfin, ces dispositifs à nanofil unique offrent des courants de commande limités de l'ordre du µA (10^{-6} A). Afin d'augmenter ce courant, des dispositifs implantés sur un grand nombre de nanofils en parallèle seraient nécessaires. Un tel travail d'auto-assemblage est un véritable challenge et manque aujourd'hui de reproductibilité au niveau du procédé de fabrication.

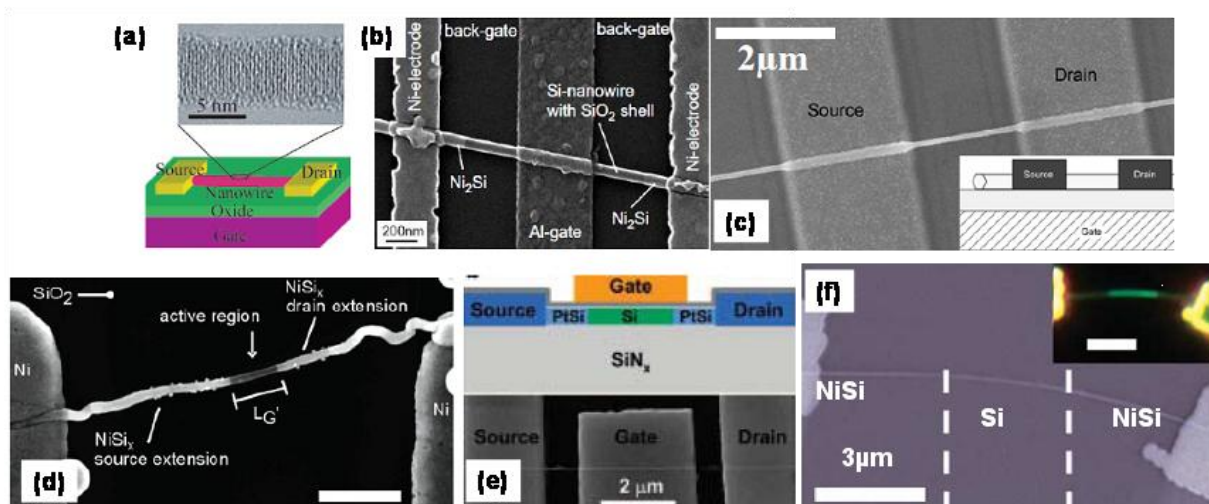


Figure 1-24. Les premiers transistors à base de nanofil unique de silicium réalisés par différents groupes des recherches: (a) Cui et al. [58], (b) Appenzeller et al. [59], (c) Hayden et al. [60], (d) Weber et al. [61], (e) Lin et al. [62], (f) Wu et al. [63] avec une longueur de grille relativement grande et un contrôle du canal de conduction par une polarisation face arrière ou supérieure. Les nanofils sont fabriqués par la méthode dite « bottom-down » et les dispositifs réalisés ne sont pas optimaux en raison des nombreuses difficultés rencontrées lors du procédé d'intégration.

	Cui et al.	Wu et al.	Weber et al.	Appenzeller et al.	Hayden et al.	Lin et al.
Type de NFs	p-Si	p-Si	i-Si	p-Si	p-Si	p-Si
Diamètre NF (nm)	20	30	25	40	45	40
Grille	grille en face arrière	grille en face arrière	grille en face arrière	double grille	grille en face arrière	grille en face arrière
L_G (nm)	800-2000	3000	1000	500	2000	3000
Diélectrique	SiO ₂	SiO ₂	SiO ₂	SiO ₂ wrap	SiO ₂	HfO ₂
t_{ox} (nm)	600	600	300	5	70	7
I_{on} (A)	$\sim 1 \times 10^{-6}$	$\sim 1 \times 10^{-6}$	$\sim 7 \times 10^{-6}$	$\sim 1 \times 10^{-6}$	$\sim 1 \times 10^{-6}$	$\sim 1 \times 10^{-5}$
I_{on}/I_{off}	2×10^4		1×10^7	1×10^7	1×10^5	1×10^7
SS(mV/Dec)	174~609			140	1100	110~220
μ (cm ² /Vs)	230~1350				40~100	168

Tableau 1-3 Comparaison des performances de transistors à base de nanofils réalisés par croissance: Cui et al. [58] Wu et al. [63] Weber et al. [61] Appenzeller et al. [59] Hayden et al. [60] Lin et al. [62]

Même si cette méthode a permis de démontrer la faisabilité d'une réalisation de transistors à base de nanofils de différents matériaux, comme les nanotubes de carbone [64] [65] [66] [67], des nanofils d'oxyde de zinc [68] [69], de nitrure de gallium [70], d'InAs [71] [72] et d'InGaAs [73]. Néanmoins, elle possède de nombreuses limites notamment en termes de dimensionnement ou de reproductibilité

1.3.3.2 Transistors à base de nanofils à grille entourante.

Les transistors à nanofils en grille entourante (Fig. 1-25) représentent le cas optimum de contrôle électrostatique du canal et permettent une réduction de la puissance consommée, grâce à son immunité aux effets canaux courts. Ces dispositifs sont donc une option crédible pour poursuivre la loi de Moore au-delà du nœud technologique 15 nm.

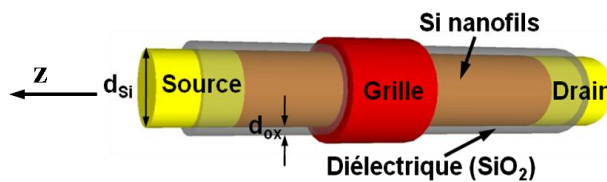


Figure 1-25. Représentation schématique de principe d'un transistor à base d'un nanofil en architecture à grille entourante.

D'un point de vue expérimental, en raison des grandes difficultés technologiques pour réaliser des transistors à grille entourante ultra-courte sur des nanofils réalisés par croissance, de nombreux groupes se sont orientés vers une approche descendante par gravure, compatible avec un procédé CMOS, pour fabriquer des transistors à base d'un ou deux nanofils horizontaux (Fig. 1-27). Par exemple, pour le dispositif réalisé par Singh et al. [74], la structure d'ailette de silicium est fabriqué par une technique qui combine la lithographie, une gravure anisotrope ainsi qu'une oxydation de l'ailette. Pendant le procédé d'oxydation

thermique, des mécanismes d'oxydation auto-limités dans une structure nanométrique [75] [76] induisent une consommation de silicium supérieure au centre de l'ailette qu'à ses extrémités, créant ainsi des nanofils suspendus, pouvant être libérés par la gravure de la couche d'oxyde. Alors, une couche diélectrique et une grille entourante sont réalisées par oxydation ou dépôt chimique en phase vapeur, (CVD de l'anglais : «Chemical Vapor Deposition»). Ces dispositifs montrent un excellent contrôle électrostatique du canal avec notamment des pentes sous le seuil quasi-idéal ($SS = 66 \text{ mV/dec}$), un faible DIBL et un rapport I_{on}/I_{off} élevé ($> 10^6$). Des structures similaires horizontales à base de nanofils ont été réalisées également par d'autres groupes de recherche [77] [78].

Le tableau 1-4 propose une comparaison des performances de cette famille de dispositifs. Les dimensions des transistors sont beaucoup plus petites que ceux réalisés par une approche «bottom-up», par exemple, le diamètre des nanofils est d'environ 10 nm et la longueur de grille entourante est majoritairement sub-65 nm.

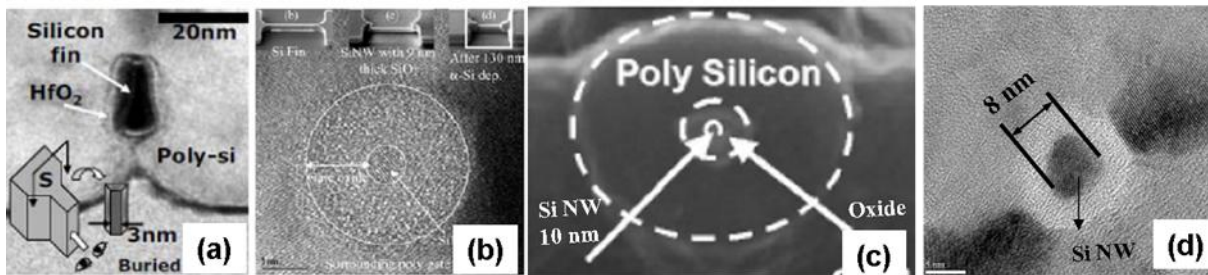


Figure 1-27. Images MET et MEB des transistors avec une grille entourante à base de nanofil individuel réalisés par : (a) Lee et al. [79] (b) Singh et al. [74] (c) Tian et al. [78] et (d) Suk et al. [77] respectivement. Le procédé de fabrication est bien contrôlé et compatible CMOS, le diamètre des nanofils réalisés par la méthode «top-down» peut être ultra fin ($< 10 \text{ nm}$).

	Suk et al.	Li et al.		Wong et al.		Lee et al.	Tian et al.	Yeo et al.	Singh et al.	
Type de NFs	n-Si	n-Si	p-Si	n-Si	p-Si	n-Si	n-Si	p-Si	n-Si	p-Si
Diamètre NF (nm)	10	16	13	12	12	3x14	10	8	5	5
Grille	TiN(GAA*)	TiN(GAA)	TiN(GAA)	Poly Si (GAA)	Poly Si (GAA)	Poly Si (GAA)	Poly Si (GAA)	TiN(GAA)	Poly Si (GAA)	Poly Si (GAA)
L_G (nm)	30	10	10	65	65	5	130	15	180	180
Diélectrique	SiO ₂	ISSG	ISSG	SiO ₂	SiO ₂	HfO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂
t_{ox} (nm)	2	2,5	2,5	3	3	1,2	5	3,5	3	3
V_{ds} (V)	1	1	-1	1,2	-1,2	1	1,5	-1	1,2	-1,2
I_{on} ($\mu\text{A}/\mu\text{m}$)	2640	1494	1054	4030	1500	497	1039	1940	1500	1000
I_{on} (μA)	26,4	23,9	13,7	48,4	18	16,9	10,4	15,5	7,5	5
I_{on}/I_{off}	$\sim 10^6$	$\sim 1,5 \times 10^4$	$\sim 1,5 \times 10^5$	$\sim 10^7$	$\sim 10^5$	$\sim 10^6$	$\sim 10^8$	$\sim 10^6$	$\sim 10^6$	$\sim 10^6$
SS(mV/dec)	71	89	86	75	75	208	72~74	71	63	66
DIBL(mV/V)	13	88	133	40-82		230	4~12	43	10	20

GAA, grille entourante (de l'anglais: Gate-All-Around)

Tableau 1-4. Comparaison des performances du transistor à base de nanofil unique horizontal avec une grille entourante : Suk et al. [77] Li et al. [82] Wong et al. [83] Lee et al. [79] Tian et al. [81] Yeo et al. [84] Singh et al. [74].

Plus récemment, un groupe du Tyndall Institute en Irlande a montré une nouvelle structure de transistor à base de nanofils utilisant le transistor sans jonctions ou «jonctionless transistor» en anglais, présent schématiquement en Fig. 1-28 [85] [86]. Il s'agit de construire une grille autour de nanofils de silicium fortement dopé afin de ne plus former de jonctions de source et de drain fortement dopées. La tension de grille appliqué peut contrôler le canal de conduction. Le transistor sans jonction peut avoir une caractéristique de pente sous le seuil quasi-idéale ainsi qu'un courant de fuite extrêmement faible.

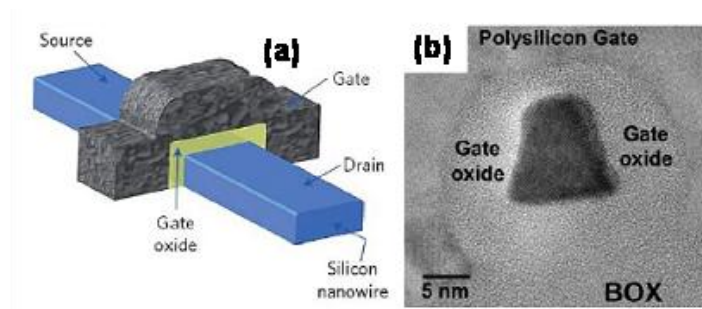


Figure 1-28. (a) Représentation schématique de transistor sans jonction ou «jonctionless transistor» et (b) image MET du canal du dispositif en vue de coupe réalisée par Colinge et al. [86] Le procédé de fabrication est compatible avec un procédé CMOS.

1.3.3.3 Transistors à base de nanofils en multi-canaux à grille entourante.

Le courant pouvant circuler dans un dispositif à nanofil unique est limité par la faible section de semiconducteur à travers de laquelle les charges peuvent se déplacer. Pour augmenter le courant total du dispositif, il est nécessaire de mettre de multiples canaux en parallèle. Ainsi, des dispositifs multi-nanofils peuvent être réalisés, tout en partageant une grille, et des zones de source et drain communes [87] [88].

Par exemple, Zhang et al. [89] ont fabriqué un dispositif à base de multiple nanofils en Ge à grille entourante par une approche de type «bottom-up». Les nanofils sont synthétisés par CVD puis une couche de diélectrique en Al_2O_3 (4 nm) est déposée par ALD suivi par un dépôt isotrope d'une grille en Al (15 nm) par pulvérisation. Les nanofils sont ensuite dispersés et alignés parallèlement sur un substrat de Si couvert par une couche de SiO_2 . Les électrodes de source, de drain et de grille sont alors définies par lithographie électronique (Fig. 1-29). Il apparaît sur cette illustration que certains nanofils sont croisés et ne sont pas connectés par les électrodes de S / D en raison du mauvais contrôle de l'alignement des nanofils. Parallèlement, des dispositifs avec des structures similaires ont été fabriqués par une approche de type «top-down» sur un substrat SOI [90] [91] [92]. Les nanofils de Si ont été oxydés puis recuits sous

ambiance hydrogénée pour obtenir des nanofils de géométrie circulaire. Les contacts de source, de drain et de grille sont toujours réalisés par lithographie. Bangsaruntip et al. [91] ont démontré un MOSFET à base de nanofils de silicium sans dopage dans le canal en grille entourante avec un bon contrôle électrostatique (Fig. 1-29 (c)). Ces dispositifs avec une grille à base de TaN / HfO₂, ont des performances intéressantes avec un courant à l'état passant de 2592 $\mu\text{A}/\mu\text{m}$ pour un NMOS ($V_{DD} = 1 \text{ V}$) et 2985 $\mu\text{A}/\mu\text{m}$ pour un PMOS ($V_{DD} = -1 \text{ V}$) ainsi que $I_{off} = 15 \text{ nA}/\mu\text{m}$. Les nanofils ont une forme circulaire et uniforme qui a été obtenue grâce à l'utilisation d'un recuit sous hydrogène durant le processus d'oxydation. Pendant ce recuit se produit une redistribution du silicium permettant notamment un arrondissement des angles vifs en raison d'une vitesse de diffusion plus importante avec une courbure élevée [93]. Par comparaison avec la réalisation de nanofils par une méthode dite « bottom-up », le procédé dit « top-down » est plus simple et les dispositifs réalisés sont parfaitement contrôlés, ce qui permet d'atteindre des performances intéressantes.

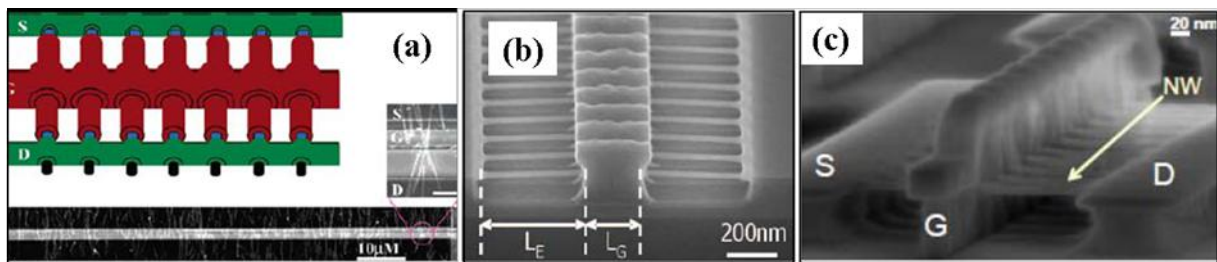


Figure 1-29. Images SEM sur dispositifs réalisés : (a) schéma et images SEM de transistors avec une grille entourante à base de multi-fils en Ge réalisés par Zhang et al. [89] les nanofils étant fabriqués par une méthode de type « bottom-up », Images SEM et MET de transistor avec une grille entourante à base de nanofils de Si suspendus réalisés par (b) Gunawan et al. [90] et (c) Bangsaruntip et al. [91], les nanofils sont fabriqués par une méthode de type « top-down ». En comparaison des deux méthodes de fabrication, le dispositif à base de nanofils réalisés par « top-down » est beaucoup optimisé que celui par « bottom-up ».

La densité de courant par unité de surface pour une couche unique multi-canaux est limitée par la distance inter-fils, défini par la résolution de la lithographie. Afin d'augmenter le courant de commande, l'implémentation de transistors sur un empilement de plusieurs niveaux de fils a été proposé Ernst et al. [88] ont fabriqué un transistor en grille entourante intégré sur 4 niveaux de nano-poutres de silicium (15 x 70 nm) avec une longueur de grille de 80 nm (Fig. 1-30 (a)). Grâce à cette structure, le courant obtenu est 5 fois supérieur par rapport à des transistors planaires intégrant le même empilement de grille (HfO₂/TiN/Poly-Si). Dupré et al. [94] ont démontré des structures 3D empilées sur des nanofils horizontaux de diamètre inférieur 15 nm en grille complètement entourante (3D NWFET) ainsi que des

grilles indépendantes partiellement entourantes, appelé « Φ FET » (Fig 1-30 (b)). Des courants à l'état passant élevés sont obtenus : 6.5 mA/ μ m pour un NMOS et 3.3 mA/ μ m pour un PMOS. Le Φ FET propose des performances supérieures comparées à un dispositif identique (grille indépendante) en canal à ailette avec un I_{off} réduit de deux décades et une pente sous le seuil de 82 mV/dec au lieu de 95 mV/dec.

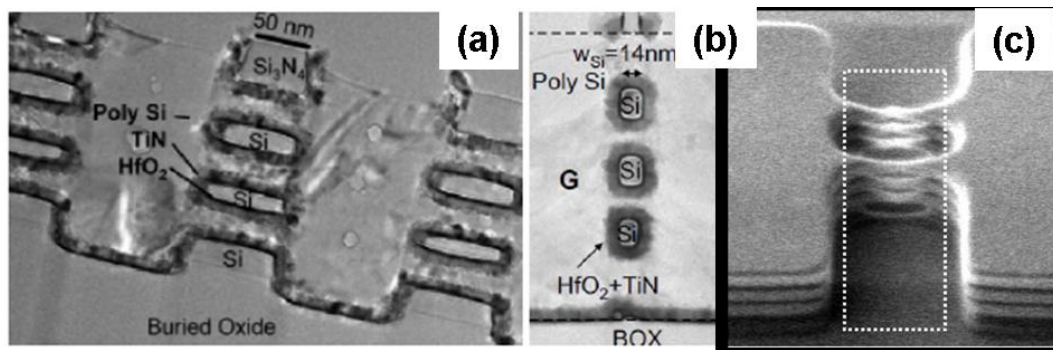


Figure 1-30. Exemple de vue en coupe MET de transistors en multi-canaux horizontaux avec une grille entourante réalisés par (a) Ernst et al. [88] et (b) Dupré et al. [94]; (c) image MEB de nanofils horizontaux empilés (2 x 4) réalisée par Fang et al. [95].

	Ernst et al.	Dupré et al.	Bangsaruntip et al.	Fang et al.		Zhang et al.
Type de NFs	Si (type n)	Si (type p)	Si (type p)	SiGe (type n)	SiGe (type p)	Ge (type p)
Diamètre NF (nm)	15 x 70	14 x 20	9 x 14	30	30	~20nm
Nombre de NFs	150	non indiqué	non indiqué	non indiqué	non indiqué	35
Grille	TiN (GAA)	TiN (GAA)	TaN (GAA)	Poly Si (GAA)	Poly Si (GAA)	Al (GAA)
L_G (nm)	700	100	25	500	500	~1000
Diélectrique	HfO ₂	HfO ₂	HfO ₂	SiO ₂	SiO ₂	Al ₂ O ₃
t_{ox} (nm)	3	1,8	1,5	4	4	4
V_{dd} (V)	1,2	-1,2	-1,2	1,2	-1,2	-1,2
I_{on} (μ A/ μ m)		1100	4147			
I_{on} (μ A)	~100	15,4	41,5	10/nw	10/nw	110
I_{on}/I_{off}	~10 ⁷	~10 ⁶	~2x10 ⁵	~10 ⁶	~10 ⁶	~10 ⁴
SS(mV/dec)		65	85	70	62	300
DIBL(mV/V)	40	7	105	20	10	

Tableau 1-5. Comparaison de performance de transistors à base de réseaux de nanofils horizontaux avec grille entourante réalisés par: Ernst et al. [88] Dupré et al. [94] Bangsaruntip et al. [91] Fang et al. [95] Zhang et al. [89].

La miniaturisation des dispositifs à base de réseaux de nanofils horizontaux semble toutefois relativement complexe, étant confronté à des challenges technologiques importants. Il est, par exemple, difficile d'obtenir des longueurs de canal de taille très petite pour des nanofils relativement longs, donnant ainsi des dispositifs avec une résistance d'accès élevée.

La définition d'une grille uniforme est un autre défi, car les effets d'ombrage au niveau de la gravure de grille peuvent engendrer de fortes disparités au niveau des dimensions. À cet égard, l'intégration verticale de réseaux de nanofil permet de s'affranchir de ces problèmes technologiques, notamment elle permet la réalisation de dispositifs à grille entourante de dimension nanométrique tout en utilisant des méthodes de lithographie conventionnelle.

1.3.3.4 Transistors à base de réseaux de nanofils en structure verticale à grille entourante.

Le transistor à grille entourante en structure verticale a la potentialité de combiner un excellent niveau de performance avec une grande densité d'intégration. L'utilisation de ces structures pour des applications mémoire a déjà largement été mise en avant, [96] [97] non seulement en raison de son potentiel de miniaturisation de dispositifs individuels, mais aussi pour la capacité de mémoire envisageable avec plusieurs niveaux de structures tridimensionnelles.

Le premier concept de transistor vertical avec une grille entourante (SGT de l'anglais « Surrounding Gate Transistor ») a été présenté en 1988 à l'IEDM par Takato et al. [98] du laboratoire de recherche de Toshiba. La configuration est illustrée en Fig. 1-31, où les zones de source, drain et de grille sont intégrés verticalement et le pilier de silicium est entouré par la grille. Le but recherché est de diminuer la densité d'intégration de la structure de base (-50 % de surface par rapport à un transistor planaire) sans réduire la taille de dispositif en lui-même afin d'éviter la dégradation des performances des dispositifs par effets canaux courts. De plus, la structure de grille entourante permet d'offrir un meilleur contrôle du canal.

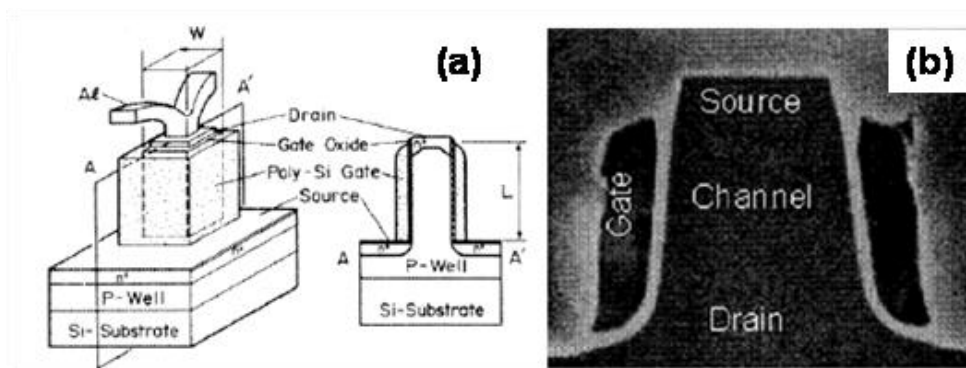


Figure 1-31. Image (a) schématique et (b) MET (vue de coupe) du premier transistor MOS vertical (SGT) réalisé par Takato et al. [98].

(a) Intégration de transistor vertical sur des réseaux de nanofils obtenus par croissance.

Dans cette architecture verticale, un des avantages majeurs est la fabrication de la grille du transistor qui s'effectue non plus par lithographie mais par dépôt d'une couche métallique dont l'épaisseur est bien contrôlée. Une approche suivie consiste à réaliser des nanofils verticaux par croissance sur un substrat monocristallin fortement dopé afin d'utiliser le substrat comme contact de source. Un exemple de réalisation a été démontré par Ng et al. [99], qui a présenté un transistor vertical à grille entourante implémenté sur un nanofil unique de ZnO (30 nm de diamètre) synthétisé sur un substrat de SiC (Fig. 1-32 (a) et (b)). Schmidt et al. [100] et Goldberger et al. [101] ont rapporté une configuration similaire de transistor à base de nanofils de silicium homoépitaxiés (Fig. 1-32 (c) et (d)), respectivement. Ces illustrations montrent clairement la grande perfectibilité du procédé avec notamment des difficultés dans la définition de la grille ou sur la réalisation du contact de face arrière.

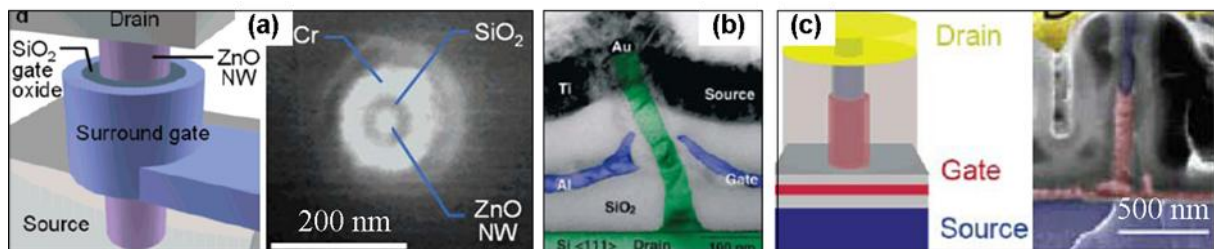


Figure 1-32. (a) Représentation schématique et SEM de transistor avec une grille entourante à base d'un nanofil vertical de ZnO réalisé par Ng et al. [99], (b) image MET en vue de coupe de transistor avec une grille entourante à base d'un nanofil vertical de Si réalisé par Schmidt et al. [100] et (d) Images schématique et SEM en vue de coupe de transistor avec une grille entourante à base d'un nanofils vertical de Si réalisé par Goldberger et al. [101] La comparaison entre la représentation schématique et l'image réelle montre la grande perfectibilité de ces procédés technologiques.

Le groupe de L. Samuelson de l'université de Lund a développé des transistors verticaux sur des réseaux de nanofils épitaxiés d'InAs [102] [103]. La Fig. 1-33 montre une représentation schématique et une image MEB d'un transistor vertical composé d'un nanofil entièrement recouvert de diélectrique Si₃N₄. Les transistors ont montré des bonnes caractéristiques statiques avec une pente sous le seuil de l'ordre de 100 mV/dec et une mobilité des porteurs à faible champ de près de 10 000 cm²/Vs [104] [105].

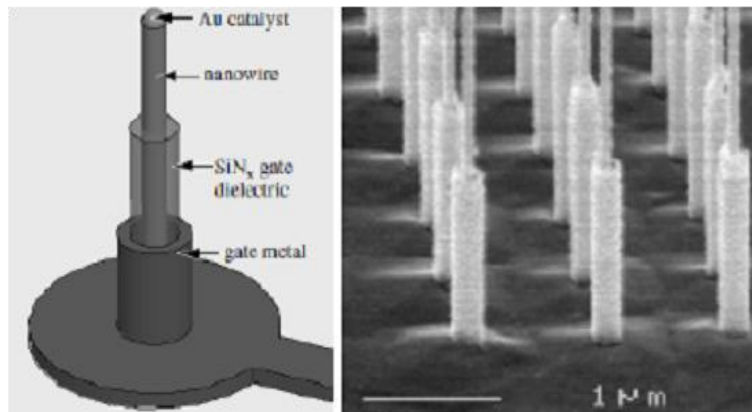


Figure 1-33. Image schématique et MEB de transistor avec une grille entourante de longueur de $1\ \mu\text{m}$ à base de réseau de nanofils verticaux d'InAs réalisés par Thelander et al. [103].

Après dépôt de la couche diélectrique et de la grille métallique, une couche de polymère est déposée par l'enduction sur substrat puis est aminci par plasma oxygène. Ensuite, le métal couvrant les parois des nanofils est retiré sélectivement par gravure humide (Fig. 1-33). Cependant, la gravure humide, isotrope, peut sous graver la partie métallique protégée par le polymère, et par conséquent le contrôle de longueur de grille n'est pas précis rendant la réalisation de grille courte très difficile.

(b) Intégration de transistors vertical à base de nanofils obtenus par une méthode «top-down».

L'intégration de transistors verticaux sur des réseaux des nanofils exige une très grande reproductibilité dans la production de ces réseaux. Cependant, les mécanismes de croissance de nanofils sont encore loin d'être totalement maîtrisés et l'approche descendante couplant la lithographie puis la gravure permet d'atteindre une bonne reproductibilité dans la réalisation des réseaux de fils.

Yang et al. [106] ont implémenté un transistor à base d'un nanofil vertical en grille entourante avec un procédé compatible CMOS, montré en Fig. 1-34. Les nanofils d'un diamètre de 20 nm et de longueur de $1\ \mu\text{m}$ sont fabriqués par gravure puis leurs diamètres finaux sont contrôlés par oxydation. Le transistor de longueur de grille de 150 nm est réalisé en utilisant une couche d'oxyde sacrificielle. Le dispositif démontre un rapport $I_{\text{on}}/I_{\text{off}}$ de 10^7 , une pente sous le seuil de 100 mV/dec, un effet DIBL de l'ordre de 50 mV/V) et. Néanmoins, le procédé utilise également une quadruple implantation ($\text{As } 1 \times 10^{15}\ \text{cm}^{-2}/10\text{keV}$) dans les 4 directions avec un angle d'inclinaison de 45° afin de réaliser les jonctions de source et de drain. Cette méthode limite le champ d'application du procédé aux dispositifs à nanofil unique car les effets d'ombrage empêchent son implémentation sur des réseaux.

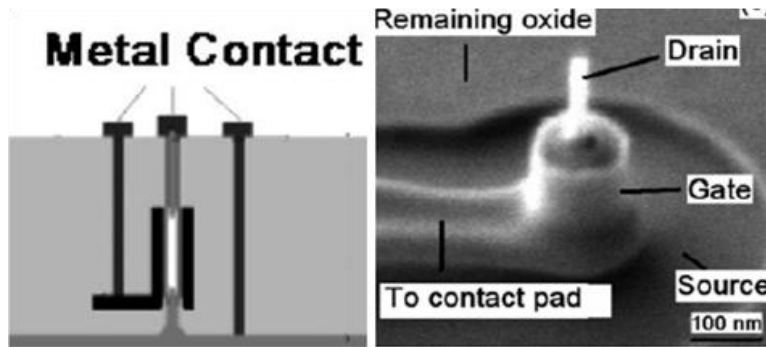


Figure 1-34. Image schématique et SEM de transistor avec une grille entourante à base d'un nanofil unique vertical de Si réalisé par Yang et al. [106] Cette méthode a la difficulté de réalisation de transistor à base de réseau dense de nanofils en raison d'une implantation des 4 directions avec un angle d'inclinaison de 45° pour réaliser source et drain.

Ainsi, la comparaison des performances des différentes familles d'architectures de transistors à base de nanofils permet de donner des tendances générales : (1) les dispositifs à base de nanofils obtenus par croissance et dispersé horizontalement sur un substrat hôte proposent des performances électriques très modestes ; (2) Les architectures horizontales à base d'un ou deux fils obtenus par gravure démontrent un excellent contrôle électrostatique grâce à des grilles entourantes mais un courant à l'état passant limité ; (3) Les architectures sur réseaux horizontaux ont des caractéristiques statiques excellentes mais rencontrent des difficultés technologiques pour les miniaturisations ultimes ; (4) les performances de transistors à base de nanofils verticaux ne sont pas comparables avec ceux à base de nanofils horizontaux car les technologies proposées sont encore très perfectibles notamment pour des longueurs de grille courtes ($L_G < 50$ nm).

	Goldberger et al.	Schmidt et al.	Ng et al.		Yang et al.	Thelander et al.	Bryllert et al.	Tanaka et al.
Fabrication NF	bottom-up	bottom-up	bottom-up	bottom-up	top-down	bottom-up	bottom-up	bottom-up
Type de NFs	Si (type p)	Si (type p)	ZnO (type n)	ZnO (type p)	Si (type n)	InAs (type n)	InAs (type n)	InAs (type n)
Nombre de NFs	1	$10^4 \sim 10^5$	1	1	1	1	40	1
Diamètre NF (nm)	20~30	40+/-5	40	40	25	50+/-10	80	100
Grille	Cr (GAA)	Al (GAA)	Cr (GAA)	Cr (GAA)	Poly Si (GAA)	Cr (GAA)	Ti/Au (GAA)	W (GAA)
L_G (nm)	500~600	30	200	200	150	50	1000	300
Diélectrique	SiO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂	HfO ₂	SiN _x	HfAlO
t_{ox} (nm)	30~40	10	20	20	5	10	40~60	20
V_{dd} (V)	-1		1	-1	1.2	1	0.8	1
I_{on} ($\mu A/\mu m$)					1000	200		
I_{on} (μA)			0.2	0.03	25	10	100	25
I_{on}/I_{off}	$\sim 10^4$	6			$\sim 10^7$	$\sim 10^3$	$\sim 10^3$	$\sim 10^4$
SS (mV/dec)	120		170	130	100	~ 90	100	320
DIBL (mV/V)					50			

Tableau 1-6. Comparaison des performances de transistors à base de nanofils verticaux réalisés par : Goldberger et al. [101] Schmidt et al. [100] Ng et al. [99] Yang et al. [106] Thelander et al. [107] Bryllert et al. [108] et Tanaka et al. [109].

1.3.4 Challenges technologiques associés à la réalisation de transistors à base de réseaux denses de nanofils verticaux.

L'état de l'art sur l'intégration de transistor à base de nanofils verticaux avec une grille entourante nous montre que le procédé de fabrication est complexe et n'est pas réellement maîtrisé. Afin de démontrer un niveau performance élevée, l'architecture du dispositif doit être parfaitement contrôlée à l'échelle nanométrique où l'optimisation de procédé technologique est alors essentielle. Pour mieux illustrer les challenges technologiques rencontrés lors de la fabrication de ce dispositif, un dessin en vue de coupe et en perspective du transistor à base de réseau dense de nanofils verticaux est montré au niveau de la Fig. 1-37 et les différents challenges technologiques sont décrits ci-dessous :

(1). Réalisation de réseau dense de nanofils verticaux avec des dimensions identiques et très fines (d_{Si} : diamètre de nanofils, P : distance entre deux nanofils verticaux, H : hauteur de nanofils) (Fig. 1-35 (a)). Pour poursuivre la « Loi de Moore » au-delà de la génération 22 nm, la longueur de grille va prochainement entrer dans le régime nanométrique. Selon les règles de miniaturisation du transistor, le diamètre de nanofils, d_{Si} devra être de dimension similaire à la longueur de grille L_G afin de contrôler les effets canaux courts. En outre, en raison du courant faible passant dans un nanofil unique, il faut réaliser une haute densité de nanofils pour obtenir un courant élevé sur une certaine surface en réduisant la distance entre les nanofils P . Enfin, la hauteur des nanofils H doit être identique pour garder le même niveau du contact au niveau supérieur. Pour arriver à cet objectif, la méthode descendante dite « top-down » a été choisie, et sera présentée en détail dans le chapitre 2.

(2). Réalisation de couche diélectrique fine (SiO_2) et zones source / drain siliciurés (Fig. 1-35 (b)). Les performances du MOSFET dépendent fortement de l'interface entre le canal et la couche diélectrique ainsi que sur la qualité des contacts entre les zones de source / canal et drain / canal. Spécifiquement, pour l'architecture verticale, la réalisation de jonctions fortement dopées de drain et source par implantation ionique représente un grand challenge. Ces deux challenges (oxydation thermique et la siliciuration) seront présentés dans le chapitre 3.

(3). Réalisation de la grille entourante sur un réseau de nanofils verticaux (Fig. 1-37 (c)). Par rapport à l'architecture FET horizontal, une des révolutions du transistor en structure verticale est liée à la définition de la longueur de grille qui ne dépend plus de la résolution de la lithographie mais seulement de l'épaisseur de couche déposée. Cependant, la réalisation des isolations entre les zones de source / grille et grille / drain pour l'architecture de MOSFET

verticale est un des grands défis, par exemple, le contrôle de l'épaisseur d'isolation H_1 et H_2 (Fig. 1-35 (c)), parce que la position de grille doit être située au milieu de la hauteur de nanofils qui dépend directement de H_1 . Avant le dépôt de la couche de grille, une couche d'isolation (H_1) au milieu des nanofils est réalisée avec une surface très plane afin de supporter le dépôt de la grille. Notre solution de planarisation optimisée pour définir la couche d'isolation sera présentée dans le chapitre 4.

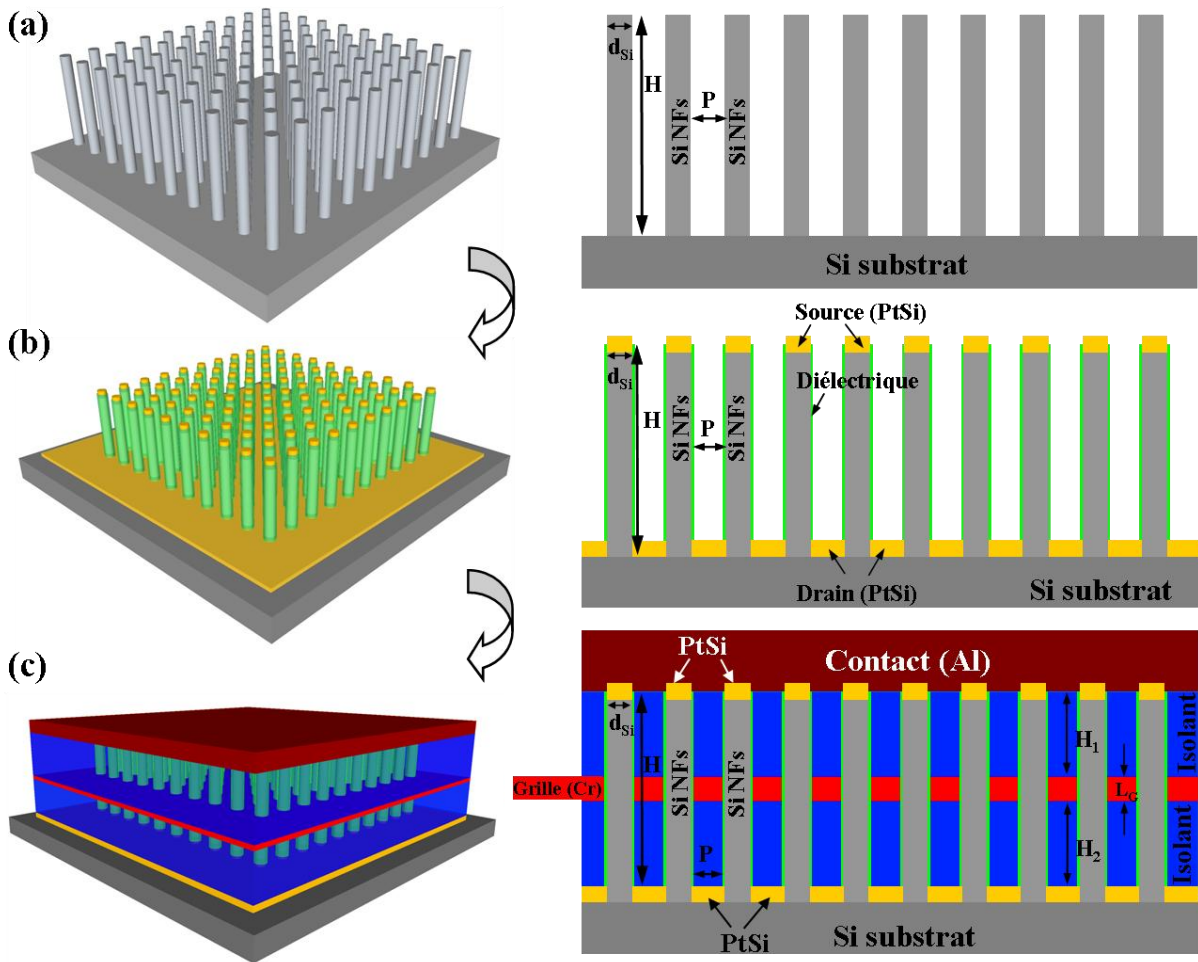


Figure 1-35. Représentation schématique (gauche : image 3D; droite : image de vue en coupe) des grands challenges associés à la fabrication de transistors à base de réseaux denses de nanofils verticaux : (a), réalisation d'un réseau dense de nanofils verticaux, (b) réalisation de la couche diélectrique et des contacts source/drain et (c) intégration verticale par planarisation et dépôt grille / contact métallique.

Conclusion.

Ce premier chapitre a décrit les principes de fonctionnement du transistor MOS classique et a présenté les règles de miniaturisation qui régissent l'évolution des technologies MOS. Les limitations des technologies actuelles et les effets canaux courts, liés à la miniaturisation des dispositifs ont été exposés. Afin de réduire ces effets parasites et poursuivre la loi de Moore, certaines solutions ont été proposées, telle que l'introduction de contraintes dans le canal, l'intégration du transistor sur un substrat SOI avec des architecture à multi-grilles, l'utilisation de matériaux à mobilité élevée (semiconducteur III-V, graphène) et la fabrication de transistors à base de nanofils avec une grille entourante. Cette dernière architecture est le candidat le plus prometteur, malgré la limitation du courant à l'état passant dans le canal de part la faible surface de conduction inhérente aux nanofils. Pour améliorer ce courant à l'état passant tout en conservant un courant de fuite très faible, une structure de transistor à base de réseau de nanofils verticaux avec une grille entourante est proposé en utilisant un procédé compatible CMOS.

Bibliographie

- [1] J. S. E. Lilienfeld, "Method and Apparatus for Controlling Electric Currents," U.S. Patent 1745175, 1930.
- [2] J.S.E. Lilienfeld, "Device for Controlling Electric Current," U.S. Patent 1900018, Mar,1933.
- [3] W. Shockley and G. L. Pearson, "Modulation of Conductance of Thin Films of Semiconductors by Surface Charges," *Physical Review*, vol. 74, no. 2, p. 232, Jul. 1948.
- [4] J. R. Ligenza and W. G. Spitzer, "The mechanisms for silicon oxidation in steam and oxygen," *Journal of Physics and Chemistry of Solids*, vol. 14, pp. 131-136, Jul. 1960.
- [5] "Semiconductor Devices Having Dielectric Coatings," U.S. Patent 3206670, Sep-1965.
- [6] M. M. Atalla and D. Kahng, "A new 'Hot electron' triode structure with semiconductor-metal emitter," *Electron Devices, IRE Transactions on*, vol. 9, no. 6, pp. 507-508, 1962.
- [7] "Circuit element utilizing semiconductive material."
<http://www.freepatentsonline.com/2569347.pdf>.
- [8] "History of Computers and Computing, Birth of the modern computer, the bases of digital computers, Integrated Circuit."
<http://history-computer.com/ModernComputer/Basis/IC.html>.
- [9] "Historical Timeline." <http://www.alcatel-lucent.com/>
- [10] G. E. Moore, "Cramming more components onto integrated circuits, Reprinted from *Electronics*, volume 38, number 8, April 19, 1965, pp.114 ff.," *Solid-State Circuits Newsletter, IEEE*, vol. 20, no. 3, pp. 33-35, 2006.
- [11] M. Bohr, "A 30 Year Retrospective on Dennard's MOSFET Scaling Paper," *Solid-State Circuits Newsletter, IEEE*, vol. 12, no. 1, pp. 11-13, 2007.
- [12] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *Solid-State Circuits, IEEE Journal of*, vol. 9, no. 5, pp. 256-268, 1974.
- [13] T. Skotnicki, G. Merckel, and T. Pedron, "The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects," *Electron Device Letters, IEEE*, vol. 9, no. 3, pp. 109-112, 1988.
- [14] C. M. Osburn and K. R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices," *Thin Solid Films*, vol. 332, no. 1-2, pp. 428-436, Nov. 1998.
- [15] C. Hobbs et al., "Fermi level pinning at the polySi/metal oxide interface," in *VLSI Technology, 2003. Digest of Technical Papers. 2003 Symposium on*, 2003, pp. 9-10.
- [16] M. Muller et al., "Towards a better EOT - mobility trade-off in high-k oxide/metal gate CMOS devices," *European Solid-State Device Research, ESSDERC 33rd Conference on*, pp. 367-370, 2003.
- [17] Z. Ren, M. V. Fischetti, E. P. Gusev, E. A. Cartier, and M. Chudzik, "Inversion channel mobility in high- κ high performance MOSFETs," in *Electron Devices Meeting, Technical Digest. International*, pp. 33.2.1-33.2.4, 2003.
- [18] G. Bersuker et al., "Interfacial Layer-Induced Mobility Degradation in High-k Transistors," *Japanese Journal of Applied Physics*, vol. 43, no. 11, pp. 7899-7902, 2004.
- [19] K. Mistry et al., "Delaying forever: Uniaxial strained silicon transistors in a 90nm CMOS technology," in *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, pp. 50-51, 2004.
- [20] J. Welser, J. L. Hoyt, and J. F. Gibbons, "Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect transistors," *Electron Device Letters, IEEE*, vol. 15, no. 3, pp. 100-102, 1994.

-
- [21] M. A. Armstrong, D. A. Antoniadis, A. Sadek, K. Ismail, and F. Stern, "Design of Si/SiGe heterojunction complementary metal-oxide-semiconductor transistors," in Electron Devices Meeting, 1995., International, pp. 761-764, 1995.
- [22] A. Sadek, K. Ismail, M. A. Armstrong, D. A. Antoniadis, and F. Stern, "Design of Si/SiGe heterojunction complementary metal-oxide-semiconductor transistors," Electron Devices, IEEE Transactions on, vol. 43, no. 8, pp. 1224-1232, 1996.
- [23] A. Shimizu et al., "Local mechanical-stress control (LMC): a new technique for CMOS-performance enhancement," in Electron Devices Meeting, Technical Digest. International, pp. 19.4.1-19.4.4, 2001.
- [24] C.-H. Ge et al., "Process-strained Si (PSS) CMOS technology featuring 3D strain engineering," in Electron Devices Meeting, Technical Digest. IEEE International, pp. 3.7.1-3.7.4, 2003.
- [25] J.-P. Colinge, "Reduction of kink effect in thin-film SOI MOSFETs," Electron Device Letters, IEEE, vol. 9, no. 2, pp. 97-99, 1988.
- [26] J. Kedzierski et al., "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation," in Electron Devices Meeting, Digest. International, pp. 247-250, 2002.
- [27] H.-S. P. Wong, with J. Kedzierski, Meikei Jeong and T. Kanarsky, Ying Zhang, "Fabrication of metal gated FinFETs through complete gate silicidation with Ni," Electron Devices, IEEE Transactions on, vol. 51, no. 12, pp. 2115-2120, 2004.
- [28] M. Muller, A. Mondot, D. Aime, N. Gierczynski, G. Ribes, and T. Skotnicki, "Totally Silicided (TOSI) Gates as an evolutionary metal gate solution for advanced CMOS technologies," in Integrated Circuit Design and Technology, IEEE International Conference on, pp. 1-6, 2006.
- [29] R. Chau, B. Doyle, S. Datta, J. Kavalieros, and K. Zhang, "Integrated nanoelectronics for the future," Nat Mater, vol. 6, no. 11, pp. 810-812, Nov. 2007.
- [30] J.-P. Colinge, "Multiple-gate SOI MOSFETs," Solid-State Electronics, vol. 48, no. 6, pp. 897-905, Jun. 2004.
- [31] R.-H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," Electron Devices, IEEE Transactions on, vol. 39, no. 7, pp. 1704-1710, 1992.
- [32] C. P. Auth and J. D. Plummer, "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's," Electron Device Letters, IEEE, vol. 18, no. 2, pp. 74-76, 1997.
- [33] B. Doyle et al., "Tri-Gate fully-depleted CMOS transistors: fabrication, design and layout," in VLSI Technology, 2003. Digest of Technical Papers. 2003 Symposium on, pp. 133-134, 2003.
- [34] B. S. Doyle et al., "High performance fully-depleted tri-gate CMOS transistors," Electron Device Letters, IEEE, vol. 24, no. 4, pp. 263-265, 2003.
- [35] J.-P. Colinge, with Jong-Tae Park, "Multiple-gate SOI MOSFETs: device design guidelines," Electron Devices, IEEE Transactions on, vol. 49, no. 12, pp. 2222-2229, 2002.
- [36] J.-P. Colinge and C. H. Diaz, with Jong-Tae Park, "Pi-Gate SOI MOSFET," Electron Device Letters, IEEE, vol. 22, no. 8, pp. 405-406, 2001.
- [37] J. P. Colinge, "Multi-gate SOI MOSFETs," Microelectronic Engineering, vol. 84, no. 9-10, pp. 2071-2076, 2007.
- [38] T. Sekigawa and Y. Hayashi, "Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate," Solid-State Electronics, vol. 27, no. 8-9, pp. 827-828.
- [39] B. Agrawal, V. K. De, J. M. Pimbley, and J. D. Meindl, "Short channel models and scaling limits of SOI and bulk MOSFETs," Solid-State Circuits, IEEE Journal of, vol. 29, no. 2, pp. 122-125, 1994.

-
- [40] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET," in Electron Devices Meeting, Technical Digest, International, pp. 833-836, 1989;
- [41] Weimin Zhang, "Physical insights regarding design and performance of independent-gate FinFETs," Electron Devices, IEEE Transactions on, vol. 52, no. 10, pp. 2198-2206, 2005.
- [42] Yang-Kyu Choi, "Nanoscale CMOS spacer FinFET for the terabit era," Electron Device Letters, IEEE, vol. 23, no. 1, pp. 25-27, 2002.
- [43] Yang-Kyu Choi, "Sub-20 nm CMOS FinFET technologies," in Electron Devices Meeting, Technical Digest. International, pp. 19.1.1-19.1.4, 2001.
- [44] Fu-Liang Yang, "25 nm CMOS Omega FETs," in Electron Devices Meeting, International, pp. 255-258, 2002;
- [45] Fu-Liang Yang, "5nm-gate nanowire FinFET," in Digest of Technical Papers. Symposium on VLSI Technology, 2004, Honolulu, HI, USA, pp. 196-197, 2004.
- [46] F. Andrieu et al., "25nm Short and Narrow Strained FDSOI with TiN/HfO₂ Gate Stack," in VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on, pp. 134-135, 2006.
- [47] T. Irisawa, T. Numata, T. Tezuka, N. Sugiyama, and S. Takagi, "Electron Transport Properties of Ultrathin-body and Tri-gate SOI nMOSFETs with Biaxial and Uniaxial Strain," in Electron Devices Meeting, Technical Digest., International, pp. 1-4, 2006.
- [48] J. P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator 'gate-all-around device'," in Electron Devices Meeting, Technical Digest., International, pp. 595-598, 1990.
- [49] Sung Min Kim, "A novel multi-channel field effect transistor (McFET) on bulk Si for high performance sub-80nm application," in Electron Devices Meeting, Technical Digest., International, pp. 639-642, 2004.
- [50] F. Cornu-Frueux, J. Penaud, E. Dubois, P. Coronel, G. Larrieu, and T. Skotnicki, "Spacer-First Damascene-Gate FinFET Architecture Featuring Stringer-Free Integration," Electron Device Letters, IEEE, vol. 28, no. 6, pp. 523-526, 2007.
- [51] J. P. Colinge, "Multi-gate SOI MOSFETs," Microelectronic Engineering, vol. 84, no. 9-10, pp. 2071-2076, 2007.
- [52] H. Iwai, "CMOS technology after reaching the scale limit," in Junction Technology. IWJT, pp. 1-2. 2008;
- [53] H. Iwai, "Roadmap for 22 nm and beyond (Invited Paper)," Microelectronic Engineering, vol. 86, no. 7-9, pp. 1520-1528, 2009.
- [54] D. Whang, S. Jin, Y. Wu, and C. M. Lieber, "Large-Scale Hierarchical Organization of Nanowire Arrays for Integrated Nanosystems," Nano Letters, vol. 3, no. 9, pp. 1255-1259, 2003.
- [55] R. S. Wagner and W. C. Ellis, "Vapor-Liquid-Solid Mechanism of Single Crystal Growth," Applied Physics Letters, vol. 4, no. 5, p. 89, 1964.
- [56] X. Duan, Y. Huang, Y. Cui, J. Wang, and C. M. Lieber, "Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices," Nature, vol. 409, no. 6816, pp. 66-69, 2001.
- [57] Yu Huang, Xiangfeng Duan, Yi Cui, Lincoln J. Lauhon, "Logic Gates and Computation from Assembled Nanowire Building Blocks", Science, vol. 294 no. 5545 pp. 1313-1317, 2001.
- [58] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, and C. M. Lieber, "High Performance Silicon Nanowire Field Effect Transistors," Nano Letters, vol. 3, no. 2, pp. 149-152, Feb. 2003.

-
- [59] J. Appenzeller, J. Knoch, E. Tutuc, M. Reuter, and S. Guha, "Dual-gate silicon nanowire transistors with nickel silicide contacts," in *Electron Devices Meeting, International*, pp. 1-4, 2004.
- [60] O. Hayden et al., "Fully Depleted Nanowire Field-Effect Transistor in Inversion Mode," *Small*, vol. 3, no. 2, pp. 230-234, 2007.
- [61] W. M. Weber et al., "Silicon-Nanowire Transistors with Intruded Nickel-Silicide Contacts," *Nano Letters*, vol. 6, no. 12, pp. 2660-2666, Dec. 2006.
- [62] Y.-C. Lin et al., "Single Crystalline PtSi Nanowires, PtSi/Si/PtSi Nanowire Heterostructures, and Nanodevices," *Nano Letters*, vol. 8, no. 3, pp. 913-918, Mar. 2008.
- [63] Y. Wu, J. Xiang, C. Yang, W. Lu, and C. M. Lieber, "Single-crystal metallic nanowires and metal/semiconductor nanowire heterostructures," *Nature*, vol. 430, no. 6995, pp. 61-65, Jul. 2004.
- [64] Adrian Bachtold, Peter Hadley, Takeshi Nakanishi and Cees Dekker, "Logic Circuits with Carbon Nanotube Transistors", *Science*, vol. 294 no. 5545, pp. 1317-1320, 2001.
- [65] A. Javey et al., "High-k dielectrics for advanced carbon-nanotube transistors and logic gates," *Nat Mater*, vol. 1, no. 4, pp. 241-246, Dec. 2002.
- [66] A. Javey, J. Guo, Q. Wang, M. Lundstrom, and H. Dai, "Ballistic carbon nanotube field-effect transistors," *Nature*, vol. 424, no. 6949, pp. 654-657, 2003.
- [67] A. Javey et al., "High-Field Quasiballistic Transport in Short Carbon Nanotubes," *Physical Review Letters*, vol. 92, no. 10, p. 106804, Mar. 2004.
- [68] P.-C. Chang, Z. Fan, C.-J. Chien, D. Stichtenoth, C. Ronning, and J. G. Lu, "High-performance ZnO nanowire field effect transistors," *Applied Physics Letters*, vol. 89, no. 13, p. 133113, 2006.
- [69] Z. Fan, D. Wang, P.-C. Chang, W.-Y. Tseng, and J. G. Lu, "ZnO nanowire field-effect transistor and oxygen sensing property," *Applied Physics Letters*, vol. 85, no. 24, p. 5923, 2004.
- [70] S.-K. Lee et al., "Gallium nitride nanowires with a metal initiated metal-organic chemical vapor deposition (MOCVD) approach," *physica status solidi (b)*, vol. 241, no. 12, pp. 2775-2778, 2004.
- [71] Q.-T. Do, K. Blekker, I. Regolin, W. Prost, and F. J. Tegude, "High Transconductance MISFET With a Single InAs Nanowire Channel," *Electron Device Letters, IEEE*, vol. 28, no. 8, pp. 682-684, 2007.
- [72] S. A. Dayeh, D. P. R. Aplin, X. Zhou, P. K. L. Yu, E. T. Yu, and D. Wang, "High Electron Mobility InAs Nanowire Field-Effect Transistors," *Small*, vol. 3, no. 2, pp. 326-332, 2007.
- [73] J. Noborisaka, T. Sato, J. Motohisa, S. Hara, K. Tomioka, and T. Fukui, "Electrical Characterizations of InGaAs Nanowire-Top-Gate Field-Effect Transistors by Selective-Area Metal Organic Vapor Phase Epitaxy," *Japanese Journal of Applied Physics*, vol. 46, no. 11, pp. 7562-7568, 2007.
- [74] N. Singh et al., "High-performance fully depleted silicon nanowire (diameter ≤ 5 nm) gate-all-around CMOS devices," *Electron Device Letters, IEEE*, vol. 27, no. 5, pp. 383-386, 2006.
- [75] D.-B. Kao, J. P. McVittie, W. D. Nix, and K. C. Saraswat, "Two-dimensional thermal oxidation of silicon. II. Modeling stress effects in wet oxides," *Electron Devices, IEEE Transactions on*, vol. 35, no. 1, pp. 25-37, 1988.
- [76] J. P. McVittie, W. D. Nix, and K. C. Saraswat, with Dah-Bin Kao, "Two-dimensional thermal oxidation of silicon—I. Experiments," *Electron Devices, IEEE Transactions on*, vol. 34, no. 5, pp. 1008-1017, 1987.

-
- [77] Sung Dae Suk, "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk si wafer, characteristics, and reliability," in Electron Devices Meeting, Technical Digest., International, pp. 717-720, 2005.
- [78] Yu Tian, "New Self-Aligned Silicon Nanowire Transistors on Bulk Substrate Fabricated by Epi-Free Compatible CMOS Technology: Process Integration, Experimental Characterization of Carrier Transport and Low Frequency noise," in Electron Devices Meeting, Technical Digest., International, pp. 895-898, 2007.
- [79] Hyunjin Lee, "Sub-5nm All-Around Gate FinFET for Ultimate Scaling," in VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on, pp. 58-59, 2006.
- [80] N. Singh et al., "Ultra-Narrow Silicon Nanowire Gate-All-Around CMOS Devices: Impact of Diameter, Channel-Orientation and Low Temperature on Device Performance," in Electron Devices Meeting, Technical Digest., International, pp. 1-4, 2006.
- [81] Yu Tian, "New Self-Aligned Silicon Nanowire Transistors on Bulk Substrate Fabricated by Epi-Free Compatible CMOS Technology: Process Integration, Experimental Characterization of Carrier Transport and Low Frequency noise," in Electron Devices Meeting, Technical Digest., International, pp. 895-898, 2007.
- [82] Ming Li, "Sub-10 nm gate-all-around CMOS nanowire transistors on bulk Si substrate," in VLSI Technology, 2009 Symposium on, 2009, pp. 94-95.
- [83] Hoong-Shing Wong, "Gate-all-around quantum-wire field-effect transistor with Dopant Segregation at Metal-Semiconductor-Metal heterostucture," in VLSI Technology, 2009 Symposium on, 2009, pp. 92-93.
- [84] Kyoung Hwan Yeo, "Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires," in Electron Devices Meeting, Technical Digest., International, pp. 1-4, 2006.
- [85] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J.-P. Colinge, "Junctionless multigate field-effect transistor," *Applied Physics Letters*, vol. 94, no. 5, p. 053511, 2009.
- [86] J.-P. Colinge et al., "Nanowire transistors without junctions," *Nat Nanotechnology*, vol. 5, no. 3, pp. 225-229, Mar. 2010.
- [87] Sung-Young Lee, "Three-dimensional MBCFET as an ultimate transistor," *Electron Device Letters, IEEE*, vol. 25, no. 4, pp. 217-219, 2004.
- [88] T. Ernst et al., "Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO₂/TiN gate stack", in Electron Devices Meeting, Technical Digest., International, pp. 1-4, 2006.
- [89] L. Zhang, R. Tu, and H. Dai, "Parallel Core-Shell Metal-Dielectric-Semiconductor Germanium Nanowires for High-Current Surround-Gate Field-Effect Transistors," *Nano Letters*, vol. 6, no. 12, pp. 2785-2789, Dec. 2006.
- [90] O. Gunawan et al., "Measurement of Carrier Mobility in Silicon Nanowires," *Nano Letters*, vol. 8, no. 6, pp. 1566-1571, Jun. 2008.
- [91] S. Bangsaruntip et al., "High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling," in Electron Devices Meeting, IEEE International, pp. 1-4, 2009.
- [92] S. Bangsaruntip et al., "Gate-all-around silicon nanowire 25-stage CMOS ring oscillators with diameter down to 3 nm," in VLSI Technology (VLSIT), 2010 Symposium on, pp. 21-22, 2010.
- [93] K. Sudoh, H. Iwasaki, H. Kuribayashi, R. Hiruta, and R. Shimizu, "Numerical Study on Shape Transformation of Silicon Trenches by High-Temperature Hydrogen Annealing," *Japanese Journal of Applied Physics*, vol. 43, no. 9, pp. 5937-5941, 2004.

-
- [94] C. Dupre et al., "15nm-diameter 3D stacked nanowires with independent gates operation: Φ FET," in Electron Devices Meeting, Technical Digest., International, pp. 1-4, 2008.
- [95] W. W. Fang et al., "Vertically Stacked SiGe Nanowire Array Channel CMOS Transistors," *Electron Device Letters, IEEE*, vol. 28, no. 3, pp. 211-213, 2007.
- [96] Mingcong Chen, "Vertical-Si-Nanowire SONOS Memory for Ultrahigh-Density Application," *Electron Device Letters, IEEE*, vol. 30, no. 8, pp. 879-881, 2009.
- [97] Y. Sun, H. Y. Yu, N. Singh, N. S. Shen, G. Q. Lo, and D. L. Kwong, "Multibit Programmable Flash Memory Realized on Vertical Si Nanowire Channel," *Electron Device Letters, IEEE*, vol. 31, no. 5, pp. 390-392, 2010.
- [98] H. Takato et al., "Impact of surrounding gate transistor (SGT) for ultra-high-density LSI's," *Electron Devices, IEEE Transactions on*, vol. 38, no. 3, pp. 573-578, 1991.
- [99] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, and M. Meyyappan, "Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor," *Nano Letters*, vol. 4, no. 7, pp. 1247-1252, Jul. 2004.
- [100] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele, "Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor," *Small*, vol. 2, no. 1, pp. 85-88, 2006.
- [101] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang, "Silicon Vertically Integrated Nanowire Field Effect Transistors," *Nano Letters*, vol. 6, no. 5, pp. 973-977, May. 2006.
- [102] C. Thelander, L. E. FrobergFroberg, C. Rehnstedt, L. Samuelson, and L.-E. Wernersson, "Vertical Enhancement-Mode InAs Nanowire Field-Effect Transistor With 50-nm Wrap Gate," *Electron Device Letters, IEEE*, vol. 29, no. 3, pp. 206-208, 2008.
- [103] Thelander et al., "Development of a Vertical Wrap-Gated InAs FET," *Electron Devices, IEEE Transactions on*, vol. 55, no. 11, pp. 3030-3036, 2008.
- [104] T. Bryllert, L.-E. Wernersson, L. E. Froberg, and L. Samuelson, "Vertical high-mobility wrap-gated InAs nanowire transistor," *Electron Device Letters, IEEE*, vol. 27, no. 5, pp. 323-325, 2006.
- [105] T. Bryllert, L.-E. Wernersson, T. Löwgren, and L. Samuelson, "Vertical wrap-gated nanowire transistors," *Nanotechnology*, vol. 17, no. 11, p. S227-S230, 2006.
- [106] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, "Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET," *Electron Device Letters, IEEE*, vol. 29, no. 7, pp. 791-794, 2008.
- [107] C. Thelander, L. E. FrobergFroberg, C. Rehnstedt, L. Samuelson, and L.-E. Wernersson, "Vertical Enhancement-Mode InAs Nanowire Field-Effect Transistor With 50-nm Wrap Gate," *Electron Device Letters, IEEE*, vol. 29, no. 3, pp. 206-208, 2008.
- [108] T. Bryllert, L.-E. Wernersson, L. E. Froberg, and L. Samuelson, "Vertical high-mobility wrap-gated InAs nanowire transistor," *Electron Device Letters, IEEE*, vol. 27, no. 5, pp. 323-325, 2006.
- [109] T. Tanaka, K. Tomioka, S. Hara, J. Motohisa, E. Sano, and T. Fukui, "Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates," *Applied Physics Express*, vol. 3, no. 2, p. 025003, 2010.

Chapitre 2

Réalisation de réseaux ultra denses de nanofils verticaux en silicium et étude des phénomènes d'effondrement de nanostructures.

Introduction

Afin de démontrer le fait qu'il soit possible de réaliser des dispositifs verticaux à base de nanofils de bonne qualité un prérequis est la maîtrise de la réalisation de réseaux denses de nanofils verticaux en silicium. Dans ce chapitre, une étude détaillée de la réalisation de tels réseaux par approche descendante sera présentée. Premièrement, un procédé pour la fabrication de masque de nanopiliers en résine inorganique est proposé en utilisant une étude sur le procédé d'écriture électronique de la résine inorganique afin de fabriquer des masques de résine à base des réseaux des nanopiliers verticaux. Les différentes étapes de réalisation sont étudiées dans ce chapitre. Ensuite, une méthode de la gravure ionique réactive (RIE de l'anglais : «Reactive-ion Etching ») est choisie pour transférer les masques sur le substrat de silicium, les conditions de gravure sont optimisées afin de réaliser des réseaux ultra-denses de nanofils verticaux avec un diamètre ultra-fin et une excellente anisotropie des profils gravés. Dans une troisième partie, le phénomène d'effondrement observé pour des nanostructures bidimensionnelles (nanoailettes) puis unidimensionnelles (nanofils) généré par la force capillaire est étudié d'une manière systématique. Une nanoailette est une structure dont une de ses directions peut être considérée comme infinie (dans le plan d'observation). Ainsi, cette structure n'a que deux degrés de liberté permettant ainsi une première analyse sur un système simple par rapport à une structure de nanofil, plus complexe, pouvant évoluer dans toutes les directions.

2.1 Réalisation du masque pour la fabrication de réseaux denses de piliers verticaux.

L'écriture de la zone active du masque peut-être faite par lithographie électronique. Ce procédé consiste à déposer une couche de résine puis à insoler séquentiellement la résine à partir d'un faisceau focalisé et enfin développer la résine par une solution chimique, comme l'illustre les schémas de la Fig. 2-1.

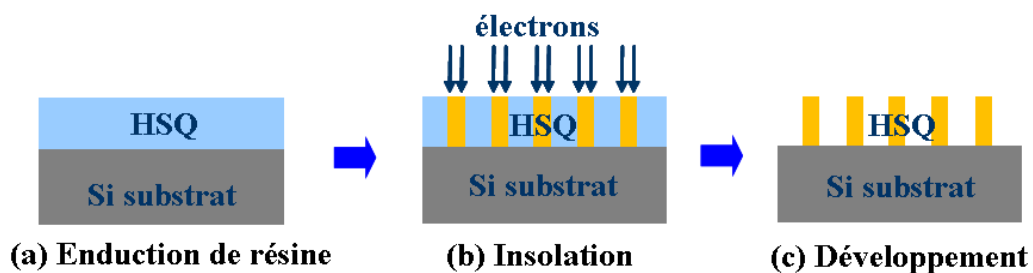


Figure 2-1. Représentation schématique du procédé de réalisation du dispositif à l'aide de la résine HSQ : (a) dépôt d'une couche HSQ de résine par enduction; (b) insolation par lithographie électronique; (c) révélation dans une solution chimique.

2.1.1 La lithographie électronique.

L'écriture par lithographie électronique consiste à envoyer des électrons sur une résine sensible aux électrons afin d'en modifier ses propriétés structurales. La résolution atteinte ici peut être de l'ordre de quelques nanomètres seulement. L'écriture électronique de la résine est directe et ne nécessite donc pas de fabrication de jeu de masque physique. Par contre, l'écriture séquentielle se traduit par des temps d'écriture beaucoup plus long, pouvant atteindre plusieurs heures. Les rendements présentés par cette technologie sont donc faibles et impactent directement le coût de production des dispositifs. Pour pallier à ce problème de productivité des systèmes à faisceaux multiples ont été introduits et permettent d'écrire simultanément plusieurs champs sur un même substrat. En 2005, Bruggen et al. [1] ont présenté un système à 100 faisceaux d'électrons qui devraient améliorer le temps d'écriture de ce même facteur et ainsi rendre la technologie de faisceau d'électrons ou «e-beam» encore plus compétitive. Au cours des dernières années, la société technologique située à Delft, « MAPPER Lithography », [2] a également développé une nouvelle technologie utilisant cette fois plus de 10000 faisceaux d'électrons en parallèle. Ce système rend cette technologie attractive pour la fabrication de puces sans masque. Cette approche permet ainsi d'améliorer les performances et de réduire les coûts de fabrication. Le nanomasqueur électronique présent à l'IEMN est un Vistec EBPG 5000+. Cet outil permet de réaliser des expositions électroniques jusqu'à des énergies de 100 keV.

2.1.2 Le polymère hydrogen silsesquioxane comme résine négative à haute résolution.

Au cours de ces travaux, la résine inorganique et négative HSQ (Hydrogen SilsesQuioxane) a été choisie pour ses propriétés électro-sensibles à très haute résolution [3] [4] [5]. De plus, ses propriétés chimiques sont proches d'un oxyde de silicium (formule chimique du polymère $(\text{HSiO}_{3/2})_n$), ce qui lui confère des propriétés intéressantes vis-à-vis de la gravure plasma tant en terme de sélectivité [6] [7] que de redépôt des résidus de gravure sur la surface de l'échantillon. Dans ce travail, des solutions commercialisées par Dow Corning, sous la nomenclature FOx-12, FOx-16 et XR 6 % (solution composé de HSQ dissoute dans le solvant MIBK (Methyl Isobutyl Ketone), sont utilisées afin d'obtenir une gamme d'épaisseur variant de quelques dizaines à plusieurs centaines de nanomètres.

La couche de résine HSQ est déposée par enduction et l'épaisseur obtenue dépend des conditions d'enduction (vitesse d'enduction, capot ouvert ou fermé et temps d'enduction) et la

solution de résine choisie. La Fig. 2-2 montre l'épaisseur de la couche déposée en fonction de vitesse d'enduction pour différentes dilutions.

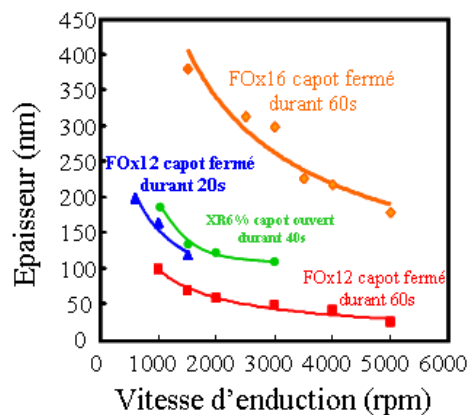


Figure 2-2. L'épaisseur de la résine HSQ pour différentes concentrations en fonction de la vitesse d'enduction.

2.1.3 Insolation par lithographie électronique.

Après le dépôt de la résine HSQ, la lithographie électronique est utilisée pour insoler la résine. L'insolation électronique permet de polymériser la résine à l'endroit où le faisceau est focalisé. Lors de cette réaction de polymérisation, des liaisons Si-H et Si-O des monomères vont se casser, permettant ainsi aux monomères de se lier entre eux pour former un réseau plus résistant que la structure cagique lors de l'étape de développement. (Voir la Fig. 2-3)

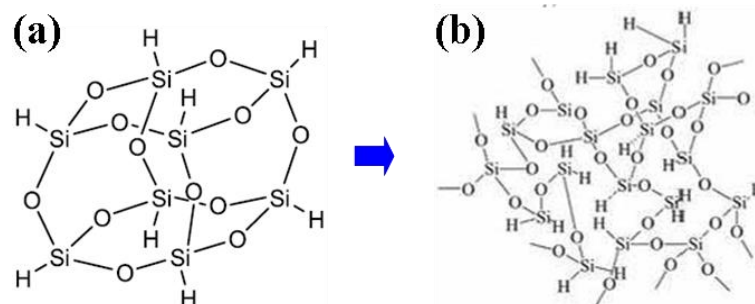


Figure 2-3. Représentation schématisée de la structure chimique de la HSQ. (a) structure cagique, (b) structure de réseau après polymérisation de la résine sous l'effet du faisceau d'électrons.

Lors de l'exposition de la résine, les électrons du faisceau incident entrent en interaction avec le substrat. Des électrons rétrodiffusés ainsi que des électrons secondaires vont venir irradier les zones voisines, comme le montre la Fig. 2-4. C'est ce que on l'appelle les effets de proximité [8]. La dose reçue par la résine va être plus importante que la dose

souhaité au départ, à cause de ces effets de proximité et va donner lieu à un élargissement des petits motifs situés juste à côté des motifs de grande taille.

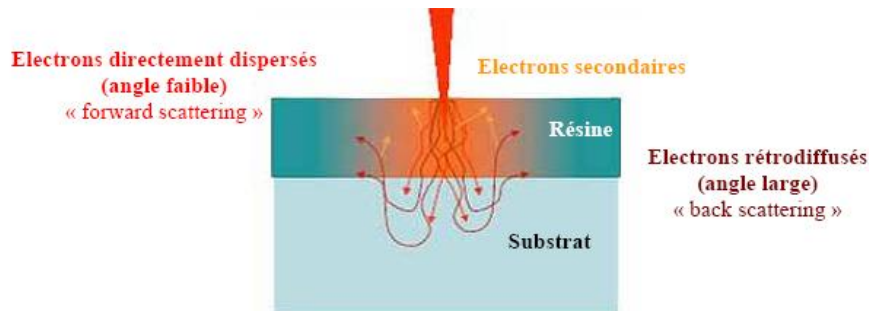


Figure 2-4. Représentation schématique de la distribution et de la nature des électrons lors d'une insolation électronique [9].

De même, si la densité des motifs augmente, les espaces inter-motifs vont être surexposés et les motifs ne seront pas disjoints, comme le montre la Fig. 2-5.

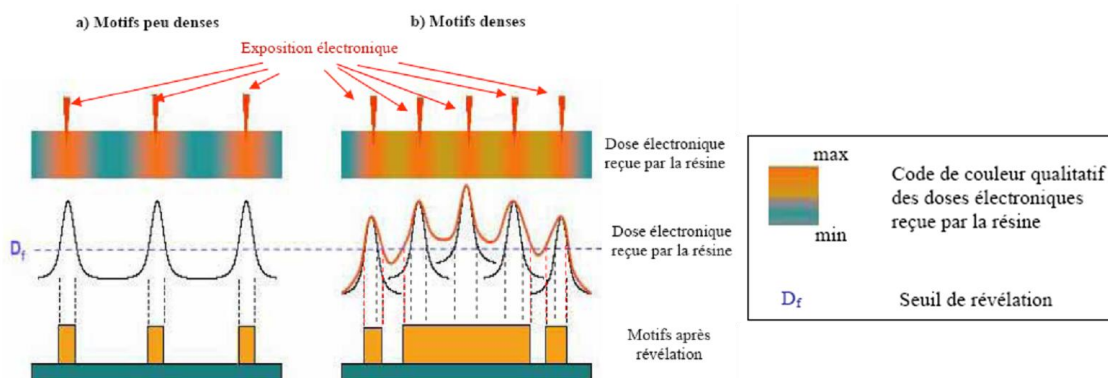


Figure 2-5. Illustration des effets de proximité Dans le cas d'un réseau dense, les espaces entre les motifs reçoivent une dose supérieure au seuil de révélation et les motifs du centre ne seront pas disjoints [9].

Afin de limiter ces effets, une procédure de correction de proximité peut être mise en place, qui permet d'appliquer une dose différente en fonction de la géométrie des motifs. Tout d'abord des simulations Monte-Carlo sont réalisées afin de connaître la trajectoire des électrons et ainsi d'obtenir la distribution radiale de la densité électronique reçue par la résine. Cette simulation présentée Fig. 2-6, montre la distribution radiale d'énergie des électrons dans la couche de HSQ. Il apparaît que l'énergie des électrons est plus concentrée pour 100 keV que pour 50 keV. En effet, plus la tension d'accélération est élevée, plus les électrons incidents vont pénétrer en profondeur dans le substrat et moins les électrons rétrodiffusés auront d'influence sur la résine. Plus l'énergie d'implantation est élevée, plus les électrons qui bombardent la résine arrivent avec une énergie cinétique importante. Ces électrons fortement

énergétiques pénétrèrent plus profondément dans la résine HSQ et sont alors plus difficilement déviés de leur trajectoire. Ceci explique que la largeur de la distribution radiale des électrons implantés à 100 keV soit plus étroite que celle implantée à 50 keV. L'utilisation d'une énergie d'implantation élevée sera donc préconisée pour atteindre des résolutions plus élevées.

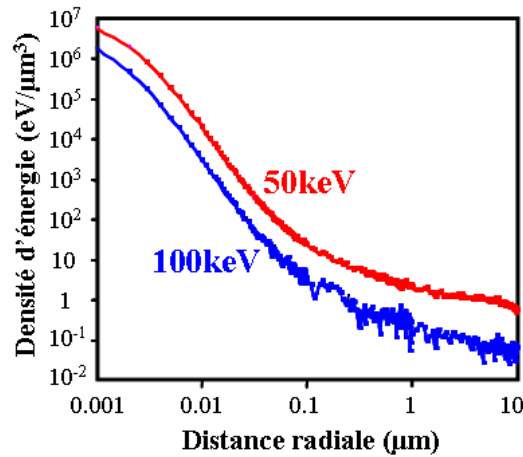


Figure 2-6. Influence de l'énergie d'implantation électronique sur la distribution radiale de la densité d'énergie dans la résine HSQ (simulation de type Monte-Carlo).

En déconvoluant la contribution de chaque pixel au niveau du dessin de masque utilisé l'énergie totale reçue en chaque point du masque est ainsi obtenue. Le masque sera subdivisé en régions qui dépendent de la géométrie de celui-ci et des coefficients de correction seront attribués à chacune d'entre elles permettant ainsi d'obtenir une dose réelle uniforme sur tous les motifs.

Au niveau expérimental, le masqueur utilisé autorise la correction des effets de proximité avec l'utilisation de 64 doses différentes. Après optimisation en intégrant les paramètres de simulation, les coefficients de correction sont ainsi extraits. Le masque est alors subdivisé en différentes parties qui dépendent fortement à la fois de la densité de réseau et du diamètre des nanopiliers, comme le montre la Fig. 2-7. Chaque numéro représente une dose différente pour la région correspondante. Sur les doses sélectionnées, la correction du masque dédiée à la réalisation du réseau de nanopiliers nécessite l'utilisation de 14 d'entre elles. Les coefficients de correction s'étendent de 1.93 à 3.07 pour les différentes régions (voir le tableau. 2-1, numéro de 18 à 31). Avec une dose de base 2750 $\mu\text{C}/\text{cm}^2$, la dose réelle appliquée sur chaque région du masque peut être calculée, comme le montre le tableau 2-1.

Pour un nanopilier de diamètre de 20nm, les niveaux des coefficients de corrections utilisés sont plus élevés avec 2.57, 2.86, 2.97 et les doses réelles correspondantes sont alors de 6585.5, 7870.2, 8155.8 $\mu\text{C}/\text{cm}^2$, respectivement. Quand le diamètre de nanopilier est plus

large, par exemple, 40nm ou 80nm, les coefficients de corrections utilisés sont plus nombreux (découpage plus grand) et la dose réelle au milieu du dispositif est moins élevée (5317.5 $\mu\text{C}/\text{cm}^2$) que pour un nanopilier avec un diamètre de 20 nm (7072.1 $\mu\text{C}/\text{cm}^2$).

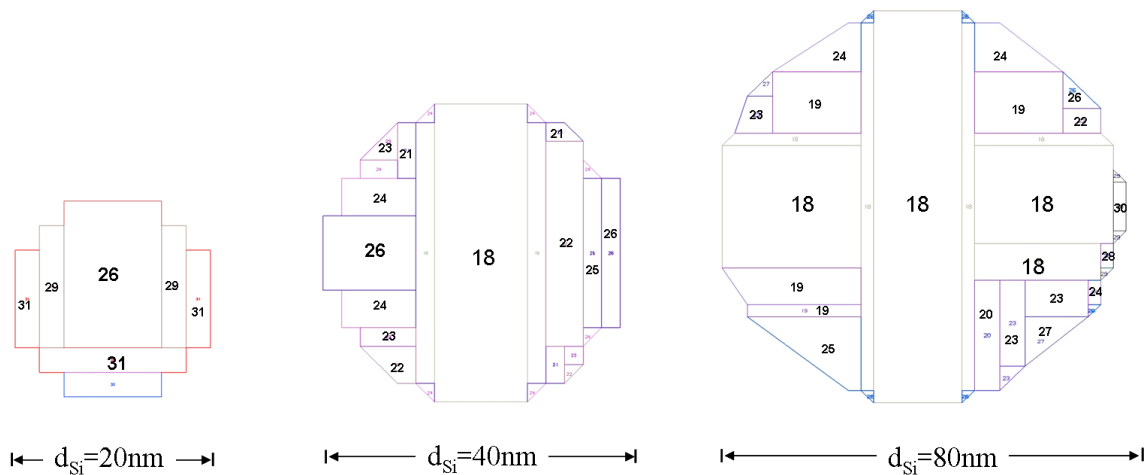


Figure 2-7. Correction des effets de proximité appliquée aux nanopiliers pour différents diamètres de 20 nm, 40 nm et 80 nm. Chaque numéro correspond à une dose différente.

Numéro	18	19	20	21	22	23	24
Coefficient	1,933646202	2,003811359	2,076522589	2,151872396	2,229956388	2,310873747	2,39472723
Dose ($\mu\text{C}/\text{cm}^2$)	5317,5	5510,5	5710,4	5917,6	6132,4	6354,9	6585,5
Numéro	25	26	27	28	29	30	31
Coefficient	2,481623411	2,571672916	2,66498971	2,761693001	2,861905098	2,965753555	3,073370457
Dose ($\mu\text{C}/\text{cm}^2$)	6824,5	7072,1	7328,7	7594,7	7870,2	8155,8	8451,8

Tableau 2-1. Coefficients de corrections utilisés qui varient de 1.93 à 3.07.

Enfin, dans le cas de réseaux denses de nanopiliers, les doses reçues par les nanopiliers au milieu du réseau sont plus élevées par rapport aux celles au bord du réseau en considérant l'effet de proximité. Pour garder des doses homogènes pour tous les nanopiliers, les coefficients de corrections appliqués sur les nanopiliers situés aux bords du réseau sont plus élevés. En revanche, pour les réseaux moins denses, l'effet de proximité est faible et les coefficients de corrections sont identiques pour chaque nanopilier. Afin de réaliser des dispositifs de très faible échelle (quelques dizaines de nm), nous avons utilisé une énergie de 100 keV pour le faisceau d'électrons, un courant de 100 pA et 330 pA, une dose de base 2750 $\mu\text{C}/\text{cm}^2$ et un pas d'exposition de 5 nm pour insoler la résine HSQ. Dans notre cas, et particulièrement pour la zone insolée par le faisceau d'électrons, celle-ci est de forme circulaire de quelques dizaines de nanomètres, le coefficient de correction permet ainsi de moduler la dose d'électrons envoyée sur le bord de zone afin de réaliser des motifs de forme circulaire.

2.1.4 Révélation de la résine HSQ.

Après l'étape d'écriture électronique, la résine HSQ est plongée dans une solution chimique, appelé révélateur ou développeur Tetra Methyl Ammonium Hydroxide (TMAH) dilué à 25% dans de l'eau [5] pendant une minute à température ambiante (après 1 min, le processus de développement est quasiment statique [10]), puis l'échantillon est rincé dans de l'eau déionisée DI et séché sous N₂. La révélation se fait par un mécanisme de dissolution grâce à une ionisation par cassure des liaisons atomiques. Les liaisons Si-H de la structure cage sont plus faibles que les liaisons présentes dans la structure réseau et vont alors se dissoudre plus facilement. La résine, non exposée aux faisceaux électronique, est composée essentiellement de polymères à structure cage, va être dissoute plus rapidement que la résine exposée et présente sous forme de réseau. Ainsi, l'utilisation d'un révélateur concentré, ici 25%, permet d'obtenir ainsi un meilleur contraste (un caractère de la transition entre la résine exposée et non exposée) en comparaison avec une solution moins concentrée. Il faut noter qu'il existe plusieurs techniques de développement pour améliorer le contraste des motifs en HSQ, telles que le développement sous température élevée [11] [12], le développement par solvant KOH [13] ou le développement dans un solvant salé à base de NaOH/NaCl [14]. Les deux dernières techniques posent le problème des contaminations ioniques (K, Na) non compatible avec les technologies MOS. Une technique de développement en deux étapes (TMAH 25 % → HF dilué → TMAH 25 %) a été proposée pour fabriquer des réseaux de nanopiliers très denses (espacement de 15 nm) [15]. En effet, lors du développement par TMAH 25 %, une couche de siloxane est générée pouvant limiter le procédé de développement. L'étape de gravure par la solution HF dilué est effectuée pour nettoyer les écumes générées lors du premier développement par la solution à TMAH 25 % entre les nanopiliers de HSQ. Au cours de nos études expérimentales, les premiers essais de réalisation de masque en HSQ ont montré qu'un développement par TMAH 25 % à 20 °C donnait des résultats très prometteurs, ne nécessitant pas l'étude de solutions alternatives.

2.1.5 Démonstration expérimentale de motifs en forme de nanoailettes et de nanopiliers.

Après avoir analysé les paramètres optimisés d'écriture, des expériences ont été effectuées pour des motifs différents, tels que les nanoailettes ou les nanopiliers. Les Fig. 2-8 (a) et (b) présentent des images MEB en vue par-dessus et en coupe de réseaux très denses (espacement minimum de 30 nm) de nanoailettes ultrafine de HSQ (largeur de 11 nm (a) et 50

nm (b)) et une hauteur de 58 nm et 230 nm, respectivement. Les nanoailettes sont très bien définies, avec un excellent profil vertical et sans résidus entre les nanoailettes.

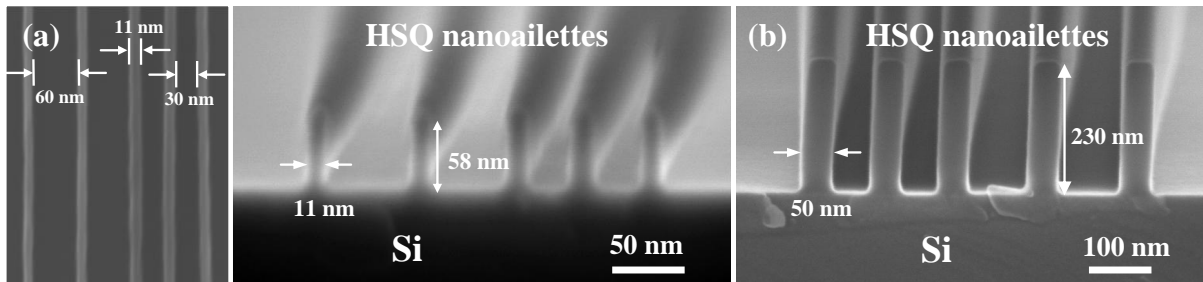


Figure 2-8. Image MEB (vue par dessus et en coupe) d'un réseau de nanoailette en HSQ avec (a) une largeur de 11 nm, une hauteur de 58 nm et (b) une largeur de 50 nm et une hauteur de 230 nm.

La Fig. 2-9 (a) présente un exemple de réseau (30 x 30) de nanopiliers de HSQ (diamètre, $d = 40$ nm, hauteur, $H = 120$ nm et espacement, $D = 30$ nm) avec un contraste très élevé une reproductibilité parfaite et enfin une surface propre. La Fig.2-9 (b) est une image MEB à fort grossissement, qui présente un excellent contraste et pas de résidu entre les nanopiliers.

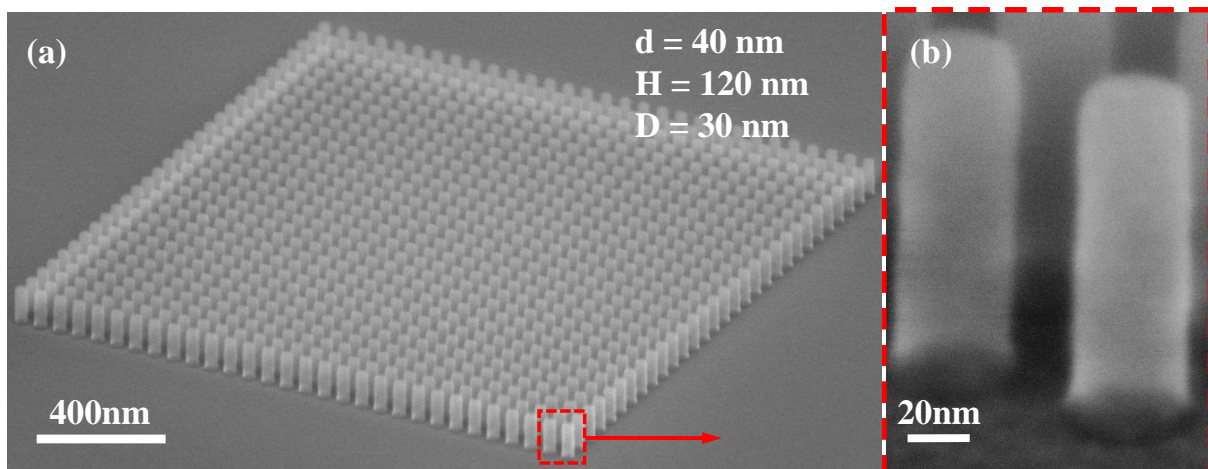


Figure 2-9. (a) Image MEB d'un réseau de piliers verticaux (30 x 30 nanopilier) avec un diamètre (d) de 40 nm, une hauteur (H) de 120 nm et une espacement (D) de 30 nm réalisés en HSQ, (b) image MEB zoomée à fort grossissement de nanopilier de HSQ avec un excellent contraste.

Avec notre procédé, il est donc possible de fabriquer des réseaux ultra-denses de nanopiliers de très petits diamètres. Deux autres exemples sont présentés sur la Fig. 2-10 (a) et (b) en imagerie MEB à fort grossissement. Le premier est un réseau de nanopiliers verticaux en HSQ dont le diamètre est de 21 nm et la hauteur est de 130 nm et le second est un réseau de nanopiliers en HSQ de 25 nm de diamètres dont la densité obtenue est extrêmement élevée : (4×10^{10} NFs. cm^{-2}). Il faut noter que, pour réaliser le réseau ultra-dense, l'échantillon doit

être séché par une méthode de séchage particulière (CO₂ supercritique) afin de s'affranchir des phénomènes d'effondrement par forces de capillaire. (Voir partie 2.3)

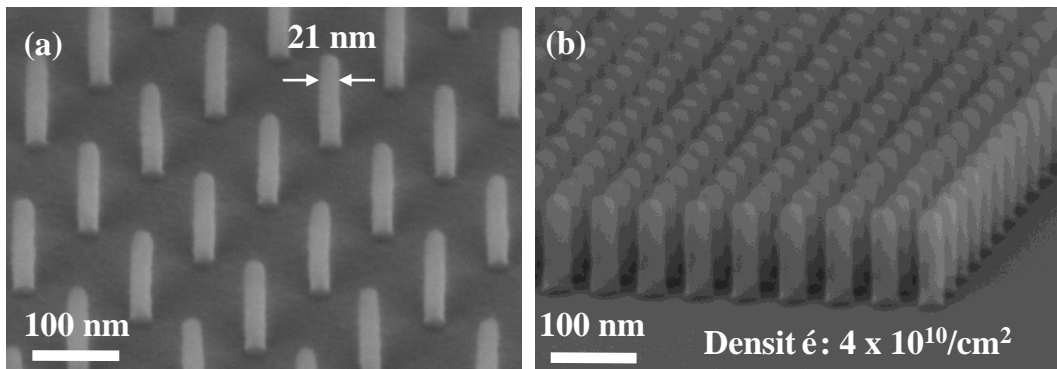


Figure 2-10. Images MEB des réseaux de nanopiliers verticaux en HSQ: (a) diamètre ultrafin ($d= 21$ nm; $H=130$ nm); (b) Réseau ultra-dense ($d= 25$ nm; $H= 130$ nm ; $D= 25$ nm ; densité= 4×10^{10} cm⁻²), l'image en insert est l'image du réseau en vue de dessus.

Enfin, la Fig. 2-11 présente différents exemples typiques de réseaux de nanofils verticaux pour différents diamètres (d), hauteurs (H) et espacements (D) avec une parfaite reproductibilité et verticalité des profils. Le contrôle des positions et des tailles des nanofils est parfait ce qui permet d'envisager l'utilisation de ces nanomasques pour obtenir de réseaux des nanofils verticaux par gravure.

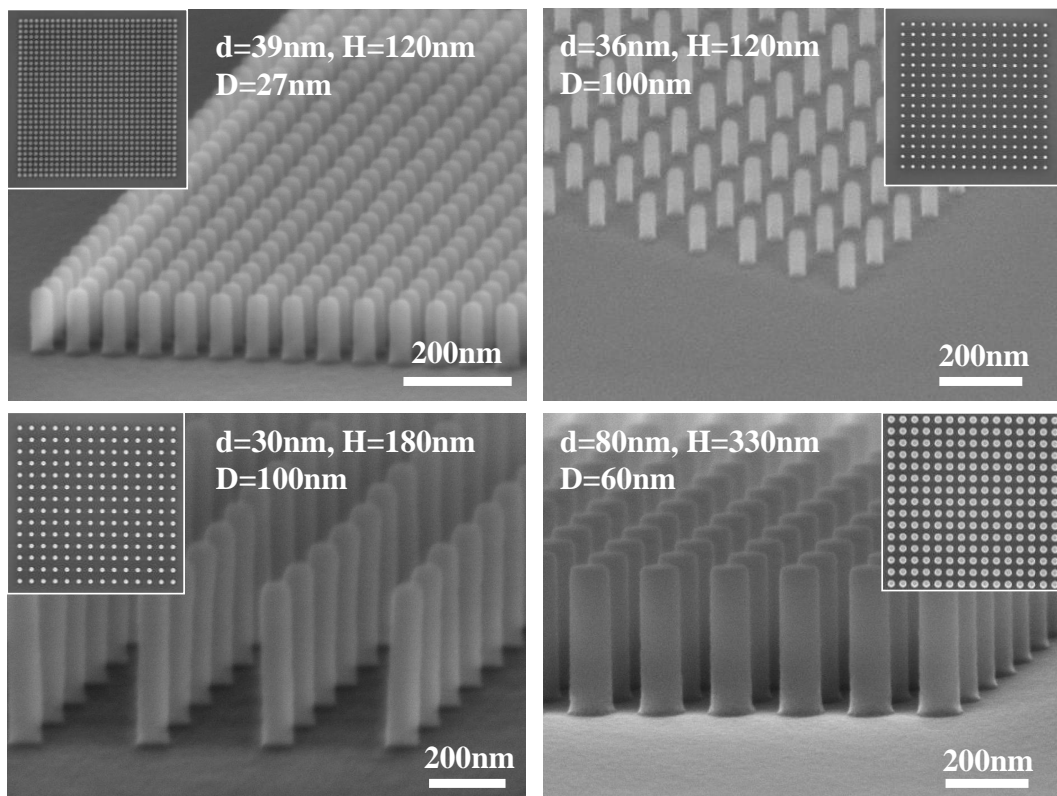


Figure 2-11. Images MEB des réseaux de nanopiliers verticaux en HSQ pour différents diamètres (d), hauteurs (H) et espacements (D), les images en insert sont des vues de dessus.

2.2 Transfert du masque par la gravure ionique réactive.

La deuxième étape du procédé de fabrication des nanofils par une approche descendante est le transfert du masque dans le substrat de silicium par une gravure plasma. En vue de l'application de ces réseaux pour la réalisation de transistors à base de nanofils verticaux, la gravure des nanofils doit être la plus anisotrope possible afin de garantir un canal du transistor uniforme. De plus, une rugosité de la surface du nanofil va entraîner une dégradation des performances des dispositifs, notamment la mobilité des porteurs, et il convient d'essayer de limiter celle-ci. La gravure plasma est une gravure sèche dans laquelle intervient une érosion du matériau à la fois par bombardement ionique et par réaction chimique. Il s'agit d'une gravure à la fois physique et chimique. Le bâti de gravure utilisé lors de cette étude est un modèle Plasmalab System100 d'Oxford Instruments.

2.2.1 Gravure des ailettes de silicium isolées.

Dans cette partie, nous cherchons à obtenir une recette optimisée de gravure qui permettra d'obtenir des structures très fines avec une anisotropie de gravure parfaite. Pour faciliter la caractérisation du profil de gravure, nous utilisons un masque de HSQ en forme de nanoailette isolée, permettant une observation en vue de coupe par imagerie MEB.

2.2.1.1 Choix de la chimie de gravure plasma.

La première analyse est le choix du gaz de plasma pour combiner une gravure anisotrope avec une surface propre. Le bâti de gravure dispose de plusieurs lignes de gaz: SiCl_4 , BCl_3 , Cl_2 , Ar, O_2 et SF_6 . Le plasma est obtenu dans le système en appliquant un fort champ électromagnétique sur une électrode sur laquelle se trouve le substrat. Le champ électrique est à une fréquence de 13.56 MHz et la puissance appliquée varie de quelques dizaines à plusieurs centaines de Watts. Le champ électrique oscillant peut dissocier et ioniser les molécules du gaz en leur arrachant des électrons, ce qui crée le plasma.

Afin de simplifier l'analyse, au cours de la première série d'expérience, le temps de gravure et le débit total de gaz sont fixés à 2 min et 30 sccm, respectivement. Tout d'abord, une chimie de plasma à base de fluor et de chlore a été évaluée. Le tableau au niveau de la Fig. 2-12 récapitule les paramètres du procédé ainsi que les résultats principaux. Le gaz SF_6

combiné à l'oxydation des éléments (O_2), conduit à une anisotropie des flancs intéressante (88%). Cependant, des aiguilles comme l'herbe de silicium sont formées sur le substrat, connu sous l'appellation « grass effect » [16]. Le gaz SF_6 est combiné à un gaz de passivation (CHF_3) aboutissant à une anisotropie très médiocre (15%). En revanche, une chimie à base de chlore utilisant un plasma composé exclusivement de Cl_2 donne une anisotropie de 86% combiné à un substrat propre. Enfin, la combinaison de Cl_2 à $SiCl_4$ ou BCl_3 n'améliore pas la situation. Les images MEB correspondantes en vue en coupe sont montrées au niveau de la Fig.2-12.

Conditions	Chimie à base chloré			Chimie à base fluoré	
	1	2	3	4	5
Numéro	1	2	3	4	5
Chimie	Cl_2	Cl_2 / BCl_3	$Cl_2 / SiCl_4$	$SF_6 / O_2 / N_2$	CHF_3 / SF_6
Débit (sccm)	30	15 + 15	15 + 15	10+10+10	20 + 10
Pression (mTorr)	10	10	10	10	10
Puissance (W)	40	40	40	70	40
Vitesse de gravure (nm/min)	53	22	29	57	41
Anisotropie de profil	86% (Oui)	82% (Oui)	80% (Oui)	88% (Oui)	15% (Non)
Propreté de surface	Oui	Oui	Oui	Non	Oui
Résumé	Oui	Non	Non	Non	Non

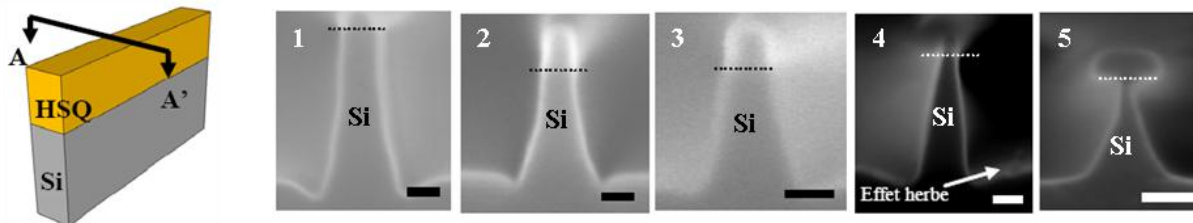


Figure 2-12. Résumé des paramètres expérimentaux de gravure basés sur la chimie chlorée et fluorée. Les images MEB en vue en coupe sont des ailettes gravées par les recettes correspondantes (Echelle : 20 nm).

Au cours de cette gravure par plasma Cl_2 , un gaz moléculaire Cl_2 se transforme en espèce atomique puis est ionisé lorsque les collisions entre les atomes sont en mesure de libérer les électrons extérieurs.

Dissociation :



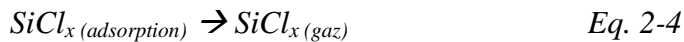
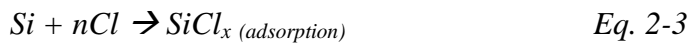
Le phénomène de dissociation qui intervient pour des énergies d'électrons faibles, entraîne l'apparition de radicaux libres Cl . Ces espèces réactives interviennent dans le

processus de gravure chimique. La réaction d'ionisation forme des ions Cl^+ qui vont agir lors de la gravure physique.

Ionisation :



Le plasma résultant consiste en un mélange de plusieurs espèces chimiques hautement réactives : particules neutres, ions positifs et électrons, qui peuvent ensuite réagir avec la surface du substrat pour former des produits volatiles qui sont évacués par le système de pompage. Après formation du plasma, l'adsorption de Cl sur une surface de silicium forme le $SiCl_x$, qui est adsorbé sur la surface de silicium. Finalement, la gravure de silicium s'est produite par la désorption de $SiCl_x$ à l'aide du bombardement ionique.



2.2.1.2 Impact de paramètres de gravure sur l'anisotropie du profil et phénomène de microtranchée.

(a) Influence de la pression de chambre.

L'optimisation des paramètres du procédé a été réalisée afin d'optimiser l'anisotropie et de réduire les effets de microtranchée pour un plasma à base de Cl_2 pur. Ce phénomène, observé à la base de la nanoailette, est dû à la réflexion spéculaire de la gravure des espèces et à la charge de la couche du masque isolant [17] [18] [19]. Seul le couplage capacitif (CCP pour «capacitive coupled plasma») est utilisé sans plasma à couplage inductif (ICP pour : « inductive coupled plasma») car nous avons constatés que le profil n'est pas amélioré tandis que la profondeur de microtranchée est augmentée de façon spectaculaire (Voir 2.2.1.2 (c)). Les paramètres nominaux de l'étape de gravure sont les suivants: le débit de gaz Cl_2 est fixé à 30 sccm, la puissance est de 80 W et le temps de gravure est fixé à 2 min. L'évolution du profil de gravure est représenté Fig. 2-13 lorsque la pression de la chambre est réduite de 10 mTorr (b) à 2 mTorr (c). La microtranchée est réduite lorsque la pression est diminuée ce qui permet de former des tranchées peu profondes. Lorsque la pression de la chambre est basse, le libre parcours moyen des particules est relativement long et la probabilité de collision entre les particules est faible [20], ce qui pourrait diminuer effectivement les effets spéculaires.

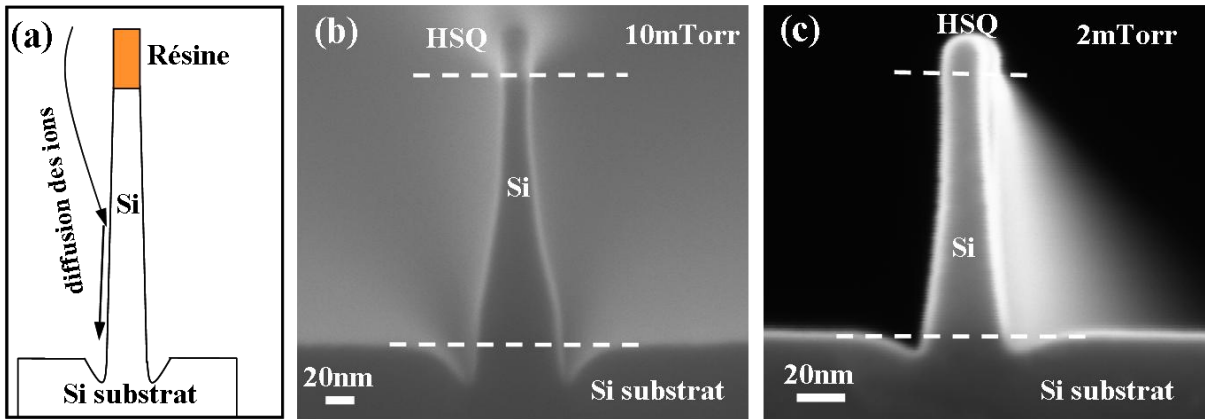


Figure 2-13. (a) Représentation schématique du mécanisme de l'effet spéculaire pendant la gravure par plasma. Images MEB (Vue en coupe) de la nanoailette en Si gravée en utilisant les conditions suivantes : Cl_2 30 sccm, puissance de 80 W et pression de la chambre de : (b) 10 mTorr and (c) 2 mTorr.

(b) Influence de la puissance de la source.

Dans un deuxième temps, l'effet de la puissance de la source a été étudié La Fig. 2-14 (a) représente l'évolution de la profondeur de la microtranchée en fonction de la puissance de source. Les images MEB (vue en coupe Fig. 2-14 (b) et (c)) montre la différence de la profondeur gravée pour deux puissances : 40 et 120 W. Une puissance RF plus élevée fournit plus d'énergie cinétique aux espèces ioniques lors du bombardement par plasma, et ainsi une attaque plus physique permettant une amélioration de l'anisotropie de gravure. Un angle de profil plus vertical limite alors la réflexion des ions ce qui limite le phénomène de microtranchée. Finalement, une puissance de 80 W semble être un compromis raisonnable qui favorise suffisamment la gravure physique et anisotrope afin d'obtenir un profil d'ailette vertical tout en minimisant la formation des défauts sur la paroi latérale due à l'irradiation des particules chargées.

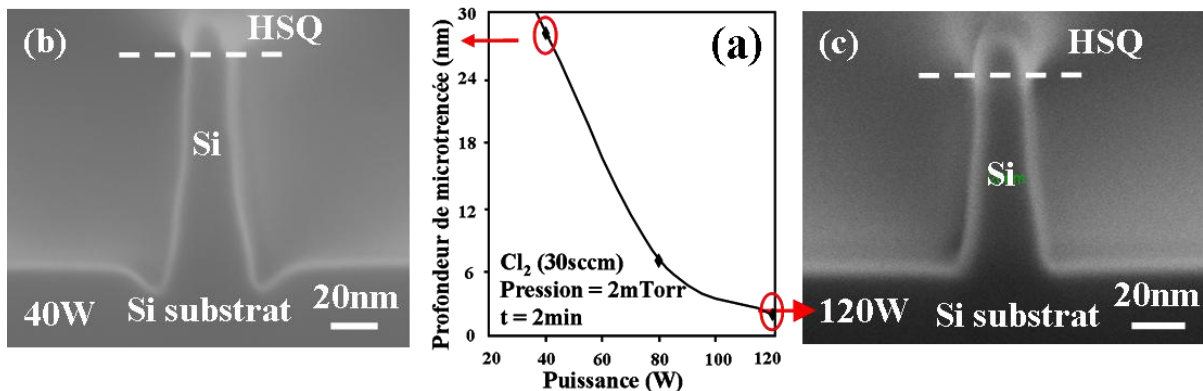


Figure 2-14. (a), Etude de la variation de la profondeur de microtranchée en fonction de la puissance de la source ; comparaison des profils gravés avec des puissances différentes: (b) $P= 40$ W et (c) $P= 120$ W.

(c) Influence de l'ajout de l'ICP.

L'ajout d'une puissance ICP à la gravure est effectué pour augmenter la densité du plasma. Cependant, l'effet de microtranché est aggravé en raison d'une augmentation de l'énergie cinétique des ions (voir la Fig. 2-15 (a)). En conservant les mêmes conditions de gravure sans ICP, la profondeur du microtranché est largement diminuée tout en conservant une bonne anisotropie du profil (Fig. 2-15 (b)). Finalement, le procédé de gravure sera effectué sans ICP à cause de l'influence négative pour l'intégration des dispositifs électroniques.

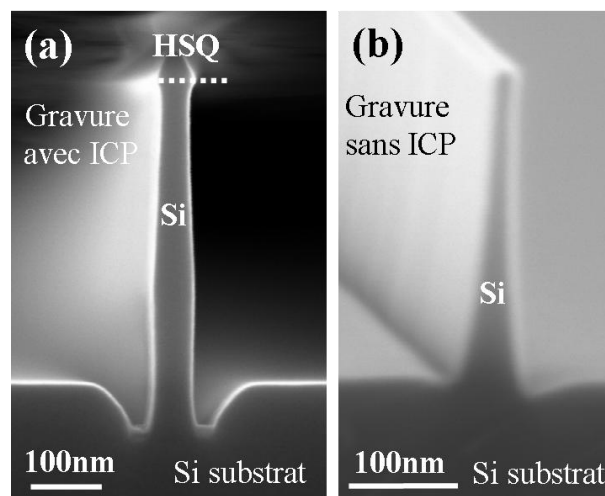


Figure 2-15. Images MEB vue en coupe de la nanoailette réalisée : (a) gravure avec ICP, (b) gravure sans ICP.

2.2.1.3 Sélectivité de la gravure du silicium par rapport au masque de HSQ.

Suite à ces résultats expérimentaux, le profil de gravure optimisé de la nanoailette en silicium (forte anisotropie de 92% et très faible profondeur de microtranché) est obtenu en utilisant un plasma à base de Cl_2 (30 sccm) avec une chambre à basse pression (2 mTorr), et une puissance de source de 80 W. dans ces conditions, une série de gravures est effectuée avec différents temps de 2 min, 3 min, 4 min et 6 min, respectivement (Tableau 2-2). La vitesse de gravure moyenne de la HSQ (31 nm/min) et du Si (77.8 nm/min) conduit à une sélectivité acceptable de la gravure du silicium par rapport à celle de la HSQ (2.5/1), ce qui est conforme à de précédents travaux [21].

Gravure de Si		Gravure de HSQ	
temps(min)	vitesse (nm/min)	temps (min)	vitesse (nm/min)
2	74	2	27
3	79	3	36
4	79	4	34
6	79	6	27

Tableau 2-2. Vitesse de gravure du silicium et de la HSQ, la sélectivité de gravure entre la HSQ et le silicium est respectivement de 1 : 2.5.

2.2.2 Impact de la densité des motifs.

Sur la base de ces résultats, une deuxième série d'expérience a été réalisée pour étudier l'impact de l'étape de gravure sur les réseaux dont la densité des motifs est importante. La Fig. 2-16 (a) montre un réseau de nanoailettes de 30 nm de longueur avec un espacement de 60 nm, 100 nm et 180 nm ainsi qu'un zoom sur la partie la plus dense est présenté dans la Fig. 2-16 (b). L'analyse des parois latérales montre clairement un profil en forme de cuvette pour des nanoailettes serrées alors que cet effet n'a pas été observé dans le cas d'ailette isolée. Ce phénomène est principalement dû à la pulvérisation des ions dispersés à partir du masque HSQ, dont la surface supérieure du masque est arrondie et non parfaitement rectangulaire. Cet effet est renforcé par l'érosion physique lors de la gravure. La Fig. 2-16 (c) propose une représentation schématisée de ce scénario. La diffusion des ions induite par le masque modifie la trajectoire verticale et conduit à un angle de dispersion θ indépendant de l'espacement entre les deux nanoailettes. La distribution latérale (L) des éléments de diffusion sur le flanc de la nanoailette dépend de la distance entre les deux ailettes adjacentes (D). La paroi est plus gravée lorsque D est plus faible parce que les éléments sont concentrés sur une petite longueur. Une séquence similaire de gravure a été réalisée sur un réseau dense de nanopiliers en HSQ, comme indiqué au niveau de la Fig. 2-16 (d) [22]. Le même phénomène est observé avec des nanofils de silicium. Le masque de nanopilier a une forme de tête de clou dans la partie supérieure. Afin de réaliser des réseaux denses de nanofils verticaux en silicium avec une sous-gravure limitée, une épaisseur suffisante de résine doit rester jusqu'à la fin du processus tel qu'il est présenté au niveau de la Fig. 2-16 (e).

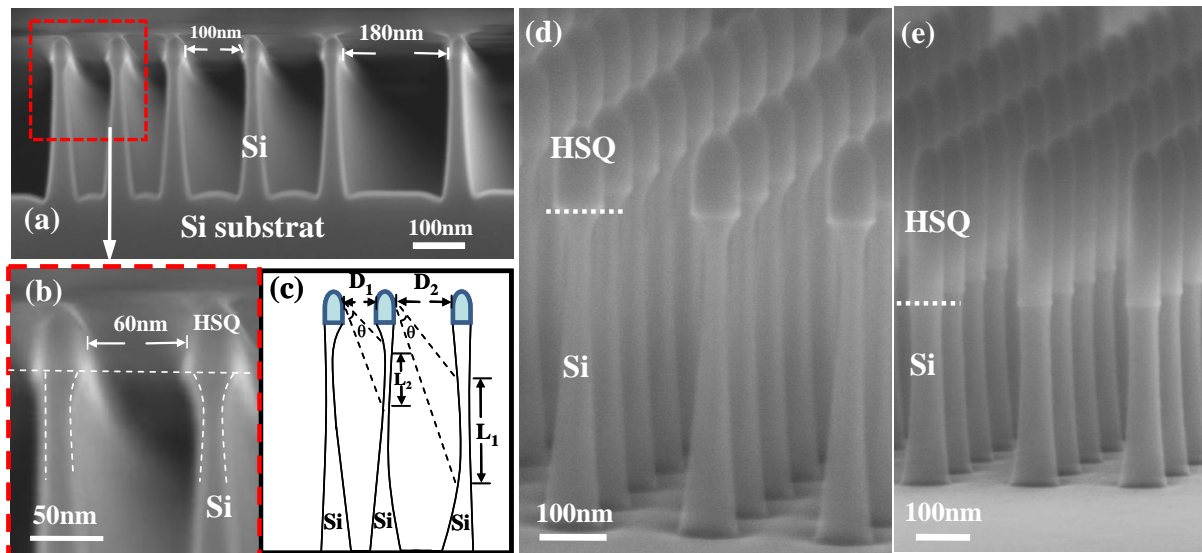


Figure 2-16. (a) Image MEB (vue en coupe) d'un réseau de nanoailette avec une longueur de 30 nm et un espacement de 60 nm, 100 nm et 180 nm, (b) Zoom sur la partie la plus dense avec le pas de 60 nm, (c) Représentation schématique de la dispersion d'espèces par le masque de résine (d-e) Images MEB de réseaux de nanofils de Si gravés avec deux résines d'épaisseur différente.

Après avoir analysé les paramètres de gravure, une recette optimisée est obtenue avec une hauteur de HSQ de 130 nm, un plasma à base de Cl_2 (30 sccm), une pression de chambre de 2 mTorr et une puissance de 80 W. Le processus de gravure est résumé par le schéma au niveau de la Fig. 2-17 (a), (b) et (c), en utilisant les conditions optimisées citées ci-dessus et appliquées sur un réseau dense de nanopiliers de HSQ.

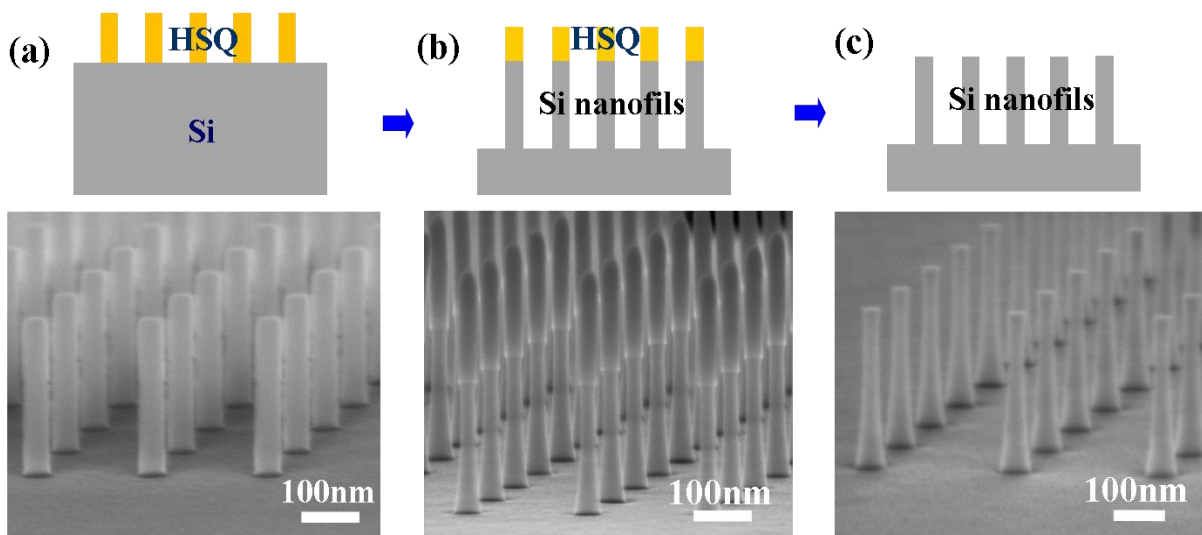


Figure 2-17. Représentation schématique du processus de réalisation d'un réseau de nanofils de Si verticaux : (a) réalisation du masque de nanopiliers verticaux en HSQ; (b) transfert du masque de HSQ au substrat Si par RIE; (c) gravure du reste de la résine de HSQ par attaque HF.

Deux exemples de gravure sont d'émontrés au niveau des images MEB : avec une large surface de nanofils en Si ($22 \mu\text{m} \times 22 \mu\text{m}$), un diamètre de 20 nm, une hauteur de 160 nm sans défauts (sans gravure du masque de HSQ) montré par la Fig. 2-18 (a) et un réseau de nanofils de Si verticaux avec une ultra haute densité ($4 \times 10^{10} \text{cm}^{-2}$), un diamètre de 19 nm et une hauteur de 160 nm sans défauts (100 % reproductible). La Fig. 2-18 (b) représente la plus haute densité publiée jusqu'à présent [23].

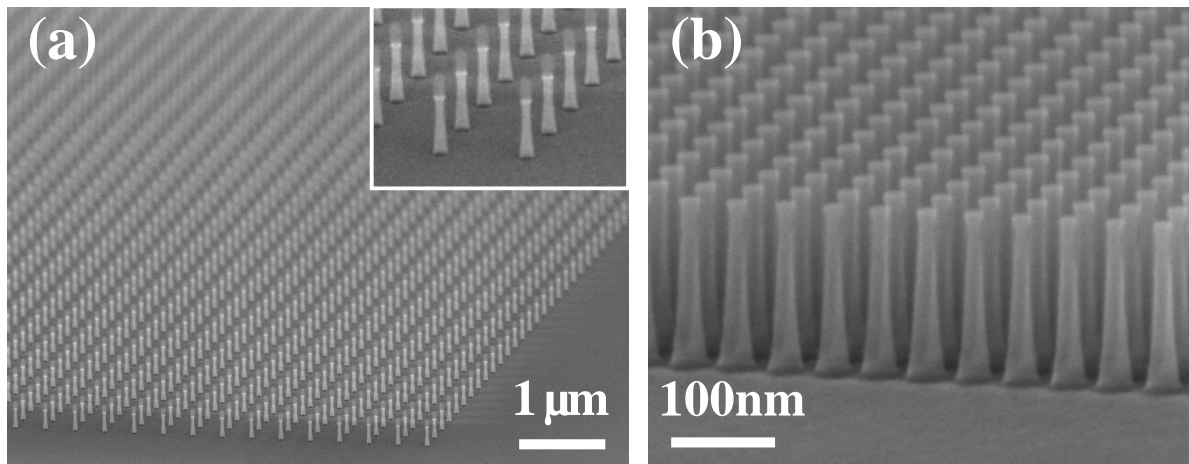


Fig. 2-18. Image MEB d'un (a) réseau de nanofils verticaux de Si gravés d'une large surface ($22 \mu\text{m} \times 22 \mu\text{m}$) d'un diamètre de 20 nm et d'une hauteur de 160 nm (le masque de HSQ n'est pas enlevé), (b) réseau de nanofils de Si avec un diamètre de 19 nm, une hauteur de 160 nm et une ultra-haute densité ($4 \times 10^{10} \text{cm}^{-2}$) et 100 % de reproductibilité

Le réseau de nanofils verticaux est la base de l'architecture des transistors que nous allons présenter dans ce manuscrit. De ce fait, la qualité des nanofils est très importante pour ne pas en dégrader les performances. Afin de vérifier la qualité du réseau de nanofils verticaux, des méthodes de caractérisation complémentaires ont été utilisées.

2.2.3 Analyse de l'état du réseau de nanofils verticaux réalisés.

2.2.3.1 Reproductibilité des nanofils verticaux gravés par microscope à force atomique.

L'AFM (microscope à force atomique ou de l'anglais « atomic force microscopy ») est une technologie très utile pour caractériser la surface des matériaux, dans notre cas, la technique de l'AFM est utilisée pour caractériser la reproductibilité du réseau de nanofils obtenue par gravure. Sur la Fig. 2-19 (a), un réseau de nanofils verticaux gravés est montré par image MEB avec un diamètre de 32 nm et une hauteur de 245 nm. La mesure AFM est effectuée au niveau des contacts en topographie sur une surface de $1 \mu\text{m} \times 1 \mu\text{m}$ est montré sur

le Fig. 2-19 (b) et le profil de balayage sur la ligne A-A' est présenté sur la Fig. 2-19 (c). Ce profil nous montre que les nanofils obtenus par gravure sont quasiment identiques avec une hauteur équivalente et une distance de réseau régulière.

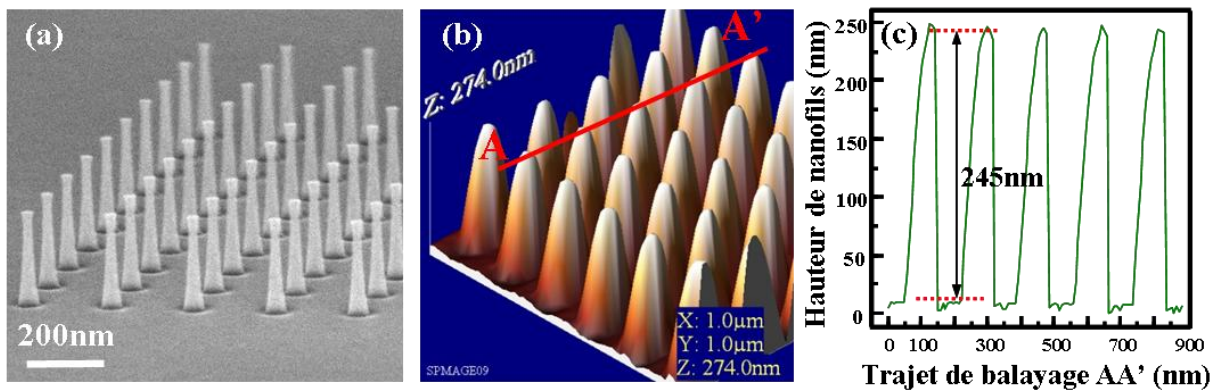


Figure 2-19. Images (a) MEB et (b) AFM d'un réseau de nanofils verticaux, avec un diamètre de 32 nm, une hauteur de 245 nm et un espacement de 180 nm, (c) Profil de balayage (A-A') sur réseau de nanofils.

2.2.3.2 Etat de surface des flancs des nanofils par microscopie électronique à transmission.

Le MET (microscopie électronique en transmission ou de l'anglais « transmission electron microscopy ») est une technique de microscopie où un faisceau d'électrons est transmis à travers un échantillon très mince. Les effets d'interaction entre les électrons et l'échantillon donnent naissance à une image, dont la résolution peut atteindre 0.8 Angström. Cette technique permet donc d'analyser l'état de surface des nanofils en très haute résolution. La Fig. 2-20 (a) est une image d'une tranche préparée pour l'analyse par le MET. Le résultat est exposé au niveau de la Fig. 2-20 (b). Elle montre la rugosité de surface après la gravure. Les défauts sur la surface par gravure plasma dus au bombardement ionique est un problème inévitable [24]. Ainsi, des défauts électriques sont générés par la gravure plasma ; ces défauts peuvent changer la propriété de surface et influencer la conduction des nanofils, mais nous ne pouvons pas observer ces défauts par la technique de MET. Ce sont des sources de dégradation de performance pour les dispositifs électroniques, comme la diminution de mobilité [25].

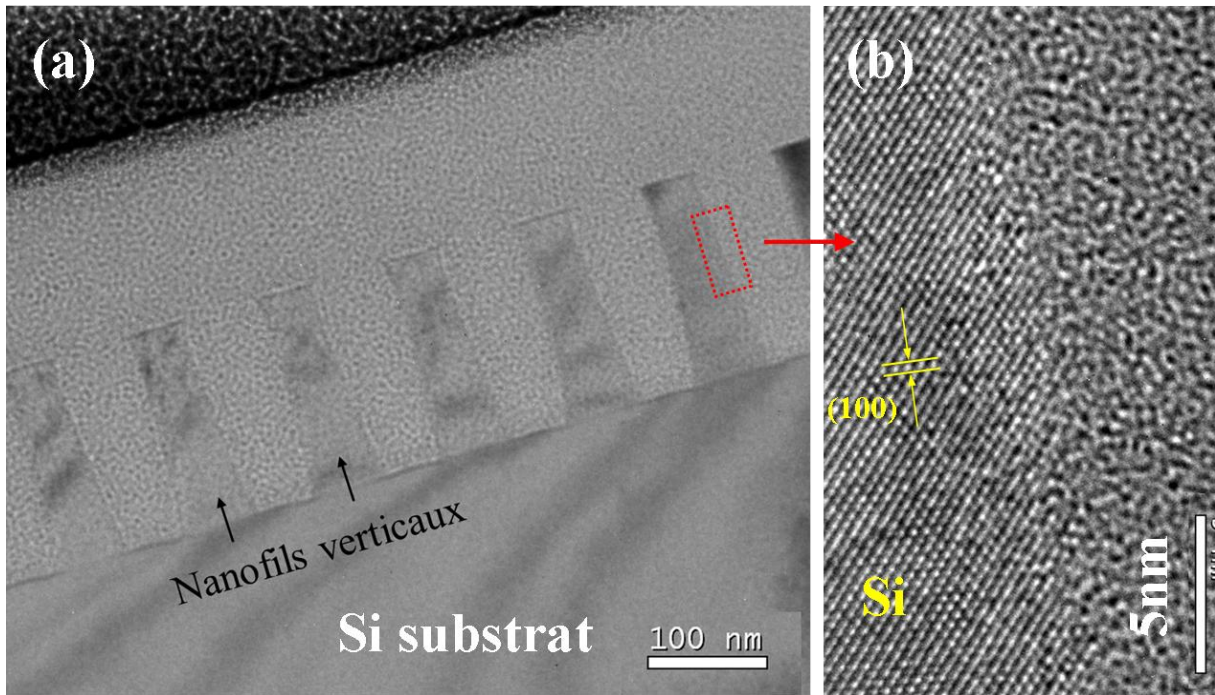


Figure 2-20. (a) Image MET de la tranche d'un échantillon à basse résolution d'un réseau de nanofils verticaux et (b) Image MET haute résolution (HRMET) de la paroi du NF de Si après gravure par plasma.

2.2.4 Limitation ultime du procédé technologique.

Les réseaux de nanofils verticaux sont la base de l'architecture des transistors que nous allons présenter dans ce manuscrit. En effet, la taille des nanofils est principalement définie par un masque réalisé en utilisant la lithographie électronique. Théoriquement, cette technologie permet de réaliser des nanopiliers en HSQ avec un diamètre inférieur à 10nm grâce à sa résolution ultra élevée (2.5 nm). En réalité, en raison de la résistance mécanique faible, les nanofils de HSQ avec des diamètres très fins sont enlevés ou poussés sur un substrat pendant le processus de révélation et rinçage par la force capillaire, [26] comme le montre la Fig 2-21 (a) et (b). Pour réaliser des nanofils avec un diamètre ultrafin, ultra-dense et une reproductibilité parfaite, le diamètre minimum de nanofils obtenu est d'environ 20 nm en raison des limitations technologiques au cours de l'étape de révélation et de rinçage. Afin d'obtenir des nanofils de silicium avec un diamètre inférieur à 20 nm transférés à base de nanofils de HSQ, un procédé d'amincissement des nanofils de silicium doit être effectué après une étape de gravure. Des méthodes d'amincissement des nanofils à base de gravure par un solvant HF concentré ou d'oxydation humide seront discutées au niveau du chapitre 3.

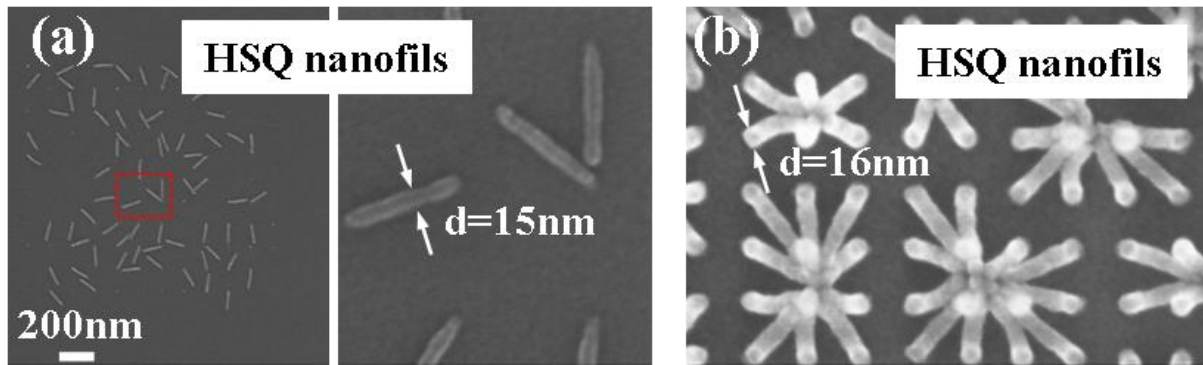


Figure 2-21. Images MEB d'un réseau de nanofils en HSQ sub-16 nm en vue par dessus (a) un arrachement des motifs et (b) un effondrement du réseau.

2.3 Phénomènes d'effondrements des nanostructures.

La recherche continue de la miniaturisation de l'électronique, de la mécanique, de la fluide et des dispositifs de détection présente de grands défis technologiques notamment dans la stabilité des nanostructures lors des étapes de fabrication et de post fabrication. Avec la diminution de la taille, le rapport surface / volume des dispositifs augmente, diminuant l'impact des forces de volume par rapport aux forces de surface telles que les forces d'adhésion, la friction et la capillarité qui influencent la stabilité à court et long terme des dispositifs. Ce problème devient particulièrement critique dans le cas des réseaux denses de nanostructures unidimensionnelles à très fort rapport d'aspect (longueur / diamètre). En considérant un fort rapport d'aspect avec une grande surface, les nanopiliers permettent d'envisager une multitude d'applications comme par exemple des capteurs micromécaniques [27], l'actionnement [28], la séparation d'ADN [29] ou l'amélioration du transfert de chaleur [30] etc. En revanche, ces propriétés conduisent aussi à augmenter la susceptibilité de déformation des nanopiliers ainsi que leur coalescence [31], sous l'effet des forces capillaires exercées sur le système lorsqu'un liquide s'évapore de leurs surfaces [32]. Récemment, une méthode utilisant les forces de capillarité a été utilisée pour auto-assembler des nanostructures [33] [26]. La compréhension systématique des forces de capillarité sur la stabilité des réseaux des nanopiliers verticaux est donc nécessaire, d'un point de vue fondamental mais aussi technologique.

2.3.1 Phénomènes d'effondrements sur nanostructures de type ailettes.

Des nanostructures en résine HSQ unidimensionnelles et bidimensionnelles ont été réalisées par lithographie électronique puis évaporées par une solution de TMAH 25%. Après évaporation, le rinçage par l'eau déionisée (EDI) et séchage sous N_2 , les nanostructures en HSQ ont été observées par MEB en très haute résolution et le phénomène d'effondrement a été analysé. Grâce au procédé décrit dans la partie précédente, nous pouvons réaliser des nanostructures dont les largeurs, hauteurs et espacements sont parfaitement maîtrisés, ce qui permet de réaliser une analyse systématique du phénomène d'effondrement.

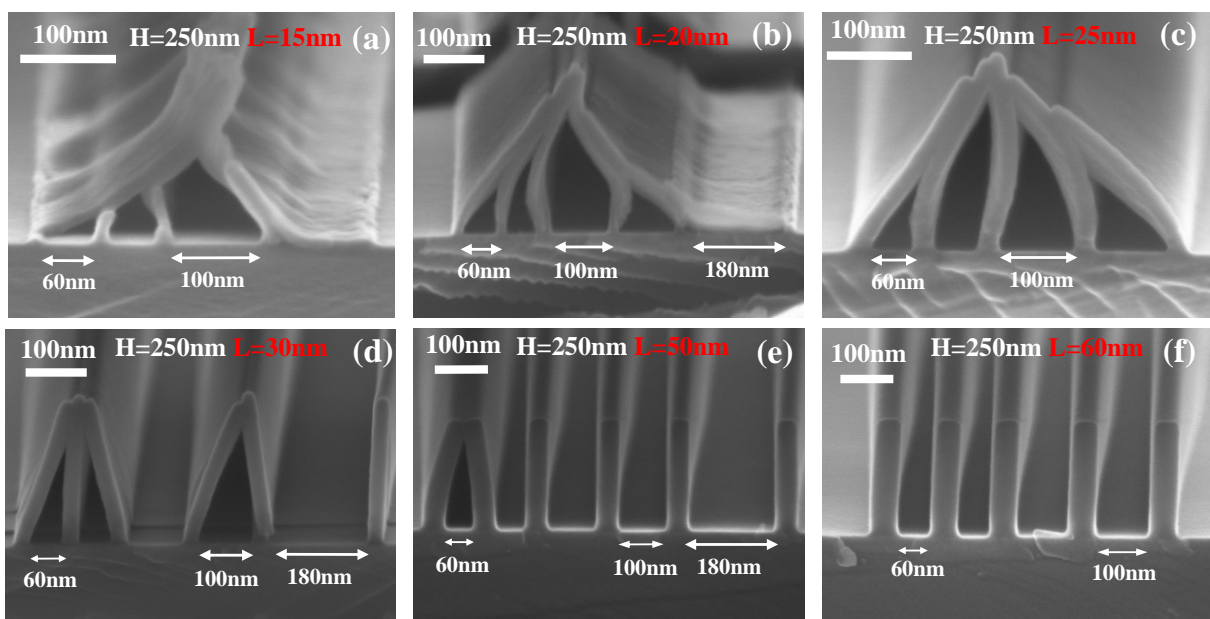


Figure 2-22. Images MEB (vue en coupe) du phénomène d'effondrement sur des réseaux de nanoailettes de HSQ pour différentes largeurs d'ailettes : (a) $L=15\text{ nm}$, (b) $L=20\text{ nm}$, (c) $L=25\text{ nm}$, (d) $L=30\text{ nm}$, (e) $L=50\text{ nm}$ et (f) $L=60\text{ nm}$.

Les images MEB de la Fig. 2-22 (a) à (f) montrent que le phénomène d'effondrement dépend fortement de la largeur des nanoailettes L et de la distance entre nanoailettes D . Pour une distance, D de 180 nm, l'effondrement est observé pour les nanoailettes ayant une largeur L de 15 nm, 20 nm et 25 nm ; pour $D = 100\text{ nm}$, l'effondrement se présente pour les nanoailettes ayant une épaisseur de 15 nm, 20 nm, 25 nm et 30 nm ; pour $D = 60\text{ nm}$, l'effondrement est observé jusqu'à une épaisseur de 50 nm. En effet, la déformation des nanoailettes de HSQ pendant le procédé de séchage doit tenir compte à la fois de la force capillaire agissant sur les structures de nanoailettes et du comportement à la déformation des nanoailettes en réponse à la force imposée. Afin de mieux comprendre ce phénomène

d'effondrement sur la structure des nanoailettes, les résultats sont résumés par le tableau 2-3, x représentant l'effondrement et v indiquant l'absence d'effondrement des structures verticales. On définit le ratio d'aspect RA (de l'anglais «Aspect Ratio»), le rapport de la hauteur sur la largeur de l'nanoailette ou $RA = H/L$. Selon les résultats, le phénomène d'effondrement est observé pour des rapports RA élevés (L faible pour une hauteur H donnée) les forces de capillarité provoquant l'effondrement étant proportionnelles à RA et inversement proportionnelle à D . Si nous traçons le rapport RA en fonction de D , à partir des résultats du tableau 2-3, la Fig. 2-23 donne la «limite d'effondrement de l'nanoailette», zone frontière entre les nanoailettes effondrées et verticales.

H=130nm	L=15nm	L=20nm	L=25nm	L=30nm	L=50nm	L=60nm
	RA*=8.7	RA=6.5	RA=5.2	RA=4.3	RA=2.6	RA=2.2
D=60nm		x	v	v	v	v
D=100nm		v	v	v	v	v
D=180nm		v		v	v	
H=250nm	L=15nm	L=20nm	L=25nm	L=30nm	L=50nm	L=60nm
	RA=16.7	RA=12.5	RA=10	RA=8.3	RA=5	RA=4.2
D=60nm	x	x	x	x	x	v
D=100nm	x	x	x	x	v	v
D=180nm	x	x		v	v	

* $RA = H/L$ et x : effondrement, v : vertical

Tableau 2-3. Résumé du phénomène d'effondrement des nanoailettes (effondrement et vertical) après séchage.

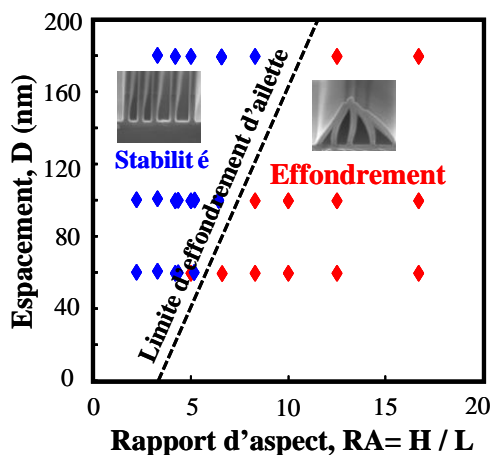


Figure 2-23. Phénomène d'effondrement des nanoailettes pour différentes épaisseurs (L) et distances entre nanoailettes (D), ($H = 250$ nm et 130 nm).

Du point de vue mécanique, les mécanismes d'effondrement comprennent la déformation élastique des structures jusqu'à ce que les structures adjacentes soient en contact puis la déformation élasto-plastique des structures, avec ou sans fracture avant contact. Pour mieux comprendre ce phénomène, le mécanisme d'effondrement de deux nanoailettes identiques au cours de processus de séchage est montré schématiquement par la Fig. 2-24 (a)

et (b). En effet, pendant le processus de séchage, le solvant hors du réseau de nanoailettes s'évapore plus rapidement. Il reste alors du solvant entre les nanoailettes, comme le montre la Fig. 2-24 (a), ce qui génère une force de capillarité à la source de l'effondrement. Si la force est suffisante pour surmonter la résistance mécanique des nanoailettes, alors les deux nanoailettes se penchent l'une vers l'autre, comme le montre schématiquement la Fig. 2-24 (b). Après séchage, lorsque le solvant de rinçage est complètement évaporé, trois comportements de déformation peuvent se présenter :

(i) déformation élastique : les deux nanoailettes reviennent à leurs places initiales, comme le montre schématiquement par la Fig. 2-24 (c) et par image MEB au niveau de la Fig. 2-22 (f).

(ii) déformation élastique de deux nanoailettes adjacentes restant en contact par force adhésive, (on ignore ici la force de gravité de la résine), comme illustré schématiquement en Fig. 2-24 (d) et par l'image MEB au niveau des Fig. 2-22 (c) (d) et (e).

(iii) déformation plastique des ailettes avec fracture de la structure, comme illustré par schéma en Fig. 2-24 (e) et par l'image MEB au niveau des Fig. 2-22 (a) et (b)

Selon les différents mécanismes de déformation présentés ci-dessus, certains modèles sont proposés. Par exemple, le modèle proposé par Tanaka [34] considère uniquement la déformation élastique, tandis que celui de Namatsu [35] considère uniquement une déformation plastique. Enfin, une généralisation proposée par Yoshimoto [36] propose une déformation élasto-plastique. Le matériau considéré dans notre expérience, la HSQ, est un matériau doux dont module de Young est relativement faible. On considère que le modèle élastique de Tanaka est le plus approprié

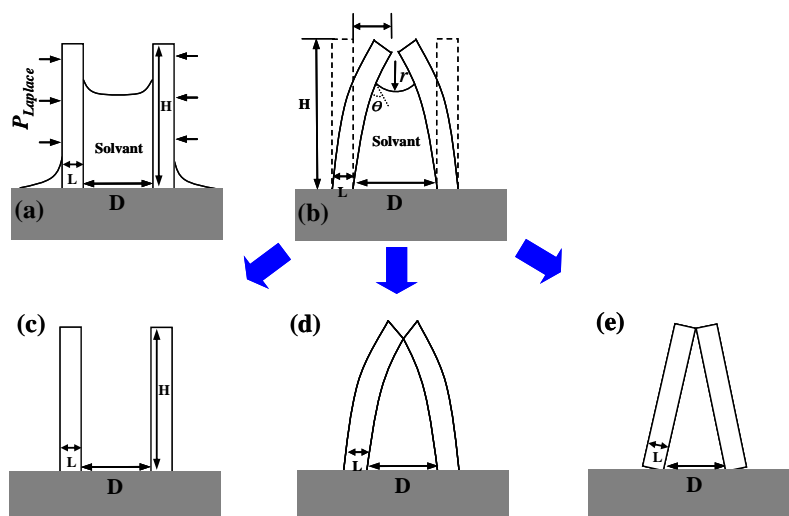


Figure 2-24. Représentation schématique des mécanismes mécaniques d'effondrement d'un système de deux nanoailettes: (a) sans déformation, (b) au cours du séchage en fonction des paramètres du système, (c) fin de séchage avec déformation élastique, (d) déformation élastique ou plastique, (e) déformation plastique.

Afin d'étudier le mécanisme mécanique d'effondrement, le système est présenté schématiquement Fig. 2-24 (b). En utilisant l'équation de Laplace, la pression $P_{Laplace}$ agissant sur chaque nanoailette est exprimé par :

$$P_{Laplace} = \frac{\gamma}{r}, \text{ avec } r = \frac{D}{2 \cos \theta} \quad \text{Eq. 2-5}$$

où γ est la tension de surface du solvant (γ de l'eau est $72,28 \times 10^{-3}$ N/m à 20 °C), r est le rayon de courbure de l'interface entre le solvant et l'air, D est l'espacement entre deux nanoailettes, θ est l'angle de contact entre le solvant et les nanoailettes en HSQ, qui dépend de la mouillabilité du solvant avec le matériau considéré (ici, des propriétés du solvant et de la HSQ), on obtient :

$$P_{Laplace} = \frac{2\gamma \cos \theta}{D} \quad \text{Eq. 2-6}$$

Selon l'équation 2-6, la pression $P_{Laplace}$ dépend de la tension de surface du solvant de rinçage (γ), de l'angle de contact θ et de l'espacement entre les nanoailettes en HSQ (D).

La déformation de nanoailette en résine est liée à la rigidité de cette dernière. On considère que la HSQ est un matériau élastique, surtout pour l'étude de la condition critique du phénomène d'effondrement, situation décrite par les Fig. 2-24 (c) et (d), en utilisant le modèle de Tanaka valable uniquement pour la déformation élastique [34]. Nous considérons la structure de résine comme une ailette élastique avec un côté fixé au niveau du substrat. La déflexion d'ailette, δ est exprimé par :

$$\delta = \frac{1}{8} \frac{FH^3}{E_y I} \quad \text{Eq. 2-7}$$

Où I est le moment quadratique de la section, avec $I = (TL^3)/12$, (L est l'épaisseur de la nanoailette, T est la profondeur de la nanoailette); F est la force appliquée par la tension de surface agissant sur la surface de la nanoailette, $F = P_{Laplace}TH$. H est la hauteur de la nanoailette. E est le module d'Young. Donc, l'équation est dérivée :

$$\delta = \frac{3PH^4}{2E_y T^3} \quad \text{Eq. 2-8}$$

Selon le modèle de Tanaka [37], la pression $P_{Laplace}$ sur une structure nanoailette est exprimé dans le cas de la déformation élastique par :

$$P_{Laplace} = \frac{2\gamma \cdot \cos \theta}{D - 2\delta} + \frac{8\gamma \cdot \sin \theta \cdot \delta}{3H(D - 2\delta)} \quad \text{Eq. 2-9}$$

En remplaçant Eq. 2-8 dans Eq. 2-9 puis en résolvant pour $P_{Laplace}$, on obtient :

$$P_{Laplace} = \frac{DE_Y L^3 \pm L \sqrt{D^2 E_Y^2 L^3 - 24H^4 LE_Y \gamma \cos \theta + 32H^3 L \gamma \sin \theta E_Y}}{6H^4} \quad Eq. 2-10$$

Dans la condition d'équilibre entre la force élastique de la résine et la force adhésive, il faut que :

$$D^2 E_Y^2 L^3 - 24H^4 LE_Y \sigma \cos \theta + 32H^3 L \sigma \sin \theta E_Y \geq 0$$

$$\text{Ou } D \geq \sqrt{\frac{24H^4 \gamma \cos \theta - 32H^3 \gamma \sin \theta}{E_Y L^3}} \quad Eq. 2-11$$

Pour simplifier l'équation, nous considérons que $\theta = 0$, et on obtient alors:

$$D \geq \sqrt{\frac{24H^4 \gamma}{E_Y L^3}} \quad Eq. 2-12$$

Cette équation montre que l'espacement minimum entre les nanoailettes de résine est proportionnel à la racine carrée de la tension superficielle du liquide de rinçage et $(H^4/L^3)^{1/2}$, ce qui permet d'expliquer les résultats d'effondrement observés expérimentalement lorsque l'espacement D varie, (Fig. 2-22 (a-f)). En utilisant l'équation 2-12 et les paramètres critiques d'effondrement estimés selon la Fig. 2-22, le module d'Young, E_Y est calculé au niveau du tableau 2-4. La valeur E_Y moyenne de la nanoailette en HSQ est de 14.8 ± 2.6 GPa. Ces valeurs sont d'un même ordre de grandeur avec une autre étude sur le module de Young de la couche de HSQ (de 10 GPa à 20 GPa pour un rapport de Si-H/Si-O de 40 % à 20 %) par Liou et al. [38]. Il faut noter que le module de Young de la résine HSQ dépend du rapport de Si-H/Si-O, c'est-à-dire que la dose d'insolation qui peut influencer la valeur de module de Young de la HSQ. Dans notre cas, la dose d'insolation utilisée est très forte (5000 - 8000 $\mu\text{C}/\text{cm}^2$), le rapport de Si-H/Si-O est donc très faible.

Matériau	D (nm)	L (nm)	H (nm)	E_Y (GPa)
HSQ	125	30	250	16,1
HSQ	160	25	250	17
HSQ	60	50	250	15,1
HSQ	80	20	130	9,7
HSQ	230	20	250	16,1

Tableau 2-4 : Paramètres critiques (espacement, D ; largeur, L et hauteur, H) d'effondrement de nanoailettes de HSQ et le module de Young E_Y calculé

Grâce à la théorie d'effondrement illustrée sur un système simple de deux nanoailettes, on peut étudier un système multi-nanoailettes avec des distances différentes entre les

nanoailettes, comme montré schématiquement en Fig. 2-25. Le comportement d'effondrement correspondant se trouve au niveau de la Fig. 22 (a)-(f). En effet, dans le cas réel du processus de séchage, les forces capillaires agissant sur les nanoailettes ne sont pas constantes, car lorsque les nanoailettes sont penchées, l'espacement entre le sommet des deux nanoailettes diminue et l'angle de contact θ varie. Quand la force capillaire est beaucoup plus forte que la résistance des nanoailettes, toutes les nanoailettes de résine s'appuient les unes sur les autres, par « effet domino », comme le montre la Fig. 2-22 (a-c). Quand la force capillaire est comparable à la force élastique des nanoailettes de HSQ, le comportement d'effondrement est dans la condition limite de déformation élastique. En utilisant l'équation 2-6, les pressions qui agissent sur les nanoailettes 3 et 5 ne sont pas en équilibre et peuvent être exprimées, respectivement par :

$$\Delta P_3 = 2\gamma \cos \theta \left(\frac{1}{D_1} - \frac{1}{D_2} \right) \quad \text{Eq. 2-13}$$

$$\Delta P_5 = 2\gamma \cos \theta \left(\frac{1}{D_2} - \frac{1}{D_3} \right) \quad \text{Eq. 2-14}$$

Quand des forces capillaires différentes agissant sur les nanoailettes 3 et 5 sont plus fortes que les forces élastiques, les nanoailettes 3 et 5 se penchent respectivement vers 2 et 4. Pendant ce processus, en raison du changement d'espacement des deux côtés de la nanoailette 4, l'équilibre de la nanoailette 4 est perturbé, et un effondrement est observé Fig. 2-22 (d) et (e).

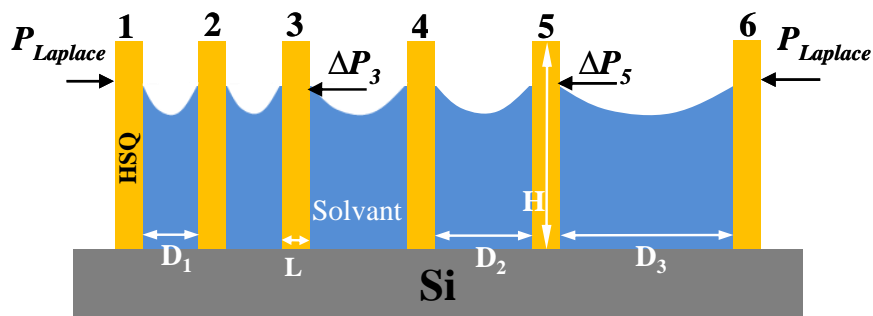


Figure 2-25. Représentation schématique du processus de séchage pour un système multi-nanoailettes avec différents espacements.

Pour éviter le problème d'effondrement, une des solutions consiste à diminuer la valeur de $RA = (H/L)$ tout en gardant D constant. Par exemple, à même L , si H est égal à 250 nm, la force capillaire est relativement forte, des nanoailettes effondrées se sont attirées. Par contre, en diminuant H à 120 nm, la force capillaire est réduite et des nanoailettes effondrées ne sont pas observées, il y a deux raisons probables : soit la force capillaire n'est pas suffisante

forte pour pencher les nanoailettes, soit la déformation est élastique, après séchage, les nanoailettes reviennent sur leurs positions initiales. Les nanoailettes évitent ainsi l'effondrement après séchage. Le comportement de deux réseaux des nanoailettes de même dimension de D et L mais de différents H ou (H/L) sont comparés Fig. 2-26 (a) et (b).

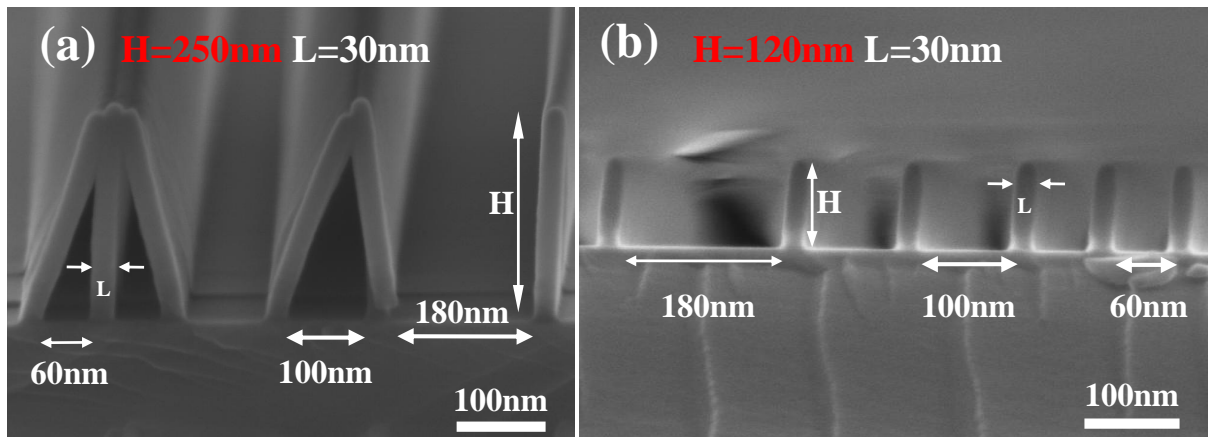


Figure 2-26. Images MEB comparant deux réseaux de nanoailettes de même largeur et espacement : (a) $H = 250$ nm et (b) $H = 120$ nm.

2.3.2 Phénomènes d'effondrements sur nanostructures unidimensionnelles.

Un phénomène d'effondrement similaire est observé sur des réseaux de nanostructures unidimensionnelles après le processus de séchage. Comme le montre la Fig. 2-27, 30 réseaux de nanopiliers en HSQ avec des diamètres d et des espacements P variables ($H = 250$ nm) ont été dessinés et réalisés par lithographie électronique puis développés dans du solvant TMAH 25%, rincés dans l'eau déionisée et séchés sous N_2 . Le comportement d'effondrement de ces 30 réseaux est reporté au niveau du tableau 2-5 et tracé sur le graphe H/d en fonction de P (Fig. 2-27). La limite d'effondrement est schématisée par une ligne en pointillée. Ainsi, l'effondrement est observé pour des réseaux de nanopiliers à H/d élevé et P faible. Afin de mieux visualiser le phénomène d'effondrement sur ces nanopiliers, deux images MEB en vue de dessus des réseaux A1, A2, A3, B1, B2, B3, C1, C2 et C3, sont présentées en Fig. 2-28 (a) et (b) pour des hauteurs respectivement de 180 nm et 250 nm. Différents comportements d'effondrement sont alors observés : (1) Pour $H = 180$ nm, l'effondrement est observé sur les réseaux de nanopiliers A1, A2, A3, B1, B2 et C1 ; (2) Pour $H = 250$ nm, l'effondrement est observé pour tous les réseaux.

E1	d=20nm	E2	d=30nm	E3	d=40nm	E4	d=50nm	E5	d=80nm	E6	d=100nm
X	P=180nm	X	P=180nm	X	P=180nm	V	P=180nm	V	P=180nm	V	P=180nm
D1	d=20nm	D2	d=30nm	D3	d=40nm	D4	d=50nm	D5	d=80nm	D6	d=100nm
X	P=140nm	X	P=140nm	X	P=140nm	V	P=140nm	V	P=140nm	V	P=140nm
C1	d=20nm	C2	d=30nm	C3	d=40nm	C4	d=50nm	C5	d=80nm	C6	d=100nm
X	P=100nm	X	P=100nm	X	P=100nm	V	P=100nm	V	P=100nm	V	P=100nm
B1	d=20nm	B2	d=30nm	B3	d=40nm	B4	d=50nm	B5	d=80nm	B6	d=100nm
X	P=60nm	X	P=60nm	X	P=60nm	X	P=60nm	V	P=60nm	V	P=60nm
A1	d=20nm	A2	d=30nm	A3	d=40nm	A4	d=50nm	A5	d=80nm	A6	d=100nm
X	P=30nm	X	P=30nm	X	P=30nm	X	P=30nm	V	P=30nm	V	P=30nm

Tableau 2-5. Résumé du phénomène d'effondrement sur les nanopiliers (effondrement et vertical) après séchage (**x** : effondrement, **v** : vertical).

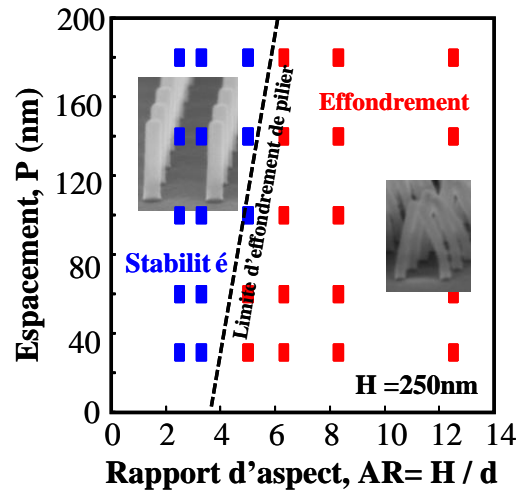


Figure 2-27. Résumé du phénomène d'effondrement sur des réseaux de nanopiliers avec différents diamètres d et différents espacements de nanopiliers P , ($H = 250$ nm).

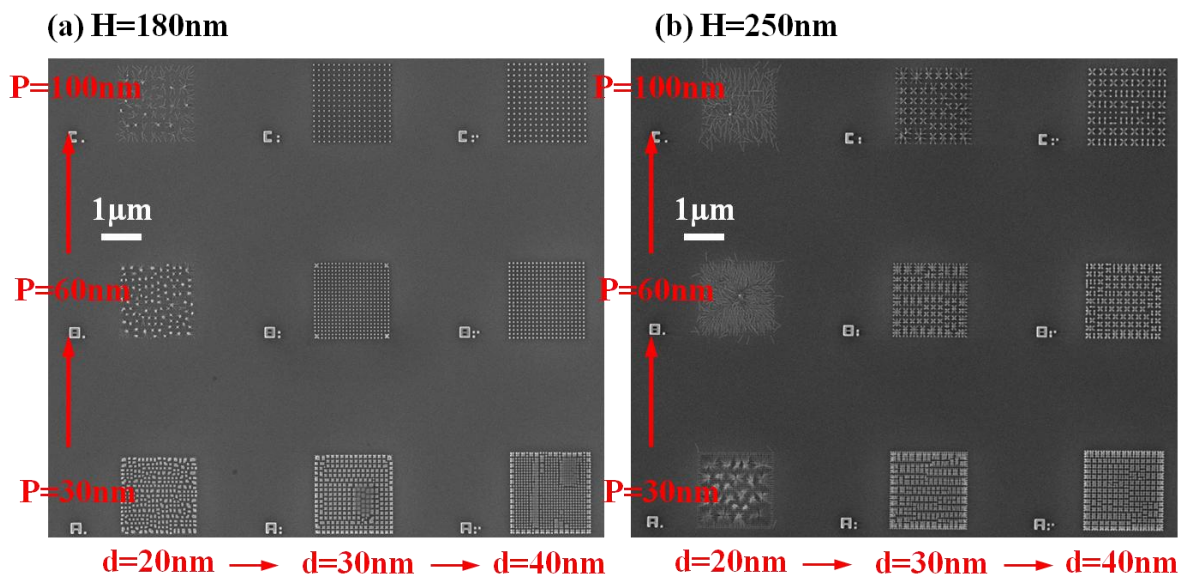


Figure 2-28. Images MEB (vue par dessus) de plusieurs réseaux de nanopiliers verticaux en HSQ de différents diamètres et espacements pour (a) $H = 180$ nm et (b) $H = 250$ nm.

De la même façon que pour les nanoailettes, la condition critique d'effondrement sur nanopiliers est dérivée et donnée par l'équation suivante:

$$P_{\min} \geq \sqrt{\frac{128\gamma H^4}{\pi E_Y d^3}} \quad \text{Eq. 2-15}$$

Dans cette équation, P_{\min} est l'espace minimum requis pour éviter l'effondrement à H/d donné si γ et E_Y sont considérés constants (γ est la tension de surface du solvant et E_Y est le module de Young des nanopiliers). Comme expliqué à partir des structures de nanoailettes, les forces de capillarité sont une source d'effondrement. En utilisant ce mécanisme, les nanopiliers en bord de réseau sont poussés par la force capillaire F_{bord} et penchés vers le milieu du réseau, comme le montre la Fig. 2-29 (a). Dans le cas de réseau de nanopiliers, il faut considérer que les forces capillaires s'exercent suivant deux dimensions (X et Y). La force capillaire globale s'exerçant totalement sur les nanopiliers situés aux coins du réseau F_{coin} est plus importante du fait de la rupture de périodicité. En effet, l'absence de voisins au niveau de ces nanopiliers génère une force totale qui est dirigée vers le centre du réseau et explique la direction d'effondrement. De plus, selon l'équation 2-6, la force de capillarité est inversement proportionnelle de l'espace P , par calcul, la force capillaire aux coins du réseau F_{coin} est alors plus forte que la force en bord du réseau F_{bord} , comme illustré au niveau de la Fig. 2-29, ce qui permet d'expliquer que l'effondrement est observé pour les nanopiliers aux coins du réseau et n'est pas observé pour les nanopiliers en bord du réseau (Fig. 2-29 (b)).

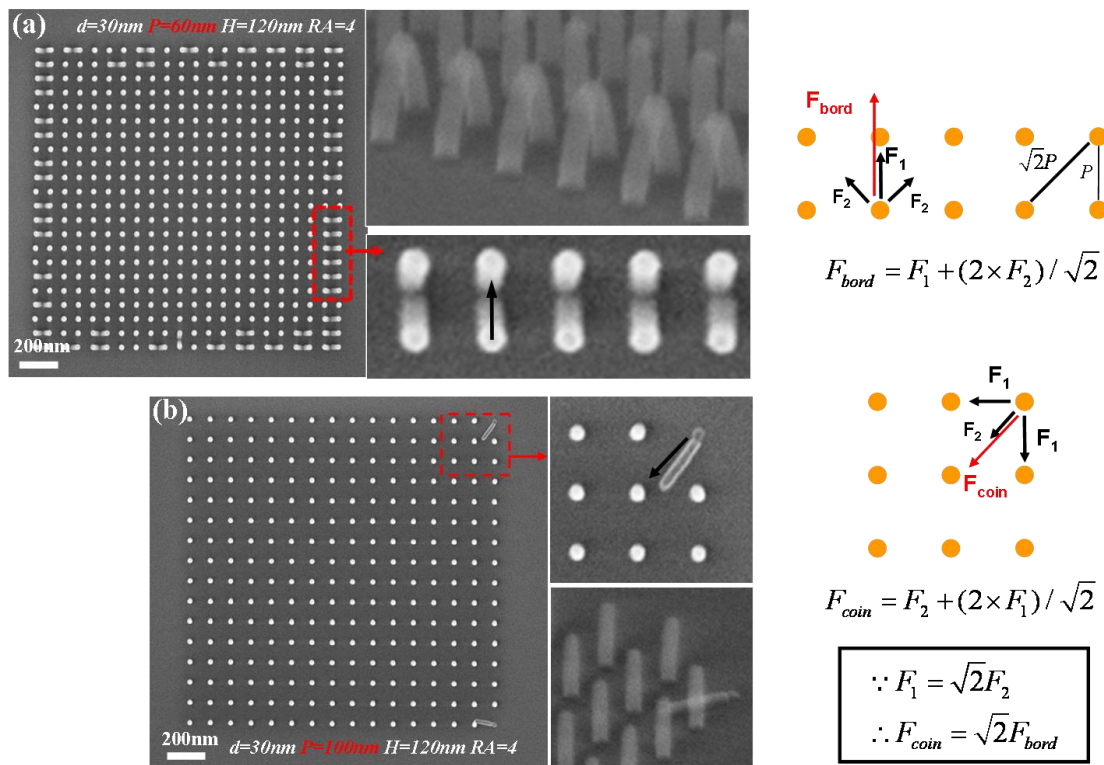


Figure 2-29. Comparaison du phénomène d'effondrement entre des réseaux de même taille de nanopiliers et d'espacements P différents : (a) $P = 60 \text{ nm}$ et (b) $P = 100 \text{ nm}$.

Cependant, comme montrés par l'image MEB en Fig. 2-28 (a) et (b), le phénomène d'effondrement est observé sur tous les nanopiliers de hauteur H de 180 nm sous certains réseaux (A1, A2, B1 et C1) et de hauteur H de 250 nm sous tous les réseaux. En fait, il faut noter qu'il existe une distribution différente du solvant dans un réseau de nanoailettes et de nanopiliers. Pour le réseau de nanoailettes montré par le schéma Fig. 2-30 (a), le solvant dans chaque espacement est isolé. Par contre, dans le cas du réseau de nanopiliers, le problème est bidimensionnel et le solvant est donc continu dans le réseau. La résistance du fluide est alors diminuée pendant l'évaporation du solvant de rinçage et le niveau du solvant n'est pas constant sur le réseau de nanopiliers, comme montré schématiquement par la ligne en pointillés au niveau de la Fig. 2-30 (b). Une force capillaire locale différente est générée sur des nanopiliers situés dans des lieux différents. Les nanopiliers près de la frontière s'effondrent vers le centre, alors que les piliers près du milieu du réseau restent verticaux. Il faut noter que pour un réseau de nanopiliers idéal infiniment uniforme, les nanopiliers au milieu du réseau ne s'effondrent pas parce que les forces capillaires sur ces nanopiliers sont à l'équilibre. En réalité, il existe d'autres paramètres difficilement contrôlables, tels que le déplacement des nanopiliers, les imperfections intrinsèques des nanopiliers et la dynamique de dénoilage, qui pourrait introduire des déformations aléatoires ou l'effondrement de certains nanopiliers. En particulier, ces déformations initiales aléatoires ou l'effondrement de certains nanopiliers pourrait briser la symétrie de l'environnement et provoquer des effets dynamiques.

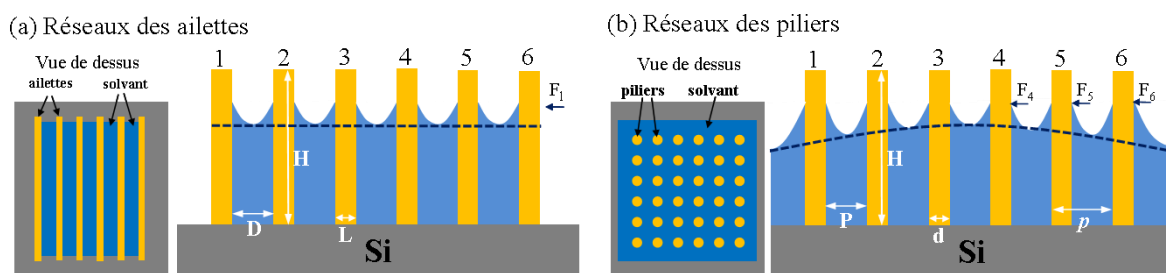


Figure 2-30. Représentation schématique du processus de séchage sur un réseau (a) de nanoailettes et (b) de nanopiliers en considérant un même espacement D (nanoailettes) ou P (nanopiliers).

Les images MEB en vue de dessus au niveau de la Fig. 2-31 (a)-(c) montrent que le phénomène d'effondrement des nanopiliers observé n'est pas homogène, le nombre de nanopiliers regroupés en «grappe» sur les bords du réseau est plus important qu'au milieu, en raison de forces capillaires non homogènes sur le réseau de nanopiliers.

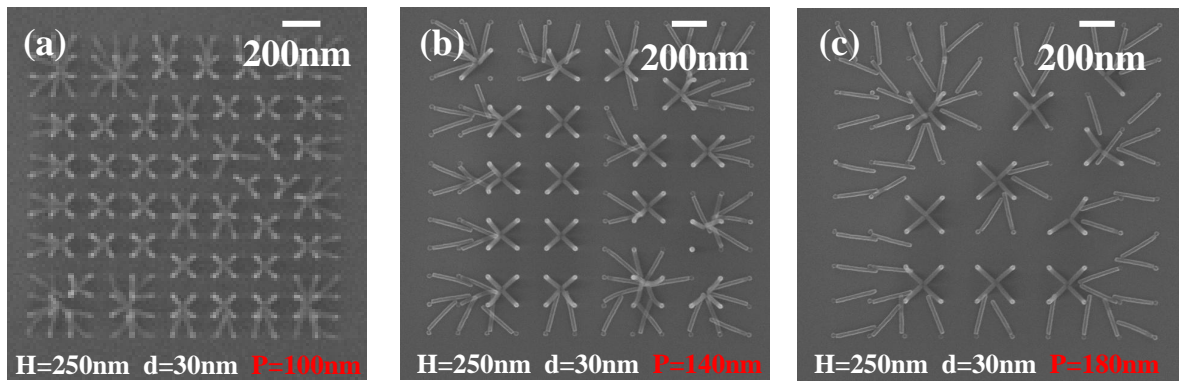


Figure 2-31. Images MEB en vue de dessus illustrant le comportement d'effondrement complet des nanopiliers avec $H = 250 \text{ nm}$, $d = 30 \text{ nm}$ et (a) $P = 100 \text{ nm}$, (b) $P = 140 \text{ nm}$ et (c) $P = 180 \text{ nm}$.

Un autre phénomène intéressant est observé Fig. 2-31, où les nanofils se regroupent par « grappe » pour le réseau de nanofils le plus dense (Fig. 2-31 (a)). Quand le réseau de nanofils est assez dense, l'homogénéité du nombre de nanofils regroupé devient plus élevée après le procédé de séchage. Comme illustré au niveau de la Fig. 2-32 (a), (b) et (c), avec un espacement de 60 nm, l'effet d'effondrement sur ces trois réseaux de nanofils présente des grappes de nanofils très régulières et homogènes pour tous ces réseaux.

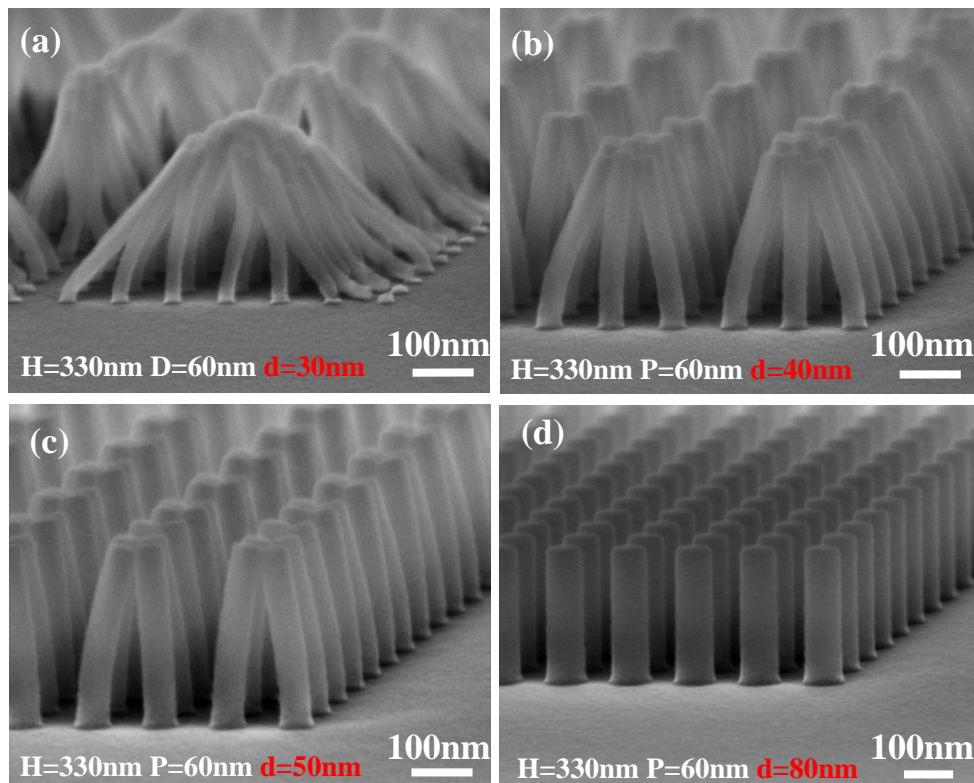


Figure 2-32. Images MEB (vue en coupe) du phénomène d'effondrement pour des réseaux de nanopiliers de différents diamètres (a), $d = 30 \text{ nm}$ (b), $d = 40 \text{ nm}$ (c), $d = 50 \text{ nm}$ et (d), $d = 80 \text{ nm}$.

De plus, la Fig. 2-32 montre la variation du nombre de nanofils regroupé en fonction de diamètre du nanofil en gardant le même espacement ($P = 60$ nm). Pokroy et al. [39] ont observé un phénomène similaire, montrant que le nombre de nanofils regroupé est plus grand avec l'augmentation de la force de capillarité sur le réseau ou la réduction de la rigidité de nanofils. Dans notre cas, la force capillaire agissant sur le réseau ainsi que la rigidité des nanofils est constant, par contre, la variation du diamètre des nanofils est à l'origine de l'évolution de la résistance contre la force capillaire. En effet, il apparaît clairement que le nombre de nanofils regroupé augmente avec la réduction du diamètre des nanofils. Chandra et Yang [40] ont proposé une formulation décrivant le nombre de nanofils en «grappe», N_c en fonction des paramètres du réseau de nanopiliers :

$$N_c = \frac{273 \cos^2 \theta \gamma H^3}{E_y d^2 P^2} \quad \text{Eq. 2-16}$$

Cette équation démontre une relation linéaire entre N_c et $H^3 d^2 P^{-2}$ et N_c est alors plus élevé dans le cas de réseau de nanopiliers pour un rapport H/d élevé et d'espacement P plus faible. Ceci est parfaitement en phase avec les observations réalisées dans le cadre de notre étude, la Fig. 2-32 (a)-(c) pour $d = 30$ nm, 40 nm et 50 nm, N_c est environ 40, 9 et 4, respectivement.

2.3.3 Impact de la géométrie des nanostructures.

Après avoir analysé les comportements d'effondrement des structures de nanoailettes (1D) et nanopiliers (2D), nous avons montré que pour les nanoailettes, la résistance contre l'effondrement est plus forte que pour les nanopiliers. La Fig. 2-33 (a) et (b) montre que pour les mêmes paramètres de réseau de nanopiliers et nanoailettes ($P = 100$ nm ; $d = L = 40$ nm ; $H = 250$ nm ou $RA = 6.3$), l'effondrement est seulement observé pour les nanopiliers. La comparaison des conditions d'effondrement critique entre les réseaux de nanoailettes et de nanopiliers est présenté par le graphe Fig. 2-33 (c). Nous pouvons voir que l'espacement critique P_{min} pour nanopiliers est plus large que pour les nanoailettes pour un même rapport H/L et H/d . Selon les équations 2-12 et 2-15, les conditions critiques d'effondrement sont différentes pour la structure de nanoailettes et nanopiliers en raison du moment quadratique des sections différentes $I_{ailette} = (TL^3)/12$ pour la structure d'ailette et $I_{pilier} = \pi d^4/64$ pour la structure de pilier à section circulaire, ce qui permet d'expliquer que la résistance des structures de nanoailettes contre la force capillaire est plus forte que celle des structures à base de nanopiliers.

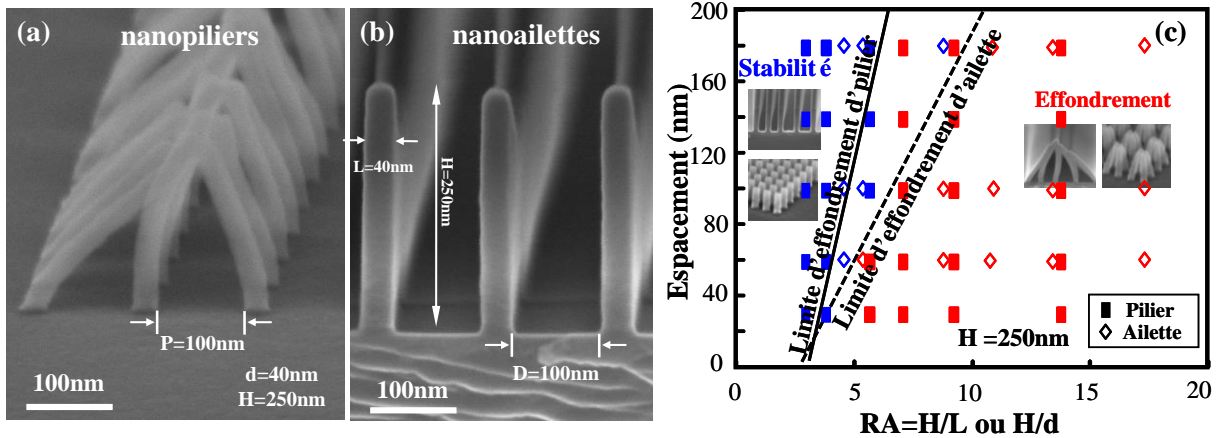


Figure 2-33. Comparaison des comportements d'effondrement entre (a) nanopiliers et (b) nanoailettes avec m ême param ères: $H= 250 \text{ nm}$, $d= L= 40 \text{ nm}$ et $P= D= 100 \text{ nm}$, (c) comparaison des limites d'effondrement entre les structures de nanopiliers et de nanoailettes.

2.3.4 Impact du module de Young.

Le phénomène d'effondrement est ainsi observé pour les réseaux de nanofils de silicium après séchage sous N_2 , comme le montre les Fig. 2-34 (a) et (b). Il faut noter que l'effondrement est seulement observé pour les nanofils de silicium avec un diamètre très fin ($d < 20 \text{ nm}$) ou (H/d) élevé. Selon la relation entre l'espacement et le rapport de hauteur/diamètre, pour les nanopiliers à (H/d) constant, P_{min} diminue quand E_Y (module de Young) augmente, c'est à dire que la résistance contre la force capillaire pour éviter l'effondrement dépend également du module de Young E_Y , les nanopiliers à faible E_Y sont moins rigides et donc plus enclin à se pencher que les nanopiliers plus rigides. Le graphe de la Fig. 2-34 (c) montre que la limite d'effondrement entre les nanopiliers en HSQ et en Si est différente, par exemple, pour une valeur du rapport H/d entre 6 et 8, les nanopiliers de HSQ s'effondrent alors que les nanofils de Si restent verticaux.

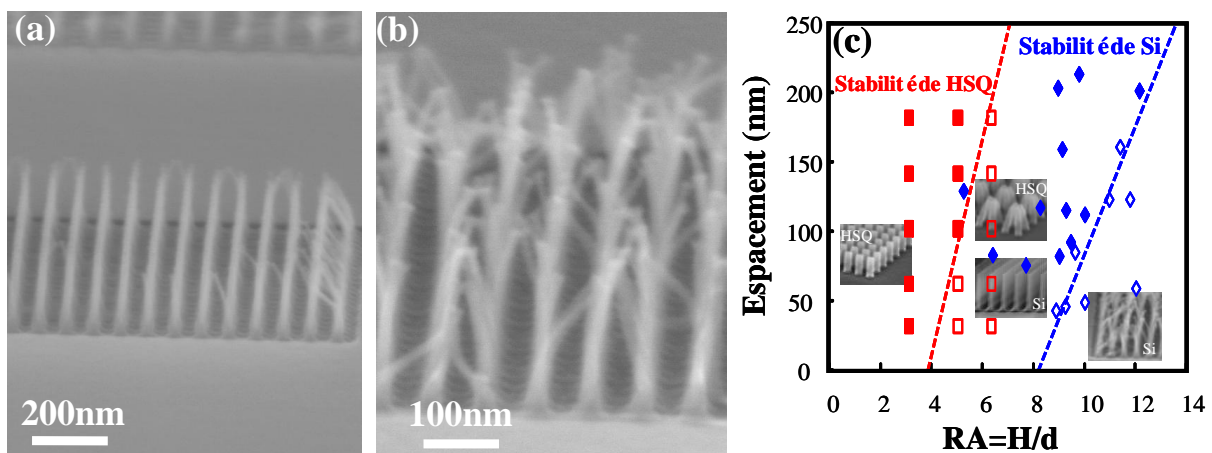


Figure 2-34. (a) et (b) : Images MEB du phénomène d'effondrement du réseau de nanofils en Si, (c) graphe d'effondrement de nanopiliers en HSQ et en Si.

En dérivant l'équation 2-15, on peut obtenir une représentation du module de Young sur la nanostructure du nanopilier en utilisant les paramètres critiques (espacement, P ; diamètre, d et hauteur, H) d'effondrement de nanopiliers (ou nanofils) de HSQ et silicium :

$$E_Y = \frac{128\gamma H^4}{\pi d^3 P^2} \quad \text{Eq. 2-19}$$

Où γ est la tension de surface de l'eau ($72,28 \times 10^{-3}$ N/m à 20 °C). Les résultats sont synthétisés par le tableau 2-6.

Matériau	P (nm)	d (nm)	H (nm)	E_Y (GPa)	Matériau	P (nm)	d (nm)	H (nm)	E_Y (GPa)
HSQ	60	30	130	8,7	Si	87	17	189	101,2
HSQ	80	50	50	14,4	Si	89	17	195	109,6
HSQ	140	35	250	13,7	Si	106	12,3	179	144,8
HSQ	180	30	250	13,2	Si	134	12,5	211	166,7
HSQ	60	30	155	17,5	Si	174	11,5	215	137
HSQ	61	70	280	14,2	Si	55	18,5	190	185,3

Tableau 2-6. Paramètres critiques (espacement, P ; diamètre, d et hauteur, H) d'effondrement de nanopiliers (ou nanofils) de HSQ et silicium et le module de Young E_Y calculé

Le module de Young moyen pour un nanopilier de HSQ est estimé à 13.6 ± 2.6 GPa et le module de Young de nanofils de silicium est 140.8 ± 29.5 GPa (cohérent avec la valeur pour le silicium massif, 130 GPa). Le E_Y du silicium est plus élevé que celui de HSQ, autrement dit, le nanofils de silicium résistera mieux à la force capillaire pour éviter l'effet d'effondrement.

2.3.5 Impact de la tension de surface.

Comme explicité précédemment, la force de capillarité dépend fortement de la tension de surface, γ par l'équation : $P_{Laplace} = (2\gamma \cos\theta)/P$. Si la tension de surface est plus élevée, la force de capillarité est alors plus importante. Afin d'éviter l'effet d'effondrement en réduisant la force capillaire, nous pouvons choisir un solvant avec une tension de surface plus faible. Par exemple, dans notre travail expérimental, nous avons utilisé le solvant méthanol (la surface de tension, γ est $22,7 \times 10^{-3}$ N/m à 20°C) en remplaçant l'eau (la surface de tension, γ est $72,3 \times 10^{-3}$ N/m à 20 °C) pour diminuer la force capillaire pendant le procédé de rinçage et séchage sous N_2 . La Fig. 2-35 montre deux réseaux des nanofils dense après le procédé de rinçage par de l'eau (a) et du méthanol (b), le phénomène d'effondrement des nanofils

verticaux n'est pas observé dans le cas de rinçage par du méthanol en raison de la réduction de la tension de surface.

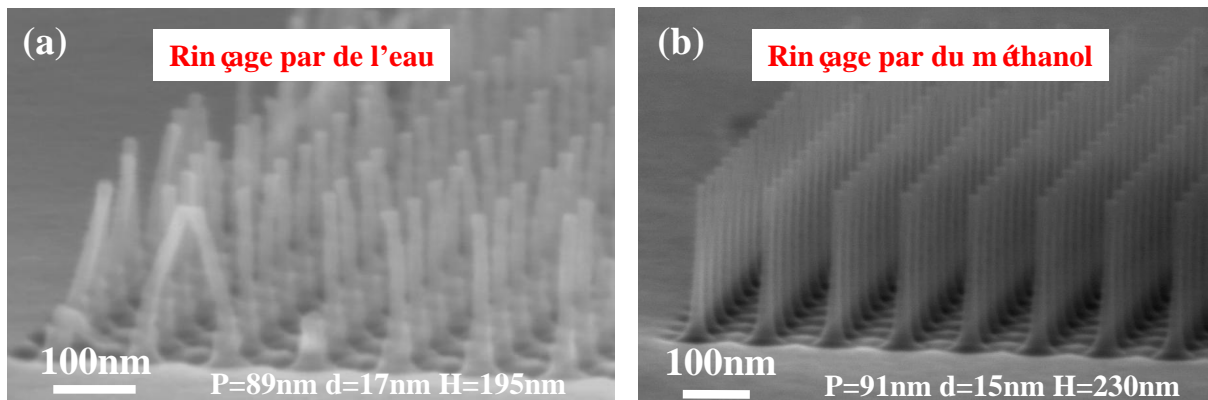


Figure 2-35. (a) Réseau de nanofils après le rinçage par de l'eau et (b) du méthanol, séchage sous N_2 , l'effet d'effondrement est seulement observé dans le cas de rinçage par de l'eau.

Afin de s'affranchir de la tension de surface de la solution de rinçage pour les dispositifs le plus petits, un procédé dit de séchage supercritique est appliqué. Le séchage supercritique est un processus permettant d'évaporer un liquide de manière contrôlée et précise. Il est souvent utilisé dans la production de système micro-électromécanique (MEMS de l'anglais « microelectromechanical system »). Quand une substance traverse la frontière de liquide à gaz (voir le diagramme de phase Fig. 2-36), la substance se volatilise et ainsi le volume de liquide diminue. Lorsque ceci se produit, la tension superficielle à l'interface solide - liquide tire contre toutes les structures auxquelles le liquide est attaché. Les structures sensibles, comme les parois d'une cellule, ou des petites structures MEMS, tendent à être endommagées par cette tension superficielle lorsque l'interface se déplace. Pour éviter ce problème, l'échantillon peut être apporté de la phase liquide à la phase gazeuse sans traverser la frontière liquide-gaz sur le diagramme de phase : lyophilisation, (à gauche du diagramme : basse température, basse pression). Cependant, quelques structures sont perturbées même par la frontière liquide-gaz. Le séchage supercritique, d'une part, amène le liquide vers la droite dans le diagramme de phase, du côté des hautes températures et à haute pression. Lors de cet itinéraire, le liquide à évaporer ne traverse aucune frontière de phase en passant par la région supercritique, où la distinction entre le gaz et le liquide cesse de s'appliquer. Les fluides appropriés au séchage supercritique incluent le dioxyde de carbone CO_2 (point critique de 304.25 K à 7.39 MPa).

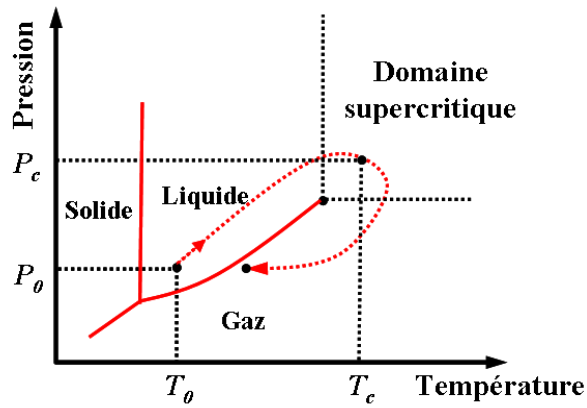


Figure 2-36. Diagramme de phase (Température-Pression). Le mécanisme de séchage supercritique permet de passer de la phase liquide à la phase gazeuse sans croiser la frontière entre ces deux phases.

Dans ce procédé de séchage, l'échantillon est d'abord rincé dans du méthanol et puis transféré immédiatement dans la chambre du sécheur supercritique. Le méthanol est employé pour dissoudre l'eau du rinçage, exploitant la miscibilité complète de ces deux fluides. Le méthanol est alors enlevé avec du dioxyde de carbone liquide à haute pression. Le dioxyde de carbone liquide est chauffé au-delà du point critique de pression. Celle-ci est ensuite graduellement libérée, permettant au gaz de s'échapper et laissant alors l'échantillon parfaitement sec. Les Fig. 2-37 (a) et (b) montrent deux réseaux identiques de nanopiliers de HSQ réalisés par séchage conventionnel (Fig. 2-37 (a)) et par séchage supercritique (Fig. 2-37 (b)). Il apparaît clairement que le séchage supercritique permet de s'affranchir du phénomène d'effondrement. En combinant la lithographie électronique et le séchage supercritique, un réseau ultra-dense ($3.3 \times 10^{10} \text{ cm}^{-2}$) de nanopiliers en HSQ (34 x 34) avec un excellent contraste, un diamètre de 27 nm, une hauteur de 110 nm et un espacement de 28 nm a été fabriqué comme le montre la Fig. 2-38. Ce réseau de nanofils en HSQ a été réalisé sur substrat d'une manière propre en particulier sans aucun résidu de résine dans le réseau, comme illustré par l'image MEB en vue de dessus, représentant ainsi la plus haute densité démontrée expérimentalement.

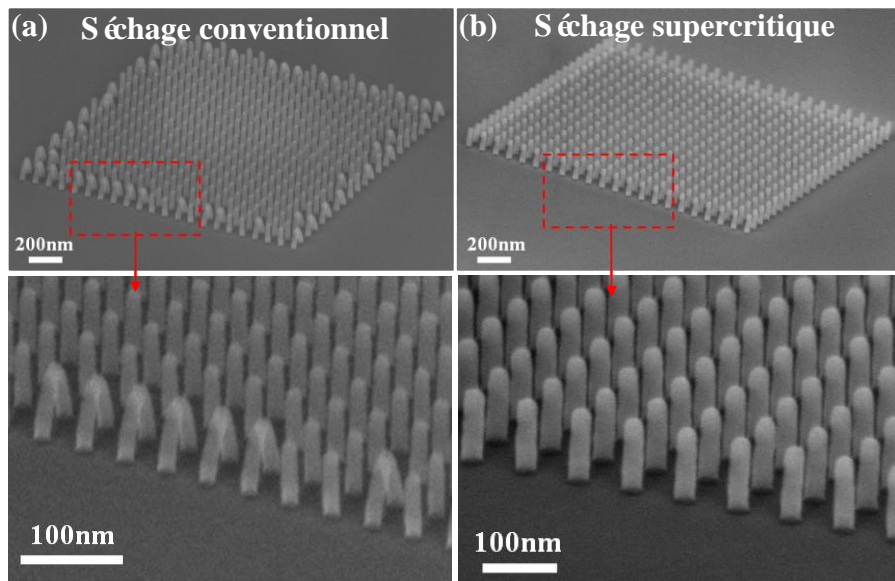


Figure 2-37. Images MEB comparant les résultats (a) après séchage conventionnel et (b) après séchage supercritique.

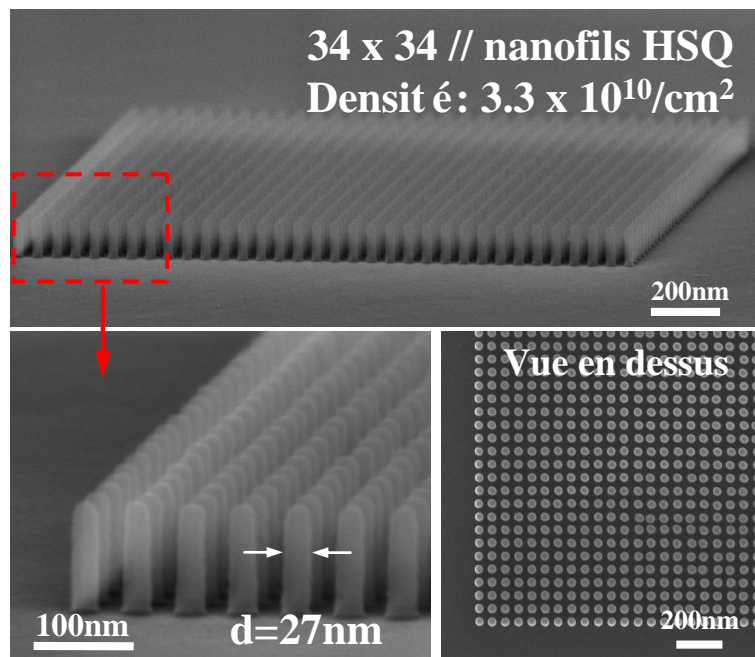


Figure 2-38. Image MEB d'un réseau ultra-dense ($3.3 \times 10^{10} \text{ cm}^{-2}$) de nanopiliers en HSQ (34×34) de diamètre 27 nm, de hauteur 120 nm et d'espacement 28 nm réalisé sans défaut par la méthode combinée de lithographie électronique et de séchage supercritique.

2.3.6 Réalisation des nano-masques par l'effet d'effondrement.

L'organisation et/ou l'auto-assemblage de nano-objets est une étape nécessaire à la création de nano-masques et dispositifs à base de nano-objets (nanoparticule et nanofils). Plusieurs solutions sont proposées, implémentées à l'aide de champs électriques, [41] champs

magnétiques, [42] fluidiques, [43] Langmuir-Blodgett [44]. L'analyse systématique du mécanisme du phénomène d'effondrement induit par la force capillaire sur nano-objets unidimensionnels et bidimensionnels permet d'envisager le développement d'une méthode simple de l'assemblage de nanostructures. En utilisant la condition critique d'effondrement, des réseaux complexes de nanostructures avec un excellent contrôle peuvent être fabriqués. Par exemple, comme le montre les images MEB de la Fig. 2-39 (a)-(e), illustrant quelques nano-masques réalisés en réglant judicieusement certains paramètres des nanofils verticaux de HSQ, tels que la hauteur H , le diamètre d ou les distances P pour contrôler le comportement d'effondrement de réseau de nanofils. La Fig. 2-39 (f) est un autre exemple utilisant les forces de capillarité pour créer des canaux nano-fluidiques.

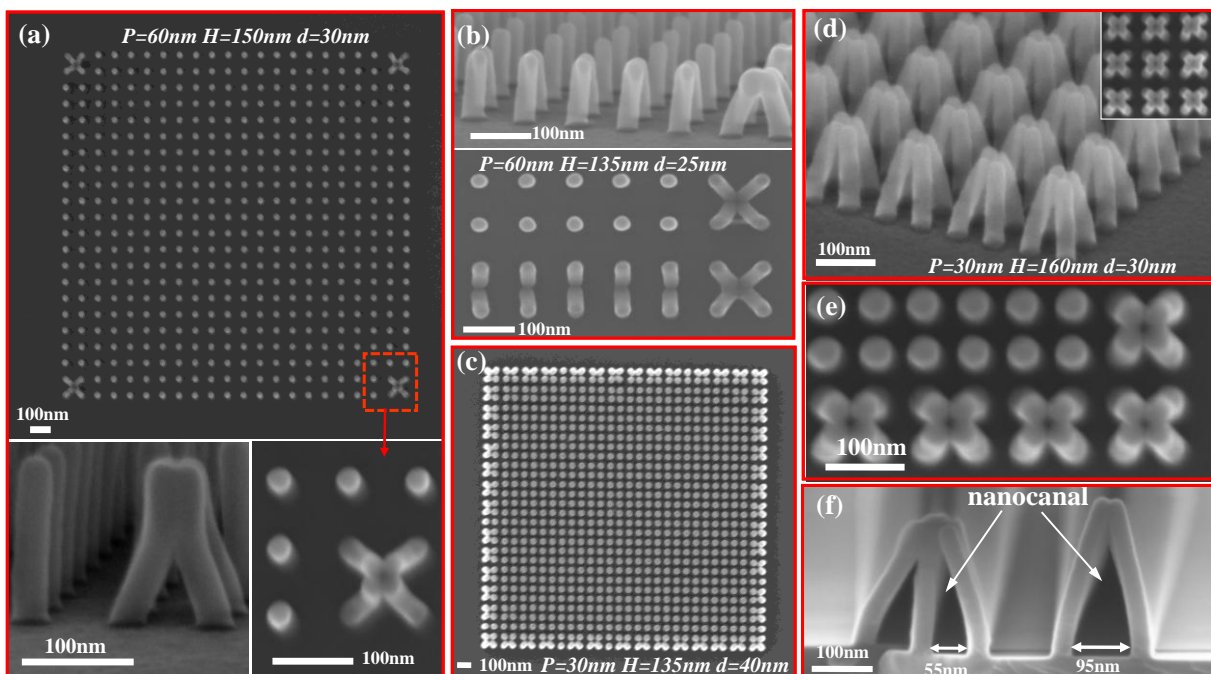


Figure 2-39. Images MEB de la réalisation de nano-masques (a)-(e) et canaux nano-fluidiques (f) par la force capillaire.

Conclusion.

Dans ce chapitre, premièrement la fabrication des réseaux ultra-dense de nanopiliers en HSQ ($4 \times 10^{10} \text{ cm}^{-2}$) avec un diamètre de 27 nm, une hauteur de 120 nm et une reproductibilité parfaite a été démontrée en utilisant la technique de lithographie électronique. Un contraste très élevé a été obtenu en utilisant une tension d'accélération élevée (100 keV), une taille du spot de faisceau très fine (5 nm) et un courant très faible (100 pA), une dose de

base optimisée ($2750 \mu\text{C}/\text{cm}^2$) combinée à une correction d'effet de proximité et un révélateur concentré (TMAH 25%).

Deuxièmement, une gravure plasma a été utilisée pour transférer les motifs du masque en HSQ sur substrat de silicium. Après avoir optimisé les paramètres du procédé un plasma à base d'une chimie purement chlorée a été choisi avec une faible pression (2 mTorr) et une énergie de source (80 W) pour obtenir un profil de gravure très vertical et minimiser l'effet de microtranchée avec un substrat propre sans effet d'herbe. De plus, dans le cas d'un masque très dense, nous avons étudié l'effet de sous gravure par le bombardement des ions diffusés par le masque de HSQ. Pour circonscrire ce problème, la hauteur des nanopiliers de HSQ doit être ajustée. Par cette méthode, nous avons démontré des réseaux de nanofils en silicium ultra-denses ($4 \times 10^{10} \text{ cm}^{-2}$) avec un diamètre de 19 nm, une hauteur de 160 nm et une reproductibilité parfaite.

Dans troisième partie, le phénomène d'effondrement sur des nanostructures, telles que des nanoailettes et des nanopiliers ou des nanofils en HSQ et en silicium a été étudié d'une manière systématique. La force capillaire est responsable de ce phénomène. Nous avons démontré que les conditions d'effondrement dépendent du rapport d'aspect hauteur / largeur ou hauteur/diamètre des nanostructures, de l'espacement entre les nanostructures et du module de Young des matériaux utilisés. Pour éviter l'effondrement des nanostructures et obtenir des réseaux ultra denses, des approches particulières ont été utilisées (solvant à faible tension de surface, sécheur supercritique). Enfin, la fabrication de nanomasques en HSQ a été démontrée avec une parfaite maîtrise des hauteurs, diamètres et espacements. Cette technique permet d'ouvrir une nouvelle voie pour la réalisation de masques nanométriques.

Bibliographie

- [1] M. J. van Bruggen, B. van Someren, and P. Kruit, "Development of a multi-electron-beam source for sub-10 nm electron beam induced deposition," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 23, no. 6, p. 2833, 2005.
- [2] E. Slot et al., "MAPPER: high throughput maskless lithography," in *Proceedings of SPIE, San Jose, CA, USA, 2008*, p. 69211P-69211P-9.
- [3] K. Yamazaki and H. Namatsu, "5-nm-Order Electron-Beam Lithography for Nanodevice Fabrication," *Japanese Journal of Applied Physics*, vol. 43, no. 6, pp. 3767-3771, Jun. 2004.
- [4] H. Namatsu, T. Yamaguchi, M. Nagase, K. Yamazaki, and K. Kurihara, "Nanopatterning of a hydrogen silsesquioxane resist with reduced linewidth fluctuations," *Microelectronic Engineering*, vol. 41-42, pp. 331-334, Mar. 1998.
- [5] W. Henschel, Y. M. Georgiev, and H. Kurz, "Study of a high contrast process for hydrogen silsesquioxane as a negative tone electron beam resist," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 21, no. 5, p. 2018, 2003.
- [6] H. Namatsu, "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 16, no. 1, p. 69, Jan. 1998.
- [7] S. Trelenkamp, J. Moers, A. van der Hart, P. Kordos, and H. Lüth, "Patterning of 25-nm-wide silicon webs with an aspect ratio of 13," *Microelectronic Engineering*, vol. 67-68, pp. 376-380, Jun. 2003.
- [8] T. H. P. Chang, "Proximity effect in electron-beam lithography," *Journal of Vacuum Science and Technology*, vol. 12, no. 6, p. 1271, Nov. 1975.
- [9] F. Fruleux (-Cornu), "Conception, Elaboration et Caractérisation de dispositifs CMOS émergents: Une nouvelle approche d'intégration de transistors multi-grille de type FinFET," *Thèse de doctorat, Université de Lille 1*, 2007.
- [10] H.-S. Lee, J.-S. Wi, S.-W. Nam, H.-M. Kim, and K.-B. Kim, "Two-step resist-development process of hydrogen silsesquioxane for high-density electron-beam nanopatterning," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 27, no. 1, p. 188, 2009.
- [11] Y. Chen, H. Yang, and Z. Cui, "Effects of developing conditions on the contrast and sensitivity of hydrogen silsesquioxane," *Microelectronic Engineering*, vol. 83, no. 4-9, pp. 1119-1123, April.
- [12] V. Sidorkin, E. van der Drift, and H. Salemink, "Influence of hydrogen silsesquioxane resist exposure temperature on ultrahigh resolution electron beam lithography," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 26, no. 6, p. 2049, 2008.
- [13] A. E. Grigorescu, M. C. van der Krogt, C. W. Hagen, and P. Kruit, "10 nm lines and spaces written in HSQ, using electron beam lithography," *Microelectronic Engineering*, vol. 84, no. 5-8, pp. 822-824, May.
- [14] S.-W. Nam et al., "Contrast enhancement behavior of hydrogen silsesquioxane in a salty developer," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 27, no. 6, p. 2635, 2009.
- [15] J.-S. Wi et al., "Fabrication of Silicon Nanopillar Teradot Arrays by Electron-Beam Patterning for Nanoimprint Molds," *Small*, vol. 4, no. 12, pp. 2118-2122, Dec. 2008.

-
- [16] H. V. Jansen, M. J. de Boer, S. Unnikrishnan, M. C. Louwerse, and M. C. Elwenspoek, "Black silicon method: X. A review on high speed and selective plasma etching of silicon with profile control: an in-depth comparison between Bosch and cryostat DRIE processes as a roadmap to next generation equipment," *Journal of Micromechanics and Microengineering*, vol. 19, no. 3, p. 033001, Mar. 2009.
- [17] R. J. Hoekstra, "Microtrenching resulting from specular reflection during chlorine etching of silicon," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 16, no. 4, p. 2102, Jul. 1998.
- [18] K. H. A. Bogart et al., "Mask charging and profile evolution during chlorine plasma etching of silicon," *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 18, no. 1, p. 197, 2000.
- [19] M. A. Vyvoda, "Effects of plasma conditions on the shapes of features etched in Cl₂ and HBr plasmas. I. Bulk crystalline silicon etching," *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 16, no. 6, p. 3247, Nov. 1998.
- [20] G. Larrieu and E. Dubois, "Reactive ion etching of a 20 nanometers tungsten gate using a SF₆N₂ chemistry and hydrogen silsesquioxane hard mask resist," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 23, no. 5, p. 2046, 2005.
- [21] J. M. Lane, F. P. Klemens, K. H. A. Bogart, M. V. Malyshev, and J. T. C. Lee, "Feature evolution during plasma etching. II. Polycrystalline silicon etching," *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 18, no. 1, p. 188, 2000.
- [22] X.-L. Han, G. Larrieu, and E. Dubois, "Realization of vertical silicon nanowire networks with an ultra high density using a top-down approach," *Journal of Nanoscience and Nanotechnology*, vol. 10, no. 11, pp. 7423-7427, Nov. 2010.
- [23] X.-L. Han, G. Larrieu, P.-F. Fazzini, and E. Dubois, "Realization of ultra dense arrays of vertical silicon NWs with defect free surface and perfect anisotropy using a top-down approach," *Microelectronic Engineering*, 2011, doi:10.1016/j.mee.2010.12.102.
- [24] G. S. Oehrlein, R. M. Tromp, Y. H. Lee, and E. J. Petrillo, "Study of silicon contamination and near-surface damage caused by CF₄/H₂ reactive ion etching," *Applied Physics Letters*, vol. 45, no. 4, p. 420, 1984.
- [25] M. M. A. Hakim, L. Tan, O. Bui, W. Redman-White, S. Hall, and P. Ashburn, "Improved sub-threshold slope in short-channel vertical MOSFETs using FILOX oxidation," *Solid-State Electronics*, vol. 53, no. 7, pp. 753-759, Jul. 2009.
- [26] H. Duan and K. K. Berggren, "Directed Self-Assembly at the 10 nm Scale by Using Capillary Force-Induced Nanocoheion," *Nano Letters*, vol. 10, no. 9, pp. 3710-3716, 2010.
- [27] O. du Roure et al., "Force mapping in epithelial cell migration," *Proceedings of the National Academy of Sciences of the United States of America*, vol. 102, no. 7, pp. 2390-2395, Feb. 2005.
- [28] B. A. Evans, A. R. Shields, R. L. Carroll, S. Washburn, M. R. Falvo, and R. Superfine, "Magnetically Actuated Nanorod Arrays as Biomimetic Cilia," *Nano Letters*, vol. 7, no. 5, pp. 1428-1434, May. 2007.
- [29] N. Kaji et al., "Separation of Long DNA Molecules by Quartz Nanopillar Chips under a Direct Current Electric Field," *Analytical Chemistry*, vol. 76, no. 1, pp. 15-22, Jan. 2004.
- [30] R. Chen, M.-C. Lu, V. Srinivasan, Z. Wang, H. H. Cho, and A. Majumdar, "Nanowires for Enhanced Boiling Heat Transfer," *Nano Letters*, vol. 9, no. 2, pp. 548-553, Feb. 2009.
- [31] N. J. Glassmaker, A. Jagota, C.-Y. Hui, and J. Kim, "Design of biomimetic fibrillar interfaces: 1. Making contact," *Journal of The Royal Society Interface*, vol. 1, no. 1, pp. 23-33, Nov. 2004.

-
- [32] M. Kotera and N. Ochiai, "Three-dimensional simulation of resist pattern deformation by surface tension at the drying process," *Microelectronic Engineering*, vol. 78-79, pp. 515-520, Mar. 2005.
- [33] S. H. Kang, B. Pokroy, L. Mahadevan, and J. Aizenberg, "Control of Shape and Size of Nanopillar Assembly by Adhesion-Mediated Elastocapillary Interaction," *ACS Nano*, vol. 4, no. 11, pp. 6323-6331, Nov. 2010.
- [34] T. Tanaka, M. Morigami, and N. Atoda, "Mechanism of Resist Pattern Collapse during Development Process," *Japanese Journal of Applied Physics*, vol. 32, no. Part 1, No. 12B, pp. 6059-6064, Dec. 1993.
- [35] H. Namatsu, "Supercritical resist drying for isolated nanoline formation," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 19, no. 6, p. 2709, 2001.
- [36] K. Yoshimoto and M. P. Stoykovich, "A two-dimensional model of the deformation of photoresist structures using elastoplastic polymer properties," *Journal of Applied Physics*, vol. 96, no. 4, pp. 1857-1865.
- [37] T. Tanaka, M. Morigami, and N. Atoda, "Mechanism of Resist Pattern Collapse," *Journal of The Electrochemical Society*, vol. 140, no. 7, p. L115-L116, Jul. 1993.
- [38] H.-C. Liou and J. Pretzer, "Effect of curing temperature on the mechanical properties of hydrogen silsesquioxane thin films," *Thin Solid Films*, vol. 335, no. 1-2, pp. 186-191, Nov. 1998.
- [39] B. Pokroy, S. H. Kang, L. Mahadevan, and J. Aizenberg, "Self-Organization of a Mesoscale Bristle into Ordered, Hierarchical Helical Assemblies," *Science*, vol. 323, no. 5911, pp. 237 -240, Jan. 2009.
- [40] D. Chandra and S. Yang, "Stability of High-Aspect-Ratio Micropillar Arrays against Adhesive and Capillary Forces," *Accounts of Chemical Research*, vol. 43, no. 8, pp. 1080-1091, 2010.
- [41] X. Duan, Y. Huang, Y. Cui, J. Wang, and C. M. Lieber, "Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices," *Nature*, vol. 409, no. 6816, pp. 66-69, Jan. 2001.
- [42] J. M. Lorcy et al., "Coaxial nickel/poly(p-phenylene vinylene) nanowires as luminescent building blocks manipulated magnetically," *Nanotechnology*, vol. 20, no. 40, p. 405601, Oct. 2009.
- [43] Y. Huang, X. Duan, Q. Wei, and C. M. Lieber, "Directed Assembly of One-Dimensional Nanostructures into Functional Networks," *Science*, vol. 291, no. 5504, pp. 630 -633, Jan. 2001.
- [44] D. Whang, S. Jin, Y. Wu, and C. M. Lieber, "Large-Scale Hierarchical Organization of Nanowire Arrays for Integrated Nanosystems," *Nano Letters*, vol. 3, no. 9, pp. 1255-1259, 2003.
- [45] S. F. Chini and A. Amirfazli, "Understanding Pattern Collapse in Photolithography Process Due to Capillary Forces," *Langmuir*, vol. 26, no. 16, pp. 13707-13714, 2010.

Chapitre 3

Oxydation et siliciuration de nanostructures en silicium.

Introduction.

Ce chapitre est consacré à l'étude de l'oxydation et la siliciuration de nanostructures en silicium. Dans un procédé CMOS, l'oxydation et la siliciuration sont deux étapes importantes. Les mécanismes physiques de diffusion et de réaction dans le cas du silicium massif ont été bien expliqués. Cependant, Ces lois décrivant l'oxydation et la siliciuration dans le cas de structures massives ne sont pas transposables aux cas de structures bidimensionnelles et unidimensionnelles à l'échelle nanométrique. Cette incompatibilité est due à l'influence grandissante des contraintes générées par le procédé d'oxydation et de siliciuration lorsque la taille des structures diminue. La compréhension de ces comportements est alors essentielle pour l'intégration de dispositif à base de nanofils. Au niveau expérimental, l'oxydation thermique est une solution efficace pour réduire le diamètre des nanofils par consommation du silicium lors de l'étape d'oxydation ceci permet également d'optimiser la surface des nanofils, de réduire la rugosité de surface et d'améliorer l'anisotropie du profil des nanofils. Enfin, la siliciuration du platine au niveau des extrémités des nanofils permet de la réalisation des contacts source et drain du transistor à base de nanofils.

3.1 Oxydation de nanostructures de silicium.

En raison des limitations au niveau du procédé de réalisation du masque, comme la résolution ou la fragilité des nanopiliers en HSQ, la réalisation avec une excellente reproductibilité des réseaux de nanofils de silicium avec un diamètre ultra-fin ($d_{Si} < 20$ nm) s'avère difficile. Un procédé d'amincissement des nanofils doit être mis en œuvre après l'étape de gravure. La première solution envisagée est une gravure des nanofils en silicium par voie chimique par l'intermédiaire d'une solution d'acide très concentrée. Au niveau expérimental, des échantillons SOI avec une épaisseur de silicium de 100 nm ont été gravés par la solution de HF 50% durant respectivement 1 heure, 2 heures et 3 heures. En mesurant l'épaisseur de silicium gravée par ellipsométrie, la vitesse moyenne de gravure du silicium est estimée à environ 2 nm/heure (très lente) permettant ainsi une bonne maîtrise des diamètres obtenus.

La Fig. 3-1 (c) présente les nanofils de silicium après une gravure au HF 50 % durant 2 heures. Par comparaison avec les nanofils avant la gravure humide (Fig. 3-1 (b)), cette réaction est efficace car le diamètre des nanofils a diminué. Mais des défauts importants sont provoqués sur la surface des nanofils. En effet, des défauts de surface pyramidaux

apparaissent sur le substrat de silicium, comme le montre la Fig. 3-1 (a). Cette approche a donc rapidement été abandonnée au profit d'un procédé d'oxydation thermique contrôlé.

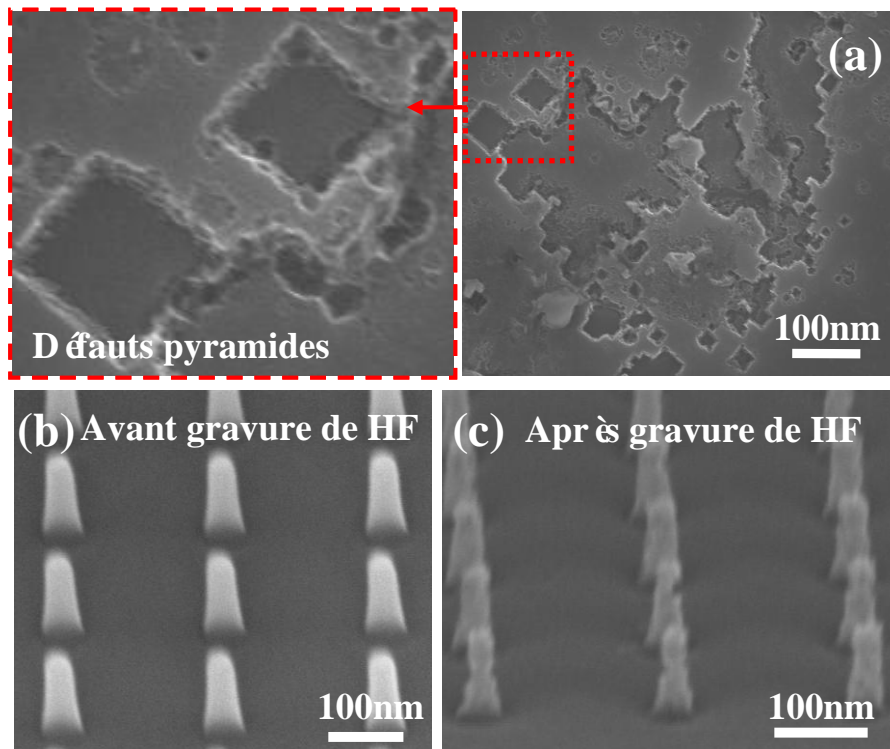


Figure 3-1. (a) Image MEB en vue par-dessus des défauts structuraux sur le substrat de silicium provoqués par une gravure par une solution HF 50 % durant 2 heures. (b) Image MEB en vue tiltée de réseau de nanofils de silicium réalisé par RIE sans gravure de HF. (c) Image MEB d'un réseau de nanofils après une gravure par HF 50 % durant 2 heures.

Cette méthode d'amincissement par oxydation est composée de deux étapes : l'oxydation réduisant le diamètre des nanofils par consommation de silicium par réaction entre l'oxygène et le silicium puis la gravure de l'oxyde de silicium par voie chimique. En plus d'une réduction du diamètre, nous démontrerons que l'anisotropie du profil du nanofil est améliorée et la présence de défauts de surface (rugosité) induite par la gravure RIE est diminuée.

3.1.1 Croissance de l'oxyde de silicium sur substrat massif.

La réaction chimique décrivant l'oxydation thermique du silicium en présence d'une atmosphère d'oxygène est : $Si (solide) + O_2 \rightarrow SiO_2 (solide)$. Au cours de cette réaction, l'oxygène diffuse à travers l'oxyde déjà créé pour réagir avec la surface de silicium décalant ainsi le front de la réaction Si-SiO₂ dans la couche de silicium. A partir des densités et des masses molaires respectives de Si et SiO₂, il est possible d'estimer que pour une épaisseur

d'oxyde formée H_{ox} , 44 % de cette épaisseur sera consommé dans le silicium H_{Si} , (autrement dit $H_{Si}=0.44 H_{ox}$ et $H_{ox}=2.27 H_{Si}$), comme le montre la Fig. 3-2.

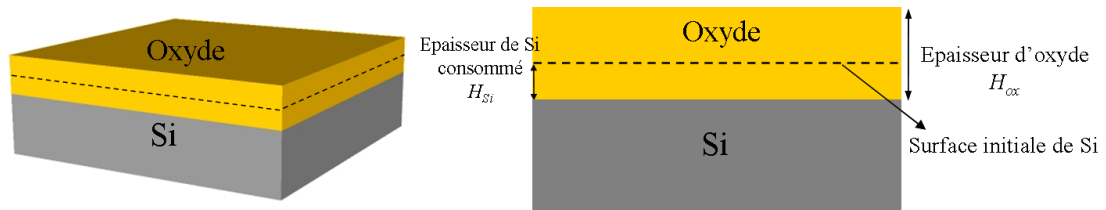


Figure 3-2. Représentation schématique du modèle d'oxydation thermique, le silicium consommé représente 44 % de l'épaisseur de couche oxyde, H_{ox} est épaisseur d'oxyde et H_{Si} est épaisseur de silicium consommé par oxydation thermique.

Deal et Grove [1] ont décrit le mécanisme d'oxydation basé sur un système de diffusion / réaction qui permet de décrire l'oxydation thermique du silicium. Ils ont obtenu un modèle linéaire-parabolique en considérant la cinétique du transport de l'oxydant et de la réaction avec le silicium à l'interface Si/SiO₂. Ce modèle est basé sur l'hypothèse que le procédé d'oxydation se fait par le transport de l'espèce oxydante vers l'interface de Si/SiO₂. Comme le montre le schéma au niveau de la Fig. 3-3, le flux de l'espèce oxydante est décomposé en trois étapes distinctes : (I) le flux en phase gazeuse peut être estimé linéairement extrapolé (F_1) afin d'obtenir la distribution de concentration d'oxygène à l'interface supérieure de l'oxyde ; (II) les oxydants diffusent à traverser l'oxyde existant vers l'interface Si-SiO₂ avec un flux F_2 ; (III) les espèces oxydantes réagissent avec le silicium pour former le dioxyde de silicium. L'oxydants consommés par la réaction à l'interface est représenté le flux F_3 . A l'état d'équilibre, le flux total est : $F=F_1=F_2=F_3$.

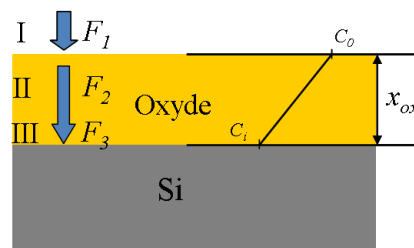


Figure 3-3. Modèle d'oxydation de Deal-Grove [1] : Les trois flux, F_1 , F_2 et F_3 représentent le flux de la concentration d'oxygène à l'état gazeux dans une atmosphère proche de la surface d'oxyde, dans l'oxyde et à l'interface SiO₂/Si, respectivement.

Le flux F_1 est supposé proportionnel à la différence entre la concentration de l'espèce oxydante dans le gaz et la concentration à la surface de l'oxyde. En l'absence de dissociation, la concentration d'équilibre de l'oxydant dans l'oxyde, C^* , est donné par la loi de Henry. Donc, si les espèces diffusantes à travers l'oxyde est l'oxygène moléculaire, nous avons :

$$F_1 = h(C^* - C_0) \quad \text{Eq. 3-1}$$

où h est coefficient du transfert de masse en phase gazeuse, C_0 est la concentration des oxydants au niveau de la surface de l'oxyde.

La loi de Fick donne le flux de l'oxydant à travers l'oxyde. A l'état d'équilibre, le flux F_2 est constant et décrit par l'équation :

$$F_2 = D_{eff} \frac{C_0 - C_i}{x_{ox}} \quad \text{Eq. 3-2}$$

où D_{eff} est le coefficient de diffusion et C_i est la concentration des oxydants dans l'oxyde près de l'interface de Si/SiO₂. Le flux correspondant à la réaction d'oxydation est lié à C_i par la constante de la vitesse de réaction, k :

$$F_3 = kC_i \quad \text{Eq. 3-3}$$

Pour l'état d'équilibre, C_i et C_0 peuvent être éliminés par $F_1 = F_2$ et $F_2 = F_3$ et nous avons alors :

$$F = \frac{kC^*}{1 + k/h + kx_{ox}/D_{eff}} \quad \text{Eq. 3-4}$$

La vitesse de croissance de l'oxyde peut être déterminée en divisant le flux par le nombre de molécules oxydantes N incorporée dans une unité de volume d'oxyde:

$$\frac{dx_{ox}}{dt} = \frac{kC^*}{N(1 + k/h + kx_{ox}/D_{eff})} \quad \text{Eq. 3-5}$$

Si l'épaisseur initiale x_i est représentée par un décalage temporel τ , la variation d'épaisseur d'oxyde formée en fonction du temps t est exprimée par l'équation suivante:

$$x_0^2 + Ax_0 = B(t + \tau), \text{ avec}$$

$$A \equiv 2D_{eff}(1/k + 1/h), B \equiv 2D_{eff}C^*/N, \tau \equiv (x_i^2 + Ax_i)/B \quad \text{Eq. 3-6}$$

Où B/A est la constante caractérisant le régime linéaire et B caractérise le régime parabolique. En résolvant l'équation 3-6, nous avons :

$$\frac{x_{ox}}{A/2} = \sqrt{1 + \frac{t + \tau}{A^2/4B}} - 1 \quad \text{Eq. 3-7}$$

Pour un temps d'oxydation relativement long, $t \gg A^2/4B$ et $t \gg \tau$, l'équation 3-7 se simplifie comme $x_{ox}^2 = Bt$, la couche d'oxyde est relativement épaisse et l'oxydation est limitée par la diffusion de l'oxygène dans l'oxyde. Le paramètre B est alors déterminant pour

la description de la réaction. Par contre, pour un temps d'oxydation relativement court, $t \ll A^2/4B$, $x_{ox} = (B/A)(t+\tau)$. La couche d'oxyde est plus fine et la diffusion de l'oxygène est plus rapide. L'oxydation dépend alors fortement de la réaction à l'interface Si/SiO₂ décrit par le paramètre B/A , qui caractérise la vitesse de croissance de l'oxyde dans le régime linéaire.

Le four d'oxydation utilisé durant ces expériences est un four classique horizontal et la croissance de l'oxyde est effectuée par un processus d'oxydation humide. Le procédé d'oxydation peut être décomposé en différentes étapes : la première étape est la température d'entrée (500°C sous N₂) à la température d'oxydation (850 °C sous 2.5 L/min N₂) avec une rampe de montée de 10 °C/min. Ensuite, une étape de pré-oxydation pendant 5 min (850 °C sous 1.5 L/min O₂), qui tient un rôle important dans les propriétés de l'oxyde formé. La troisième étape correspond à l'oxydation humide (1.5 L/min O₂ et 2.5 L/min H₂), dont la durée variable de 10 min à 40 min permet de générer des épaisseurs d'oxyde différentes. Enfin, une rampe de descente de 5 °C/min sous atmosphère inerte (2.5 L/min N₂) à une température de 400 °C. Il est important de préciser que toutes les oxydations sont réalisées sous pression atmosphérique (1 atm).

Une série d'expérience pour le procédé d'oxydation humide à 850 °C a été réalisée avec différents temps d'oxydation (10 min, 20 min, 30 min et 40 min, respectivement). Les mesures d'épaisseurs obtenues au cours de cette étude ont été réalisées par ellipsométrie, une méthode non destructive à base de la mesure de changements d'états de polarisation d'un faisceau lumineux réfléchi par la surface d'oxyde sur silicium. La Fig. 3-4 (a) montre les cinétiques expérimentales pour des interfaces planes avec des orientations cristallines différentes réalisées à 850 °C (rouge) et 785 °C (bleu) [2] superposées avec le modèle de Deal-Grove [1]. La croissance d'oxyde est linéaire avec la durée d'oxydation et l'accord entre la cinétique expérimentale au niveau du plan (100), (111) et le modèle de Deal-Grove est bon, mais ce modèle sous-estime l'épaisseur d'oxyde au niveau de plan (110) en comparaison avec les points expérimentaux. En effet, dans le modèle de Deal-Grove, le rapport entre la constante d'oxydation entre le (110) et le (100) est fixé à 1.45, $(B/A)_{110} = 1.45 (B/A)_{100}$, nous avons modifié la constante de 1.45 à 2.6 pour le modèle de Deal-Grove, et ceci permet de donner un excellent accord entre les points expérimentaux et le modèle modifié comme le montre la Fig. 3-4 (b). Cette approche avait été également réalisée par Ngau et al. [2], car il est probable que l'effet de l'orientation cristalline soit sous-estimé dans le cas du (110) pour de courtes durées d'oxydation.

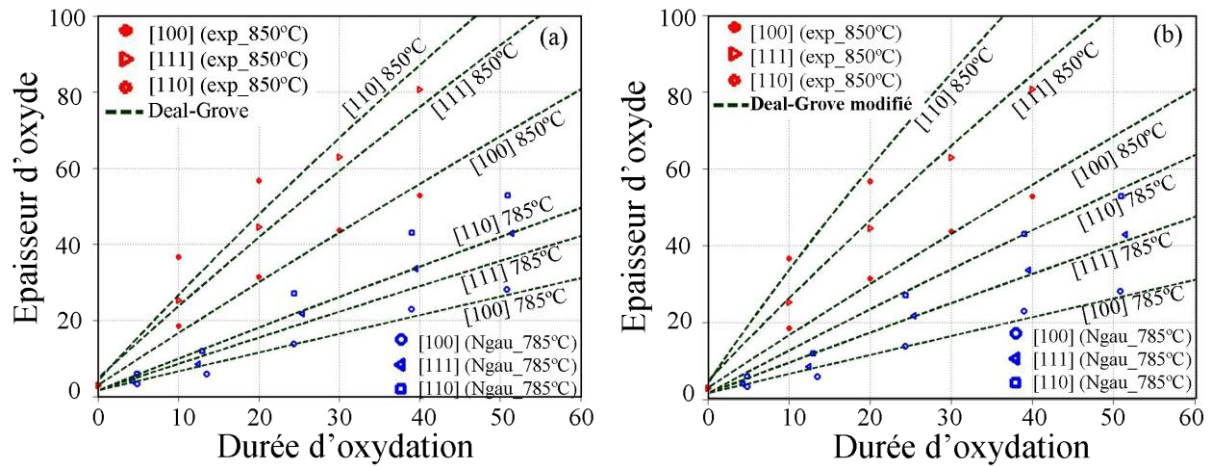


Figure 3-4. Cinétique expérimentale de la croissance d'oxyde par voie humide à 850 °C et 785 °C (Ngau et al. [2]) pour les plans cristallins [100], [111] et [110] en comparaison avec le modèle de Deal-Grove (a) et modèle modifié par C. Krzeminski (b).

3.1.2 Oxydation de nanostructures bidimensionnelles de silicium.

3.1.2.1 Description expérimentale.

Le but de cette section est la description de l'oxydation de la structure des nanoailettes (structure 2D) afin d'appréhender les mécanismes d'oxydation dans des structures nanométriques de géométrie simple. Une série expérimentale est réalisée par oxydation humide à 850 °C pour des nanoailettes gravées avec des largeurs de 15 nm à 100 nm, une hauteur de 110 nm ou 240 nm pendant 10 min et 20 min, respectivement. Afin de mieux observer la couche d'oxyde généré, une couche conforme de poly-silicium d'environ 120 nm d'épaisseur est déposée par LPCVD (de l'anglais : « Low Pressure Chemical Vapor Deposition »). Ensuite, l'échantillon est coupé au milieu des nanoailettes, puis immergé dans une solution de HF 10 % dilué par du méthanol pendant 1 min afin de graver l'oxyde et de créer une cavité permettant d'améliorer largement le contraste des images, comme le présente l'exemple Fig. 3-5 (a). L'évolution de la forme de la nanoailette observé montre que la couche d'oxyde générée par oxydation n'est pas uniforme, la partie supérieure de la nanoailette a une forme relativement triangulaire après oxydation : (1) la couche d'oxyde généré sur les surfaces latérales des nanoailettes (110) est plus épaisse que celui sur substrat (100), principalement, en raison de la dépendance avec l'orientation cristalline de l'oxydation ; (2) la couche d'oxyde est également plus épaisse au niveau de la position à mi-hauteur des nanoailettes en comparant avec la position haut (position 1) et bas (position 2), comme le montre les images en grossissement au niveau de la Fig. 3-5 (b) et (c). La cinétique d'oxydation sur des nanostructures dépend de la contrainte distribuée dans l'oxyde pendant

l'oxydation. En effet, Marcus et al. [3] ont trouvé que lors de l'oxydation des tranchées de silicium, un effet retard avait été observé dans les coins concaves.

Si on ne considère que les effets de la géométrie sur le flux des espèces oxydantes à la surface du silicium, l'oxydation des surfaces concaves est plus lente que sur une surface plane en raison de la diminution de la surface d'exposition à la concentration ambiante. Lorsque l'oxyde croît sur une surface plane, la zone de l'interface gaz/oxyde est la même que celle de l'interface de l'oxyde/silicium. Lorsque l'oxyde croît sur une surface concave, la surface à l'interface gaz/oxyde est inférieure à celle de l'interface oxyde / silicium. Ceci est dû à la différence de rayons de courbure où le flux initial est finalement distribué sur une plus grande surface de réaction, ce qui réduit la vitesse d'oxydation.

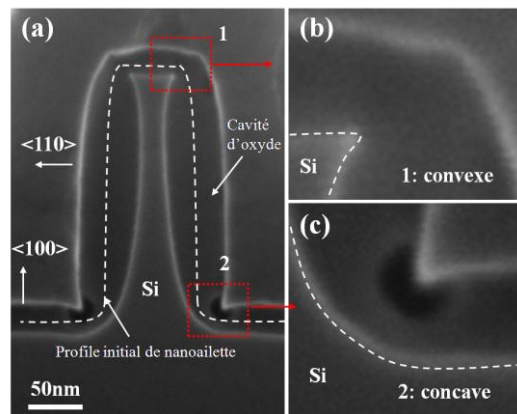


Figure 3-5. (a) Image MEB (vue en coupe) du profil d'oxydation de la nanoailette et (b) et (c) grossissement sur la structure convexe et concave respectivement.

En général, une contrainte en compression se crée dans la couche d'oxyde lorsque son volume molaire est supérieur à celui de la matière oxydée [4]. Comme mentionné ci-dessus, une augmentation du volume molaire accompagne la transformation de Si en SiO₂. Le volume d'une molécule de SiO₂ est 45 Å³, le volume d'un atome de silicium est seulement de 20 Å³. Cette expansion, limitée par l'espace d'interface Si/SiO₂ et peut conduire à une contrainte compressive dans une couche d'oxyde. Cela a été observé in-situ via des mesures de courbure de plaque par EerNisse [5] durant l'oxydation humide et plus tard par Kobeda [6] lors d'oxydation sèche.

La diffusion d'oxygène à travers une couche d'oxyde est diminuée par la contrainte compressive d'oxyde et la réaction chimique d'oxydation est également limitée par la contrainte compressive à l'interface Si/SiO₂, ce phénomène s'appelle oxydation retardée [7] ou limitée par les contraintes.

3.1.2.2 Influence de la hauteur de nanoailettes sur la contrainte compressive.

Deux séries de structure de nanoailettes sont définies avec une variation de la largeur de 15 nm à 100 nm et de la hauteur de 110 nm et 240 nm, respectivement. Après une oxydation humide à 850 °C de durée 10 min, le profil de nanoailettes (vue en coupe) est observé par MEB comme le montre les Fig. 3-6 (a1-a3) et la Fig. 3-6 (b1-b3). Afin de simplifier l'analyse, l'épaisseur d'oxyde est mesurée au milieu de la hauteur et les résultats sont tracés au niveau du graphe Fig. 3-6 (c). En résumé pour une structure de dimension inférieure à 35 nm, le centre de la nanoailette en silicium est complètement consommé. Pour la structure avec une plus grande largeur ($L = 40$ nm ou 60 nm), la nanoailette en silicium n'est pas complètement consommée et l'épaisseur d'oxyde au niveau du milieu de la nanoailette est indépendante de la largeur de celle-ci. Par contre, l'épaisseur d'oxyde dépend de la hauteur de car en raison de variation de vitesse d'oxydation sur les parois de la nanoailette, le flanc n'est pas rectiligne mais présente une face courbée. D'un point de vue géométrique, la nanoailette avec une hauteur moins grande a un rayon de courbure plus petit, ce qui entraîne une contrainte compressive plus forte et donc une croissance d'oxyde plus faible par rapport à une nanoailette avec une hauteur plus grande. Par exemple, pour une oxydation humide de 20 min, l'épaisseur de la couche d'oxyde est de 54 nm pour une hauteur d'ailette de 240 nm alors qu'elle n'est que de 43 nm pour une hauteur de 110 nm. Ainsi, lors que la hauteur de nanoailette augmente, le comportement au niveau de l'oxydation se rapproche de celle du substrat silicium (110) avec un phénomène de relaxation de la contrainte latérale.

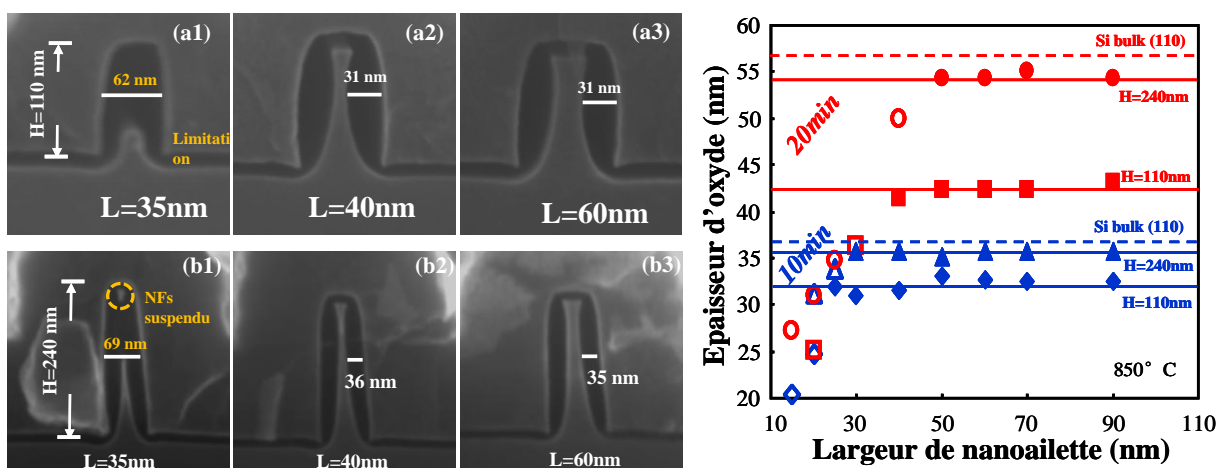


Figure 3-6. Images MEB (vue en coupe) des profils de nanoailettes avec $H = 110$ nm (a1-a3) et $H = 240$ nm (a1-a3) et $L = 35$ nm, 40 nm et 60 nm respectivement pour une oxydation humide à 850 °C pendant 10 min. (c) Variation de l'épaisseur d'oxyde en fonction de la largeur de la nanoailette pour une oxydation humide à 850 °C pendant 10 min et 20 min.

Afin de mieux comprendre le mécanisme d'oxydation au niveau de la structure de nanoailettes, les résultats expérimentaux ont été comparés à des simulations de procédés réalisés à l'aide du logiciel TSUPREM-4, Synopsys TCAD, qui permettent notamment d'estimer la répartition des contraintes dans la structure. Les Fig. 3-7 (b) et (c) montrent l'évolution de la distribution des contraintes selon la direction latérale (l'axe X) et horizontale (l'axe Y), à l'interface et dans l'oxyde et le silicium, respectivement. (L'axe X et Y sont montrés schématiquement sur la Fig. 3-7 (a)). La contrainte compressive dépend ainsi de la hauteur des nanoailettes car des niveaux des contraintes plus forts sont observés pour la structure avec une hauteur plus courte. D'un autre côté il convient de noter que la distribution de la contrainte latérale à l'interface a une valeur quasi-constante avec l'augmentation de la largeur de nanoailette. Ce résultat peut être corrélé avec le fait que la vitesse d'oxydation est constante avec l'augmentation de la largeur de nanoailette. La Fig. 3-7 (d) montre une image MEB (vue en coupe) qui illustrent l'accord intéressant entre les structures simulées et expérimentales sur une nanoailette partiellement oxydée, ce qui permet de confirmer que ce modèle est un outil intéressant pour affiner l'analyse physique des résultats expérimentaux.

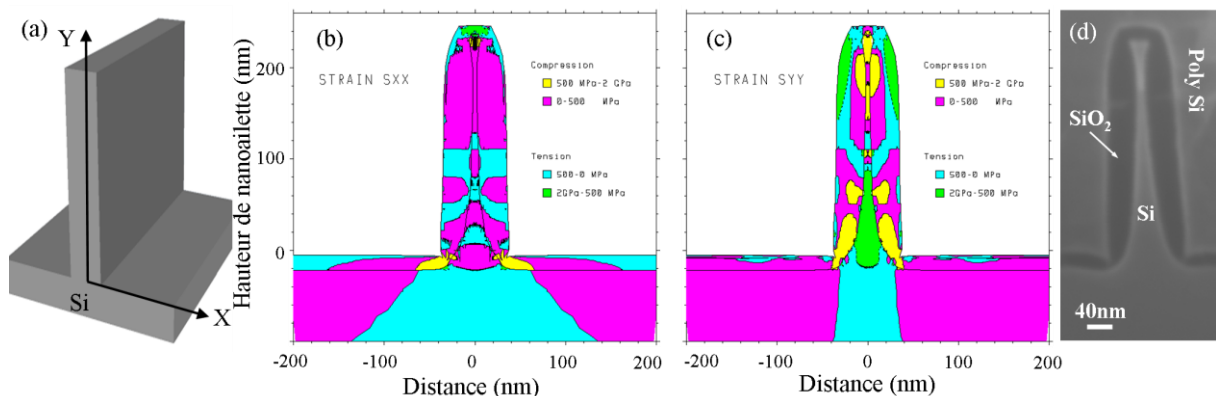


Figure 3-7. (a) Représentation schématique 3D de la nanoailette. Distribution des contraintes dans l'oxyde et le silicium générée par l'oxydation d'une structure de nanoailette simulée à l'aide du logiciel TSUPREM-4, Synopsys TCAD (b) selon X et (c) selon Y par voie humide à 850 °C pendant 10 min. (d) Image MEB (vue en coupe) de la nanoailette oxydée qui démontre le bon accord avec la structure simulée.

Cette approche peut être utilisée pour réaliser des nanofils de silicium horizontaux avec des diamètres ultimes en partant d'une structure de nanoailette et en contrôlant les conditions d'oxydation sur un substrat SOI [8] [9]. Comme le montre la Fig. 3-8, deux nanofils de silicium suspendus avec des diamètres de 5 nm et 7 nm ont été réalisés à partir de nanoailettes avec une largeur initiale, $L = 35$ nm et 40 nm, respectivement. Une partie de la nanoailette de silicium est complètement consommée lors d'une oxydation humide de 10 min. Cette structure à base de nanofils a été utilisée dans des nanodispositifs, telle que des

mémoires à base d'un électron unique [10] ou des mémoires flash [11] ou MOSFET à base de nanofils à multiple-grille [12].

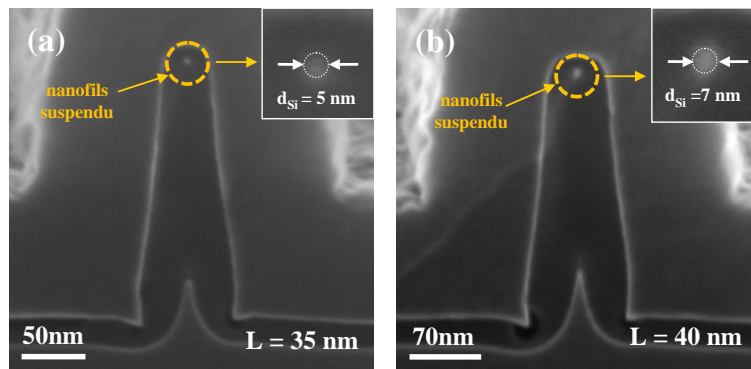


Figure 3-8. Images MEB (vue en coupe) pour une oxydation de la nanoailette, les nanofils suspendus sont alors réalisés par un effet d'autolimitation de l'oxydation.

3.1.3 Oxydation des nanostructures unidimensionnelles de silicium.

3.1.3.1 Description expérimentale de l'oxydation autolimitée.

La Fig. 3-9 présente un exemple de représentation schématique du procédé d'oxydation sur des réseaux de nanofils verticaux (structure 1D) et ses images MEB correspondantes : (a) un réseau de nanofils de silicium avec un diamètre de 42 nm et une hauteur de 220 nm est soumis à une oxydation humide à 850 °C pendant 10 min, une couche d'oxyde est générée sur la surface des nanofils et sur le substrat de silicium, (b) puis cette couche est gravée chimiquement par une solution de HF, (c) un nouveau réseau de nanofils d'un diamètre de 13 nm et une hauteur de 220 nm est obtenu.

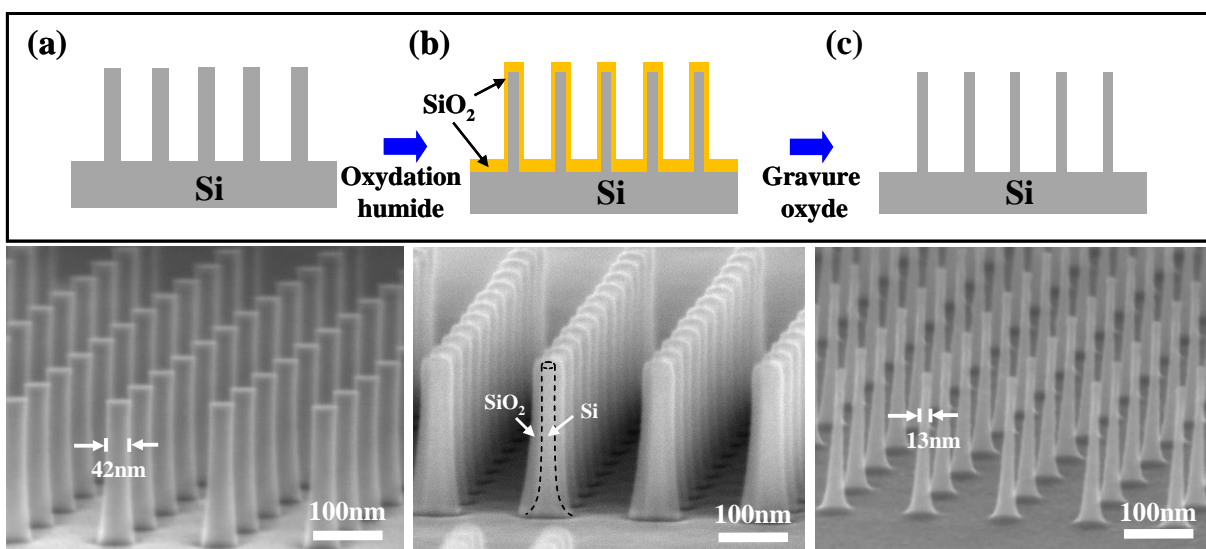


Figure 3-9. Représentation schématique du procédé d'oxydation et images MEB correspondantes pour un réseau de nanofils verticaux en silicium : (a) réseau des nanofils obtenu par RIE, (b) croissance d'oxyde humide et (c) gravure de l'oxyde par solution de HF.

Lorsque l'on observe ces nanofils de silicium après une oxydation en vue de dessus, la dépendance de l'oxydation en fonction de l'orientation cristalline apparaît dans le cas de nanofils de silicium pour un diamètre relativement grand de l'ordre de 100 nm, comme le montre la Fig. 3-10 (a1) et (a2). L'oxydation est plus rapide suivant la direction $\langle 110 \rangle$ que $\langle 100 \rangle$ et la forme des nanofils en vue de dessus n'est alors pas parfaitement circulaire. Par contre, il apparaît que l'influence de l'orientation est moins prépondérante pour des nanofils de largeur d'échanométrique ($d_{Si} = 40$ nm), comme le montre la Fig. 3-10 (b1) et (b2). La forme des nanofils observée en vue de dessus est quasi circulaire après oxydation. Dans ces nanofils de plus petits diamètres, la contrainte compressive est beaucoup plus importante rendant l'influence des effets d'orientation cristallins, des discussions plus précises seront présentées dans la partie suivante.

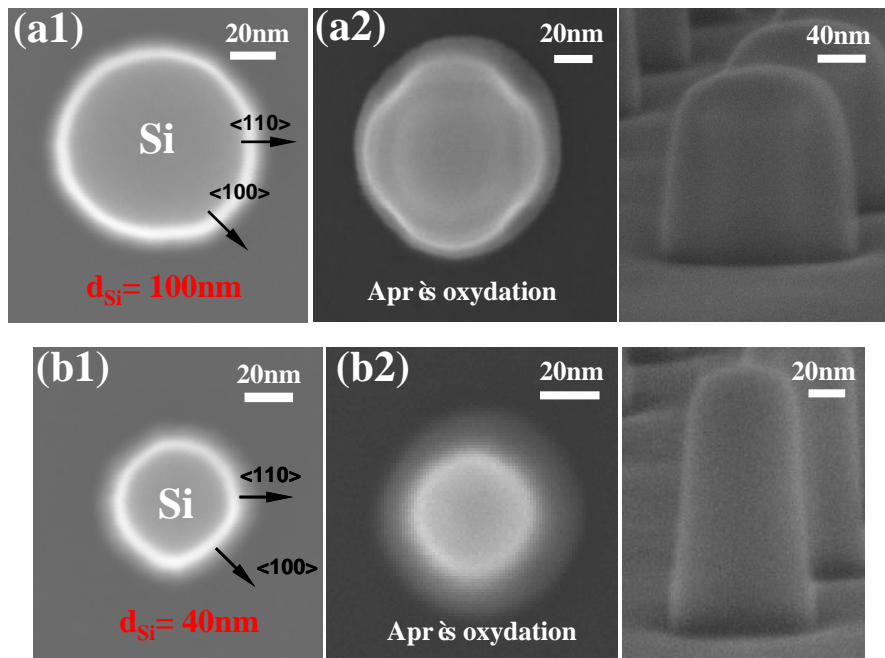


Figure 3-10. Images MEB en vue de dessus pour des nanofils de silicium avec (a1) diamètre du nanofil de silicium, $d_{Si} = 100$ nm et (b1) $d_{Si} = 40$ nm avant oxydation et images MEB (vue de dessus) et (vue en coupe) pour des nanofils de silicium avec (a2) $d_{Si} = 100$ nm et (b2) $d_{Si} = 40$ nm après oxydation, respectivement.

Afin de mieux analyser les mécanismes d'oxydation sur ces nanofils, des expériences systématiques d'oxydation humide à 850 °C d'une durée 10 min, 20 min, 30 min et 40 min, respectivement ont été réalisées sur des nanofils avec des diamètres de 43 nm, 73 nm, 93 nm et 133 nm et de hauteur 160 nm. En mesurant à partir d'une image MEB en haute résolution, le diamètre au niveau du milieu des nanofils après gravure d'oxyde d_{Si} et après oxydation d_{ox} , l'épaisseur de la couche d'oxyde sur la paroi du nanofil t_{oxyde} est donnée par l'équation :

$t_{oxyde}=(d_{ox} - d_{Si})/2$. Les épaisseurs d'oxyde pour les diamètres différents de nanofils sont tracées en fonction de la durée d'oxydation Fig. 3-11 (a). Les cinétiques d'oxydation pour un substrat de silicium d'orientation (100) et (110) (ligne pointillé en noir et en rouge) sont données à titre de comparaison. Pour simplifier l'analyse, on assume le fait que la couche d'oxyde est uniforme sur les nanofils à une hauteur fixée en ignorant l'effet d'orientation cristalline pour l'oxydation. En comparaison l'épaisseur d'oxyde pour un substrat de silicium (100) et (110), l'oxydation des nanofils de silicium est clairement retardé en raison de la réduction de diffusion de l'espèce oxydante dans l'oxyde et une diminution de la vitesse de réaction d'interface par la contrainte compressive normale à l'interface Si/SiO₂, comme le montre la Fig. 3-11 (b). Il faut noter que la contrainte est renforcée par le procédé d'oxydation en raison de la réduction du diamètre de nanofils ainsi que l'expansion volumique de l'oxyde où le rapport surface / volume est augmenté pour la structure cylindrique.

Kao et al. [7] explique l'influence des contraintes principalement par un effet géométrique, est basé sur la conservation du volume. Quand un nouvel oxyde se forme sur une structure cylindrique, l'expansion du volume moléculaire d'oxyde pousse et réorganise l'oxyde déjà existant. Si l'on considère un anneau d'oxyde formé par la surface d'un cylindre, tel que celui illustré au niveau de la Fig. 3-11 (b), un nouvel oxyde est formé en dessous et pousse vers l'extérieur pour obtenir un diamètre plus grand. Si on considère le volume d'oxyde constant, l'oxyde doit s'étendre dans la direction tangentielle, par conséquent, l'épaisseur d'oxyde est plus mince que pour une couche d'oxyde pour une surface plane, dont les dimensions latérales sont inchangées.

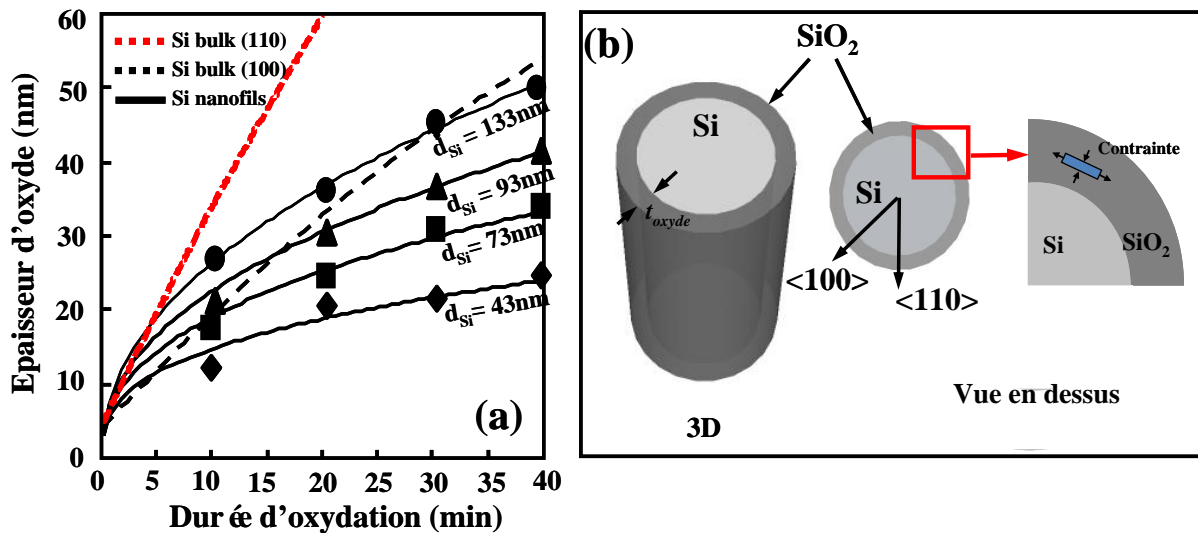


Figure 3-11. (a) Variation de l'épaisseur d'oxyde pour des nanofils de silicium en fonction de la durée d'oxydation pour différents diamètres en comparaison à des oxydations sur un substrat de silicium d'orientation (110) et (100), (b) représentation schématique de la structure de nanofils avec la couche d'oxyde (image 3D et vue de dessus).

En fait, la vitesse d'oxydation des nanofils est régie par la compétition entre l'accumulation de la contrainte générée par la croissance de la couche d'oxyde et la relaxation des contraintes par un écoulement visqueux. Buttner et al. [13] ont suggéré que l'augmentation de contraintes est responsable du mécanisme d'oxydation retardé, qui ne peut pas être relaxé par une relaxation visqueuse de l'oxyde en cas d'oxydation sèche. Dans le cas de l'oxydation humide, l'effet de la relaxation des contraintes par le flux de viscosité de l'oxyde est plus important que dans le cas de l'oxydation sèche en raison de la présence d'ions hydroxydes [14].

3.1.3.2 Analyse des contraintes par simulation.

En s'appuyant sur les résultats expérimentaux, des simulations ont été effectuées dans le cadre de cette étude afin d'affiner la compréhension des mécanismes d'oxydation observés à l'échelle nanométrique. La modélisation des procédés d'oxydation en nanoélectronique est souvent réalisée en utilisant des simulations à base d'éléments finis [15]. Classiquement, pour la modélisation de la croissance d'oxyde bidimensionnelle, l'approche de Deal et Grove est souvent utilisée [16]. Grâce à ce modèle, le mécanisme de croissance d'oxyde pour une structure plane est bien expliqué, cependant, l'effet de l'oxydation dans des nanostructures de silicium est un procédé difficile à comprendre, car plusieurs phénomènes physiques peuvent modifier les différents paramètres qui régissent la réaction durant l'oxydation. Par exemple, la diffusivité d'espèces oxydantes peut être affectée par la contrainte générée dans l'oxyde, en conséquence, la vitesse de croissance de l'oxyde à l'interface dépend de la forme des nanostructures, de la contrainte et de la viscosité.

Les Fig. 3-12 (a) et (b) montrent la variation des contraintes radiales (σ_r) et contraintes tangentielles (σ_θ) en fonction du diamètre des nanofils de silicium. σ_r est compressive et augmente rapidement avec la réduction du diamètre de nanofils. Par contre, σ_θ change de tension à compression avec la croissance de l'épaisseur de l'oxyde. En utilisant l'équation ci-dessous, la pression hydrostatique, P est donné par :

$$P = -\frac{1}{2}[\sigma_r + \sigma_\theta] \quad \text{Eq. 3-8}$$

Comme le montre la Fig. 3-12 (c), la pression hydrostatique augmente dramatiquement avec la diminution du diamètre des nanofils, en conséquence, la vitesse d'oxydation diminue en fonction du diamètre de nanofils, ce qui permet d'expliquer la variation d'épaisseur d'oxyde suivant le diamètre des nanofils.

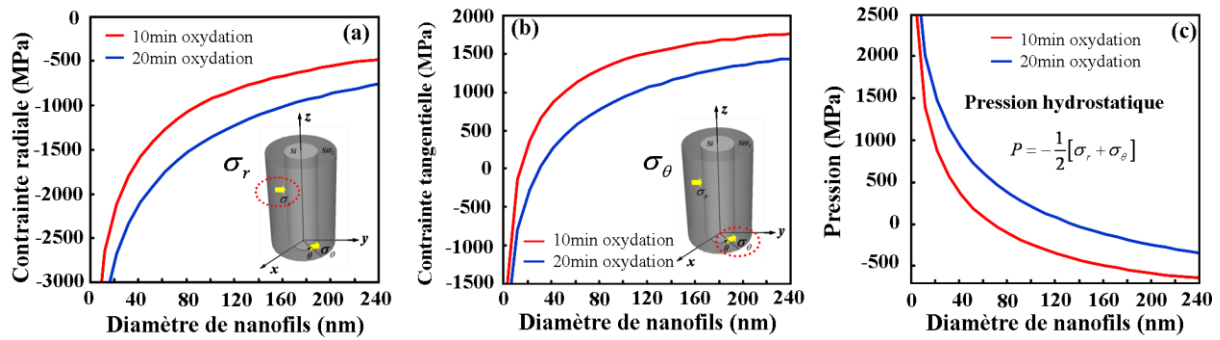


Figure 3-12. Simulation de la contrainte dans des nanofils en fonction du diamètre des nanofils, (a) des composantes radiales σ_r , (b) tangentielle σ_θ de la contrainte et (c) de la pression hydrostatique.

Le modèle utilisé est celui proposé par Rafferty [17], où les effets de relaxation plastique dans l'oxyde sont considérés. Les courbes d'épaisseur d'oxydation en fonction du diamètre des nanofils et la durée d'oxydation estimée par la simulation sont bien cohérentes avec les courbes expérimentales, comme le montre la Fig. 3-13 (a) et (b), respectivement.

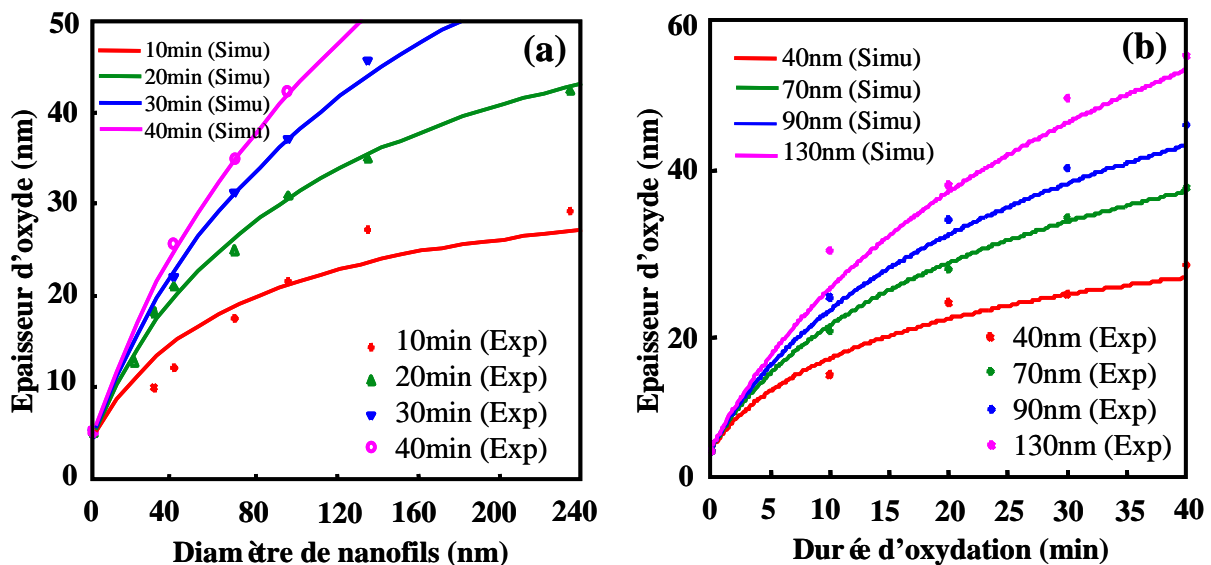


Figure 3-13. Modèle de Rafferty [17] adapté par Krzeminski [18] prenant en compte les phénomènes de plasticité dans l'oxyde, est confronté aux données expérimentales : (a) épaisseur d'oxyde en fonction de diamètre de nanofils et (b) en fonction de la durée d'oxydation respectivement.

Des études ont été réalisées pour comparer, à l'échelle nanométrique, l'oxydation de structures concave et convexe. Une structure nanométrique en forme d'anneau a été réalisée pour former une structure concave typique, comme le montre la Fig. 3-14 (c) alors que la structure de nanofil est une structure convexe typique, comme le montre la Fig. 3-14 (b). L'oxydation humide à 850°C est effectuée par différentes durées de 10 min, 20 min, 30 min et 40 min. La cinétique de croissance d'oxyde est plus rapide dans une structure convexe que

dans une structure concave, comme le montre la Fig. 3-14 (a). Kao et al. [7] ont argumenté que, pour la configuration convexe, la fourniture d'espèces oxydantes à l'interface SiO_2/Si est renforcée par la géométrie cylindrique, car la surface exposée à l'ambiance (la surface de la coquille d'oxyde) est supérieure à la surface de réaction à l'interface SiO_2/Si . Inversement, pour une structure concave, la concentration en espèce oxydante dans l'oxyde devrait être inférieure en raison de la réduction de la surface d'exposition à l'ambiance oxydante.

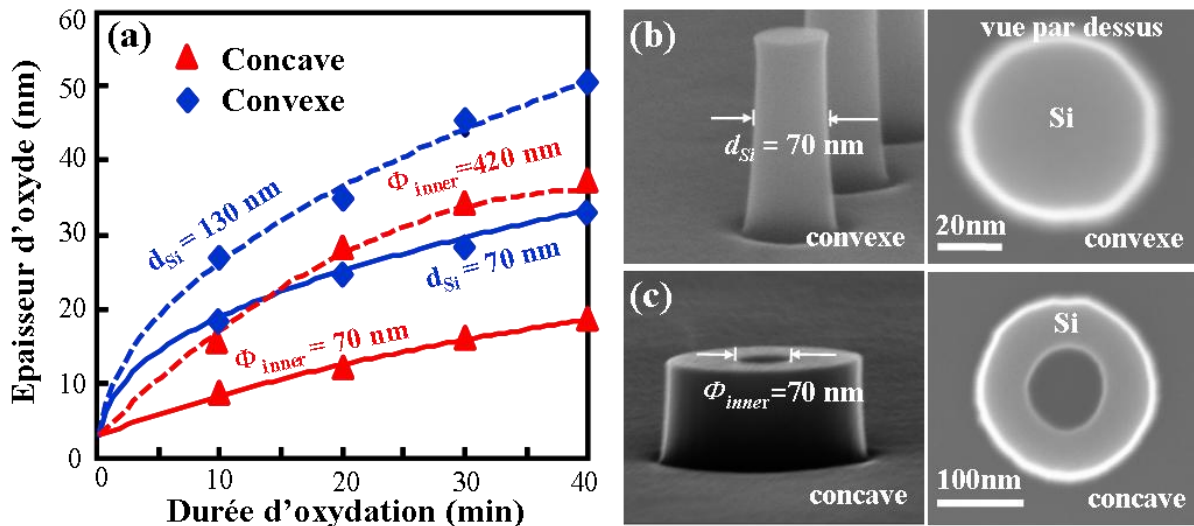


Figure 3-14. (a) Variation de l'épaisseur d'oxyde sur une structure concave et convexe en fonction de la durée d'oxydation, (b) et (c) Images MEB pour une structure convexe et concave (vue en coupe) et (vue par-dessus), respectivement.

La modélisation numérique de l'oxydation du silicium est analysée à base d'une approche plastique pour évaluer l'oxydation de la structure concave du silicium [16]. Dans la majorité des modèles d'oxydation, le volume d'activation, qui décrit l'influence des contraintes et en particulier la pression hydrostatique sur la diffusivité de l'espèce oxydante, V_d est de 75 \AA^3 [16]. Le fait que l'oxydation soit limitée par la diffusion dans le cas concave est surestimé et l'épaisseur d'oxyde prédite ne correspond pas aux résultats expérimentaux obtenus pour les structures concaves nanométriques, comme le montre la Fig. 3-15 (a). Les épaisseurs d'oxyde simulées par ce modèle sont sous-estimées en comparaison des épaisseurs expérimentales pour des diamètres de 70 nm et 430 nm. En ajustant la valeur de V_d à 45 \AA^3 , les cinétiques prédites sont alors bien en accord avec les résultats expérimentaux, comme le montre la Fig. 3-15 (b).

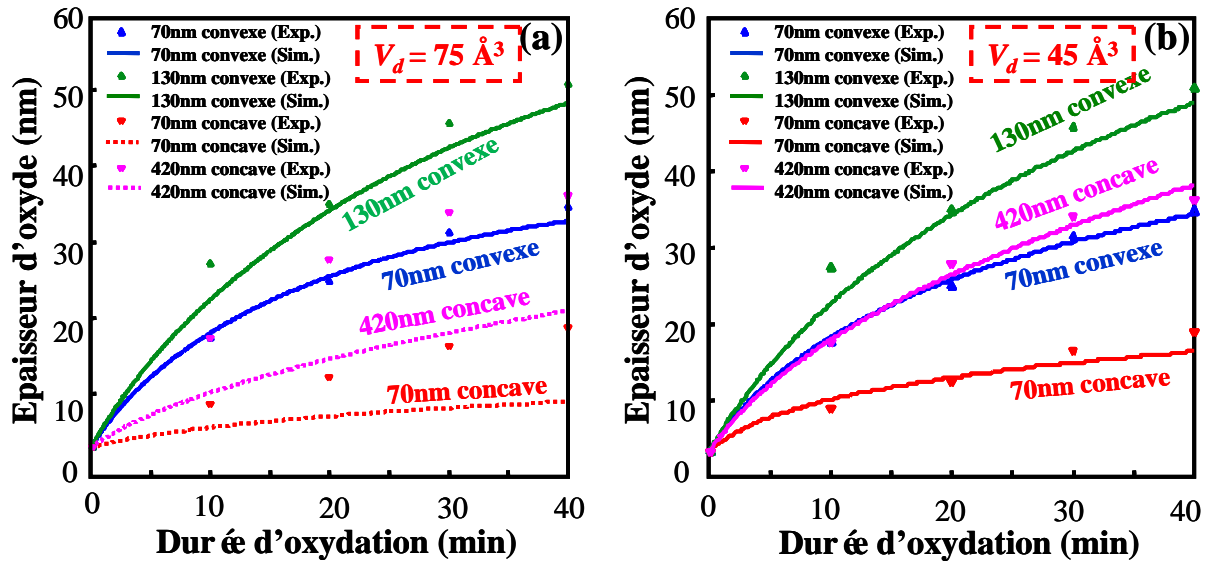


Figure 3-15. Comparaison entre une simulation avec (a) $V_d=75 \text{ \AA}^3$ [16] et (b) $V_d=45 \text{ \AA}^3$ pour la cinétique d'oxydation et des structures concaves et convexes en fonction de la durée d'oxydation.

3.1.3.3 Comparaison d'oxydation des nanoailettes et nanofils de silicium.

Dans cette partie, l'analyse porte sur les différences de comportement entre l'oxydation sur nanofils et nanoailettes de silicium. Les Fig. 3-16 (a), (c) et (b), (d), montrent les différents profils de nanoailettes et de nanofils de Si après oxydation par MEB et TEM, respectivement. Par rapport à la partie supérieure de la nanoailette avec une forme triangulaire, la forme du nanofil est plus uniforme selon la hauteur du nanofil. Afin d'analyser les différences d'oxydation entre la structure de nanofil et de la nanoailette, les épaisseurs d'oxyde générées par oxydation durant 10 min et 20 min ont été mesurées en position intermédiaire de ces structures verticales tracées sur le graphique (Fig. 3-16 (e)). Pour une largeur de nanoailette et un diamètre de nanofil inférieure à 200 nm, l'épaisseur d'oxyde de la nanoailette de silicium est plus épaisse pour le nanofil de silicium avec la même valeur au niveau du diamètre, ce qui peut signifier que la contrainte compressive générée est plus forte dans la structure des nanofils que pour la structure de la nanoailette durant le procédé d'oxydation. Quand la largeur de la nanoailette et le diamètre des nanofils sont supérieures à 200 nm, les oxydations sont similaires, car la contrainte dans ces structures tend probablement à ne plus limiter la croissance d'oxyde. En outre, comme nous avons expliqué ci-dessus, la vitesse d'oxydation des nanofils augmente en fonction du diamètre de nanofils en raison de la relaxation des contraintes pour les grands diamètres de nanofils de silicium [18]. Cependant, ce phénomène n'a pas été observé dans la structure de la nanoailette de silicium, pour laquelle, la vitesse d'oxydation est presque constante quelque soit la largeur de la nanoailette,

autrement dit, la vitesse d'oxydation ne dépend pas de la largeur de la nanoailette à une hauteur donnée.

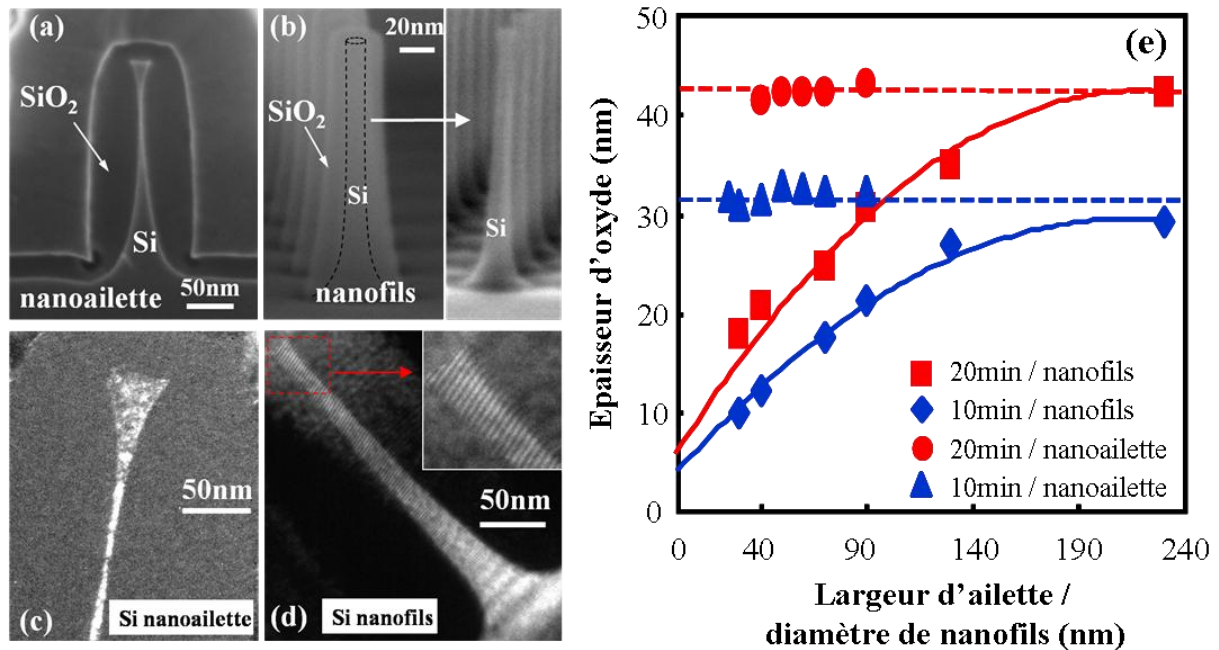


Figure 3-16. (a) et (b) Images MEB (vue en coupe) pour un profil de nanoailettes et nanofils après une oxydation humide à 850 °C pendant 10 min, respectivement ; (c) et (d) Images MET de ces structures après oxydation. (e) Variation d'épaisseur d'oxyde pour des nanoailettes et nanofils en fonction de la largeur des nanoailettes et du diamètre des nanofils par oxydation humide à 850 °C pendant 10 min et 20 min.

3.1.4 Amélioration du profil et de la rugosité de surface des nanofils par oxydation auto-limitée.

Comme décrit dans le chapitre 2 sur la gravure des nanofils, les paramètres optimisés de gravure associé à une chimie à base de chlore permet de donner une anisotropie de gravure de 90 % environ. Le profil vertical idéal (anisotropie 100 %) ne peut être atteint en raison d'une gravure physique par bombardement, mais aussi des effets liés aux réactions chimiques entre de chlore ionisé et de silicium, qui introduisent une gravure latérale. Tel que mentionné précédemment, la vitesse d'oxydation diminue rapidement et sature à une valeur très faible au cours de l'oxydation, comme le montre la Fig. 3-17 (a). En d'autres termes, la vitesse de consommation du silicium par oxydation thermique pour des nanofils de plus grands diamètres est plus rapide que pour des nanofils plus petits (Fig. 3-17 (b)). Par conséquent, ce mécanisme peut être utilisé pour améliorer l'anisotropie en contrôlant le rétrécissement du diamètre des nanofils par oxydation. Les résultats expérimentaux au niveau de la Fig. 3-18 (a) et (b) montrent le réseau des nanofils avant et après l'étape d'oxydation

humide, respectivement. Le diamètre des nanofils de silicium a été réduit de 42 nm à 16 nm alors que l'anisotropie a été améliorée de 92 % à 98.5 % [20].

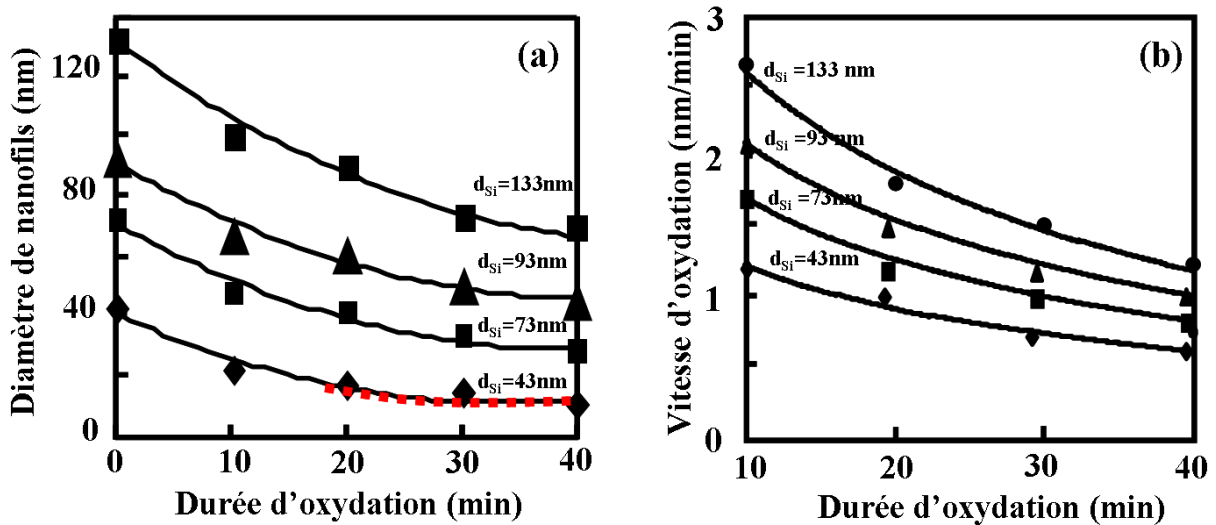


Figure 3-17. (a) Variation de la cinétique d'oxydation en fonction du diamètre des nanofils pour différentes durées d'oxydation, (b) variation de vitesse d'oxydation en fonction de la durée d'oxydation..

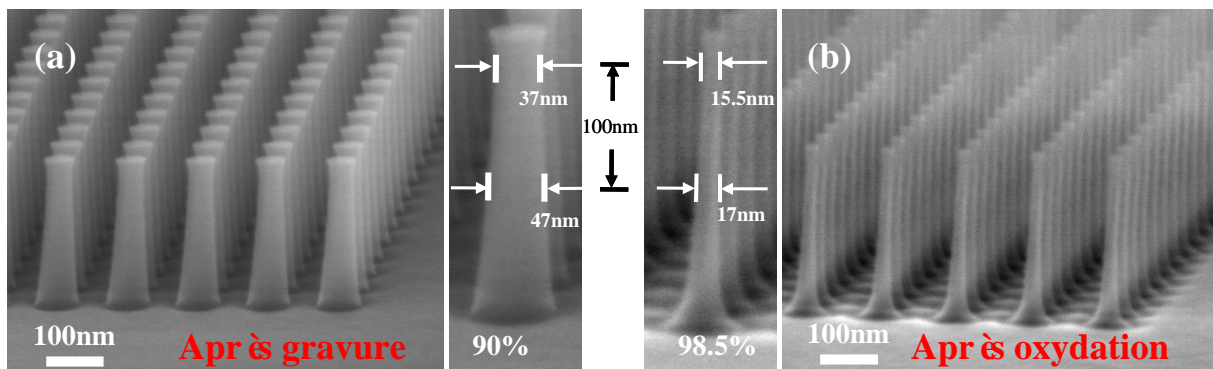


Figure 3-18. Comparaison des réseaux de nanofils verticaux de silicium (a) avant oxydation et (b) après l'oxydation et gravure de l'oxyde.

Dans le domaine des semi-conducteurs, les défauts induits par plasma sont reconnus comme une source de dégradation des performances et de la fiabilité des dispositifs électroniques, y compris par le rayonnement ultra-violet, les décharges électrostatiques et les défauts matériels dus au bombardement ionique. Les défauts dus aux ions sur la surface ou les états non stoechiométrique de l'interface résultant de l'exposition au plasma tient une part de responsabilité dans la dégradation de la mobilité des porteurs et de la pente sous le seuil dans les caractéristiques électriques des transistors [21]. Pour surmonter ce problème, le réseau de nanofils a été traité par oxydation humide et la couche de SiO_2 générée a été ensuite retirée par une gravure HF. La caractérisation MET en haute résolution montre une surface avec une abrupté atomique après l'étape d'oxydation humide à 850 °C durant 20 min (Fig. 3-19 (b))

par rapport à la surface rugueuse obtenue après la gravure plasma (Fig. 3-19 (a)) [20].

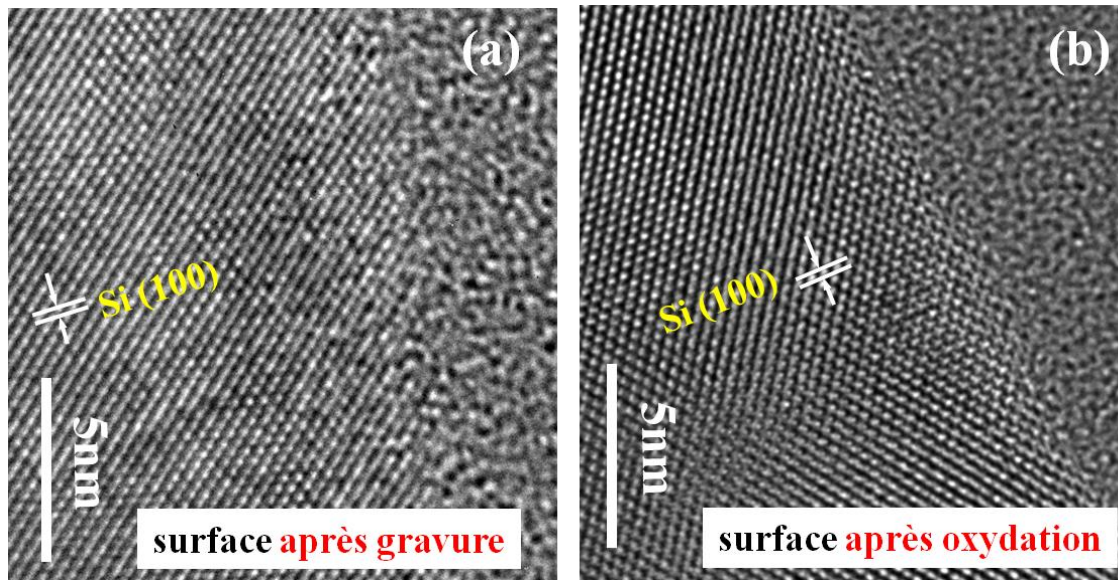


Figure 3-19. Images MET en très haute résolution pour des surfaces de nanofils de silicium : (a) après gravure et (b) après traitement d'oxydation.

3.2 Siliciuration de nanostructures de silicium : l'exemple du siliciure de platine.

Dans cette partie, une étude de la formation du siliciure de platine sur nanofils verticaux de silicium est menée, incluant les effets de confinement. La siliciuration de couche mince de métal sur substrats massifs de silicium a été une étape importante pour améliorer les performances des dispositifs semi-conducteurs. Pour poursuivre la loi de Moore, le transistor à base de nanofils (canal) avec une grille entourante est un des candidats les plus prometteurs. Cependant, la miniaturisation des transistors induit l'apparition de résistances séries parasites de plus en plus importantes. Ces résistances parasites peuvent réduire le niveau de courant débité et les performances s'en trouvent diminuées par rapport au cas idéal. Parmi ces résistances parasites, la résistance de contact R_C devient prépondérante (cf. chap. 1). Pour réduire R_C , de nouveaux matériaux à faibles résistances spécifiques de contact font leurs apparitions. Il s'agit en particulier de matériaux offrant une faible hauteur de barrière aux porteurs permettant notamment d'augmenter l'injection thermoionique. Les candidats les plus étudiés sont le platine (Pt) et l'iridium (Ir) pour l'injection de trous (PMOS) ainsi que les terres rares, comme l'erbium (Er) et l'ytterbium (Yb), pour l'injection d'électrons (NMOS). La réalisation de contact Schottky à partir de ces matériaux dans le cas de nanofils avec une résistance faible est un facteur important afin d'améliorer les performances des dispositifs à base de nanofils. Pour cette raison, la parfaite maîtrise dans la réalisation des contacts

métallique et donc la compréhension de la cinétique de formation du siliciure à l'échelle nanométrique avec une structure unidimensionnelle (nanofils) est nécessaire pour envisager la fabrication de dispositifs performants.

3.2.1 Mécanisme de formation du siliciure de platine.

Le siliciure est un composé métallique issu de la réaction d'un métal avec le silicium, activé généralement par un traitement thermique. La réaction du platine avec le silicium donne trois produits distincts : le PtSi, le Pt₂Si et le Pt₃Si, le dernier étant instable. Plusieurs études montrent que la réaction de siliciuration du platine se fait en deux étapes régies par des énergies d'activation différentes [22] [23]. Le processus de siliciuration du platine est schématisé par la Fig. 3-20. Lors de la première réaction, le platine diffuse dans le silicium pour former le composé intermédiaire Pt₂Si, étapes (2) et (3). Dans la deuxième réaction, le silicium diffuse dans le Pt₂Si pour former le monosiliciure de platine en PtSi, étapes (4) et (5). Ces deux réactions se produisent séquentiellement : la formation de PtSi ne peut pas commencer avant que tout le platine ne soit consommé par le silicium. Les énergies d'activation sur substrat de silicium massif proposées par Stark [23] sont 1.50 +/- 0.15 eV pour la réaction 1 et 1.70 +/- 0.22 eV pour la réaction 2.

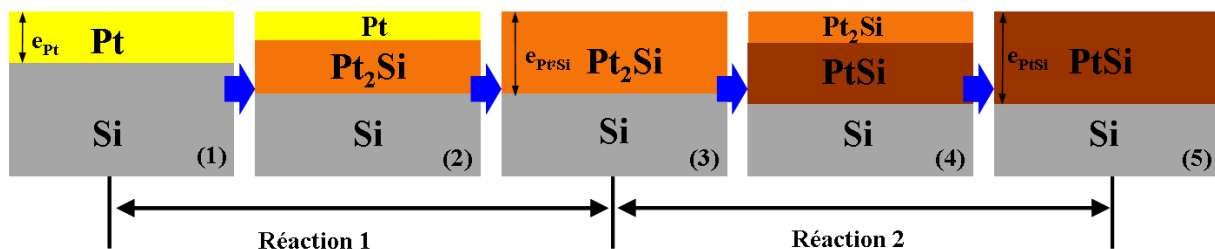


Figure 3-20. Représentation schématique de deux réactions de siliciuration du platine : réaction 1 : formation de Pt₂Si et réaction 2 : formation de PtSi [23].

La consommation de silicium et l'épaisseur de silicium formée pour chacune des phases sont d'un accès expérimental d'une manière plus simple que pour les espèces diffusantes. Les résultats sont représentés Fig. 3-21. Pour une unité d'épaisseur initiale de Pt, une couche de 1.43 unité de Pt₂Si se forme. La réaction se poursuit par la formation d'une couche de 1.97 unité de PtSi. Ces deux phases consomment une épaisseur de Si de 0.66 unité et 1.32 unité respectivement.

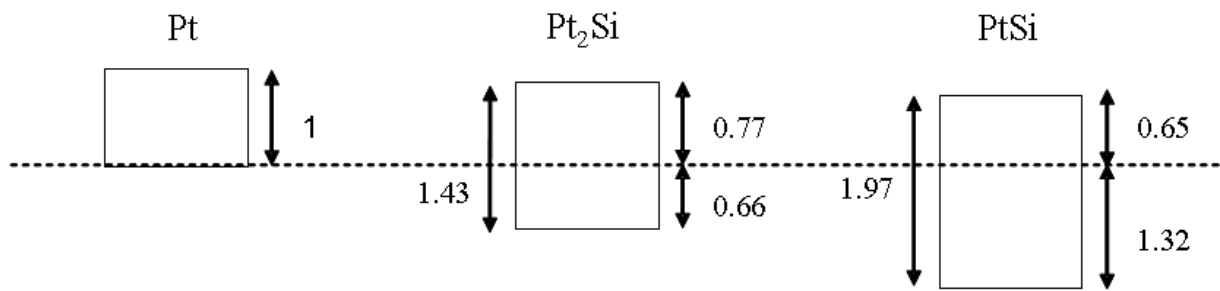


Figure 3-21. Epaisseur de silicium consommée et épaisseur de siliciure formé pour les différentes phases du procédé de siliciure de platine.

La diffusion est activée thermiquement et l'évolution du coefficient de diffusion avec la température suit une loi d'Arrhenius, donnée par l'équation :

$$D = D_0 \exp\left(\frac{-E_A}{kT}\right) \quad \text{Eq. 3-9}$$

où E_A est l'énergie d'activation de la réaction en J et D_0 est le coefficient de diffusion du Pt dans le silicium à la température de référence $T_0 = 298$ K exprimé en m^2/s . T est la température absolue en K et k est la constante de Boltzmann en J/K. La forme de la loi d'Arrhenius montre que la valeur de l'énergie d'activation a une importance prépondérante sur la vitesse des réactions. On peut dire que les réactions ayant les énergies d'activation les plus faibles sont les plus rapides et inversement celles qui ont les énergies d'activation les plus élevées sont les plus lentes.

Un exemple de siliciure de platine est montré au niveau de la Fig. 3-22 par une image MET (vue en coupe) d'une couche homogène de PtSi avec une épaisseur de 32,6 nm recuit à 300 °C en déposant 15 nm de Pt. L'interface entre le siliciure et le silicium est plane.



Figure 3-22. Image MET (vue en coupe) d'une couche de PtSi recuit à 300 °C pour une couche de Pt 15 nm déposée [25].

3.2.2 Siliciuration sur nanofils de silicium.

Comme démontré dans le chapitre 2, les réseaux de nanofils verticaux en silicium avec un contrôle parfait du diamètre, de l'anisotropie des profils, et de la position sont réalisés par une méthode de gravure et d'oxydation, permettant ainsi une analyse systématique des

mécanismes de siliciuration de ces nanostructures. La Fig. 3-23 présente le processus de réalisation des siliciures sur ces nanofils verticaux: (a) réalisation de nanofils de silicium verticaux par gravure (RIE) (b) dépôt anisotrope d'une couche de platine (~ 15 nm) par évaporation par faisceau d'électrons (évaporateur PLASSYS MEB 550S); (c) siliciuration du platine thermiquement activé à 350 °C sous azote hydrogéné $N_2 : H_2$ (95 % : 5 %) par recuit rapide (RTA de l'anglais : « Rapid Thermal Annealing »). Le dépôt est anisotrope néanmoins il est apparu, dans certains cas, des contaminations sur les parois des nanofils liés à un mauvais positionnement de l'échantillon (léger angle avec la source d'évaporation). Une attention particulière au positionnement de l'échantillon lors du dépôt a amélioré la situation, notamment afin de garantir des fils sans contamination métallique de surface pour les caractérisations électriques. Enfin, une gravure chimique à l'eau régale favorise le retrait des contaminants métalliques sur les parois.

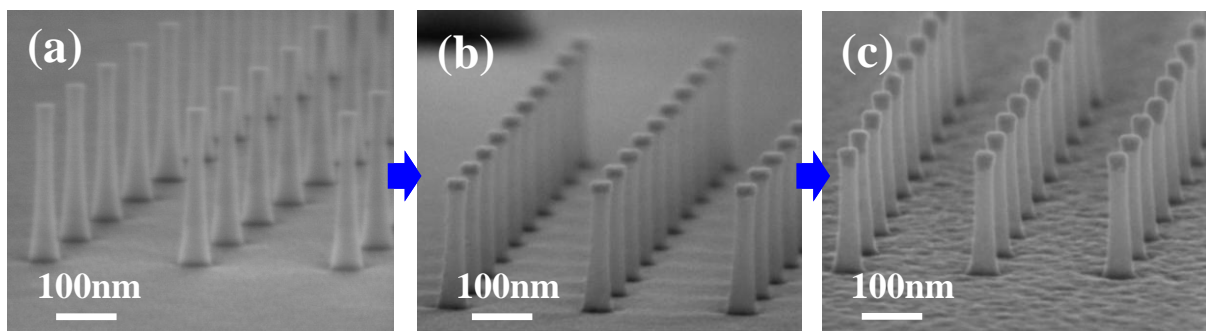


Figure 3-23. Procédure de réalisation de siliciure sur un réseau de nanofils verticaux de silicium avec un diamètre de 32 nm et une hauteur de 215 nm : (a) réseau des nanofils gravés par RIE, (b) dépôt de 15 nm Pt par évaporation à faisceau d'électrons, (c) siliciure de platine activé à 350 °C sous atmosphère $N_2 : H_2$ (95 % : 5 %).

D'un point de vue expérimental, la siliciuration des nanofils de silicium est homogène quelque soit le rayon considéré contrairement aux configurations classiques où le nanofil est couché horizontalement et l'influence du dépôt de métal au-dessus va dépendre de la taille de ce dernier. Afin d'analyser la cinétique de siliciuration dans les nanofils, une épaisseur de platine de 15 nm est d'abord déposée au niveau supérieur des nanofils ainsi que sur le substrat au pied des nanofils. Les diamètres considérés sont répartis entre 12 nm à 58 nm, réalisés par une combinaison de gravure et d'oxydation. La siliciuration a été activée par RTA à 280 °C pendant 1 min ou à 350 °C durant 3 min sous N_2/H_2 . Les réseaux des nanofils ainsi siliciurés sont montrés au niveau de la Fig. 3-24 (a) et (b). La diffusion de platine est observée sur la partie supérieure de nanofils de silicium. Des contaminations métalliques sur les parois des

nanofils sont aussi observés en raison de problème lors du dépôt de Pt cependant elle n'influence pas l'analyse de la cinétique de réaction.

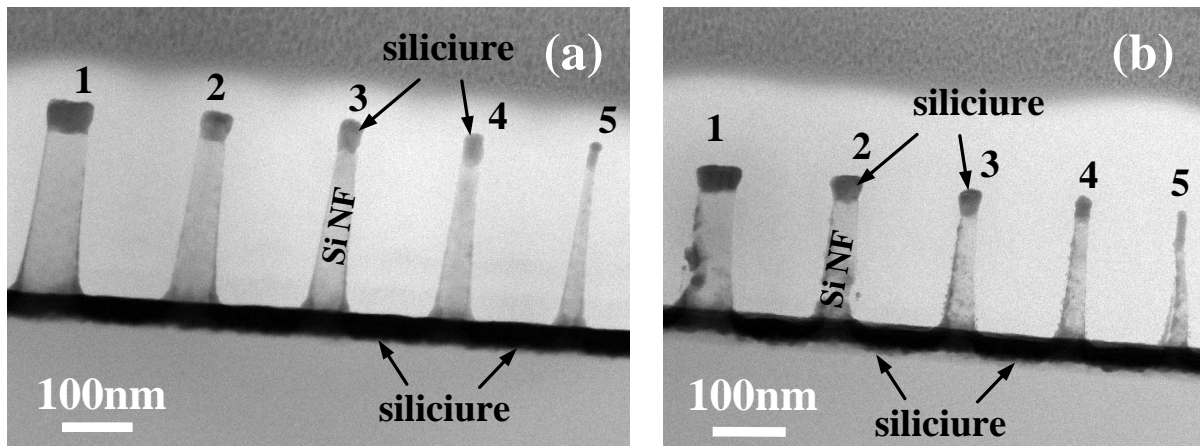


Figure 3-24. Images MET (vue en coupe) de réseaux de nanofils verticaux avec un diamètre variant de 12 nm à 58 nm après la formation du siliciure de platine : (a) recuit à 280 °C durant 1 min ; (b) recuit à 350 °C durant 3 min sous atmosphère $N_2:H_2$ (95 % :5 %).

Afin de mieux analyser la siliciuration, chaque nanofil siliciuré est observé par MET en haute résolution. La Fig. 3-25 présente les sections des siliciures obtenus à 280 °C pendant 1min sur cinq nanofils pour des diamètres de 58 nm, 38 nm, 31nm, 25 nm et 12 nm. En utilisant une caractérisation chimique par analyse dispersive en énergie ou EDX (de l'anglais, «energy dispersive X-ray spectrometry »), le rapport des compositions de Si et Pt peut être mesuré précisément aux différentes positions sur la section du siliciure. Pour obtenir des informations plus complètes, la mesure a été effectuée avec un minimum de 10 points, mais pour faciliter la lecture des images seule une partie de ceux-ci y sont reportés. Le rapport de composition Si/Pt est proche de 1 à proximité de l'interface siliciure/Si et $\sim 1 : 2$ aux positions supérieures du siliciure pour les nanofils avec un diamètre supérieur à 25 nm, indiquant la présence et la coexistence des deux phases, Pt_2Si et $PtSi$. Pour le cas du nanofil de 12 nm de diamètre, Il apparaît que tout le Pt métallique n'a pas été siliciuré et que la majorité du siliciure formé est en Pt_2Si .

L'épaisseur du siliciure créé est simplement régit par l'équation de diffusion suivante:

$$d_x^2 = \int_0^{t_x} D_x dt \quad \text{Eq. 3-10}$$

Où d_x est l'épaisseur de siliciure, D_x est la diffusivité x représentant la phase concernée (i.e. Pt_2Si , $PtSi$). En combinant avec l'équation 3-9, on obtient :

$$d_x^2 = \int_0^{t_x} D_{0x} \exp\left(\frac{-E_{Ax}}{kT}\right) dt = D_{0x} \cdot \exp\left(\frac{-E_{Ax}}{kT}\right) \cdot t_x \quad \text{Eq. 3-11}$$

Larrieu et al. [25] ont donné les valeurs de la diffusivité et l'énergie d'activation pour chacune des deux étapes : $D_{O(Pt_2Si)} = 5.5 \text{ cm}^2/\text{s}$, $D_{O(PtSi)} = 8.5 \text{ cm}^2/\text{s}$ et $E_{A(Pt_2Si)} = 1.485 \text{ eV}$, $E_{A(PtSi)} = 1.685 \text{ eV}$ dans le cas du silicium massif. Ainsi, à partir d'une épaisseur de 15 nm de Pt, une épaisseur de 21.45 nm de Pt_2Si et 29.55 nm de PtSi peuvent être, respectivement, générés. En utilisant l'équation 3-11 et les valeurs associées à chacune des deux phases, il suffit de 31 secondes pour convertir 15 nm de Pt en Pt_2Si à 280 °C., montrant bien qu'il existe un phénomène limitant la diffusion, notamment pour les plus petits diamètres.

Ainsi, à partir des informations du rapport de Si et Pt, nous pouvons estimer la hauteur de platine et des différentes phases du siliciure pour chaque nanofil, comme résumé sur le graphique Fig. 3-25. La hauteur totale de siliciure est de 35 nm environ. Tous les diamètres étudiés présentent la phase Pt_2Si mais la réaction de siliciuration est plus avancée (phase Pt plus grande) pour les plus grands diamètres. L'avancée de la réaction diminue clairement avec la diminution du diamètre du nanofil pour atteindre le cas ultime (12 nm) où tout le platine métallique n'a pas été converti en siliciure.

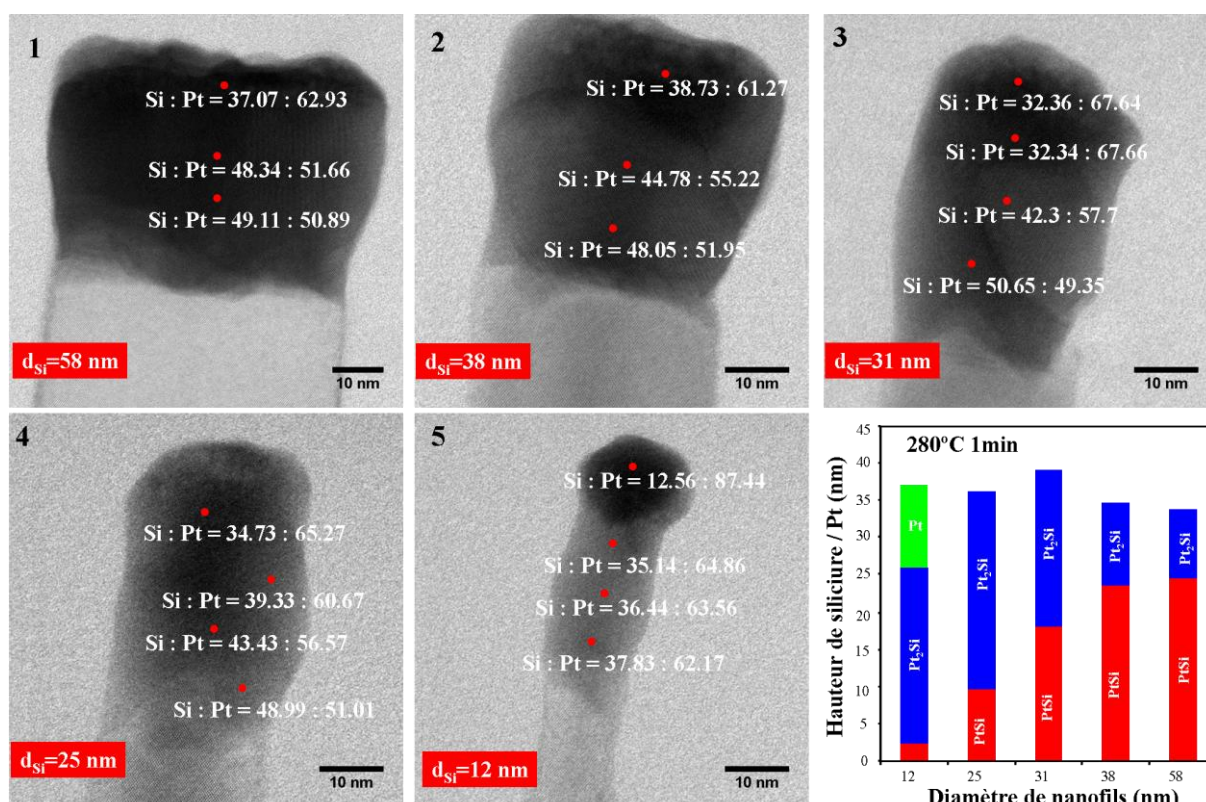


Figure 3-25. Image MET (vue en coupe) pour des nanofils avec des diamètres variables après siliciuration du platine à 280 °C durant 1min sous atmosphère $N_2:H_2$ (95 %:5 %), les rapports des atomes de Pt et Si sont notés sur les différentes positions du siliciure.

De manière similaire, une expérimentation a été conduite à 350 °C durant 3 min sous N₂/H₂ pour cinq nanofils de diamètres : 57 nm, 41 nm, 28 nm, 22 nm et 13 nm et le ratio des éléments Si/Pt a été obtenu par l'EDX à partir d'images HR-TEM (Fig. 3-26). On note que le Pt métallique n'apparaît plus et que pour un fil de diamètre de 57 nm, la réaction de siliciuration est allée jusqu'à son terme (siliciure unique de PtSi). Les résultats sont résumés dans le diagramme Fig. 3-26, où la hauteur des différentes phases de siliciure est présentée. L'évolution des hauteurs de Pt₂Si et PtSi en fonction de diamètre de nanofils est identique pour l'expérimentation à 280°C (excepté que la réaction de siliciuration est plus avancée), ce qui confirme que la siliciuration est toujours limitée et que le degré de limitation dépend fortement du diamètre du nanofil. Dans la grande majorité des cas, les études de siliciuration de nanofils sont réalisées à partir de structures horizontales où la couche de métal est déposée sur la paroi supérieure du fil. La diffusion des espèces est alors verticale par rapport à l'axe de nanofils. Par exemple, Tang et al. [26] ont observé une augmentation de 52 % de la section du nanofil en raison du changement de volume après siliciuration. Dans le cas de notre étude (nanofils verticaux), la diffusion des atomes de Pt et Si est parallèle à l'axe du nanofil et la limitation de l'expansion volumique du siliciure est donc bidimensionnelle par rapport à la surface cylindrique du nanofil. La contrainte générée y est alors plus importante. Comme expliqué dans la partie traitant de l'oxydation des nanofils (3.1.3), la limitation d'expansion volumique de la couche d'oxyde peut provoquer naturellement une contrainte mécanique dans l'oxyde, limitant la diffusion des atomes d'oxygène ainsi que le coefficient de réaction chimique à l'interface oxyde / silicium. D'une manière similaire, la diffusion des atomes de Pt et Si peuvent être limités par la contrainte croissante dans le siliciure.

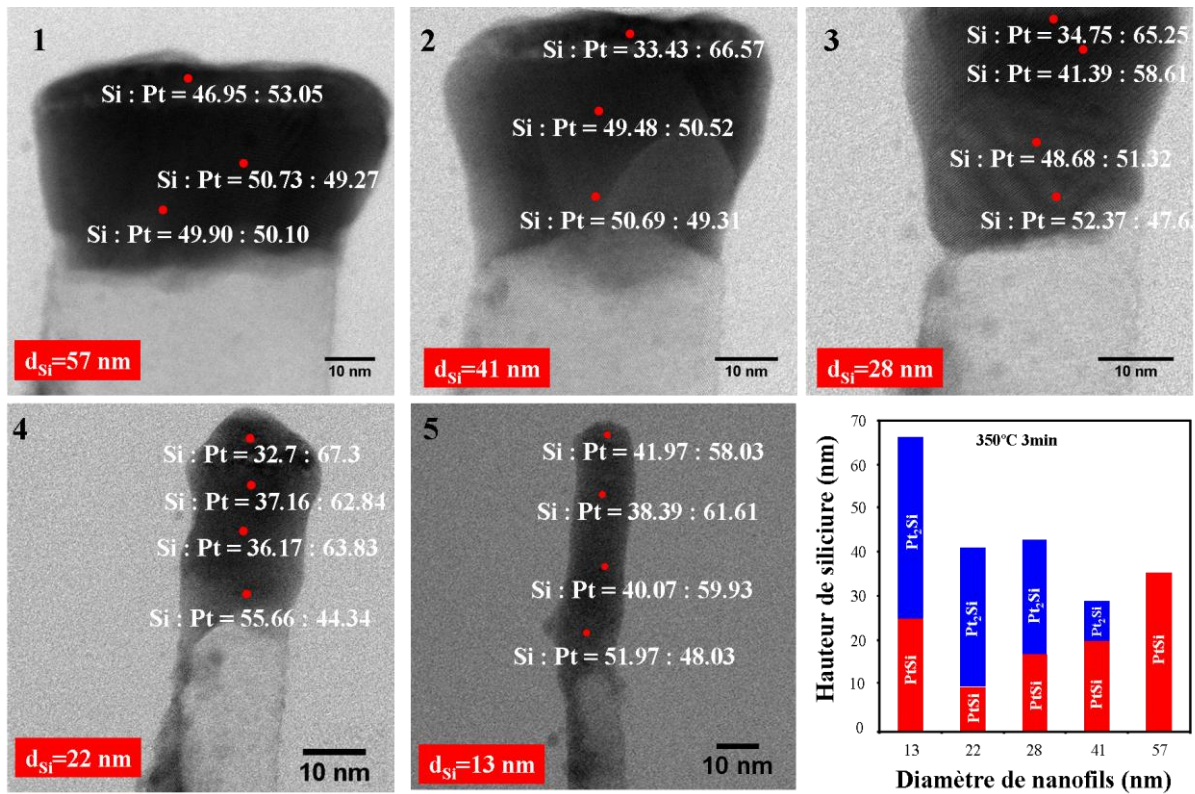


Figure 3-26. Image MET (vue en coupe) sur des nanofils avec des diamètres variables après siliciuration du platine à 350 °C durant 3min sous gaz atmosphère $N_2:H_2$ (95 % :5 %), les rapports des atomes de Pt et Si sont notés pour les différentes positions de l'interface siliciure / silicium.

Ainsi, pour une épaisseur de 15 nm de Pt déposée sur un substrat de silicium massif, la durée de transformation du Pt à Pt_2Si est inférieure à une seconde et du Pt_2Si à PtSi est estimé à 49 secondes, à 350 °C (ou 623.13 K). Il apparaît que les conditions de siliciuration dans cette deuxième expérience permettent la siliciuration complète d'une couche de 15 nm de Pt en PtSi dans le cas d'une réaction planaire. Ce régime n'est pas applicable dans le cas des nanofils de silicium, (nanofils 2, 3, 4 et 5) où après 3 minutes, la formation de PtSi n'est pas achevée.

En considérant le mécanisme de siliciuration dans le cas du silicium massif (voir la Fig. 3-21), une unité de hauteur de Pt sur silicium devient 0.65 unité de hauteur de PtSi au-dessus de l'interface initiale, c'est-à-dire qu'une quantité de platine a diffusée dans le silicium, générant une expansion de volume sous le niveau initial de silicium. Cette expansion peut être relaxée dans le substrat de silicium, car la limitation latérale contre l'expansion volumique est assez faible. Par contre, dans le cas de nanofils, avec un rapport de surface / volume élevé la diffusion latérale est limitée, et ceci est d'autant plus important que le diamètre de nanofils est réduit. Les Fig. 3-25 et 3-26 présentent l'évolution des hauteurs de siliciure avec les diamètres des nanofils.

De plus, nous avons observé que le profil du siliciure est de forme trapézoïdale pour les nanofils avec les diamètres les plus larges (nanofils 1, 2 et 3), cet effet pourrait être expliqué par l'effet de Gibbs-Thomson [27] [28]. Des effets similaires ont été observés lors de mécanismes de croissance de nanofils par technique VLS. En effet, les phénomènes physiques situés à l'interface liquide / solide sont primordiaux au niveau de la nucléation, une influence du diamètre est souvent observée sur la vitesse de croissance et la morphologie des nanofils, il est souvent expliqué par un effet de type Gibbs-Thomson est souvent évoqué comme explication [29]. Un effet similaire au niveau de la siliciuration des nanofils pourrait être envisagé. Le potentiel chimique varierait quand le diamètre de nanofils diminuerait. Afin de minimiser la tension de surface, l'angle de mouillage (α) augmenterait, ce qui provoquerait la formation excessive de siliciure au niveau des coins générant la forme trapézoïdale du siliciure (Fig. 3-27). Par contre, pour des nanofils avec un diamètre ultra-fin (nanofils 4 et 5), l'aspect trapézoïdal disparaît, ceci est corrélé avec l'augmentation significative de la longueur du siliciure. On peut penser que le mécanisme serait différent pour les nanofils de diamètre extrêmement réduite.

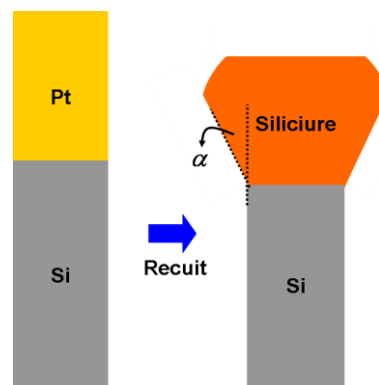


Figure 3-27. Représentation schématique de l'effet de Gibbs-Thomson sur l'étape de siliciuration des nanofils et influence de la tension de surface sur la forme du siliciure résultant.

3.2.3 Siliciuration dans un environnement confiné

Par rapport à la structure massive, la structure unidimensionnelle et cylindrique présente de nouveaux comportements de siliciuration qui sont intrinsèquement liés à leur dimensionnalité. Pour aller plus loin dans la compréhension de la siliciuration, une autre série d'expérience a été mise en œuvre afin d'analyser la siliciuration des nanofils dans le cas de confinement physique par une couche d'oxyde entourant les nanofils. Le confinement

géométrique à l'échelle nanométrique peut grandement être modifiée par la transformation des matériaux [30] [31].

3.2.3.1 Réalisation de la structure confinée.

Le procédé de réalisation d'une structure confinée par une couche d'oxyde est montré au niveau de la Fig. 3-28 : (a) premièrement, le réseau de nanofils en silicium est réalisé par une approche descendante (b) puis, les fils sont oxydés afin de générer une couche d'oxyde couvrant les nanofils de silicium (c) enfin la couche d'oxyde sur le dessus des nanofils ainsi que sur le substrat sont gravés par une attaque RIE anisotrope (combinant une chimie $\text{CHF}_3/\text{CF}_4/\text{Ar}$) afin de ne pas endommager la gaine d'oxyde autour des fils.

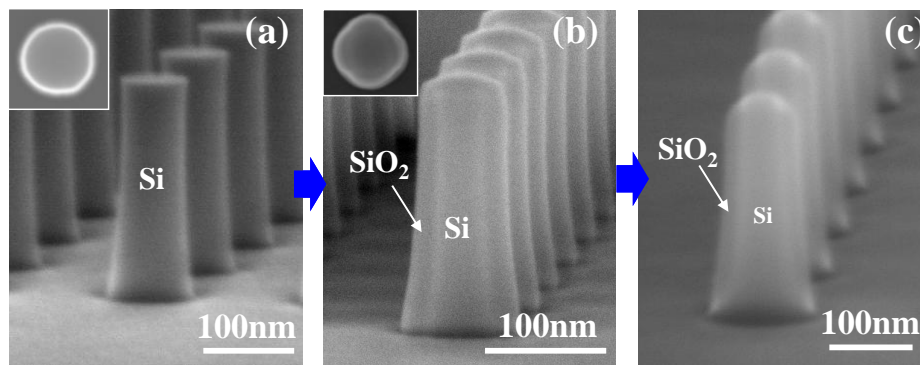


Figure 3-28. Procédé de réalisation d'une gaine d'oxyde autour des nanofils de silicium: (a) réalisation de nanofils verticaux de silicium (b) croissance de la couche d'oxyde par oxydation humide, (c) gravure anisotrope de la couche d'oxyde par RIE à base de plasma $\text{CHF}_3/\text{CF}_4/\text{Ar}$.

Au cours de la gravure, il a été observé [32] par spectrométrie photoélectronique rayon-X (XPS) la génération d'espèces polymères, de type CF_x . Il se crée alors une couche passivante sur les parois des nanofils, améliorant ainsi l'anisotropie de la gravure. Néanmoins, cette couche s'est révélée être une excellente barrière de diffusion, empêchant la réaction de siliciuration sur le sommet du nanofil (Fig. 3-29 (a)). Après gravure sélective par la voie humide de la couche d'oxyde, la couche de CF_x a pu clairement être observée (Fig.3-29 (b)). Cette couche de polymère nanométrique peut être alors gravée par RIE à l'aide d'un plasma O_2 (Fig.3-29 (c)).

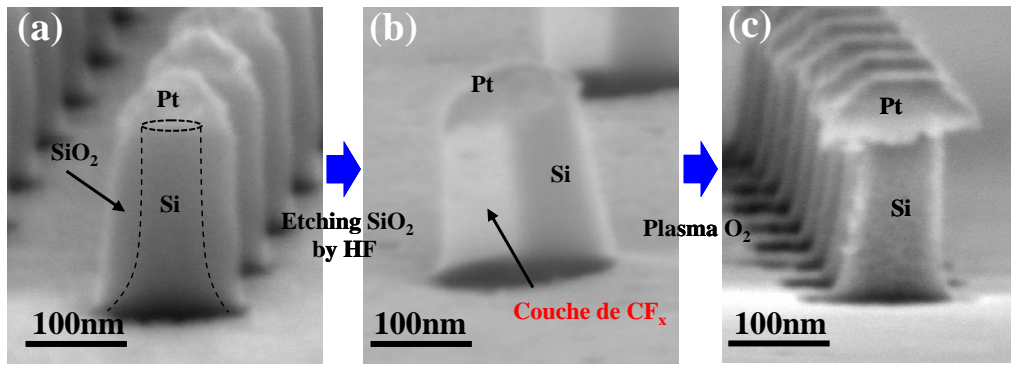


Figure 3-29. Observation de la couche polymère CF_x sur silicium après la gravure anisotrope d'oxyde à base de plasma $CHF_3/CF_4/Ar$: (a) siliciuration de 15 nm Pt à 350 °C sur un nanofil vertical de silicium avec couche d'oxyde (b) gravure d'oxyde par HF et observation de la couche polymère CF_x , (c) gravure de la couche polymère CF_x par plasma O_2 .

3.2.3.2 Siliciuration confinée de nanofils de silicium.

La Fig. 3-30 présente un procédé technologique de formation du siliciure de platine sur des nanofils de silicium ($d_{Si} = 30$ nm) confiné par une couche périphérique d'oxyde: (a) après l'oxydation humide, une gravure anisotrope de la couche d'oxyde au niveau supérieur et inférieur des nanofils verticaux est réalisée, (b) une épaisseur de 15 nm Pt est déposée anisotropiquement sur le réseau de nanofils, (c) la siliciuration du platine est activée par recuit à 350 °C durant 3 min sous atmosphère de $N_2 : H_2$ (95 % : 5 %) ; (d) des résidus de platine déposés sur la couche d'oxyde peuvent être ensuite gravés chimiquement par une solution d'eau régale ($H_2O : HNO_3 : HCl = 2 : 1 : 3$) à 50 °C durant 2 min. L'eau régale est une gravure sélective permettant d'attaquer le platine métallique sans altérer les différentes phases de siliciure.

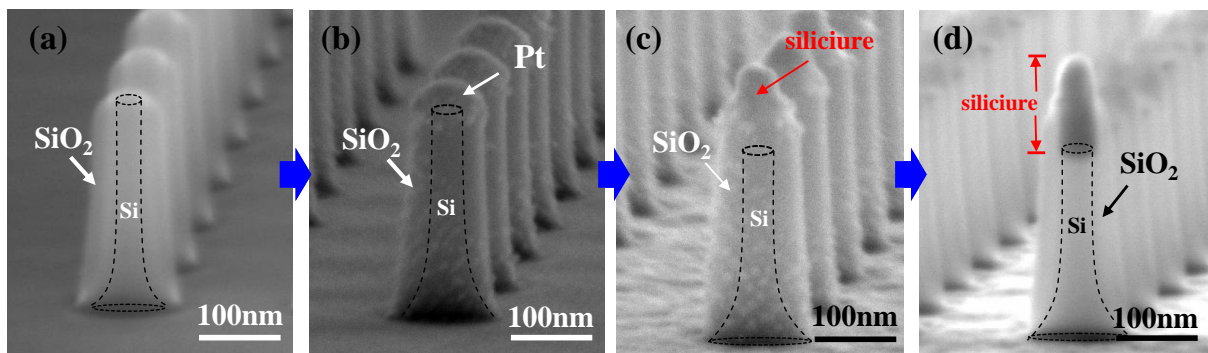


Figure 3-30. Procédé de siliciuration de nanofils en silicium dans le cas d'un confinement par une couche d'oxyde : (a) oxydation de nanofils et gravure anisotrope de l'oxyde (b) dépôt anisotrope de 15 nm Pt sur les réseaux des nanofils verticaux, (c) siliciuration du platine par recuit à 350 °C durant 3 min sous atmosphère de $N_2 : H_2$ (95 % : 5 %), (d) nettoyage des résidus de platine par une attaque sélective eau régale à 50 °C.

Une série de siliciures obtenue à partir de 15 nm de Pt déposé et recuit à 350 °C durant 3 min est effectuée sur différents réseaux de nanofils verticaux avec un diamètre variant de 12 nm à 86 nm confinés par une couche d'oxyde d'épaisseur t_{oxyde} de ~ 20 nm (oxydation à 850 °C durant 20 min). Après nettoyage des résidus de Pt par eau régale, les résultats sont montrés au niveau de la Fig. 3-31 (a)-(d). Il apparaît clairement que le siliciure résiste difficilement à l'étape de gravure chimique, par comparaison aux expériences de siliciation sans confinement (Fig. 3-24 (b)). La plupart des siliciures sur des nanofils comportant un diamètre relativement petit ($d_{Si} = 12$ nm et 34 nm) sont gravés. Pour des nanofils plus grands ($d_{Si} = 51$ nm), environ 50 % du siliciure est attaqué par l'eau régale. Quand le diamètre de silicium est suffisamment large ($d_{Si} = 86$ nm), tous les siliciures résistent à la gravure. Ceci tendrait à démontrer que la réaction de siliciuration est encore plus ralentie lors de la siliciuration sans confinement. Pour les plus petits diamètres, la réaction de siliciuration n'étant qu'à son commencement avec une grande part de platine métallique qui compose la hauteur métallique du fil.

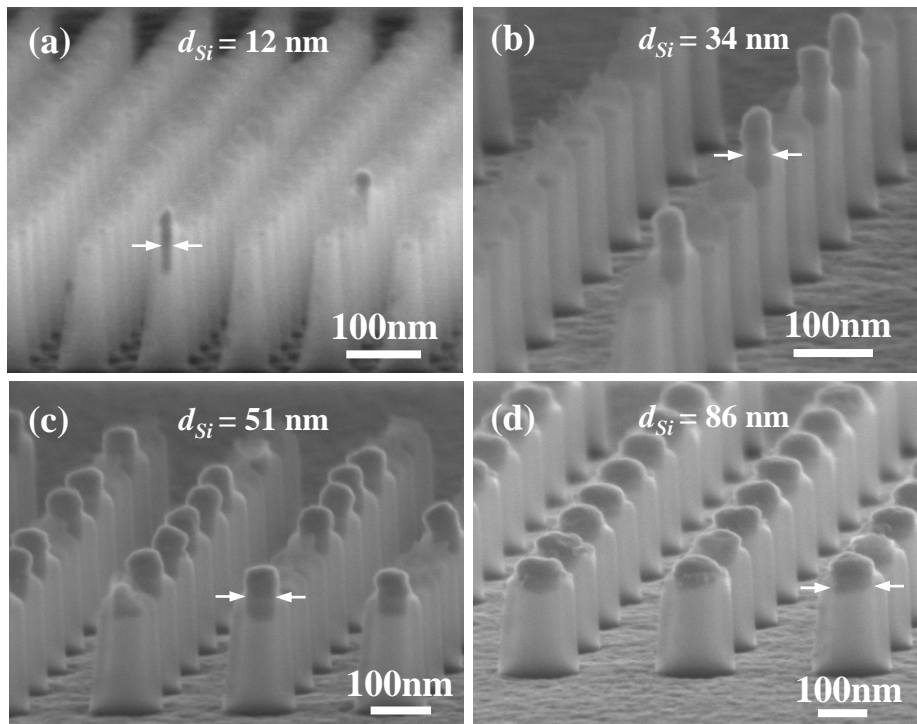


Figure 3-31. Images MEB du siliciure recuit à 350 °C durant 3 min sous gaz atmosphère $N_2:H_2$ (95 % : 5 %) pour des nanofils verticaux de silicium confinés par la couche d'oxyde avec une épaisseur t_{oxyde} de ~ 20 nm pour des nanofils de différents diamètres (oxydation humide à 850 °C durant 20 min) après la gravure chimique par eau régale (a) $d_{Si} = 12$ nm (b) $d_{Si} = 34$ nm (c) $d_{Si} = 51$ nm et (d) $d_{Si} = 86$ nm.

Pour vérifier la reproductibilité du procédé une autre expérience de siliciuration de Pt à 350 °C durant 3 min a été effectuée sur des réseaux de nanofils verticaux en silicium confinés par une couche d'oxyde moins épaisse ($t_{oxyde} \sim 12$ nm) réalisée par oxydation à 850 °C durant 10 min. Les résultats sont similaires, comme le montre la Fig. 3-32 (a)-(d), où les siliciures des nanofils avec les diamètres les plus fins (de 9 nm, 17 nm et 45 nm) ne résistent pas à l'eau régale contrairement aux diamètres les plus larges.

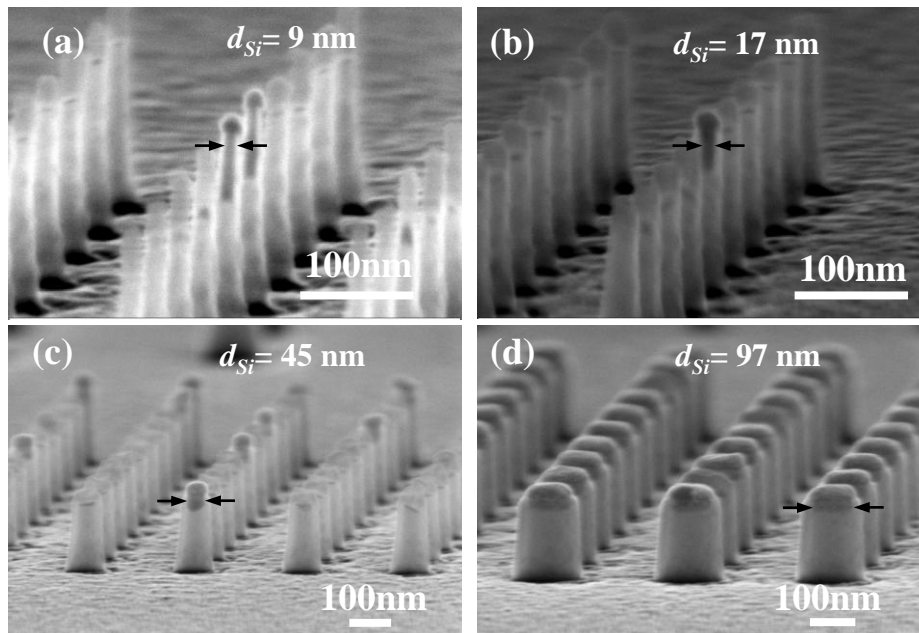


Figure 3-32. Images MEB de siliciure pour des nanofils verticaux en silicium confiné par la couche d'oxyde avec une épaisseur de ~ 12 nm pour des nanofils de différents diamètres (oxydation humide à 850 °C durant 10 min) recuit à 350 °C durant 3min sous gaz atmosphère $N_2 : H_2$ (95 % : 5 %) après gravure chimique par l'eau régale, la variation du diamètre de Si : (a) $d_{Si} = 9$ nm (b) $d_{Si} = 17$ nm (c) $d_{Si} = 45$ nm et (d) $d_{Si} = 97$ nm.

Un comptage statique a été réalisé pour différentes conditions du procédé (épaisseur de l'oxyde de gaine, Fig. 3-33 (a) épaisseur de platine à siliciurer, Fig. 3-32 (b)) afin de dénombrer le pourcentage de siliciure restant après gravure par l'eau régale en fonction du diamètre des nanofils. Alors que la Fig. 3-33 (a) résume les remarques décrites précédemment, la Fig. 3-33 (b) montre une comparaison des siliciures formés à partir d'une épaisseur de 15 nm et 5 nm de Pt déposé. On peut conclure que la réaction de siliciuration est nettement plus avancée pour les petits diamètres lorsque l'épaisseur de métal à siliciurer est fine. En effet, le siliciure formé résiste à l'eau régale pour des diamètres jusqu'à 20 nm.

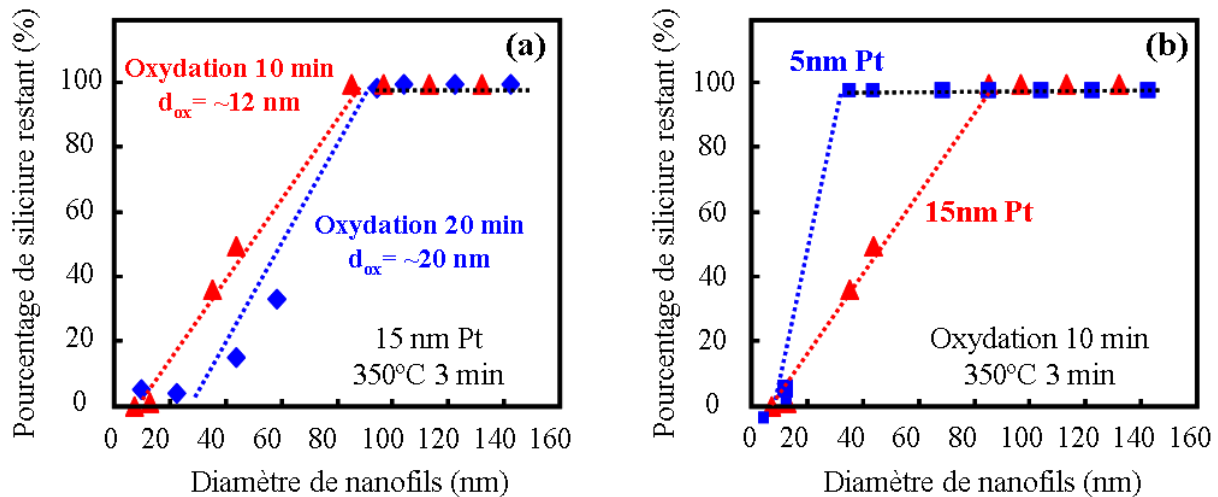


Figure 3-33. Pourcentage de silicium restant (formé à 350 °C durant 3 min sous N_2/H_2) après gravure par l'eau régale durant 2 min en fonction du diamètre de nanofils de silicium (a) comparaison entre épaisseur de couche d'oxyde différente, (b) comparaison entre 5 nm et 15 nm de Pt déposés

Il apparaît que le confinement est un facteur supplémentaire pouvant expliquer le retard de la cinétique de siliciation dans une nanostructure. En raison du confinement de la partie radiale dû à la gaine d'oxyde, l'expansion de volume du silicium formé est confinée radialement dans la direction axiale des nanofils générant ainsi une contrainte supplémentaire qui vient s'ajouter avec la contrainte associée à la formation du silicium. Ces effets augmentent de concert avec la réduction de diamètre de nanofils de silicium à cause de l'augmentation du rapport de surface / volume. La contrainte peut alors réduire la diffusion des espèces réactives ainsi que les cinétiques de réaction aux interfaces.

Afin de poursuivre la réaction de siliciation, une série de siliciures ont été activés à plus haute température (500 °C durant 3 min) pour des réseaux de nanofils avec une épaisseur de gaine de l'ordre de 20 nm. La Fig. 3-34 (a)-(d) propose une vue des différents réseaux après l'étape de gravure par l'eau régale. Il apparaît clairement que les siliciures formés à 500 °C pour des nanofils de différents diamètres sont plus résistants à la gravure chimique (même pour les fils de 10 nm), indiquant que le procédé de siliciation est plus avancé

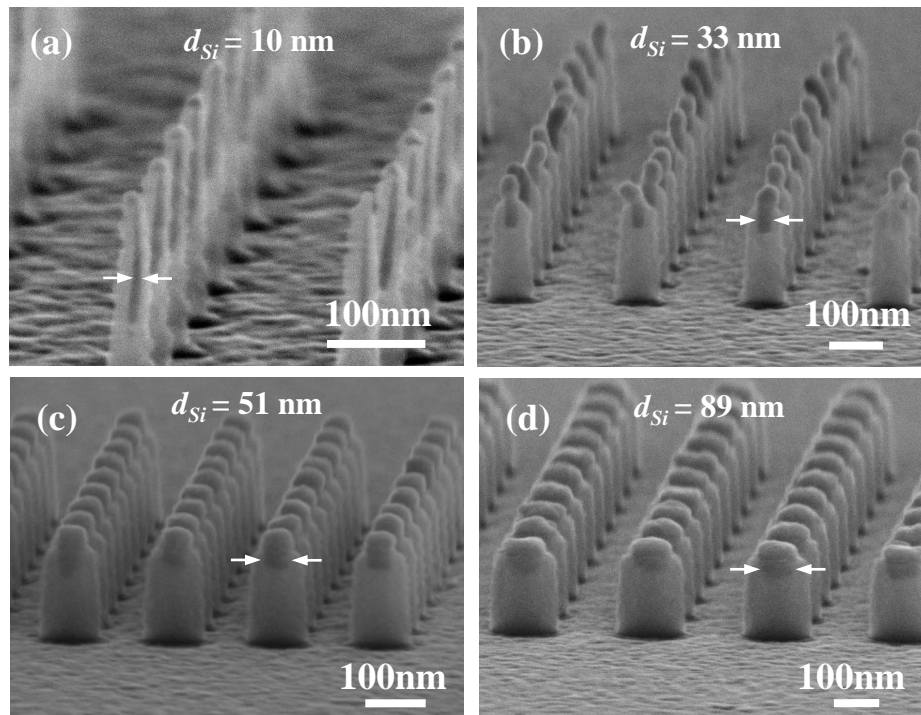


Figure 3-34. Images MEB de siliciure recuit à 500 °C durant 3 min sous $N_2 H_2$ à partir de nanofils verticaux de silicium confinés dans une couche d'oxyde avec une épaisseur de l'ordre de 20 nm (oxydation à 850 °C durant 20 min) après gravure chimique par eau régale. Différents diamètres de Si sont présentés: (a) $d_{Si} = 10$ nm (b) $d_{Si} = 33$ nm (c) $d_{Si} = 51$ nm et (d) $d_{Si} = 89$ nm.

La Fig. 3-35 présente l'évolution des longueurs de siliciure de platine formé à partir de 15 nm de Pt activé à 350 °C et 500 °C en fonction du diamètre des nanofils de silicium. La longueur minimale de siliciure observé, ~70 nm, est presque deux fois plus importante que l'épaisseur de siliciure sur substrat massif (32,6 nm, ligne pointée) car la formation du siliciure est parfaitement confiné dans une structure unidimensionnelle qui bloque l'expansion latérale du volume pendant le procédé. Ainsi, à partir d'une comparaison plus fine des deux siliciures, nous pouvons observer : (1) pour des nanofils de diamètres supérieurs à 60 nm, la longueur de siliciure est quasi identique quelque soit l'activation thermique considéré (2) par contre, pour des nanofils plus fins avec un diamètre inférieur à 50 nm, le siliciure recuit à 500 °C est plus long que celui recuit à 350 °C et l'écart est d'autant plus grand que le diamètre du fil diminue. Ainsi, pour les diamètres les plus larges où les phénomènes d'autolimitation sont moins sévères, la réaction de siliciuration a pu aller jusqu'à son terme, même avec une activation à 350 °C (ce qui est conforme avec les observations après gravure à l'eau régale). Par contre, pour les plus petits diamètres, une activation à plus haute température est nécessaire afin de permettre à la phase PtSi de se former, et ainsi d'assurer la complète formation du siliciure.

L'image MEB à droite de la Fig. 3-35 permet de visualiser la variation de longueur des siliciures en fonction des diamètres des nanofils.

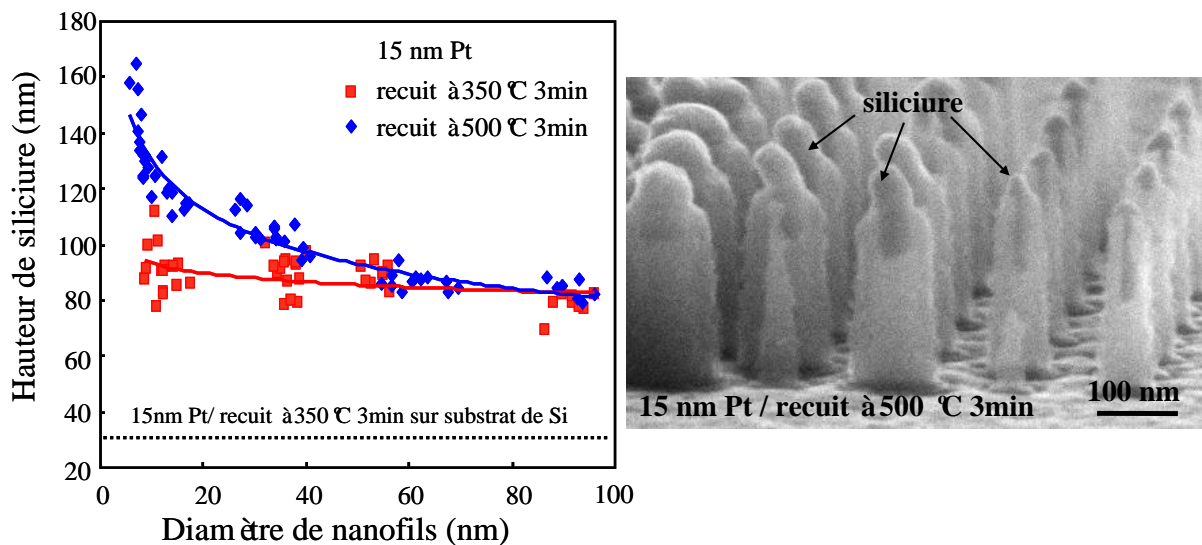


Figure 3-35. Gauche : évolution de la longueur de siliciure du platine (15 nm) recuit à 350 °C et 500 °C durant 3 min sous atmosphère N_2/H_2 en fonction du diamètre des nanofils. Droite: Image MEB des siliciures de platine dans une couche d'oxyde recuit à 500°C pour des nanofils de différents diamètres montrant la variation de la longueur du siliciure en fonction du diamètre des nanofils.

Conclusion.

Dans une première partie, l'oxydation thermique de nanostructures de silicium, telles que des nanoailettes, des nanofils et des nanoanneaux de silicium a été réalisée puis analysée de façon systématique et le phénomène d'oxydation limitée par les contraintes a ainsi été observé et analysé. Les résultats montrent la différence importante entre l'oxydation thermique des nanoailettes et des nanofils de silicium ainsi que la structure concave et convexe dans le cas de nanoanneau de silicium. Ce phénomène provient des contraintes mécaniques existantes dans les différentes nanostructures. En outre, dans le cas du nanofil vertical de silicium, en appliquant le mécanisme d'oxydation limitée par les contraintes sur la nanostructure, l'oxydation humide permet de réduire le diamètre des nanofils de silicium tout en augmentant l'anisotropie des nanofils et en nettoyant la surface des nanofils. Enfin, la réalisation d'un réseau dense de nanofils verticaux avec un diamètre de 12 nm et un rapport d'aspect de 20, une parfaite anisotropie du profil de 98.5 %, une surface sans rugosité et sans effet de microtranchée a été démontrée.

Dans une deuxième section, la siliciuration des nanofils de silicium a été étudiée avec et sans confinement. En comparant avec la siliciuration du platine dans le cas du substrat

planaire, nous avons mis en évidence un phénomène de limitation dans la formation du siliciure dans le cas de nanostructures unidimensionnelles par caractérisation MEB et MET. De plus, l'influence du confinement dans une gaine d'oxyde a été observée et analysée. Afin de réaliser la complète siliciuration du platine en sa phase stable PtSi, la température d'activation doit être plus élevée par rapport au cas du siliciure massif. La compréhension des mécanismes qui régissent la formation de tels siliciures est fondamentale en vue de leurs futures intégrations au niveau du dispositif considéré.

Bibliographie

- [1] B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *Journal of Applied Physics*, 1965.
- [2] J. L. Ngau, P. B. Griffin, and J. D. Plummer, "Silicon Orientation Effects in the Initial Regime of Wet Oxidation," *Journal of The Electrochemical Society*, vol. 149, no. 8, p. F98-F101, 2002.
- [3] R. B. Marcus and T. T. Sheng, "The Oxidation of Shaped Silicon Surfaces," *Journal of The Electrochemical Society*, vol. 129, no. 6, pp. 1278-1282, Jun. 1982.
- [4] J. Stringer, "Stress Generation and Adhesion in Growing Oxide Scales," *Materials and Corrosion/Werkstoffe und Korrosion*, vol. 23, no. 9, pp. 747-755, Sep. 1972.
- [5] E. P. EerNisse, "Stress in thermal SiO₂ during growth," *Applied Physics Letters*, vol. 35, no. 1, p. 8, 1979.
- [6] E. Kobeda, "In situ stress measurements during thermal oxidation of silicon," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 7, no. 2, p. 163, Mar. 1989.
- [7] D.-B. Kao, J. P. McVittie, W. D. Nix, and K. C. Saraswat, "Two-dimensional thermal oxidation of silicon. II. Modeling stress effects in wet oxides," *Electron Devices, IEEE Transactions on*, vol. 35, no. 1, pp. 25-37, 1988.
- [8] J. Kedzierski, J. Bokor, and E. Anderson, "Novel method for silicon quantum wire transistor fabrication," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 17, no. 6, p. 3244, 1999.
- [9] S. F. Feste, J. Knoch, D. Buca, and S. Mantl, "Fabrication of uniaxially strained silicon nanowires," *Thin Solid Films*, vol. 517, no. 1, pp. 320-322, Nov. 2008.
- [10] C. Krzeminski, Xiaohui Tang, N. Reckinger, V. Bayot, and E. Dubois, "Process Optimization and Downscaling of a Single-Electron Single Dot Memory," *Nanotechnology, IEEE Transactions on*, vol. 8, no. 6, pp. 737-748, 2009.
- [11] X. Tang et al., "Self-aligned silicon-on-insulator nano flash memory device," *Solid-State Electronics*, vol. 44, no. 12, pp. 2259-2264, Dec. 2000.
- [12] V. Pott, K. E. Moselund, D. Bouvet, L. De Michielis, and A. M. Ionescu, "Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon," *Nanotechnology, IEEE Transactions on*, vol. 7, no. 6, pp. 733-744, 2008.
- [13] C. C. Büttner and M. Zacharias, "Retarded oxidation of Si nanowires," *Applied Physics Letters*, vol. 89, no. 26, p. 263106, 2006.
- [14] S. M. Hu, "Effect of process parameters on stress development in two-dimensional oxidation," *Journal of Applied Physics*, vol. 64, no. 1, p. 323, 1988.
- [15] M. E. Law and S. M. Cea, "Continuum based modeling of silicon integrated circuit processing: An object oriented approach," *Computational Materials Science*, vol. 12, no. 4, pp. 289-308, Nov. 1998.
- [16] V. Senez, D. Collard, B. Baccus, M. Brault, and J. Lebailly, "Analysis and application of a viscoelastic model for silicon oxidation," *Journal of Applied Physics*, vol. 76, no. 6, p. 3285, 1994.
- [17] C. S. Rafferty and R. W. Dutton, "Plastic analysis of cylinder oxidation," *Applied Physics Letters*, vol. 54, no. 18, p. 1815, 1989.
- [18] C. Krzeminski, X.-L. Han and G. Larrieu, *to be published*.
- [19] H. I. Liu, D. K. Biegelsen, F. A. Ponce, N. M. Johnson, and R. F. W. Pease, "Self-limiting oxidation for fabricating sub-5 nm silicon nanowires," *Applied Physics Letters*, vol. 64, no. 11, p. 1383, 1994.

-
- [20] X.-L. Han, G. Larrieu, P.-F. Fazzini, and E. Dubois, "Realization of ultra dense arrays of vertical silicon NWs with defect free surface and perfect anisotropy using a top-down approach," *Microelectronic Engineering*, 2011. doi:10.1016/j.mee.2010.12.102
- [21] D. Sacchetto, M. H. Ben-Jamaa, G. De Micheli, and Y. Leblebici, "Fabrication and characterization of vertically stacked Gate-All-Around Si Nanowire FET arrays," in *Solid State Device Research Conference, 2009. Proceedings of the European*, pp. 245-248.
- [22] C. A. Crider, "Platinum silicide formation under ultrahigh vacuum and controlled impurity ambients," *Journal of Applied Physics*, vol. 52, no. 4, p. 2860, 1981.
- [23] T. Stark, H. Grünleitner, M. Hundhausen, and L. Ley, "Deriving the kinetic parameters for Pt-silicide formation from temperature ramped in situ ellipsometric measurements," *Thin Solid Films*, vol. 358, no. 1-2, pp. 73-79, Jan. 2000.
- [24] G. Larrieu, "Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique," Thèse de doctorat, Université de Lille 1, 2004.
- [25] G. Larrieu, E. Dubois, X. Wallart, X. Baie, and J. Katcki, "Formation of platinum-based silicide contacts: Kinetics, stoichiometry, and current drive capabilities," *Journal of Applied Physics*, vol. 94, no. 12, p. 7801, 2003.
- [26] X. Tang et al., "An electrical evaluation method for the silicidation of silicon nanowires," *Applied Physics Letters*, vol. 95, no. 2, p. 023106, 2009.
- [27] R. W. Bené, "A kinetic model for solid-state silicide nucleation," *Journal of Applied Physics*, vol. 61, no. 5, p. 1826, 1987.
- [28] B. Li et al., "Controlled formation and resistivity scaling of nickel silicide nanolines," *Nanotechnology*, vol. 20, no. 8, p. 085304, Feb. 2009.
- [29] V. G. Dubrovskii et al., "Gibbs-Thomson and diffusion-induced contributions to the growth rate of Si, InP, and GaAs nanowires," *Physical Review B*, vol. 79, no. 20, p. 205316, May. 2009.
- [30] V. C. Holmberg, M. G. Panthani, and B. A. Korgel, "Phase Transitions, Melting Dynamics, and Solid-State Diffusion in a Nano Test Tube," *Science*, vol. 326, no. 5951, pp. 405 -407, Oct. 2009.
- [31] Y. Wu and P. Yang, "Melting and Welding Semiconductor Nanowires in Nanotubes," *Advanced Materials*, vol. 13, no. 7, pp. 520-523, Apr. 2001.
- [32] L. Rolland, M.C. Peignon, Ch. Cardinaud and G. Turban, "SiO₂/Si selectivity in high density CHF₃/CH₄ plasmas: Role of the fluorocarbon layer," *Microelectronic Engineering*, vol. 53, pp. 375-379, June. 2000.

Chapitre 4

Réalisation et caractérisation électrique de dispositifs à base de réseaux de nanofils verticaux en silicium.

Introduction.

L'introduction de nouvelles architectures de transistors à base de nanofils verticaux est proposée afin d'accroître le contrôle du potentiel électrostatique dans le canal. Cependant, de nombreuses difficultés technologiques existent pour l'intégration de ce type de dispositifs, comme le montre l'état de l'art de ces architectures présentées dans le premier chapitre. Une nouvelle technologie de planarisation à base de gravure chimique de résine inorganique est proposée et décrite dans ce chapitre. Ensuite, des dispositifs à base de réseau dense de nanofils verticaux sont réalisés grâce à cette technologie puis caractérisés électriquement.

4.1 La diode Schottky.

Dans cette étude, pour simplifier l'analyse, nous considérons une structure de contact métal / semi-conducteur de type P.

4.1.1 La diode Schottky non polarisée.

Lorsqu'un métal est mis en contact avec un semi-conducteur, une barrière se forme à l'interface métal / semi-conducteur. La structure des bandes d'énergie au voisinage de l'interface est conditionnée par la différence entre les travaux de sortie du métal et du semi-conducteur d'une part, et la présence de charges localisées au niveau de l'interface métal/semi-conducteur d'autre part, comme le montre la Fig. 4-1 (b).

Lors du contact entre le métal et le semi-conducteur de type P ($q\Phi_m < q\Phi_s$), les électrons diffusent du métal vers le semi-conducteur, $q\Phi_m$ et $q\Phi_s$ sont les travaux de sortie du métal et du semi-conducteur, respectivement (Fig. 4-1 (a)). Le système se stabilise grâce à l'apparition d'une charge d'espace qui va rétablir l'équilibre et permettre l'alignement des niveaux de Fermi (E_{Fm} et E_{Fsc}). A cette charge d'espace est associée un champ électrique qui s'oppose au passage des trous du semi-conducteur vers le métal, il apparaît une barrière qV_b :

$$qV_b = q \cdot \Phi_s - q \cdot \Phi_m \quad \text{Eq. 4-1}$$

Les électrons du métal passent dans le semi-conducteur et se recombinent avec les trous. Le système évolue jusqu'à ce que le champ électrique arrête la diffusion des électrons. Il apparaît une zone de charge d'espace négative dans le semi-conducteur. La hauteur de barrière pour les trous peut s'écrire par la relation de Mott-Schottky [1] :

$$\Phi_{bp} = E_g - (\Phi_m - \Phi_s) \quad \text{Eq. 4-2}$$

où E_g est largeur de bande interdite qui sépare la bande de conduction (E_C) de la bande de valance (E_V) d'un semi-conducteur, χ_s est l'affinité électronique, définit comme l'énergie qu'il faut fournir à un électron situé dans le bas de la bande de conduction pour l'amener au niveau du vide (NV) :

$$q\chi_s = NV - E_C \quad \text{Eq. 4-3}$$

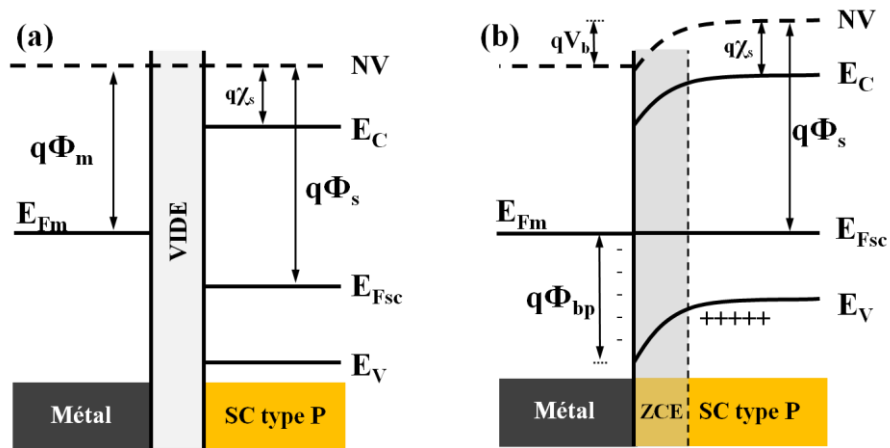


Figure 4-1. Contact métal et semi-conducteur de type P ($q\Phi_m < q\Phi_{sc}$). Représentation des bandes d'énergie dans le cas sans contact (a), et avec contact (b).

Le courant thermo-électronique dans une structure métal/semi-conducteur est fonction de la barrière de potentiel à l'interface du contact Schottky. Sans polarisation, le courant est nul de sorte que chacun des courants thermo-électroniques du métal au semi-conducteur ($J_{m \rightarrow sc}$) et du semi-conducteur au métal ($J_{sc \rightarrow m}$), s'écrit [2]:

$$|J_{m \rightarrow sc}| = |J_{sc \rightarrow m}| = J_0 = A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \Phi_{bp}}{kT}\right) \quad \text{Eq. 4-4}$$

Où A^* est la constante de Richardson modifiée, k est le constant de Boltzmann et T est la température absolue.

4.1.2 La diode Schottky polarisé en direct et inverse.

Lorsque l'on polarise en directe (V_F) et en inverse ($-V_R$) une jonction Schottky, les courbures de bandes et la barrière de potentiel varient, comme représenté au niveau de la Fig. 4-2 (a) et (b), respectivement. L'équilibre de courant $J_{m \rightarrow sc}$ et $J_{sc \rightarrow m}$ (hTE^+) est détruit par la polarisation et le courant total passant dans la jonction n'est plus nul. Dans le cas d'une polarisation directe (V_F) (Fig.4-2 (a)), la densité du courant $J_{sc \rightarrow m}$ augmente tandis que $J_{m \rightarrow sc}$ ne change pas. Donc, pour la densité du courant total qui passe à travers la jonction, on obtient [2]:

$$J_F = J_{SC \rightarrow m} - J_{m \rightarrow SC} = A^* \cdot T^2 \cdot \left[\exp\left(-\frac{q(\Phi_{bp} - V_F)}{kT}\right) - \exp\left(-\frac{q\Phi_{bp}}{kT}\right) \right]$$

$$J_F = J_0 \exp\left[\left(\frac{qV_F}{kT}\right) - 1\right] \quad \text{Eq. 4-5}$$

Dans le cas d'une polarisation inverse ($-V_R$) (Fig.4-2 (b)), la densité du courant totale passant à travers la jonction vaut :

$$J_R = J_0 \exp\left[\left(\frac{-qV_R}{kT}\right) - 1\right], \text{ avec} \quad \text{Eq. 4-6}$$

$$J_0 = A^* \cdot T^2 \cdot \exp\left(-\frac{q\Phi_{bp}}{kT}\right)$$

Le courant émis ne dépend pas uniquement de l'émission thermoélectronique mais il peut exister une contribution due au courant tunnel (h_T^+) à travers la barrière Schottky. Pour un semi-conducteur fortement dopé ($N_D > 10^{17}$) ou une basse température, le courant tunnel domine le courant total passant à traverser la jonction.

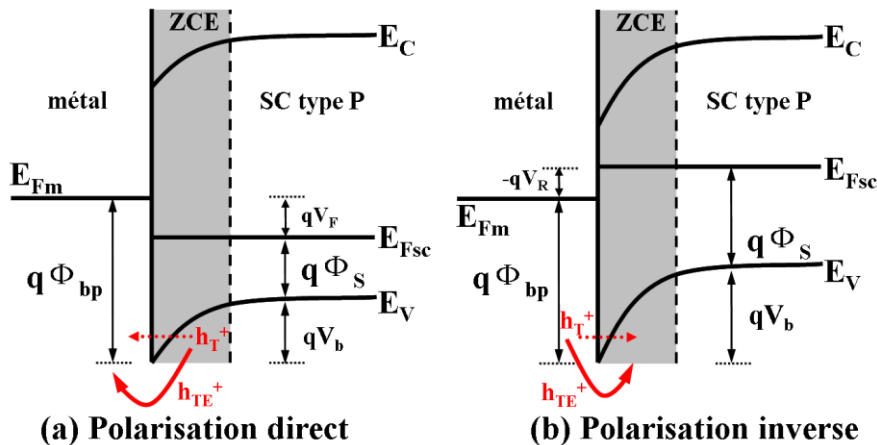


Figure 4-2. Diagramme de bandes à l'interface métal/semi-conducteur pour (a) une polarisation directe et (b) une polarisation inverse d'une jonction Schottky pour un semi-conducteur de type P (h_{TE}^+ et h_T^+ représentent le courant thermoélectronique et tunnel, respectivement).

4.2 Intégration et caractérisation électrique de réseaux denses de nanofils verticaux de silicium.

La caractérisation électrique du nanofil individuel conduit à d'importantes fluctuations inhérentes à la distribution statistique des dopants, mais aussi en raison de la variabilité des procédés permettant d'adresser ces nano-objets isolés [3]. En considérant, par exemple, une concentration de dopage de 10^{17} atomes / cm^3 , les dopants sont théoriquement séparés d'une

distance de 32 nm. Pour surmonter les fluctuations associées à un nanofil individuel, la caractérisation d'une grande assemblée de nanofils en parallèle est une solution afin d'obtenir une meilleure analyse statistique. Par exemple, Gunawan et al. [4] ont réalisé une structure à base de nanofils horizontaux pour analyser leurs propriétés électriques. Une autre stratégie basée sur l'intégration verticale de nanofils est une approche particulièrement intéressante en raison de la nature tridimensionnelle du procédé, mais le contact des nanofils verticaux est un challenge difficile [5] [6]. Dans cette partie, nous proposons une méthode et avec une reproductibilité excellente afin d'intégrer et de connecter des réseaux denses de nanofils verticaux.

4.2.1 Procédé de réalisation de contacts verticaux.

4.2.1.1 Technique de planarisation par amincissement d'une couche de HSQ.

Avec une constante diélectrique faible, un excellent remplissage, une bonne planarisation, ainsi qu'une compatibilité avec les technologies silicium [7] [8] [9] [10], la HSQ est un matériau prometteur comme couche diélectrique pour des applications nécessitant une densité élevée et une haute performance de circuits intégrés. Dans ce travail, nous avons choisis la HSQ comme couche d'isolation pour intégrer ces dispositifs verticaux. Au niveau expérimental, une couche de résine HSQ est déposée par enduction avec une épaisseur de ~ 300 nm pour couvrir le réseau de nanofils verticaux qui ont une hauteur de 240 nm. Ensuite, l'étape d'amincissement de la couche est effectuée par une gravure chimique à l'aide d'une solution de HF. Pour développer un procédé relativement simplifié d'intégration de dispositifs à base de nanofils verticaux, la réalisation d'une couche d'isolation parfaite entre les différents niveaux est très importante.

(a) Gravure de la couche HSQ densifiée par solvant HF dilué

En raison de la structure cage du polymère de HSQ, la vitesse de gravure de la HSQ par le solvant HF est très rapide [11]. Une densification de la HSQ est donc nécessaire pour la rendre moins poreuse et limiter ainsi la gravure par la solution de HF 1 %. Sa composition chimique doit s'approcher de celle du dioxyde de silicium SiO_2 . Dans ce procédé la couche de HSQ est densifiée par un recuit thermique sous une ambiance azotée à 500 °C ou 700 °C pendant 4 min. Le mécanisme est essentiellement gouverné par la redistribution et le

r'arrangement atomique [12] [13]. Après densification, les échantillons sont attaqués par une solution de HF 0.1 % pendant 30 secondes et 60 secondes. Les résultats montrant la surface de la HSQ recuite à 500 °C puis gravée sont présentés en Fig. 4-3 (b1) et (b2). La gravure de la surface n'est pas homogène et de nombreux trous à la surface sont observés. Concernant la surface de HSQ recuite à 700 °C, aucun trou n'est observé dans la couche de HSQ gravée par la solution de HF 0.1 % dilué dans du méthanol (CH₃OH), mais la rugosité de la surface n'est pas bonne.

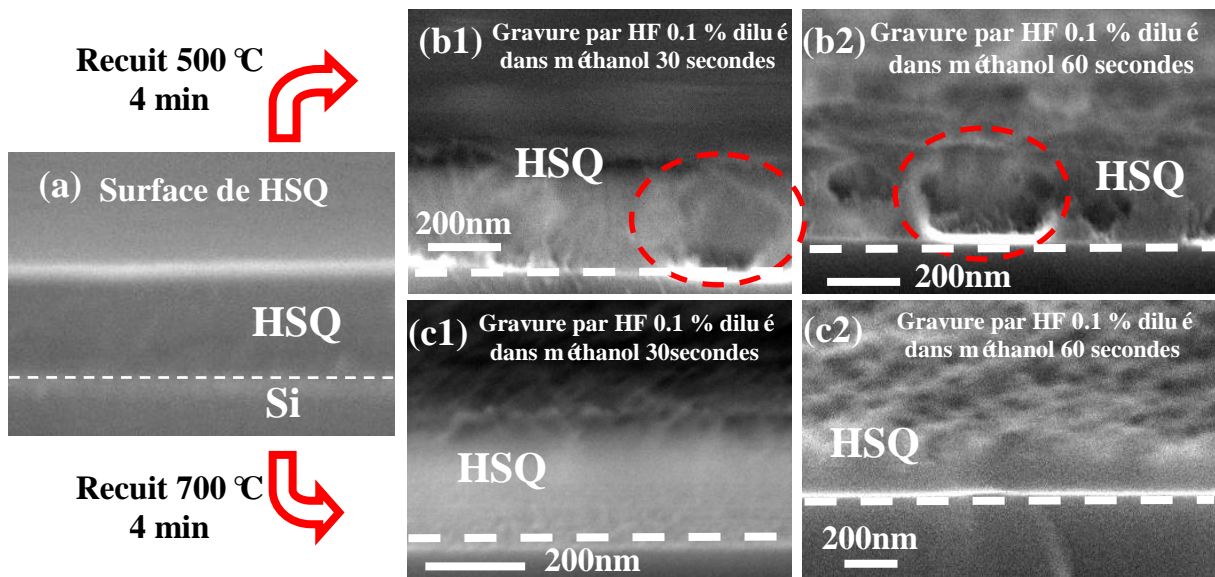


Figure 4-3. (a) Image MEB (vue en coupe) de la surface de HSQ après recuit sans gravure ; (b1) et (b2) Images MEB de la couche HSQ recuite à 500 °C pendant 4min après gravure par du HF 0.1 % dilué dans du CH₃OH pendant 30 secondes et 60 secondes, respectivement. (c1) et (c2) Images MEB de la couche HSQ recuite à 700 °C pendant 4min après gravure par du HF 0.1 % dilué dans du CH₃OH pendant 30 secondes et 60 secondes, respectivement.

Afin d'analyser la densification, le taux de transformation de petits polymères de HSQ cagiques en réseau de polymères plus complexes et plus dense est étudié par spectroscopie à transformée de Fourier (FTIR), comme le montre la Fig. 4-4. Le taux de densification, R est calculé à l'aide de rapport de l'aire du pic caractéristique de la liaison Si-O-Si dans la structure réseau (pic à 1030-1070 cm⁻¹) sur l'aire de l'ensemble des pics du spectre : $R = [Aire (v_{O-Si-O}) / Aire (totale)] \times 100\%$. Pour un recuit à 400 °C, 600 °C et 700 °C, les résultats sont : $R = 14.3 \%$, 72% et 87% , respectivement [14]. C'est-à-dire que la structure cagique du polymère de HSQ ne peut pas être transformé complètement en une structure réseau $v(O-Si-O)$ ou SiO₂. Cette analyse permet d'expliquer la non-homogénéité de la surface de HSQ après traitement thermique gravée par la solution de HF 0.1 % dilué dans du CH₃OH.

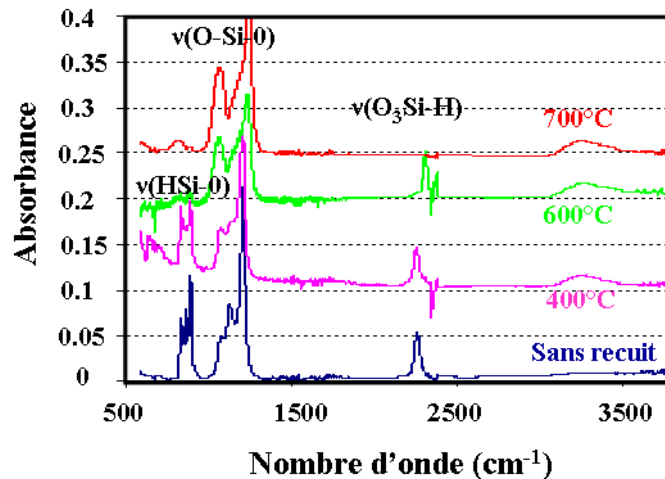


Figure 4-4. Spectres FTIR de la HSQ après divers traitements thermiques [14].

(b) Gravure de la couche HSQ non densifiée par la solution de HF diluée.

Pour obtenir une surface avec une rugosité assez faible par gravure HF, une couche de HSQ sans traitement thermique est utilisée. Au niveau expérimental, après enduction de la HSQ sur le substrat et un recuit par une plaque chauffante à 110 °C pendant 5 min (pour l'évaporation du solvant de la résine sans transformer la structure cagique de la HSQ), l'échantillon est mis dans la solution de HF 0.1 % diluée dans du CH₃OH. Comme le montre la Fig. 4-5, la couche de HSQ est modifiée. En effet, le méthanol dissocie la couche de HSQ en une structure cagique.

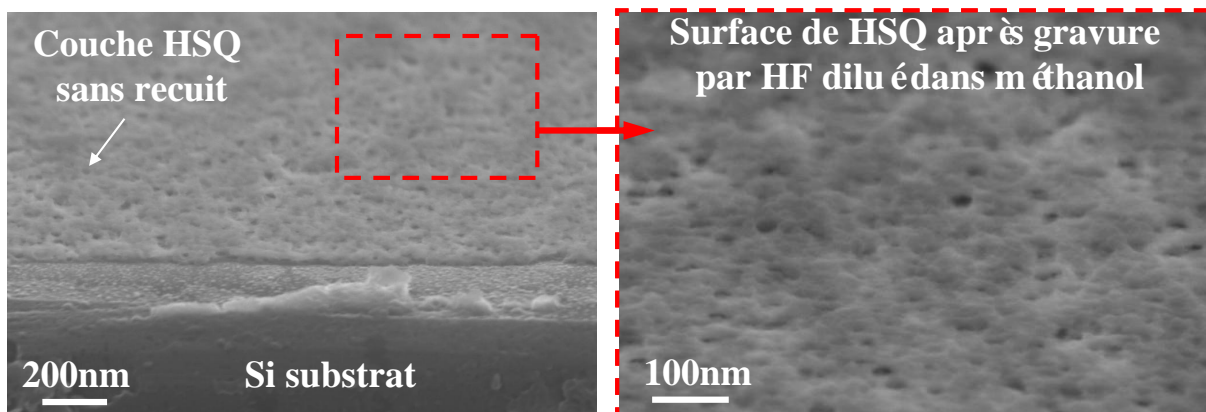


Figure 4-5. Images MEB de la surface de HSQ sans recuit après gravure par du HF diluée dans du CH₃OH.

La gravure de la couche de HSQ sans traitement a donc été testée avec une autre solution de HF diluée dans l'eau (0.1 %, 0.2 % et 0.4 %). Comme le montre les Fig. 4-6 (a), (b)

et (c), les couches de HSQ après gravure sont homogènes. De plus, la rugosité de surface de la HSQ est plus élevée dans le cas de la gravure par du HF 0.2 % et 0.4 % par rapport à la gravure à l'aide de la solution de HF 0.1 %.

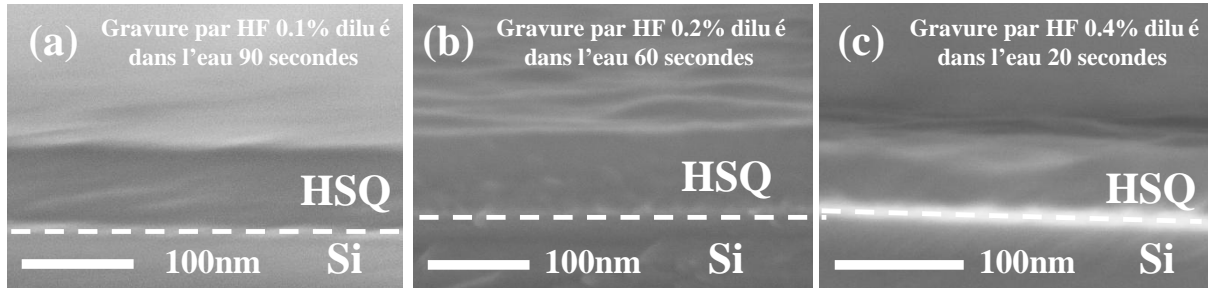


Figure 4-6. Images MEB de la surface de HSQ après gravure.

Une analyse morphologique de surface de HSQ gravé par la solution de HF 0.1 % est réalisée par AFM (Fig. 4-7 (c)). La rugosité de la surface pour une épaisseur de couche de 1 μm est seulement de ~ 2 nm. La vitesse de gravure est stable et parfaitement contrôlable à environ 1 nm / seconde (Fig.4-7 (d)). Grâce à ce résultat, nous pouvons utiliser cette technique comme une méthode de planarisation pour intégrer des dispositifs verticaux. En effet, cette méthode peut être utilisée pour intégrer d'autres types de nanofils verticaux fabriqués par croissance, tels que les III-V ou d'autres matériaux (Ge, ZnO, etc.).

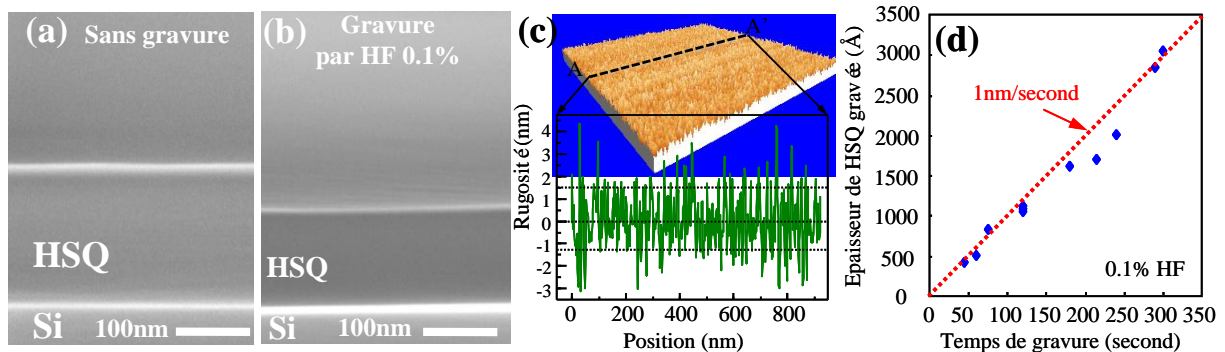


Figure 4-7. Images MEB de la surface de la couche HSQ : (a) après dépôt par enduction et recuit à 110 °C pendant 5 min, (b) après gravure par HF 0.1 %, (c) analyse AFM de la surface de HSQ après gravure par HF 0.1%, (d) épaisseur de HSQ gravé en fonction du temps de gravure par du HF 0.1 % (~ 1 nm/seconde).

4.2.1.2 Réalisation des contacts métalliques sur un réseau de nanofils verticaux.

Avant l'étape de gravure de la HSQ, une analyse morphologique de la surface de la couche HSQ couvrant un réseau de nanofils (3 x 3) est effectuée par AFM. Ceci afin de vérifier

la différence de topologie entre la zone sans réseau de nanofils et celle avec des nanofils (voir Fig. 4-8 (a) et (b)). En analysant la morphologie de trois trajets de balayage de $2.5 \mu\text{m}$ (A-A', B-B' et C-C'), la valeur moyenne de la hauteur entre la zone couvrant le réseau de nanofils et la zone sans nanofil est estimée à 1.5 nm (Fig. 4-8 (c), (d) et (e)). Ceci permet de vérifier que la surface de la couche de HSQ est idéalement plane partout sur le substrat grâce à une fluidité excellente de la résine.

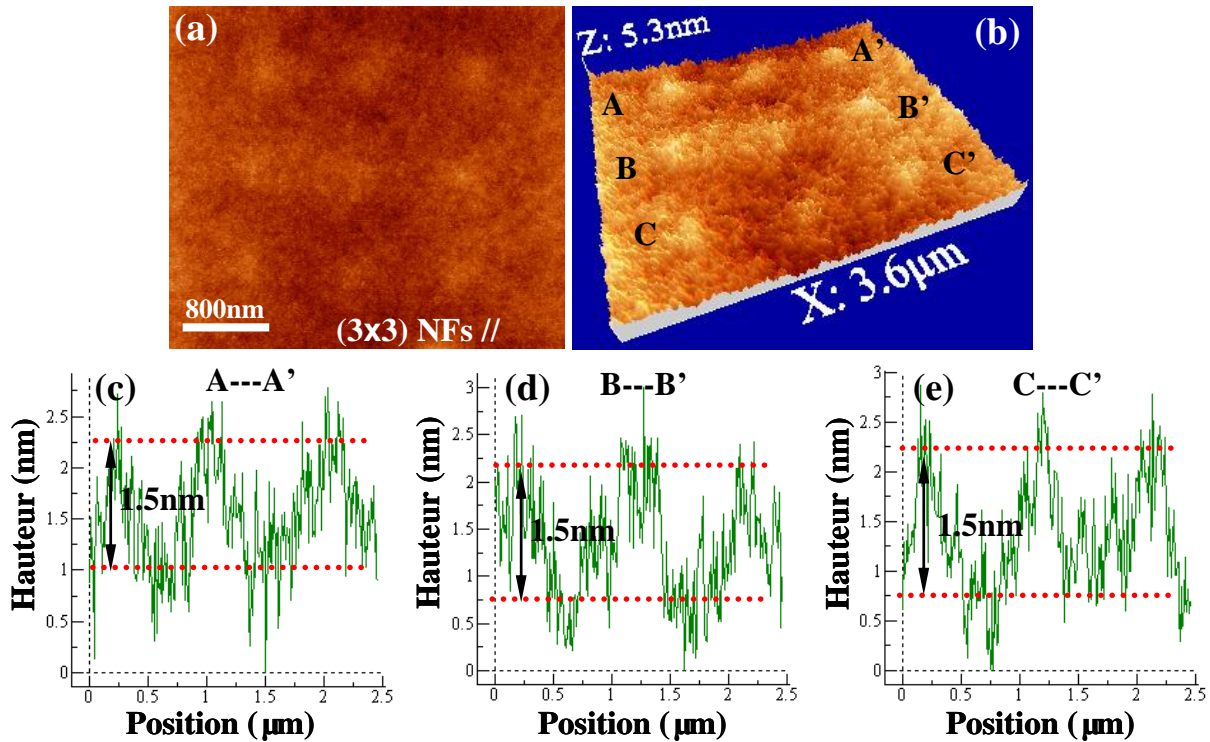


Figure 4-8. (a) et (b) Images AFM 2D et 3D d'analyse de la surface de HSQ couvert sur un réseau de nanofils verticaux (3×3), (c), (d) et (e) : les profils pour les trajets A-A', B-B' et C-C' sont notés sur l'image (b).

Après avoir réalisés des réseaux de nanofils verticaux avec une hauteur de 200 nm et un diamètre de 30 nm à 100 nm par une méthode combinant lithographie électronique et RIE (voir chapitre 2), une couche de 15 nm de Pt est déposée de façon anisotrope par évaporation au faisceau d'électrons et recuit à 350 °C sous N_2/H_2 ($95\% : 5\%$) pour réaliser un siliciure de platine (PtSi), comme le montre la Fig. 4-9 (a). Ensuite une couche uniforme de HSQ d'une épaisseur de $\sim 350 \text{ nm}$ est déposée par enduction et recuit à 110 °C pendant 5 min pour évaporer le solvant de la résine, schématisé par la Fig. 4-9 (b). Le réseau de nanofils verticaux est donc noyé dans cette couche de résine et la surface de la couche de HSQ présente une bonne planéité sur le réseau de nanofils, montré par une image MEB sur la Fig. 4-9 (b). Pour exposer les parties siliciurées des nanofils, la solution HF 0.1% est utilisée pour

amincir la couche de HSQ (Fig. 4-9 (c)). La surface de HSQ avant et après gravure par HF est observée par MEB en vue tiltée, comme le montre les Fig. 4-9 (b) et (c), respectivement. Enfin, la technique de lithographie électronique est utilisée afin de définir les positions de via et contact. Après la gravure des vias par une méthode RIE à base de plasma combinée à une chimie $\text{CHF}_3/\text{CF}_4/\text{Ar}$, les contacts de la source et du drain sont réalisés par un dépôt métallique de 400 nm d'aluminium. Une image (vue en coupe) au niveau de la Fig. 4-9 (d) montre une partie du réseau des nanofils verticaux avec un contact métallique. Grâce à un contrôle parfait du niveau de planarisation par cette méthode à base d'amincissement de la couche HSQ, les siliciures au niveau supérieur des nanofils sont bien en contact avec l'aluminium, permettant la caractérisation électrique des réseaux de nanofils.

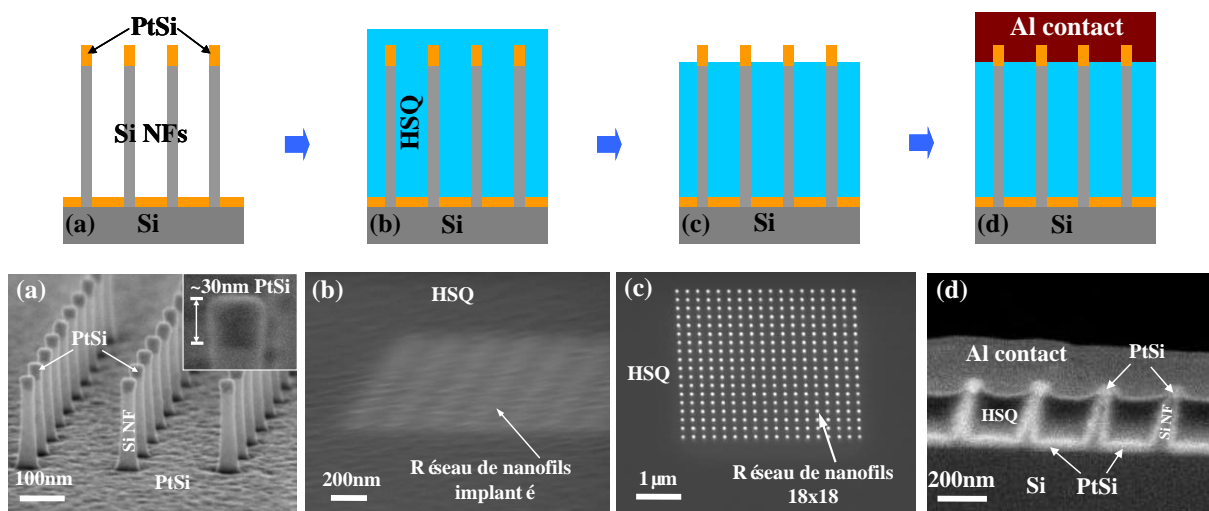


Figure 4-9. Représentation schématique et images MEB de la réalisation en 3 dimensions des contacts métalliques à base de réseau de nanofils verticaux : (a) Réseau de nanofils avec PtSi, (b) Dépôt d'une couche de HSQ par enduction, (c) Gravure de la HSQ par HF, (4) Dépôt d'une couche d'Al pour le contact supérieur.

4.2.2 Caractérisation électrique de réseaux de nanofils verticaux.

La caractérisation électrique des réseaux de nanofils verticaux est effectuée à l'aide de l'instrument de mesure Agilent 4511C. La Fig. 4-10 (a) présente l'image MEB (vue de dessus) du dispositif et le schéma de mesure (vue en coupe) est montré au niveau de la Fig. 4-10 (b). La configuration du dispositif de mesure peut être schématisée par deux jonctions verticales de type métal/semi-conducteur verticales séparées par une résistance série correspondante aux nanofils de silicium (R_{NF}). Au niveau de la Fig. 4-10 (c), une image MET (vue en coupe) montre le réseau des nanofils de silicium verticaux fortement dopés ($8 \times 10^{18} \text{ cm}^{-3}$) avec un diamètre de 32 nm, une longueur de 200 nm et une densité de $3 \times 10^9 \text{ cm}^{-2}$. Le siliciure de

platine au niveau supérieur des nanofils est bien contacté par l'aluminium après le procédé de planarisation.

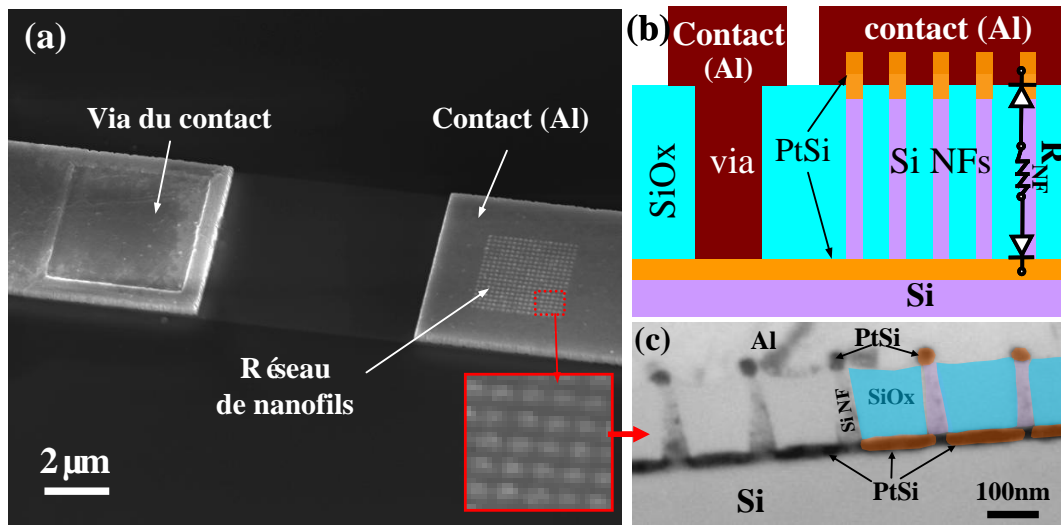


Figure 4-10. Configuration de mesure électrique : (a) image MEB du dispositif, (b) schéma du dispositif en vue de coupe, (c) image MET du réseau de nanofils avec contact vertical.

4.2.2.1 Impact du diamètre des nanofils.

Des réseaux de nanofils verticaux (324 en parallèles) avec un diamètre de 32 nm à 393 nm sont caractérisés à température ambiante (300 K). La caractéristique courant-tension ($I-V$) est montrée au niveau de la Fig. 4-11 où l'on peut voir que le courant augmente en fonction du diamètre des nanofils. Comme le montre le comportement non-linéaire du courant, la jonction PtSi / Si n'est pas ohmique. De plus, le courant ne sature pas, dû au niveau de dopage de $8 \times 10^{18} \text{ cm}^{-3}$ qui peut diminuer l'épaisseur de la barrière Schottky et favoriser le courant tunnel. Il est rappelé que le courant dans les systèmes de diodes tête bêche est toujours limité par la jonction qui fonctionne en mode inverse [15].

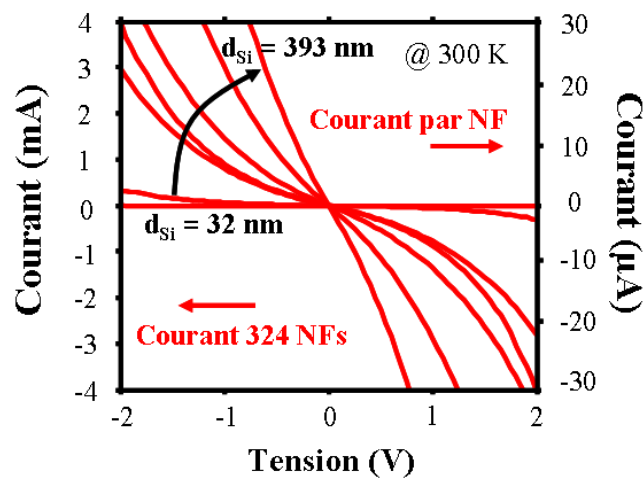


Figure 4-11. Caractérisation $I-V$ pour des réseaux de nanofils avec un diamètre d_{Si} allant de 32 nm à 393 nm. Le courant total ainsi que le courant moyen par nanofil sont présentés.

Ensuite, une caractérisation en fonction de la température a été effectuée pour des températures allant de 285 K à 120 K. Comme le montre les Fig. 4-12 (a) et (b), la diminution du courant lorsque la température est abaissée, confirme que le courant est bien limité par la diode en inverse car un transport dominé par la diffusion dans le silicium dopé aurait produit la tendance inverse [16].

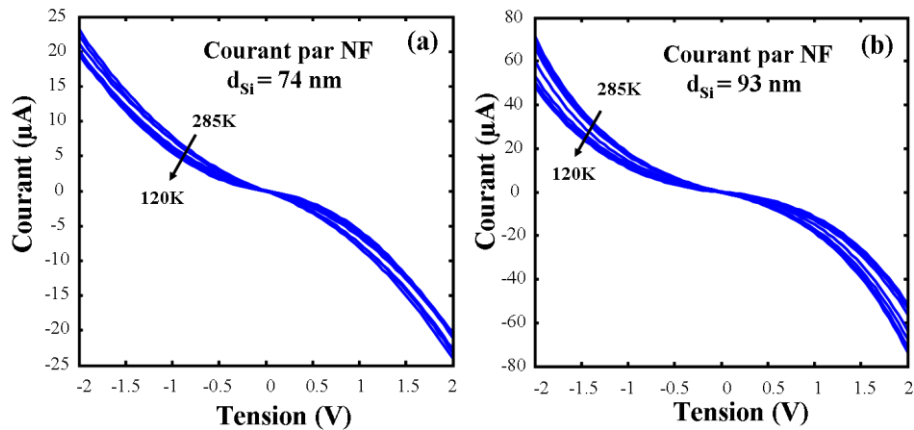


Figure 4-12. Caractérisation I-V en fonction de la température allant de 285K à 120K : (a) $d_{Si} = 74$ nm (b) $d_{Si} = 93$ nm.

4.2.2.2 Variabilité dans un nanofil unique.

Comme le montre la Fig. 4-13, pour un nanofil avec une longueur de 200 nm, le nombre moyen de dopants distribués dans un nanofil dépend de la concentration de dopage et du volume du nanofil. Par exemple, pour un nanofil de silicium dopé à 10^{17} /cm³ avec un diamètre de 30 nm, il y a seulement une dizaine de dopants distribués dans le nanofil. Des fluctuations de dopants peuvent alors grandement influencer les propriétés électriques du nanofil.

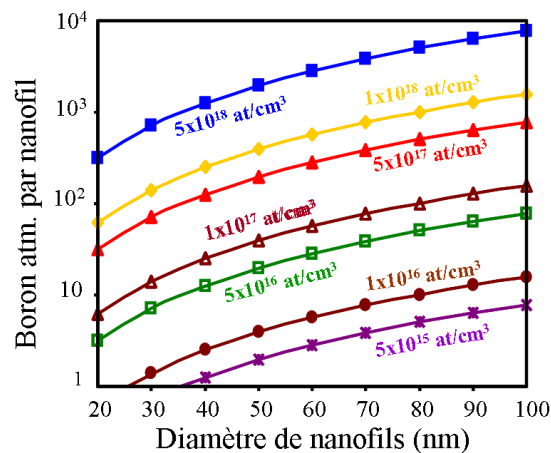


Figure 4-13. Nombre d'atomes de Bore dans un nanofil en fonction du diamètre du nanofil pour différentes concentrations de dopage.

La caractérisation I - V montrée au niveau de la Fig. 4-14 (a) présente le courant total pour des dispositifs composés de un à plusieurs nanofils en parallèle ($d_{Si} = 52$ nm). Sur la Fig. 4-14 (b), nous présentons le courant moyen passant dans chaque nanofil (en divisant le courant total par le nombre de nanofils). Comme nous pouvons le voir, en moyennant la mesure sur plusieurs nanofils (réseaux comprenant 81, 324 et 1296 nanofils), le courant par nanofil devient parfaitement reproductible, ce qui n'est pas le cas pour les mesures concernant les systèmes à 1 et 9 nanofils. Cette observation démontre clairement l'intérêt d'abordir une grande assemblée des nanostructures en parallèle pour atténuer la variabilité en raison de la nature stochastique de la distribution de dopants et de la hauteur de barrière Schottky inhomogène.

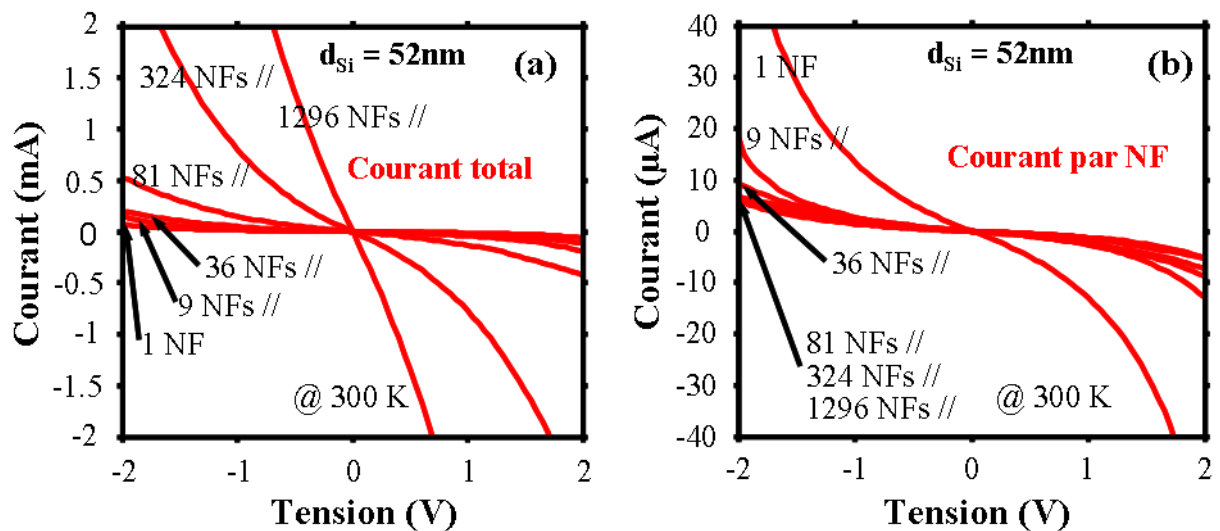


Figure 4-14. Caractérisation I - V pour des réseaux de nanofils avec un diamètre $d_{Si} = 52$ nm : (a) courant total pour un nombre différent de nanofils, (b) courant moyen passant dans chaque nanofil.

4.2.2.3 Impact de la déplétion de surface de nanofils sur la conductivité

Dans notre cas, la résistance totale (R_{total}) d'une structure de test peut être divisée en trois composantes: la résistance de contact ($R_{contact}$) qui caractérise le transport de charges à l'interface du siliciure et du silicium, la résistance intrinsèque des nanofils (R_{NF}) et la résistance des électrodes ($R_{electrodes}$). Dans la discussion qui précède, la dépendance en température et la non-linéarité des caractéristiques I - V ont été invoquées comme une signature claire indiquant que les contacts de jonction entre le siliciure et le silicium dominent la conductivité globale des réseaux de nanofils.

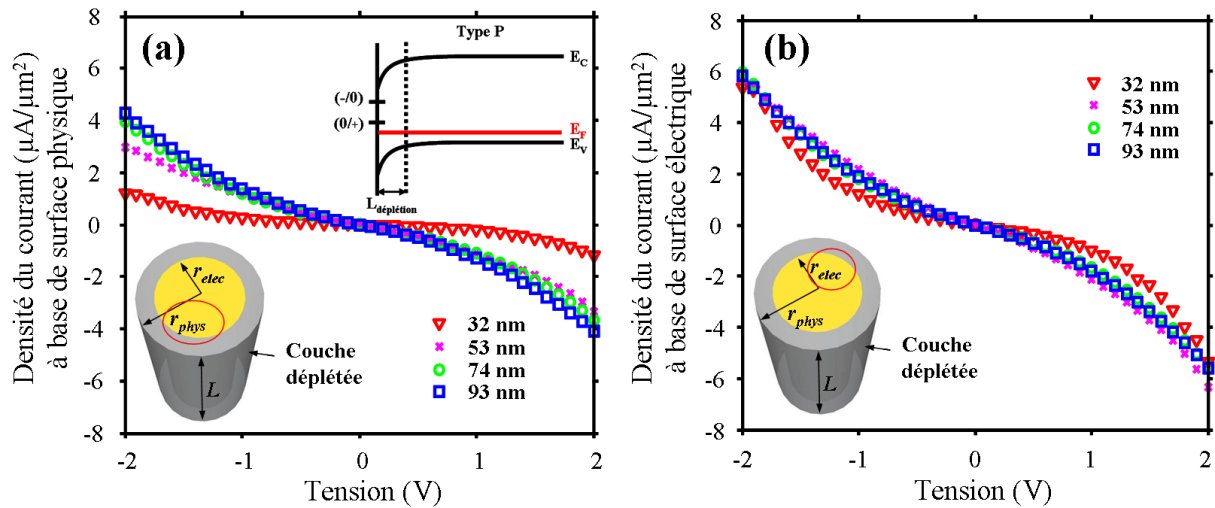


Figure 4-15. Densité de courant dans les nanofils en prenant en compte : (a) la surface physique des nanofils, (b) la surface électrique des nanofils (En médaillons : une image 3D schématisée des nanofils).

Dans le cas de nanofils, une couche de déplétion induite par des pièges sur la surface de silicium peut réduire la section efficace du nanofil. La Fig. 4-15 (a) présente la densité de courant passant dans chaque nanofil en considérant comme surface efficace la section physique du nanofil (πr_{phys}^2). On peut observer que cette densité de courant n'est pas constante, mais diminue lorsque le diamètre physique est réduit de 93 nm à 32 nm. Cet effet est attribué à la présence d'une couche de déplétion périphérique qui réduit la surface de la section conductrice. Cet effet dû aux pièges d'interface à la surface des nanofils a déjà été publié [17] [18] [19] [20]. Comme schématisé dans l'encart de la Fig. 4-15, un grand rapport de surface / volume inhérente à la géométrie cylindrique des nanofils a tendance à exacerber cet effet. Il faut noter que les pièges à la surface de silicium et à l'interface silicium / oxyde qui sont dus aux électrons non appariés par les liaisons pendantes [21] [22]. Il existe un piège dominant, le centre Pb, qui dispose deux sommets de distribution : le premier à 0.25 eV ~ 0.35 eV correspondant à des états donneurs (0/+) et le second à 0.7 eV ~ 0.85 eV associés aux états accepteurs (-/0). Dans le cas du dopage de type P, le niveau de Fermi reste au-dessous du niveau d'énergie associé aux états accepteurs. Ils restent donc vides des électrons aboutissant à un état de charge neutre. Seuls les états des donneurs au bord de la bande de valence et des énergies au-dessus du niveau de Fermi contribuent à l'accumulation des charges de surface positive. En considérant une densité de donneurs N_s , la balance des charges dans le nanofil peut être simplement décrite par l'Eq. 4-7, où N_a est la concentration de dopants, r_{phys} est le rayon physique du nanofil de silicium, r_{elec} est le rayon électrique correspondant à la région cylindrique non déplétée du nanofil et L est la longueur de distance déterminée entre les deux

contacts de PtSi. L'expression de la surface électrique équivalente (S_{elec}) est présentée à l'aide de l'équation 4-8 extraite à partir de l'équation 4-7 :

$$N_s 2\pi r_{phys} = N_a \pi (r_{phys}^2 - r_{elec}^2) \quad Eq. 4-7$$

$$S_{elec} = \pi r_{elec}^2 = \pi r_{phys}^2 \left(1 - \frac{2N_s}{r_{phys} N_a}\right) \quad Eq. 4-8$$

Pour des nanofils avec des diamètres plus petits, la totalité du volume du nanofil est complètement déplétée par les états d'interface, ce qui empêche le transport des charges. Dans notre cas, pour des nanofils de diamètre inférieur à 30 nm, une chute de courant est observée, ce qui indique que S_{elec} tend vers zéro lorsque le rayon du nanofil vaut 15 nm. En insérant ce diamètre critique dans l'équation 4-8, une densité de charge de surface peut être extraite à $6 \times 10^{12} \text{ cm}^{-2}$. Sur la base de cette analyse, la densité de courant calculée sur la surface électrique, S_{elec} , peut être évaluée comme le montre la Fig. 4-15 (b). Par rapport à la Fig. 4-15 (a), deux observations peuvent être faites : (1) la densité de courant avec S_{elec} est de nature conservative ; (2) les caractéristiques $I-V$ sont non-linéaires pour tous les nanofils de différents diamètres, ce qui permet d'indiquer que la résistance des jonctions de contact entre le siliciure et le silicium domine dans le comportement électrique. Nous voyons aussi que la surface d'injection de porteurs à l'interface du siliciure et du silicium est également régie par la déplétion radiale générée par les pièges de surface.

4.3 Intégration et caractérisation électrique des transistors à base de réseaux denses de nanofils verticaux de silicium.

Cette partie synthétise le procédé de fabrication de transistors à base de réseaux denses de nanofils verticaux de silicium intégrant une grille métallique entourante de dimension nanométrique et des source / drain métalliques siliciurés (PtSi). Les caractérisations électriques exposées sont focalisées en particulier sur l'impact du diamètre des nanofils ou de l'épaisseur de la couche d'oxyde sur le contrôle électrostatique du canal.

4.3.1 Procédé d'intégration des transistors à base de réseaux denses de nanofils verticaux.

Cette section présente le procédé de fabrication des transistors à base de nanofils verticaux avec une grille entourante comprenant les deux principales étapes :

(1) la réalisation de réseaux denses de nanofils verticaux avec une couche d'oxyde par oxydation thermique, qui sert de diélectrique de grille.

(2) l'intégration successive de zone de source et drain métalliques (PtSi) et d'une grille entourante métallique par dépôt anisotrope, séparés par planarisation en utilisant une couche d'oxyde.

La Fig. 4-16 montre les étapes du procédé utilisées pour la réalisation d'un réseau de nanofils verticaux intégrant une couche de diélectrique et des contacts source / drain siliciurés (PtSi). Deux variantes du procédé ont été développées :

Le procédé (a) est effectué pour la réalisation d'une couche diélectrique épaisse par oxydation humide et gravure anisotrope.

Le procédé (b) est utilisé pour fabriquer une couche fine de diélectrique (avec une épaisseur d'oxyde d'environ 3nm) utilisant deux étapes d'oxydation successives. L'oxydation humide est effectuée pour réduire le diamètre des nanofils et nettoyer leurs surfaces. Après une gravure chimique de la couche d'oxyde par une solution HF, une oxydation sèche est utilisée pour générer une couche fine d'oxyde, servant de couche diélectrique du transistor.

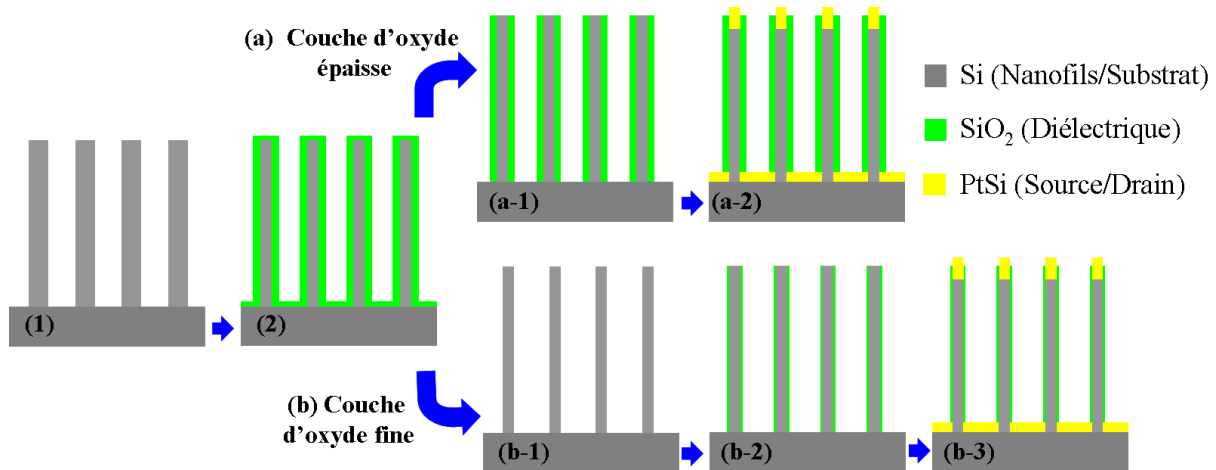


Figure 4-16. Procédure de réalisation de la couche de SiO_2 et des zones de source / drain à base de PtSi: (1) Réalisation du réseau de nanofils verticaux en silicium par RIE, (2) Croissance de la couche d'oxyde épaisse par oxydation humide.

Procédure (a), réalisation de la couche diélectrique épaisse : (a-1) gravure anisotrope de la couche d'oxyde, (a-2) réalisation des contacts source / drain par un dépôt anisotrope de Pt et siliciuration.

Procédure (b), réalisation de la couche diélectrique fine : (b-1) gravure d'oxyde par HF, (b-2) croissance d'une couche d'oxyde fine par l'oxydation sèche et gravure anisotrope de la couche d'oxyde, (b-3) réalisation des contacts source / drain par un dépôt anisotrope de Pt et siliciuration.

Après la réalisation de la couche de diélectrique et des contacts source / drain métalliques, l'intégration verticale d'une grille entourante en Cr est effectuée par un procédé relativement simple en utilisant une technique de planarisation (Fig. 4-17(a)) et d'amincissement (Fig. 4-17(b)) d'une couche SiO_x déposée par enduction (voir la partie 4.1.2.1). Ainsi, le réseau est noyé dans une matrice de HSQ qui est aminci par une gravure chimique dans une solution HF diluée (0.1 %). Une des innovations des transistors à base de nanofils verticaux est la réalisation d'une longueur de grille (L_G) qui ne nécessite plus d'étape de lithographie à haute résolution, permettant de relaxer les contraintes inhérentes à la lithographie. Comme le montre schématiquement la Fig. 4-17 (c), la longueur physique de grille est équivalente à l'épaisseur de métal de grille déposée, qui peut être contrôlée précisément lors du dépôt métallique. Avant le dépôt de la couche de Cr, la couche d'espaceur source-grille doit être parfaitement positionnée à mi-hauteur des nanofils, tout en minimisant l'effet de vague autour des nanofils.

Enfin, une deuxième espaceur séparant la grille et le drain est réalisé de manière identique au cas précédent (Fig. 4-17 (d)) afin de découvrir le sommet siliciuré des NFs. Finalement, un procédé de contact micrométrique inspiré d'une approche 'back-end' conventionnelle est réalisé où chaque niveau est connecté par un via terminé par un contact en aluminium.

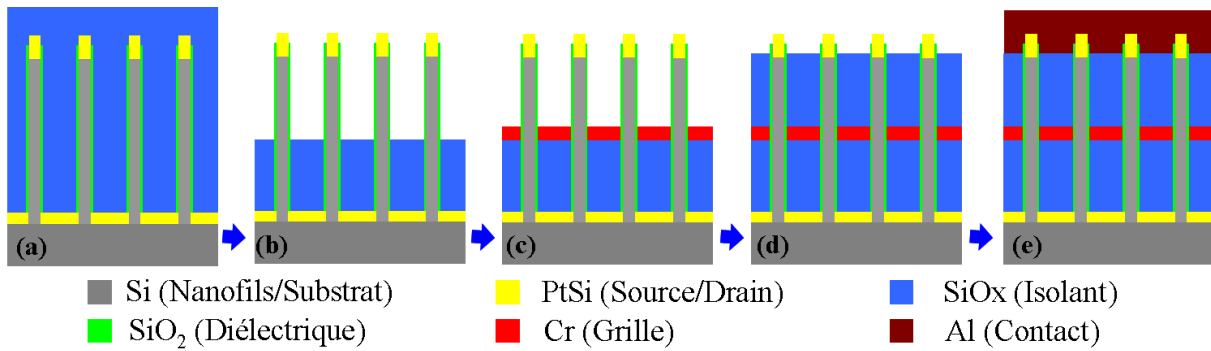


Figure 4-17. Procédure de fabrication des contacts de grille, de source et de drain: (a) dépôt d'une couche SiO_x par enduction, (b) amincissement de la couche de SiO_x par gravure HF diluée (c) réalisation de la grille entourante par dépôt anisotrope d'une couche de Cr, (d) dépôt d'une couche SiO_x par l'enduction et amincissement par gravure plasma, (e) réalisation de contacts micrométriques en aluminium.

La Fig. 4-18 propose deux représentations schématisques de la structure du transistor ainsi fabriqué, avec, à gauche, une vue en 3D et à droite une vue en coupe schématique d'un transistor à base d'un réseau dense de nanofils verticaux avec une grille entourante en Cr, des source / drain siliciurés (PtSi) et un contact supérieur en aluminium. Deux espaceurs en SiO_x sont réalisés afin d'isoler les différents contacts.

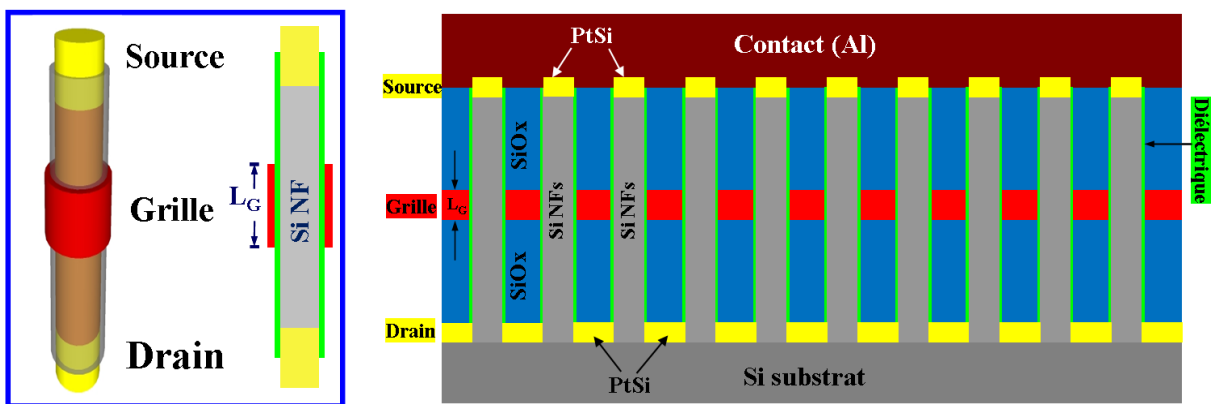


Figure 4-18. Représentation schématique d'un transistor à base d'un nanofil vertical avec une grille entourante et schéma (vue de coupe) d'un transistor à base d'un réseau dense de nanofils verticaux avec une grille entourante.

Au niveau de la réalisation technologique, l'Annexe 1 présente le procédé détaillé d'intégration du transistor à base de réseaux de nanofils verticaux avec une grille métallique (Cr) et les zones de source et drain en PtSi. Le procédé de fabrication est plus simple que d'autres réalisations publiées dans la littérature [23] [24] [25] [26]. Aucune étape d'implantation ionique et d'activation de dopant à haute température ne sont requises pendant le procédé de l'intégration, permettant ainsi de limiter le budget thermique du procédé. De plus, il est totalement compatible avec les lignes de fabrication CMOS classique. Nous

utilisons un dopage de l'ordre de 8×10^{18} (N ou P) afin de réduire à la fois la résistance de contact ainsi que la résistance de l'espaceur. Enfin, excepté la formation des réseaux de NFs, il ne nécessite aucune étape lithographique ultime et peut être réalisé en technologie optique conventionnelle. Par soucis de flexibilité (possibilité de modification du masque en cours de procédé), nous avons réalisé ces étapes en lithographie électronique en basse résolution. Le procédé complet comprend six étapes de lithographie dont les marques de repérage / alignement (1^{er} niveau) puis la définition du masque de NFs en HSQ. Ensuite quatre autres étapes, qui permettent la réalisation du transistor, sont décrites au niveau de la Fig. 4-19 : (1) un niveau de lithographie définit l'ouverture pour le dépôt de Pt (Fig. 4-19 (a)); (2) après siliciuration et planarisation, un autre niveau de lithographie est utilisé pour définir la grille en ouvrant la zone du dépôt de Cr (Fig. 4-19 (b)); (3) après la deuxième étape de planarisation, un troisième niveau de lithographie est effectué pour définir deux zones de via pour accéder au siliciure de source et à la grille en Cr (Fig. 4-19 (c)); (4) enfin, un dernier niveau de lithographie est effectué pour définir les contacts micrométriques de source / drain / grille (Fig. 4-19 (d)).

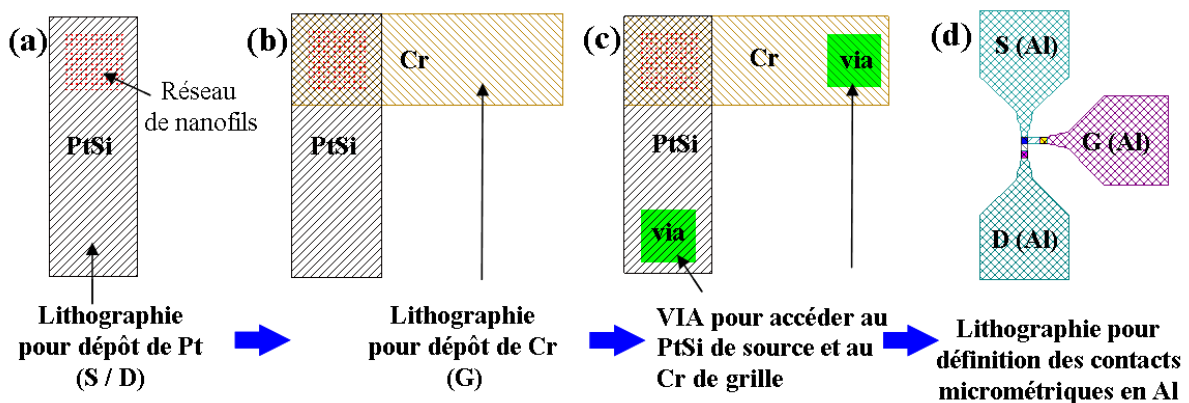


Figure 4-19. Représentation schématique des masques de lithographie du procédé de réalisation de transistors à base de nanofils verticaux : (a) définition de la zone de dépôt de Pt pour la réalisation de source (S) / drain (D) en PtSi; (b) définition de la zone de dépôt Cr pour la réalisation de la grille métallique entourante après la première planarisation; (c) définition de deux zones de gravure de la couche isolante (ouverture des vias); (d) définition de trois zones pour le dépôt d'Al pour la réalisation des contacts micrométriques de source (S) / drain (D) / grille (G).

Comme expliqué précédemment (paragraphe 4.2.1), la planarisation est l'une des clés du procédé. La Fig. 4-20 (images 3D et images MEB correspondantes) montre les deux étapes de planarisation (espaceurs source-grille et grille-drain) du procédé de fabrication du transistor. Les images MEB montrent l'excellente reproductibilité du procédé de réalisation qui permet notamment d'avoir un très bon contrôle du positionnement de la surface supérieure de

chaque espaceur. Grâce à la faible viscosité de la HSQ, la couche déposée est peu contrainte, ce qui peut conserver une parfaite verticalité des nanostructures, même pour les diamètres les plus fins.

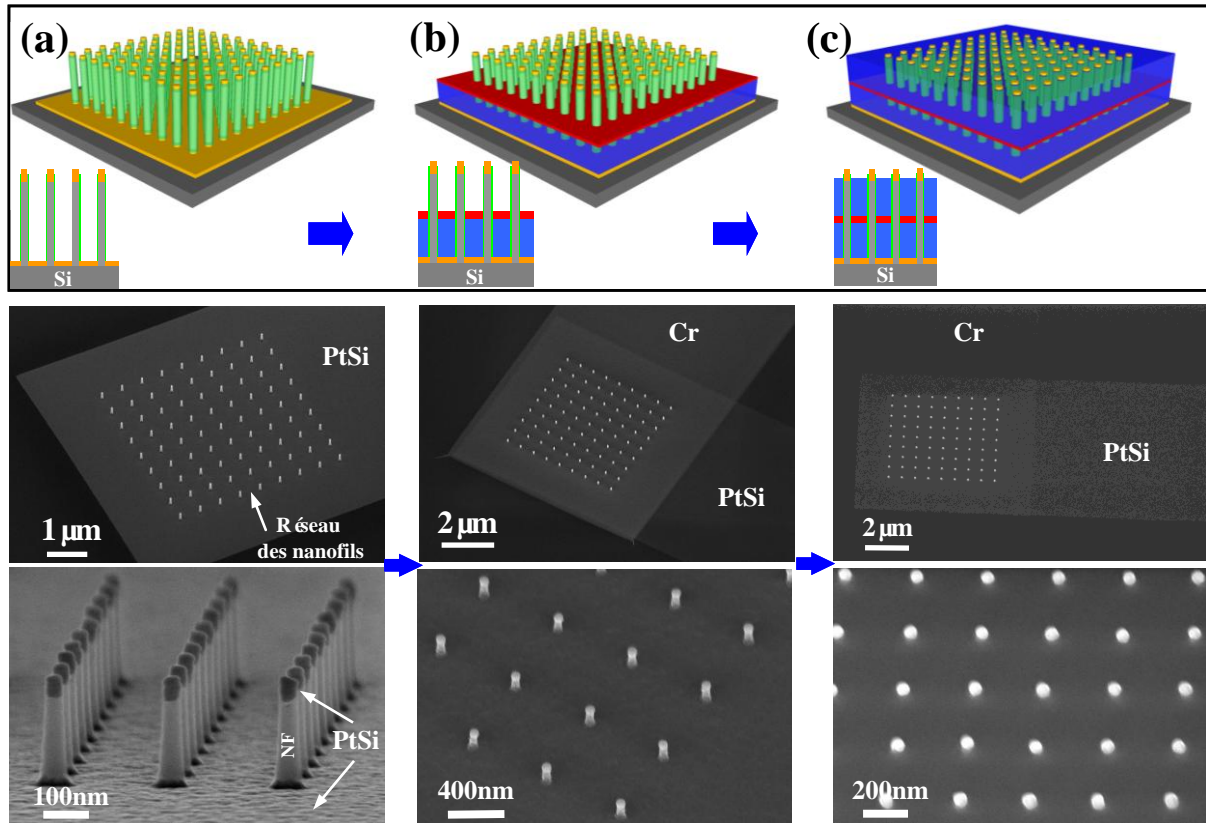


Figure 4-20. Représentation schématique en 3D et images MEB associées pour trois étapes importantes du procédé d'intégration : (a) Réalisation des contacts S/D à base de PtSi, (b) 1^{ère} planarisation en SiO_x et réalisation de la grille par dépôt d'une couche de Cr et (c) 2^{ème} planarisation en SiO_x pour exposer le niveau supérieur des NFs des nanofils (drain du transistor).

Après la deuxième planarisation et la définition des contacts aluminium par lithographie, un transistor intégré sur un réseau de nanofils verticaux est alors obtenu, comme le montre la Fig. 4-21 (images 3D et images MEB correspondantes). Il faut noter que ce procédé d'intégration peut rapidement être adapté pour des réseaux de nanofils verticaux obtenus par croissance, tel que des nanofils en III-V ou en Ge, etc.

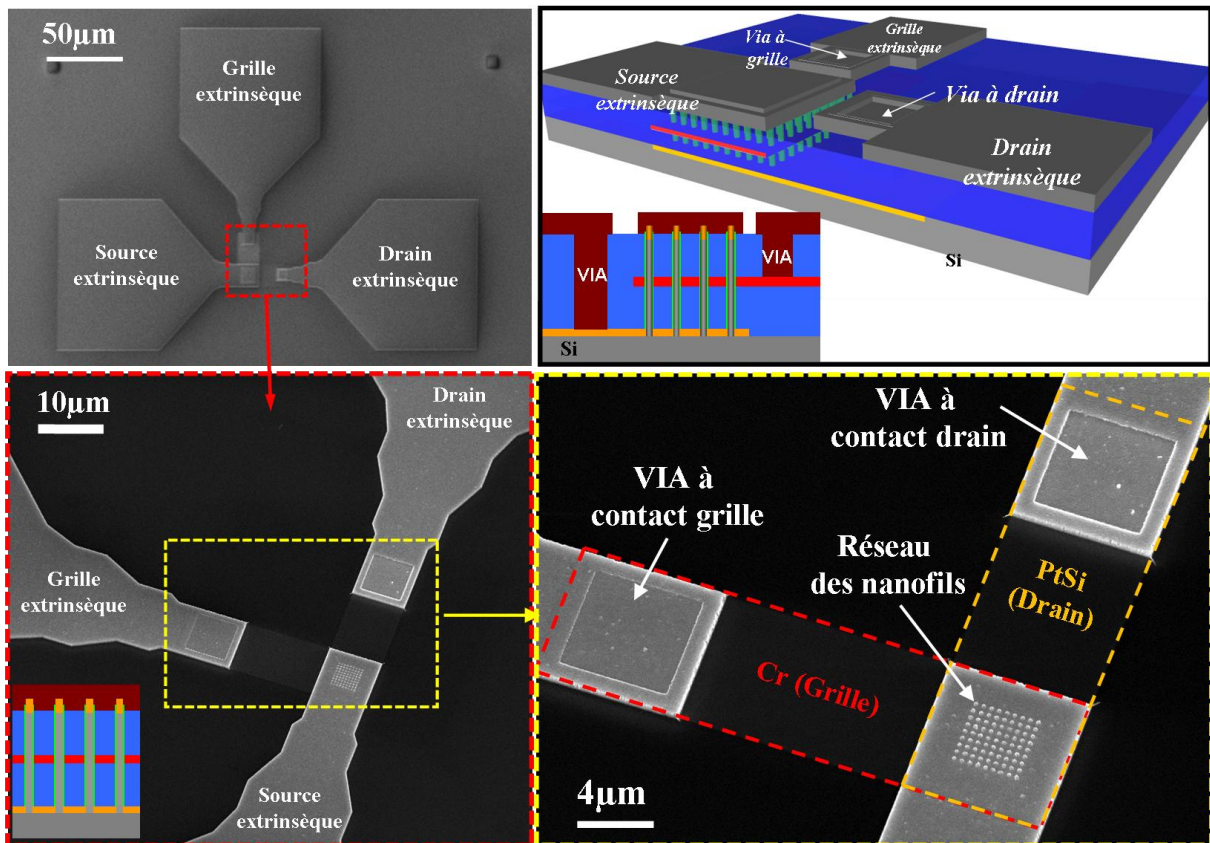


Figure 4-21. Images MEB et représentation schématique d'un transistor à base de réseau dense de 81 (9 x 9) nanofils verticaux de silicium.

Grâce à l'excellente reproductibilité du procédé, nous avons pu démontrer la fabrication de dispositifs pour des réseaux avec des milliers de NFs en parallèle, par exemple, la Fig. 4-22 propose un transistor à base d'un réseau de 2916 (54 x 54) nanofils verticaux sans défauts de topologie. La maîtrise du procédé est essentielle afin d'analyser systématiquement la performance du transistor en fonction du nombre de nanofils.

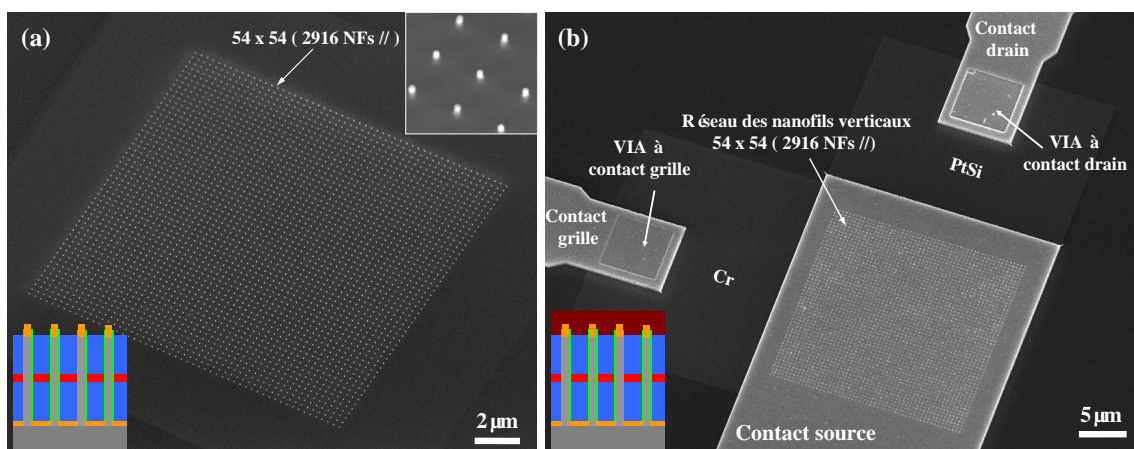


Figure 4-22. Images MEB d'un transistor à base de réseau dense de 2916 (54 x 54) nanofils verticaux de silicium en parallèle sans défauts de topologie: (a) après réalisation du procédé de planarisation pour exposer des nanofils au niveau supérieur, (b) après réalisation de vias et dépôt métallique (Al) des contacts.

4.3.2 Caractérisation électrique des transistors à base de réseaux denses de nanofils verticaux.

Le transistor MOSFET avec une grille entourante en Cr ($L_G = 15$ nm) à base de réseau des nanofils verticaux fabriqués a été caractérisé pour une épaisseur d'oxyde de 12 nm et 3 nm et un diamètre de nanofils variant de 20 nm à 85 nm. Les principaux résultats sont discutés et comparés dans cette section.

4.3.2.1 Caractérisation électrique des transistors à base de nanofils verticaux de silicium avec couche de diélectrique épaisse.

Le procédé de fabrication du transistor avec une épaisseur d'oxyde de 12 nm est présenté au niveau de la Fig. 4-16 (a) et Fig. 4-17, une couche d'oxyde initiale de 15 nm est générée pour une oxydation humide à 850°C pendant 10 min, après l'étape de gravure par HF avant métallisation du Pt, cette couche est diminuée à 12 nm (Fig. 4-23 (a)). La Fig. 4-23 (b) montre une image en vue de coupe réalisée par le canon à faisceau d'ions, (FIB de l'anglais, «focused ion beam») d'un transistor intégré sur un réseau de nanofils verticaux espacés de 300 nm, avec une grille entourante de $L_G = 15$ nm et des zones de source / drain en PtSi.

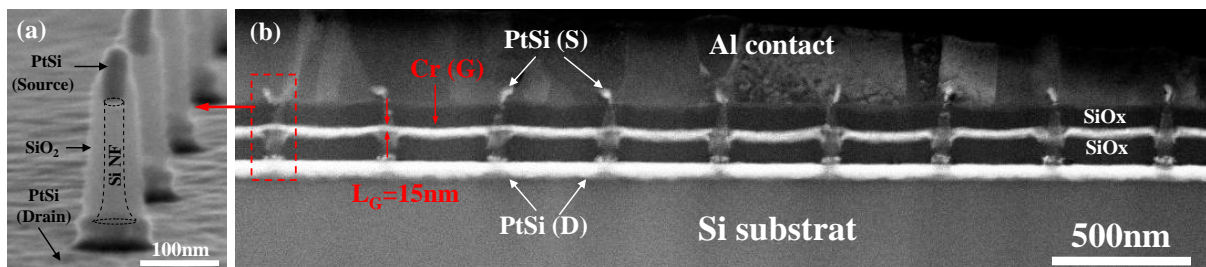


Figure 4-23. (a), Image MEB de nanofils après réalisation de la couche diélectrique et la siliciuration des zones de source / drain. (b) Image en vue de coupe d'un transistor à base de réseau (9 x 9) des nanofils verticaux de silicium.

La Fig. 4-24 présente des caractéristiques statiques $I_{DS} - V_{GS}$ et $I_{DS} - V_{DS}$ obtenues pour des transistors PMOS intégrés à l'aide de nanofils verticaux avec un diamètre (d_{Si}) variant de 19 nm, 23 nm, 34 nm et 44 nm, respectivement. Il apparaît que le contrôle électrostatique du canal est meilleur pour les transistors avec un diamètre plus fin ($d_{Si} = 19$ nm et $d_{Si} = 23$ nm) avec une pente sous le seuil ou SS (de l'anglais, « subthreshold slope ») de 117 mV/dec et 160 mV/dec et un effet DIBL de 59 mV/V et 96 mV/V. Le courant de fuite est très faible, de l'ordre de 10^{-11} A et un rapport Ion/Ioff supérieur à 10^5 (Fig. 4-24 (a2) et (b2)). En revanche,

pour des transistors avec des diamètres de nanofils plus larges ($d_{Si} = 34$ nm), la pente sous le seuil augmente brutalement à 282 mV/dec et un DIBL à 136 mV/V (Fig. 4-24 (c2)). Pour un transistor avec un diamètre de 44 nm, le contrôle du potentiel par l'électrode de grille est très faible, ce qui provoque une augmentation importante du courant de fuite (10^{-6} A). (Fig. 4-24 (d2)).

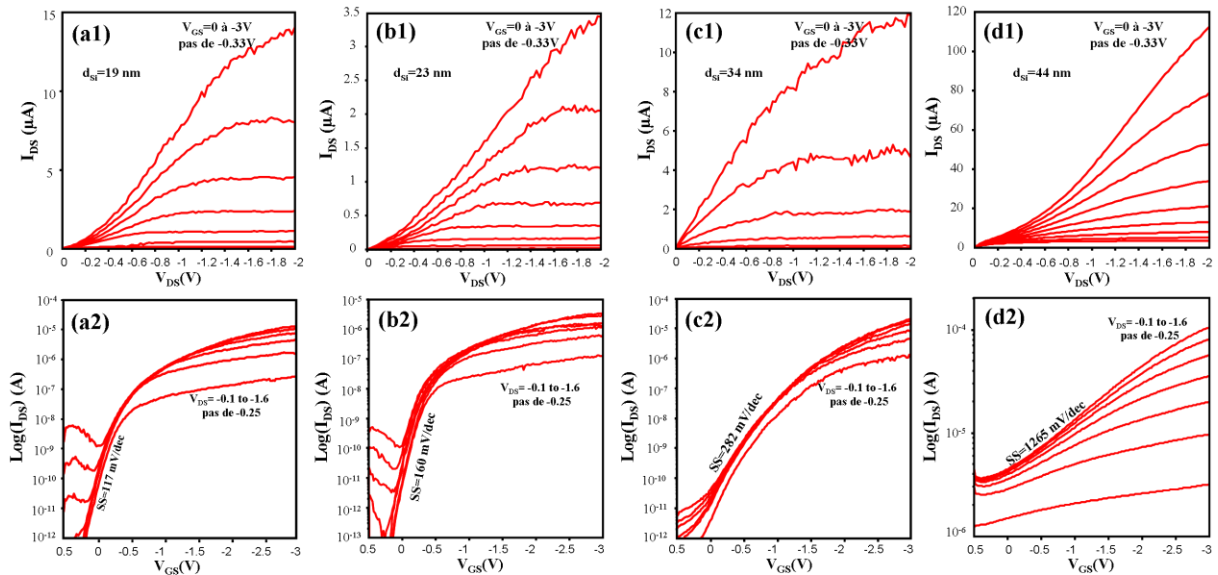


Figure 4-24. Caractéristiques statiques $I_{DS} - V_{DS}$ et $I_{DS} - V_{GS}$ des transistors PMOS à base de nanofils avec différents diamètres de nanofils: (a) $d_{Si} = 18$ nm, (b) $d_{Si} = 23$ nm, (c) $d_{Si} = 34$ nm et (d) $d_{Si} = 56$ nm.

Des résultats similaires ont été observés pour des dispositifs NMOS (Fig. 4-25) implémentés sur des NFs avec un dopage phosphore de 8×10^{18} at/cm³. Le contrôle électrostatique du canal par l'électrode de grille entourante est encore plus important pour des transistors implémentés sur des nanofils de diamètre de 19 nm et 23 nm avec une pente sous le seuil relativement faible, à 109 mV/dec et 187 mV/dec, le courant de fuite est de l'ordre de 10^{-10} A et le ratio I_{on}/I_{off} est d'environ 10^5 , respectivement (Fig. 4-25 (a2) et (b2)). En revanche, un mauvais contrôle par le potentiel de grille est observé dès un diamètre de 34 nm, la pente sous le seuil augmente brutalement à 720 mV/dec et le rapport I_{on}/I_{off} est seulement de 10^2 (Fig. 4-25 (c2)). Pour un transistor de diamètre 57 nm, le contrôle électrostatique par l'électrode de grille est quasi inexistant et le courant à l'état passant dans le canal ne peut pas atteindre le régime saturé (Fig. 4-25 (d2)).

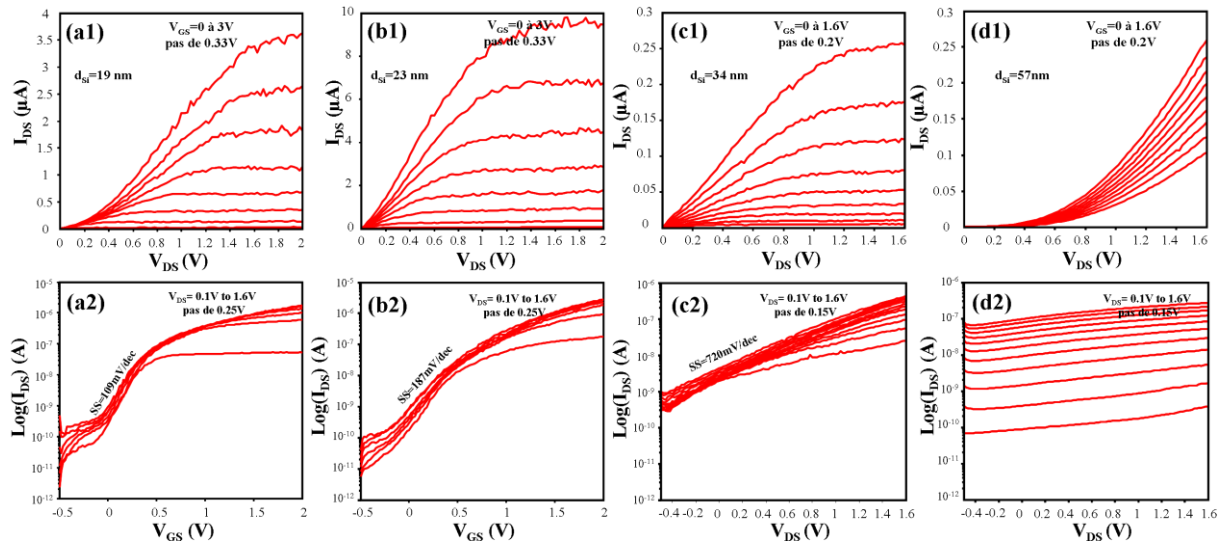


Figure 4-25. Caractéristiques statiques $I_{DS} - V_{DS}$ et $I_{DS} - V_{GS}$ de transistors NMOS à base de nanofils avec différents diamètres : (a) $d_{Si} = 18$ nm, (b) $d_{Si} = 23$ nm, (c) $d_{Si} = 34$ nm et (d) $d_{Si} = 56$ nm.

Comme abordé dans le premier chapitre de ce manuscrit, la réduction de la taille des dispositifs s'accompagne d'effets parasites, appelés effet canaux courts, à l'origine de la dégradation des performances pour un transistor de grille très courte. La pente sous le seuil, le courant de fuite et le DIBL sont les principaux paramètres qui caractérisent la perte de contrôle électrostatique de la grille. Les Fig. 4-26 (a) (b) et (c) proposent respectivement l'évolution de la pente sous le seuil, du courant de fuite et du DIBL en fonction du diamètre des nanofils pour des transistors PMOS et NMOS avec une grille entourante ($L_G = 15$ nm) et une épaisseur de diélectrique de 12 nm. Les trois paramètres augmentent rapidement avec l'augmentation du diamètre des nanofils, traduisant la perte de contrôle du canal par la grille lorsque le volume de semi-conducteur à contrôler devient grand. Pour un transistor MOS idéal, la pente sous le seuil minimale à température ambiante ($T = 300$ K) est de 60 mV/dec. Par comparaison, pour un transistor PMOS sur des NFs de 19 nm de diamètre, la pente sous le seuil du transistor est de 100 mV/dec, avec un DIBL de 59 mV/V pour une longueur de grille de 15 nm. Cependant, on peut considérer que la performance obtenue n'est pas encore optimisée, par exemple, le courant de commande du transistor PMOS intégré sur 81 nanofils en parallèle est faible ($I_{DS} = 0.34$ μ A à $V_{DS} = V_{GS} = -1$ V). Deux solutions seront proposées dans la partie suivante afin d'améliorer la performance du transistor : la première est la réalisation d'une couche diélectrique plus fine pour augmenter la capacité de grille, la deuxième est l'intégration d'un transistor avec un réseau très large afin d'augmenter le courant de commande tout en conservant un courant de fuite assez faible.

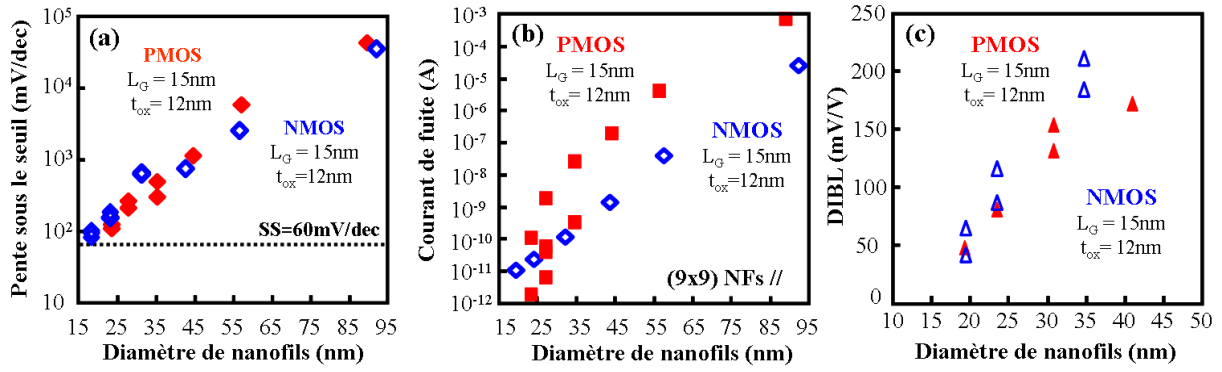


Figure 4-26. Comparaison du contrôle électrostatique des transistors NMOS et PMOS pour une couche diélectrique d'oxyde épaisse ($t_{ox} = 12 \text{ nm}$) : (a), Pente sous le seuil et (b), Courant de fuite pour un réseau des 81 nanofils en parallèle (c), DIBL en fonction du diamètre des nanofils.

La principale question concerne les leviers possibles permettant de renforcer le contrôle électrostatique du canal et d'améliorer les performances du transistor. Par exemple, la pente sous le seuil du transistor peut être exprimée à l'aide de l'équation 4-9, où C_{it} est la capacité d'interface SiO_2/Si et C_{ox} est la capacité de la couche diélectrique. Ainsi, l'augmentation de C_{ox} (en réduisant l'épaisseur de la couche diélectrique) permet de tendre vers une pente sous le seuil plus optimisée ($SS = 60 \text{ mV/dec}$).

$$SS = \frac{kT}{q} \ln 10 \left[1 + \frac{C_{it}}{C_{ox}} \right] \quad \text{Eq. 4-9}$$

De plus, la réduction de l'épaisseur de la couche diélectrique permet d'augmenter le courant de source en mode saturé I_{Dsat} comme décrit par l'équation 4-10.

$$I_{DS} = I_{Dsat} = \mu \cdot C_{ox} \cdot \frac{W}{L_{eff}} \cdot \frac{(V_{GS} - V_{th})^2}{2} \quad \text{Eq. 4-10}$$

4.3.2.2 Caractérisation électrique des transistors à base de nanofils verticaux en silicium avec une couche de diélectrique fine.

Pour réaliser une fine couche de diélectrique, une étape d'oxydation sèche à $725 \text{ }^\circ\text{C}$ est utilisée pour la croissance d'une couche initiale de 5 nm entourant les nanofils. Après l'étape de nettoyage avant l'étape de siliciuration par la solution d'HF diluée, l'épaisseur de couche d'oxyde est d'environ 3 nm . Un exemple de réseau de nanofils verticaux avec une couche d'oxyde fine après siliciuration des zones source / drain est présenté au niveau de la Fig. 4-27 (a). La Fig. 4-27 (b) montre deux images (vue en coupe) du dispositif après les étapes d'intégration verticale de la grille entourante en Cr ($L_G = 15 \text{ nm}$) et des contacts de

source / drain / grille. Malgré un réseau de nanofils avec un diamètre de 20 nm et une densité très élevée, ce procédé permet de réaliser un dispositif sans défauts de topologie.

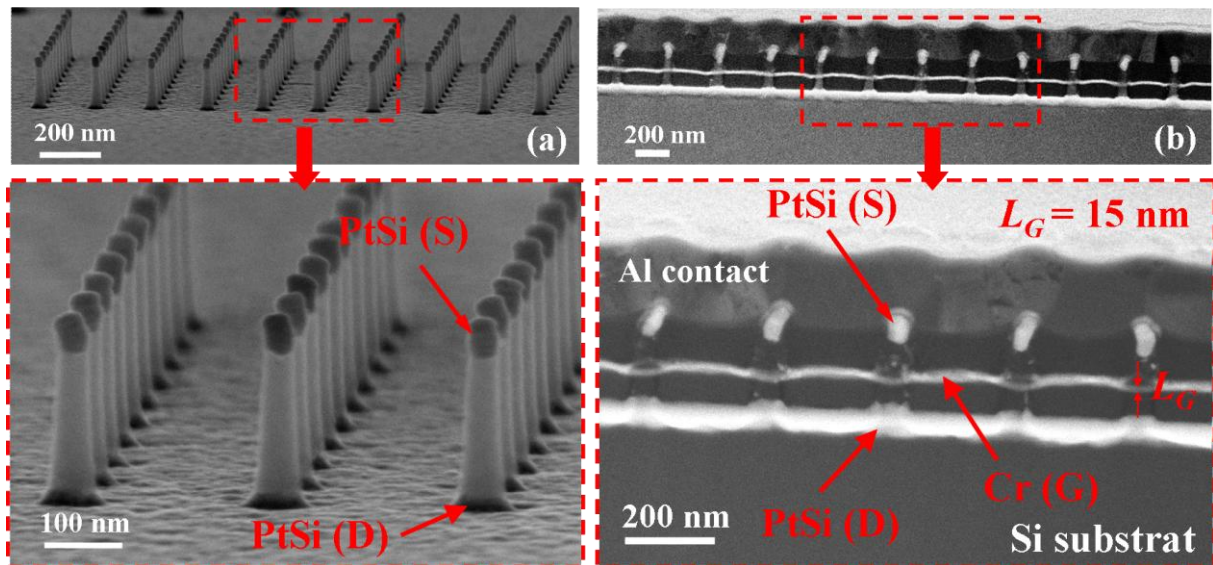


Figure 4-27. (a) Image MEB d'un réseau des nanofils après intégration de la couche diélectrique et des zones de source/drain en PtSi (b) Image MEB (vue en coupe FIB) d'un transistor à base de réseau de nanofils verticaux de silicium et image (vue en coupe FIB) du transistor sur une partie du réseau de nanofils.

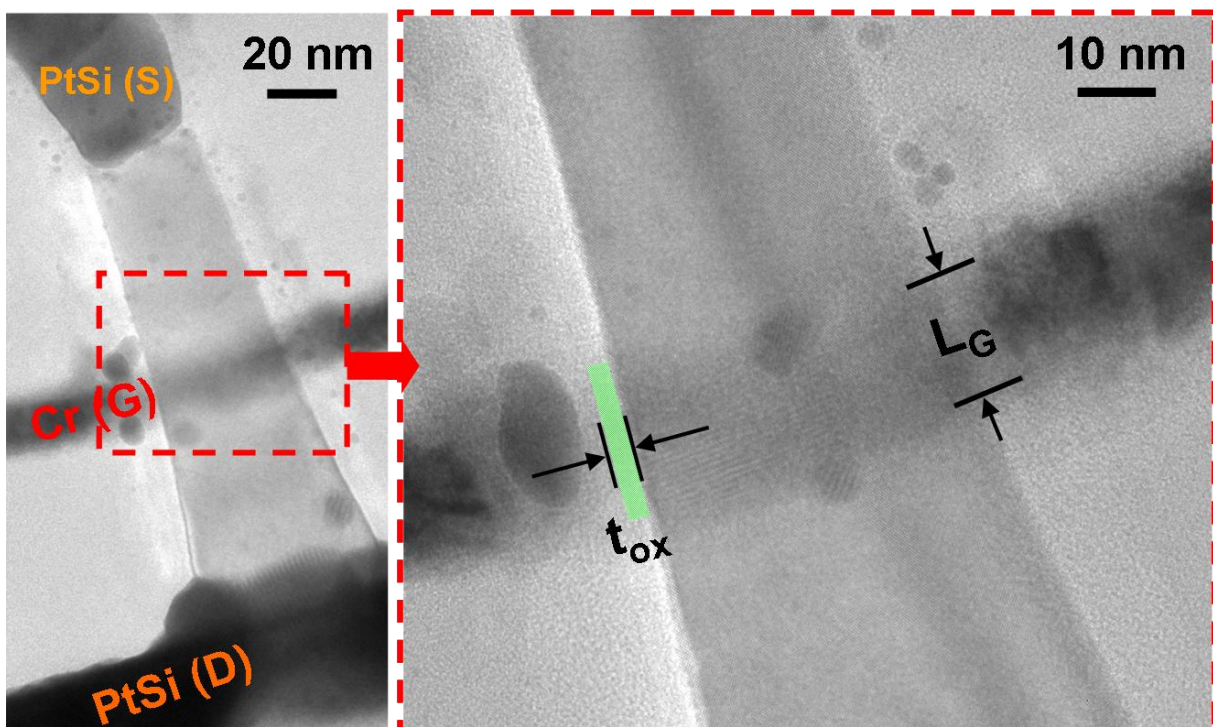


Figure 4-28. Image MET : configuration de transistor à base de NF avec la source et le drain métallique (PtSi), la grille métallique entourante (Cr) et la couche diélectrique d'oxyde. ($t_{ox}=3$ nm ; $L_G = 15$ nm)

Grâce aux images de MET en haute résolution, la configuration de transistor à base de NFs avec les source / drain métalliques (PtSi), la grille métallique entourante en Cr ($L_G=15$ nm) et la couche diélectrique d'oxyde ($t_{ox}=3$ nm) est montrée au niveau de la Fig. 4-28. La grille est bien alignée entourante le nanofil (canal) grâce à la technique de planarisation.

Le transistor avec une couche d'oxyde fine (3 nm) à base de nanofils a été caractérisé pour différents diamètres de nanofils variant de 20 nm à 85 nm et un nombre de nanofils composant le réseau variant de 1 à 2916. Les résultats les plus pertinents sont présentés et discutés. La Fig. 4-29 (a) à (d) présente les caractéristiques $I_{DS} - V_{GS}$ en échelle logarithmique et $I_{DS} - V_{DS}$ en échelle linéaire en médaillon pour des dispositifs à base d'un réseau de 81 nanofils en parallèle avec un diamètre de 20 nm, 30 nm, 39 nm et 52 nm, respectivement. Le courant à l'état bloqué est relativement faible, de l'ordre de 10^{-12} A pour des diamètres de 20 nm, 30 nm et 39 nm et 10^{-9} A pour diamètre de 52 nm. En revanche, le courant de commande est à l'ordre de 10^{-7} A pour des diamètres de 20 nm et 30 nm et 10^{-5} A pour les diamètres de 39 nm et 52 nm pour une tension $V_{GS} = V_{DS} = -1.4$ V. Cependant, les performances électriques en régime sous le seuil ne sont pas bonnes, car la pente sous le seuil pour les différents diamètres est de 110 mV/dec, 159 mV/dec, 157 mV/dec et 310 mV/dec à 300 K, respectivement.

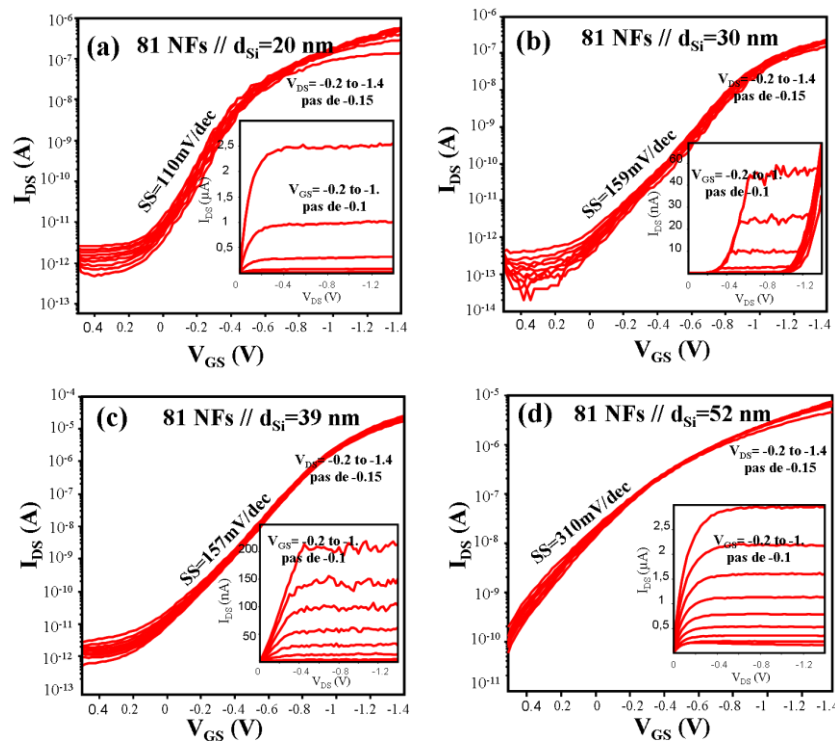


Figure 4-29. Caractéristiques statiques $I_{DS} - V_{GS}$ des transistors de type P en régime logarithmique mesurés pour un réseau de 81 nanofils en parallèle de diamètre : (a) 20 nm, (b) 30 nm, (c) 39 nm et (d) 52 nm, respectivement. Pour chaque médaillon, les caractéristiques $I_{DS} - V_{DS}$ en régime linéaire sont représentées.

Les Fig. 4-30 (a), (b) et (c) présentent une comparaison de la pente sous le seuil, du courant de fuite et du DIBL en fonction du diamètre des nanofils pour un dispositif intégrant un oxyde mince ou un oxyde épais, respectivement. D'après l'équation 4-9, quand l'épaisseur de couche diélectrique (SiO_2) diminue, la capacité C_{ox} augmente et la pente sous le seuil diminue. Ceci semble en partie vrai puisque l'on observe une légère amélioration de la pente sous le seuil pour le plus petit diamètre et la dégradation est moins sévère lorsque le diamètre des fils augmente. Ceci est aussi vrai pour le courant de fuite qui reste relativement faible (de l'ordre de 10^{-11} A) jusqu'à des diamètres de l'ordre de 40 nm. En revanche, le DIBL n'est pas très différent selon que la couche diélectrique est fine ou épaisse.

Il apparaît que les performances électriques semblent s'améliorer en réduisant l'épaisseur de couche diélectrique sans toutefois atteindre les valeurs optimisées. Un autre verrou va être adressé dans la partie suivante : le traitement / passivation des différents pièges présents dans le dispositif par recuit sous atmosphère hydrogénée.

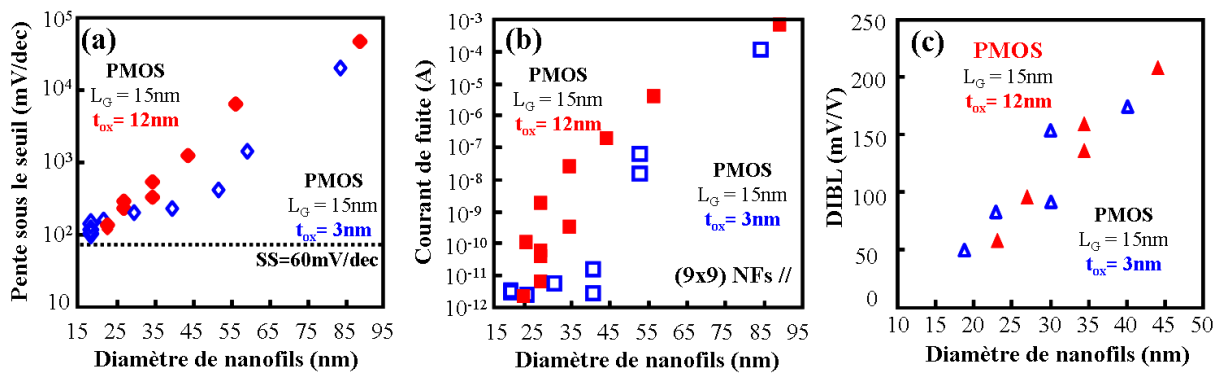


Figure 4-30. Comparaison du contrôle électrostatique des transistors PMOS pour une couche diélectrique d'oxyde épaisse ($t_{ox} = 12\text{nm}$) et fine ($t_{ox} = 3\text{nm}$) : (a), Pente sous le seuil, (b), Courant de fuite (c), DIBL en fonction du diamètre des nanofils, respectivement.

4.3.2.3 Amélioration de la performance de transistors par diminution des défauts d'interface.

Afin de réduire l'influence des états d'interface Si/SiO_2 et PtSi/Si sur les caractéristiques électriques, un recuit sous atmosphère N_2/H_2 (95 % : 5 %) a été effectué sur les transistors. Une comparaison des caractéristiques $I_{DS} - V_{GS}$ est présentée au niveau de la Fig. 4-31. L'amélioration de la caractéristique $I_{DS} - V_{DS}$ est spectaculaire pour l'immunité contre les effets canaux courts, par exemple, la pente sous le seuil est améliorée de 153 mV/dec à 97 mV/dec et de 213 mV/dec à 90 mV/dec et le DIBL est diminué de 156 mV/V à 11 mV/V et de 175 mV/V à 7 mV/V pour les transistors implémentés sur des NFs de diamètres de 30 nm et 39 nm, respectivement. L'augmentation du courant I_{DS} ($V_{GS} = V_{DS} =$

1.0 V) est de 4.4×10^{-7} A à 2.1×10^{-5} A (x 49) et de 2.8×10^{-7} A à 1.1×10^{-5} A (x 39), pour des transistors implémentés sur des NFs de diamètres de 30 nm et 39 nm, respectivement, générant un ratio I_{on}/I_{off} supérieur à 10^6 . Cette étape de passivation permet de réduire les défauts à l'interface SiO_2/Si diminuant ainsi la valeur de la capacité C_{it} et permet à pente sous le seuil d'être nettement améliorée. De plus, la passivation hydrogénée est aussi connue pour réduire les défauts / liaisons pendantes à l'interface siliciure/Si au niveau des contacts S/D [27], permettant de réduire la hauteur de barrière Schottky et ainsi d'augmenter l'injection des porteurs.

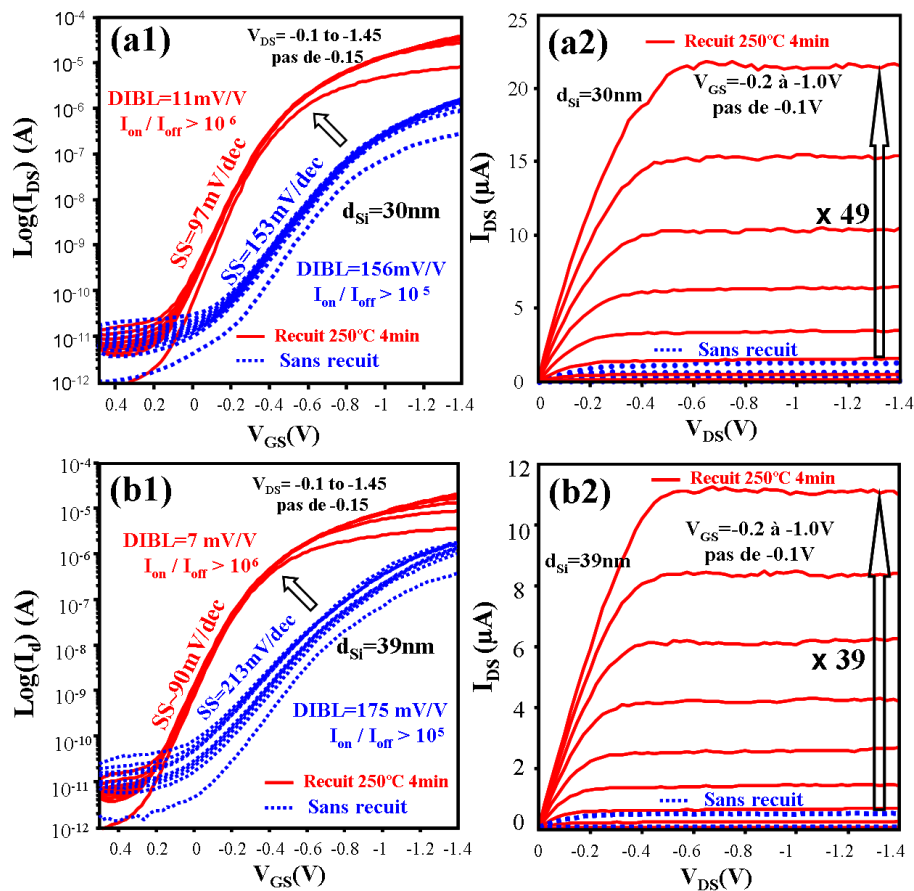


Figure 4-31. Comparaison entre les caractéristiques $I_{DS}-V_{GS}$ et $I_{DS}-V_{DS}$ sans recuit et avec un recuit de post-siliciuration sous N_2/H_2 250 °C durant 4min pour un transistor implémenté à l'aide d'un réseau de 2916 nanofils en parallèle avec un diamètre de (a) $d_{Si} = 30 \text{ nm}$ et (b) $d_{Si} = 39 \text{ nm}$.

L'amélioration des performances liées au traitement thermique nous permet une analyse plus fine des résultats. La Fig. 4-32 montre quatre caractéristiques statiques, $I_{DS}-V_{GS}$ en échelle logarithmique et $I_{DS}-V_{DS}$ en linéaire de transistors à base de nanofils de diamètres de 30nm, 39 nm, 52 nm et 85 nm, respectivement. On retrouve la perte du contrôle du canal par l'électrode de grille entourante ($L_G = 15 \text{ nm}$) avec l'augmentation du diamètre des nanofils. Ceci se traduit par une dégradation de la pente sous le seuil, 83 mV/dec pour un

dispositif dont le diamètre du nanofil est 39 nm alors que le nanofils de 52 nm de diamètre présente une pente sous le seuil égale à 310 mV/dec. Le rapport I_{on}/I_{off} est supérieur à 10^6 pour les diamètres de 39 nm et chute à 10^3 pour 52 nm. Le cas extrême est représenté par la caractéristique d'un transistor de basé sur des nanofils 85 nm de diamètre (Fig. 4-31 (c)), le contrôle du canal par la grille est quasi inexistant et le courant passant ne peut pas entrer dans le régime saturé et enfin le courant à l'état bloqué est supérieur à $10 \mu A$.

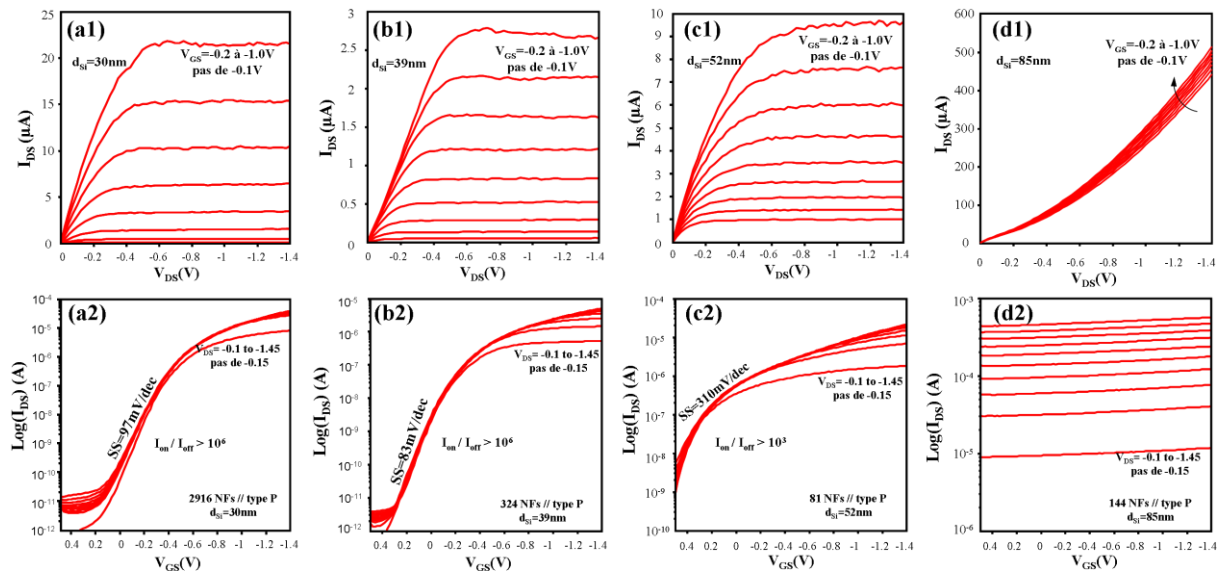


Figure 4-32. (a) à (d) Caractéristiques statiques I - V de transistors PMOS à base de nanofils verticaux de diamètre de (a) 30 nm, (b) 39 nm, (c) 52 nm, (d) 85 nm ($t_{ox} = 3$ nm).

4.3.2.4 Corrélation entre le courant d'arrêt et le nombre de nanofils du réseau.

Grâce à une excellente reproductibilité du procédé de fabrication, les caractéristiques statiques I - V (Fig. 4-33) de transistors à base de nanofils de même diamètre ($d_{Si} = 39$ nm) sont quasi-identiques en termes de pente sous le seuil (90 mV/dec), de DIBL (7 mV/V) et de rapport I_{on}/I_{off} (supérieur à 10^6).

Les figures 4-33 (a1), (b1), (c1) et (d1) comparent les courants débités par des transistors à base de 81, 324, 1296 et 2916 nanofils, respectivement. Comme prévu, le courant de commande du transistor est parfaitement proportionnel au nombre de nanofils intégrés dans chaque dispositif. Par exemple, I_{DS} augmente de $0.63 \mu A$ à $24 \mu A$ (facteur 38) par intégration de 81 nanofils à 2916 nanofils en parallèle (facteur 36). La quantification de la largeur électrique effective par le nombre de nanofils est donc bien vérifiée. Le courant à l'état passant du canal I_{DS} peut être amélioré en intégrant tout simplement plus de nanofils.

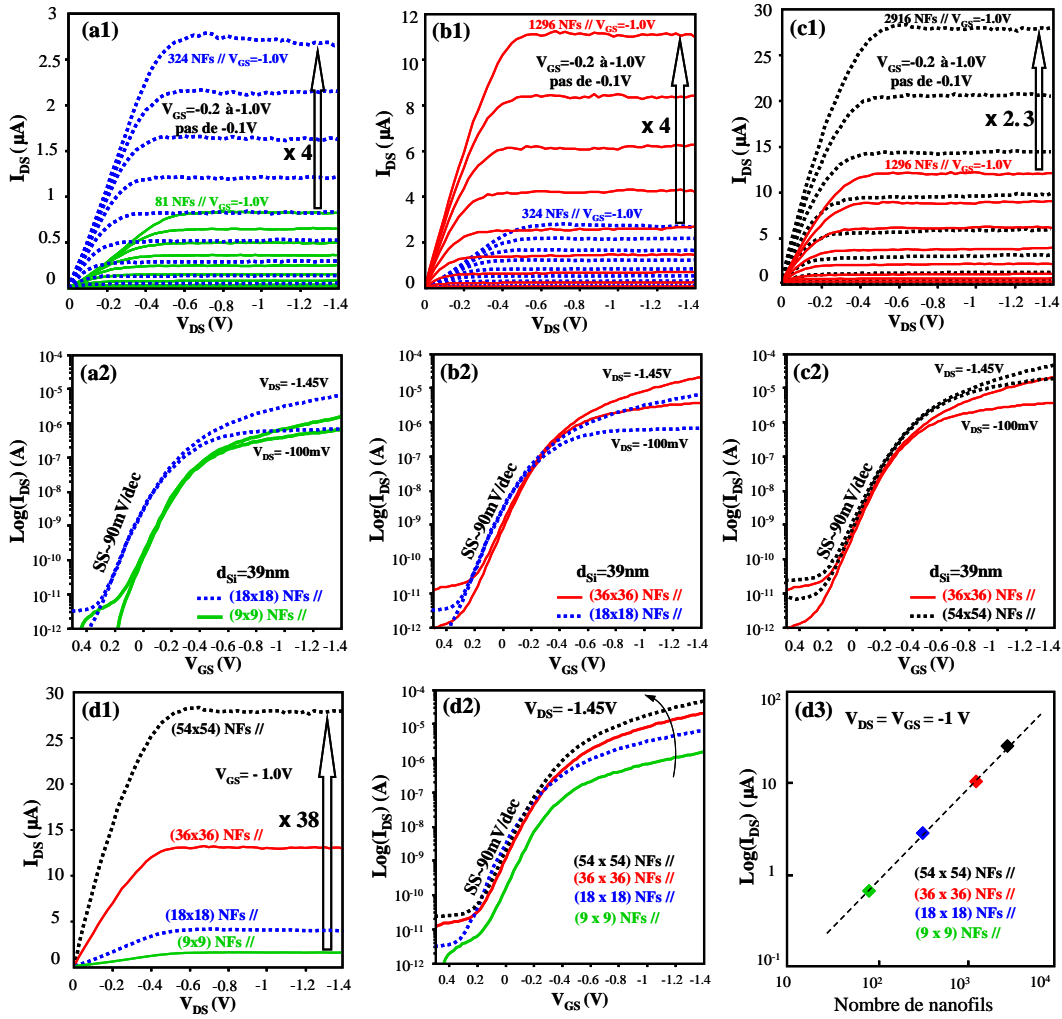


Figure 4-33. Comparaison des caractéristiques statiques $I_{DS} - V_{DS}$ et $\log(I_{DS}) - V_{GS}$ de transistors à base de (a) : 81 et 324 nanofils, (b) : 324 et 1296 nanofils, (c) : 1296 et 2916 nanofils.

4.3.2.5 Etat de l'art des transistors à base de nanofils verticaux.

Les résultats obtenus dans ces travaux sont comparés dans le Tab. 4-1 à l'état de l'art des dispositifs intégrés par des nanofils verticaux.

Les résultats réalisés au cours de ce travail ont démontré des rapports I_{on}/I_{off} élevés (supérieur à 3.4×10^6) pour une polarisation de $V_{GS} = V_{DS} = -1$ V (ou $V_{DD} = -1$ V) et une excellente immunité contre les effets canaux courts en comparaison à l'extrême miniaturisation de grille proposée ($L_G = 15$ nm). Ces premiers résultats se positionnent extrêmement favorablement par rapport à l'état de l'art mondial et permettent d'envisager de nombreuses caractérisations et nouvelles implémentations afin d'asseoir cette architecture comme une alternative crédible pour les futures générations de transistors sub-12 nm.

	Goldberger et al.	Schmidt et al.	Ng et al.		Yang et al.	Thelander et al.	Bryllert et al.	Tanaka et al.	Ce travail
Fabrication NF	bottom-up	bottom-up	bottom-up	bottom-up	top-down	bottom-up	bottom-up	bottom-up	top-down
Type de NFs	Si (type p)	Si (type p)	ZnO (type n)	ZnO (type p)	Si (type n)	InAs (type n)	InAs (type n)	InAs (type n)	Si (type p)
Nombre de NFs	1	10 ⁴ -10 ⁵	1	1	1	1	40	1	1296
Diamètre NF (nm)	20-30	40+/-5	40	40	25	50+/-10	80	100	39
Grille	Cr (GAA)	Al (GAA)	Cr (GAA)	Cr (GAA)	Poly Si (GAA)	Cr (GAA)	Ti/Au (GAA)	W (GAA)	Cr (GAA)
L _G (nm)	500-600	30	200	200	150	50	1000	300	15
Diélectrique	SiO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂	HfO ₂	SiN _x	HfAlO	SiO₂
t _{ox} (nm)	30-40	10	20	20	5	10	40-60	20	3
V _{dd} (V)	-1		1	-1	1.2	1	0.8	1	-1
I _{on} (μA/μm)					1000	200			3328
I _{on} (μA)			0.2	0.03	25	10	100	25	129.8
I _{on} /I _{off}	~10 ⁴	6			~10 ⁷	~10 ⁵	~10 ³	~10 ⁴	3.4 x 10⁶
SS (mV/dec)	120		170	130	100	-90	100	320	83
DIBL (mV/V)					50				4

Tableau 4-1 : Etat de l'art des performances de transistors à nanofils verticaux réalisés par Goldberger et al. [23], Schmidt et al. [28], Ng et al. [29], Yang et al. [26], Thelander et al. [30], Bryllert et al. [24], Tanaka et al. [25].

Conclusion.

Dans ce chapitre, la première partie a montré le développement d'une technique de planarisation à base d'amincissement d'une couche de résine inorganique (HSQ) par gravure à l'aide d'une solution HF diluée. Celle-ci peut être utilisée pour intégrer des dispositifs à base de nanofils verticaux. Ensuite, ces dispositifs à base de nanofils verticaux avec des contacts métalliques (PtSi) ont été fabriqués et leurs caractéristiques électriques ont été analysées. Grâce à une excellente reproductivité technologique, cette méthode permet d'analyser les propriétés électriques des nanofils systématiquement en évitant l'influence de l'effet de fluctuations de dopants dans un nanofil individuel. De plus, l'influence de la couche de déplétion de surface des nanofils sur le transport électrique de nanofils a été observé et discuté.

Dans une deuxième partie, un procédé original de fabrication de transistor MOSFET à barrière Schottky à base d'un réseau dense de nanofils de silicium verticaux est détaillé avec l'intégration d'une grille métallique entourante de longueur nanométrique ($L_G = 15$ nm). Les caractéristiques statiques présentent un excellent contrôle du canal par l'électrode de grille. Après passivation par un traitement thermique sous atmosphère hydrogénée, la performance du dispositif est nettement améliorée. L'intégration d'un nombre important de nanofils permet d'augmenter proportionnellement le courant de commande est tout en gardant un bon contrôle électrostatique. Ces premiers résultats se positionnent extrêmement favorablement par rapport à l'état de l'art mondial.

Bibliographie

- [1] H. Mathieu, T. Bretagnon, and P. Lefebvre, *Physique des semiconducteurs et des composants électroniques : problèmes résolus*, 1 vols. Paris: Dunod, 2001.
- [2] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*. John Wiley and Sons, 2007.
- [3] M. Pierre, R. Wacquez, X. Jehl, M. Sanquer, M. Vinet and O. Cueto, "Single-donor ionization energies in a nanoscale CMOS channel," *Nat Nano*, vol. 5, no. 2, pp. 133-137, Feb. 2010.
- [4] O. Gunawan et al., "Measurement of Carrier Mobility in Silicon Nanowires," *Nano Letters*, vol. 8, no. 6, pp. 1566-1571, Jun. 2008.
- [5] J. Bauer et al., "Electrical properties of nominally undoped silicon nanowires grown by molecular-beam epitaxy," *Applied Physics Letters*, vol. 90, no. 1, p. 012105, 2007.
- [6] S. Hoffmann et al., "Axial p-n Junctions Realized in Silicon Nanowires by Ion Implantation," *Nano Letters*, vol. 9, no. 4, pp. 1341-1344, Apr. 2009.
- [7] H.-J. Lee et al., "A New, Low-Thermal-Budget Planarization Scheme for Pre-Metal Dielectric Using Electron-Beam Cured Hydrogen Silsesquioxane in Device," *Japanese Journal of Applied Physics*, vol. 39, no. Part 1, No. 7A, pp. 3924-3929, Jul. 2000.
- [8] Y. Zeng, S. W. Russell, A. J. McKerrow, L. Chen, and T. L. Alford, "Effectiveness of Ti, TiN, Ta, TaN, and W₂N as barriers for the integration of low-k dielectric hydrogen silsesquioxane," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 18, no. 1, p. 221, 2000.
- [9] S.-W. Chung, J.-H. Shin, N.-H. Park, and J. W. Park, "Dielectric Properties of Hydrogen Silsesquioxane Films Degraded by Heat and Plasma Treatment," *Japanese Journal of Applied Physics*, vol. 38, no. Part 1, No. 9A, pp. 5214-5219, Sep. 1999.
- [10] J.-H. Zhao et al., "Thermomechanical properties and moisture uptake characteristics of hydrogen silsesquioxane submicron films," *Applied Physics Letters*, vol. 74, no. 7, p. 944, 1999.
- [11] H. Namatsu, "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 16, no. 1, p. 69, Jan. 1998.
- [12] Y. K. Siew, G. Sarkar, X. Hu, J. Hui, A. See, and C. T. Chua, "Thermal Curing of Hydrogen Silsesquioxane," *Journal of The Electrochemical Society*, vol. 147, no. 1, pp. 335-339, Jan. 2000.
- [13] C.-C. Yang and W.-C. Chen, "The structures and properties of hydrogen silsesquioxane (HSQ) films produced by thermal curing," *Journal of Materials Chemistry*, vol. 12, no. 4, pp. 1138-1141, Mar. 2002.
- [14] F. Fruleux (-Cornu), "Conception, Elaboration et Caractérisation de dispositifs CMOS émergents: Une nouvelle approche d'intégration de transistors multi-grille de type FinFET," Thèse de doctorat, Université de Lille 1, 2007.
- [15] E. Dubois and G. Larrieu, "Measurement of low Schottky barrier heights applied to metallic source/drain metal-oxide-semiconductor field effect transistors," *Journal of Applied Physics*, vol. 96, no. 1, p. 729, 2004.
- [16] N. Reckinger et al., "Schottky barrier lowering with the formation of crystalline Er silicide on n-Si upon thermal annealing," *Applied Physics Letters*, vol. 94, no. 19, p. 191913, 2009.
- [17] Y. Y. Kim and P. M. Lenahan, "Electron-spin-resonance study of radiation-induced paramagnetic defects in oxides grown on (100) silicon substrates," *Journal of Applied Physics*, vol. 64, no. 7, p. 3551, 1988.

-
- [18] V. Schmidt, S. Senz, and U. Gösele, "Influence of the Si/SiO₂ interface on the charge carrier density of Si nanowires," *Applied Physics A*, vol. 86, no. 2, pp. 187-191, Nov. 2006.
- [19] S. Ingole, P. Manandhar, S. B. Chikkannanavar, E. A. Akhadov, and S. T. Picraux, "Charge Transport Characteristics in Boron-Doped Silicon Nanowires," *Electron Devices, IEEE Transactions on*, vol. 55, no. 11, pp. 2931-2938, 2008.
- [20] F. Vaurette, J. P. Nys, D. Deresmes, B. Grandidier, and D. Stiévenard, "Resistivity and surface states density of n- and p-type silicon nanowires," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 26, no. 3, p. 945, 2008.
- [21] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *Journal of Applied Physics*, vol. 94, no. 1, p. 1, 2003.
- [22] H.-U. Kim and S.-W. Rhee, "Electrical Properties of Bulk Silicon Dioxide and SiO₂/Si Interface Formed by Tetraethylorthosilicate-Ozone Chemical Vapor Deposition," *Journal of The Electrochemical Society*, vol. 147, no. 4, pp. 1473-1476, Apr. 2000.
- [23] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang, "Silicon Vertically Integrated Nanowire Field Effect Transistors," *Nano Letters*, vol. 6, no. 5, pp. 973-977, May. 2006.
- [24] T. Bryllert, L.-E. Wernersson, T. Löwgren, and L. Samuelson, "Vertical wrap-gated nanowire transistors," *Nanotechnology*, vol. 17, no. 11, p. S227-S230, Jun. 2006.
- [25] T. Tanaka, K. Tomioka, S. Hara, J. Motohisa, E. Sano, and T. Fukui, "Vertical Surrounding Gate Transistors Using Single InAs Nanowires Grown on Si Substrates," *Applied Physics Express*, vol. 3, no. 2, p. 025003, Jan. 2010.
- [26] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, "Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET," *Electron Device Letters, IEEE*, vol. 29, no. 7, pp. 791-794, 2008.
- [27] G. Larrieu and E. Dubois, "Integration of PtSi-based Schottky-barrier p-MOSFETs with a midgap tungsten gate," *Electron Devices, IEEE Transactions on*, vol. 52, no. 12, pp. 2720-2726, 2005.
- [28] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele, "Realization of a Silicon Nanowire Vertical Surround - Gate Field - Effect Transistor," *Small*, vol. 2, no. 1, pp. 85-88, Jan. 2006.
- [29] H. T. Ng, J. Han, T. Yamada, P. Nguyen, Y. P. Chen, and M. Meyyappan, "Single Crystal Nanowire Vertical Surround-Gate Field-Effect Transistor," *Nano Letters*, vol. 4, no. 7, pp. 1247-1252, Jul. 2004.
- [30] C. Thelander et al., "Development of a Vertical Wrap-Gated InAs FET," *Electron Devices, IEEE Transactions on*, vol. 55, no. 11, pp. 3030-3036, 2008.

Conclusions et perspectives

Conclusion :

Ce manuscrit de thèse a présenté une architecture de transistors MOS à base de réseaux denses de nanofils verticaux avec une grille entourante. Il est composé d'une réalisation de réseaux ultra-denses de nanofils de silicium verticaux par une méthode dite «top-down», d'une étude du phénomène d'effondrement de nanostructures induit par les forces de capillarité, d'une analyse des phénomènes d'oxydation et de siliciuration dans des nanostructures 1D, d'une réalisation et caractérisation de nanocontacts implantés pour des structures à 2 terminaux à base de réseaux de nanofils verticaux, d'une intégration de dispositif MOS avec le développement d'un procédé original et d'une caractérisation électrique de cette technologie.

Premièrement, des transistors à base de nanofils verticaux avec une longueur de la grille ultra-courte, des réseaux denses (densité = $4 \times 10^{10} \text{ cm}^{-2}$) de nanofils en silicium avec un diamètre très fin ($d_{Si} = 12 \text{ nm}$) et une reproductibilité excellente (100%) sont réalisés par une méthode descendante en combinant la lithographie électronique sur résine inorganique à la gravure ionique réactive avec des conditions optimisées. De plus, le phénomène d'effondrement de nanostructures (nanoailettes et nanofils) est observé et étudié précisément. En utilisant le mécanisme d'effondrement, nous avons fabriqué des masques complexes à base de réseaux de nanopiliers en résine.

Dans un troisième chapitre, la cinétique d'oxydation et siliciuration de nanostructures de silicium (nanoailettes et nanofils) a été étudiée systématiquement. D'abord, le phénomène d'oxydation retardé est appréhendé théoriquement et expérimentalement, la différence de comportement d'oxydation dans le cas de nanoailettes et de nanofils a été ensuite discuté. En appliquant le mécanisme d'oxydation limité aux nanofils de silicium, l'anisotropie des profils a été améliorée de 90 % à 98.5 % alors que la rugosité de surface de nanofils a été réduite. Puis une étude détaillée a été menée sur la siliciuration de nanofils dans le cas conventionnel ainsi que dans le cas de structures confinées. Des caractérisations par microscopie à transmission ont mis en évidence le phénomène de siliciuration limitée de nanofils. Le comportement limitatif est d'autant plus important que le diamètre des nanofils est petit.

Enfin, dans le dernier chapitre, nous avons d'abord développé une méthode de planarisation à base de gravure chimique de résine inorganique. Cette technique permet de planariser des motifs à base de nanofils verticaux avec une vitesse de gravure très précise

ainsi qu'une surface planarisée de rugosité très faible. En appliquant cette technologie de planarisation, une réalisation de nanocontacts implantés sur des structures à 2 terminaux à base de réseaux de nanofils verticaux a été effectuée. Les caractéristiques électriques associées à ces structures ont démontré une parfaite reproductibilité quand un grand nombre de nanofils est considéré par rapport à un nanofil unique et l'impact de la surface sur la conduction dans le nanofil a été discuté. Enfin, des transistors NMOS et PMOS à base de réseau dense de nanofils de silicium verticaux intégrant des zones de source / drain métalliques et une grille à structure entourante ont été réalisés par un procédé original à base de méthode de planarisation développée dans cette thèse. Les performances statiques ont montré qu'ils s'avèrent être une structure efficace pour lutter contre les effets canaux courts. Par exemple, un transistor PMOS de longueur de grille de 15 nm présente un rapport $I_{on}/I_{off} > 3 \times 10^6$, une pente sous le seuil de 83 mV / dec et un DIBL très faible de l'ordre 4 mV/V avec un courant de commande excellent de 3,328 mA/ μm ($V_{GS} = -1,0$ V, $V_{DS} = -1,0$ V). Ainsi, ce procédé de réalisation a démontré une excellente reproductibilité, qui permet d'accroître le courant à l'état passant par l'augmentation du nombre de nanofils intégrés tout en conservant un courant de fuite très faible.

Perspectives :

Les procédés technologiques développés dans cette thèse ont permis la mise au point d'un procédé prometteur apportant une solution aux problèmes technologiques d'intégration d'architecture de transistor à base de nanofils verticaux réalisés par la méthode « top-down » avec une grille entourante de longueur très courte ($L_G < 15$ nm). Cette étude a principalement mené à la réalisation des premières démonstrations morphologiques et électriques. Pour aller plus loin encore dans la démonstration expérimentale des avantages offerts par l'architecture proposée, les perspectives suivantes se dégagent :

(a) Intégration de dispositifs

Un des grands intérêts du procédé est la capacité d'éviter l'implantation ionique après la réalisation des nanofils verticaux, permettant de simplifier le procédé de réalisation. À l'aide de ce procédé technologique proposé au cours de ce travail, l'intégration des dispositifs CMOS par des nanofils verticaux avec une architecture source/drain métalliques et une grille entourante très courte pourra être réalisée sur un substrat de silicium où des zones localisées et implantées par des dopants de type P et N. Ainsi, des bascules montantes et descendantes

(«pull-down » et «pull-up ») peuvent être envisagées symétriquement en jouant sur le nombre de nanofils constituant les réseaux n et p.

De plus, les dispositifs nanoélectroniques offrent un potentiel considérable pour la détection de systèmes biologiques en raison du rapport inhérent de surface / volume élevé. Cependant, la grande majorité des travaux a porté sur des dispositifs intégrés à base de nanofils planaires [1] [2] [3] [4]. L'architecture à base de réseau des nanofils verticaux est une structure plus efficace grâce à une structure 3D, elle n'a été que très peu étudiée à cause notamment de la difficulté de réaliser des contacts sur des nanofils verticaux [5]. Ce travail a donné une méthode relativement simple pour la réalisation de ces contacts permettant d'envisager de nouvelles architectures pour la détection.

(b) Etude matériau à base de nanofil

De part sa structure nanométrique unidimensionnelle, les nanofils présentent des comportements particuliers, au cours de ce travail, tels que le phénomène retardé d'oxydation et de la siliciuration par rapport au cas planaire. La réalisation des nanofils verticaux avec un diamètre ultra-fin qui a été développé au cours de ce travail permet d'envisager des études spécifiques, par exemple, l'analyse des interfaces avec une couche à haute permittivité diélectrique (oxyde high- k) sur de telles structures.



(c) Caractérisation du bruit à basse fréquence

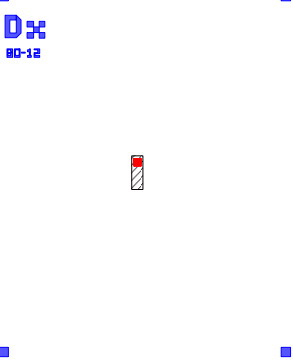
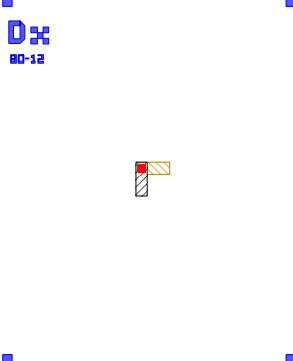
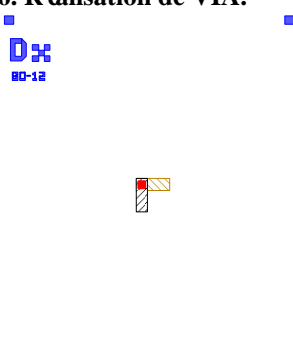
Les phénomènes parasites liés à la réduction continue de la dimension des transistors, (fluctuation des défauts dans l'oxyde et à l'interface oxyde / canal) sont devenus progressivement un problème significatif. Le spectre de puissance du bruit dans un MOSFET à basse fréquence suit une loi en $1/f$, ce qui signifie que le spectre de bruit est inversement proportionnel à la fréquence f en échelle logarithmique. Le bruit $1/f$ est généralement interprété comme des superpositions aléatoires de piégeages des charges par des défauts dans l'oxyde de grille ou près du canal semi-conducteur [6]. En diminuant la taille des dispositifs, le nombre de défauts électrique est réduit et le bruit à basse fréquence commence à s'écarter de la caractéristique en $1/f$. Pour réduire l'effet de fluctuation, l'intégration de MOSFET à base de réseau de nanofils est une solution possible, parce que la probabilité moyenne de piégeages des charges moyens par chaque nanofil peut être réduite par le nombre de nanofils intégrés. La stabilité des performances en est alors améliorée.

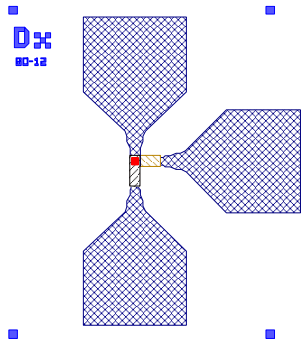
Bibliographie

- [1] Y. Cui, Q. Wei, H. Park, and C. M. Lieber, "Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species," *Science*, vol. 293, no. 5533, pp. 1289-1292, 2001.
- [2] E. Stern et al., "Label-free immunodetection with CMOS-compatible semiconducting nanowires," *Nature*, vol. 445, no. 7127, pp. 519-522, Feb. 2007.
- [3] F. Patolsky, G. Zheng, and C. M. Lieber, "Fabrication of silicon nanowire devices for ultrasensitive, label-free, real-time detection of biological and chemical species," *Nat. Protocols*, vol. 1, no. 4, pp. 1711-1724, Nov. 2006.
- [4] Z. Gao et al., "Silicon Nanowire Arrays for Label-Free Detection of DNA," *Analytical Chemistry*, vol. 79, no. 9, pp. 3291-3297, May. 2007.
- [5] P. Offermans, M. Crego-Calama, and S. H. Brongersma, "Gas Detection with Vertical InAs Nanowire Arrays," *Nano Letters*, vol. 10, no. 7, pp. 2412-2415, Jul. 2010.
- [6] N. Clément, K. Nishiguchi, A. Fujiwara, and D. Vuillaume, "One-by-one trap activation in silicon nanowire transistors," *Nat Commun*, vol. 1, no. 7, p. 92, Oct. 2010.

Annexe 1 : Procédé technologique

Etapes et dessins de masque	Etapes élémentaires	Description des étapes
1. Définition des marques d'alignements. Marques gravées dans le silicium pour l'alignement des différents niveaux de masque. 	1.1. Enduction de résine.	* Résine : COPO 13% MMA 8.5 (~1,3 µm) * Enduction : v= 1500 tour/min, a=1000 tour/min/s, t= 12 s, capot fermé * Recuit : 80 °C, 60 s + four 180 °C, 30 min
	1.2. Lithographie électronique pour exposer les marques alignement	E=50 keV, I=20 nA, Résolution=20-25 nm, Dose de base= 500 µC/cm ²
	1.3. Développement.	* MIBK/IPA (1:2), 90 s * Rinçage IPA, 30 s + séchage N ₂
	1.4. Gravure RIE anisotrope du substrat (~ 1 µm).	* Gravure du SiO ₂ : SF ₆ /Ar (10/10 sccm), 50 W, 10 mTorr, 15second * Gravure du Si : SF ₆ /N ₂ (20/10/10 sccm), 50 W, 10 mTorr, 10min
	1.5. Suppression des résidus de résine par gravure chimique humide.	* Exposition DUV : 30 min * Gravure acétone, 50 °C, 10 min * Rinçage IPA, 1 min+ séchage N ₂ * Gravure piranha H ₂ O ₂ /H ₂ SO ₄ (1:1), 5 min * Désoxydation : HF (1%), 30 s
2. Gravure de réseau des nanofils verticaux Réalisation réseau des nanofils verticaux 	2.1. Enduction de résine	* Résine : HSQ- XR 6% (~130 nm) * Enduction : v= 1500 tour/min, a=1000 tour/min/s, t= 40 s, capot ouvert. * Recuit : Plaque 80 °C, 60 s
	2.2. Lithographie électronique pour exposer le réseau de nanopiliers de HSQ	2 passes : E=100 keV, I=12 nA, Résolution=25 nm, Dose de base= 1800 µC/cm ² E=100 keV, I=330 pA, résolution=5 nm, dose de base= 2750 µC/cm ²
	2.3. Développement.	* Gravure TMAH (25%), 60 s * Rinçage EDI, 60 s + séchage N ₂ Ou séchage CO ₂ Supercritique
	2.4. Gravure RIE	* Cl ₂ (30 sccm), 95 W (DcBias= 400 V), 2 mTorr, 3 min (vitesse de gravure 80 nm/min)
	2.5. Suppression des résidus de résine par gravure chimique humide.	* Gravure HF 10% 2min + rinçage 60s + séchage N ₂
	2.6. Amincissement de diamètre des nanofils par oxydation humide	* O ₂ (1,5 l/min)/H ₂ (2.5 l/min), 850 °C, 10min (~19nm SiO ₂ sur Si substrat (100)) * Désoxydation : HF 10% ds CH ₃ OH 5min, + rinçage CH ₃ OH, 60s + séchage N ₂
3. Formation de l'oxyde de grille.	3.1 Croissance sèche de l'oxyde de grille	* O ₂ (2 l/min), 725 °C, 30min (~3.1 nm SiO ₂ sur Si substrat (100))
	3.2. Gravure d'oxyde RIE anisotrope	* CHF ₃ /CF ₄ /Ar (20/20/10 sccm), 100 W, (DcBias=365V) 50mTorr, 15 second
	3.3. Nettoyage des résidus CFx sur la surface	* O ₂ (20 sccm), 50mTorr, 100 W, 10second
4. Définition de siliciure de platine.	4.1. Enduction de résine	* Résine : PMMA 950K 4% (480 nm) * Enduction : v= 1000 tour/min, a= 1000 tour/min/s, t= 12 s, capot fermé * Recuit : 80 °C, 60 s + four 180 °C, 30 min
	4.2. Lithographie électronique pour exposer les zones à déposer Pt	E= 100 keV, I= 20 nA, Résolution= 20-25 nm, Dose= 1200 µC/cm ²

Etapes et dessins de masque	Etapes élémentaires	Description des étapes
	4.3. Développement.	* MIBK/IPA (1:2), 2 min * Rinçage IPA, 30 s + séchage N ₂
	4.4. Préparation de surface	* Gravure HF 5% (50 ml): CH ₃ OH (100 ml) 30 second + rinçage CH ₃ OH, 60 s + séchage N ₂
	4.5. Dépôt anisotrope du métal de Pt	* Nettoyage par Ar ⁺ , 200 eV, 2 min + Evaporation de 15 nm de Pt (2 Å/second)
	4.6. Décollement du métal (Lift-off)	* Gravure acétone, 50 °C, 12 min * Rinçage IPA, 1 min + EDI 30 s + séchage N ₂
	4.7. Activation de la réaction de siliciuration	* RTP 500 °C, 3min sous N ₂ : H ₂ (95% : 5%)
	4.8. Nettoyage des résidus de Pt sans réaction sur couche d'oxyde	* eau regale (EDI: HNO ₃ HCl), 50 °C, 90 second + rinçage EDI, 60 s + séchage N ₂
5. Définition de la grille entourant métallique de Cr. 	5.1. Enduction de résine HSQ	* Résine : HSQ Fox16 (~300 nm) * Enduction : v= 3000 tour/min, a= 1000 tour/min/s, t= 60 s, capot fermé * Recuit : Plaque 80 °C, 60 s + 110 °C, 5min
	5.2. Planarisation de couche HSQ	* 0.1% HF, ~3 min (vitesse de gravure : ~ 1 nm/second)
	5.3. Densification de couche HSQ	* RTP 350 °C, 3min sous N ₂ : H ₂ (95% : 5%)
	5.4. Enduction de résine	* Résine : PMMA 950K 4% (480 nm) * Enduction : v= 1000 tour/min, a= 1000 tour/min/s, t= 12 s, capot fermé * Recuit : 80 °C, 60 s + four 180 °C, 30 min
	5.5. Lithographie électronique pour exposer les zones à déposer Cr	E= 100 keV, I= 20 nA, Résolution= 20-25 nm, Dose= 1200 µC/cm ²
	5.6. Développement.	* MIBK/IPA (1:2), 2 min * Rinçage IPA, 30 s + séchage N ₂
	5.7. Dépôt anisotrope du métal de Cr	* Sans gravure plasma Ar Evaporation de 20 nm de Cr (2 Å/second)
	5.8. Décollement du métal (Lift-off)	* Gravure acétone, 50 °C, 10 min * Rinçage IPA, 1 min + EDI 30s + séchage N ₂
	5.9. Nettoyage des résidus de Cr sur couche d'oxyde	* Gravure par piranha diluée (EDI : HSO ₄ : H ₂ O ₂) * Rinçage EDI 60 s + séchage N ₂
6. Réalisation de VIA. 	6.1. Enduction de résine HSQ	* Résine : HSQ Fox16 (~300 nm) * Enduction : v= 3000 tour/min, a= 1000 tour/min/s, t= 60 s, capot fermé * Recuit : Plaque 80 °C, 60 s + 110 °C, 5min
	6.2. Planarisation de couche HSQ par RIE	* CHF ₃ /CF ₄ /Ar (20/20/10 sccm), 100 W, (DcBias= 365V) 50 mTorr, (vitesse de gravure : ~35 nm/min)
	6.3. Enduction de résine	* Résine : COPO 13% MMA 8.5 (~1,3 µm) * Enduction : v= 1500 tour/min, a= 1000 tour/min/s, t= 12 s, capot fermé * Recuit : 80 °C, 60 s + four 180 °C, 30 min
	6.4. Lithographie électronique pour exposer les zones à graver VIA	E= 50 keV, I= 20 nA, Résolution= 20-25 nm, Dose de base= 500 µC/cm ²
	6.5. Développement.	* MIBK/IPA (1:2), 90 s * Rinçage IPA, 30 s + séchage N ₂

Etapes et dessins de masque	Etapes élémentaires	Description des étapes
	6.6. Gravure de VIA par RIE	* CHF ₃ /CF ₄ /Ar (20/20/10 sccm), 100 W, (DcBias= 365V) 50 mTorr, (vitesse de gravure : ~35 nm/min)
7. Définition des contacts des S/D/G. 	7.1. Enduction de résine	* Résine : COPO 13% MMA 8.5 (~ 1,3 µm) * Enduction : v= 1500 tour/min, a= 1000 tour/min/s, t= 12 s, capot fermé * Recuit : 80 °C, 60 s + four 180 °C, 30 min
	7.2. Lithographie électronique pour exposer les zones à déposer Al	* E=50 keV, I=20 nA, Résolution=20-25 nm, Dose de base= 500 µC/cm ²
	7.3. Développement.	* MIBK/IPA (1:2), 90 s * Rinçage IPA, 30 s + séchage N ₂
	7.4. Dépôt anisotrope du métal d'Al	* Nettoyage par Ar ⁺ , 200 eV, 2 min + Evaporation de 400 nm d'Al
	7.5. Décollement du métallique (Lift-off)	* Gravure acétone, 50 °C, 15 min * Rinçage IPA, 1 min + EDI 30s + séchage N ₂



Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux de silicium

Dans cette thèse, un procédé innovant de transistor implémenté sur des réseaux denses de nanofils de silicium (Si NFs) verticaux est proposé comme une solution potentielle pour des composants très avancés.

Dans une première partie, des masques de résine formant des réseaux des nanopiliers verticaux sont fabriqués par lithographie électronique sur une résine inorganique. Ces masques sont transférés dans le substrat de Si par gravure ionique réactive avec des conditions optimisées pour réaliser des réseaux ultra denses de Si NFs verticaux avec un diamètre decananométrique et une excellente anisotropie. Enfin, le phénomène d'effondrement des nanostructures induit par les forces de capillarité a été précisément étudié.

Dans une deuxième partie, les phénomènes d'oxydation et de siliciuration de nanostructures sont observés et analysés systématiquement. En utilisant l'autolimitation de l'oxydation thermique, des Si NFs avec un diamètre ultrafin sont réalisés tout en améliorant l'anisotropie des profils de Si NFs de Si et en réduisant la rugosité de surface.

Une troisième partie débute par la réalisation et caractérisation de nanocontacts implémentés sur des structures à 2 terminaux à base de réseaux de Si NFs verticaux où une parfaite reproductibilité des caractéristiques $I-V$ est démontrée quand un grand nombre de Si NFs sont considérés par rapport à un Si NF unique. De plus, l'impact de la surface sur la conduction dans le Si NF est discuté. Enfin, des transistors à base de réseaux denses de Si NFs verticaux avec une grille entourante sont réalisés et démontrent qu'ils sont une structure efficace pour lutter contre les effets canaux courts.

Fabrication and characterization of Field Effect Transistor implemented in dense arrays of silicon nanowires

In this work, a transistor device based on dense networks of vertical silicon nanowires (Si NWs) is proposed as a promising way for ultimate Field Effect Transistor (FET).

The first part is dedicated to the realization of dense arrays of vertical NWs with very narrow diameters by a "top-down" approach. Firstly, dense and well-defined nanocolumns arrays have been patterned by e-beam lithography using a negative tone e-beam resist. The resist patterns were transferred by reactive ion etching using chlorine based plasma chemistry and optimized parameters. Lastly, the collapse phenomenon of nanostructures induced by capillary force is studied.

The second part concerns a systematically study of oxidation and silicidation phenomenon in the case of Si nanostructures. Thermal oxidation process is identified as an effective method to realize ultra-small diameter Si NWs, improving anisotropic profile and reducing surface roughness after etching process.

In the third part, first, the fabrication and characterization of two-terminal structures implemented on vertical Si NWs arrays defined by a "top-down" approach with an ultra-high density is presented. A perfect reproducibility in the $I-V$ characteristics is demonstrated when a large number of Si NWs are considered compared to a single Si NW; the temperature dependence and the non linearity of $I-V$ characteristics indicates that contacts dominate the overall resistance of the Si NWs and the impact of Si NWs surface on conduction of the Si NWs is discussed. Secondly, transistor implemented on dense network of vertical Si NWs with a 15nm length gate-all-around (GAA) is produced; the characteristics show that this structure can reduce effectively the short channel effects.