

**Université de Lille I**

**Ecole Doctorale des Sciences pour l'Ingénieur**

# **THESE**

**En vue de l'obtention du grade :**

**DOCTEUR DE L'UNIVERSITE**

**Spécialité : Microondes et Microtechnologies**

Présenté et soutenue publiquement par

**Christian IZQUIERDO**

Le 24 mai 2011

## **Conception et réalisation d'un front-end analogique pour un récepteur multistandard multi-mode**

### **Composition du Jury**

<i>Président :</i>	Gilles DAMBRINE	Professeur à l'université de Lille I
<i>Rapporteurs :</i>	Jean-Baptiste BEGUERET	Professeur à l'université de Bordeaux I
	Patrick LOUMEAU	Professeur à l'école Télécom ParisTech
<i>Membres :</i>	Antoine DIET	MCU à l'université de Paris-Sud II
	Franck MONTAUDON	Ingénieur ST Ericsson
	Philippe CATHELIN	Ingénieur ST Ericsson
<i>Directeur de Thèse :</i>	Andreas KAISER	DR CNRS à l'IEMN, Lille

# Abstract

L'objectif de la thèse est la conception d'un front-end analogique RF large bande pour récepteurs cellulaires multistandard multi-mode. La principale limitation des récepteurs actuels par rapport à cet objectif est la nécessité d'un filtre SAW externe afin de protéger le LNA et le mélangeur des bloqueurs hors bande.

Nous proposons dans cette thèse une technique de contre-réaction positive, basée sur la transposition de fréquences, qui permet un filtrage RF sélectif dès l'entrée du récepteur. Cette architecture diminue les contraintes de linéarité dès l'entrée du LNA. Ce filtrage est en plus reconfigurable en fréquence et en largeur de bande.

Un circuit expérimental a été réalisé en technologie CMOS 65nm. La contre-réaction permet une amélioration de 17dB de l'IIP3 hors bande de l'amplificateur faible bruit. La fréquence centrale est accordable de 1,3GHz à 2,85GHz; la consommation est de 30 mW pour un facteur de bruit maximal de 6,5dB.

*The aim of this thesis is the design of a wide-band RF analogue front-end for a cellular multi-standard and multiband receiver. The main limitation of receivers today is the need of external SAW filters to protect the LNA and mixer from out-of-band interferers.*

*In this thesis we propose a new technique of positive feed-back which transposes the filters transfer function in RF. Thus, a selective RF filter is created in the LNA input to improve non-linearity performances of the receiver. This RF filter is also configurable in bandwidth and center frequency.*

*An experimental prototype has been made in 65nm CMOS technology. The positive feed-back improves the LNA out-of-band IIP3 by 17dB. The center frequency is configurable from 1.3GHz to 2.85GHz. Power consumption is of 30mW, while maximal NF is of 6.5dB.*

# Remerciements

Je tiens à exprimer mes remerciements les plus sincères à Monsieur Andreas Kaiser, mon Directeur de recherche, pour son aide, son soutien et ses précieux conseils au cours de ces trois années. Je souhaite remercier vivement Monsieur Franck Montaudon, mon encadrant industriel, pour m'avoir confié ce projet de recherche, ainsi que pour sa sympathie, sa disponibilité, ses idées et conseils et pour son aide précieuse de tous les jours. J'adresse également un très grand merci à Monsieur Philippe Cathelin, mon Manager chez ST Ericsson, pour m'avoir conseillé, encouragé et soutenu tout au long de la thèse avec patience et disponibilité, et pour la confiance qu'il m'a accordé.

J'adresse mes vifs remerciements à Monsieur Jean Baptiste Begueret, Professeur à l'Université de Bordeaux I, et Monsieur Patrick Loumeau, Professeur à l'Ecole Télécom ParisTech, pour avoir accepté d'être rapporteurs de ce travail. Je tiens également à remercier Monsieur Gilles Dambrine, Professeur à l'Université de Lille I, et Monsieur Antoine Diet, Maître de Conférences à l'Université de Paris-Sud II, de m'avoir fait l'honneur de participer à ce jury de thèse.

Ce travail n'aurait pu aboutir sans l'aide de nombreuses personnes. Que me pardonnent celles que j'oublie ici, mais j'adresse une pensée particulière à Valérie Vandenhende, secrétariat à l'ISEN, qui m'a énormément aidé sur les sujets administratifs. Merci à Bruno Stefanelli, ingénieur chercheur à l'ISEN, pour son humour et son aide dans les sujets liés à l'informatique. Et merci enfin à Jean Marc Capron, enseignant et ingénieur à l'ISEN, pour sa disponibilité et sa réactivité lors de mes demandes en conception électronique.

J'ai pu travailler lors de ma première année de thèse dans un cadre particulièrement agréable, grâce à l'ensemble des membres du Département de Microélectronique à l'ISEN. Je pense particulièrement à Axel, à Antoine, à Jonathan, à Philippe et Arnaud.

Ce travail est le résultat d'une collaboration avec la société ST Ericsson où j'ai passé les deux dernières années de thèse. J'ai pu profiter de la connaissance et l'expertise de chaque ingénieur spécialisé dans un domaine précis de la microélectronique. Je tiens à remercier vivement Rayan Mina pour son apport dans l'étude système, Jocelyn Roux pour sa disposition et son aide dans la conception du LNA, Eoin Ohannaidh pour sa collaboration dans le design du FPB et Frédéric Bailleul pour son expertise en '*layout*'. Je remercie également Stephan Le Tual, mon voisin de bureau, pour son conseil et sa collaboration dans ce projet. Je remercie

enfin les ingénieurs de la salle de Test de chez STMicroelectronics pour m'avoir fourni tout le matériel nécessaire, pour leur disposition et leur aide sur les mesures et validations du prototype fabriqué.

Ces remerciements ne seraient pas complets sans une pensée pour mes collègues de pause café, ingénieurs et thésards, Bruno, Laurent, Benoit, Sébastien, Thomas, Luca, Malal, Fabien, Samuel, etc.

Un immense merci à Isabelle, qui m'a énormément fait rire, m'a soutenu et m'a aidé dans la traduction de ce manuscrit.

Mes dernières pensées iront vers ma famille, et surtout mes parents, qui m'ont permis de poursuivre mes études jusqu'à aujourd'hui.

# Table de Matières :

<b>Abstract</b> .....	<b>2</b>
<b>Remerciements</b> .....	<b>3</b>
<b>Liste de Tables</b> .....	<b>9</b>
<b>Liste de Figures</b> .....	<b>10</b>
<b>Chapitre 1 : INTRODUCTION</b> .....	<b>13</b>
1.1 Contexte .....	14
1.2 Problématique .....	15
1.3 Objectif.....	16
1.4 Organisation.....	16
<b>Chapitre 2 : SYSTEMES DE RECEPTION DANS LA TELEPHONIE MOBILE</b> .....	<b>18</b>
2.1 Standards de la téléphonie mobile.....	19
2.1.1 Evolution des standards .....	19
2.1.2 Bandes de fréquence occupées par la GSM et le WCDMA .....	20
2.2 Chaîne de réception.....	23
2.2.1 Architectures des récepteurs .....	23
A. Récepteur super hétérodyne .....	23
B. Architecture <i>Low IF/ Very Low IF</i> .....	24
C. Conversion directe – <i>Zero IF</i> .....	25
2.2.2 Systèmes de réception et standards cellulaires .....	26
A. Le filtre SAW ( <i>Surface Acoustic Wave</i> ) .....	27
2.2.3 Software Defined Radio (SDR) .....	28
2.3 Spécifications techniques imposées par les standards dans la fabrication des circuits de réception .....	31
2.3.1 Considération sur les puissances des signaux bloqueurs .....	31
2.3.2 Spécifications de linéarité et de bruit.....	33
2.4 Solutions pour systèmes de réception sans filtre SAW .....	34
2.4.1 Compensation des produits d'intermodulation d'ordre 3, réf [24] .....	35
2.4.2 Filtrage par boucle de transposition de fréquences, réf [26].....	35
2.4.3 Atténuation des signaux bloqueurs RF à partir d'une boucle de transposition de fréquences en mode <i>feed-forward</i> , réf [27].....	36

2.4.4	Suppression des signaux bloqueurs RF à partir d'une boucle de contre réaction avec transposition de fréquences, réf [29] .....	37
-------	--	----

### **Chapitre 3 : SYSTEMES A CONTRE-REACTION DE BANDE DE BASE A RADIO**

<b>FREQUENCES.....</b>	<b>40</b>	
3.1	<i>Contre-réaction BB-RF</i> .....	41
3.1.1	Concept .....	41
3.1.2	Analyse Mathématique .....	42
3.2	<i>Architectures de la contre-réaction négative BB-RF</i> .....	43
3.2.1	Configuration avec filtre passe bas .....	43
3.2.2	Configuration avec filtre passe haut .....	48
3.2.3	Configuration avec filtre passe bande.....	51
3.3	<i>Contre-réaction positive BB-RF</i> .....	55
3.1.1	Architecture de la contre-réaction positive .....	55
3.1.2	Analyse de stabilité dans la contre-réaction positive .....	58
3.1.3	Etude de bruit .....	60

### **Chapitre 4 : REALISATION D'UN RECEPTEUR A CONTRE-REACTION**

<b>POSITIVE ET TRANSPOSITION DE FREQUENCES BB-RF .....</b>	<b>65</b>	
4.1	<i>Critères de design</i> .....	66
4.1.1	Schème bloc .....	66
4.1.2	Cahier des charges .....	68
4.2	<i>Conception des blocs du récepteur</i> .....	70
4.2.1	LNTA (Low Noise Transconductance Amplifier).....	70
A.	Analyse de l'architecture 'Capacitor Cross-Coupling (CCC)' .....	71
B.	Design du LNTA.....	73
C.	Résultats de simulation .....	75
4.2.2	FPB (Filtre Passe Bas) .....	77
A.	Analyse du FPB .....	77
B.	Design du FPB .....	78
C.	Résultats de simulation .....	80
4.2.3	Design des autres Blocs .....	82
A.	Circuit de polarisation – Miroir de courant.....	82
B.	Circuit de contre-réaction de mode commun (CMFB) .....	83
C.	Resistance Variable.....	84

D. Quadrature d'horloge (diviseur par 2) .....	85
E. Circuit comparateur de phase.....	86
F. Circuit de contrôle (I2C) .....	86
4.2.4 Layout .....	87
4.3 <i>Test et Mesure du Récepteur à contre-réaction BB-RF</i> .....	89
4.3.1 Test DC .....	89
4.3.2 Adaptation d'impédances.....	91
4.3.3 Test du récepteur .....	94
A. Filtrage RF .....	95
B. Gain en bande de base.....	96
C. Facteur de Bruit.....	96
D. Linéarité .....	97
<b>Chapitre 5 : LIMITATIONS DU RECEPTEUR A CONTRE-REACTION POSITIVE</b>	
.....	<b>102</b>
5.1 <i>Déphasage entre les deux LO</i> .....	103
A. Variation de phase en fonction de la fréquence LO.....	104
B. Influence de la température T .....	106
C. Influence des variations technologiques .....	109
D. Principaux blocs du récepteur qui affectent la variation de phase.....	111
5.1.1 Solution 1 : Annulation du déphasage du LNTA (charge LC) .....	112
5.1.2 Solution 2 : Mis en place d'un circuit déphaseur.....	113
5.2 <i>Bruit élevé</i> .....	114
5.2.1 Solution : Optimisation du bruit dans la conception de blocs .....	116
5.3 <i>Rejection insuffisante</i> .....	118
5.3.1 Solution 1 : Diminution de l'impédance du LNA.....	119
5.3.2 Solution 2 : Augmentation de l'impédance de l'antenne.....	120
5.3.3 Solution 3 : Ajout d'un élément extérieur de filtrage .....	121
<b>Chapitre 6 : CONCLUSIONS</b> .....	<b>123</b>
6.1 <i>Récapitulatif</i> .....	124
6.2 <i>Résultats</i> .....	125
6.3 <i>Publications et Brevets</i> .....	126
6.4 <i>Perspectives</i> .....	126
<b>Annexe I : Standards cellulaires</b> .....	<b>128</b>

<b>Annexe II : Code Matlab et résultats en simulation .....</b>	<b>135</b>
<b>Annexe III : Etat de l'art des architectures de LNA large bande.....</b>	<b>140</b>
<b>Glossaire .....</b>	<b>146</b>
<b>Bibliographie.....</b>	<b>149</b>

# Liste de Tables

Tableau 2.1 : Bandes de fréquence allouées pour le standard GSM.....	20
Tableau 2.2 : Bandes de fréquence allouées pour le standard WCDMA.....	21
Tableau 2.3 : Tableau comparatif des performances entre un SDR et un RX conventionnel..	29
Tableau 2.4 : Spécifications de NF et d'IIP3 pour les standards GSM et UMTS.....	33
Tableau 2.5 : Tableau comparatif de techniques développées pour supprimer le filtre SAW .....	37
Tableau 3.1 : Résultats théoriques et de simulation du facteur de bruit du système à contre- réaction-positve.....	62
Tableau 4.1 : Cahier des charges du récepteur.....	69
Tableau 4.2 : Consommation du récepteur.....	89
Tableau 4.3 : Consommation des circuits de quadrature.....	89
Tableau 4.4 : IIP3 et $PoC_{1dB}$ « <i>in-band</i> ».....	97
Tableau 4.5 : IIP3 'test case' « <i>out-of-band</i> ».....	98
Tableau 4.6 : 'Test case' IIP2.....	99
Tableau 4.7 : Caractéristiques du prototype.....	99
Tableau 5.1 : Résumé des valeurs de $R_{VAR}$ et $\Delta\phi$ utilisées en mesure à chaque $F_{LO}$ .....	102
Tableau 5.2 : Résumé des valeurs de $R_{VAR}$ et $\Delta\phi$ utilisées en simulation à chaque $F_{LO}$ .....	102
Tableau 5.3 : Contribution de bruit (%) de chaque bloc du récepteur.....	114
Tableau 5.4 : Contribution de bruit (%) de chaque composant du LNA.....	115

# Liste de Figures

Figure 1.1 : Vision Multistandard .....	14
Figure 1.2 : Smartphone .....	15
Figure 2.1 : Evolution des standards de téléphonie mobile.....	20
Figure 2.2 : Diagramme de blocs d'un récepteur superhétérodyne.....	24
Figure 2.3 : Diagramme de blocs d'un récepteur <i>Low IF/ Very Low IF</i> .....	25
Figure 2.4 : Diagramme de blocs d'un récepteur à conversion directe .....	26
Figure 2.5 : Diagramme de blocs d'un système de transmission cellulaire .....	27
Figure 2.6 : Résonateur SAW .....	28
Figure 2.7 : Importance du filtre SAW dans un système FDD (WCDMA).....	28
Figure 2.8 : SDR défini par Joseph Mitola.....	29
Figure 2.9 : Récepteur Software Defined Radio .....	29
Figure 2.10 : Configuration réel d'un SDR en utilisant un LNA large bande .....	30
Figure 2.11 : Niveau de puissance des signaux bloqueurs dans les récepteurs selon les standards a) GSM (GSM 900), b) WCDMA (Bande I) .....	32
Figure 2.12 : Produit d'intermodulation d'ordre 3 des signaux bloqueurs dans les standards GSM et UMTS .....	33
Figure 2.13 : Principe de l'architecture d'égalisation d'IM3 .....	35
Figure 2.14 : Principe de l'architecture avec filtrage par boucle de transposition en mode : a) <i>feed-forward</i> , b) <i>feedback</i> .....	36
Figure 2.15 : Principe de la technique : Récepteur avec une boucle de transposition de fréquences en <i>feed-forward</i> .....	37
Figure 2.16 : Principe de la technique : Récepteur avec une boucle de contre-réaction et transposition de fréquences.....	38
Figure 3.1: Système à contre-réaction BB-RF .....	41
Figure 3.2 : Schéma bloc simplifié du système à contre-réaction BB-RF.....	42
Figure 3.3 : Système à contre-réaction BB-RF – Configuration avec FPB .....	44
Figure 3.4 : Technique de transposition de fréquences appliquée à un FPB .....	44
Figure 3.5 : Configuration avec FPB - Simulation de $Z_{IN1}$ et $V_{IN1}$ .....	47
Figure 3.6 : Système à contre-réaction BB-RF – Configuration avec FPH.....	48
Figure 3.7 : Configuration avec FPH - Simulation de $Z_{IN2}$ et $V_{IN2}$ .....	50
Figure 3.8 : Effet du mélangeur de retour dans la configuration avec FPH.....	51

Figure 3.9 : Système à contre-réaction BB-RF – Configuration avec FPBd .....	52
Figure 3.10 : Configuration avec FPBd - Simulation de $Z_{IN3}$ et $V_{IN3}$ .....	54
Figure 3.11 : Système à contre-réaction positive BB-RF.....	56
Figure 3.12 : Contre-réaction positive BB-RF - Simulation de $Z_{IN4}$ et $V_{IN4}$ .....	57
Figure 3.13 : Impédance du système a) Avant l'effet de la contre-réaction et, b) Après l'effet de la contre-réaction.....	58
Figure 3.14 : Analyse de stabilité : a) Diagramme de Nyquist, b) Impédance d'entrée .....	60
Figure 3.15 : Définition du facteur de bruit selon North.....	61
Figure 3.16 : Etude du bruit dans la contre-réaction positive .....	61
Figure 4.1: Diagramme de blocs du récepteur à contre-réaction positive BB-RF .....	66
Figure 4.2: Génération des signaux en quadrature 25% .....	68
Figure 4.3 : Architecture Grille Commune .....	71
Figure 4.4 : Principe de l'architecture 'Capacitive Cross-Coupling' .....	72
Figure 4.5 : Schéma simplifié petit signal de l'architecture 'Capacitive Cross-Coupling' .....	72
Figure 4.6 : Architecture LNTA : 1er étage 'cross couplé' + 2eme étage gm cascodé .....	73
Figure 4.7 : Résultats de simulation du LNTA : a) $Z_{LNA}$ , b) $g_{LNTA}$ , c) NF, d) IIP3 .....	76
Figure 4.8 : Schéma du Filtre Passe Bas .....	78
Figure 4.9 : Schéma de l'OPAMP .....	79
Figure 4.10 : Modification de la fréquence de coupure ( $f_c$ ) due à la contre-réaction .....	81
Figure 4.11 : Résultats de simulation du FPB : a) Gain $V/I$ , b) $Z_{FIL}$ .....	82
Figure 4.12 : Circuit de polarisation pour l'OPAMP .....	83
Figure 4.13 : Circuit de contre-réaction de mode commun.....	84
Figure 4.14 : Montage de la Résistance variable .....	85
Figure 4.15 : Quadrature d'horloge.....	85
Figure 4.16 : Circuit comparateur de phase .....	86
Figure 4.17 : Interface graphique du circuit de contrôle I2C .....	87
Figure 4.18 : Layout du récepteur à contre-réaction positive BB-RF .....	88
Figure 4.19 : Photo du 'die' et du boîtier QFN44 .....	89
Figure 4.20 : Photo du circuit imprimé .....	90
Figure 4.21 : Division des lignes dans le « <i>board test</i> » .....	91
Figure 4.22 : 1ère Configuration de réseau d'adaptation avec $C=1.5pF$ .....	92
Figure 4.23 : Modèle de l'impédance de 'bonding' effectué à l'aide de l'outil ADS.....	92
Figure 4.24 : Paramètre $S_{11}$ obtenu en : a) mesure, b) simulation.....	92
Figure 4.25 : 2ème Configuration de réseau d'adaptation avec $C=3.3pF$ .....	93

Figure 4.26 : Paramètre $S_{11}$ obtenu en : a) simulation, b) mesure.....	93
Figure 4.27 : Mesure du paramètre $S_{11}$ – Adaptation a) 1.3GHz, b) 2.85GHz.....	94
Figure 4.28 : Filtrage RF à : a) $F_{LO}=1.3GHz$ , b) $F_{LO}=1.8GHz$ , c) $F_{LO}=2.85GHz$ .....	95
Figure 4.29 : Gain du récepteur en bande de base.....	96
Figure 4.30 : Facteur de bruit .....	97
Figure 4.31 : ‘Test case’ de linéarité « <i>in-band</i> » a) $F_{LO}=1.3GHz$ , b) $F_{LO}=1.8GHz$ .....	98
Figure 5.1 : Schéma bloc du récepteur à CR+ idéal.....	104
Figure 5.2 : Phases de $V_{IN}$ - $I_{FB}$ et $Z_{IN}$ à a) $F_{LO}=700MHz$ et b) $F_{LO}=3GHz$ .....	104
Figure 5.3 : Effet de la capacité $C_c$ sur les phases $V_{IN}$ - $I_{FB}$ et $Z_{IN}$ .....	105
Figure 5.4 : Comportement de $Z_{IN}$ (phase et amplitude) en fonction de la température T ....	107
Figure 5.5 : Calibration de $Z_{IN}$ à deux températures en utilisant le contrôle de gain $R_{VAR}$ ....	108
Figure 5.6 : Comportement de $Z_{IN}$ (phase et amplitude) en fonction des variations technologiques .....	109
Figure 5.7 : Calibration de $Z_{IN}$ en ajustant $R_{VAR}$ aux deux types de processus .....	110
Figure 5.8 : Résultats en simulation de la tension en entrée ( $V_{IN}$ ) et le courant de sortie du LNTA ( $I_{LNTA}$ ).....	111
Figure 5.9 : Différence de phase entre $I_{LNTA}$ et $I_{FB}$ dans un cas typique .....	112
Figure 5.10 : Récepteur à contre-réaction positive avec LNTA charge LC.....	113
Figure 5.11 : Deux configurations du récepteur avec un circuit déphaseur.....	114
Figure 5.12: LNA CCC avec tank LC.....	117
Figure 5.13 : Résultats de simulation : LNA tank LC ( $F_{RES}=1.8GHz$ ) et charge résistive ....	117
Figure 5.14 : LNA Capacitive Cross-Coupling - $Z_{LNA}$ minimum.....	119
Figure 5.15 : Résultats de simulation de a) $Z_{LNA}$ , b) Atténuation à l’entrée sans contre-réaction .....	120
Figure 5.16 : Schéma de fonctionnement du duplexer reconfigurable .....	121

# **Chapitre 1 :**

## **INTRODUCTION**

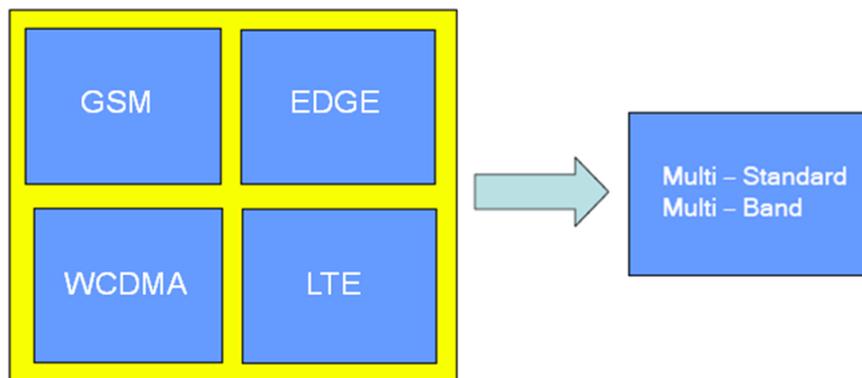
Dans un marché en forte croissance, les opérateurs de téléphonie cellulaire fournissent des nouvelles applications qui requièrent une communication de plus haut débit entre les terminaux mobile et la station base. Ces applications sont possibles grâce à l'évolution des standards de télécommunications et à l'apparition de nouvelles technologies dans le secteur de la microélectronique.

Le sujet de thèse est lié aux standards de télécommunication cellulaire et à la conception d'une chaîne de réception. Il est présenté dans ce chapitre comme suit : tout d'abord, nous présentons le contexte général. Ensuite, nous montrons les principaux obstacles à ce travail de recherche. Puis, nous fixons les objectifs à atteindre à la fin du projet. Finalement, une brève organisation du manuscrit est montrée.

## 1.1 Contexte

Le marché des téléphones cellulaires a connu une forte progression ces dernières années. Fin 2009, 1,6 milliards de téléphones portables ont été vendus dans le monde. L'apparition des *Smartphones*, la gamme de cellulaires la plus avancée, commence à conquérir la planète grâce à ses applications innovantes.

Ainsi, les standards capables de supporter des nouvelles applications (internet haut débit, télévision, etc.) deviennent plus commerciaux, tel que la 3G et 4G. Leur finalité est d'assurer un service de connectivité de données avec un débit plus élevé.

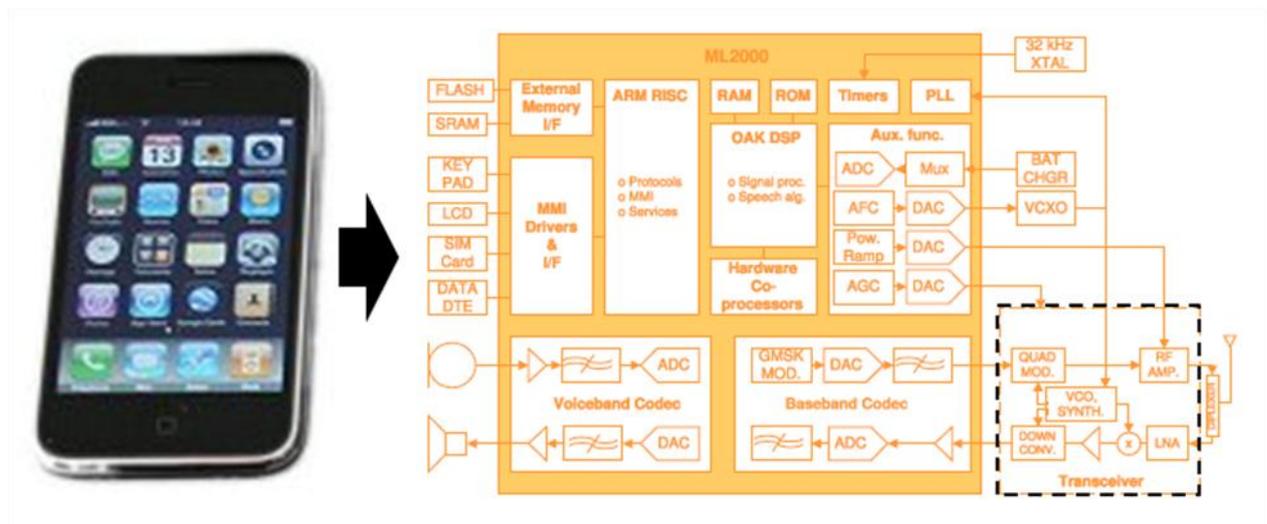


**Figure 1.1 : Vision Multistandard**

Massivement répandus, les réseaux GSM (+EDGE) restent le support principal des communications vocales sans fil. Actuellement, le réseau WCDMA (+HSDPA) permet le transfert de voix et données avec un débit supérieur. Récemment apparu, le terminal mobile LTE sera bientôt capable d'assurer tous les services mentionnés (voix, données et multimédia) sur la même puce à plus haut débit.

Suite à cette évolution, la reconfiguration des standards dans un terminal mobile se doit d'être plus complexe car tous doivent pouvoir coexister.

Par ailleurs, les progrès de la microélectronique rendent possible la fabrication de téléphones intelligents. La réduction en taille des transistors permet d'incorporer plus de fonctions dans les circuits intégrés d'un terminal mobile.



**Figure 1.2 : Smartphone**

Dans ce contexte, on introduit le concept d'une chaîne de réception multistandard. Afin de réduire la surface et le coût, sans abaisser les fonctionnalités du téléphone, les constructeurs de circuits développent une seule chaîne de réception reconfigurable, capable de gérer tous les standards et ses bandes de fréquences.

## 1.2 Problématique

Si on regarde un téléphone portable actuel, le système de réception est réalisé à partir de plusieurs *front-end* analogiques (Filtre SAW + LNA + mélangeur + filtre passe bas (FPB)) qui réceptionnent chacun un unique standard dans une bande de fréquence. Même si certaines fonctions sont partagées par plusieurs chaînes de réception (en particulier le mélangeur et le filtre) l'addition d'un standard (ou une bande) signifie l'ajout d'éléments dans la puce et dans l'application, ce qui est pénalisant en surface et en flexibilité.

Récemment, le concept de '*Software Defined Radio*' (SDR) a été développé et présenté dans la littérature. Un tel circuit est capable de réceptionner n'importe quel standard dans n'importe quelle bande de fréquence. Néanmoins, les niveaux de performance en linéarité atteints dans ces études, ne permettent pas d'être insensibles aux signaux perturbateurs. En particulier en WCDMA, le récepteur doit être capable de fonctionner pendant que l'émetteur est actif (mode full duplex). Ceci fait qu'un filtrage est nécessaire (duplexeur SAW et/ou filtre SAW) entre l'émetteur et le récepteur. Le filtrage SAW, étant par nature bande étroite, il résulte que l'association d'une chaîne de réception + filtre SAW est aussi bande étroite, même dans le cas d'un récepteur SDR.

De plus, ce filtre coûte cher (50% du prix du *front-end*), il occupe une très grande surface (80% du FE) et il dégrade la sensibilité du récepteur en 2 ou 3 dB (pertes du signal).

## 1.3 Objectif

Le travail de cette thèse sera donc de concevoir une chaîne de réception configurable en largeur de bande et en fréquence centrale, capable de réceptionner tous les signaux RF dans la gamme de fréquences cellulaires (~700MHz – 3GHz). Comme expliqué précédemment, ce système ne devra pas comporter de composant de filtrage extérieur. Ainsi différentes techniques de filtrage RF sont étudiées afin de réduire les contraintes de non-linéarité, en particulier sur le LNA.

## 1.4 Organisation

Ce manuscrit contient 5 chapitres en plus de l'introduction.

Le deuxième chapitre est consacré à l'étude des standards de télécommunications cellulaires ainsi que les principales architectures de récepteur. Nous verrons aussi le concept de *Software Defined Radio* et les différentes techniques, présentées dans l'état de l'art, qui cherchent à enlever le filtre externe SAW.

Le troisième chapitre est consacré à l'analyse système. Afin de réaliser un filtrage RF à l'entrée du LNA, une nouvelle architecture de récepteur à contre-réaction BB-RF est proposée. Quatre systèmes découlent de ce principe. Leur modélisation, simulation et vérification sont présentées dans ce chapitre.

Le quatrième chapitre est dédié à la réalisation au niveau transistor du nouveau système choisi. Le cahier des charges est établi et les architectures pour chaque bloc sont expliquées. Nous montrons aussi la conception au niveau '*layout*'. Enfin, nous présentons les résultats de mesure du premier prototype réalisé pour le standard WCDMA.

Le cinquième chapitre présente les limitations trouvées à ce nouveau système. Nous analysons chaque inconvénient afin de trouver une possible solution ou voie de recherche afin de rendre l'architecture plus robuste.

Au sixième chapitre, nous discutons des résultats du premier prototype du récepteur multistandard. Nous mentionnons ses principaux avantages et limitations pour finalement présenter les conclusions et les perspectives du travail.

## **Chapitre 2 :**

# **SYSTEMES DE RECEPTION DANS LA TELEPHONIE MOBILE**

Ce chapitre se focalise sur l'étude des systèmes de réception pour les standards cellulaires. Nous commençons par présenter les standards de télécommunications qui réglementent les spécifications techniques dans les réseaux de téléphones mobiles. Puis, nous allons définir le concept d'une chaîne de réception et ses différents types d'architecture. Nous détaillons aussi la structure d'un récepteur multistandard et son évolution jusqu'au *Software Defined Radio* (SDR), en faisant une parenthèse sur la définition du filtre SAW (*Surface Acoustic Wave*). Ensuite, nous décrivons les spécifications techniques qu'un système de réception d'un téléphone mobile doit respecter au moment de sa conception. Finalement, nous montrons les circuits de réception, proposés dans la littérature, visant à supprimer le filtre d'antenne.

## 2.1 Standards de la téléphonie mobile

### 2.1.1 Evolution des standards

En 1970, *Bell Labs* a inventé un système de « call hand-off » automatique, qui a permis l'usage du téléphone de manière mobile, c'est-à-dire le déplacement sur plusieurs 'cell areas' pendant une conversation sans aucune interruption.

En 1981, le fabricant Ericsson a créé le système NMT 450 (*Nordic Mobile Telephony 450MHz*). Ce système utilisait des canaux de radio analogique (fréquences autour de 450MHz) modulés en fréquence (FM). C'était le premier système au monde de téléphonie mobile tel que nous le connaissons aujourd'hui. En 1986, Ericsson a amélioré ce système avec le NMT 900. Cette nouvelle version fonctionnait comme la précédente, mais avec une fréquence supérieure, autour des 900MHz.

En plus du système NMT, d'autres systèmes de téléphonie mobile ont été développés dans les années 80, tels que l'AMPS (*Advanced Mobile Phone System*) aux Etats Unis et le TACS (*Total Access Communication System*) en Europe. Ces premiers réseaux cellulaires de types analogiques ont été appelés de première génération (1G).

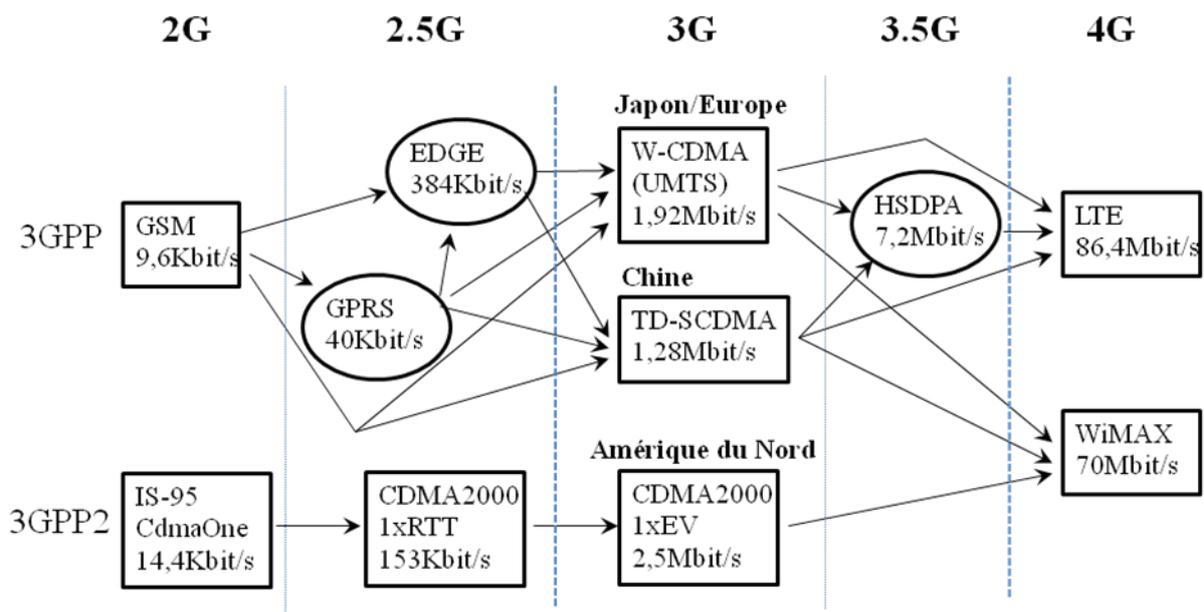
Dans les années 90, la standardisation des systèmes mobiles a été mise en place pour définir la compatibilité entre les réseaux des différents pays et l'interconnexion avec les réseaux de téléphonie fixe. Sont apparus dans le monde deux grands standards de systèmes mobiles : le standard IS41 d'origine américaine (norme ANSI-41) et le standard le plus répandu GSM, défini en Europe par l'ETSI. Ces standards ont été nommés de seconde génération (2G).

A la fin des années 1990, l'évolution de ces standards est envisagée. Un meilleur débit dans la transmission des données était visé, et des bandes de fréquences supplémentaires devaient être attribuées pour la prochaine génération de téléphones cellulaires (3G et 4G). Les spécifications techniques sont donc établies par deux organismes :

- 1) Le 3GPP (*3rd Generation Partnership Project*), qui est une coopération entre organismes de standardisation régionaux en Télécommunications comme l'ETSI (Europe), ARIB/ TTC (Japon), CCSA (Chine), ATIS (Amérique du Nord) et TTA (Corée du Sud). Le 3GPP est chargé d'assurer la maintenance et le développement des spécifications techniques pour les normes mobiles GSM et UMTS.

2) Le 3GPP2 (*3rd Generation Partnership Project 2*), qui est un accord de collaboration établi en décembre 1998, entre ARIB/ TTC (Japon), CCSA (Chine), TTA (Amérique du Nord) et TTA (Corée du Sud). Dans la pratique, le 3GPP2 est le groupe d'étalonnage pour le CDMA 2000, qui est l'ensemble de normes 3G basées sur une technologie de 2G CDMA.

Le schéma de la figure 2.1 montre de manière simplifiée l'évolution par débit des principaux standards de téléphonie mobile depuis la 2eme génération (voir Annexe I pour plus de détail).



**Figure 2.1 : Evolution des standards de téléphonie mobile**

Nous allons nous consacrer principalement à l'étude des deux standards qui sont les plus utilisés et commercialisés de nos jours : la GSM et le WCDMA (UMTS, CDMA2000, TD-SCDMA). Nous montrons par la suite, de manière simplifiée, les bandes qui ont été attribuées à ces standards.

### 2.1.2 Bandes de fréquence occupées par la GSM et le WCDMA

Les bandes de fréquences sont allouées à chaque standard et sont différentes dans chaque pays ou continent. Les standards largement répandus, tels que le GSM et le WCDMA, présentent plusieurs bandes, dont la fréquence de fonctionnement est attribuée à chaque région. Nous présentons à la suite un résumé des bandes de fréquences utilisées à l'émission

(ou *uplink* : liaison terminal - station base) et à la réception (ou *downlink* : liaison station base - terminal) des téléphones mobiles pour ces standards (Tableau 2.1 et Tableau 2.2).

<b>Bande GSM</b>	<b>Bande de fréquence</b>	<b>Uplink</b>	<b>Downlink</b>	<b>Région</b>
GSM 400	450 480	450,4 – 457,6 478,8 – 486,0	460,4 - 467,6 488,8 - 496,0	Pays Nordiques d'Europe
GSM 850	850	824 - 849	869 - 894	USA, Amérique du Sud, Asie
P-GSM 900 E-GSM 900 R-GSM 900	900	890 – 915 880 – 890 876 - 880	935 – 960 925 – 935 921 - 925	Europe
DCS 1800	1800	1710 - 1785	1805 - 1880	Europe
PCS 1900	1900	1850 - 1910	1930 - 1990	USA, Canada

**Tableau 2.1 : Bandes de fréquence allouées pour le standard GSM**

Dans le standard GSM, la séparation moyenne entre la bande du lien descendant et la bande du lien montant est de 20MHz, hormis pour la bande GSM 400 et les extensions de GSM 900 (E-GSM, R-GSM). La bande DCS 1800 occupe 75MHz de largeur de bande (la bande la plus large) et la bande GSM 400 occupe seulement 7,2MHz (la bande la plus petite).

Dans le standard WCDMA, la séparation minimale entre *l'uplink* et le *downlink* est de 10MHz pour la bande VIII, et le maximum est de 355MHz pour la bande IV. La largeur de bande la plus petite est de 10MHz occupée par les bandes VI, XIII et XIV. La bande III occupe la plus grande bande qui est de 75MHz. Le plus petit écart entre deux différentes bandes dans la réception est de 31MHz (bandes V et VIII) en Océanie. En Europe, cet écart minimum est de 230MHz (bandes I et III) et pour les Etats Unis de 120MHz (bandes II et IV). Il existe aussi des bandes qui sont collées les unes aux autres en réception (bandes XII et XIII). Les Etats Unis occupent le plus de bandes (sept au total), tandis qu'une seule bande a été désignée pour tout un continent : l'Afrique. L'Europe, l'Asie et l'Océanie occupent quatre bandes chacun. Les pays restants (Japon, Canada et pays de l'Amérique Latine) occupent entre 2 et 3 bandes en moyenne.

<b>WCDMA (Nom commercial)</b>	<b>Bande de fréq.</b>	<b>Uplink (MHz)</b>	<b>Downlink (MHz)</b>	<b>Région</b>
I (IMT)	2100	1920 - 1980	2110 - 2170	Europe, Asie, Afrique, Océanie, Brésil
II (PCS)	1900	1850 - 1910	1930 - 1990	Les Amériques
III (DCS)	1800	1710 - 1785	1805 - 1880	Europe, Asie, Océanie
IV (AWS)	1700	1710 - 1755	2110 - 2155	USA, Canada
V (CLR)	850	824 - 849	869 - 894	Les Amériques, Océanie
VI	800	830 - 840	875 - 885	Japon
VII (IMT-E)	2600	2500 - 2570	2620 - 2790	Europe (future)
VIII (GSM)	900	880 - 915	925 - 960	Europe, Asie, Océanie, Rép. Dominicaine, Venezuela
IX	1700	1749,9 - 1784,9	1844,9 - 1879,9	Japon
X	1700	1710 - 1770	2110 - 2170	
XI	1500	1427,9 - 1447,9	1475,9 - 1495,9	Japon
XII (SMH)	700	698 - 716	728 - 746	USA
XIII (SMH)	700	777 - 787	746 - 756	USA
XIV (SMH)	700	788 - 798	758 - 768	USA

**Tableau 2.2 : Bandes de fréquence allouées pour le standard WCDMA**

Un système de transmission multistandard multi-mode d'un téléphone mobile devrait donc être conçu de manière à fonctionner pour toutes les bandes mentionnées, et être capable de se reconfigurer pour les standards à venir.

A la suite, nous étudions principalement les systèmes de réception et ses différents types d'architecture afin de déterminer un système répondant à une telle exigence.

## 2.2 Chaîne de réception

Une chaîne de réception radiofréquences est conçue pour capter les signaux électromagnétiques qui se propagent dans l'air. Ils sont émis par un émetteur radio. Leur objectif est d'extraire les données qui ont été enveloppés dans un signal porteur RF (signal utile), auquel se sont superposés lors de la transmission du bruit et d'autres signaux du spectre électromagnétique appelés signaux bloqueurs (signal adjacent ou interféreur).

Les récepteurs sont caractérisés par leur sensibilité et leur sélectivité. La sensibilité est la puissance minimale qu'un récepteur peut détecter en l'absence de tout autre signal excepté le bruit thermique. Et la sélectivité est la capacité à discriminer le signal utile d'autres signaux perturbateurs. Typiquement, la sensibilité est déterminée par le niveau de bruit propre du récepteur, tandis que la sélectivité est déterminée par la linéarité et par le filtrage existant après transposition du signal dans les fréquences intermédiaires ou dans la bande de base.

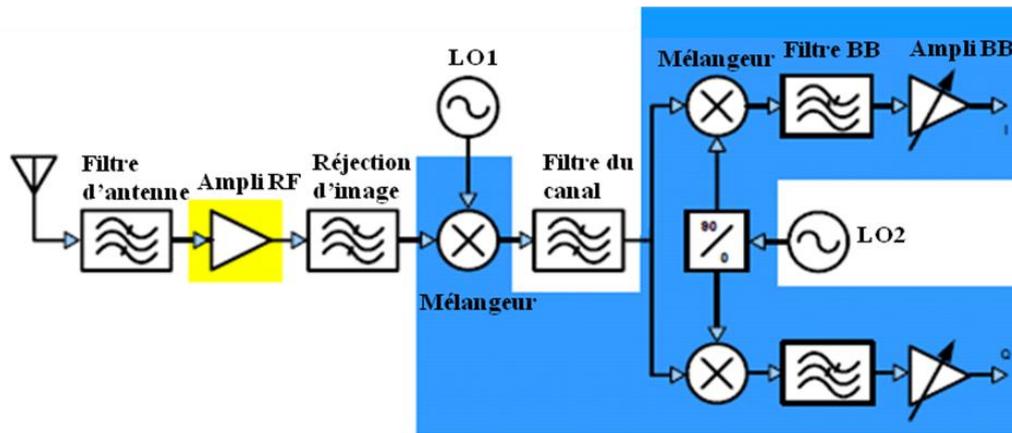
Il existe différentes architectures de chaînes de réception. Elles sont classées par leur capacité à transposer la fréquence RF en basses fréquences. Nous montrons, par la suite, ces architectures en précisant les avantages et inconvénients découlant de leur principe.

### 2.2.1 Architectures des récepteurs

#### A. Récepteur super hétérodyne

Le récepteur superhétérodyne a été la structure de récepteur la plus utilisée, tant en radio qu'en télévision ou en hyperfréquences (radar, GSM, GPS, etc.) jusqu'au début des années 2000. Il translate la fréquence RF d'abord en une fréquence intermédiaire (généralement plus faible que la fréquence RF); cette dernière est typiquement de l'ordre de la dizaine de MHz. Le signal est ensuite amené en bande de base (autour de la fréquence nulle) où il pourra être traité.

La figure 2.2 montre la structure du récepteur superhétérodyne. Un filtre d'antenne (filtre SAW) élimine les signaux indésirables. Il est souvent placé avant l'amplificateur RF, de façon à éviter que d'éventuels signaux bloqueurs de forte amplitude puissent le saturer. L'amplificateur RF assure une première amplification. Il est conçu de façon à obtenir le meilleur rapport signal/bruit possible (*LNA : Low Noise Amplifier*).



**Figure 2.2 : Diagramme de blocs d'un récepteur superhétérodyne**

Un deuxième filtre RF est utilisé pour atténuer plus fortement les signaux perturbateurs et la fréquence image du signal RF ( $F_{LO}+FI$ ) pouvant se superposer à la fréquence intermédiaire après le mélangeur. Le mélangeur réalise le changement de fréquence sans changer l'allure du spectre ( $F_{RF} + F_{LO}$ ) et  $|F_{RF} - F_{LO}|$ .

Le filtre du canal (filtre FI) supprime les composantes indésirables générées par le mélangeur, ne laissant que la composante  $|F_{RF} - F_{LO}|$ . Cette nouvelle fréquence est appelée fréquence intermédiaire, FI. Le filtre FI détermine la sélectivité du récepteur.

Un deuxième mélangeur et un filtre BB sont utilisés pour transposer la fréquence en bande de base, et ainsi pouvoir réaliser le filtrage complet du canal. L'amplificateur de bande de base est responsable de l'essentiel du gain du récepteur. Il est souvent constitué d'un VGA (*Voltage Gain Control*) de plusieurs étages avec un contrôle automatique du gain (*AGC : Automatic Gain Control*); il amène le signal au niveau nécessaire pour réaliser la démodulation.

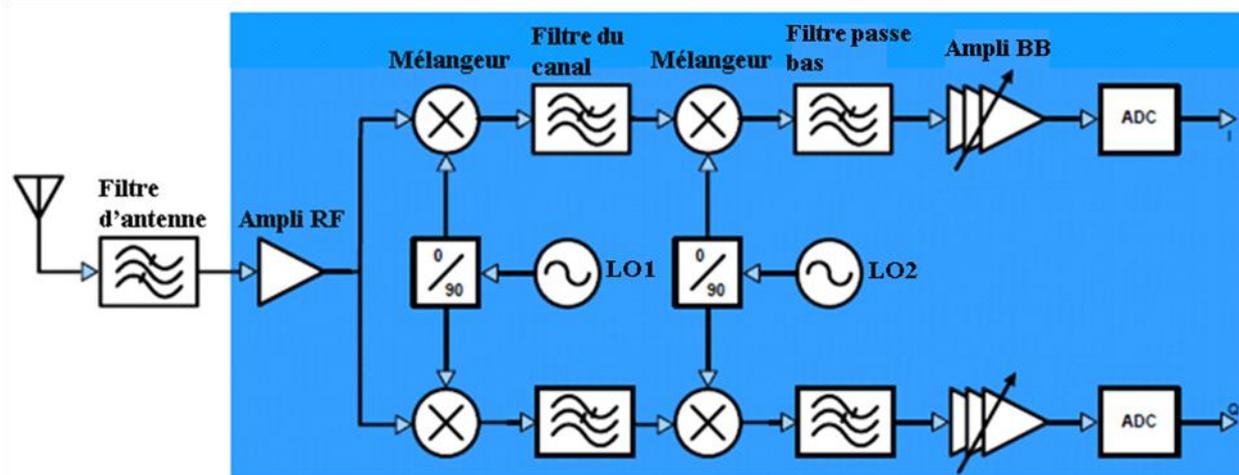
Ce type de récepteur permet d'avoir une forte sélectivité ainsi qu'une forte sensibilité. Toutefois cette structure, nécessitant des éléments externes tels que les filtres RF, n'admet pas une solution complètement intégrée.

## **B. Architecture *Low IF/ Very Low IF***

Dans l'architecture *Low IF/ Very Low IF*, la fréquence intermédiaire n'est plus supérieure à quelques dizaines de MHz comme pour l'architecture superhétérodyne, mais suivant le type de modulation et l'écart entre les canaux, elle peut être de quelques KHz

jusqu'à quelques MHz. Le circuit, étant en quadrature, discrimine le canal de son canal image (élimination de la fréquence image).

L'architecture *Low IF/ Very Low IF* est montrée dans la figure 2.3.



**Figure 2.3 : Diagramme de blocs d'un récepteur *Low IF/ Very Low IF***

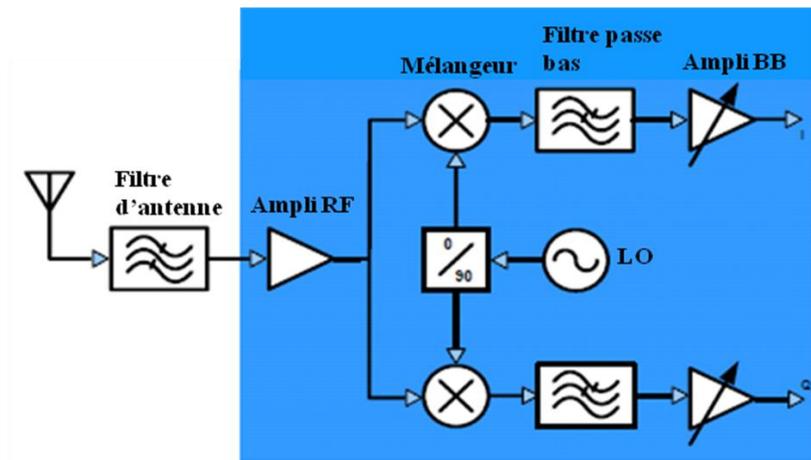
L'avantage de cette architecture est que les filtres à la fréquence intermédiaire peuvent être intégrés sans pénaliser la consommation du récepteur. La difficulté avec ce type de récepteur réside dans le fait que la suppression de la fréquence image ne peut être parfaite que si les voies I/Q sont parfaitement équilibrées en phase et en amplitude.

### C. Conversion directe – *Zero IF*

La structure de conversion directe ressemble à celle du récepteur *Low IF*, mais ici, nous choisissons une seule transposition de fréquences ( $F_{LO}=F_{RF}$ ). La fréquence intermédiaire est donc nulle, et nous retrouvons à la sortie du mélangeur le signal modulant lui-même. La structure est montrée dans la figure 2.4.

La sensibilité du récepteur est déterminée par les amplificateurs RF et BB ; la sélectivité dépend uniquement du filtre BB. En raison de la valeur nulle de la fréquence intermédiaire, la sélection du canal peut être réalisée par un simple filtre passe bas.

De plus, cette architecture n'utilise qu'un seul oscillateur local.



**Figure 2.4 : Diagramme de blocs d'un récepteur à conversion directe**

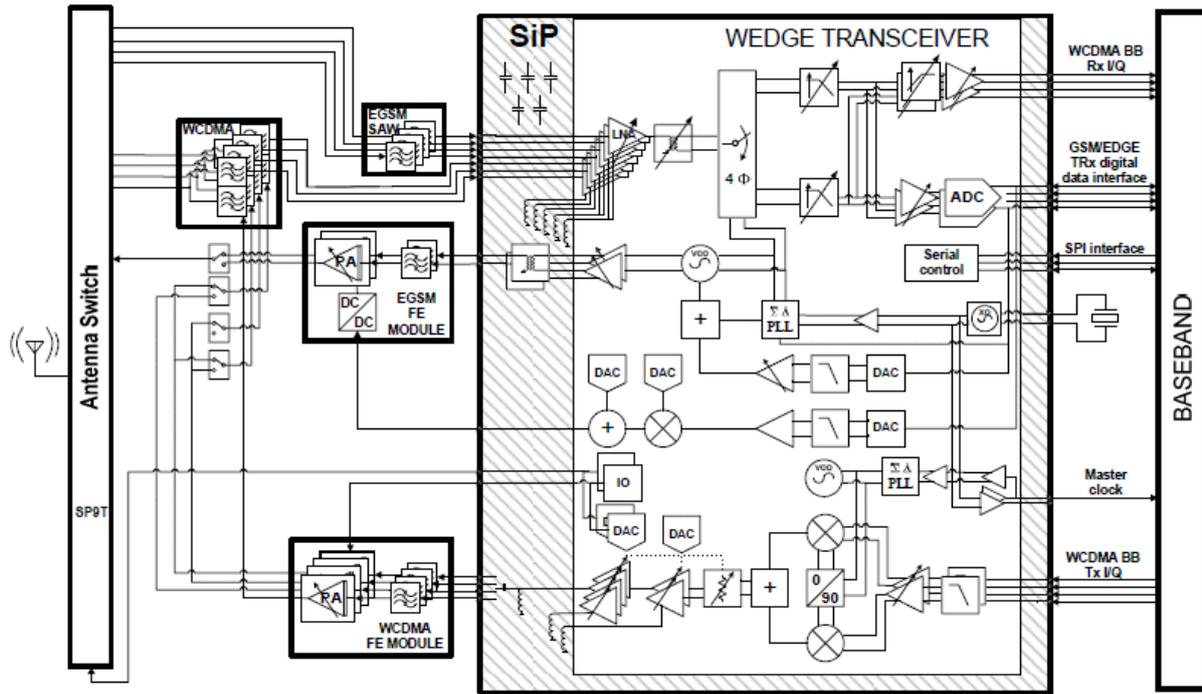
Par ailleurs, il existe deux inconvénients majeurs qui limitent les performances de cette architecture : la sensibilité au bruit  $1/f$  et l'existence d'un signal continu (DC) engendré par le couplage entre le signal LO à l'entrée RF du mélangeur. Par ailleurs, des algorithmes de correction d'offset numériques permettent d'éliminer l'offset résiduel.

C'est cette architecture qui est le plus souvent choisie dans le cadre des récepteurs cellulaires.

### 2.2.2 Systèmes de réception et standards cellulaires

Les récepteurs ciblant les applications cellulaires sont conçus pour fonctionner pour la plupart des standards et bandes de fréquences mentionnés. Le schéma de la figure 2.5 montre un exemple d'un tel système (réf [10]).

Ce système cible les standards GSM, EDGE et WCDMA. Il comprend l'antenne et la chaîne de transmission, qui contient tous les circuits électroniques analogiques et numériques. Dans le circuit de réception, de nombreux duplexeurs et filtres d'antenne (SAW) « *off-chip* » sont mis en place pour la sélection de la bande RF et l'isolation de la bande d'émission (standard WCDMA). Notons l'existence de plusieurs LNA de bande étroite, de filtres et d'amplificateurs reconfigurables dans la bande de base. Dans la chaîne d'émission, nous remarquons de nombreux composants externes tels que les duplexeurs, les filtres SAW et les amplificateurs de puissance (PA).



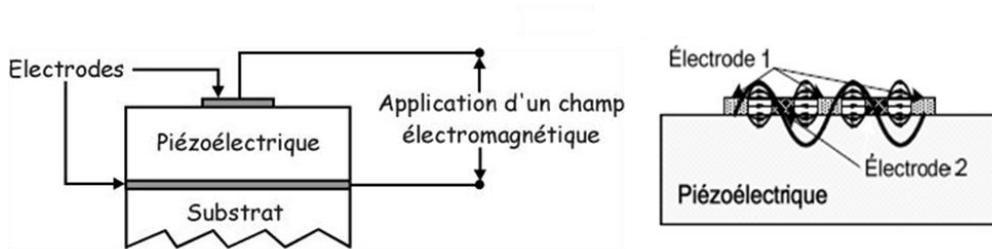
**Figure 2.5 : Diagramme de blocs d'un système de transmission cellulaire**

Il faut remarquer un élément très important dans la chaîne de réception : le filtre SAW. Il est toujours présent quelque soit le type d'architecture ou d'application. Les filtres SAW seront décrits plus en détail dans la section suivante.

### **A. Le filtre SAW (*Surface Acoustic Wave*)**

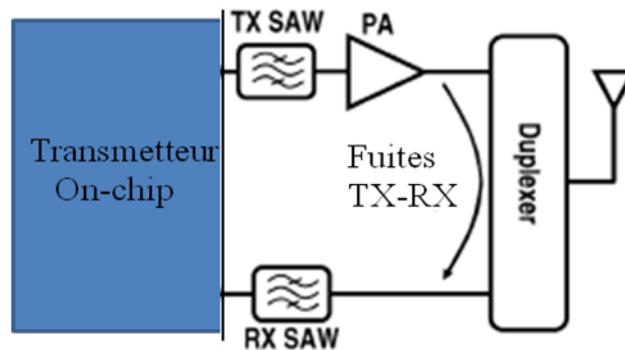
Des filtres SAW sont placés entre l'antenne et le circuit de réception pour filtrer les bloqueurs hors bande afin d'alléger les contraintes de linéarité dans la réception. Son principe de fonctionnement est basé sur un résonateur à onde acoustique. Une couche piézo-électrique est positionnée entre deux électrodes métalliques. Un champ électromagnétique est appliqué au niveau des électrodes qui excite le mode acoustique de surface. Les ondes acoustiques se propagent dans le substrat piézo-électrique 4 à 5 fois plus lentement que les ondes électromagnétiques (figure 2.6). Ces ondes retardées sont donc recombinaées pour générer un filtre à réponse impulsionnelle finie.

Le filtre SAW est utilisé dans la gamme de fréquences des standards cellulaires. Il fournit environ 25dB d'atténuation à quelques dizaines de MHz du signal porteur (standard GSM). Le facteur de qualité du filtre SAW est supérieur à 1000.



**Figure 2.6 : Résonateur SAW**

Dû au fonctionnement en full duplex (FDD) du standard WCDMA, un duplexer + filtre SAW (représentés séparément dans la figure 2.7) sont aussi employé à la sortie de l'émetteur pour protéger le récepteur du signal émis. Sans l'atténuation fournie par ces composants (environ 45-55dB), le signal à la sortie du PA (+25dBm) pourrait désensibiliser la chaîne de réception.



**Figure 2.7 : Importance du filtre SAW dans un système FDD (WCDMA)**

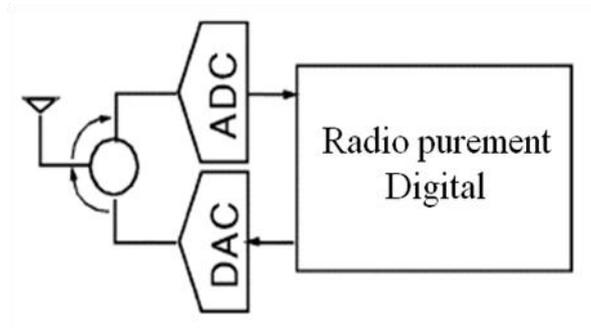
Cependant, les matériaux utilisés pour la fabrication du filtre tels que le  $\text{SiO}_2$  (quartz) ou  $\text{LiTaO}_3$  (lithium tantalate) ne permettent pas l'intégration dans une technologie sur Silicium. Cela devient de nos jours, un inconvénient majeur dans l'utilisation de ce composant.

Par ailleurs, l'absence d'agilité en fréquences de ces filtres représente un problème majeur dans les architectures pour des applications multistandard tel que le *Software Defined Radio*.

### 2.2.3 Software Defined Radio (SDR)

Le terme *Software Defined Radio* a été introduit dans une publication de Joseph Mitola (réf [14]) en 1992. Mitola a défini le SDR comme un dispositif purement digital où tous les procédés de communication sont effectués dans un DSP (*Digital Signal Processing*) ; les seuls

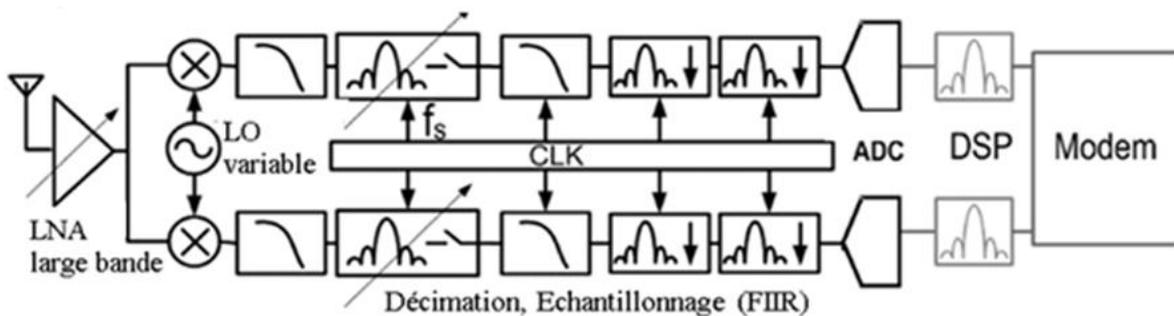
composants analogues permis étant le RF ADC en réception et le RF DAC en émission (figure 2.8).



**Figure 2.8 : SDR défini par Joseph Mitola**

Le concept s'est développé en premier lieu dans le secteur de la défense aux Etats Unis et en Europe. Une première utilisation de SDR a été réalisée au sein du projet militaire américain appelé *Speakeasy* dont l'objectif était le remplacement de 10 radios militaires comprenant une gamme de fréquences entre 2MHz - 2GHz par un seul SDR programmable.

La notion de SDR s'applique aussi dans la technologie de téléphones mobiles. Il est plus avantageux en taille et en coût de remplacer tous les circuits de réception (par exemple le circuit de la figure 2.5) par un seul circuit programmable par logiciel. Toutefois, le concept de Mitola ne rend pas encore possible cette solution, à cause de l'impossibilité à nos jours de réaliser un ADC avec telles caractéristiques (contraintes de bruit et linéarité liées à la sensibilité et la sélectivité nécessaires pour chaque standard).



**Figure 2.9 : Récepteur Software Defined Radio**

Des solutions alternatives sont dévoilées dans l'état de l'art pour relayer les tâches réalisées par l'ADC. Ils présentent généralement : un LNA large bande, un mélangeur dont la fréquence LO est configurable (application multistandard), et des filtres en bande de base variables ou à réponse impulsionnelle finie FIIR (configuration multi-bande) tel qu'on peut le voir dans la figure 2.9, réf [17].

Ces circuits assurent la reconfiguration pour différents standards et couvrent une bande très vaste dans la réception grâce au LNA large bande. Mais le bruit et le gain sont dégradés si nous comparons les performances du SDR avec un récepteur fonctionnant pour un seul standard cellulaire (Tableau 2.3).

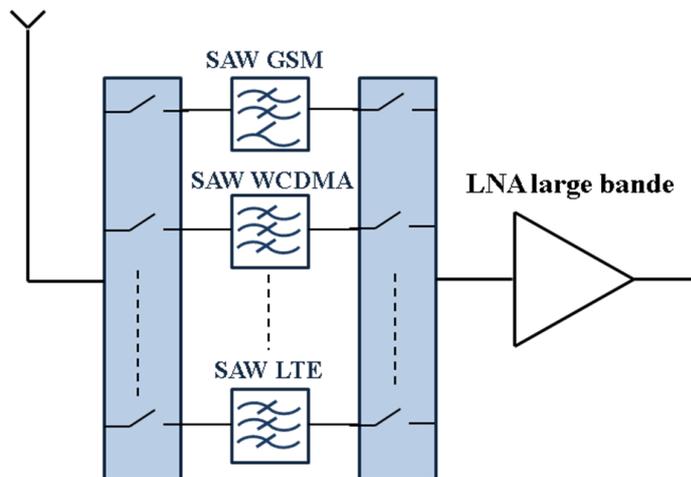
Paramètres \ Référence	SDR (réf [16])	RX bande étroite (réf [12])
Technologie	CMOS 90nm	CMOS 0,13um
BW/ Fréquence (GHz)	0,8 - 6	0,9
Gain (dB)	42*	57
NF (dB)	5*	2
IIP3 (dBm)	-3,5*	-6
IIP2 (dBm)	>45*	>48
P (mA)	64	414**
Surface (mm <sup>2</sup> )	3,8	25**

\* Test à la fréquence de 900MHz (standard GSM)

\*\* Spécifications pris pour tout le transmetteur (RX+TX+Dig)

**Tableau 2.3 : Tableau comparatif des performances entre un SDR et un RX conventionnel**

Par ailleurs, la linéarité reste insuffisante. Cela signifie que l'avantage du fonctionnement large bande du LNA est à relativiser, car chaque bande ou standard aura quand même besoin d'un filtre SAW spécifique afin de pouvoir tenir les spécifications de linéarité (figure 2.10).



**Figure 2.10 : Configuration réel d'un SDR en utilisant un LNA large bande**

Ainsi, ces filtres d'antenne réduisent fortement la flexibilité du récepteur.

En conclusion, une architecture de récepteur multistandard ne peut pas devenir possible que si nous éliminons le filtre externe. La linéarité insuffisante de la chaîne de réception est donc le principal verrou à lever.

## **2.3 Spécifications techniques imposées par les standards dans la fabrication des circuits de réception**

### **2.3.1 Considération sur les puissances des signaux bloqueurs**

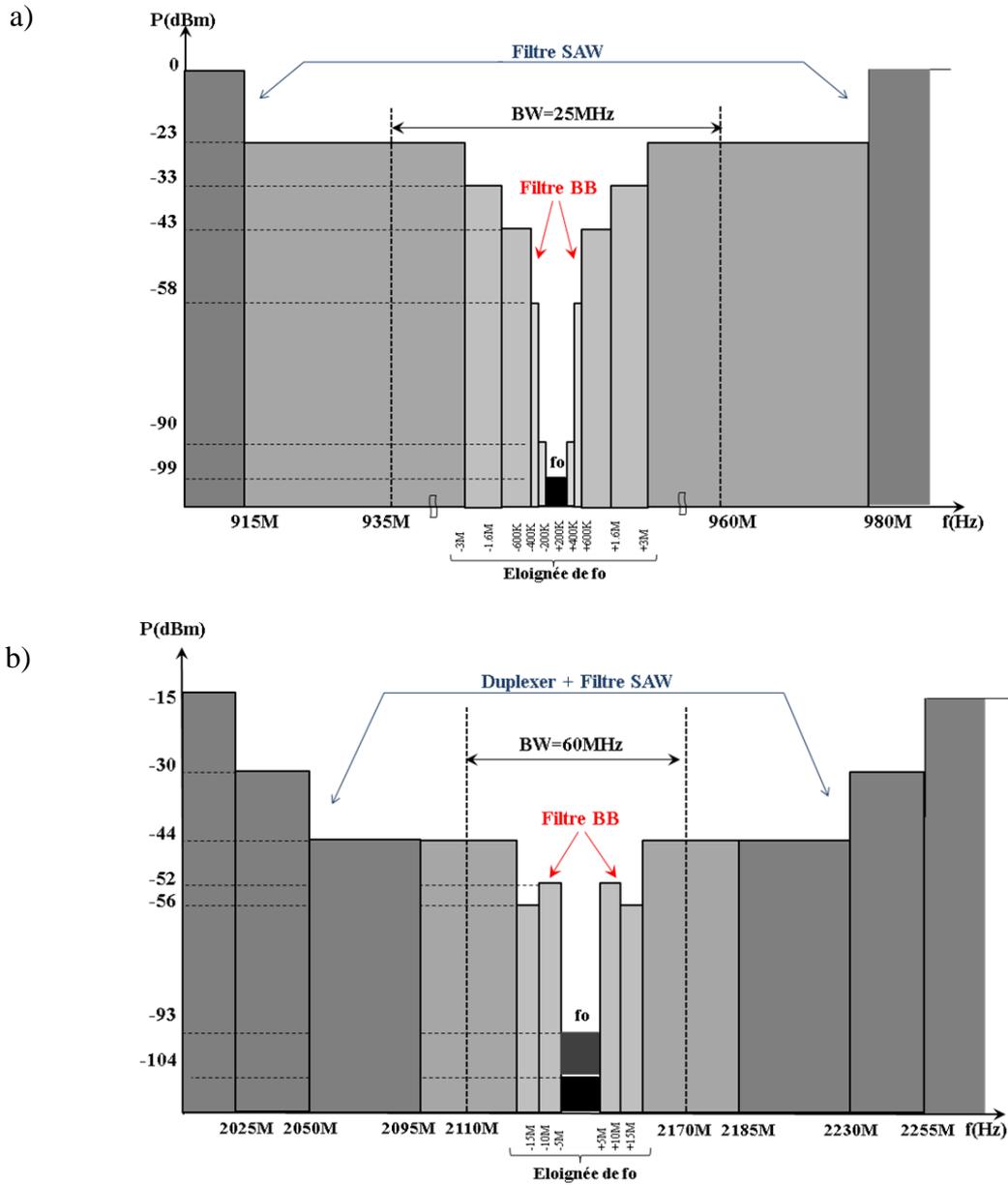
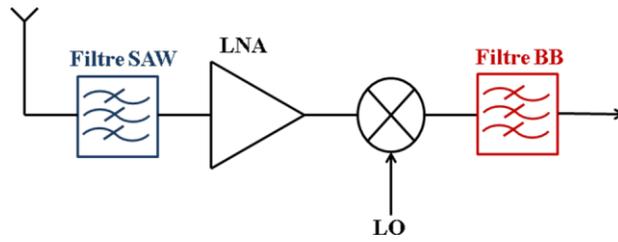
Comme vu précédemment, il existe plusieurs bandes de fréquences disponibles dans le spectre, variant dans chaque région. De plus, le nombre de bandes augmente dû à l'évolution des standards qui arrivent avec la 4G (LTE, WiMAX).

Les spécifications de bruit et de linéarité d'un circuit de réception sont liées à la puissance des signaux existants dans la bande du standard (*in-band*) et hors de la bande utile (*out-of-band*). Chaque standard ou bande de fréquences présente différents niveaux de puissances des signaux adjacentes et interféreurs qui sont tolérables à une fréquence éloignée du canal de réception.

La figure 2.11 montre les niveaux de puissance des signaux bloqueurs pour la bande GSM 900 du standard GSM et pour la bande I du standard WCDMA. Les signaux hors bande sont typiquement atténués par le duplexeur et/ou le filtre SAW. Les signaux *in-band* passent le LNA et sont filtrés en bande de base.

Dans la bande GSM 900, par exemple, le filtre BB d'un récepteur devrait atténuer les signaux adjacents, se trouvant éloignés de 600KHz à 1,6MHz du signal porteur, à une puissance d'au moins -43dBm (spécification *in-band*).

Dans la bande I (WCDMA), le 'duplexer + filtre SAW' devrait atténuer les signaux interféreurs se trouvant hors la bande du canal ( $f < 2095\text{MHz}$  et  $f > 2185\text{MHz}$ ) à une puissance d'au moins -44dBm (spécification *out-of-band*).



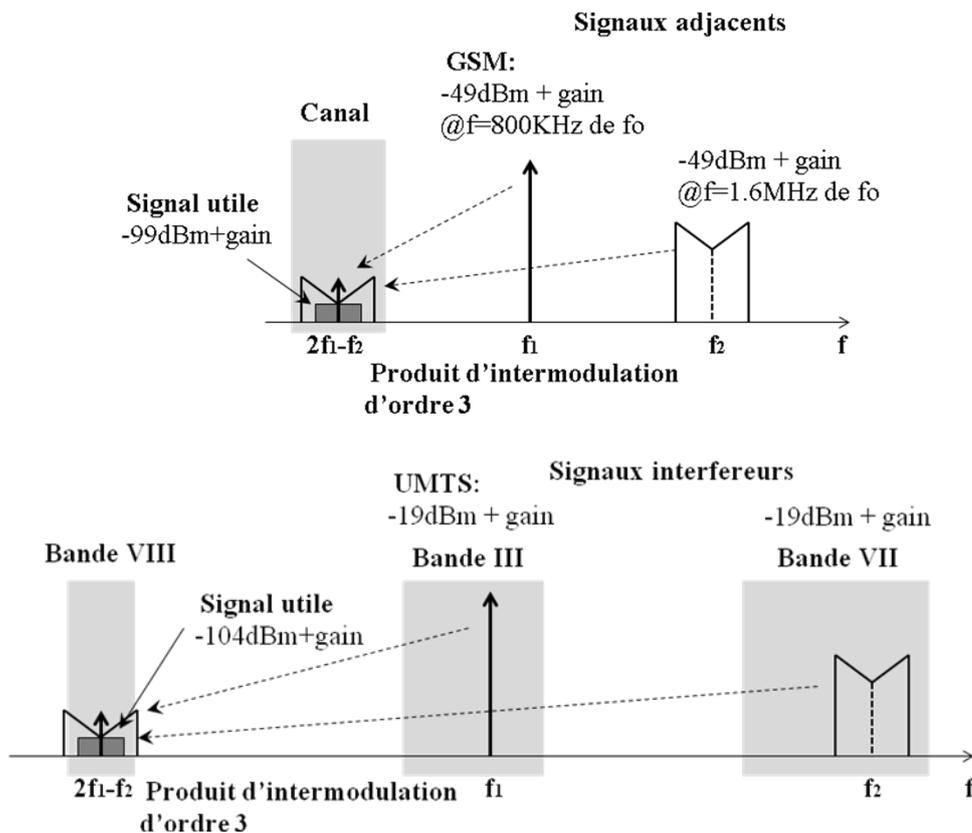
**Figure 2.11 : Niveau de puissance des signaux bloquers dans les récepteurs selon les standards a) GSM (GSM 900), b) WCDMA (Bande I)**

### 2.3.2 Spécifications de linéarité et de bruit

Le paramètre qui caractérise la performance d'un récepteur par rapport au bruit est son facteur de bruit (*ou noise figure* (NF)). Il est défini comme le rapport entre les rapports signal/bruit en entrée et en sortie. Un récepteur est plus performant en bruit qu'un autre si son facteur de bruit est plus petit.

Le bruit dans un récepteur est donné par différents phénomènes tel que :

- Le bruit thermique à l'antenne.
- Les signaux interféreurs qui peuvent saturer l'entrée du récepteur (point de compression) en diminuant son gain, et par conséquent, en réduisant son rapport signal/bruit en sortie.
- Le bruit des composants électroniques qui constituent le récepteur.



**Figure 2.12 : Produit d'intermodulation d'ordre 3 des signaux bloqueurs dans les standards GSM et UMTS**

La linéarité d'un récepteur est basée sur le comportement non linéaire des composants électroniques qui le constituent. Dans un récepteur, la linéarité est caractérisée pour beaucoup par son premier bloc, qui est souvent le LNA. Un récepteur aura de meilleures performances qu'un autre récepteur, si la grandeur qui caractérise la linéarité, l'IIP3, est plus grande.

Le produit d'intermodulation d'ordre 3 dans un récepteur est donné par la superposition de deux signaux bloqueurs (*in-band* et/ou *out-of-band*) qui créent un signal de la même fréquence que le signal utile.

La figure 2.12 illustre ce phénomène par deux exemples dans les standards GSM (*in-band*) et UMTS (*out-of-band*)

Un récepteur fabriqué pour gérer les standards GSM et UMTS doit donc respecter les normes de bruit et de linéarité imposées par la 3GPP et la 3GPP2. Les fabricants de circuits doivent tester leurs produits et ne pas dépasser les grandeurs de NF et d'IIP3 qui sont mentionnés comme suit :

Standard	Spécification de bruit	Spécification de linéarité
GSM	NF max=4dB	<i>Test case 1</i> : 2 signaux éloignés du signal porteur de : $F_1=0.8\text{MHz}$ et $F_2=1.6\text{MHz}$ (même puissance : $P=-45\text{dBm}$ ) → <b>IIP3=-15dBm.</b>
UMTS	NF max=4dB	<i>Test case 1</i> : 2 signaux éloignés du signal porteur de : $F_1=3.5\text{MHz}$ et $F_2=6\text{MHz}$ (même puissance : $P=-44\text{dBm}$ ) → <b>IIP3=-12dBm.</b>  <i>Test case 2</i> : 2 signaux éloignés du signal porteur de : $F_1=10\text{MHz}$ et $F_2=20\text{MHz}$ (même puissance : $P=-46\text{dBm}$ ) → <b>IIP3=-12dBm.</b>

**Table 2.4 : Spécifications de NF et d'IIP3 pour les standards GSM et UMTS**

Si nous retirons les composants SAW du système, ces contraintes deviennent quasiment impossibles à tenir. Nous verrons par la suite les diverses architectures trouvées dans l'état de l'art qui cherchent à pallier ce problème.

## 2.4 Solutions pour systèmes de réception sans filtre SAW

La difficulté majeure rencontrée lorsque nous cherchons à supprimer le filtre SAW est la puissance de signaux bloqueurs pauvrement atténués hors bande. Ces signaux parviennent à l'antenne avec des puissances de 0dBm. Ce fort signal peut occasionner des intermodulations ou, pire encore, saturer le récepteur.

Des pistes innovantes pour éliminer le filtre d'antenne ont été proposées récemment. Ces solutions sont de 2 ordres : la compensation de l'intermodulation d'ordre 3 (IM3) à la sortie du récepteur et un filtrage très sélectif à la sortie du LNA. Nous détaillons par la suite ces architectures.

### 2.4.1 Compensation des produits d'intermodulation d'ordre 3, réf [24]

Le système (figure 2.13) proposé par réf [24] a pour objectif de compenser les produits d'intermodulation d'ordre 3 introduits par le mélangeur. L'intermodulation d'ordre 3 du LNA est reproduite à l'aide d'un générateur de terme cubique. Ce générateur fait partie d'un circuit placé, en mode *feed-forward*, entre la sortie du LNA et celle du filtre de bande base de la chaîne directe. Le *feed-forward* est également composé d'un mélangeur (alimenté par la même fréquence LO (RX) que le mélangeur du chemin direct) et d'un filtre passe bas. Sa finalité est de supprimer les intermodulations générées par le chemin principal.

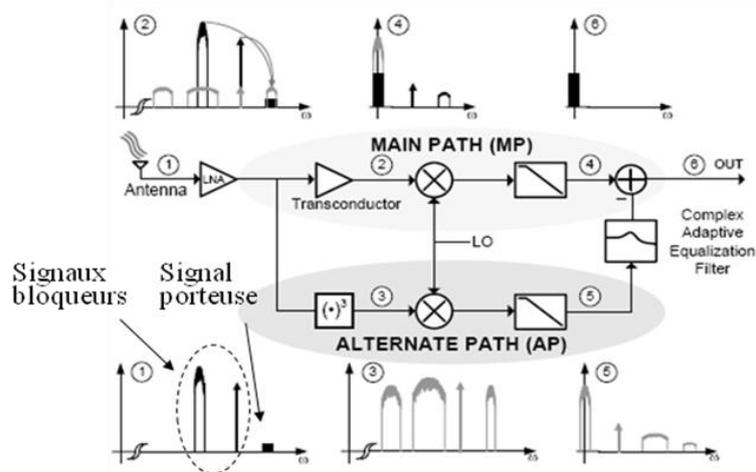


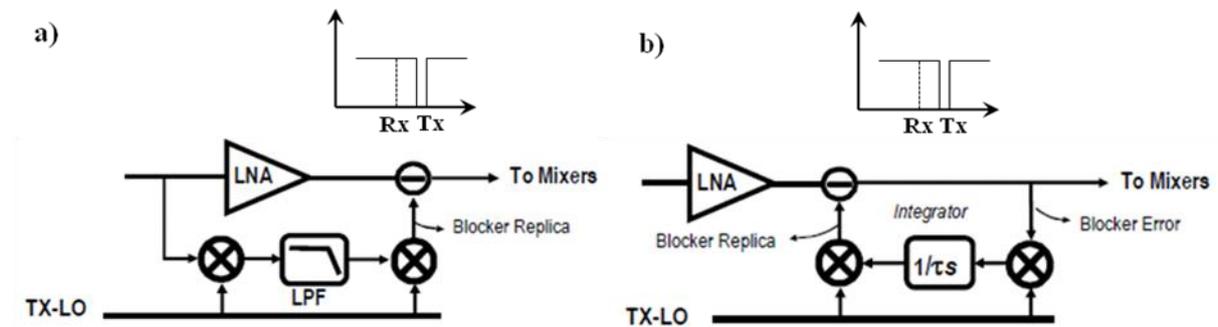
Figure 2.13 : Principe de l'architecture d'égalisation d'IM3

Cette structure cible la bande I du standard UMTS et améliore l'IIP3 de 12,4dB lorsque le *feed-forward* est actif. Ce chemin supplémentaire augmente la sélectivité du récepteur. Il utilise, en plus du complexe générateur de terme cubique, un LMS normalisé afin d'équilibrer les erreurs de gain et de phase des voies I et Q du mélangeur.

### 2.4.2 Filtrage par boucle de transposition de fréquences, réf [26]

Les deux types de systèmes montrés dans la figure 2.14 visent la suppression du signal TX couplé à l'antenne du récepteur. La première structure (figure 2.14.a) correspond à une

chaîne en mode *feed-forward* où tous les signaux RF sont transposés en bande de base à partir du mélangeur alimenté par la fréquence LO du TX. Le filtre passe bas récupère le signal bloqueur. Un deuxième mélangeur reconvertit en RF uniquement le signal bloqueur pour le supprimer à la sortie du LNA.



**Figure 2.14 : Principe de l'architecture avec filtrage par boucle de transposition en mode : a) *feed-forward*, b) *feedback***

La deuxième architecture (figure 2.14.b) utilise une contre-réaction négative. Les signaux bloqueurs sont reconstruits à partir de l'accumulation des erreurs des signaux échantillonnés à la sortie du LNA. Ils sont, par la suite, récupérés dans la bande de base par un filtre passe haut. Puis, ils sont reconvertis dans la RF et supprimés à la sortie du LNA.

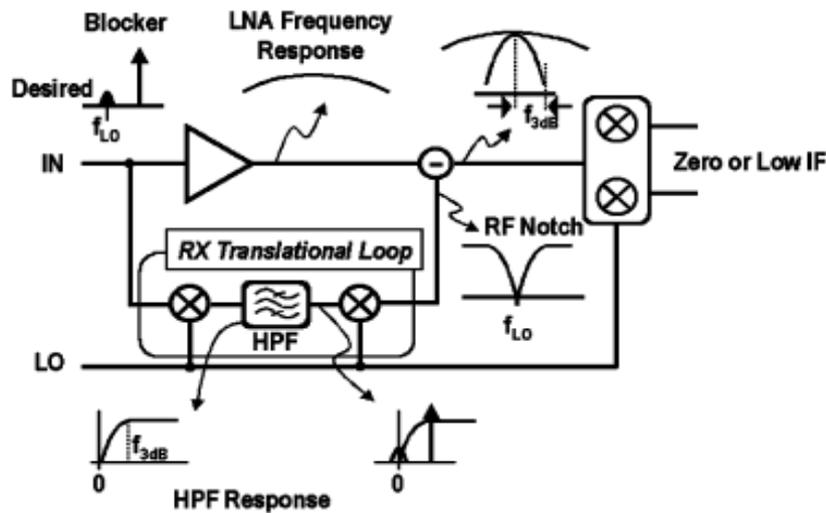
Le but de ces systèmes est de réaliser une forte atténuation pour la bande de fréquence des signaux TX (bande I du standard WCDMA). Cette atténuation est produite par le filtre en bande de base (de 20dB/déc.) qui transpose sa fonction de Transfer, en créant un '*notch*' de quelques MHz dans la RF.

Entre les deux types d'architectures, la plus robuste est la seconde. En effet, ses performances sont moins dégradées que la première quand les effets de *mismatching* et de déphasage des voies I/Q du mixer de retour sont pris en compte. De plus, elle améliore de 14,7dB l'IIP3 quand le *feed-back* est mis en marche.

### **2.4.3 Atténuation des signaux bloqueurs RF à partir d'une boucle de transposition de fréquences en mode *feed-forward*, réf [27]**

Cette technique consiste à ajouter un circuit en mode *feed-forward* entre l'entrée et la sortie du LNA. Son principe est expliqué par la suite : Un premier mélangeur transpose les signaux RF vers la bande de base. Un filtre passe haut (HPF) atténue uniquement le signal

utile. Un deuxième mélangeur transpose dans la RF les signaux interféreurs. A différence de la figure 2.14.a, les deux mélangeurs sont alimentés par la même fréquence LO du RX. Tous les signaux bloqueurs RF s'annulent entre eux à la sortie du LNA, et ainsi un filtre de bande étroite est créé. L'architecture est montrée dans la figure 2.15.

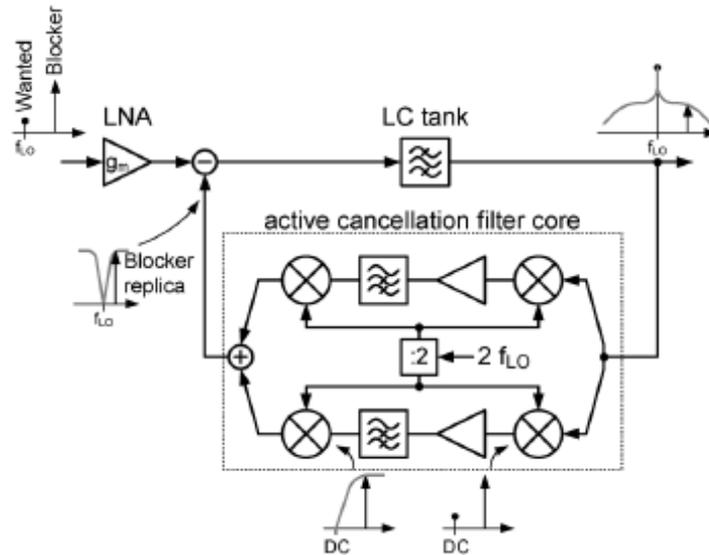


**Figure 2.15 : Principe de la technique : Récepteur avec une boucle de transposition de fréquences en *feed-forward***

Cette structure permet de filtrer en 21dB les bloqueurs éloignés de 80MHz du signal porteur lorsque la boucle de *feed-forward* est active. L'application ciblée est la bande PCS1900 du standard GSM.

#### **2.4.4 Suppression des signaux bloqueurs RF à partir d'une boucle de contre réaction avec transposition de fréquences, réf [29]**

Le principe de cette technique consiste à supprimer les signaux interféreurs à partir d'une contre réaction. Les signaux RF passent au travers d'un premier mélangeur, qui est alimenté par la fréquence LO du RX. Ces signaux sont donc transposés vers la bande de base. Un filtre passe haut supprime le signal utile en laissant passer uniquement les signaux bloqueurs. Un deuxième mélangeur, alimenté aussi par fréquence LO du RX, reconvertit les signaux bloqueurs en RF. La suppression des signaux interféreurs s'effectue donc à la sortie du LNA. Le schéma de cette structure est montré dans la figure 2.16.



**Figure 2.16 : Principe de la technique : Récepteur avec une boucle de contre-réaction et transposition de fréquences**

Le filtrage RF obtenu par cette technique est de 10,5dB à une fréquence de 5MHz du signal porteur. L'application envisagée est le standard GSM ( $f=1,9\text{GHz}$ ).

Nous montrons par la suite, un tableau comparatif des performances mesurées pour chaque architecture étudiée (Tableau 2.5).

Paramètres	Réf [24] <sup>1</sup>	Réf [26] <sup>2</sup>	Réf [27] <sup>2</sup>	Réf [29] <sup>2</sup>
<b>Technologie</b>	CMOS 0,13um	CMOS 0,18um	CMOS 65nm	CMOS 65nm
<b>F<sub>RF</sub> (GHz)</b>	2,11 – 2,17	2,11 – 2,17	1,93 – 1,99	1,9
<b>Gain (dB)</b>	30,5	22,7	20,9	22,5
<b>NF (dB)</b>	5,5	4,1	6,8	7
<b>I (mA)/ V (volt)</b>	34,7 / 1,2	35/ 1,8	29/ 1,2	60/ 2,5
<b>IIP3 (dBm)<sup>3</sup></b>	5,3	7,5	N/A	N/A
<b>Atténuation (dB)</b>	N/A	27@(F <sub>RF</sub> -130M)	21@(F <sub>RF</sub> +80M)	10,5@(F <sub>RF</sub> +5M)
<b>Surface (mm<sup>2</sup>)</b>	2,3 x 2,3	1,5 x 1,2	0,28 <sup>4</sup>	1,5 x 0,8
<b>BW (MHz)@3dB</b>	1,92	N/A	4,5	N/A

<sup>1</sup> Spécifications testées à la sortie de la bande base analogique

<sup>2</sup> Spécifications testées à la sortie du LNA

<sup>3</sup> Spécification hors bande (tons : 1,98 et 2,05GHz)

<sup>4</sup> Surface active du récepteur (diviseurs LO, buffer tests et pads ne sont pas inclus)

**Table 2.5 : Tableau comparatif de techniques développées pour supprimer le filtre SAW**

Comment nous pouvons observer, ces systèmes améliorent la spécification d'IIP3 et/ou réalisent une forte atténuation (filtrage RF) de quelques MHz du signal porteur. Cependant, un LNA de très haute performance en linéarité est requis car ces systèmes ne compensent pas la non-linéarité de ce premier bloc.

Toutes ces solutions dégradent le facteur de bruit de la chaîne de réception, mais elles permettent de remplacer l'ensemble 'SAW + récepteur traditionnel', ce qui amène à un bilan équivalent. Le filtre SAW, à lui seul, dégrade le signal utile de 2-3dB (qui doivent être ajoutés au NF du récepteur).

Finalement, ces systèmes s'adressent à une seule application, car le LNA utilisé dans toutes les topologies est de bande étroite (Configuration CS/CG + LC tank).

En conclusion, pour envisager une application multistandard utilisant le moins de composants possibles, le choix d'une architecture à conversion directe avec un LNA large bande est indispensable.

De toutes les publications présentées, aucune traite le problème de non-linéarité à l'entrée du LNA. A la suite de ce travail de thèse, une analyse d'un système capable de réduire les contraintes de non-linéarité dès l'entrée du récepteur sera présentée.

## **Chapitre 3 :**

# **SYSTEMES A CONTRE-REACTION DE BANDE DE BASE A RADIO FREQUENCES**

Dans ce chapitre, nous présentons l'étude des systèmes proposés afin de supprimer le filtre SAW. La solution envisagée consiste à ajouter une boucle de contre-réaction à l'entrée du LNA, à partir de la bande de base du récepteur. Ce principe sera présenté en détail par la suite.

Nous montrons donc les différentes architectures qui découlent de cette solution. Pour chacune, nous déterminons la fonction de transfert de manière analytique, et nous la vérifions en simulation. Finalement, nous effectuons une comparaison entre les architectures étudiées afin de choisir la meilleure solution pour une application multistandard large bande.



bande de fréquences des signaux désirés et est désadaptée ( $Z_{IN} \neq Z_{ANT}$ ) pour toutes les autres fréquences (signaux bloqueurs).

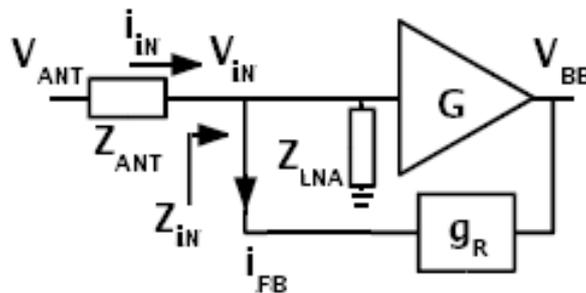
Le choix de l'impédance d'entrée, dans le cas des signaux bloqueurs, est un point clef de ce type d'architecture. Pour provoquer cette désadaptation nous pouvons choisir une impédance supérieure ou inférieure à  $Z_{ANT}$ , ce qui va provoquer une chute du gain en puissance, par effet de la désadaptation. Par contre, choisir une impédance supérieure peut générer une surtension à l'entrée du LNA. Avec une impédance inférieure au contraire nous obtiendrons une tension plus faible, but recherché pour la fonction de filtrage RF.

### 3.1.2 Analyse Mathématique

L'analyse théorique de ce système se base sur le modèle de la figure 3.2. Ce modèle est linéarisé, dans le sens où les deux transpositions de fréquences (qui s'annulent sur la boucle) sont ignorées. Seul le gain du mélangeur est conservé. Une contre-réaction négative est supposée dans un premier temps. L'antenne est modélisée par une source de tension ( $V_{ANT}$ ) et une impédance en série ( $Z_{ANT}$ ). Le gain en tension de la chaîne directe ( $G$ ) et le gain de transconductance de la boucle de retour ( $g_R$ ) sont donnés par les équations :

$$G = \frac{V_{BB}}{V_{IN}} = G_{LNA} \times G_{MIX} \times G_{AMP} \quad 3.1$$

$$g_R(f) = \frac{i_{FB}}{V_{BB}} = G_{FIL}(f - F_{LO}) \times G_{MIX} \times g_{OTA} \quad 3.2$$



**Figure 3.2 : Schéma bloc simplifié du système à contre-réaction BB-RF**

L'impédance de la boucle de contre-réaction s'ajoute en parallèle à l'impédance du LNA. Elle est donnée par :

$$Z_{FB}(f) = \frac{V_{IN}}{i_{FB}} = \frac{1}{G_{LNA} \times G_{MIX}^2 \times G_{AMP} \times G_{FIL}(f - F_{LO}) \times g_{OTA}} = \frac{K}{G_{FIL}(f - F_{LO})} \quad 3.3$$

$$\text{Où } K = \frac{1}{G_{LNA} \times G_{MIX}^2 \times G_{AMP} \times g_{OTA}}$$

Finalement, l'impédance d'entrée du récepteur est donnée par :

$$Z_{IN}(f) = \frac{Z_{FB}(f) \times Z_{LNA}}{Z_{FB}(f) + Z_{LNA}} \quad 3.4$$

Cette équation générique nous décrit toute une famille d'architectures.

Dans la section 3.2 nous détaillerons les architectures à contre-réaction négatives ( $Z_{FB}$  positive) qui vont amener à  $Z_{IN} < Z_{LNA}$ . Les architectures à contre-réaction positives seront-elles étudiées dans la section 3.3. Pour chacune de ces solutions, le choix du filtre va donner des propriétés différentes au système à contre-réaction BB-RF.

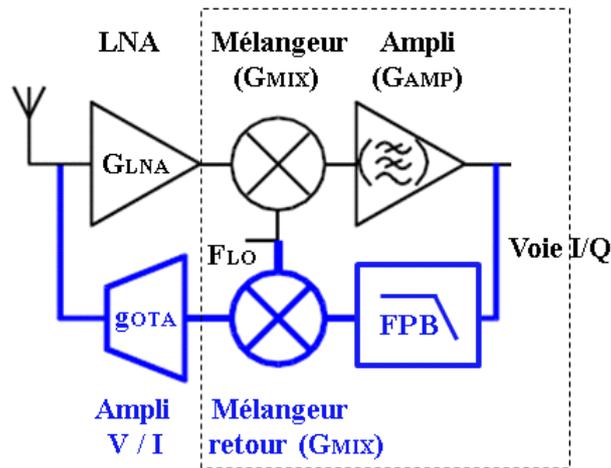
## 3.2 Architectures de la contre-réaction négative BB-RF

Les architectures résultant du principe de contre-réaction négative BB-RF sont analysées. Pour chaque structure étudiée, nous allons faire une analyse mathématique afin de déterminer l'expression analytique de l'impédance d'entrée du récepteur (voir Annexe 2 pour les résultats de simulation Matlab). Ensuite, nous allons simuler les schémas à l'aide de l'outil de simulation Spectre. Enfin, nous allons analyser les avantages et inconvénients de chaque montage.

### 3.2.1 Configuration avec filtre passe bas

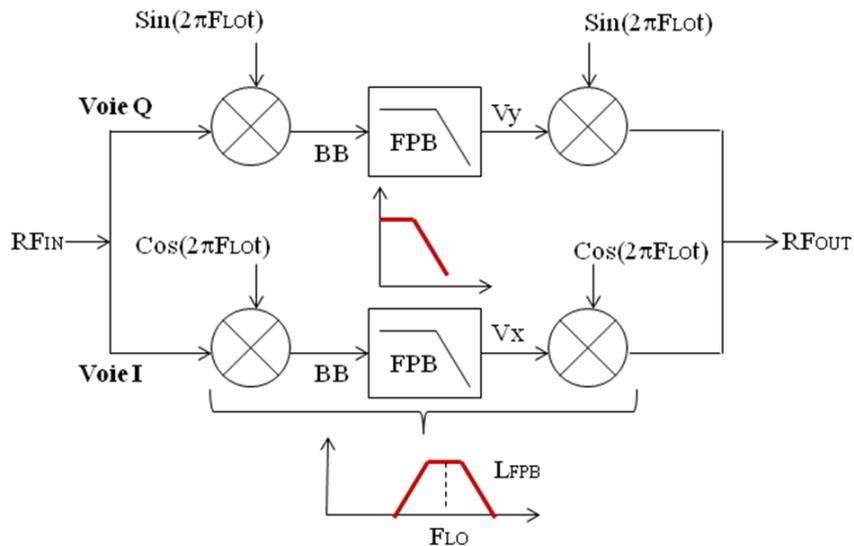
Dans cette configuration, un filtre passe bas est mis en place dans la chaîne de retour. La structure est montrée dans la figure 3.3. Nous allons faire deux suppositions pour simplifier l'analyse mathématique : 1) les mélangeurs sont idéaux et sont alimentés par la même fréquence LO ( $F_{LO}$ ) à la même phase ( $F_{LO}$  est un signal sinusoïdal et ne contient pas d'harmoniques). 2) Le filtre passe bas est choisi du premier ordre pour simplifier les calculs sans enlever de la généralité des conclusions, et sa fonction de transfert est donnée par :

$$FPB(j2\pi f) = \frac{1}{1 + j \frac{f}{fc}} \quad 3.5$$



**Figure 3.3 : Système à contre-réaction BB-RF – Configuration avec FPB**

La boucle ouverte peut-être analysée comme un filtre passe bande réalisé en utilisant la technique de transposition de fréquences (fonction de transfert d'un filtre BB entre deux mélangeurs de même fréquence LO) et un filtre passe bas, réf [31]. Elle est représentée sur la figure 3.4.



**Figure 3.4 : Technique de transposition de fréquences appliquée à un FPB**

Cette fonction de transfert est démontrée comme suit : Les mélangeurs de la voie I sont alimentés par un signal de la forme  $\text{Cos}(2\pi F_{LO}t)$ , alors que les mélangeurs de la voie Q sont alimentés par le signal en quadrature de phase  $\text{Sin}(2\pi F_{LO}t)$ . Les tensions  $V_x$  et  $V_y$  à la sortie du FPB des deux voies respectivement sont représentés par :

$$V_x(t) = \int_{-\infty}^t h_{FPB}(t-\tau) V_{IN}(\tau) \text{Cos}(2\pi F_{LO}\tau) d\tau \quad 3.6$$

$$V_y(t) = \int_{-\infty}^t h_{FPB}(t-\tau) V_{IN}(\tau) \sin(2\pi F_{LO} \tau) d\tau \quad 3.7$$

Où  $h_{FPB}$  est la fonction impulsionnelle du FPB et  $V_{IN}$  le signal en entrée RF.

Puis, ces signaux ( $V_x$  et  $V_y$ ) sont reconvertis en radiofréquences. En utilisant les équations 3.6 et 3.7, nous trouvons la fonction du signal RF en sortie, donné par :

$$\begin{aligned} V_{OUT}(t) &= V_x(t) \cos(2\pi F_{LO} t) + V_y(t) \sin(2\pi F_{LO} t) \\ &= \int_{-\infty}^t V_{IN}(\tau) h_{FPB}(t-\tau) \cos(2\pi F_{LO}(t-\tau)) d\tau \\ &= V_{IN}(t) \otimes [h_{FPB}(t) \cos(2\pi F_{LO} t)] \end{aligned} \quad 3.8$$

Où ' $\otimes$ ' est l'opérateur de convolution intégral. Ainsi,

$$l_{FPB}(t) = h_{FPB}(t) \cos(2\pi F_{LO} t) \quad 3.9$$

Où  $l_{FPB}$  est la réponse impulsionnelle du filtre passe bande résultant.

L'équation 3.9 est donc transformée dans le domaine fréquentiel :

$$L_{FPB}(j2\pi f) = \frac{1}{2} (FPB(j2\pi f - j2\pi F_{LO}) + FPB(j2\pi f + j2\pi F_{LO})) \quad 3.10$$

En remplaçant l'équation du FPB de premier ordre dans l'équation 3.10, nous trouvons,

$$FPB(j2\pi f) = \frac{1}{1 + j \frac{f}{fc}} \Rightarrow L_{FPB}(j2\pi f) = \frac{\left(1 + j \frac{f}{fc}\right)}{\left(1 + j \frac{f}{fc}\right)^2 + \left(\frac{F_{LO}}{fc}\right)^2} \quad 3.11$$

Nous pouvons observer que la nouvelle fonction de transfert est celle d'un filtre passe bande autour de la fréquence LO.

Ainsi, en remplaçant l'équation 3.11 dans l'équation 3.3, l'impédance de contre-réaction

$$\text{est trouvée et donnée par } Z_{FB1}(f) = \frac{K_1}{L_{FPB}(j2\pi f)}$$

Finalement, en remplaçant  $Z_{FB1}$  dans l'équation 3.4, l'impédance d'entrée est :

$$Z_{IN1}(f) = \frac{Z_{LNA1}}{1 + \frac{Z_{LNA1} \times L_{FPB}(j2\pi f)}{K_1}} = \frac{Z_{LNA1}}{1 + \frac{Z_{LNA1}}{K_1} \times \frac{\left(1 + j \frac{f}{fc}\right)}{\left(1 + j \frac{f}{fc}\right)^2 + \left(\frac{F_{LO}}{fc}\right)^2}} \quad 3.12$$

Pour le calcul de  $Z_{LNAI}$  et  $K_1$ , nous allons faire deux hypothèses :

- i)  $F_{LO} \gg fc$ , car  $F_{LO}$  est de l'ordre de quelques GHz (RF) et  $fc$  est de l'ordre de quelques MHz (BB).
- ii) Initialement  $Z_{LNAI} \neq Z_{ANT}$ . En effet, le principe de cette technique se base sur l'adaptation d'impédances quand la boucle de contre-réaction est active. Nous supposons que la boucle agit uniquement à la fréquence LO. Ainsi, l'impédance créé par la contre-réaction devrait égaliser la valeur de l'impédance initiale ( $Z_{LNAI}$ ) à la valeur de l'impédance de l'antenne :  $Z_{IN}(F_{LO}) = Z_{ANT}$ .

Nous analysons l'équation 3.12 à la fréquence LO. D'après la première hypothèse (i),

$$|L_{FPB}(f = F_{LO})| = \frac{\sqrt{1 + \left(\frac{F_{LO}}{fc}\right)^2}}{\sqrt{1 + \left(2\frac{F_{LO}}{fc}\right)^2}} \approx \frac{1}{2}$$

Donc, nous pouvons constater que :

$$\text{Si } f = F_{LO} : Z_{IN1}(F_{LO}) = \frac{Z_{LNAI}}{1 + \frac{Z_{LNAI}}{K_1} \times \frac{1}{2}} = \frac{2K_1 \times Z_{LNAI}}{2K_1 + Z_{LNAI}}$$

Cette équation nous rappelle la formule de l'impédance équivalente de deux impédances en parallèle. Pour simplifier l'analyse nous pouvons faire la supposition que :

$$1) Z_{IN1}(F_{LO}) = Z_{LNAI}, \text{ si } Z_{LNAI} \ll 2K_1,$$

$$\text{Ou } 2) Z_{IN1}(F_{LO}) = 2K_1, \text{ si } Z_{LNAI} \gg 2K_1$$

D'après la deuxième hypothèse (où ii)  $Z_{LNAI} \neq Z_{ANT}$ ), le premier cas ne peut pas être considéré car la contre-réaction ne produit aucun effet à la fréquence LO. Par conséquence, c'est le deuxième cas qui nous semble intéressant où la contre-réaction agit dans l'adaptation d'impédances. Alors, si  $Z_{IN1}(F_{LO}) = 2K_1 = Z_{ANT} = 50\Omega$

$$\rightarrow K_1 \approx 25\Omega, \text{ et } Z_{LNAI} \gg 50\Omega$$

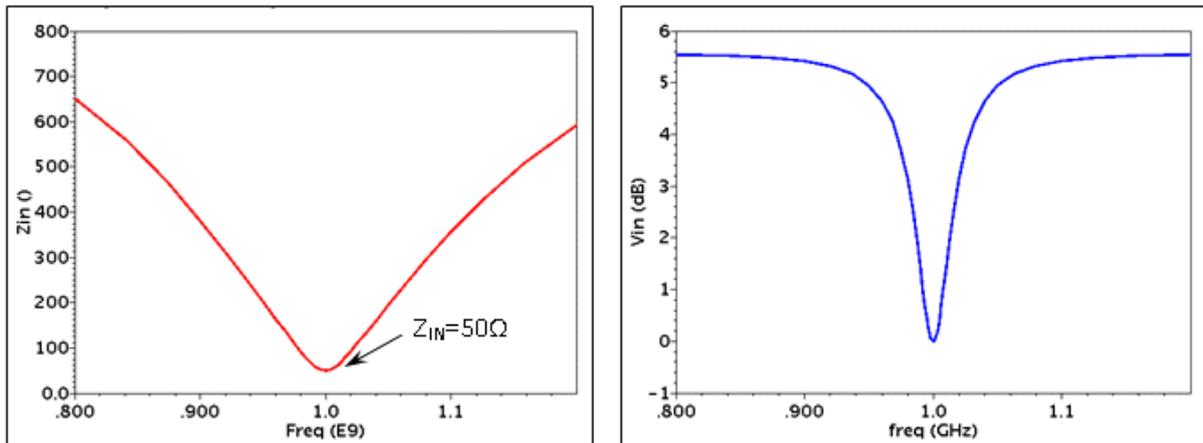
Avec les valeurs trouvées, nous pouvons observer que :

$$\text{Si } f = 0 : |L_{FPB}(f = 0)| = \frac{1}{1 + \left(\frac{F_{LO}}{fc}\right)^2} \approx \left(\frac{fc}{F_{LO}}\right)^2 \Rightarrow Z_{IN1} \approx Z_{LNAI}$$

$$\text{Si } f \rightarrow \infty : |L_{FPB}(f \rightarrow \infty)| = 0 \Rightarrow Z_{IN1} \approx Z_{LNAI}$$

Ces résultats impliquent que la boucle de contre-réaction agit sur l'impédance d'entrée uniquement autour de la fréquence LO. A fréquences plus éloignées, l'impédance d'entrée revient à sa valeur initiale.

L'analyse est vérifiée en simulation. La figure 3.5 montre le gabarit de la courbe de l'impédance et la tension en entrée. Les valeurs utilisées dans la simulation sont :  $F_{LO}=1\text{GHz}$ ,  $f_c=10\text{MHz}$ ,  $Z_{LNA1}=1\text{K}\Omega$ ,  $K_1=23\Omega$  ( $G_{LNA}=20\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=20\text{dB}$ ,  $g_{OTA}=1.1\text{mS}$ )



**Figure 3.5 : Configuration avec FPB - Simulation de  $Z_{IN1}$  et  $V_{IN1}$**

Ce que nous pouvons distinguer dans la figure :

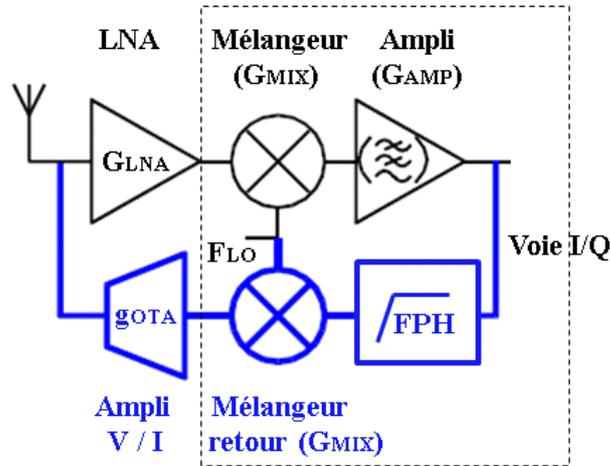
- Grâce à la boucle de contre-réaction, le circuit devient adapté ( $Z_{IN1}=50\Omega$ ) autour de la fréquence LO. Le circuit reste désadapté ( $Z_{IN1}>50\Omega$ ) à une fréquence plus éloignée (hors bande)
- La tension en entrée est plus grande quand l'impédance d'entrée n'est pas adaptée à l'impédance de l'antenne.

En conclusion, ces résultats sont cohérents avec notre analyse mathématique. L'impédance d'entrée est plus grande hors bande que dans la bande utile. Par conséquent, les signaux bloqueurs produisent une surtension dans le récepteur, or nous cherchons le contraire.

Par la suite, une autre configuration de l'architecture à contre-réaction BB-RF est étudiée.

### 3.2.2 Configuration avec filtre passe haut

Cette deuxième architecture est montrée dans la figure 3.6.



**Figure 3.6 : Système à contre-réaction BB-RF – Configuration avec FPH**

Dans cette analyse, nous avons réalisé les mêmes étapes et les mêmes suppositions que dans la section précédente. Nous pouvons trouver la fonction de transfert d'un filtre passe haut en utilisant la technique de transposition de fréquences. Elle est donnée par :

$$FPH(j2\pi f) = \frac{j \frac{f}{fc}}{1 + j \frac{f}{fc}} \Rightarrow H_{FPH}(j2\pi f) = \frac{j \frac{f}{fc} \times \left(1 + j \frac{f}{fc}\right) + \left(\frac{F_{LO}}{fc}\right)^2}{\left(1 + j \frac{f}{fc}\right)^2 + \left(\frac{F_{LO}}{fc}\right)^2} \quad 3.13$$

Et l'impédance d'entrée est représentée par :

$$Z_{IN2}(f) = \frac{Z_{LNA2}}{1 + \frac{Z_{LNA2} \times H_{FPH}(j2\pi f)}{K_2}} = \frac{Z_{LNA2}}{1 + \frac{Z_{LNA2}}{K_2} \times \frac{j \frac{f}{fc} \times \left(1 + j \frac{f}{fc}\right) + \left(\frac{F_{LO}}{fc}\right)^2}{\left(1 + j \frac{f}{fc}\right)^2 + \left(\frac{F_{LO}}{fc}\right)^2}} \quad 3.14$$

Les valeurs de  $K_2$  et  $Z_{LNA2}$ , sont trouvées en utilisant les mêmes hypothèses qu'auparavant (où i)  $F_{LO} \gg fc$  et ii)  $Z_{LNA2} \neq Z_{ANT}$  au début). Donc, nous analysons l'impédance d'entrée quand  $f = F_{LO}$  :

$$\text{Si } f=F_{LO} \Rightarrow |H_{FPH}(f = F_{LO})| = \frac{\frac{F_{LO}}{fc}}{\sqrt{1 + \left(2 \frac{F_{LO}}{fc}\right)^2}} \approx \frac{1}{2}$$

$$\text{Et } Z_{IN2}(F_{LO}) = \frac{Z_{LNA2}}{1 + \frac{Z_{LNA2}}{K_2} \times \frac{1}{2}} = \frac{2K_2 \times Z_{LNA2}}{2K_2 + Z_{LNA2}},$$

Nous pouvons considérer que :

$$1) Z_{IN2}(F_{LO}) = Z_{LNA2}, \text{ si } Z_{LNA2} \ll 2K_2,$$

$$\text{Ou } 2) Z_{IN2}(F_{LO}) = 2K_2, \text{ si } Z_{LNA2} \gg 2K_2$$

Comme dans l'analyse précédente (configuration avec FPB), c'est le deuxième cas qui nous intéresse. Alors, si  $Z_{IN2}(F_{LO}) = 2K_2 = Z_{ANT} = 50\Omega$

$$\rightarrow K_2 \approx 25\Omega, \text{ et } Z_{LNA2} \gg 50\Omega$$

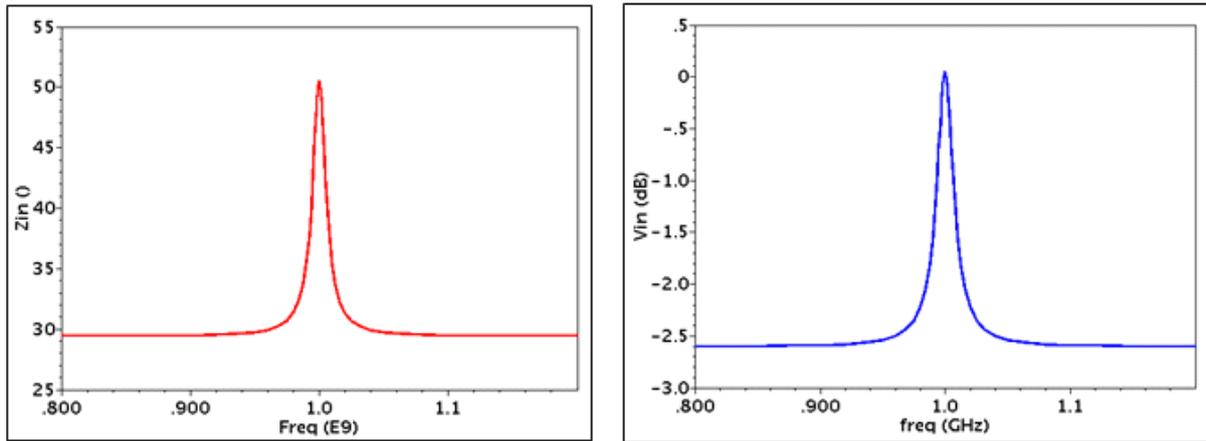
Avec les valeurs trouvées, nous pouvons constater que :

$$\text{Si } f=0 : |H_{FPH}(f = 0)| = \frac{\left(\frac{F_{LO}}{fc}\right)^2}{1 + \left(\frac{F_{LO}}{fc}\right)^2} \approx 1 \Rightarrow Z_{IN2} \approx K_2$$

$$\text{Si } f \rightarrow \infty : |H_{FPH}(f \rightarrow \infty)| = 1 \Rightarrow Z_{IN2} \approx K_2$$

Nous démontrons également, que la boucle de contre-réaction agit uniquement autour de la fréquence LO.

Cette analyse est vérifiée avec une simulation sur Spectre. Les résultats de simulation sont montrés dans la figure 3.7. Les valeurs utilisées dans la simulation sont :  $F_{LO}=1\text{GHz}$ ,  $fc=10\text{MHz}$ ,  $Z_{LNA}=1\text{K}\Omega$ ,  $K_2=38\Omega$  ( $G_{LNA}=20\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=20\text{dB}$ ,  $g_{OTA}=660\mu\text{S}$ )



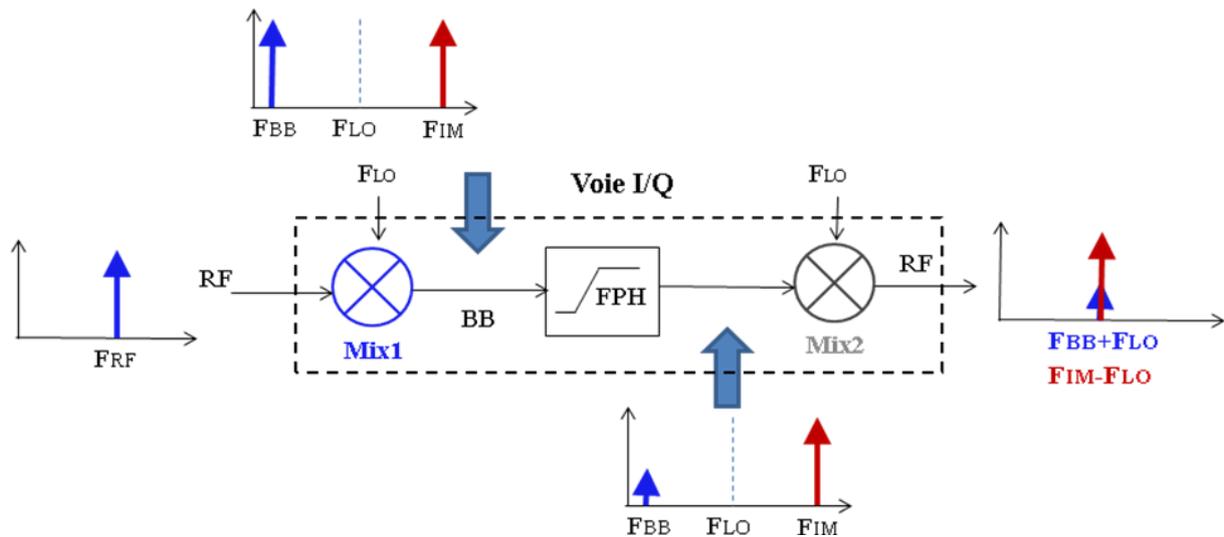
**Figure 3.7 : Configuration avec FPH - Simulation de  $Z_{IN2}$  et  $V_{IN2}$**

La simulation ci-dessus montre les allures de l'impédance et la tension d'entrée. Nous pouvons observer les résultats suivants :

- Le gabarit de l'impédance d'entrée est de la forme d'un filtre passe bande centré sur la fréquence LO ( $F_{LO}=1\text{GHz}$ ). La boucle de contre-réaction adapte l'entrée du circuit ( $Z_{IN2}=50\Omega$ ) autour de la  $F_{LO}$  et la désadapte ( $Z_{IN2}<50\Omega$ ) à une fréquence plus éloignée.
- La tension en entrée suit la forme de l'impédance d'entrée. Cependant, cette atténuation à fréquence plus éloignée de la  $F_{LO}$  n'est pas très importante ( $<3\text{dB}$ ), vue que l'impédance a seulement diminué de moitié par rapport à sa valeur initiale ( $\sim 30\Omega$ ).

En conclusion, ce type d'architecture produit le gabarit recherché, mais sans obtenir assez de filtrage. De plus, lorsque la boucle est fermée, elle affecte les signaux bloqueurs dans une très large bande de fréquences, qui est difficile à optimiser.

Nous pouvons vérifier aussi que le paramètre  $K_2$  trouvé dans la simulation est différent par rapport à l'analyse mathématique. Il s'avère que cette différence provient de la fréquence image ( $F_{IM}=F_{RF}+F_{LO}$ ) du premier des mélangeurs dont le mécanisme est détaillé sur la figure 3.8.



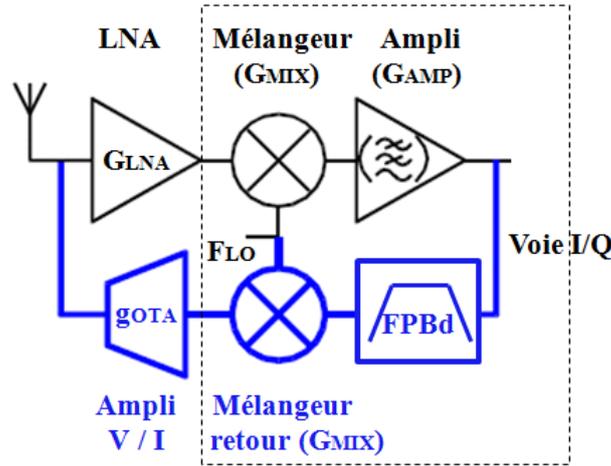
**Figure 3.8 : Effet du mélangeur de retour dans la configuration avec FPH**

Le spectre de la sortie du premier mélangeur contient, en plus du signal utile ( $F_{BB}=F_{RF}-F_{LO}$ ) la fréquence image ( $F_{IM}=F_{RF}+F_{LO}$ ), qui n'est pas atténué par le filtre (qui est passe haut dans ce cas). Cette fréquence va se replier sur  $F_{RF}$  en sortie du deuxième mélangeur et, par conséquent, réduire l'effet de la boucle.

Finalement, les résultats obtenus avec ces deux architectures étudiées ne donnent pas la solution recherchée. Nous allons essayer par la suite une troisième architecture.

### 3.2.3 Configuration avec filtre passe bande

Cette architecture est montrée dans la figure 3.9. A la différence des autres systèmes, elle comprend un filtre passe bande dans la boucle de contre-réaction. L'utilisation d'un filtre passe bande va nous permettre de ne pas rencontrer le problème de fréquence image (problème lié à la configuration avec filtre passe haut).



**Figure 3.9 : Système à contre-réaction BB-RF – Configuration avec FPBd**

Comme précédemment, nous trouvons la fonction de transfert d'un filtre passe bande avec la technique de transposition de fréquences. Elle est donnée par :

$$\begin{aligned}
 FPBd(j2\pi f) &= \frac{j \frac{f}{fc_1}}{\left(1 + j \frac{f}{fc_1}\right)} \times \frac{1}{\left(1 + j \frac{f}{fc_2}\right)} \\
 \Rightarrow B_{FPBd}(j2\pi f) &= \frac{j \frac{f}{fc_2} \times \left[ \left(\frac{F_{LO}}{fc_1}\right)^2 - \left(\frac{f}{fc_1}\right)^2 + \frac{fc_2}{fc_1} \right] + \left[ \left(\frac{F_{LO}}{fc_1}\right)^2 - \left(\frac{f}{fc_1}\right)^2 \right] \left(1 + \frac{fc_1}{fc_2}\right)}{\left[ \left(1 + j \frac{f}{fc_1}\right)^2 + \left(\frac{F_{LO}}{fc_1}\right)^2 \right] \times \left[ \left(1 + j \frac{f}{fc_2}\right)^2 + \left(\frac{F_{LO}}{fc_2}\right)^2 \right]}
 \end{aligned} \tag{3.15}$$

Où  $fc_2 > fc_1$

L'impédance d'entrée est représentée par :

$$\begin{aligned}
 Z_{IN3}(f) &= \frac{Z_{LNA3}}{1 + \frac{Z_{LNA3} \times B_{FPBd}(j2\pi f)}{K_3}} \\
 &= \frac{Z_{LNA3}}{1 + \frac{Z_{LNA3}}{K_3} \frac{j \frac{f}{fc_2} \times \left[ \left(\frac{F_{LO}}{fc_1}\right)^2 - \left(\frac{f}{fc_1}\right)^2 + \frac{fc_2}{fc_1} \right] + \left[ \left(\frac{F_{LO}}{fc_1}\right)^2 - \left(\frac{f}{fc_1}\right)^2 \right] \left(1 + \frac{fc_1}{fc_2}\right)}{\left[ \left(1 + j \frac{f}{fc_1}\right)^2 + \left(\frac{F_{LO}}{fc_1}\right)^2 \right] \times \left[ \left(1 + j \frac{f}{fc_2}\right)^2 + \left(\frac{F_{LO}}{fc_2}\right)^2 \right]}
 \end{aligned} \tag{3.16}$$

En analysant l'équation à la fréquence LO et en faisant l'hypothèse que : i)  $F_{LO} \gg fc_1$  et ii)  $F_{LO} \gg fc_2$ , nous pouvons trouver de manière simplifiée les valeurs de  $K_3$  et  $Z_{LNA3}$ .

$$\text{Si } \mathbf{f}=\mathbf{F}_{LO} \Rightarrow |B_{FPBd}(f = F_{LO})| = \frac{\frac{F_{LO}}{fc_2} \times \frac{fc_2}{fc_1}}{\sqrt{1 + \left(2 \frac{F_{LO}}{fc_1}\right)^2} \times \sqrt{1 + \left(2 \frac{F_{LO}}{fc_2}\right)^2}} \approx \frac{1}{4} \frac{fc_2}{F_{LO}}$$

$$\text{Et } Z_{IN3}(F_{LO}) = \frac{Z_{LNA3}}{1 + \frac{Z_{LNA3}}{K_3} \times \frac{1}{4} \frac{fc_2}{F_{LO}}} = \frac{\frac{F_{LO}}{fc_2} \times Z_{LNA3}}{\frac{F_{LO}}{fc_2} + \frac{Z_{LNA3}}{4K_3}},$$

A la différence des analyses précédentes, la valeur de  $Z_{IN3}$  à la fréquence LO dépend de quatre inconnues ( $F_{LO}$ ,  $fc_2$ ,  $Z_{LNA3}$ ,  $K_3$ ).

En supposant que  $\frac{F_{LO}}{fc_2} \gg \frac{Z_{LNA3}}{4K_3}$  et en utilisant l'hypothèse ii)  $F_{LO} \gg fc_2$  (ou  $\frac{F_{LO}}{fc_2} \gg 1$ )

nous trouvons une unique solution :  $Z_{IN3}(F_{LO})=Z_{LNA3}$

$$\rightarrow \frac{Z_{LNA3}}{4K_3} \approx 1 \text{ et } K_3 = \frac{Z_{LNA3}}{4}$$

Si nous considérons cette solution, nous pouvons trouver que :

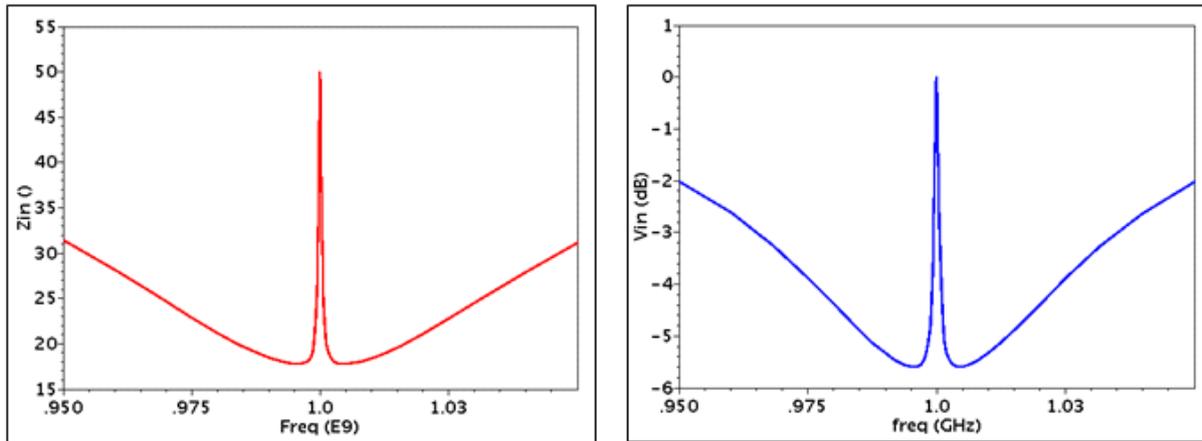
$$\text{Si } \mathbf{f}=\mathbf{0} : |B_{FPBd}(f = 0)| = \frac{\left(1 + \frac{fc_2}{fc_1}\right)}{\left(\frac{F_{LO}}{fc_2}\right)^2} \Rightarrow Z_{IN3} = \frac{Z_{LNA3}}{1 + 4 \times \left(\frac{fc_2}{F_{LO}}\right)^2 \left(1 + \frac{fc_2}{fc_1}\right)} \approx Z_{LNA3}$$

$$\text{Si } \mathbf{f} \rightarrow \infty : |B_{FPBd}(f \rightarrow \infty)| = 0 \Rightarrow Z_{IN3} = Z_{LNA3}$$

D'après ces résultats (où  $Z_{IN3}=Z_{LNA3}$  à toutes les fréquences analysées), nous en déduisons que la contre-réaction ne réagit ni à la fréquence LO ni aux fréquences plus éloignées ( $f=0$ ,  $f \rightarrow \infty$ ). En effet, les fréquences étudiées ne sont pas soumises à l'effet de la contre-réaction. Afin de mieux comprendre cette architecture et d'obtenir une analyse plus cohérent, il faudra tracer la courbe de l'expression 3.16.

La courbe est simulée avec Spectre. Vu que la contre-réaction n'agit pas à la fréquence LO (d'après notre analyse), nous choisissons la valeur initiale de  $Z_{LNA3}=50\Omega$  (ce que nous intéresse est que le récepteur soit adapté à la fréquence LO).

Les résultats obtenus sont montrés dans la figure 3.10. Les autres valeurs utilisées dans la simulation respectent les hypothèses et considérations établies :  $F_{LO}=1\text{GHz}$ ,  $fc_1=1\text{MHz}$ ,  $fc_2=20\text{MHz}$ ,  $K_3=11.5\Omega$  ( $G_{LNA}=20\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=20\text{dB}$ ,  $g_{OTA}=2,2\text{mS}$ )



**Figure 3.10 : Configuration avec FPBd - Simulation de  $Z_{IN3}$  et  $V_{IN3}$**

D'après la figure, nous pouvons constater que :

- Initialement, le système est adapté ( $Z_{IN3}=50\Omega$ ). Ensuite, la boucle de contre-réaction change l'impédance d'entrée ( $Z_{IN3}<50\Omega$ ) à quelques MHz de la  $F_{LO}$  (effet de la première fréquence de coupure,  $fc_1$ ), pour finalement la faire remonter à sa valeur initiale (effet de la deuxième fréquence de coupure,  $fc_2$ ).
- La courbe est similaire pour la tension en entrée, qui varie effectivement de la même manière que  $Z_{IN3}$ . Nous pouvons remarquer une atténuation assez importante qui est d'environ 6dB.

La simulation montre que cette architecture atténue uniquement les bloqueurs les plus proches du canal. La bande de filtrage dépend de la fréquence de coupure  $fc_2$ , qui provoque une remontée de l'impédance d'entrée à sa valeur initiale et qui ne peut pas être trop élevée pour filtrer efficacement la fréquence image. Cette structure est adaptée pour réaliser le filtrage de bloqueurs dont la fréquence est connue et pas trop éloignée de la porteuse ; par exemple, les signaux TX dans un système FDD (WCDMA). Cependant, nous cherchons une solution qui atténue tous les bloqueurs RF (y compris les plus éloignées).

Nous avons essayé trois configurations d'architectures de contre-réaction négative BB-RF construites respectivement autour de filtres passe-bas, passe-haut et passe-bande. Les structures proposées ont chacune une limitation spécifique ne permettant pas de réaliser correctement une adaptation et un filtrage RF large bande. La solution avec un filtre passe bas génère des surtensions, l'architecture avec le filtre passe haut est limitée par les repliements et la structure avec un filtre passe bande est limitée en bande passante.

Fort de ce constat et de cette étude nous proposons un nouveau type de contre-réaction dans la partie suivante.

### 3.3 Contre-réaction positive BB-RF

L'analyse de la contre-réaction positive se fait de la même manière que pour la contre-réaction négative. Il se base sur le modèle de la figure 3.2. La différence est le sens du courant  $i_{FB}$ , qui est opposé. En conséquence, l'équation 3.2 change de signe et est donnée par :

$$g_R(f) = \frac{-i_{FB}}{V_{BB}} = -G_{FIL}(f) \times G_{MIX} \times g_{OTA} \quad 3.17$$

Cette variation se reflète dans l'impédance générée par la boucle de contre-réaction. Elle est représentée (trouvée de manière similaire que l'équation 3.3) par :

$$Z_{FB}(f) = \frac{V_{IN}}{-i_{FB}} = \frac{1}{G_{LNA} \times G_{MIX}^2 \times G_{AMP} \times G_{FIL}(f - F_{LO}) \times g_{OTA}} = -\frac{K}{G_{FIL}(f)} \quad 3.18$$

$$\text{Où } K = \frac{1}{G_{LNA} \times G_{MIX}^2 \times G_{AMP} \times g_{OTA}}$$

Par conséquent, l'impédance d'entrée du récepteur subit aussi le même changement. La suite de cette analyse est détaillée dans la section suivante.

#### 3.1.1 Architecture de la contre-réaction positive

Une seule structure a été étudiée dans le cadre de la contre-réaction positive. Cette architecture comprend un filtre passe bas dans la boucle de contre-réaction. L'utilisation d'un filtre passe-haut ou passe-bande auront les mêmes inconvénients que dans une contre réaction négative. Ces deux types de filtres ne seront donc pas analysés dans cette section.

Dans ce contexte, nous faisons l'hypothèse que l'impédance d'entrée du LNA est plus petite que l'impédance de l'antenne ( $Z_{LNA} < Z_{ANT}$ ). Ceci implique qu'en absence de contre-réaction, tous les signaux son atténués.

La figure 3.11 montre la chaîne analysée. Ce système est similaire à celui de la section 3.2.1 (figure 3.3), excepté pour le sens du courant. Ainsi, nous effectuons la même analyse (obtention de l'équation 3.11) et nous le remplaçons dans l'équation 3.18. L'impédance présenté par la boucle de contre-réaction à l'entrée est donc égale à :

$$Z_{FB4}(f) = -\frac{K_4}{L_{FPB}(j2\pi f)}$$

3.19

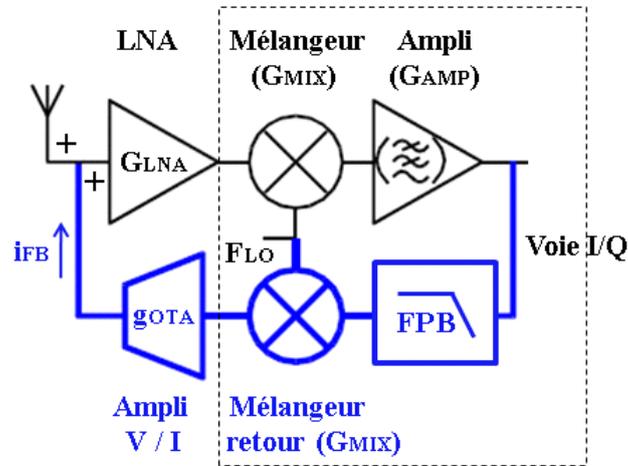


Figure 3.11 : Système à contre-réaction positive BB-RF

Ainsi, l'impédance d'entrée de ce système est donnée par :

$$Z_{IN4}(f) = \frac{Z_{LNA4}}{1 - \frac{Z_{LNA4} \times L_{FPB}(j2\pi f)}{K_4}} = \frac{Z_{LNA4}}{1 - \frac{Z_{LNA4}}{K_4} \times \frac{\left(1 + j \frac{f}{fc}\right)}{\left(1 + j \frac{f}{fc}\right)^2 + \left(\frac{F_{LO}}{fc}\right)^2}} \quad 3.20$$

L'équation 3.20 diffère de l'équation 3.12 par le signe négatif dans le dénominateur.

Nous savons que la contre-réaction va réagir uniquement autour de la fréquence LO. Nous faisons l'hypothèse que  $F_{LO} \gg fc$  et nous remplaçons  $f = F_{LO}$  dans l'équation 3.11. Nous pouvons ainsi déterminer la relation entre  $Z_{IN4}$ ,  $Z_{LNA4}$  et  $K_4$ .

$$|L_{FPB}(f = F_{LO})| = \frac{\sqrt{1 + \left(\frac{F_{LO}}{fc}\right)^2}}{\sqrt{1 + \left(2 \frac{F_{LO}}{fc}\right)^2}} \approx \frac{1}{2}$$

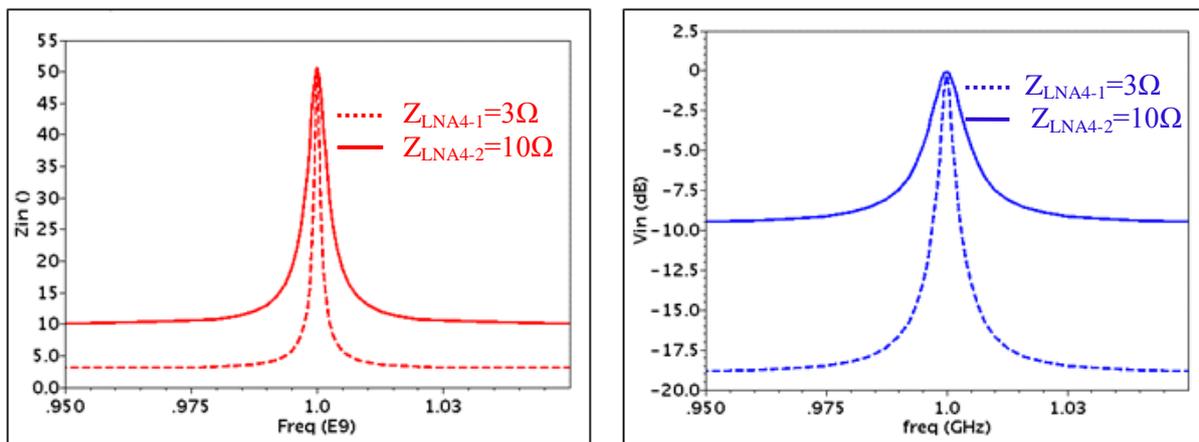
$$\text{Et, } Z_{IN4}(F_{LO}) = \frac{Z_{LNA4}}{1 - \frac{Z_{LNA4}}{K_4} \times \frac{1}{2}}$$

Comme nous avons fait l'hypothèse que  $Z_{LNA} < Z_{ANT}$ . Il faudra que  $0 < \left| \frac{Z_{LNA4}}{K_4} \times \frac{1}{2} \right| < 1$

pour que l'impédance d'entrée puisse s'incrémenter jusqu'à la valeur de  $Z_{ANT}=50\Omega$  à la fréquence LO. Nous pouvons donc considérer que le rapport entre  $Z_{LNA4}$  et  $K_4$  est donné par :

$$2K_4 > Z_{LNA4} > 0$$

Nous illustrons le comportement en simulation pour deux valeurs différents de  $Z_{LNA4}$  ( $Z_{LNA4-1}=3\Omega$  et  $Z_{LNA4-2}=10\Omega$ ). Les résultats sont montrés dans la figure 3.12. Les valeurs utilisées dans la simulation sont :  $F_{LO}=1\text{GHz}$ ,  $f_c=10\text{MHz}$ ,  $K_{4-1}=1.8\Omega$ , ( $G_{LNA}=20\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=20\text{dB}$ ,  $g_{OTA}=13.6\text{mS}$ ) et  $K_{4-2}=7.2\Omega$  ( $G_{LNA}=10\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=10\text{dB}$ ,  $g_{OTA}=3.5\text{mS}$ ).



**Figure 3.12 : Contre-réaction positive BB-RF - Simulation de  $Z_{IN4}$  et  $V_{IN4}$**

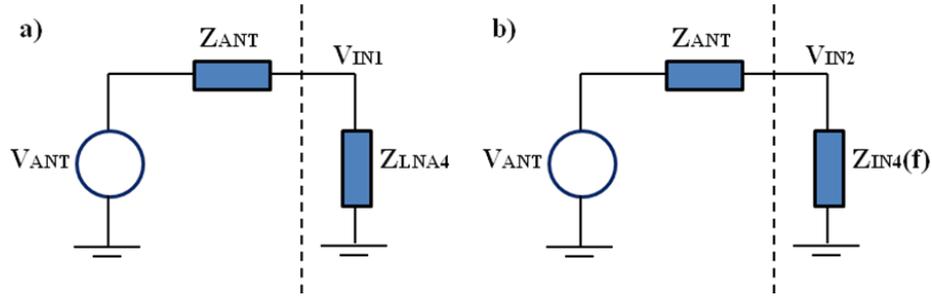
D'après ces résultats, nous pouvons observer que :

- L'impédance d'entrée est amenée à la valeur de  $50\Omega$  (adapté autour de la  $F_{LO}$ ) grâce à la contre-réaction positive. Elle diminue ensuite jusqu'à sa valeur initiale.
- La courbe de la tension en entrée montre le filtrage autour de  $F_{LO}$  généré par la contre-réaction.

En conclusion, nous obtenons à la fois, une adaptation dans la bande et une fonction de filtrage du signal hors bande. L'atténuation dépend de la valeur initiale de l'impédance d'entrée ( $Z_{LNA}$ ). L'expression mathématique de cette atténuation est trouvée d'après l'analyse suivant.

La figure 3.13 montre l'impédance du système avant et après l'effet de la contre-réaction positive. Initialement, l'impédance d'entrée du système est l'impédance du LNA. L'expression de la tension en entrée sans l'effet de la contre réaction ( $V_{IN1}$ ) est donnée par :

$$V_{IN1} = \frac{Z_{LNA4}}{Z_{ANT} + Z_{LNA4}} V_{ANT} \quad 3.21$$



**Figure 3.13 : Impédance du système a) Avant l'effet de la contre-réaction et, b) Après l'effet de la contre-réaction**

Ensuite, la contre-réaction positive réagit à l'entrée du récepteur en incrémentant l'impédance du LNA. La nouvelle tension en entrée est donc représentée par :

$$V_{IN2}(f) = \frac{Z_{IN4}(f)}{Z_{ANT} + Z_{IN4}(f)} V_{ANT} \quad 3.22$$

Le rapport entre ces deux équations  $\frac{V_{IN2}(f)}{V_{IN1}}$  est le gain en tension obtenu dû à l'effet de la contre-réaction positive. Le gain dépend de la fréquence et est maximal à la fréquence LO ( $Z_{IN4}(F_{LO})=Z_{ANT}$ ).

Ainsi, l'expression mathématique de l'atténuation pour les signaux bloqueurs RF, est donnée par :

$$AT(dB) = -20 \log \left( \frac{V_{IN2}(F_{LO})}{V_{IN1}} \right) = -20 \log \left( \frac{Z_{IN4}(F_{LO})}{Z_{ANT} + Z_{IN4}(F_{LO})} \times \frac{Z_{ANT} + Z_{LNA4}}{Z_{LNA4}} \right) \quad 3.23$$

L'utilisation d'une contre-réaction positive requiert cependant une analyse de la stabilité. Cette étude est détaillée dans la section suivante.

### 3.1.2 Analyse de stabilité dans la contre-réaction positive

Pour l'étude de la stabilité, commençons par trouver l'expression analytique du gain de boucle de la chaîne. D'après la figure 3.13 et l'équation 3.1, le rapport entre le gain en tension

de boucle fermée ( $G_{FB}$ ) et le gain en tension sans effet de la contre-réaction ( $G$ ) est donné

$$\text{par : } \frac{G_{FB}(f)}{G} = \frac{V_{IN2}(f)}{V_{IN1}}$$

En remplaçant les équations 3.20, 3.21 et 3.22 dans cette expression, nous trouvons que:

$$G_{FB}(f) = \frac{G}{1 - \frac{Z_{ANT} Z_{LNA4}}{Z_{ANT} + Z_{LNA4}} \times \frac{L_{FPB}(j2\pi f)}{K_4}} = \frac{G}{1 - S(f)} \quad \mathbf{3.24}$$

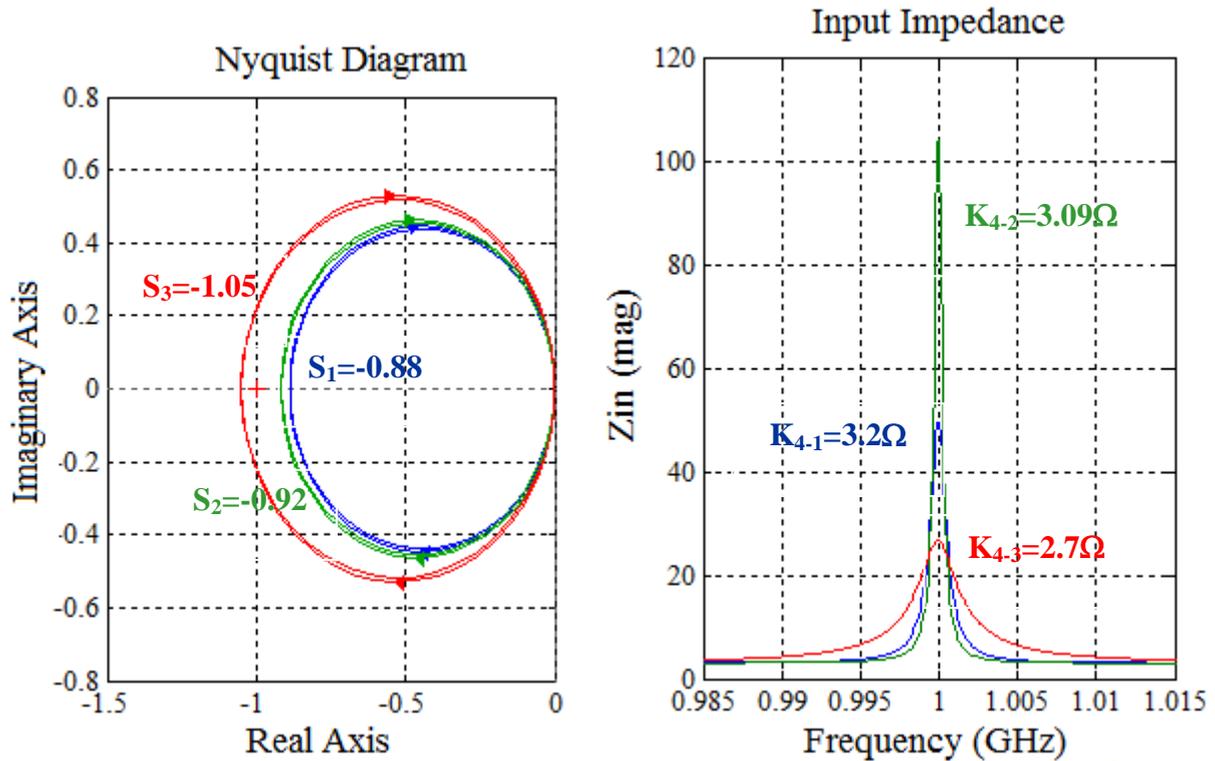
Où  $S(f)$  est le gain de boucle, représenté par :

$$S(f) = \frac{Z_{ANT} Z_{LNA4}}{Z_{ANT} + Z_{LNA4}} \times \frac{L_{FPB}(j2\pi f)}{K_4} \quad \mathbf{3.25}$$

La condition de stabilité est donnée par :  $S(F_{LO}) \neq 1$  et  $\angle S(F_{LO}) \neq 2\pi n, n \in \mathbb{N}$ . La condition de gain ( $G_{FB}(f) > G$ ) indique que :  $0 < |1 - S(F_{LO})| < 1 \Rightarrow 0 < S(F_{LO}) < 1$ . Le système est conditionnellement stable en fonction de la valeur de  $K_4$  (si tous les autres termes de l'équation 3.25 restent constants).

Le critère de Nyquist indique que : le nombre de pôles instables ( $Z$ ) du gain de boucle fermé ( $G_{FB}(f)$ ) est égale au nombre de pôles instables ( $P$ ) du gain de boucle ( $S(f)$ ) plus le nombre d'encerclement ( $N$ ) sur le point  $(-1, j0)$  de la courbe ( $S(f)$ ), c'est-à-dire :  $Z = P + N$ . Lorsque cette condition n'est pas satisfaite le système est instable.

Nous avons tracé sur Matlab, le diagramme de Nyquist de la fonction  $S(f)$  pour voir son comportement à diverses valeurs de  $K_4$ . La figure 3.14 montre la courbe pour trois de ces différentes valeurs, ainsi que le gabarit de l'impédance d'entrée. Dans notre cas  $Z = P$ . En conséquence, si la courbe  $S(f)$  enferme au moins une fois le point  $(-1, j0)$ , le système est instable.



**Figure 3.14 : Analyse de stabilité : a) Diagramme de Nyquist, b) Impédance d'entrée**

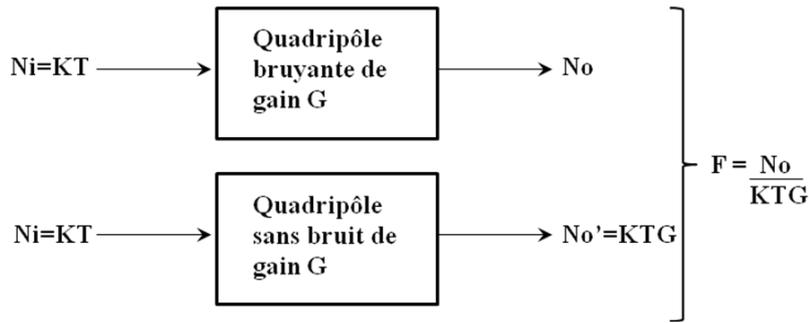
La courbe bleue ( $K_{4-1} = 3.2\Omega$ ) montre que le système est dûment adapté et satisfait la condition de Nyquist (cercle  $S_1 = -0.88$ ). Le cercle de couleur vert indique que le système est stable (cercle  $S_2 = -0.92$ ) mais son impédance d'entrée (courbe  $K_{4-2} = 3.09\Omega$ ) dépasse la valeur de  $50\Omega$  et donc n'est pas adapté. La courbe en rouge ( $K_{4-3} = 2.7\Omega$ ) montre un cas précis d'instabilité du récepteur (cercle  $S_3 = -1.05$ ).

Etant  $K_4$  l'inverse des gains des blocs qui comprennent le système de réception, nous pouvons apercevoir que lorsque la valeur de  $K_4$  devient plus petite (ou le gain de contre-réaction s'incrément), le système devient moins stable.

### 3.1.3 Etude de bruit

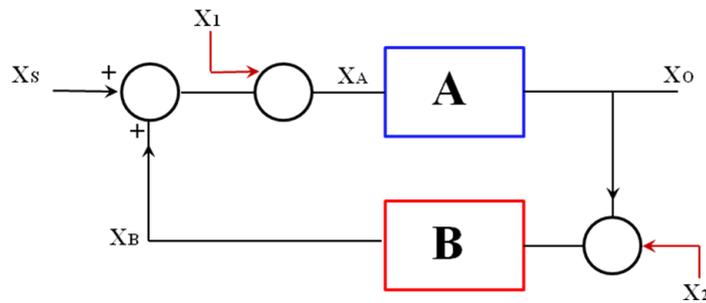
Dans cette analyse, ce qui nous intéresse, est la quantité de bruit qui est rajouté à l'entrée, à cause de la contre-réaction positive (c'est-à-dire, quand le système travaille à la fréquence LO)

Rappelons la définition de North sur le Facteur de Bruit dans la figure 3.15 :



**Figure 3.15 : Définition du facteur de bruit selon North**

Nous considérons donc, les blocs A et B ( $F_{LO}$ )=B avec les sources équivalents de bruit  $X_1$  et  $X_2$  respectivement dans la figure 3.16 :



**Figure 3.16 : Etude du bruit dans la contre-réaction positive**

Le gain en tension est le seul gain supposé dans le système :

$$X_A = X_1 + X_S + X_B$$

$$X_O = A \times X_A$$

$$X_B = B \times (X_O + X_2)$$

$$\Rightarrow X_O = \left( \frac{A}{1-AB} \right) X_S + \left( \frac{A}{1-AB} \right) X_1 + \left( \frac{AB}{1-AB} \right) X_2$$

Prenant la valeur quadratique moyenne dans une bande unitaire pour le bruit, nous obtenons la puissance de bruit simplifiée de sortie :

$$X_O'^2 = \left( \frac{A}{1-AB} \right)^2 X_S'^2 + \left( \frac{A}{1-AB} \right)^2 X_1'^2 + \left( \frac{AB}{1-AB} \right)^2 X_2'^2 \quad \mathbf{3.26}$$

$$\text{Pour un quadripôle sans bruit : } X_O'^2 = \left( \frac{A}{1-AB} \right)^2 X_S'^2 \quad \mathbf{3.27}$$

D'après la définition de North et les équations 3.26 et 3.27, le Facteur de Bruit du système est donné par :

$$F_{FB} = 1 + \frac{X_1^2}{X_S^2} + B^2 \frac{X_2^2}{X_S^2} \Rightarrow F_{FB} = F_A + B^2(F_B - 1) \quad 3.28$$

Où  $F_A$  est le facteur de bruit de la chaîne directe et  $F_B$  est le facteur de bruit de la chaîne de retour.

Ce calcul est ensuite vérifié par simulation. L'objectif est d'évaluer la quantité de bruit ajoutée par la boucle de contre-réaction dans le système. Nous allons comparer les résultats théoriques (équation 3.28) avec les résultats de simulation.

Des valeurs réalistes sont prises en compte pour chaque paramètre. Par exemple  $F_A=3.4\text{dB}$ , le facteur de bruit d'une chaîne de réception WCDMA.  $B$  est le gain en tension de la boucle de retour calculée par le produit de la transconductance  $g_R$ , et l'impédance en entrée à la fréquence LO :  $B(F_{LO}) = g_R(F_{LO}) \times Z_{IN}(F_{LO}) = g_R(F_{LO}) \times Z_{ANT}$

La simulation est réalisée sous Spectre. Le circuit est celui montré dans la figure 3.11. Sachant que les composants utilisés dans la simulation sont idéaux, nous avons ajouté une source de bruit. La source utilisée est une résistance bruyante mise en parallèle avec l'impédance d'entrée du LNA ( $Z_{LNA}=3\Omega$ ). Cette résistance est assez grande (par exemple,  $R=500\Omega$ ) pour ne pas changer l'impédance du LNA. Avec cette résistance, nous obtenons le facteur de bruit de la chaîne directe, qui est de  $F_A=3.4\text{dB}$ .

Pour déterminer le facteur de bruit  $F_B$ , nous faisons varier le bruit dans la chaîne de retour. Le bruit rajouté est principalement le bruit thermique de la résistance du FPB (1<sup>er</sup> ordre), modélisé par :  $N=4KTR_{FPB}$ . Donc nous simulons plusieurs valeurs de la résistance sans faire varier la fréquence de coupure  $f_c$  (la valeur de la capacité n'a aucune influence sur le bruit). Le facteur de bruit de la chaîne de contre-réaction est la seule inconnue. Cette valeur dépend de la valeur de  $R_{FPB}$ . L'expression mathématique de  $F_B$ , utilisée par Spectre, est

$$\text{donnée par : } F_B = 1 + \frac{R_{FPB}}{R_S}$$

Où  $R_S$  est la résistance de la source, qui dans ce cas, est représenté par  $Z_{ANT}=50\Omega$ .

Le tableau 3.1 montre les résultats théoriques et en simulation du facteur de bruit total. Les paramètres choisis pour la simulation sont :  $F_{LO}=1\text{GHz}$ ,  $f_c=10\text{MHz}$ ,  $Z_{LNA}=3\Omega$ ,  $G=36\text{dB}$  ( $G_{LNA}=20\text{dB}$ ,  $G_{MIX}=-4\text{dB}$ ,  $G_{AMP}=20\text{dB}$ ) et  $g_R=8.5\text{mS}$  ( $G_{MIX}=-4\text{dB}$ ,  $g_{OTA}=13.5\text{mS}$ ). Les paramètres pour le facteur de bruit sont donnés dans le tableau.

Paramètre fc=10MHz	F <sub>A</sub> (dB)	B	F <sub>B</sub> (dB)	F <sub>FB</sub> (dB) simulation	F <sub>FB</sub> (dB) formule
	R <sub>FPB</sub> sans bruit	3.44	0.42	0	3.44
R <sub>FPB</sub> =50Ω et C <sub>FPB</sub> =320pF	3.44	0.42	3.01	3.74	3.73
R <sub>FPB</sub> =100Ω et C <sub>FPB</sub> =160pF	3.44	0.42	4.77	4.03	4.04
R <sub>FPB</sub> =200Ω et C <sub>FPB</sub> =80pF	3.44	0.42	6.99	4.55	4.61
R <sub>FPB</sub> =500Ω et C <sub>FPB</sub> =32pF	3.44	0.42	10.41	5.82	5.96
R <sub>FPB</sub> =1KΩ et C <sub>FPB</sub> =16pF	3.44	0.42	13.22	7.35	7.5

**Tableau 3.1 : Résultats théoriques et de simulation du facteur de bruit du système à contre-réaction positive**

Ce que nous observons :

- La contre-réaction positive n'a pas d'effet sur le bruit quand la chaîne de retour est non bruitée (même si la contre-réaction a un effet sur l'impédance d'entrée)
- Les résultats théoriques sont proches des résultats de simulation. Le modèle du facteur de bruit trouvé par l'équation 3.28 est fiable.
- Le bruit dominant est le bruit de la chaîne directe  $F_A$  pour les cas où  $F_B$  est de faible valeur.

En conclusion, l'architecture du récepteur à contre-réaction positive est la solution recherchée au problème de filtrage RF. Elle produit une atténuation assez importante à l'entrée du récepteur et peut être réalisée sous certaines conditions de stabilité.

Nous rappelons ici les caractéristiques de cette architecture :

$$\text{Atténuation des signaux hors bande} = -20 \log \left( \frac{1}{2} \times \frac{Z_{ANT} + Z_{LNA}}{Z_{LNA}} \right)$$

$$\text{Gain de boucle} = \frac{G}{1 - \frac{Z_{ANT} Z_{LNA}}{Z_{ANT} + Z_{LNA}} \times \frac{1}{2K}} \text{ ou, } K = \frac{1}{G_{LNA} \times G_{MIX}^2 \times G_{AMP} \times g_{OTA}}$$

Condition de gain et stabilité si  $0 < \left| \frac{Z_{ANT} Z_{LNA}}{Z_{ANT} + Z_{LNA}} \times \frac{1}{2K} \right| < 1$

Bruit faible si  $B(F_{LO}) = g_R(F_{LO}) \times Z_{ANT} \ll 1$

La solution associant une contre réaction positive BB vers RF avec un filtre passe bas satisfait les critères définis par ce travail :

- La solution est multi-bande : La fréquence centrale du filtre RF à l'entrée du LNA est reconfigurable en choisissant la valeur de  $F_{LO}$ . La plage de fréquence est uniquement limitée par la bande du LNA et la synthèse de fréquences.
- La solution est multistandard : La bande passante du signal est reconfigurable en choisissant la fréquence de coupure du filtre passe bas ( $f_c$ ).

Cette solution sera donc implémentée dans la suite de notre travail. Les détails de conception, fabrication et validation du système sont étudiés au chapitre suivant.

## **Chapitre 4 :**

# **REALISATION D'UN RECEPTEUR A CONTRE-REACTION POSITIVE ET TRANSPOSITION DE FREQUENCES BB-RF**

Nous présentons dans ce chapitre la réalisation du récepteur à contre-réaction positive BB-RF. Le système a été mis en équations et validé en simulation (Spectre) au chapitre précédent. Cette architecture permet la réception des signaux RF en atténuant de manière sélective les signaux bloqueurs dès l'entrée du LNA. Le canal RF et sa bande passante sont configurables dans une large gamme de fréquences. Dans cette étude, nous envisageons le standard cellulaire WCDMA (~700MHz – 3GHz) qui utilise des canaux de 3.92MHz de bande.

Le chapitre est divisé en trois parties : dans la première partie, nous détaillons les critères de conception de l'architecture. Dans la deuxième partie, nous nous consacrons à l'étude, design et '*layout*' de chaque bloc de la chaîne de réception. Finalement, dans la troisième partie, nous montrons les résultats de mesure des principaux paramètres du récepteur.

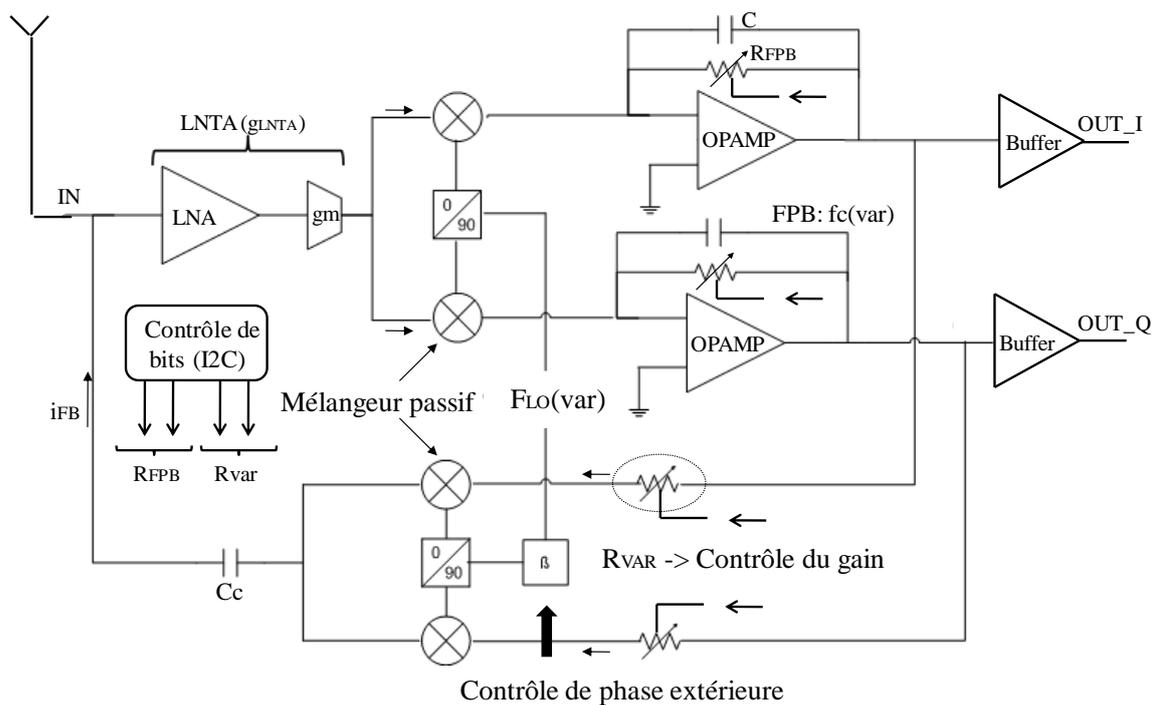
## 4.1 Critères de design

D'après l'analyse de l'architecture, nous avons trouvé une série d'équations exprimant le compromis des principales caractéristiques du système à contre-réaction positive BB-RF. Nous avons aussi remarqué que l'un des principaux inconvénients de cette topologie est la quantité de bruit ramenée par la boucle de contre-réaction à l'entrée du récepteur.

Le schéma de principe du récepteur a été adapté durant la phase de conception, donnant un schéma bloc avec des spécifications associées. Nous les détaillerons dans la section suivante.

### 4.1.1 Schéma bloc

La figure 4.1 montre le schéma bloc du récepteur à contre-réaction positive et transposition de fréquences BB-RF.



**Figure 4.1: Diagramme de blocs du récepteur à contre-réaction positive BB-RF**

Le circuit diffère de l'architecture initiale (proposée dans le chapitre précédente, figure 3.11). La chaîne directe comprend un LNTA (*Low Noise Transconductance Amplifier*), un mélangeur et un filtre passe bas. Ces deux derniers sont implémentés en voie I/Q. La chaîne à contre-réaction est composée d'une résistance variable, d'un mélangeur (les deux

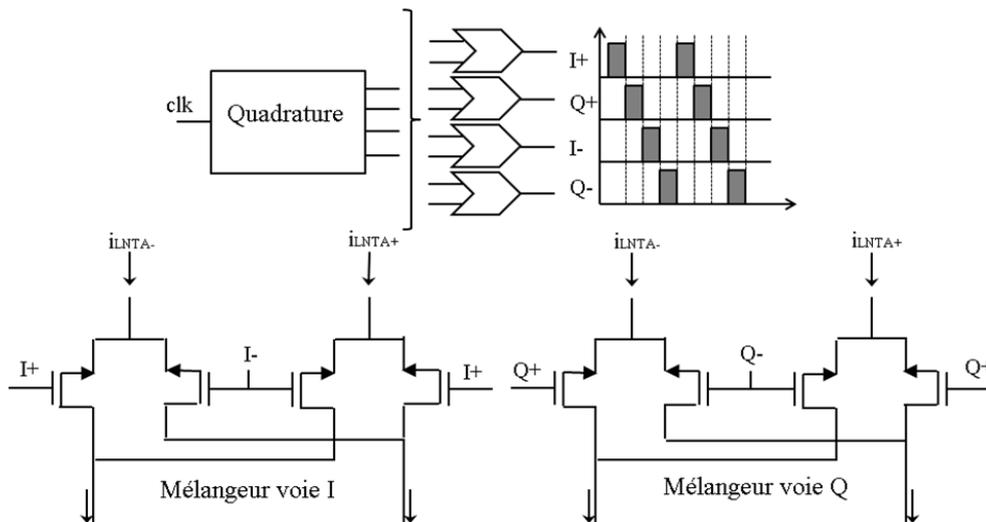
implémentés en I/Q) et d'une capacité de couplage  $C_c$ . Un buffer de test  $50\Omega$  est mis en place à la sortie pour mesurer les principaux paramètres du circuit.

Les différentes contraintes du récepteur nous ont amené aux choix suivants :

- Obtention d'une bonne linéarité RF : La topologie « LNA+gm+mélangeur » (conversion de puissance en courant) permet une meilleure linéarité que la topologie classique « LNA+mélangeur » (conversion de puissance en tension). Elle minimise, pour un même gain, l'excursion de tension  $V_{DS}$  des transistors du mélangeur passif qui est placé après le LNA (ou LNTA).
- Utilisation minimale de composants : Le filtre passe bas (FPB) est mis en place dans la chaîne directe afin d'éviter sa duplication dans la boucle de retour. Il participe ainsi à la fois au filtrage du canal et à la contre-réaction.
- Minimisation du bruit : Les blocs compris dans la chaîne directe doivent fournir un gain assez élevé ( $>40\text{dB}$ ) de telle sorte que l'influence de bruit de la boucle de contre-réaction soit négligeable (d'après l'équation 3.28). Un LNTA ne peut pas fournir, tout seul, un tel gain. Un étage d'amplification en bande de base (qui fait partie du FPB) est donc mis en place dans la chaîne directe afin d'obtenir un gain élevé. Ainsi, le facteur de bruit dépendra majoritairement de la contribution de bruit du premier bloc du récepteur : le LNTA.
- Faible consommation : A partir d'une chaîne de réception conventionnelle, nous avons ajouté une contre-réaction qui ne doit pas impacter significativement la consommation du récepteur. Pour cela, nous avons remplacé l'OTA (Amplificateur Transconductance) de la boucle de contre-réaction par une simple résistance, ce qui est possible car le gain de la chaîne directe est assez grand. Une résistance est aussi plus linéaire et plus facile à reconfigurer.

Les mélangeurs de la chaîne directe et de la chaîne à contre-réaction sont alimentés par la même fréquence LO.

Pour éviter l'utilisation de deux transconductances (gm) après le LNA dans la chaîne directe (un pour I et un pour Q), les mélangeurs (I et Q) sont pilotés par des signaux de rapport cyclique 25% (phases non recouvrantes) qui sont générés par le bloc de quadrature. Les mélangeurs sont réalisés en mode différentiel, voir figure 4.2.



**Figure 4.2: Génération des signaux en quadrature 25%**

L'ajustement de la résistance variable de contre-réaction et le réglage de la phase entre les deux signaux d'horloge sont nécessaires pour assurer la stabilité et fonctionnement du récepteur à chaque fréquence LO. Les résistances de contre-réaction permettent de configurer le gain de la boucle. Elles sont commandées par des registres digitaux qui sont programmés par un circuit de contrôle (I2C) intégré dans le circuit. Le contrôle de phase est implémenté à l'extérieur du prototype. Il permet de faire varier la phase du courant de contre-réaction ( $i_{FB}$ ).

#### 4.1.2 Cahier des charges

Les critères de dimensionnement, spécifiques à cette architecture, sont liés à l'atténuation RF, à la stabilité et au bruit.

Dans un premier temps, nous allons déterminer l'atténuation RF requise, sachant que c'est le paramètre clef de cette architecture :

- Nous choisissons une structure de LNTA différentielle avec une impédance d'antenne de :  $Z_{ANT}=100\Omega$ , que nous pouvons obtenir avec un duplexer standard.
- Nous cherchons à valider la solution proposée sans compliquer les tâches de conception. Une atténuation raisonnable pour les signaux bloqueurs est visée :  $\sim 10\text{dB}$ . En utilisant

l'équation  $AT = 20 \log \left( \frac{1}{2} \times \frac{Z_{ANT} + Z_{LNA}}{Z_{LNA}} \right)$ , nous trouvons l'impédance initiale du LNA

( $Z_{LNA}$ ) nécessaire pour avoir l'atténuation recherchée. La valeur est de  $Z_{LNA} \approx 20\Omega$ .

Dans un second temps, nous vérifions que le système est stable :

- A partir de l'équation :  $Z_{IN}(F_{LO}) = Z_{ANT} = \frac{Z_{LNA}}{1 - \frac{1}{2} \times \frac{Z_{LNA}}{K}}$ , la valeur trouvée de K est

6.25Ω.

- La condition de stabilité est donnée par l'expression suivante :

$$0 < \left| \frac{Z_{ANT} Z_{LNA}}{Z_{ANT} + Z_{LNA}} \times \frac{1}{2K} \right| < 1. \text{ Les valeurs trouvées de } Z_{LNA} \text{ et } K \text{ satisfont donc la condition}$$

de stabilité :  $0 < 0.67 < 1$

Finalement, nous proposons le cahier des charges de chaque bloc du récepteur :

- Le gain de la chaîne directe et de la transconductance de la boucle de retour à la fréquence LO sont obtenus d'après la figure 4.1 (nous ne prenons pas en compte l'atténuation du mélangeur qui est de :  $G_{MIX} = -1dB$ ) :

$$G(F_{LO}) = g_{LNTA} \times R_{FPB} \quad \mathbf{4.1}$$

$$g_R(F_{LO}) = \frac{2}{R_{VAR}} \quad \mathbf{4.2}$$

$$\text{Donc, K est représenté par : } K = \frac{R_{VAR}}{2 \times g_{LNTA} \times R_{FPB}} \quad \mathbf{4.3}$$

- Comme indiqué précédemment, nous choisissons le gain de la chaîne directe assez grand pour minimiser l'effet de bruit dans la boucle de contre-réaction. Une valeur logique (pour un récepteur WCDMA) est donc :  $g_{LNTA} \times R_{FPB} = 49dB$ . Soit par exemple :  $g_{LNTA} = 80mS$  et  $R_{FPB} = 3.5K\Omega$ .
- Si nous remplaçons les valeurs trouvées dans l'équation (4.3), nous obtenons,  $R_{VAR} = 3.5K\Omega$ . La valeur correspondante de la transconductance de la boucle de retour est donc  $g_R(F_{LO}) = 0.57mS$  (équation 4.2)
- Le gain en tension de la boucle de contre-réaction, donnée par  $B(F_{LO}) = g_R(F_{LO}) \times Z_{ANT}$  doit être très faible de façon à minimiser le bruit ramené par la boucle de contre-réaction. Sa valeur est :  $B(F_{LO}) = 0.028 \ll 1$  (condition de bruit)

Pour résumer, nous présentons un tableau ci-dessous montrant le cahier de charges à respecter afin d'obtenir un bon compromis entre les principaux paramètres du récepteur :

<b>LNTA</b>	<b>FPB</b>	<b>Contre-réaction</b>
$Z_{LNA}=20\Omega$	$R_{FPB}=3.5K\Omega$	$R_{VAR}=3.5K\Omega$
$g_{LNTA}=80mS$		

**Tableau 4.1 : Cahier des charges du récepteur**

Dans la pratique, nous avons d'autres contraintes sur chaque bloc. Nous nous consacrons à cette étude dans la section suivante.

## 4.2 Conception des blocs du récepteur

Nous étudions, dans cette section, les différentes architectures utilisées pour chaque bloc du récepteur. Deux blocs sont principalement analysés : le LNTA et le FPB. Le choix de chaque architecture est expliqué de manière analytique. Les résultats de simulation de ses principales spécifications sont aussi montrés (Spectre). A la fin de cette section, nous présentons de manière synthétique les différentes architectures des autres blocs utilisés ainsi que le '*layout*' complet de la chaîne de réception.

### 4.2.1 LNTA (Low Noise Transconductance Amplifier)

Le LNTA (LNA+gm) est le bloc le plus complexe à réaliser dans ce système. Celui-ci va fixer en grande partie les performances de la chaîne de réception. Par exemple, le facteur de bruit et l'IIP3 de tout le système dépendent majoritairement de ce bloc. Dans cette architecture, le LNTA devra présenter de surcroît une faible impédance d'entrée ( $Z_{LNA}$ ) et une large bande de fonctionnement ( $\sim 700MHz - 3GHz$ ).

Une recherche bibliographique de différentes architectures de LNA large bande a été réalisée (voir Annexe 3). Après avoir étudié et comparé les architectures du LNA, nous avons opté pour l'architecture '*Capacitive Cross-Coupling*'. Le choix est fait, dans un premier temps, pour la simplicité du design (un seul étage différentiel) et le calcul de son impédance d'entrée ( $Z_{IN}=1/2gm$ ) dans une bande très large de fréquences. Nous analysons en détail cette architecture.

## A. Analyse de l'architecture 'Capacitive Cross-Coupling (CCC)'

L'architecture Grille Commune (GC) permet une adaptation large bande plus facile ( $Z_{IN} \approx 1/gm$ ) qu'une structure Source Commune ( $Z_{IN} \approx 1/2\pi f C_{gs}$ ) puisque elle peut être indépendante de la fréquence. Sans considérer le bruit ajouté par la charge, la topologie GC présente un facteur de bruit de :  $NF = 1 + \frac{\gamma}{gmR_S}$  (où  $\gamma$  est le coefficient du canal thermique de bruit,  $gm$  est la transconductance du transistor et  $R_S$  est l'impédance de la source)

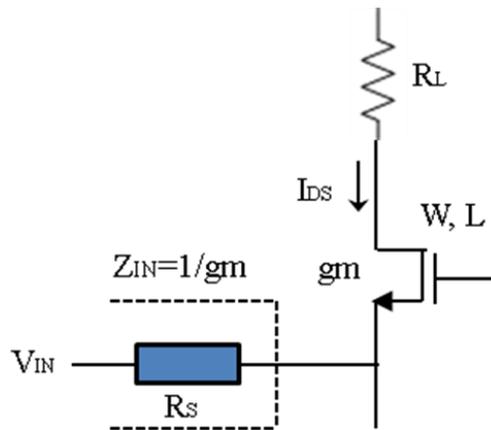
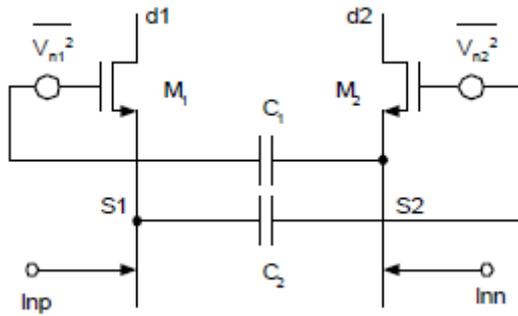


Figure 4.3 : Architecture Grille Commune

Quand le transistor est adapté à la source ( $Z_{IN} = R_S \approx 1/gm$ ),  $NF = 1 + \gamma$ . La valeur de  $\gamma$  peut varier entre 1 et 2 (cela signifie un NF entre 3dB et 4.7dB) lorsque la longueur de transistor  $L$  est plus petite que  $0.17\mu m$ , réf [54]. Ainsi, dans une configuration différentielle et avec une charge résistive, une valeur de  $NF < 3dB$  dans une technologie CMOS 65nm est impossible à obtenir.

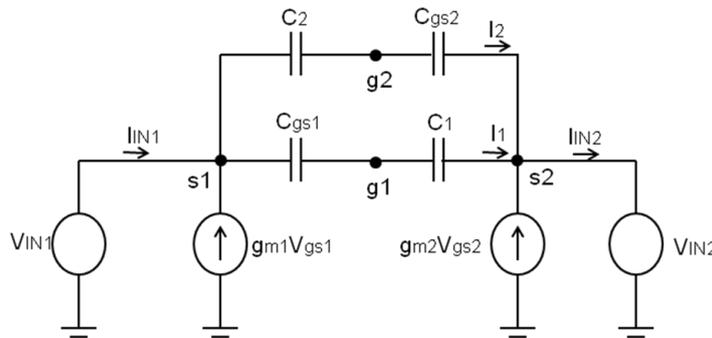
La technique 'Capacitive Cross-Coupling (CCC)' est utilisée pour améliorer le facteur de bruit de l'architecture GC en mode différentiel. La figure 4.4 montre son principe. Elle nécessite d'ajouter les capacités de contre réaction  $C_1$  et  $C_2$ .

Nous pouvons modéliser le bruit de  $M_1$  et  $M_2$  par deux sources de bruit :  $V_{n1}^2$  et  $V_{n2}^2$ . La tension  $V_{n1}$  est amplifiée par le transistor  $M_1$  qui donne un courant sur le drain d1 égal à  $gm_1 V_{n1}$ . Cette tension  $V_{n1}$  est aussi amplifiée par le transistor  $M_2$ , en passant par  $C_1$ , et donne un courant sur d2 égal à  $gm_2 V_{n1}$ . Comme  $gm_1 = gm_2$  et nous considérons que la charge est la même sur les deux drains, la source  $V_{n1}$  crée une tension de bruit identique sur d1 et d2, et donc une contribution de bruit nulle en mode différentiel. Le même phénomène est produit avec  $V_{n2}$ .



**Figure 4.4 : Principe de l'architecture 'Capacitive Cross-Coupling'**

L'impédance d'entrée est déterminée à partir du schéma simplifié en petit signal de l'architecture reportée sur la figure 4.5.



**Figure 4.5 : Schéma simplifié petit signal de l'architecture 'Capacitive Cross-Coupling'**

Nous trouvons les équations suivantes :

$$I_1 + I_2 = I_{IN1} + gm_1 V_{gs1} \quad 4.4$$

$$V_{gs1} = V_{IN2} - V_{IN1} + \frac{I_1}{sC_1} \quad 4.5$$

Comme les 2 transistors sont identiques et sont polarisés de manière similaire ( $C_{gs1}=C_{gs2}=C_{gs}$  et  $gm_1=gm_2=gm$ ), et les capacités de couplage sont choisies d'égale valeur ( $C_1=C_2=C$ ), nous avons par symétrie  $I_1=-I_2=I$ .

De manière à simplifier le calcul, la valeur de  $C$  est choisie très grande par rapport à  $C_{gs}$ . L'équation 4.5 peut donc s'écrire de la forme :

$$V_{gs1} = V_{IN2} - V_{IN1} \quad 4.6$$

En substituant 4.6 dans 4.4, nous trouvons l'expression de  $I_{IN1}$  en fonction de l'entrée différentielle ( $V_{IN1}-V_{IN2}$ ) :

$$I_{IN1} = gm(V_{IN1} - V_{IN2}) \quad 4.7$$

L'équation de l'impédance d'entrée différentielle est formulée par :

$$Z_{IN\ diff} = \frac{V_{IN1} - V_{IN2}}{I_{IN1}} \quad 4.8$$

D'après les équations (4.7) et (4.8), nous trouvons les expressions de l'impédance d'entrée de l'architecture CCC en mode différentielle et single :

$$Z_{IN\ diff} \approx \frac{1}{gm} \quad \text{et} \quad Z_{IN\ single} \approx \frac{1}{2gm} \quad 4.9$$

Ainsi, il est démontré (grâce à la valeur de l'impédance d'entrée) que pour la même source utilisée et un même  $gm$  donné, la technique CCC réduit le facteur de bruit de  $NF_{CCC}=1+\gamma/2$  par rapport à l'architecture Grille-Commune ( $NF_{GC}=1+\gamma$ )

## B. Design du LNTA

Une fois l'analyse de l'architecture 'Capacitive Cross-Coupling' réalisée, nous passons à l'étape suivante : le design du LNTA.

Afin d'obtenir une valeur de transconductance assez élevée ( $g_{LNTA} \geq 80mS$ ), ce bloc a été découpé en deux étages : le premier étage qui permet un premier gain en tension (architecture LNA CCC) et le deuxième étage qui est le gain de transconductance. La figure 4.6 montre le montage de cette structure.

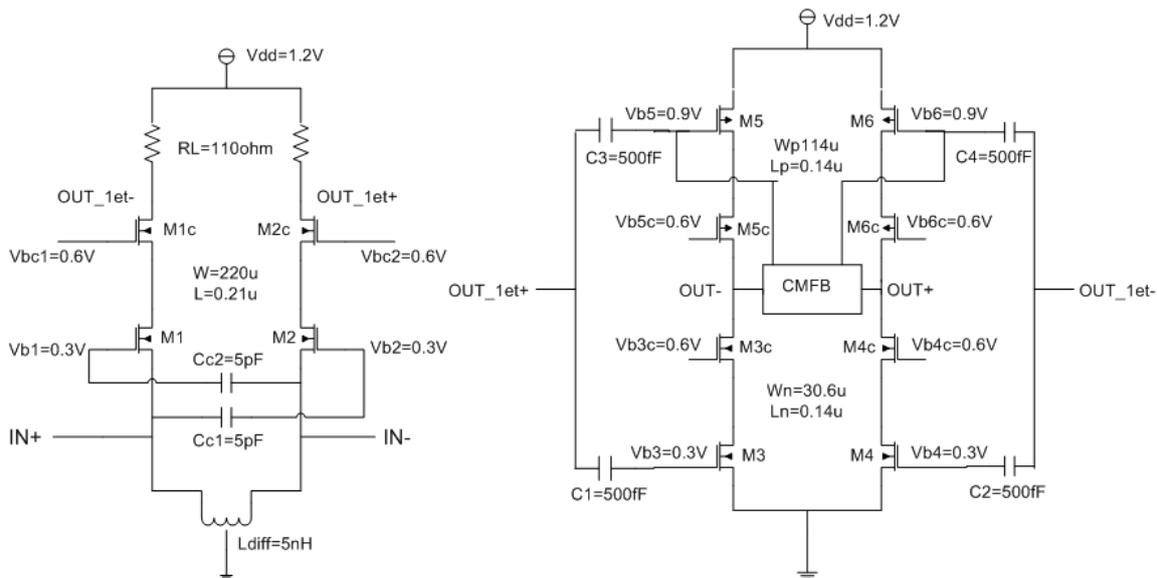


Figure 4.6 : Architecture LNTA : 1er étage 'cross couplé' + 2eme étage gm cascodé

L'impédance d'entrée, ( $Z_{LNA}=20\Omega$  différentiel, d'après le cahier des charges) impose la

valeur de la transconductance des transistors nMOS :  $M_1$  et  $M_2$ . Ainsi,  $gm_1=gm_2=gm_{1et}=50mS$ .

En tenant compte de l'expression  $gm = \frac{\mu_n C_{ox} W}{L} (V_b - V_{TH})$ , nous choisissons la taille des transistors ( $W_1=W_2=W=220\mu m$ ,  $L_1=L_2=L=0.21\mu m$ ) et la tension de polarisation ( $V_{b1}=V_{b2}=V_b=300mV$ ). Nous utilisons des transistors hpa (technologie STMicroelectronics) à très faible tension de seuil :  $V_{TH}=210mV$ .

Le courant qui passe à travers chaque branche est donné par :  $I_{DS} = gm(V_b - V_{TH})$ , soit 4.5mA dans notre cas.

Les transistors cascodes ( $M_{1c}$ ,  $M_{2c}$ ) isolent les transistors de gain ( $M_1$  et  $M_2$ ) de la charge. Afin de faciliter l'implémentation de ces transistors nous avons choisi le même L que les transistors du gain et un W suffisant pour obtenir une bonne isolation vis-à-vis de la charge ( $W_{1c}=W_{2c}=W_c=220\mu m$ ,  $L_{1c}=L_{2c}=L_c=0,21\mu m$ ).

L'impédance complexe d'entrée du premier étage du LNTA est représentée par :

$$Z_{IN} = \frac{1}{2gm} + j2\pi fL - \frac{j}{2\pi f(Cc // Cgs)} \quad \mathbf{4.10}$$

Les capacités de couplage ( $C_{c1}=C_{c2}=C_c=5pF$ ) présentent une valeur très grande par rapport à la capacité grille-source des transistors  $M_1$  et  $M_2$  (une centaine de fF). La valeur de cette capacitance de couplage sera donc négligeable.

La valeur de l'inductance ( $L=2.5nH$  ou  $L_{diff}=5nH$ ) est calculée pour compenser la capacité d'entrée ( $C_{gs}$ ) dans la bande de fréquences considérée. Nous verrons dans les résultats de simulation que sa valeur impacte aussi le bruit du premier étage.

Le gain de transconductance du LNTA ( $g_{LNTA}$ ) est la multiplication des gains des deux étages : Le gain en tension du LNA, donné par  $gm_{1et}R_L$  et le gain en transconductance de l'étage cascodé, donnée par  $gm_{2et}$ .

Nous avons choisi une charge résistive (par rapport à un circuit LC) pour des raisons de compacité et de facilité afin d'obtenir une bande passante très large, sachant que cela aura un impact sur le bruit et sur la polarisation de l'étage.

$R_L=110\Omega$  est choisie de manière à obtenir le meilleur compromis entre la polarisation des transistors ( $I_{DS} = \frac{V_{DD} - 2 \times V_{DS}}{R_L}$ ) et le gain du premier étage ( $gm_{1et}R_L$ ).

D'après le cahier des charges obtenu dans la section 4.1.2 ( $g_{LNTA} \approx 80mS$ ), nous pouvons calculer le gain du deuxième étage de manière à ce que  $gm_{2et}$  respecte l'équation :

$g_{LNTA} = gm_{1et} R_L \frac{gm_{2et}}{2}$  (sortie pour une seule branche). La valeur de  $gm_{2et}$  ainsi obtenue est  $gm_{2et} \approx 30mS$ .

La transconductance  $gm_{2et}$  est la somme des deux transconductances des transistors  $M_3=M_4=M_n$  et  $M_5=M_6=M_p$ , soit  $gm_{2et}=gm_{Mn}+gm_{Mp}$ . L'expression de chaque transconductance est représentée par :  $gm_n = \frac{\mu_n C_{OX} W_n}{L_n} (Vb_n - V_{THn})$  et  $gm_p = \frac{\mu_p C_{OX} W_p}{L_p} (Vb_p - V_{THp})$ . Nous prenons la valeur de :  $gm_n=gm_p \approx 15mS$ .

Les tailles des transistors nMOS ( $W_n=30.6\mu m$ ,  $L_n=0.14\mu m$ ) et pMOS ( $W_p=114\mu m$ ,  $L_p=0.14\mu m$ ) ainsi que leurs tensions de polarisation correspondants ( $Vb_n=300mV$  et  $Vb_p=900mV$ ) sont choisis afin d'obtenir les valeurs de transconductances appropriés (transistors hpa :  $V_{THn}=160mV$  et  $V_{THp}=140mV$ ).

Le courant qui passe à travers chaque transistor est donnée par :  $I_{DSn} = gm_n (Vb_n - V_{THn})$  ou  $I_{DSP} = gm_p (Vb_p - V_{THp})$ . Ainsi la valeur du courant à chaque branche est :  $I_{Mn}=I_{Mp}=2mA$ .

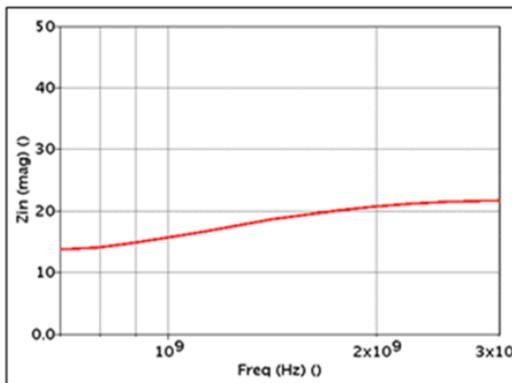
Nous avons fait le choix d'un deuxième étage cascodé afin d'augmenter l'impédance de sortie de la transconductance. Comme pour le premier étage, nous avons choisi les transistors nMOS ( $M_{3c}$ ,  $M_{4c}$ ) et pMOS ( $M_{5c}$ ,  $M_{6c}$ ) de même taille que les transistors de gain ( $W_{3c}=W_{4c}=W_n=30.6\mu m$ ,  $L_{3c}=L_{4c}=L_n=0,14\mu m$ ,  $W_{5c}=W_{6c}=W_p=114\mu m$  et  $L_{5c}=L_{6c}=L_p=0,14\mu m$ ).

Le circuit CMFB, situé entre les sorties de l'étage cascode (OUT+, OUT-) et l'entrée des transistors  $M_5$  et  $M_6$ , assure que la tension de mode commun de sortie  $(OUT+ + OUT-)/2$  reste à une valeur fixe (0.6V) compatible avec le fonctionnement du reste de la chaîne.

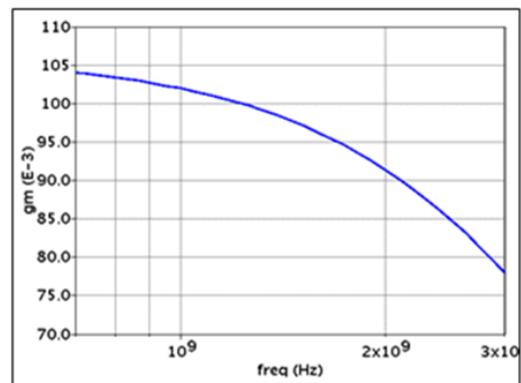
### C. Résultats de simulation

Les résultats en simulation (Spectre) des principales spécifications du LNTA sont montrés en figure 4.7. Ils sont tracés dans la gamme de fréquence cellulaire ( $\sim 700MHz - 3GHz$ ).

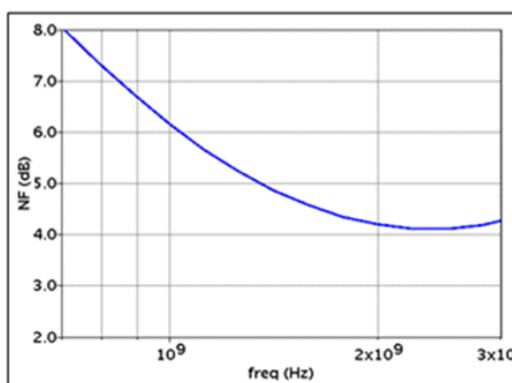
a) Impédance d'entrée du LNA



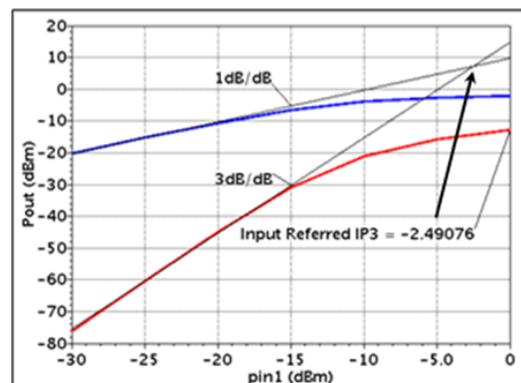
b) Transconductance  $g_{LNTA}$



c) Facteur de bruit



d) Linéarité: IIP3



**Figure 4.7 : Résultats de simulation du LNTA : a)  $Z_{LNA}$ , b)  $g_{LNTA}$ , c) NF, d) IIP3**

D'après les résultats de simulation nous pouvons observer :

- La faible valeur de l'impédance d'entrée du LNTA dans toute la gamme de fréquence,  $Z_{LNA} \approx 20\Omega$  (figure 4.7.a)
- La transconductance varie entre 105mS et 75mS par rapport à la fréquence (figure 4.7.b) due aux capacités internes des transistors.
- Le facteur de bruit (avec le LNA non adapté) a une valeur maximale de 8dB à la fréquence de 700MHz et une valeur minimale de 4.1dB dans la plage de fréquences entre 2 et 3GHz (figure 4.7.c).
- L'IIP3 est de -2.5dBm, réalisé avec 2 tons aux fréquences de 2,01GHz et 2,02GHz (figure 4.7.d). La sortie en courant du LNTA attaque une charge de 100Ω différentielle. Nous pouvons observer ainsi le gain en puissance, d'environ 10dB ( $P_{OUT} - P_{IN}$ ).

L'amplitude et la phase (cette dernière n'est pas montrée dans les résultats de simulation) de la transconductance  $g_{LNTA}$  dépendent de la fréquence. Cela signifie que le

courant en sortie du LNTA et le signal d'entrée sont déphasés de manière différente à chaque fréquence. Le contrôle de phase (externe) entre les LO corrige ce déphasage (signal à la sortie du deuxième mélangeur,  $i_{FB}$ ) et permet donc d'assurer la stabilité du récepteur quelle que soit la fréquence.

Le facteur de bruit d'un LNA non adapté ( $Z_{LNA}=20\Omega$ ) est dégradé par rapport à un LNA parfaitement adapté avec l'antenne ( $Z_{ANT}=100\Omega$ ). Cette variation est établie par « l'équation fondamentale du bruit », réf [60] :

$$F = F_0 + \frac{Rn}{G_s} \left( (G_s - G_0)^2 + (B_s - B_0)^2 \right)$$

Où  $F_0$  est le facteur de bruit minimal (quand LNA est parfaitement adapté avec l'antenne (si  $Z_{LNA}=100\Omega$ )).  $Rn$  est un paramètre positif qui quantifie l'effet de la désadaptation.  $G_0$  et  $B_0$  sont les valeurs de la partie réelle et imaginaire de l'admittance du LNA non adapté. Et  $Y_s=G_s+jB_s=1/Z_{ANT}$  est l'admittance de l'antenne.

Nous remarquons que l'impédance d'entrée du LNTA ( $Z_{LNA}$ ) est plus petite que  $20\Omega$  à plus basses fréquences (entre 700MHz et 1.7GHz). Cela est due à la partie imaginaire de l'impédance (établie par les valeurs de l'inductance  $L_{diff}$ , la capacité de couplage  $C_c$  et la capacité grille-source  $C_{gs}$  des transistors  $M_1$  et  $M_2$ ) aux fréquences mentionnées.

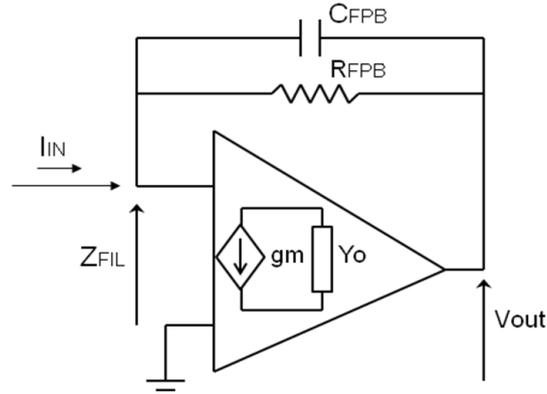
La valeur de l'inductance contribue au bruit du premier étage du LNA à cause de sa résistance série. Elle a donc été choisie afin de maintenir le meilleur compromis :  $Z_{LNA}$ , bruit et surface (Un inductance occupe une grande surface comparée aux transistors).

Le design de ce LNTA atteint le cahier de charges établi. Il présente, d'après la simulation, ses meilleures performances dans la bande de fréquences : 1.7-3GHz.

## 4.2.2 FPB (Filtre Passe Bas)

### A. Analyse du FPB

Le filtre passe bas est un filtre actif qui est composé d'un Amplificateur opérationnel et un réseau de contre-réaction RC. La figure 4.8 montre cette architecture.



**Figure 4.8 : Schéma du Filtre Passe Bas**

L'amplificateur opérationnel est conçu avec un gain de transconductance élevée ( $g_m$ ) de telle manière que l'impédance d'entrée soit aussi faible que possible (pour minimiser la tension développée à la sortie du mélangeur et, par conséquent, ses non-linéarités). Elle est représentée par :

$$Z_{FIL} = \frac{R_{FPB}}{G_{AMP}} \quad 4.11$$

Où  $G_{AMP} = g_m Z_o$  et  $Z_o = 1/Y_o$ .  $Z_o$  est l'impédance de sortie de l'OPAMP

La fréquence de coupure  $f_c$  est fixée par les valeurs de  $R_{FPB}$  et  $C_{FPB}$  et est donnée par l'expression :  $f_c = \frac{1}{2\pi \times R_{FPB} C_{FPB}}$  4.12

La fonction de transfert du filtre est représentée par :

$$V_{out}(f) = \frac{R_{FPB}}{1 + 2\pi f \times R_{FPB} C_{FPB}} \times I_{IN} \quad 4.13$$

## B. Design du FPB

Nous avons déterminée la valeur de la résistance du filtre passe bas dans l'analyse du système ( $R_{FPB} = 3.5K\Omega$ ). La valeur de l'impédance d'entrée du filtre ( $Z_{FIL}$ ) est en fonction de cette variable (équation 4.11). Nous choisissons donc une valeur raisonnable pour cette impédance :  $Z_{FIL} < 20\Omega$ , ce qui impose un gain :  $G_{AMP} > 45dB$ .

Dans cette partie, nous présentons en détail la conception de l'OPAMP (composant majeur dans l'architecture du filtre). Son schéma est montré à la figure 4.9. Il est composé de deux étages : une paire différentielle et un étage  $g_m$  cascodé.

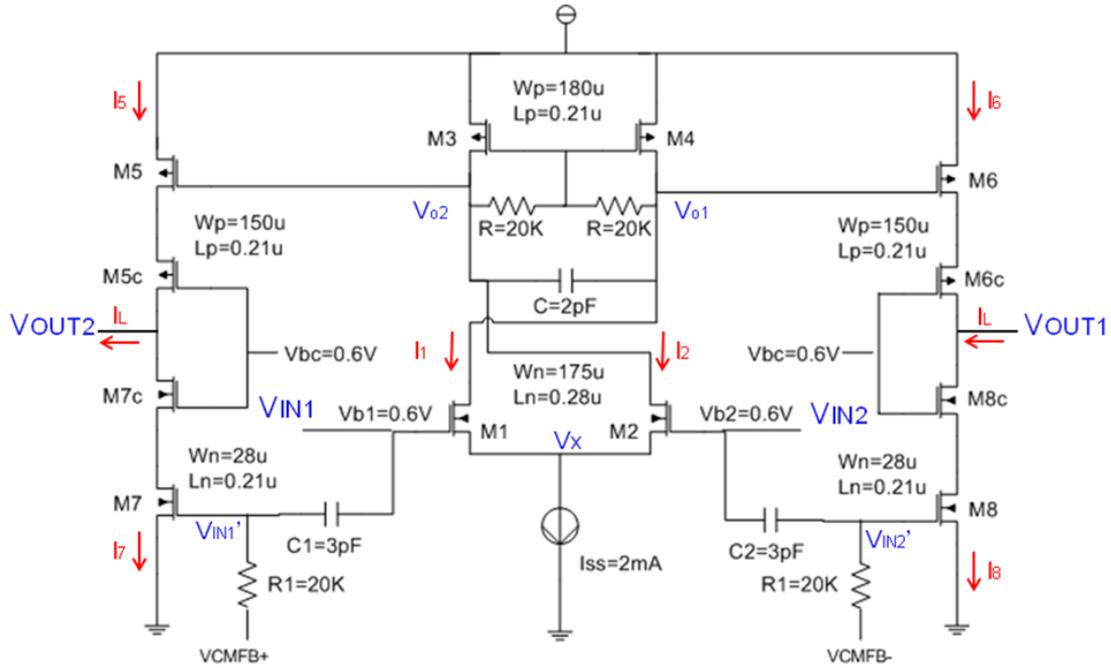


Figure 4.9 : Schéma de l'OPAMP

L'Amplificateur Opérationnel est symétrique. Les transistors nMOS et pMOS de chaque coté sont identiques. Dans le premier étage :  $M_1=M_2$  ( $g_{m1}=g_{m2}$  ;  $g_{ds1}=g_{ds2}$ ) et  $M_3=M_4$  ( $g_{ds3}=g_{ds4}$ ). Le gain en tension de la paire différentielle est ainsi donnée par :

$$G_{1et} = -\frac{g_{m1}}{(g_{ds1} + g_{ds3} + 1/R + j4\pi fC)} \quad 4.14$$

La résistance R, placée entre chaque sortie de la paire différentielle ( $V_{o1}$ ,  $V_{o2}$ ) et chaque entrée des transistors ( $M_3$  et  $M_4$ ), assure le fonctionnement en mode commun de cet étage. Cependant cette résistance dégrade le gain en tension. Pour minimiser les pertes, une valeur assez grande est déterminée :  $R=20K\Omega$ .

Dans le deuxième étage les transistors cascode ( $M_{5c}=M_{6c}$  et  $M_{7c}=M_{8c}$ ) sont mis en place pour augmenter l'impédance de sortie. La charge vue de ces transistors en basse fréquences est résistive.

Le signal différentiel d'entrée est amplifié à nouveau par les transistors  $M_7$  et  $M_8$  (technique en mode *feed-forward* pour améliorer la stabilité en haute fréquences). Les capacités  $C_1$ ,  $C_2$  et les résistances  $R_1$ ,  $R_2$  forment un pont diviseur dans les nœuds  $V_{IN1}'$  et  $V_{IN2}'$ . Ces voltages sont liés à l'entrée différentielle par les expressions :

$$V_{IN1}' = \frac{j2\pi fC_1}{j2\pi f(C_1 + C_{gs7}) + 1/R_1} V_{IN1} \text{ et } V_{IN2}' = \frac{j2\pi fC_2}{j2\pi f(C_2 + C_{gs8}) + 1/R_2} V_{IN2} \quad 4.15$$

Par symétrie,  $C_1=C_2$  et  $R_1=R_2$ . La transconductance totale de l'Amplificateur Opérationnel (les deux étages ensemble) est représentée par :

$$g_{m_T} = G_{1er} g_{m_5} + g_{m_7} \frac{j2\pi f C_1}{j2\pi f (C_1 + C_{gs7}) + 1/R_1} \quad 4.16$$

Un circuit CMFB (non montré dans la figure) est situé entre les sorties de l'OPAMP ( $V_{out1}$ ,  $V_{out2}$ ) et l'entrée des transistors  $M_7$  et  $M_8$ . Ce circuit régule le mode commun du deuxième étage par la tension appliquée à travers de la résistance  $R_1$ . La valeur de cette résistance est choisie de manière très grande ( $R_1=20K\Omega$ ) afin d'imposer la tension de polarisation de ce circuit sans impacter le bruit.

Si nous observons le deuxième terme de l'équation (4.16), la transconductance totale contient un pôle et un zéro qui sont liés à la capacité de couplage  $C_1$ , la capacité grille-source du transistor  $M_7$  ( $C_{gs7}$ ) et la résistance  $R_1$ . Si  $R_1$  est assez grande et  $C_1$  est choisie d'une valeur très élevée ( $C_1=3pF$  dans notre cas) par rapport à  $C_{gs7}$  (une centaine de fF), le zéro et le pôle sont annulés dans le deuxième terme.

Ainsi, la transconductance totale simplifiée de l'Amplificateur opérationnel est donnée par :

$$g_{m_T} = \frac{g_{m_1} g_{m_5}}{(g_{ds1} + g_{ds3} + j4\pi f C)} + g_{m_7} \quad 4.17$$

La capacitance  $C$ , située entre les deux sorties du premier étage, crée un zéro dans l'équation 4.17 (quand elle passe au deuxième terme pour multiplier à  $g_{m_7}$ ). Sa valeur est choisie afin d'assurer la stabilité de l'Amplificateur Opérationnel, mais il ne doit pas influencer sur la fréquence de coupure du filtre passe bas,  $f_c$ . La valeur prise est de :  $C=2pF$ .

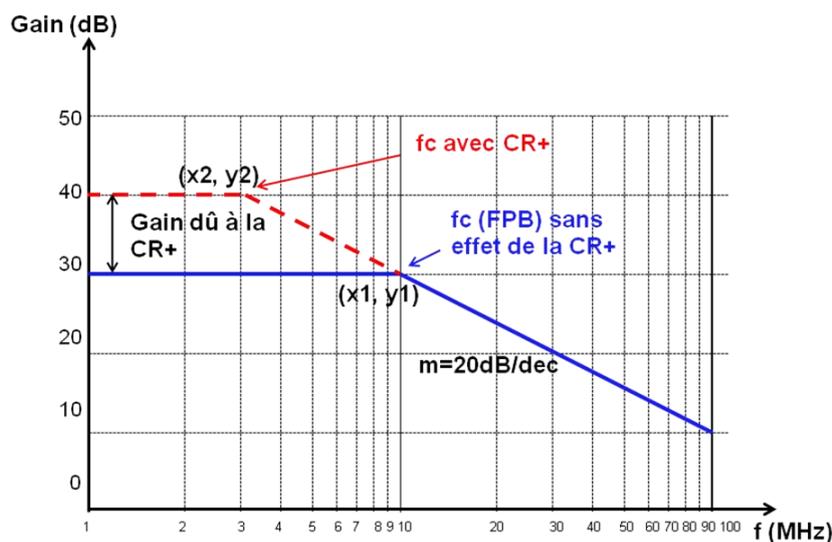
Nous avons choisi les tailles de transistors et leurs tensions de polarisation afin d'obtenir la valeur du gain en tension correspondant au cahier des charges :  $G_{AMP} > 45dB$ . La valeur de chaque transconductance est de :  $g_{m1}=16.5mS$ ,  $g_{ds1}=190uS$ ,  $g_{ds3}=730uS$ ,  $g_{m5}=10mS$  et  $g_{m7}=8mS$ , donc  $g_{m_T} \approx 187mS$ . La valeur moyenne de l'impédance de sortie en basse fréquence ( $f < 100MHz$ ) est de  $Z_0 \approx 10K$ . Le gain de l'Amplificateur Opérationnel obtenu est donc de :  $G_{AMP}=65dB$  ( $> 45dB$ ).

### C. Résultats de simulation

La capacité  $C_{FPB}$  et la résistance  $R_{FPB}=3.5K\Omega$  fixent la fréquence de coupure  $f_c$  du FPB.

Nous avons observé que la boucle de contre-réaction augmente le gain uniquement dans la bande d'intérêt RF (c'est-à-dire que le signal désiré n'est pas atténué quand la boucle fonctionne).

Dans ce système, le FPB fait partie de la chaîne directe, donc sa fonction de transfert influe dans le récepteur une fois que la chaîne de retour est mise en marche. La boucle de contre-réaction modifie donc les paramètres de ce filtre, en particulier la fréquence de coupure  $f_c$ . Cette fréquence est modifiée suivant l'équation linéaire:  $y_2 - y_1 = m(x_1 - x_2)$ , où  $m$  est la pente de la courbe dessinée dans la figure 4.10 (l'axe X est une approximation de l'échelle logarithmique).



**Figure 4.10 : Modification de la fréquence de coupure ( $f_c$ ) due à la contre-réaction**

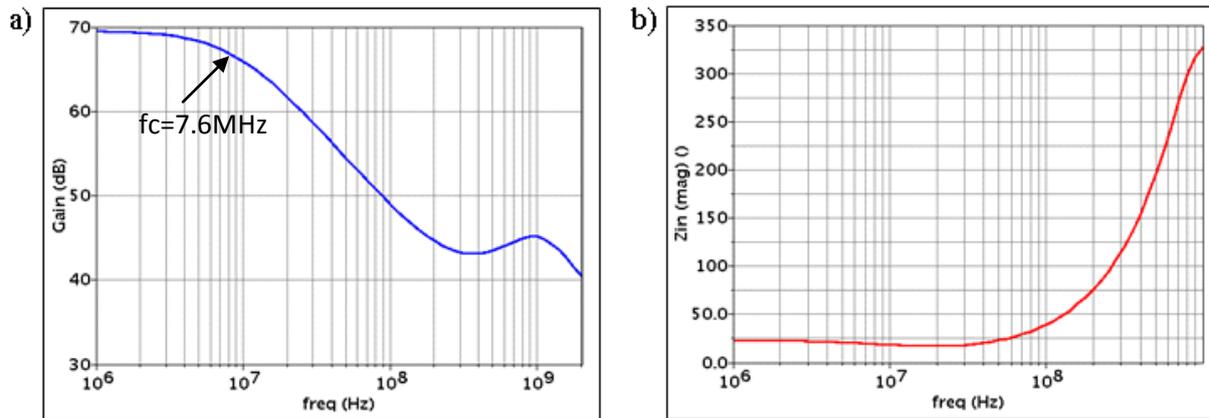
Le prototype à réaliser couvre le standard WCDMA, où la bande passante est de 3.92MHz autour de la fréquence centrale RF. L'impédance du LNA choisie permet une atténuation des signaux bloqueurs de 9.5dB. Cela signifie que la contre-réaction augmente le gain, autour de  $F_{RF}$ , de 9.5dB. Ainsi, la fréquence  $f_c$  du FPB choisie est de 7.6MHz pour assurer une bande passante de plus de 4MHz (plus de 2MHz à chaque coté) quand la boucle est en fonctionnement. La valeur de la capacité du FPB est :  $C_{FPB} = 6 \text{ pF}$ .

La résistance  $R_{FPB}$  est variable et est contrôlée par l'I2C. Sa gamme de valeur est établie entre  $1 \text{ K}\Omega$  et  $6.08 \text{ K}\Omega$ . Par conséquent, le FPB est configurable entre 4.4MHz et 26.5MHz.

Nous montrons, dans la figure 4.11, la simulation de deux paramètres du FPB. La première figure (figure 4.11.a) montre le gain V/I. Nous pouvons remarquer qu'effectivement le gain obtenu en basse fréquences est la valeur en décibel de la résistance  $R_{FPB} = 3.5 \text{ K}\Omega$

(environ de 70dB). La fréquence de coupure, de 7.6MHz est aussi montrée.

La deuxième figure (Figure 4.11.b) montre le résultat en simulation de l'impédance d'entrée du filtre ( $Z_{FIL}$ ). Nous observons une valeur assez faible en basse fréquence, qui est d'environ  $20\Omega$  en différentiel.



**Figure 4.11 : Résultats de simulation du FPB : a) Gain V/I, b)  $Z_{FIL}$**

Il faut préciser que dans l'équation 4.11, le Gain en tension de l'amplificateur opérationnel ( $G_{AMP}=gmZ_o$ ) ne prend pas en compte la charge totale. En réalité, le réseau RC du filtre passe bas doit s'ajouter en parallèle à l'impédance de sortie ( $Z_o$ ) de l'OPAMP, c'est à dire  $Z_o'=Z_o//R_{FPB}$  en basse fréquences. Dans notre cas :  $Z_o=10K\Omega$ ,  $R_{FPB}=3.5K\Omega \rightarrow Z_o'=2.6K\Omega$ . Ainsi, le gain en tension de l'amplificateur devient plus petit ( $G_{AMP}=gmZ_o'=53dB$ ), et par conséquent, l'impédance d'entrée du filtre, devient légèrement plus grande ( $Z_{FILdiff}=15\Omega$ )

Les valeurs obtenues, d'après la simulation, correspondent au cahier des charges établi.

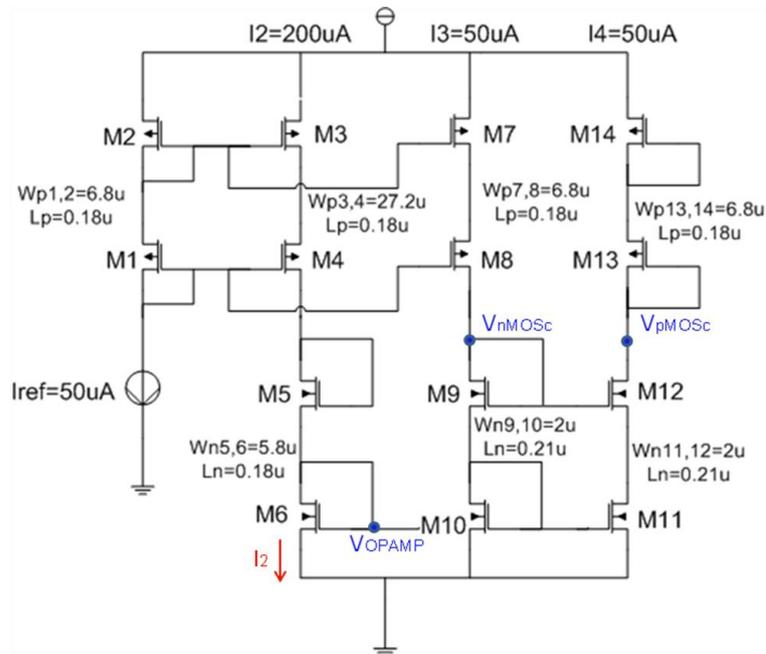
### 4.2.3 Design des autres Blocs

#### A. Circuit de polarisation – Miroir de courant

Le circuit de polarisation à base de miroirs de courant cascodés est utilisé pour le LNTA et pour l'amplificateur opérationnel. Nous montrons uniquement dans la figure 4.12, le circuit utilisé pour l'OPAMP.

Le courant externe ( $I_{REF}=50\mu A$ ) fixe la tension  $V_{DS}$  des transistors pMOS :  $M_1$  et  $M_2$ . Ces transistors fonctionnent en régime de saturation car  $V_{DS}>V_{GS}-V_{TH}$  ( $V_D=V_G$ ). Dans notre cas,  $M_1$  et  $M_2$  sont identiques ( $W_{1,2}=6.8\mu m$ ,  $L_{1,2}=0.18\mu m$ ).

A L identique ( $L_{3,4}=0.18\mu\text{m}$ ), les transistors pMOS ( $M_3$  et  $M_4$ ) présentent un  $W_{3,4}=4*W_{1,2}=27.2\mu\text{m}$ . Ainsi, le courant  $I_2$  est 4 fois le courant de référence ( $I_2=200\mu\text{A}$ ). Ce courant est amplifié avec un facteur 10 par le transistor nMOS dans la paire différentiel de l'OPAMP ( $I_{ss}=2\text{mA}$ ), La taille choisie pour ces transistors nMOS  $M_5$  et  $M_6$  est :  $W_{5,6}=5.8\mu\text{m}$  et  $L_{5,6}=0.18\mu\text{m}$ .



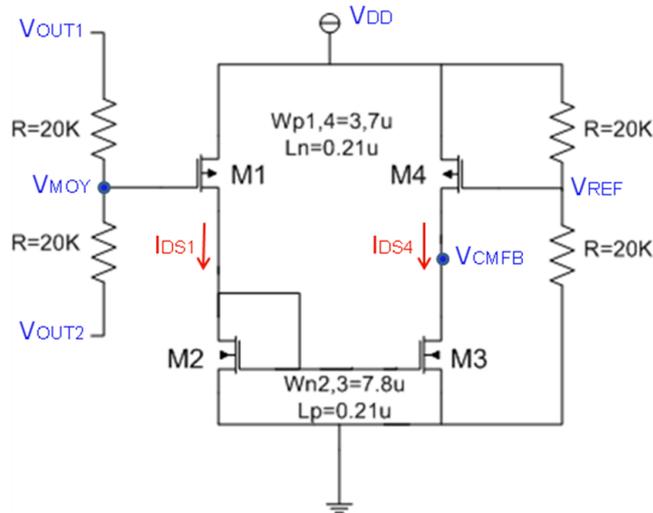
**Figure 4.12 : Circuit de polarisation pour l'OPAMP**

Les transistors pMOS de la troisième branche copie le courant de référence :  $W_{7,8}=W_{1,2}=6.8\mu\text{m}$  et  $L_{7,8}=L_{1,2}=0.18\mu\text{m}$ . Les transistors nMOS ( $M_9$ ,  $M_{10}$ ) de cette branche imposent la tension de polarisation du transistor cascode nMOS de l'amplificateur ( $V_{nMOSc}=0.6\text{V}$ ). Leur tailles sont :  $W_{9,10}=2\mu\text{m}$  et  $L_{9,10}=0.21\mu\text{m}$ .

La quatrième branche est symétrique à cette dernière : transistors nMOS ( $W_{11,12}=2\mu\text{m}$ ,  $L_{11,12}=0.21\mu\text{m}$ ) et transistors pMOS ( $W_{13,14}=6.8\mu\text{m}$ ,  $L_{13,14}=0.18\mu\text{m}$ ). Ainsi le courant de  $50\mu\text{A}$  est recopié pour que les transistors pMOS puissent fixer la tension de polarisation du transistor cascode pMOS de l'amplificateur ( $V_{pMOSc}=0.6\text{V}$ ).

## **B. Circuit de contre-réaction de mode commun (CMFB)**

Le circuit de mode commun pour le deuxième étage de l'amplificateur opérationnel est montré dans la figure 4.13.



**Figure 4.13 : Circuit de contre-réaction de mode commun**

Le CMFB est un amplificateur différentiel avec un fort gain qui présente comme entrées la tension  $V_{REF}$  ( $=V_{DD}/2=0.6V$ ) et la tension  $V_{MOY}$  (tension moyenne DC des deux tensions en sortie de l'OPAMP :  $V_{out1}$  et  $V_{out2}$ ).

Le transistor pMOS  $M_1$  ( $W_1=3.7\mu m$ ,  $L_1=0.21\mu m$ ) est polarisé avec  $V_{MOY}$  pendant que le transistor  $M_4$  ( $W_4=3.7\mu m$ ,  $L_4=0.21\mu m$ ) est polarisé par la tension de référence  $V_{REF}$ .

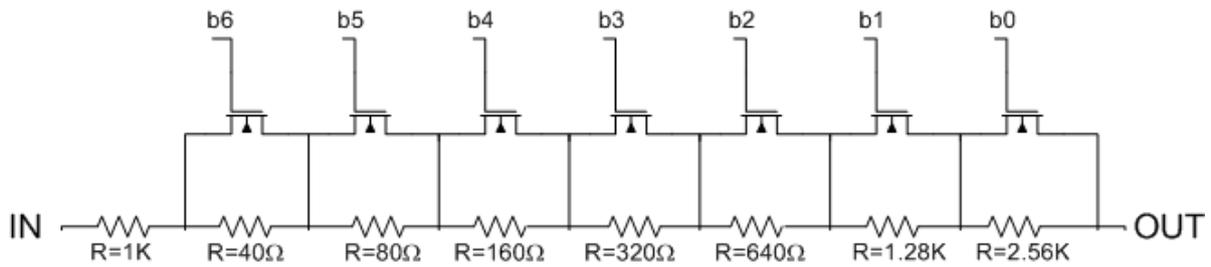
Si  $V_{MOY}$  est plus élevé que  $V_{REF} \Rightarrow I_{DS1} < I_{DS4}$  ( $I_{DS1} = gm_1(V_{MOY} - V_{DD})$  et  $I_{DS4} = gm_4(V_{REF} - V_{DD})$ ), ce qui fait augmenter la tension de sortie  $V_{CMFB}$  ( $=V_{DD} - V_{DS4}$ ). Cette tension  $V_{CMFB}$  polarise les transistors de gain nMOS de l'étage cascode de l'amplificateur opérationnel.

Par conséquent, la tension  $V_{MOY}$  diminue jusqu'à la valeur fixe de  $V_{REF}$ . Ce circuit assure donc la valeur de la tension en mode commun à  $0.6V$  ( $V_{DD}/2$ ).

Le CMFB du LNTA utilise la même architecture. La différence est la valeur de  $W$ ,  $L$  de chaque transistor pour le fonctionnement correct du circuit.

### C. Resistance Variable

La résistance variable est le montage utilisé dans le filtre passe bas ( $R_{FPB}$ ) et dans la boucle de contre-réaction ( $R_{VAR}$ ). Il est composé d'une série de résistances en parallèle avec des transistors. Ces derniers sont commandés par le circuit de contrôle I2C. Le montage est montré dans la figure 4.14.

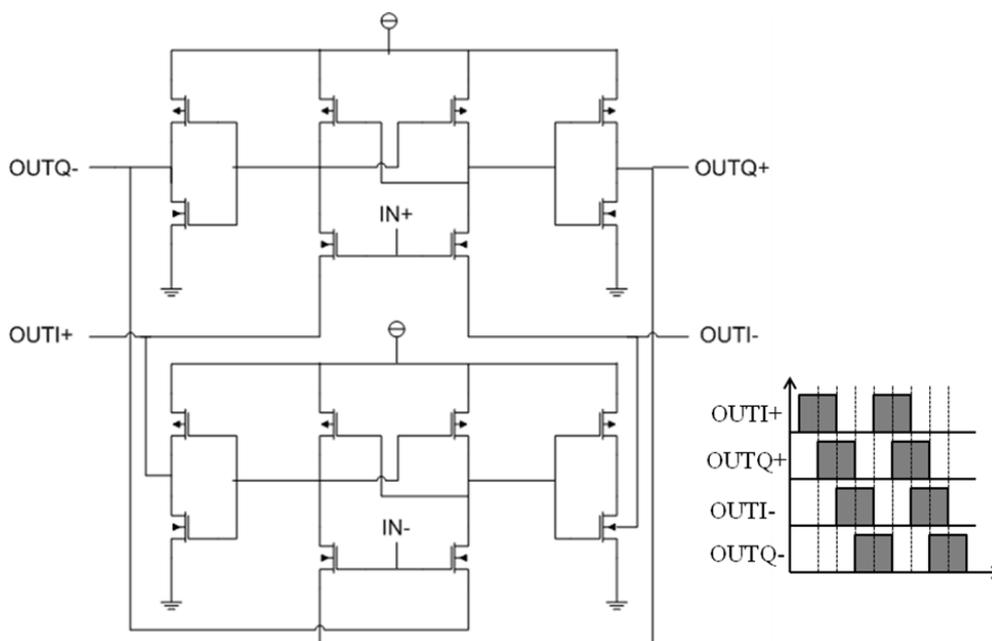


**Figure 4.14 : Montage de la Résistance variable**

La valeur minimale de la résistance est de  $1\text{K}\Omega$  (résistance talon) et la valeur maximale est de  $6.08\text{K}\Omega$ . Elle est contrôlée par 7 bits qui permettent  $2^7$  combinaisons possibles par pas de  $40\Omega$  (LSB).

### D. Quadrature d'horloge (diviseur par 2)

Le circuit de quadrature permet la génération de 4 signaux déphasés de 90 degrés avec le même rapport cyclique (50%). Chaque signal présente une fréquence 2 fois plus petite que la fréquence de l'horloge (diviseur par 2). Le circuit est montré figure 4.15.

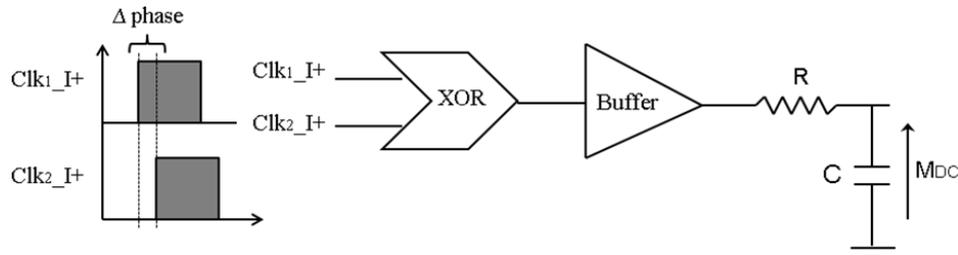


**Figure 4.15 : Quadrature d'horloge**

Pour la génération des signaux d'un rapport cyclique 25% - 75%, des blocs XOR sont utilisés à la sortie de ce circuit de quadrature (figure 4.2).

## E. Circuit comparateur de phase

Un circuit comparateur de phase est mis en place pour le test, figure 4.16. Il est composé d'un XOR suivi d'un filtre passe bas RC. La fréquence de coupure est établie à 10MHz ( $1/2\pi RC$ ) afin de laisser passer uniquement le signal DC



**Figure 4.16 : Circuit comparateur de phase**

Ce circuit compare la phase des deux signaux d'horloge. Les signaux d'entrée de ce comparateur sont les signaux I+ qui alimentent chaque mélangeur ( $\text{Clk1\_I+}$  pour le *down-mixer* et  $\text{Clk2\_I+}$  pour l'*up-mixer*). Quand le déphasage est proche à  $0^\circ$ , la tension DC ( $M_{DC}$ ) est d'environ 0V. Si la phase est de  $180^\circ$  la tension DC est de  $V_{DD}/2=0.6V$ . Ainsi nous pouvons constater en mesure si le décalage du signal d'horloge est correct pour l'adaptation du récepteur.

## F. Circuit de contrôle (I2C)

Le circuit de contrôle comprend 8 registres de 16 bits chacun qui a été développé pour l'utilisation d'un circuit précédent de STMicroelectronics : récepteur WiWix. Il permet d'effectuer la programmation des différents blocs de l'architecture.

Le contrôle est réalisé à partir d'un logiciel (développé avec Labview) qui commande le bus I2C via un port USB. L'interface graphique est montrée dans la figure 4.17.

Pour le test du circuit, nous avons utilisé uniquement les registres : Reg 0 et Reg 1. Les bits qui contrôlent les valeurs des résistances du FPB et des résistances de la boucle de contre-réaction sont respectivement  $\text{rgain}\langle 6 : 0 \rangle$  et  $\text{histo}\langle 6 : 0 \rangle$ . Un seul bit de contrôle est utilisé pour l'activation de chaque buffer ( $\text{cmd\_gain1}$  et  $\text{cmd\_gain2}$ ). Egalement, un bit de contrôle est utilisé pour activer chaque signal d'horloge ( $\text{test\_ctrl1}$  et  $\text{test\_ctrl2}$ ).

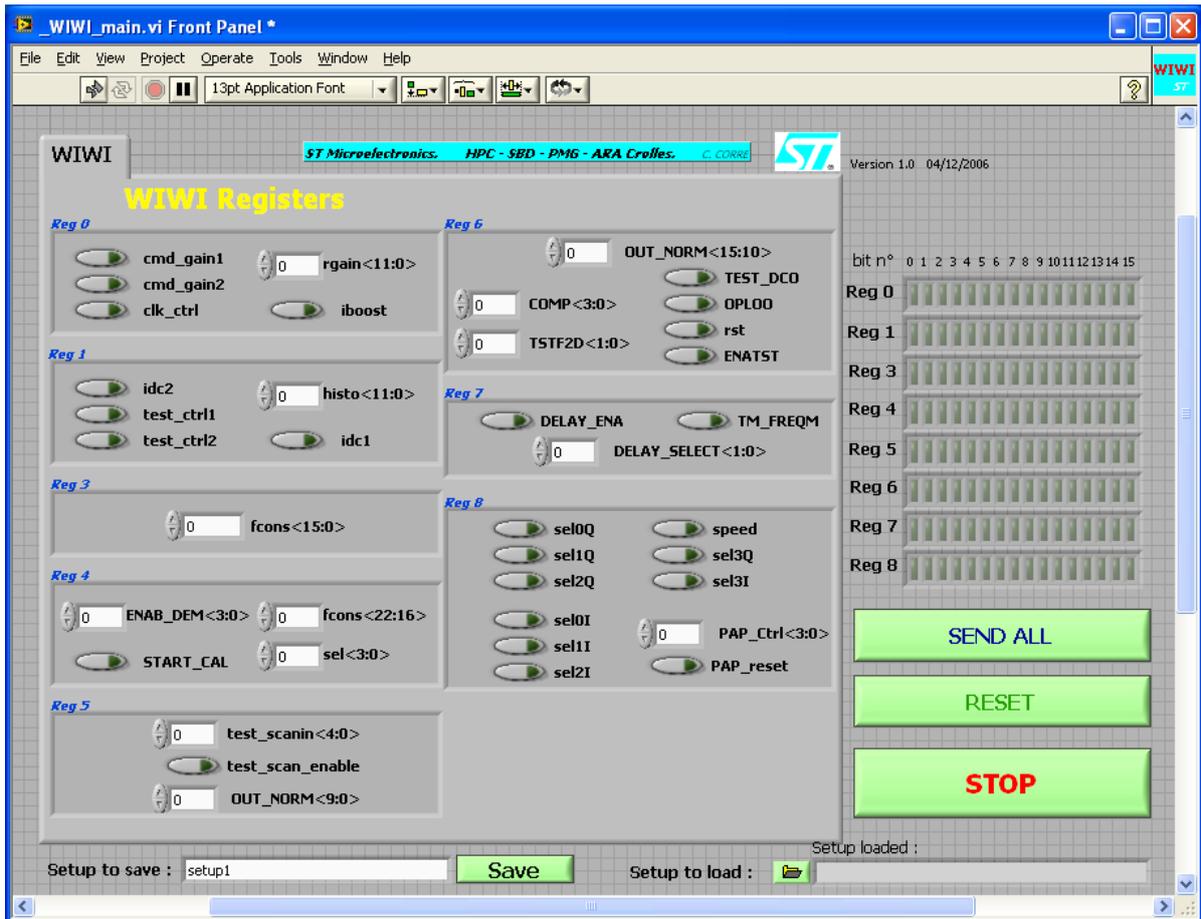


Figure 4.17 : Interface graphique du circuit de contrôle I2C

## 4.2.4 Layout

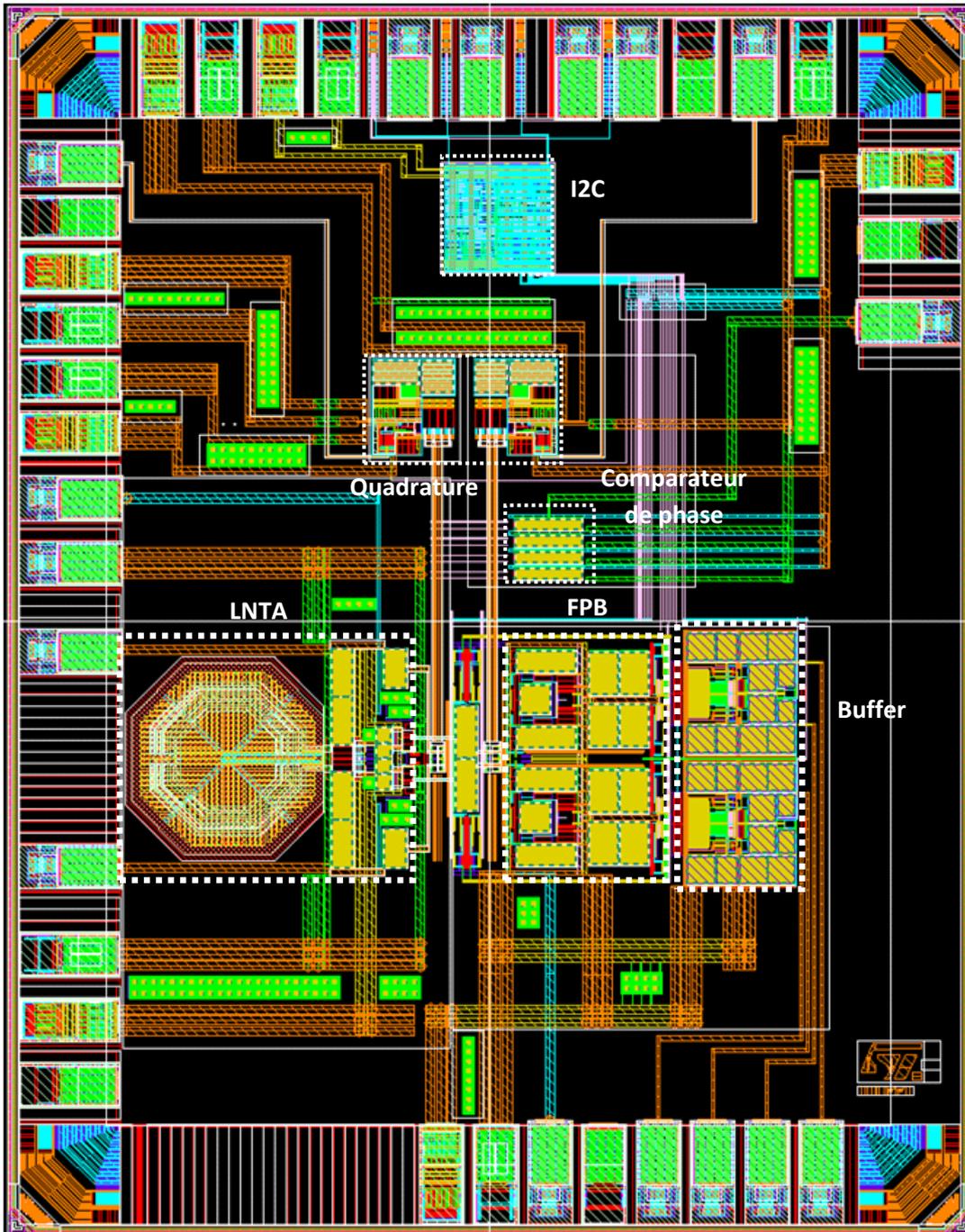
Le ‘layout’ du circuit à contre-réaction positive BB-RF est réalisé en utilisant les règles du Design Kit de la technologie CMOS 65nm de STMicroelectronics. Le ‘layout’ est représenté dans la figure 4.18.

Nous pouvons observer, par exemple, la taille de l’inductance de 5nH du LNA, ainsi que la grande surface occupée par les capacités utilisées dans le filtre passe bas (FPB).

Les fils RF sont assez étroits et de préférences réalisés avec du métal 6, afin de minimiser les capacités parasites RF (blocs : LNTA et Mélangeur). Les fils en basse fréquence sont réalisés en utilisant différents métaux et sont dessinés de manière assez large afin de minimiser les résistances (bloc : FPB).

Le circuit utilise différents plans de masse et de tension d’alimentation. Chacun est dédié aux différents blocs du récepteur. Ils sont réalisés de manière très large et de préférence en métal 6 pour réduire la résistance. Plusieurs capacités de découplage sont insérées entre la

masse et la tension d'alimentation et/ou des tensions de référence.



**Figure 4.18 : Layout du récepteur à contre-réaction positive BB-RF**

Le circuit complet occupe (avec les plots) une surface de :  $1.37 \times 1.07 \text{mm}^2$ , alors que le récepteur, tout seul, mesure  $0.6 \times 0.3 \text{mm}^2$ .

### 4.3 Test et Mesure du Récepteur à contre-réaction BB-RF

Le récepteur à contre-réaction positive BB-RF est mis en boîtier pour le test et la validation. La figure 4.19 montre la photo du 'die' connecté au boîtier QFN44 utilisé.

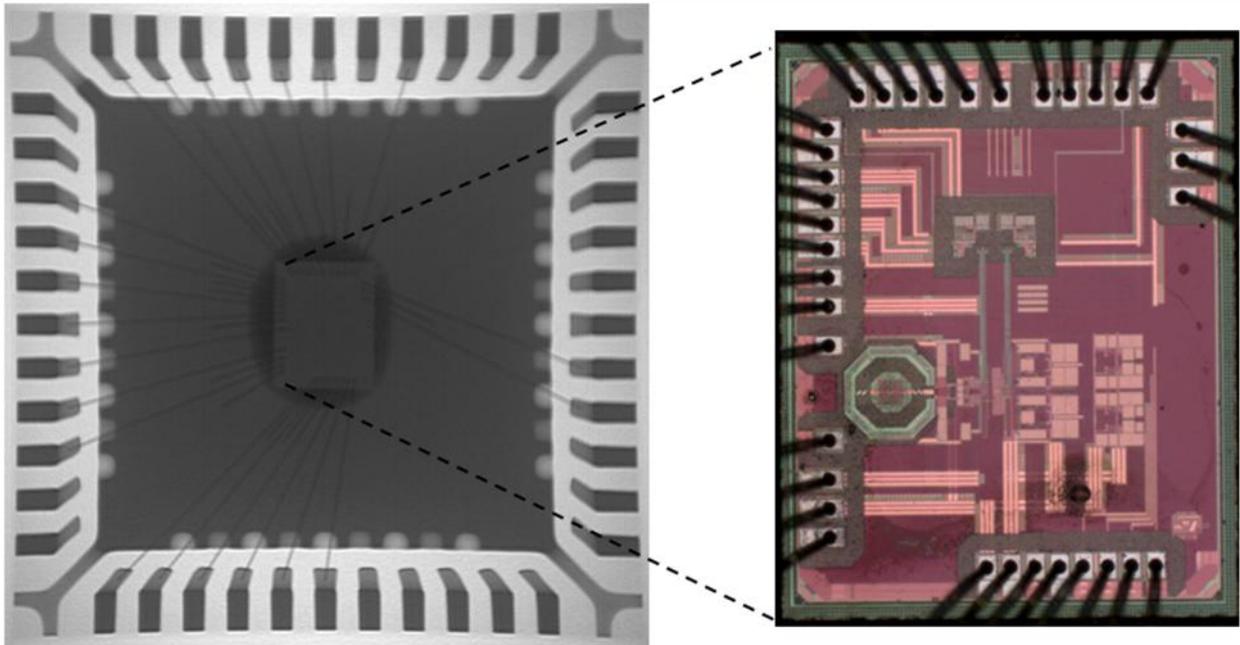
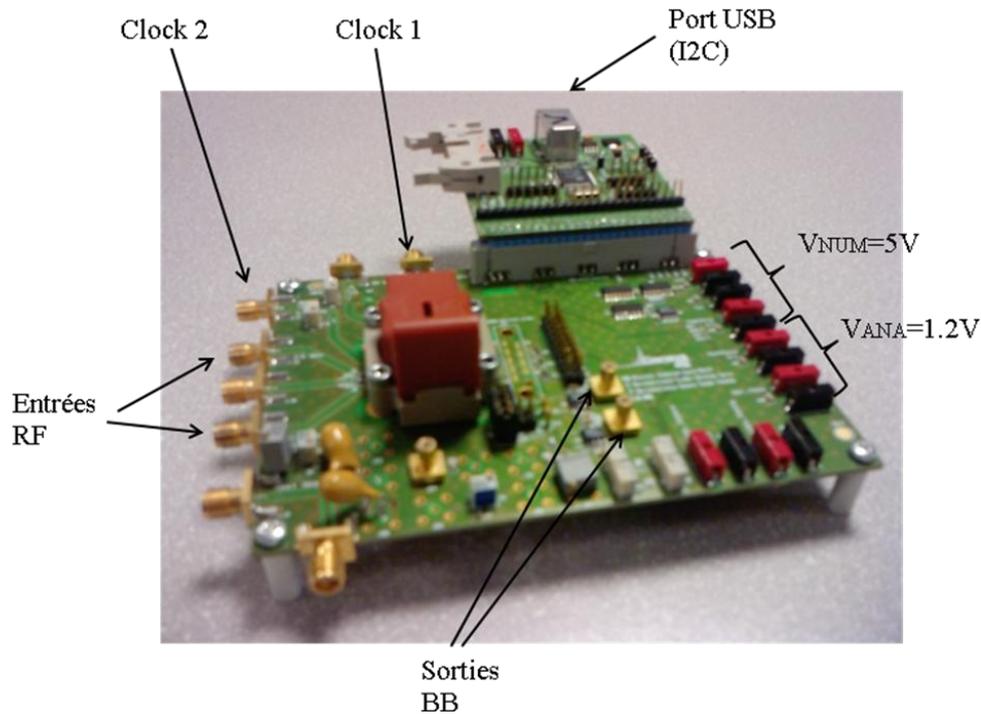


Figure 4.19 : Photo du 'die' et du boîtier QFN44

#### 4.3.1 Test DC

Un circuit imprimé est utilisé pour le test du récepteur. La photo est montrée, figure 4.20.

Le circuit de test est alimenté par une tension  $V_{ANA}=1.2\text{volt}$  qui sert à alimenter la puce et par une tension  $V_{NUM}=5\text{volt}$  qui sert à alimenter les circuits d'interface, sur la carte. La partie analogique est elle-même divisée en deux parties : 1) une première tension qu'alimente seulement le récepteur (buffers inclus) et 2) une deuxième tension qu'alimente les circuits de quadrature (signal d'horloge) et les signaux de contrôle de l'I2C.



**Figure 4.20 : Photo du circuit imprimé**

Le récepteur présente la consommation suivante :

	<b>Sans Buffer</b>	<b>Avec Buffer</b>
<b>I (mA)</b>	<b>25</b>	<b>42</b>
<b>P (mW)</b>	30	50.4

**Tableau 4.2 : Consommation du récepteur**

La consommation des circuits de quadrature dépend des bits activés par le circuit de contrôle (I2C). Elle varie en fonction du bit 'ON' ou 'OFF' pour chaque signal d'horloge 'Clk'. Ces circuits présentent la consommation suivante :

	<b>Clk<sub>1</sub> → 'OFF'</b> <b>Clk<sub>2</sub> → 'OFF'</b>	<b>Clk<sub>1</sub> → 'OFF'</b> <b>Clk<sub>2</sub> → 'ON'</b>	<b>Clk<sub>1</sub> → 'ON'</b> <b>Clk<sub>2</sub> → 'ON'</b>
<b>I (mA)</b>	39	24	<b>8</b>
<b>P (mW)</b>	46.8	28.8	9.6

**Tableau 4.3 : Consommation des circuits de quadrature**

Le circuit de quadrature présente une consommation plus grande en état 'OFF' dû au chemin de conduction entre la tension d'alimentation ( $V_{DD}$ ) et la masse (GND) lorsque la cellule est bloquée dans un état.

Les résultats de mesure DC sont cohérents avec les résultats de simulation ( $I=23\text{mA}$  et  $I=41\text{mA}$  sans et avec buffer respectivement). Ainsi, la consommation totale du récepteur (quand les 2 'clocks' sont activées) est de  $I= 50\text{mA}$  ( $P=60\text{mW}$ )

### 4.3.2 Adaptation d'impédances

La première étape à effectuer avant le test des performances est de régler le réseau d'adaptation en entrée. Nous connaissons le modèle de la ligne du circuit imprimé utilisé pour le récepteur. Cette ligne est divisée en trois morceaux :  $L_1$ ,  $L_2$  et  $L_3$  (figure 4.21). Cependant, il y a 2 inconnues dans notre circuit :

- 1) L'impédance de 'bonding' due au packaging
- 2) Le réseau d'adaptation

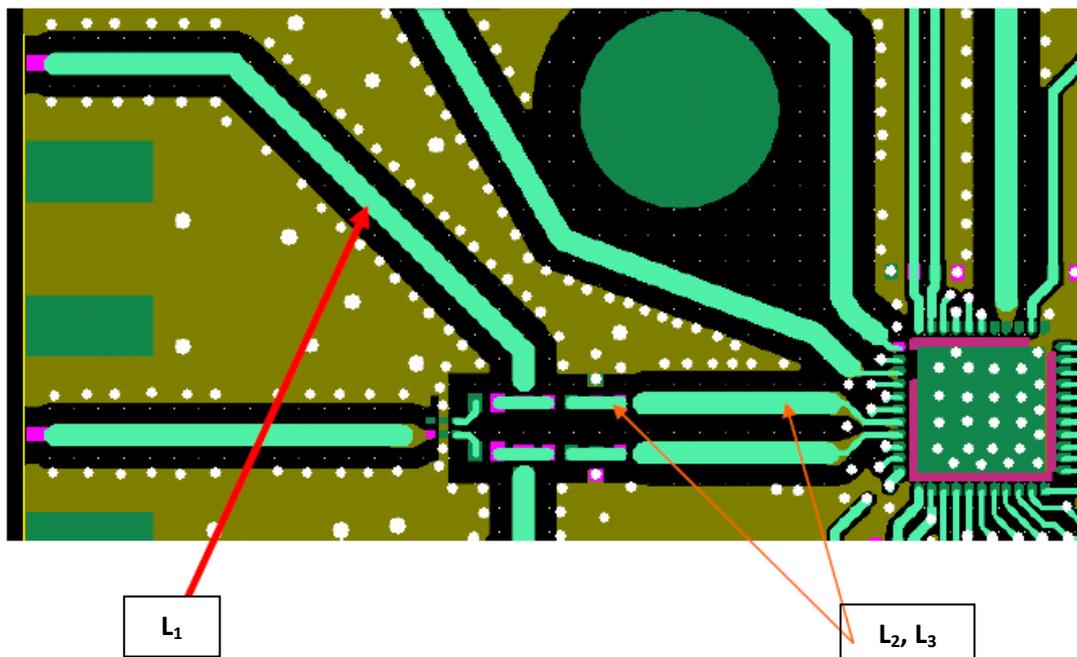
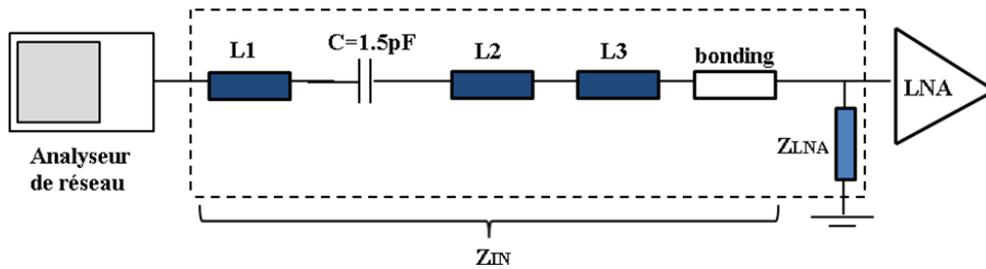


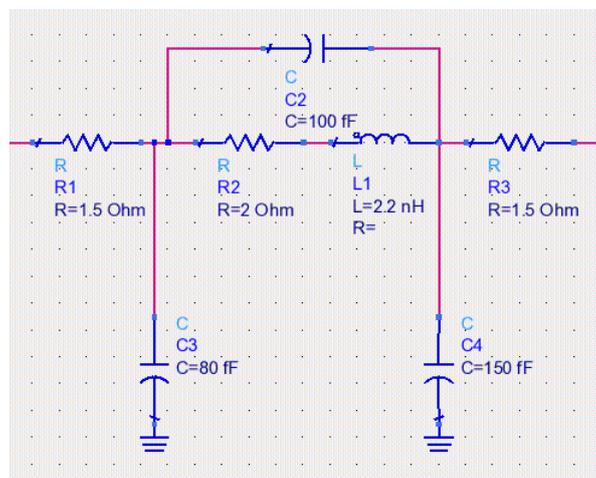
Figure 4.21 : Division des lignes dans le « board test »

Un premier test du circuit est câblé pour pouvoir déduire l'impédance du 'bonding'. Une capacité de  $1.5\text{pF}$  est mise en place comme réseau d'adaptation éventuel entre la ligne  $L_1$  et la ligne  $L_2$ . La figure 4.22 montre les composants à l'entrée du récepteur dans cette configuration.



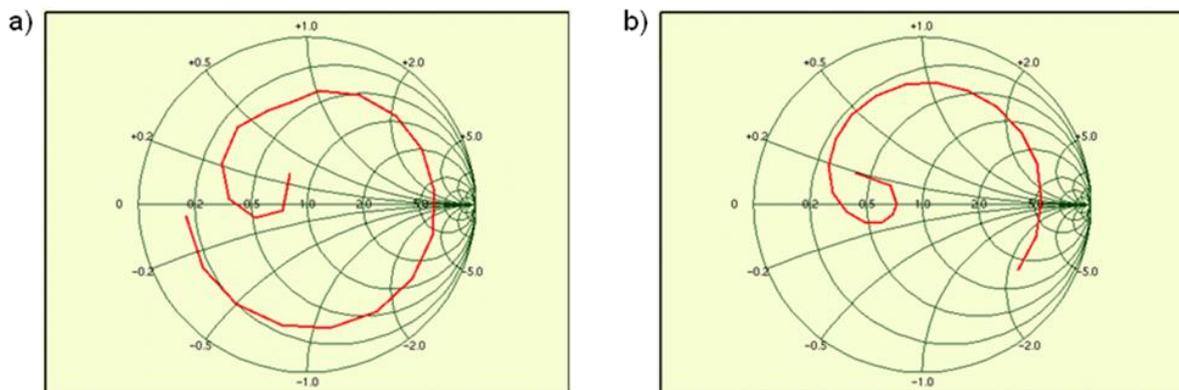
**Figure 4.22 : 1ère Configuration de réseau d'adaptation avec  $C=1.5\text{pF}$**

Ainsi, la seule inconnue dans ce montage est l'impédance du 'bonding'. D'après les résultats de mesure, nous recréons le même résultat en simulation avec l'aide de l'outil ADS. Ainsi, nous trouvons le modèle de l'impédance de 'bonding', montré dans la figure 4.23.



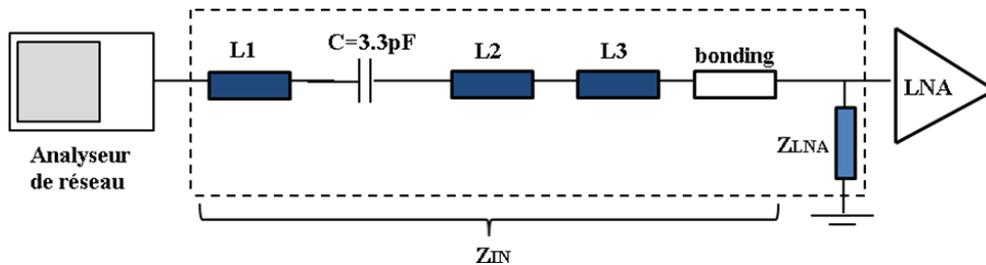
**Figure 4.23 : Modèle de l'impédance de 'bonding' effectué à l'aide de l'outil ADS**

Nous présentons le résultat de mesure et de simulation du paramètre  $S_{11}$  (Abaque de Smith) dans la figure 4.24. Nous pouvons noter leur similarité. La différence est le décalage de fréquences.



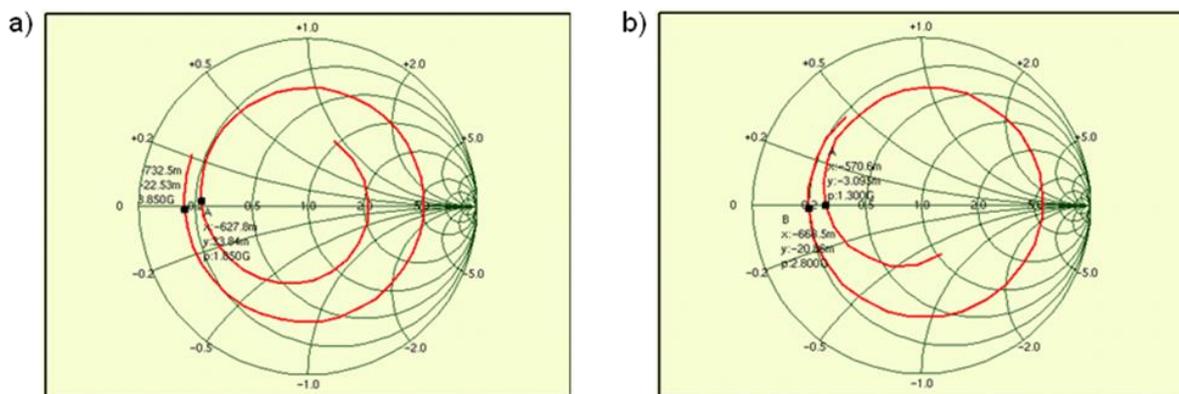
**Figure 4.24 : Paramètre  $S_{11}$  obtenu en : a) mesure, b) simulation**

Finalement, nous trouvons le réseau d'adaptation nécessaire du circuit. La fréquence ciblée est de 1.8GHz (WCDMA). Sachant qu'initialement le récepteur présente une impédance très basse ( $Z_{LNA}=20\Omega$  différentiel) et purement résistive, nous ajoutons une capacité en série pour annuler la partie inductive du 'bonding'. Sa valeur est de 3.3pF. La figure 4.25 montre le réseau d'adaptation de cette nouvelle configuration.



**Figure 4.25 : 2ème Configuration de réseau d'adaptation avec C=3.3pF**

Nous présentons dans la figure 4.26 les résultats de simulation et de mesure du paramètre  $S_{11}$  de cette nouvelle configuration.



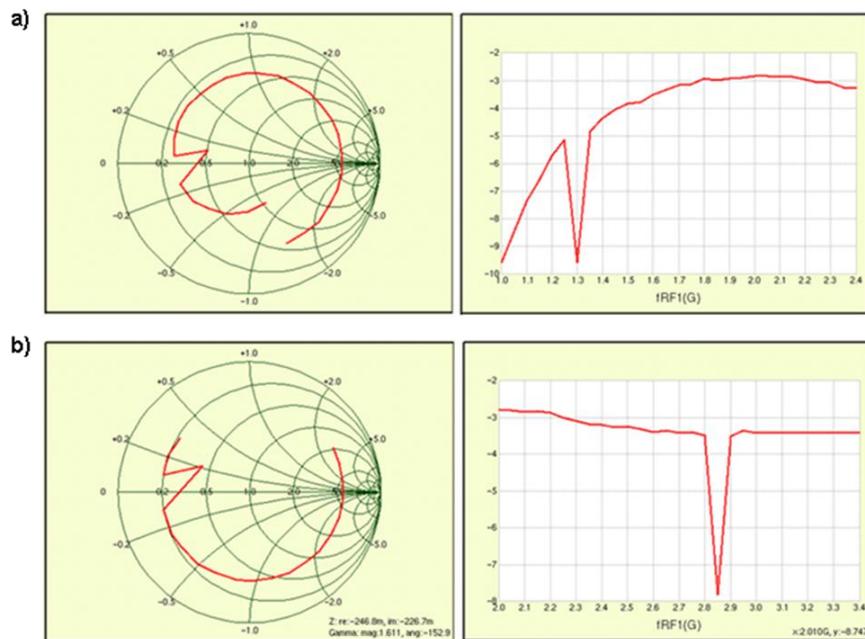
**Figure 4.26 : Paramètre  $S_{11}$  obtenu en : a) simulation, b) mesure**

Nous observons, dans les résultats de simulation (figure 4.26.a), que la partie imaginaire de l'impédance d'entrée est nulle pour les fréquences 1.8GHz et 3.85GHz. Par ailleurs, les résultats de mesure (figure 4.26.b), montre l'annulation de la partie imaginaire pour les fréquences de 1.3GHz et 2.85GHz. Nous remarquons le décalage en fréquences entre la simulation et la mesure. Finalement, le test du récepteur est effectué principalement autour de ces deux fréquences ( $F_{LO}=1.3GHz$  et  $F_{LO}=2.85GHz$ ). Une autre fréquence est aussi utilisée pour le test et la validation :  $F_{LO}=1.8GHz$  (fréquence pour laquelle le système présente de meilleures performances en simulation). Les résultats sont montrés dans la partie suivante.

### 4.3.3 Test du récepteur

Une fois le circuit d'adaptation trouvé, nous présentons le test du récepteur.

Le déphasage entre les deux fréquences LO n'est pas facile à manipuler, car il y a beaucoup de perturbation entre les 2 signaux qui l'alimentent, provenant des générateurs. Au vu de cette situation, nous avons effectué des mesures avec l'analyseur de réseau dans un premier temps. Le but est de constater que l'adaptation d'impédances est optimale et que le choix de la phase et la résistance de contre-réaction ( $R_{VAR}$ ) sont corrects. Le multimètre indique la tension DC du déphasage ( $\Delta\phi$ ) entre les deux fréquences LO (notée par  $M_{DC}$  à la sortie du comparateur de phase). La figure 4.27 montre comme exemple le paramètre  $S_{11}$  quand le récepteur est correctement adapté à la fréquence de 1.3GHz et de 2.85GHz.



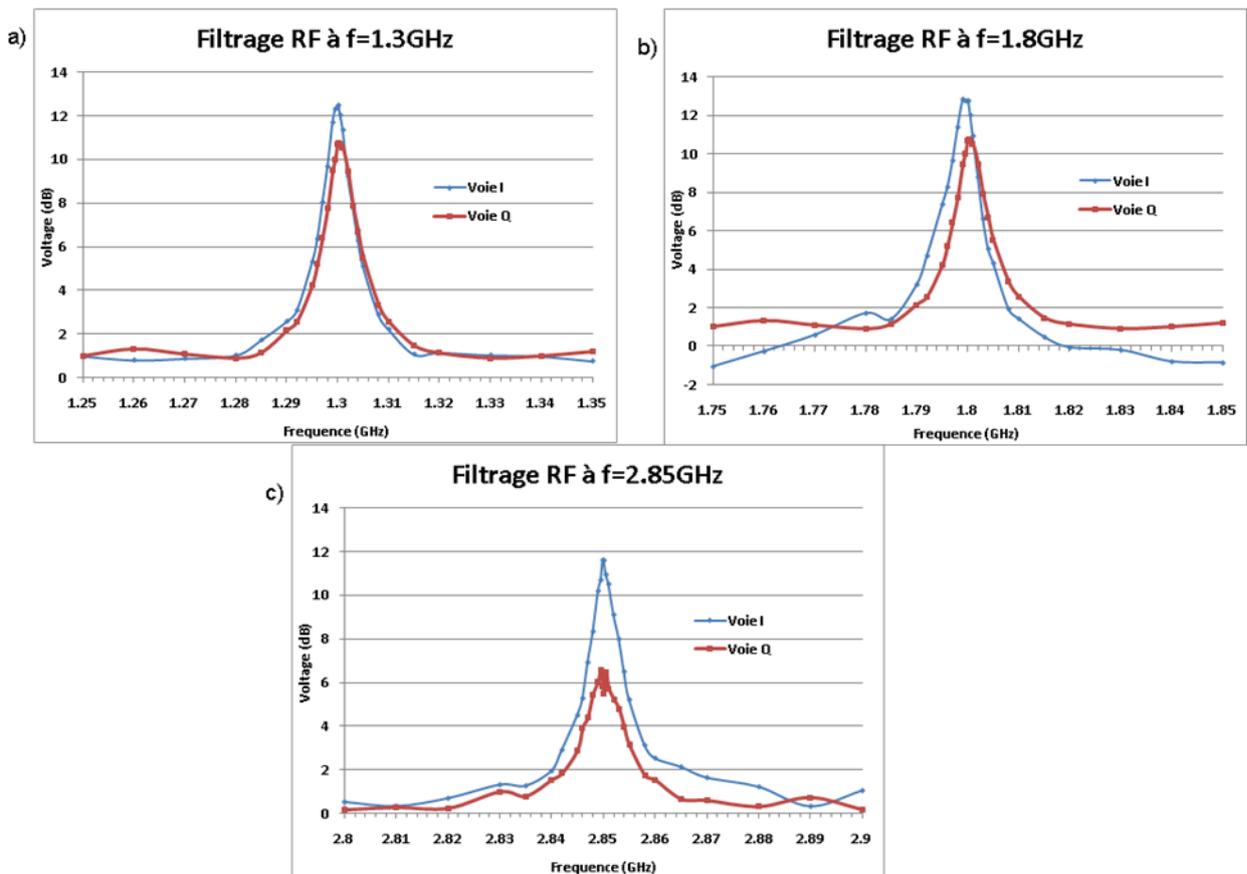
**Figure 4.27 : Mesure du paramètre  $S_{11}$  – Adaptation a) 1.3GHz, b) 2.85GHz**

Les paramètres de  $R_{VAR}$  et  $M_{DC}$  sont donc indiqués pour chaque mesure à la fréquence testée :

- a)  $F_{LO}=1.3\text{GHz}$  :  $R_{FPB}=3.52\text{K}\Omega$ ,  $R_{VAR}=2.84\text{K}\Omega$  et  $M_{DC}=0.005\text{volt}$  ( $\Delta\phi\approx 0^\circ$ )
- b)  $F_{LO}=1.8\text{GHz}$  :  $R_{FPB}=3.52\text{K}\Omega$ ,  $R_{VAR}=3.52\text{K}\Omega$  et  $M_{DC}=0.008\text{volt}$  ( $\Delta\phi\approx 10^\circ$ )
- c)  $F_{LO}=2.85\text{GHz}$  :  $R_{FPB}=3.52\text{K}\Omega$ ,  $R_{VAR}=3.6\text{K}\Omega$  et  $M_{DC}=0.036\text{volt}$  ( $\Delta\phi\approx 40^\circ$ )

## A. Filtrage RF

Ce test fait la comparaison entre les deux gains du récepteur. Le premier est le gain quand la contre-réaction est active, c'est-à-dire, quand la boucle augmente le gain uniquement dans la bande RF autour de la fréquence LO. Le deuxième est le gain sans effet de contre-réaction, où tous les signaux sont atténués. Le rapport entre les deux, transposé en RF, est le filtrage des signaux bloqueurs obtenu grâce au fonctionnement de la contre-réaction positive. La figure 4.28 montre les résultats obtenus aux trois différentes fréquences :



**Figure 4.28 : Filtrage RF à : a)  $F_{LO}=1.3\text{GHz}$ , b)  $F_{LO}=1.8\text{GHz}$ , c)  $F_{LO}=2.85\text{GHz}$**

Nous observons que le filtrage RF est d'environ 12dB pour la voie I et de 11dB pour la voie Q autour des fréquences de 1.3GHz et 1.8GHz. Pour la fréquence de 2.85GHz ce filtrage est d'environ 12dB pour la voie I et de 6dB pour la voie Q. Le grand écart existant entre le gain des deux voies, pour ce dernier cas, est la différence du rapport cyclique qui existe entre les deux horloges. C'est-à-dire qu'à cette fréquence (2.85GHz,) le décalage entre les deux signaux d'horloges est plus accentué qu'aux fréquences plus basses (problème lié au design du circuit de quadrature).

## B. Gain en bande de base

Le gain en bande de base est mesuré uniquement pour la voie I pour toutes les fréquences LO. La figure 4.29 montre les résultats obtenus du gain sans et avec la contre-réaction. A la différence du premier test, les résultats sont pris à la sortie du récepteur (après le filtre passe bas), c'est-à-dire  $F_{BB}=F_{RF}-F_{LO}$ .

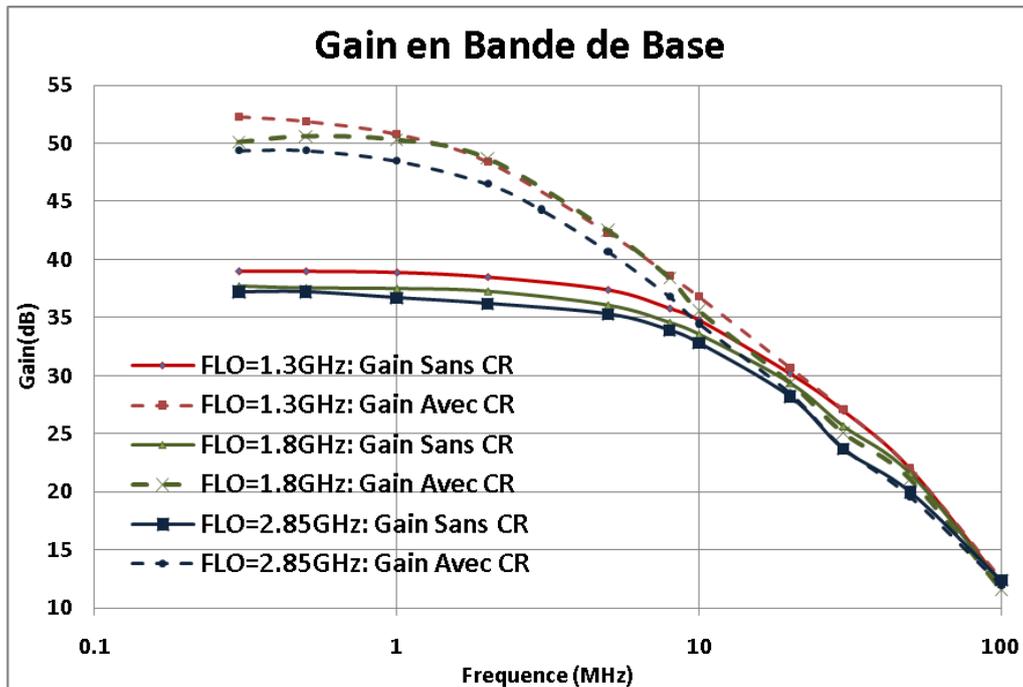


Figure 4.29 : Gain du récepteur en bande de base

Nous pouvons observer que lorsque la contre-réaction est active, le gain est d'environ 50dB avec une fréquence de coupure de  $\sim 2$ MHz aux trois fréquences testées. Sans contre-réaction, le gain descend à 37dB avec une fréquence de coupure d'environ 8MHz. Nous pouvons remarquer l'augmentation du gain dans la bande grâce à la boucle de contre-réaction ainsi que sa sélectivité transposée en basse fréquences (expliqué dans la section 4.2.2.C, figure 4.10).

## C. Facteur de Bruit

Le bruit en bande de base est aussi mesuré uniquement avec la contre-réaction, autour des trois différentes fréquences : 1.3GHz, 1.8GHz et 2.85GHz.

L'équation du facteur de bruit est donnée par :

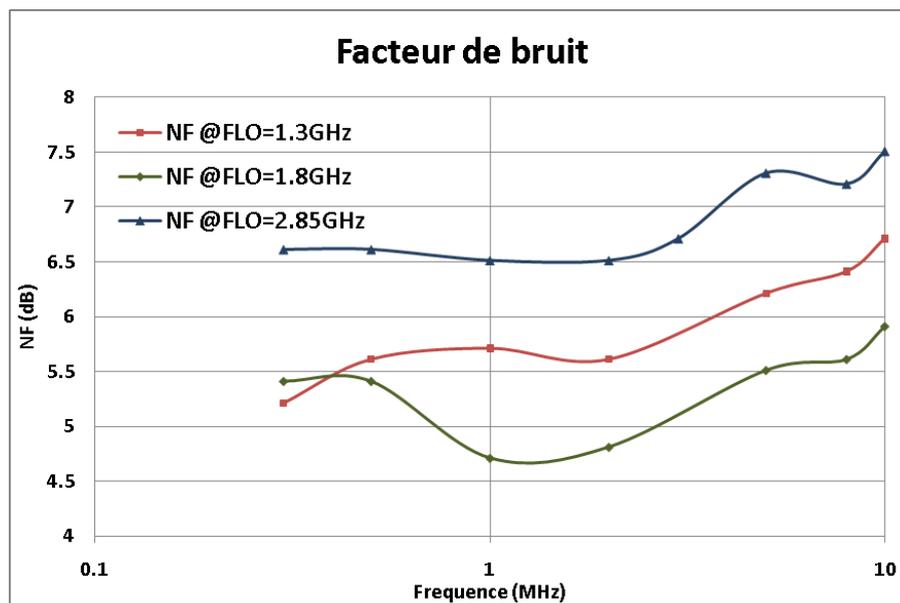
$$NF = \frac{P_{IN} / N_{IN}}{P_{OUT} / N_{OUT}} \quad 4.18$$

En mesure, le calcul du facteur de bruit en dB est réalisé de la manière suivante :

$$NF = P_{IN} (dBm) - N_{IN} (dBm) - (P_{OUT} (dBm) - N_{OUT} (dBm)) - 3dB \quad 4.19$$

Où  $P_{IN}$  et  $P_{OUT}$ ,  $N_{IN}$  et  $N_{OUT}$  sont les puissances du signal et de bruit mesurés en entrée et en sortie respectivement. Le facteur de  $-3dB$  est inclus dans l'équation pour compenser l'effet du bruit de la bande occupée par la fréquence image, qui s'ajoute au bruit de la bande mesurée.

Nous pouvons observer les résultats en figure 4.30.



**Figure 4.30 : Facteur de bruit**

Le récepteur présente un facteur de bruit minimal de 4.7dB pour la fréquence de 1.8GHz et maximal de 6.5dB pour la fréquence de 2.85GHz dans la bande utile ( $f_c=2MHz$ ). Ce facteur de bruit est de 5.6dB en moyenne pour la fréquence de 1.3GHz. Nous remarquons aussi que le facteur de bruit est plus grand à la fréquence de 2.85GHz ( $NF=6.5dB$  en moyenne). Cette dégradation provient de l'adaptation imparfaite à cette fréquence ( $S_{11}=-8dB$ ).

## D. Linéarité

L'IIP3 et le point de compression à 1dB ( $PoC_{1dB}$ ) sont calculés d'après les mesures du récepteur uniquement autour des fréquences de 1.3GHz et 1.8GHz. Le test de linéarité ne peut pas s'effectuer à la fréquence de 2.85GHz, car le générateur des signaux utilisé pour générer deux tons est limité à 2.4GHz.

Le test est aussi effectué sans et avec l'effet de la contre-réaction. La figure 4.31 montre les courbes pour deux différents 'test cases' « *in-band* » où l'intermodulation d'ordre 3 (IM3) est mesurée à différents puissances d'entrée.

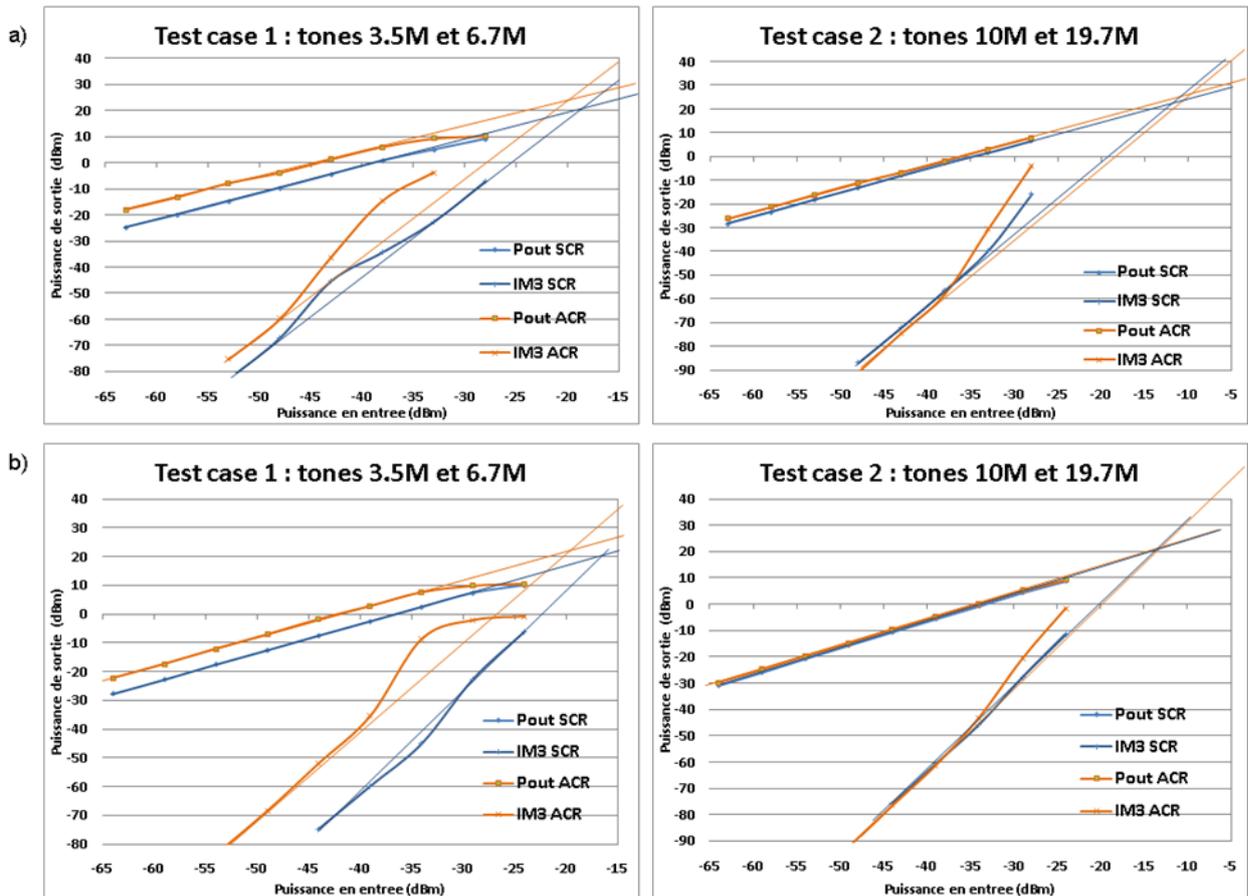


Figure 4.31 : 'Test case' de linéarité « *in-band* » a)  $F_{LO}=1.3\text{GHz}$ , b)  $F_{LO}=1.8\text{GHz}$

L'IIP3 et le Point de Compression à 1dB ( $PoC_{1dB}$ ), d'après la figure, sont trouvés et résumés dans le tableau 4.4.

Fréquence	Test Case	IIP3 (dBm)/Gain (dB)		$PoC_{1dB}$ (IN, OUT) (dBm)	
		Sans CR	Avec CR	Sans CR	Avec CR
$F_{LO}=1.3\text{GHz}$	TC1 (3.5M et 6.7M)	-18 / 39	-21 / 52	-26, +10	-33, +10
	TC2 (10M et 19.7M)	-12 / 39	-9 / 52	-24, +10	-26, +10
$F_{LO}=1.8\text{GHz}$	TC1 (3.5M et 6.7M)	-17 / 37	-21 / 50	-24, +10	-30, +10
	TC2 (10M et 19.7M)	-13.5 / 37	-13 / 50	-22, +10	-22, +10

Tableau 4.4 : IIP3 et  $PoC_{1dB}$  « *in-band* »

Dans le premier 'test case' (TC1), aux deux fréquences LO testées, le récepteur présente un meilleur IIP3 et un gain moins élevé quand la boucle n'est pas activée. Autrement, la

chaîne de réception dans le deuxième ‘test case’ (TC2) présente des meilleures performances en IIP3 quand la boucle de contre-réaction fonctionne. Ainsi, avec un gain de 12dB plus élevé, le système comporte une meilleure réjection pour les signaux bloqueurs. Le point de compression 1dB vérifie l’augmentation du gain quand la boucle est active.

Nous effectuons aussi le ‘test case’ « *out-of-band* » pour calculer l’IIP3. Le tableau 4.5 montre les résultats obtenus.

Fréquence	Test Case	IIP3 / Gain (SCR)	IIP3 / Gain (ACR)
<b>F<sub>LO</sub>=1.3GHz</b>	<b>TC3 : P<sub>1</sub>=-45dBm @ f<sub>1</sub>=22.5MHz P<sub>2</sub>=-29dBm @ f<sub>2</sub>=44.7MHz</b>	-9.6dBm / 39dB	-6.2dBm / 52dB
	<b>TC4 : P<sub>1</sub>=-29dBm @ f<sub>1</sub>=45MHz P<sub>2</sub>=-53dBm @ f<sub>2</sub>=89.7MHz</b>	-7.2dBm / 39dB	-4.8dBm / 52dB
<b>F<sub>LO</sub>=1.8GHz</b>	<b>TC3 : P<sub>1</sub>=-45dBm @ f<sub>1</sub>=22.5MHz P<sub>2</sub>=-29dBm @ f<sub>2</sub>=44.7MHz</b>	-8.3dBm / 37dB	-4.2dBm / 50dB
	<b>TC4 : P<sub>1</sub>=-29dBm @ f<sub>1</sub>=45MHz P<sub>2</sub>=-53dBm @ f<sub>2</sub>=89.7MHz</b>	-6.5dBm / 37dB	-3.7dBm / 50dB

**Tableau 4.5 : IIP3 ‘test case’ « *out-of-band* »**

Le récepteur montre, pour les deux ‘test case’ (TC3 et TC4), un meilleur IIP3 « *out-of-band* » pour un gain plus élevé quand la contre-réaction positive est mise en ‘ON’.

Pour résumer, l’IIP3 « *in-band* » du récepteur est d’environ -21dBm d’après les résultats de mesure (TC1). Nous utilisons un LNA large bande qui a le même IIP3 quoique soit les tons testés dans toute sa bande de fonctionnement (même pour les signaux hors bande). Le LNA fixe l’IIP3 du récepteur. Le résultat du test d’IIP3 « *out-of-band* » quand la boucle de contre-réaction est active (TC4), d’environ -4dBm, fait supposer que le LNA, et par conséquence la chaîne de réception, améliore sa linéarité en 17dB grâce à la contre-réaction.

Pour l’obtention de l’IIP2, un seul ‘test case’ autour de la fréquence de 1.3GHz est réalisée avec la contre-réaction activée. Les deux tons utilisées sont : f<sub>1</sub>=1.4GHz et f<sub>2</sub>=1.4003GHz à différents puissances, résumés dans le tableau 4.6.

<b>P<sub>1</sub> (dBm)</b>	<b>P<sub>2</sub> (dBm)</b>	<b>IIP2 (dBm)</b>
-43	-43	39.5
-33	-33	41
-23	-23	42.8

**Tableau 4.6 : ‘Test case’ IIP2**

L’IIP2 mesuré est donc : IIP2=+40dB.

Les résultats de mesure sont similaires aux résultats de simulation. Le récepteur fonctionne pour les 3 fréquences très éloignées l’une de l’autre, avec plus ou moins les mêmes caractéristiques. Nous pouvons donc supposer que la chaîne de réception fonctionne de manière similaire dans toute la gamme de fréquences : 1.3-2.85GHz.

Nous présentons dans le tableau 4.7 un résumé des principales caractéristiques du récepteur.

<b>Technologie</b>	CMOS 65nm
<b>Fréquence RX</b>	1.3 – 2.85GHz
<b>BW@3dB</b>	4MHz (variable)
<b>Gain</b>	48 – 52dB
<b>S<sub>11</sub></b>	<-10dB
<b>NF</b>	4.7-6.5dB
<b>Puissance</b>	30mW (V <sub>DD</sub> =1.2V)
<b>IIP3<sub>IN-BAND</sub></b>	-21dBm
<b>IIP3<sub>OUT-OF-BAND</sub></b>	-4.8dBm (1.3GHz) -3.7dBm (1.8GHz)
<b>IIP2</b>	+40dB
<b>Atténuation des signaux bloqueurs</b>	12dB@20MHz de F <sub>LO</sub>
<b>Area</b>	0.18mm <sup>2</sup>

**Tableau 4.7 : Caractéristiques du prototype**

En comparaison des circuits présentés dans l'état de l'art (Tableau 2.5), ce système de réception est large bande et filtre les signaux bloqueurs dès l'entrée du LNA. Pour un meilleur gain, le facteur de bruit et la linéarité sont comparables. Le récepteur consomme moins de courant et la surface est plus petite.

En conclusion, le récepteur à contre-réaction positive améliore l'IIP3 du LNA de  $\sim 17$ dB pour les signaux hors bande quand la boucle fonctionne. Le système travaille dans une gamme de fréquences très large, qui est limitée par l'effet de '*bonding*' du packaging. Nous pouvons remarquer aussi le bon filtrage RF, de 12dB à 20MHz du signal désiré, à l'entrée du LNA.

Le facteur de bruit est critique à certaines fréquences LO ( $NF=6.5$ dB pour  $F_{LO}=2.85$ GHz). Ceci est une des limitations de l'architecture à contre-réaction positive qui sera analysée en détail dans le chapitre suivant.

## **Chapitre 5 :**

# **LIMITATIONS DU RECEPTEUR A CONTRE- REACTION POSITIVE**

Le premier prototype de récepteur à contre-réaction positive, en utilisant la technique de transposition de fréquences, a été fabriqué. Il présente des avantages par rapport à un récepteur conventionnel, mais il révèle aussi quelques inconvénients.

Dans ce chapitre nous discuterons trois limitations majeures du récepteur : 1) besoin d'un déphasage externe entre les deux LO, 2) limitation actuelle des performances en bruit et 3) rejection encore insuffisante pour remplacer complètement le filtre SAW.

Le chapitre est donc divisé en trois parties : dans chaque section, nous allons faire une analyse de chaque problème et nous allons proposer des solutions possibles ou des voies de recherche afin de rendre cette nouvelle architecture de récepteur plus robuste.

## 5.1 Déphasage entre les deux LO

Le déphasage entre les deux LO ( $\Delta\phi$ ) a été implémenté de manière externe dans ce premier prototype. Ce déphasage ainsi que la valeur du gain de la boucle de contre-réaction ( $R_{VAR}$ ) sont réglés avant chaque mesure pour assurer le fonctionnement du récepteur (stabilité et bonne réjection). Le tableau 5.1 montre un résumé des valeurs utilisées en mesure de ces deux variables à chaque fréquence LO.

	$R_{VAR}$	$\Delta\phi$
$F_{LO}=1.3GHz$	2.84K $\Omega$	$\approx 0^\circ$
$F_{LO}=1.8GHz$	3.52K $\Omega$	$\approx 10^\circ$
$F_{LO}=2.85GHz$	3.6K $\Omega$	$\approx 40^\circ$

**Tableau 5.1 : Résumé des valeurs de  $R_{VAR}$  et  $\Delta\phi$  utilisées en mesure à chaque  $F_{LO}$**

De manière plus précise nous pouvons vérifier aussi en simulation le calibrage du récepteur avec les valeurs correctes de  $R_{VAR}$  et  $\Delta\phi$  à deux fréquences LO. Le tableau 5.2 montre les valeurs utilisées de ces deux variables.

	$R_{VAR}$	$\Delta\phi$
$F_{LO}=1.8GHz$	4.72K $\Omega$	23.8 $^\circ$
$F_{LO}=2.5GHz$	4.32K $\Omega$	43.7 $^\circ$

**Tableau 5.2 : Résumé des valeurs de  $R_{VAR}$  et  $\Delta\phi$  utilisées en simulation à chaque  $F_{LO}$**

L'objectif est de faire un système complètement intégré. Pour passer de la phase prototype à la phase solution, il faut trouver une alternative pour éliminer donc le réglage de la phase (qui est externe dans ce prototype). Pour cela, une analyse de la phase dans la chaîne de réception est effectuée en simulation.

Tout d'abord, la phase est étudiée en fonction de 3 variables : 1) La fréquence LO, 2) la température et 3) les variations technologiques. Dans un deuxième temps, nous allons analyser les principaux blocs qui contribuent au déphasage du récepteur.

## A. Variation de phase en fonction de la fréquence LO

Nous analysons la phase du signal d'entrée ( $V_{IN}$ ) et le courant de contre-réaction ( $I_{FB}$ ). Dans ce premier cas, nous utilisons un système idéal, figure 5.1. Le signal de référence est le port  $V_{IN}$ , dont sa phase est de  $0^\circ$  et son impédance est de  $100\Omega$  différentiel.

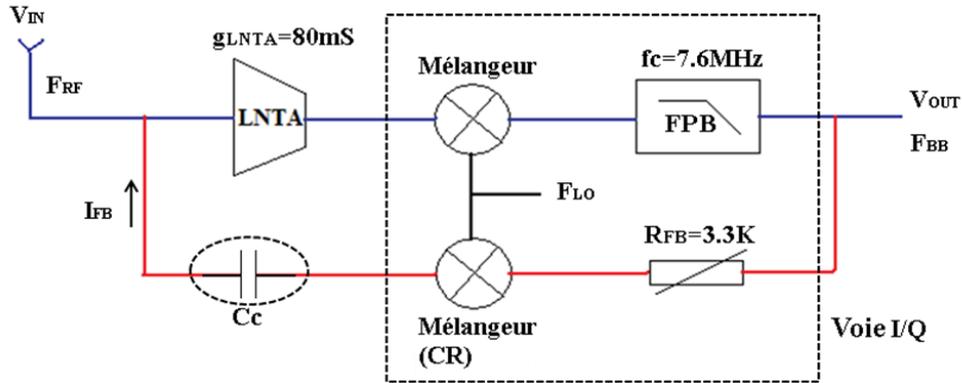


Figure 5.1 : Schéma bloc du récepteur à CR+ idéal

Les paramètres de chaque bloc restent constants à chaque simulation ( $Z_{LNA}=20\Omega$  (résistif),  $g_{LNTA}=80mS$ ,  $f_c=7.6MHz$ ,  $R_{FB}=3.3K\Omega$ ). Dans cette première analyse, la valeur de la capacité de couplage ( $C_c$ ) est très grande (court circuit à fréquences élevées).

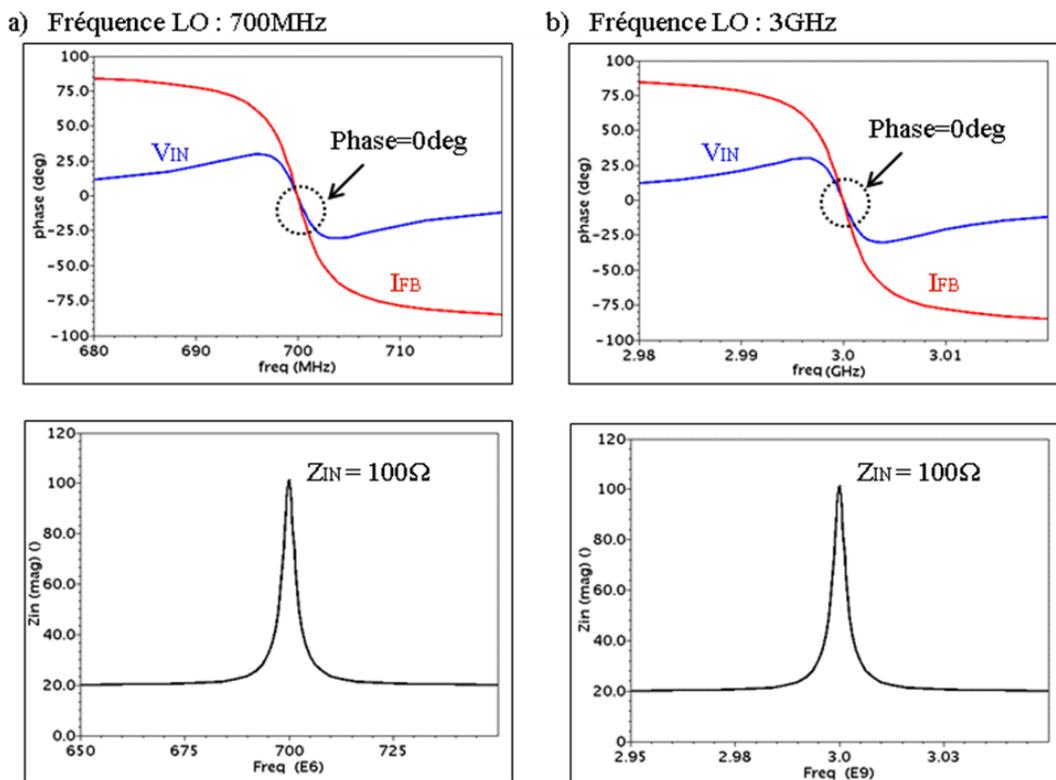


Figure 5.2 : Phases de  $V_{IN}$  -  $I_{FB}$  et  $Z_{IN}$  à a)  $F_{LO}=700MHz$  et b)  $F_{LO}=3GHz$

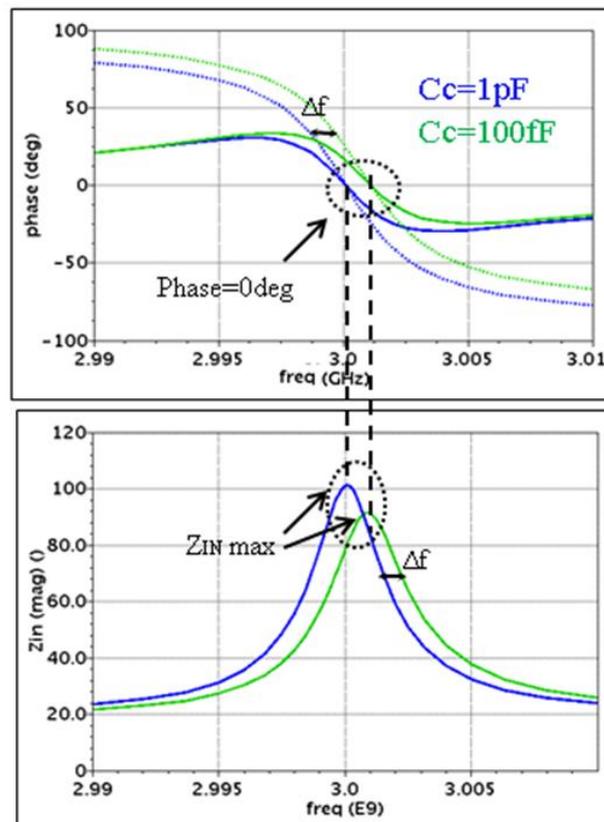
Nous effectuons la simulation avec Spectre afin d'observer le comportement des phases des deux signaux ( $V_{IN}$  et  $I_{FB}$ ) à deux fréquences LO différentes (700MHz et 3GHz). Nous traçons aussi la courbe de l'amplitude de l'impédance d'entrée ( $Z_{IN}$ ), voir figure 5.2.

La phase de  $V_{IN}$  et  $I_{FB}$  reste constante aux deux fréquences simulées. Nous pouvons remarquer que les deux courbes se croisent au point ( $F_{LO}$ ,  $0^\circ$ ), précisément quand l'impédance atteint sa valeur maximale. Cela signifie que l'impédance d'entrée obtient sa valeur maximale quand elle est purement résistive (vu que  $Z_{LNA}$  et  $Z_{FB}=V_{IN}/I_{FB}$  sont résistives).

Nous pouvons observer que l'amplitude de l'impédance d'entrée ne souffre d'aucune variation quelle que soit la fréquence LO. Elle maintient toujours sa même valeur de  $100\Omega$ .

Le récepteur reste désadapté aux fréquences éloignées de  $F_{LO}$ . Nous remarquons que le déphasage entre  $V_{IN}$  et  $I_{FB}$  augmente avec l'écart de fréquences.

En conclusion, la fréquence LO n'affecte pas la phase du système. L'adaptation doit se réaliser lorsque l'impédance est maximale, c'est-à-dire, quand elle est purement résistive (phase entre  $V_{IN}$  et  $I_{FB}$  égal à  $0^\circ$ ).



**Figure 5.3 : Effet de la capacité  $C_c$  sur les phases  $V_{IN}$  -  $I_{FB}$  et  $Z_{IN}$**

Afin de clarifier cette dernière hypothèse, nous allons faire une deuxième simulation du

même système en faisant varier la capacité  $C_c$  (Simulation effectuée à  $F_{LO}=3\text{GHz}$  pour deux valeurs différentes de  $C_c$ )

Nous pouvons observer l'effet de la capacité  $C_c$  sur les signaux RF dans la figure 5.3. Les courbes sont décalées d'une valeur  $\Delta f$ , qui est inversement proportionnelle à la valeur de  $C_c$ . L'impédance d'entrée atteint sa valeur maximale à la fréquence  $F_{LO}+\Delta f$  (impédance purement résistive), mais sa valeur maximale est réduite à cause de la partie imaginaire ajoutée.

L'adaptation d'impédances doit donc se réaliser impérativement à la fréquence LO ( $\Delta f \rightarrow 0$ ). Ainsi, nous devons choisir une valeur suffisamment élevée pour  $C_c$  ( $C_c \geq 1\text{pF}$ ). Dans le prototype développé la capacité  $C_c$  a une valeur de  $2\text{pF}$ , qui n'intervient pas de manière importante dans le déphasage du système.

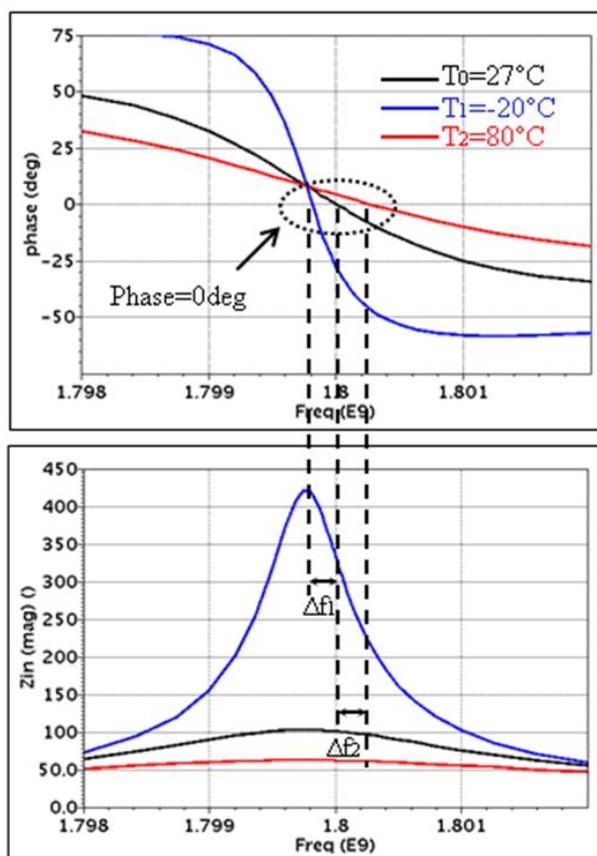
## **B. Influence de la température T**

Dans cette section nous allons étudier l'effet de la température sur le récepteur. Le système à contre-réaction positive (schéma de la figure 4.1) est simulé à trois températures différentes ( $T_0=27^\circ\text{C}$  (nominal),  $T_1=-20^\circ\text{C}$  et  $T_2=80^\circ\text{C}$ ) et à une seule fréquence  $F_{LO}=1.8\text{GHz}$ . Le contrôle de gain et le contrôle de phase sont fixés de la manière suivante à chaque simulation (Tableau 5.2,  $F_{LO}=1.8\text{GHz}$ ) :  $R_{VAR}=4.72\text{K}\Omega$  et  $\Delta\phi=23.8^\circ$ .

L'amplitude et la phase de l'impédance d'entrée sont ainsi tracées, figure 5.4.

Nous pouvons observer qu'à température nominale le circuit est parfaitement adapté ( $Z_{IN}=100\Omega$ ) à  $F_{LO}$ . La phase de  $Z_{IN}$  à  $F_{LO}$  est  $0^\circ$  à  $T=27^\circ\text{C}$ .

Aux autres températures, l'amplitude de l'impédance d'entrée change de manière importante ( $T_1=-20^\circ\text{C}$  :  $Z_{IN1}(F_{LO})=420\Omega$  et  $T_2=80^\circ\text{C}$  :  $Z_{IN2}(F_{LO})=62\Omega$ ). La phase souffre d'une variation importante de  $-27^\circ$  à  $T_1=-20^\circ\text{C}$ . A  $T_2=80^\circ\text{C}$  la phase varie de seulement  $4.2^\circ$ . Ainsi, à différentes températures le récepteur atteint sa valeur maximale à  $F_{LO}\pm\Delta f$ , où  $\Delta f_1=180\text{KHz}$  à  $T_1=-20^\circ\text{C}$  et  $\Delta f_2=240\text{KHz}$  à  $T_2=80^\circ\text{C}$ .



**Figure 5.4 : Comportement de  $Z_{IN}$  (phase et amplitude) en fonction de la température T**

En effet l'expression de l'impédance d'entrée à  $F_{LO}$  en fonction de la température est donnée par :

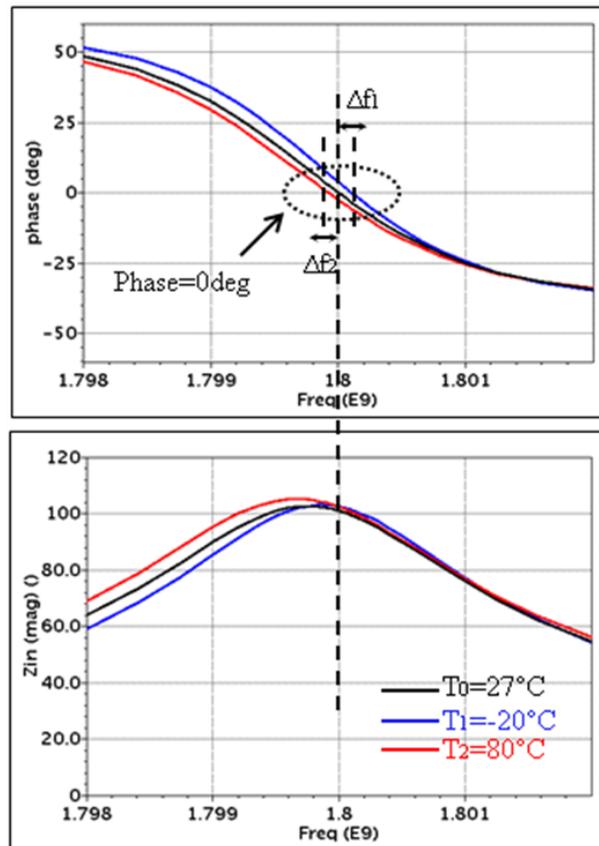
$$Z_{IN}(T) = \frac{Z_{LNA}(T)}{1 - \frac{g_{LNTA}(T) * R_{FIL}(T)}{R_{VAR}(T)}} \quad 5.1$$

Où les valeurs de tous les éléments qui font partie de l'équation 5.1 dépendent de la température. Les termes de l'équation qui présentent une partie complexe ( $phase \neq 0^\circ$ ) sont les composants liés au LNTA ( $Z_{LNA}$ ,  $g_{LNTA}$ ). Ainsi, la température peut aussi changer leurs phases.

Nous faisons une hypothèse : Si la variation de phase des paramètres du LNTA est négligeable par rapport à la température, nous pourrions adapter le récepteur en faisant uniquement varier la résistance de contre-réaction  $R_{VAR}$ .

Une deuxième simulation de la chaîne de réception est donc effectuée, figure 5.5. La phase entre les deux LO reste constante ( $\Delta\phi = 23.8^\circ$ ) et nous calibrons uniquement la résistance de contre-réaction. Nous trouvons la bonne valeur de  $R_{VAR}$  afin d'adapter le récepteur aux

deux différentes températures :  $R_{VAR1}=5.56K\Omega$  à  $T_1=-20^\circ C$  et  $R_{VAR2}=3.76K\Omega$  à  $T_2=80^\circ C$ .



**Figure 5.5 : Calibration de  $Z_{IN}$  à deux températures en utilisant le contrôle de gain  $R_{VAR}$**

Conformément à notre hypothèse, le circuit devient adapté en ajustant uniquement la valeur de  $R_{VAR}$ . L'amplitude de  $Z_{IN}$  reste à  $100\Omega$  à  $F_{LO}$  alors que sa phase s'approche plus de  $0^\circ$  aux deux températures testées ( $3.8^\circ$  et  $-2.5^\circ$  à  $T_1$  et  $T_2$  respectivement). Ainsi  $\Delta f$  devient plus petit :  $\Delta f_1=110KHz$  à  $T_1=-20^\circ C$  et  $\Delta f_2=80KHz$  à  $T_2=80^\circ C$ .

En conclusion, la température affecte légèrement la phase du système à contre-réaction positive (c'est le gain qui est affecté de manière importante). Cette variation de phase dans le récepteur peut être contrôlée en calibrant de manière appropriée le contrôle de gain dans la contre-réaction ( $R_{VAR}$ ).

Dans un récepteur GSM où la largeur de bande du canal est de  $200KHz$ ,  $\Delta f$  est critique, mais pour les standards WCDMA ou LTE, où la largeur de bande du canal est de l'ordre des MHz, ce  $\Delta f$  peut être négligé.

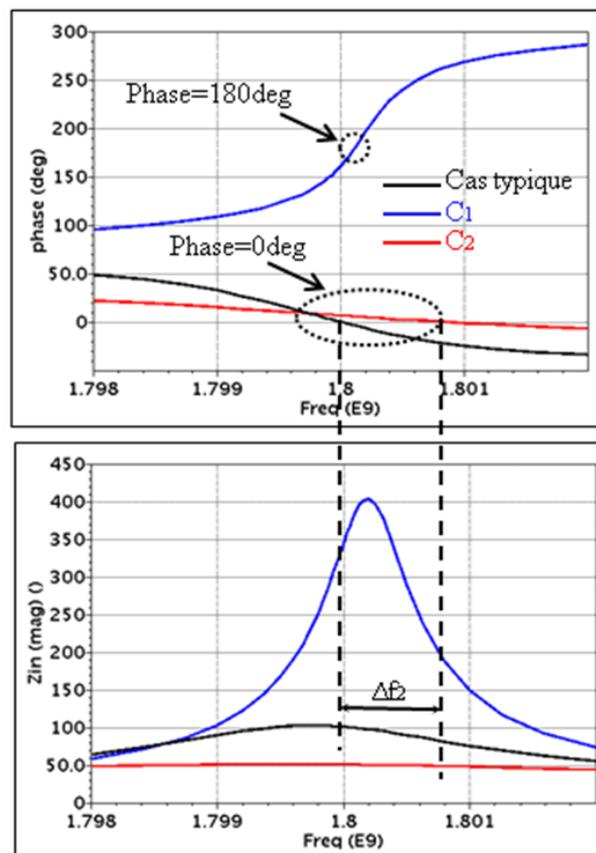
## C. Influence des variations technologiques

En plus des variations étudiées aux sections précédentes, le récepteur est aussi sensible aux tolérances des composants et à la tension d'alimentation ( $V_{DD}$ ).

Deux cas extrêmes ont été envisagés :

- 1) Cas 1 :  $T_1 = -20^\circ\text{C}$ ,  $V_{DD1} = 1.32\text{V}$ , "corner" du procès : FFA ('fast NMOS' et 'fast PMOS')
- 2) Cas 2 :  $T_2 = 80^\circ\text{C}$ ,  $V_{DD2} = 1.08\text{V}$ , "corner" du procès: SSA ('slow NMOS' et 'slow PMOS' –  $V_T$  max et capa max)

La figure 5.6 montre les résultats de simulation de l'amplitude et de la phase de  $Z_{IN}$  à  $F_{LO} = 1.8\text{GHz}$  pour un cas typique ( $T_0 = 27^\circ\text{C}$ ,  $V_{DD0} = 1.2\text{V}$ , fonctionnement typique du transistor) et pour les deux cas mentionnés. Le contrôle de gain et le contrôle de phase du récepteur sont établis comme suit à chaque simulation :  $R_{VAR} = 4.72\text{K}\Omega$  et  $\Delta\phi = 23.8^\circ$ .



**Figure 5.6 : Comportement de  $Z_{IN}$  (phase et amplitude) en fonction des variations technologiques**

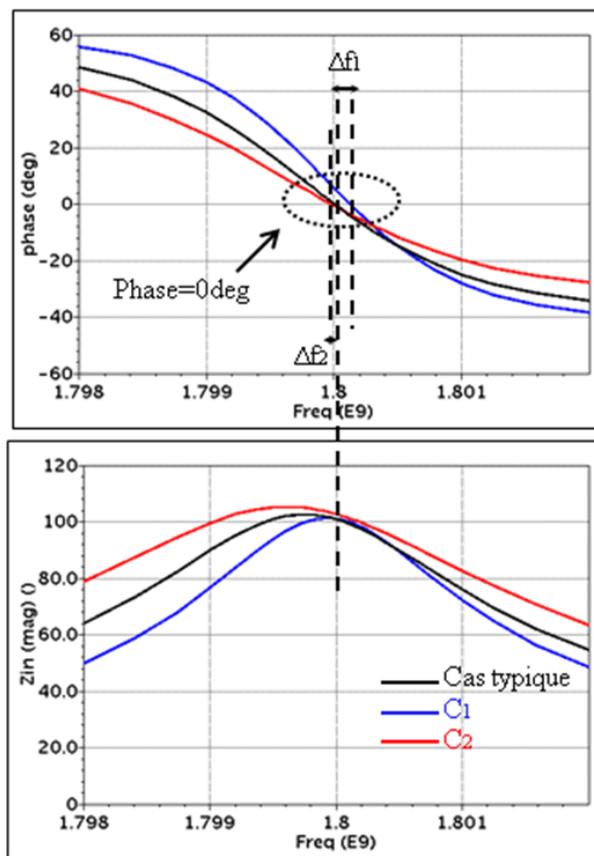
Nous pouvons observer qu'autant l'amplitude et la phase de  $Z_{IN}$  souffrent d'une

variation importante dans les deux cas, C1 :  $Z_{IN1}(F_{LO})=403\Omega$ ,  $phase_1(F_{LO})=160^\circ$  et C2 :  $Z_{IN2}(F_{LO})=50\Omega$ ,  $phase_1(F_{LO})=6.5^\circ$ .

Dans le premier cas, la phase de  $Z_{IN}$  a changé complètement (sens inversé). Cela fait supposer que la boucle de contre-réaction est trop positive et change la phase de  $Z_{IN}=V_{IN}/I_{FB}$  en  $180^\circ$ .

Nous pouvons noter le décalage en fréquences du deuxième cas,  $\Delta f_2=840\text{KHz}$ .

De la même forme que la section précédente, nous adaptons le récepteur en faisant varier uniquement  $R_{VAR}$  (figure 5.7). Elle est calibrée de la façon suivante :  $R_{VAR1}=6.76\text{K}\Omega$  pour C1 et  $R_{VAR2}=3.4\text{K}\Omega$  pour C2.



**Figure 5.7 : Calibration de  $Z_{IN}$  en ajustant  $R_{VAR}$  aux deux types de processus**

Nous pouvons observer que l'adaptation de la chaîne de réception est possible dans les deux cas en ajustant uniquement la valeur de  $R_{VAR}$ . Pour le premier cas, la nouvelle phase à  $F_{LO}$  est de  $5.8^\circ$  pendant que dans le deuxième cas, la phase est presque  $0^\circ$ . ( $-0.5^\circ$ ). La valeur de  $\Delta f$  est donc :  $\Delta f_1=130\text{KHz}$  pour  $C_1$  et  $\Delta f_2=20\text{KHz}$  pour  $C_2$ .

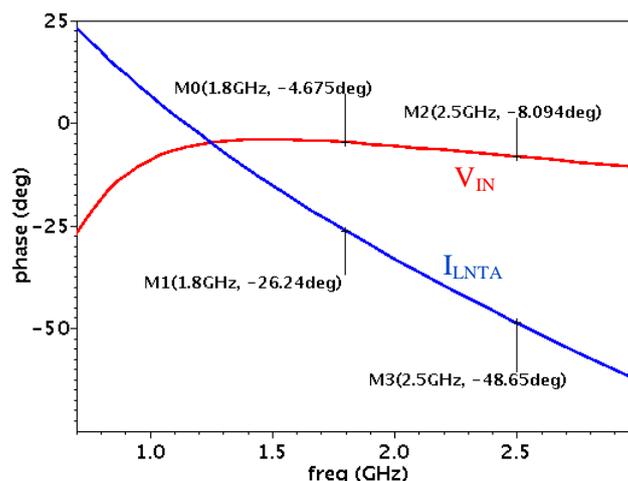
En conclusion, le procès change énormément le gain du système mais impact plus

légèrement la valeur de la phase. Cette variation de phase peut être contrôlée aussi avec la valeur correcte de  $R_{VAR}$ .  $\Delta f$  peut être négligeable si le récepteur est conçu pour les standards WCDMA ou LTE.

#### D. Principaux blocs du récepteur qui affectent la variation de phase

Dans cette section, nous analysons les blocs qui affectent de manière importante la phase du système. En bande de base, l'effet des capacités est négligeable. Ainsi, les blocs fonctionnant en DC tel que le FPB n'entrent pas dans cette étude.

L'origine de la variation de phase de la transconductance du LNTA avec la fréquence sont les capacités internes et/ou parasites de ce bloc qui influent sur le signal RF. Pour le vérifier, nous faisons une simulation uniquement du LNTA. Nous présentons les résultats de la tension en entrée ( $V_{IN}$ ) et du courant de sortie du LNTA ( $I_{LNTA}$ ) dans la figure 5.8, ( $g_{LNTA}=I_{LNTA}/V_{IN}$ ).



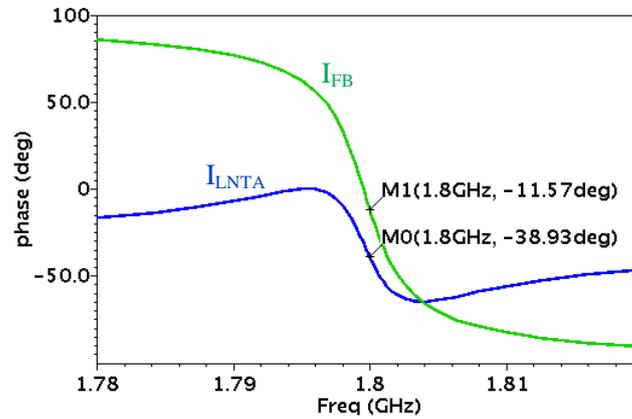
**Figure 5.8 : Résultats en simulation de la tension en entrée ( $V_{IN}$ ) et le courant de sortie du LNTA ( $I_{LNTA}$ )**

Nous pouvons constater que les deux signaux sont déphasés et ce déphasage varie par rapport à la fréquence. Par exemple à  $F_{LO}=1.8\text{GHz}$ , le déphasage est de  $\Delta\phi_1=21.6^\circ$  ( $26.2^\circ-4.6^\circ$ ) et à  $F_{LO}=2.5\text{GHz}$ , le déphasage est de  $\Delta\phi_2=40.5^\circ$  ( $48.6^\circ-8.1^\circ$ ).

Ces valeurs de déphasage sont comparables à la compensation de phase que nous avons fixée entre les 2 signaux LO pour le bon fonctionnement du récepteur (réf : Tableau 5.2).

Un autre bloc RF est aussi analysé : le mélangeur. Une simulation du système à contre-

réaction positive (circuit de la figure 4.1) est donc effectuée à  $F_{LO}=1.8\text{GHz}$  (calibration :  $R_{VAR}=4.72\text{K}\Omega$  et  $\Delta\phi=23.8^\circ$ ). Nous analysons la phase du signal en entrée du premier mélangeur ( $I_{LNTA}$ ) et la phase du signal en sortie du deuxième mélangeur de la boucle de contre-réaction ( $I_{FB}$ ). Les courbes sont tracées dans la figure 5.9.



**Figure 5.9 : Différence de phase entre  $I_{LNTA}$  et  $I_{FB}$  dans un cas typique**

Nous pouvons constater que le déphasage entre les deux signaux est de  $27.3^\circ$  ( $38.9^\circ - 11.6^\circ$ ). Si nous retirons la compensation de phase entre les deux LO ( $23.8^\circ$ ), ces signaux sont alors décalés de  $3.5^\circ$  ( $27.3^\circ - 23.8^\circ$ ), qui est le déphasage produit par les deux mélangeurs.

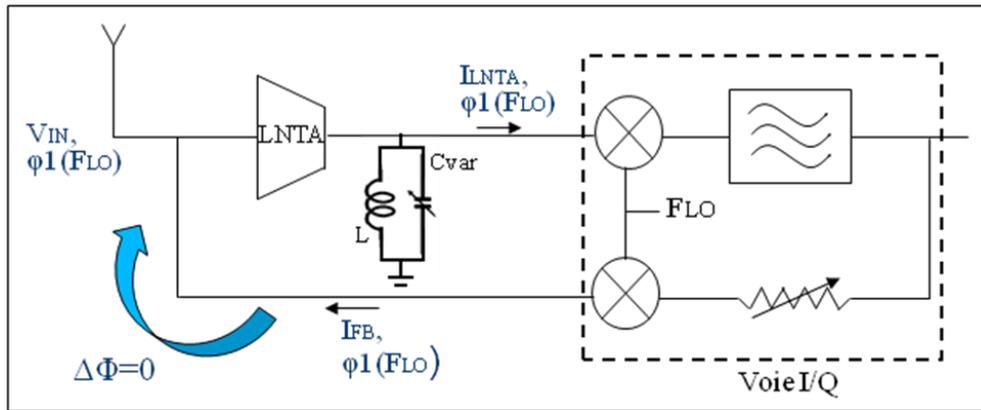
En conclusion, un déphasage apparaît dans le système et il est essentiellement lié au déphasage du LNTA. Il est dépendant de la fréquence LO et des valeurs absolues des composants (procès). Il doit être compensé (déphasage égal à  $0^\circ$ ) pour le bon fonctionnement du récepteur.

La variation de phase générée par les deux mélangeurs est faible et peut être négligeable.

Nous proposons deux solutions possibles, en plus de celle qui consiste à intégrer au circuit un déphaseur entre les signaux LO.

### **5.1.1 Solution 1 : Annulation du déphasage du LNTA (charge LC)**

Le LNTA atteint un gain maximum et un déphasage de  $0^\circ$  à la fréquence de résonance ( $F_{RES}=1/2\pi LC$ ) du résonateur LC. Ainsi, le signal de sortie du LNTA est toujours en phase avec le signal d'entrée.



**Figure 5.10 : Récepteur à contre-réaction positive avec LNTA charge LC**

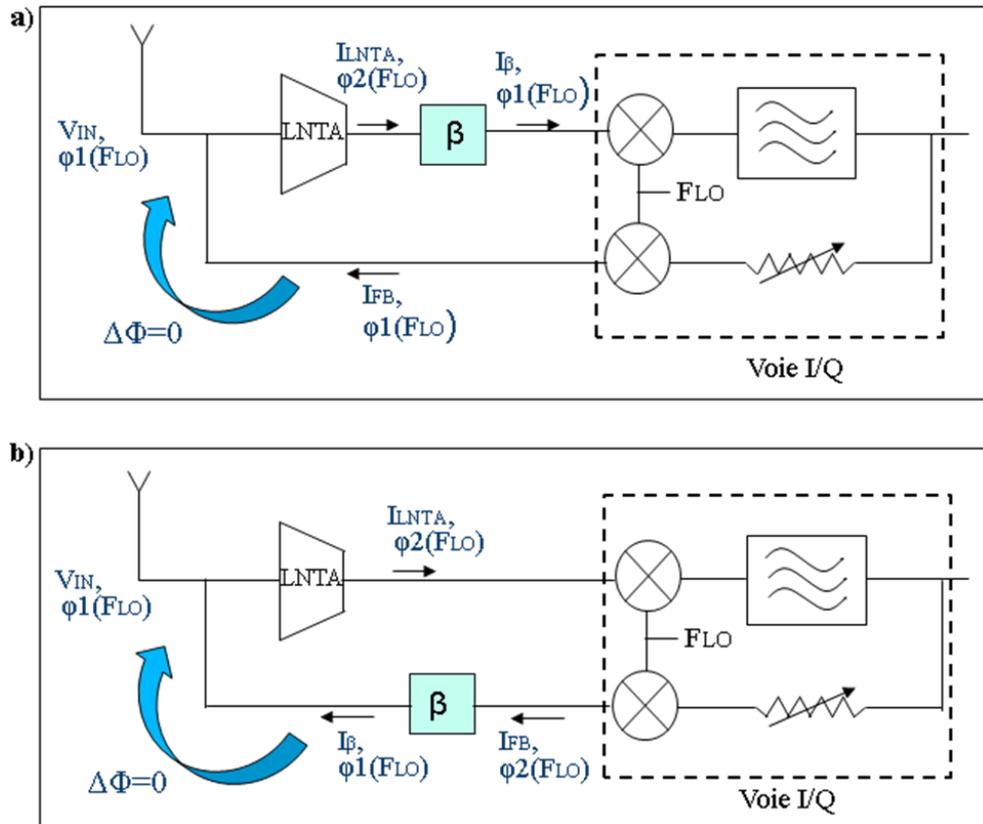
Comme vu dans la section précédente, le déphasage des deux mélangeurs peut être négligé. A la fréquence de résonance, le LNTA ne provoque pas de déphasage. Ainsi, si nous calibrons la capacité  $C_{VAR}$  pour qu'elle résonne avec l'inductance  $L$  à la fréquence  $LO$  ( $F_{RES}=F_{LO}$ ), le récepteur à contre-réaction positive peut fonctionner avec le même signal sur les deux mélangeurs.

Par contre, un circuit de calibration interne pour le choix de la valeur de la capacité est nécessaire pour le fonctionnement du récepteur à chaque fréquence  $LO$ .

### 5.1.2 Solution 2 : Mise en place d'un circuit déphaseur

Si nous ne voulons pas (pour des raisons de surface) ajouter un réseau LC en sortie du LNA, un circuit de déphasage interne est nécessaire. Il peut être mis en place de deux manières différentes :

- 1) A la sortie du LNTA (figure 5.11.a) pour aligner les phases des deux signaux  $V_{IN}$  et  $I_{LNTA}$
- 2) A la sortie du mélangeur situé dans la boucle de contre-réaction (figure 5.11.b) pour aligner la phase du signal d'entrée ( $V_{IN}$ ) et la phase du signal de contre-réaction ( $I_{FB}$ )



**Figure 5.11 : Deux configurations du récepteur avec un circuit déphaseur**

L'étude et la conception de l'architecture du circuit de déphasage reste donc comme perspective de travail. Ce circuit doit fonctionner dans une large plage de fréquences (700MHz – 3GHz) tel qu'un synthétiseur, et il doit être intégrable et de faible consommation.

## 5.2 Bruit élevé

Un autre inconvénient majeur trouvé dans ce système est le facteur de bruit élevé qu'il présente. D'après les résultats de mesure, nous avons observé que le facteur de bruit minimum est de 4.7dB à  $F_{LO}=1.8\text{GHz}$  et de 6.5dB à  $F_{LO}=2.85\text{GHz}$ .

Une telle chaîne présente sur une réalisation classique un facteur de bruit d'environ 3.5 dB, ce qui impose à notre solution d'avoir un NF inférieur à 5.5 dB (en comptant 2 dB de facteur de bruit supplémentaires pour la solution classique liées aux pertes dans les éléments de filtrage).

Nous avons réalisé une étude de bruit en simulation (*Noise Summary*). L'objectif est d'identifier les blocs qui contribuent au bruit. Le tableau 5.3 montre en pourcentage la

contribution de chaque bloc de la chaîne de réception.

<b>Bloc</b>	<b>Contribution de bruit (%)</b>
Port	30.2
<b>LNTA</b>	<b>60.8</b>
FPB	6.9
Mélangeur	1.2
Resistance de contre-réaction	0.58
Buffer Test	0.32
<b>TOTAL</b>	<b>100</b>

**Tableau 5.3 : Contribution de bruit (%) de chaque bloc du récepteur**

D'après le tableau, nous confirmons que le principal contributeur de bruit est le premier bloc de la chaîne, le LNTA (contribution de bruit de 60.8%). Cela traduit le fait que la contre-réaction a été correctement dimensionnée.

Le tableau 5.4 montre les principaux contributeurs de bruit du LNTA (aussi en pourcentage).

Dans le LNTA, le principal contributeur de bruit est son premier étage (contribution de 60,2% par rapport au LNTA et de 36.6% par rapport au RX) d'après le tableau. Nous pouvons observer que la charge est la principale source de bruit dans ce premier étage : 34.18% par rapport au LNTA soit 1/5 (20,78%) du bruit du récepteur

Les premiers composants, les transistors de gain et l'inductance, ont une contribution importante de bruit dans la chaîne de réception (7,4% et 5,78% respectivement) ainsi que les résistances parasites ajoutées dans le *'layout'* (7.86%).

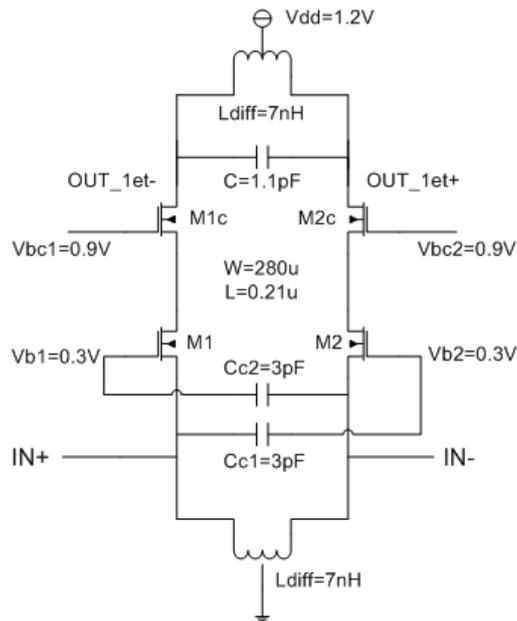
<b>LNTA</b>	<b>Contribution de bruit (%) par rapport au RX</b>	<b>Contribution de bruit (%) par rapport au LNTA</b>
<b>LNA (1<sup>er</sup> étage)</b>	<b>36.6</b>	<b>60.2</b>
Resistance charge	20.78	34.18
Inductance	5.78	9.51
Transistors gain	7.4	12.17
Transistors cascode	2.3	3.78
Circuit de polarisation	0.34	0.56
<b>Etage cascodé (2<sup>eme</sup> étage)</b>	<b>14.9</b>	<b>24.5</b>
Transistor gain nMOS	7.7	12.66
Transistor gain pMOS	5.6	9.21
Transistors cascode	0.58	0.95
Circuit de polarisation	0.76	1.25
Circuit CMFB	0.26	0.43
<b>Circuit BIAS</b>	<b>1.44</b>	<b>2.4</b>
<b>Resistance parasites (layout)</b>	<b>7.86</b>	<b>12.9</b>
<b>TOTAL</b>	<b>60.8</b>	<b>100</b>

**Tableau 5.4 : Contribution de bruit (%) de chaque composant du LNA**

### **5.2.1 Solution : Optimisation du bruit dans la conception de blocs**

Afin de minimiser le bruit dans le récepteur, nous devons nous concentrer spécialement sur l'optimisation de son premier bloc, le LNTA.

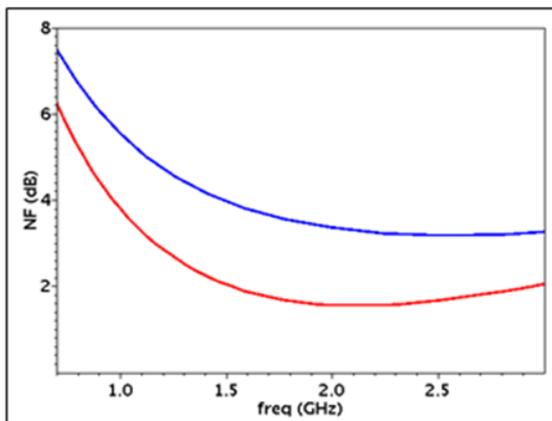
Dans l'architecture choisie 'Capacitive Cross-Coupling', le majeur contributeur de bruit est la résistance de charge. Une première piste est de remplacer cette résistance par un tank LC, figure 5.12. Ainsi, le bruit total du RX peut être réduit d'un cinquième.



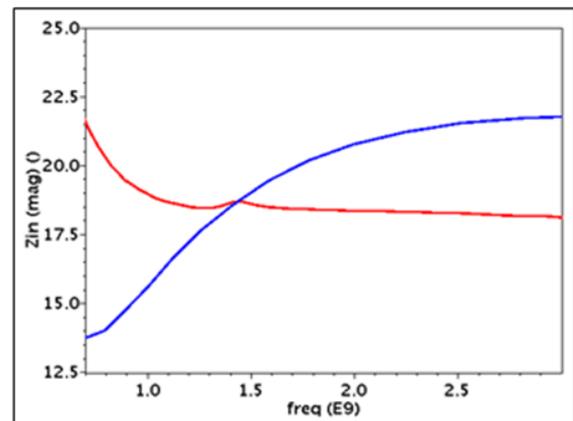
**Figure 5.12: LNA CCC avec tank LC**

Nous montrons dans la figure 5.13 les résultats de simulation de ce circuit comparé au circuit développé (LNA charge résistive), BW <700MHz – 3GHz>.

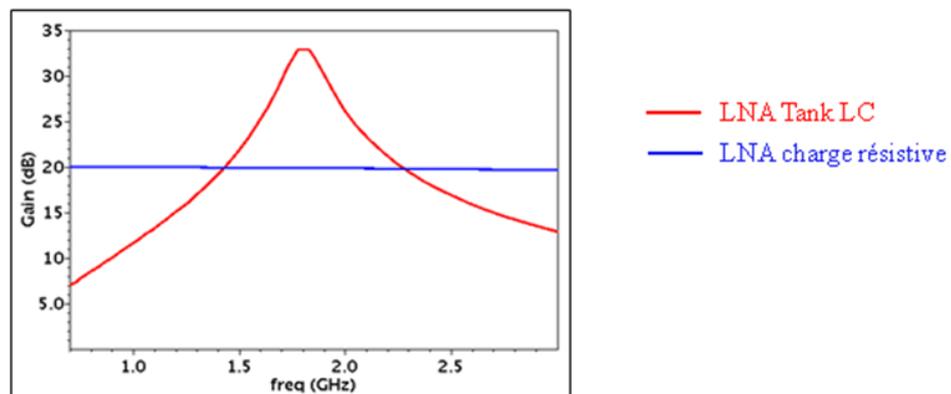
a) Facteur de Bruit



b) Impédance d'entrée du LNA



c) Gain en tension



**Figure 5.13 : Résultats de simulation : LNA tank LC ( $F_{RES}=1.8GHz$ ) et charge résistive**

Nous pouvons remarquer le faible facteur de bruit présenté ( $NF < 2\text{dB}$ ) par rapport à la première structure (LNA charge résistive :  $NF = 3.2\text{dB}$ ).

Pour la même consommation (augmentation de  $W$  à courant constant), nous pouvons aussi diminuer l'impédance d'entrée ( $Z_{LNA} = 18\Omega$  au lieu de  $21\Omega$ ), c'est-à-dire que nous pouvons gagner  $1\text{dB}$  de atténuation pour les signaux bloquants.

À la fréquence de résonance ( $1.8\text{GHz}$ ) le LNA atteint un gain en tension de  $32\text{dB}$  ( $20\text{dB}$  plat dans la première structure : LNA charge résistive).

Les inconvénients de cette architecture sont l'augmentation de la surface et la réduction de la bande passante du LNA. La réduction de la bande peut-être compensée par une capacité d'accord variable (entre  $400\text{fF}$  et  $7.3\text{pF}$ ).

Cette amélioration nous permet de revenir dans le budget de bruit pour la chaîne. De plus quelques retouches '*layout*' peuvent nous permettre de réduire la résistance d'accès au LNA (routage plus direct, utilisation de plusieurs niveaux de métal) qui contribue aussi au  $NF$  global.

### 5.3 Rejection insuffisante

Même si le récepteur à contre-réaction positive fournit une bonne rejection de  $12\text{dB}$  pour les signaux bloquants, celle-ci reste insuffisante par rapport à l'atténuation fournie par le filtre SAW.

Le filtre d'antenne atténue les signaux interférents de  $25\text{dB}$  (standard GSM) et avec le duplexeur l'atténuation est d'au moins  $45\text{dB}$  (standard WCDMA).

L'atténuation donnée par le récepteur à contre-réaction positive est représentée par la

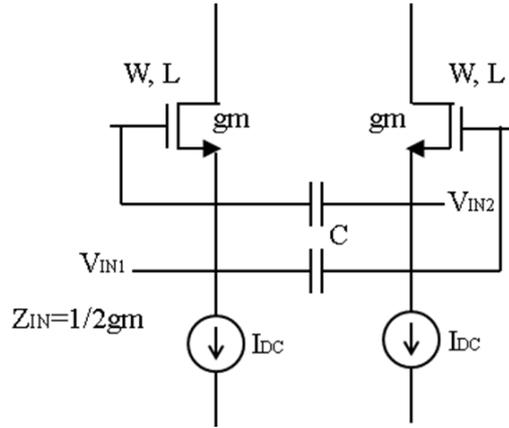
formule : 
$$-20\log\left(\frac{1}{2} \times \frac{Z_{ANT} + Z_{LNA}}{Z_{LNA}}\right)$$

Nous avons, pour ce premier prototype ( $Z_{ANT} = 100\Omega$ ,  $Z_{LNA} = 20\Omega$ ) environ  $10\text{dB}$  d'atténuation là où il en faudrait  $45\text{dB}$ .

Trois possibilités pour remédier ce problème sont présentés à la suite :

### 5.3.1 Solution 1 : Diminution de l'impédance du LNA

Nous réalisons à l'aide de l'outil Cadence, la conception d'une architecture LNA CCC afin d'obtenir  $Z_{LNA}$  minimum, figure 5.14.



**Figure 5.14 : LNA Capacitive Cross-Coupling -  $Z_{LNA}$  minimum**

En régime de saturation la transconductance est donnée par :

$$gm = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{DC}} \quad 5.2$$

Une grande valeur de gm signifie un courant très élevé (donc une forte consommation) ou un rapport W/L très grand.

Nous fixons le courant de telle façon à ne pas dégrader significativement la consommation du LNA.  $I_{DC}=15\text{mA}$  (à chaque branche) est une valeur limite et raisonnable.

L'expression de la capacité grille-source ( $C_{gs}$ ) est représentée par :

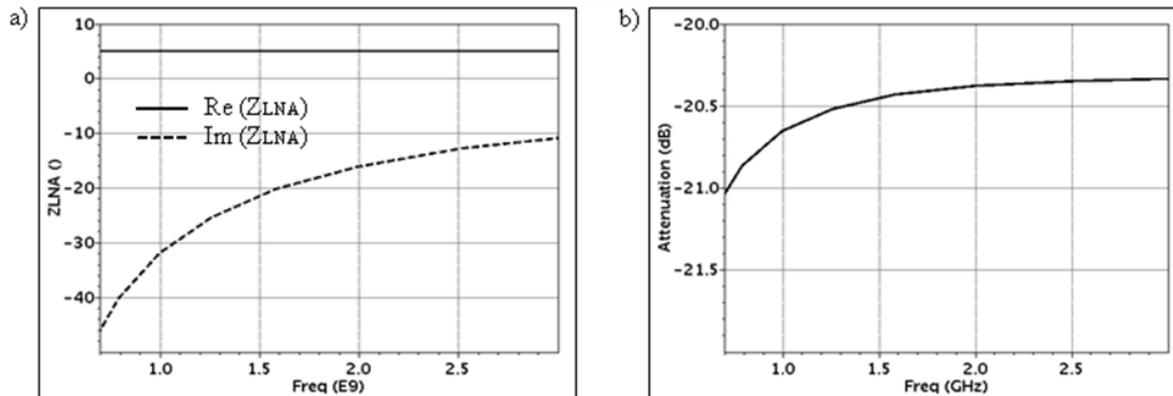
$$C_{gs} = \frac{2}{3} W L C_{ox} \quad 5.3$$

A L constant, une valeur élevée de W est nécessaire pour augmenter la transconductance. Si nous augmentons la valeur de W, la valeur de  $C_{gs}$  devient plus importante à certaines fréquences que la valeur de gm  $\left( Z_{LNA} = \frac{1}{gm} // \frac{1}{2\pi f C_{gs}} \right)$ . Cela peut réduire la bande de fonctionnement du LNA (réduction de Vgs).

A courant constant et à L minimum (0.65nm) nous avons utilisé W=500um pour obtenir gm maximum (gm=200mS). La valeur de W est limité par le régime de saturation du transistor (tension d'alimentation et de polarisation utilisée  $V_{DD}=1.2\text{V}$ ).

Ainsi, nous pouvons concevoir un LNA large bande avec une impédance d'entrée minimale de  $Z_{LNA}=5\Omega$  différentiel ( $2.5\Omega$  single), soit une atténuation de  $\sim 20.5\text{dB}$  pour les signaux bloqués.

La figure 5.15 montre les résultats en simulation de l'impédance du LNA et de l'atténuation obtenue.



**Figure 5.15 : Résultats de simulation de a)  $Z_{LNA}$ , b) Atténuation à l'entrée sans contre-réaction**

Nous pouvons observer la valeur de la partie imaginaire de  $Z_{LNA}$ , qui est plus élevée que sa partie réelle, spécialement aux plus basses fréquences.

Même si la conception d'un LNA de bonnes performances en taille et en consommation, et de très faible impédance d'entrée est possible, la stabilité du récepteur est plus difficile à maintenir car le système devient plus instable (vue en simulation pour  $Z_{LNA}=3\Omega$  et  $Z_{LNA}=10\Omega$ , chapitre 3). A la valeur de cette impédance se rajoute aussi le problème de réaliser un routage et un boîtier qui n'impacte de manière importante la faible valeur de  $Z_{LNA}$ .

Au vu de la faible rejection du récepteur et de la difficulté d'amélioration en conception, deux autres solutions sont suggérées à la suite.

### 5.3.2 Solution 2 : Augmentation de l'impédance de l'antenne

Dans notre prototype, nous utilisons une transformation de  $50\Omega$  en mode single (Antenne) vers  $100\Omega$  différentiels (entrée LNA). Il est possible d'augmenter ce rapport de transformation.

Par exemple, si nous ajoutons un transformateur avec un rapport de transformation 4

( $50\Omega$  en mode single vers  $200\Omega$  différentiel) le premier prototype fabriqué pourra améliorer son atténuation de 9.5dB à 14.8dB (d'après l'équation 3.23). En effet, nous devons augmenter le gain de la boucle de contre-réaction, ce qui peut dégrader aussi la stabilité du récepteur.

En conclusion, une atténuation des signaux bloqueurs maximale est possible avec l'architecture de récepteur à contre-réaction positive si nous prenons en compte la solution 1 et la solution 2. Avec  $Z_{LNA}=5\Omega$  et  $Z_{ANT}=200\Omega$ , le système peut atteindre une atténuation maximale et limitée de 26.2dB pour les signaux interféreurs.

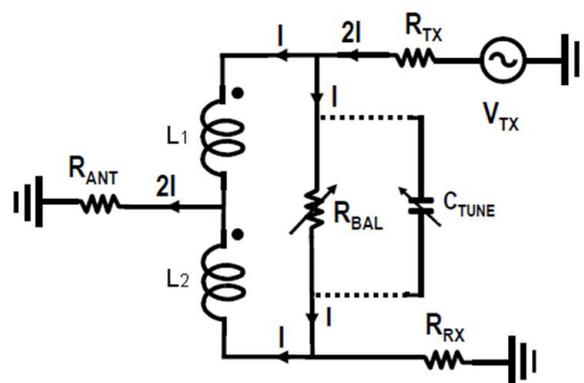
### 5.3.3 Solution 3 : Ajout d'un élément extérieur de filtrage

Les deux sections précédentes nous montrent que l'utilisation d'un récepteur à contre-réaction positive amène un filtrage RF très près de la porteuse, mais que ce filtrage ne sera pas aussi important que celui amené par un élément SAW.

Une solution est de rajouter un autre élément de filtrage. Cette solution reste compatible avec l'objectif de la thèse, à condition que ce filtrage soit lui-aussi intégrable et reconfigurable.

Une des voies pour obtenir un tel composant est de réaliser dans un circuit intégré de type SOI, combinat des composants passifs de haute qualité et des composants actifs pour réaliser la reconfigurabilité.

Un tel composant a été récemment présenté, réf [70]. La figure 5.16 montre son schéma.



**Figure 5.16 : Schéma de fonctionnement du duplexeur reconfigurable**

Le principe est le suivant : Lorsque le TX est actif, il produit deux courants  $I$ . Le premier passe à travers  $R_{BAL}$  et l'autre passe à travers l'inductance  $L1$ . Le courant de la self

créé une réplique en opposition de phase dans l'autre inductance  $L_2$ . Ces courants s'annulent entre eux si la valeur de  $R_{BAL}$  est ajustée correctement. La capacité  $C_{TUNE}$  est mise en parallèle à l'inductance afin de produire un '*notch*' à la fréquence de résonance. La profondeur de cette isolation est limitée par la valeur de  $R_{BAL}$  et de la bande de fréquence provoquée par la résonance de LC. La fréquence de résonance est reconfigurable en faisant varier la valeur de  $C_{TUNE}$ .

Une étude détaillée est néanmoins nécessaire pour choisir une topologie adaptée et d'évaluer le filtrage que peut amener une telle solution.

Ainsi, une solution 'filtre passif reconfigurable + récepteur à contre-réaction positive' peut être envisagée comme une solution finale de récepteur multistandard sans filtre SAW.

Dans ce chapitre nous avons analysé les limitations de notre prototype. Nous avons trouvé que deux d'entre eux (le déphasage entre les signaux LO et le bruit) sont liés au choix du design et peuvent être corrigés, par exemple, en utilisant un réseau LC en charge du LNA.

Pour le manque de rejection (12dB pour 45dB nécessaires à la suppression de tout filtrage SAW) nous avons vu que la limite du récepteur à contre réaction positive BB-RF est de 20dB et que les 25dB manquants doivent être obtenus par un autre moyen.

Pour finaliser, nous présentons dans le chapitre suivant les conclusions de ce travail de thèse.

## **Chapitre 6 :**

# **CONCLUSIONS**

Le premier prototype de récepteur avec l'architecture en boucle de contre-réaction positive BB-RF a été fabriqué et validé. Nous avons décrit ses avantages et ses inconvénients dans les chapitres précédents.

Dans ce dernier chapitre nous allons faire un bref récapitulatif de ce manuscrit. Nous présentons aussi à nouveau les caractéristiques de la chaîne de réception, en indiquant les résultats obtenus dans ce travail de thèse. Puis, nous arrivons aux conclusions finales pour finalement mentionner les perspectives de travail restants pour un éventuel deuxième prototype, qui aura pour finalité la suppression du filtrage externe SAW.

## 6.1 Récapitulatif

Dans le deuxième chapitre, nous avons présenté les standards de télécommunication de téléphonie mobile ainsi que les architectures du récepteur classique. Nous avons précisé que c'est l'architecture à conversion directe la plus intéressante pour notre travail vu de l'intégration de ses composants.

Après avoir étudié le 'Software Defined Radio' et sa problématique liée au filtre SAW, nous avons mis en évidence que pour la réalisation d'un seul circuit multistandard l'objectif est de supprimer ce filtrage externe.

Diverses architectures de récepteur et techniques en mode « *feedback/feed-forward* » de BB à RF nous ont inspiré à proposer un système qui peut filtrer les signaux bloqueurs de manière sélective dès l'entrée du LNA.

Dans le chapitre 3, le principe d'un récepteur à contre-réaction BB-RF, qui a pour finalité de changer l'impédance d'entrée du LNA, a été étudié. Trois architectures en contre-réaction négative qui découlaient de ce principe ont été analysées. Chacune présentait des caractéristiques différentes. Cependant, les résultats obtenus d'après analyse n'ont pas été satisfaisants pour notre recherche.

Une quatrième structure : le récepteur à contre-réaction positive BB-RF présentait un bon filtrage RF à l'entrée du récepteur. Ce système est aussi large-bande et reconfigurable en bande et en fréquence centrale. Cette structure a été retenue pour notre étude. Toutefois, elle montrait un compromis entre l'atténuation RF, la stabilité et le bruit.

Le chapitre 4 a été dédié à la réalisation de ce dernier système. Des problèmes de conception ont été abordés pour obtenir le meilleur compromis entre les limitations mentionnées. L'étude de chaque bloc de la chaîne de réception ainsi que le '*layout*' ont été expliqués aussi dans ce chapitre.

Un premier prototype a été fabriqué en technologie CMOS 65nm ciblant le standard WCDMA. Ses caractéristiques les plus importantes ont été présentées dans le tableau 4.7.

Finalement, dans le chapitre 5, nous avons discuté sur les limitations de ce système. Nous avons donné des possibles solutions afin de rendre plus robuste cette architecture innovante.

## 6.2 Résultats

En conclusion, une nouvelle architecture de récepteur a été proposée et validée. L'innovation est basée sur l'ajout d'une boucle de contre-réaction positive et transposition de fréquences BB-RF, qui à la différence des topologies étudiées, est le premier système pouvant alléger les contraintes de non-linéarité du LNA.

Cette boucle égalise l'impédance du LNA, qui est choisie non adaptée, à l'impédance de l'antenne dans la bande des signaux désirés. L'adaptation et la désadaptation permet de réaliser un filtrage à l'entrée du récepteur. La sélectivité est fournie par le filtre en bande de base (FPB), dont sa fonction de transfert est ramenée en RF par le mélangeur de la boucle de contre-réaction. La fréquence de coupure du filtre passe bas est variable et permet la reconfiguration des standards dans le récepteur. La fréquence LO, aussi variable, permet la reconfiguration en fréquence centrale et/ou bande de fréquences.

Le premier prototype réalisé cible le standard WCDMA. Il a été testé dans la bande de fréquences 1.3-2.85GHz, qui est limité pour les effets de *'bonding'* du packaging. Il présente des caractéristiques similaires dans toute sa bande de fonctionnement. Le filtrage des signaux bloqueurs obtenu est de 12dB à chaque fréquence testée, ce qui donne comme résultat une amélioration d'IIP3 hors bande de la chaîne de réception de 17dB. La boucle de contre-réaction, constituée principalement d'éléments passifs, ne détériore pas significativement ni la consommation ni la surface du circuit. Le pire NF obtenu est de 6.5dB à la fréquence de 2.85GHz, ce qui rentre dans les spécifications d'une chaîne de réception sans filtre SAW.

Ce circuit est comparable à récentes architectures apparues aujourd'hui dans l'état de l'art : Deux nouveaux systèmes qui adressent la problématique de non-linéarité également à partir du premier bloc de la chaîne de réception pour une application large-bande. La première structure (réf [81]) utilise une voie alternative, composé d'un mélangeur et une capacité, où le bloqueur est atténué. La deuxième architecture (réf [82]) utilise une architecture de contre-réaction négative pour adapter le LNA dans la bande désirée (similaire à l'architecture de contre-réaction négative avec FPB).

Ceci montre que le travail de cette thèse est basé sur un problème actuel et concurrentiel. La solution que nous avons proposée, le filtrage RF à partir du premier bloc du récepteur, n'est pas unique mais elle va dans la direction correcte.

## 6.3 Publications et Brevets

Cette idée innovante a été brevetée par ST Ericsson. La validation système ainsi que la réalisation de l'architecture ont donné lieu aux publications internationales mentionnées ci-dessous.

[1] C. Izquierdo, A. Kaiser, F. Montaudon and Ph. Cathelin, « Reconfigurable Wide-band Receiver with Positive Feed-back Translational Loop » ; demande de brevet européen No. 103061586 déposée le 22 octobre 2010 au nom de ST Ericsson

[2] C. Izquierdo, A. Kaiser, F. Montaudon and Ph. Cathelin, — “Wideband Receiver Architecture with blocker filtering techniques”, *ICECS, Dec 2010*

[3] C. Izquierdo, A. Kaiser, F. Montaudon and Ph. Cathelin, — “Reconfigurable Wide-band Receiver with Positive Feed-back Translational Loop”, *RFIC, Juin 2011*

## 6.4 Perspectives

D'après l'étude des trois limitations du récepteur, nous sommes arrivés à la conclusion que les deux premières, le déphasage entre les LO et le NF, pouvaient se résoudre dans l'étape de conception. Par exemple, le choix d'une architecture de LNA avec un tank LC et la conception d'un circuit de calibration pour la capacité reconfigurable.

La principale difficulté est d'atteindre la même grandeur de filtrage qu'un filtre SAW. Nous avons vu que la technique développée dans cette étude ne peut pas permettre de réaliser une chaîne de réception sans filtrage RF. Par contre, le filtrage introduit par notre boucle réduit la quantité de filtrage nécessaire et permet donc de se tourner vers des solutions ne nécessitant plus d'éléments à base de structures SAW. Parmi les solutions de filtrage, il est possible d'envisager des solutions reconfigurables (comme le duplexeur sur substrat SOI) qui permettrait d'atteindre l'objectif de départ de la thèse : Avoir une chaîne capable de recevoir tous les standards dans toutes les bandes cellulaires.

La conclusion de ce travail de thèse est que la réalisation d'une chaîne de réception cellulaire multistandard multi-bande composée d'un circuit intégré et d'un élément de filtrage reconfigurable, apparait comme possible. La faisabilité du circuit intégré, en utilisant la technique de la contre-réaction BB-RF positive a été démontrée et expérimentée dans cette

thèse et les spécifications de l'élément de filtrage extérieur découlent également de ce travail.  
L'étude et la réalisation de cet élément de filtrage reste à faire.

# Annexe I : Standards cellulaires

## I.1 Standards de la deuxième génération (2G)

### *GSM (Global System for Mobile Communication)*

Le GSM (historiquement « Groupe spécial mobile ») est une norme numérique de seconde génération (2G) pour la téléphonie mobile. Elle fut établie en 1982 par la Conférence européenne des administrations des postes et télécommunications (CEPT). Elle a été mise au point par l'ETSI sur la gamme de fréquence des 900 MHz. Une variante appelée *Digital Communication System* (DCS) utilise la gamme des 1800 MHz. Cette norme est particulièrement utilisée en Europe, en Afrique, au Moyen-Orient et en Asie. Deux autres variantes, en 850MHz et en 1900MHz (PCS), sont également utilisées. Une norme GSM-400, utilisant les fréquences de 450MHz ou 480MHz, a été également à l'étude en 2009.

Le GSM utilise deux bandes de fréquences, l'une pour la voie montante (TX), l'autre pour la voie descendante (RX) plus un *time slot* (TS) de signalisation. La puissance du signal est modulée selon la distance entre l'antenne et le GSM considéré, ce qui permet de déterminer dans la pratique la distance entre un utilisateur et l'antenne. Chacune de ces bandes comprend 124 porteuses (canaux) de 200kHz chacune. La modulation utilisée sur ces porteuses est la GMSK (*Gaussian Minimum Shift Keying*), qui permet d'éviter les chevauchements des porteuses. Chaque porteuse comporte huit *times slots*. Ils durent environ 577µs. Les canaux physiques sont ces slots. Chaque porteuse a un débit brut de 271kbit/s, tandis que les canaux physiques ont donc un débit brut de 33,8kbit/s. Le débit utile est quant à lui de 24,7kbit/s.

Le réseau GSM permet plusieurs services : la voix, les données (le WAP), les messages écrits courts ou SMS ainsi que leur successeur, le MMS (*Multimedia Messaging Service*), les services supplémentaires : renvois d'appels, présentation du numéro, etc.

### *GSM 850 et 1900*

Ils sont présents aux États-Unis et au Canada. Certains pays n'utilisent que la norme GSM 850 (tel que l'Équateur et le Panama.). Le GSM 1900 est également appelé PCS 1900 (*Personal Communications Service*).

### *GSM 900 et 1800*

On rencontre ces deux types de réseaux en Europe. Le GSM 900 utilise la bande 890-915MHz pour l'envoi des données et la bande 935-960MHz pour la réception des informations. Le GSM 1800 utilise la bande 1710-1785MHz pour l'envoi des données et la bande 1805-1880MHz pour la réception des informations. Le GSM 1800 est également appelé DCS 1800.

#### GSM 400

Dans la bande 450, les fréquences utilisées sont 450,4 à 457,6MHz pour les liaisons montantes (GSM vers station de base) et 460,4 à 467,6MHz pour les liaisons descendantes. Dans la bande 480, les fréquences sont 478,8 à 486MHz en émission et 488,8 à 496 MHz en réception (station base vers mobile).

#### **GPRS (*General Packet Radio Service*)**

Le GPRS est une norme pour la téléphonie mobile dérivée du GSM qui permet un débit de données plus élevé. On le qualifie souvent de 2,5G, qui indique que c'est une technologie intermédiaire entre le GSM (2e génération) et l'UMTS (3e génération). Le GPRS est une extension du protocole GSM : il ajoute par rapport à ce dernier la transmission par paquets. Cette méthode est plus adaptée à la transmission des données.

#### **EDGE (*Enhanced Data Rates for GPRS Evolution*)**

EDGE est une évolution du GPRS. Le standard EDGE vise à optimiser la partie radio d'un réseau mobile sur la partie Data afin d'augmenter les débits principalement en voie descendante. Les applications multimédias telles que la transmission de photos, de sons et de vidéos sont recherchées.

La technologie EDGE peut théoriquement atteindre un débit maximum de 473kbit/s. En pratique, le débit (maximum) a été fixé au niveau du standard de la norme EDGE à 384kbit/s par l'ITU (*International Telecommunication Union*) dans le but de respecter la norme IMT-2000 (*International Mobile Telecommunications-2000*).

La norme EDGE a l'avantage de pouvoir s'intégrer au réseau GSM existant. En émission, un mobile EDGE émettra donc dans une bande qui s'étend de 890 à 915MHz (*up-link*). En réception, la bande sera 935 à 960MHz (*down-link*). Ainsi, pour une communication, il y aura 45MHz de séparation entre le canal d'émission et le canal de réception. Ces bandes

de fréquences sont divisées en portions de 200kHz chacune; ce sont les canaux de transmission. Il y en a donc au total 125 qui sont répartis entre les opérateurs. Chaque canal peut accueillir jusqu'à 8 transmissions simultanées en temps partagé.

Pour pouvoir assurer un plus grand débit qu'avec le GPRS la méthode de modulation EDGE réutilise structure, largeur et codage du canal ainsi que mécanismes existants et fonctionnalités du GPRS. La modulation utilisée pour la technologie EDGE est la modulation 8-PSK (*Phase-shift keying*). La technologie GPRS possède 4 schémas de codages (CS1 à CS4) tandis qu'avec la technologie EDGE, 9 schémas sont possibles désignés MCS1 à MCS9. Par ailleurs, les 4 premiers schémas de modulations utilisent la modulation GMSK alors que les 5 derniers utilisent la modulation 8-PSK. Le débit est très différent selon le schéma de codage.

L'EDGE utilise aussi l'Accès Multiple à Répartition dans le Temps (AMRT) ; il s'agit d'un multiplexage temporel. Tous les utilisateurs utilisent la bande passante mais un espace temporel est affecté à chacun. Ainsi, l'AMRT consiste à diviser le temps, en petits intervalles, et à attribuer un intervalle de temps donné à chaque canal. Notons qu'un intervalle de sécurité doit être intégré entre chaque canal.

### **IS-95 (*Interim Standard 95*)**

IS-95 est un standard 2G de téléphonie mobile qui a été conçu pour applications tel que la transmission de voix, signalisation d'appels et de données de façon illimitée. Il est appelé aussi *CdmaOne* et a été développé par la compagnie américaine Qualcomm.

IS-95 utilise la méthode de multiplexage CDMA (*Code Division Multiple Access*), qui permet la transmission de toutes les données dans la même bande de fréquence. La séparation entre les utilisateurs est faite à partir de codages orthogonaux qui sont éliminés lorsqu'ils se sont multipliés par eux-mêmes. Les séquences d'octets sont récupérées dans le mobile quand ils utilisent le même codage que la station base.

Cette norme a été utilisée aux Etats Unis, Canada, Corée du Sud et Brésil. Actuellement; cette technologie a été remplacée pour le standard 3G, CDMA2000.

## **CDMA2000 1xRTT (*1 times Radio Transmission Technology*)**

1xRTT est le cœur du standard et interface sans fils CDMA2000. Est une technologie 2.5G (ou 2.75G) qui opère dans la même bande que la norme IS-95, avec un pair double de canaux de 1,25MHz.

1xRTT double la capacité de voix existantes dans les réseaux IS-95 avec ses 64 canaux de trafic en plus dans le *forward-link* (lien direct), mises de manière orthogonale par rapport au set d'origine. Son débit est de 153kbit/s avec une moyenne entre 60-100kbit/s pour les applications le plus commercial.

## **I.2 Standards de la troisième génération (3G)**

### **UMTS (*Universal Mobile Telecommunications System*)**

L'UMTS est l'une des technologies de téléphonie mobile de troisième génération (3G) européenne. Elle est elle-même basée sur la technologie WCDMA, standardisée par le 3GPP et constitue l'implémentation européenne des spécifications IMT-2000 de l'UIT pour les systèmes radio cellulaires 3G.

L'UMTS repose sur la technique d'accès multiple WCDMA, une technique dite à étalement de spectre, alors que l'accès multiple pour le GSM se fait par une combinaison de division temporelle TDMA et de division fréquentielle FDMA. Les bandes suivantes ont été désignées pour le système IMT-2000 :

- Duplex temporel TDD : 1885 à 1920MHz (bande de 35MHz) et 2010 à 2025MHz (bande de 15 MHz) ;
- Duplex fréquentiel FDD : 1920 à 1980MHz (*up-link* de 60MHz) et 2110 à 2170MHz (*down-link* de 60 MHz) ;
- Bandes satellites : 1980 à 2010MHz (*up-link* de 30MHz) et 2170 à 2200MHz (*down-link* de 30MHz).

La bande passante d'un canal est de 5MHz avec une largeur spectrale réelle de 4,685MHz. Les débits de transfert théorique est de 1,92 Mbit/s, mais dans la réalité, les opérateurs dépassent rarement 384kbit/s. Néanmoins, cette vitesse est nettement supérieure au débit de base GSM qui est de 9,6kbit/s.

L'UMTS permet en particulier de transférer dans des temps relativement courts des contenus multimédia tels que les images, les sons et la vidéo. Dans l'actualité, l'application

principal est de type Internet, et ce principalement depuis l'explosion du marché des Smartphones et des réseaux sociaux.

### **TD-SCDMA (*Time Division Synchronous Code Division Multiple Access*)**

Le TD-SCDMA est une technique de transmission pour téléphone mobile dite de troisième génération (3G) adopté par la 3GPP. Elle est censée concurrencer les normes déjà bien installées dans le monde de la téléphonie mobile telles que l'UMTS ou le CDMA2000. Forte de ses habitudes, la Chine, à l'origine du développement du TD-SCDMA, entend déployer cette technologie sur son territoire de manière prioritaire.

Le TD-SCDMA utilise la méthode TDD à différence du schéma FDD utilisé par le WCDMA. Ce système peut s'adapter plus facilement au trafic asymétrique que dans les systèmes FDD dû à l'ajustement dynamique de nombre de *times slots* utilisés pour le « *down-link* » et « *up-link* ».

Le TD-SCDMA utilise aussi le TDMA en plus du CDMA. Il permet de réduire le nombre d'utilisateurs pour chaque *time slot*, qui réduit au même temps la complexe implémentation de détection multiutilisateurs et schémas en mode '*beamforming*'. En plus, la transmission non continue réduit aussi la couverture (haute puissance nécessaire), mobilité (bas control de puissance de fréquence) et les complexes algorithmes pour gérer les ressources radio.

La consonant « S » en TD-SCDMA signifie « *synchronus* », qui décrit la synchronisation des signaux *up-links* avec la station base du récepteur. Il permet de réduire les interfaces entre les utilisateurs qui utilisent le même time slot avec différents codes, en améliorant l'orthogonalité entre codes.

### **CDMA2000 1xEV-DO (*1x Evolution-Data Optimized*)**

Dans le domaine des télécommunications, *1x Evolution-Data Optimized* (Réseau sans fil haute vitesse), est une technologie normalisée dite de troisième génération 3G (voire dite « 3.5G » pour certains) que les fournisseurs de services mobiles à la norme CDMA déploient dans leur réseau afin d'offrir à leurs abonnés des services de transmissions de données (comme l'accès à l'internet par exemple) avec des débits descendants plus importants. Le débit théorique est d'environ 2,5 Mbit/s en EVDO, contre de 70-80 Kbit/s en moyenne dans un

réseau 2.5G CDMA 1xRTT. Comparée à la technologie 3G WCDMA/ HSDPA, le débit théorique est donc un peu moins élevé. En revanche, la couverture en EV-DO est généralement plus homogène dans les pays où le service est disponible.

### ***HSDPA (High Speed Downlink Packet Access)***

Le HSDPA est un protocole pour la téléphonie mobile parfois appelé 3,5G, 3G+, ou encore turbo 3G dans sa dénomination commerciale. Il offre des performances dix fois supérieures à la 3G (UMTS) dont il est une évolution logicielle. Cette évolution permet d'approcher les performances des réseaux DSL (*Digital Subscriber Line*). Il permet de télécharger (débit descendant) théoriquement à des débits de 1,8 Mbit/s, 3,6 Mbit/s, 7,2 Mbit/s et 14,4 Mbit/s. Il est basé sur la technologie de communication WCDMA. Il est le lien descendant du réseau vers le terminal à haut débit en mode paquets.

### **HSUPA (High Speed Uplink Packet Access)**

Il s'agit d'une optimisation de l'HSDPA sur le lien montant (du mobile vers le réseau). Cette évolution permet le haut débit en voie montante (jusqu'à 5,8 Mbit/s maximum théorique, 1,2 Mbit/s en pratique avec les mobiles actuels), ainsi qu'une amélioration du débit descendant puisqu'on double le débit HSDPA (7,2 Mbit/s).

## **I.3 Standards de la quatrième génération (4G)**

### ***LTE (Long Term Evolution)***

LTE est le nom d'un projet au sein du 3GPP qui vise à produire les spécifications techniques de la norme de réseau mobile de 3,9G.

Avec la quatrième génération, les industriels et les opérateurs cherchent à faire passer les débits aux alentours de 80Mbits/s et peut être plus à plus long terme. On devrait donc atteindre des débits proches de ceux disponibles dans le fixe avec la fibre optique, avec la nuance que la bande passante sera mutualisée entre tous les utilisateurs présents simultanément dans la zone considérée. La cible de débit maximum de la technologie Advanced LTE est de 1Gbit/s.

La nouveauté de LTE est l'interface radioélectrique basée sur l'OFDMA dans le lien descendant et le SC-FDMA dans la voie montante. La modulation choisie par le 3GPP, fait

que les différentes technologies d'antennes MIMO soient plus faciles à implémenter. Ils peuvent multiplier par quatre l'efficacité dans la transmission de données. Les résultats seront reflétés dans l'augmentation de l'efficacité, la réduction du coût, l'amélioration de services et une meilleure intégration avec les standards existants.

Le débit d'un lien descendant est de 326,4Mbit/s pour 4x4 antennes et de 172,8Mbit/s pour 2x2 antennes dans un spectre de 20MHz. Le débit d'un lien montant est de 86,4Mbit/s dans un spectre de 20MHz, dont 200 utilisateurs actifs par cellule de 5MHz. La largeur de bande est de : 1,4; 3; 5; 10 et 20MHz.

Certains opérateurs travaillent sur des offres « Triple Play » (Internet, Téléphonie, Télévision) basées sur cette technologie qui actuellement commence à apparaître pour les plus avancés. D'autres opérateurs ont déjà développé des offres « Quadruple Play » (Internet, Téléphone fixe, mobile, Télévision).

### **WiMAX (*Worldwide Interoperability for Microwave Access*)**

WiMAX est un standard de transmission de données qui utilise les ondes de radio dans le spectre de fréquences de 2,3 ; 2,5 et 3,5GHz. Il permet la réception de données par microondes et la retransmission par les ondes de radio. Le seul organisme qui permet la certification et le fonctionnement du standard entre les différentes fabricantes est le WiMAX Forum.

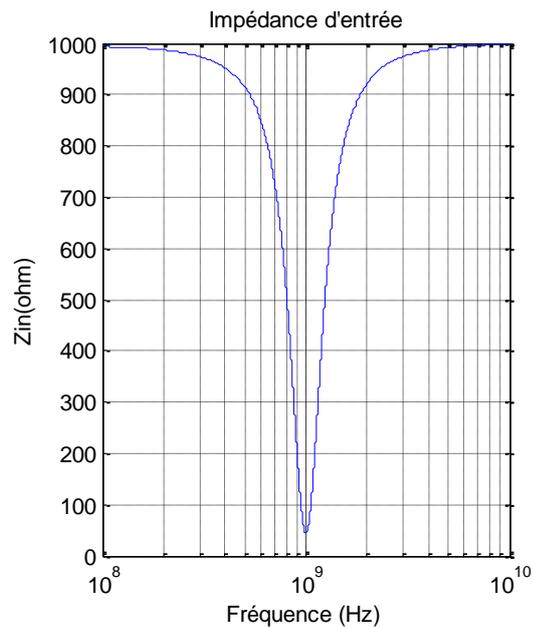
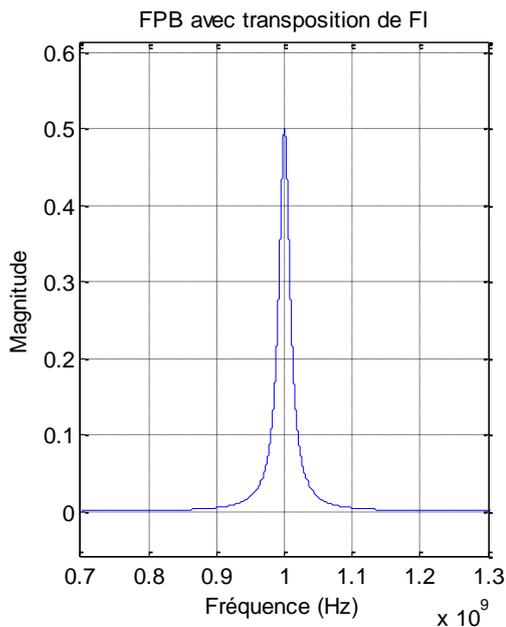
Le protocole qui caractérise cette technologie est l'IEEE 802.16. Actuellement, il y a deux variantes : l'accès fixe (802.16d), qui établit la liaison radio entre la station base et le terminal située dans le domicile de l'utilisateur, et l'accès mobile (802.16e) qui permet le déplacement du terminal tel qu'il est fait pour les standards GSM/UMTS. Dans l'environnement fixe, le débit théorique est de 70Mbit/s avec une largeur de bande de 20MHz. La norme 802.16e est donc une amélioration de la norme 802.16d. La largeur de bande est variable, typiquement de 1,25 ; 5 ; 10 et 20MHz. Il utilise une technologie d'antennes MIMO et un système d'adaptation d'antennes.

WiMAX est un standard qui pourra aussi offrir des services de « Triple Play ». Non seulement il pourra fournir services d'internet à large bande, sinon des applications telles que la VoIP et l'IPTV. Il pourra aussi remplacer les services de DSL, Câble et Téléphonie.

## Annexe II : Code Matlab et résultats en simulation

### II.1 Contre-réaction négative BB-RF : Configuration avec FPB

```
function y = Impedance1;  
f=100e6:1e5:10e9;  
fLO=1e9; fc=10e6;  
Zlna=1000;  
Glna=10; Gmix=0.6; Gamp=10; gm=1.2/1000;  
K1=1./(Glna*Gmix^2*Gamp*gm)  
L=(1+j.*f/fc)./((1+j.*f/fc).^2+(fLO/fc)^2);  
Zfb=K1./L;  
Zin1=Zlna*Zfb./(Zlna+Zfb);  
subplot 121;  
y = semilogx(f,L);  
title('FPB avec transposition de FI');  
grid on;  
subplot 122  
y=semilogx (f,Zin1);  
title ('Impédance entrée');  
grid on;
```

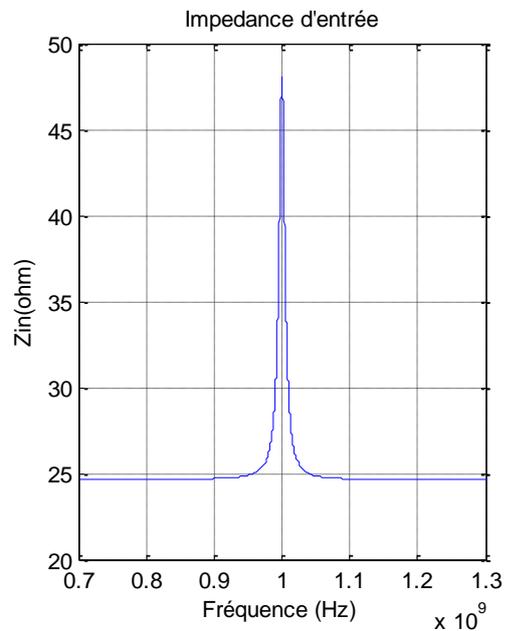
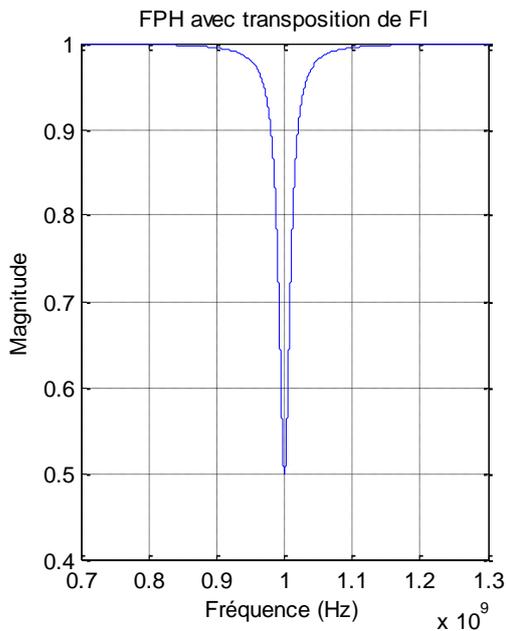


## II.2 Contre-réaction négative BB-RF : Configuration avec FPH

```

function y = Impedance2;
f=100e6:1e5:10e9;
fLO=1e9; fc=10e6;
Zlna=1000;
Glna=10; Gmix=0.6; Gamp=10; gm=1.2/1000;
K2=1./(Glna*Gmix^2*Gamp*gm)
H=(j.*(f/fc).*(1+j.*f/fc)+(fLO/fc)^2)./((1+j.*(f/fc)).^2+(fLO/fc)^2);
Zfb=K2./H;
Zin2=Zlna*Zfb./(Zlna+Zfb);
subplot 121;
y = semilogx(f,H);
title('FPH avec transposition de FI');
grid on;
subplot 122
y=semilogx (f,Zin2);
title ('Impedance entrée');
grid on;

```

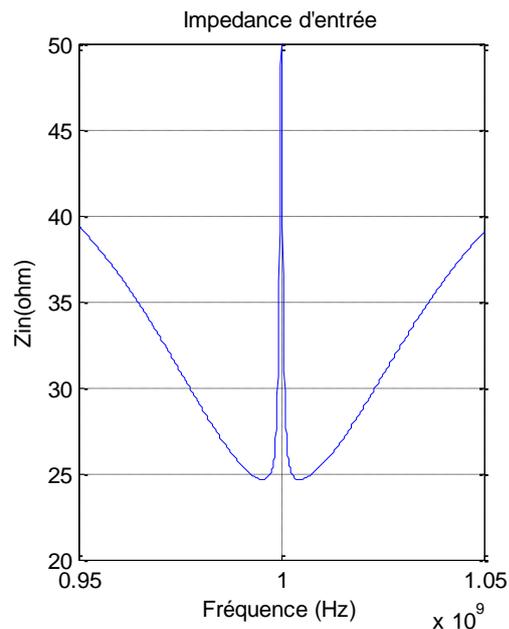
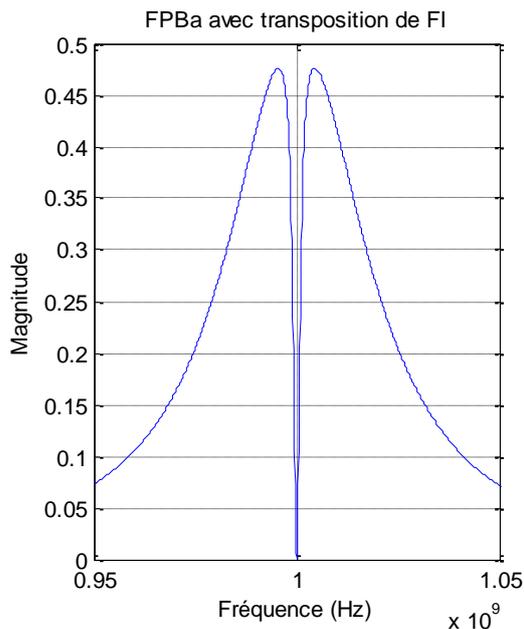


### II.3 Contre-réaction négative BB-RF : Configuration avec FPBd

```

function y = Impedance3;
f=100e6:1e5:10e9;
fLO=1e9; fc1=1e6; fc2=20e6;
Zlna=50;
Glna=10; Gmix=0.6; Gamp=10; gm=2.4/1000;
K3=1./(Glna*Gmix^2*Gamp*gm)
N=(j.*(f/fc2).*((fLO/fc1).^2-(f/fc1).^2+fc2/fc1)+((fLO/fc1)^2-(f/fc1).^2).*(1+fc1/fc2));
D=((1+j.*(f/fc1)).^2+(fLO/fc1)^2).*((1+j.*(f/fc2)).^2+(fLO/fc2)^2);
B=N./D;
Zfb=K3./B;
Zin3=Zlna*Zfb./(Zlna+Zfb);
subplot 121;
y = semilogx(f,B);
title('FPBa avec transposition de FI');
grid on;
subplot 122
y=semilogx (f,Zin3);
title ('Impedance entrée');
grid on;

```

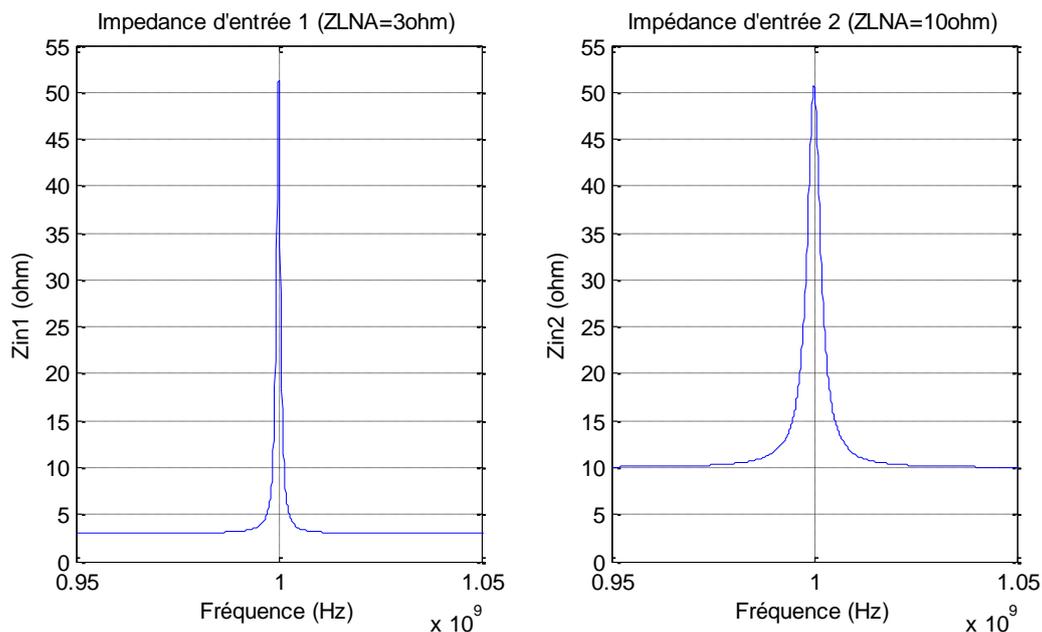


## II.4 Contre-réaction positive BB-RF : Configuration avec FPB

```

function y = Impedance4;
f=100e6:1e5:10e9;
fLO=1e9; fc=10e6;
Zlna1=3; Zlna2=10;
Glna=10; Gmix=0.6; Gamp=10; gm1=17.4/1000; gm2=4.45/1000;
K1=1./(Glna*Gmix^2*Gamp*gm1)
K2=1./(Glna*Gmix^2*Gamp*gm2)
L=(1+j.*f/fc)./((1+j.*f/fc).^2+(fLO/fc)^2);
Zfb1=-K1./L;
Zfb2=-K2./L;
Zin1=Zlna1*Zfb1./(Zlna1+Zfb1);
Zin2=Zlna2*Zfb2./(Zlna2+Zfb2);
subplot 121;
y = semilogx(f,Zin1);
title('Impedance entree 1');
grid on;
subplot 122
y=semilogx (f,Zin2);
title ('Impédance entrée 2');
grid on;

```



## II.5 Analyse de stabilité : Diagramme de Nyquist

```
function y = Stability(gm1, gm2, gm3);
f=800e6:1e5:1.2e9;
fLO=1e9; fc=10e6;
Zlna=3;
Glna=10; Gmix=0.6; Gamp=10;
L=(1+j.*f/fc)./((1+j.*f/fc).^2+(fLO/fc)^2);
Zat=50*Zlna/(50+Zlna)
K1=1./(Glna*(Gmix)^2*Gamp*gm1/1000)
s1=-abs(Zat/(2*K1))
K2=1./(Glna*(Gmix)^2*Gamp*gm2/1000)
s2=-abs(Zat/(2*K2))
K3=1./(Glna*(Gmix)^2*Gamp*gm3/1000)
s3=-abs(Zat/(2*K3))
Zfb1=-K1./L;
Zfb2=-K2./L;
Zfb3=-K3./L;
Zin1=Zlna*Zfb1./(Zlna+Zfb1);
Zin2=Zlna*Zfb2./(Zlna+Zfb2);
Zin3=abs(Zlna*Zfb3./(Zlna+Zfb3));
subplot 121;
S1=tf([-Zat*fc -Zat*fc^2],[K1 2*fc*K1 (fLO^2+fc^2)*K1]);
S2=tf([-Zat*fc -Zat*fc^2],[K2 2*fc*K2 (fLO^2+fc^2)*K2]);
S3=tf([-Zat*fc -Zat*fc^2],[K3 2*fc*K3 (fLO^2+fc^2)*K3]);
nyquist(S1, S2, S3);
subplot 122;
y = semilogx(f,Zin1,f,Zin2,f,Zin3);
title('Input Impedance');
grid on;
```

## Annexe III : Etat de l'art des architectures de LNA large bande

### Architecture du LNA Grille Commune + Source Commune, réf [38]

L'architecture est montrée dans la figure III.1. Elle présente une entrée « *single* » et une sortie différentielle. La structure comprend un étage non inverseur Grille Commune (GC), qui est mise en parallèle à un étage inverseur Source Commune (SC). L'étage GC, qui comprend un transistor avec transconductance  $g_{m1}$ , assure l'adaptation du LNA dans une large bande de fréquences.

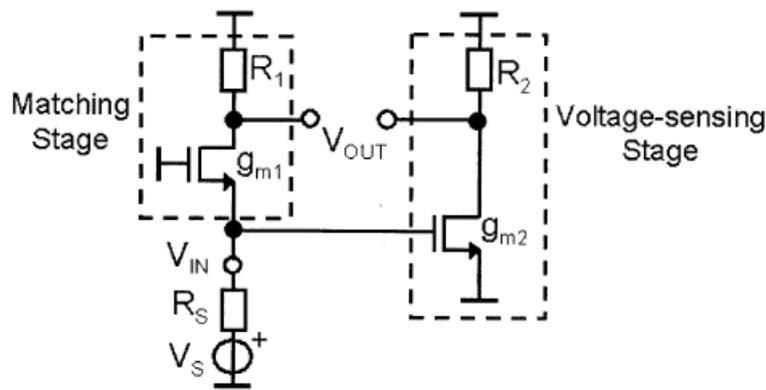


Figure III.1 : Architecture Grille Commune + Source Commune

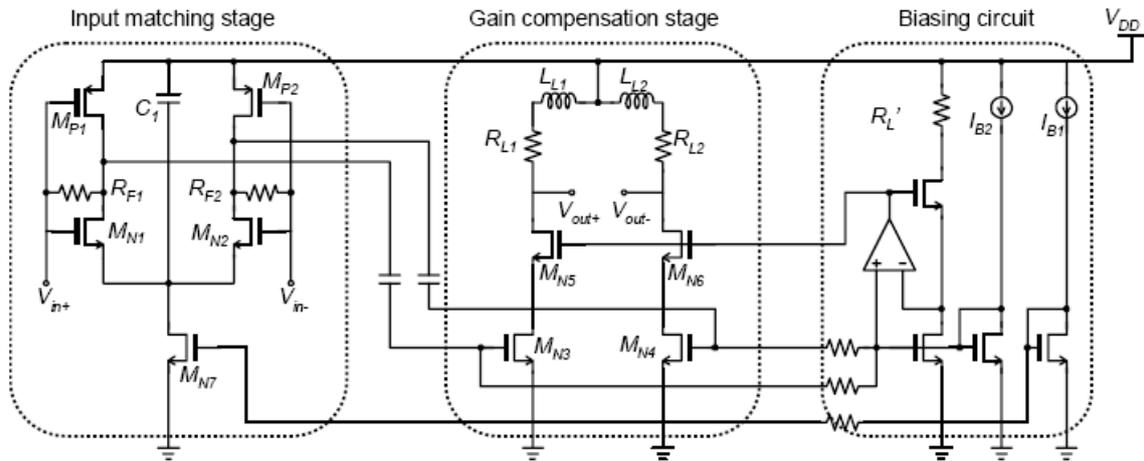
Le bruit du transistor de GC ( $g_{m1}$ ) est annulé en sortie (signal de bruit en mode commun) et est minimal quand la condition  $R_1 = g_{m2} R_2 R_S$  est remplie. L'inconvénient de cette architecture est l'IIP2, puisque la sortie différentielle n'est pas proprement équilibrée à toutes les fréquences de fonctionnement.

### Architecture 'Shunt Feed-back resistor' LNA avec compensation de gain, réf [44]

La figure III.2 montre la structure en étude. Le premier étage est polarisé par une source de courant  $M_{N7}$ . Son drain est couplé à la tension d'alimentation par la capacité  $C_1$  afin de supprimer l'effet de la variation de tension sur l'adaptation en entrée. L'adaptation d'impédances avec l'antenne est réalisé par l'inverseur CMOS différentiel ( $M_{N1}$ ,  $M_{N2}$ ,  $M_{P1}$ ,  $M_{P2}$ ) et la résistance 'shunt feed-back',  $R_F$ .

La valeur de l'impédance d'entrée est donnée par  $Z_{IN} = (R_F + r_o) / (1 + G_m r_o)$ , où  $G_m$  et  $r_o$  sont la transconductance totale et la résistance de sortie du premier étage respectivement. Si l'impédance d'entrée est résistive, le LNA peut être adapté facilement dans une bande très

large.



**Figure III.2 : Architecture ‘Shunt feed-back resistor’ avec compensation de gain**

Le circuit utilise un étage de compensation de gain (entre 0.1-3GHz), constitué d’un étage cascode (transistors cascode) et une résistance + inductance de charge. Les transistors de ce second étage sont aussi polarisés avec une source de courant (miroir). La résistance parasite en série de l’inductance avec la résistance de charge déterminent le gain (du second étage) dans la bande de fréquences mentionnée.

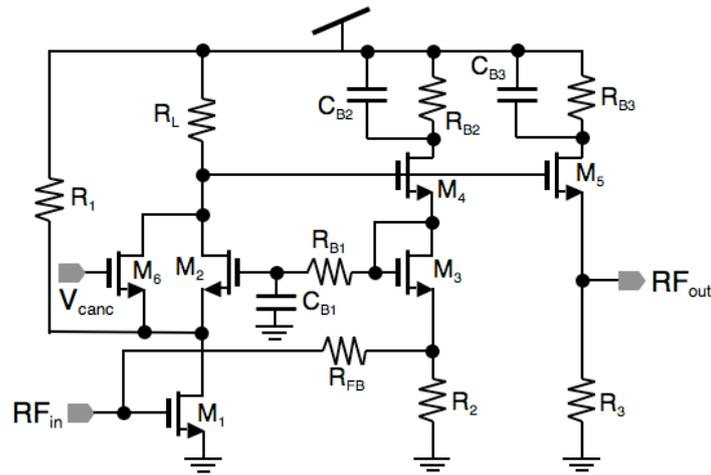
Ainsi, le LNA présente un gain plat dans la bande de fréquences : 0.1-6GHz. Son facteur de bruit dépend des performances du premier étage.

### **Architecture ‘Résistive Feed-back’ LNA avec compensation de IIP3, réf [45]**

La figure III.3 montre le schéma de cette topologie. Le transistor de gain  $M_1$ , le transistor cascode  $M_2$  et la résistance  $R_1$  constituent le gain en transconductance (gm) du premier étage.

La sortie de cet étage (charge  $R_L$ ) est bouclée en contre-réaction (suiveur  $M_4$ , transistor  $M_3$  et résistance de contre-réaction  $R_{FB}$ ) à l’entrée du transistor  $M_1$  pour assurer l’adaptation dans une bande large de fréquences. Cet étage utilise aussi une autre contre-réaction à l’entrée du transistor  $M_2$  (suiveur  $M_4$ , le transistor  $M_3$  résistance  $R_{B1}$ ) pour assurer la polarisation du transistor cascode (contre-réaction DC).

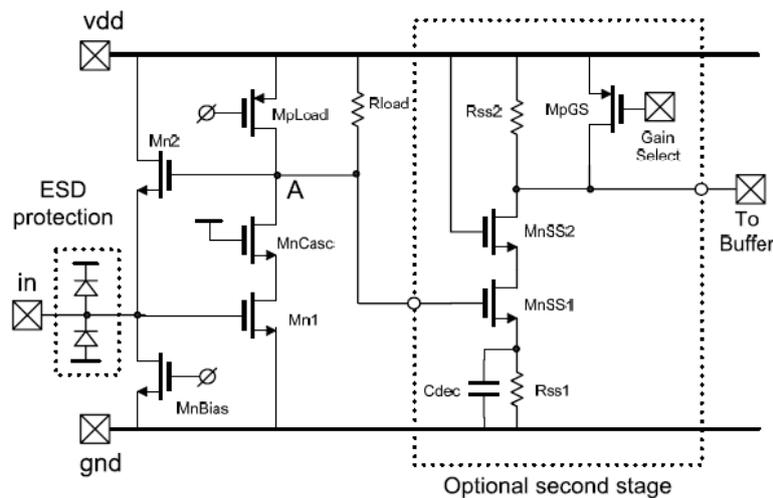
Un étage suiveur, composé de  $M_5$  and  $R_3$ , est utilisé pour commander la charge en sortie de  $50\Omega$ . Le transistor  $M_6$  est utilisé pour annuler les non-linéarités du transistor  $M_2$ .



**Figure III.3 : Architecture ‘Resistive feed-back’ avec compensation d’IIP3**

### Architecture ‘Shunt-shunt feed-back’ LNA, réf [49]

L’architecture est montrée, figure III.4 :



**Figure III.4 : Architecture ‘Shunt-shunt feed-back’**

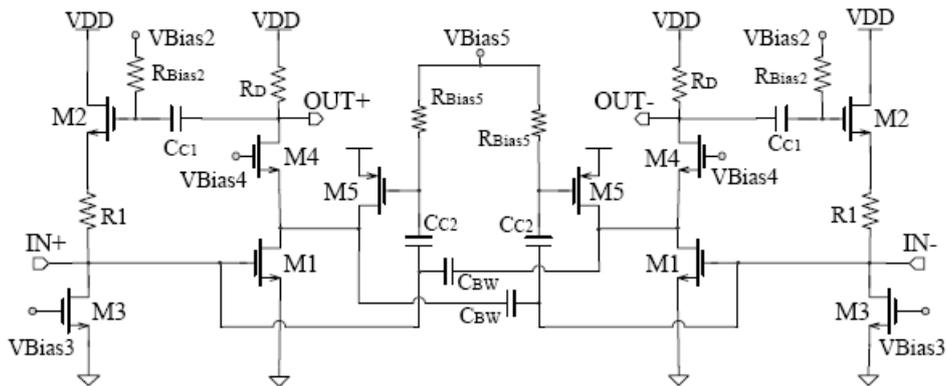
Le gain du premier étage est fourni par les transistors en cascade  $Mn_1$ - $Mn_{Casc}$ . Le transistor fonctionnant en suiveur  $Mn_2$ , est placé en mode de contre-réaction pour assurer l’adaptation large bande et la polarisation DC du premier transistor  $Mn_1$ . Ce transistor en contre-réaction ne dégrade pas les performances du facteur de bruit, mais il limite la linéarité de cet étage. La charge est comprise d’un transistor  $Mp_{load}$  et d’une résistance en parallèle  $R_{load}$ . Cette configuration réduit la dépendance entre le gain et l’adaptation dans la conception de l’architecture. En l’absence de capacitances, le circuit est large bande

Le gain en voltage est donné par  $A_V = gm_{Mn1} \cdot R_L$  et l'adaptation est réalisée si  $gm_{Mn2} = \frac{1}{R_s \times (1 + gm_{Mn1} R_L)}$ , où  $gm_{Mn1}$  et  $gm_{Mn2}$  sont les transconductances des transistors  $Mn_1$ - $Mn_2$  respectivement,  $R_L$  est la charge totale, et  $R_s$  est la résistance de la source ( $50\Omega$ ). Le bruit est optimisé pour une valeur assez grande de  $gm_{Mn1}$  qui peut compromettre la consommation du LNA.

Un second étage avec sélection de gain (via le transistor  $Mp_{GS}$ ) peut être mise en place afin d'augmenter le gain du LNA. La capacité  $C_{dec}$  assure la connexion entre la masse et la source du transistor  $M_{nSS1}$  en AC pendant que la résistance  $R_{SS1}$  permet de fixer le courant approprié pour le transistor de gain  $M_{nSS1}$ .

### Architecture du LNA différentiel avec amélioration du gain, réf [51]

Le schéma du LNA est montré dans la figure III.5.



**Figure III.5 : Architecture différentielle avec amélioration du gain**

Dans l'étage d'amplification, les transistors  $M_1$  (source commun) and  $M_5$ , mis en cascade, amplifient le signal d'entrée. En connectant les 2 grilles des deux transistors à travers  $C_{C2}$ , le gain est amplifié deux fois. Cela permet aussi d'utiliser le même courant de polarisation. Le gain total en mode « single » est donné par :  $A_V = \frac{(gm_1 + gm_5)gm_4R_D}{(gm_4 + gds_1 + gds_5)}$

La capacité en 'cross-coupling'  $C_{BW}$  entre l'entrée de  $M_1$  et le drain de  $M_5$  neutralise les capacités parasites des transistors (plusieurs pôles), qui limitent la largeur de bande et la stabilité en haute fréquences du LNTA.

L'étage de contre-réaction, composé par le transistor  $M_2$  et la résistance  $R_1$ , fournit



Nous montrons ci-dessous un tableau comparatif des architectures de LNA large bande étudiées :

<b>Paramètres</b>	<b>Réf [38]</b>	<b>Réf [44]</b>	<b>Réf [45]</b>	<b>Réf [49]</b>	<b>Réf [51]</b>	<b>Réf [52]</b>
<b>Technologie</b>	CMOS 90nm	CMOS 0.13um	CMOS 90nm	CMOS 90nm	CMOS 0.13um	CMOS 0.5um
<b>Fréq (GHz)</b>	0.8 - 6	0.1 - 6	0.5 – 6.2	0 - 6	1 - 7	0.9
<b>Gain (dB)</b>	18	14	24.4	17.4	17	12.2
<b>NF (dB)</b>	2.2	4 – 4.7	2.1 – 3.1	2.5	2.4	3
<b>S11 (dB)</b>	<-10	< -8.3	N/A	N/A	N/A	N/A
<b>P(mW)@V</b>	12.5@2.5V	16@1.2V	42@2.7V	9.8@1.2V	25@1.4V	20@2.7V
<b>IIP3 (dBm)</b>	N/A	N/A	-2	N/A	-4.1	+6.7
<b>Area (mm<sup>2</sup>)</b>	N/A	0.13	0.016	0.0017	0.019	0.2

**Tableau III.1 : Tableau comparatif des architectures de LNA large bande**

# Glossaire

1xEV-DO: 1 times Evolution-Data Optimized

1xRTT: 1 times Radio Transmission Technology

3GPP: 3rd Generation Partner Project

3GPP2: 3rd Generation Partner Project 2

ADC: Analogue Digital Converter

AGC: Automatic Gain Control

AMPS: Advanced Mobile Phone Systems

ARIB: Association of Radio Industries and Business

ATIS: Automatic Terminal Information Service

AWS: Advanced Wireless Service

BB: Baseband

BW: Bandwidth

CCSA: China Communication Standards Association

CDMA: Code Division Multiple Access

CEPT: European Conference of Postal and Telecommunications Administrations

CLR: Common Language Runtime

CMFB: Common Mode Feed-Back

CMOS: Complementary Metal Oxide Semiconductor

DAC: Digital Analogue Converter

DC: Direct Current

DCS: Digital Communication System

DSL: Digital Subscriber Line

DSP: Digital Signal Processing

EDGE: Enhanced Data Rates for GPRS Evolution

E-GSM: Extension of GSM900

ETSI: European Telecommunications Standards Institute

GMSK: Gaussian Minimum Shift Keying

GPRS: General Packet Radio Service

GPS: Global Positioning System

GSM: Global System for Mobile Communications

FDD: Frequency Division Duplexing

FIIR: Finite and Infinite Impulse Reponse  
FM: Frequency Modulation  
HSDPA: High Speed Downlink Packet Access  
HSUPA: High Speed Uplink Packet Access  
IEEE: Institute of Electrical Electronics Engineers  
IIP2: Second-Order Intermodulation Intercept Point  
IIP3: Third-Order Intermodulation Intercept Point  
IMT: International Mobile Telecommunications  
IS-41: Interim Standard 41  
IS-95: Interim Standard 95  
ITU: International Telecommunications Union  
LMS: Least-Mean-Square Algorithm  
LNA: Low Noise Amplifier  
LO: Local Oscillator  
LTE: Long Term Evolution  
MIMO: Multiple-Input Multiple-Output  
MMS: Multimedia Messaging Service  
NF: Noise Figure  
NMT 450: Nordic Mobile Telephony 450MHz  
NMT 900: Nordic Mobile Telephony 900MHz  
OFDMA: Orthogonal Frequency Division Multiple Access  
PA: Power Amplifier  
PCS: Personal Communication Service  
P-GSM: Primary GSM900  
PSK: Phase Shift Keying  
SAW: Surface Acoustic Wave  
SC-FDMA: Single Carrier FDMA  
SDR: Software Defined Radio  
SMS: Short Messaging Service  
R-GSM: GSM Railway  
RF: Radiofrequency  
RX: Receiver  
TACS: Total Access Communication System  
TDD: Time Division Duplexing

TDMA: Time Division Multiple Access

TD-SCDMA: Time Division Synchronous Code Division Multiple Access

TIA: Telecommunication Industries Association

TTA: Telecommunications Technology Association of Korea

TTC: Telecommunications Technology Committee of Japan

TS: Time Slot

TX: Transceiver

UMTS: Universal Mobile Telecommunications System

VGA: Voltage Gain Control

VoIP: Voice over IP

WAP: Wireless Application Protocol

WCDMA: Wide-band Code Division Multiple Access

WiMAX: Worldwide Interoperability for Microwave Access

ZIF: Zero Intermediary Frequency

# Bibliographie

- [1] [www.lejournaldunet.com/mobile](http://www.lejournaldunet.com/mobile), Source : février GFK 2010
- [2] Thesis - Adrian Karl Ong, “Bandpass Analog-to-Digital Conversion for Wireless Applications”, *Stanford University, Sept 1998*.
- [3] Thesis - Maria Merino Artalejo, “Market Impact of Software Radio: Benefit and Barriers”, *Massachusetts Institute of Technology, June 2002*.
- [4] Thesis - Manuel Camus, “Architecture de réception RF très faible coût et très faible puissance. Application aux réseaux de capteurs et au standard ZigBee”, *Université Toulouse III – Paul Sabatier, Février 2008*.
- [5] Thesis - Rayan Mina, “Etude des architectures échantillonnées de réception radio en technologie CMOS submicroniques avancées”, *ENST-STMicroelectronics, 2008*.
- [6] GSM/ EDGE standard specifications: 3GPP TS 45.005 V8.3.0 (2008-11). 3<sup>rd</sup> Generation Partnership Project; Technical Specification Group GSM/ EDGE; Radio Access Network; Radio transmission and reception (Release 8)
- [7] LTE and WCDMA standard specifications: 3GPP TS 25.101 V9.1.0 (2009-09). 3<sup>rd</sup> Generation Partnership Project; Technical Specification Group Radio Access Network; User Equipment (UE) radio transmission and reception (FDD) (Release 8)
- [8] WiMAX Forum: Fixed, nomadic, portable and mobile application for 802.16-2004 and 802.16e WiMAX Networks, November 2005.
- [9] M. Vidojkovic, V. Vidojkovic, M. Sanduleanu, et al., “A 1.2V Inductorless Receiver Front-End for Multi-Standard Wireless Applications” *RWS, pp. 41-44, 2008*.
- [10] O. Gaborieau, S. Mattisson, N. Klemmer, et al., “A SAW-less Multiband WEDGE Receiver”, *ISSCC Dig. Tech. Papers, pp. 114 – 115, Feb 2009*.
- [11] B. Tenbroek, J. Strange, D. Nalbantis, “Single-Chip Tri-band WCDMA/ HSDPA Transceiver without External SAW Filters and with Integrated TX Power Control”, *ISSCC Dig. Tech. Papers, pp. 202 – 203, Feb 2008*.
- [12] T. Sowlati, B. Agarwal, J. Cho, et al. “Single-Chip Multiband WCDMA/ HSDPA/ HSUPA/ EGPRS Transceiver with Diversity Receiver and 3G DigRF Interface with SAW filter in Transmitter / 3G Receiver Paths”, *ISSCC Dig. Tech. Papers, pp. 116 – 117, Feb 2009*.

- [13] A. Rofougaran, J. Chang, M. Rogougaran and A. Abidi, "A 1GHz CMOS RF Front-End IC for a Direct Conversion Wireless Receiver"; *IEEE J. Solid- State Circuits*, vol. 31, no. 7, pp. 880 – 889, July 1996.
- [14] J. Mitola, "The Software Radio Architecture", *IEEE Commun. Mag.*, vol. 33, no. 5, pp. 26-38, May 1995.
- [15] R. Bagheri, A. Mirzaei, S. Chehrazi, et al., "An 800 MHz to 5 GHz Software-Defined Radio Receiver in 90 nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 1932–1941, Feb 2006.
- [16] R. Bagheri, A. Mirzaei, S. Chehrazi et al., "An 800MHz-6GHz Software- Defined Wireless Receiver in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no.12, pp. 2860-2876, Dec. 2006.
- [17] A. Abidi, "The path to the Software-Defined Radio Receiver", *IEEE J. Solid-State Circuits*, vol 42, no. 5, pp. 954-966, May 2007.
- [18] M. Ingels, C. Soens, J. Craninckx, et al., "A CMOS 100 MHz to 6 GHz Software Defined Radio analog front-end with integrated Pre-Power Amplifier," *Proc. of ESSCIRC*, pp. 436-439, Sep. 2007.
- [19] L. Van der Perre, B. Bougard, J. Craninckx et al., "Architectures and Circuits for Software-Defined Radios: Scaling and Scalability for Low Cost and Low Energy" *ISSCC Dig. Tech. Papers*, pp.568-569, Feb. 2007.
- [20] J. Craninckx, M. Liu, D. Hauspie et al., "A Fully Reconfigurable Software-Defined Radio Transceiver in 0.13 $\mu$ m CMOS," *ISSCC Dig. Tech. Papers*, pp.346-347, Feb. 2007.
- [21] S. Lee, J. Bergervoet, K. Harish et al., "A Broadband Receive Chain in 65nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 418-419, Feb. 2007.
- [22] R. van de Beek, J. Bergervoet, H. Kunder, et al., "A 0.6-to-10GHz Receiver Front-End in 45nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 128-129, Feb. 2008.
- [23] S. Blaakmeer, E. Klumperink, Domine Leenaerts and Bram Nauta, "A Wideband Balun LNA I/Q-Mixer combination in 65nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 326-327, Feb. 2008.
- [24] E. Keehr and A. Hajimiri "Equalization of IM3 Products in Wideband Direct-Conversion Receivers", *ISSCC Dig. Tech. Papers*, pp. 204 – 205, Feb 2008.
- [25] E. Keehr and A. Hajimiri "Equalization of Third-Order Intermodulation Products in Wideband Direct-Conversion Receivers", *IEEE J. Solid- State Circuits*, vol. 43, no. 12, pp. 2853–2867, Dec. 2008.

- [26] A. Safarian, A. Shameli, A. Rofougaran, et al., “Integrated Blocker Filtering RF Front Ends”, *RFIC Symp. Dig. Papers*, pp. 13–16, Jun. 2007.
- [27] H. Darabi, “A Blocker Filtering Technique for SAW-less Wireless Receivers”, *IEEE J. Solid- State Circuits*, vol 42, no12, pp. 2766 – 2773, Dec 2007.
- [28] T. Werth, C. Schmits and S. Heinen, “Active Feedback Interference Cancellation in RF Receiver Front-Ends”, *RFIC Symp. Dig. Papers*, pp. 379 - 382, June 2009.
- [29] T. Werth, C. Schmits and S. Heinen, “An Active Feedback Interference Cancellation Technique for Blocker Filtering in RF Receiver Front-Ends”, *IEEE J. Solid- State Circuits*, vol 45, no. 5, pp. 989 – 997, May 2010.
- [30] A. Mizraei and H. Darabi, “A Low-Power WCDMA Transmitter With an Integrated Notch Filter”, *ISSCC Dig. Tech. Papers*, pp. 212 – 213, Feb 2008.
- [31] A. Mizraei and H. Darabi, “A Low-Power WCDMA Transmitter With an Integrated Notch Filter”, *IEEE J. Solid- State Circuits*, vol. 43, no. 12, pp. 2868 – 2881, Dec 2008.
- [32] S. Kousai, D. Miyashita, J. Wadatsumi, et al., “A 1.2V 0.2-to-6.3GHz Transceiver with Less Than  $-29.5\text{dB EVM}@-3\text{dBm}$  and a Choke/Coil-Less Pre- Power Amplifier,” *ISSCC Dig. Tech. Papers*, pp. 214-215, Feb. 2008.
- [33] A. Liscidini, M. Brandolini, D. Sanzogni and R. Castello, “A 0.13 $\mu\text{m}$  CMOS Front-End, for DCS1800/ UMTS/ 802.11b-g With Multiband Positive Feedback Low Noise Amplifier”, *IEEE J. Solid-State Circuits*, vol. 41, no.4, pp. 981-989, April. 2006.
- [34] F. Agnelli, G. Albasini, I. Bietti, et al. “Wireless Multi-standard Terminals: System Analysis and Design of a Reconfigurable RF Front-End”, *IEEE Circuits and Systems Magazine*, pp. 38 - 59, 2006.
- [35] K. Muhammad and R. Bogdan, “Direct RF Sampling Mixer with Recursive Filtering in Charge Domain”, *ISCAS*, pp. 577 – 580, 2004.
- [36] F. Montaudon, R. Mina, S. Le Tual, et al. “A Scalable 2.4 – 2.7 GHz Wi-Fi/ WiMAX discrete-time Receiver in 65nm CMOS”, *ISSCC Dig. Tech. Papers*, Feb 2008.
- [37] R. Mukhopadhyay, Y. Park, P. Sen et al. “Reconfigurable RFICs in Si-Based Technologies for a Compact Intelligent RF Front-End”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 1 pp. 81-93, Jan 2005.
- [38] F. Bruccoleri, E. Klumperink, and B. Nauta, “Wide-band CMOS low-noise amplifier exploiting thermal noise canceling,” *IEEE J. Solid- State Circuits*, vol. 39, no. 2, pp. 275–282, Feb. 2004.

- [39] S. Chehrazi, A. Mirzaei and R. Bagheri, "A 6.5 GHz wideband CMOS low noise amplifier for multi-band use," in *Proc. 2005 IEEE Custom Integrated Circuits Conf. (CICC 2005)*, pp. 801–804, Sep. 2005.
- [40] S. Blaakmeer, E. Klumperink and D. Leenaerts, "A wideband noise-canceling CMOS LNA exploiting a transformer," *RFIC Symp. Dig. Papers*, Jun. 2006, pp. 137–140.
- [41] S. Blaakmeer, E. Klumperink and D. Leenaerts, "An Inductorless Wideband Balun-LNA in 65nm CMOS with Balanced Output," *Proc. ESSCIRC*, pp. 364-367, Sept. 2007.
- [42] S. Blaakmeer, E. Klumperink and B. Nauta, "An Inductorless Wideband Balun-LNA in 65nm CMOS with balanced output," *Proc. of ESSCIRC*, pp. 364 – 367, Sept. 2007.
- [43] S. Blaakmeer, E. Klumperink and D. Leenaerts, "Wideband Balun-LNA with Simultaneous Output Balancing, Noise-Cancelling and Distortion-Cancelling," *IEEE J. Solid-State Circuits*, vol. 43, no. 6, pp. 1341-1350, June 2008.
- [44] J. Wadatsumi, S. Kousai and D. Miyashita, "A 1.2V, 0.1-6.0 GHz, Two-Stage Differential LNA Using Gain Compensation Scheme," *Proc. SIRF*, pp 175-178, 2008.
- [45] B. Perumana, J. Zhan, S. Taylor, et al., "A 5 GHz, 21 dBm Output-IP3 Resistive Feedback LNA in 90-nm CMOS," *Proc. ESSCIRC*, pp. 372-375, Sept. 2007.
- [46] J. Zhan, S. Taylor, "An Inductor-Less Broadband LNA with Gain Step", *Proc. of ESSCIRC*, pp. 344 – 347, Sept. 2006.
- [47] J. Zhan and S. Taylor, "A 5GHz Resistive-Feedback CMOS LNA for Low-Cost Multi-Standard Applications," *ISSCC Dig. Tech. Papers*, pp. 200-201, Feb. 2006.
- [48] B. Perumana, J. Zhan, S. Taylor and Joy Laskar, "A 0.5-6GHz Improved Linearity, Resistive Feedback 90-nm CMOS LNA," *ASSCC*, pp. 263-266, 2006.
- [49] J. Borremans, P. Wambacq and D. Linten, "An ESD-Protected DC-to-6GHz 9.7mW LNA in 90nm Digital CMOS," *ISSCC Dig. Tech. Papers*, pp. 422-423, Feb. 2007.
- [50] J. Borremans, P. Wambacq, G. Van der Plas, et al., "A Switchable Low-Area 2.4-and-5 GHz Dual-Band LNA in Digital CMOS," *Proc. of ESSCIRC*, pp. 376 – 379, Sept. 2007.
- [51] R. Ramzan, S. Andersson, J. Dabrowski and C. Svensson., "A 1.4V 25mW Inductorless Wideband LNA in 0.13 $\mu$ m CMOS," *ISSCC Dig. Tech. Papers*, pp. 424-425, Feb. 2007.
- [52] W. Zhuo, S. Embabi, J. Pineda, et al. "Using Capacitive Cross-Coupling Technique in RF Low Noise Amplifiers and Down-Conversion Mixer Design", *Proc. of ESSCIRC*, pp. 77 – 80, Sept. 2000.
- [53] S. Woo, W. Kim, C. Lee, et al., "A 3.6mW Differential Common Gate CMOS LNA with Positive-Negative Feed-back," *ISSCC Dig. Tech. Papers*, pp. 218-219, Feb. 2009.

- [54] A. Scholten, H. Tromp and L. Tiemeijer, “Accurate Thermal Noise Model for Deep-Submicron CMOS”, *IEDM*, pp. 155-158, 1999.
- [55] S. Wang, A. Niknejad, and R. Brodersen, “A Sub-mW 960MHz Ultra-Wideband CMOS LNA,” *RFIC Symp. Dig. Papers*, Jun. 2005, pp. 35–38.
- [56] A. Amer, E. Hegazi and H. Ragaie, “A 90-nm Wideband Merged CMOS LNA and Mixer Exploiting Noise Cancellation”, *IEEE J. Solid- State Circuits*, vol. 42, no. 2, pp. 323–328, Feb. 2007.
- [57] D. Allstot, X. Li and S. Shekhar “Design Considerations for CMOS Low-Noise Amplifiers”, *RFIC Symp. Dig. Papers*, pp. 97 - 100, June 2004.
- [58] Revised Second Edition, R. Jacob Baker, “CMOS Circuit Design, Layout, and Simulation”, WILEY – INTERSCIENCE A John Wiley & Sons, Inc., Publication.
- [59] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw – Hill International Edition.
- [60] Gabriel Vasilescu “Bruits et Signaux Parasites”, DUNOD
- [61] Second Edition, Thomas H. Lee, “The Design of CMOS Radio-Frequency Integrated Circuits”, CAMBRIDGE University Press.
- [62] Fei Yuan, “CMOS Active Inductors and Transformers – Principle, Implementation and Applications” SPRINGER.
- [63] Laurent Chusseau, “Hyperfréquences – Paramètres S”, *Centre d’Electronique et Microélectronique de Montpellier, UMR no 5507 CNRS, version 1, Déc 2008*.
- [64] Ken Kundert, “Accurate and Rapid Measurement of IP2 and IP3”, *Designer’s Guide Consulting, Inc. Version 1b, May 2002*.
- [65] A. Dao, “Integrated LNA and Mixer Basics”, *National Semiconductor, Application Note 88, April 1993*.
- [66] Dean Banerjee, “Non-PLL RF Basics”, *National Semiconductor, Application Engineer*.
- [67] Didier Magnon, « Les composants électroniques de commutation »
- [68] R. Shu, V. Subramanian, G. Boeck, and al. “A Wide-Band CMOS Voltage-Controlled Oscillator with Switched-Capacitor Array”, *IEEE German Microwave Conference*, pp.43-46, 2010.
- [69] A. Van Bezooijen, M. Jongh, F. Van Stranten, et al. “Adaptive Impedance-Matching Techniques for Controlling L Networks”, *IEEE Transaction on Circuits and Systems*, vol. 57, no. 2, pp.495-505, Feb 2010.
- [70] M. Mikhemar, H. Darabi and A. Abidi, “A Tunable Integrated Duplexer with 50dB Isolation in 40nm CMOS” *ISSCC Dig. Tech. Papers*, pp. 386 – 387, Feb 2009.

- [71] E. Sartori “Hybrid Transformers”, *IEEE Transactions on Parts, Materials and Packaging*, vol. 4, no. 3, pp. 59 – 66, Sept 1968.
- [72] V. Aparin, G. Ballantyne, C. Persico and A. Cicalino ; “An Integrated LMS Adaptive Filter of TX Leakage for CDMA Receivers Front-Ends”, *IEEE J. Solid- State Circuits*, vol. 41, no. 5, pp. 1171 – 1182, May 2006.
- [73] Z. Ru, A. Klumperick, G. Wienk and B. Nauta, “A Software-Defined Radio Receiver Architecture Robust to Out-of-Band Interference”, *ISSCC Dig. Tech. Papers*, pp. 230-231, Feb. 2009.
- [74] Z. Ru, A. Klumperick, C. Saavedra and B. Nauta, “A Tunable 300-800MHz RF-Sampling Receiver Achieving 60dB Harmonic Rejection and 0.8dB Minimum NF in 65nm CMOS”, *RFIC Symp. Dig. Papers*, Jun. 2009, pp. 21–24.
- [75] R. Pullela, S. Tadjpour, D. Rozenblit et al. “An Integrated Closed-Loop Polar Transmitter with Saturation Prevention and Low-IF Receiver for Quad-Band GPRS/EDGE”, *ISSCC Dig. Tech. Papers*, pp. 112 - 113, Feb. 2009.
- [76] D. Jakonis, K. Folkesson, J. Dabrowski et al. “A 2.4GHz RF Sampling Receiver Front-End in 0.18um CMOS”, *IEEE J. Solid- State Circuits*, vol. 40, no. 6, pp. 1265 – 1277, June 2005.
- [77] H. Kathri, L. Liu, T. Chang et al. “A SAW-less CDMA Receiver Front-End with Single-Ended LNA and Single-Balanced Mixer with 25% Duty-Cycle LO in 65nm CMOS”, *RFIC Symp. Dig. Papers*, Jun. 2009, pp. 13–16.
- [78] D. Kaczman, M. Shah, M. Alam et al. “A Single-Chip 10-Band WCDMA/ HSDPA 4-Band GSM/ EDGE SAW-less CMOS Receiver with DigRF 3G Interface and +90dBm IIP2”, *IEEE J. Solid- State Circuits*, vol. 44, no. 3, pp. 718 – 739, March 2009.
- [79] N. Kim, L. Larson and V. Aparin, “A Highly Linear SAW-less CMOS Receiver Using a Mixer with Embedded TX Filtering for CDMA”, *IEEE Custom Integrated Circuit Conference*, pp. 729 – 732, 2008.
- [80] K. Koli, J. Jussila, P. Sivonen, et al. “A 900MHz Direct  $\Delta\Sigma$  Receiver in 65nm CMOS”, *ISSCC Dig. Tech. Papers*, pp. 64 – 65, Feb 2010.
- [81] J. Borremans, G. Mandal and V. Giannini, “A 40nm CMOS Highly Linear 0.4-to-6GHz Receiver Resilient to 0dBm Out-of-Band Blockers” *ISSCC Dig. Tech. Papers*, pp. 62 – 63, Feb 2011.
- [82] X. He and H. Kundur, “A Compact SAW-less Multiband WCDMA/ GPS Receiver Front-End with Translational Loop for Input Matching” *ISSCC Dig. Tech. Papers*, pp. 372 – 373, Feb 2011.