

N° d'ordre 40630

THESE

Pour l'obtention du grade de

Docteur de l'Université des Sciences et Technologies de Lille

Spécialité : Microondes et Microtechnologies

Par

Thomas LACAVE

*« Transistor bipolaire Si/SiGe:C en nœud CMOS avancé pour
applications (Sub)-Millimétriques »*

Soutenue le 13 Décembre 2011

Membres du jury :

M. Zimmer Thomas
M. Roland Teissier
M. Delage Sylvain
M. Bollaert Sylvain
M. Gaquiere Christophe
M. Chevalier Pascal

Rapporteur
Rapporteur
Membre du jury
Président du Jury
Directeur de thèse
Encadrant industriel

Remerciements

Je tiens à remercier avant tout Pascal Chevalier pour m'avoir accueilli dans l'équipe « bipolaire avancé » à STMicroelectronics Crolles et accompagné durant ces trois années de thèse. Un grand merci pour ta disponibilité et ta rigueur qui furent très formatrices.

Merci également aux autres membres de l'équipe : Grégory Avenier, Alain Chantre pour m'avoir aidé tout au long de ce travail, pour avoir toujours été là pour répondre à mes questions et de m'en avoir posées de bonnes.

Merci à Olivier Noblanc de m'avoir permis d'intégrer l'équipe process intégration de STMicroelectronics Crolles.

Je remercie Christophe Guaquière du Laboratoire de l'IEMN à Lille pour avoir encadré mon travail et pour sa collaboration.

Je tiens à remercier les rapporteurs et examinateurs de la thèse : Thomas Zimmer, Rolland Teissier, Sylvain Delage et Sylvain Bollaert pour avoir accepté de participer à mon jury de thèse et pour leur travail de relecture du manuscrit.

De nombreuses équipes ont apporté leur contribution à ce travail et je tiens à les remercier fortement :

- Merci à tout le personnel de la salle blanche de STMicroelectronics à Crolles qui a travaillé jour et nuit afin de faire avancer nos lots dans leur processus de fabrication.
- Yves Campidelli pour son remarquable savoir-faire en épitaxie.
- Nadine Bicaïs et son équipe pour les nombreuses caractérisations physiques qu'ils nous ont fournies.
- Daniel Gloria et Michel Buczko pour toutes les mesures hyperfréquences réalisées sur les composants, dont les précieux résultats représentent la finalité du développement.

Le travail n'est heureusement pas tout et je tiens à saluer les personnes avec lesquelles j'ai pu passer de bons moments et qui ont contribué à la bonne ambiance du groupe.

Les ex-thésards du groupe tout d'abord : Greg, Benoit, Pierre-Marie et David ; ainsi que les membres et ex-membres de l'équipe R&D, Luc, Hélène, Axel, Céline... pour les moments partagés ensemble au café, au Shannon, à la bobine.

Je tiens également à remercier les 7 Laux pour la réactivité hors du commun de son équipe et les inoubliables matinées passées en compagnie de Benjamin, avec de la poudreuse jusqu'aux genoux et le sourire jusqu'aux oreilles.

J'aimerais aussi remercier les personnes qui m'ont accompagné en dehors de la vie professionnelle durant ces trois ans :

- Mes amis: Galdric, Vincent, Julian, Julien (X2), Paul, Rachid, Anne-Laure, Claire, Guilhem..., pour tous les bons moments et soirées passés ensemble.

- Enfin, je tiens à remercier chaleureusement Simone, Mireille ou ma pauvre Lucette, qui a partagé ma vie durant ce travail et dont le soutien et la motivation ont sans aucun doute contribué à la réussite de ce travail...

Glossaire

A

α	Gain en courant en base commune défini par $\alpha=I_C/I_E$
A_E	Surface du transistor définie par $A_E=W_{\text{Eff}} \times L_{\text{Eff}}$

B

β	Gain en courant du transistor bipolaire en montage émetteur commun défini par $\beta=I_C/I_B$
<i>Back-end</i>	Ensemble des étapes de fabrication des interconnexions métalliques
Base intrinsèque	Correspond à la couche déposée par épitaxie sélective de la base
Base neutre	Zone de base comprise entre les zones de charge d'espace émetteur/base et base/collecteur
<i>BiCMOS</i>	<i>Bipolar Complementary Metal Oxide Semiconductor</i> : technologie associant un ou plusieurs types de transistors bipolaires (généralement de type npn) avec les transistors MOS de type p et n
<i>Boxplot</i>	Représentation graphique de résultats statistiques
BV_{CBO}	Tension de claquage base/collecteur (émetteur ouvert)
BV_{EBO}	Tension de claquage émetteur/base (collecteur ouvert)
BV_{CEO}	Tension de claquage émetteur/collecteur (elle fait intervenir les deux jonctions du transistor)

C

C_{JC}	Capacité de la jonction base/collecteur
C_{JE}	Capacité de la jonction émetteur/base

D

ΔE_G	Différence d'énergie de bande interdite entre l'émetteur et la base
ΔE_{GSiGe}	Différence d'énergie de bande interdite entre l'émetteur et la base pour un transistor Si/SiGe (correspond à la réduction d'énergie de bande interdite due à l'introduction du germanium)
D_n, D_p	Coefficient de diffusion des électrons, trous
D_{ne}	Coefficient de diffusion des électrons dans l'émetteur
D_{nb}	Coefficient de diffusion des électrons dans la base
D_{pb}	Coefficient de diffusion des trous dans la base
D_{pe}	Coefficient de diffusion des trous dans l'émetteur
<i>DTI</i>	<i>Deep Trench Isolation</i> (isolation par tranchées profondes)
<i>DotFive</i>	Projet Européen dont l'objectif est de réaliser des transistors bipolaires ayant une fréquence F_{MAX} de 500 GHz

E

E_G	Energie de bande interdite
E_{GB}	Energie de bande interdite dans la base
E_{GE}	Energie de bande interdite dans l'émetteur
E_F	Energie de Fermi
E_V	Energie du haut de la bande de valence
E_C	Energie du bas de la bande de conduction
E_B	Energie de barrière. Elle correspond au minimum d'énergie dans la bande de valence à l'hétérojonction Si/SiGe

F

f_T	Fréquence de transition (fréquence de fonctionnement pour laquelle le gain en courant du transistor vaut 1)
f_{MAX}	Fréquence maximale d'oscillation (fréquence de fonctionnement pour laquelle le gain en puissance du transistor vaut 1)

FSA *Fully Self Aligned* : se dit d'une architecture complètement auto-alignée.

G

G_p, G_n Taux de génération des trous, électrons
 G_B Nombre de Gummel de la base
 G_E Nombre de Gummel de l'émetteur

I

I_B Courant de base
 I_{Br} Composante du courant de base due aux recombinaisons
 électrons/trous
 I_C Courant collecteur
 I_{Ch} Composante du courant collecteur formée par les trous
 I_E Courant d'émetteur
 I_{Ee} Composante du courant d'émetteur formée par les électrons
 I_{Eh} Composante du courant d'émetteur formée par les trous

J

J_n, J_p Densité de courant d'électrons, de trous

K

k Constante de Boltzmann ($1,38.10^{-23}$ J/K)

L

L_E Longueur dessinée de l'émetteur
 L_{Eeff} Longueur effective de l'émetteur

M

μ_n, μ_p	Mobilité des électrons, trous
μ_{ne}	Mobilité des électrons dans l'émetteur
μ_{nb}	Mobilité des électrons dans la base
μ_{pb}	Mobilité des trous dans la base
μ_{pe}	Mobilité des trous dans l'émetteur
Monosilicium	Silicium monocristallin
M	Facteur d'avalanche

N

N_{db}	Concentration d'atomes donneurs dans la base
N_{ae}	Concentration d'atomes accepteurs dans l'émetteur
N_E	Concentration en dopants de l'émetteur
$N_{polybase}$	Concentration en dopants de la base extrinsèque
n_E	Densité d'électrons dans l'émetteur
n_{E0}	Densité d'électrons dans l'émetteur à l'équilibre thermodynamique
n_i	Densité intrinsèque de porteurs
N_C	Densité d'états effective dans la bande de conduction
N_V	Densité d'états effective dans la bande de valence

P

p_B	Densité de trous dans la base
p_{B0}	Densité de trous dans la base à l'équilibre thermodynamique
Polysilicium	Silicium polycristallin
Polyémetteur	Silicium polycristallin formant l'émetteur du transistor bipolaire
Polybase	Silicium polycristallin formant la base extrinsèque du transistor bipolaire

Q

q	Charge élémentaire ($1,6 \cdot 10^{-19} \text{C}$)
Q_E	Charge formée par les électrons dans l'émetteur
Q_{EB}	Charge accumulée à la jonction émetteur/base
Q_{BC}	Charge accumulée à la jonction base/collecteur
Q_B	Charge formée par les trous dans la base
Q_F	Charge totale formée par les porteurs minoritaires dans le transistor
QSA	<i>Quasi Self Aligned</i> (quasi-auto-aligné)

R

R_B	Résistance de base
R_E	Résistance de l'émetteur
R_C	Résistance du collecteur
$R_{\text{base pincée}}$	Résistance de base pincée
R_{polybase}	Résistance de base extrinsèque
Route	Enchaînement de l'intégralité des étapes de fabrication

S

<i>SEG</i>	<i>Selective Epitaxial Growth</i> (épitaxie sélective)
<i>SEM</i>	<i>Scanning Electron Microscopy</i> (microscopie électronique à balayage)
<i>Si cap</i>	Couche de silicium terminant l'épitaxie de la base
SiGe	Alliage silicium-germanium
<i>STI</i>	<i>Shallow Trench Isolation</i> (isolation par tranchées peu profondes)
<i>SIMS</i>	<i>Secondary Ion Mass Spectroscopy</i>

T

T	Température absolue (en Kelvin)
τ_B	Temps de transit dans la base
τ_E	Temps de transit dans l'émetteur

τ_{BC}	Temps de transit dans la zone de charge d'espace base/collecteur
τ_{EB}	Temps de transit dans la zone de charge d'espace émetteur/base
τ_F	Temps de transit total défini par $\tau_F = Q_F / I_C$
<i>TEM</i>	<i>Transmission Electron Microscopy</i> (microscopie électronique en transmission)
TBH	Transistor Bipolaire à Hétérojonction (<i>HBT : Heterojonction Bipolar Transistor</i>)
TEOS	Oxyde déposé obtenu par décomposition du TetraEthylOrthoSilicate

U

U	Gain de Mason
---	---------------

V

V_{AF}	Tension d'Early en régime direct
V_{AR}	Tension d'Early inverse

W

W_B	Epaisseur de la base neutre
W_E	Largeur de la fenêtre émetteur
$W_{E\text{eff}}$	Largeur effective de la fenêtre émetteur W_E (obtenue à l'aide des espaceurs internes)

Z

Z.C.E	Zone de charge d'espace
-------	-------------------------

SOMMAIRE

Glossaire.....	7
Introduction générale.....	19
A Le transistor bipolaire à hétérojonction Si/SiGe.....	23
I. Introduction	23
II. Le transistor bipolaire : Théorie et fonctionnement	23
II.1 Jonctions PN – NPN.....	23
II.2 Structure d'un composant bipolaire et principe de fonctionnement	24
II.3 L'alliage Silicium-Germanium (SiGe).....	25
II.3.a. Caractéristiques de l'alliage Silicium-Germanium.....	25
II.3.b. Propriétés cristallines	25
II.3.c. Croissance et épaisseur critique.....	25
II.3.d. Structure de bandes.....	27
II.3.e. Intérêts du SiGe pour la base du transistor bipolaire	29
II.3.f. Notions d'épitaxie	30
II.3.g. Ajout de carbone dans l'alliage SiGe	30
II.4 Fonctionnement en régime statique	31
II.4.a. Les composantes des différents courants	31
II.4.b. Expression des courants	33
II.4.b.i Equations fondamentales et hypothèses.....	33
II.4.b.ii Expression du courant de base I_B	34
II.4.b.iii Expression du courant de collecteur I_C	35
II.4.c. Gain en courant.....	36
II.4.c.i Montage base commune (α)	37
II.4.c.ii Montage émetteur commun (β)	37
II.4.c.iii Discussion sur le gain en courant des TBH.....	38
II.4.d. Expression des courants principaux et effets du second ordre.....	38
II.4.d.i Non-idéalité à faible injection	39
(1) Recombinaison dans la ZCE émetteur-base	39
(2) Courant tunnel bande à bande	40
II.4.d.ii Avalanche et tensions de claquage	42
(1) Principe	42
(2) Avalanche dans la jonction base-collecteur - BV_{CBO}	42
(3) Tension de claquage BV_{EBO}	43
(4) Tension de claquage BV_{CEO}	43
(5) Discussion sur la tension de claquage d'un TBH.....	44
II.4.d.iii Modulation de la largeur de la base W_B	44
(1) Effet Early direct – V_{AF}	45
(2) Effet Early inverse – V_{AR}	46
(3) Perçage de la base.....	47
II.4.d.iv Effet Kirk.....	48
II.4.d.v Effet des résistances série R_E et R_B	49
II.4.d.vi Quasi-saturation (R_C)	49
II.5 Fonctionnement en régime dynamique	50
II.5.a. Les temps de transit	51
II.5.a.i Temps de transit dans la base τ_B	51
II.5.a.ii Temps de transit dans l'émetteur τ_E	52

II.5.a.iii Temps de transit dans la jonction émetteur-base τ_{EB}	52
II.5.a.iv Temps de transit dans la jonction base-collecteur τ_{BC}	53
II.5.b. Fréquences de coupure.....	53
II.5.b.i Fréquence de transition f_T	53
II.5.b.ii Fréquence maximale d'oscillation f_{MAX}	57
III. Techniques de caractérisation et mesures électriques.....	57
III.1 Mesures statiques.....	57
III.2 Mesures manuelles.....	57
III.2.a. Test paramétrique automatique	58
III.2.b. Caractérisation électrique	58
III.2.b.i Courbes de Gummel et gain en courant.....	58
III.2.b.ii Caractéristiques de sortie	59
III.2.b.iii Tension de claquage BV_{CEO} et tension d'avalanche	60
III.3 Mesures hyperfréquence	61
III.3.a. Théorie des quadripôles	61
III.3.b. Paramètres S.....	63
III.3.c. Extraction des fréquences de coupure	64
III.3.c.i Fréquence de transition	64
III.3.c.ii Fréquence maximale d'oscillation.....	65
III.3.d. Principe de l'épluchage (De-embedding)	66
III.4 Notions de bruit	67
III.4.a.i Les sources de bruit blanc	68
(1) Le bruit thermique	68
(2) Le bruit de grenaille.....	68
III.4.a.ii Bruit à basse fréquence	69
III.4.a.iii Le bruit à haute fréquence.....	69
III.5 Caractérisation Load-Pull.....	70
III.5.a.i Principe et mesure.....	70
III.5.a.ii Présentation du banc de mesure – composition du banc	71
IV. Description de la technologie	72
IV.1 Présentation de l'architecture du transistor.....	72
IV.2 Fabrication de transistor.....	73
IV.3 Etape de fabrication d'un transistor bipolaire	74
IV.3.a. Vue générale des étapes de fabrication.....	74
IV.3.a.i FEOL	74
IV.3.a.ii BEOL (intérêt des lignes de métal épaisses).....	74
IV.3.a.iii Détail de l'élaboration du transistor (partie intrinsèque - FEOL) ...	74
(1) Isolation et définition des zones actives	74
(2) Dépôt de la base extrinsèque et ouverture de la fenêtre émetteur.....	75
(3) Epitaxie sélective de la base intrinsèque.....	76
(4) Emetteur : module espaceur, dépôt et mise en forme.....	77
(5) Recuit final et siliciuration.....	78
IV.3.a.iv Schéma d'intégration	79
IV.3.b. Intérêt de l'architecture employée.....	79
IV.3.c. Dessin des dispositifs	80
IV.3.c.i Masque nécessaire pour l'élaboration de TBH	80
IV.3.c.ii Dessin des masques et règles de dessin	81
V. Etat de l'art.....	82
V.1 Evolution des technologies silicium (résultats, état de l'art avant la thèse)....	82
V.1.a. IBM.....	82

V.1.b. NXP	83
V.1.c. IMEC	83
V.1.d. STMicroelectronics	84
V.1.e. Résumé des performances.....	85
V.2 Résultats publiés pendant le projet Dot Five.....	85
V.2.a. Infineon Technologies (IFX).....	86
V.2.b. STMicroelectronics	87
V.2.c. IMEC	87
V.2.d. IHP.....	88
V.2.e. Bilan des résultats publiés.....	89
B Optimisation du profil vertical du transistor bipolaire pour une architecture donnée.....	91
I. Introduction	91
II. Emetteur.....	96
II.1 Motivations et description des essais réalisés.....	96
II.2 Résultats	96
II.3 Discussion.....	100
III. Niveau de dopage du collecteur implanté	101
III.1 Motivations et description des essais réalisés	101
III.2 Résultats	102
III.3 Discussion	104
IV. Dopage de la base	105
IV.1 Motivations et description des essais réalisés	105
IV.2 Résultats	105
IV.3 Discussion	108
V. Epaisseur de la couche tampon en silicium de la base.....	109
V.1 Motivations et description des essais réalisés	109
V.2 Résultats	109
V.3 Discussion	111
VI. Synthèse et perspectives.....	112
VII. Conclusions.....	116
C Réduction des dimensions latérales du composant	117
I. Introduction	117
II. Dessin des composants	118
II.1 Des règles de dessin aux masques	118
II.2 Modification des règles de dessin.....	120
II.2.a. Puits collecteur	120
II.2.b. Fenêtre émetteur	122
II.2.c. Contact et premiers niveaux métalliques.....	122
II.3 Nœud technologique avancé : de nouvelles possibilités pour les règles de dessin	124
II.3.a. Des équipements plus performants.....	125
II.3.b. Des règles moins contraignantes pour la métallisation.....	125
II.3.c. Dessin retenu et variation des règles de dessin envisagées.....	126
III. Module émetteur – base	127
III.1 Photolithographie.....	127
III.1.a. Définition de la fenêtre émetteur.....	128
III.1.a.i Situation initiale – lithographie 248 nm.....	128
III.1.a.ii Lithographie 193 nm.....	136

III.1.b. Mise en forme du Poly émetteur	139
III.1.b.i Intérêt d'une lithographie 193 nm pour le contrôle dimensionnel et d'alignement	139
III.1.b.ii Mise en évidence de la capacité des équipements.....	140
III.1.c. Limites de la lithographie 193 nm.....	142
III.2 Module espaceur interne	143
III.2.a. Intérêt des espaceurs internes.....	143
III.2.b. Fabrication, évolution des espaceurs.....	144
III.2.c. Modulation de la largeur des espaceurs internes.....	145
IV. Intégration du module collecteur implanté sélectivement.....	147
IV.1 Rappel du principe et de l'intérêt du SIC	147
IV.2 Les options d'intégration	147
IV.2.a. SIC avant ou après la lithographie de la fenêtre émetteur	147
IV.2.b. Résultats électriques.....	150
IV.2.c. Caractérisation physique.....	152
IV.2.d. Simulation de procédés	155
IV.3 Discussion des résultats	157
V. Effet sur les fréquences de fonctionnement.....	158
D Synthèses - Caractérisations.....	163
I. Introduction	163
II. Impact et étude du de-embedding	163
III. Evolution du composant en fonction des générations.....	168
III.1 B9MW.....	168
III.2 De B9MW à B3T.....	170
III.3 De B3T à B4T	174
III.4 De B4T à B5T	179
III.5 Résumé.....	182
IV. Comparaison des transistors par type de caractérisation pour chaque technologie.....	184
IV.1 Mesure et simulation de niveau de bruit.....	184
IV.1.a. B9MW	184
IV.1.b. B3T.....	187
IV.1.c. B4T.....	190
IV.1.d. Comparaison du bruit $N_{F_{min}}$ entre technologie.....	192
IV.2 Caractérisation en puissance - Load-pull.....	194
IV.2.a. Présentation par technologie	194
IV.2.b. Influence de la largeur de la fenêtre émetteur	199
IV.2.c. Influence de la longueur des transistors	201
V. Circuits réalisés	203
V.1 Université de Toronto	203
V.2 Université de Wuppertal	205
Conclusion générale.....	209
Index des figures.....	213
Index des tableaux	221
Références bibliographiques	223
Publications de l'auteur	227
Résumé :.....	228
Abstract :	228

Introduction générale

Le premier transistor bipolaire en semi-conducteur fut réalisé en 1947 par John Bardeen et Walter Brattain dans le laboratoire Bell du New Jersey. Ces travaux, commencés dès 1945 sous la direction de William Shockley, ont servi de base pour le développement de la physique des transistors bipolaires. L'élaboration de la théorie de fonctionnement du transistor bipolaire fut publiée en 1945 par Herbert Kromer et lui valut un prix Nobel. Les premiers transistors à hétérojonctions, obtenus par épitaxie par jet moléculaire, datent de 1978 pour la première réalisation en GaAs et de 1987 pour le premier TBH SiGe.

Initialement orientées vers la mise au point de puissants calculateurs et portées par l'essor des ordinateurs personnels, les recherches en microélectronique sont désormais tournées vers le secteur de la télécommunication qui représente une part non négligeable du marché mais également vers le secteur de l'automobile ([Margomemos09]) et du multimédia.

Il y a à peine une quinzaine d'années les applications analogique et hyper-fréquence étaient exclusivement adressées par des technologies III-IV (GaAs, InP, ...) intégrant des transistors bipolaires à hétérojonctions ou des MESFET (*MEtal Semiconductor Field Effect Transistor*). Les transistors bipolaires réalisés avec de l'InP atteignent des fréquences de fonctionnement supérieures au téra hertz pour f_{MAX} et de 0,5 THz pour f_T . Cependant, ces circuits sont produits en faible quantité et les coûts élevés de fabrication restent un frein à leur développement à grande échelle. D'un autre côté, les circuits logiques complémentaires tels que les microprocesseurs, réalisés avec des technologies CMOS, ont connu une expansion fulgurante. En effet, réalisables sur des substrats silicium adaptés à la production industrielle, ces technologies ont pu rapidement être produites en gros volume à des faibles coûts.

Cependant, l'émergence de nouvelles applications, pour certaines, grand public (modules Wifi ou GPS placés dans les téléphones mobiles), induit des contraintes de coût et d'encombrement de plus en plus importantes. La nécessité de développer des technologies à même d'intégrer des fonctions logiques et analogiques dans un même circuit s'est imposée pour les applications de communication de par l'augmentation de la complexité de ces circuits. Les technologies dites BiCMOS intègrent sur une même puce des composants de type bipolaire et de type MOS. Elles allient ainsi les avantages de ces deux composants qui sont de fortes fréquences de fonctionnement et un faible niveau de bruit basse fréquence pour le TBH, une haute densité d'intégration et une très faible consommation pour le transistor MOS. Au fur et à mesure de l'amélioration des performances fréquentielles des transistors bipolaires, les domaines d'application, jusqu'ici exclusivement réservés aux technologies III-IV, peuvent alors être adressés par des technologies tout silicium. La course aux performances lancée par les différents acteurs du marché, marquée par l'introduction du germanium (ingénierie de structure de bande) puis du carbone dans la base, a permis d'atteindre des fréquences de transition de 300GHz [Rieh02] puis de 400

GHz [Geynet08] pour la fréquence de transition du gain en courant f_T et supérieure à 300 GHz pour la fréquence maximale d'oscillation f_{MAX} [Khater04][Geynet08].

En parallèle, la réduction de la longueur de grille des transistors MOS a conduit à une augmentation des fréquences de fonctionnement de ces transistors, atteignant 200 GHz pour le nœud technologique 65 nm (300 GHz en 32 nm). En dépit de l'augmentation des performances fréquentielles des composants MOS, le transistor bipolaire demeure plus performant pour des applications millimétriques. En effet, en plus de présenter des fréquences de transition plus élevées, il présente une meilleure tenue en tension, une transconductance g_m bien plus forte, une conductance de sortie g_d faible et un niveau de bruit basse fréquence bien plus faible. C'est pour ces différentes raisons que les technologies BiCMOS sont plus appropriées à adresser des applications millimétriques que les technologies CMOS.

Aujourd'hui, la technologie BiCMO9MW (MW pour *Millimeter Wave*) dont les fréquences de transition sont supérieures à 200 GHz, est capable d'adresser des applications telles que les communications optiques jusqu'à 100 Gb/s, les réseaux sans fil haut débit WLAN (60 GHz) ou les radars anticollision pour l'automobile (77 GHz).

Le challenge est désormais d'adresser avec ces technologies BiCMOS des applications au-delà de 100 GHz, ce qui nécessite des composants dont les fréquences de transition sont supérieures à 300 GHz. Ces technologies supporteront l'émergence des systèmes d'imagerie téra hertz destinés à la santé ou la sécurité ainsi que l'augmentation du débit des communications optiques ou sans fil.

Ce travail de thèse, réalisé au sein du groupe de R&D « Transistors Bipolaires Avancés » de STMicroelectronics (Crolles) a pour objectif l'amélioration de la fréquence maximale d'oscillation f_{MAX} du transistor bipolaire SiGe-C dans le but de préparer la prochaine génération de technologie BiCMOS c'est-à-dire au-delà de BiCMOS9MW.

Dans un premier temps, nous rappelons la théorie de fonctionnement du transistor bipolaire. Le fonctionnement théorique du transistor est ensuite décrit en régime statique, dynamique et la méthodologie de caractérisation électrique, mise en œuvre, est détaillée. Nous présentons également l'architecture du transistor bipolaire étudié pendant ces travaux ainsi que l'intégration utilisée. Une présentation de l'état de l'art est faite à la fin de ce premier chapitre.

Le deuxième chapitre est consacré à l'étude du profil vertical du transistor bipolaire pour une architecture déterminée. Nous étudions en détail l'influence des différents paramètres définissant le profil de dopage sur les performances fréquentielles du transistor et notamment sur le compromis entre f_T et f_{MAX} . Les paramètres étudiés sont la température du recuit final d'activation, l'espèce dopante de l'émetteur, le niveau de dopage du collecteur implanté et de la base ou encore l'épaisseur de la couche tampon en silicium de la base épitaxiée.

La troisième partie de ce manuscrit traite de l'optimisation du profil vertical du TBH étudié afin de réduire les différentes résistances et capacités du transistor. Dans cette partie nous présentons en premier lieu les modifications des règles de dessin effectuées. Le deuxième point aborde la mise en forme de la base intrinsèque et de l'émetteur du transistor au travers de deux étapes de lithographie critiques et de la réalisation d'un module d'espaceurs internes. Enfin, nous présentons une étude sur l'influence de l'intégration du collecteur localisé, avant de conclure sur l'amélioration des performances fréquentielles envisageable avec la réduction des dimensions intrinsèques de l'architecture du transistor étudié.

Le dernier chapitre présente les différentes générations de composants mis au point pendant ces travaux. Les règles de dessin et les différences de fabrication sont décrites pour chaque technologie et les paramètres électriques extraits de mesures dc et hf sont présentés. Une partie de l'étude est consacrée à la caractérisation en puissance à 94 GHz des transistors bipolaires réalisés. Le dernier point de cette partie porte sur les circuits réalisés par nos partenaires et illustre les bénéfices apportés par les technologies développées

A Le transistor bipolaire à hétérojonction Si/SiGe

I. Introduction

Dans ce premier chapitre nous passerons tout d'abord en revue les principaux phénomènes qui régissent le fonctionnement du transistor bipolaire à hétérojonctions. Ceci dans le souci de comprendre et d'être à même d'interpréter les résultats expérimentaux obtenus au cours des différentes études de ces travaux. Nous aborderons ici les principes de base des jonctions dans les matériaux semi-conducteurs, mais également le fonctionnement en régime statique et dynamique d'un transistor bipolaire à hétérojonctions Si/SiGe:C.

Dans un second temps nous détaillerons les méthodes et techniques de caractérisation employées pour déterminer les principaux paramètres électriques et physiques des transistors bipolaires étudiés.

Nous présenterons ensuite le transistor bipolaire développé chez STMicroelectronics, son architecture ainsi que sa réalisation.

La dernière partie de ce chapitre dressera un état de l'art des performances offertes par les transistors bipolaires « rapides » à hétérojonctions Si/SiGe:C.

II. Le transistor bipolaire : Théorie et fonctionnement

II.1 Jonctions PN – NPN

Lors de la juxtaposition d'un semi-conducteur de type P et d'un semi-conducteur de type N (présence en excès de trous ou d'électrons), on crée une jonction.

Une jonction PN seule est une diode, composant qui permet le passage du courant dans un seul sens en fonction de la polarisation appliquée. Si on polarise de façon positive la région de dopage P (excès de trous), vis-à-vis de la région N ou de façon négative la région N, vis-à-vis de la région P la diode est polarisée en direct et devient passante. Le potentiel appliqué entraîne une courbure des bandes et permet le passage des porteurs d'une région à l'autre. Par contre si une tension négative est appliquée à la région de dopage P, vis-à-vis de la région N, la diode est alors polarisée en inverse, et devient non passante.

La jonction PN est la brique unitaire à la base de tous les composants bipolaires de la micro-électronique. En fonction de la manière dont deux jonctions sont assemblées, on pourra obtenir un transistor bipolaire ou un transistor à effet de champs (JFET). Ces types de transistor sont tous composés d'au moins trois régions dont deux ont le même type de dopage et la troisième un dopage opposé.

II.2 Structure d'un composant bipolaire et principe de fonctionnement

Un transistor bipolaire est un composant électronique actif composé de deux jonctions PN positionnées tête-bêche. Ce composant est donc constitué de trois zones principales, distinguables par le type des impuretés dopantes (donneuse ou acceptrice) introduites dans chacune d'elles. Il existe donc deux types de configurations, qui permettent d'obtenir un transistor bipolaire N+PN ou P+NP. Ces trois zones sont nommées : l'Émetteur, la Base et le Collecteur. Le collecteur et l'émetteur ayant un dopage de même nature (N ou P).

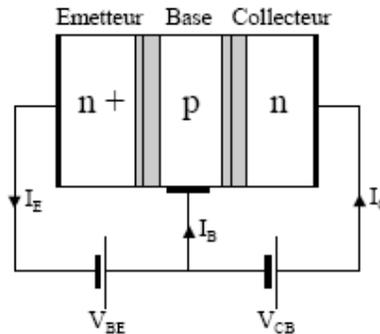


Figure A.1 Représentation schématique d'un transistor bipolaire de type N+PN en polarisation direct

En fonctionnement standard, la jonction émetteur-base est polarisée en direct et la jonction base-collecteur, est polarisée en inverse. Si l'on applique le principe décrit précédemment pour la diode au transistor bipolaire, une seule des deux jonctions devrait conduire le courant. Cependant, lorsque la base est assez fine, c'est à dire de longueur inférieure à la longueur de diffusion des électrons dans un matériau dopé P, ces derniers atteindront la zone de charge d'espace (ZCE) base-collecteur par diffusion : c'est l'effet transistor. Ces électrons sont ensuite happés vers le collecteur par le champ électrique régnant dans la ZCE base-collecteur. Une source de courant a donc été créée entre l'émetteur et le collecteur. Cette source de courant peut être contrôlée en tension (par la polarisation V_{BE}) ou en courant (par le courant de base I_B).

Pour favoriser l'injection des électrons de l'émetteur vers le collecteur, il est nécessaire que le dopage des trois zones soit dégradé de l'émetteur vers le collecteur. Un émetteur plus dopé que la base va permettre un échange d'un plus grand nombre d'électrons que de trous entre ces deux régions. De plus, pour ne pas modifier le gradient d'électron dans la base neutre, très fine, la ZCE base-collecteur ne doit pas trop s'étendre dans la base. Ceci est rendu possible par un dopage supérieur de la base par rapport au collecteur.

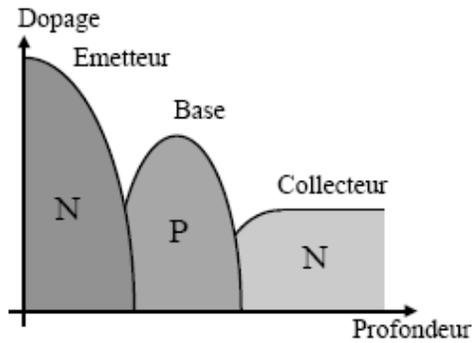


Figure A.2 Profil de dopage d'un transistor bipolaire N+PN

II.3 L'alliage Silicium-Germanium (SiGe)

L'introduction de Germanium dans la structure cristalline du silicium a permis l'augmentation des performances des transistors bipolaires, ceci en modifiant la structure de bandes du matériau.

Dans cette partie nous allons détailler les propriétés cristallines et électriques de l'alliage Silicium-Germanium. Nous expliquerons également les avantages et intérêts de l'incorporation du germanium dans la base du transistor bipolaire.

II.3.a. Caractéristiques de l'alliage Silicium-Germanium

II.3.b. Propriétés cristallines

Le germanium, tout comme le silicium, est un élément de la quatrième colonne de la table de Mendeleïev. Ces deux matériaux ont donc des propriétés électriques et cristallographiques voisines. A température ambiante le paramètre de maille du silicium est de 5,431 Å et celui du germanium est de 5,675 Å. Le désaccord de paramètre de maille, m , entre ces deux structures cristallines, toutes deux cristallisées de façon analogue au diamant, est donc de 4,17%.

$$m = (a_{Si} - a_{Ge}) / a_{Ge} \quad (A.1)$$

Grâce à la loi de Végard, on peut déterminer, si l'on connaît le taux de germanium incorporé dans le silicium, le paramètre de maille de l'alliage SiGe formé.

$$a_{SiGe}(x) = a_{Ge}(x) + a_{Si}(1-x) \quad (A.2)$$

Ces deux matériaux sont complètement miscibles et l'alliage obtenu est une solution solide stable pour toute la gamme de composition ($0 < x < 1$).

II.3.c. Croissance et épaisseur critique

En ce qui concerne la croissance d'un alliage silicium-germanium sur un substrat silicium, celle-ci peut se faire de deux façons : pseudo morphique (contrainte) ou relaxée.

Dans le cas d'une croissance pseudo morphique, le paramètre de maille de l'alliage SiGe s'adapte à celui du substrat silicium. Il apparait alors une déformation élastique et la maille subit une contrainte bi-axiale en compression selon des directions perpendiculaires au plan de croissance.

La croissance peut également avoir lieu de façon relaxée. Ici, l'alliage déposé conserve son paramètre de maille, supérieur à celui du silicium. La déformation engendrée est alors de type plastique et des dislocations se forment dans le plan de l'interface.

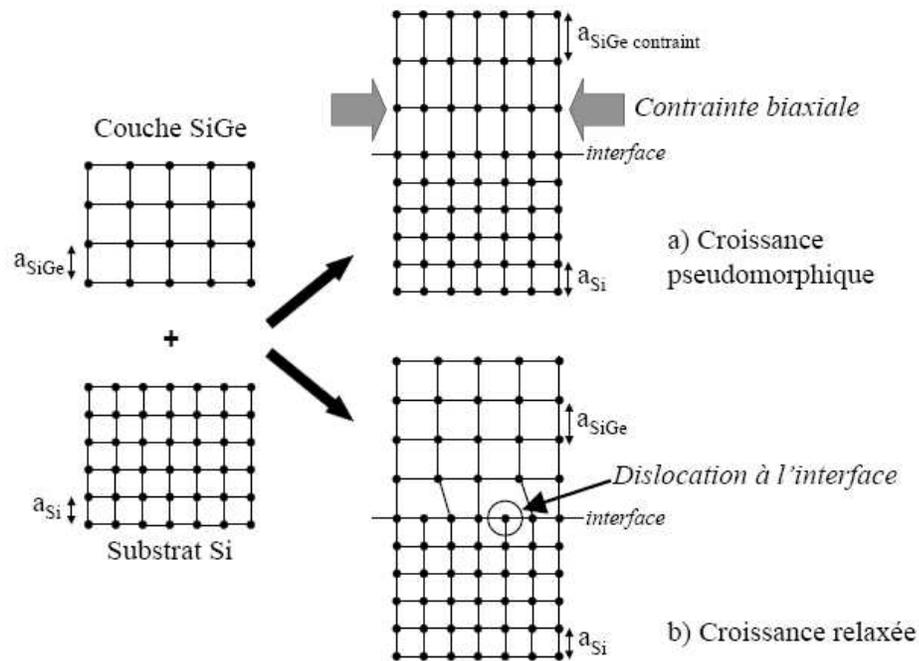


Figure A.3 Représentation schématique de la croissance d'un alliage Silicium-Germanium sur un substrat silicium. a) pseudo morphique ; b) relaxée.

L'énergie élastique emmagasinée dans le film épitaxié augmente linéairement avec l'épaisseur de la couche déposée, jusqu'à une épaisseur critique [Franck49], [People85a]. Au-delà de cette épaisseur, le matériau relaxe partiellement l'énergie emmagasinée de façon plastique par l'introduction d'un réseau de dislocations à l'interface SiGe/Si (cf. Figure A.3). L'épaisseur critique de la couche épitaxiée dépend du pourcentage de Ge, x , de l'alliage $Si_{(1-x)}Ge_x$ déposé sur le substrat Si, mais aussi de la vitesse et de la température de croissance. Elle peut également être modifiée par la présence de défauts ponctuels (impuretés, dopants, lacunes, etc.) ou de défauts étendus (dislocations, etc.) dans le substrat. Le dépôt d'une couche cristalline, qui vient encapsuler l'alliage épitaxié, est également une manière d'augmenter l'épaisseur critique et d'améliorer la stabilité de la couche sous contrainte.

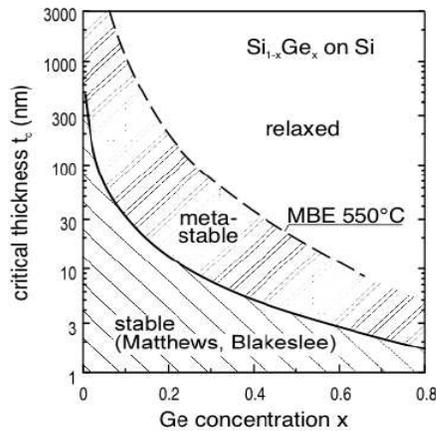


Figure A.4 Evolution de l'épaisseur critique en fonction de la concentration en Germanium

II.3.d. Structure de bandes

Comme rappelé précédemment, le silicium et le germanium ont la même structure cristallographique, ainsi que des énergies de bande interdite de type indirectes.

Cependant ces deux semi-conducteurs ont des énergies de bande interdite (gap) différentes. Comme le montre la Figure A.5 [Richard04], à 300K, le silicium a un gap de 1.12eV et le germanium de 0.66eV

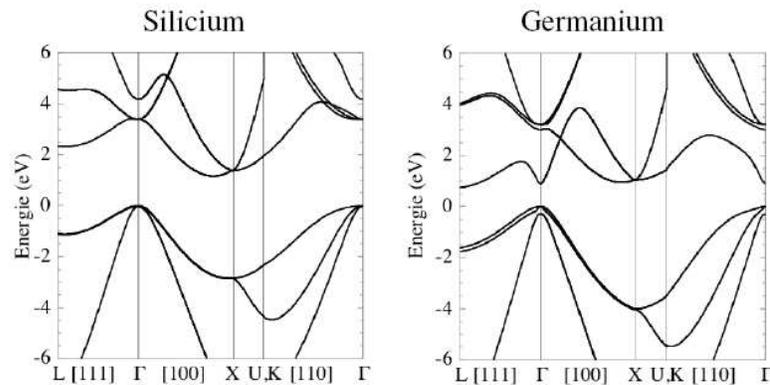


Figure A.5 Diagramme de bande du Silicium et du Germanium

Pour être à même de déterminer l'énergie de la bande interdite de l'alliage SiGe, qui sera comprise entre celle du silicium et du germanium, il est nécessaire de connaître le pourcentage de germanium, mais aussi l'état de la couche. En effet, à taux de Ge constant, une couche de SiGe contrainte aura une énergie de bande interdite plus faible qu'une couche non contrainte (Figure A.6 [Lang85]).

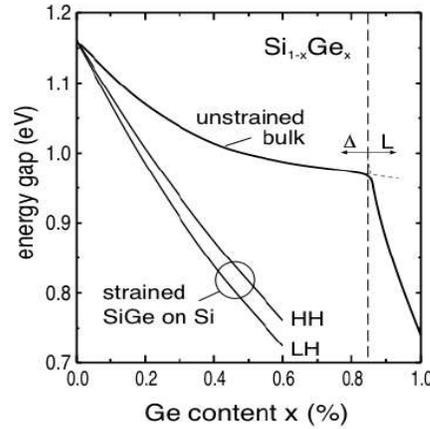


Figure A.6 Evolution de l'énergie de la bande interdite (gap) de l'alliage SiGe contraint ou non, fonction de la concentration en germanium

Dans le cas d'une couche de SiGe contrainte, une approximation de la valeur de l'énergie de bande interdite peut être obtenue grâce à l'expression suivante [People85b]:

$$E_{g_{SiGe}}(x, T) = E_0(T) - 1.02 \cdot x + 0.52 \cdot x^2 \quad (\text{A.3})$$

Dans l'expression ci-dessus, $E_0(T)$ représente l'énergie de bande interdite du Si pur et x est le taux de Ge incorporé dans l'alliage SiGe.

L'alliage SiGe et le silicium ont donc des énergies de gap plus ou moins différentes en fonction du pourcentage de germanium dans l'alliage. La Figure A.7 est une représentation schématique, de la discontinuité des bandes de valence et de conduction, d'une hétérojonction Si/SiGe. On remarque que la différence entre les énergies de bande interdite, des deux matériaux de l'hétérojonction, provient essentiellement de la différence de niveau d'énergie des bandes de valence (ΔE_V).

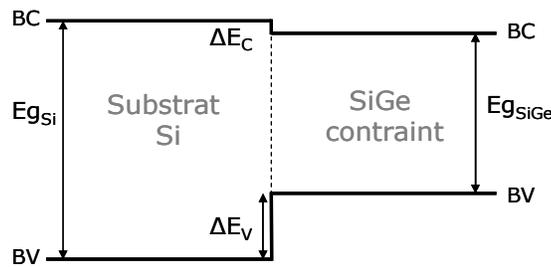


Figure A.7 Schéma du raccordement des bandes d'énergie entre un substrat Si et un film de SiGe contraint

Il est possible de calculer simplement la différence d'énergie ΔE_V en fonction de la concentration en germanium x avec la relation suivante :

$$\Delta E_V = 0.74 \cdot x \quad (\text{A.4})$$

II.3.e. Intérêts du SiGe pour la base du transistor bipolaire

L'incorporation de germanium dans le silicium permet de réduire l'énergie de la bande interdite en augmentant principalement l'énergie des bandes de valence (Figure A.8). Cependant, lors de la juxtaposition du Si et du SiGe et de la formation d'une hétérojonction, ce sont les niveaux de Fermi de chaque partie qui s'alignent. En conséquence, on constate un abaissement de la barrière de potentiel vue par les électrons de l'émetteur migrant vers la base, tandis que celle vue par les trous de la base pour migrer vers l'émetteur reste quasiment inchangée, la base ayant un dopage de type P. A polarisation égale le courant collecteur est donc plus important en présence d'une hétérojonction que d'une homojonction.

Il est également possible d'augmenter le courant collecteur et de diminuer le temps de transit dans la base, τ_B , en utilisant un profil rétrograde de germanium (Figure A.9). En effet, si l'on fixe une concentration en Ge dans la base plus forte du côté collecteur (x_C) que du côté de l'émetteur (x_E), l'énergie de la bande interdite va progressivement diminuer de l'émetteur vers le collecteur, ce qui aura pour effet de créer un pseudo-champ électrique accélérateur.

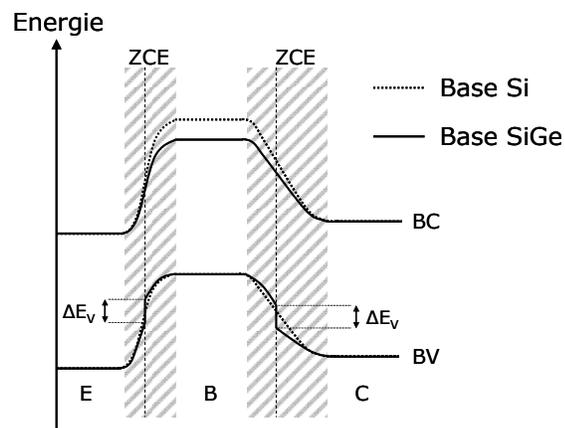


Figure A.8 Comparaison des diagrammes de bande d'un transistor bipolaire avec une base Si pur ou SiGe

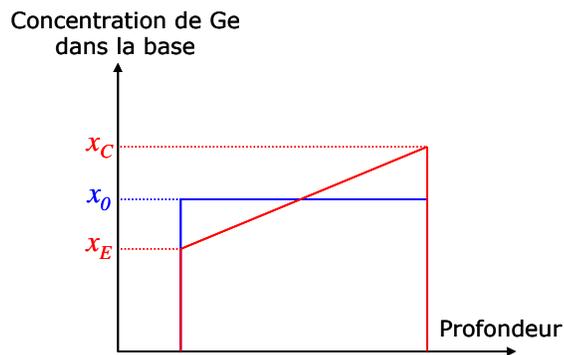


Figure A.9 Exemples de profils de germanium constant et rétrograde dans la base d'un TBH

II.3.f. Notions d'építaxie

Le germanium est introduit dans la base des transistors bipolaires par le biais d'une építaxie. Ce procédé de croissance permet de contrôler de façon précise les taux d'impuretés introduites, en ce qui nous concerne le germanium, le bore et le carbone. Un autre avantage est le contrôle très précis de l'épaisseur déposée, grâce à la faible vitesse de croissance.

On parle d'homo-építaxie lorsque le film építaxié est de même nature que le substrat, et l'hétéro-építaxie définit la croissance d'un film sur un substrat de nature chimique différente, ce qui sera le cas dans ces travaux. On distingue également, dans le cas où le substrat est composé, en surface, de plusieurs matériaux, les építaxies sélective et non sélective, suivant les zones sur lesquelles la croissance se produit. En fonction du type de gaz utilisé, pour acheminer les espèces dopantes jusqu'à la plaque, il est en effet possible de rendre la croissance réalisable exclusivement sur les zones monocristallines et non sur les zones diélectriques.

De façon générale, lors d'une építaxie sur un matériau monocristallin, la croissance se fait également de façon monocristalline. Par contre, la croissance sur un matériau polycristallin génère une croissance polycristalline.

Il existe différentes techniques d'építaxie (par jet moléculaire, en phase liquide, ...) mais compte tenu de contraintes liées à l'industrialisation des procédés, celle retenue chez STMicroelectronics est le dépôt en phase vapeur, nommée CVD (pour *Chemical Vapor Deposition*). Ce procédé autorise un excellent contrôle de la pureté des dépôts, une bonne reproductibilité de la stœchiométrie ainsi que de la composition des alliages. Elle permet également des croissances sélectives, mais l'avantage non négligeable pour le secteur industriel est la vitesse de croissance, moins lente en CVD qu'avec d'autres méthodes d'építaxie. En contrepartie, un de ses inconvénients est la toxicité de certains réactifs ou produits de réactions [Brossard].

II.3.g. Ajout de carbone dans l'alliage SiGe

Le carbone a été introduit, à l'origine, dans la base des transistors bipolaires SiGe pour compenser la contrainte générée par l'insertion de germanium. Ceci grâce à son paramètre de maille de 3,546 Å, très inférieur à celui du silicium et du germanium. Il a ensuite été mis en évidence que le carbone avait un effet bloquant sur la diffusion du bore [Lanzerotti96]. Il est donc, aujourd'hui, amplement utilisé pour les TBH afin de maintenir un profil de dopage, dans la base, le plus étroit possible.

L'atome de carbone, de par sa taille, peut être incorporé dans l'alliage SiGe en site substitutionnel ou interstitiel. En fonction de son placement dans le réseau cristallin, les effets engendrés sont bien distincts. En site interstitiel, il peut créer des centres recombinants, initiateurs de courant de fuite. Lorsque le carbone est placé en site

substitutionnel, celui-ci a un effet sur la structure de bande et sur la bande interdite de l'alliage, qui augmente avec la proportion de carbone incorporé dans l'alliage [Boucaud94]. On peut noter, que l'effet recherché dans notre cas, à savoir le ralentissement de la diffusion du bore, n'est atteint que dans le cas d'un placement des atomes de carbone en site substitutionnel.

II.4 Fonctionnement en régime statique

Nous allons maintenant décrire le fonctionnement du transistor bipolaire en régime statique. Après avoir détaillé les différents courants, qui parcourent le composant, nous nous intéresserons aux principaux phénomènes utiles à l'analyse des caractéristiques des composants étudiés dans ces travaux.

II.4.a. Les composantes des différents courants

Comme signalé précédemment, le transistor bipolaire est un composant qui fait intervenir les deux types de porteurs, électrons et trous. En régime de fonctionnement normal, les différents courants du composant sont répartis de la manière suivante :

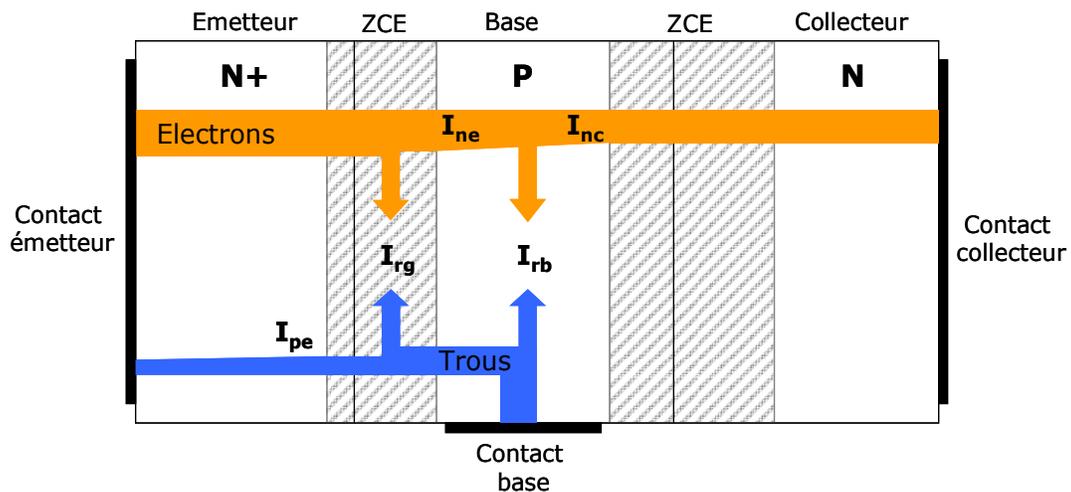


Figure A.10 Représentations des différents courants du transistor bipolaire dans un mode de fonctionnement direct

Dans son utilisation classique, la jonction émetteur – base est polarisée en direct, des électrons sont injectés dans la base (I_{ne}) et des trous dans l'émetteur (I_{pe}). Il est possible que des paires électron-trou se recombinent dans la ZCE, donnant naissance au courant I_{rg} . Les trous injectés dans l'émetteur se retrouvent dans un milieu fortement dopé N+ et se recombinaison rapidement avec les électrons, majoritaires dans cette zone. Les électrons diffusent de l'émetteur vers le collecteur en traversant une zone dopée P, il est donc possible d'assister à des recombinaisons en volume dans la base neutre (I_{rb}). Les électrons qui

diffusent de l'émetteur vers le collecteur, sans avoir été recombines, constituent l'intégralité du courant collecteur (I_{nC}).

Le courant d'émetteur I_E comporte trois composantes :

- I_{nE} : le courant de diffusion des électrons de l'émetteur vers la base
- I_{pE} : le courant de diffusion des trous de la base vers l'émetteur
- I_{rG} : le courant de recombinaison dans la zone de charge d'espace émetteur-base

L'expression du courant d'émetteur est donc la suivante :

$$I_E = I_{nE} + I_{pE} + I_{rG} \quad (\text{A.5})$$

Les trous, en minorité dans l'émetteur (dont la longueur est très grande devant la longueur de diffusion des porteurs), se recombinent rapidement dans le volume de celui-ci, dopé N+. Le courant de trous I_{pE} est donc largement négligeable devant le courant d'électrons I_{nE} . De plus, le faible courant de recombinaison dans la ZCE émetteur-base, I_{rG} , pourra également être négligé devant I_{nE} . La principale composante du courant d'émetteur sera donc I_{nE} .

Le courant de base I_B comporte également trois composantes qui sont :

- I_{pE} : le courant de diffusion des trous de la base vers l'émetteur
- I_{rG} : le courant de recombinaison dans la zone de charge d'espace émetteur-base
- I_{rB} : le courant de recombinaison dans la base neutre

On peut alors exprimer le courant de base I_B de la façon suivante :

$$I_B = I_{pE} + I_{rG} + I_{rB} \quad (\text{A.6})$$

La jonction base-collecteur étant polarisée en inverse, le courant de diffusion des trous de la base vers le collecteur est négligeable. De plus, comme précédemment, le faible courant de recombinaison dans la ZCE émetteur-base I_{rG} est négligé. La composante principale du courant de base I_B est donc I_{pE} .

Le courant de collecteur I_C est, quant à lui, composé principalement du courant d'électron ayant traversé la base neutre par diffusion I_{nC} . L'expression de ce courant peut donc être mise sous la forme suivante :

$$I_C = I_E - I_B = I_{nC} = I_{nE} - I_{rB} \quad (\text{A.7})$$

Selon la loi de conservation des courants nous pouvons écrire le bilan suivant :

$$I_E = I_C + I_B = I_{nC} + I_{pE} + I_{rG} + I_{rB} \quad (\text{A.8})$$

II.4.b. Expression des courants

Nous allons déterminer les expressions des courants de base et de collecteur à partir d'équations fondamentales et d'hypothèses simplificatrices adaptées aux TBH Si/SiGe:C développés dans nos études.

II.4.b.i Equations fondamentales et hypothèses

Les expressions des courants de base et de collecteur peuvent être déterminées à partir des équations de continuité décrivant le transport des électrons et des trous dans un matériau semi-conducteur :

$$\frac{\partial n}{\partial t} = G_n - U_n + \frac{1}{q} \nabla J_n \quad (\text{A.9})$$

$$\frac{\partial p}{\partial t} = G_p - U_p + \frac{1}{q} \nabla J_p \quad (\text{A.10})$$

Dans ces équations, G_x et U_x représentent respectivement les facteurs de génération et de recombinaison ($\text{m}^{-3}.\text{s}^{-1}$) des porteurs, J_x les densités de courant (avec $x = n$ ou p respectivement pour les électrons et les trous).

Afin de résoudre ces équations, il est nécessaire de connaître l'expression des densités de courant J_n et J_p . Elles peuvent s'exprimer par l'addition d'un terme de diffusion et d'un terme de conduction, dépendant de la mobilité des porteurs μ_n et μ_p :

$$J_n = qD_n \nabla n + qn\mu_n E \quad (\text{A.11})$$

$$J_p = -qD_p \nabla p + qp\mu_p E \quad (\text{A.12})$$

Dans ces expressions, E représente le champ électrique et q la charge élémentaire d'un électron. Ces équations permettent de résoudre un système à trois dimensions. Cependant, le comportement statique d'un transistor bipolaire peut être décrit par un système à une seule dimension, qui sera la direction orthogonale aux hétérojonctions (x). La Figure A.11 montre les profils de porteurs minoritaires dans l'émetteur et la base d'un TBH Si/SiGe.

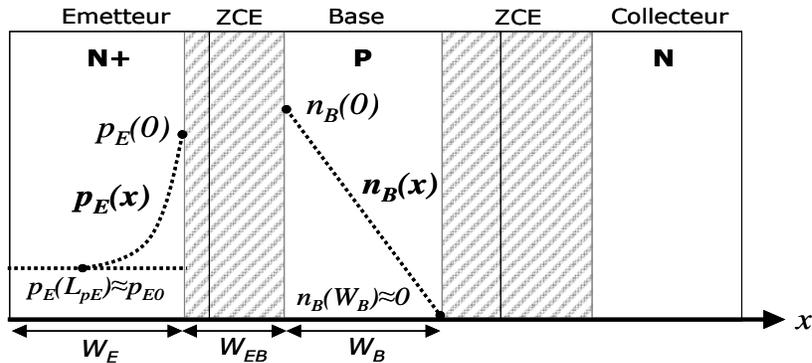


Figure A.11 Profils des porteurs minoritaires dans un transistor bipolaire NPN

Les hypothèses qui suivent peuvent être appliquées à notre étude et permettent de simplifier la résolution du système précédent [Ashburn03]:

- Les densités de porteur sont indépendantes du temps (régime permanent) :

$$\frac{\partial n}{\partial t} = \frac{\partial p}{\partial t} = 0 \quad (\text{A.13})$$

- Il n'y a aucune génération de porteurs provenant d'un milieu extérieur :

$$G_n = G_p = 0 \quad (\text{A.14})$$

- Les zones neutres sont uniformément dopées, ce qui limite la chute de tension et minimise le champ électrique en dehors des zones de charge d'espace.

- Les niveaux de dopage sont assez élevés pour qu'il n'y ait pas de chute de tension dans les zones neutres du dispositif. Le mouvement des porteurs en dehors des zones de charge d'espace sera donc exclusivement dû aux phénomènes de diffusion ($E=0$). Les expressions (A.11) et (A.12) des densités de courant des porteurs se simplifient donc considérablement pour devenir les expressions suivantes :

$$J_n(x) = qD_{nB} \frac{dn_B(x)}{dx} \quad (\text{A.15})$$

$$J_p(x) = qD_{pE} \frac{dp_E(x)}{dx} \quad (\text{A.16})$$

- Les mécanismes de génération et de recombinaison dans les zones de charge d'espace sont négligeables.

- Nous sommes dans des conditions de faible injection. Le nombre d'électrons injectés, de l'émetteur vers la base, est faible devant la concentration de dopants dans la base.

II.4.b.ii Expression du courant de base I_B

Comme nous l'avons déjà vu, la composante principale du courant de base I_B est le courant de diffusion des trous de la base vers l'émetteur I_{pE} . Son expression peut être déterminée simplement à partir de l'équation (A.16) et de l'équation suivante reliant le coefficient de diffusion D_{pE} , la concentration de trous p_E et la durée de vie des porteurs minoritaires dans l'émetteur τ_{pe} :

$$D_{pE} \frac{d^2 p_E}{dx^2} = \frac{(p_E - p_{E0})}{\tau_{pe}} \quad (\text{A.17})$$

où $p_{E0} = n_i^2 / N_{dE}$ représente la concentration de porteurs minoritaires dans l'émetteur, à l'équilibre thermique ($p_E(\infty) = p_{E0}$).

À l'extrémité de la jonction émetteur-base, la concentration en trous $p_E(0)$ peut être déterminée en fonction de la polarisation V_{BE} appliquée:

$$p_E(0) = p_{E0} \cdot \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.18})$$

Dans les TBH étudiés dans ces travaux, l'épaisseur de l'émetteur W_E est grande devant la longueur de diffusion des trous, L_{pE} dans cette région dopée N. La distribution des trous en fonction de la distance par rapport à la jonction émetteur-base peut alors s'écrire :

$$p_E(x) - p_{E0} = p_{E0} \exp\left(\frac{qV_{BE}}{kT}\right) \exp\left(\frac{-x}{L_{pE}}\right) \quad (\text{A.19})$$

La concentration de trous décroît donc de manière exponentielle lorsqu'on s'éloigne de la jonction émetteur-base. En injectant l'expression de $p_E(x)$ dans (A.16), on peut calculer la densité de courant en $x=0$. De plus, si on se place dans un régime de fonctionnement normal ($qV_{BE} \gg kT$), on peut exprimer I_{pE} et donc le courant de base I_B circulant dans un dispositif de section A de la manière suivante :

$$I_{pE} \approx I_B \approx \frac{qAD_{pE}n_i^2}{L_{pE}N_{dE}} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.20})$$

La relation (A.20) montre que dans le cas d'un émetteur large ($W_E \gg L_{pE}$), le courant de base est inversement proportionnel au produit de la longueur de diffusion des trous dans l'émetteur L_{pE} par le dopage de l'émetteur N_{dE} . Dans ce cas, le courant de base ne dépend pas de la largeur d'émetteur W_E car l'ensemble des porteurs minoritaires se recombine avant d'atteindre le contact de l'émetteur. Afin de simplifier l'expression (A.20), nous pouvons introduire le nombre de Gummel de l'émetteur :

$$G_E = \int_{-W_E}^0 \frac{N_{dE}(x)}{D_{pE}(x) \cdot n_i^2(x)} dx = \frac{L_{pE}N_{dE}}{D_{pE}n_i^2} \quad (\text{A.21})$$

I_B s'exprimera alors :

$$I_B = \frac{qA}{G_E} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.22})$$

Nous pouvons donc agir sur différents paramètres afin de régler le niveau de courant de base, le plus accessible étant le niveau de dopage de l'émetteur qui va réguler l'injection des trous provenant de la base (si N_{dE} augmente, I_B va diminuer).

II.4.b.iii Expression du courant de collecteur I_C

Le courant collecteur est composé principalement des électrons qui ont traversé la base. Nous cherchons donc à calculer la concentration de porteurs dans la base neutre. Dans cette approche, nous pouvons considérer, la largeur de la base W_B comme étant très faible devant la longueur de diffusion des électrons L_{nB} et que la distribution des électrons dans la base neutre varie linéairement en fonction de la distance par rapport aux jonctions.

La concentration des porteurs minoritaires à l'extrémité de la jonction émetteur-base $n_B(0)$ s'exprime de manière analogue à (A.18) :

$$n_B(0) = n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.23})$$

Et la concentration des électrons au bord de la jonction base-collecteur $n_B(W_B)$ s'exprime :

$$n_B(W_B) = n_{B0} \exp\left(\frac{-qV_{CB}}{kT}\right) \approx 0 \quad (\text{A.24})$$

Dans les conditions de polarisation V_{CB} utilisées dans cette étude, la concentration $n_B(W_B)$ est quasi nulle. Connaissant les conditions aux limites, on peut en déduire la concentration des porteurs minoritaires en tout point de la base neutre :

$$n_B(x) = n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \left(1 - \frac{x}{W_B}\right) \quad (\text{A.25})$$

Nous sommes donc à même de déterminer le gradient de concentration $n_B(x)$, et l'équation de diffusion (A.15) peut alors s'écrire :

$$J_n = \frac{qD_{nB}n_{B0}}{W_B} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.26})$$

Si l'on nomme N_{aB} le dopage de la base, le courant collecteur I_C s'exprime donc :

$$I_C = \frac{qAD_{nB}n_i^2}{W_B N_{aB}} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.27})$$

De cette dernière expression, on remarque que le courant de collecteur dépend principalement de la polarisation V_{BE} et des caractéristiques de la base (épaisseur, dopage).

Nous pouvons introduire de la même manière que pour l'émetteur, un nombre de Gummel de la base qui sera fonction de son épaisseur W_B , de sa concentration en dopants N_{aB} et de la valeur de la constante de diffusion des électrons D_{nB} :

$$G_B = \int_0^{W_B} \frac{N_{aB}(x)}{D_{nB}(x) \cdot n_i^2(x)} dx = \frac{W_B N_{aB}}{D_{nB} n_i^2} \quad (\text{A.28})$$

Le courant de collecteur s'exprimera alors d'une manière simplifiée :

$$I_C = \frac{qA}{G_B} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.29})$$

II.4.c. Gain en courant

Le gain en courant d'un transistor bipolaire est défini par le rapport entre le courant de sortie et le courant d'entrée. Le dispositif peut être connecté de deux manières principales, émetteur commun ou base commune, ce qui donne lieu à la définition de deux gains en courant (respectivement β et α).

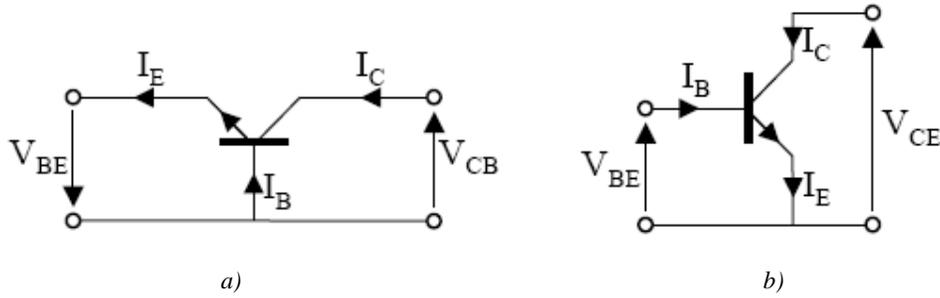


Figure A.12 Représentation schématique d'un transistor bipolaire en montage a) base commune ; b) émetteur commun

II.4.c.i Montage base commune (α)

Le gain en courant d'un TBH en montage base commune se note α , il est égal au courant de collecteur divisé par le courant d'émetteur :

$$\alpha = \frac{I_C}{I_E} \approx 1 \quad (\text{A.30})$$

Comme nous l'avons vu précédemment, le courant d'émetteur I_E est la somme du courant de collecteur I_C et du courant de base I_B

$$I_E = I_C + I_B = I_{nC} + I_{pE} + I_{rG} + I_{rB} \quad (\text{A.31})$$

Le gain en courant α est donc toujours inférieur à l'unité. De plus, sachant que $I_B \ll I_C$, α sera très proche de l'unité. Ce type de montage pourra être utilisé dans le cas où le gain en courant n'est pas critique pour le circuit.

II.4.c.ii Montage émetteur commun (β)

Le montage émetteur commun, présenté Figure A.12.b, est la configuration la plus utilisée pour le transistor bipolaire. Dans ce cas, le gain en courant β sera défini par :

$$\beta = \frac{I_C}{I_B} \quad (\text{A.32})$$

Il est donc possible de l'exprimer par le rapport des nombres de Gummel de l'émetteur et de la base :

$$\beta = \frac{G_E}{G_B} \quad (\text{A.33})$$

Si l'on considère un transistor bipolaire avec un émetteur large ($W_E \gg L_{pE}$) et une base fine ($W_B \ll L_{nB}$), ainsi que des niveaux de dopage constants dans la base et dans l'émetteur, alors le gain en courant peut s'écrire :

$$\beta = \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \cdot \frac{n_{iB}^2}{n_{iE}^2} \quad (\text{A.34})$$

où les termes n_{iB}^2 et n_{iE}^2 représentent respectivement les concentrations intrinsèques de porteurs dans la base et dans l'émetteur.

II.4.c.iii Discussion sur le gain en courant des TBH

L'expression (A.34) montre les principaux paramètres qui vont intervenir sur le gain en courant. On constate, par exemple, que β dépend fortement du rapport des niveaux de dopage de l'émetteur N_{dE} et de celui de la base N_{aB} . Nous avons donc besoin de réaliser des émetteurs très dopés si on veut obtenir un très fort gain en courant. Cependant, nous verrons par la suite qu'un dopage fort de la base est également nécessaire afin de limiter la résistance de base qui pénalise fortement la fréquence maximale d'oscillation des TBH. Il y aura donc des compromis à faire pour la fabrication de nos composants afin d'obtenir des performances statiques et dynamiques optimales.

Ensuite, dans notre cas où les bases des transistors sont en SiGe, le terme dépendant des concentrations de porteurs intrinsèques n_{iB}^2/n_{iE}^2 prend une importance capitale, en effet :

$$n_{iB}^2_{(SiGe)} = n_{iE}^2_{(Si)} \frac{(N_C N_V)_{(SiGe)}}{(N_C N_V)_{(Si)}} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (A.35)$$

Dans cette expression, ΔE_g et $(N_C N_V)_{(SiGe)}$ dépendent du taux de germanium dans la base. Nous pouvons alors réécrire l'expression du gain en courant de la manière suivante :

$$\beta = \gamma \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (A.36)$$

où $\gamma = \frac{(N_C N_V)_{(SiGe)}}{(N_C N_V)_{(Si)}}$ est un coefficient proche de 1.

Nous verrons donc une augmentation du gain en courant dû à l'introduction de germanium dans la base. De plus, la température influe également directement sur les caractéristiques statiques du composant. Les TBH SiGe que nous développons ici ont des gains en courant, à température ambiante, pouvant aller de 100 à plus de 10000 en fonction de taux de germanium présent dans la base et des choix technologiques retenus pour leur fabrication.

Cependant, un fort gain en courant β est avantageux pour les performances fréquentielles du composant, mais dégrade considérablement sa tenue en tension. Nous sommes donc à nouveau en présence d'un compromis qu'il va falloir ajuster en fonction de nos objectifs.

II.4.d. Expression des courants principaux et effets du second ordre

Dans la partie précédente, nous avons exprimé les courants de base et de collecteur uniquement en fonction de la tension V_{BE} , n'indiquant aucune dépendance vis-à-vis de la tension V_{CB} . Or, la variation de I_C et I_B en fonction de la polarisation E-B n'est pas rigoureusement donnée par l'expression : $\exp q.V_{BE} / kT$ et de plus la tension B-C a une forte influence sur le fonctionnement du composant.

De même, l'expression du gain en courant obtenu est indépendante des tensions appliquées. En réalité, ces considérations ne sont vraies que dans une zone restreinte des caractéristiques du composant, que nous appellerons zone idéale (zone 3 de la Figure A.13). En dehors de cette zone idéale, différents effets non linéaires se font sentir et influent sur les caractéristiques du composant.

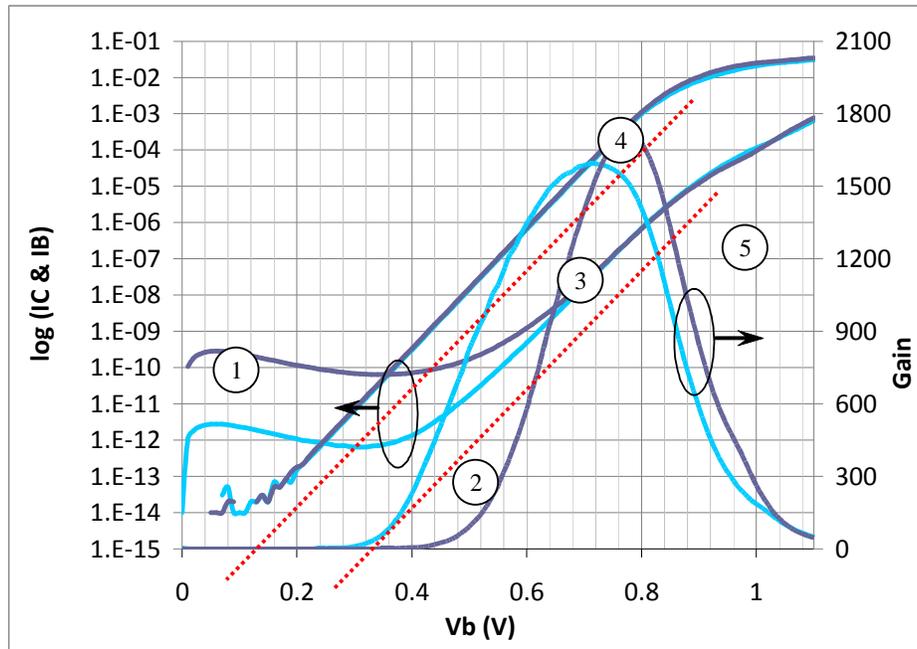


Figure A.13 Exemple de courbe de Gummel et de gain d'un TBH (1 : courant tunnel bande à bande ; 2 : courant de base non idéal, du a des recombinaisons ; 3 : zone idéal ; 4 : effet des résistances séries ; 5 : effet Kirk)

II.4.d.i Non-idéalité à faible injection

On considère que l'on est dans un régime de « faible injection » lorsque les électrons injectés dans la base sont très largement minoritaires devant les trous. Ces conditions sont obtenues pour une faible polarisation de la jonction émetteur-base ($V_{BE} < 0.5V$). L'origine de la non-idéalité des courants peut alors provenir des deux principaux phénomènes, expliqués ci-dessous.

(1) Recombinaison dans la ZCE émetteur-base

Si des défauts sont présents dans la zone de charge d'espace de la jonction émetteur-base, le courant de recombinaison I_{FG} n'est plus négligeable. Une non-idéalité apparaît alors sur l'allure du courant de base en fonction de la polarisation V_{BE} (Figure A.13. zone 2).

Le courant de recombinaison I_{FG} peut être exprimé de la manière suivante [Ashburn88]:

$$I_{rB} \propto \exp\left(\frac{qV_{BE}}{mkT}\right) \quad (\text{A.37})$$

Où on note m le facteur d'idéalité, compris entre 1 et 2.

I_{rB} est donc proportionnel à la tension de polarisation V_{BE} , m étant un facteur compris entre 1 et 2. Le courant de recombinaison I_{rB} peut avoir une origine surfacique, si des défauts sont présents à la surface de la jonction émetteur-base, ou périmétrique, si les défauts responsables de cette composante sont placés seulement en périphérie de la jonction émetteur-base.

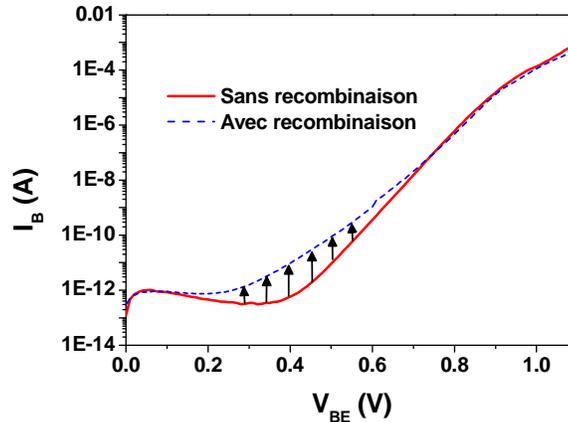


Figure A.14 Comparaison des courants de base d'HBT avec et sans phénomène de recombinaison

(2) Courant tunnel bande à bande

Si l'on considère des niveaux de dopages très élevés dans l'émetteur ainsi que dans la base, ce qui est le cas pour nos transistors, il est alors possible qu'un courant tunnel apparaisse à faible polarisation V_{BE} ($V_{BE} < 0.4V$). Ce phénomène a été décrit pour la première fois par Esaki en 1958 [Esaki58] et il est utilisé comme principe de base de certains composants comme les diodes tunnel [Duschl00]. Une étude complète du courant tunnel bande à bande, dans les transistors bipolaires à hétérojonctions Si/SiGe:C, a été menée dans [Lagarde06].

Cet effet se traduit par une composante non idéale de courant de base à faible injection, présentant une résistance différentielle négative. La Figure A.15 montre l'allure du courant de base d'un dispositif avec ou sans la présence d'un effet tunnel bande à bande.

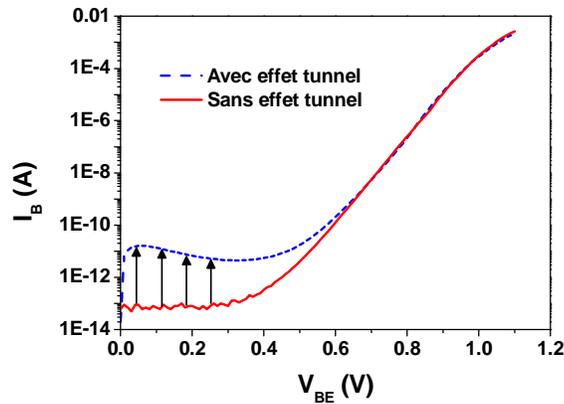


Figure A.15 Allure du courant de base d'un dispositif avec et sans effet tunnel bande à bande

L'effet tunnel apparaît lorsque la jonction émetteur base est très abrupte, la cause en est le fort champ électrique régnant dans la ZCE combiné avec une barrière de potentiel suffisamment étroite. Les électrons vont alors pouvoir franchir cette barrière et atteindre la base neutre.

Les niveaux de dopage importants utilisés, pour la fabrication des TBH rapides, donnent lieu à de forts champs électriques à la jonction émetteur/base. La probabilité que les électrons puissent franchir la barrière par effet tunnel n'est alors plus négligeable.

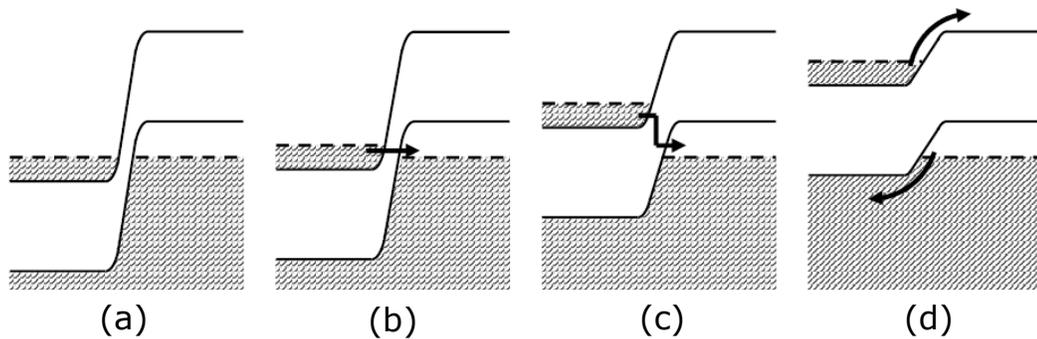


Figure A.16 Représentation schématique des niveaux d'énergies occupées en fonction de la polarisation V_{BE}

En fonction de la polarisation appliquée à la jonction émetteur-base, le phénomène se décompose en plusieurs phases successives :

(a) A $V_{BE}=0$, les niveaux de Fermi des deux zones sont alignés. Sous le niveau de Fermi tous les états d'énergie sont occupés et tous ceux au-dessus sont libres : aucun courant tunnel n'est possible.

(b) Si une faible tension V_{BE} est appliquée ($V_{BE}<0.2V$), il y a des états occupés dans la région n correspondant à des états disponibles dans la région p . Le passage des porteurs est alors possible, c'est le courant tunnel bande à bande.

(c) Pour une tension V_{BE} plus élevée ($V_{BE}>0.2V$) : Le niveau de fermi augmente, ce qui a pour effet de réduire le nombre de niveaux disponibles dans la bande de

valence de la région p . Le courant tunnel diminue donc quand la polarisation V_{BE} augmente, ce qui engendre une résistance différentielle négative.

(d) Si l'on augmente encore V_{BE} , il n'y a plus de niveaux d'énergie disponibles. Aucun courant tunnel ne peut circuler. Le courant classique de diffusion redevient prédominant.

L'effet tunnel bande à bande peut être un bon indicateur permettant d'apprécier, de juger de « l'agressivité » de la jonction émetteur-base des TBH rapides. On peut, en effet, en fonction de sa présence ou non, évaluer les niveaux de dopage à la jonction et l'épaisseur de la jonction.

II.4.d.ii Avalanche et tensions de claquage

(1) Principe

L'apparition d'un phénomène de claquage est le produit d'un phénomène d'avalanche, intervenant dans les jonctions fortement polarisées.

Lorsque la polarisation de la jonction devient suffisamment élevée, un nombre important de paires électron-trou sont créés par ionisation par choc. Le fort champ électrique, dû à la forte polarisation, permet aux porteurs de dériver, générant sur leur passage d'autres paires électron-trou, c'est le phénomène d'ionisation par impact.

Le transistor bipolaire est caractérisé par trois tensions de claquage : BV_{CBO} , BV_{EBO} , et BV_{CEO} . Le « O » signifiant que le troisième contact est en position ouverte.

(2) Avalanche dans la jonction base-collecteur - BV_{CBO}

La tension BV_{CBO} est la tension d'avalanche, ou de claquage, de la jonction base-collecteur lorsque l'émetteur est dit ouvert, c'est-à-dire non connecté. Dans cette jonction polarisée en inverse, les paires électron-trou générées thermiquement sont expulsées de la zone de charge d'espace par le champ électrique qui y règne. Un courant de fuite I_{CBO} de la jonction polarisée en inverse apparaît. Lorsque la polarisation V_{CB} atteint une valeur importante, le phénomène d'avalanche se produit dans la ZCE. La tension de claquage peut s'exprimer en fonction de E_{crit} (valeur critique du champ électrique à partir de laquelle l'avalanche se produit), du dopage collecteur N_{dC} et de la constante diélectrique du silicium $\epsilon_0\epsilon_r$:

$$BV_{CBO} = \frac{\epsilon_0\epsilon_r E_{crit}^2}{2qN_{dC}} \quad (A.38)$$

Le champ E_{crit} , fonction du matériau, est de l'ordre de quelques 10^5V.cm^{-1} pour le silicium dopé N. Les niveaux de dopage du collecteur utilisés pour la fabrication de nos dispositifs rapides nous conduisent donc à des tensions de claquage BV_{CBO} de l'ordre de 5 V à 6 V.

(3) Tension de claquage BV_{EBO}

La tension de claquage BV_{EBO} est représentative de la jonction émetteur-base. Dans les TBH rapides, les niveaux de dopage de l'émetteur et de la base sont très élevés et la jonction très abrupte. Il en découle une tension de claquage BV_{EBO} bien plus faible que BV_{CBO} , généralement comprise entre 1 et 2 V.

(4) Tension de claquage BV_{CEO}

La tension BV_{CEO} est un paramètre important pour l'optimisation des transistors bipolaires. En effet, la tension BV_{CBO} caractérise uniquement la jonction base-collecteur alors que le paramètre BV_{CEO} donne la valeur de l'avalanche de cette même jonction lorsque le transistor est utilisé en fonctionnement classique. Dans ce cas, l'avalanche apparaît pour une polarisation plus faible à cause de l'effet de transistor.

Lorsque le transistor est polarisé en mode direct, les porteurs pouvant être à l'origine du phénomène d'avalanche proviennent à la fois des porteurs injectés qui ont traversé la base neutre I_{nC} et du courant de fuite de la jonction base-collecteur I_{CBO} . On aura alors :

$$I_C = I_{nC} + I_{CBO} = \alpha I_E + I_{CBO} \quad (\text{A.39})$$

Si la polarisation de la jonction base-collecteur V_{CB} est assez élevée pour générer le phénomène d'avalanche décrit plus haut, le courant de collecteur I_C sera multiplié par un facteur de multiplication M caractéristique de la jonction :

$$I_C = M \cdot (\alpha I_E + I_{CBO}) \quad (\text{A.40})$$

M est défini de manière empirique par l'équation suivante où n représente un coefficient compris entre 3 et 6 [Miller55]:

$$M = \frac{1}{1 - \left(\frac{V_{CB}}{BV_{CBO}} \right)^n} \quad (\text{A.41})$$

Si le transistor est monté en émetteur commun et que la base est ouverte, nous pouvons alors introduire I_{CEO} , le courant circulant entre l'émetteur et le collecteur. Celui-ci sera alors égal aux courants de l'émetteur I_E et du collecteur I_C :

$$I_{CEO} = I_E = I_C = M \cdot (\alpha I_{CEO} + I_{CBO}) \quad (\text{A.42})$$

Dans cette configuration, le courant I_{CEO} peut donc s'exprimer simplement en fonction du courant de fuite de la jonction base-collecteur I_{CBO} et du facteur d'avalanche M :

$$I_{CEO} = \frac{M}{(1 - \alpha M)} I_{CBO} \quad (\text{A.43})$$

L'équation (A.41) nous montre que si la polarisation de la jonction base-collecteur tend vers la valeur de BV_{CBO} , la valeur du facteur d'avalanche M augmente. Le terme αM dans l'expression (A.43) se rapprochera alors de l'unité et nous aurons une forte augmentation du courant traversant le transistor.

Nous pouvons donc définir une tension V_{CB} pour laquelle le terme αM est égal à 1. Celle-ci se nomme BV_{CEO} , elle est la tension de claquage en émetteur commun et base ouverte.

$$BV_{CEO} = BV_{CBO} (1 - \alpha)^{1/n} = \frac{BV_{CBO}}{\beta^{1/n}} \quad (\text{A.44})$$

(5) Discussion sur la tension de claquage d'un TBH

La tension BV_{CEO} a une valeur bien plus faible que BV_{CBO} . Contrairement à BV_{CBO} qui est une tension de claquage d'une jonction PN polarisée en inverse (en l'occurrence la jonction base-collecteur), la tension BV_{CEO} est caractéristique du dispositif en fonctionnement.

En situation réelle, où le composant est utilisé dans un circuit, l'impédance sur la base n'est pas infinie (connexion ohmique). La tension de claquage réelle du composant BV_{CEO} se situe donc entre BV_{EBO} (pire cas) et BV_{CBO} (meilleur cas) [Rickelt01].

Comme le montre la relation (A.44), BV_{CEO} est directement lié au gain du dispositif. Il est donc inévitable qu'un dispositif présentant un fort gain en courant possède une tension de claquage faible. L'allure du gain, en fonction de la tension de claquage d'un TBH, est donnée sur la Figure A.17 ci-dessous.

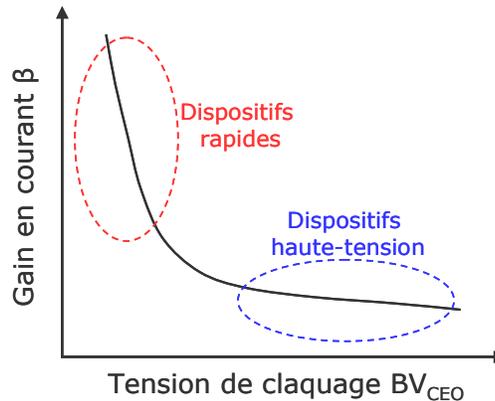


Figure A.17 Compromis entre le gain en courant β et la tension de claquage BV_{CEO}

En ce qui concerne les TBH rapides, le gain en courant β se situe souvent au-delà de quelques centaines pour une tension de claquage BV_{CEO} comprise entre 1.5 et 2V. Pour les TBH haute-tension, nous aurons en revanche un gain avoisinant les 100 pour des tensions $BV_{CEO} \approx 5$ V.

II.4.d.iii Modulation de la largeur de la base W_B

Les expressions des courants donnés précédemment ne tiennent pas compte de la polarisation appliquée à la jonction base-collecteur. Or la largeur de la base neutre, W_B , est fonction de la tension appliquée au composant. La modulation de la largeur de base par les

tensions V_{BE} ou V_{CB} a pour résultat une modification de courant collecteur, par rapport au cas idéal.

C'est ce que l'on nomme l'effet Early, direct si la modulation de la largeur de base est due à la tension V_{CB} ou indirect si l'effet est causé par la tension V_{BE} .

(1) Effet Early direct – V_{AF}

Lors de l'augmentation de la tension V_{CB} il y aura une extension de la zone de charge d'espace base-collecteur à l'intérieur de la base neutre. On néglige l'effet de l'élargissement de la ZCE dans l'émetteur compte-tenu de sa largeur.

La largeur de la base neutre W_B va alors diminuer, ce qui va modifier l'évolution de la concentration des porteurs minoritaires comme le montre la Figure A.18 ($V_{CB2} > V_{CB1}$ alors $W_{B2} < W_{B1}$).

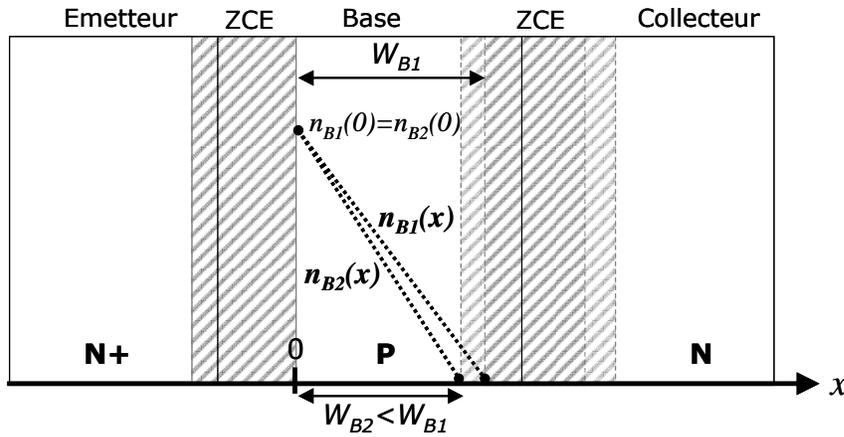


Figure A.18 Illustration de l'effet Early direct et modulation de la largeur de base neutre

Le gradient d'électrons dans la base neutre va alors augmenter, ce qui aura pour effet d'augmenter le courant I_C : c'est l'effet Early.

Cet effet peut être quantifié grâce à l'introduction de V_{AF} , appelé tension d'Early directe.

Pour un régime de faible et moyenne injection, lorsque $V_{BC} = 0$ V, le courant collecteur peut s'écrire sous la forme :

$$I_C = I_S \left(1 - \frac{V_{BE}}{V_{AR}} - \frac{V_{BC}}{V_{AF}}\right) \cdot \exp\left(\frac{V_{BE}}{V_T}\right) \quad \text{avec } V_T = \frac{kT}{q} \text{ and } I_S \text{ constant (A.45)}$$

Il est possible de modifier l'expression précédente afin de mettre en évidence les variations du courant I_C en fonction de la polarisation appliquée entre le collecteur et l'émetteur sous forme de l'expression d'une droite.

$$I_C = I_S \left(1 - \frac{V_{BE}}{V_{AR}}\right) \cdot \exp\left(\frac{V_{BE}}{V_T}\right) + V_{CB} \times \frac{I_S \cdot \exp\left\{\frac{V_{BE}}{V_T}\right\}}{V_{AF}} \quad \text{(A.46)}$$

L'expression précédente peut être représentée comme sur la Figure A.19 :

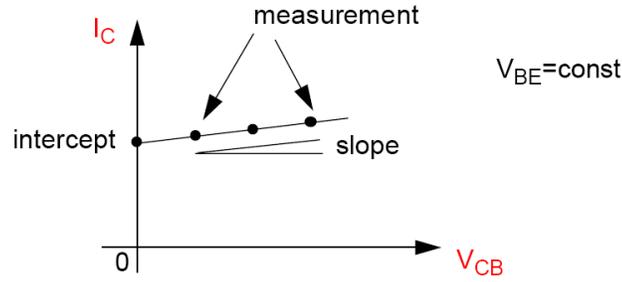


Figure A.19 Interprétation géométrique de l'extraction de la tension d'Early direct

Dans ce cas, si l'on note A la pente de la droite de la figure précédente et B l'ordonnée à l'origine de cette même droite, on peut extraire la valeur de la tension d'Early direct :

$$V_{AF} = \frac{B}{A \times \left\{ 1 - \frac{V_{BE}}{V_{AR}} \right\}} \quad (\text{A.47})$$

Plus la tension d'Early directe sera élevée, plus le niveau de courant de sortie sera stable en fonction de la polarisation. V_{AF} est donc un facteur de mérite important à prendre en considération pour le développement de nos TBH. En général, V_{AF} doit être supérieure à 50 V pour qu'un dispositif puisse être intégré sans problème dans un circuit.

(2) Effet Early inverse – V_{AR}

L'effet Early inverse est dû à une variation de la largeur de la base neutre avec la tension de polarisation V_{BE} . En effet, l'augmentation de la tension V_{BE} va entraîner une diminution de la ZCE émetteur-base, ce qui se traduira par une augmentation de la largeur de la base neutre W_B . Cet effet peut pénaliser les performances du TBH car il entraîne une chute du gain en courant β . Cependant, il reste faible devant l'effet Early direct car les forts niveaux de dopage de l'émetteur ainsi que de la base limitent les variations de W_B .

De la même façon que pour V_{AF} , on peut introduire V_{AR} , appelé tension d'Early inverse, qui sera de l'ordre de 1 à 3 V pour nos dispositifs.

La tension d'Early indirecte peut être extraite à partir de l'expression du courant collecteur, à faible et moyenne injection, exprimé ci-dessous :

$$I_C = I_S \left(1 - \frac{V_{BE}}{V_{AR}} \right) \cdot \exp\left(\frac{V_{BE}}{V_T}\right) \quad \text{avec } V_T = \frac{kT}{q} \text{ et } I_S \text{ constant (A.48)}$$

$$I_C \times \exp\left(\frac{V_{BE}}{V_T}\right) = I_S - \frac{I_S}{V_{AR}} \times V_{BE} \quad (\text{A.49})$$

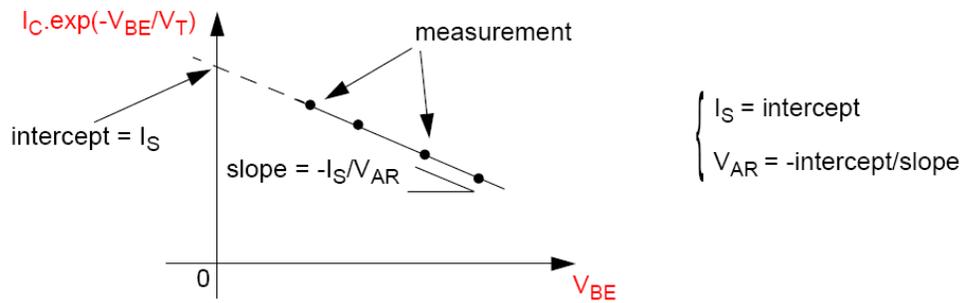


Figure A.20 Interprétation géométrique de l'extraction de la tension d'Early indirect

(3) Perçage de la base

Comme nous l'avons vu précédemment, l'application d'une forte polarisation aux bornes de la jonction base-collecteur V_{CB} entraîne une extension de la ZCE de cette jonction à l'intérieur de la base. Ceci a pour conséquence de diminuer la largeur effective de la base W_B . Dans le cas où la tension augmente suffisamment pour que les deux ZCE base-collecteur et émetteur-base puissent se rejoindre, l'émetteur se retrouve alors directement connecté au collecteur par une zone de charge d'espace unique comme illustré sur la Figure A.21. La caractéristique électrique prend alors l'allure décrite par la courbe de la Figure A.22

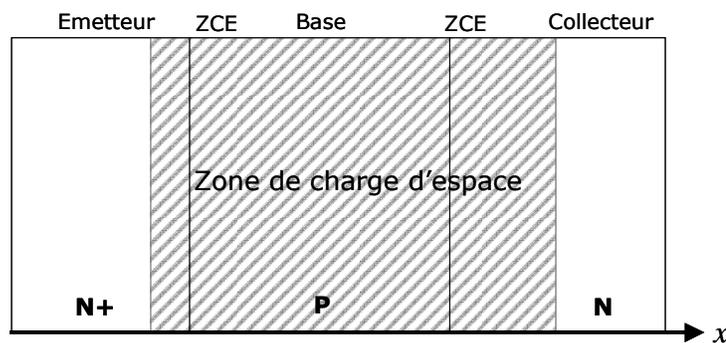


Figure A.21 Illustration du phénomène de perçage de la base

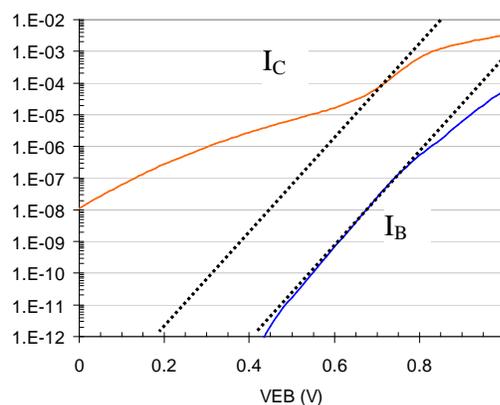


Figure A.22 Courbes de Gummel en présence d'un perçage de la base

Ce phénomène appelé « perçage de la base » entraîne un courant important entre l'émetteur et le collecteur. L'effet transistor ne peut plus exister dans le composant, le fonctionnement devient alors purement résistif. La largeur de la base étant directement liée aux performances intrinsèques du composant, ce phénomène est un facteur limitant de la diminution des dimensions verticales des TBH Si/SiGe:C.

II.4.d.iv Effet Kirk

L'effet Kirk est un des effets limitant les performances en fréquence de ces composants. Celui-ci est directement lié au niveau de dopage du collecteur.

Lorsque le transistor est en fonctionnement et que la polarisation V_{BE} à ces bornes augmente, la quantité d'électrons injectés dans la ZCE base-collecteur atteint une valeur comparable à celle du collecteur N_{dc} . Ceci engendre une compensation de la charge côté collecteur et entraîne une extension de la zone de charge d'espace base-collecteur.

Si le nombre d'électrons injectés augmente encore et devient supérieur à N_{dc} , on assistera à une compensation totale des charges. La base neutre va alors s'élargir brusquement en direction du contact collecteur où le dopage N_{dc}' est plus important (Figure A.23). Cette brusque augmentation de W_B (de W_{B1} vers W_{B2}) va provoquer une chute importante du courant collecteur du dispositif.

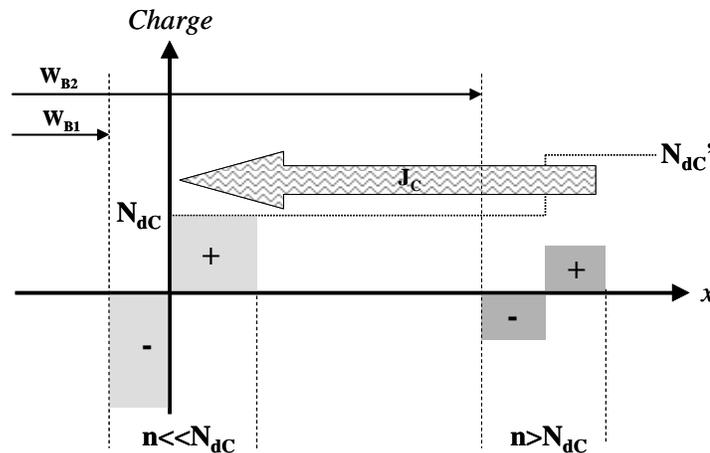


Figure A.23 Illustration schématique de l'effet Kirk

La densité de courant J_C , à partir de laquelle l'effet Kirk se produit est donnée en fonction de la vitesse de saturation des électrons v_{sat} par l'expression :

$$J_C = qN_{dc}v_{sat} \quad (A.50)$$

Nous voyons donc que le seuil de l'effet Kirk dépend du dopage collecteur. Afin d'augmenter les performances fréquentielles du composant, il faut donc augmenter le dopage collecteur, ce qui dégrade de manière non négligeable la tenue en tension du

composant. L'effet Kirk sera alors responsable de la diminution des performances fréquentielles à forte injection.

II.4.d.v Effet des résistances série R_E et R_B

Dans un mode de fonctionnement direct et lorsque la polarisation V_{BE} est assez forte, les courants présents sont alors trop importants pour que la chute de tension due aux résistances de l'émetteur et de la base soit négligeable. Ainsi, à partir d'une certaine polarisation V_{BE} , la tension réelle aux bornes de la jonction émetteur-base sera $V_{B'E'} < V_{BE}$. Les résistances série présentes dans un TBH sont représentées sur la Figure A.24.

On peut exprimer la tension $V_{B'E'}$ en fonction de V_{BE} par la relation :

$$V_{B'E'} = V_{BE} - I_E \cdot R_E - I_B \cdot R_B \quad (A.51)$$

En remplaçant maintenant le courant d'émetteur I_E par la somme des courants de base et de collecteur $I_B + I_C$, on obtient :

$$V_{B'E'} = V_{BE} - I_B [(1 + \beta)R_E + R_B] \quad (A.52)$$

Les courants I_B et I_C augmenteront alors moins rapidement que le cas idéal avec l'augmentation de la polarisation V_{BE} . Ceci se traduit par un comportement non idéal à partir de $V_{BE} \approx 0.8$ V sur les caractéristiques statiques du dispositif (voir Figure A.13). Bien que la résistance d'émetteur R_E soit inférieure à R_B , le terme $(1 + \beta) \cdot R_E$ a une valeur non négligeable lorsque le gain en courant est élevé.

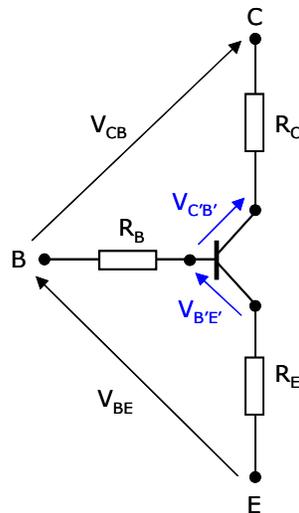


Figure A.24 Représentation schématique des résistances série dans un TBH

II.4.d.vi Quasi-saturation (R_C)

L'effet des résistances série, décrit précédemment est également présent du côté du collecteur. Pour une forte polarisation V_{CB} , la chute ohmique dans le collecteur est non négligeable. Celle-ci sera due à la résistance de collecteur R_C représentée sur la Figure

A.24. Si on néglige l'influence de R_B , la polarisation aux bornes de la jonction base-collecteur $V_{C'B'}$ s'écrira alors :

$$V_{C'B'} = V_{CB} - R_C I_C \quad (\text{A.53})$$

Rappelons que dans un régime de fonctionnement normal, la jonction base/collecteur est polarisée en inverse ($V_{CB} > 0$). A fort courant collecteur et lorsque V_{CB} est faible, le terme $R_C I_C$ peut devenir supérieur à V_{CB} . La polarisation $V_{C'B'}$ devient alors négative et la jonction base/collecteur est alors polarisée en direct : c'est ce que l'on appelle l'effet de quasi-saturation.

Cet effet est visible sur les caractéristiques statiques du transistor présentées sur la Figure A.25. Les courbes de Gummel tracées pour une polarisation $V_{CB}=0V$ montrent une saturation du courant de collecteur I_C à forte injection. Le courant de base, quant à lui, augmente brusquement sous l'effet de la polarisation directe de la jonction base-collecteur ($R_C I_C > V_{CB}$). Sur les caractéristiques de sortie, on remarque à faible V_{CE} , qu'il existe une région pour laquelle le courant de collecteur augmente lentement avant d'atteindre le régime de saturation.

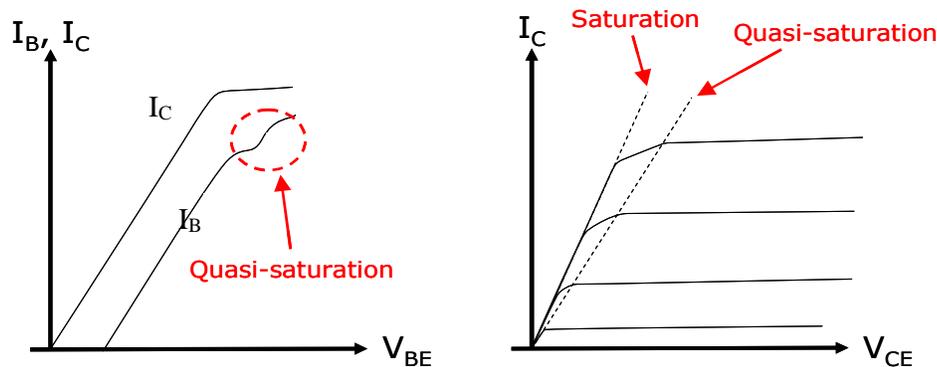


Figure A.25 Effet de quasi-saturation visible sur les courbes de Gummel et les caractéristiques de sortie d'un transistor bipolaire

L'effet de quasi-saturation augmente avec la valeur de la résistance du collecteur. Il sera donc principalement visible pour les transistors ayant des niveaux de dopages du collecteur faibles.

II.5 Fonctionnement en régime dynamique

Nous avons jusqu'à présent étudié le fonctionnement du transistor bipolaire en régime statique, or ce composant offre des performances en régime dynamique très élevées ce qui en fait un très bon candidat pour les applications hautes fréquences.

C'est pourquoi nous allons, afin de développer des composants toujours plus rapides et performants, présenter dans la partie suivante l'expression des différents temps de transit des porteurs ainsi que les fréquences f_T et f_{MAX} d'un transistor bipolaire.

II.5.a. Les temps de transit

Les performances fréquentielles d'un transistor bipolaire sont déterminées par le temps mis par les porteurs minoritaires pour traverser les différentes régions qui composent le transistor : c'est le temps de transit τ_F . Ce temps de transit « global » englobe les contributions de la base neutre, de l'émetteur et des zones de déplétions des deux jonctions. On définit ce terme pour le transistor en fonctionnement direct comme le rapport entre la charge totale Q_F accumulée par les porteurs minoritaires et le courant collecteur :

$$\tau_F = \frac{Q_F}{I_C} \quad (\text{A.54})$$

Les charges en excès étant réparties dans les différentes régions du transistor, on peut naturellement décomposer le temps de transit direct en plusieurs composantes et ainsi détailler son expression comme suit :

$$\tau_F = \tau_E + \tau_{EB} + \tau_B + \tau_{BC} \quad (\text{A.55})$$

De même, le déséquilibre de charge peut être exprimé de façon fractionnée :

$$Q_F = Q_{x_E} + Q_{x_{EB}} + Q_{x_B} + Q_{x_{BC}} \quad (\text{Avec } x = n \text{ ou } p) \quad (\text{A.56})$$

Dans un transistor en fonctionnement normal, les électrons, minoritaires dans la base, sont renouvelés par le courant collecteur et les trous, minoritaires dans l'émetteur, le sont par le courant de base. C'est ce courant de porteurs minoritaires qui va régir de façon significative le temps de transit des porteurs dans le transistor bipolaire.

II.5.a.i Temps de transit dans la base τ_B

Le temps de transit dans la base neutre τ_B correspond au rapport entre la charge des porteurs minoritaires en excès stockée dans la base (ici les électrons) et le courant de collecteur I_C :

$$\tau_B = \frac{Q_B}{I_C} \quad (\text{A.57})$$

D'après la distribution linéaire des électrons dans la base (A.24), la charge globale Q_B se déduit aisément de l'aire du triangle formé par leur concentration, soit :

$$Q_B = \frac{1}{2} q A W_B n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (\text{A.58})$$

En divisant cette charge par le courant de collecteur I_C , on obtient alors :

$$\tau_B = \frac{W_B^2}{2D_{nB}} \quad (\text{A.59})$$

On remarque que le temps de transit dans la base est proportionnel au carré de l'épaisseur de base ce qui souligne l'importance de la réduction de cette dimension sur les performances fréquentielles.

Le temps de transit de base est une des composantes principales du temps de transit direct τ_F des TBH SiGe. Il s'agit donc d'un des principaux termes limitant la montée en fréquence.

II.5.a.ii Temps de transit dans l'émetteur τ_E

Comme pour le temps de transit dans la base, le temps de transit dans l'émetteur τ_E correspond au rapport de la charge créée par les porteurs minoritaires, ici les trous, stockés en excès dans l'émetteur par le courant collecteur.

$$\tau_E = \frac{Q_E}{I_C} \quad (\text{A.60})$$

La charge Q_E peut être calculée en intégrant l'expression de la répartition des trous (A.18) sur toute la longueur de l'émetteur (hors ZCE) :

$$Q_E = qA \int_{-W_E}^0 p_{E0} \left(\exp \frac{qV_{BE}}{kT} - 1 \right) \cdot \exp \frac{x}{L_{pE}} \cdot dx \quad (\text{A.61})$$

En posant $p_{E0} = n_i^2/N_{dE}$ et supposant que $V_{BE} \gg kT/q$, on obtient l'expression suivante:

$$Q_E \approx qAL_{pE} \cdot \frac{n_i^2}{N_{dE}} \left(\exp \frac{qV_{BE}}{kT} \right) \quad (\text{A.62})$$

Si on pose $n_{B0} = n_i^2/N_{aB}$, on obtient alors en utilisant l'expression de I_C formulée dans (A.27):

$$\tau_E = \frac{L_{pE} \cdot W_B}{D_{nB}} \cdot \frac{N_{aB}}{N_{dE}} \quad (\text{A.63})$$

Cette expression n'est valable que pour des émetteurs larges où $W_E \gg L_{pE}$, ce qui sera le cas des TBH que nous développerons.

Le temps de transit dans l'émetteur, tout comme le temps de transit dans la base, est fonction de la largeur de la base. Ce terme peut être modulé en jouant sur le rapport des dopages entre la base et l'émetteur.

II.5.a.iii Temps de transit dans la jonction émetteur-base τ_{EB}

Le temps de transit dans la jonction émetteur-base représente le temps mis par les électrons pour traverser la ZCE de cette jonction. Ce terme peut s'exprimer comme suit :

$$\tau_{EB} = \frac{Q_{EB}}{I_C} \quad (\text{A.64})$$

La valeur de la charge Q_{EB} présente dans la zone de charge d'espace dépend essentiellement de la largeur de cette zone, de la polarisation V_{BE} appliquée aux bornes de la jonction ainsi que de la section de la jonction. Elle peut être exprimée de la façon suivante [Roulston90]:

$$Q_{EB} = qAW_{EB} \exp\left(\frac{qV_{BE}}{2kT}\right) \quad (\text{A.65})$$

On peut alors exprimer le temps de transit dans le ZCE émetteur-base en fonction de la polarisation V_{BE} comme suit :

$$\tau_{EB} \propto \exp\left(-\frac{qV_{BE}}{2kT}\right) \quad (\text{A.66})$$

On remarque grâce à l'expression précédente que le temps de transit τ_{EB} chute très rapidement lorsque la tension V_{BE} augmente. De plus, du fait de la faible épaisseur de la zone de charge d'espace émetteur-base (jonction polarisée en direct, en fonctionnement normal et fort dopage des deux régions adjacentes à la ZCE) la contribution du temps de transit de cette zone au temps de transit total peut être considérée comme négligeable.

II.5.a.iv Temps de transit dans la jonction base-collecteur τ_{BC}

Le temps de transit associé à la jonction base-collecteur correspond au temps requis par les électrons, soumis au champ électrique, pour traverser la zone de déplétion.

La jonction base/collecteur étant polarisée en inverse, le champ électrique qui règne dans la ZCE est important. On peut donc considérer que les électrons atteignent tous et rapidement leur vitesse de saturation v_{sat} .

Le courant de trous a pour effet de modifier la répartition des charges des atomes de dopants ionisés ainsi que l'étendue de la zone de charge d'espace. Ces effets ne doivent pas être négligés dans le calcul du temps de transit base-collecteur. Il a été démontré dans [Meyer87] que le temps de transit base-collecteur peut être décrit par l'expression suivante :

$$\tau_{BC} = \frac{W_{BC}}{2v_{sat}} \quad (\text{A.67})$$

Le temps de transit dans la jonction base-collecteur dépend donc fortement des rapports de dopages entre la base et le collecteur. En effet, en diminuant le dopage du collecteur, l'étendue de la ZCE augmente ce qui a pour effet d'augmenter le temps de transit dans cette zone et de diminuer les performances fréquentielles du transistor. A contrario, si l'on souhaite augmenter le dopage du collecteur pour diminuer le temps de transit, c'est cette fois-ci la tenue en tension de la jonction qui sera dégradée (A.39).

II.5.b. Fréquences de coupure

II.5.b.i Fréquence de transition f_T

On nomme fréquence de transition, f_T , la fréquence de coupure du gain du transistor. Par définition, elle correspond à la fréquence pour laquelle le gain dynamique en courant en petit signal, noté h_{21} , du composant devient égale à 1 (ou 0 dB). Le gain en courant en petit signal peut être exprimé comme suit en fonction des courants en petits signaux :

$$h_{21} = \left| \frac{i_C}{i_B} \right| \quad (\text{A.68})$$

La Figure A.26 représente l'évolution du gain en fonction de la fréquence sur un diagramme de Bode.

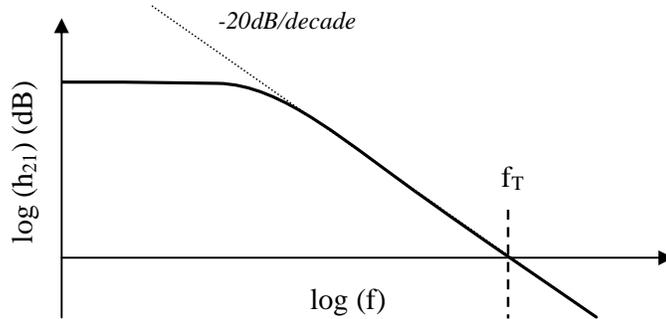


Figure A.26 Evolution du gain dynamique en fonction de la fréquence

Une fois la fréquence de transition atteinte, le transistor perd donc ses fonctions d'amplificateur. En pratique, il est difficile de mettre au point des circuits dont les fréquences de fonctionnement sont proches de la fréquence de coupure du transistor. Généralement les circuits fonctionnent à des fréquences de l'ordre du tiers de la valeur de f_T .

Sur le diagramme de Bode précédent, on remarque que le gain en régime dynamique suit un plateau avant de décroître selon une pente de -20dB par décade.

La décroissance observée est due aux différents éléments intrinsèques qui engendrent un retard dans le déplacement des porteurs : le temps de transit direct, les capacités de jonctions ainsi que les résistances d'émetteur et de collecteur.

Les capacités, présentes dans le composant, qui vont jouer un rôle important, peuvent être de deux types :

- Les capacités dites de diffusion : elles sont dues aux charges formées par les porteurs minoritaires, détaillées précédemment.
- Les capacités dites de transition : ce sont les capacités liées aux modulations des zones de charge d'espace émetteur/base et base/collecteur, notées C_{BE} et C_{BC} respectivement pour les zones de charge d'espace E-B et B-C.

La capacité de diffusion C_τ est représentative du retard dû au renouvellement de la charge Q_F , définie plus haut, telle que :

$$\tau_F = \frac{\partial Q_F}{\partial I_C} = \frac{\partial Q_F}{\partial V_{BE}} \cdot \frac{\partial V_{BE}}{\partial I_C} \quad (\text{A.69})$$

La capacité C_τ et la transconductance g_m du dispositif peuvent être définies comme suit :

$$C_\tau = \frac{\partial Q_F}{\partial V_{BE}} \quad (\text{A.70})$$

$$g_m = \frac{\partial I_C}{\partial V_{BE}} = \frac{qI_C}{kT} \quad (\text{A.71})$$

La capacité C_τ peut alors s'écrire simplement en utilisant (A.69) et (A.71) :

$$C_\tau = \tau_F \cdot \frac{qI_C}{kT} \quad (\text{A.72})$$

Pour calculer f_T , il est nécessaire d'exprimer les courants de base et collecteur en régime dynamique, pour ceci nous utiliserons le schéma électrique équivalent de la Figure A.27.

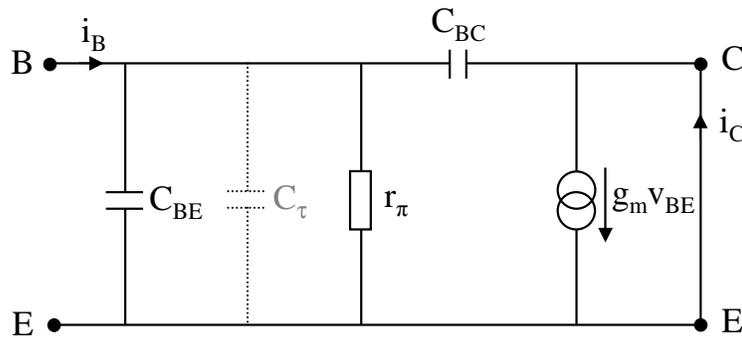


Figure A.27 Schéma équivalent petit signaux d'un transistor bipolaire

Pour une tension d'entrée V_{BE} dans un régime sinusoïdal de pulsation ω , le courant collecteur en régime dynamique s'exprime :

$$i_C = g_m v_{BE} - j\omega C_{BC} v_{BE} \quad (\text{A.73})$$

Pour exprimer le courant de base, il faut considérer la capacité totale de diffusion ainsi que les capacités de jonction.

$$i_B = v_{BE} (1/r_\pi + j\omega C_\tau + j\omega C_{BE} + j\omega C_{BC}) \quad (\text{A.74})$$

Des deux expressions précédentes on déduit celle du gain en courant dynamique h_{21} :

$$h_{21} = \frac{i_C}{i_B} = \frac{g_m - j\omega C_{BC}}{1/r_\pi + j\omega(C_\tau + C_{BE} + C_{BC})} \quad (\text{A.75})$$

A la contribution de la transconductance, se soustrait l'influence de la capacité de jonction base-collecteur. La transconductance étant très importante dans nos dispositifs, la composante liée à la capacité de jonction base-collecteur est considérée négligeable et le courant collecteur s'écrit alors :

$$i_C \approx g_m V_{BE} \quad (\text{A.76})$$

Si l'on considère que le courant de base charge les différentes capacités, alors l'influence de la composante dynamique vient s'ajouter à la composante statique. Pour des

fréquences suffisamment élevées, le terme faisant intervenir la conductance devient négligeable devant l'effet des capacités et le courant de base s'exprime :

$$i_B \approx (C_\tau + C_{BE} + C_{BC}) \cdot j\omega V_{BE} \quad (\text{A.77})$$

Le gain h_{21} s'exprime alors :

$$|h_{21}| = \frac{g_m}{\omega(C_\tau + C_{BE} + C_{BC})} \quad (\text{A.78})$$

Si on pose $|h_{21}|=1$ et $\omega=2\pi f$, on peut alors en déduire l'expression de la fréquence de transition f_T :

$$f_T = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) \right)} \quad (\text{A.79})$$

Pour que cette expression soit complète, il faut ajouter les termes de retard liés aux résistances du collecteur et de l'émetteur qui avaient été négligées pour simplifier le calcul :

$$f_T = \frac{1}{2\pi \left(\tau_F + C_{BC}(R_E + R_C) + \frac{kT}{qI_C} (C_{BE} + C_{BC}) \right)} \quad (\text{A.80})$$

On constate que la fréquence de transition dépend essentiellement des paramètres intrinsèques du transistor comme le temps de transit des porteurs τ_F , les éléments résistifs et capacitifs et du niveau de courant de collecteur (ou de la transconductance g_m). De plus, d'après cette expression, f_T tendra vers une maximale théorique égale à $1/2\pi(\tau_F + C_{BC}(R_E + R_C))$. En réalité, les effets de forte injection (détaillés dans la partie II.4.b) vont apparaître à fort courant avant que le pic maximal théorique f_T ne soit atteint et la fréquence de transition va décroître. La courbe suivante illustre l'allure d'une courbe $f_T(I_C)$ dans le cas d'un dispositif réel et idéal :

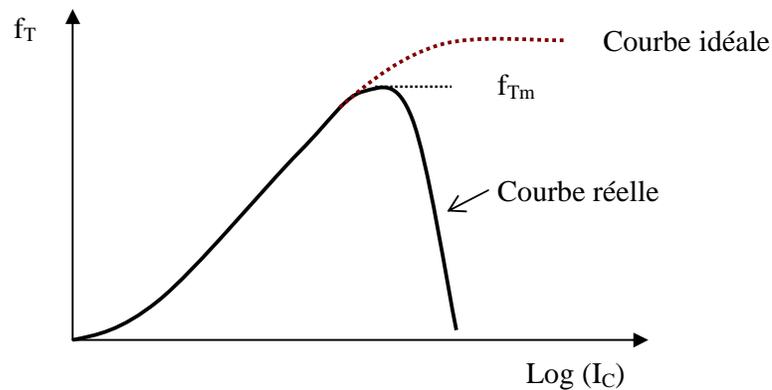


Figure A.28 Variation de la fréquence de transition f_T avec le courant collecteur dans les cas idéal et réel

La fréquence de transition est un paramètre important pour évaluer les performances fréquentielles et le temps de transit direct d'un TBH. Néanmoins lors de l'extraction de f_T la résistance de base n'est pas prise en compte et aucune charge n'est appliquée à la sortie, ce qui ne correspond pas à une utilisation classique du transistor.

II.5.b.ii Fréquence maximale d'oscillation f_{MAX}

La fréquence maximale d'oscillation, f_{MAX} est définie par rapport au gain en puissance et correspond à la fréquence pour laquelle ce gain est égal à l'unité. Contrairement à la fréquence de transition qui est définie de façon unique, il existe plusieurs manières de déterminer le gain en puissance. Dans cette étude nous considérerons le gain de Mason, noté U , qui est le gain en puissance du dispositif lorsqu'il n'y a pas de transmission d'énergie de la sortie vers l'entrée. Il est possible de formuler de manière approchée la fréquence maximale d'oscillation f_{MAX} en fonction de la fréquence de transition f_T par la relation établie dans [Roulston90] :

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (\text{A.81})$$

La formulation de f_{MAX} fait intervenir la fréquence de transition ainsi que la capacité de la jonction base-collecteur et la résistance de base. La détermination de la fréquence maximale est en générale plus délicate car celle-ci fait intervenir des effets intrinsèques et extrinsèques.

III. Techniques de caractérisation et mesures électriques

III.1 Mesures statiques

L'étude du comportement électrique du composant en régime statique est la première phase de l'analyse du composant. Elle permet de repérer les éventuels défauts de fabrication (courants non idéaux, fortes résistances séries, ...) et permet d'extraire un grand nombre de paramètres, utiles pour la compréhension du fonctionnement du transistor.

Celles-ci peuvent être effectuées de manière manuelle ou automatisée.

III.2 Mesures manuelles

Une fois la fabrication d'un lot terminé il est possible de tester les structures présentes sur celui-ci en réalisant des tests en mode manuel. Ces mesures sont réalisées sur un banc de mesure sous pointes équipé d'un analyseur de paramètres Agilent 4156. Ces mesures vont permettre d'obtenir les principales caractéristiques des transistors afin de les caractériser et d'extraire des paramètres importants.

III.2.a. Test paramétrique automatique

Des mesures électriques statiques sont également réalisées en salle blanche, directement sur la chaîne de production, après la réalisation du premier niveau métallique d'interconnexions ainsi qu'en fin de fabrication. Ce test est réalisé sur un banc complètement automatisé, ce qui permet de tester un grand nombre de dispositifs, sur plusieurs sites et généralement sur toutes les plaques d'un lot. Ces mesures peuvent donc être utiles dans un premier temps pour contrôler le bon déroulement des étapes de fabrication d'un lot. Les résultats du PT (*Parametric Test*) sont également utilisés pour présélectionner les plaques potentiellement intéressantes pour effectuer une caractérisation plus approfondie (mesures manuelles) ainsi que des caractérisations en fréquence.

Lors de ce test, pour chaque transistor mesuré, on peut extraire un grand nombre de paramètres comme les courants et gains pour différentes polarisations, les tensions d'Early ainsi que les tensions de claquage des jonctions. Afin d'obtenir des paramètres électriques caractéristiques de la technologie, tels que la résistance du poly-base, du poly-émetteur et les capacités, on teste des structures dédiées à l'extraction de ces paramètres.

Les résultats de ce test sont exploitables sous forme de graphes, de tableaux et permettent de visualiser en quelques instants l'évolution des paramètres caractéristiques du transistor par plaques, par dégroupages process au sein d'un lot, ou encore par lot.

III.2.b. Caractérisation électrique

Dans la suite nous allons présenter les différentes caractéristiques ainsi que les paramètres que nous pouvons extraire à partir des mesures statiques.

III.2.b.i Courbes de Gummel et gain en courant

Une des mesures manuelles les plus usuelles pour caractériser le comportement d'un transistor consiste à tracer les courbes de Gummel ainsi que le gain en courant du dispositif.

Cette caractéristique représente l'évolution des courants de base et de collecteur, sur une échelle logarithmique, en fonction de la polarisation émetteur-base avec une tension V_{CB} nulle.

Une lecture directe et simple des courbes de Gummel permet d'obtenir des informations importantes pour estimer la qualité du composant testé :

- A faible polarisation, dans la zone 2 de la Figure A.13, l'allure du courant de base donne une indication sur la présence ou non centre recombinant dans la ZCE émetteur-base.
- A polarisation moyenne, V_{BE} compris entre 0.6 et 0.8 V, les courants suivent un comportement idéal (zone 3 de la Figure A.13).
- Pour de plus fortes polarisations, zone 4 de la Figure A.13, on remarque un décalage des courants par rapport au cas idéal dû aux effets des résistances série. D'autre part,

l'effet Kirk accentue d'avantage la décroissance du courant collecteur pour les fortes injections des électrons dans le collecteur. Ces deux effets sont généralement confondus, néanmoins la décroissance plus rapide du courant collecteur par rapport au courant de base pour les fortes polarisations est visible.

- Le régime de quasi-saturation dans lequel la jonction B/C se trouve en régime direct a également lieu à forte polarisation. S'il se produit avant l'apparition des effets de résistance série, il se manifeste par une faible augmentation de la croissance du courant de base.

- la présence éventuelle d'un effet tunnel bande à bande à la jonction E/B. Le courant de base en fonction de la polarisation VEB suit alors le comportement décrit en zone 1 de la Figure A.13, visible pour les faibles valeurs de polarisation :

- le perçage de la base intrinsèque. Ce phénomène, décrit au paragraphe II.4.d.iii(3), s'illustre par de forts courants collecteur, comme illustré sur la Figure A.13 en zone 6.

Une fois les variations des courants obtenues et ce pour diverses valeurs de V_{BE} , il est possible de déduire le gain en courant. Celui-ci atteindra un pic, correspondant à une valeur maximale, dans la zone d'idéalité des courants avant de décroître (apparition des effets de fortes injections).

III.2.b.ii Caractéristiques de sortie

Une autre mesure très employée est la mesure des caractéristiques de sortie du composant. Pour réaliser cette mesure, on impose le courant de base, I_b , ou la tension base-collecteur, V_{BE} et on relève la réponse du courant collecteur I_c pour différentes tensions émetteur-collecteur, V_{CE} . Le courant de base ou la polarisation E/B sont généralement choisis de telle sorte que le dispositif se trouve dans sa zone idéale de fonctionnement.

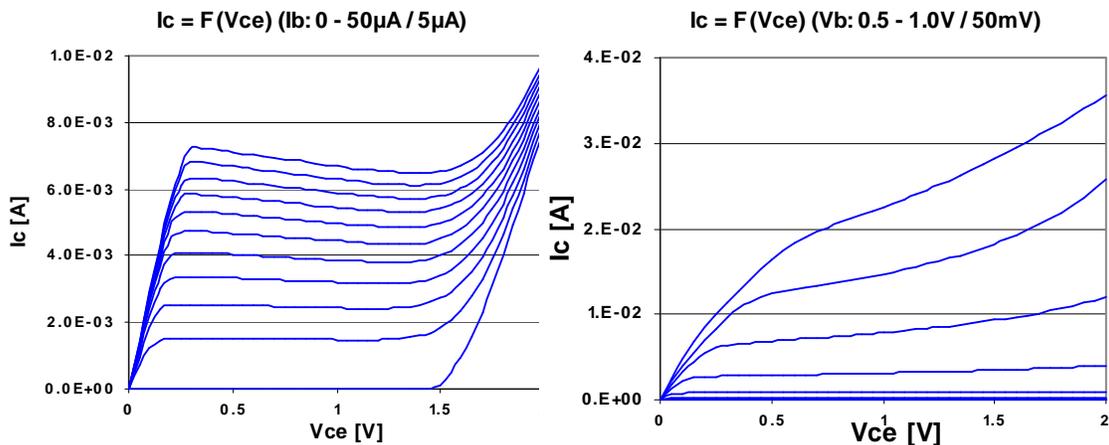


Figure A.29 Caractéristiques de sortie d'un transistor bipolaire, a) I_b variant de 0 à 50 μ A par pas de 5 μ A, b) V_b variant de 0.5 à 1 V par pas de 50 mV. Fenêtre émetteur de dimensions 0,25 x 5 μ m²

Tout comme sur les courbes de Gummel, les informations que l'on peut extraire de ce graphique sont multiples et très importantes pour caractériser le dispositif en test.

En théorie, les deux caractéristiques de sortie à V_B ou I_B fixé, présentées ci-dessus, devrait être équivalentes (dans le cas du transistor idéal, I_B ne varie pas avec la polarisation V_{EC}).

En réalité, il arrive que le courant de base varie avec la polarisation du collecteur. Ceci notamment en présence de recombinaison dans la base, où la réduction de la largeur de la base due à l'effet Early diminue les phénomènes de recombinaison ce qui a une conséquence sur le courant de base. Dans ce cas, les courbes à V_{EB} et I_B constants ne sont plus superposées : la variation du courant de base avec V_{CE} augmente la pente du courant collecteur dans le régime classique pour une extraction à I_B constant.

Il est donc intéressant d'extraire expérimentalement les caractéristiques de sortie avec les deux méthodes. A partir de ces caractéristiques, nous pouvons tout d'abord extraire la tension de claquage BV_{CEO} , qui correspond à la valeur de V_{CE} pour laquelle le courant I_C augmente brusquement. Cette amplification brutale du courant est due au phénomène d'avalanche et se situe aux environs de $V_{CE} = 1,6$ V sur la Figure A.29. On peut également extraire de ce graphique la tension d'Early directe. En effet, l'intersection d'une droite passant par le plateau du courant collecteur (0.6 V < V_{CE} < 0.8 V) avec l'axe des abscisses donne la valeur de la tension V_{AF} du composant.

Dans le régime de saturation, à faible V_{CE} , le comportement du transistor est de nature résistive, ce qui se traduit pas une augmentation linéaire du courant I_C en fonction de la tension V_{CE} . Les deux termes intervenant sont la résistance d'émetteur et la résistance de collecteur, la pente dans cette partie de la caractéristique peut alors se mettre sous la forme : $1 / (R_C + R_E)$.

D'autres informations, comme le niveau de courant pour une polarisation donnée ou encore l'apparition d'un phénomène d'auto-échauffement peuvent également être mis en évidence à partir des caractéristiques de sortie d'un composant.

III.2.b.iii Tension de claquage BV_{CEO} et tension d'avalanche

La tension de claquage BV_{CEO} , comme dit précédemment, représente la tension de claquage du transistor lors d'une utilisation classique. Pour mesurer ce paramètre, on polarise la jonction émetteur-base en direct avec une tension fixe, ceci dans un montage de type base commune. Lorsqu'on applique une tension V_{CB} au dispositif, dans un premier temps, si celle-ci reste faible le courant de base reste très proche de sa valeur initiale, correspondant à un fonctionnement usuel en régime direct. A partir d'une certaine valeur, avec l'augmentation de V_{CB} (tension appliquée en inverse sur la jonction) on remarque une diminution du courant de base par rapport à sa valeur initiale, puis la chute du courant devient critique, c'est l'avalanche. Du fait du champ électrique, les électrons générés sont entraînés vers le collecteur et les trous vers la base. Le flux de trous va s'opposer au courant de base classique qui se met alors à diminuer jusqu'à s'annuler et changer de signe.

On note BV_{CEO} la tension V_{CE} pour laquelle le courant de base s'annule.

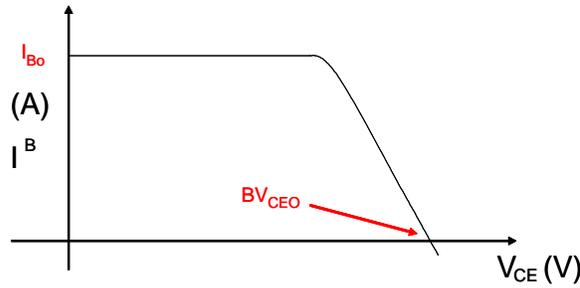


Figure A.30 Evolution du courant de base avec la polarisation V_{CE} - Extraction de BV_{CEO}

De cette mesure on peut également extraire le facteur d'avalanche, noté M , qui traduit la capacité de la jonction base-collecteur à générer un courant d'avalanche. La diminution du courant de base notée ΔI_B est proportionnelle au courant collecteur I_{C0} et à $M-1$, on déduit ainsi $M-1$:

$$M - 1 = \frac{I_{B0} - I_B}{I_{C0}} = \frac{\Delta I_B}{I_C - \Delta I_B} \quad (\text{A.82})$$

Le terme $M-1$, qui caractérise uniquement la jonction B-C, est indépendant du gain du transistor ainsi que de la polarisation de la jonction émetteur-base.

III.3 Mesures hyperfréquence

Jusqu'ici, nous avons évoqué la caractérisation des transistors en régime statique, mais ces composants ont pour finalité des applications où ils seront utilisés pour leurs performances fréquentielles. La partie suivante, sur la détermination des paramètres HF est donc très importante.

III.3.a. Théorie des quadripôles

La plupart des dispositifs actifs utilisés en microélectronique (transistors, diodes, etc.) ont un comportement non linéaire. Toutefois, afin de caractériser efficacement et simplement leur comportement en hautes fréquences, il est possible de se ramener à une étude linéaire, en considérant une variation infiniment faible des signaux électriques autour d'un point de polarisation donné. Un dispositif électronique quelconque peut alors être modélisé par un multi-pôle soumis à des ondes incidentes et réfléchies, pour lequel les grandeurs d'entrée et de sortie (courants et tensions) à chacune de ses bornes sont reliées entre elles par une relation linéaire. Les relations entre ces ondes sont modélisées par une matrice de la forme $N \times N$, que l'on appelle matrice des paramètres S (*Scattering*: dispersion).

Dans la suite de cette étude, nous nous focaliserons sur les quadripôles, modèle correspondant à la représentation petit signal des TBH.

Dans le cas d'un montage en émetteur commun, la représentation petit signal associera la base à l'électrode d'entrée et le collecteur à celle de sortie. Ce quadripôle peut alors être défini suivant plusieurs représentations en fonction de l'impédance : paramètres Z, de l'admittance : paramètre Y ou encore en représentation hybride (paramètres H).

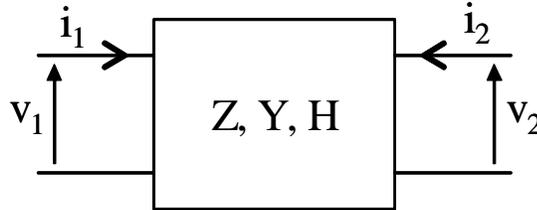


Figure A.31 Représentation schématique d'un transistor bipolaire sous formes de quadripôles

Grace à la représentation schématique de la Figure A.31 il est possible de symboliser le quadripôle par différentes matrices. Par exemple, par sa matrice d'impédance, reliant les tensions d'entrée et de sortie aux courants d'entrée et de sortie :

$$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} \quad (\text{A.83})$$

Les impédances complexes, notées Z, expriment l'amplitude et le déphasage des courants et tensions. On extrait ces termes en présentant consécutivement court-circuit et circuit ouvert en entrée et en sortie du quadripôle.

De façon analogue, le quadripôle peut être représenté par une matrice d'admittances complexes Y si l'on exprime les courants i_1 et i_2 en fonction des différences de potentiel v_1 et v_2 :

$$\begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \end{pmatrix} \quad (\text{A.84})$$

Les paramètres Y peuvent être déterminés en court-circuitant l'entrée puis la sortie du quadripôle.

Une matrice équivalente reliant la tension d'entrée v_1 et le courant de sortie i_2 à i_1 et v_2 , notée matrice des paramètres hybrides H, peut également être définie:

$$\begin{pmatrix} v_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ v_2 \end{pmatrix} \quad (\text{A.85})$$

Les valeurs de H sont mesurées grâce à la présentation d'impédances nulles et infinies en entrée et sortie du quadripôle. Lorsque la sortie est court-circuitée ($v_2 = 0$), le paramètre H_{11} représente alors l'impédance d'entrée (v_1/i_1) et sera employé pour l'extraction de la résistance de base du TBH. La composante H_{21} , est-elle égal au gain en courant dynamique du quadripôle (i_2/i_1), assimilable au gain en courant dynamique du

transistor (i_C/i_B) et H_{21} sera systématiquement utilisée pour l'extraction de la fréquence de transition f_T . En théorie, la chute du gain en courant H_{21} est de -20 dB par décade de fréquence. La fréquence de transition, déduite d'après la matrice des paramètres S, est définie comme la fréquence pour laquelle le gain en courant H_{21} vaut 1, soit 0 dB.

III.3.b. Paramètres S

Du fait des fortes valeurs des fréquences de fonctionnement des transistors, de l'ordre de la centaine de GHz, les déphasages des signaux induits par les lignes de transmissions ne sont plus négligeables et il n'est plus possible de mesurer précisément les tensions et courants. De plus la longueur des lignes reliant le dispositif aux appareils de mesure est le siège de phénomènes parasites de propagation. On utilisera donc plus généralement une combinaison de la tension et du courant sous forme d'ondes incidentes notées a_1 et a_2 , envoyées sur le quadripôle et d'ondes réfléchies ou transmises b_1 et b_2 , mesurées en retour.

On utilise alors la représentation en paramètre S, qui contrairement aux autres représentations précédentes, ne s'axe pas sur l'étude des courants et tensions de sortie et d'entrée du composant mais sur les ondes incidentes et réfléchies aux bornes du multi-pôle.

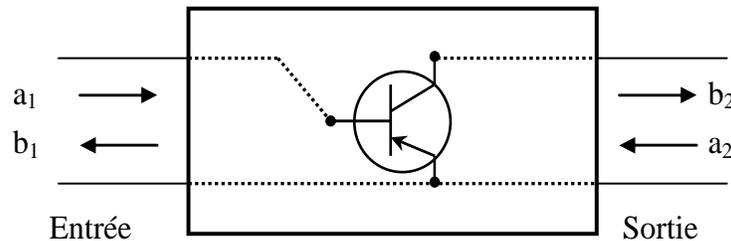


Figure A.32 Représentation schématique des ondes utilisées pour la mesure des paramètres S

D'après [Kurokawa65], on peut écrire les ondes incidentes et réfléchies comme suit :

$$a_1 = \frac{v_1 + Z_0 i_1}{2\sqrt{Z_0}} \quad ; \quad a_2 = \frac{v_2 + Z_0 i_2}{2\sqrt{Z_0}} \quad (\text{A.86})$$

$$b_1 = \frac{v_1 - Z_0 i_1}{2\sqrt{Z_0}} \quad ; \quad b_2 = \frac{v_2 - Z_0 i_2}{2\sqrt{Z_0}} \quad (\text{A.87})$$

Comme précédemment, il est possible d'exprimer la relation entre les ondes incidentes et réfléchies par une matrice de paramètre S :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{21} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{A.88})$$

Les paramètres S pallient à plusieurs inconvénients majeurs qui apparaissent en hautes fréquences [Yip90] [Hew95] :

- lorsque les longueurs d'onde des signaux mis en jeu deviennent du même ordre que la longueur des lignes d'accès au circuit considéré, les phénomènes de propagation doivent être pris en compte. Dès lors, la présence d'une onde incidente et d'une onde réfléchie à

chaque accès du circuit doit être considérée, ce qui peut être réalisé simplement à l'aide des paramètres S.

- La mesure des paramètres Y, Z et H nécessite la réalisation de circuits ouverts ($i=0$) ou de courts-circuits ($v = 0$) parfaits, ce qui est particulièrement difficile à réaliser dans le domaine des hautes fréquences. Contrairement à cela, la mesure des paramètres S est aisée à mettre en œuvre, car elle nécessite seulement l'utilisation d'impédances caractéristiques (50Ω).

- Lors de la mesure des paramètres Y, Z et H, l'utilisation de courts-circuits et circuits ouverts peut rendre le dispositif sous test instable, ce qui provoque des oscillations spontanées. Le risque d'oscillation est considérablement réduit lors de la mesure des paramètres S, du fait de l'insertion du dispositif entre des impédances caractéristiques.

- Enfin, contrairement aux tensions et courants, les grandeurs associées aux paramètres S, ondes incidentes et réfléchies, ne varient pas le long d'une ligne de transmission sans pertes. Les mesures des paramètres S pourront donc être réalisées à une distance quelconque du dispositif sous test, à la condition que l'analyseur vectoriel de réseaux soit connecté à l'aide de lignes à faibles pertes.

C'est pourquoi nous utiliserons les paramètres S pour les mesures hautes fréquences, d'autant plus qu'une fois cette matrice déterminée il est possible, par des opérations mathématiques, de passer d'un type de représentation à une autre.

III.3.c. Extraction des fréquences de coupure

III.3.c.i Fréquence de transition

Comme dit précédemment, la fréquence de transition d'un transistor peut être déterminée à partir du paramètre de la matrice hybride H_{21} . A partir de transformations mathématiques on peut exprimer H_{21} directement en fonction des paramètres de la matrice de dispersion comme suit :

$$|h_{21}| = \frac{2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (\text{A.89})$$

Sur la Figure A.33, on peut notamment voir la représentation du paramètre H_{21} suite à une mesure des paramètres S d'un transistor sur une plage de fréquence comprise entre 0 et 55 GHz. Or sur cette plage de fréquence, le terme H_{21} ne s'annule à aucun moment. Pour extraire F_T , il faudra donc procéder à une extrapolation, rendu possible par la linéarité de la chute du gain en courant, qui suit une loi de décroissance de 20 dB/décade. La fréquence de transition est alors la fréquence pour laquelle l'asymptote à -20 dB/décade coupe l'axe des abscisses (0 dB).

III.3.c.ii Fréquence maximale d'oscillation

La fréquence maximale, comme décrit dans la partie II.5.b.ii, est extraite à partir du gain de Mason, noté U . Comme pour le calcul du gain en courant, on peut exprimer le gain de Mason suite à la mesure des paramètres S ainsi qu'à des transformations mathématiques permettant de passer d'un type de représentation matricielle à un autre.

$$U = \frac{|Y_{21} - Y_{12}|^2}{4(\Re(Y_{11})\Re(Y_{22})\Re(Y_{12})\Re(Y_{21}))} \quad (\text{A.90})$$

La pente théorique de la chute des gains en puissance étant également de -20 dB par décade, il est possible d'extraire la fréquence maximale d'oscillation f_{MAX} des TBH en procédant de façon analogue à la technique employée pour la fréquence de transition. Toutefois, une autre méthode, consistant à relever la valeur de la fréquence lorsque le gain de Mason est égal à 20 dB (f_{p20dB}) puis à multiplier cette valeur par 10 , permet d'obtenir la valeur de la fréquence correspondant à un gain de Mason de 0 dB, soit f_{MAX} . Pour que cette méthode d'extraction soit valable, il est bien entendu nécessaire de vérifier préalablement que la pente du gain de Mason est bien de -20 dB par décade.

Dans la suite de cette étude, nous utiliserons préférentiellement cette méthode pour sa précision mais également pour éviter les erreurs d'extrapolation (lorsque la valeur de f_{MAX} devient grande devant la fréquence maximale de la plage de mesure, une variation minimale dans le choix de l'asymptote peut engendrer d'importantes fluctuations de la valeur de la fréquence maximale d'oscillation).

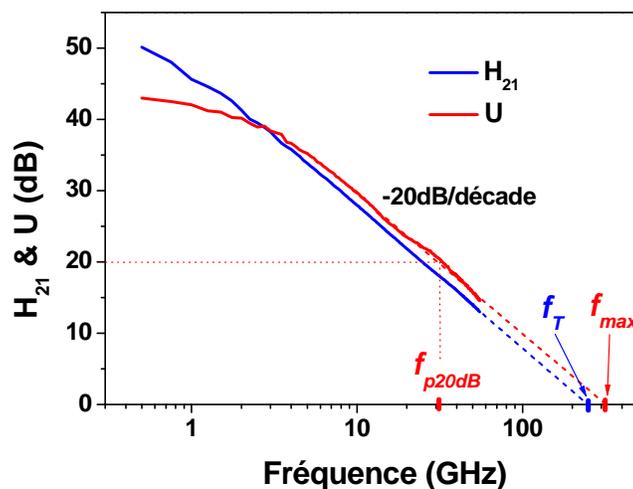


Figure A.33 Mesure et extraction des fréquences f_T et f_{MAX} d'un transistor à partir de la mesure des paramètres S

III.3.d. Principe de l'épluchage (De-embedding)

Lors de mesures hautes fréquences sur les plaquettes de silicium, la calibration des appareils de mesure permet de ramener le plan de référence au niveau de l'extrémité des sondes hautes fréquences. Ainsi, les erreurs systématiques dues au système de mesure, aux câbles et interconnexions ainsi qu'aux sondes elles-mêmes sont prises en comptes et corrigées. Toutefois, les plots de mesure ainsi que les lignes d'accès métalliques au dispositif sous test (DST), qui se trouvent sur le silicium, introduisent des erreurs significatives dont il convient de tenir compte. On peut noter que les dimensions des sondes hautes fréquences ainsi que des plots de mesures restent approximativement constante dans le temps tandis que les évolutions technologiques tendent à diminuer les dimensions des composants. Ceci a pour effet d'augmenter, de façon relative, l'importance des effets parasites dû aux plots et aux lignes d'interconnexions par rapport à ceux induits par le transistor.

Ainsi, l'étape consistant à éliminer les effets de ces éléments parasites, appelée épluchage (ou « de-embedding ») devient donc de plus en plus critique.

Afin de s'affranchir des éléments parasites introduits par les lignes métalliques et les plots de mesure, on dispose sur le silicium des structures identiques en tout point à celles mesurées précédemment (comprenant les lignes et le transistor) mais sans ce dernier. Ceci permet donc d'effectuer une mesure dans les mêmes conditions que celles réalisées sur le transistor (même silicium et même étalonnage des équipements de mesures) et de déterminer les parasites propres aux lignes et plots.

Pour prendre en compte tous les types de contributions parasites engendrés par les lignes et les plots, on déduit deux structures différentes à chacune des géométries de composant. La première consiste à reproduire un circuit ouvert en lieu et place du transistor, pour cela on retire à la structure initiale le transistor ainsi que les premiers niveaux de métaux le connectant. Cette structure est usuellement appelée « *open* ». On obtient ainsi la part des parasites imputables aux accès jusqu'au transistor.

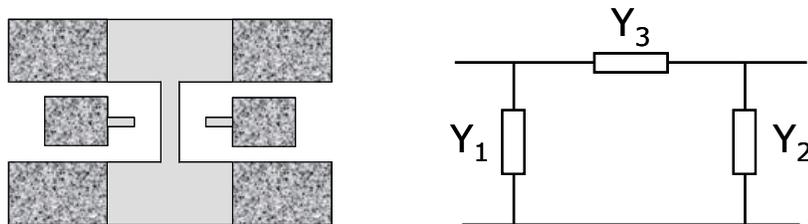


Figure A.34 Structure de test et représentation schématique d'une structure de type *open*

Nous pourrions déterminer la matrice d'admittance Y_{OPEN} à partir de la mesure des paramètres S de la structure de test spécifique (« *open* »), identique à celle de la Figure A.34.

$$(Y_{OPEN}) = \begin{pmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{pmatrix} \quad (A.91)$$

A partir de la mesure sur la structure complète (DST + interconnexions et plots) et sur la structure open, on peut déterminer la matrice propre au transistor comme suit :

$$(Y_{DST}) = (Y_{TOTAL}) - (Y_{OPEN}) \quad (A.92)$$

La deuxième structure de de-embedding qui court-circuite les plots de connexion entre eux, dans le plan du DST, permet de dé-corréler les impédances série d'accès au transistor. On nomme cette structure un « *SHORT* ».

De la même manière que précédemment, on peut obtenir la matrice d'impédance spécifique au transistor en soustrayant à la mesure de la structure complète celle du *short* associé :

$$(Z_{DST}) = (Z_{Total}) - (Z_{SHORT}) \quad (A.93)$$

En fonction des niveaux métalliques pris en compte, c'est-à-dire comptabilisés dans les structures de de-embedding, il existe plusieurs niveaux d'épluchage, qui traduisent les performances du composant seul ou couplé à des lignes de connexion métallique.

III.4 Notions de bruit

Ce que l'on nomme usuellement bruit dans les composants électroniques est une fluctuation aléatoire du courant et des tensions. Ces fluctuations sont la conséquence des variations de la concentration en porteurs (génération-recombinaison de paires électron/trou), ou bien de la variation de la vitesse de déplacement des charges.

Le faible niveau de bruit des transistors bipolaires à hétérojonctions est une de leurs principales qualités. L'importance de ce paramètre est capitale quand on sait que la principale source de bruit dans un circuit provient des transistors.

Le bruit dans un transistor se caractérise par son spectre et sa densité spectrale. Il peut être décomposé en trois termes :

- Le bruit thermique.
- Le bruit de grenaille: Il est créé lors du passage d'une barrière de potentiel par les électrons. Il est dû à la nature quantique des porteurs de charge et a été découvert par Schottky.
- Le bruit basse fréquence (BF), ou bruit en 1/f.

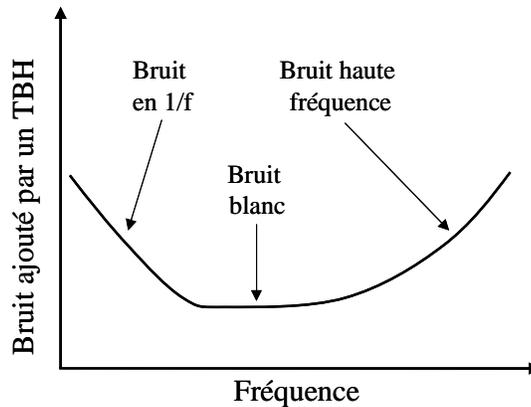


Figure A.35 Evolution de la densité spectrale du bruit dans un transistor

III.4.a.i Les sources de bruit blanc

Le bruit thermique et le bruit de grenaille sont dits des sources de bruit blanc. Un bruit blanc est caractérisé par sa constance en fonction de la fréquence, sa densité spectrale n'est donc pas fonction de la fréquence.

(1) Le bruit thermique

L'origine du bruit thermique est microscopique. Il est lié à l'agitation thermique aléatoire des électrons dans les matériaux semi-conducteurs, au-delà de 0 K. Le niveau de bruit thermique augmente proportionnellement avec la résistance du matériau ainsi qu'avec la température.

Le bruit thermique peut être mis en évidence assez simplement : Par exemple, si l'on mesure, à l'aide d'un voltmètre idéal, la tension aux bornes d'une résistance, celle-ci devrait être constante. Or on remarque, en dépit d'apport d'énergie, que la valeur affichée est soumise à des légères fluctuations, c'est l'expression du bruit thermique.

En pratique, le niveau de bruit est fonction de la largeur de bande du système de mesure Δf centré sur la fréquence de mesure f . La densité spectrale S_v (V^2/Hz) de bruit thermique à la fréquence f pour une résistance de valeur R_0 s'écrit alors de la façon suivante :

$$S_v = 4kTR_0\Delta f \quad (A.94)$$

L'expression de la densité spectrale précédente confirme la classification du bruit thermique en bruit blanc puisque sa densité spectrale ne dépend pas de la fréquence.

(2) Le bruit de grenaille

Le bruit de grenaille, présent dans les jonctions PN, est dû à la discontinuité du débit des porteurs de charge au passage d'une barrière de potentiel. Le courant induit par le passage de porteurs est en réalité une succession d'impulsions de courant, irrégulières et inégales.

On peut exprimer le carré de la moyenne de ces fluctuations par l'expression suivante

$$\overline{i^2} = 2qI_{PN} \Delta f \quad (\text{A.95})$$

On note I_{PN} le courant traversant la jonction.

Comme pour le bruit thermique, l'expression du bruit de grenaille confirme bien l'indépendance de ce terme vis à vis de la fréquence.

Dans un transistor bipolaire, composé de deux jonctions PN, il y a deux sources de bruit de grenaille : le courant de base, I_B , et le courant collecteur, I_C .

L'incorporation de Germanium dans la base des transistors a également permis à un courant collecteur constant, d'avoir un courant de base bien plus faible que dans un transistor bipolaire avec une base en silicium (gain plus fort), le bruit de grenaille sera donc bien plus faible.

III.4.a.ii Bruit à basse fréquence

Le bruit de scintillation est un bruit électronique systématiquement présent dans les composants actifs. Il est également appelé bruit de scintillement, bruit de papillotement, bruit de basse fréquence ou bruit en excès. Plus couramment ce bruit est nommé « bruit en 1/f » car sa densité spectrale de puissance tend vers l'infini pour les basses fréquences et vers zéro pour les hautes fréquences.

Le bruit à basse fréquence dans le TBH peut être dû à plusieurs phénomènes :

- La fluctuation de la vitesse de recombinaison des porteurs, en surface dans la zone de déplétion de la jonction émetteur/base.
- Un procédé de génération/recombinaison des porteurs en volume, aléatoire.

III.4.a.iii Le bruit à haute fréquence

Alors que le bruit présent à basse fréquence est composé essentiellement du bruit en 1/f, le bruit HF, appelé également bruit large bande est quant à lui composé de trois contributions principales :

- Le bruit thermique induit par les éléments résistifs du dispositif (principalement la résistance de base R_B).
- Le bruit de grenaille associé au courant de base I_B .
- Le bruit de grenaille lié au courant collecteur I_C .

En admettant que le gain en courant $\beta \gg 1$, le facteur de bruit haute fréquence NF résultant de la somme des contributions ci-dessus peut s'exprimer par la relation suivante [Haddad01] :

$$NF = 1 + \frac{1}{R_S} \left[R_B + \frac{R_E}{2} + \frac{(R_B + R_S)^2}{2R_E\beta} + \frac{(R_B + R_S)^2}{2R_E} \left(\frac{f^2}{f_T^2} \right) \right] \quad (\text{A.96})$$

Dans cette relation où R_S représente l'impédance de mesure, nous remarquons que le facteur de bruit va dépendre au premier ordre des résistances d'accès R_E et R_B et au second ordre du gain en courant β et de la fréquence de transition f_T . Le facteur de bruit NF étant un facteur de mérite très important lors la réalisation de circuits RF, ces paramètres seront donc à optimiser afin d'obtenir des niveaux de bruit HF très bas.

III.5 Caractérisation Load-Pull

III.5.a.i Principe et mesure

La mesure « *Load Pull* » permet de mesurer les réactions d'un composant à différentes impédances de charge et de source. Il est alors possible de caractériser le dispositif grâce à diverses grandeurs :

- Une grandeur importante d'un amplificateur de puissance est son rendement, η , car il va déterminer son efficacité. Il est défini comme étant le rapport entre la puissance de sortie du composant (P_{out}) et la puissance consommée (P_{DC}).

$$\eta = \frac{P_{out}}{P_{DC}} \quad (\text{A.97})$$

- La définition de rendement précédent ne prend pas en considération la puissance RF injectée à l'entrée du transistor, mais uniquement la puissance *dc*. La notion de rendement en puissance ajoutée PAE (*Power Added Efficiency*) a alors été introduite pour remédier à cette déficience. Elle est utilisée plus particulièrement pour la caractérisation RF et fait donc intervenir la puissance dynamique d'entrée. Le rendement de puissance ajoutée est défini comme suit :

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} = \eta \left(1 - \frac{1}{G_p} \right) \quad (\text{A.98})$$

Avec G_p correspondant au gain en puissance, défini comme étant le rapport entre la puissance de sortie absorbée par la charge et la puissance d'entrée absorbée par le composant.

$$G_p = \frac{P_{out}}{P_{in}} \quad (\text{A.99})$$

Avant de pouvoir mesurer un composant, il est important de calibrer le banc de mesure afin de prendre en compte toutes les pertes des différents éléments de la chaîne de mesure et de ramener le plan de référence à l'extrémité des pointes de test, c'est à dire aux bornes du dispositif sous test. La calibration est réalisée en plaçant entre les pointes une cale étalon, ce qui permet de mesurer les pertes induites par les connexions, les tuners, ou encore les pointes. La plage de fréquence utilisée dans ces travaux pour ce type de mesure, communément nommée bande W, est comprise entre 75 et 110 GHz. Afin de limiter les pertes, qui seraient importantes avec des câbles traditionnels ou coaxiaux, on utilise sur

cette plage de fréquence des guides d'onde. Il est en effet primordial de limiter au maximum les pertes pour ne pas diminuer de façon critique le coefficient de réflexion maximal du banc. Il en résulterait l'augmentation de la zone morte, c'est-à-dire des impédances non présentables à la sortie du transistor. Une fois les étapes de calibrage réalisées le banc est alors prêt pour des mesures *Load Pull*, qui s'effectuent dans le cadre de ce travail à fréquence fixe, 94 GHz.

III.5.a.ii Présentation du banc de mesure – composition du banc

Toutes les mesures de puissance exposées dans ces travaux ont été réalisées dans l'enceinte du laboratoire IEMN (Institut d'Electronique, de Microélectronique et de Nanotechnologie) situé à Lille. Ce type de mesures, dites mesures *Load-Pull*, permet d'étudier le comportement du dispositif sous test en fonction des différentes impédances de charge qui lui sont présentées. Afin de caractériser au mieux le composant, les conditions de test (fréquence, puissance d'entrée, polarisation...) sont choisies aussi proches possible que celles de fonctionnement usuel du composant.

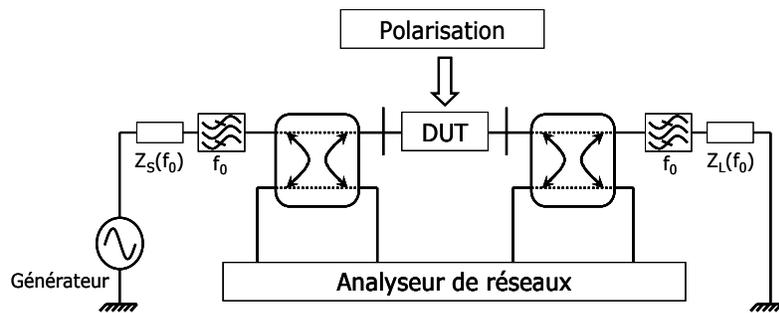


Figure A.36 Représentation schématique d'un banc de mesures Load-Pull

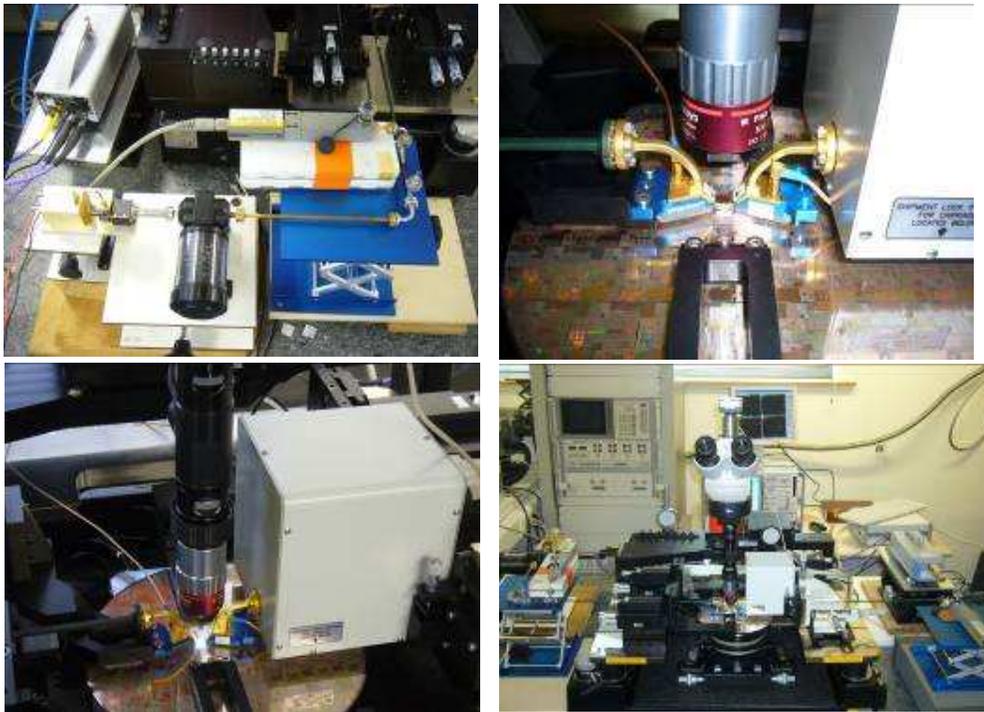


Figure A.37 Photo du banc de mesures et de ses divers éléments, avec un dispositif sous test

IV. Description de la technologie

Nous avons jusqu'à présent décrit le fonctionnement théorique du transistor bipolaire, et en avons présenté, sur la Figure A.1, une vue schématique. Dans cette partie, nous allons aborder le TBH d'un point de vue technologique. Après avoir détaillé son architecture et ses intérêts nous passerons ensuite en revue les différentes étapes de fabrication, afin de mieux comprendre les points majeurs dans l'élaboration d'un transistor bipolaire.

La structure du transistor bipolaire, depuis sa production sur silicium, a pu évoluer à plusieurs reprises, notamment grâce à l'évolution de certains outils de production. Des avancements techniques successifs ont en effet permis de réduire les éléments parasites présents dans le transistor, en autorisant des dimensions critiques et des contrôles d'alignement entre niveaux de plus en plus pointus et reproductibles. Le composant a également évolué avec la mise au point de structures permettant de s'affranchir de certaines difficultés techniques pour les étapes critiques de sa fabrication.

IV.1 Présentation de l'architecture du transistor

L'architecture qui est utilisée pour les composants de cette étude est de type double polysilicium auto-alignée. Dans la suite, nous désignerons cette structure auto-alignée par

croissance épitaxiale sélective de la base, visible en coupe sur la Figure A.38, par le terme « FSA-SEG » signifiant *Fully Self Aligned - Selective Epitaxial Growth*.

Cette structure est composée d'une base intrinsèque Si/SiGe ;C dopé au bore, obtenue par épitaxie sélective, connectée à la base extrinsèque en poly-silicium. L'émetteur employé est en polysilicium, dopé à l'arsenic. On remarque, sur la vue en coupe ci-dessous, que cette architecture utilise des tranchés d'isolation profondes, nommé DTI (*Deep Trench Isolation*), pour l'isolation des composants entre eux. Les STI (*Short Trench Isolation*) ont pour but d'isoler le cœur du dispositif (couramment nommée « partie intrinsèque » dans ces travaux) de la prise de contact du collecteur.

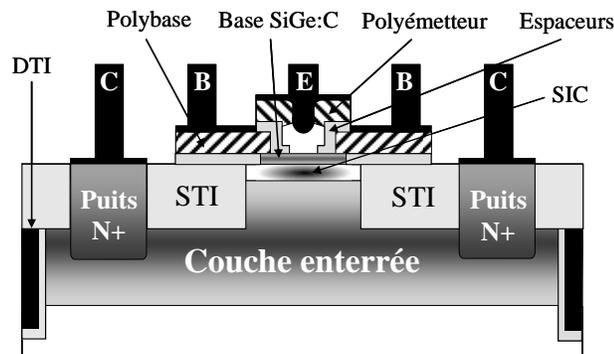


Figure A.38 Représentation schématique en coupe d'un transistor bipolaire d'architecture auto-alignée par épitaxie sélective de la base

IV.2 Fabrication de transistor

Tous les composants réalisés dans cette étude ont été produits dans l'unité de fabrication de Crolles 1. Cette salle blanche est équipée pour la fabrication de plaques de silicium de diamètre 200 mm. Ces composants ont été produits en utilisant le nœud technologique CMOS 0,13 μm .

Au cours de la fabrication, les plaques de silicium sont regroupées par lot de 25 et le temps de cycle global, depuis l'entrée en salle blanche jusqu'à la sortie après les tests électriques automatiques, est compris entre 3 et 6 mois. Ce temps varie en fonction de la priorité attribuée au lot mais également avec le nombre d'étapes dites non standard. Ces étapes sont celles qui vont permettre de jouer sur le comportement du transistor et pour lesquelles nous procédons à des expérimentations. Ces conditions non standard demandent une attention plus particulière, tant au niveau support, en salle blanche qu'au niveau de la compréhension des observations, et retarde donc l'avancement des lots. Elles sont pourtant belle-et-bien nécessaires pour étudier le comportement du transistor et améliorer ses performances. Il faut compter environ 250 opérations entre l'arrivée du substrat silicium brut et la sortie des plaques, utilisables électriquement. Cette succession d'opérations est regroupée dans ce que l'on nomme une « route », que l'on peut scinder en deux grandes parties. La première partie concerne l'élaboration du transistor jusqu'au contact, on la

nomme « Front End Of Line » ou FEOL ; la seconde partie, qui concerne les lignes d'interconnexions métalliques est appelée « Back End Of Line » ou BEOL.

Lors de la progression d'un lot sur une route, il nous est possible, à la vue des résultats des lots précédents par exemple, d'intervenir sur son cheminement et d'effectuer des modifications de certaines opérations, d'en passer, d'en ajouter, ou encore de faire des dégroupages au sein d'un lot pour explorer simultanément différents procédés.

IV.3 Etape de fabrication d'un transistor bipolaire

IV.3.a. Vue générale des étapes de fabrication

IV.3.a.i FEOL

La première partie de la chaîne de fabrication concerne l'élaboration des composants actifs. Le transistor bipolaire est présent sur silicium dans une technologie BiCMOS, les étapes de fabrication des deux transistors doivent donc cohabiter et être imbriquées, afin que la fabrication de l'un ne perturbe pas celle de l'autre.

IV.3.a.ii BEOL (intérêt des lignes de métal épaisses)

Les étapes du BEOL concernent l'interconnexion métallique des structures entre elles. Dans le cas de circuit, il sert à câbler ce dernier en reliant de façon déterminée les composants entre eux. Dans le cas de transistors unitaires isolés, ce qui est le cas dans notre étude (excepté pour les résultats qui seront présentés sur des circuits), les niveaux de métaux joignent les contacts de base, d'émetteur et de collecteur de chaque transistor et « remontent », par composant, un contact par région du TBH, ainsi qu'une prise sur le substrat.

La technologie STMicroelectronics, utilisée dans cette étude, comprend 6 niveaux de métaux dont les deux derniers sont en cuivre. L'épaisseur des derniers métaux qui est supérieure aux autres, ainsi que l'espacement entre les différents niveaux a pour objectif de réduire les pertes dans les lignes métalliques.

IV.3.a.iii Détail de l'élaboration du transistor (partie intrinsèque - FEOL)

Dans cette partie, nous allons détailler les étapes principales de la fabrication du TBH, c'est-à-dire le *front end of line*. Isolation et définition des zones actives

(1) Isolation et définition des zones actives

L'élaboration du TBH débute par la délimitation des zones actives propres au transistor bipolaire et la réalisation de la couche enterrée et des « prises » du collecteur. Ce premier enchaînement d'opérations consiste à protéger des zones sur le silicium par le biais d'une lithographie, et à implanter dans les zones ouvertes de l'Arsenic afin de former la couche enterrée de type N+. Consécutivement, il est réalisé une croissance, pleine plaque

par épitaxie, de silicium pur sur une épaisseur proche de 0.3 μm . Lors des différents recuits auxquels la plaque sera soumise par la suite, en effectuant le reste de la chaîne de fabrication, les dopants de la couche enterrée vont diffuser dans le film épitaxié.

Les opérations suivantes sont consacrées à l'élaboration du module d'isolation, composé de tranchées profondes, DTI (*Deep Trench Isolation*) et de STI (*Shallow Trench Isolation*). Les DTI ont pour fonction l'isolation des transistors entre eux, et sont donc disposées à l'extérieur des zones actives. Ces tranchées, de 3,5 μm de profondeur et de 0.8 μm de large, sont remplies par du polysilicium après que les parois aient été recouvertes d'oxyde. Les STI sont eux disposés dans la zone active pour isoler les différentes parties du composant, et sont intégralement composés d'oxyde. Afin de diminuer la résistance d'accès au collecteur enterré, une implantation, nommée puits collecteur, ou encore « *Sinker* », est réalisée sous les zones du TBH où seront positionnés les contacts collecteurs.

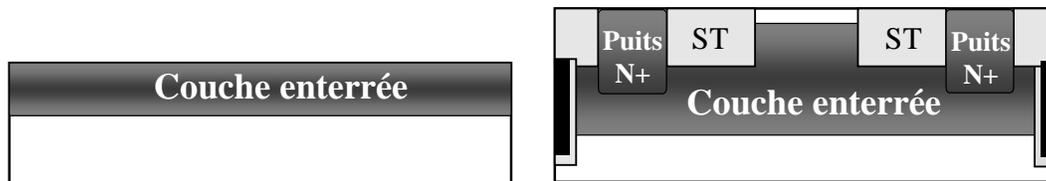


Figure A.39 représentation schématique de la définition des zones actives et module d'isolation

(2) Dépôt de la base extrinsèque et ouverture de la fenêtre émetteur

L'enchaînement d'opérations qui suit est destiné à la formation de la base intrinsèque ainsi qu'à la délimitation de la fenêtre émetteur. Un oxyde piédestal, de type TEOS (TetraEthOxySilane), d'une épaisseur voisine de 40 nm est déposé. On dépose ensuite le polysilicium de la base extrinsèque. Le dopage de cette couche est couramment fait par implantation. Cependant, il est également possible de procéder à une croissance plutôt qu'un dépôt, auquel cas, les impuretés dopantes peuvent y être incorporées pendant la croissance. Un empilement oxyde et nitrure est ensuite déposé. Cette superposition de couches aura pour but d'isoler électriquement l'émetteur de la base extrinsèque.

La photolithographie suivante est un point critique de l'élaboration du transistor. Celle-ci sert en effet à déterminer les dimensions de la fenêtre émetteur, qui sera ensuite ouverte, par deux gravures successives, jusqu'à l'oxyde piédestal (non compris). Cette opération détermine donc les dimensions de la fenêtre émetteur et celles de l'émetteur (à la formation des espaceurs près). Une variation des conditions expérimentales de cette lithographie induira une variation des paramètres critiques du TBH, et donc de ses paramètres électriques.

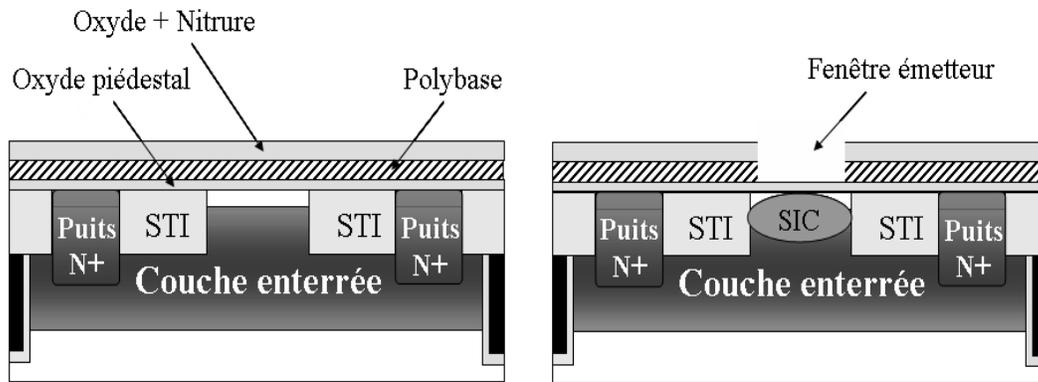


Figure A.40 Représentation du dépôt de la base et de l'ouverture de la fenêtre émetteur

C'est après l'ouverture de la fenêtre émetteur, lorsqu'il reste encore l'oxyde piédestal dans la cavité, que l'on peut implanter le SIC. De cette façon celui-ci est auto-aligné sur la fenêtre émetteur. On effectue cette implantation au travers de l'oxyde pour ne générer qu'un minimum de défauts, dans les couches superficielles du silicium. Ces précautions sont prises afin que cette zone, au cœur du dispositif, puisque accolée à la jonction base-collecteur, ne soit pas à l'origine de centre recombinant qui perturberait le fonctionnement du dispositif.

L'implantation sélective du collecteur, peut également être réalisée suivant un schéma d'intégration différent. En effet, en utilisant un masque spécifique, il est possible d'implanter, la partie du collecteur situé sous la base intrinsèque, avant de réaliser le dépôt de l'oxyde piédestal. Les variations, aussi bien du côté fabrication, que des résultats électriques entre les deux intégrations, sera détaillé dans le chapitre suivant.

(3) Epitaxie sélective de la base intrinsèque

L'épitaxie de la base intrinsèque, réalisée de façon sélective, est précédée d'un dépôt de nitrure. Ce dépôt a pour fonction de protéger les flancs de la cavité, pour que lors de la croissance de la base SiGe il n'y ait pas de croissance sur le poly-silicium de la base extrinsèque, mise à nue lors de l'ouverture de la fenêtre.

Une fois les « espaceurs de flancs » déposés, l'oxyde piédestal est ouvert par voie chimique. La gravure humide employée est une solution à base d'acide qui doit également désoxyder les bords de la cavité et se propager latéralement sous le poly-base, ce qui permettra de connecter la base intrinsèque et extrinsèque entre elles. L'isotropie de l'attaque chimique garantie ici l'alignement de la cavité ouverte dans l'oxyde par rapport à la fenêtre émetteur.

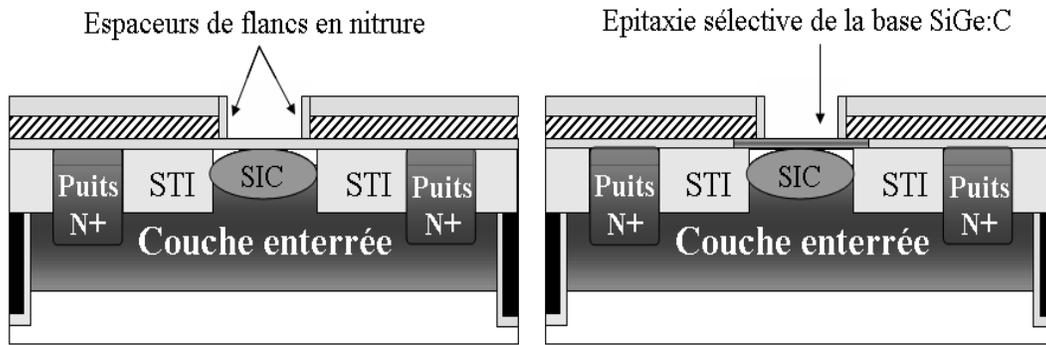


Figure A.41 Réalisation des espaceurs de flanc et épitaxie de la base intrinsèque

L'étape suivante, la croissance par épitaxie sélective de la base, est l'étape technologique la plus compliquée des routes que nous utilisons. Elle consiste à déposer progressivement des atomes, à la surface du silicium, qui vont grâce aux conditions de température ($\approx 700^{\circ}\text{C}$) et pression s'organiser selon la maille du substrat. La vitesse de croissance, relativement lente, au minimum de l'ordre de $10 \text{ \AA}/\text{min}$, assure d'excellentes propriétés cristallographiques à la couche épitaxiée. Dans ces travaux, les dépôts sont réalisés dans un réacteur RT-CVD (*Rapid Thermal – Chemical Vapor Deposition*). Le contrôle de ce procédé est crucial, afin de réaliser des bases de plus en plus fines, tout en augmentant le niveau de dopage.

La sélectivité de la croissance est obtenue de par le type de chimie employé, ici chloré. La croissance de la couche SiGe:C va donc avoir lieu sur le fond de la cavité et « sous » le poly base. Un des points critiques pour l'épitaxie sélective est l'état de surface sur laquelle est faite la croissance. Celle-ci doit être suffisamment propre pour que le silicium soit à nu ; pour s'en assurer il existe une contrainte d'enchaînement entre le nettoyage chimique et le dépôt. Les défauts cristallins doivent également être maîtrisés dans cette zone du wafer pour que le SiGe croisse de façon monocristalline (zone protégée pendant l'implant SIC).

(4) Emetteur : module espaceur, dépôt et mise en forme

Les étapes qui suivent le dépôt de la base SiGe sont destinées à la réalisation des espaceurs internes. Ces espaceurs permettent de réduire la largeur de la fenêtre émetteur et d'obtenir ainsi une largeur effective d'émetteur, W_e (en regard direct avec la base) plus petite que la cavité.

Le poly émetteur, tout comme la base intrinsèque, est déposé par RT-CVD après un nettoyage, qui permet d'éliminer toute trace d'oxyde à l'interface émetteur-base. La croissance de l'émetteur se fait de façon monocristalline au-dessus des zones de silicium monocristallin, c'est-à-dire au-dessus de la base intrinsèque, et de façon poly-cristalline sur les autres zones (diélectriques). Le poly-émetteur, dont l'épaisseur est de l'ordre de la centaine de nanomètre, est dopé in-situ avec de l'arsenic. Une fois l'émetteur déposé, il faut le délimiter. Ceci est réalisé par une étape de lithographie, aussi critique que la lithographie

délimitant la fenêtre de l'émetteur. En effet, cette lithographie détermine l'alignement de l'émetteur sur la fenêtre et donc la symétrie du dispositif.

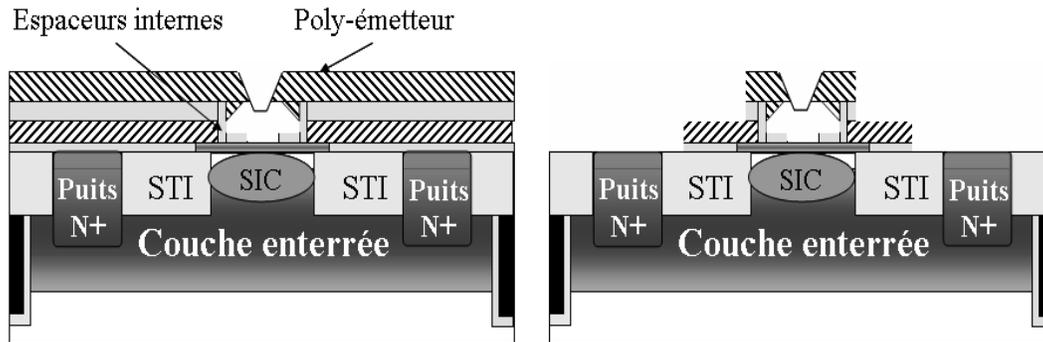


Figure A.42 Elaboration des espaceurs interne, dépôt du poly-émetteur et mise en forme

Après la mise en forme de l'émetteur, il faut faire de même avec le poly-base. Cette étape, réalisée à nouveau par lithographie puis gravure, est moins critique que les deux précédentes. A ce point d'avancement de la route, l'architecture du TBH est entièrement réalisée.

(5) Recuit final et siliciuration

L'élaboration du composant se poursuit avec les dépôts de diélectriques (oxyde et nitrure) ayant pour fonction la protection de certaines zones contre la siliciuration. Après avoir ouvert les zones vouées à être siliciurées, un recuit d'activation est accompli. Ce recuit, imposé par le procédé de fabrication des transistors MOS est un recuit très rapide (montée en température de 75°C/s et descente de 50°C/s) dont la température maximale, pour la technologie étudiée ici, est un peu inférieure à 1100°C.

Les plaques sont ensuite siliciurées afin de limiter la résistivité des matériaux sous les contacts. Pour l'étude réalisée, la siliciuration est réalisée avec du cobalt. Après avoir procédé au dépôt cobalt, les plaques sont recuites à une température adaptée à la diffusion du cobalt dans le silicium et à la formation de siliciure de cobalt (CoSi_2) en surface. L'excès de cobalt n'ayant pas réagi avec le silicium est retiré, puis les composants sont encapsulés par un dépôt de nitrure pleine plaque.

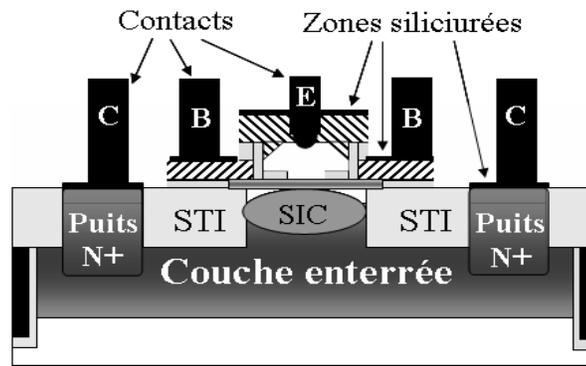


Figure A.43 TBH avec siliciuration et contact

Une lithographie permet par la suite d'ouvrir les zones où les contacts vont être posés sur chaque zone du transistor, comme illustré sur la Figure A.43.

IV.3.a.iv Schéma d'intégration

Les opérations spécifiques au transistor bipolaire sont divisées en deux blocs qui sont insérés dans la route de fabrication des transistors MOS.

Le premier bloc, qui concerne la réalisation de couches « enterrées » du TBH, tel que le collecteur ou les tranchées profondes d'isolation, est introduit au début des routes MOS, avant la formation des tranchées d'isolation peu profondes.

Le deuxième bloc est inséré entre le dépôt de la grille et sa gravure. Ce bloc commence avec le dépôt de multicouches, composé des diélectriques et de poly-silicium, et s'achève après la finalisation de la structure des TBH, c'est-à-dire la mise en forme du polyémetteur et du polybase.

IV.3.b. Intérêt de l'architecture employée

Cette structure permet de réduire les dimensions du composant tout en permettant de limiter les aléas qui pourraient provoquer son dysfonctionnement. En effet, l'auto-alignement de l'émetteur sur la fenêtre ouverte dans le polysilicium de la base, couramment nommé fenêtre émetteur ou *emitter window*, permet de rendre indépendant l'alignement des deux niveaux de la capacité d'alignement des étapes de lithographie.

Cette architecture offre également la possibilité d'une implantation sélective du collecteur (noté SIC : *Selectively Implanted Collector*) au travers de la fenêtre émetteur. Le SIC est donc aussi auto aligné sur la fenêtre émetteur, ce qui permet tout comme pour l'émetteur de s'affranchir des erreurs et dérives d'alignement. Il est donc possible de réaliser, avec un seul niveau de masque, toute la partie intrinsèque du dispositif, du collecteur à l'émetteur. La réduction des dimensions, rendue possible par l'auto-alignement, permet le rapprochement des contacts de base et de collecteurs du centre du dispositif. Ceci aura comme impact de diminuer les résistances d'accès et donc d'améliorer les performances du transistor. Un autre avantage de l'auto-alignement est de réduire le nombre

de masques nécessaires à la réalisation du composant, ce qui représente un intérêt financier non négligeable.

On peut également souligner la présence, dans cette structure, d'une couche d'oxyde entre le collecteur et le polysilicium de la base (couramment nommé polybase). Ainsi, l'isolation entre le collecteur et la base est assurée, même sur les zones où les tranchées d'isolation peu profondes (STI : Shallow Trench Isolation) ne sont pas présentes. Il en résulte une réduction de la capacité base-collecteur C_{BC} , présente dans les expressions des fréquences de coupures du composant. La présence d'espaceurs internes, dans la fenêtre émetteur, permet de réduire les dimensions effectives de l'émetteur en-deçà des valeurs accessibles avec le type de lithographie employée.

De plus, le dépôt de la base intrinsèque, effectué par épitaxie sélective, intervient tard dans l'élaboration du composant, ce qui permet de minimiser le budget thermique vu par cette dernière.

IV.3.c. Dessin des dispositifs

IV.3.c.i Masque nécessaire pour l'élaboration de TBH

La technologie BiCMOS, du nœud 0.13 μm , utilisée pour cette étude, comprends une quarantaine de masques, un par étape de lithographie. Ils sont destinés à la réalisation des transistors (MOS et TBH), des dispositifs passifs et des interconnexions. Sur la totalité des masques dédiés à cette technologie, seulement sept sont exclusivement dédiés au HBT auto-alignés, un certain nombre d'étapes, celle du back-end par exemple, étant accomplies en commun avec d'autres dispositifs.

Voici une description des masques nécessaires, dans l'ordre de leurs utilisations, à la fabrication d'un transistor bipolaire auto-aligné :

- *Nburied* : il définit les zones dans lesquelles l'implantation de la couche enterrée du collecteur sera réalisée.
- *DeepTrench* : Ce masque permet la réalisation des tranchées d'isolation profondes (DTI) servant à isoler le dispositif de son environnement.
- *Sinker* : Cette étape de photolithographie définit les zones d'implantation des puits collecteurs (implantation forte dose sous les contacts).
- *BipOpen* : Il permet l'ouverture du polysilicium de grille (des transistors MOS) dans les zones où seront fabriqués les transistors bipolaires.
- *Emwin* : Ce masque est le plus important dans la fabrication du TBH, il conduit à l'ouverture de la fenêtre émetteur et va permettre l'auto-alignement du dispositif.
- *PolyEm* : il permet la découpe du polysilicium de l'émetteur.
- *PolyBase* : Le dernier masque spécifique nécessaire à la fabrication du TBH est le masque *PolyBase*, il sert à limiter l'étendue latérale de la base extrinsèque (polybase) du dispositif.

Un huitième masque peut être utilisé dans certain cas : le masque SIC. Il est utilisé dans le cas où l'implantation du SIC n'est pas réalisée dans la fenêtre émetteur, mais avec une lithographie dédiée.

En tout et pour tout, sept (ou huit) masques sont donc nécessaires à la réalisation des transistors bipolaires rapides.

IV.3.c.ii Dessin des masques et règles de dessin

Chaque technologie ou plus exactement le design des structures de cette technologie, est soumise à des règles de dessin. Celles-ci peuvent être définies à partir de la capacité des équipements (alignement,..) ou de façon à ce que les parasites soient minimisés. Ces règles de dessin définissent des dimensions critiques minimales, maximales par niveau, mais également des règles concernant la superposition des masques les uns par rapport aux autres.

Dans le cas de transistor bipolaire, les points suivant relèvent les principales contraintes qui sont imposées lors du dessin des structures :

- La fenêtre émetteur (masque *EmWin*) doit être comprise dans le polybase (masque *PolyBase*) ainsi que dans une zone active. De plus, la largeur minimale de la fenêtre émetteur est dictée par la résolution de l'équipement de photolithographie.

- Le polyémetteur (masque *PolyEm*) doit être inclut dans le polybase et doit contenir le masque *EmWin*. Il doit être assez large pour pouvoir accueillir le contact d'émetteur, mais doit également laisser libre une surface de polybase suffisante pour y loger les contacts de base.

- De manière générale, une contrainte d'alignement est en permanence prise en compte afin de prévenir les éventuels problèmes de désalignement des équipements. Si l'on considère un alignement des masques équivalents au pire cas de désalignement machine, ceci permettra tout de même d'obtenir sur silicium des dispositifs fonctionnels en permanence.

Les contraintes sur les règles dessin, limitent donc le champ d'action possible sur les variations des structures, mais sont avant tout là pour assurer le bon fonctionnement des composants et garantir une reproductibilité convenable.

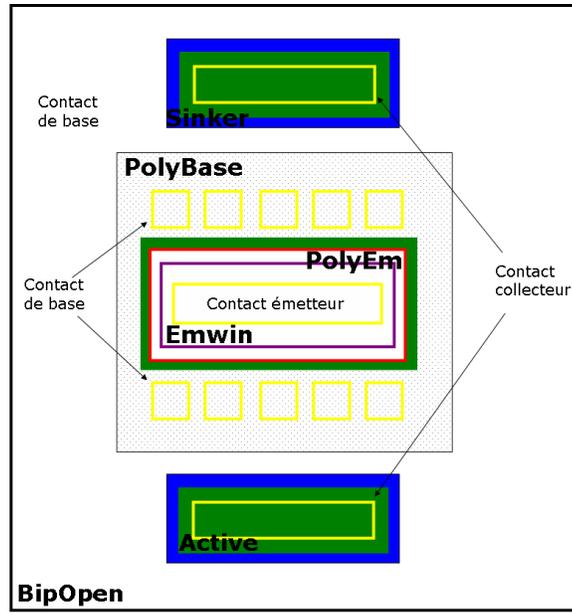


Figure A.44 Représentation des différents masques nécessaires à la fabrication d'un transistor bipolaire auto-aligné

V. Etat de l'art

Multiplés sont les acteurs, entreprises ou laboratoires, impliqués dans la course aux performances dans le milieu du transistor bipolaire. Dans la partie suivante, nous allons donner un état de l'art, sur les performances fréquentielles publiées sur le transistor bipolaire SiGe.

V.1 Evolution des technologies silicium (résultats, état de l'art avant la thèse)

Dans cette partie, nous allons présenter les résultats obtenus par les acteurs du marché jusqu'en 2008, année de début de ces travaux.

V.1.a. IBM

La société américaine figure parmi les premières à obtenir des transistors SiGe ayant une fréquence de fonctionnement supérieure à 300 GHz, en 2003. IBM utilise, à cette époque, une architecture auto-alignée avec une épitaxie non sélective de la base, dans un nœud technologique 0.18 μm .

[Jagannathan03] présente notamment des valeurs de f_{MAX} jusqu'à 338 GHz grâce une diminution importante de la résistance de base. En contrepartie, f_{T} chute fortement jusqu'à 180 GHz. IBM présenta également des résultats avec de forts f_{T} (375 GHz), obtenus au détriment de f_{MAX} (210 GHz), grâce à une diminution de l'épaisseur de la base.

Des compromis f_T/f_{MAX} plus équilibrés ont ensuite été atteints: Un couple 302 / 306 GHz est notamment reporté dans [Rieh04], ce qui constitue le premier TBH SiGe possédant à la fois des valeurs de f_T et f_{MAX} supérieures à 300GHz. Enfin, [Orner06] présente les meilleures performances HF (f_T/f_{MAX} 300/330 GHz.), obtenues avec l'architecture présentée sur la Figure A.45, pour un TBH produit dans un nœud technologique 0.13 μ m.

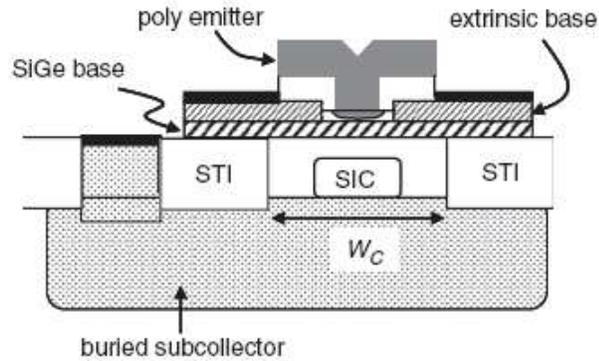


Figure A.45 Coupe schématique du transistor développé par IBM

V.1.b. NXP

La société NXP a mis au point une architecture complètement auto-alignée avec épitaxie non sélective du collecteur et de la base réalisée en une seule étape [Donkers07]. Cette structure, permettant de limiter les éléments parasites et en particulier la capacité base/collecteur, a permis d'atteindre des performances fréquentielles de l'ordre de 300 / 220 GHz pour le couple f_T/f_{MAX} [Donkers07] avec un dispositif de surface d'émetteur de $0.13 \times 5 \mu\text{m}^2$.

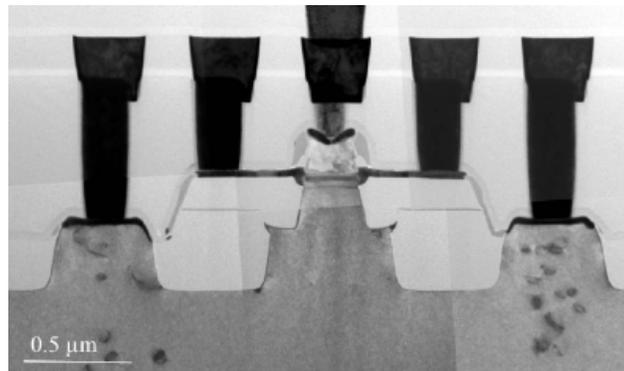


Figure A.46 Coupe TEM du transistor complètement auto-aligné développé par IHP

V.1.c. IMEC

L'IMEC, un laboratoire basé en Belgique, réalise également des études sur les transistors SiGe rapides. Dès 2002, un couple f_T/f_{MAX} de 200 / 160 GHz associé à un BV_{CEO}

de 1.75 V est démontré dans [Huylenbroeck04] sur un composant d'architecture quasi auto-alignée à simple polysilicium produit dans un nœud 0.13 μm .

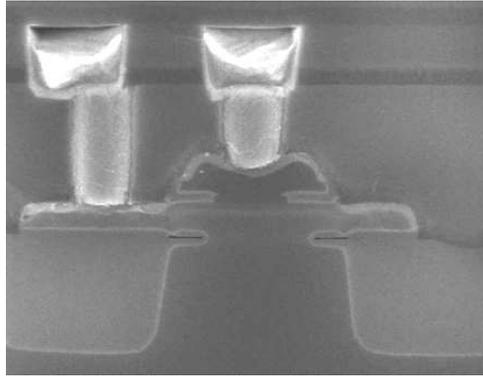


Figure A.47 Coupe TEM d'un composant de l'IMEC, architecture quasi-alignée simple polysilicium

Un des développements particuliers à l'IMEC est l'amélioration du module d'isolation classique STI et DTI. L'étude réalisée conserve ces deux types de tranchées isolantes mais travaille sur la faculté isolante du DTI. Il a été montré dans [Piontek06] et [Choi06] qu'il était possible de « remplir » ces tranchées d'air et non de polysilicium. On nomme alors ces tranchées isolantes : Airgap DTI. Ceci a pour inconvénient d'ajouter des étapes de fabrication à l'enchaînement usuel, cependant, l'air étant un excellent isolant, on constate une forte diminution des éléments parasites externes au composant.

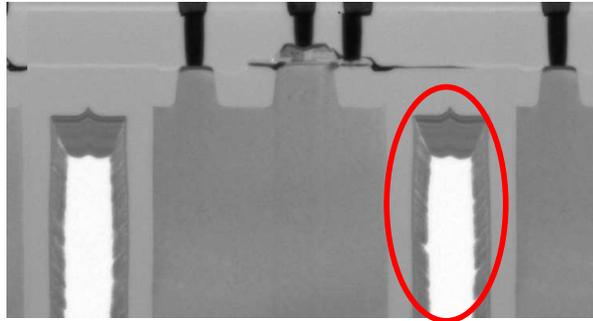


Figure A.48 Coupe TEM dun composant de l'IMEC avec des Airgap DTI

V.1.d. STMicroelectronics

Le premier transistor offrant des fréquences de transition supérieures à 400 GHz, a été réalisé par STMicroelectronics en 2008 et exposé dans [Geynet08]. La réduction du budget thermique mis au point a permis une forte augmentation de f_T jusqu'à 410 GHz, au détriment de f_{MAX} (= 150 GHz), pénalisé par la résistance de base. Dans le même papier, il est également présenté un dispositif de $1.3 \times 3.6 \mu\text{m}^2$, offrant un couple f_T/f_{MAX} de 260 / 340 GHz, en utilisant cette fois-ci un budget thermique plus élevé.

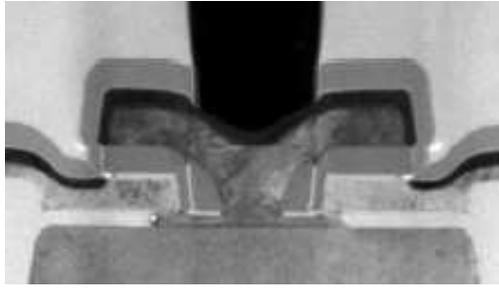


Figure A.49 Coupe TEM du transistor proposé par STMicroelectronics

V.1.e. Résumé des performances

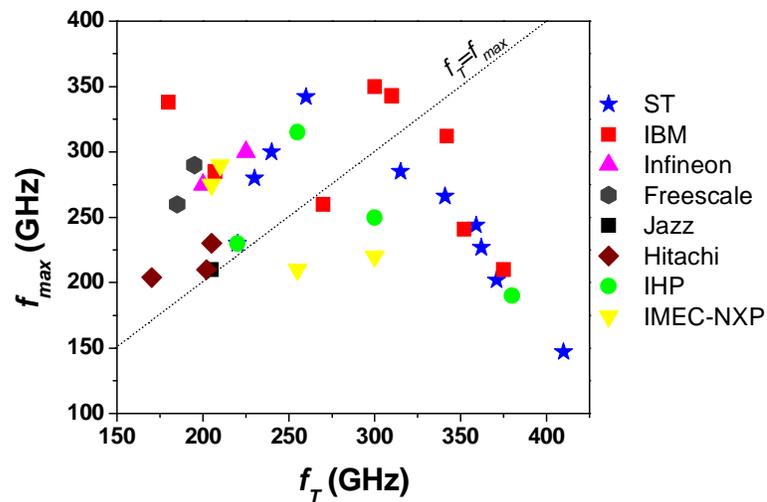


Figure A.50 Performances obtenues par les acteurs majeurs du secteur avant 2008

V.2 Résultats publiés pendant le projet Dot Five

Dans cette partie nous présentons les résultats obtenus par les différents partenaires du projet Dot Five qui sont l'IFX, l'IHP, l'IMEC et STMicroelectronics. Alors que l'IHP et l'IMEC ont mis au point de nouvelles architectures de composants lors de leurs recherches, l'IFX et STMicroelectronics travaillent sur une architecture classique complètement auto-alignée avec double polysilicium (*DP-FSA : Double poly silicium Fully Self Aligned*). Comme on peut le voir sur la figure ci-dessous, les travaux réalisés pendant ce projet, visant à améliorer la fréquence maximale de TBH, ont permis une progression de plus de 100 GHz.

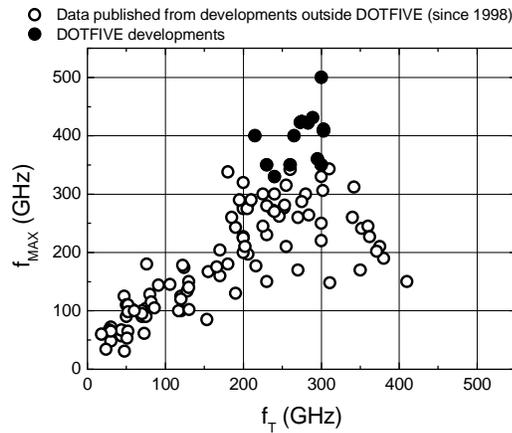


Figure A.51 Evolution de f_T & f_{MAX} depuis 1998 à aujourd'hui – Mise en évidence des progrès réalisés pendant le projet Dot Five

V.2.a. Infineon Technologies (IFX)

Les travaux réalisés par Infineon Technologies au cours de ces dernières années ont démontré des TBH dont la fréquence maximale est de 380 GHz, avec un f_T de 240 GHz. Ces performances sont obtenues suite à une réduction du profil vertical et latéral du composant. Les spécificités du procédé de fabrication utilisé concernent l'implantation du SIC, qui est réalisée après la mise en place d'espaceurs sacrificiels et le nitrure de protection des flancs de la cavité qui est retiré après l'épitaxie de la base intrinsèque. L'étape de recuit thermique est réalisée en deux fois, un premier recuit après le dépôt de la base permet de réduire la résistance de lien de base et un second après le dépôt de l'émetteur. La réduction du profil latéral est visible sur la figure ci-dessous, la fenêtre émetteur initiale de 200 nm est réduite à 130 nm

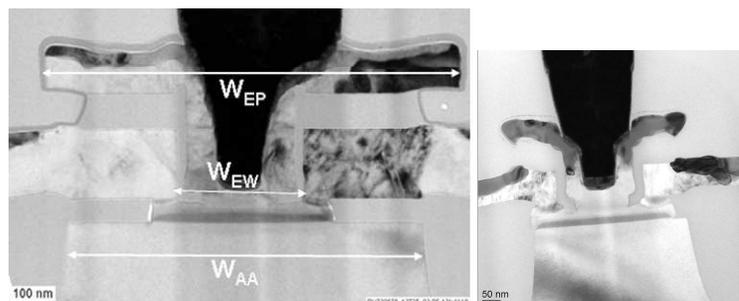


Figure A.52 Coupe TEM du transistor bipolaire de l'IFX B7HF200 avant (gauche, $W_E = 200$ nm) et après (droite, $W_E = 130$ nm) réduction du profil latéral

V.2.b. STMicroelectronics

La société STMicroelectronics fut la première à présenter des transistors Si/SiGe ayant des fréquences maximales supérieures à 400 GHz. En effet, les travaux exposés dans [Chevalier09] montrent les résultats obtenus grâce à la réduction des dimensions du composant effectuée après l'optimisation du profil vertical ([Lacave10]). Les meilleurs résultats présentés sont un couple f_T / f_{MAX} de 275 / 425 GHz, avec un émetteur effectif de 90 nm.

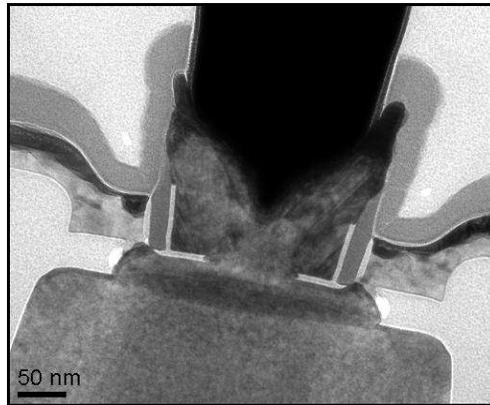


Figure A.53 Coupe TEM d'un transistor d'émetteur effectif 90 nm – Architecture complètement auto-alignée réalisé chez STMicroelectronics

V.2.c. IMEC

L'architecture développée par l'IMEC permet de réaliser une structure émetteur-base-collecteur complètement auto-alignée avec une surface réduite du collecteur qui a permis d'obtenir des valeurs de f_T / f_{MAX} de 215 / 400 GHz ([Huylenbroeck08]). Dans cette architecture le poly base extrinsèque est déposé après avoir réalisé la croissance par épitaxie non sélective du collecteur (dopé phosphore in-situ) et de base SiGe en une seule étape.

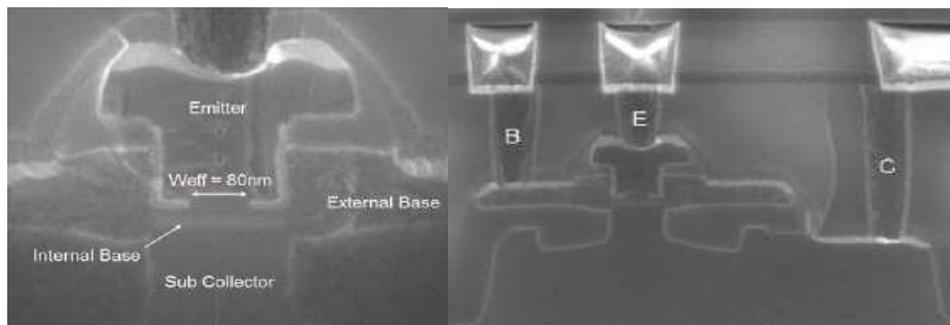


Figure A.54 Coupe TEM du transistor bipolaire présenté par l'IMEC

Des résultats très récents ont montré dans [Huylenbroeck11] des pics f_T / f_{MAX} de 245 / 460 GHz avec cette architecture.

V.2.d. IHP

Au cours du projet Dot Five, l'IHP a mis au point deux nouvelles architectures de composant.

Les meilleures performances mesurées sur la première architecture mis au point sont publiées dans [Fox08] et sont de 300 GHz pour f_T et 350 GHz pour f_{MAX} .

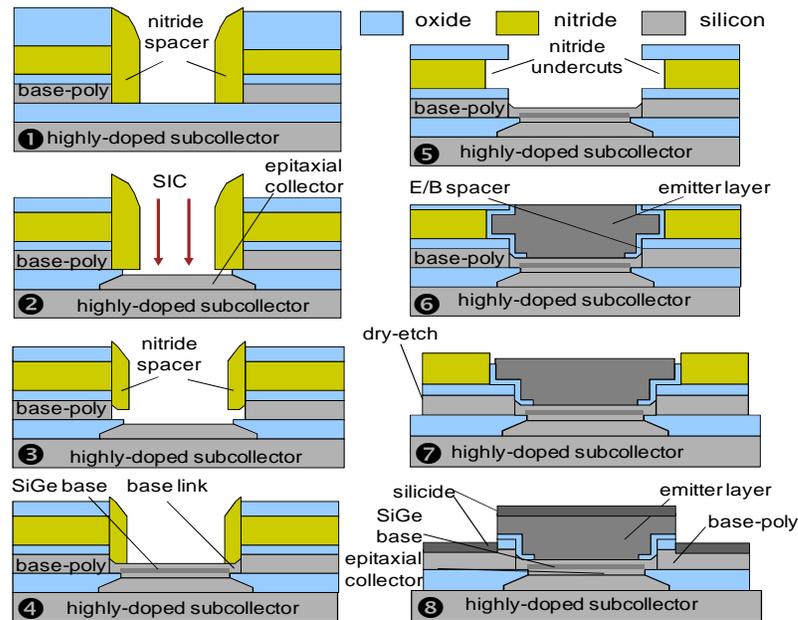


Figure A.55 Représentation schématique de la réalisation du transistor avec un lien de base latéral mis au point par l'IHP

La fabrication de ce transistor reprend les étapes d'une architecture DP-FSA jusqu'à la mise en forme des espaceurs de flanc nitride qui n'ont pas pour fonction de protéger de l'épithaxie sélective de la base, mais de celle du collecteur. Une attaque chimique permet ensuite de retirer partiellement les espaceurs nitride et de dévoiler le polybase afin de réaliser l'épithaxie sélective de la base SiGe et de former le lien latéral de base. Les espaceurs nitride sont ensuite complètement retirés et la couche de nitride latéralement ouverte, pour former la cavité destinée à l'émetteur. Celui-ci est déposé de façon auto-alignée sur la fenêtre émetteur après la mise en forme des espaceurs émetteur-base. La largeur effective de l'émetteur après réalisation des espaceurs en oxyde est de 130 nm.

Dans un deuxième temps, un composant avec une base extrinsèque obtenue par épithaxie sélective fut présenté. Après la réalisation d'un collecteur fortement dopé et peu profond, le TBH n'est composé que d'une seule zone active, une cavité est ouverte dans une couche d'oxyde sacrificielle afin de définir la zone active du collecteur. Deux épithaxies, la première sélective afin de combler la cavité définie dans l'oxyde de silicium et la seconde non sélective de SiGe/Si pour définir la base sont ensuite réalisées avant et après

l'implantation du SIC. Une couche sacrificielle est ensuite utilisée pour mettre en forme la fenêtre émetteur et des espaceurs permettent de réduire la surface effective de l'émetteur, dopé arsenic. L'étape suivante consiste à retirer la couche sacrificielle après avoir protégé l'émetteur avec des espaceurs externes afin de pouvoir effectuer l'épitaxie sélective de la base extrinsèque. La base extrinsèque est alors mise en forme et les couches sacrificielles restantes retirées. La fabrication se termine par un recuit d'activation à 1050 °C.

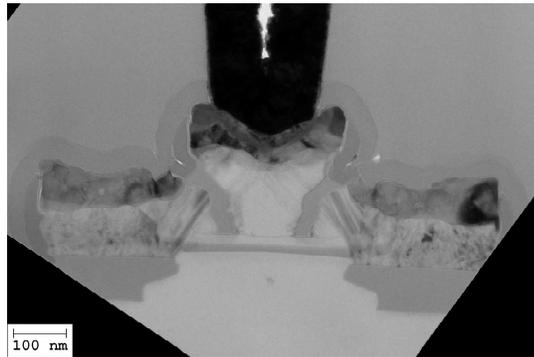


Figure A.56 Coupe TEM du transistor par l'IHP avec une base extrinsèque épitaxiée

V.2.e. Bilan des résultats publiés

Le graphique et le tableau ci-dessous présentent les principales caractéristiques électriques des transistors réalisés dans le cadre du projet Dot Five.

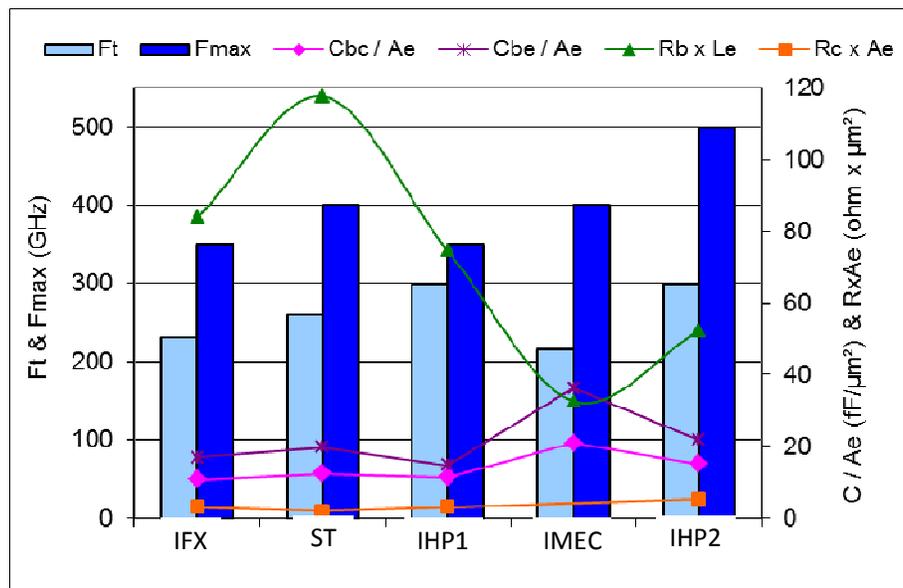


Figure A.57 Comparaison des performances à l'état de l'art obtenues par les acteurs du projet Dot Five

Parameter	Unit	IFX	ST	IHP1	IMEC	IHP2
W_E	μm	0,13	0,10	0,16	0,08	0,12
L_E	μm	2,70	4,90	0,93	0,93	0,96
n_E	-	1	1	2	1	8
Contacts #	-	1E/1B/1C	1E/2B/2C	2E/2B/2C	1E/2B/1C	8E/8B/8C
A_E	μm^2	0,351	0,490	0,298	0,074	0,922
Peak f_T	GHz	240	260	300	215	300
$J_{C,peak}$	$\text{mA}/\mu\text{m}^2$	10,0	14,3	16,0	17,5	18,5
f_{MAX}	GHz	380	400	350	400	500
$\beta (V_{BE}, V)$	-	1300 (0.6)	2100 (0.65)	250 (0.87)	800 (0.75)	700 (0.7)
BV_{EBO}	V	2,3	1,7	1,5	2,1	1,7
BV_{CBO}	V	5,5	6,0	4,3	5,2	5,2
BV_{CEO}	V	1,50	1,55	1,85	1,70	1,60
V_A	V	110	270	85	60	180
$R_{S_{pbi}}$	$\text{k}\Omega/\text{sq}$	2,6	2,5	3,3	2,7	2,6
C_{BE}	fF	5,2	9,7	4,4	2,7	20,1
C_{BC}	fF	3,5	6,1	3,4	1,6	13,9
C_{CS}	fF	2,4	4,1	4,0	4,3	8,5
R_E	Ω	3,8	2,3	6,5	40,0	2,3
R_B	Ω	28,2	24,0	51,1	35,0	4,7
R_{CX}	Ω	9,2	4,0	10,5	-	4,8
τ_D	ps	2,4	-	2,5	-	2,0
$R_E \times A_E$	$\Omega \cdot \mu\text{m}^2$	1,33	1,13	1,93	2,98	2,12
$(R_B + R_E) \times L_E$	$\Omega \cdot \mu\text{m}$	86	129	107	70	54
$R_{CX} \times A_E$	$\Omega \cdot \mu\text{m}^2$	3,23	1,96	3,12	-	5,21
C_{BE} / A_E	$\text{fF}/\mu\text{m}^2$	14,8	19,8	14,8	36,3	21,8
C_{BC} / A_E	$\text{fF}/\mu\text{m}^2$	10,0	12,4	11,4	20,8	15,1
C_{CS} / A_E	$\text{fF}/\mu\text{m}^2$	6,8	8,4	13,4	57,8	9,2
C_{BC} / L_E	$\text{fF}/\mu\text{m}$	1,30	1,24	1,83	1,67	1,81
$R_B \times L_E$	$\Omega \cdot \mu\text{m}$	76	118	95	33	36
$R_B \times L_E / W_E$	Ω	586	1176	594	407	301
$(R_B + R_E) \times A_E$	$\Omega \cdot \mu\text{m}^2$	11,2	12,9	17,1	5,6	8,4
$R_B \text{ calc}$	Ω	18,9	10,6	28,7	34,5	3,4
$R_B \text{ calc} / R_B$	-	0,7	0,4	0,6	1,0	0,7
C_{BC} / C_{BE}	-	0,67	0,63	0,77	0,57	0,69

Tableau A.1 Tableau résumé des performances hf et paramètres électriques des transistors proposés par les différents partenaires du projet DotFive. [Chevalier11]

B Optimisation du profil vertical du transistor bipolaire pour une architecture donnée

I. Introduction

Dans ce chapitre, nous allons aborder l'influence de l'optimisation du profil vertical sur les différents paramètres intrinsèques du transistor (résistances et capacités), mais aussi sur les performances dc et hf.

Les résultats présentés sont issus d'une multitude de lots et d'expérimentations. Les effets engendrés par la modification d'une ou plusieurs étapes, ont été étudié sur des transistors avec un dessin unique de *lay out*, soit un composant de type CBEBC, dont la taille effective de l'émetteur est de $0,12 \times 4,9 \mu\text{m}^2$.

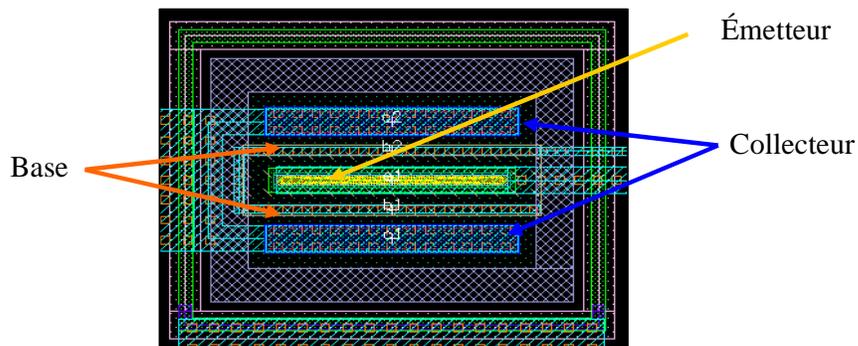


Figure B.1 Vue de dessous d'un « layout » de TBH de type CBEBC

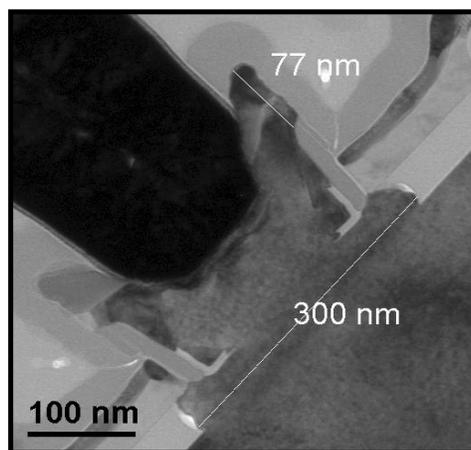


Figure B.2 Coupe TEM, d'un TBH de $0,12 \times 4,9 \mu\text{m}^2$, centrée sur la fenêtre émetteur

Les performances et facteurs de mérite des composants réalisés, n'ont pu être confronté uniquement dans les cas où les paramètres électriques principaux, comme le courant collecteur, la tension de claquage émetteur – base étaient comparables entre eux.

Afin d'être à même de pouvoir comparer ces résultats, issus des différentes études, certaines étapes ont dû être adaptées au cours de la fabrication. On peut notamment citer l'épaisseur du Si-cap de la base, qui, pour obtenir des niveaux de courant équivalents, a été ajusté en fonction de la température du recuit final, ou encore du choix de l'espèce utilisé pour le dopage de l'émetteur (la diffusivité du phosphore est en effet plus importante que celle de l'arsenic). Les épaisseurs de Si-cap permettant d'obtenir des résultats électriques suffisamment proches pour les comparer entre eux ont été déterminées lors d'essais préalables.

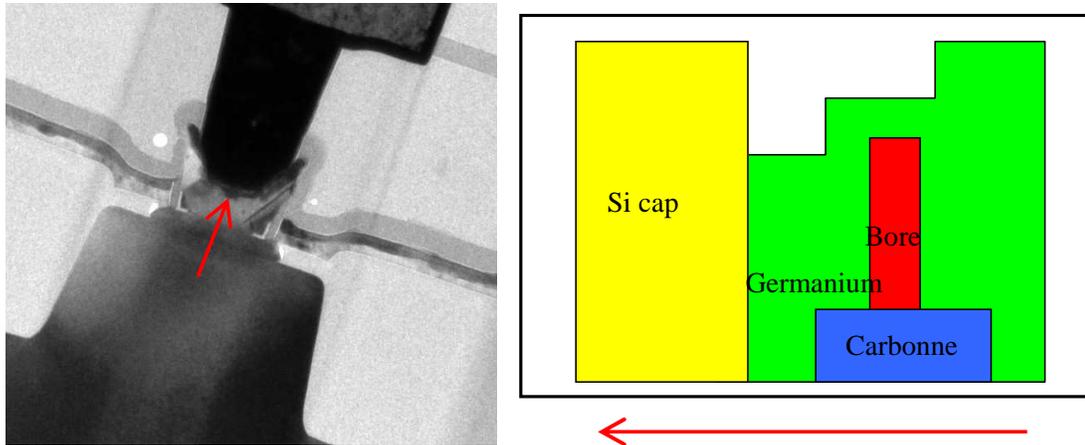


Figure B.3 Profil schématique de la base intrinsèque des transistors de cette étude

A contrario, certaines grandeurs, comme le profil de germanium dans la base, n'ont pas été adaptées aux diverses fluctuations des conditions de fabrication et ne sont donc pas optimisées pour obtenir les meilleures performances. La concentration de germanium dans la base intrinsèque n'est pas constante, mais distribuée de façon graduelle, par paliers. Le pourcentage étant plus faible du côté émetteur (environ 20 %) que sur la partie en regard avec le collecteur (environ 30 %).

En dépit de la non adaptation de certaines parties du transistor, tous les composants présentés dans cette partie présentent des tensions d'Early direct supérieures ou égales à 150 volts. Ceci permet de garantir l'absence de barrière de potentiel à la jonction base – collecteur ainsi qu'un niveau de courant stable en sortie en fonction de la polarisation appliquée.

Nous utiliserons dans cette étude cinq paramètres électriques permettant de caractériser les résistances de base, d'émetteur, ainsi que les capacités intrinsèques du transistor.

La résistance de base est quant à elle symbolisée par deux paramètres : la résistance totale de base, noté R_{B^*} ; et la résistance de base intrinsèque, nommée résistance de base pincée (en raison du pincement de la base par les dopants de l'émetteur), désignée par le terme R_{Bi} . Elles sont déterminées, lors de mesures dc, sur des structures spécifiques et dédiées à ces extractions. La résistance totale de base prend en considération toutes les

contributions de la résistance de base, à savoir : le contact de base, le polybase siliciuré, le polybase non siliciuré, le lien entre base extrinsèque et intrinsèque, la base intrinsèque. Elle est extraite à partir d'une chaîne de quarante-quatre transistors. De cette façon, la valeur de R_{B^*} donnée est une moyenne.

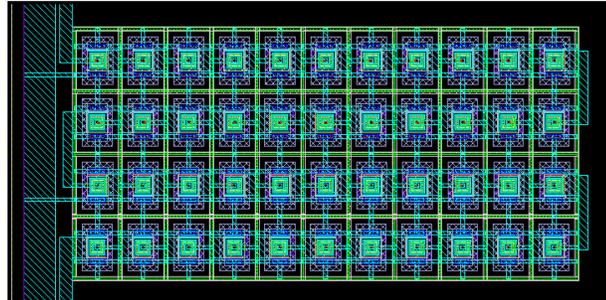


Figure B.4 Chaîne de 44 transistors bipolaires en série utilisée pour l'extraction de R_{B^*}

La résistance de base pincée, est quant à elle extraite à partir d'une structure de type tétrode.

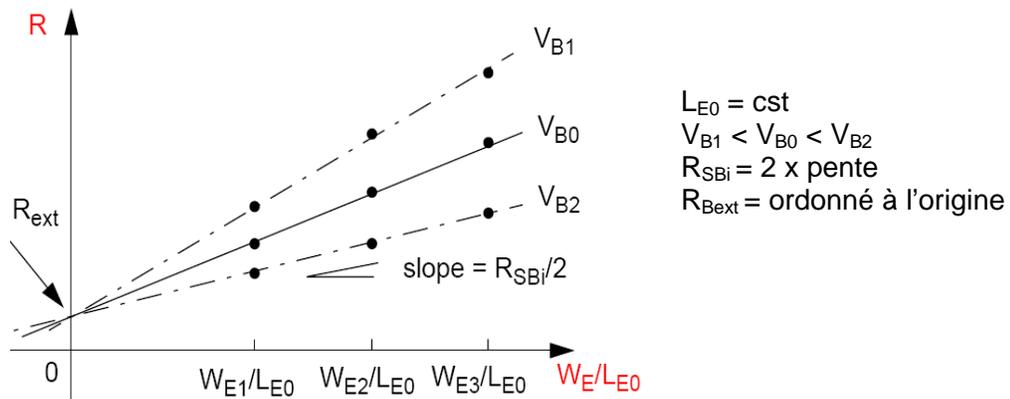


Figure B.5 Extraction des résistances de base intrinsèque et extrinsèque

Les autres paramètres, comme la résistance d'émetteur, R_E , les capacités de jonctions : émetteur-base, C_{BE} , et base-collecteur, C_{BC} , sont extraites à partir de la mesure des paramètres S .

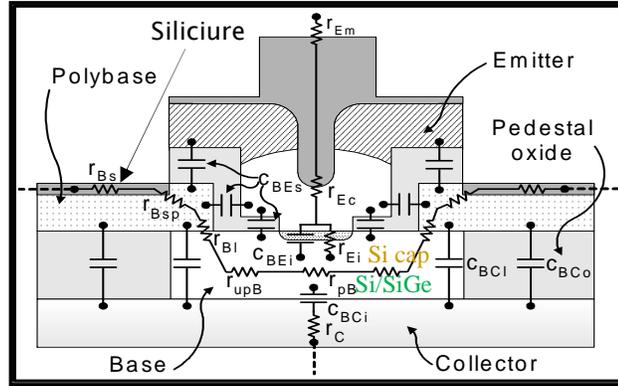


Figure B.6 Schéma en coupe d'un TBH avec la représentation des éléments parasites

Associées à ces paramètres électriques, nous donnerons les valeurs maximales atteintes dans chaque cas par les fréquences f_{MAX} et f_T . Les performances en fréquence sont extraites pour une valeur de V_{CB} égale à 0,5 V.

Afin de garantir la validité des résultats annoncés, les dégroupages ont été reproduit à plusieurs reprises, et ce, sur plusieurs lots. Pour tous les paramètres présentés dans la suite de ce chapitre, les valeurs données sont des médianes. Ainsi nous évitons de mettre en avant une valeur non cohérente, qui serait le reflet d'une fluctuation imprévue d'une étape de fabrication ou d'un défaut ponctuel dans un des champs d'une plaque. Chaque mesure est réalisée sur cinq ou neuf sites par plaquette, respectivement pour les mesures dc et hf.

Dans le cadre de cette étude, tous les recuits finaux réalisés sont de type *Spike*, ou pic. Le recuit *spike*, par rapport au recuit à plateau traditionnel, présente l'avantage d'atteindre des températures maximales plus élevées et de réduire également le budget thermique. De cette façon, les impuretés dopantes sont activées grâce à la haute température mais la diffusion des espèces est limitée par le faible budget thermique. Sur le graphique de la Figure B.7, on peut voir une représentation schématique de l'évolution de la température dans chaque cas de recuits.

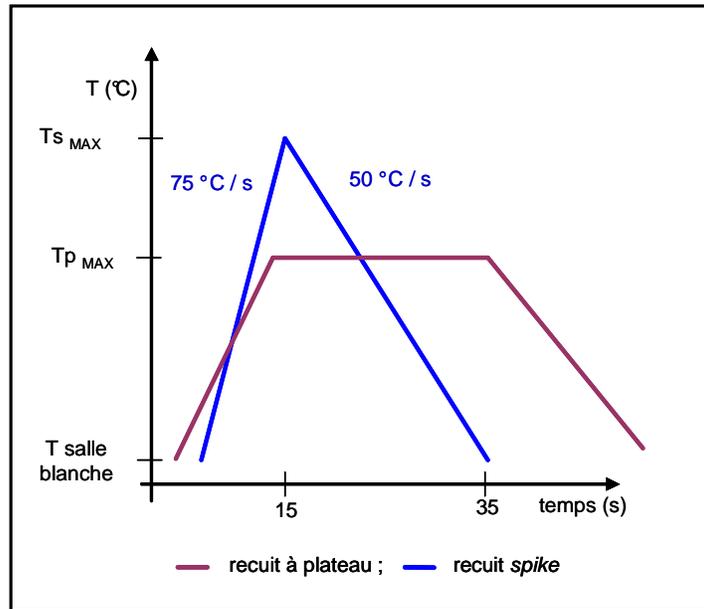


Figure B.7 Profil de température obtenue dans un four, dans le cas d'un recuit spike et d'un recuit plateau

II. Emetteur

II.1 Motivations et description des essais réalisés

Dans ce paragraphe, nous allons nous intéresser à l'influence, sur les paramètres électriques, de l'espèce dopante employée pour le dopage de l'émetteur. Ainsi qu'aux effets engendrés par la modification de la température du recuit final.

Au cours de ces travaux, nous avons réalisé des échantillons avec deux types de dopages émetteurs. En plus d'un dopage à l'arsenic, utilisé usuellement, des essais ont été réalisés avec du phosphore. Pour les deux types de dopants, deux températures de recuits finaux ont été étudiées.

Le phosphore et l'arsenic sont des éléments de la 5^{ème} même colonne du tableau de Mendeleïev. Ils apporteront donc tous les deux un électron supplémentaire au réseau du silicium lors de leur insertion comme impureté dopante. Cependant, bien que ces deux éléments soient dans la même colonne, ils ne sont pas sur la même ligne. Ils ont donc des masses atomiques très différentes, du simple au double, l'arsenic étant l'atome le plus lourd. Il en résulte une différenciation dans leur manière de s'insérer dans le réseau, ou encore sur leur mode de diffusion. En effet, le phosphore diffuse par mécanisme interstitiel, alors que l'arsenic diffuse par le biais des défauts de type lacune. La diffusion par voie interstitielle étant plus rapide, on peut s'attendre, en fonction de l'espèce dopante et de la température de recuit, à des allures différentes du profil de concentration après diffusion. Cette répartition des atomes dopants aura une conséquence directe sur la résistance de l'émetteur. On peut également anticiper une répercussion sur la résistance de base intrinsèque, due au pincement de celle-ci par la diffusion plus ou moins prononcée des dopants de l'émetteur. La répartition des dopants dans l'émetteur va, de plus, influencer sur la capacité base-émetteur. Afin de limiter cet impact, l'épaisseur de *Si-cap* de la base a été ajustée en fonction de l'espèce dopante et de la température de recuit associée.

II.2 Résultats

Les résultats présentés ci-dessous, sous forme d'histogrammes, montrent les résultats obtenus pour le dopage de l'émetteur avec de l'arsenic, pour des températures de recuit de 1000, 1040, 1080°C. Ceci est également le cas pour des échantillons ayant un émetteur dopé au phosphore, préparé avec un recuit de 1000°C et de 1040°C, le recuit de 1080°C n'étant pas effectué pour l'émetteur phosphore en raison d'une diffusion trop importante.

Dopant émetteur	Phosphore		Arsenic		
Température de recuit (°C)	1000	1040	1000	1040	1080
Si-cap (nm)	5	10	2	13	18

Tableau B.1 Épaisseur de Si-cap choisie en fonction de la température de recuit et de l'espèce dopante de l'émetteur

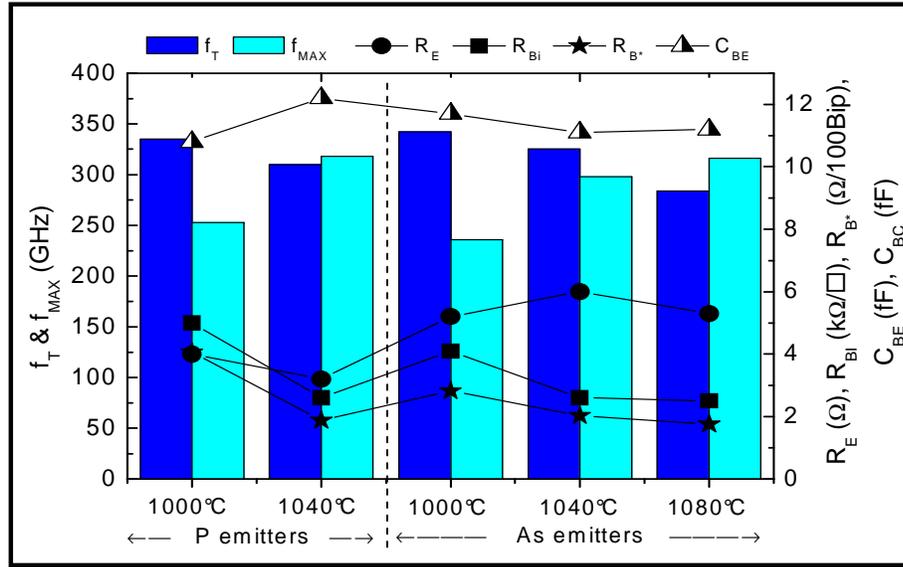


Figure B.8 Comparaison entre un émetteur dopé As ou P pour un TBH de $4.9 \times 0.12 \mu m^2$ pour différents recuits

En premier lieu, on remarque sur la Figure B.8 qu'une augmentation de la température de recuit est, pour les deux types de dopage émetteur, bénéfique à f_{MAX} au détriment de f_T .

La hausse de la fréquence maximale d'oscillation, concordant avec l'augmentation du budget thermique, est liée à la diffusion des dopants de la base extrinsèque vers la base intrinsèque, ce qui explique la diminution de la résistance de base pincée, propre à la base intrinsèque. De plus, on peut penser que la résistance de lien, entre la base intrinsèque et la base extrinsèque, est également réduite avec l'augmentation de la température du recuit. La résistance du polybase devrait augmenter en raison de l'appauvrissement en dopant du polybase au détriment de la base intrinsèque. Cependant, le courant dans le polybase est assuré principalement par la couche de siliciure [Cacho05] (Figure B.6). L'augmentation de la résistivité du polybase, provoquée par la diffusion des dopants, n'influence donc que faiblement la résistance associée à la base extrinsèque, ce qui explique la décroissance de R_{B^*} avec R_{Bi} .

Si l'on considère maintenant la fréquence de transition du transistor, on observe une diminution de la valeur maximale avec l'augmentation de la température du recuit. Pour comprendre cette tendance il faut s'intéresser à l'évolution du temps de transit dans la base.

La Figure B.9 représente, en fonction de la largeur du pic de bore initial, et de la température de recuit, l'évolution de la largeur du pic de bore dans la base. Afin de s'approcher au maximum du cas de la diffusion du bore dans la base des transistors étudiés, on considère une épaisseur de couche de SiGe:C voisine de celle épitaxiée, c'est-à-dire 20 nm. Les profils de germanium et de carbone sont supposés constants dans tout le film et respectivement égale à 20 % et 0,2 %. La substitution d'un profil constant au profil graduel de germanium est envisageable car la variation de concentration présente un intérêt pour l'accélération des porteurs présents dans la base, mais influe peu sur la diffusion des atomes de bore. On note également que cette simulation est réalisée pour une dose de bore fixe de 10^{13} atomes / cm^2 quelle que soit l'épaisseur initial du pic.

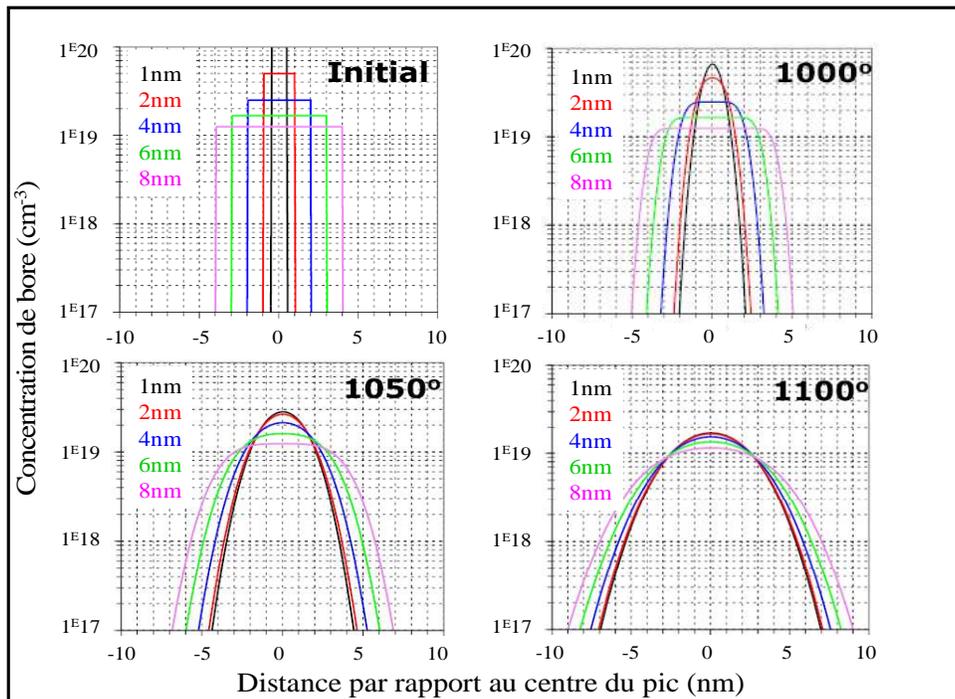


Figure B.9 Simulation de profils de bore initiaux et diffusés en fonction de la température de recuit

Cette simulation permet de mettre en évidence l'importance de la température du recuit sur la diffusion du bore dans la base. En effet, un recuit effectué à une température supérieure ($T_2 > T_1$) entraîne une diffusion plus importante du pic de bore, donc une augmentation de l'épaisseur, W_B , de la base ($W_2 > W_1$). Le temps de transit dans la base τ_B est alors augmenté, ce qui pénalise la fréquence de transition. En dépit de la présence de carbone dans la base, le pic de bore le plus fin voit son épaisseur passer de 1 nm après dépôt à 14 nm après une opération de type recuit *spike* à 1100°C. On note également que la concentration maximale du pic chute de 10^{20} cm^{-3} à moins de $2 \cdot 10^{19} \text{ cm}^{-3}$. De plus, on remarque dans le cas de dépôts très fins ($< 4 \text{ nm}$) associés à des budgets thermiques élevés ($> 1050^\circ\text{C}$) que les profils de bore sont quasiment confondus malgré leurs différences d'épaisseurs et de concentrations initiales. Toutefois, dans ces travaux, l'épaisseur du pic de bore dans la base intrinsèque après dépôt étant en permanence compris entre 3 et 6

nanomètres, il est donc intéressant, quel que soit la température du recuit final de considérer des dépôts de bore fin.

On remarque, sur la Figure B.8, que pour des performances hf comparables pour les deux types de dopants que la résistance de l'émetteur, R_E , est plus élevée pour le dopage à l'arsenic. Compte-tenu du facteur de diffusion de l'arsenic, plus faible que celui du phosphore, on observera pour une même température de recuit, un profil de concentration de l'arsenic différent de celui du phosphore. L'analyse SIMS de la Figure B.10 met en évidence cette différence de profil après diffusion pour un recuit final réalisé à 1000°C. Les résultats présentés sont issus d'analyses réalisées sur deux plaques différentes qui ont suivi les mêmes étapes de fabrication à l'exception du dépôt de l'émetteur. Le dopage du collecteur étant commun aux deux plaques présentées, on s'appuie sur la concentration d'arsenic dans le collecteur afin de comparer les dopages de l'émetteur par rapport à une référence commune. Dans le cas de la plaque n° 8, l'émetteur est dopé avec de l'arsenic, alors que le dopage de l'émetteur de la plaque n° 6 est réalisé avec du phosphore. On note que la concentration d'arsenic introduite (5.10^{20} at. / cm^3) est nettement plus grande que celle de phosphore (7.10^{19} at. / cm^3). Contrairement aux résultats présentés précédemment sur la Figure B.8, pour lesquelles une adaptation de l'épaisseur du Si cap a été réalisée en fonction de l'espèce dopante de l'émetteur, ici pour les deux cas présentés cette épaisseur est commune.

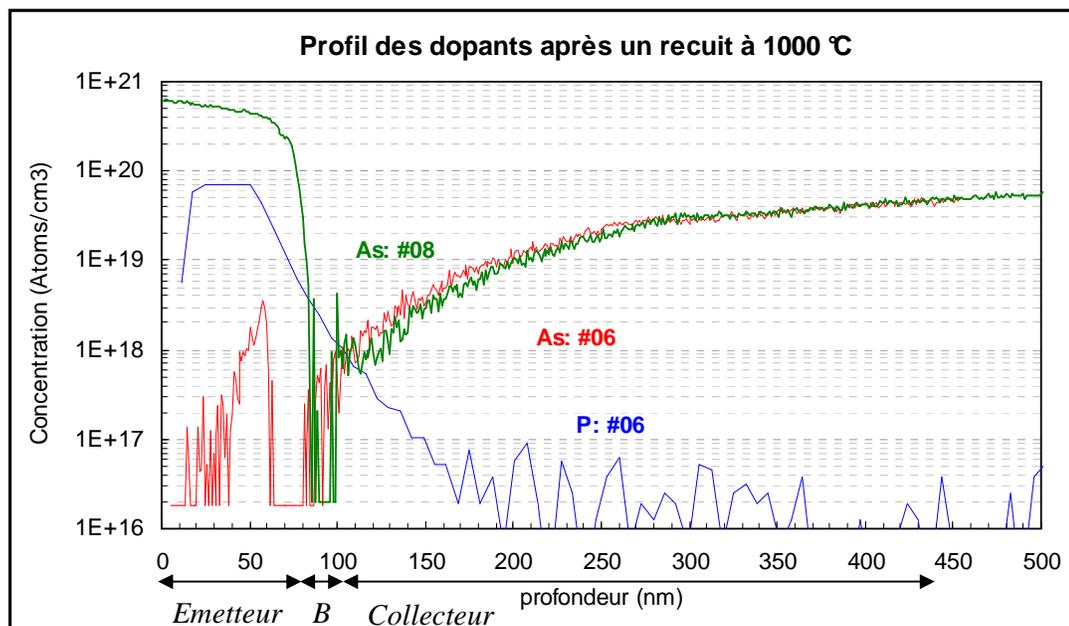


Figure B.10 Analyse SIMS des profils de dopants pour deux types d'émetteur. Comparaison entre un dopage Arsenic et un dopage Phosphore pour un recuit final à 1000 °C

On constate, malgré une concentration initiale moindre de phosphore, que celui diffuse d'avantage que l'arsenic. De plus la pente décroissante de la concentration de phosphore est plus faible que la pente de la courbe dédiée à l'arsenic. Il en résulte un

dopage moins homogène dans l'émetteur (de 0 à ≈ 80 nm) ainsi qu'une jonction émetteur - base moins abrupte dans le cas d'un émetteur dopé avec du phosphore.

II.3 Discussion

Afin de déterminer les conditions de fabrication les plus favorables, il faut en premier lieu définir le facteur de mérite que l'on prend en considération. En effet, suivant que l'on considère f_T ou f_{MAX} , ce n'est pas la même température de recuit qui sera considérée comme la plus adaptée.

Au regard de la fréquence maximale d'oscillation, le meilleur point est obtenu pour le recuit effectué à la plus haute température, 1080°C. Ceci se justifie par la diminution des résistances de base, R_{B*} et R_{Bi} , avec l'augmentation du budget thermique.

Dans la gamme de température explorée, l'utilisation du phosphore n'apporte pas d'amélioration significative par rapport au dopage arsenic. De plus le schéma d'intégration dans une technologie CMOS du nœud 0,13 μm des transistors bipolaires choisit chez STMicroelectronics impose une température de recuit final minimale ($> 1080^\circ\text{C}$), incompatible avec l'emploi d'un émetteur phosphore. En effet, si la diffusion de l'espèce dopante de l'émetteur devient trop conséquente la résistance de base intrinsèque peut alors être dégradée. Un fort budget thermique favorise la diffusion des espèces N vers la base. Cependant, à partir d'un certain point, la diffusion est si importante que les dopants de l'émetteur parviennent à « pincer » la base, provoquant une diminution de la résistance de base pincée.

Par contre, dans le cas d'une route de fabrication utilisant un budget thermique plus faible, l'utilisation du phosphore trouve tout son intérêt. Effectivement, le taux d'activation des impuretés dopantes de phosphore est, pour une température équivalente, supérieur à celui de l'arsenic [Borot07], ce qui en fait un très bon candidat pour une exploitation dans une technologie à faible budget thermique.

III. Niveau de dopage du collecteur implanté

III.1 Motivations et description des essais réalisés

L'implantation sélective du collecteur permet d'augmenter le dopage sous la base intrinsèque, ce qui diminue la résistance collecteur dans la partie où celui-ci est à l'origine le moins dopé. Sur la Figure B.11 on peut voir le profil d'arsenic d'un transistor avec et sans implantation SIC (respectivement représenté en trait continu et pointillé) obtenu par analyse SIMS

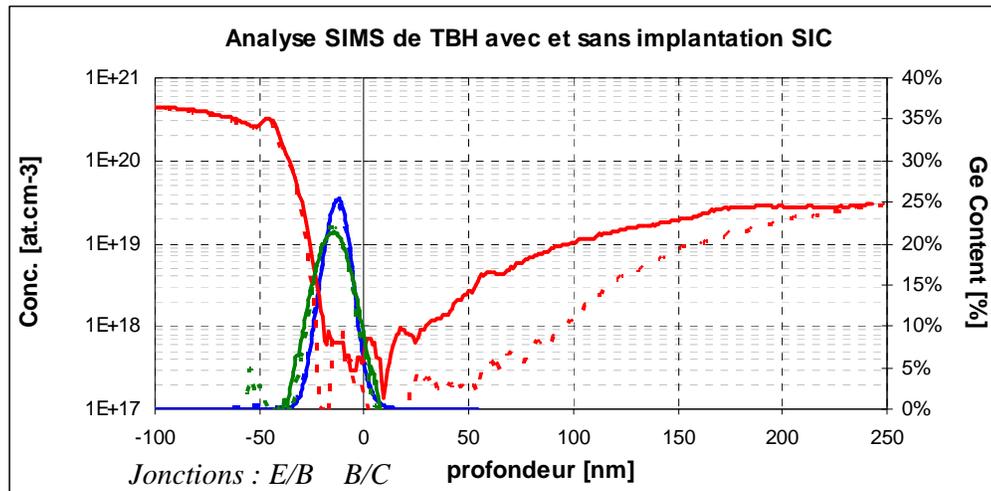


Figure B.11 Comparaison de caractérisations SIMS de TBH avec et sans implantation SIC (- Arsenic avec dopage SIC ; -- Arsenic sans dopage SIC ; - Bore ; - % de Germanium)

En effet, les dopants introduits lors de l'implantation de la couche enterrée du collecteur sont amenés à diffuser lors des recuits successifs auxquels les plaques sont soumises pendant la fabrication des composants. Cependant, bien que cette implantation survienne au début de la route de fabrication, signifiant que le budget thermique vu par les plaques de silicium à la suite de cette opération est quasiment équivalent à celui de la route complète, la concentration de dopants N proche de la base est faible. Le niveau de dopage, élevé en profondeur, décroît donc lorsqu'on se rapproche de la surface de la plaquette.

Un contre coup de l'implantation SIC est l'augmentation du nombre de dopants dans une zone adjacente de la jonction base – collecteur. On peut en effet s'attendre à une augmentation de la capacité base – collecteur. Pour ne pas détériorer la composante extrinsèque de la capacité base - collecteur, et donc indirectement la fréquence maximale d'oscillation et la tenue en tension du composant, cette implantation doit être localisée et sa diffusion maîtrisée. C'est pourquoi, il est important de bien adapter la dose et l'énergie d'implantation en fonction du budget thermique.

Pour tous les essais réalisés au cours de cette étude, l'implantation du SIC est faite au travers de l'oxyde piédestal, après que la fenêtre émetteur soit ouverte et gravée, avant

l'ouverture de la cavité. Dans cette configuration, on dit usuellement que l'implantation SIC est faite « après la fenêtre émetteur ». Il est présenté dans [Lacave10] qu'il est également possible de faire ce dopage avant le dépôt de l'oxyde piédestal, en utilisant une étape de lithographie dédiée (ce point sera développé et discuté dans le chapitre suivant). Le choix d'intégration fait ici permet de s'affranchir des erreurs d'alignement de la lithographie (puisque'il n'y en a pas), et ainsi d'être assuré qu'entre deux essais il y ait uniquement le niveau de dopage et la température qui varient.

III.2 Résultats

Pour cette étude, trois essais ont été réalisés avec trois doses différentes, implantées à deux énergies très proches l'une de l'autre. Pour des raisons de simplicité, on notera ces doses de façon relative, en employant les notations suivantes : SIC- / SIC+ / SIC ++, de la moins forte à la plus élevée.

Afin de donner tout de même une idée du niveau de dopage correspondant à ces diverses implantations, nous donnons la valeur de la tension de claquage de la jonction base-collecteur BV_{CBO} pour les différentes doses implantées.

niveau de dopage	SIC-	SIC+	SIC++
Tension de claquage BV_{CBO} (V)	6.00	5.50	5.20

Tableau B.2 Evolution de la tension de claquage de la jonction base - collecteur d'un transistor bipolaire ($4,9 \times 0,13 \mu\text{m}^2$), en fonction de la dose introduite lors de l'implantation SIC

Pour chaque dopage, des plaques ont été fabriquées avec des recuits de 1000, 1040 et 1080°C, excepté pour le dopage le plus faible qui n'a pas été réalisé pour le recuit à 1000°C.

Sur la Figure B.12, il est représenté, pour les conditions process décrites précédemment, les performances hf sous formes d'histogrammes. Les résistances de base totale et de base pincée ainsi que la capacité base-collecteur sont quant à elles symbolisées sous formes de courbes. Afin de simplifier la lecture de la figure, la résistance émetteur, qui n'est pas influencée par les variations de doses d'implantation du SIC, n'est pas représentée sur ce graphique. Les valeurs pour les différents essais sont tout de même données dans le tableau suivant à titre d'illustration.

Recuit final (°C)	S 1000	S 1040	S 1080
Re (Ohm)	3,1	6,3	3,7

Tableau B.3 Valeur de la résistance émetteur en fonction de la température du recuit final. Transistor de longueur et largeur respective : $4,9 \times 0,13 \mu\text{m}^2$

On observe, sur le graphique suivant, que la valeur de la résistance de base intrinsèque R_{Bi} ainsi que celle de la résistance de base total ne varient pas significativement lorsque la dose du SIC varie, et ce, quelle que soit la température du recuit final.

L'augmentation de la capacité base – collecteur est directement corrélée, comme prévu, à la dose d'impureté dopante implantée. On remarque que cette fluctuation est pour toutes les températures de recuit proportionnel à l'augmentation de la dose.

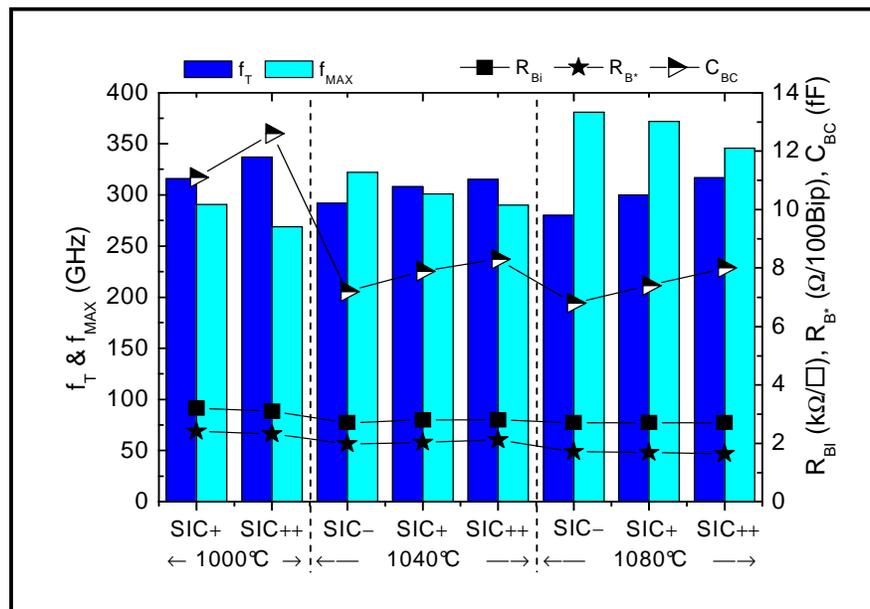


Figure B.12 Comparaison entre différents dopages SIC d'un TBH Si/SiGe : C pour plusieurs températures de recuit

Ici, la température joue un rôle significatif sur le compromis f_T/f_{MAX} à travers la valeur de la résistance de base. Si le point « 1040°C / SIC+ » est pris comme référence, avec des valeurs voisines des 300 GHz pour les deux fréquences caractéristiques, on remarque que les conditions, favorisant f_T ou f_{MAX} , sont antagonistes. En effet, la meilleure valeur de f_T (340 GHz) et la moins bonne valeur de f_{MAX} (270 GHz) sont obtenues pour le couple « 1000°C / SIC ++ » ; tandis que la valeur la plus élevée de f_{MAX} (380 GHz) associée à la plus faible valeur de f_T (270 GHz), correspond à un procès regroupant un recuit de 1080°C ainsi qu'un dopage SIC le plus faible de l'étude, SIC-.

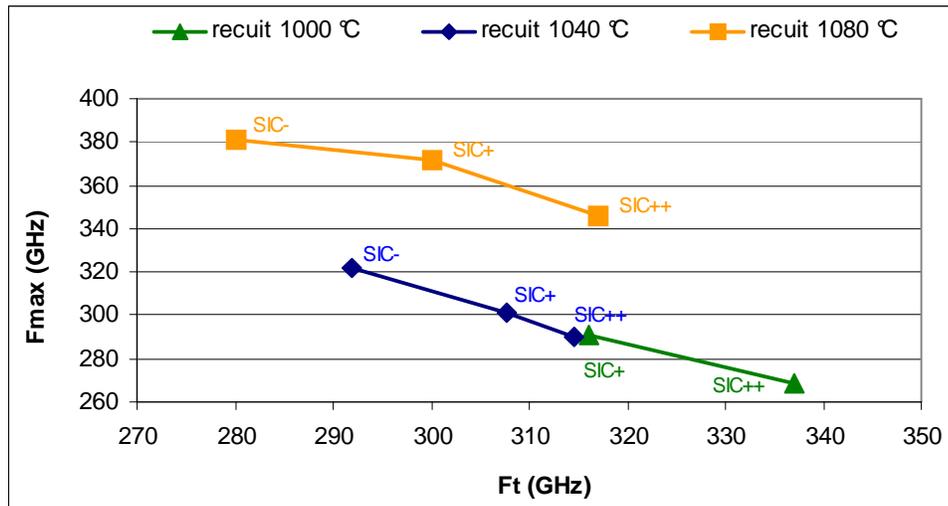


Figure B.13 Evolution de f_{MAX} et f_T pour différents recuits et différentes doses d'implantation du SiC

L'augmentation de la dose implantée, quelle que soit la température, est bénéfique à f_T , ce qui s'explique intuitivement par la diminution de la résistance du collecteur et l'amélioration du temps de transit dans le collecteur. La contrepartie est l'augmentation de la capacité base - collecteur, qui pénalise f_{MAX} .

III.3 Discussion

L'augmentation de la dose implantée dans le collecteur sélectif entraîne, comme dit précédemment, une diminution de R_C et une augmentation de C_{BC} . On peut ainsi justifier la tendance générale observée sur les performances fréquentielles.

A ceci on peut ajouter une autre conséquence, l'impact sur le temps de transit dans la jonction base-collecteur. En effet l'amincissement progressif de la ZCE base-collecteur, lié à l'augmentation de la concentration des dopants dans le collecteur, entraîne une diminution du temps de transit dans la jonction base-collecteur. Ceci, comme la diminution de la résistance de collecteur favorise l'augmentation de f_T .

L'augmentation de f_T , avec la dose implantée, n'est pas assez prononcée par rapport à l'augmentation de la capacité base – collecteur et ne permet pas d'entraîner f_{MAX} vers de plus hautes fréquences.

IV. Dopage de la base

IV.1 Motivations et description des essais réalisés

Faire varier la concentration de bore incorporée dans la base intrinsèque pendant la phase d'épitaxie est un bon moyen de mettre en évidence le compromis entre la résistance de base pincée et le temps de transit dans la base sur les performances fréquentielles. En effet, R_{Bi} et τ_B ont des comportements antagonistes lorsque la concentration en bore, ou la température de recuit, est modifiée.

Ces essais ont pour objectif de déterminer le meilleur compromis entre une forte dose de bore et un recuit à température élevée : favorisant f_{MAX} , en diminuant la résistance de base mais pénalisant f_T , en détériorant le temps de transit, dû à l'élargissement la base ; et une dose plus faible associée à un plus faible budget thermique : favorisant le temps de transit au détriment de la résistance de base.

Parmi les différents essais réalisés dans cette partie, deux paramètres de la base, représentés de façon schématique sur la Figure B.14, ont été modifiés. Il s'agit bien évidemment de la largeur du pic de bore, sujet de l'étude mais également de l'épaisseur de la couche tampon en silicium. L'objectif est en dépit de température de recuits différentes, de conserver des tensions de claquage du même ordre. Tous les autres paramètres de la base, comme la concentration et le placement du carbone, le profil de germanium, n'ont pas été modifiés entre les expérimentations.

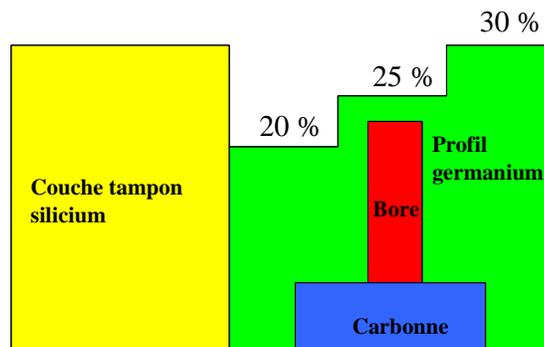


Figure B.14 Profil de la base intrinsèque du transistor bipolaire étudié

L'épaisseur totale des bases employées dans ces travaux est de l'ordre de la trentaine de nanomètres. L'épaisseur de la couche tampon en silicium est comprise entre 14 et 18 nm en fonction de la température de recuit et de l'espèce dopante de l'émetteur.

IV.2 Résultats

Sur le graphique ci-dessous, nous présentons les résultats pour des transistors dont l'émetteur est dopé à l'arsenic pour différents niveaux de dopages de bore et plusieurs

températures de recuit. Pour des raisons de simplicité, les doses de bore employées sont notées en relatif : B- / B+ / B++, de la plus faible à la plus élevée. La valeur de la résistance de base intrinsèque est un paramètre technologique permettant d'évaluer de façon directe et simple le niveau de dopage de la base. Celle-ci décroît, pour une température de recuit égale à 1040°C, de 2.8 kΩ/sq, pour la plus faible dose de bore, à 1.9 kΩ/sq, pour la dose la plus élevée. Dans le cas d'un recuit à 1080°C, la décroissance de la valeur de la résistance avec l'augmentation de la dose de bore est du même ordre de grandeur (0,8 kΩ/sq).

Recuit Spike (°C) & Dopage Bore	S1040 (B-)	S1040 (B+)	S1040 (B++)	S1080 (B-)	S1080 (B++)
R_{bi} (Ω/sq)	2,8	2,2	1,9	2,5	1,7

Tableau B.4 Valeur de la résistance de base intrinsèque en fonction de la température et de la dose de bore

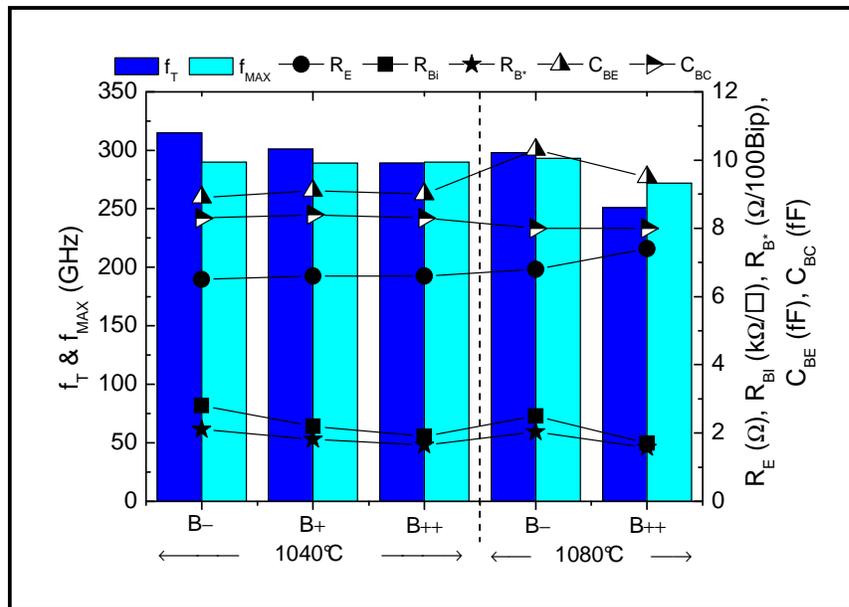


Figure B.15 Comparaison de plusieurs dopages de la base d'un TBH Si/SiGe : C, avec un émetteur arsenic pour deux températures de recuit

La diminution à température fixée de la dose de bore entraîne une amélioration de f_T pour les deux températures de recuit explorées.

Concernant la fréquence maximale d'oscillation, contrairement à nos prévisions, on ne constate aucune dégradation avec la diminution de la dose de bore, et ce malgré une augmentation de la résistance de base intrinsèque R_{Bi} . On remarque également que l'effet induit sur f_{MAX} par la variation de la dose de bore est fonction de la température de recuit. En effet, à 1040°C, malgré l'augmentation de la dose de bore, la valeur de f_{MAX} reste constante, alors que pour un recuit de 1080°C f_{MAX} augmente lorsque la dose de bore décroît. Le bénéfice attendu sur f_{MAX} avec l'augmentation de la dose de bore est contre balancé par la diminution de f_T , engendrée par l'augmentation du temps de transit dans la base.

En dépit d'une quelconque modification des paramètres de l'émetteur, on observe un comportement distinct de la résistance émetteur en fonction de la température de recuit. En effet, pour un recuit de 1040°C, cette résistance demeure constante, quel que soit la concentration en bore de la base du dispositif. Par contre à 1080°C la résistance de l'émetteur augmente légèrement, avec la dose de bore.

La valeur de la capacité base – collecteur, pour un recuit de 1040°C, ne varie pas avec l'augmentation de la dose de bore. A cette température, la diffusion du bore reste faible (Cf. Figure B.9) et la variation de dopages ne modifie pas suffisamment la répartition des charges pour jouer sur la valeur de C_{BE} et C_{BC} . Par contre dans le cas d'un recuit à une température supérieure, 1080°C dans le cas présent, la modification de la répartition de la dose de bore entraîne une variation de la valeur de C_{BE} . Il aurait alors été intuitif de s'attendre à une augmentation de la capacité base – émetteur avec l'augmentation de la dose de bore. Pourtant nous observons ici l'effet inverse. En effet, malgré une augmentation de la dose, et ceux pour un budget thermique déterminé, signifiant une diffusion équivalente, la capacité voit sa valeur décroître lorsque la dose de bore croît.

Si l'on compare maintenant à doses de bore égales deux températures de recuit, on observe des valeurs de C_{BE} supérieures dans le cas du recuit le plus chaud. Cela se justifie par le fait que la température devient suffisante pour modifier le profil de bore, diminuant ainsi la distance entre les dopants, l'arsenic de l'émetteur et le bore de la base.

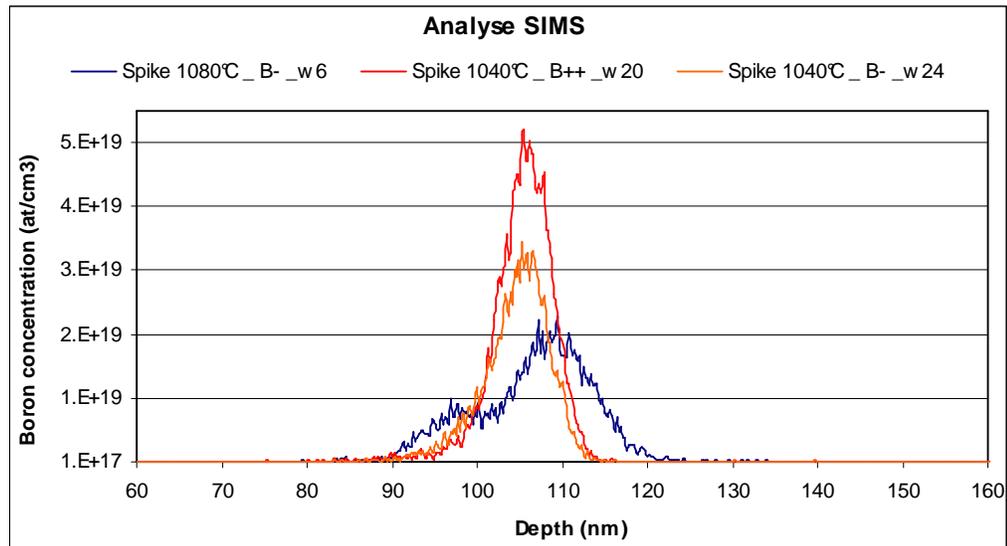


Figure B.16 Répartition des atomes de bore en fonction de la dose initial et de la température de recuit. Profil de concentration obtenue par Analyse SIMS

Sur le graphique de la Figure B.16, on peut observer les résultats d'analyses SIMS réalisées sur trois plaques d'un même lot, ayant été fabriquée avec des températures de recuit de 1040 ou 1080°C, pour deux niveaux de dopage différents de la base, en bore.

L'analyse SIMS des deux concentrations en bore, à la température de 1040°C, représentée sur la figure précédente, confirme la simulation présentée sur la Figure B.9, à

savoir que les profils restent bien distincts, la base la plus fine et la moins dopée, B- demeurent encadrées par la base B++, plus large initialement et d'avantage dopée. Si l'on compare maintenant le profil de bore de type B-, pour les deux températures de recuit, on observe des profils aux allures différentes. A 1080°C, l'élargissement du pic de bore est conséquent : 20 nm de large contre 10 nm à 1040°C, pour une largeur mesurée, après dépôt, de 4 nm dans les deux cas.

IV.3 Discussion

L'effet observé à 1040°C, c'est-à-dire l'invariabilité de f_{MAX} avec la diminution de la dose de bore et ceci malgré l'augmentation de la résistance R_{Bi} (censé provoquer une chute de f_{MAX}), peut être justifié par l'augmentation de f_T . En effet, dans ce cas l'augmentation de la résistance de base, et son impact néfaste et direct sur f_{MAX} , est compensée par l'augmentation de f_T , dû à la diminution du temps de transit dans la base.

L'augmentation de la capacité base - émetteur, entraînant la perte de performances observée sur f_T , bien plus importante à 1080°C qu'à 1040°C, se justifie par le rapprochement des espèces dopantes de type opposée (P ou N). En effet, comme on le constate sur l'analyses SIMS de la

Figure B.16, à 1080°C le pic de bore s'élargit nettement, rapprochant, pour des concentrations non négligeables ($\approx 8 \text{ E}19 \text{ at} / \text{cm}^3$) le bore et l'arsenic.

V. Epaisseur de la couche tampon en silicium de la base

V.1 Motivations et description des essais réalisés

La base intrinsèque du transistor est composée de deux parties principales, qui sont la partie SiGe (incluant le pic d'impureté dopante, de bore et celui de carbone) et la partie entièrement en silicium, appelé le *si-cap*, pour *silicon capping* (Cf. Figure B.14). Le *si-cap*, sujet de l'étude réalisée ici, permet d'ajuster la position de la jonction émetteur-base en jouant directement sur la distance entre les pics de dopants de l'émetteur et de la base. La couche de *si-cap* a un fort impact sur la jonction émetteur - base, donc sur les paramètres caractéristiques de cette jonction (BV_{EBO} , C_{BE} , R_E). De manière générale, un *si-cap* trop épais pénalisera le temps de transit dans la jonction émetteur - base. A contrario, dans le cas d'un *si-cap* trop fin, la base peut être percée par la diffusion des dopants de l'émetteur, et le dispositif se retrouve alors non fonctionnel.

Les essais réalisés ont pour objectif de mettre en évidence l'influence de l'épaisseur du *si-cap* ainsi que de trouver l'épaisseur optimale à employer en fonction de la température de recuit final et du dopage du collecteur.

V.2 Résultats

Sur la figure ci-dessous, sont représentés les résultats obtenus pour deux épaisseurs de *si-cap*, noté Si- et Si+, ainsi que pour deux valeurs d'implantation du SIC, noté SIC- et SIC+, cela pour une unique température de recuit, égale à 1080°C, ainsi qu'un émetteur dopé à l'arsenic.

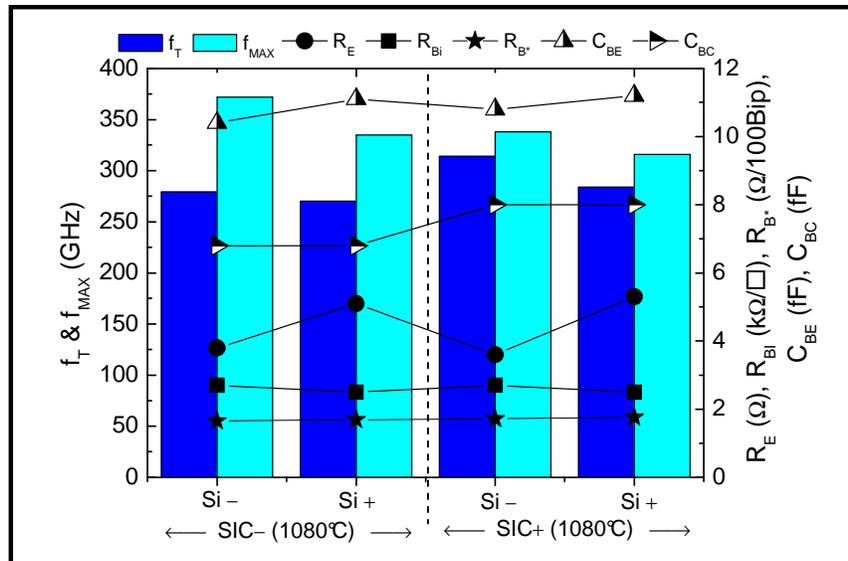


Figure B.17 Comparaison de plusieurs épaisseurs du Si cap, d'un TBH Si/SiGe : C, émetteur dopé arsenic pour 2 doses différentes du dopage collecteur, à une température de 1080°C

Les premiers résultats observables lors de la réduction de l'épaisseur de la couche tampon en silicium de la base sont une chute de la tension de claquage BV_{EBO} de 1,67 à 1,28 V, ainsi qu'une augmentation du gain en courant de ~ 1500 à ~ 2500 , et ce quel que soit le dopage du collecteur considéré. Lorsque l'on réduit l'épaisseur de la couche tampon en silicium, le niveau de dopage de la zone où se crée la jonction émetteur base augmente, ce qui augmente le gain en courant des transistors.

	S1080 (SIC+, Si+)	S1080 (SIC+, Si-)	S1080 (SIC-, Si+)	S1080 (SIC-, Si-)
BV_{EBO} (V)	1,67	1,28	1,67	1,28

Tableau B.5 Variation de la tension de claquage de la jonction émetteur – base en fonction du dopage du SIC et de l'épaisseur de *si-cap*

Avec l'amincissement du *si-cap*, on note également une légère augmentation de la valeur de la résistance de base pincée, de 2,5 à 2,7 k Ω /sq, la valeur de la résistance de base totale restant quant à elle inchangée. Dans le même temps, on constate que la résistance émetteur est diminuée de 30 % lors de l'amincissement de la couche tampon en silicium. La capacité - base-émetteur suit la même tendance que la résistance émetteur, et voit sa valeur décroître avec l'amincissement de la couche tampon en silicium. Toutefois, la variation observée pour C_{BE} est très faible, de l'ordre de 0,5 fF, pour un dopage SIC donné, est trop faible pour être caractéristique d'un phénomène remarquable et correspondent à l'ordre de grandeur de l'incertitude de la mesure.

La capacité base-collecteur est fonction du niveau de dopage du SIC, et non de l'épaisseur du *si-cap*. La valeur de C_{BC} plus élevée pour le dopage le plus important s'explique par la modification de la dose implantée, comme vue dans le paragraphe sur le dopage du collecteur (§ B).

Il est également important de souligner que la réduction du *si-cap* entraîne une diminution de la tension d'Early direct de ~ 240 à ~ 160 V. Toutefois, les valeurs obtenues ici, même dans le pire cas, reste nettement supérieures à la valeur critique de 50 V, pour que le dispositif soit intégré dans un circuit.

Concernant les performances hf, la réduction du *si-cap* est favorable en même temps à f_{MAX} et f_T . L'amplitude de l'amélioration des performances est quant à elle fonction du dopage SIC ainsi que du facteur de mérite pris pour référence. En effet, pour le dopage SIC le plus faible, l'amincissement du *si-cap* améliore nettement f_{MAX} alors que f_T est à peine augmenté. Si on considère maintenant le dopage SIC le plus élevé, lors de la réduction de l'épaisseur du *si-cap* on remarque un bénéfice supérieur sur la fréquence de transition par rapport à la fréquence maximale.

V.3 Discussion

L'augmentation de la résistance de base intrinsèque lorsque le *si-cap* est réduit résulte du pincement de la base intrinsèque par l'arsenic de l'émetteur. En effet, pour une température constante, donc une diffusion de bore et d'arsenic fixée, la diminution de la couche tampon en silicium de la base engendre un rapprochement des pics des dopants mais également une jonction émetteur – base à plus fort niveaux de dopages.

La différence de comportement observée sur les performances hf, en fonction du dopage collecteur, notamment les valeurs plus basse de f_T ainsi que l'augmentation plus marquée de la valeur de f_{MAX} , pour le SIC le moins dopé des deux, s'explique, comme pour le paragraphe B, par l'augmentation de la résistance collecteur, pénalisant directement f_T et la réduction de la capacité base – collecteur, favorisant f_{MAX} .

VI. Synthèse et perspectives

Figure B.18 résume les résultats obtenus pour les différentes études menées sur l'optimisation du profil vertical des transistors bipolaire SiGe. On met ainsi en évidence que pour un dessin de composant commun, en modifiant uniquement quelques procédés de fabrication mais sans changer les dimensions critiques du transistor, il est possible de présenter des couples f_T / f_{MAX} très variés. En effet, f_{MAX} varie de 215 à 370 GHz ($\Delta \sim 150$ GHz), f_T de 250 à 340 GHz ($\Delta \sim 90$ GHz)

Les meilleurs résultats, au regard de F_{MAX} ($f_{MAX} = 370$ GHz, $f_T = 280$ GHz), sont atteints avec un émetteur dopé arsenic, un niveau de dopage modéré de la base et du collecteur, un *si-cap* fin et un recuit final élevé.

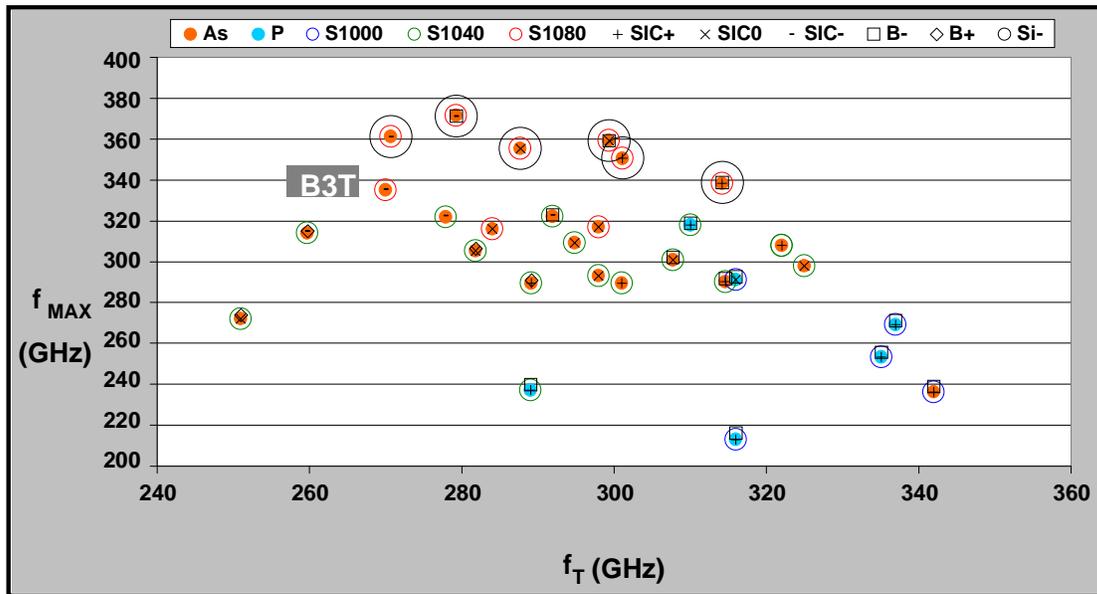


Figure B.18 f_{MAX} vs. f_T d'un TBH Si/SiGe : C (0,12 x 4,9 μm^2) pour tous les essais réalisés

A la vue de ces résultats et dans l'objectif d'augmenter d'avantage les performances fréquentielles, il apparait tentant d'amincir d'avantage le *si-cap*.

Cependant, comme il est montré sur la Figure B.19, l'amincissement du *si-cap* afin d'améliorer les performances fréquentielles, est limité par l'augmentation du courant tunnel bande à bande, indicateur d'un champ électrique à la jonction émetteur-base très fort.

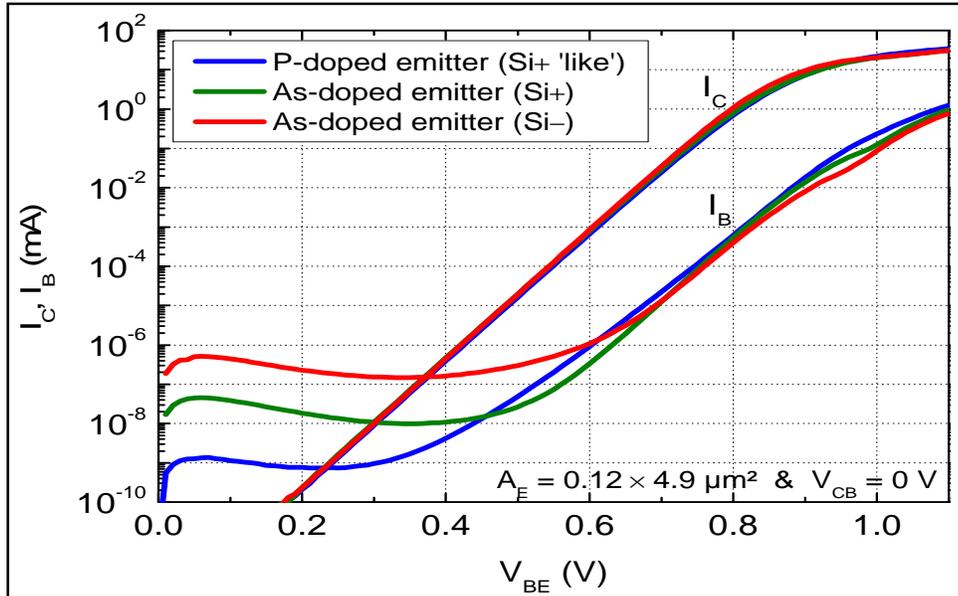


Figure B.19 Comparaison de courbes de Gummel pour des TBH Si/SiGe:C dont l'émetteur est dopé As ou P

La Figure B.19 met, de plus, en évidence l'intérêt d'un émetteur phosphore. En effet, pour des performances HF comparables, la jonction moins abrupte en présence de phosphore que d'arsenic (cf. Figure B.10) permet de réduire le champ électrique de la jonction et donc d'augmenter la zone où le courant de base, I_B , suit un comportement idéal. On constate également une augmentation du gain, qui s'accompagne d'une chute de la tension de claquage BV_{CEO} , visible sur la Figure B.20.

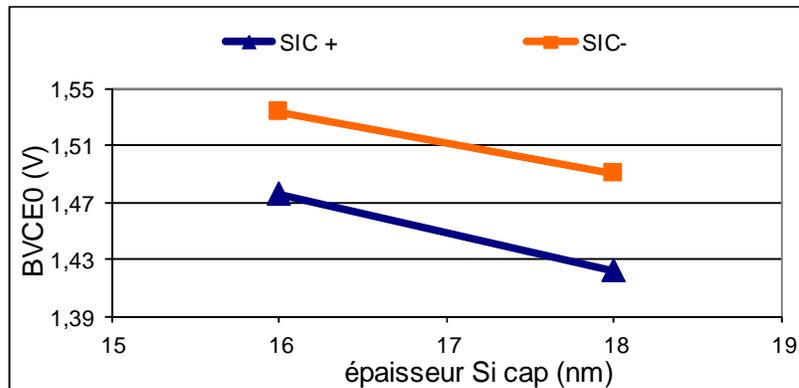


Figure B.20 Evolution de la tension de claquage BV_{CEO} en fonction de l'épaisseur du Si cap pour deux doses d'implantation du SIC

Un autre point, qui pourrait permettre l'amélioration de f_{MAX} et qui de plus ne semble pas poser de difficulté technique au niveau du procédé, est l'augmentation de la température de recuit final. En effet, lorsque le recuit passe de 1000 à 1080 °C, la fréquence maximale

augmente de 80 GHz pour atteindre la valeur de 325 GHz. Cependant, dans le même temps, la fréquence de transition chute de 60 GHz (350 → 290 GHz). En conséquence, bien qu'il apparaisse favorable pour f_{MAX} d'augmenter le budget thermique au-delà de 1080°C, la dégradation de f_T engendrée par l'élargissement de la base (augmentation de temps de transit dans la base) est alors très pénalisante. Si f_T est excessivement diminué il sera alors impossible de continuer à augmenter f_{MAX} , de plus pour le bon fonctionnement des circuits utilisant ces composants il est préférable pour ne pas pénaliser le niveau de bruit de conserver une valeur minimale de f_T .

En dépit de l'objectif principal, qui vise à augmenter les performances fréquentielles des transistors, il faut prendre en considération le contexte, qui cible à moyen terme l'introduction des composants élaborés dans un nœud technologique CMOS plus avancé, comme le 65 ou 55 nm, par exemple. C'est pourquoi il est important de prendre en considération le plus tôt possible les conditions de fabrication adaptées à ces nœuds avancés afin d'y adapter les étapes de fabrication spécifiques aux transistors bipolaires. Or à chaque nouveau nœud technologique, les dimensions critiques des composants sont diminuées, ce qui induit une réduction du budget thermique pour pallier les phénomènes de diffusion. En effet, les nœuds avancés, déjà développés pour les composants de types MOS, utilisent des budgets thermiques plus faibles et le recuit final est toujours inférieur à 1080°C. Par exemple, les technologies utilisant le nœud 55 nm effectuent leurs recuits finals autour de 1050°C alors que les technologies du nœud 0,13 µm utilisent un recuit proche des 1100°C.

Comme il est détaillé dans le paragraphe B de ce chapitre, portant sur le choix de la dose implantée dans le collecteur sélectif, une autre façon d'améliorer la valeur de f_{MAX} est de modifier la dose du SIC ou plus exactement de la diminuer. Nous avons en effet remarqué que la valeur de la fréquence maximale d'oscillation augmente, pour une température de recuit donnée, lorsque la dose du SIC est diminuée. Cependant, ceci n'est pas vérifié pour toutes les gammes de variation de dose d'arsenic implantées. Si la dose utilisée, en gardant les mêmes conditions pour les autres étapes de fabrication, est inférieure à celle correspondante à la notation SIC-, alors la valeur de la fréquence maximale n'augmente plus de manière significative et, dans le même temps la fréquence de transition chute. Pour illustrer ce résultat, on peut comparer les performances du transistor bipolaire « moyenne tension », avec celles du composant dit rapide.

$$\text{SIC - : } f_T = 270 \text{ GHz} \ \& \ f_{MAX} = 360 \text{ GHz}, \ BV_{CEO} = 1,7 \text{ V}$$

$$\text{No SIC : } f_T = 155 \text{ GHz} \ \& \ f_{MAX} = 360 \text{ GHz}, \ BV_{CEO} = 2,2 \text{ V}$$

Ce composant possède la même architecture et a subit strictement les mêmes étapes de fabrication que les composants « hautes vitesses » décrits jusqu'ici, excepté l'implantation SIC qui est masquée dans le cas des TBH moyenne tension. On constate la non évolution de f_{MAX} ainsi que la chute de f_T . Celle-ci étant provoquée par l'augmentation de la résistance collecteur. Malgré une diminution de la valeur de la capacité base-collecteur, la fréquence maximale d'oscillation n'augmente pas à cause de la chute trop importante de f_T .

VII. Conclusions

Dans ce chapitre, nous venons de présenter les résultats obtenus (lors de divers essais) visant à optimiser les performances fréquentielles du composant, en fonction des procédés et recettes employées.

Ces expérimentations ont également permis de mieux observer les effets et les impacts de la modification de certains procédés sur les résultats électriques. Cette étude, à première vue relativement simple, puisque ne concernant la modification que d'une ou deux conditions de fabrication à chaque analyse, a permis de mettre en évidence les difficultés rencontrées lors de l'optimisation d'un transistor bipolaire à hétérojonctions. En effet, la course aux performances est une affaire de compromis et de conciliation. Nous avons pu mettre en évidence que lorsqu'un paramètre électrique est amélioré cela se fait au détriment d'un autre, ce qui impose de suivre la réaction et l'évolution de tous les paramètres de façon simultanée. Pour s'assurer de ne pas négliger des effets croisés (du second ordre) qui, à ce degré d'optimisation, sont de plus en plus conséquents.

Aux termes de ces expérimentations, pour les règles de dessin considérées, nous avons donc déterminé les conditions de fabrication permettant d'obtenir le meilleur f_{MAX} (un émetteur arsenic, un faible dopage du collecteur implanté, un pic de bore fin, une couche tampon en silicium de faible épaisseur et un recuit à 1080°C) possible tout en s'assurant que les valeurs de f_T et de la tension d'Early directe gardaient des valeurs acceptables.

Pour atteindre des fréquences maximales d'oscillation plus élevées, sans dégrader f_T , il est donc nécessaire d'orienter nos travaux sur un autre axe que celui de l'optimisation du profil vertical, en ajustant les procédés de fabrication.

Dans le prochain chapitre, nous allons nous focaliser sur l'optimisation de profil horizontal, c'est-à-dire sur les règles de dessin. Cette approche vise à réduire les éléments parasites intrinsèques et extrinsèques pour augmenter les performances fréquentielles du transistor.

C Réduction des dimensions latérales du composant

I. Introduction

Dans le chapitre précédent, nous nous sommes intéressés à l'impact du profil vertical du composant sur ses performances fréquentielles. Dans cette partie nous allons nous concentrer sur l'optimisation des dimensions horizontales du composant.

L'objectif d'une réduction des dimensions latérales du composant est, de manière générale, de réduire les différentes résistances et capacités.

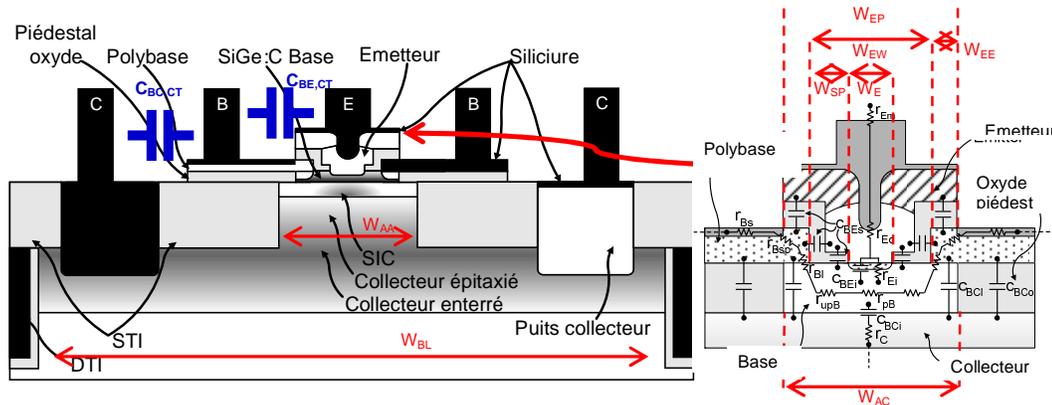


Figure C.1 Vue schématique en coupe de l'architecture des TBH étudiés avec la représentation des différentes capacités et résistances

En effet, réduire la taille des espaces W_{SP} , du poly émetteur W_{EP} ou encore de l'émetteur W_E va permettre de diminuer la résistance de base intrinsèque R_{Bi} et extrinsèque R_{Bx} mais également les capacités base – émetteur intrinsèque C_{BEi} et extrinsèque C_{BEs} . Toutefois, nous verrons que certaines règles de dessin ne présentent pas d'intérêt à être trop réduites. En effet, la résistance émetteur R_E est inversement proportionnelle à la largeur de l'émetteur et la réduction de la distance entre les contacts métalliques augmente les capacités inter-contact.

En premier lieu, nous exposerons les modifications de règles de dessin envisagées et leurs incidences sur le comportement du transistor bipolaire.

Nous allons également traiter des différentes opérations de la route de fabrication susceptibles d'influer et de modifier les dimensions latérales du composant. Les étapes de photolithographie qui permettent de définir les dimensions critiques (CD : *Critical Dimension*) en déterminant la taille des zones ouvertes ou masquées seront abordées. Bien que les lithographies déterminent principalement les dimensions des dessins et motifs reproduits sur le silicium, nous verrons que ceci n'est pas toujours le cas. En effet, certaines dimensions critiques, comme la largeur effective de l'émetteur ne sont pas

directement régies par une lithographie mais par une étape de désoxydation, qui précède le dépôt de l'émetteur.

Nous aborderons également la réduction des dimensions du collecteur sélectivement implanté au travers de différentes solutions d'intégration.

II. Dessin des composants

Avant de pouvoir débiter la fabrication sur silicium de transistors, il est nécessaire au préalable de déterminer toutes les dimensions des divers niveaux de masque et de coder les dimensions du composant en fonction des règles de dessin. Les règles de dessin qui sont répertoriées dans un DRM (*Design Rules Manual*) sont déterminées pour une technologie et sont définies par niveau de masque. Il y est défini la longueur minimal et maximale qu'il est possible d'attribuer à chaque motif, la distance minimale entre deux motifs pleins, entre deux lignes, etc. De plus il existe des règles attribuées à la gestion des superpositions de niveaux distincts, par exemple pour forcer l'inclusion du motif de la fenêtre émetteur dans la zone d'active, ou encore celui du puits collecteur dans la zone active du collecteur. Ainsi, si on définit les dimensions d'un composant en respectant ces consignes, il sera complètement compatible avec les outils et méthodes de fabrication employés pour la technologie auquel il appartient.

II.1 Des règles de dessin aux masques

Après avoir pris connaissance en détail des règles de dessins de la technologie à laquelle appartient notre composant, nous avons dû identifier celles qui apparaissent comme critiques ou les plus contraignantes, afin de s'assurer de n'en transgresser aucune.

De même, avant de leur attribuer des valeurs, il est important d'exprimer toutes les dimensions du transistor bipolaire en fonction de dimensions définies comme élémentaires. Par exemple, dans le cas de ces travaux, la largeur de la fenêtre émetteur ainsi que la valeur de la superposition entre le niveau « Emwin » et « PolyEm » sont des règles primaires, qui définissent, à elle deux, la largeur du poly émetteur ($W_{\text{polyem}} = W_{\text{emwin}} + 2 \times W_{\text{superposition}}$).

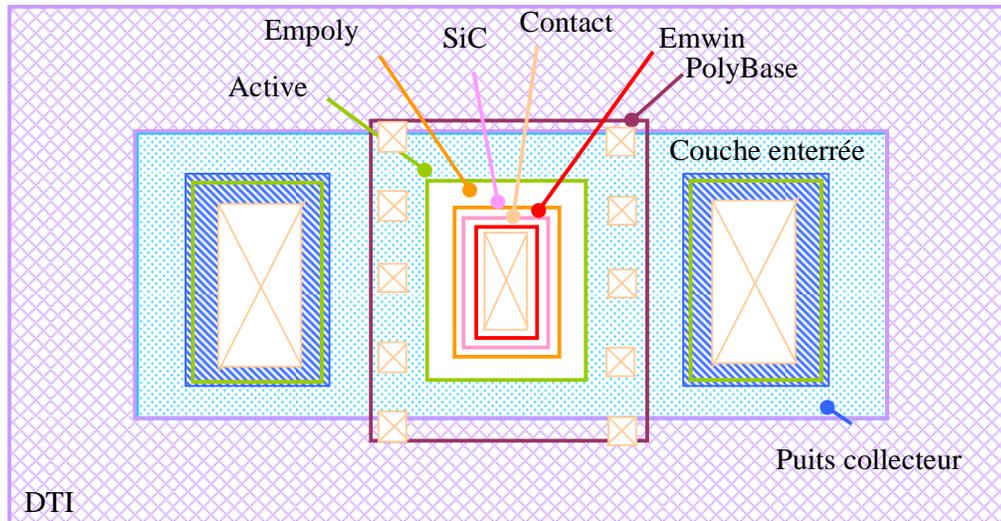


Figure C.2 Représentation schématique des différents niveaux de masques nécessaires à la réalisation des TBH de cette étude

Une fois les règles de dessin du composant principal établies (celui dont les dimensions sont dites nominales), un panel de variations diverses (environ une cinquantaine de composants), en fonction des études souhaitées, est réalisé. Pour faciliter la reproduction de motifs ayant à quelques exceptions près quasiment toutes les dimensions de communes, mais également pour s'affranchir d'une quelconque erreur de frappe lors du dessin des transistors, une cellule paramétrique est réalisée. Couramment nommée Pcell (*Parametric Cell*), cet outil permet, à partir de données d'entrée qui sont les dimensions primaires du composant, de générer le dessin du composant dans son intégralité. De plus, la cellule paramétrique applique une vérification systématique, à chaque nouvelle valeur d'entrée, afin de ne pas accepter de valeur d'entrée générant une dimension ne répondant pas aux règles de dessin de la technologie.

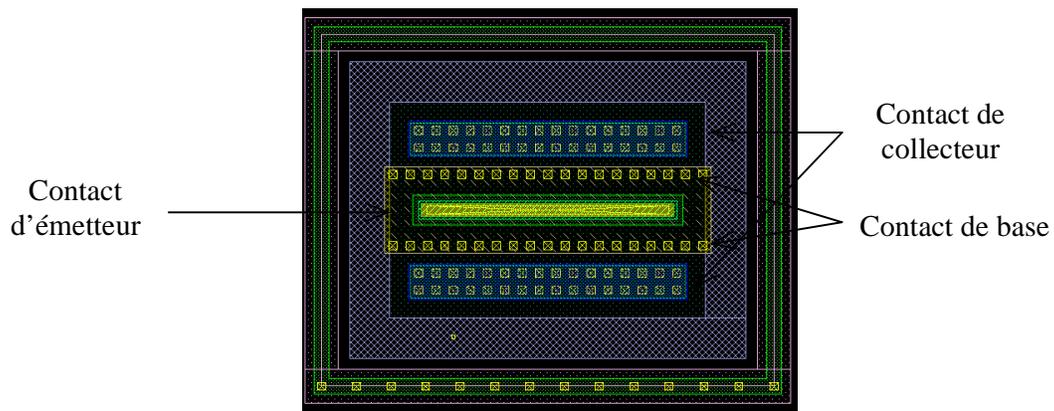


Figure C.3 Dessin d'un transistor bipolaire de type B3T, jusqu'aux contacts

II.2 Modification des règles de dessin

Après avoir abordé le cheminement nécessaire entre la naissance d'une volonté, du besoin d'un transistor et la disponibilité des masques nécessaires à sa réalisation, nous allons maintenant voir plus en détail les modifications apportées au dessin du transistor bipolaire lors de l'introduction d'un nouveau jeu de masque, comprenant désormais deux niveaux de lithographies employant des scanners 193 nm.

II.2.a. Puits collecteur

Le contact collecteur est réalisé en dehors de la zone active de la partie intrinsèque du composant. Une implantation de type N est réalisée sous la zone des contacts, afin de lier la couche enterrée à la zone active du collecteur en « surface » du silicium par une région fortement dopée.

L'emploi de nouveaux équipements de lithographie pour les niveaux de masques critiques, nous autorise la réduction de certaines dimensions dans la partie intrinsèque du transistor. Dans le cas du masque de l'implantation du puits collecteur, les dimensions du motif définies sur le masque ne sont ni au minimum des dimensions autorisées par les règles de dessin, ni proches des dimensions critiques minimales réalisables par les équipements utilisés pour la lithographie de ce niveau.

Nous avons donc dessiné des composants dont la fenêtre d'implantation du puits collecteur, mais également la zone active du collecteur, ont été réduites afin d'en étudier l'influence sur la résistance du collecteur. La réduction de largeur du puits collecteur envisagée, de l'ordre de la moitié de la valeur initiale ($W_{\text{puits coll}} = 0,64 \mu\text{m} \rightarrow 0,30 \mu\text{m}$), permet de réduire la surface totale utilisée sur le silicium par le composant. Lors de la réduction de la fenêtre émetteur de 0,25 à 0,23 μm , uniquement 20 nm sont gagnés sur la largeur du composant, tandis qu'avec une réduction de 340 nm par puits collecteur, c'est en réalité 680 nm qu'il faut retrancher de la largeur totale du transistor. Réduire les dimensions totales des composants permet une réduction de la surface total du collecteur et donc de la capacité collecteur – substrat. On peut également intégrer sur une puce de même surface des circuits mettant en œuvre d'avantage de transistors. Un inconvénient découlant de la réduction des dimensions externes du composant est l'augmentation du phénomène d'auto-échauffement. En effet l'isolation par tranchée profonde (visible en violet sur la Figure C.4) limite la dissipation thermique.

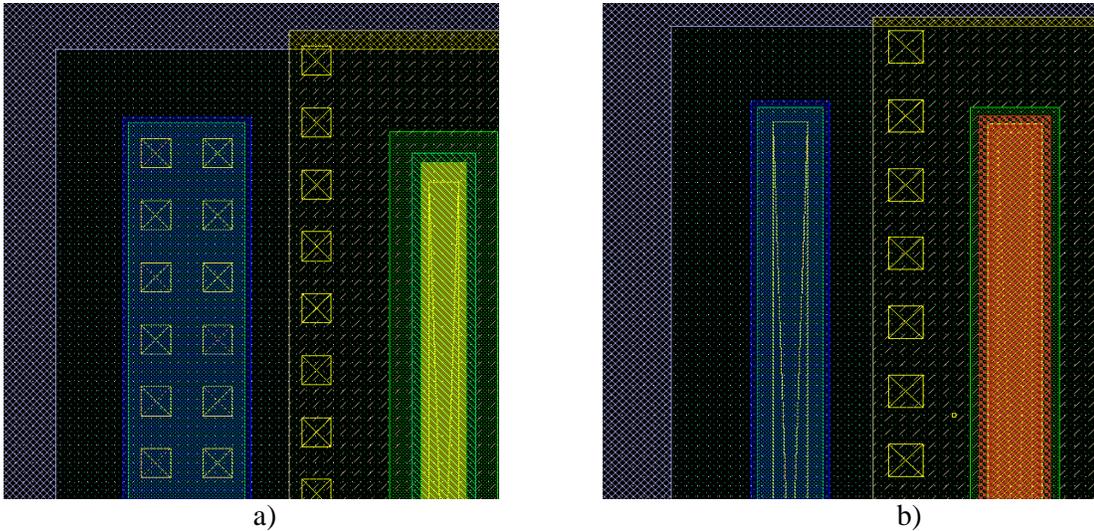


Figure C.4 Vue de dessin de transistor bipolaire sans les niveaux métalliques ni les via, excepté les contacts. a) Collecteur large et contact en matrice. b) Collecteur fin et contact de type ruban

Sur le même jeu de masque, nous avons dessiné deux structures ayant exactement les mêmes règles de dessin à l'exception de la largeur du collecteur et de l'active du puits collecteur afin de pouvoir décorrélérer de tout autre facteur, l'impact du changement de cette règle de dessin.

Une fois ces composants réalisés sur silicium, nous avons pu comparer les comportements de chacun d'eux. Tracer les caractéristiques I_C-V_{CE} est une façon, relativement simple, mais efficace, qui permet de comparer le comportement électrique de transistors.

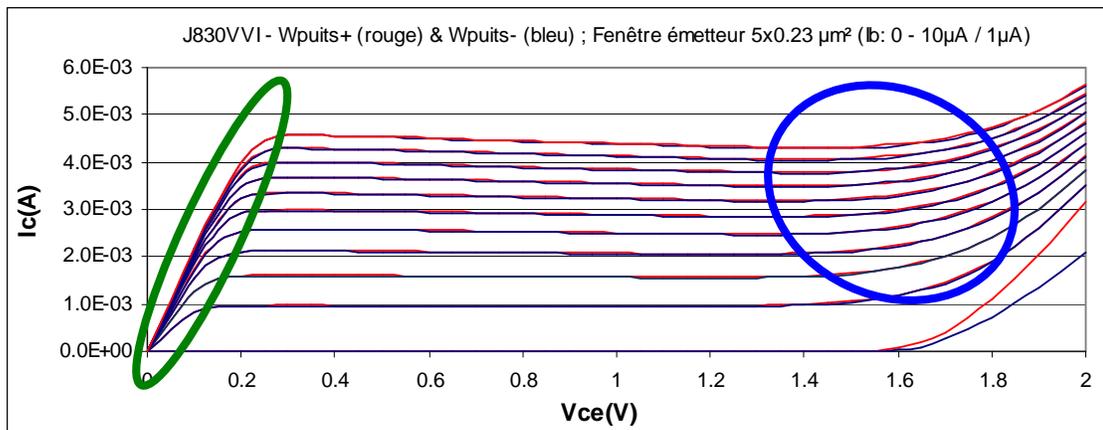


Figure C.5 Caractéristique $I_C=f(V_{CE})$ de TBH avec puits collecteurs large et fin

En effet, la pente correspondant au régime linéaire du transistor est directement dépendante de l'inverse du terme $(R_E + R_C)$. Les émetteurs sont identiques pour les deux courbes présentées, donc la valeur de R_E également. La résistance totale du collecteur,

englobant la résistance du puits collecteur, de la couche enterrée ainsi que du SIC, n'est donc pas affectée par la réduction des dimensions du puits collecteur. On peut également remarquer pour une tension V_{ce} plus élevée que l'auto-échauffement reste négligeable dans les deux configurations.

Ce type de collecteur plus étroit est donc utilisé dans la suite de cette étude.

II.2.b. Fenêtre émetteur

Sur les masques précédents, la structure la plus petite avait une largeur de 200 nm pour une longueur de 0,6 μm . Les diverses variations de règles de dessin embarquées sur le nouveau masque présentent des composants de largeur de fenêtre émetteur comprise en 250 et 150 nm, pour des longueurs variant de 0,4 μm à 15 μm .

Les nouveaux dessins de transistor envisagés sont possibles grâce à la modification de l'étape de fabrication définissant ce niveau. En plus de la possibilité de dessiner de nouvelles structures, certains niveaux de masques, dont le niveau *Emwin*, ont été commandés dans une version plus performante. Le niveau *Emwin* est maintenant réalisé avec une photolithographie utilisant un équipement de type scanner 193 nm plus performant que les équipements précédemment utilisés (scanner 248 nm). Ce point fait l'objet de la partie suivante de ce chapitre.

II.2.c. Contact et premier niveaux métalliques

Nous allons aborder ici les modifications des règles de dessin concernant les contacts métalliques ainsi que les premiers niveaux de connexions métalliques.

Les règles de dessin des contacts de la technologie à laquelle appartiennent nos composants sont précisément définies. Leurs dimensions, quel que soit le type de niveau inférieur sont figées. Ici, dans les règles de dessin, il est noté que la règle W_{CT} , qui définit la longueur des contacts mais aussi leur largeur, est fixée à 160 nm. Des règles supplémentaires définissent la distance minimale entre deux contacts en fonction de leur organisation (colonnes alignées ou décalées).

Lors de la définition de nouvelles règles de dessin, cherchant à diminuer les dimensions latérales du composant, il nous a fallu examiner les règles de dessin qui nous imposent des restrictions. Nous sommes alors remontés jusqu'au deuxième niveau des connexions métalliques pour trouver les règles qui nous limitaient. En effet, la distance minimale entre deux lignes métalliques, ajoutée à la largeur minimale d'une ligne, nous impose une distance minimale entre les deux contacts positionnés sur le polybase et l'émetteur.

La distance entre le contact ruban de l'émetteur et la ligne de contact plot de la base a donc été fixée au minima autorisé, c'est-à-dire 0,345 μm contre une longueur précédemment fixée à 0,550 μm .

Dans le même temps, la règle de dessin correspondant à la distance entre les contacts du collecteur et ceux de la base, a également été réduite au minima autorisé, soit une réduction de 0,035 μm .

L'organisation des contacts du collecteur, jusqu'à présent organisés en matrice de deux rangées, a également été modifiée. En effet, compte tenu de la nouvelle largeur du collecteur (0,30 μm), il n'est plus possible d'y positionner deux rangées de contacts ($0,16 \times 2 + 0,18 = 2 \times W_{\text{CT}} + \text{Dist}_{\text{CT}} > W_{\text{Collecteur}}$). Les contacts du collecteur véhiculant un courant important, il nous est primordial de ne pas diminuer la surface totale de contact et cela malgré la diminution de la surface des collecteurs. La double rangée de contacts de type plot a donc été remplacée par un contact de type ruban de surface équivalente à la totalité des plots. La Figure C.6 permet de visualiser les modifications effectuées. Une règle de dessin de la technologie a donc été violée. Cependant, compte tenu de l'aspect recherche ainsi que du fait que ce type de contact est techniquement réalisable (lithographie, gravure, dépôt) et de plus déjà employé pour le contact de l'émetteur de la technologie B9MW, cet écart aux règles de dessin a été toléré.

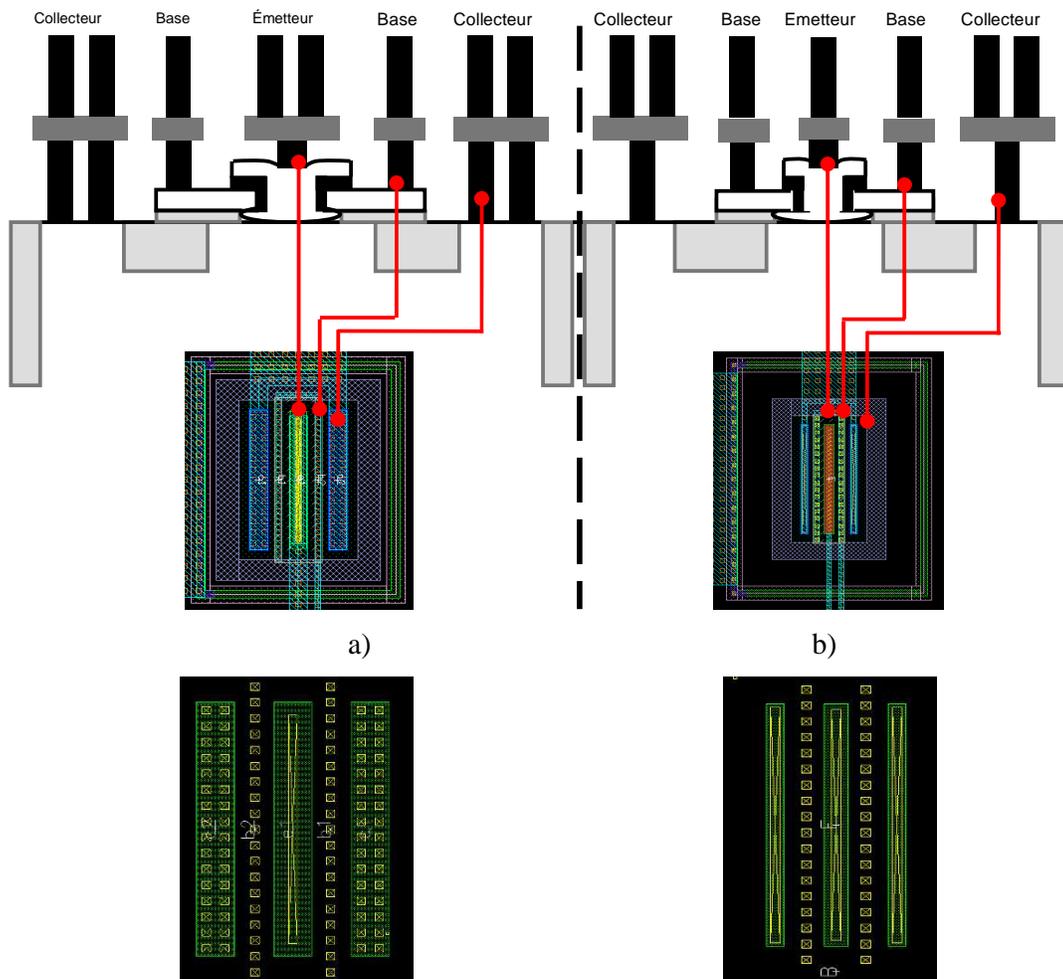


Figure C.6 Vue de dessus d'un dessin de transistor bipolaire représentant le niveau active et le niveau contact. a) double rangée de contact en matrice sur le collecteur. b) contact en ruban sur le collecteur

La réduction des dimensions totales du composant présente les avantages déjà présentés dans la partie précédente sur le puits collecteur. Cependant il faut ajouter aux inconvénients l'augmentation des capacités entre via et lignes métalliques. En effet, compte tenu des forts courants circulant dans le collecteur et des fréquences de fonctionnement des TBH étudiés ces capacités parasites ne sont pas à négliger et feront l'objet d'une étude spécifique dans le dernier chapitre de ce manuscrit.

II.3 Nœud technologique avancé : de nouvelles possibilités pour les règles de dessin

L'idée du lancement d'un composant bipolaire intégré dans un nœud technologique CMOS avancé, c'est-à-dire de petite largeur de grille (< 90 nm), avait été émise bien avant le début de ces travaux. Dans le même temps l'intégration d'un transistor bipolaire dans une unité de fabrication produisant des puces et circuits sur des plaques de 300 mm serait avant-coureur puisqu'aucune technologie BiCMOS n'est actuellement commercialisée en 300 mm

Cependant, en dépit des nouvelles possibilités qui pouvaient alors apparaître, tant sur le plan technique que sur celui des règles de dessins et compte tenu des progrès encore envisageables dans les conditions actuelles de fabrication, notamment sur la lithographie, ce projet ne fut débuté que tardivement.

Aujourd'hui le sujet est revenu d'actualité, notamment suite à la formulation d'intérêts de la part de partenaires et de clients.

Il a été choisi d'intégrer le transistor bipolaire dans le nœud technologique 55 nm, qui est la technologie « *shrink* » ou réduite, de la technologie 65 nm.

Une partie non négligeable de ces travaux a été consacrée à la participation au lancement de ce projet. Toutefois, en raison du nombre de tâches devant être accomplies et des ressources attribuées, il n'est pas envisageable d'obtenir des résultats électriques, ou même morphologique, avant la fin de cette thèse.

Dans le cadre de l'insertion d'un composant dans une technologie existante, il est nécessaire de définir de nouvelles règles de dessin et d'introduire les niveaux de masque spécifiques au TBH dans le manuel des règles de dessin. Il est également nécessaire de mettre en place une route de production adaptée et de créer les nouvelles étapes de fabrication indispensables.

Dans cette partie, comme dans la précédente, il est toujours question de règles de dessin ainsi que de réduction des dimensions latérales du transistor bipolaire. Cependant, nous allons constater que les réductions envisageables dans le cas de l'insertion d'un TBH dans un nœud CMOS 55nm sont bien plus conséquentes que précédemment et que les limites de largeur minimale autorisée sont bien plus petites.

II.3.a. Des équipements plus performants

Lors de la définition de nouveaux niveaux de masque, il a été choisi, pour la majorité des niveaux, de conserver le même niveau de criticité par niveau qu'en 200 mm. Par conséquent, deux niveaux spécifiques (Emwin & Empo) ont été commandés pour des équipements de lithographie utilisant un laser de 193 nm de longueur d'onde et les autres pour des équipements de type 248 nm. Pour des raisons de capacité d'alignement meilleure avec un équipement 193 nm le niveau de masque SIC est également commandé en version 193 nm.

Le type d'équipement que nous allons utiliser dans l'unité de fabrication 300 mm, appelée Crolles 2, utilise des lasers de même longueur d'onde que ceux déjà utilisés sur Crolles 1 en 200mm. Cependant, si les performances sur le plan des dimensions critiques sont assez proches, la génération des équipements n'est pas la même et les erreurs d'alignement ne sont pas du même ordre. Dans l'unité de fabrication 200 mm, avec l'utilisation de lithographie 193 nm, nous avons pu réduire la longueur minimale de la distance entre les niveaux poly émetteur et la fenêtre émetteur à une trentaine de nanomètres. Désormais, la distance du poly émetteur à la fenêtre émetteur pourra être réduite à une vingtaine de nanomètres tout en garantissant une sécurité suffisante pour en assurer un bonne reproductibilité.

II.3.b. Des règles moins contraignantes pour la métallisation

La distance entre les plots de contact de la base et ceux de l'émetteur, dans le cas de l'intégration du transistor bipolaire dans la technologie 0,13 μm en 200mm est un facteur limitant la réduction de la largeur du polybase. Lors de l'intégration d'un TBH dans un nœud CMOS avancé, le 55 nm dans notre cas, la règle portant sur le deuxième niveau métallique ne s'avère plus être une limitation. La règle la plus contraignante dans les niveaux métalliques concerne alors les contacts. Dans la technologie 55 nm, la distance minimale autorisée entre deux contacts est de 0,11 μm pour des contacts dont la largeur est égale à 0,09 μm de large. La distance minimale séparant le centre du contact de l'émetteur et celui de la base est alors réduite de 0,525 μm , pour la technologie 0,13 μm , à 0,200 μm , pour le 55 nm.

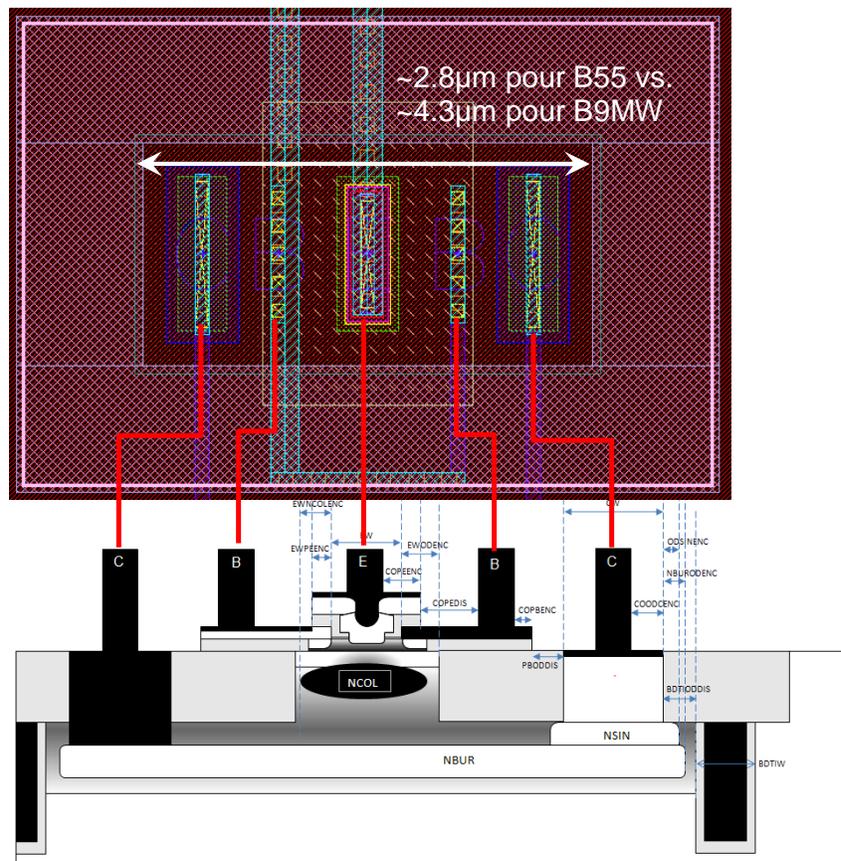


Figure C.7 Dessin d'un TBH de type CBEB en technologie 55 nm et vue schématique en coupe associée

La valeur de la distance minimale entre les contacts de base et d'émetteur, compte tenu de la réduction drastique envisageable, puisqu'il nous est désormais possible de diviser cette distance par deux, n'est cependant plus à voir comme une limite.

II.3.c. Dessin retenu et variation des règles de dessin envisagées

Pour le premier jeu de structures, nous avons choisi de fixer les règles de dessin du composant nominal assez proches de celles du composant type, fabriqué à la fin de ces travaux en 200 mm. Etant donné que ce type de composant n'est pas encore fabriqué dans la salle blanche 300 mm et du nombre d'étapes de fabrication qu'il est nécessaire de créer ou d'adapter, la solution de transposer ce qui est fait dans l'unité de fabrication 200 mm a été retenue. Cette approche, qui peut sembler quelque peu conservatrice à néanmoins l'intérêt de faire du « *step by step* » et ainsi d'assurer plus de garantie quant à l'obtention de premiers résultats électriques.

En effet, si l'on tient du compte du cadre industriel de ces travaux, il apparaît plus attractif d'effectuer dans un premier temps le transfert du composant bipolaire tel qu'il est,

avec ses avantages et défauts, mais cependant identifiés, plutôt que de développer un nouveau type de composant, sans avoir de point de repère ni sur le composant, ni sur la ligne de production.

Sur le premier jeu de masque nous avons placé divers dessins de composants afin d'étudier l'influence de certaines variations sur les performances du composant. Compte tenu des retards accumulés sur ce projet aucun résultat électrique n'est actuellement disponible.

III. Module émetteur – base

III.1 Photolithographie

Les étapes de lithographie, qui sont parmi les opérations les plus redondantes dans l'ensemble d'une route de production des puces et circuits en silicium, sont également parmi les plus délicates. En effet, lors d'une lithographie visant à reproduire les motifs présents sur un masque sur une plaque de silicium, il existe plusieurs paramètres cruciaux à examiner afin de pouvoir déterminer si l'opération s'est déroulée dans de bonnes conditions. Tout d'abord nous pouvons considérer la bonne reproduction de la taille des motifs du masque ainsi que la netteté des contours de ces motifs. Il est également primordial de pouvoir vérifier l'alignement d'un masque sur les masques des niveaux de lithographie antérieurs.

Les étapes de lithographie, quel que soit le type d'équipement employé, peuvent se décomposer en trois grandes parties : le couchage de la résine photosensible sur les plaques, l'exposition de la résine (couché sur silicium et recuite) par une source lumineuse monochromatique au travers d'un masque et pour finir, le développement de la résine ayant réagi pendant la phase d'exposition (et le recuit post exposition). Chacune des ces trois parties étant divisée en plusieurs sous étapes. Nous reviendrons uniquement sur la phase d'exposition, puisque c'est celle-ci qui définit principalement, avec la résine, les performances d'un équipement. En effet, la longueur d'onde de la source lumineuse employée détermine essentiellement la taille minimale des motifs réalisables, mais également la gamme de dimensions qui sera reproduite avec exactitude pour des conditions d'exposition fixées.

Il est tout de même important de préciser qu'afin de garantir une bonne uniformité des dimensions sur les plaques, il est primordial lors de l'étape de couchage de la résine que l'épaisseur de celle-ci soit la plus uniforme possible.

III.1.a. Définition de la fenêtre émetteur

L'architecture de transistor bipolaire adoptée dans cette étude (structure auto-alignée) présente de nombreux avantages explicités dans le paragraphe IV du premier chapitre. Cependant, toutes les dimensions capitales du composant dépendent alors de l'ouverture de la fenêtre émetteur. En effet, la dimension de l'ouverture faite dans la multicouche composée de l'oxyde piédestal, du polybase extrinsèque et de diélectriques influe sur la largeur de la base intrinsèque, de l'émetteur effectif, ainsi que sur la largeur de l'émetteur. C'est pourquoi il est impératif pour fabriquer des composants avec une bonne reproductibilité de minimiser tant que possible les variations de la lithographie employée pour cette opération.

III.1.a.i Situation initiale – lithographie 248 nm

Au début de ces travaux, toutes les étapes de lithographie spécifiques, y compris les lithographies permettant de déterminer les dimensions de la fenêtre émetteur et du poly-émetteur du transistor bipolaire, étaient réalisées avec des équipements de type *scanner* dont la longueur d'onde de la source monochromatique est de 248 nm.

Ces équipements ont des capacités d'alignement, nommé couramment OVL (*overlay*) entre niveaux de l'ordre de 70 - 80 nanomètres. Cette grandeur est donc le décalage qu'il est possible de constater entre deux lignes appartenant à deux niveaux de masques différents, initialement superposées sur le dessin. Le désalignement entre niveaux peut avoir lieu en translation ou rotation. Cette limite, fixée par les équipements utilisés, impose certaines restrictions lors de la constitution des règles de dessin des composants afin d'être assuré que même dans le cas le moins favorable les composants soient fonctionnels. De plus, la stratégie d'alignement est construite dans le but de minimiser le désalignement entre les différents niveaux. De manière générale, le premier masque est utilisé comme « cale » de référence pour aligner les masques suivants. Dans le même temps, l'alignement du masque de niveau N est contrôlé par rapport aux masques N-x qui n'ont pas servi lors de l'alignement. En fixant un masque de référence pour l'alignement, on évite d'engendrer un décalage des niveaux n sur le premier du type : $n \times \text{OVL}$. En ce qui concerne la fabrication des TBH de cette étude les niveaux antérieurs à l'active et l'active sont alignés sur un niveau « zéro » puis tous les masques ultérieurs au niveau active sont alignés par rapport à l'active. Toutefois dans le but d'optimiser l'alignement entre niveaux critiques l'alignement du niveau de masque Emwin ne prend pas comme référence l'active mais le niveau Emwin. Tous les niveaux des interconnexions métalliques sont quant à eux alignés sur le niveau contact, lui-même aligné sur le niveau active.

Comme déjà dit précédemment, l'autre paramètre critique d'une étape de lithographie est la dimension de chaque motif, qui doit être retranscrit sur le silicium avec la plus grande exactitude possible. Or, sur le masque *EmWin* (*emitter windows*) (qui définit les dimensions des fenêtres émetteur) sont présents des motifs ayant des rapports longueur / largeur très différents, variant de 1,6 à 60. La longueur des fenêtres émetteurs des

transistors bipolaires est en effet comprise entre 0,6 et 15 μm pour des largeurs de 0,25 et 0,23 μm .

Les transistors bipolaires de la technologie B9MW, point de départ de cette étude, ont une fenêtre émetteur de 0,27 μm de large pour des longueurs comprises entre 0,8 et 15 μm . Dans cette gamme de variation de géométrie, les résultats obtenus sont tout à fait satisfaisants et tous les types de TBH sont fabriqués avec les bonnes dimensions.

Dans ces travaux, les premiers transistors de référence, offrant des performances fréquentielles supérieures à 300 GHz pour la fréquence maximale ($f_{\text{MAX}}/f_{\text{T}}$: 340 / 260 GHz) [Geynet08], puis la deuxième génération, présentant un couple $f_{\text{MAX}}/f_{\text{T}}$: 423 / 273 GHz ont successivement vu la largeur de leur fenêtre émetteur se réduire. De 0,27 μm , celle-ci est dans un premier temps passée à 0,25 μm pour ensuite être réduite à 0,23 μm . Dans le même temps, ayant pour objectif de proposer des transistors les plus petits possible, la longueur minimale a été réduite à 0,4 μm . Compte tenu des modifications de géométrie effectuées, il est apparu nécessaire de modifier les conditions de la lithographie en question.

Pour optimiser les performances du transistor de référence, de largeur W 0,23 μm , pour de longueur comprise entre 0,4 et 15 μm , nous avons réalisé une FEM (*Focus Energy Matrix*). Ceci permet d'explorer, en n'utilisant qu'une seule plaque, différentes conditions d'exposition afin de déterminer le meilleur arrangement focus – énergie, en insolant chaque champ de la plaque avec une condition différente comme on peut le voir sur la Figure C.8.

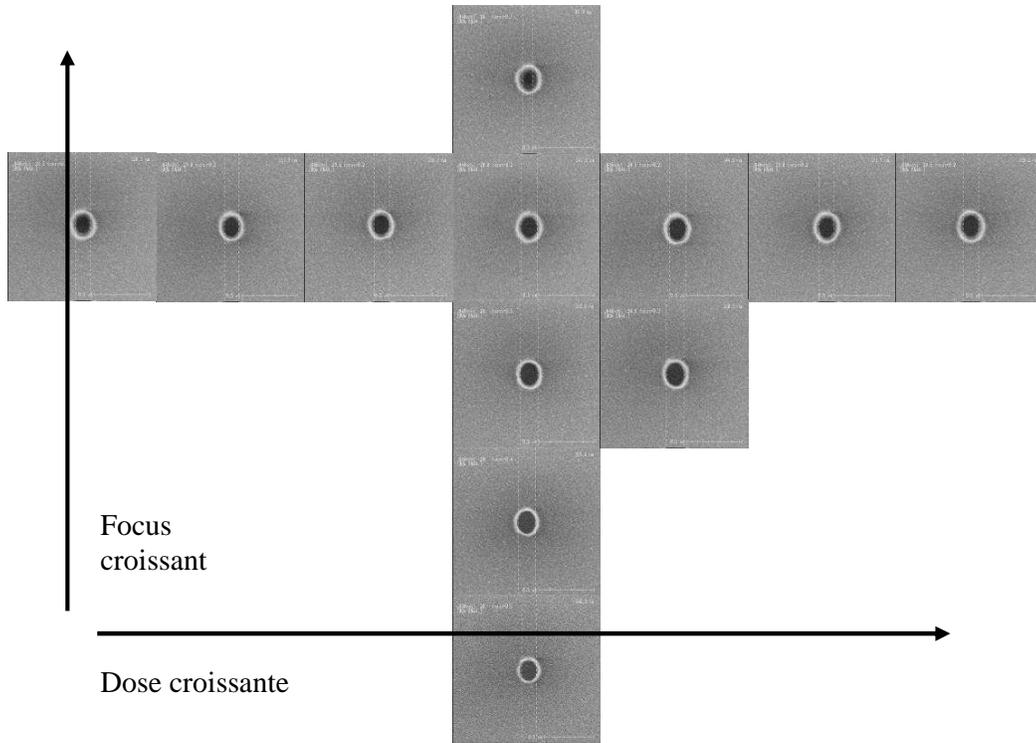


Figure C.8 Observation au MEB d'un TBH après lithographie de la fenêtre émetteur. Dimensions du composant dessiné sur masque : $0,4 \mu\text{m} \times 230 \text{ nm}$.

A partir des mesures faites en différents champs de la plaque, on peut tracer des courbes de Bossung pour pouvoir déterminer la condition d'insolation la plus favorable. Ces courbes représentent soit pour une dose donnée la variation de CD en fonction du focus, soit pour un focus donné la variation de CD en fonction de la dose. Il est nécessaire de choisir une condition pour laquelle le CD correspond à la valeur cible mais il faut également que les variations de CD autour de cette dose soient faibles. Dans le cas présent, la valeur de CD visée pour la fenêtre émetteur est de 230 nm après gravure. Afin de compenser une sur-gravure des flancs le CD visé après la lithographie est de $215 \text{ nm} \pm 10 \text{ nm}$. Comme on peut l'observer sur la Figure C.9 pour la gamme de dose explorée le focus permettant d'obtenir le bon CD est $-0,3 \mu\text{m}$. De plus, on peut vérifier sur la Figure C.10 que pour un focus de $-0,3 \mu\text{m}$ la variation de CD est très peu remarquable lorsque la dose varie. On peut ainsi être assuré d'une bonne stabilité du procédé en cas de faible dérive de la dose.

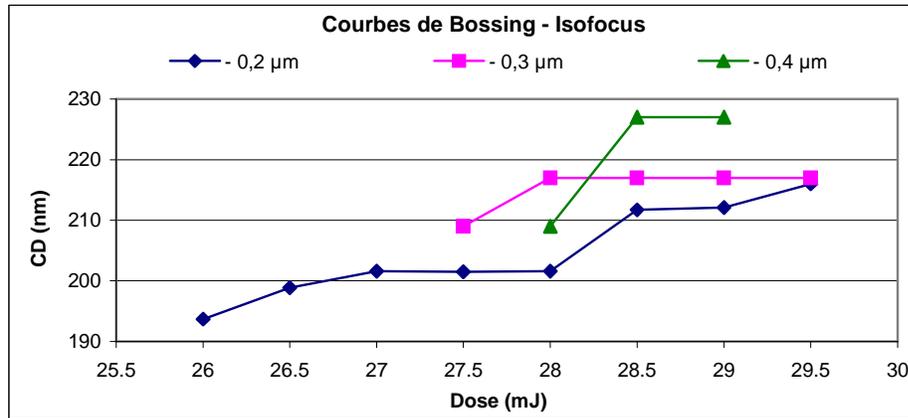


Figure C.9 Courbes de Bossung isofocus après lithographie de la fenêtre émetteur pour un TBH de dimension $0,8 \mu\text{m} \times 230 \text{ nm}$.

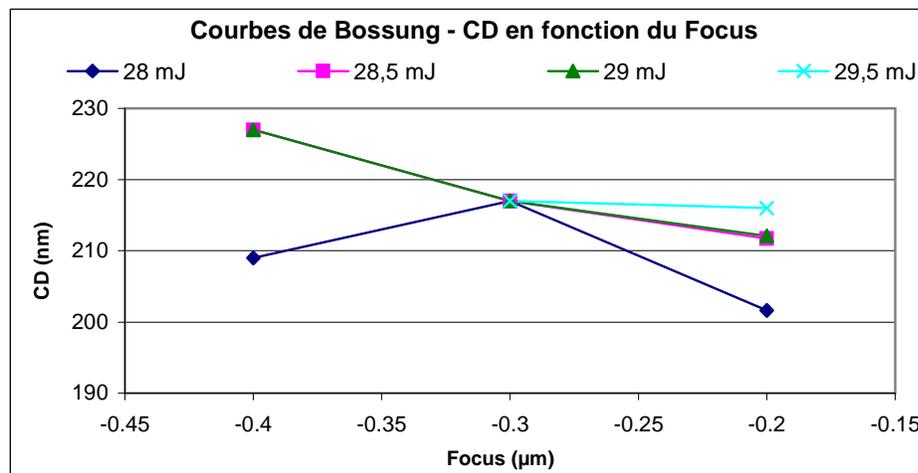


Figure C.10 Courbes de Bossung après lithographie de la fenêtre émetteur pour un TBH de dimension $0,8 \mu\text{m} \times 230 \text{ nm}$.

Une fois la condition optimale déterminée pour une géométrie de composant, nous nous sommes intéressés aux TBH de divers longueurs pour une largeur de fenêtre émetteur donnés. Sur le graphique de la Figure C.11 on peut observer pour des transistors de longueurs comprises entre 0,8 et 15 nm les variations de CD de la fenêtre émetteur. Le CD visé est toujours de l'ordre de 215 nm. On remarque alors que le focus présentant les variations de CD les moins dispersées, en fonction de la variation de dose mais également de la variation de longueur du transistor, est le focus égal à $-0,3 \mu\text{m}$.

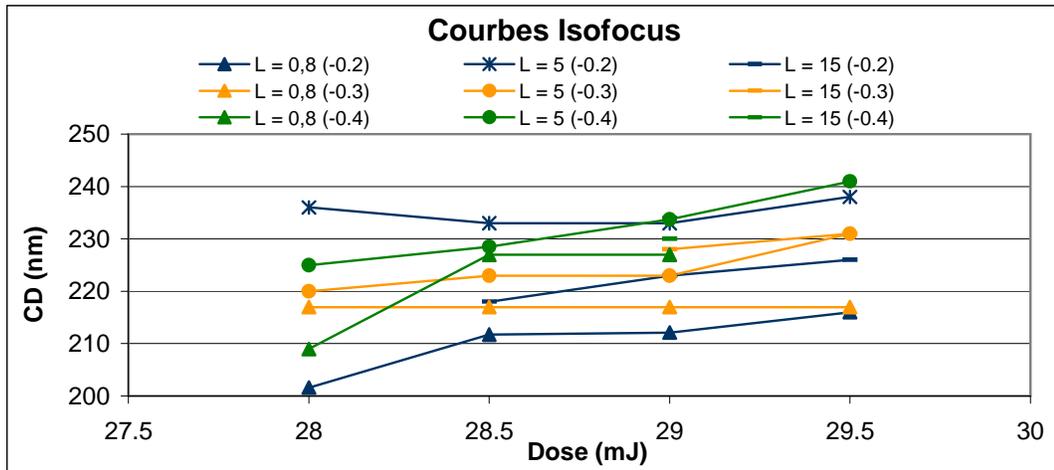


Figure C.11 Courbes isofocus de plusieurs TBH de longueurs différentes pour une largeur de fenêtre émetteur égale à 230 nm

Ces derniers résultats confortant le choix de la condition faite pour un seul type de composant, le reste du lot fut alors traité à cette étape avec une dose de 29 mJ et un focus de $-0,3 \mu\text{m}$.

Cette plaque FEM, une fois la route de fabrication parcourue dans son intégralité, a été mesurée sur le banc de mesure HF afin de vérifier, par les biais de mesures du couple f_T / f_{MAX} , que la condition process choisie était bien la plus favorable.

Sur les deux figures ci-dessous, il est possible d'observer les résultats de ces mesures haute fréquence. Les valeurs de f_T et f_{MAX} sont représentées pour chaque champ de la plaque. A première vue, il apparaît que les conditions d'insolation et donc la taille de la fenêtre émetteur permettant d'obtenir les meilleurs f_T et f_{MAX} se situe dans les mêmes zones de la plaque. Il s'avère même dans le cas présent, que la condition optimale pour les deux figures de mérite se trouve être la même. On remarque de plus que la puce qui présente le couple f_T / f_{MAX} le plus élevé se trouve être dans le champ de la plaque ayant reçu une insolation correspondant à une dose de 29 mJ couplée à un focus de $-0,3 \mu\text{m}$.

Cette condition process, couple focus – énergie, est donc désormais prise comme nouvelle condition de référence pour le passage des prochains lots.

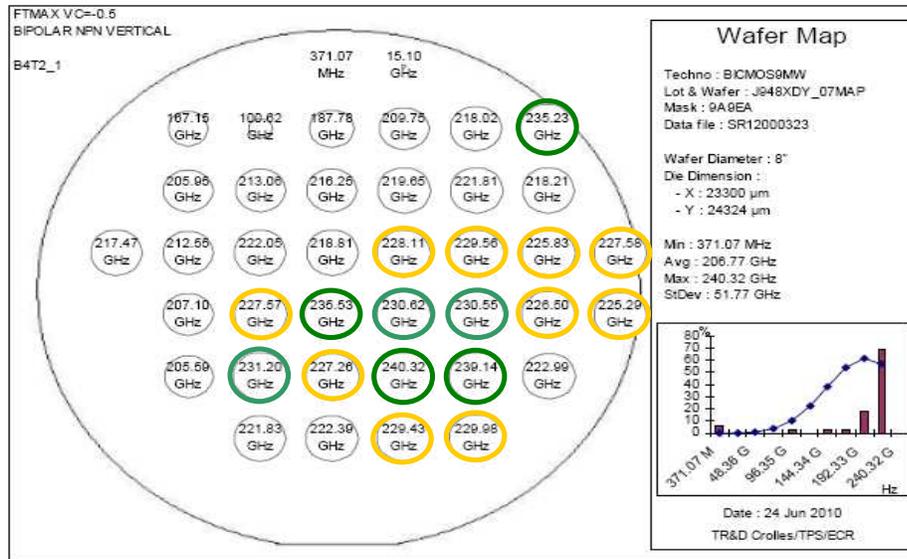


Figure C.12 Mesure sur tous les sites de F_T d'une plaquette dont chaque champ a reçu une condition d'exposition particulière : dose 28 mJ, focus $-0.2 \mu\text{m}$ au centre avec un pas de 0,5 mJ et de 0,1 μm .

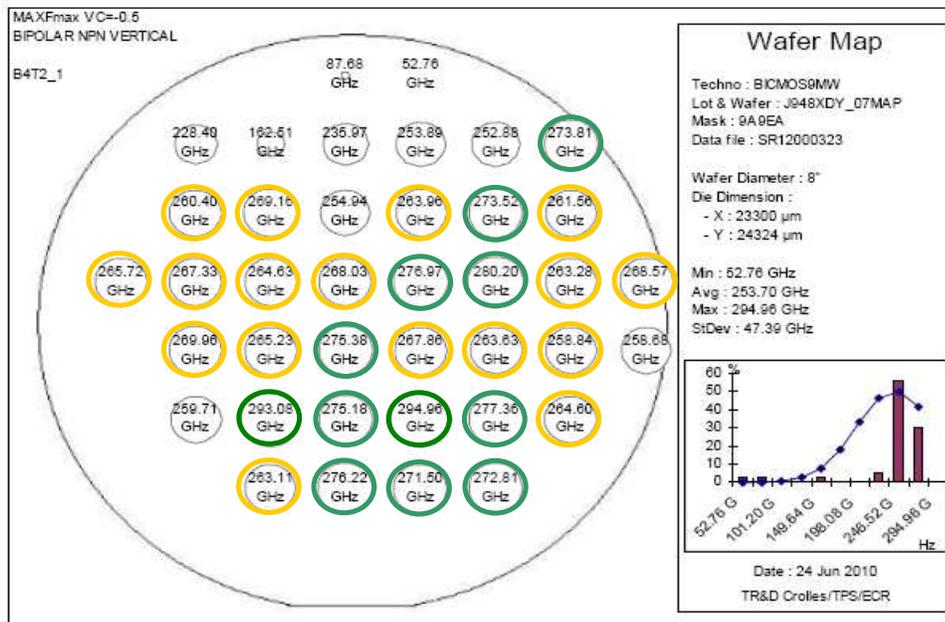


Figure C.13 Mesure sur tous les sites de F_{MAX} d'une plaquette dont chaque champ a reçu une condition d'exposition particulière: dose 28 mJ, focus $-0.2 \mu\text{m}$ au centre avec un pas de 0,5 mJ et de 0,1 μm .

Sur la Figure C.11 on peut également noter que quelle que soit la dose ou le focus considéré les CD mesurés sur les petits transistors sont toujours plus faibles que ceux mesurés sur des transistors longs. Afin de vérifier la largeur de la fenêtre émetteur en fonction de la longueur des composants nous avons effectué des observations pendant la fabrication des plaques sur plusieurs transistors.

La Figure C.14 montre deux photos, réalisées au Microscope Electronique à Balayage (MEB), après la gravure de la fenêtre émetteur de deux transistors, ayant sur le dessin du masque une fenêtre émetteur de la même largeur et différant uniquement par leur longueur. Sur les photos, on observe qu'une fois reproduit sur le silicium ces deux transistors ont des largeurs bien différentes. En effet, pour le transistor le plus long, la taille réelle de la fenêtre est inférieure de $0,01\ \mu\text{m}$ à celle définie sur le masque, tandis que pour le transistor le plus court le décalage est alors de $0,08\ \mu\text{m}$.

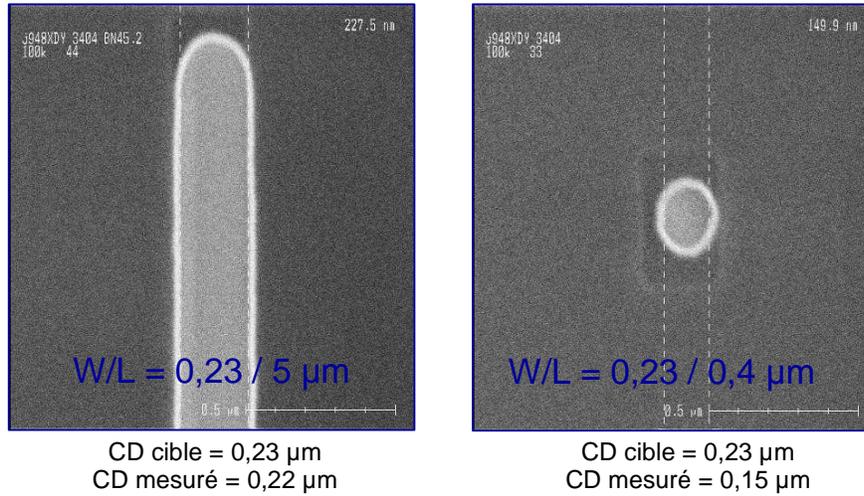


Figure C.14 Observation au microscope électronique de deux transistors, après ouverture de la fenêtre émetteur

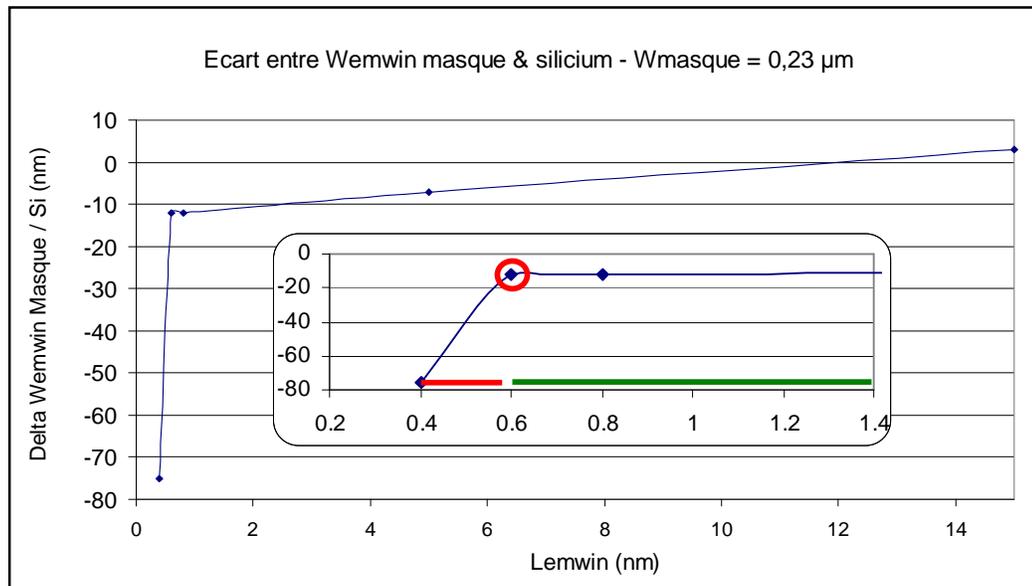


Figure C.15 Variation des dimensions critiques de la fenêtre émetteur, après gravure de la fenêtre, en fonction de la longueur du transistor, pour une largeur sur masque de $0,23 \mu\text{m}$, pour la condition de lithographie optimale

Sur le graphique de la Figure C.15 on peut voir nettement l'évolution de l'écart, entre la largeur de la fenêtre sur le masque et celle reproduite sur le silicium, en fonction de la longueur du transistor. A partir des observations, on peut mettre en évidence la limite de longueur acceptable qui permet de conserver une largeur stable du transistor. Ici, avec une largeur fixée à $0,23 \mu\text{m}$ la longueur minimale est alors de $0,6 \mu\text{m}$. En dessous de cette valeur, la fenêtre se réduit de façon importante et le transistor ne suit alors plus les prédictions faites par les simulations et les modèles.

Afin de corriger la déviation observée pour les transistors courts il faudrait augmenter la dose, c'est à dire l'énergie reçue par la résine lors de l'insolation, mais cela élargirait de façon conséquente les transistors plus longs. Par conséquent, le problème ne s'en trouverait que décalé.

Une solution, connue et vérifiée, pour les technologies CMOS, serait d'appliquer une correction de type OPC (*Optical Proximity Correction*), afin de compenser les différences de taille des composants. Ce type de correction intervient sur le dessin des motifs, directement sur le masque. La géométrie des motifs est modifiée de telle sorte à prendre en compte les phénomènes de diffraction qui apparaissent lorsque la taille des motifs à reproduire sur le silicium est du même ordre de grandeur que la longueur d'onde du laser employé pour la lithographie. Cette méthode de correction des contours des formes sur le masque prend également en considération les effets induits par la proximité des différents motifs, de façon latérale comme verticale.

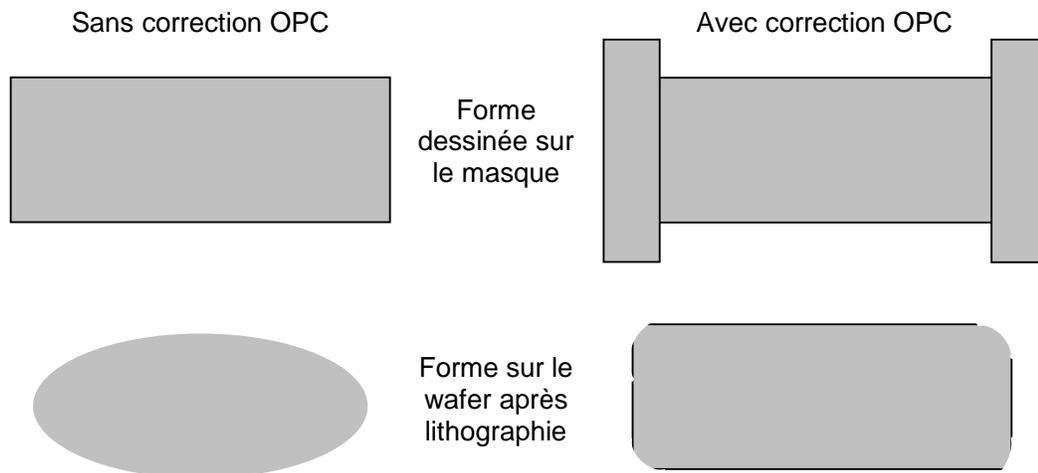


Figure C.16 Représentation schématique de la correction de type « hammer head » (tête de marteau)

Le type de correction illustré sur la Figure C.16 est une correction OPC usuellement nommé « hammer head » pour tête de marteau. Cette correction optique est très basique et ne prend pas en compte les effets induits entre les lignes d'un même niveau ou des niveaux voisins. Toutefois, elle permet de corriger les contours des motifs basiques à reproduire sur silicium et atténue ainsi le grignotage visible des angles dans le cas d'une lithographie sans OPC.

Cependant, apporter une correction OPC sur les masques critiques nécessite des actions et traitements supplémentaires dans les différentes étapes qui mènent à l'obtention des masques physiques à partir du cahier des charges des structures sur papier. Il est en effet nécessaire de dessiner des structures spécifiques, puis à partir de mesures en ligne développer un modèle de correction. Cette opération doit ensuite être répétée afin que le modèle soit en ligne avec les mesures sur silicium. Compte tenu des développements nécessaires et du fait que cette solution n'apporte un plus uniquement sur le contrôle CD et en aucune façon sur l'alignement cette solution n'a pas été retenue.

III.1.a.ii Lithographie 193 nm

Le changement choisi pour être à même d'offrir d'avantage de géométries de transistor fut l'utilisation d'équipement de lithographie plus avancés. Un scanner 193 nm, comme son nom l'indique, est une source lumineuse de longueur d'onde 193 nm, ce qui permet de ne plus être limité par la longueur d'onde et de repousser ainsi les limites des motifs réalisables. Ce type d'équipement offre également une variabilité moins importante, qu'il s'agisse des dimensions critiques comme de l'overlay.

Une fois cette solution choisie et le masque approprié à l'équipement disponible, l'étape de lithographie de la fenêtre émetteur a dû être redéveloppée. En effet, le transfert

en 193 nm implique des changements de la condition d'exposition, les résines photosensibles utilisées étant dépendantes de la longueur d'onde de la source lumineuse.

Plusieurs FEM, avec des pas de variation de la dose de plus en plus réduits, ont été effectués afin de rechercher la condition d'exposition la plus stable par rapport aux variations des paramètres d'insolation mais permettant également « d'ouvrir » le plus grand nombre de structure de formes différentes, avec des dimensions les plus proches possibles de celles visées.

Afin de déterminer la condition de lithographie la plus adaptée aux CD et la plus stable nous avons tracé des courbes de Bossung pour deux composants de longueur 5 μm et de largeurs respectives 210 et 230 nm.

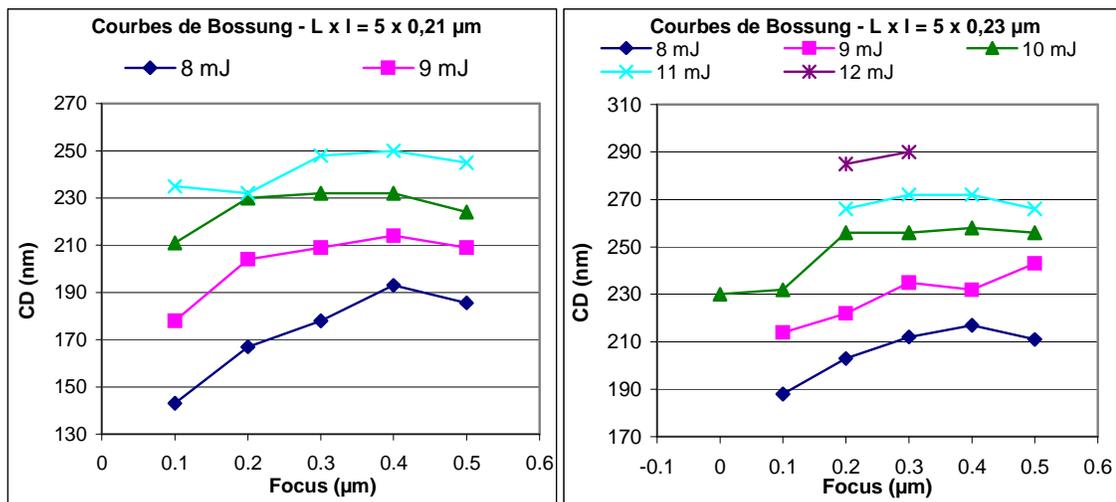


Figure C.17 Courbes de Bossung après photo Emwin réalisée en lithographie 193 nm pour deux géométries de composant

On remarque que les doses présentant le moins de variation de CD avec une modification du focus sont 8, 9 et 10 mJ. Cependant, compte tenu des CD souhaités la dose de 9 mJ semble tout à fait adaptée. Si l'on regarde maintenant la courbe isofocus, représentée sur la Figure C.18, on constate que toutes les courbes montrent une dépendance du CD en fonction de la dose. Pour une dose de 9 mJ, le seul focus présentant des CD légèrement inférieures à la cible, afin de compenser la perte prévue lors de la gravure de la fenêtre émetteur, est le focus égal à 0,2 μm .

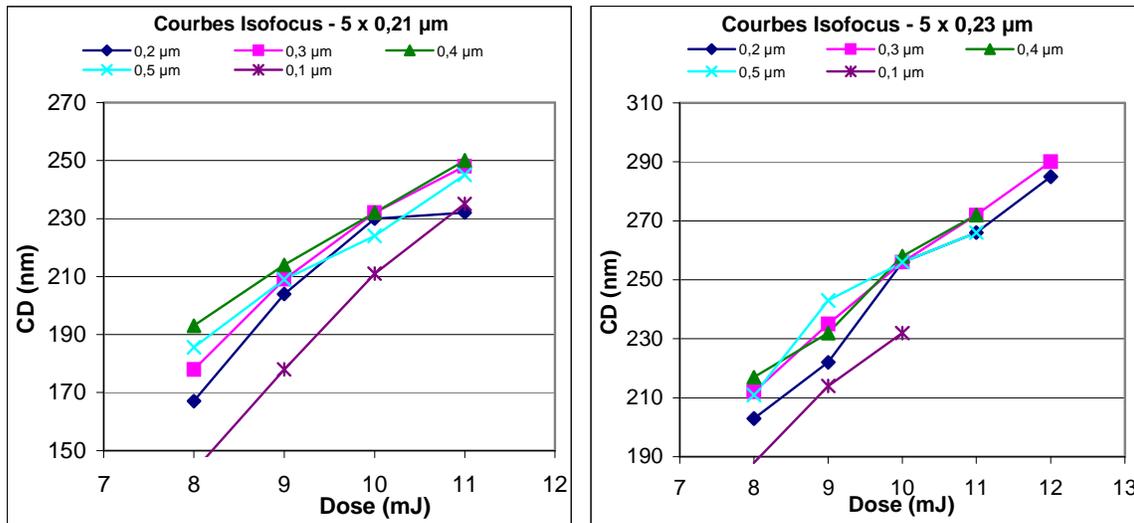


Figure C.18 Courbes Isofocus après photo Emwin processor en 193 nm pour deux géométries de composant

Sur la Figure C.19, on peut voir des observations réalisées au microscope électronique sur différents transistors, après l'étape de lithographie. Ici sont observés des dispositifs ayant une longueur de 0,4 μm et 5 μm pour des largeurs de dessin sur masque de 0,23 et 0,21 μm. On remarque à la vue de ces observations que ces quatre transistors ont des CD très proches de la valeur visée dans chaque cas et ce malgré la différence des rapports longueur / largeur.

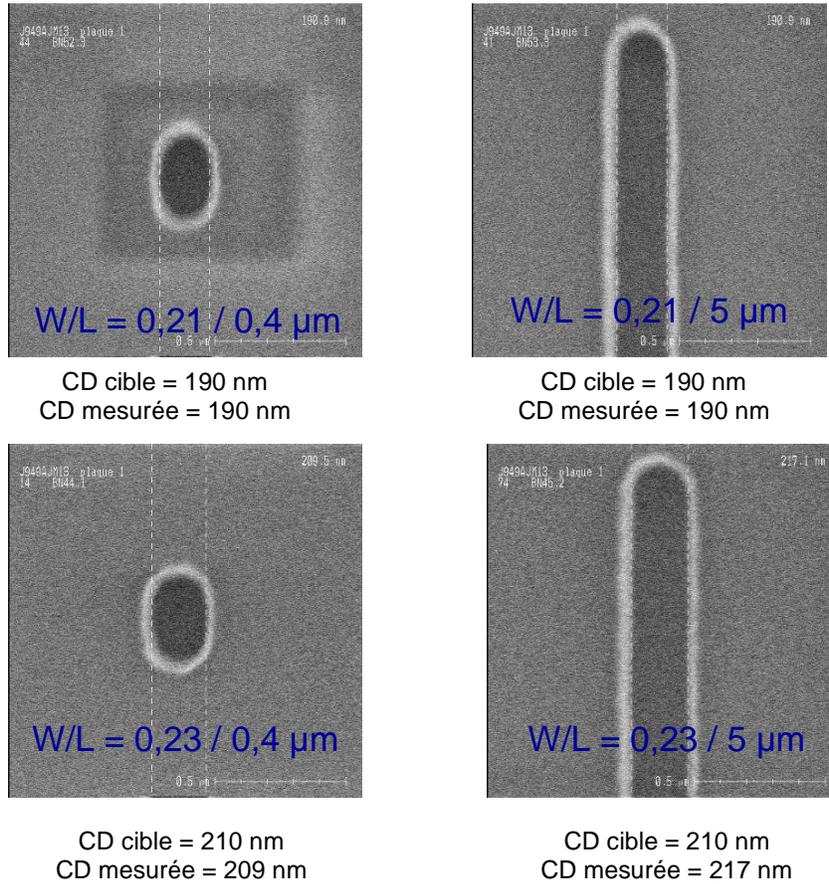


Figure C.19 Observation au microscope électronique de quatre transistors, après ouverture de la fenêtre émetteur

Si l'on fait la comparaison entre les observations de la Figure C.14 et de la Figure C.19, l'amélioration apportée par la lithographie 193 nm est remarquable. En effet, les transistors longs ($L \geq 5\mu\text{m}$) et courts ($L \leq 0,6\mu\text{m}$) sont reproduits avec les bonnes largeurs de fenêtre émetteur.

III.1.b. Mise en forme du Poly émetteur

Le niveau de lithographie intervenant dans la route de fabrication juste après le niveau de la fenêtre émetteur est le niveau qui permet de mettre en forme le poly émetteur après son dépôt pleine plaque.

III.1.b.i Intérêt d'une lithographie 193 nm pour le contrôle dimensionnel et d'alignement

L'alignement de ce masque doit être optimisé par rapport au masque de la fenêtre émetteur car c'est avec ce niveau qu'il est le plus délicat. En effet, une erreur d'alignement du niveau poly émetteur par rapport à la fenêtre émetteur peut provoquer des fuites entre le polybase et l'émetteur à cause d'une détérioration des espaceurs qui séparent le polybase de l'émetteur lors de la gravure de ce dernier.

Pour améliorer la résistance du polybase il est également important que la superposition du poly-émetteur sur le polybase soit la plus limitée possible, de telle sorte que la zone non siliciurée du polybase soit minimisée.

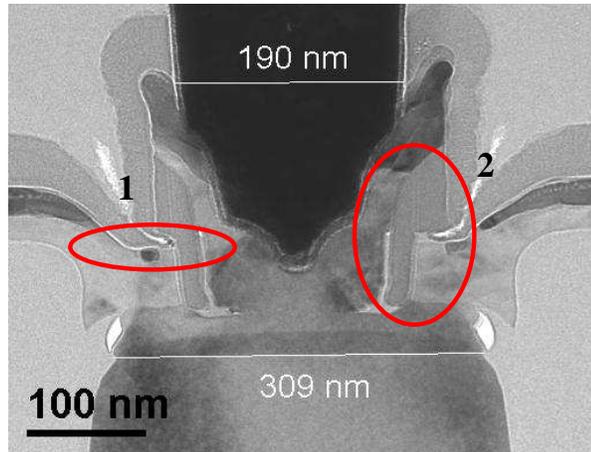


Figure C.20 Coupe TEM d'un transistor bipolaire. Mise en évidence du polybase non siliciurée (1) et des espaceurs entre émetteur et base (2)

C'est pour ces diverses raisons que ce niveau, tout comme le niveau de lithographie de la fenêtre émetteur, a également été transféré vers un procédé employant une lithographie 193 nm.

III.1.b.ii Mise en évidence de la capacité des équipements

Sur les deux graphiques ci-dessous sont représentées les valeurs du désalignement du niveau poly-émetteur mesuré par rapport au niveau Emwin. A chaque fois la mesure est réalisée en plusieurs points sur chaque plaquette de silicium sur des mires spécialement dédiées à cette inspection. Les résultats obtenus sur six lots, passés sur la chaîne de fabrication successivement, sont présentés afin d'apprécier la reproductibilité dans le temps de l'alignement.

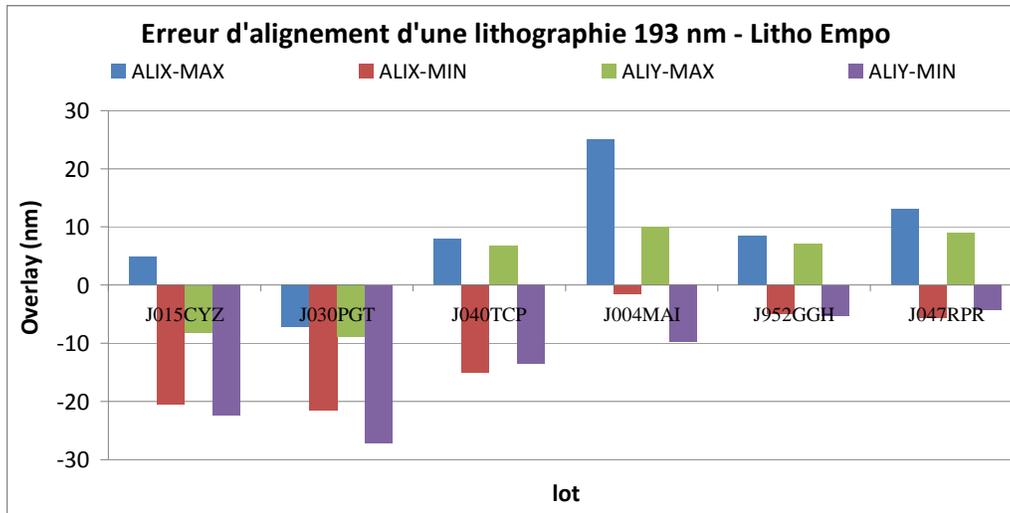


Figure C.21 Evolution de l'erreur d'alignement pour 6 lots fabriqués avec une lithographie 193 nm

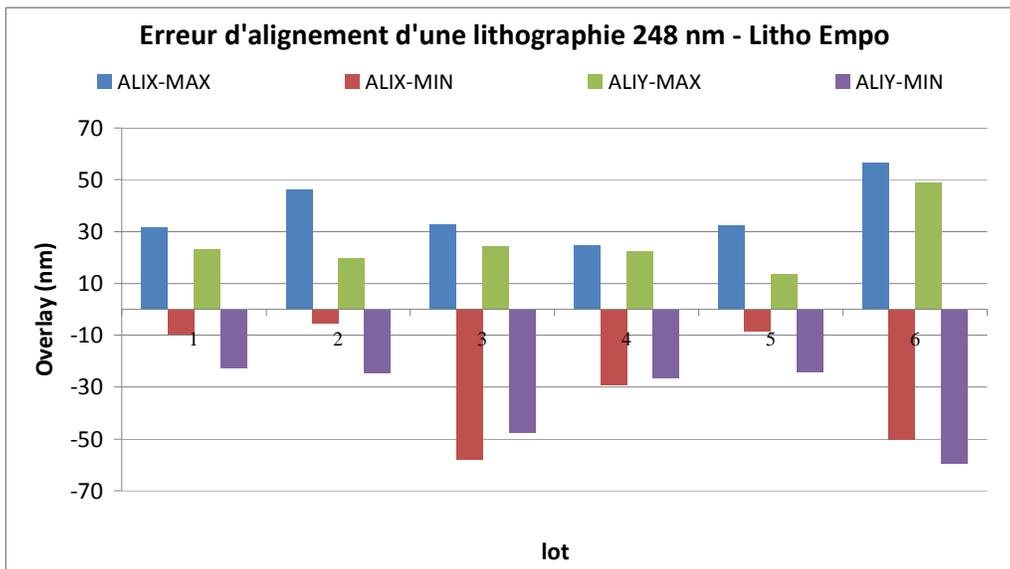


Figure C.22 Evolution de l'erreur d'alignement pour 6 lots fabriqués avec une lithographie 248 nm

Avec un procédé de fabrication en 193 nm aucun lot n'a de désalignement, sur l'axe des ordonnées comme sur l'axe des abscisses (x-y), supérieur à 30 nm. On peut même noter que sur 6 lots fabriqués, la moitié d'entre eux a un alignement meilleur que 20 nm. Par contre, pour les lots ayant été fabriqués avec des étapes de lithographie 248 nm, quatre sur six ont au moins un paramètre désaligné de plus de 30 nm et pour deux d'entre eux, deux paramètres sur quatre sont désalignés de plus de 40 nm.

Cette comparaison entre une lithographie 193 nm et une lithographie 248 nm met nettement en évidence d'une part la capacité d'un équipement de litho 193 nm à aligner deux niveaux de masque avec un désaccord inférieur à 30 nm (supérieur à 50 nm dans le cas d'un équipement 248 nm) et d'autre part sa capacité à effectuer un procédé reproductible.

III.1.c. Limites de la lithographie 193 nm

Dans cette partie sur la lithographie, nous venons de montrer les avantages de l'utilisation d'un équipement de lithographie avancé pour définir des motifs de tailles et formes critiques sur le silicium. A la vue des exemples précédents il apparaît distinctement que la lithographie 193 nm permet de fabriquer des transistors ayant des fenêtres d'émetteur plus petites, une plage de variation de longueur plus étendu, de plus avec une meilleure reproductibilité, qu'une lithographie 248 nm.

Cependant, les observations faites pendant la fabrication des transistors sur les différentes géométries de composants présentes sur le masque nous ont permis de mettre en évidence les limites, dans les conditions actuelles, de la lithographie utilisée.

En effet, la présence sur un même masque d'une série de transistors ayant une largeur de fenêtre émetteur très réduite ($0,15 \mu\text{m} < W_{\text{emwin}} < 0,21 \mu\text{m}$) pour une longueur « standard » ($L = 5 \mu\text{m}$) et une série de transistors dont la longueur varie de 0,4 à 15 μm pour une fenêtre de 0,21 μm de large, nous a permis d'être à même d'évaluer la gamme de transistor bipolaire qu'il était possible de réaliser sans recourir à l'OPC.

Sur le graphique ci-dessous on peut voir l'évolution de la largeur de l'émetteur effectif, mesuré sur silicium après coupe TEM, pour une largeur de fenêtre émetteur donnée, en fonction de la longueur des transistors.

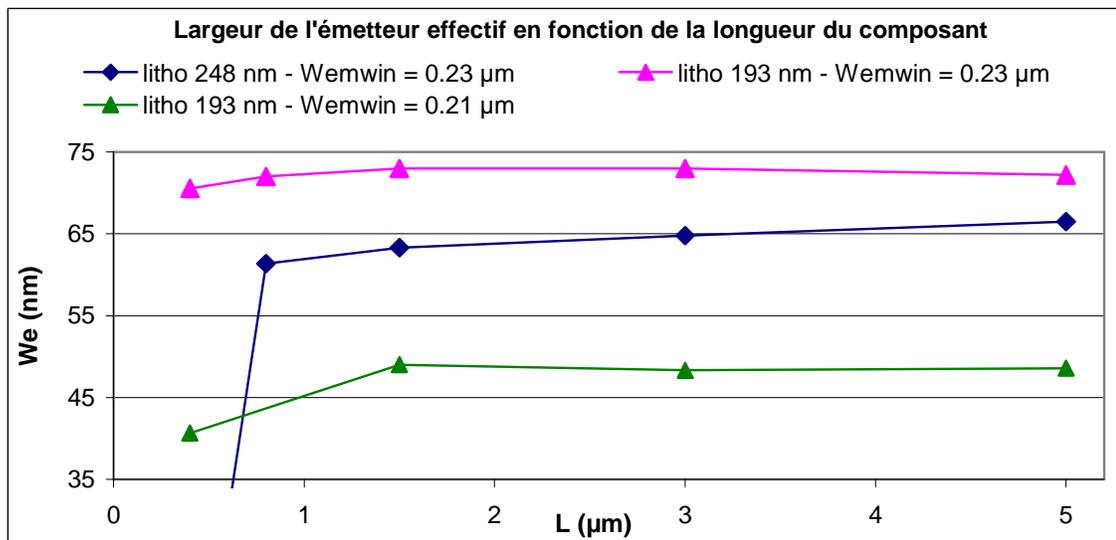


Figure C.23 Evolution de la largeur de l'émetteur en fonction de la longueur du transistor pour une fenêtre émetteur de 210 et 230 nm réalisé en lithographie 193 ou 248 nm

Pour les deux types de lithographie, on observe une première zone pour laquelle la largeur effective de l'émetteur est stable, puis une autre où We décroît. Dans le cas d'une lithographie 248 nm, la chute de We intervient pour des composants de longueur 1,5 μm , tout en restant négligeable (perte de 2 à 3 nm), mais s'accroît pour des transistors de

longueur 0,8 μm pour finalement ne plus donner de résultats pour des composants de longueur inférieure. Avec un procédé utilisant une lithographie 193 nm, la décroissance de la largeur de l'émetteur avec la diminution de la longueur du dispositif intervient également mais pour des longueurs plus faibles. En effet, le plus petit transistor ouvert avec un émetteur plus étroit que celui des longs transistors ($L \geq 5 \mu\text{m}$) d'à peine 2 nm, a une longueur de 0,4 μm .

Bien que la longueur minimale accessible et que la plage de variations en longueur, pour une largeur donnée, aient été diminuées de 0,4 μm (de 0,8 à 0,4 μm), les limites de ce procédé ont été approchées puisque des dispositifs de longueur 0,2 μm n'ont pu être réalisés avec succès. De plus, nous pouvons remarquer que lorsque la largeur de la fenêtre émetteur diminue la longueur minimale acceptable des transistors augmente. En effet, pour deux transistors de longueur 0,4 μm , si Wemwin est égal à 0,23 μm alors le décalage de We est de l'ordre de 2 ou 3 nm, alors que pour un Wemwin de 0,21 μm le décalage atteint 8 nm.

Pour les deux générations de composants offrant respectivement des fréquences maximales d'oscillation supérieures à 350 et 400 GHz, pour des largeurs de fenêtre émetteur respective de 0,25 et 0,23 μm , il est alors envisageable d'offrir des composants de longueur minimale 0,4 μm .

En ce qui concerne la génération suivante de TBH, dont la largeur de la fenêtre émetteur sera très probablement de nouveau réduite, il sera alors nécessaire d'utiliser une correction optique (OPC) sur les masques critiques afin de continuer à pouvoir offrir de petits transistors ($L < 0,8 \mu\text{m}$).

III.2 Module espaceur interne

Dans cette partie nous allons aborder plus en détail l'intérêt des espaceurs internes de l'émetteur, les étapes de dépôt et de gravure qui permettent de les définir, ainsi que leurs influences sur la largeur effective de l'émetteur, en fonction de la largeur initiale de la fenêtre émetteur.

III.2.a. Intérêt des espaceurs internes

Grâce aux espaceurs, la surface de l'émetteur en contact avec la base intrinsèque peut être réduite et contrôlée indépendamment de la largeur de la fenêtre émetteur.

L'ouverture définie par le masque Emwin ne définit pas directement la taille finale de l'émetteur pour différentes raisons. Tout d'abord, même avec une lithographie utilisant un scanner 193 nm, il apparaît difficile de réaliser des motifs dont la largeur est inférieure à 100 nm pour des longueurs variant de 0,6 à 15 μm , sans OPC sur les masques.

La réduction de la largeur des espaceurs, grâce à la diminution de l'épaisseur de silicium amorphe déposée, nous autorise une réduction de la largeur de la fenêtre émetteur pour une dimension effective de l'émetteur We fixe. Diminuer la largeur de la fenêtre

émetteur nous permet de réduire la valeur de la résistance de base R_{Bx} , toutefois afin de ne pas dégrader la valeur de la résistance de l'émetteur R_E il est nécessaire de conserver une certaine largeur pour l'émetteur effectif We d'où la réduction de la largeur des espaceurs.

III.2.b. Fabrication, évolution des espaceurs

Les espaceurs internes sont mis en forme dans la route de fabrication après le dépôt de la base intrinsèque. Une fois la base extrinsèque épitaxiée, deux dépôts sont réalisés successivement : tout d'abord un dépôt d'oxyde de quelque nanomètres, puis un dépôt de silicium amorphe. Une étape de gravure sèche permet de graver le silicium amorphe, puis une autre étape gravure chimique à l'acide fluorhydrique (HF) est employée pour ouvrir l'oxyde. La surface est alors préparée pour recevoir le dépôt de silicium, qui formera l'émetteur. La surface mise à nue après la désoxydation, qui est alors du silicium sans oxyde natif ne doit pas être laissée trop longtemps dévoilée même sous atmosphère contrôlée en salle blanche (24 heures au maximum). En effet, cette surface, destinée à devenir la zone de contact entre l'émetteur et la base, ne doit pas être recouverte d'oxyde avant le dépôt du poly émetteur. Ceci empêcherait la formation d'un émetteur monocristallin au-dessus de la zone épitaxiée et perturberait le fonctionnement de la jonction émetteur – base.

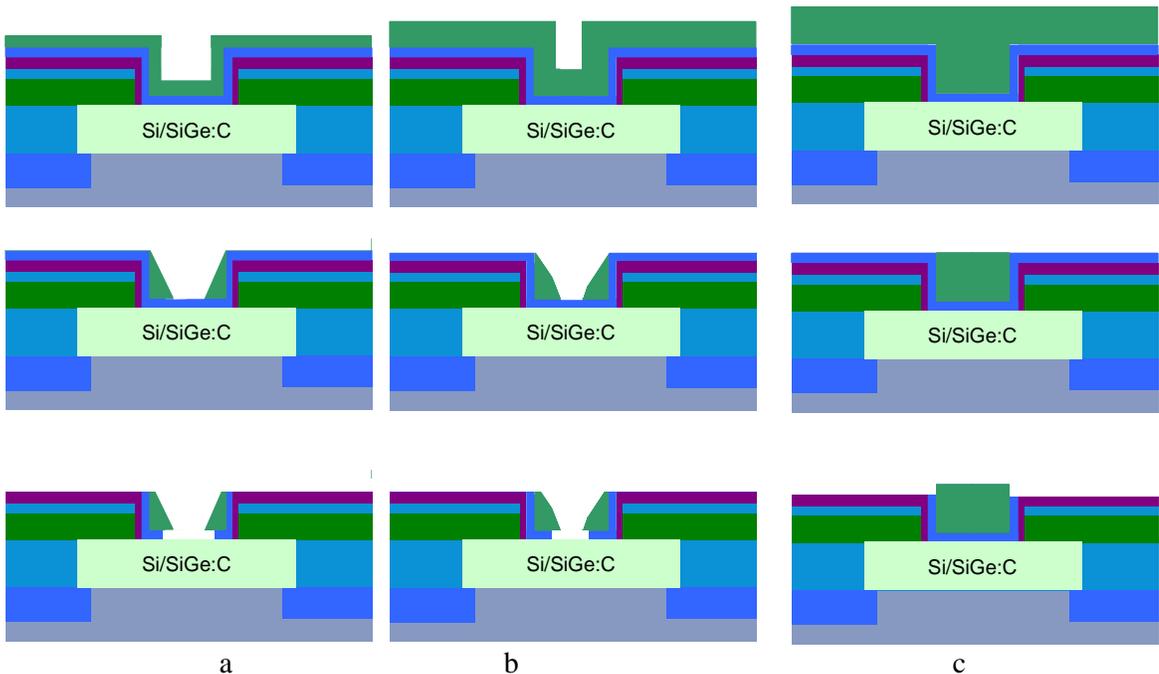


Figure C.24 Représentation schématique des étapes de fabrication des espaceurs interne

Le silicium du second dépôt va avoir en fonction de l'épaisseur déposée, un impact sur la zone qui sera ouverte pendant l'étape qui suit. En effet, comme on peut l'observer sur la Figure C.24, pour un temps de gravure adapté à l'épaisseur à retirer, la surface

ouverte sur l'oxyde, qui correspondra à la surface active de l'émetteur, augmente lorsque l'épaisseur déposée est réduite.

Adapter l'épaisseur déposée pour la formation des espaceurs nous permet pour différentes largeurs de la fenêtre émetteur de conserver une largeur d'émetteur effectif fixe. Avec l'introduction d'une lithographie 193 nm pour la réalisation de la fenêtre émetteur, il est maintenant possible de réduire la largeur de la fenêtre jusqu'à 150 nm. Il est alors nécessaire de réduire l'épaisseur de silicium amorphe déposée afin de ne pas risquer de combler la cavité et ainsi de ne plus pouvoir mettre à nu l'oxyde.

III.2.c. Modulation de la largeur des espaceurs internes

Les résultats présentés précédemment, pour des transistors ayant des f_{MAX} supérieurs à 350 et 400 GHz ont été obtenus à partir de transistors dont les espaceurs ont été réalisés avec un dépôt de silicium amorphe de 80 nm.

Nous avons modifié une partie du module espaceur, afin de conserver une largeur d'émetteur effective minimale (pour ne pas pénaliser R_E) quel que soit la largeur de fenêtre émetteur.

Dans le cadre de cette étude, les espaceurs ont en permanence été réalisés avec du silicium amorphe et deux épaisseurs différentes de dépôt ont pu être testées. Des essais ont été réalisés avec un dépôt de 50 nm de silicium amorphe, soit 30 nm de moins que la condition initiale.

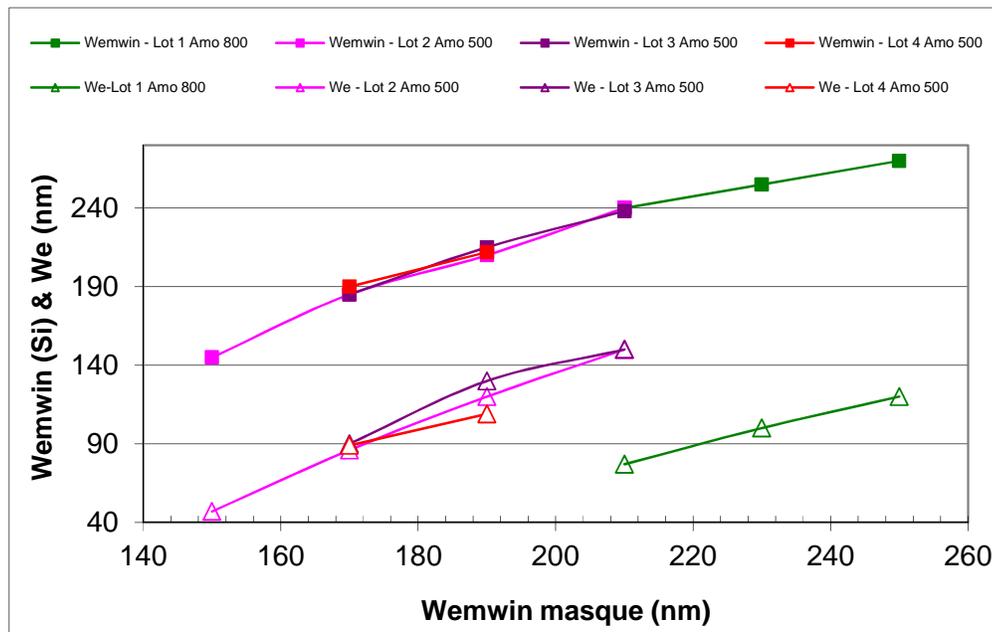


Figure C.25 Evolution de la largeur de l'émetteur en fonction de l'épaisseur de silicium amorphe déposée (Amo 800 Å – Amo 500 Å)

Le graphique précédent présente en fonction de la largeur W_{emwin} dessinée sur le masque, la largeur de la fenêtre émetteur ouverte dans le silicium ainsi que la largeur de l'émetteur effectif. Les mesures présentées sont issues d'observations de coupe TEM réalisées sur quatre lots distincts. L'évolution de la largeur de la fenêtre émetteur, qui ne dépend en aucune façon du type de module espaceur choisi, est bien commune aux quatre lots

A contrario, si l'on regarde l'évolution de la taille de l'émetteur effectif, notée W_e , alors on distingue deux populations, directement imputables à la différence d'épaisseur de silicium amorphe déposée. Pour une largeur commune W_{emwin} égale à $0,21 \mu m$, alors que les dimensions de la fenêtre émetteur sont équivalentes, il existe un décalage de la largeur de l'émetteur effectif de l'ordre de 60 nm correspondant à la différence d'épaisseur de silicium amorphe déposée.

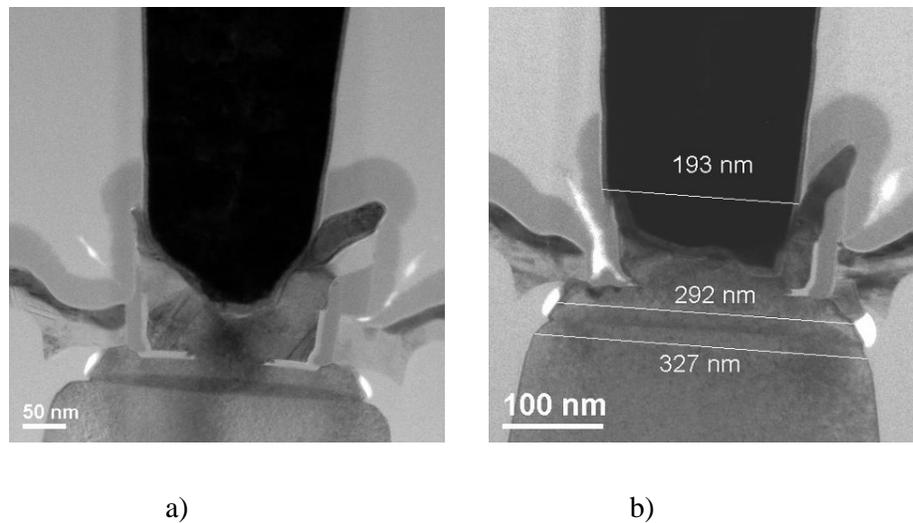
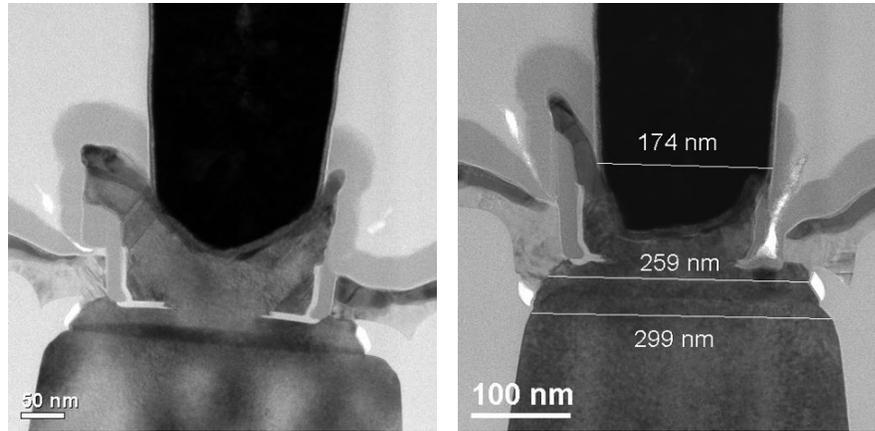


Figure C.26 Coupe TEM de transistor bipolaire, $W_{emwin} = 0,21 \mu m$ a) silicium amorphe 800 \AA , b) silicium amorphe 500 \AA

En effet, comme on peut le constater sur le graphique de la Figure C.25 ou sur les coupes TEM de la Figure C.26, les deux transistors présentent des largeurs finales d'émetteur effectif très proches (115 nm et 120 nm) alors qu'initialement leurs largeurs de fenêtre émetteur diffèrent de 40 nm .



a)

b)

Figure C.27 Coupe TEM transistor bipolaire. Wemwin = 0,19 μm .a) silicium amorphe 800 \AA – Wemwin = 0,23 μm . b) silicium amorphe 500 \AA – Wemwin = 0,19 μm

IV. Intégration du module collecteur implanté sélectivement

IV.1 Rappel du principe et de l'intérêt du SIC

L'optimisation des transistors bipolaires pour les hautes fréquences de fonctionnement nécessite un dopage collecteur élevé combiné à une faible capacité de jonction base – collecteur. L'implantation sélective du collecteur est une étape de fabrication spécifique aux TBH rapides, nous pouvons donc faire varier les conditions d'implantation sans n'avoir aucune incidence sur d'autres composants.

Dans cette partie, nous allons tout d'abord présenter les deux schémas d'intégration de l'implantation sélective du collecteur explorés, puis comparer et discuter les résultats électriques obtenus dans les deux cas. Afin de mieux interpréter et d'être à même de comprendre certaines variations des paramètres électriques, nous présenterons également des observations en coupe des TBH.

IV.2 Les options d'intégration

IV.2.a. SIC avant ou après la lithographie de la fenêtre émetteur

Dans le premier chapitre de ce manuscrit il est présenté un schéma d'intégration type d'un transistor bipolaire dans son intégralité. L'implantation du SIC, visible sur la Figure A.40, alors réalisée après l'ouverture de la fenêtre émetteur, au travers de l'oxyde piédestal, peut également être réalisée avant le dépôt de l'oxyde piédestal.

Sur la Figure C.28 est représenté de façon schématique les deux routes expérimentées pour l'intégration du SIC. L'élaboration de la couche enterrée du collecteur étant commune aux deux, celle-ci n'est pas reprise dans ce schéma et suit les étapes décrites dans le paragraphe A.IV.3.a.iii.1. Dans la colonne de gauche, celle-ci est faite au travers de l'oxyde piédestal, après ouverture de la fenêtre émetteur. Dans ce cas, l'implantation est faite uniquement dans les zones visées et ce sans l'emploi d'un masque dédié, ce qui représente une économie financière ainsi qu'une opération de lithographie en moins à réaliser dans la route de fabrication. Ce choix d'intégration présente également l'avantage d'auto-aligner l'implantation sur l'ouverture de la fenêtre émetteur. On nomme couramment ce choix d'intégration « *SIC après Emwin* ».

L'autre choix d'intégration, détaillé dans la colonne de droite de la Figure C.28, est usuellement nommé « *SIC avant Emwin* ». En dépit de l'utilisation d'un masque spécifique et d'un alignement de la zone implantée sur la fenêtre émetteur fonction de l'équipement de lithographie utilisé, cette possibilité présente également des avantages. En effet, avec une lithographie dédiée à cette implantation, la largeur correspondant à la zone implantée peut être fixée de façon libre et ne dépend pas de la largeur de la fenêtre émetteur du transistor. De plus, il est possible de masquer le collecteur de certains transistors bipolaires pour les préserver de cette implantation. Ainsi les transistors qui n'ont pas « vu » l'implantation, couramment nommés « *No SIC* », offrent certes des fréquences de transitions moindres mais des tensions de claquage base – collecteur et collecteur – émetteur plus élevées (Pour la technologie B9MW : $BV_{CBO} = 5,5 \text{ V} \rightarrow 7,5 \text{ V}$; $BV_{CEO} = 1,6 \rightarrow 2,0 \text{ V}$ respectivement avec et sans SIC).

Le Tableau C.1 résume les aspects positif et négatif de chaque choix d'intégration.

	SIC avant fenêtre émetteur	SIC après fenêtre émetteur
Auto-aligné	NON	OUI
Masque spécifique	OUI	NON
Composant "No-SIC"	OUI	NON

Tableau C.1 Comparaison des avantages et inconvénients de chaque choix d'intégration

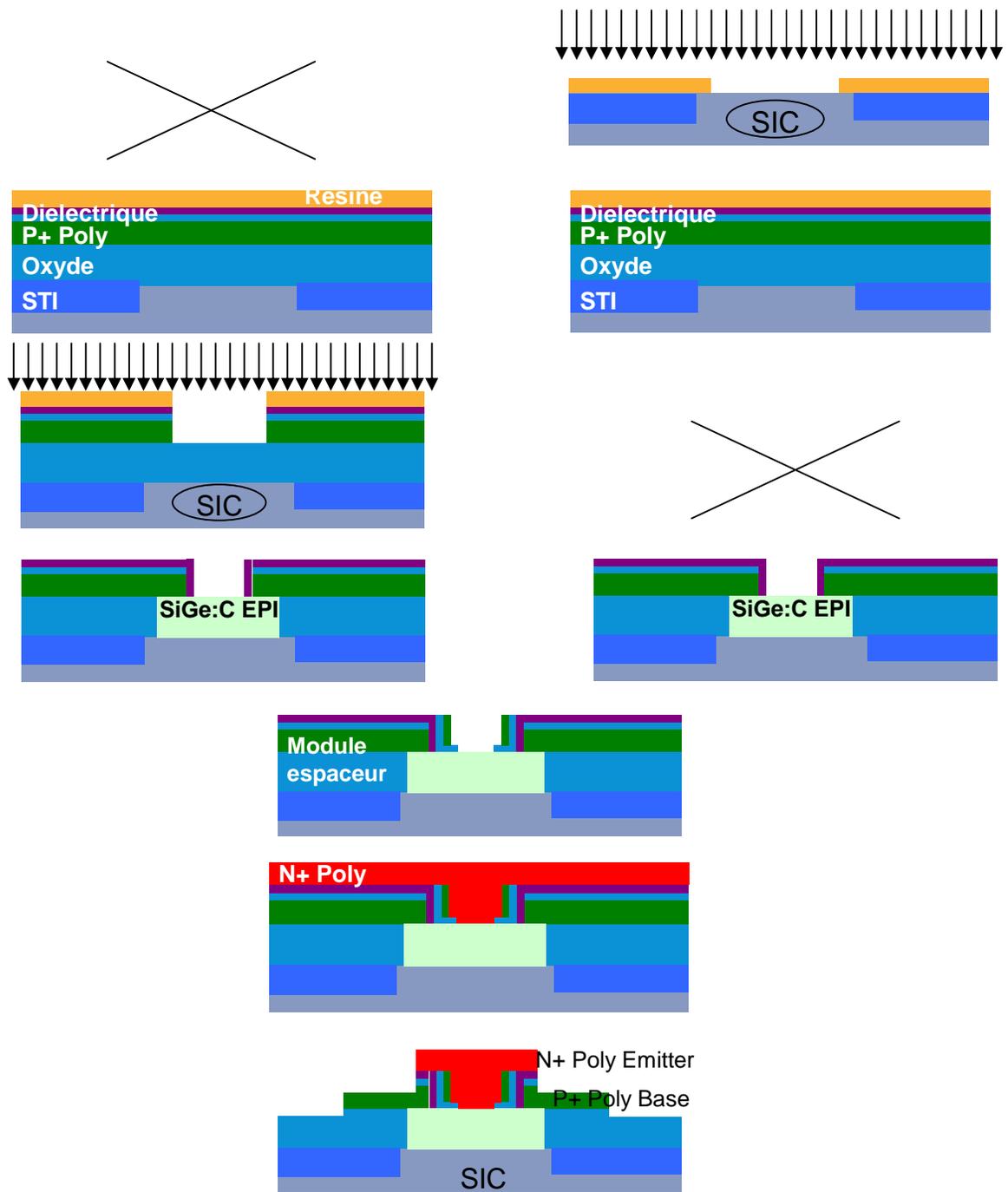


Figure C.28 Représentation schématique de l'enchaînement des opérations de production de la base et de l'émetteur, pour les deux intégrations étudiées du SiC .a) Implantation après fenêtre émetteur ;b) Implantation avant fenêtre émetteur

IV.2.b. Résultats électriques

Nous allons dans cette partie présenter les résultats électriques obtenus dans chacun des cas.

Les résultats de cette étude sont issus de mesures réalisées sur des transistors dont la largeur de la fenêtre émetteur est égale à $0,23\ \mu\text{m}$ et la longueur à $5\ \mu\text{m}$. L'encadrement entre le niveau « Emwin » et le niveau « PolyEm » est fixé à $0,03\ \mu\text{m}$ et celui entre le niveau active et le niveau Emwin est fixé à $0,17\ \mu\text{m}$. Pour les quatre cas présentés la base intrinsèque est composée d'une couche SiGe de $20\ \text{nm}$ d'épaisseur et d'une couche tampon en silicium de $18\ \text{nm}$. La concentration du dopage bore est égale à $5.10^{19}\ \text{at}/\text{cm}^3$ réparti dans un pic de $4\ \text{nm}$ de large placé au centre de la couche SiGe. Le recuit final est réalisé à une température de $1080\ ^\circ\text{C}$. Dans la configuration « SIC avant » il a été choisi faire l'implantation SIC dans une fenêtre de même largeur que la fenêtre émetteur.

Comme il est visible sur la Figure C.29, les transistors sur lesquels cette étude a porté ont un émetteur effectif de largeur $90\ \text{nm}$.

Le Tableau C.2 présente les résultats électriques pour les deux types d'intégration du SIC. Les résultats présentés ci-dessous sont issus de transistors ayant été fabriqués exactement dans les mêmes conditions, à l'exception de l'implantation sélective du collecteur, c'est-à-dire que tous les transistors ont ici les mêmes dimensions, la même base épitaxiée Si/SiGe:C, le même dopage du polybase et le même recuit final d'activation. Nous précisons également la tension d'Early directe, V_{AF} , afin d'attester de l'absence d'une barrière de potentiel dans la jonction base - collecteur des composants présentés dans cette étude.

Pour chaque option, deux niveaux de dopage collecteur ont été étudiés. Ces niveaux de dopage sont notés SIC+ pour la dose la plus élevée et SIC- pour la plus faible. L'objectif étant de comparer des composants ayant une intégration différente du SIC mais des caractéristiques électriques comparables, nous avons adapté les doses et énergies des implantations SIC pour obtenir des tensions de claquage base – collecteur les plus proches possibles. La tension BV_{CBO} vaut environ $6,0\ \text{V}$ dans le cas de la dose SIC- et autour de $5,5\ \text{V}$ dans le cas de la dose SIC+.

Paramètres	Condition de mesure	SIC avant Erwin		SIC après Erwin		Unité
		SIC-	SIC+	SIC-	SIC+	
f_T	$V_{CB} = 0,5 \text{ V}$	275	303	283	303	GHz
f_{MAX}	$V_{CB} = 0,5 \text{ V}$	424	411	422	408	GHz
J_C	peak f_T	13,94	18,51	17,14	16,69	$\text{mA}/\mu\text{m}^2$
β	$V_{BE} = 0,75 \text{ V}$	2615	2610	2750	2740	-
V_{AF}	$V_{BE} = 0,7 \text{ V}$	170	155	175	150	V
BV_{CEO}	$V_{BE} = 0,7 \text{ V}$	1,47	1,42	1,48	1,45	V
BV_{CBO}	$I_{CB} = 10 \mu\text{A}$	5,9	5,4	5,9	5,6	V
R_{Bi}	Tetrode struct.	2,7	2,7	2,7	2,7	$\text{k}\Omega/\text{sq}$
R_{Bx}	Tetrode struct.	237	239	290	296	$\Omega/\mu\text{m}$
R_{B^*}	-	146	147	165	169	Ω/bip
$R_{\text{poly P+}}$		380	381	437	436	Ω/sq
C_{BC}	$V_{CB} = 0 \text{ V}$	7,1	7,6	5,9	6,6	fF

Tableau C.2 Tableau de comparaison des performances fréquentielles et tension de claquage en fonction de l'intégration choisie pour l'implantation du SIC et de la dose implantée

Tout d'abord, nous constatons, que tous les transistors de l'étude présentent des fréquences maximales d'oscillation f_{MAX} supérieures à 400 GHz pour des fréquences de transition f_T supérieures à 260 GHz.

Si on s'attache maintenant à l'ensemble des paramètres électriques du tableau précédent, on s'aperçoit que les variations des performances hf dépendent du niveau de dopage collecteur et on observe alors le compromis bien connu, entre f_T et f_{MAX} . En effet, lorsque le dopage collecteur est augmenté la diminution de la résistance collecteur favorise f_T , au détriment de f_{MAX} (pénalisé par la capacité base – collecteur qui augmente).

Si l'on se penche d'avantage sur ces résultats, on remarque qu'en dépit d'une dépendance des performances hf liée à la dose implantée, il existe pour les autres paramètres électriques une corrélation plus forte vis-à-vis de l'intégration du SIC choisie que de la dose implantée. En effet, on remarque bien une augmentation de la valeur de la capacité avec l'augmentation du dopage collecteur mais la variation observée est bien plus importante entre deux intégrations différentes ($\Delta \approx 1,1 \text{ fF}$) qu'entre deux doses de SIC ($\Delta \approx 0,6 \text{ fF}$). D'un autre côté on observe que la valeur de la résistance d'accès, notée R_{B^*} , ne varie pas ou très peu en fonction du dopage collecteur alors que celle-ci est fortement dépendante du choix de l'intégration du SIC. La résistance de base extrinsèque R_{Bx} , ne varie pas en fonction de la dose implantée mais augmente considérablement dans le cas de l'implantation du SIC au travers de la fenêtre émetteur en comparaison de l'autre schéma d'intégration. La résistance de base intrinsèque n'est impactée ni par une variation de dose implantée, ni par une modification d'intégration. Dans la mesure où dans tous les cas de figure la base intrinsèque est épitaxiée après l'implantation SIC il est normal que cette valeur ne soit pas affectée par les dégroupages effectués. Cependant, on peut ainsi affirmer que les diverses plaques étudiées ici ont bien les mêmes bases intrinsèques.

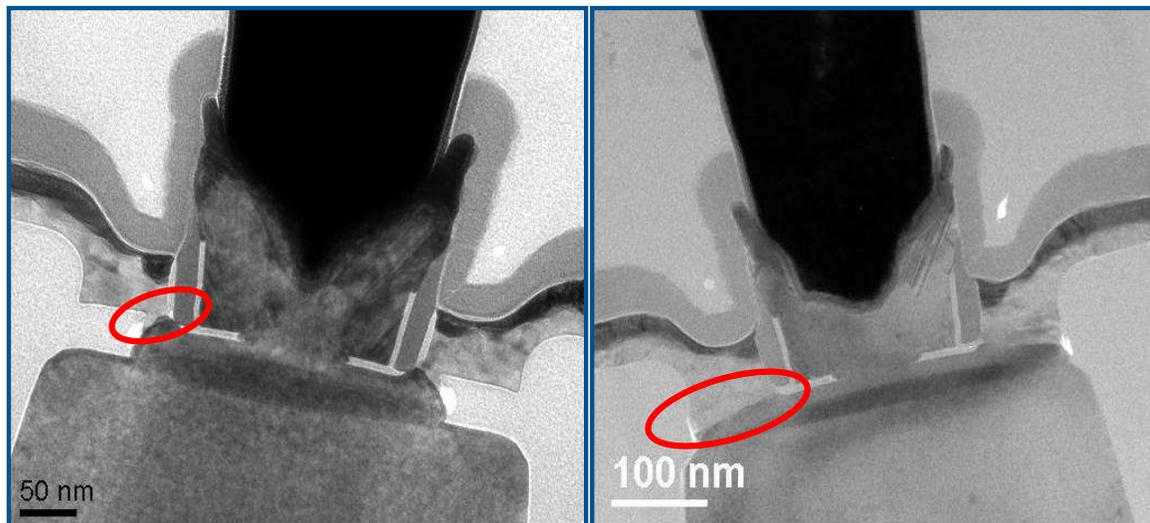
Alors qu'il est possible d'expliquer la valeur plus faible de la capacité base – collecteur, dans le cas d'un SIC « après Emwin » par l'auto-alignement de l'implantation sur la fenêtre émetteur, il paraît plus complexe de comprendre les variations observées sur les résistances de base. En effet, le poly silicium implanté P+ du polybase, strictement identique dans les deux configurations, ne devrait pas être sujet à des variations de résistivité lors de la modification de l'intégration du SIC.

Dans le cas du SIC après la fenêtre émetteur, pendant l'implantation de type N, les régions de la plaquette qui ne doivent pas être implantées sont protégées par la couche de résine qui doit permettre de bloquer les espèces implantées en dehors des zones ouvertes. Cependant, comme il est visible sur la Figure C.28, dans ce cas d'intégration le polybase est déjà présent sur les plaquettes pendant l'implantation. On peut alors penser que l'augmentation de la résistance de base extrinsèque (R_{Bx}) provient d'une compensation du dopage du polybase pendant l'implantation du SIC.

Pour mieux comprendre ces résultats électriques des observations ont été faites sur des transistors fabriqués avec les deux schémas d'intégration.

IV.2.c. Caractérisation physique

Ci-dessous nous présentons deux coupes TEM d'un transistor bipolaire fabriqué à partir du même dessin sur masque mais provenant de deux plaques ayant des schémas d'intégration du SIC différents. Dans les deux cas, la dose SIC implantée correspond à la dose la plus élevée SIC+.



a)

b)

Figure C.29 Coupe TEM de transistors bipolaires de $W_E = 90 \text{ nm}$, a) : SIC après Emwin, b) : SIC avant Emwin

Bien que les règles de dessin soient strictement identiques et que les procédés de gravure et de nettoyage sont similaires en tout point pour graver la cavité et désoxyder l'oxyde piédestal, on remarque une largeur de cavité très différente entre les deux coupes TEM.

	W _{emwin silicium}	W _{emetteur effectif}	W _{cavité}
"SIC avant"	227	89	400
"SIC après"	225	86	280

Tableau C.3 Dimensions de transistors bipolaire mesurées sur silicium à partir de coupes TEM, pour deux types d'intégrations

Le lien de base (zones entourées en rouge sur la Figure C.29), qui joue un rôle important sur la résistance du lien de base ainsi que sur la capacité base -collecteur, n'a donc pas dans les deux cas de figure la même largeur. Dans le cas SIC avant la fenêtre émetteur l'ouverture est bien plus large, ce qui permet d'expliquer l'augmentation de capacité C_{BC} .

Bien que de précédentes expérimentations n'aient pas montré de corrélation de la résistance de base avec la largeur du lien de base, il est possible de considérer qu'un lien aussi étroit puisse, dans le cas du SIC réalisé après la fenêtre émetteur dégrader la résistance R_{Bx} .

De plus, l'augmentation notée au test paramétrique de 16 % du polybase non siliciuré, dans le cas d'une intégration du SIC après la fenêtre émetteur, conforte l'hypothèse d'une épaisseur insuffisante de résine, après développement du masque, pour protéger correctement le polybase de l'implantation d'arsenic. La compensation du dopage due à la pénétration de dopants arsenic dans la couche de polybase dopée au bore, entraîne l'augmentation de la résistance de base extrinsèque et de la résistance de base totale. L'arsenic implanté peut également atteindre l'oxyde piédestal et alors modifier la vitesse de gravure de l'oxyde en bord de fenêtre, sous le polybase à l'endroit où se fait le lien. Dans le cas de notre étude on observe lors d'une implantation SIC au travers de l'oxyde une cavité plus étroite que lorsque l'implantation SIC est faite avant le dépôt de l'oxyde TEOS. Sur ce point les observations réalisées sur un grand nombre de plaques lors de cette étude vont à l'encontre des règles admises dans la littérature. En effet, de façon générale lors d'une implantation au travers d'une couche d'oxyde il est fait référence dans la littérature ([Lianjun Liu96]) à un mécanisme modifiant la porosité de l'oxyde et entraînant une augmentation de la vitesse de gravure mais à aucun moment il n'est question de « dopage » de la couche d'oxyde pouvant augmenter sa densité et alors réduire sa vitesse de gravure pour une solution donnée.

Des observations sur des transistors dont les règles de dessin sont identiques à l'exception de la largeur de la fenêtre émetteur, ont été réalisées afin de suivre l'évolution

de l'ouverture dans l'oxyde piédestal (longueur nommée : $W_{cavité}$) en fonction du type d'intégration choisi pour le SIC, de la dose implantée. La Figure C.30 permet de mettre en évidence la dépendance de la dimension ouverte dans l'oxyde piédestal en fonction de l'intégration de l'implantation du SIC, mais également le lien qu'il existe avec la dose implantée. Dans le cas d'une dose implantée équivalente dans les deux cas, mais une intégration différente, l'écart de largeur est de l'ordre de 120 nm (30 % de la largeur), alors que dans le cas d'une intégration commune et d'une modification de la dose implantée, la variation de dimension observée est bien moindre puisqu'il ne s'agit que de quelques nanomètres, une dizaine tout au plus ($\approx 3\%$ de variation de longueur).

La variation de la largeur $W_{cavité}$ est due à une modification de la vitesse de gravure de l'oxyde, puisque gravée dans les deux cas avec la même solution d'acide fluorhydrique. Ceci met en évidence une modification de la structure et/ou de la composition de l'oxyde piédestal lors de l'implantation du SIC. Cependant, nous ne sommes pas à même d'affirmer si l'évolution de la structure de l'oxyde piédestal s'est produite dans la zone de la cavité, sous le polybase ou bien les deux.

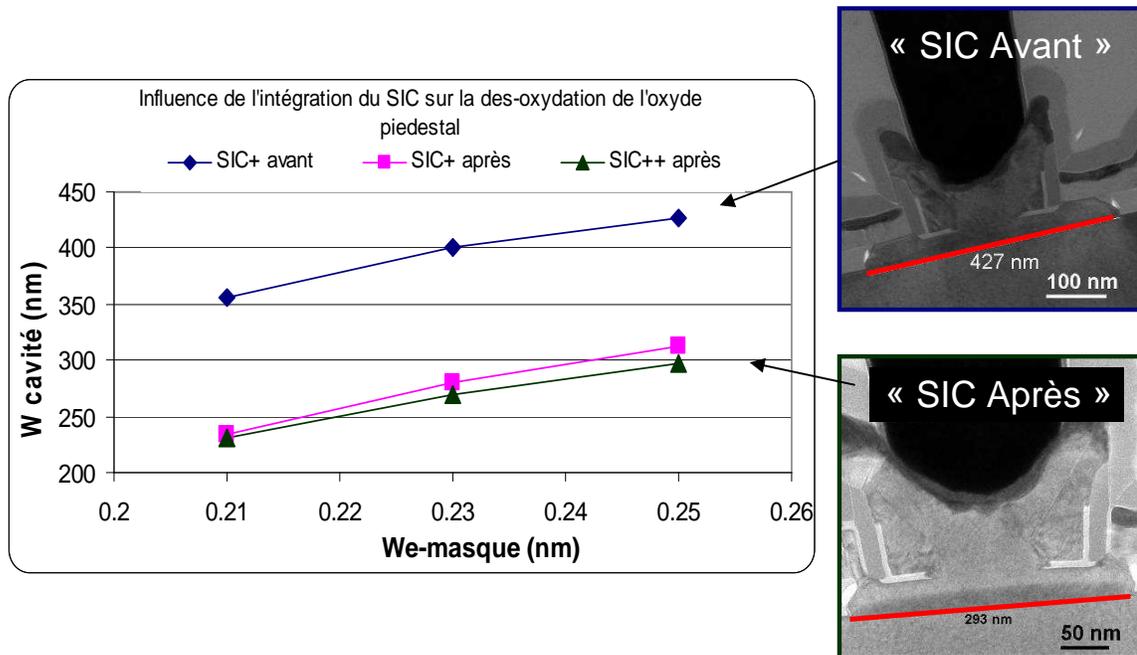


Figure C.30 Evolution de l'ouverture de l'oxyde piédestal, en fonction de l'intégration et de la dose du SIC

Il est possible de corriger cet écart de dimension en adaptant la recette de gravure. Pour cela nous avons réalisé une étude de la largeur du lien de base en fonction de l'intégration du SIC choisie ainsi que du nettoyage illustré sur la Figure C.31.

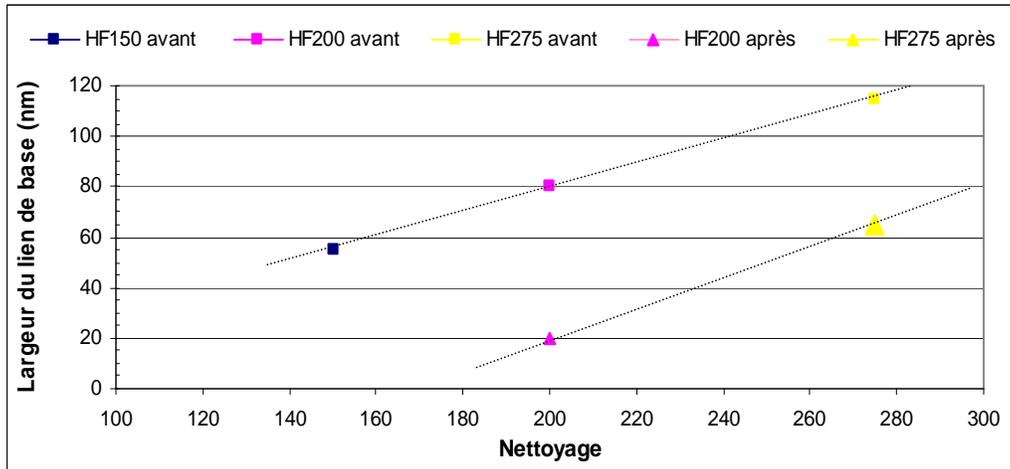


Figure C.31 Evolution de la largeur du lien de base pour une implantation avant et après la fenêtre émetteur en fonction de la recette de désoxydation utilisée pour une fenêtre émetteur de 0,23 μm

IV.2.d. Simulation de procédés

Pour compléter les analyses électriques et physiques menées jusqu'à présent, nous avons demandé à l'équipe simulation la réalisation d'une simulation de type TCAD (*Technology Computer Aided Design*). Cet outil est destiné à la simulation de composants et de procédés technologiques. Il permet de simuler les différentes étapes de fabrication d'un composant, leurs enchainements, mais également de prévoir quand cela est possible certains résultats électriques. Pour cela il est nécessaire de paramétrer les spécificités de l'architecture de notre composant ainsi que les procédés employés en salle blanche, afin de s'approcher au maximum de la réalité. Une simulation a été réalisée pour chaque solution d'intégration du SIC.

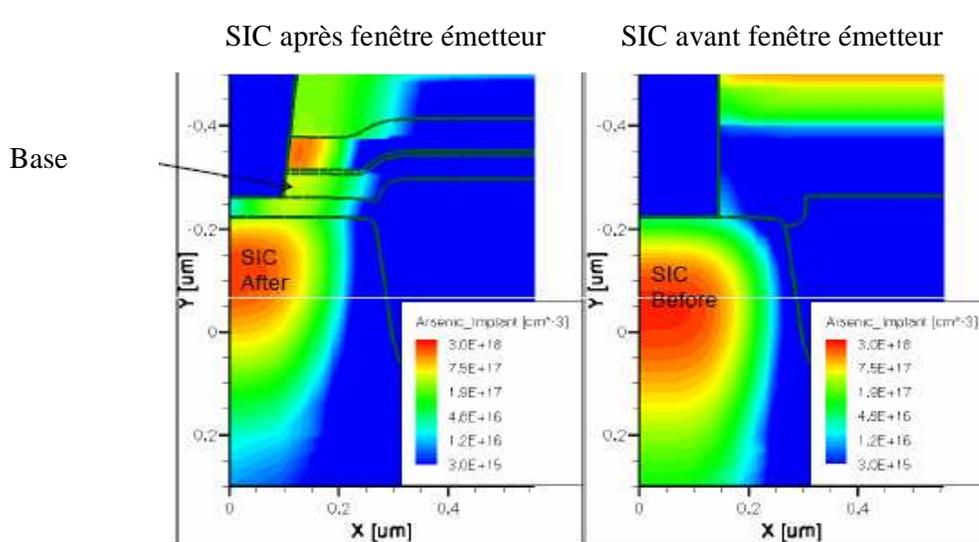


Figure C.32 Profils de TBH obtenus après implantation du SIC par simulation TCAD, dans les deux cas d'intégration

Les profils d'implantation obtenus sont visibles sur la Figure C.32 représentant une vue en coupe du transistor bipolaire après l'implantation du SIC. Le transistor n'est ici pas représenté dans son intégralité, mais uniquement à partir du centre de la fenêtre émetteur. Les TBH étant complètement symétriques par rapport à la médiane du fond de la fenêtre émetteur, il n'est pas utile de le simuler dans son intégralité, ce qui permet d'alléger sensiblement les temps de calcul.

Les résultats de ces simulations confortent l'hypothèse d'une compensation du dopage dans le polybase au moment de l'implantation. En effet, on voit nettement sur la simulation de gauche, dans le cas de l'implantation du SIC après la fenêtre émetteur, qu'une partie de la dose implantée n'est pas stoppée par la résine. Une quantité non négligeable d'arsenic est arrêtée dans la couche de poly silicium de la base extrinsèque et dans la couche d'oxyde. La distribution de l'arsenic dans la couche d'oxyde piédestal est fonction de la position. Plus on se rapproche du centre de la fenêtre plus la concentration diminue. A contrario, lorsqu'on se rapproche du bord de la fenêtre celle-ci augmente. Au cœur de la fenêtre, l'espèce implantée n'est pas ralentie avant l'oxyde et l'énergie des atomes est suffisamment élevée pour traverser la couche d'oxyde, tandis-que sur les bords de la fenêtre, sous le polybase, les atomes implantés sont ralentis par des chocs préliminaires sur des particules dans la résine ou dans les couches de diélectriques et n'ont plus l'énergie nécessaire pour traverser le polybase et l'oxyde.

A la vue des résultats, il apparaît même qu'une partie des atomes implantés puissent, en dehors de la fenêtre émetteur, traverser l'oxyde pour finir leurs courses dans le substrat de silicium. Ce résultat va à l'encontre de ce qui a été dit auparavant sur l'intérêt de cette solution d'intégration par rapport à la réduction de capacité base – collecteur. En effet, on

observe que la taille finale du SIC est bien plus large que celle de la fenêtre émetteur, sa largeur se trouve même être plus proche de celle du SIC avant la fenêtre émetteur que de celle de la fenêtre émetteur. Pourtant, les résultats électriques, qui ne sont pas contestables, font bien état de capacité C_{BC} plus faible lors d'une implantation du SIC dans la fenêtre émetteur.

IV.3 Discussion des résultats

Nous venons de présenter et de comparer les résultats hf et dc des travaux accomplis sur l'intégration du module SIC des transistors bipolaires Si/SiGe:C. Dans les deux cas, les transistors obtenus présentent des valeurs de f_{MAX} de l'ordre de 400 GHz, mais avec des valeurs de résistance de base et de capacité base-collecteur différentes.

Les observations faites sur divers composants ont permis de mieux comprendre les variations constatées sur les paramètres électriques, en fonction de l'option d'intégration, et de les corrélérer avec des variations significatives de structures.

En dépit de performances fréquentielles très proches certaines tendances actuelles nous permettent de pondérer l'intérêt d'une intégration ou de l'autre. Pour les dernières technologies fabriquées, l'augmentation des fréquences de fonctionnement va de paire avec la diminution des dimensions critiques du transistor. Dans le même temps, il est important de préciser que les lithographies, destinées à reproduire des motifs de plus en plus petits emploient des résines photosensibles dont les épaisseurs mises en œuvre sont de plus en plus faibles.

Ces deux raisons nous ont conduit à sélectionner la solution d'intégration du SIC avant la fenêtre émetteur. Dans le cas de l'intégration SIC après fenêtre émetteur, l'utilisation d'une résine de plus en plus fine, va accentuer le contre dopage du polybase. La résistance de base totale sera donc d'avantage détériorée, ce qui aura pour effet direct de pénaliser la fréquence maximale d'oscillation.

V. Effet sur les fréquences de fonctionnement

Après avoir présenté les modifications de dimensions sur lesquelles nous sommes intervenus nous exposons ici les gains observés sur les fréquences de fonctionnement des transistors.

Le graphique de la Figure C.33 présente les couples f_T/f_{MAX} obtenus à partir de deux dessins de composants. Le premier est le composant typique B9MW, dont la largeur de la fenêtre émetteur est de $0,27 \mu\text{m}$, le second a subi une réduction de la partie intrinsèque du TBH (fenêtre émetteur, largeur du poly – émetteur), $W_{emwin} = 0,25 \mu\text{m}$. Ces deux composants ont été mesurés simultanément sur la même plaque de silicium, les différences mesurées ne sont donc imputables qu'aux variations des règles de dessin.

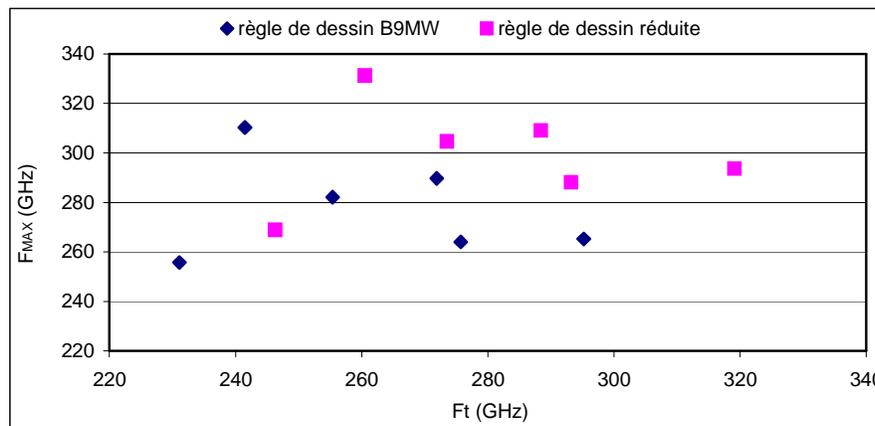


Figure C.33 Valeurs de f_T/f_{MAX} obtenues à partir de deux dessins de transistors traités sur un même lot

Pour une même route de fabrication on remarque ici un décalage systématique des valeurs de f_T et f_{MAX} . Le gain en fréquence est dans les deux cas de l'ordre de 20 GHz.

Une deuxième étude similaire a été réalisée sur des TBH dont la fenêtre émetteur était égale à 250 et 230 nm, correspondant respectivement à une largeur effective de l'émetteur de 120 et 90 nm. La réduction des dimensions de la partie intrinsèque du TBH est visible sur les deux coupes TEM de la Figure C.34. On remarque en effet un émetteur moins large sur la coupe de droite, mais également une ouverture de la cavité dans l'oxyde piédestal plus étroite ainsi qu'une superposition des niveaux poly – émetteur et fenêtre émetteur moins prononcée.

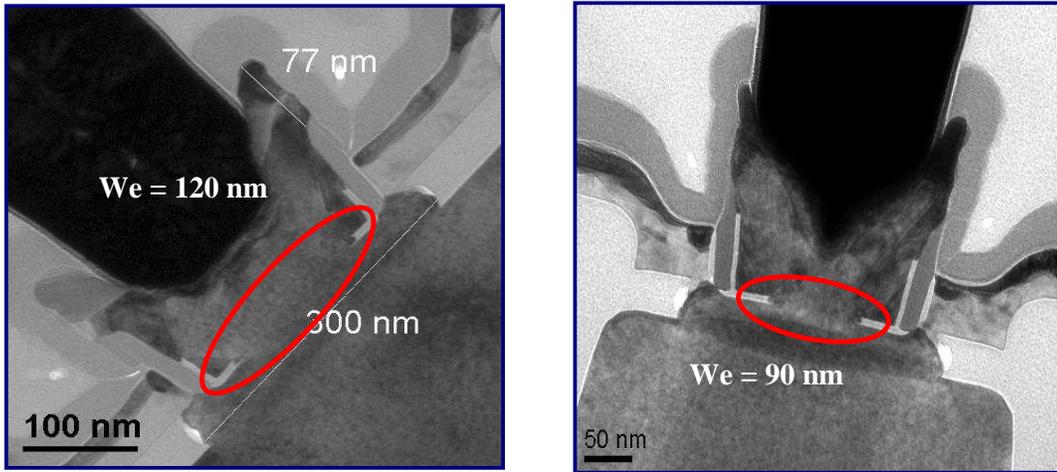


Figure C.34 Coupe TEM de TBH avec un émetteur effectif de 120 nm et 90 nm de large

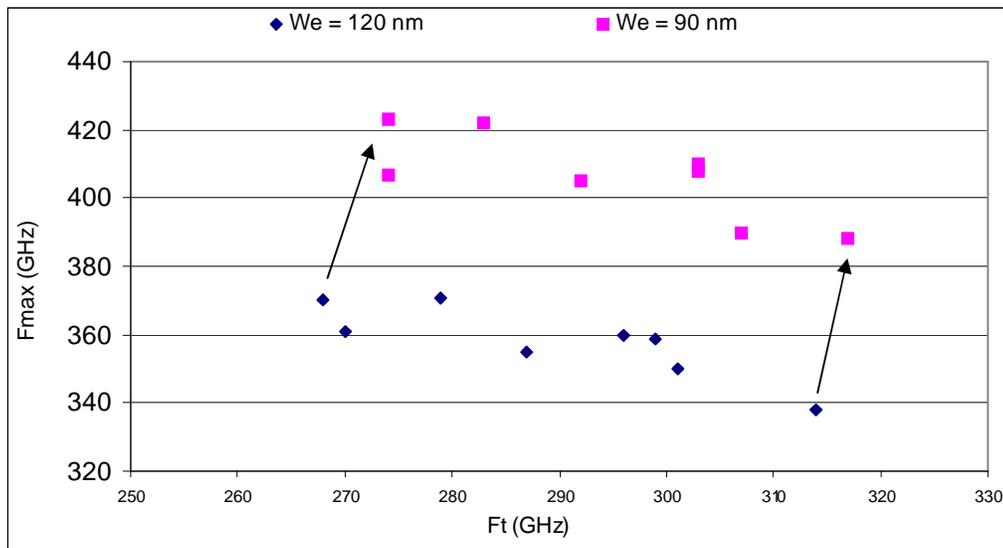


Figure C.35 Présentation des performances fréquentielles obtenues après réduction de l'émetteur effectif de 120 nm à 90 nm

Les résultats des mesures de paramètres S nous permettent une nouvelle fois de mettre en évidence les bénéfices de la réduction des dimensions latérales sur les performances fréquentielles. On constate une amélioration de 50 GHz sur f_{MAX} et de 5 GHz sur f_T . Pour chacun des points initiaux la réduction de dimension entraîne une translation du couple f_T / f_{MAX} .

Ces résultats permettent de mettre en évidence la complémentarité qu'il existe entre une étude du profil vertical et une étude du profil latéral du composant.

Une deuxième étude de la réduction des dimensions du composant, portant cette fois-ci uniquement sur la fenêtre émetteur nous a permis de mettre en évidence certaines limitations. Cette étude est réalisée sur une plaque dont les conditions de fabrication sont résumées sur le tableau suivant.

Dopage couche enterrée	at / cm ⁻²	4E+17
Oxyde piédestal (nm)	nm	400
Dopage Polybase (50nm)	at / cm ⁻²	7E+17
Implantation SIC	(10E13 cm ⁻² /keV)	6E13 / 155
Si Cap	nm	18
Profil de base SiGe	(% Ge)	20 30
Epaisseur Bore	nm	4
Epaisseur totale de la base	nm	39
Dopage bore	10 ¹⁹ /cm ⁻³	5
espaceur interne	nm	80
Poly émetteur	nm	100
Température de recuit (°C)	°C	1080

Tableau C.4 Condition de fabrication de plaque utilisée pour l'étude.

Le graphique ci-dessous présente les fréquences ainsi que les capacités et résistances mesurées sur des dispositifs aux règles de dessin communes à l'exception de la largeur de la fenêtre émetteur. La largeur du poly émetteur étant une règle de dessin déduite de la longueur W_{emwin} est également modifiée ($W_{poly\ émetteur} = W_{emwin} + 2 \times \text{Superposition } Emwin/poly\ émetteur$). Les espaceurs internes sont de 50 nm afin de pouvoir ouvrir les transistors de petite taille en conservant une certaine taille d'émetteur effectif (Cf. Figure C.25).

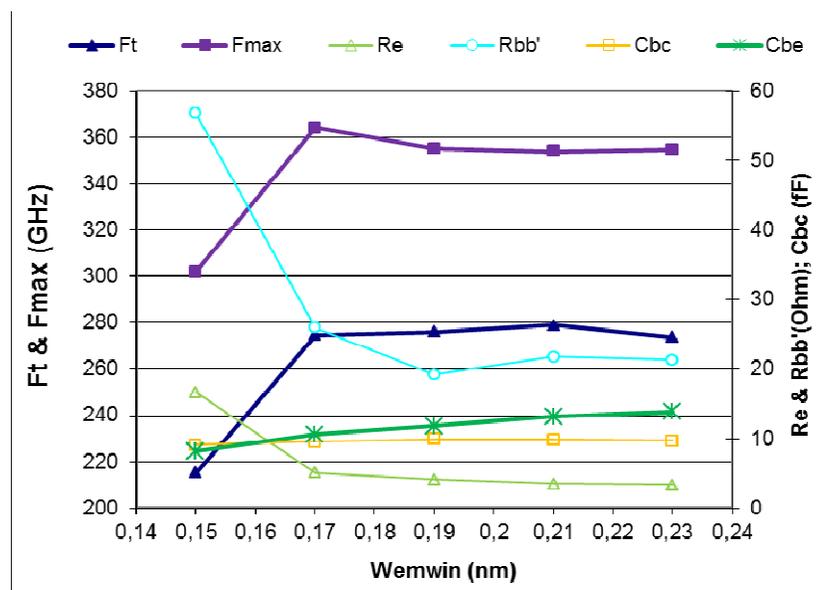


Figure C.36 Evolution des fréquences f_T/f_{MAX} et des capacités et résistances en fonction de la largeur de la fenêtre émetteur

Les résultats de cette étude nous montrent une augmentation de la fréquence maximale avec la réduction de la fenêtre émetteur jusqu'à 170 nm, en dessous de cette largeur f_{MAX} chute de façon importante tout comme la fréquence de transition. La forte augmentation de la résistance de base pour un W_{emwin} inférieur à 0,17 μm non compensée par la faible décroissance de C_{BC} ainsi que l'augmentation de la résistance d'émetteur (avec la réduction de la largeur de l'émetteur) sont les raisons de la chute de fréquences observée.

Ainsi nous pouvons affirmer qu'avec le type d'architecture considérée la seule réduction de la largeur de la fenêtre émetteur en dessous de 0,17 μm ne permet pas d'augmenter les fréquences de fonctionnement à cause de l'importance de la résistance de base et d'émetteur.

Il est en effet primordial de réduire d'avantage ces deux paramètres afin de pouvoir continuer d'augmenter les performances fréquentielles des transistors bipolaires étudiés.

D Synthèses - Caractérisations

I. Introduction

Nous allons dans ce chapitre présenter et comparer les diverses évolutions de composants depuis le point de départ jusqu'au terme de ces travaux. Pour chaque génération de transistors bipolaires nous détaillerons les modifications apportées et dresserons un bilan des résultats électriques obtenus et nous comparerons également le comportement de ces composants en puissance. Dans la dernière partie nous exposerons les résultats des circuits réalisés par nos partenaires universitaires.

II. Impact et étude du de-embedding

Tout d'abord nous présentons une étude de l'influence du type d'épluchage utilisé pour l'extraction des paramètres S. Dans les chapitres précédents lors de la présentation des mesures il n'est pas fait part des structures employées mais pour chaque étude les mesures des composants comparés sont toujours issues de la même méthode de mesure et toutes les valeurs présentées sont des moyennes, sur la Figure D.1, on peut voir la position des transistors mesurés sur les plaques.

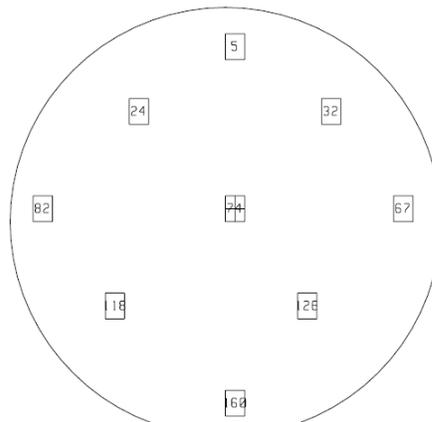


Figure D.1 Position des transistors mesurés sur les plaques

Afin de connaître les performances du dispositif mesuré sans l'influence des lignes de connexions métalliques ou des pertes dues aux plots de connexion des pointes de mesure lors de l'extraction des paramètres, il est nécessaire de mesurer également des structures permettant d'évaluer les capacités de couplage et les résistances parasites. Les recommandations de l'ITRS préconisent l'emploi de deux structures, un *Open* et un *Short* qui prennent en compte les éléments parasites liés aux métallisations afin de pouvoir modéliser correctement le transistor. Il n'est pas précisé de façon explicite le niveau de métal en question et nous pouvons alors décider de ne laisser que le métal 1 ou les deux premiers niveaux de connexion.

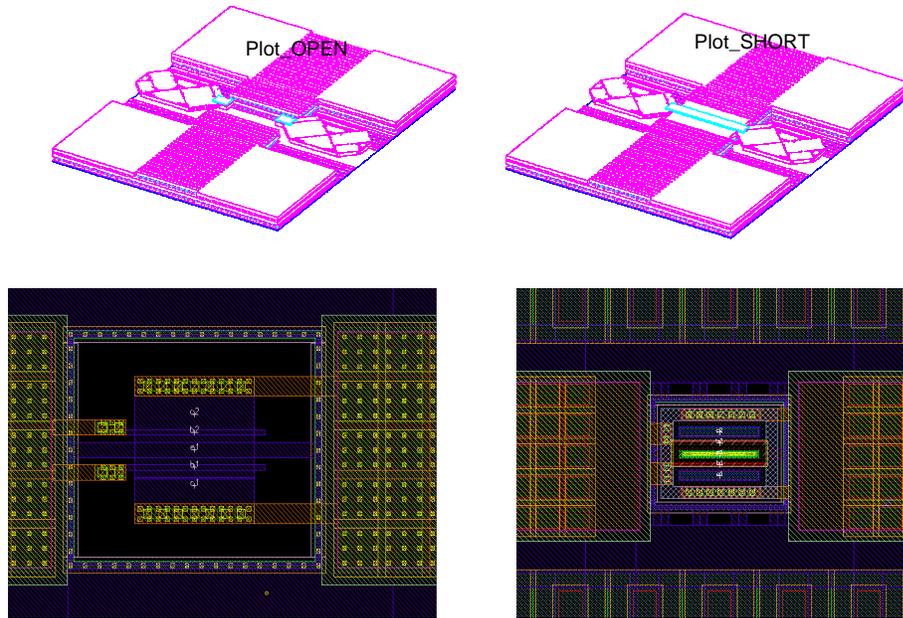


Figure D.2 Schéma des plots et des dessins des structures *Open* et *Short* vue de dessus

La structure dite *Open* reprend exactement celle du dispositif à mesurer à l'exception de certains niveaux de connexion qui sont retirés. La structure est dite *Open M1* (pour métal 1) si seulement le niveau contact est retiré et *Open M2*, si l'on retire les niveaux de connexion inférieurs au métal 2 compris. Il existe également une structure dite *Regular Open* qui n'est constituée exclusivement que des connexions au métal 6. On peut ainsi estimer les capacités jusqu'au dernier niveau de métal présent sur l'*Open*. La structure *Short* utilisée pour mesurer les résistances et les inductances est quant à elle constituée uniquement des connexions métalliques qui sont court-circuitées au métal 1. Pour chaque géométrie de transistor il est nécessaire de disposer d'un *Open* et d'un *Short* spécifique.

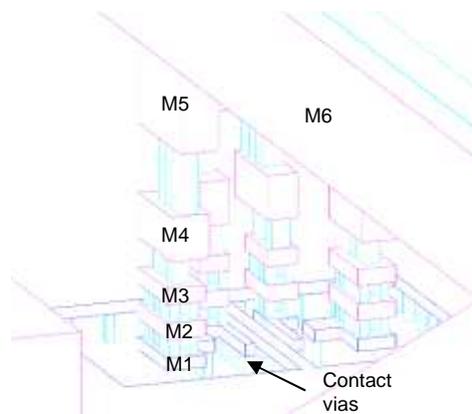


Figure D.3 Représentation schématique vue en coupe des connexions métallique depuis les contacts jusqu'au 6^{ème} niveau de ligne métallique

Pour construire des modèles pouvant simuler le comportement du transistor il est préférable d'utiliser un épluchage des parasites induits par les connexions métalliques dès le premier niveau de métal. Cependant, pour la réalisation de circuits, deux niveaux de métaux sont nécessaires pour connecter les transistors. Les parasites liés au métal 2 sont alors ajoutés pour que les simulations de circuit soient réalisées dans des conditions optimales.

Afin de mettre en évidence l'importance du niveau de découplage des niveaux métalliques par rapport à l'extraction du couple f_T / f_{MAX} nous avons placé pour deux longueurs de transistors, 0,6 et 5 μm , une structure de type *Short* et trois types d'*Open* différents. Les résultats de ces mesures sont présentés sur les figures suivantes.

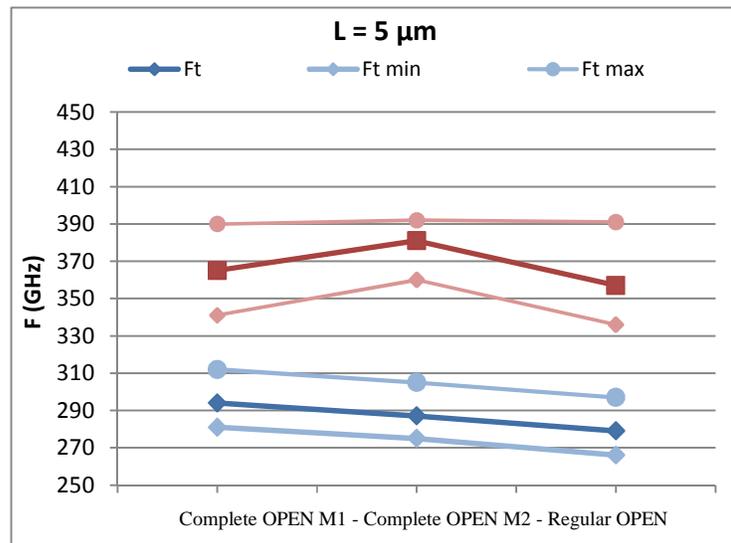


Figure D.4 f_T et f_{MAX} mesurés sur un TBH B5T de longueur 5 μm en fonction du type d'Open utilisé

longueur transistor	L = 5 μm		
	OPEN M1	OPEN M2	regular OPEN
Ftmax (Ghz)	295	279	287
Deviation standart sur Ft (GHz)	10	10	10
Fmax	364	376	382
Deviation standart sur Fmax (GHz)	17	9	18
Ic (mA) @ Ftmax	9	9	9
Betaf @ Ftmax	455	453	453
Ctbe (fF) @ Vbe=0V	9	11	10
Ctbc (fF) @ Vbe=0V	7	9	7
Rem (Ohms)	6	6	6
Rbb' (Ohms) @ VBE=0,87V	24	24	23

Tableau D.1 Paramètres extraits des paramètres S pour un TBH de 5 μm de long avec un épluchage réalisé avec différents types d'OPEN

Sur la Figure D.4 sont représentées les valeurs de f_T et f_{MAX} pour un transistor B5T de longueur 5 μm dont l'épluchage des capacités, inductances et résistances des lignes de

connexion est faite avec trois types d'*Open*. Sur un dispositif de cette longueur on remarque une amélioration de f_T de l'ordre de 15 GHz entre un *Regular Open* qui ne tient compte que du métal 6 et un *Open M1* descendant jusqu'aux contacts. Plus on considère de niveaux de métaux dans la structure *Open* plus la valeur de f_T extraite sera élevée, la variation relevée entre le métal 1 et le métal 2 est d'environ 5 GHz. Si l'on regarde la déviation standard sur une plaque on constate un écart type de 10 GHz pour f_T et de 10 à 18 GHz pour f_{MAX} ce qui est du même ordre de grandeur que les différences observées précédemment. Dans ce cas la différence de valeur extraite pour chaque composant peut découler d'une variabilité de la mesure ou bien des variations des conditions de fabrication dues à la position du transistor sur la plaque (bord, centre).

Les mesures également réalisées sur un transistor de longueur 0,6 μm confirme la variation observée sur f_T avec l'ajout de niveaux de métaux dans la structure *Open*. Ici la variation constatée de f_T entre *Open M1* et *Regular Open* est de 25 GHz. En effet les capacités et résistances des TBH très courts sont faibles et celles dues aux connexions métalliques ont alors un effet plus important.

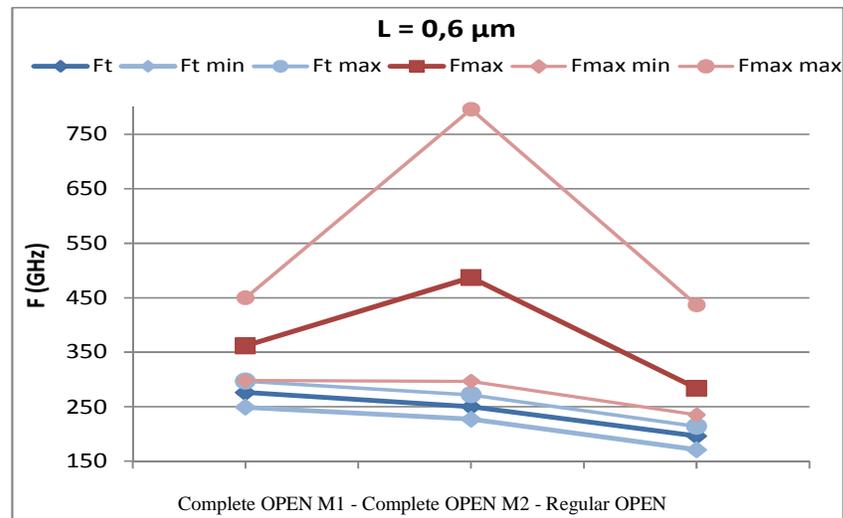


Figure D.5 f_T et f_{MAX} mesuré sur un TBH B5T de longueurs 0,6 μm en fonction du type d'*Open* utilisé

Sur le tableau suivant on remarque que pour les petits transistors les déviations standards sont encore plus importantes. Compte tenu des valeurs des capacités mesurées, qui restent inférieures au femto farad quel que soit le type d'*Open*, nous pouvons mettre en cause d'avantage la précision de la mesure par rapport aux variations des conditions de fabrication pour ce type de transistor.

longueur transistor	L = 0,6 μm		
	OPEN M1	OPEN M2	regular OPEN
OPEN			
F _{tmax} (Ghz)	276	195	250
Deviation standart sur Ft (GHz)	46	15	14
F _{max}	362	285	486
Deviation standart sur Fmax (GHz)	47	169	56
I _c (mA) @ F _{tmax}	1	1	1
Betaf @ F _{tmax}	345	251	295
C _{tbe} (fF) @ V _{be} =0V	1	2	1
C _{tbc} (fF) @ V _{be} =0V	1	3	1
Rem (Ohms)	73	79	77
R _{bb'} (Ohms) @ V _{BE} =0,87V	2	504	599

Tableau D.2 Paramètres extrait des paramètres S pour un TBH de 0,6 μm de long avec un épluchage réalisé avec différent type d'OPEN

Lorsque la longueur du transistor est petite ($< 1,5 \mu\text{m}$) les capacités intrinsèques du composant prennent alors des valeurs très faibles par rapport à celles propres aux connexions compte-tenu des petites surfaces mises en jeu. En effet si l'on considère un type d'*Open* il existe au moins un facteur 7 entre la capacité mesurée sur un TBH de 0,6 μm et un de 5 μm de long. Seul l'épluchage avec un *Open* M1 permet d'obtenir des résultats cohérents avec des dispositifs de petite longueur. Lorsque $l = 5 \mu\text{m}$ la variation maximale de capacité entre deux *Open* est de l'ordre de 30 % alors que des valeurs du simple au triple sont mesurées sur un composant de longueur 0,6 μm . C'est pour cette raison que toutes les mesures présentées dans ces travaux sont réalisées sur des transistors d'au moins 5 μm de long.

Pour la f_{MAX} on remarque une évolution qui n'est pas constante avec une faible augmentation de la valeur entre *Open* M1 et *Open* M2 puis une diminution entre *Open* M2 et *Regular Open*.

Tout comme pour la structure *Open*, il est également possible de prendre une autre référence pour le *Short* que le premier niveau de métal. Cette étude n'a pas pu être réalisée avec des composants de ces travaux mais toutefois, on peut dire que l'effet de la modification du *Short* a un effet inverse sur f_{MAX} similaire à la modification de l'*open*. C'est-à-dire que la fréquence maximale extraite avec un *Short* M2 est supérieure de quelques giga hertz à la valeur extraite avec un *Short* M1.

Cette étude de l'influence de la structure *Open*, prise en référence pour l'épluchage des parasites liés aux connexions métalliques, a mis en évidence les difficultés de l'estimation des performances fréquentielles des petits transistors. De plus, quelle que soit la longueur du transistor nous avons constaté que l'augmentation de la valeur de f_T avec le nombre de niveaux pris en compte pour l'épluchage était non significatif pour apprécier le niveau de performance mais qu'il était utile de le préciser afin de comparer diverses mesures entre elles.

III. Evolution du composant en fonction des générations

Ces travaux prenant part au projet européen DOTFIVE nous avons développé le transistor bipolaire avec comme objectif premier d'améliorer la fréquence d'oscillation maximale. Au cours de cette étude nous nommerons les évolutions successives du composant B3T, B4T et B5T. Initialement l'objectif est d'améliorer f_{MAX} de 100 GHz à chaque nouvelle technologie et de franchir ainsi 300, 400 et 500 GHz. Les deux premiers paliers sont atteints avec B3T et B4T. En dépit de performances fréquentielles ne remplissant pas l'objectif final des 0,5 THz, nous avons tout de même conservé la dénomination B5T pour la dernière génération de composant mis au point.

III.1 B9MW

Le point de départ de ces travaux est la technologie B9MW qui est en production chez STMicroelectronics. On peut voir sur la Figure D.6 une vue en coupe du transistor bipolaire de cette technologie représentant le composant ainsi que les premiers niveaux de connexions métalliques. Les longueurs clés qui permettent de décrire la géométrie du transistor sont :

- La largeur de la fenêtre émetteur égale à $0,27 \mu\text{m}$ pour une largeur finale de l'émetteur après réalisation des espaceurs internes de 130 nm
- La superposition du poly-émetteur sur la fenêtre émetteur égale à $0,10 \mu\text{m}$
- La distance entre les tranchées d'isolation peu profondes et la zone active sous la base intrinsèque égale à $0,22 \mu\text{m}$
- la longueur du polybase, permettant de relier la base intrinsèque et le contact de base, égale à $0,72 \mu\text{m}$
- La largeur totale du composant, correspondant à la distance entre deux tranchées d'isolation profondes, égale à $4,40 \mu\text{m}$.

Les transistors bipolaires de la technologie B9MW, qui est une technologie BiCMOS, doivent donc être compatibles avec les composants de type CMOS, ce qui impose un certain nombre de contraintes sur la fabrication, notamment la température du recuit final, qui est réalisé à $1113 \text{ }^\circ\text{C}$.

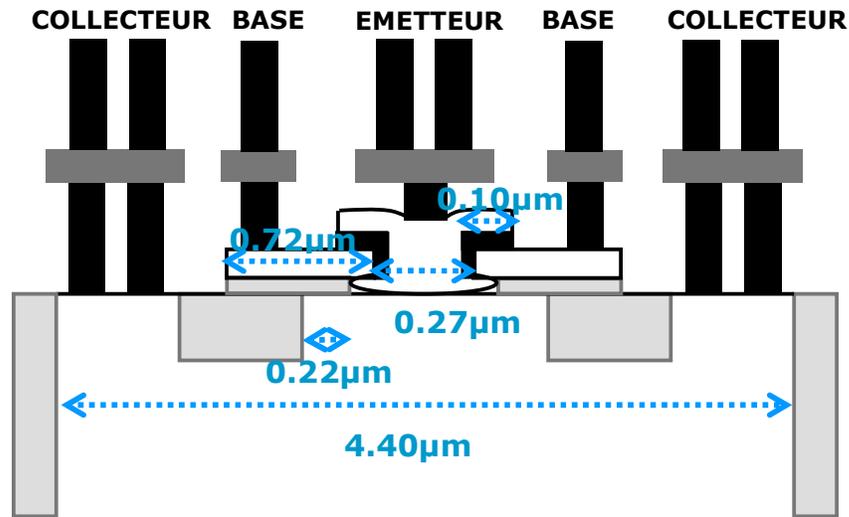


Figure D.6 Schéma du TBH de la technologie B9MW vue en coupe

On peut voir sur le dessin du transistor de la Figure D.7 que les contacts sont organisés en deux rangées de plots sur les prises collecteurs, en une simple rangée de plots pour les contacts de base et en contacts rubans sur l'émetteur.

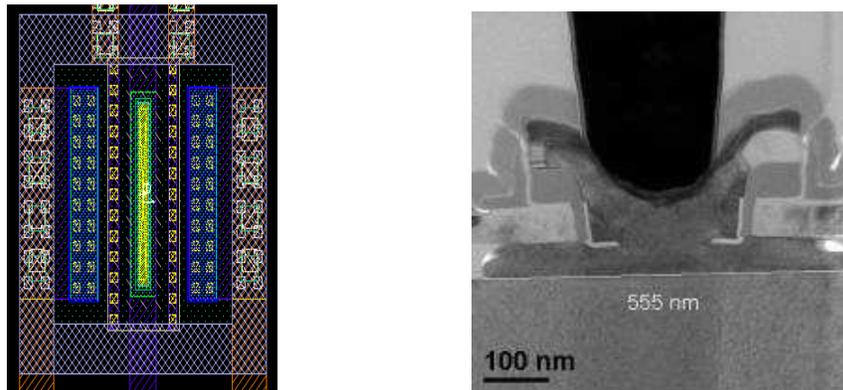


Figure D.7 Vue du dessus du dessin du composant et en coupe TEM du transistor bipolaire B9MW de longueur $5 \mu\text{m}$ de type CBEC

Pour l'extraction des paramètres S l'épluchage considéré est un *Open M2* couplé à un *Short M2*. Les performances annoncées pour f_T / f_{MAX} sont par conséquent surestimées de quelques giga hertz.

Les performances fréquentielles de ce transistor sont de 220 GHz pour f_T et 280 GHz pour f_{MAX} .

III.2 De B9MW à B3T

Le premier palier à franchir est d'augmenter la valeur de f_{MAX} au-dessus de 300 GHZ. Pour atteindre ce but nous avons réalisé diverses modifications du profil vertical (cf. Ch. II) ainsi que du profil latéral (cf. Ch. III) du transistor.

Notre objectif étant focalisé sur l'amélioration des performances des transistors bipolaires, nous avons donc réalisé des modifications d'étapes de fabrication qui ne nous permettent plus d'être compatibles CMOS. On remarque sur la Figure D.6 dans le cas du TBH B9MW la présence d'espaceurs en dehors de la fenêtre émetteur. Ces espaceurs permettent d'isoler le drain et la source de la grille, permettant ainsi de diminuer les fuites des transistors MOS. Néanmoins, la présence de ces espaceurs dans l'architecture finale du composant étudié n'est pas souhaitable puisqu'ils contraignent la siliciuration du polybase. En effet, sur la coupe du TBH B9MW on remarque bien que la siliciuration commence juste après les espaceurs CMOS alors que sur la deuxième coupe (b) la siliciuration commence directement au bord de la fenêtre émetteur. Augmenter la surface de la zone siliciurée permet de réduire la contribution de la résistance de base extrinsèque.

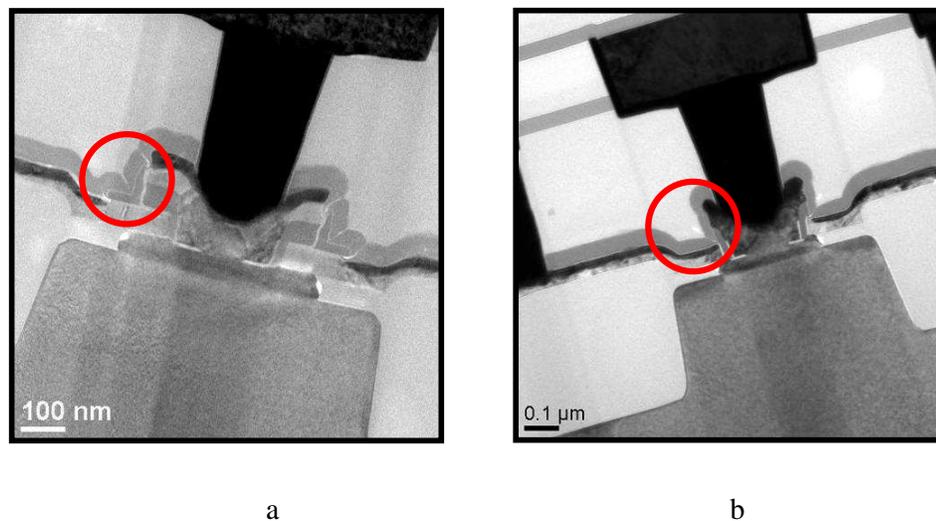


Figure D.8 Coupe TEM d'un transistor bipolaire B9MW (a) et B3T (b) de dimensions respectives $0,12 \times 4,9 \mu\text{m}^2$ et $0,12 \times 4,9 \mu\text{m}^2$

Les paramètres de l'implantation du SIC ont également été modifiées. La dose initiale a été conservée et l'énergie d'implantation augmentée pour diminuer la valeur de la capacité base – collecteur et ainsi favoriser f_{MAX} . Une autre modification du procédé de fabrication est la réduction de l'épaisseur totale de la base intrinsèque. L'épaisseur du pic de bore est réduite de seulement 1 nm et le niveau de dopage conservé afin de ne pas altérer la résistance de base qui joue un rôle prépondérant sur la valeur de la fréquence maximale. C'est donc l'épaisseur de la partie SiGe de la base qui est réduite. Dans le même temps, la barrière de potentiel vue par les électrons de l'émetteur est abaissée en

renforçant la proportion de germanium dans la base. Le profil graduel initial de germanium de 10 à 25 %, en proportion atomique, est désormais égal à 20 % coté émetteur et 30 % du côté du collecteur. La température du recuit final a été diminuée de 30 °C ce qui limite la diffusion des dopants. Après le recuit on conserve alors une base fine ce qui est favorable au temps de transit τ_B .

		B9MW	B3T
Oxyde piédestal (nm)	nm	500	400
Polybase (50nm) (bore)	at / cm ²	7E+17	7E+17
Implantation SIC (arsenic)	(10 ¹³ cm ⁻² / keV)	4E13 / 160	4E13 / 250
Si Cap	nm	17	18
Profil de base SiGe	(% Ge)	10 25	20 30
Epaisseur bore base intrinsèque	nm	5	4
Epaisseur totale de la base	nm	53	38
Dopage bore base intrinsèque	10 ¹⁹ /cm ⁻³	5	5
Epaisseur espaceur interne	nm	100	80
Poly émetteur (arsenic)	nm	100	100
Température de recuit (°C)	°C	1113	1080

Tableau D.3 Comparaison des procédés de fabrication B9MW et B3T

Parallèlement aux modifications du profil vertical, des réductions des dimensions latérales de la partie intrinsèque du transistor ont également été effectuées. La fenêtre émetteur est réduite de 20 nm, la superposition du poly émetteur et de la fenêtre émetteur est réduite de moitié et la distance entre le bord de la zone active et la fenêtre émetteur est diminuée de 50 nm. Les autres dimensions, de même que le type de contact utilisé, sont conservées. On peut voir une vue en coupe du transistor B3T ainsi qu'une vue du dessin du composant sur les Figure D.9 et Figure D.10.

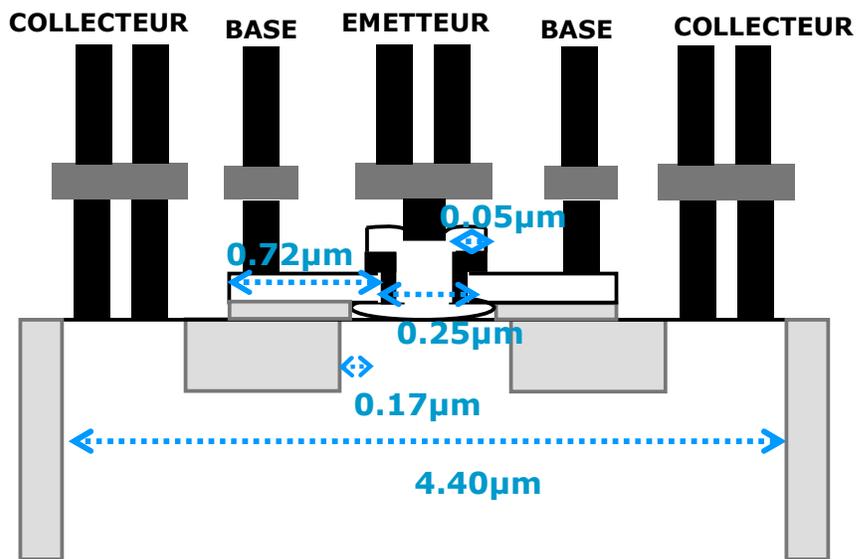


Figure D.9 Schéma du TBH de la technologie B3T vue en coupe

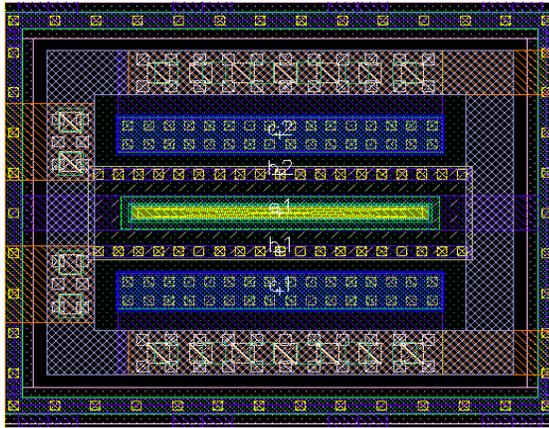


Figure D.10 Vue du dessus du dessin du transistor bipolaire B3T de longueur $5\ \mu\text{m}$ de type CBEBC

La coupe TEM de la Figure D.11 met en évidence les modifications du profil latéral, mais également la réduction de l'épaisseur de l'oxyde piédestal et de l'épaisseur de la base.

On remarque également la modification du profil des espaceurs internes qui permet pour une réduction de la fenêtre émetteur de $20\ \text{nm}$ de conserver un émetteur effectif de $120\ \text{nm}$ ($130\ \text{nm}$ pour B9MW) afin de ne pas pénaliser la résistance émetteur.

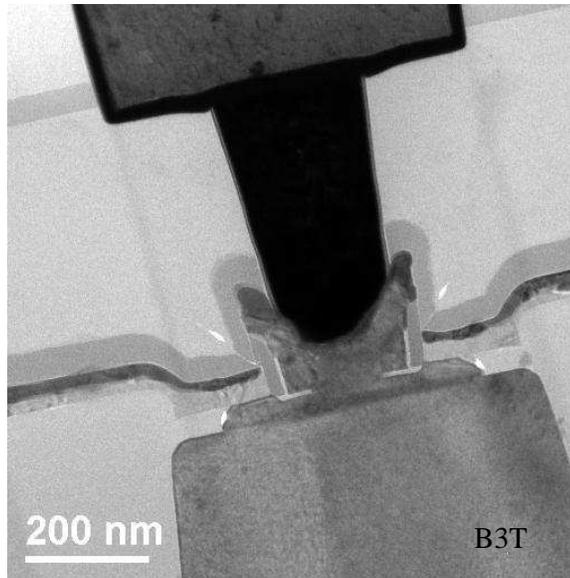


Figure D.11 Coupe TEM d'un TBH B3T

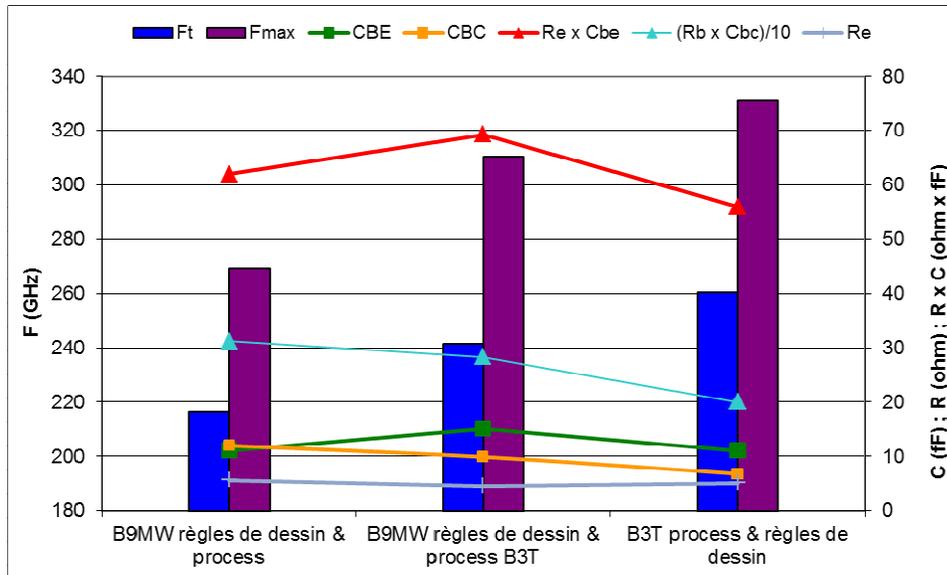


Figure D.12 Comparaison des performances fréquentielles de deux dessins de transistors fabriqués suivant deux routes différentes

Sur la Figure D.12 on peut voir les résultats obtenus à partir d'un transistor B9MW (règle de dessin et route de fabrication), d'un transistor de type B9MW fabriqué avec une route B3T et enfin d'un transistor B3T (règle de dessin et route de fabrication).

Tout d'abord nous devons préciser que les mesures présentées précédemment sont toutes obtenues avec un épluchage utilisant un Open M2 et un Short M2.

On s'intéresse dans un premier temps à la modification du profil vertical du composant B9MW. On remarque alors une amélioration d'environ 40 GHz pour f_{MAX} et 30 GHz pour f_T . La capacité base - collecteur est réduite de quelques femto farad grâce à la modification de l'implantation SIC tandis que la capacité émetteur – base est augmentée de près de 40 % en raison d'une jonction émetteur base beaucoup plus abrupte (base plus fine en B3T)

En parallèle de la modification de la route de fabrication, nous nous sommes intéressés à l'influence des règles de dessin sur les performances fréquentielles. A la suite de la réduction des dimensions de la partie intrinsèque du transistor, telles que la largeur de la fenêtre émetteur, la distance entre les tranchées d'isolation peu profondes et la fenêtre émetteur ou encore la superposition du poly-émetteur avec la fenêtre émetteur, on constate une amélioration de f_T et f_{MAX} de l'ordre de 20 GHz pour ces deux paramètres.

Le gain cumulé de la modification des règles de dessin et des procédés de fabrication nous permet d'améliorer f_T et f_{MAX} de 45 et 60 GHz respectivement.

Les composants de la technologie B3T offrent un couple f_T / f_{MAX} de 250 / 330 GHz, mesuré sur un TBH de $0,12 \times 5 \mu\text{m}^2$. Les variations de longueur proposées sont comprises entre 0,8 et $15 \mu\text{m}$

III.3 De B3T à B4T

Afin d'augmenter d'avantage la fréquence maximale d'oscillation et d'atteindre le deuxième palier de 400 GHz nous nous sommes focalisés sur l'optimisation du profil latéral.

Les transistors B9MW et B3T utilisent les dimensions minimales autorisées par le DRM de la technologie, toute fois, afin de réduire l'ensemble des dimensions du transistor les règles de dessin des contacts sont violées :

- sur les collecteurs on note la modification de la double rangée de plots en un contact ruban, ce qui permet la réduction de la largeur des puits collecteur
- à la double rangée de Via.1 placé sur l'émetteur on substitue un ruban unique pour rapprocher les contacts de base et d'émetteur. La longueur du polybase est alors réduite de $0,18 \mu\text{m}$.

Dans la partie intrinsèque on note la fenêtre émetteur réduite à $0,23 \mu\text{m}$ et la distance entre la zone active et la fenêtre émetteur fixée à $0,09 \mu\text{m}$. L'empattement total du transistor est alors réduit au total de $1,30 \mu\text{m}$. La vue en coupe et la vue de dessus du dessin du composant B4T sont visibles sur la Figure D.13 et la Figure D.14.

Pour la réalisation du transistor B4T le profil vertical mis au point pour B3T n'est pas modifié, les niveaux de dopages, l'épaisseur de la base épitaxiée et le budget thermique sont conservés. Les deux transistors sont fabriqués avec la même route de fabrication.

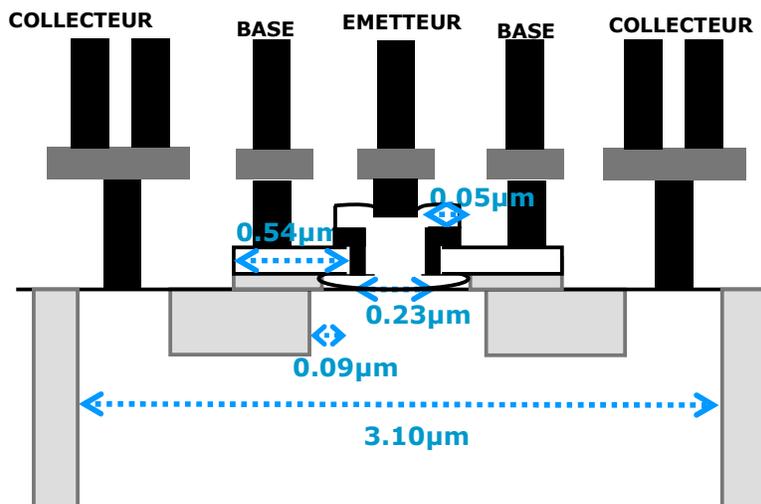


Figure D.13 Schéma du TBH de la technologie B4T vue en coupe

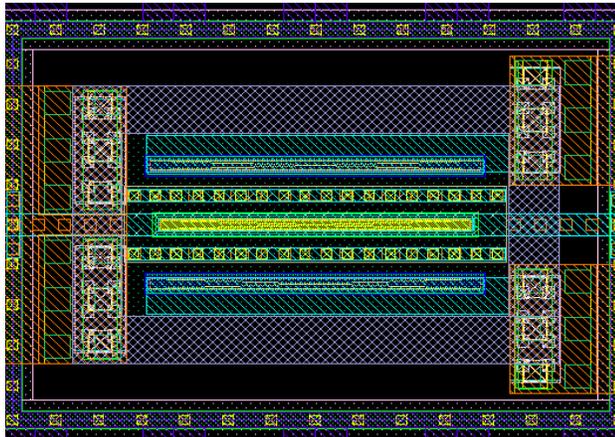


Figure D.14 Vue du dessus du dessin du transistor bipolaire B4T de longueur 5 μm de type CBEBC

Sur la coupe TEM de la Figure D.15 on peut voir une coupe TEM du transistor B4T sur laquelle on remarque la réduction de la largeur de l'émetteur effectif de 30 nm par rapport à la génération précédente, celle-ci atteignant maintenant 90 nm.

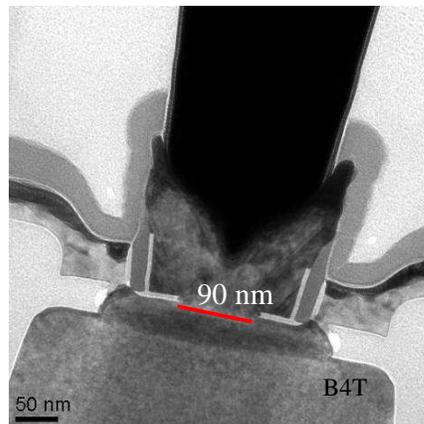


Figure D.15 Coupe TEM d'un TBH B4T

La Figure D.16 présente les résultats obtenus à partir de mesures sur un transistor B3T et un transistor B4T réalisées sur deux plaques provenant de lots distincts mais fabriqués avec la même route de fabrication et le même type de structure sur le jeu de masque. Pour attester de la reproductibilité des étapes de fabrication entre deux lots et légitimer la comparaison effectuée, le Tableau D.4 résume les différents paramètres technologiques extraits, à partir de structures dédiées, sur chacune des plaques au test paramétrique. On constate que la résistance d'accès à la base, la résistance de base pincée et les résistances de polybase et poly-émetteur non siliciuré sont équivalentes sur les deux plaques.

nom lot		VVI	JAV
N°plaque		8	7
Rb*	Ohm/bip	169	165
R base pincé	Ohm/ct	2,5	2,7
Rpolybase non siliciuré	Ohm/sq	439	437

Tableau D.4 Comparaison des paramètres technologiques mesurés sur deux plaques fabriquées avec une route B3T

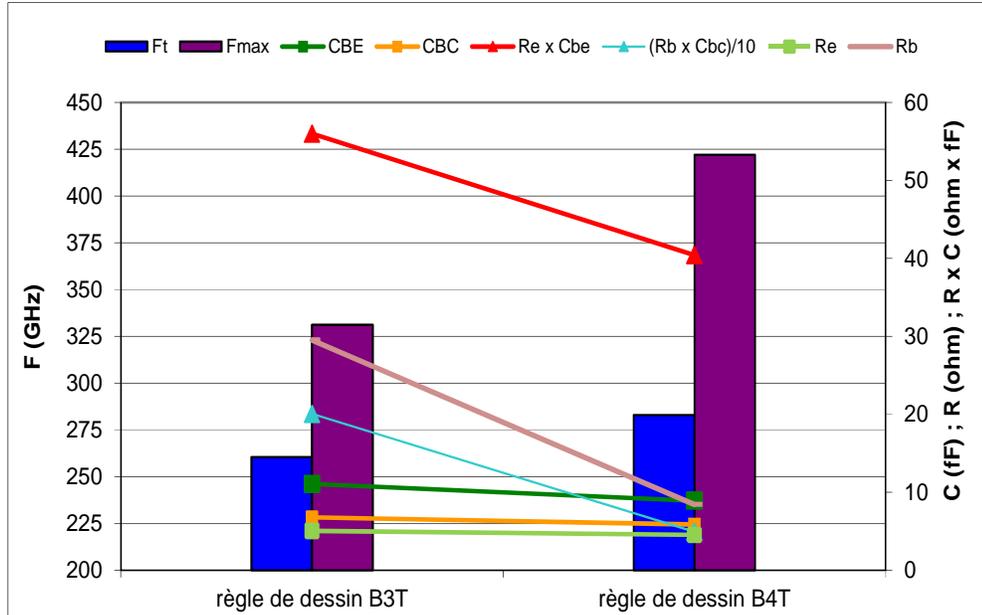


Figure D.16 Résultats électriques obtenues à partir de règles de dessin B3T et B4T avec le même type d'épluchage (Open M2 & Short M2)

Les mesures nous montrent un gain de l'ordre de 50 GHz pour f_{MAX} et de l'ordre de quelques GHz pour f_T . L'augmentation importante de f_{MAX} est le fruit de la réduction du produit $R_b \times C_{BC}$ au travers de la réduction de résistance de base (liée à la réduction de W_e). Sur la coupe TEM on remarque que la cavité ouverte dans l'oxyde piédestal est plus étroite en B4T qu'en B3T (à cause de la réduction de W_{emwin}) ce qui permet de diminuer la contribution de la capacité base – collecteur intrinsèque. La résistance émetteur n'est pas pénalisée par la réduction de W_e .

Les composants de la technologie B4T offrent un couple f_T / f_{MAX} de 250 / 400 GHz pour un TBH de $0.09 \times 5 \mu m^2$. Les variations de longueurs proposées sont comprises entre 0,4 et 15 μm grâce à l'emploi de la lithographie 193 nm.

Pendant ces travaux des circuits développés par des partenaires ont été embarqués sur chaque masque afin de suivre également l'évolution des résultats des circuits (ce point

fera l'objet d'une partie à la fin de ce chapitre). Les concepteurs ont reçu pour tester leurs circuits des plaques de références B4T ainsi que des variantes de la technologie B4T dont un échantillon ayant un collecteur plus dopé que la référence et présentant donc un f_T plus fort et un f_{MAX} plus faible que la référence B4T. Les résultats ont montré de meilleurs niveaux de bruit sur cet échantillon nous incitant alors à augmenter f_T afin de réduire le bruit NF (des mesures de bruit sur circuits sont présentées dans ce chapitre).

Bien que l'objectif initial de B4T ait été d'atteindre les 400 GHz de f_{MAX} , nous avons choisi de ne pas retenir cette technologie pour la réalisation des circuits. L'objectif est de mettre au point un composant dont les fréquences de fonctionnement sont de 270 GHz pour f_T et 370 GHz pour f_{MAX} . Plusieurs versions de la technologie B4T ont été réalisés, nous les nommons successivement B4T1, B4T2 et B4T3

Dans un premier temps nous avons effectué une modification de l'implantation du collecteur, en réduisant l'énergie d'implantation pour réduire le temps de transit dans le collecteur. Toujours pour favoriser f_T nous avons diminué la résistance émetteur en élargissant la taille de l'émetteur effectif tout en conservant une largeur de fenêtre émetteur de 230 nm. Pour cela nous réduisons l'épaisseur de silicium amorphe déposée pour former les espaceurs interne de 80 à 50 nm. La largeur de l'émetteur effectif fabriqué est alors de 165 nm. Sur le Tableau D.5 on peut voir les variations de procédés de fabrication effectués entre la référence B4T1 (JAV) et les essais B4T2 (PGT).

Lot		JAV	PGT
N°plaque		4	21
Implantation SIC	(at/cm ⁻²) (KeV)	6E13 / 230	6E13 / 155
Integration du SIC		avant	avant
Epaisseur de bore	(nm)	4	4
Espaceur interne	(nm)	80	50
Epaisseur émetteur	(nm)	100	100

Tableau D.5 Energie et niveau de dopage du collecteur implanté pour B4T (lot JAV) et B4T2 (lot PGT)

Sur la Figure D.17 est exposée une comparaison des performances fréquentielles et des capacités et résistances de deux transistors mesurées sur les plaques des dégroupages présentés dans le tableau précédent.

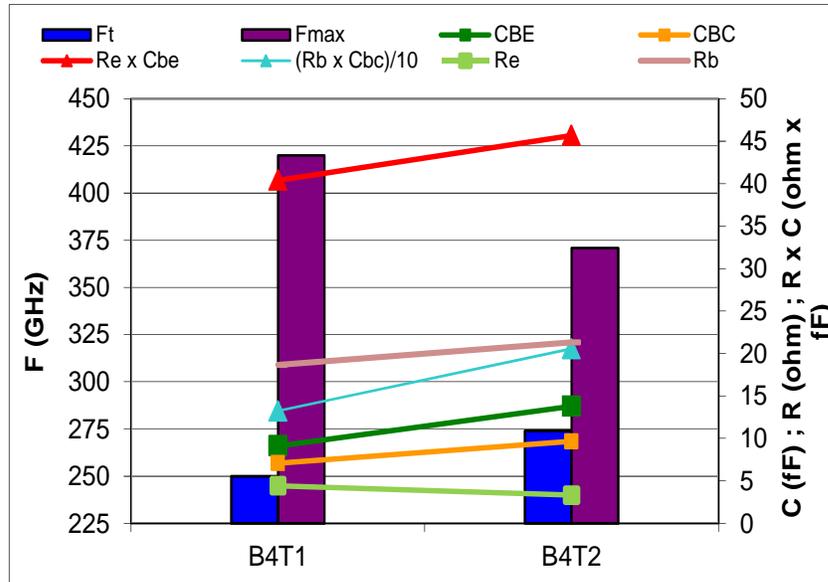


Figure D.17 Comparaison du couple f_T/f_{MAX} , des capacités et résistances d'une référence B4T1 et d'un composant B4T2 (Amo 500) obtenu avec le même type d'épluchage (Open M2 & Short M2)

Les performances mesurées sur la plaque 21 du lot PGT atteignent les objectifs B4T2, avec un couple f_T / f_{MAX} de 275 / 370 GHz. L'augmentation de f_T est obtenue grâce à la diminution de la résistance d'émetteur, en contrepartie f_{MAX} est pénalisée pour l'augmentation de la capacité C_{BC} (dopage collecteur plus élevé) et par l'augmentation de R_B (espaceurs plus étroits mais émetteur plus large).

Bien que les performances visées aient été atteintes, d'autres plaques ont été fabriquées en conservant les modules espaceurs B4T de référence (80 nm de Si) dans le but de diminuer la contribution de R_B . Toutefois, afin de conserver un émetteur effectif supérieur à 90 nm (B4T) c'est cette fois-ci la largeur de la fenêtre émetteur qui est élargie de 230 nm à 260 nm, W_E est alors égale à 120 nm. L'implantation du collecteur à 155 KeV est conservée. Les résultats des mesures du composant nommé B4T3 (lot AJT) sont comparés à la référence B4T1 (lot JAV) sur la Figure D.18. Le Tableau D.6 compare les paramètres technologiques mesurés sur les deux lots dont il est question. Les grandeurs mesurées sont équivalentes d'un lot à l'autre, ce qui nous permet de comparer ces résultats entre eux.

Lot		JAV	AJT
N° plaque		4	4
R_b^*	Ohm/bip	146,5	137,0
Rbase pincé	Ohm/ct	2,7	2,2
Rpolybase non siliciuré	Ohm/sq	380,6	393,5

Tableau D.6 Comparaison de la résistance d'accès à la base, de la résistance de base pincée et la résistance du polybase non siliciuré

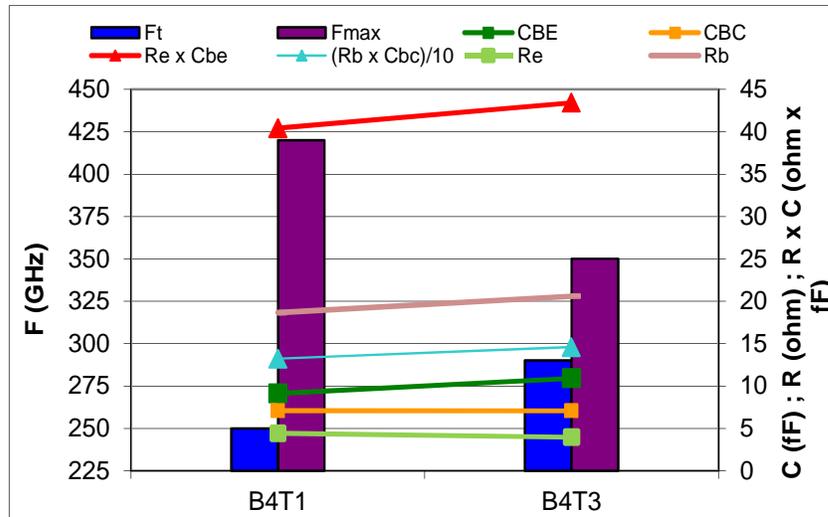


Figure D.18 Comparaison du couple f_T/f_{MAX} , des capacités et résistances d'une référence B4T1 et d'un composant B4T3 (Amo 800)

On note que le nouvel objectif B4T n'est cette fois-ci pas rempli, le couple f_T / f_{MAX} a pour valeurs 290 / 350 GHz. L'épluchage est réalisé pour B4T1 avec un *Open* M2 et un *Short* M2 tandis que pour B4T3 un *Open* M1 et un *Short* M1 sont utilisés. Pour le composant B4T3, par rapport au B4T1, la valeur de f_T est surestimée de quelques giga hertz alors que f_{MAX} est sous-estimée du même ordre de grandeur.

Bien que la valeur de la capacité C_{BC} soit maintenue pour B4T3 proche de 7 fF sur le graphique précédent, la capacité $C_{BC-B4T3}$ augmente en réalité par rapport à $C_{BC-B4T1}$ si l'on considère un épluchage identique ($\Delta C_{BC-Open M1} / C_{BC-Open M2} = 0,8$ fF).

Le compromis f_T / f_{MAX} peut être rééquilibré en modifiant l'énergie d'implantation du collecteur.

III.4 De B4T à B5T

L'objectif de départ visant une valeur de 500 GHz de f_{MAX} ne s'est pas avéré être réalisable à cause de la base extrinsèque.

Bien qu'une réduction du budget thermique soit connue pour pénaliser la résistance de base, le choix d'un recuit d'activation à plus faible température est fait pour anticiper l'intégration, préparer l'optimisation et estimer les performances du TBH étudié dans un nœud 55 nm.

L'objectif est d'atteindre une fréquence maximale de 450 GHz malgré la réduction de la température de recuit, pénalisante pour la résistance de base, et d'obtenir une valeur de f_T proche de 300 GHz.

Le profil vertical du transistor est modifié afin de prendre en compte le changement du budget thermique. La dose implantée dans le collecteur enterré est augmentée tandis que le collecteur implanté est inchangé par rapport à B4T2. Alors que la base extrinsèque est conservée, l'épaisseur du pic de bore de la base intrinsèque est augmentée de 1 nm pour compenser l'augmentation prévisible de la résistance de base due à l'abaissement de la température de recuit. Les espèces dopantes vont moins diffuser et pour maintenir une faible résistance d'émetteur l'épaisseur du tampon en silicium est réduite de 3 nm. L'épaisseur de silicium déposé pour la formation des espaceurs internes est réduite de 80 à 50 nm afin de pouvoir réduire d'avantage la fenêtre émetteur sans pénaliser la résistance émetteur.

Le profil latéral du composant est également modifié. Grâce à l'étude préalable sur la réduction des dimensions du composant et la mise en évidence des limites de la réduction des dimensions intrinsèque du transistor avec une architecture de type auto-aligné classique, nous avons choisi pour cette technologie une largeur Wemwin de 210 nm. Avec la réduction des espaceurs internes la largeur de l'émetteur effectif est de 110 nm. Suite au suivi des erreurs d'alignement sur plusieurs lots nous avons réduit la superposition des niveaux Emwin et Empoly à 0,03 μm . Les autres règles de dessin sont laissées inchangées. Une vue en coupe du dispositif B5T est visible sur la Figure D.19.

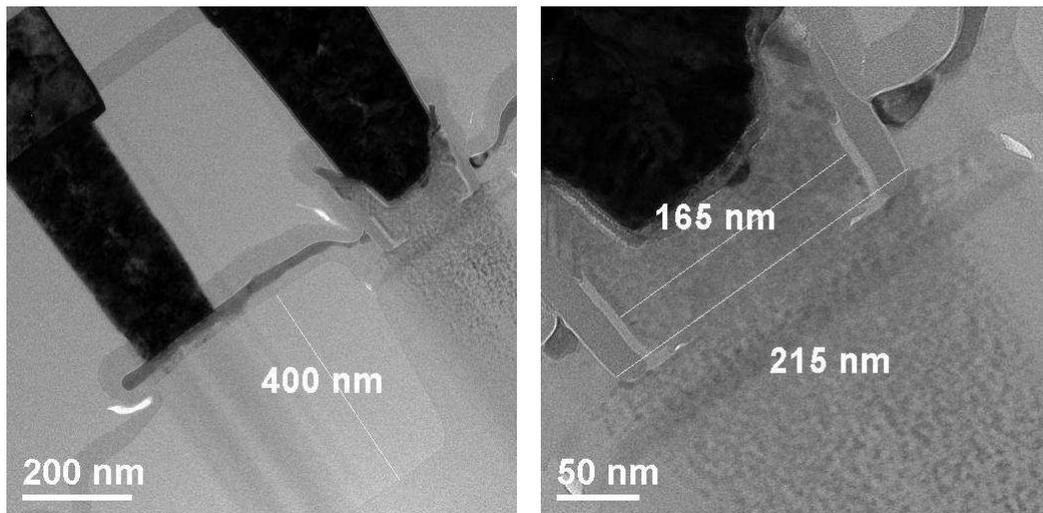


Figure D.19 Coupe TEM d'un transistor B5T, Wemwin = 210 nm

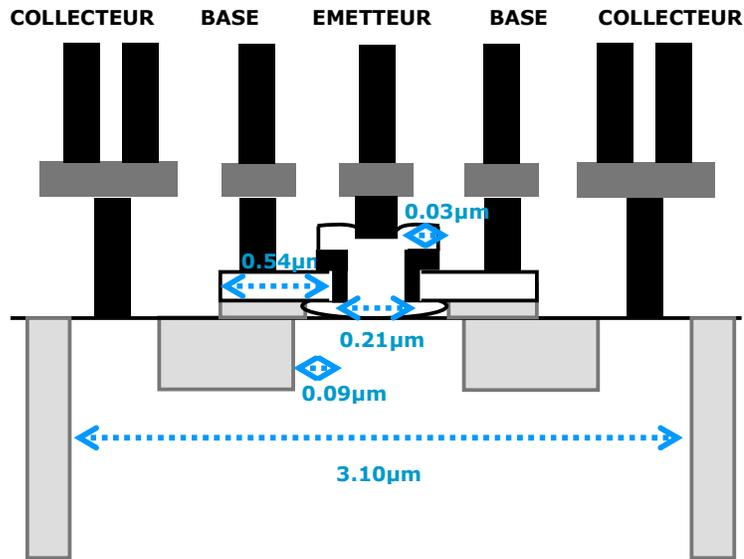


Figure D.20 Schéma du TBH de la technologie B5T vue en coupe

Les paramètres extraits à partir de la mesure des paramètres S sur un composant B5T sont comparés à une mesure réalisée sur un transistor B4T3.

		B4T3	B5T
Dopage couche enterrée	at / cm ⁻²	6E+17	8E+17
Oxyde piédestal (nm)	nm	400	400
Dopage Polybase (50nm)	at / cm ⁻²	7E+17	7E+17
Implantation SIC	(10E13 cm ⁻² /keV)	6E13 / 155	6E13 / 155
Si Cap	nm	18	15
Profil de base SiGe	(% Ge)	20 30	20 30
Epaisseur Bore	nm	4	5
Epaisseur totale de la base	nm	39	37
Dopage bore	10 ¹⁹ /cm ⁻³	5	5
Espaceur interne	nm	80	50
Poly émetteur	nm	100	100
Température de recuit (°C)	°C	1080	1050
Wemwin	nm	260	210
We	nm	120	110

Tableau D.7 Résumé des conditions de fabrication et des dimensions de la fenêtre émetteur pour les composants B4T3 et B5T

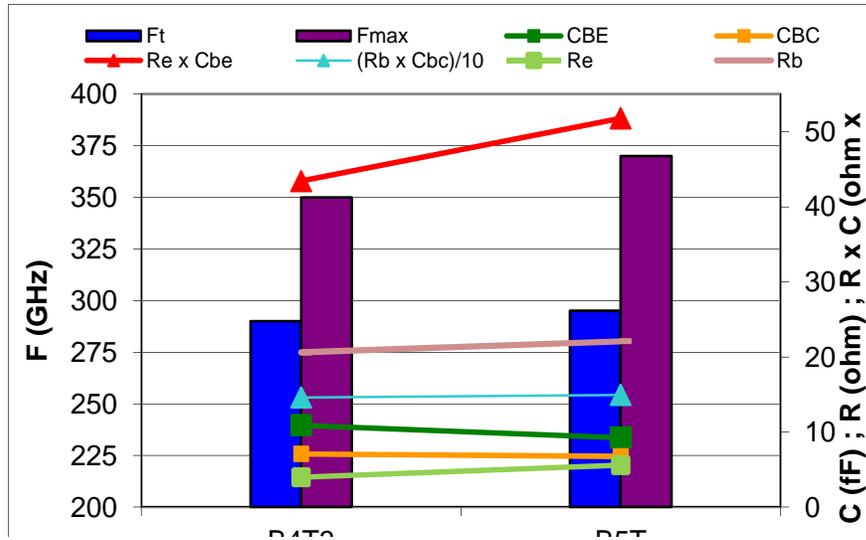


Figure D.21 Comparaison du couple f_T/f_{MAX} , des capacités et résistances du composant B4T3 et d'un composant B5T

Tout d'abord on constate que le composant B5T présente des performances fréquentielles de 290 GHz pour f_T et 370 GHz pour f_{MAX} , avec pour les deux composants un épluchage réalisé avec un *Open M1* et un *Short M1*. La résistance émetteur augmente légèrement à cause de la réduction de la fenêtre émetteur. En dépit de la réduction du budget thermique on note une augmentation des fréquences de fonctionnement grâce à la modification du profil vertical et latéral.

Le composant B5T, développé avec pour objectif l'intégration dans un nœud CMOS 55, expose des fréquences de fonctionnement supérieures de 80 GHz pour f_T et 100 GHz pour f_{MAX} au TBH B9MW. Ce composant permet de démontrer la faisabilité d'une technologie BiCMOS en 55 nm, offrant une haute densité d'intégration de circuit logique et des TBH avec $f_T / f_{MAX} = 290 / 350$ GHz

III.5 Résumé

Dans le Tableau D.8 et sur le graphique de la Figure D.22 sont présentés un résumé des variations des conditions de fabrication et des performances mesurées pour les différentes technologies.

		B9MW	B3T	B4T1	B4T2	B4T3	B5T
Dopage couche enterrée	at / cm ⁻²	4E+17	4E+17	4E+17	4E+17	6E+17	8E+17
Oxyde piédestal (nm)	nm	500	400	400	400	400	400
Dopage Polybase (50nm)	at / cm ⁻²	7E+17	7E+17	7E+17	7E+17	7E+17	7E+17
Implantation SiC	(10E13 cm ⁻² /keV)	4E13 / 160	6E13 / 230	6E13 / 230	6E13 / 155	6E13 / 155	6E13 / 155
Si Cap	nm	17	18	18	18	18	15
Profil de base SiGe	(% Ge)	10 25	20 30	20 30	20 30	20 30	20 30
Epaisseur Bore	nm	5	4	4	4	4	5
Epaisseur totale de la base	nm	53	38	38	39	39	37
Dopage bore	10 ¹⁹ /cm ⁻³	5	5	5	5	5	5
Espaceur interne	nm	100	80	80	50	80	50
Poly émetteur	nm	100	100	100	100	100	100
Température de recuit (°C)	°C	1113	1080	1080	1080	1080	1 050

Tableau D.8 Résumé des variations des conditions de fabrication depuis B9MW jusqu'à B5T

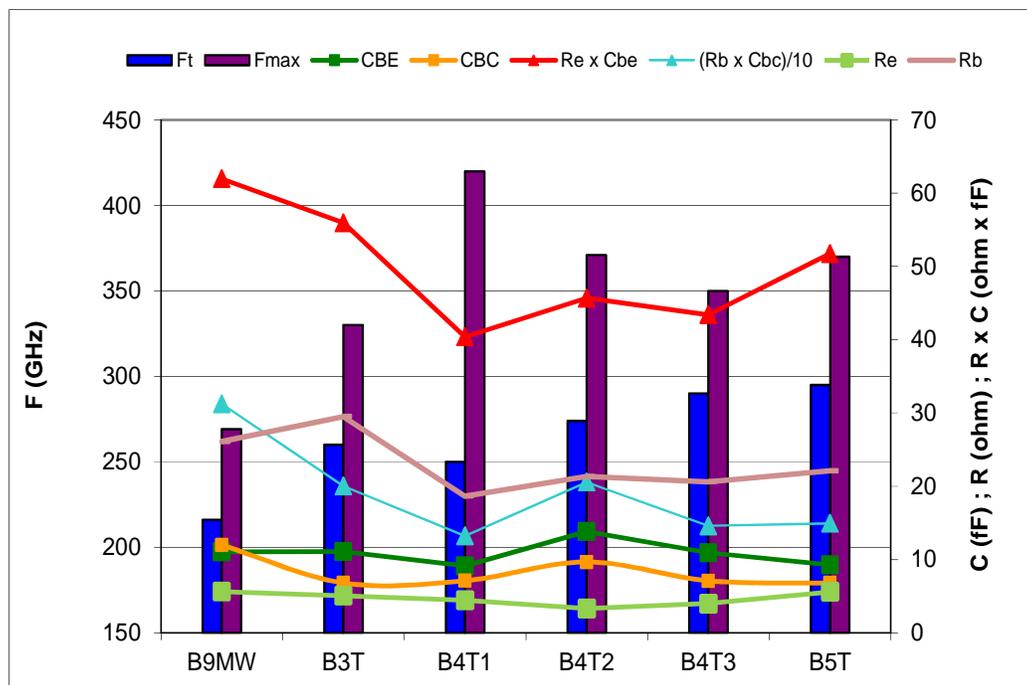


Figure D.22 Résumé des performances fréquentielles et des éléments parasites mesurés sur des composants de B9MW à B5T

Sur la graphique précédent on remarque de manière générale une augmentation continue de f_T au fur et à mesure des générations de transistors avec une augmentation de 80 GHz de la dernière génération mis au point dans ces travaux par rapport au TBH de la technologie B9MW. En dépit de l'objectif de 500 GHz pour f_{MAX} qui n'est pas atteint, la

fréquence maximale est également améliorée et un composant pour une technologie BiCMOS en 55 nm ayant des fréquences f_T / f_{MAX} de 290 / 370 GHz a été démontré.

IV. Comparaison des transistors par type de caractérisation pour chaque technologie

IV.1 Mesure et simulation de niveau de bruit

Dans cette partie nous allons présenter des comparaisons entre les mesures effectuées sur silicium et des simulations. Nous présentons plusieurs courbes caractérisant le fonctionnement des transistors avant d'aborder le bruit NF_{min} dont les simulations sont réalisées à partir de l'extraction des paramètres Y des transistors. Le bruit NF_{min} est calculé grâce à l'expression suivante présentée dans [Voinigescu97] :

$$NF_{min} = 1 + \frac{I_C}{V_T |Y_{21}|^2} \left(\operatorname{Re}\{Y_{11}\} + \sqrt{\left[1 + \frac{2V_T |Y_{21}|^2 (R_E + R_B)}{I_C} \right] \left[|Y_{11}|^2 + \frac{|Y_{21}|^2 I_B}{I_C} \right] - (\operatorname{Im}\{Y_{11}\})^2} \right) \quad (D.1)$$

Sur les différents graphiques de cette partie les simulations sont représentées par des lignes et les mesures par des points, la géométrie des transistors mesurés et simulés est identifiable dans la légende, tout comme le nombre d'émetteur, de collecteur et de base.

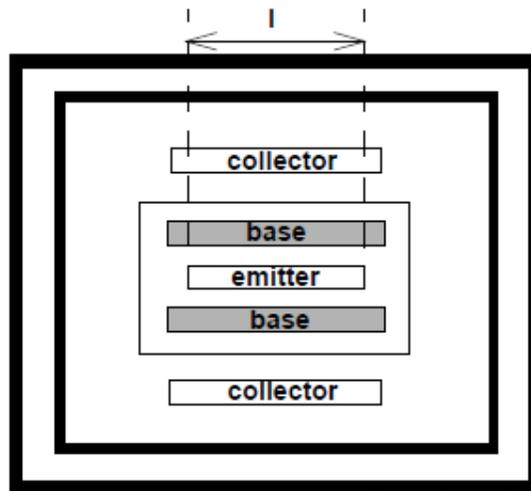


Figure D.23 Vue simplifiée du dessus d'un composant CBEBC nommé ci-dessous : $nbe = 1$, $nbb = 2$, $nbc = 2$

IV.1.a. B9MW

Sur la figure suivante sont représentées des courbes de Gummel simulées et mesurées sur des composants B9MW de longueur comprise entre 0,6 et 15 μm . On remarque une très bonne corrélation entre mesure et simulation dans la zone de courant idéal et de forte injection. A faible polarisation le courant de base mesuré est plus fort que

la simulation. Les courants simulés continuent de suivre un comportement idéal pour des polarisations inférieures à 0,55 V alors que sur le silicium on note l'apparition de l'effet tunnel dans la jonction émetteur - base qui augmente le niveau de courant.

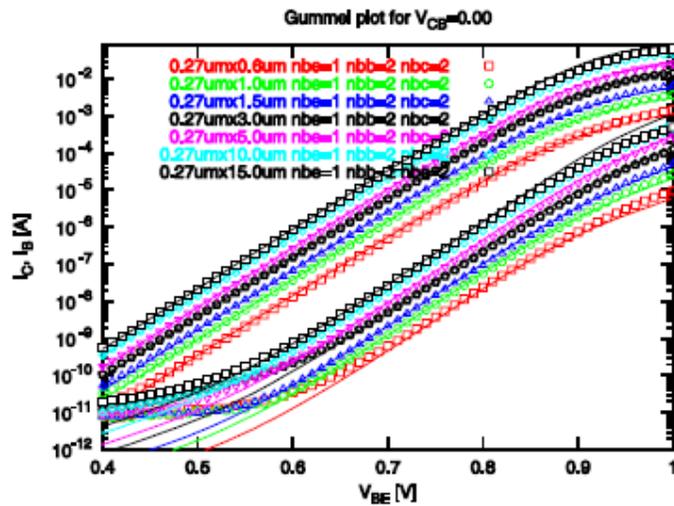


Figure D.24 Courbe de Gummel simulées et mesurées sur un transistor B9MW de différentes longueurs

Sur les courbes de gain ci-dessous on constate une très bonne correspondance mesure – simulation excepté pour les faibles niveaux de courant qui s'explique par la limitation du banc de mesure. La différence de gain mesuré et simulé pour le composant de 0,6 μm de long provient des effets périmétriques qui sont plus complexes à modéliser. Les gains pour des composants de longueurs comprises entre 1,5 et 15 μm sont de l'ordre de 1200.

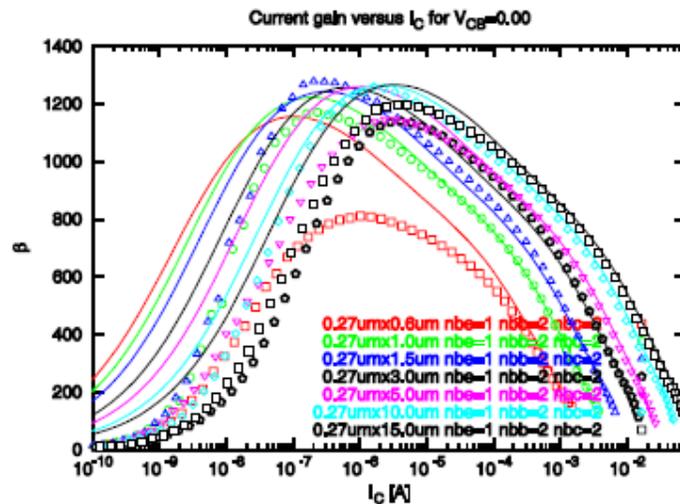


Figure D.25 Courbes du Gain simulée et mesurée en fonction du courant collecteur pour différentes longueurs de transistor B9MW

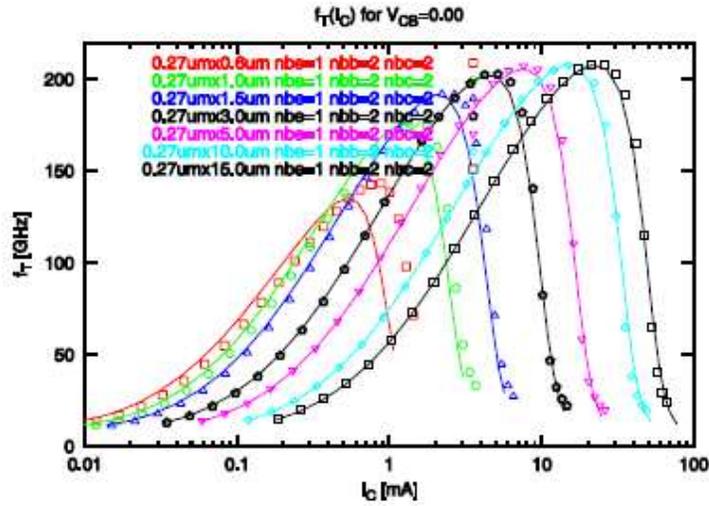


Figure D.26 Comparaison de la valeur de f_T mesurée et simulée pour un composant B9MW de longueur comprise entre $0,6 \mu\text{m}$ et $15 \mu\text{m}$

Les Figure D.26 et Figure D.27 exposent les fréquences de transition et les fréquences maximales mesurées et simulées pour les mêmes composants que précédemment. Les valeurs de f_T pour les transistors de longueur supérieure à $1,5 \mu\text{m}$ sont supérieures à 200 GHz. Les fréquences maximales mesurées sont de l'ordre de 280 GHz.

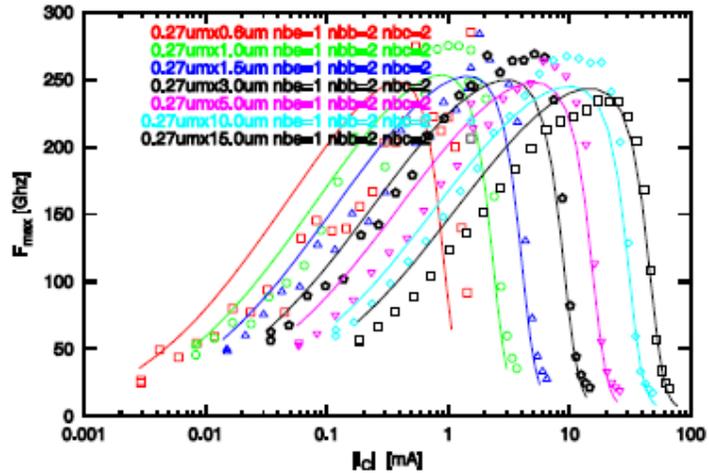


Figure D.27 Comparaison de la valeur de f_{MAX} mesurée et simulée pour un composant B9MW de longueur comprise entre $0,6 \mu\text{m}$ et $15 \mu\text{m}$

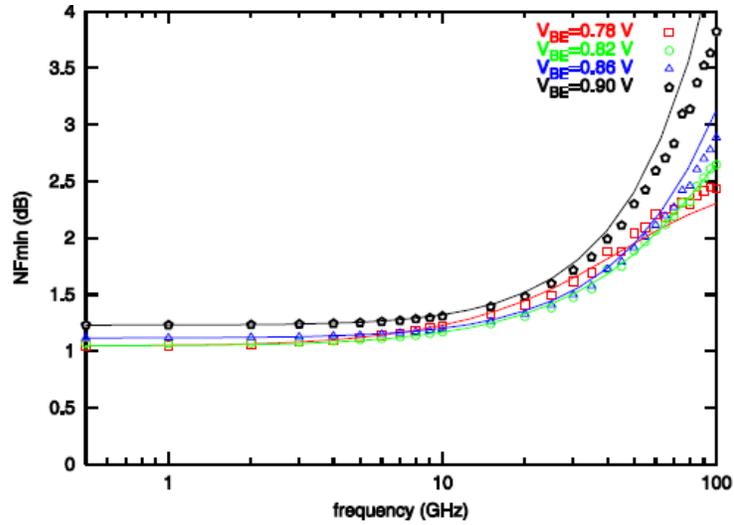


Figure D.28 Courbes de NF_{\min} mesurées et simulées sur une TBH B9MW ($0,27 \times 5 \mu\text{m}^2$) pour des tensions VBE proches du pic f_T

Sur la figure précédente on peut voir l'évolution du bruit NF_{\min} en fonction de la fréquence pour différentes polarisations proches de celles correspondant au pic f_T . Pour des fréquences inférieures à 20 GHz NF_{\min} est inférieur à 1,5 dB et il reste inférieur à 3,5 dB jusqu'à 100 GHz

IV.1.b. B3T

Pour la technologie B3T les mesures permettant l'extraction des paramètres Y sur un nombre suffisant de composants adaptés à l'élaboration d'un modèle ont pu être réalisées sur la même plaque que celle présentée dans la première partie de ce chapitre (III.2).

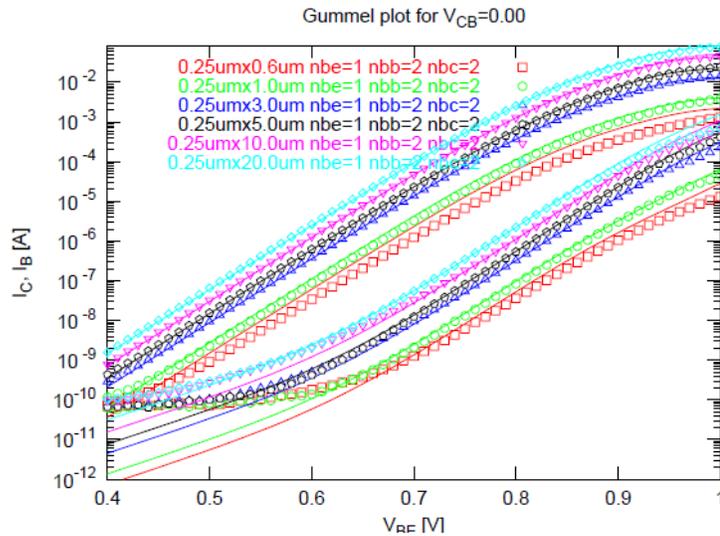


Figure D.29 Courbes de Gummel mesurée et simulée pour différentes longueurs du transistor B3T

Sur les courbes de Gummel de la Figure D.29 on relève le même type de comportement des courbes de courant de base et de collecteur, on note également la signature de la limitation du banc qui ne permet pas de mesurer le courant de base à faible polarisation. Sur la Figure D.30 les courbes de gain atteignent des valeurs comprises entre 1500 et 2000.

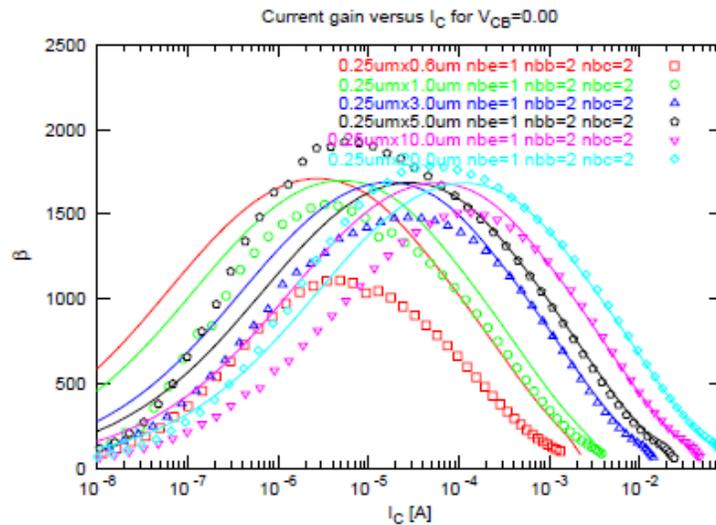


Figure D.30 Courbes de gain mesuré et simulé pour des longueurs comprises entre 0,6 et 20 μm pour un TBH B3T

Les courbes de f_T et f_{MAX} présentées ci-dessous montrent la correspondance entre les mesures et le modèle réalisé. On retrouve les valeurs de fréquence de 250 GHz pour f_T et 300 GHz pour f_{MAX} .

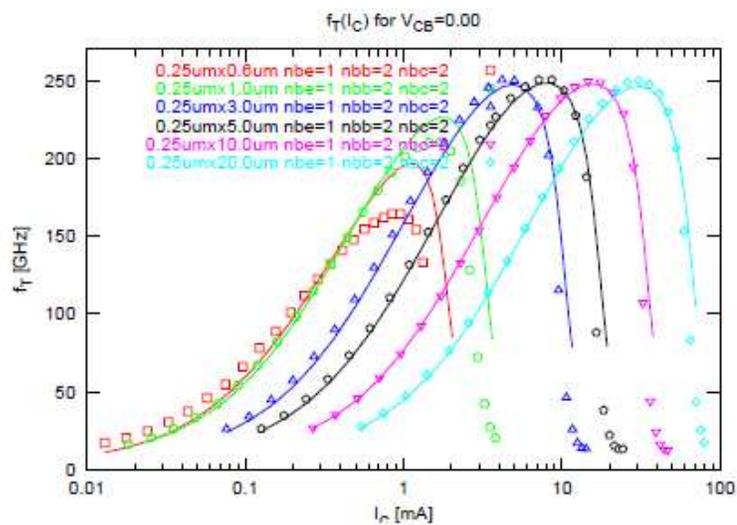


Figure D.31 Comparaison des mesures et simulations de f_T pour différente longueurs du transistor B3T

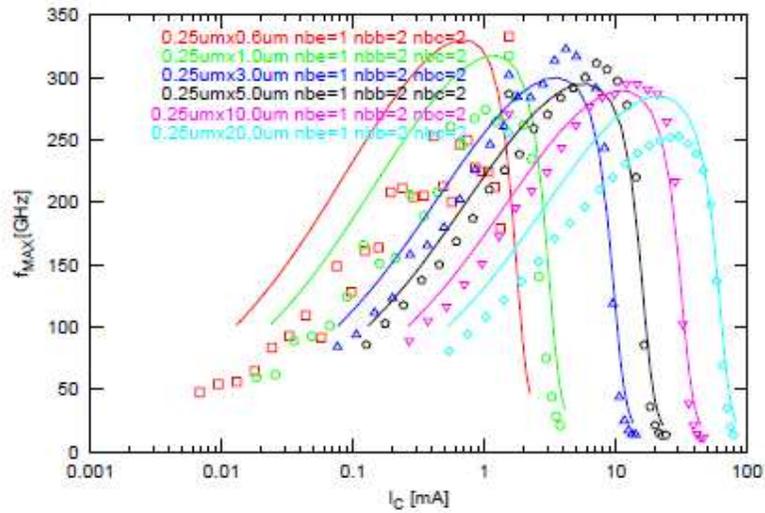


Figure D.32 Comparaison des mesures et simulations de f_{MAX} pour différentes longueurs du transistor B3T

Les simulations de NF_{min} réalisées pour les composants B3T sont en adéquation avec les mesures qui montrent une valeur de NF_{min} inférieure à 2,5 dB jusqu'à une fréquence de 80 GHz.

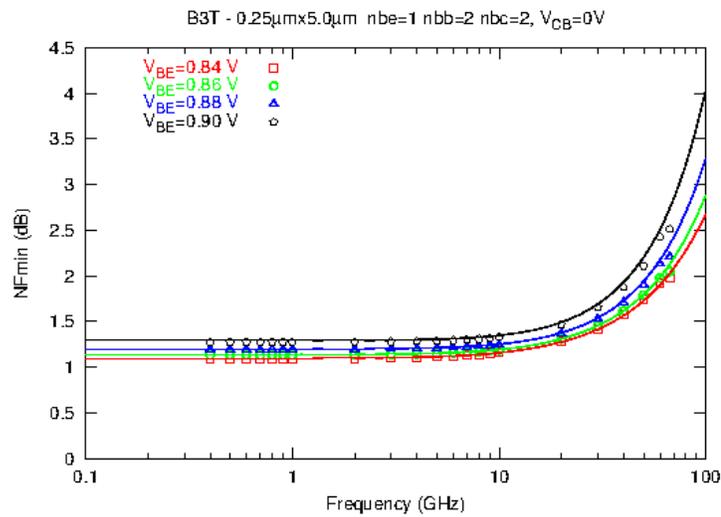


Figure D.33 Mesure et simulation du bruit NF_{min} pour un composant B3T pour des polarisations proches du pic f_T

La technologie B3T en plus de présenter des fréquences de fonctionnement supérieure à B9MW expose aussi des niveaux de bruit moindre ce qui est un avantage supplémentaire pour l'utilisation de ce composant dans un circuit.

IV.1.c. B4T

Pour la technologie B4T le modèle est élaboré à partir de mesures réalisées sur un lot ayant suivi une route de fabrication de type B4T1. Les transistors mesurés ont une largeur de fenêtre émetteur de $0,25 \mu\text{m}$, une largeur final d'émetteur d'une centaine de nanomètres et des longueurs comprises entre $0,4$ et $15 \mu\text{m}$.

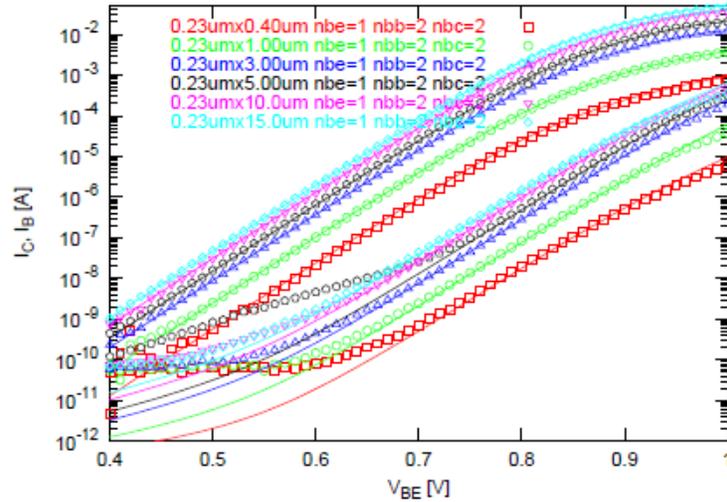


Figure D.34 Courbes de Gummel mesurée et simulée pour différentes longueurs du transistor B4T

Pour les courbes de Gummel présentées sur la Figure D.34 on remarque à nouveau une bonne corrélation à moyenne et forte injection entre mesure et simulation.

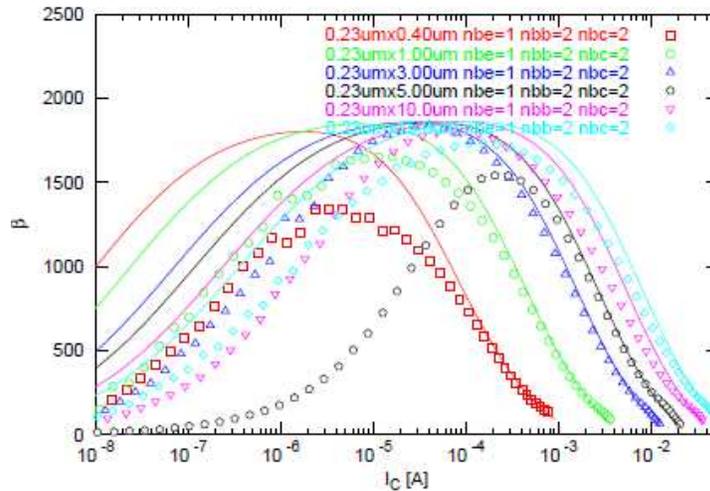


Figure D.35 Courbe de gain mesuré et simulé pour des longueurs comprises entre $0,4$ et $20 \mu\text{m}$ pour un TBH B4T

Le gain pour ces transistors, si l'on considère des longueurs supérieures au micromètre, est proche de 1900, du même ordre de grandeur que B3T.

Afin d'améliorer le modèle les résultats suivants présentent des valeurs obtenues à partir d'un épluchage jusqu'au dernier niveau de métal auquel on ajoute antérieurement les parasites liés aux deux premiers niveaux de connexion. Cette approche est adoptée afin de livrer aux concepteurs de circuits un modèle au plus proche de la réalité.

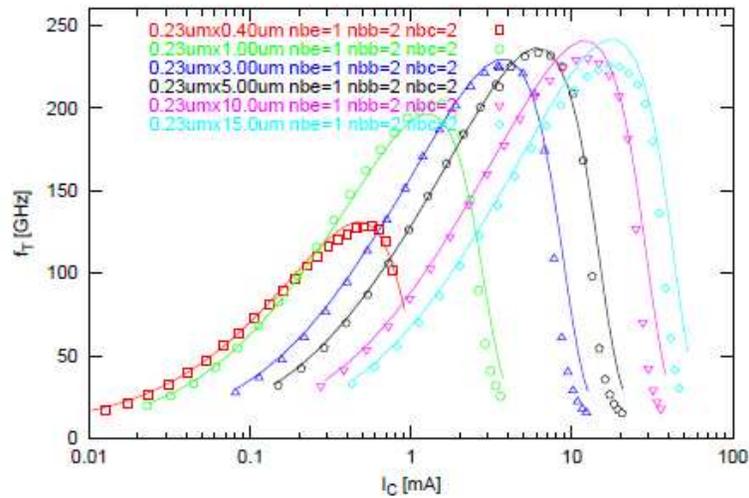


Figure D.36 Comparaison des mesures et simulations de f_T pour différente longueurs du transistor B4T

Les fréquences mesurées sur ces composants sont plus faibles que la référence B4T notamment en raison de l'ajout des parasites dus au niveau métallique et valent 240 GHz pour f_T et 320 GHz pour f_{MAX} .

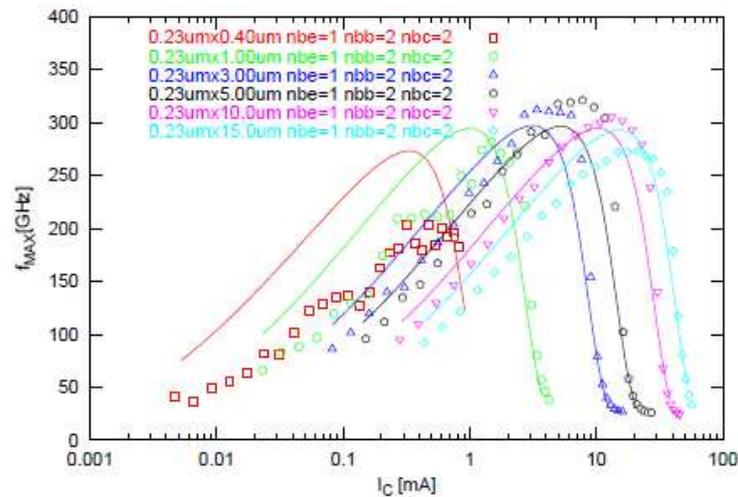


Figure D.37 Comparaison des mesures et simulations de f_{MAX} pour différentes longueurs du transistor B4T

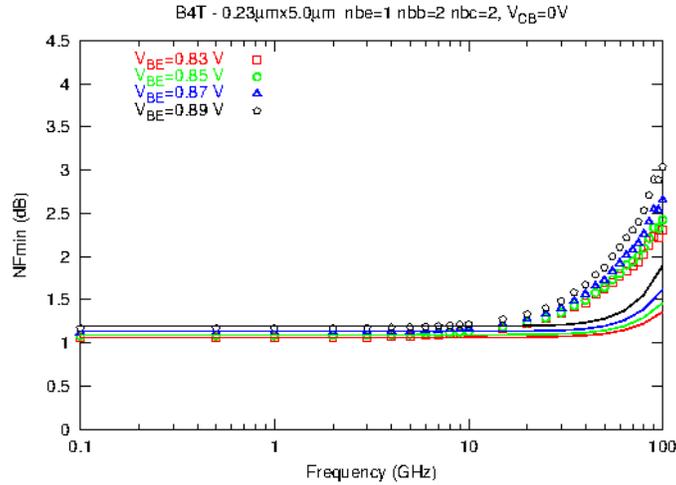


Figure D.38 Mesure et simulation du bruit NF_{min} pour un composant B4T pour des polarisations proches du pic f_T

Contrairement aux technologies précédentes, on constate que le modèle est plus optimiste sur le bruit NF_{min} que les mesures réalisées sur silicium. Toutefois, le niveau de bruit mesuré est proche de 1,1 dB lorsque la fréquence est inférieure à 20 GHz et demeure inférieure à 2,5 dB jusqu'à 100 GHz.

IV.1.d. Comparaison du bruit NF_{min} entre technologie

Le tableau suivant rappelle les valeurs de f_T et f_{MAX} mesurées sur les plaques utilisées pour la comparaison des simulations et mesures du NF_{min} .

Technologie	B9MW	B3T	B4T1
f_T (GHz)	215	260	240
f_{max} (GHz)	270	320	340

Tableau D.9 Résumé des fréquences f_T et f_{MAX} mesurées sur les plaques de chaque technologie utilisées pour la mesure et la simulation du bruit NF_{min}

Pour la technologie B5T, aucune mesure sur silicium n'a pu être effectuée. Cependant, un modèle est élaboré à partir de celui réalisé sur la technologie B4T afin de simuler le NF_{min} envisageable avec une technologie présentant un couple f_T / f_{MAX} de 300 / 450 GHz et dont la largeur de l'émetteur effectif est identique à B4T3, soit 110 nm.

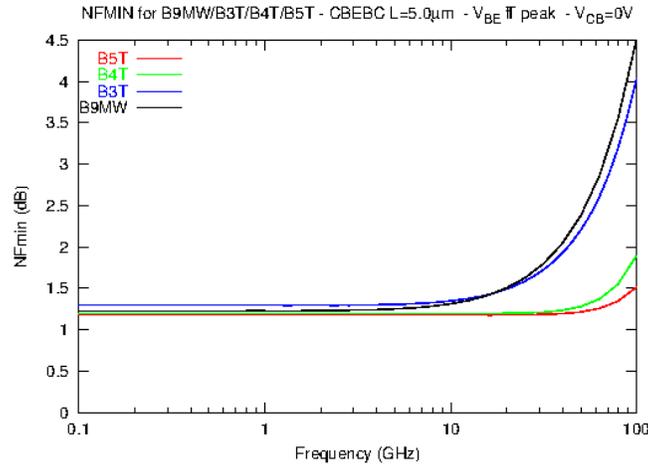


Figure D.39 Comparaison du bruit NF_{min} simulé pour chaque technologie

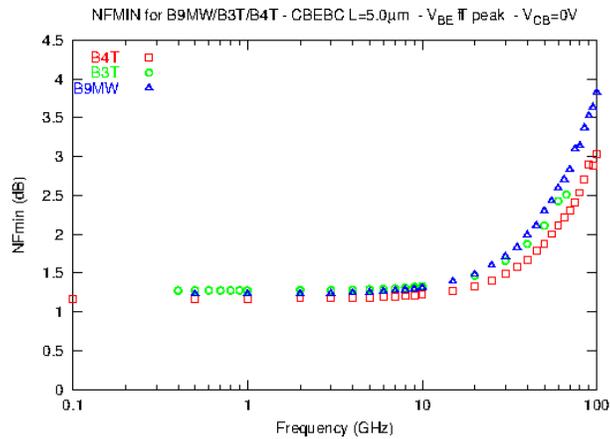


Figure D.40 Comparaison de bruit NF_{min} mesuré pour chaque technologie

Bien que les mesures B4T ne soient pas réalisées sur un composant B4T2 ou B4T3 dont la fréquence de transition est augmentée à la demande des concepteurs pour diminuer le bruit, on constate une amélioration du bruit NF_{min} mesurée à 100 GHz de l'ordre de 1 dB entre B9MW et B4T. A une fréquence de 80 GHz le bruit NF_{min} est de l'ordre de 2 dB pour B4T, 2,2 dB pour B3T et 2,5 dB pour B9MW. La diminution constante de NF_{min} de B9MW à B4T est à mettre en relation avec l'augmentation de la fréquence de transition. En effet, bien que la valeur de f_T annoncée pour B4T soit inférieure à celle de B3T, en raison de l'épluchage moins favorable, nous pouvons dire que la fréquence de transition des deux lots est au moins équivalente si l'on considère un niveau d'épluchage comparable.

Bien qu'aucune mesure ne soit disponible pour la technologie B5T, le niveau de bruit modélisé annonce une augmentation de la plage de fréquence pour laquelle le bruit est constant ainsi qu'un niveau de bruit à 100 GHz encore réduit (1,5 dB). Toutefois bien qu'il soit important de considérer que ce modèle, réalisé à partir de prédictions et non de mesures peut être quelque peu optimiste nous sommes confiants quant à l'annonce d'un

niveau de bruit inférieur en B5T grâce aux fréquences déjà mesurées ($f_T/f_{MAX} = 295 / 370$ GHz).

IV.2 Caractérisation en puissance - Load-pull

Les mesures présentées dans cette partie ont été réalisées à l'IEMN sur un banc de mesure de puissance à 94 GHz (bande W) qui est présenté dans le premier chapitre de ce manuscrit.

Nous allons exposer les résultats obtenus pour chaque technologie de B9MW à B4T, B5T n'ayant pas pu être mesuré. Nous présenterons également une campagne de mesure pour l'étude du comportement des composants en fonction de la largeur de la fenêtre émetteur et de la longueur de l'émetteur.

Les composants mesurés sont un transistor B9MW, règles de dessin et procédé de fabrication ainsi que deux transistors B3T et B4T1. Les composants B3T et B4T1 sont testés sur des plaques issues des mêmes dégroupages que celles présentées dans les parties III.2 et III.3 de ce chapitre.

IV.2.a. Présentation par technologie

Avant les mesures de puissance nous présentons dans le Tableau D.11 les valeurs extraites de la mesure des paramètres S réalisée sur le banc 110 GHz à STMicroelectronics Crolles. Les caractéristiques de dégroupages, également présentes sur le tableau, permettent de justifier des différences des valeurs de f_T/f_{MAX} pour les plaques n°4 et n°22 du lot JAV en mettant en évidence un dopage plus élevé du SIC sur la plaque n°22.

Technologie		B9MW	B3T JAV 4	B4T JAV 4	B3T JAV 22	B4T JAV 22
Ft	(GHz)	228	269	275	314	318
Fmax	(GHz)	292	371	424	338	389
Cbe	(ff)Vbe=0	10,49	10,54	9,12	10,76	9,17
Cbc	(ff)Vbe=0	11,8	8,22	7,09	7,96	7
Rem	(Ohms)	4,282	3,94	4,43	3,62	4,29
Rbb (Ohms)	(Ohms)	23,07	17,87	18,66	23,5	34,28
BVCBO	(V)	5,5	5,9374	5,8926	5,3789	5,3297
BVCEO	(V)	1,57	1,47895	1,4657	1,4223	1,4235
Ic au pic Ft	(mA)	10,01	8,58	6,11	10,3	8,71

Conditions de dégroupage						
Dopage couche enterrée	at / cm ⁻²	4E+17	4E+17	4E+17	4E+17	4E+17
Oxyde piédestal	nm	500	400	400	400	400
Dopage Polybase (50nm)	at / cm ⁻²	7E+17	7E+17	7E+17	7E+17	7E+17
Implantation SIC	(10E13 cm ⁻² /keV)	4E13 / 160	6E13 / 230	6E13 / 230	8E13 / 230	8E13 / 230
Si Cap	nm	17	18	18	18	18
Profil de base SiGe	(% Ge)	10 25	20 30	20 30	20 30	20 30
Epaisseur Bore	nm	5	4	4	4	4
Epaisseur totale de la base	nm	53	38	38	38	38
Dopage bore	10 ¹⁹ /cm ⁻³	5	5	5	5	5
Espaceur interne	nm	100	80	80	80	80
Poly émetteur	nm	100	100	100	100	100
Température de recuit (°C)	°C	1113	1080	1080	1080	1080

Wemwin	nm	270	250	230	250	230
We	nm	130	120	90	120	90
Longueur	µm	5	5	5	5	5

Tableau D.10 Comparaison des performances hf et des conditions de fabrication des transistors mesurés pour la caractérisation en puissance de chaque technologie

Dans cette partie les mesures sont effectuées à Vc constant et la tension de base est fixée au maximum du pic f_T. Sur le Tableau D.11 on peut voir un résumé des valeurs mesurées pour les composants de cette étude au point de compression à 1 dB.

Composant	Vb (V)	P1dB (dBm)	PAE à P1dB (%)	Ic à P1dB(mA)	Gt à P1dB (dB)	Γopt
B9MW	0,916	3,7	11,7	10,5	4,4	0.49/100°
B3T-JAV4	0,88	2,3	11,2	8,85	5,5	0.55/105°
B4T-JAV4	0,87	1,7	13,1	7,1	5,9	0.55/100°
B3T-JAV22	0,882	3,7	12,1	10,9	5,5	0.5/110°
B4T-JAV22	0,88	2,8	14	8,9	5,9	0.5/110°

Tableau D.11 Tableau résumé des mesures pour l'étude par technologie

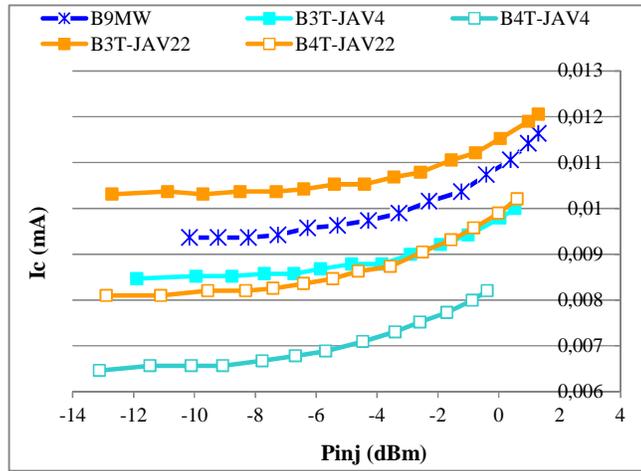


Figure D.41 Mesure du courant de collecteur en fonction de la puissance injectée pour différentes technologies

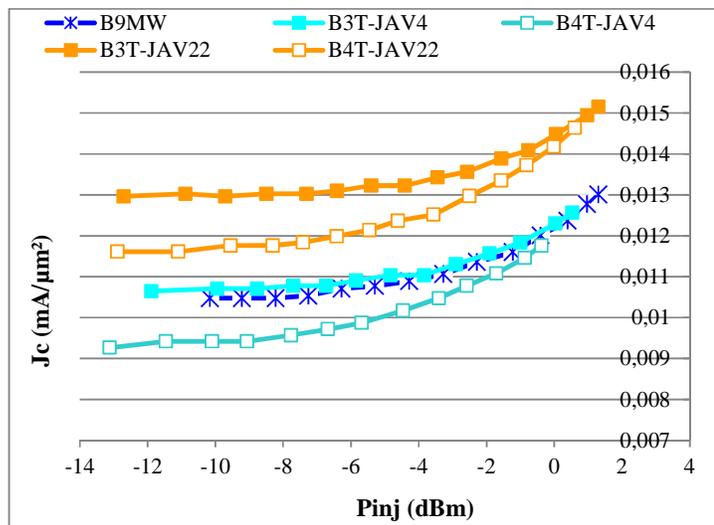


Figure D.42 Calcul de la densité de courant à partir de la mesure du courant I_c

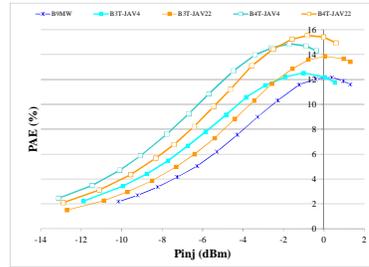


Figure D.43 Mesures du rendement à puissance ajoutée en fonction de la puissance injectée pour B9MW, B3T et B4T

Sur la graphique de la Figure D.43, qui présente le rapport de la puissance d'entrée moins la puissance de sortie divisé par la puissance consommée, on remarque une distinction nette entre les courbes de rendement à puissance ajoutée de chaque technologie. Lorsque la puissance injectée est inférieure à -3 dBm toutes les courbes ont la même pente et pour les deux plaques du lot JAV le rendement est amélioré à chaque génération de composant. Nous remarquons également que les différences de PAE constatées sont à corrélérer avec la fréquence maximale. En effet si on compare les transistors B3T et B4T plaque à plaque alors on constate une augmentation de f_{MAX} de 50 GHz pour un f_T quasiment constant et le PAE de l'ordre de 2 %.

On note également que la saturation intervient à une puissance injectée plus faible pour B4T et B3T que B9MW.

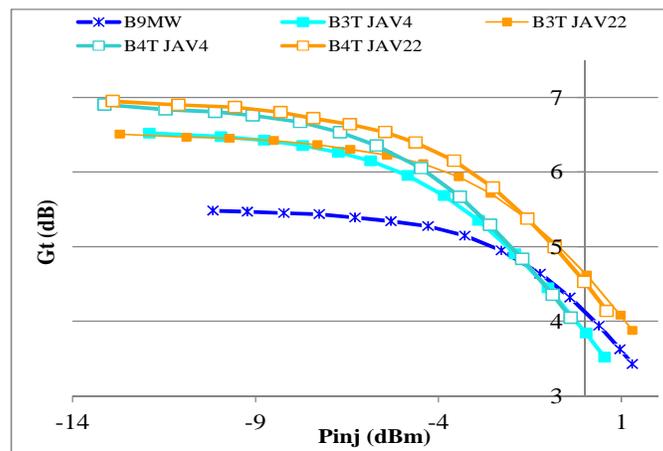


Figure D.44 Mesure du gain transducique en fonction de la puissance injectée pour B9MW, B3T et B4T

La Figure D.44 présente le gain transducique, soit le rapport entre la puissance délivrée à la charge et la puissance disponible en entrée du circuit, mesuré pour chaque technologie. La différence entre les trois technologies est distinctement visible. On remarque que le gain maximal obtenu augmente avec f_{MAX} , la valeur atteinte pour B4T est supérieure de 1,5 dBm à celle de B9MW.

En balayant l'abaque de Smith avec le tuner de source et le tuner de charge nous pouvons déterminer des contours à puissance de sortie constante centrés sur l'optimum et des valeurs de plus en plus faibles à mesure que l'on s'éloigne du centre.

Les cartographies présentées ci-dessous ont été réalisées pour une puissance injectée de 3dBm, constante au cours des mesures et suffisamment faible pour se trouver dans la zone linéaire des composants sous test. Les polarisations appliquées sont celles indiquées dans le Tableau D.11.

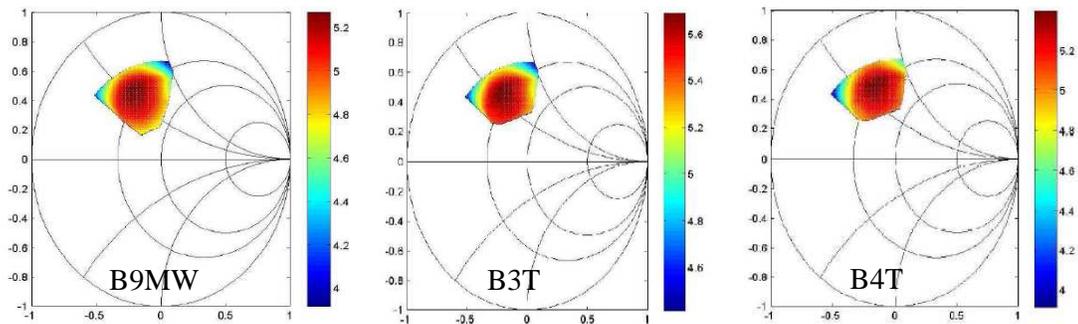


Figure D.45 Puissance de sortie P_{out} (dBm) représenté sur des abaques de Smith pour $P_{inj} = 3$ dBm

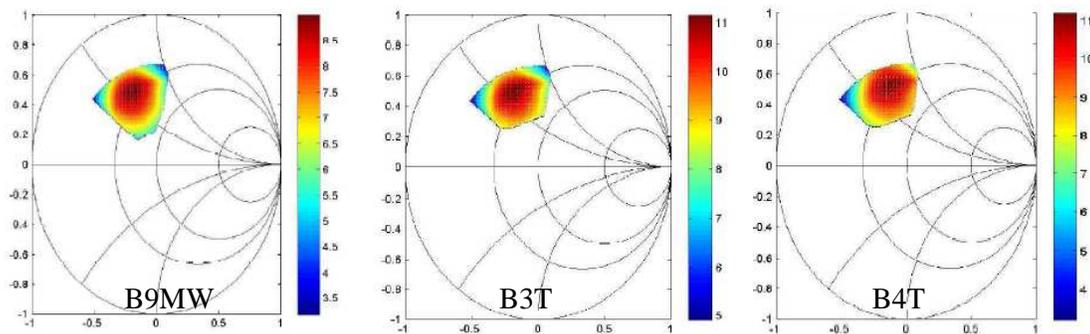


Figure D.47 Contour de puissance à rendement ajouté (%) pour B9MW, B3T et B4T

Nous pouvons remarquer que pour chaque technologie la charge maximale d'impédance pour la puissance de sortie ainsi que pour la puissance à rendement ajouté est située dans la même zone de l'abaque de Smith. Il est alors possible de choisir un point de fonctionnement pour lequel la P_{out} et le PAE sont proches de l'optimum.

IV.2.b. Influence de la largeur de la fenêtre émetteur

Ces mesures sont réalisées sur une plaquette fabriquée avec une implantation collecteur de type B4T1 ($6^{E}13$ at/cm² ; 230 KeV). Cependant les espaceurs internes de l'émetteur ont été modifiés afin de pouvoir effectuer cette étude pour de très petites largeurs de Wemwin.

La Figure D.50 illustre le rendement en puissance ajouté en fonction de la largeur de la fenêtre émetteur lorsque celle-ci est comprise entre 0,25 et 0,15 μm . Tous les transistors mesurés ont une longueur de 5 μm , leur largeur réelle de fenêtre émetteur ainsi que d'émetteur effectif sont visibles sur la Figure D.48. On y retrouve les dimensions mesurées à partir d'observation TEM pour des variations de Wemwin comprises entre 0,17 et 0,21 μm . Les dimensions des transistors plus longs ou plus courts, dans la limite des variations de notre étude, peuvent être obtenues par extrapolation des valeurs mesurées.

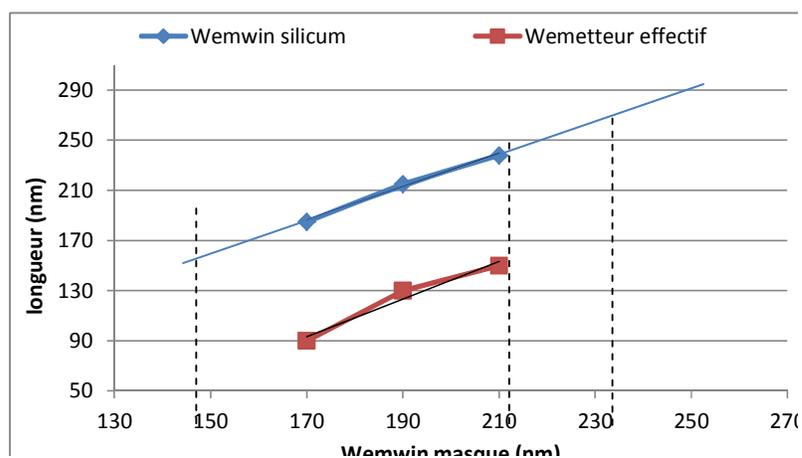


Figure D.48 Dimensions des fenêtres émetteurs et des émetteurs effectifs en fonction des dimensions présentes sur le masque

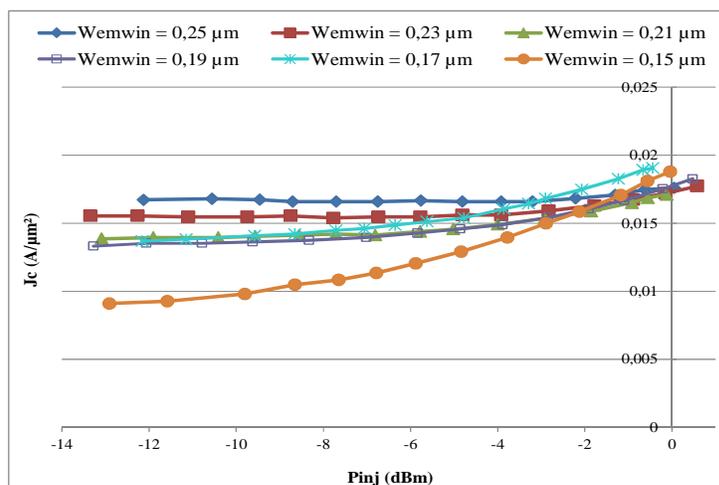


Figure D.49 Calcul de la densité de courant à partir de la mesure du courant collecteur

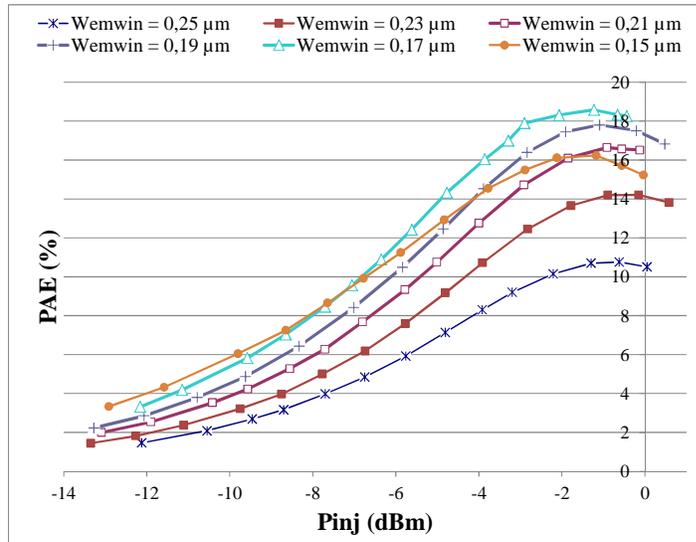


Figure D.50 Courbes de rendement en puissance ajouté en fonction de la puissance injectée pour différentes largeurs Wemwin

Sur la figure précédente on constate que le rendement en puissance est croissant lorsque la largeur de la fenêtre émetteur est réduite de 250 nm à 170 nm (soit de 290 à 180 si l'on mesure sur le silicium). En dessous de 170 nm qui correspond au maxima de rendement en puissance on observe une chute importante du PAE. La valeur de PAE, qui est ici à mettre en relation avec les performances fréquentielles présentées dans la dernière partie du chapitre précédent (mesures effectuées sur les mêmes plaques), montre à nouveau une correspondance avec les valeurs de f_T qui chute pour $W_{emwin} = 0,15 \mu m$ (augmentation de R_E).

Wemwin (μm)	0,23	0,21	0,19	0,17	0,15
Fmax (GHz)	355	354	355	365	302
Ft (Ghz)	273,65	278,97	275,92	274,64	215,26
Ic (mA) @ Ft	11,25	9,58	9,48	8,12	5,25
Ctbe (fF) @ Vbe=0V	13,8	13,12	11,81	10,59	8,2
Ctbc (fF) @ Vbe=0V	9,65	9,84	9,89	9,56	9,09
Rem (Ohms)	3,31	3,45	4,12	5,09	16,65
Rbb (Ohms)	21,31	21,78	19,24	25,95	56,76

Tableau D.12 Rappel de f_T et f_{MAX} pour une variation de Wemwin comprise entre 0,23 et 0,15 μm

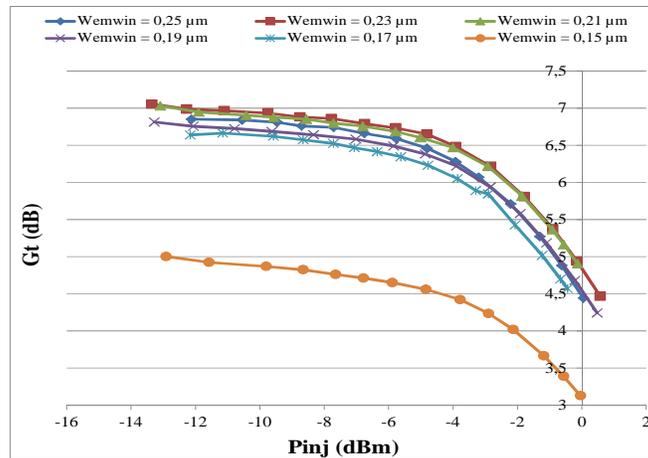


Figure D.51 Mesure du gain transductique en fonction de la puissance injectée pour différentes dimensions de Wemwin

Sur la Figure D.51 on constate une augmentation du gain lorsque la dimension Wemwin est réduite de 0,25 à 0,23 μm . Les valeurs de gain mesurées, comprises entre 6,5 et 7 dB pour des largeurs de fenêtre émetteur supérieures à 0,17 μm , atteignent un maximum pour Wemwin = 0,23 μm . La chute du gain pour le composant le plus étroit (Wemwin = 0,15 μm) de plus de 2 dB est liée à la diminution de la fréquence maximale de ce composant.

IV.2.c. Influence de la longueur des transistors

Nous avons pour cette étude mesuré des composants dont la largeur de la fenêtre émetteur est de 0,23 μm . Les mesures sont réalisées pour tous les composants à la même tension collecteur et la tension de base est fixée au maximum du pic f_T . Compte tenu de la puissance maximale disponible en sortie de l'amplificateur utilisé pour cette étude la longueur du composant mesuré le plus long a été limité à 5 μm .

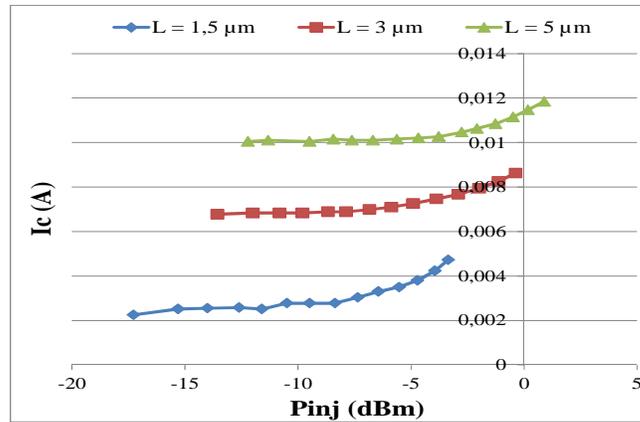


Figure D.52 Mesures du courant collecteur en fonction de la puissance injectée pour trois longueurs de transistors ($W_{emwin} = 0,23 \mu\text{m}$)

Sur la Figure D.52 on peut voir l'évolution du courant collecteur en fonction de la puissance injectée pour trois longueurs de composant. Le courant I_c augmente proportionnellement à la surface de l'émetteur effectif.

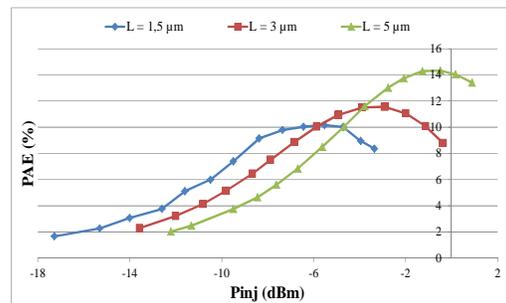


Figure D.53 Mesure du rendement en puissance ajouté en fonction de la puissance injectée pour trois longueurs de TBH

On constate sur la Figure D.53 une amélioration du PAE avec l'allongement du composant. Lorsque la longueur du composant augmente les courants augmentent également, mais la densité de courant est inchangée.

Une campagne de mesure réalisée avec un autre amplificateur délivrant d'avantage de puissance en sortie a été réalisée sur un composant de longueur $10 \mu\text{m}$, ce qui permet d'injecter plus de puissance (courant plus élevé pour une même densité de courant). Les fréquences mesurées sur ce composant sont de 323 GHz pour f_T et 332 GHz pour f_{MAX} . Cette étude décrite en détail dans [Pottrain10] a permis de mettre en évidence tout l'intérêt

des transistors bipolaires SiGe pour les applications d'amplification de puissance en bande W.

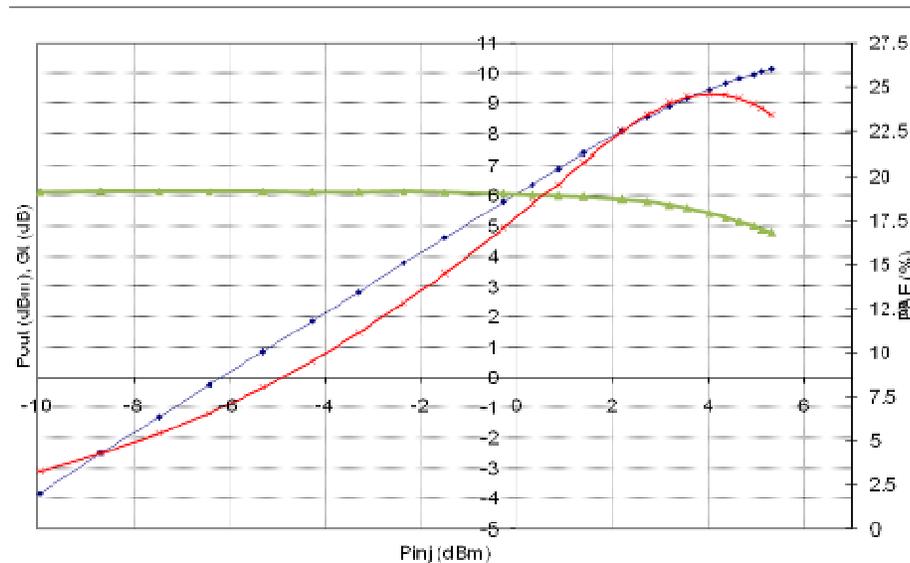


Figure D.54 Puissance de sortie (bleu/losange), Gain transductique (vert/triangle) et puissance à rendement ajouté (rouge/croix) pour un TBH B4T pour $V_c = 2,3$ V, $V_b = 0,82$ V

Pour ce transistor le point de polarisation optimal, qui correspond au maximum de puissance de sortie est obtenue pour $V_c = 2,3$ V et $V_b = 0,82$ V. Pour cette polarisation, le point de compression à 1 dB est atteint pour une puissance de sortie de 10 dBm, ce qui correspond à une densité de puissance de $18,5$ mW/ μm^2 . Cette valeur est la plus grande densité de puissance atteinte en bande W par un transistor bipolaire SiGe à la connaissance de l'auteur.

V. Circuits réalisés

Dans le cadre de partenariats avec les universités de Toronto (Canada) et Wuppertal (Allemagne) des circuits de partenaires ont été embarqués sur différents jeux de masques. Des plaques fabriquées dans l'unité de production de Crolles ont été envoyées à nos partenaires et mesurées par leurs soins.

V.1 Université de Toronto

Le graphique de la Figure D.55 présente le gain mesuré à 120 GHz sur des transistors B9MW, B3T et B4T. On constate un gain croissant de B9MW à B4T, celui-ci atteignant un maximum de 7 dB.

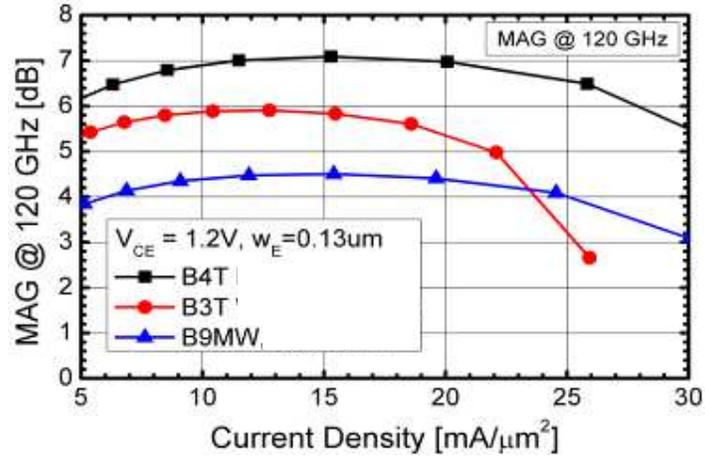


Figure D.55 Mesure du gain à 120 GHz en fonction de la densité de courant pour les technologies B9MW, B3T et B4T

Un Amplificateur à 160 GHz à 5 étages a été réalisé et mesuré pour trois technologies différentes. Le schéma électrique ainsi qu'une vue du dessin du circuit sont présentés sur la Figure D.56

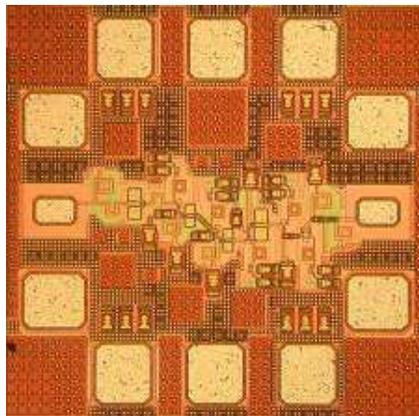
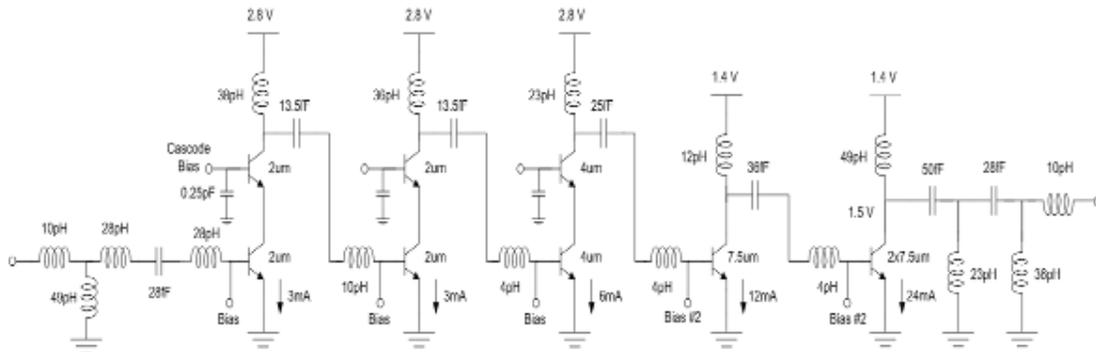


Figure D.56 Schéma électrique et dessin du circuit de l'amplificateur à 160 GHz réalisé par l'UoT [E.Laskin et al. RFIC 2008]

Sur le graphique de la Figure D.57 on peut voir le gain de l'amplificateur mesuré sur les plaques déjà utilisées pour l'extraction de f_T et f_{MAX} .

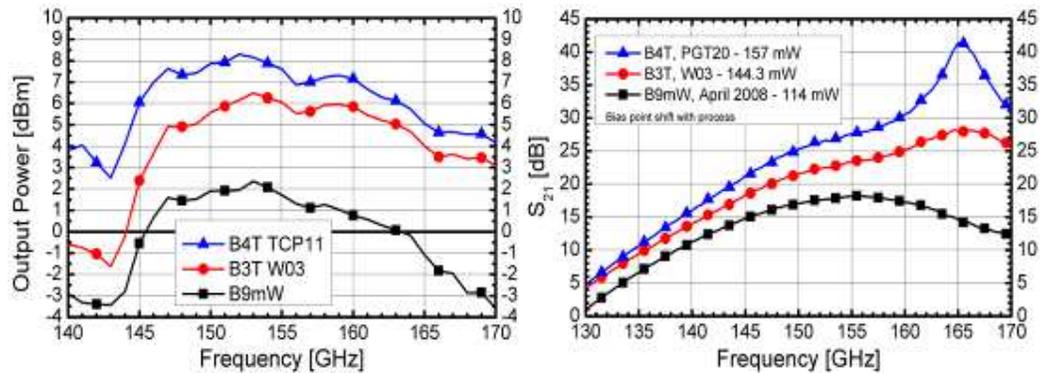


Figure D.57 Comparaison de la puissance de sortie et du gain pour des amplificateurs à 160GHz réalisé avec les technologies B9MW, B3t et B4T

Sur les deux figures précédentes on peut faire une comparaison de la puissance de sortie et du gain tracé en fonction de la fréquence mesurée pour des amplificateurs réalisés avec la technologie B9MW, B3T ou B4T. On remarque une importante augmentation de la puissance disponible en sortie au fur et à mesure des technologies. En effet, la puissance de sortie à 160 GHz est plus que doublée de B9MW à B3T et multipliée par 4 (+6 dBm) entre B9MW et B4T. Le gain est également augmenté continuellement entre les technologies, atteignant une valeur maximale de 18 dB pour B9MW, 28 dB pour B3T et 40 dB pour B4T.

Les amplificateurs de technologie B4T testés lors de ces mesures présentent des gains supérieurs à 31 dB à une fréquence de 165 GHz, ce qui représente la valeur de gain la plus élevée au-dessus de 110 GHz connue par l'auteur.

V.2 Université de Wuppertal

Sur la figure ci-dessous on peut voir le schéma électrique d'un étage d'amplification sur les trois composant l'amplificateur 160 GHz utilisé pour la réalisation du LNA [Öjefors10]. Le graphique de la Figure D.58 présente les résultats des mesures de gain et de bruit réalisés sur le circuit sans la prise en compte des pertes, notamment celles induites par les plots hf , estimées lors de la calibration préalable à 2,1 dB.

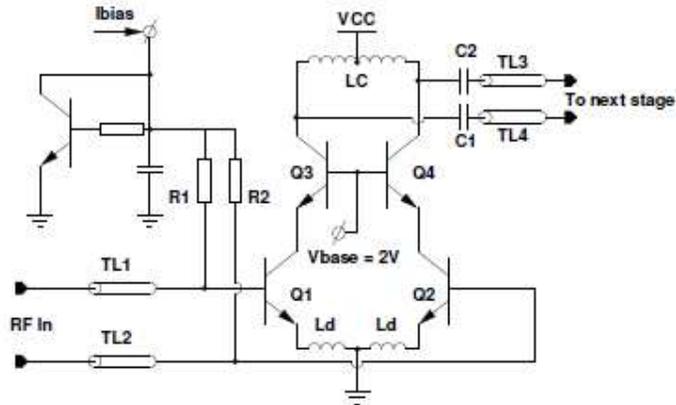


Figure D.58 Schéma d'un étage de l'amplificateur 160 GHz utilisé pour le LNA

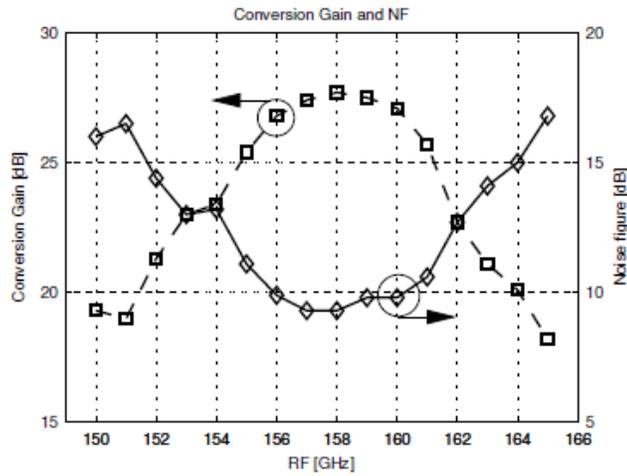


Figure D.59 Mesure du gain et du bruit sans la prise en compte des pertes des plots hf

Le maximum de gain de 28 dB est atteint pour une fréquence de 162 GHz avec un niveau de bruit de 9,5 dB (si l'on ne considère pas les pertes ou 7,4 dB si l'on retranche les pertes induites par le circuit).

	SiGe W-band LNA (J.W.May,RFIC2009)	SiGe 170 GHz LNA (E,LASKIN,RFIC2008)	CMOS 65 nm 140 GHz LNA (NICOLSSON,RFIC2008)	SiGe 160 GHz LNA (ces travaux)
Gain (dB)	20	15	8	27
NF (dB)	8	-	-	7,4

Tableau D.13 Comparaison des gains et niveau de bruit mesurés sur des circuits d'amplification faible bruit supérieure à 94 GHz

Le tableau ci-dessus qui compare les mesures publiées sur des circuits fonctionnant dans la même gamme que ceux réalisés pour ces travaux. Nous constatons alors un très haut niveau de gain pour un bruit inférieur à 8 dB.

Le deuxième type de circuit réalisé par l'UoW est un système d'imagerie 160 GHz dont on peut voir les dessins sur la Figure D.60. Cette fois-ci les circuits ont été réalisés avec des transistors bipolaires de la génération B4T

Une vue du prototype ainsi qu'une démonstration de prise de vue au travers d'une enveloppe sont visibles sur la Figure D.61

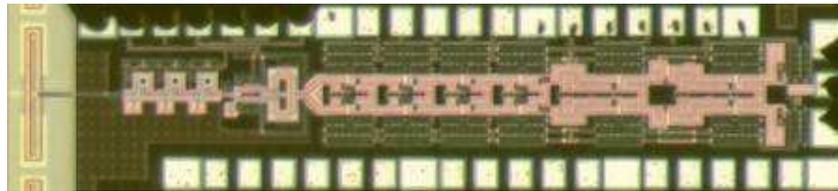
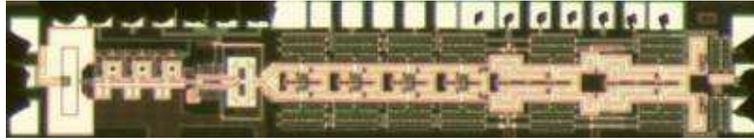


Figure D.60 Dessin des circuits des deux versions du système d'imagerie à 160 GHz

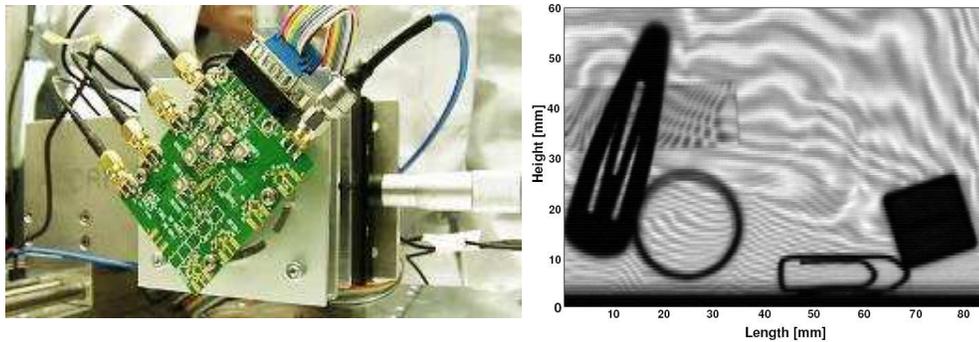


Figure D.61 Prototype du système d'imagerie à 160 GHz, vue du système et prise de vue de démonstration

Sur les deux graphiques ci-dessous sont représentés le gain et le niveau de bruit de deux circuits réalisés avec des composants utilisés pour développer la deuxième génération de composant B4T sur une plage de fréquence comprise entre 150 et 170 GHz. Le lot CYZ compte parmi les premiers lots tandis que le lot PGT a été fabriqué avec une route de référence B4T2

Lot	CYZ	PGT
Ft (Ghz)	238	274
Fmax (GHz)	349	371
Ctbe (fF) @ Vbe=0V	11,2	13,8
Ctbc (fF) @ Vbe=0V	8,9	9,65
Rem (Ohms)	5	3,31
Rbb (Ohms)	20	21,31

Tableau D.14 Fréquences, résistances et capacités mesurées chez STMicroelectronics sur les plaques envoyées à nos partenaires

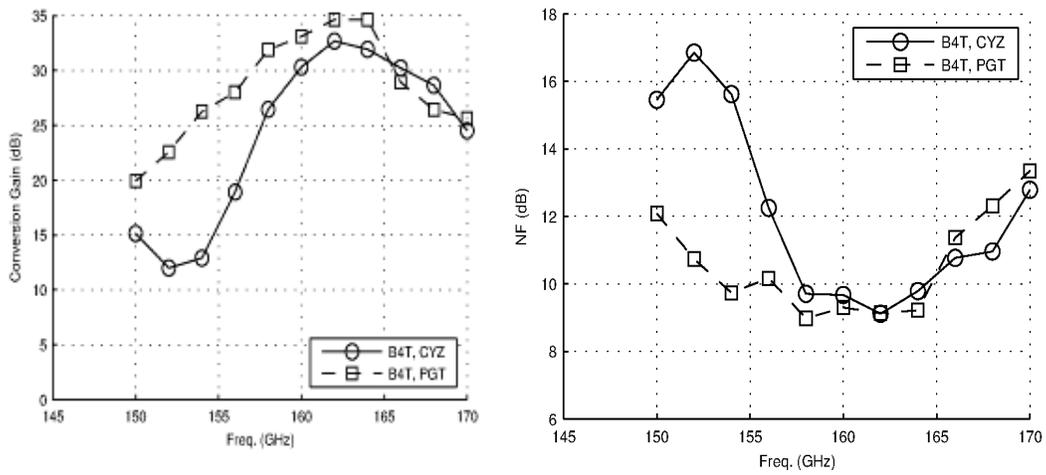


Figure D.62 Mesure de gain et du bruit mesuré sur deux types de circuit B4T

Ces mesures permettent de mettre en évidence les améliorations apportées suite à la modification du profil vertical. L'augmentation de la fréquence de transition permet de réduire le niveau de bruit NF sur une partie de la bande où celui-ci était très important (> 16 dB). Nous avons également apporté une amélioration du gain sur toute la bande de fréquence grâce à l'amélioration de f_{MAX} .

Conclusion générale

Ce travail de thèse, réalisé en grande partie au sein du groupe de R&D « Transistors Bipolaires Avancés » de STMicroelectronics (Crolles), que nous venons de présenter, avait pour objectif l'amélioration de la fréquence maximale d'oscillation des transistors bipolaires Si/SiGe, dans le but de préparer la prochaine génération de technologie BiCMOS. Le travail effectué pendant la durée de ces travaux a porté sur la réduction des dimensions verticales et horizontales de TBH Si/SiGe :C ayant une architecture de type double poly-silicium complètement auto-alignée grâce à l'épitaxie sélective de la base.

Tout d'abord, nous avons étudié en détail l'influence des différents paramètres définissant le profil vertical en conservant un dessin unique de transistor. Les principaux paramètres technologiques qui ont été étudiés sont la température du recuit final d'activation, l'implantation du collecteur, l'épitaxie de la base et le dopage de l'émetteur. Ce travail nous a permis de mettre en évidence différents compromis, le principal étant celui entre f_T et f_{MAX} . En effet, la plupart des essais menés ont conduit à favoriser une fréquence par rapport à l'autre, l'augmentation conjointe des deux fréquences étant très rarement observée. Au cours de cette étude, des TBH ayant un f_{MAX} de 370 GHz pour un f_T de 280 GHz ont été réalisés en utilisant un faible dopage collecteur, un faible dopage de base, un tampon en silicium de la base mince, un émetteur dopé arsenic et un recuit d'activation à 1080 °C. Les conditions de fabrication qui permettent d'obtenir un profil vertical favorisant f_T sont un dopage collecteur important, une faible épaisseur de bore, une couche tampon épaisse, un émetteur dopé arsenic et un recuit thermique à 1000 °C et les valeurs atteintes sont 340 GHz pour f_T et 240 GHz pour f_{MAX} . Le second axe d'étude a consisté à déplacer le compromis entre f_T et f_{MAX} , toujours en visant les plus fortes valeurs pour ces deux fréquences, en modifiant les dimensions latérales du transistor. Nous avons décrit les modifications de règles de dessin réalisées ainsi que les modifications des étapes de lithographie nous permettant de réaliser les motifs dessinés. Ainsi nous mettons en avant les bénéfices apportés par l'utilisation d'équipements plus performants, qui sont un meilleur contrôle des dimensions critiques et un alignement plus précis entre niveaux, ce qui nous autorise à diminuer certaines règles de dessin critiques. Nous avons également présenté les changements réalisés sur les espaceurs internes de l'émetteur ainsi que l'intérêt de réduire leur largeur pour les faibles largeurs de fenêtre émetteur afin de réduire la résistance de base et ne pas pénaliser la résistance d'émetteur. L'implantation du collecteur localisé (SIC) a également été étudiée avec la confrontation de deux solutions d'intégration. Les résultats obtenus, associés à la diminution de l'épaisseur de la résine utilisée pour la lithographie de la fenêtre émetteur (nécessaire pour la réduction des dimensions), nous ont orientés vers le choix d'un module SIC réalisé avant l'ouverture de la fenêtre émetteur avec l'utilisation d'un masque spécifique. A la fin de cette partie nous présentons l'influence de la réduction des dimensions latérales sur les performances fréquentielles. Tout d'abord, lors d'une première phase de réduction des dimensions du composant, avec notamment le rétrécissement de la fenêtre émetteur à 230 nm, nous avons

pu réaliser des TBH présentant une fréquence maximale d'oscillation supérieure à 400 GHz ($f_T / f_{MAX} = 273 / 423$ GHz). Puis lors d'une seconde phase, réduisant cette fois-ci la fenêtre émetteur jusqu'à 150 nm, nous avons pu mettre en évidence les limites de la réduction des dimensions de la partie centrale du composant suite à l'augmentation des résistances de base et d'émetteur, non compensées par la diminution des capacités. Bien que la première phase de ces travaux ait montré l'intérêt de la réduction des dimensions intrinsèques du composant, nous avons pu mettre en évidence les limites de cette approche. En effet, la seule réduction des dimensions liée à la fenêtre émetteur ne suffit pas à diminuer suffisamment les résistances et capacités du transistor et doit être couplée avec la réduction de toutes les dimensions (largeur du polybase, distance entre contact, ...) afin de réduire la contribution des éléments parasites extrinsèques.

Le dernier chapitre de ce manuscrit est consacré à la présentation des résultats obtenus pour les différentes générations de composants mis au point pendant nos travaux, résultats qui sont comparés à la dernière technologie BiCMOS mise en production chez STMicroelectronics (B9MW). Tout d'abord nous avons présenté l'influence de différentes conditions d'épluchage des paramètres S (*de-embedding*) sur l'extraction de f_T et f_{MAX} . Une différence de l'ordre de quelques gigahertz est à noter lorsque les structures de référence pour l'épluchage (circuit ouvert et court-circuit) considèrent plus ou moins de niveaux métalliques. Nous avons également souligné la difficulté qu'il existe d'extraire f_T et f_{MAX} de façon précise pour les transistors de faible longueur ($< 1 \mu\text{m}$) en raison des valeurs très faibles des capacités. Nous avons ensuite détaillé les modifications successives des profils vertical et latéral apportées au transistor bipolaire B9MW afin de développer les technologies B3T, B4T et B5T. Les performances fréquentielles initiales de 220 / 280 GHz pour f_T / f_{MAX} (B9MW) ont été augmentées jusqu'à des valeurs de 250 / 420 GHz pour f_T / f_{MAX} (B4T1). Les générations suivantes de TBH n'ont pas permis l'augmentation du f_{MAX} jusqu'aux 500 GHz initialement visés. Cependant nous avons pu augmenter la fréquence de transition jusqu'à 270 GHz, pour un f_{MAX} de 350 GHz pour la technologie B4T3, afin de répondre à une demande des concepteurs dans le but de réduire le niveau de bruit des circuits. Les composants B5T ont quant à eux été développés dans le but d'anticiper l'intégration du transistor bipolaire dans un nœud CMOS 55 nm, ce qui serait la première technologie BiCMOS haute-performance développée en 300 nm. Les travaux effectués sur ce point, nous ont permis de réaliser un transistor dont les fréquences mesurées sont 295 / 375 pour f_T et f_{MAX} et dont le budget thermique est complètement compatible avec la technologie CMOS 55 nm. Nous sommes donc confiants quant à l'obtention de fréquences de 300 / 400 GHz f_T / f_{MAX} en 300 nm. Des comparaisons des valeurs mesurées et simulées du minimum de bruit NF_{min} , nous montrent sa diminution avec l'augmentation des fréquences de transition des transistors. Pour B4T des valeurs de NF_{min} inférieures à 3 dB ont été mesurées à 100 GHz.

Dans la dernière partie de chapitre nous présentons les résultats de circuits développés par les universités de Toronto et Wuppertal. On remarque, pour les

amplificateurs à 160 GHz réalisés, une très nette augmentation du gain et une diminution du niveau de bruit au fur et à mesure des générations de composant que nous avons développées. L'université de Wuppertal a par ailleurs réalisé un démonstrateur d'imagerie à 160 GHz avec la technologie B5T dans le cadre du projet *Dotfive*.

Très dernièrement des mesures sur des oscillateurs en anneaux (logique CML) ont pu être réalisées sur plusieurs des technologies développées lors de cette thèse. Les mesures réalisées chez STMicroelectronics ont montré des temps de propagation de 3,2 ps en B9MW, 2,7 ps en B4T et 2,35 ps en B5T, valeurs à l'état de l'art, en ligne avec les valeurs mesurées de f_{MAX} [Chevalier11]. Une valeur de 1,9 ps a été mesurée par l'IMS (Bordeaux) sur un oscillateur en anneaux dont les connexions métalliques et la longueur du doigt d'émetteur ont été optimisées, ce qui représente une valeur à l'état de l'art puisque jusqu'à présent seul l'IHP a mesuré une valeur de 1,9 ps sur une technologie annonçant 480 GHz de f_{MAX} et 310 GHz de f_T [FOX11].

Index des figures

Figure A.1 Représentation schématique d'un transistor bipolaire de type N+PN en polarisation direct.....	24
Figure A.2 Profil de dopage d'un transistor bipolaire N+PN.....	25
Figure A.3 Représentation schématique de la croissance d'un alliage Silicium-Germanium sur un substrat silicium. a) pseudo morphique ; b) relaxée.	26
Figure A.4 Evolution de l'épaisseur critique en fonction de la concentration en Germanium	27
Figure A.5 Diagramme de bande du Silicium et du Germanium.....	27
Figure A.6 Evolution de l'énergie de la bande interdite (gap) de l'alliage SiGe contraint ou non, fonction de la concentration en germanium	28
Figure A.7 Schéma du raccordement des bandes d'énergie entre un substrat Si et un film de SiGe contraint	28
Figure A.8 Comparaison des diagrammes de bande d'un transistor bipolaire avec une base Si pur ou SiGe	29
Figure A.9 Exemples de profils de germanium constant et rétrograde dans la base d'un TBH.....	29
Figure A.10 Représentations des différents courants du transistor bipolaire dans un mode de fonctionnement direct.....	31
Figure A.11 Profils des porteurs minoritaires dans un transistor bipolaire NPN	33
Figure A.12 Représentation schématique d'un transistor bipolaire en montage a) base commune ; b) émetteur commun	37
Figure A.13 Exemple de courbe de Gummel et de gain d'un TBH (1 : courant tunnel bande à bande ; 2 : courant de base non idéal, du a des recombinaisons ; 3 : zone idéal ; 4 : effet des résistances series ; 5 : effet Kirk).....	39
Figure A.14 Comparaison des courants de base d'HBT avec et sans phénomène de recombinaison	40
Figure A.15 Allure du courant de base d'un dispositif avec et sans effet tunnel bande à bande.....	41
Figure A.16 Représentation schématique des niveaux d'énergies occupées en fonction de la polarisation V_{BE}	41
Figure A.17 Compromis entre le gain en courant β et la tension de claquage BV_{CEO}	44
Figure A.18 Illustration de l'effet Early direct et modulation de la largeur de base neutre	45
Figure A.19 Interprétation géométrique de l'extraction de la tension d'Early direct ..	46
Figure A.20 Interprétation géométrique de l'extraction de la tension d'Early indirect	47
Figure A.21 Illustration du phénomène de perçage de la base	47
Figure A.22 Courbes de Gummel en présence d'un perçage de la base	47
Figure A.23 Illustration schématique de l'effet Kirk	48
Figure A.24 Représentation schématique des résistances séries dans un TBH.....	49
Figure A.25 Effet de quasi-saturation visible sur les courbes de Gummel et les caractéristiques de sortie d'un transistor bipolaire.....	50
Figure A.26 Evolution du gain dynamique en fonction de la fréquence.....	54
Figure A.27 Schéma équivalent petit signaux d'un transistor bipolaire	55
Figure A.28 Variation de la fréquence de transition f_T avec le courant collecteur dans les cas idéal et réel.....	56

Figure A.29 Caractéristiques de sortie d'un transistor bipolaire, a) I_b variant de 0 à 50 μA par pas de 5 μA , b) V_b variant de 0.5 à 1 V par pas de 50 mV. Fenêtre émetteur de dimensions 0,25 x 5 μm^2	59
Figure A.30 Evolution du courant de base avec la polarisation V_{CE} - Extraction de BV_{CEO}	61
Figure A.31 Représentation schématique d'un transistor bipolaire sous formes de quadripôles.....	62
Figure A.32 Représentation schématique des ondes utilisées pour la mesure des paramètres S.....	63
Figure A.33 Mesure et extraction des fréquences f_T et f_{MAX} d'un transistor à partir de la mesure des paramètres S.....	65
Figure A.34 Structure de test et représentation schématique d'une structure de type open	66
Figure A.35 Evolution de la densité spectrale du bruit dans un transistor	68
Figure A.36 Représentation schématique d'un banc de mesures Load-Pull	71
Figure A.37 Photo du banc de mesures et de ses divers éléments, avec un dispositif sous test.....	72
Figure A.38 Représentation schématique en coupe d'un transistor bipolaire d'architecture auto-aligné par épitaxie sélective de la base.....	73
Figure A.39 représentation schématique de la définition des zones actives et module d'isolation	75
Figure A.40 Représentation du dépôt de la base et de l'ouverture de la fenêtre émetteur	76
Figure A.41 Réalisation des espaceurs de flanc et épitaxie de la base intrinsèque.....	77
Figure A.42 Elaboration des espaceurs interne, dépôt du poly-émetteur et mise en forme.....	78
Figure A.43 TBH avec siliciuration et contact	79
Figure A.44 Représentation des différents masques nécessaires à la fabrication d'un transistor bipolaire auto-aligné.....	82
Figure A.45 Coupe schématique du transistor développé par IBM.....	83
Figure A.46 Coupe TEM du transistor complètement auto-aligné développé par IHP	83
Figure A.47 Coupe TEM d'un composant de l'IMEC, architecture quasi-alignée simple polysilicium	84
Figure A.48 Coupe TEM dun composant de l'IMEC avec des Airgap DTI.....	84
Figure A.49 Coupe TEM du transistor proposé par STMicroelectronics	85
Figure A.50 Performances obtenues par les acteurs majeurs du secteur avant 2008...85	
Figure A.51 Evolution de f_T & f_{MAX} depuis 1998 à aujourd'hui – Mise en évidence des progrès réalisés pendant le projet Dot Five	86
Figure A.52 Coupe TEM du transistor bipolaire de l'IFX B7HF200avant (gauche, $W_E = 200$ nm) et après (droite, $W_E = 130$ nm) réduction du profil latéral.....	86
Figure A.53 Coupe TEM d'un transistor d'émetteur effectif 90 nm – Architecture complètement auto-aligné réalisé chez STMicroelectronics	87
Figure A.54 Coupe TEM du transistor bipolaire présenté par l'IMEC.....	87
Figure A.55 Représentation schématique de la réalisation du transistor avec un lien de base latéral mis au point par l'IHP	88
Figure A.56 Coupe TEM du transistor par l'IHP avec une base extrinsèque epitaxiée	89
Figure A.57 Comparaison des performances à l'état de l'art obtenues par les acteurs du projet Dot Five	89

Figure B.1 Vue de dessous d'un « layout » de TBH de type CBEBBC	91
Figure B.2 Coupe TEM, d'un TBH de 0,12 x 4,9 μm^2 , centrée sur la fenêtre émetteur	91
Figure B.3 Profil schématique de la base intrinsèque des transistors de cette étude ...	92
Figure B.4 Chaîne de 44 transistors bipolaires en série utilisée pour l'extraction de R_B^*	93
Figure B.5 Extraction des résistances de base intrinsèque et extrinsèque.....	93
Figure B.6 Schéma en coupe d'un TBH avec la représentation des éléments parasites	94
Figure B.7 Profil de température obtenue dans un four, dans le cas d'un recuit spike et d'un recuit plateau.....	95
Figure B.8 Comparaison entre un émetteur dopé As ou P pour un TBH de 4.9x0.12 μm^2 pour différents recuits	97
Figure B.9 Simulation de profils de bore initiaux et diffusés en fonction de la température de recuit.....	98
Figure B.10 Analyse SIMS des profils de dopants pour deux types d'émetteur. Comparaison entre un dopage Arsenic et un dopage Phosphore pour un recuit final à 1000 °C	99
Figure B.11 Comparaison de caractérisations SIMS de TBH avec et sans implantation SIC (- Arsenic avec dopage SIC ; -- Arsenic sans dopage SIC ; - Bore ; - % de Germanium)	101
Figure B.12 Comparaison entre différents dopages SIC d'un TBH Si/SiGe : C pour plusieurs températures de recuit.....	103
Figure B.13 Evolution de f_{MAX} et f_T pour différents recuits et différentes doses d'implantation du SIC	104
Figure B.14 Profil de la base intrinsèque du transistor bipolaire étudié	105
Figure B.15 Comparaison de plusieurs dopages de la base d'un TBH Si/SiGe : C, avec un émetteur arsenic pour deux températures de recuit	106
Figure B.16 Répartition des atomes de bore en fonction de la dose initial et de la température de recuit. Profil de concentration obtenue par Analyse SIMS.....	107
Figure B.17 Comparaison de plusieurs épaisseurs du Si cap, d'un TBH Si/SiGe : C, émetteur dopé arsenic pour 2 doses différentes du dopage collecteur, à une température de 1080°C	109
Figure B.18 f_{MAX} vs. f_T d'un TBH Si/SiGe : C (0,12 x 4,9 μm^2) pour tous les essais réalisés	112
Figure B.19 Comparaison de courbes de Gummel pour des TBH Si/SiGe:C dont l'émetteur est dopé As ou P	113
Figure B.20 Evolution de la tension de claquage BV_{CE0} en fonction de l'épaisseur du Si cap pour deux doses d'implantation du SIC.....	113
Figure C.1 Vue schématique en coupe de l'architecture des TBH étudiés avec la représentation des différentes capacités et résistances	117
Figure C.2 Représentation schématique des différents niveaux de masques nécessaires à la réalisation des TBH de cette étude	119
Figure C.3 Dessin d'un transistor bipolaire de type B3T, jusqu'aux contacts	119
Figure C.4 Vue de dessin de transistor bipolaire sans les niveaux métalliques ni les via, excepté les contacts. a) Collecteur large et contact en matrice. b) Collecteur fin et contact de type ruban.....	121
Figure C.5 Caractéristique $I_C=f(V_{\text{CE}})$ de TBH avec puits collecteurs large et fin	121

Figure C.6 Vue de dessus d'un dessin de transistor bipolaire représentant le niveau active et le niveau contact. a) double rangée de contact en matrice sur le collecteur. b) contact en ruban sur le collecteur.....	123
Figure C.7 Dessin d'un TBH de type CBEBE en technologie 55 nm et vue schématique en coupe associée.....	126
Figure C.8 Observation au MEB d'un TBH après lithographie de la fenêtre émetteur. Dimensions du composant dessiné sur masque : 0,4 μm x 230 nm.....	130
Figure C.9 Courbes de Bossung isofocus après lithographie de la fenêtre émetteur pour un TBH de dimension 0,8 μm x 230 nm.	131
Figure C.10 Courbes de Bossung après lithographie de la fenêtre émetteur pour un TBH de dimension 0,8 μm x 230 nm.	131
Figure C.11 Courbes isofocus de plusieurs TBH de longueurs différentes pour une largeur de fenêtre émetteur égale à 230 nm.....	132
Figure C.12 Mesure sur tous les sites de F_T d'une plaquette dont chaque champ a reçu une condition d'exposition particulière : dose 28 mJ, focus -0.2 μm au centre avec un pas de 0,5 mJ et de 0,1 μm	133
Figure C.13 Mesure sur tous les sites de F_{MAX} d'une plaquette dont chaque champ a reçu une condition d'exposition particulière: dose 28 mJ, focus -0.2 μm au centre avec un pas de 0,5 mJ et de 0,1 μm	133
Figure C.14 Observation au microscope électronique de deux transistors, après ouverture de la fenêtre émetteur.....	134
Figure C.15 Variation des dimensions critiques de la fenêtre émetteur, après gravure de la fenêtre, en fonction de la longueur du transistor, pour une largeur sur masque de 0,23 μm , pour la condition de lithographie optimale.....	135
Figure C.16 Représentation schématique de la correction de type « hammer head » (tête de marteau).....	136
Figure C.17 Courbes de Bossung après photo Emwin réalisée en lithographie 193 nm pour deux géométries de composant.....	137
Figure C.18 Courbes Isofocus après photo Emwin processer en 193 nm pour deux géométries de composant.....	138
Figure C.19 Observation au microscope électronique de quatre transistors, après ouverture de la fenêtre émetteur.....	139
Figure C.20 Coupe TEM d'un transistor bipolaire. Mise en évidence du polybase non siliciurée (1) et des espaceurs entre émetteur et base (2).....	140
Figure C.21 Evolution de l'erreur d'alignement pour 6 lots fabriqués avec une lithographie 193 nm.....	141
Figure C.22 Evolution de l'erreur d'alignement pour 6 lots fabriqués avec une lithographie 248 nm.....	141
Figure C.23 Evolution de la largeur de l'émetteur en fonction de la longueur du transistor pour une fenêtre émetteur de 210 et 230 nm réalisé en lithographie 193 ou 248 nm.....	142
Figure C.24 Représentation schématique des étapes de fabrication des espaceurs interne.....	144
Figure C.25 Evolution de la largeur de l'émetteur en fonction de l'épaisseur de silicium amorphe déposée (Amo 800 Å – Amo 500 Å).....	145
Figure C.26 Coupe TEM de transistor bipolaire, Wemwin = 0,21 μm a) silicium amorphe 800 Å, b) silicium amorphe 500 Å.....	146
Figure C.27 Coupe TEM transistor bipolaire. Wemwin = 0,19 μm .a) silicium amorphe 800 Å – Wemwin = 0,23 μm . b) silicium amorphe 500 Å – Wemwin = 0,19 μm	147

Figure C.28 Représentation schématique de l'enchaînement des opérations de production de la base et de l'émetteur, pour les deux intégrations étudiées du SIC .a) Implantation après fenêtre émetteur ;b) Implantation avant fenêtre émetteur.....	149
Figure C.29 Coupe TEM de transistors bipolaires de $W_E = 90$ nm, a) :SIC après Emwin, b) : SIC avant Emwin	152
Figure C.30 Evolution de l'ouverture de l'oxyde piédestal, en fonction de l'intégration et de la dose du SIC.....	154
Figure C.31 Evolution de la largeur du lien de base pour une implantation avant et après la fenêtre émetteur en fonction de la recette de désoxydation utilisée pour une fenêtre émetteur de $0,23 \mu\text{m}$	155
Figure C.32 Profils de TBH obtenus après implantation du SIC par simulation TCAD, dans les deux cas d'intégration	156
Figure C.33 Valeurs de f_T / f_{MAX} obtenues à partir de deux dessins de transistors processés sur un même lot	158
Figure C.34 Coupe TEM de TBH avec un émetteur effectif de 120 nm et 90 nm de large	159
Figure C.35 Présentation des performances fréquentielles obtenues après réduction de l'émetteur effectif de 120 nm à 90 nm	159
Figure C.36 Evolution des fréquences f_T/f_{MAX} et des capacités et résistances en fonction de la largeur de la fenêtre émetteur	160
Figure D.1 Position des transistors mesurés sur les plaques	163
Figure D.2 Schéma des plots et des dessins des structures Open et Short vue de dessus	164
Figure D.3 Représentation schématique vue en coupe des connexions métallique depuis les contacts jusqu'au 6 ^{ème} niveau de ligne métallique.....	164
Figure D.4 f_T et f_{MAX} mesurés sur un TBH B5T de longueurs $5 \mu\text{m}$ en fonction du type d'Open utilisé	165
Figure D.5 f_T et f_{MAX} mesuré sur un TBH B5T de longueurs $0,6 \mu\text{m}$ en fonction du type d'Open utilisé	166
Figure D.6 Schéma du TBH de la technologie B9MW vue en coupe	169
Figure D.7 Vue du dessus du dessin du composant et en coupe TEM du transistor bipolaire B9MW de longueur $5 \mu\text{m}$ de type CBEBBC	169
Figure D.8 Coupe TEM d'un transistor bipolaire B9MW (a) et B3T (b) de dimensions respectives $0,12 \times 4,9 \mu\text{m}^2$ et $0,12 \times 4,9 \mu\text{m}^2$	170
Figure D.9 Schéma du TBH de la technologie B3T vue en coupe	171
Figure D.10 Vue du dessus du dessin du transistor bipolaire B3T de longueur $5 \mu\text{m}$ de type CBEBBC.....	172
Figure D.11 Coupe TEM d'un TBH B3T.....	172
Figure D.12 Comparaison des performances fréquentielles de deux dessins de transistors fabriqués suivant deux routes différentes	173
Figure D.13 Schéma du TBH de la technologie B4T vue en coupe	174
Figure D.14 Vue du dessus du dessin du transistor bipolaire B4T de longueur $5 \mu\text{m}$ de type CBEBBC.....	175
Figure D.15 Coupe TEM d'un TBH B4T.....	175
Figure D.16 Résultats électriques obtenues à partir de règles de dessin B3T et B4T avec le même type d'épluchage (Open M2 & Short M2).....	176
Figure D.17 Comparaison du couple f_T/f_{MAX} , des capacités et résistances d'une référence B4T1 et d'un composant B4T2 (Amo 500) obtenu avec le même type d'épluchage (Open M2 & Short M2)	178

Figure D.18 Comparaison du couple f_T/f_{MAX} , des capacités et résistances d'une référence B4T1 et d'un composant B4T3 (Amo 800).....	179
Figure D.19 Coupe TEM d'un transistor B5T, Wemwin = 210 nm	180
Figure D.20 Schéma du TBH de la technologie B5T vue en coupe	181
Figure D.21 Comparaison du couple f_T/f_{MAX} , des capacités et résistances du composant B4T3 et d'un composant B5T	182
Figure D.22 Résumé des performances fréquentielles et des éléments parasites mesurés sur des composants de B9MW à B5T.....	183
Figure D.23 Vue simplifiée du dessus d'un composant CBEBC nommé ci-dessous : nbe = 1, nbb = 2, nbc = 2.....	184
Figure D.24 Courbe de Gummel simulées et mesurées sur un transistor B9MW de différentes longueurs	185
Figure D.25 Courbes du Gain simulée et mesurée en fonction du courant collecteur pour différentes longueurs de transistor B9MW.....	185
Figure D.26 Comparaison de la valeur de f_T mesurée et simulée pour un composant B9MW de longueur comprise entre 0,6 μm et 15 μm	186
Figure D.27 Comparaison de la valeur de f_{MAX} mesurée et simulée pour un composant B9MW de longueur comprise entre 0,6 μm et 15 μm	186
Figure D.28 Courbes de NF_{min} mesurées et simulées sur une TBH B9MW (0,27 x 5 μm^2) pour des tensions VBE proches du pic f_T	187
Figure D.29 Courbes de Gummel mesurée et simulée pour différentes longueurs du transistor B3T.....	187
Figure D.30 Courbes de gain mesuré et simulé pour des longueurs comprises entre 0,6 et 20 μm pour un TBH B3T.....	188
Figure D.31 Comparaison des mesures et simulations de f_T pour différentes longueurs du transistor B3T.....	188
Figure D.32 Comparaison des mesures et simulations de f_{MAX} pour différentes longueurs du transistor B3T.....	189
Figure D.33 Mesure et simulation du bruit NF_{min} pour un composant B3T pour des polarisations proches du pic f_T	189
Figure D.34 Courbes de Gummel mesurée et simulée pour différentes longueurs du transistor B4T.....	190
Figure D.35 Courbe de gain mesuré et simulé pour des longueurs comprises entre 0,4 et 20 μm pour un TBH B4T.....	190
Figure D.36 Comparaison des mesures et simulations de f_T pour différentes longueurs du transistor B4T.....	191
Figure D.37 Comparaison des mesures et simulations de f_{MAX} pour différentes longueurs du transistor B4T.....	191
Figure D.38 Mesure et simulation du bruit NF_{min} pour un composant B4T pour des polarisations proches du pic f_T	192
Figure D.39 Comparaison du bruit NF_{min} simulé pour chaque technologie.....	193
Figure D.40 Comparaison de bruit NF_{min} mesuré pour chaque technologie	193
Figure D.41 Mesure du courant de collecteur en fonction de la puissance injectée pour différentes technologies	196
Figure D.42 Calcul de la densité de courant à partir de la mesure du courant I_c	196
Figure D.43 Mesures du rendement à puissance ajoutée en fonction de la puissance injectée pour B9MW, B3T et B4T	197
Figure D.44 Mesure du gain transductique en fonction de la puissance injectée pour B9MW, B3T et B4T	197

Figure D.45 Puissance de sortie P_{out} (dBm) représenté sur des abaques de Smith pour $P_{inj} = 3$ dBm	198
Figure D.46 Contour de	198
Figure D.47 Contour de puissance à rendement ajouté (%) pour B9MW, B3T et B4T	198
Figure D.48 Dimensions des fenêtres émetteurs et des émetteurs effectifs en fonction des dimensions présentes sur le masque.....	199
Figure D.49 Calcul de la densité de courant à partir de la mesure du courant collecteur	199
Figure D.50 Courbes de rendement en puissance ajouté en fonction de la puissance injectée pour différentes largeurs Wemwin.....	200
Figure D.51 Mesure du gain transducique en fonction de la puissance injectée pour différentes dimensions de Wemwin	201
Figure D.52 Mesures du courant collecteur en fonction de la puissance injectée pour trois longueurs de transistors ($W_{emwin} = 0,23 \mu m$).....	202
Figure D.53 Mesure du rendement en puissance ajouté en fonction de la puissance injectée pour trois longueurs de TBH.....	202
Figure D.54 Puissance de sortie (bleu/losange), Gain transducique (vert/triangle) et puissance à rendement ajouté (rouge/croix) pour un TBH B4T pour $V_c = 2,3$ V, $V_b = 0,82$ V	203
Figure D.55 Mesure du gain à 120 GHz en fonction de la densité de courant pour les technologies B9MW, B3T et B4T	204
Figure D.56 Schéma électrique et dessin du circuit de l'amplificateur à 160 GHz réalisé par l'UoT [E.Laskin et al. RFIC 2008].....	204
Figure D.57 Comparaison de la puissance de sortie et du gain pour des amplificateurs à 160GHz réalisé avec les technologies B9MW, B3t et B4T.....	205
Figure D.58 Schéma d'un étage de l'amplificateur 160 GHz utilisé pour le LNA....	206
Figure D.59 Mesure du gain et du bruit sans la prise en compte des pertes des plots hf	206
Figure D.60 Dessin des circuits des deux versions du système d'imagerie à 160 GHz	207
Figure D.61 Prototype du système d'imagerie à 160 GHz, vue du système et prise de vue de démonstration.....	207
Figure D.62 Mesure de gain et du bruit mesuré sur deux types de circuit B4T	208

Index des tableaux

<i>Tableau A.1 Tableau résumé des performances hf et paramètres électriques des transistors proposés par les différents partenaires du projet DotFive. [Chevalier11]</i>	90
Tableau B.1 Epaisseur de Si-cap choisie en fonction de la température de recuit et de l'espèce dopante de l'émetteur.....	97
Tableau B.2 Evolution de la tension de claquage de la jonction base - collecteur d'un transistor bipolaire (4,9 x 0,13 μm^2), en fonction de la dose introduite lors de l'implantation SIC.....	102
Tableau B.3 Valeur de la résistance émetteur en fonction de la température du recuit final. Transistor de longueur et largeur respective : 4,9 x 0,13 μm^2	103
Tableau B.4 Valeur de la résistance de base intrinsèque en fonction de la température et de la dose de bore.....	106
Tableau B.5 Variation de la tension de claquage de la jonction émetteur – base en fonction du dopage du SIC et de l'épaisseur de si-cap.....	110
Tableau C.1 Comparaison des avantages et inconvénients de chaque choix d'intégration.....	148
Tableau C.2 Tableau de comparaison des performances fréquentielles et tension de claquage en fonction de l'intégration choisie pour l'implantation du SIC et de la dose implantée.....	151
Tableau C.3 Dimensions de transistors bipolaire mesurées sur silicium à partir de coupes TEM, pour deux types d'intégrations.....	153
Tableau C.4 Condition de fabrication de plaque utilisée pour l'étude.....	160
Tableau D.1 Paramètres extraits des paramètres S pour un TBH de 5 μm de long avec un épluchage réalisé avec différents types d'OPEN.....	165
<i>Tableau D.2 Paramètres extrait des paramètres S pour un TBH de 0,6 μm de long avec un épluchage réalisé avec différent type d'OPEN.....</i>	<i>167</i>
Tableau D.3 Comparaison des procédés de fabrication B9MW et B3T.....	171
Tableau D.4 Comparaison des paramètres technologiques mesurés sur deux plaques fabriquées avec une route B3T.....	176
Tableau D.5 Energie et niveau de dopage du collecteur implanté pour B4T (lot JAV) et B4T2 (lot PGT).....	177
Tableau D.6 Comparaison de la résistance d'accès à la base, de la résistance de base pincée et la résistance du polybase non siliciuré.....	178
Tableau D.7 Résumé des conditions de fabrication et des dimensions de la fenêtre émetteur pour les composants B4T3 et B5T.....	181
Tableau D.8 Résumé des variations des conditions de fabrication depuis B9MW jusqu'à B5T.....	183
Tableau D.9 Résumé des fréquences f_T et f_{MAX} mesurées sur les plaques de chaque technologie utilisées pour la mesure et la simulation du bruit NF_{min}	192
<i>Tableau D.10 Comparaison des performances hf et des conditions de fabrication des transistors mesurés pour la caractérisation en puissance de chaque technologie....</i>	<i>195</i>
Tableau D.11 Tableau résumé des mesures pour l'étude par technologie.....	195
Tableau D.12 Rappel de f_T et f_{MAX} pour une variation de Wemwin comprise entre 0,23 et 0,15 μm	200
<i>Tableau D.13 Comparaison des gains et niveau de bruit mesurés sur des circuits d'amplification faible bruit supérieure à 94 GHz.....</i>	<i>206</i>

Tableau D.14 Fréquences, résistances et capacités mesurées chez STMicroelectronics
sur les plaques envoyées à nos partenaires207

Références bibliographiques

- [Ashburn03] Ashburn P., “**SiGe Heterojunction Bipolar Transistors**“, John Wiley and Sons, 2003
- [Ashburn88] Ashburn P., “**Design and Realization of Bipolar Transistors**“, John Wiley and Sons, 1988
- [Boucaud94] Boucaud P., Francis C., Julien F. H., Lourtioz J.-M., Bouchier D., Bodnar S., Lambert B., Regolini J. L., “**Band-edge and deep level photoluminescence of pseudomorphic $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ alloys**“, Applied Physics Letters 64(7), Février 1994, p: 875–877
- [Brossard] Brossard.F., “**Epitaxies Si/SiGe (c) pour transistors bipolaires avancés**“, Thèse Université Grenoble 1, 2007.
- [Borot06] Borot, G., Rubaldo, L., Breil, N., Boussey, J., Mescot, X., Ghibaudo, G., Dutartre, D., “**Surface Segregation and Electrical Studies of Heavily Arsenic and Phosphorus in situ Doped Epi and Poly Silicon**“, International SiGe Technology and Device Meeting, 2006, p: 280 - 281
- [Duschl00] Duschl R., “**Physics and Applications of Si/SiGe/Si Resonant Interband Tunneling Diodes**“, Thin Solid Films, 380, 2000, p: 151 – 153
- [Donkers07] Donkers J.J.T.M et al., “**A Novel Fully Self-Aligned SiGe:C HBT Architecture Featuring a Single-Step Epitaxial Collector-Base Process**“, in IEDM Technical Digest, 2007. p. 655-658
- [Cacho05] Cacho.F.,” **Etude et Simulation de la Siliciuration du Nickel, Application dans les Technologies** ” Thèse Ecole des Mines de Paris, 2005
- [Chevalier09] Chevalier P. et al. ”**A Conventional Double-polysilicon FSA-SEG Si/SiGe:C HBT Reaching 400 GHz f_{MAX}** “, in BCTM proceeding 2009
- [Chevalier11] Chevalier P. et al, ”**Towards THz SiGe HBTs**“, BCTM2011, invited paper.

- [Choi06] Choi, L.J., Kunnen, E., van Huylenbroeck, S., Piontek, A., Sibaja-Hernandez, A., Vleugels, F., Dupont, T., Leray, P., Devriendt, K., Shi, X.P., Loo, R., Vanhaelemeersch, S., Decoutere, S., “ **A Novel Deep Trench Isolation Featuring Airgaps for a High-Speed 0.13 μ m SiGe:C BiCMOS Technology** “, International Symposium on VLSI Technology, Systems, and Applications, 2006
- [Esaki58] Esaki L., “**New Phenomenon in Narrow Germanium p-n Junctions**”, Phys. Rev., 109, 1958, p: 603 – 604
- [Franck49] Franck F.C., “**One-dimensional dislocations: I. static theory, II. misfitting monolayer and oriental overgrowth** “, Review society proceedings A., Vol. 198, 1949, p: 205 – 225
- [FOX11] Fox A. et al.”**SiGe:C HBT Architecture with Epitaxial External Base**”, in BCTM 2011 proceeding
- [Geynet08] Geynet, B., Chevalier, P., Vandelle, B., Brossard, F., Zerounian. N., Buczko, M., Gloria, D., Aniel, F., Dambrine, G., Danneville, F., Dutartre, D., Chantre, A., “**SiGe HBTs Featuring $f_T > 400$ GHz at Room Temperature** “, Accepted to BCTM 2008
- [Hewl95] Hewlett Packard, Test and Measurement Application Note 95-1, “**S-Parameter Techniques** “, 1995.
- [Heinemann10] Heinemann B, “**SiGe HBT Technology with f_T/f_{MAX} of 300/500 GHz and 2,0 ps CML Gate Delay**”, IEDM Digest, 2010, pp. 93-99
- [Huylenbroeck10] Huylenbroeck S.V., ”**A 400 GHz f_{MAX} Fully Self-Aligned SiGe: HBT Architecture**”, in BCTM proceeding 2008
- [Huylenbroeck11] Huylenbroeck S.V. et al., ”**Pedestal Collector Optimization for High Speed SiGe:C HBT**”, in BCTM proceeding 2011
- [Kurokawa65] Kurokawa, K., “**Power Waves and the Scattering Matrix Microwave Theory and Techniques**”, IEEE Transactions, Volume 13, Issue 2, Mar 1965, p: 194 – 20
- [Kather04] Kather M. et al.”**SiGe Technologie with $f_{MAX} / f_T = 350 / 300$ GHZ and Gate Delay below 3,3 ps**”, in IEDM Technical Digest, 2004, p 203 - 206

- [Lacave10] Lacave T. et al., "**Vertical Profile Optimization for +400 GHz f_{MAX} Si/SiGe:C HBTs**", BCTM Proc., 2010, pp. 49-52.
- [Lagarde06] Lagarde, D., Chevalier, P., Schwartzmann, T., Chantre, A., "**Band-to-Band Tunneling in Vertically Scaled SiGeC HBTs**", IEEE Transactions on Electron Devices 27(4), Avril 2006, p: 275 – 277
- [Lang85] Lang D.V., People R., Bean J.C., Sergent A., "**Measurement of the band gap of $GexSi1-x/Si$ strained-layer heterostructures**", Applied Physics Letter 47(12), Décembre 1985, p: 1333 - 1335.
- [Lanzerotti96] Lanzerotti, L.D., St. Amour, A., Liu, C.W., Sturm, J.C., Watanabe, J.K., Theodore, D., "**Si/Si_{1-x-y}Ge_xC_y/Si heterojunction bipolar transistors**", IEEE Electron Device Letters, Vol. 17, July 1996, p: 334 – 337
- [Margomenos09] Margomenos A., "A comparison of Si CMOS and SiGe BiCMOS Technologies for Automotive Radars" Invited paper.
- [Meyer87] Meyer, R.G., Muller, R.S., "**Charge-control analysis of the collector-base space-charge-region contribution to bipolar-transistor time constant τ_T** ", IEEE Transactions on Electron Devices, Vol. 34, Issue 2, Fevrier 1987, Page(s): 450 – 452
- [Miller55] Miller S.L., "**Ionization rates for electrons and holes in silicon**", Phys. Rev. 99, 1955, p: 1234
- [Orner03] Orner B.A et al., "**A 0.13 μm BiCMOS Technology Featuring a 200/280 GHz (f_T/f_{MAX}) SiGe HBT for Millimeter Wave Application**", in BCTM Proceeding, 2003, p 203-205
- [Orner06] Orner, B.A., Dahlstrom, M., Pothiawala, A., Rassel, R.M., Liu, Q., Ding, H., Khater, M., Ahlgren, D., Joseph, A., Dunn, J., "**A BiCMOS Technology Featuring a 300/330 GHz (f_T/f_{max}) SiGe HBT for Millimeter Wave Applications**", Proceedings of BCTM 2006, p 49-52
- [Osten97] Osten, H.J., Lippert, G., Knoll, D., Barth, R., Heinemann, B., Rucker, H., Schley, P., "**The effect of carbon incorporation on SiGe heterobipolar transistor performance and process margin**", Technical Digest of IEDM 1997, Page(s): 803 – 806

- [People85b] People R., “**Indirect band gap of coherently strained $\text{Ge}_x\text{Si}_{1-x}$ bulk alloys on <001> silicon substrates**“, Physical Review B 32(2), Juillet 1985, p. 1405 - 1408.
- [Piontek06] Piontek, A., Vanhoucke, T., Van Huylenbroeck, S., Choi, L.J., Hurkx, G.A.M., Hijzen, E., Decoutere, S., “**Influence of lateral device scaling and airgap deep trench isolation on reliability performance of 200GHz SiGe:C HBTs**“, International SiGe Technology and Device Meeting, 2006, p: 242 – 243
- [Pottrain10] Pottrain a. et al, “**XYdBm Pout@94 GHz State of the Art SiGe HBT BiCMOS Technology for Millimeter Wave Application**“, Electron Device letter, submitted
- [Richard04] Richard S., “ **Modélisation physique de la structure électronique, du transport et de l’ionisation par choc dans les matériaux IV-IV massifs, contraints et dans les puits quantiques** “, Thèse de doctorat, Université Paris-Sud XI, 2004
- [Rickelt01] Rickelt, M.; Rein, H.-M.; Rose, E.; “**Influence of impact-ionization-induced instabilities on the maximum usable output voltage of Si-bipolar transistors**“, IEEE Transactions on Electron Devices, Volume 48, April 2001, p: 774 – 783
- [Rieh04] Rieh, J.S., Greenberg, D., Khater, M., Schonenberg, K.T., Jeng, S.-J., Pagette, F., Adam, T., Chinthakindi, A., Florkey, J., Jagannathan, B., Johnson, J., Krishnasamy, R., Sanderson, D., Schnabel, C., Smith, P., Stricker, A., Sweeney, S., Vaed, K., Yanagisawa, T., Ahlgren, D., Stein, K., Freeman, G., “ **SiGe HBTs for millimeter-wave applications with simultaneously optimized f_T and f_{max} of 300 GHz** “, Digest of RFIC Symposium 2004, p: 395 – 398
- [Roulston90] Roulston D.J., “**Bipolar Semiconductor Devices**“, McGraw Hill, 1990
- [Voinigescu97] Voinigescu S.P., “**A Scalable High-Frequency Noise Model for Bipolar Transistors with Application to Optimal Transistor Sizing for Low-Noise Amplifier Design**“, IEEE Journal Of Solid-State Circuits, Vol.32, n°9, September 1997
- [Yip90] P. C. L. Yip, “**High-Frequency Circuit Design and Measurement**“, Chapman and Hall, London, 1990.

Publications de l'auteur

T. Lacave, P. Chevalier, Y. Campidelli, M. Buczko, L. Depoyan, L. Berthier, G. Avenier, C. Gaquière, A. Chantre, “**Vertical Profile Optimization for + 400 GHz f_{MAX} Si/SiGe:C HBTs**”, in Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 4-6 Oct. 2010, Austin, TX, USA pp.49-52.

T. Lacave, P. Chevalier, Y. Campidelli, L. Depoyan, L. Berthier, F. André, M. Buczko, G. Avenier, C. Gaquière, A. Chantre, “**Influence of the Selectively Implanted Collector Integration on +400 GHz f_{MAX} Si/SiGe:C HBT's**”, in Proceedings of the ECS SiGe Workshop, Las Vegas (NV), USA, October 10-15, 2010, ECS Transactions, Vol. 33, No. 6, 2010, pp. 331-336.

P. Chevalier, F. Pourchon, T. Lacave, G. Avenier, Y. Campidelli, L. Depoyan, G. Troillard, M. Buczko, D. Gloria, D. Céli, C. Gaquière and A. Chantre, “**A Conventional Double-Polysilicon FSA-SEG Si/SiGe:C HBT Reaching 400 GHz f_{MAX}** ”, in Proceedings of the Bipolar / BiCMOS circuits and technology meeting (BCTM), Capri, Italy, October 13-15, 2009, pp. 1-4.

A. Chantre, P. Chevalier, T. Lacave, G. Avenier, M. Buczko, Y. Campidelli, L. Depoyan, L. Berthier, and C. Gaquière, “**Pushing conventional SiGe HBT Technology Toward “DotFive” Terahertz**”, in Proceedings of the European Microwave Integrated Circuits Conference (EuMIC), 27-28 Sept. 2010, pp. 21-24 (Invited).

A. Pottrain, T. Lacave, D. Gloria, P. Chevalier, F. Pourchon, N. Derrier and C. Gaquière, “**Ionization effect on SiGe HBT power limitation in the millimeter wave frequency range**”, in Proceedings of the 6th European Microwave Integrated Circuits Conference, 10-11 October 2011, Manchester, UK, pp. 81–84.

R. Ouhachi, D. Ducatteau, C. Gaquière, T. Lacave, P. Chevalier, D. Gloria, “**Calibration of the Non Linear Vector Network Analyzer (PNA-X) for probe Measurements**”, in Proceedings of the 6th European Microwave Integrated Circuits Conference, 10-11 October 2011, Manchester, UK, pp. 212–215.

A. Pottrain, T. Lacave, D. Ducatteau, D. Gloria, P. Chevalier, C. Gaquière, “**High Power Density Performances of SiGe HBT From BiCMOS Technology at W-Band**”, IEEE Electron Device Letters, vol 33, no 2, Feb.2012, pp 182-184.

Résumé :

Les transistors bipolaires à hétérojonction (TBH) Si/SiGe offerts dans les technologies BiCMOS actuellement en production atteignent des fréquences maximales d'oscillation f_{MAX} proches de 300 GHz. Il est ainsi possible d'adresser des applications dans le domaine millimétrique jusqu'à 100 GHz, telles que les radars anticollision pour automobiles (77 GHz), les communications optiques (100 Gb/s) et sans fil haut débit (60 GHz) avec ces technologies BiCMOS. L'objectif des travaux présentés dans ce manuscrit était d'améliorer les performances en fréquences des TBH Si/SiGe, et plus particulièrement f_{MAX} , afin de préparer la prochaine génération de technologie BiCMOS. Tout d'abord, les principes de fonctionnement du transistor bipolaire sont rappelés et l'architecture du composant étudié est présentée. Les différents paramètres définissant le profil de dopage sont étudiés et leurs influences sur les performances fréquentielles du transistor et notamment sur le compromis entre la fréquence de transition du gain en courant f_T et f_{MAX} sont détaillées. La réduction des dimensions latérales du transistor dont le but est de diminuer les résistances et capacités parasites a fait l'objet d'une étude dont les résultats ont montré les bénéfices, mais également les limitations, quant à l'augmentation de f_{MAX} . Ces études ont permis de démontrer la faisabilité d'intégrer un TBH de $f_T \sim 300$ GHz et $f_{MAX} \sim 400$ GHz dans un nœud CMOS 55 nm. Enfin, les différentes générations de composant mis au point pendant ces travaux, pour lesquelles des valeurs de f_T entre 250 GHz et 320 GHz, et des valeurs de f_{MAX} entre 330 GHz et 420 GHz, sont comparées entre elles ainsi qu'à la technologie BiCMOS9MW ($f_T = 220$ GHz, $f_{MAX} = 280$ GHz) actuellement en production. Cette comparaison concerne les performances en bruit et en puissance (grand signal) aux fréquences millimétriques. Les bénéfices de nos travaux ont également été démontrés à travers les résultats de circuits réalisés par des partenaires universitaires. Un de ces circuits a notamment été utilisé pour la fabrication d'un démonstrateur d'imagerie active à 160 GHz.

Abstract :

Si/SiGe heterojunction bipolar transistors (HBT) available in production qualified BiCMOS technologies today reach maximum oscillation frequencies f_{MAX} close to 300 GHz. These technologies address millimeter-wave applications until 100 GHz, as collision avoidance radar for automotive (77 GHz), 60 GHz high data rate wireless communications and 100 Gb/s optical communications.. Objective of the work presented in this manuscript was to increase the transit frequencies, and more especially f_{MAX} , of SiGe HBTs in order to prepare the next BiCMOS generation. First, the theory of the bipolar transistor and the architecture of the device used for our studies are presented. Then, the different parameters defining the vertical doping profile are investigated and their influences on frequency performances, in particular on the trade-off between the current gain transit frequency f_T and f_{MAX} are detailed. The reduction of the lateral dimensions of the transistor, performed to reduce parasitic resistances and capacitances, exhibited the benefits but also the limitations of the scaling to increase f_{MAX} . Those studies enabled to demonstrate the feasibility to integrate a 300-GHz f_T and 400-GHz f_{MAX} HBT in a 55-nm CMOS node. Finally, the different generations of devices fabricated during this work, exhibiting f_T values between 250 GHz and 320 GHz and f_{MAX} values between 330 GHz et 420 GHz, are compared between them and with BiCMOS9MW, a production qualified technology featuring 220 GHz f_T and 280 GHz f_{MAX} . This comparison deals with both the noise and the power (large signal) performances at millimeter-wave frequencies. The benefit of the work carried out in this PhD thesis is also demonstrated through the results of circuits designed by partners from different universities. One of those circuits in particular had been used to demonstrate a prototype of an active imaging system at 160 GHz.