

N° d'ordre : 40992

# THESE

Présentée à  
L'UNIVERSITE de LILLE 1 – SCIENCES ET TECHNOLOGIES  
Ecole Doctorale Sciences Pour l'Ingénieur

Pour l'obtention du grade de  
**Docteur de l'Université**  
Spécialité MICRO-ONDES ET MICRO-TECHNOLOGIES

Par  
Benjamin DORMIEU

Modélisation compacte des transistors MOS nanométriques pour applications  
RF et millimétriques

Soutenance le 7 décembre 2012

**Membres du jury :**

Pr. Emmanuel DUBOIS, président

Pr. Christian ENZ, rapporteur

Pr. Gérard GHIBAUDO, rapporteur

Dr. Olivier ROZEAU, membre

Dr. Patrick SCHEER, membre, encadrant STMicroelectronics

Pr. François DANNEVILLE, directeur de thèse

## Résumé

Ces travaux ont pour objet l'évaluation et l'amélioration des modèles compacts dédiés au transistor Métal/Oxyde/Semi-conducteur, dans le cadre de ses applications radiofréquences et millimétriques. Dans un contexte industriel, les avancées technologiques apportées à ce composant sont motivées par ses applications dans les circuits numériques, dans lesquels il est massivement employé. Cependant, cette volonté de performance numérique a donné l'opportunité au transistor MOS de se proposer en candidat sérieux pour les applications radiofréquences en premier lieu, et potentiellement par la suite millimétriques, bousculant ainsi la suprématie du transistor bipolaire, le traditionnel composant analogique sur silicium. En conséquence, les compétences des modèles compacts se sont élargies au domaine radiofréquence mais leur développement fait face à de nouveaux défis principalement liés à l'impact croissant des éléments parasites sur le fonctionnement du transistor.

Ces recherches sont ainsi particulièrement motivées par l'arrivée de la technologie de grille High-k/Métal, qui certes a offert une solution pour la poursuite de la réduction des dimensions du transistor mais pose aussi de nouvelles problématiques au niveau du comportement électrique de la résistance de grille. Après l'évaluation des besoins de modélisation en termes de dépendances à la fois géométriques et suivant les tensions appliquées, une nouvelle topologie distribuée du réseau d'entrée est proposée, qui met en œuvre les différentes composantes des éléments parasites. Par ailleurs, l'approche présente l'avantage de conserver la compatibilité avec les technologies à grille poly-silicium. En parallèle, l'exploitation de la grille High-k/Métal fournit l'occasion d'effectuer une caractérisation exhaustive de cette technologie, particulièrement dans le domaine du bruit radiofréquence. Cette dernière sert d'appui à des réflexions sur, d'une part, les procédures d'extraction des paramètres de bruit par la méthode NF50 et multi-impédances, et, d'autre part, sur la confrontation des modèles compacts avec les mesures de bruit, conduisant à l'apparition du concept de bruit en excès.

L'investigation de nouvelles approches pour la modélisation et l'extraction des modèles RF de transistors MOS est également menée. En effet, la méthode traditionnelle de mesure des transistors à deux ports et configurant le dispositif en source commune ne permet pas une compréhension complète et une description précise du composant. Cela conduit le plus souvent à des approximations et à la négligence de certains effets, en particulier pour la représentation du réseau substrat. Pour résoudre ce point, deux types de structures dédiées ont été dessinées et mesurées en gamme radiofréquence et millimétrique. Il s'agit d'une part de caissons de transistors MOS isolés par des jonctions et d'autre part de transistors montés en configuration deux ports grille et caisson. S'appuyant sur le point de vue particulier qu'offrent ces structures, un modèle pour les transistors à couche enterrée d'isolation a été élaboré. Celui-ci propose une description paramétrique du substrat applicable à des dispositifs en source commune mais prend en compte de manière inédite les effets distribués entre la couche d'isolation et le caisson, qui ont été révélés par l'étude de ces dispositifs originaux. Enfin, la mise en œuvre de cette méthodologie a ouvert la voie à l'utilisation de mesures quatre-ports pour l'extraction des paramètres d'un modèle de transistor MOS. L'attrait du procédé réside dans la possibilité d'accéder à tous les terminaux du dispositif. Une procédure complète d'extraction, illustrant les bénéfices de la méthode, est donc proposée.

Au final, ces travaux couvrent une partie importante des effets parasites dégradant les performances du transistor MOS dans les domaines radiofréquences et millimétriques. Ils apportent des réponses en termes de modèle mais suggèrent également de nouvelles possibilités d'extraction de paramètres, donnant la possibilité d'employer ces solutions dans un contexte industriel. Les différentes contributions apportées étendent ainsi le potentiel d'application du transistor MOS dans les domaines radiofréquences et millimétriques.

## Table des matières

Introduction .....	5
I. Modélisation RF et millimétrique des transistors MOS .....	9
I.1. Introduction .....	9
I.1. Modélisation RF du transistor MOS .....	10
I.1.a. Fonctionnement du dispositif .....	10
I.2. Le schéma équivalent petit-signal .....	15
I.2.a. Mesures petit-signal, paramètres [S] .....	15
I.2.b. Le schéma équivalent petit-signal .....	16
I.3. Modèles compacts .....	22
I.3.a. Présentation .....	22
I.3.b. Le modèle PSP .....	23
I.4. Modélisation des effets parasites pour la RF et le millimétrique .....	28
I.4.a. L'empilement de grille métallique à base de matériau à haute permittivité .....	29
I.4.b. Capacités parasites de bords .....	31
I.4.c. Le réseau substrat .....	34
Conclusion du chapitre I .....	39
II. Le bruit thermique des transistors MOS dans les domaines RF et millimétrique .....	43
Introduction .....	43
II.1. Théorie du bruit dans les quadripôles .....	44
II.1.a. Représentations .....	44
II.1.b. Facteur de bruit et paramètres de bruit .....	45
II.2. Origines du bruit et sources associées dans les transistors à effet de champ. ....	48
II.3. Extraction des paramètres de bruit à partir de la mesure .....	50
II.3.a. Extraction des paramètres de bruit par la méthode multi-impédances .....	51
II.3.b. Extraction des paramètres de bruit par la méthode 'NF50' .....	52
II.3.c. Comparaison des extractions multi-impédances et NF50 .....	55
II.4. Modélisation compacte du bruit avec PSP .....	58
II.4.a. Bases théoriques .....	58
II.4.b. Le paramètre $fnt$ .....	60
II.4.c. Evaluation du modèle de bruit sur les technologies 40nm et HKMG 28nm .....	61
Conclusion du chapitre II .....	68

III.	Modélisation de la résistance de grille pour les technologies avancées .....	71
III.1.	Introduction .....	71
III.2.	La résistance de grille dans les modèles compacts .....	72
III.3.	Extraction de la résistance de grille .....	74
III.4.	Mise en évidence des limitations des modèles actuels.....	79
III.4.a.	La résistance de grille en fonction des dimensions .....	80
III.4.b.	Comportement de la résistance effective de grille en fonction de la tension de grille.....	82
III.5.	Correction du modèle de la résistance de grille .....	82
III.5.a.	Prise en compte de la résistance d'accès du terminal au transistor .....	82
III.5.b.	Proposition du nouveau modèle de la résistance de grille .....	86
III.5.c.	Effet sur la dépendance en tension de la résistance de grille effective .....	89
III.5.d.	Effet sur les dépendances géométriques de la résistance de grille effective .....	93
III.5.e.	Comportement du modèle en fonction du layout de grille. ....	95
III.6.	Application du modèle à la résistance de grille effective du PMOS HKMG.....	97
III.6.a.	Dépendance en fréquence de l'impédance d'entrée .....	97
III.6.b.	Modèle de résistance de grille pour le PMOS.....	98
III.6.c.	Amélioration du contact métal/poly-silicium : pré-dopage et recuit.....	101
	Conclusion du chapitre III .....	102
IV.	Structures spécifiques pour la modélisation et l'extraction .....	105
IV.1.	Introduction .....	105
IV.2.	Structures de test PWELL/NWELL .....	106
IV.2.a.	Présentation des structures .....	106
IV.2.b.	Schéma électrique équivalent.....	107
IV.2.c.	Mesures et extraction.....	108
IV.3.	Structures de test grille-caisson .....	110
IV.3.a.	Présentation .....	110
IV.3.b.	Modélisation des caissons isolés .....	112
IV.4.	Les mesures 4-port.....	123
IV.4.a.	Structures 4-port, mesures et épluchage .....	123
IV.4.b.	Modèle de transistor MOS à quatre terminaux .....	125
IV.4.c.	Méthode d'extraction à partir de mesures 4-Port .....	126
	Conclusion du chapitre IV. ....	135
	Conclusion .....	137
	ANNEXE A : Passage entre les différentes représentations de bruit .....	139
	Annexe B : Influence de l'encapsulation sur les paramètres extra-dimensionnels de la résistance d'interface.....	140
	ANNEXE C : Détermination des paramètres [Y] d'un schéma doublement distribué.....	142
	Liste des publications .....	152

## Introduction

Du fait de sa présence massive dans les circuits numériques, le transistor MOS est sans doute le composant le plus utilisé en micro-électronique. Depuis le premier circuit intégré en 1958 [1], le nombre de transistors dans une puce a considérablement augmenté, dépassant maintenant le milliard pour les micro-processeurs commerciaux [2]. Ce composant a bénéficié de nombreuses améliorations en termes de densité d'intégration et de rapidité de fonctionnement. Dans la plupart des cas, ces progrès dans le domaine numérique profitent également aux performances analogiques. Trivialement, la diminution de longueur de grille augmente la fréquence de fonctionnement du dispositif à la fois pour des utilisations analogiques et numériques. Cependant, d'autres avancées technologiques sont parfois susceptibles de dégrader les performances analogiques et radiofréquences du composant. Le transistor à double grille finFET, de par l'augmentation des parasites que cette technologie impose, constitue un bon exemple de performances amoindries dans le domaine RF [3] par rapport à celles attendues.

Dans le domaine RF, l'utilisation du MOS diffère profondément de celle qui en est faite dans le monde numérique. Dans ce dernier, un circuit peut contenir plusieurs millions de transistors, alors qu'au plus une dizaine de transistors seulement interviennent dans un circuit micro-onde. Par ailleurs, dans le choix de leur constituant technologique, les transistors MOS sont optimisés pour offrir les meilleures performances numériques. Pourtant, depuis une ou deux décennies, le transistor MOS est capable d'offrir des performances RF fiables et évolue progressivement vers des créneaux occupés jusque-là par les technologies à l'état solide historiques dans le domaine des micro-ondes. Par exemple, ces transistors sont employés dans les circuits de téléphonie mobile ou de liaison sans fil de type WLAN. En effet, les fréquences de fonctionnement de ces applications restent relativement modestes (0.4 – 30GHz) [4] mais ces dernières profitent de l'intégration conjointe de la partie numérique d'un circuit (traitement du signal) et de sa partie analogique (émission et réception).

Les transistors à semi-conducteurs III-V dominent le secteur des ondes millimétriques depuis le début des années 80 [5][6], dans les applications de défense et spatiales, et offrent notamment des performances en bruit bien meilleures. Actuellement, la gamme de fonctionnement térahertz-submillimétrique pour ces dispositifs est même sérieusement envisagée, avec des exemples de circuit fonctionnant à quelques centaines de GHz [9][10][11]. Les fréquences de fonctionnement des MOS progressent toutefois elles aussi avec l'apparition de circuits atteignant la bande millimétrique. La technologie CMOS commence ainsi à concurrencer les transistors III-V [12][13][14]. Cependant, les circuits millimétriques sur silicium sont encore largement basés sur une technologie BiCMOS [15][16][17], association de transistor HBT silicium-germanium et de composants MOS. Le transistor HBT sur silicium offre en effet d'excellentes performances millimétriques voire submillimétriques [18].

Un grand atout du transistor MOS dans les applications RF et millimétriques reste la possibilité de l'intégration conjointe de la partie numérique et digitale sur une seule puce. Des exemples naturels sont les convertisseurs analogiques/numériques. Mais d'excellentes perspectives sont offertes également par les applications RF et/ou millimétriques contrôlées numériquement. Comme exemple de ce type d'association, on peut citer des VCO digitaux [19], des amplificateurs contrôlés en tension (VGA) [20], ou des boucles à verrouillage de phases (PLL) asservies numériquement [21][22].

La Fig. 1 donne l'occupation des technologies à l'état solide pour les bandes de fonctionnement RF et millimétriques (mmW), selon la publication de l'ITRS en 2009 [23]. Il est vrai que le domaine millimétrique est particulièrement étendu en fréquence (30GHz-300GHz) et les applications des technologies MOS sont pour l'instant plutôt dédiées à la partie basse.

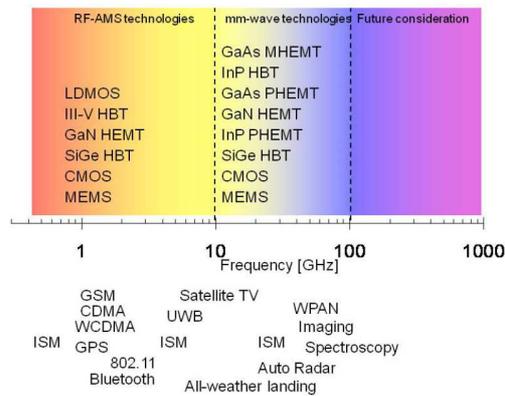


Fig. 1: Technologies employées pour les applications millimétriques, RF et analogiques [23]

Cela étant, des applications millimétriques plus poussées de la technologie CMOS existent ou sont sérieusement envisagées, et les modèles électriques doivent savoir répondre à ces nouveaux besoins. Les modèles standards industriels se montrent performants actuellement pour des utilisations numérique, analogique et radiofréquence pour une bonne part. Dans ces dernières et dans le domaine millimétrique, les éléments parasites jouent un rôle croissant sur le comportement électrique du transistor et c'est pourquoi les parties correspondantes des modèles compacts ont besoin de précision. En outre, l'introduction de nouvelles briques technologiques développées dans un objectif spécifiquement numérique, comme les grilles métalliques avec un isolant à haute permittivité, font apparaître de nouvelles problématiques liées aux parasites dans le domaine des applications millimétriques. La résistance de grille, les capacités de bord et le substrat sont des exemples de ces éléments qui prennent de plus en plus de place dans le modèle. Ceux-ci peuvent être parfois modélisés et extraits de manière traditionnelle en se basant sur le comportement électrique du transistor dans ses conditions classiques de fonctionnement, mais ont tout de même souvent besoin de la mise en place de nouvelles méthodologies, basées sur des structures spécifiques ou de conditions de polarisation particulières. Enfin, quel que soit le domaine de fréquence, des effets parasites de nature aléatoire, créés par le transistor lui-même, sont visibles également sur sa réponse électrique. Dans le cas de signaux appliqués d'amplitudes faibles, ce phénomène, appelé bruit, devient significatif et perturbe le fonctionnement du dispositif. Pour des applications de type millimétriques, principalement orientées dans les communications sans fil, où la consommation est également un souci, la modélisation de ce bruit s'avère alors critique.

Les travaux présentés ici ont pour objectif de répondre aux problématiques centrées sur le rôle des parasites dans le fonctionnement du transistor et d'améliorer leur description dans les modèles de MOS actuels. Dans ce but, le chapitre I présentera les bases théoriques sur le fonctionnement intrinsèque du transistor MOS, les modèles associés - compact ou basés sur un schéma équivalent - et une description des éléments parasites inévitables du transistor et qui sont mis en jeu dans ces travaux. Le chapitre II est consacré au bruit thermique dans les transistors MOS, et présentera la théorie du bruit, sa caractérisation

sur deux technologies différentes et la confrontation d'un modèle compact aux résultats de mesures. Le chapitre III est dédié à la résistance de grille, et en présente une modélisation compacte adaptée à la fois aux technologies à grille poly-silicium et à celles à grille métallique et isolant à haute permittivité (HKMG). Enfin, le chapitre IV présentera des nouvelles méthodologies d'extraction basées sur des structures particulières, qui rendent possible la modélisation et l'extraction d'éléments spécifiques des modèles, comme les différentes composantes électriques du substrat, mais aussi une analyse étendue du comportement du transistor MOS en fonction de la fréquence et des conditions de polarisation.

## Références

- [1] J.-S. Killby, "Miniaturized electronic circuits", US Patent #3138743, 1959.
- [2] [ark.intel.com](http://ark.intel.com).
- [3] P. Wambacq, B. Verbruggen, K. Scheir, J. Borremans, M. Dehan, D. Linten, V. De Heyn, G. Van der Plas, A. Mercha, B. Parvais, C. Gustin, V. Subramanian, N. Collaert, M. Jurczak, and S. Decoutere, "The Potential of FinFETs for Analog and RF Circuit Applications", IEEE Transactions on Circuits and Systems vol 14 no11 pp2541-2551, nov. 2007.
- [4] ITRS 2011. Disponible en ligne: [www.itrs.net](http://www.itrs.net)
- [5] J. Berenz, K. Nakano, T.-I. Hsu, Ting-I, J. Goel, "HEMT 60 GHz amplifier", IEEE Electronic Letters vol21 no22 pp1028-1029, oct. 1985.
- [6] P.C. Chao, P.M. Smith, L.F. Lester, B.R. Lee, J.M. Ballingall, M.Y. Kao, "Millimeter-wave low-noise HEMT Amplifiers" IEEE MTT-S International Microwave Symposium Digest vol2 pp923-926, mai 1988
- [7] I. Kallfass, H. Massler, S. Wagner, D. Schwantuschke, P. Bruckner, C. Haupt, R. Kieferl, R. Quay and O. Ambacher, "A Highly Linear 84 GHz Low Noise Amplifier MMIC In AlGaIn/GaN HEMT Technology", IEEE MTT-S International Microwave Workshop Series on Millimeter Wave Integration Technologies, pp144-147, sep 2011.
- [8] G. Metze, A. Cornfeld, T. Lee; K. Pande, H. Huang, P. Ferguson, M. Foisy, "Monolithic millimeter-wave pseudomorphic HEMT power amplifiers at Ka-band" IEEE Microwave and Guided Wave Letters pp325-327, aout 1992.
- [9] R. Lai, W.R. Deal, V. Radisic, K. Leong, X.B. Mei, S. Sarkozy, T. Gaier, L. Samoska, A. Fung, "Sub-MMW active integrated circuits based on 35 nm InP HEMT technology", IEEE IPRM, pp185-189, mai 2009.
- [10] A. Tessmann, A. Leuther, R. Loesch, M. Seelmann-Eggebert, H. Massler, "A Metamorphic HEMT S-MMIC Amplifier with 16.1 dB Gain at 460 GHz", IEEE Compound Semiconductor Integrated Circuit Symposium, pp 1-4, oct 2010.
- [11] V. Radisic, D. Scott, S. Wang, A. Cavus, Augusto Gutierrez-Aitken, William R. Deal, "235 GHz Amplifier Using 150 nm InP HBT High Power Density Transistor", IEEE Microwave and Wireless Components Letters, vol 21, no 6, pp335-337, juin 2007.
- [12] Ali M. Niknejad, S. Emami, B. Heydari, M. Bohsali, E. Adabi, "Nanoscale CMOS for mm-Wave Applications", IEEE Compound Semiconductor Integrated Circuit Symposium, pp 1-4, oct 2007.
- [13] B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Ganesello, D. Belot, "80 GHz Low Noise Amplifiers in 65nm CMOS SOI", ESSIRC, pp348-351, sep 2007.
- [14] T. Quémérais, L. Moquillon, S. Pruvost, J.-M. Fournier, P. Benech, N. Corrao, "A CMOS Class-A 65nm Power Amplifier for 60 GHz Applications", Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems pp120-123, jan 2010.
- [15] P. Chevalier, D. Gloria, P. Scheer, S. Pruvost, F. Ganesello, F. Pourchon, P. Garcia, J.-C. Vildeuil, A. Chantre, C. Garnier, O. Noblanc, S.P. Voinescu, T.O. Dickson, E. Laskin, S.T. Nicolson, T. Chalvatzis

- , K.H.K. Yau, "Advanced SiGe BiCMOS and CMOS platforms for Optical and Millimeter-Wave Integrated Circuits", IEEE Compound Semiconductor Integrated Circuit Symposium, pp12-15, nov 2006
- [16] J.R Long, Y.Zhao ; W.L. Chan ; K.-C. Kwok; Y., Jin ; D. Zhao "Silicon Millimeter-wave Technologies and Circuits", IEEE International Conference on Electronics, Circuits, and Systems pp 956-959 dec 2009.
- [17] P. Garcia, A. Chantre, S. Pruvost, P. Chevalier, S.-T. Tolson, D. Roy, S.-P. Voinigescu, C. Garnier, "Will BiCMOS stay competitive for mmW applications?", IEEE Custom Integrated Circuits Conference, pp 387-394, sep 2008.
- [18] P. Chevalier, T.F. Meister, B. Heinemann, S. Van Huylbroeck, W. Liebl, A. Fox, A. Sibaja-Hernandez and A. Chantre, "Towards THz SiGe HBTs", IEEE Bipolar/BiCMOS Circuits and Technology Meeting, pp 57-65, 2011
- [19] R.-B. Staszewski, C.-M., Hung, N. Barton, M.-H. Lee, D. Leipold, "A Digitally Controlled Oscillator in a 90 nm Digital CMOS Process for Mobile Phones", IEEE Journal of Solid-State Circuits, vol40 no11, pp 2203-2211, nov. 2005
- [20] T. M. Hassan and S. A. Mahmoud, "New CMOS Digitally Controlled Variable Gain Amplifier", IEEE International Conference on Microelectronics, pp 23-26, dec. 2008
- [21] P.K. Hanumolu, G.-Y. Wei, U.-K. Moon, K. Mayaram. "Digitally-Enhanced Phase-Locking Circuits", IEEE Custom Integrated Circuits Conference, pp361-368 sep2007.
- [22] V. Kakani, F.-F. Dai, "A 4.2-4.7GHz, 3.7mW Digitally Controlled Oscillator RFIC", IEEE International Symposium on Circuits and Systems, pp 2841-2844, mai 2011
- [23] ITRS 2009. Disponible en ligne: [www.itrs.net](http://www.itrs.net)

# I. Modélisation RF et millimétrique des transistors MOS

## Introduction

La modélisation compacte des transistors MOS dans les domaines RF et millimétriques fait appel à un certain nombre de notions et d'outils qui vont être présentés dans ce chapitre. Tout d'abord, une description physique du composant lui-même sera détaillée, ce qui permettra d'introduire les différents éléments responsables de son comportement électrique, tels que la grille et le canal. Les différents régimes de fonctionnement du dispositif suivant les polarisations continues appliquées à ses terminaux seront explicités, puisque par ailleurs les utilisations consécutives des différents régimes facilitent l'extraction d'un modèle complet de transistor. A la suite, les grandeurs électriques macroscopiques seront présentées. Elles décrivent la réponse du transistor à des signaux appliqués et introduisent la notion de schéma équivalent petit-signal, consacré à la description fréquentielle du composant. Les modèles basés sur un schéma petit-signal sont fréquemment utilisés dans le domaine RF et millimétrique. L'approche de type modèle compact est certes plus complexe à élaborer, puisqu'elle s'intéresse à tous les régimes de fonctionnement, mais elle est particulièrement adaptée à un contexte industriel, en proposant notamment une vitrine des performances des transistors dans une technologie donnée. C'est pourquoi une partie de ce chapitre sera consacrée à présenter les modèles compacts actuellement utilisés. Ceux-ci ont progressivement étendu leur offre RF au fil du temps, en proposant par exemple des descriptions de la résistance de grille ou des effets non-quasi-statiques. Dans un second temps, le fonctionnement d'un modèle compact particulier, PSP, sera détaillé, autant sa partie intrinsèque que les sous-circuits dédiés au comportement radiofréquence. En effet, Les modèles présentés dans ces travaux s'appuient pour une large part sur ce modèle compact.

Avec l'avancée des modèles, les contributions des éléments parasites se précisent ou viennent s'ajouter dans les modèles. La dernière partie du chapitre sera consacrée à la présentation des composantes parasites présentes dans un transistor MOS, et qui tiennent une place importante dans les travaux présentés par la suite. En premier lieu, l'empilement de grille de type HKMG a soulevé de nouvelles questions concernant la résistance de grille. Une description de ce type de grille est importante puisque cet empilement sera au cœur de la problématique du chapitre III, tout comme les capacités parasites de bord, dont la définition et les modélisations possibles seront présentées. Enfin, la pertinence de la modélisation du substrat, isolé ou non, dans les applications dans les domaines RF et millimétrique sera soulignée. Elle est principalement liée à l'impact du substrat sur la fréquence maximale d'oscillation dans les régimes de faible inversion et d'inversion modérée.

## I.1. Modélisation RF du transistor MOS

### I.1.a. Fonctionnement du dispositif

#### I.1.a.i. Description physique

La Fig. I-1 représente la vue en coupe d'un transistor de type n à grille poly-silicium. Le principe physique de base est la jonction Métal/Oxyde/Semi-conducteur (MOS) constituée ici du silicium dopé p (le caisson), de l'oxyde de silicium (l'oxyde) et du poly-silicium (poly). Le poly-silicium est un silicium fortement dopé, à forte conductivité, et se comporte ainsi presque comme un métal. L'oxyde est le SiO<sub>2</sub>. Son épaisseur  $t_{ox}$  est un paramètre important pour la physique du dispositif. Il impose particulièrement les valeurs des capacités intrinsèques et de la tension de seuil.

Le poly-silicium de grille est souvent chapeauté par une couche de siliciure, c'est-à-dire du silicium enrichi par diffusion de métaux, afin d'améliorer la propagation du signal le long de la grille. Le terme salicide, néologisme pour 'self-aligned silicide', est souvent employé. Silicide, poly-silicium et oxyde forment l'empilement vertical appelé le 'stack' de grille. Un autre empilement possible, le High-K/Metal Gate (HKMG), sera présenté par la suite. De part et d'autre de la grille on retrouve les zones dopées n++ source et drain, dont la fonction est d'offrir une zone de contact pour la circulation d'un courant entre source, S, et drain, D. Ces zones sont également surmontées d'une couche de siliciure, à l'instar du poly, afin d'offrir un meilleur contact. Une partie de ces zones est recouverte par le stack de grille, donnant naissance à ce qu'on appelle les zones de recouvrement source/drain, sur une longueur  $L_{ov}$  (overlap). La longueur effective du canal est alors  $L_{eff} = L_g - 2 * L_{ov}$ .

Pour certains types d'applications, il est nécessaire d'isoler le caisson du transistor du reste du substrat. Une couche enterrée d'isolation s'étend alors sous le caisson. Il s'agit d'un silicium dopé n+ visant à isoler le dispositif du substrat de ses voisins par la création d'une zone de charge d'espace par une jonction p-n. Elle rejoint ensuite le caisson n+ qui flanque de part et d'autre le caisson p. Les tranchées d'isolation peu profondes, dénommées STI pour 'shallow trench isolation' sont constituées d'oxyde de silicium et ont pour vocation de séparer zones actives des transistors les unes des autres.

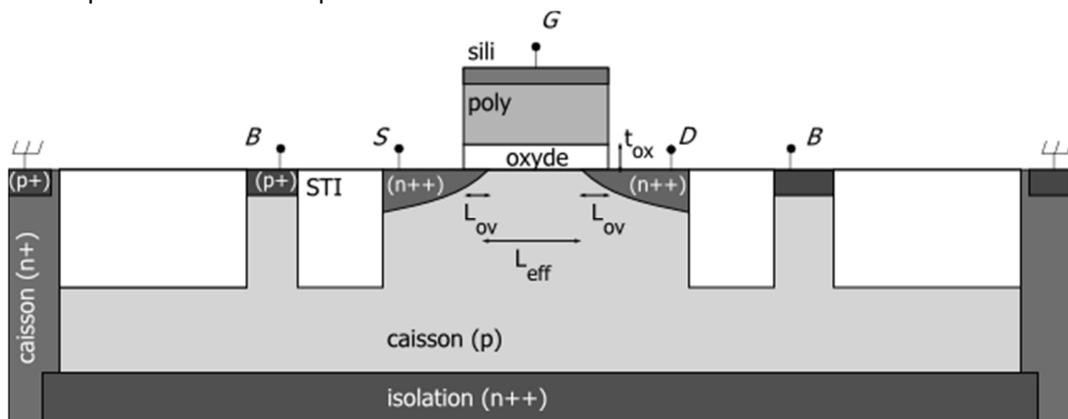


Fig. I-1 Représentation physique simplifiée d'un transistor MOS type n avec caisson isolé.

### 1.1.a.ii. Comportement électrique sous polarisation DC

Dans un fonctionnement classique et de façon simplifiée, les rôles des électrodes G, D, S, B présentées sur la Fig. I-1 peuvent se résumer à ceux-ci :

- L'électrode de grille G permet de contrôler le passage du courant et l'état de charge dans le caisson ou le canal.
- L'électrode S est utilisée comme référence et est fixée à la masse.
- L'électrode D fixe une tension  $V_{ds}$  qui crée un champ latéral imposant le déplacement des porteurs de la source vers le drain.
- L'électrode B contrôle la quantité de charges présente dans le caisson et ainsi la tension de seuil  $V_{th}$ .

Sans une tension  $V_{gs}$  appliquée suffisante, le courant ne peut passer des extensions source/drain dans le caisson, car les zones de charge d'espace créées par les jonctions pn entre les source/drain et le caisson imposent une barrière de potentiel que les porteurs ne peuvent franchir.

Suivant la tension  $V_{gs}$  appliquée, on distingue trois régimes différents, suivant la nature des charges présentes dans le caisson [1]. Ainsi, dans le cas d'un transistor de type n, si l'on note  $V_{fb}$  la tension de bande plate :

- Si  $V_{gs} < V_{fb}$ , régime d'accumulation : les charges majoritaires du silicium sont attirées en surface. Le potentiel de surface est négatif.
- Si  $V_{gs} = V_{fb}$ , régime de bandes plates, la charge sous l'oxyde est nulle ainsi que le potentiel de surface.
- Si  $V_{gs} > V_{fb}$ , régime de désertion et d'inversion. Les porteurs minoritaires sont attirés à la surface du silicium sous l'oxyde. Le potentiel de surface est positif.

La différence entre les régimes de désertion et d'inversion est définie par la concentration de chacun des porteurs. On parle de désertion si le nombre de porteurs majoritaires est plus bas que dans le silicium à l'équilibre, et d'inversion quand la concentration de porteurs minoritaires est, localement sous l'oxyde, plus élevée que la concentration en porteurs majoritaires. Les porteurs minoritaires forment ainsi sous l'oxyde une couche électrique qu'on appelle la couche d'inversion ou le canal d'inversion. La Fig. I-2 montre comment se répartissent les charges pour les régimes d'accumulation, de désertion et d'inversion.

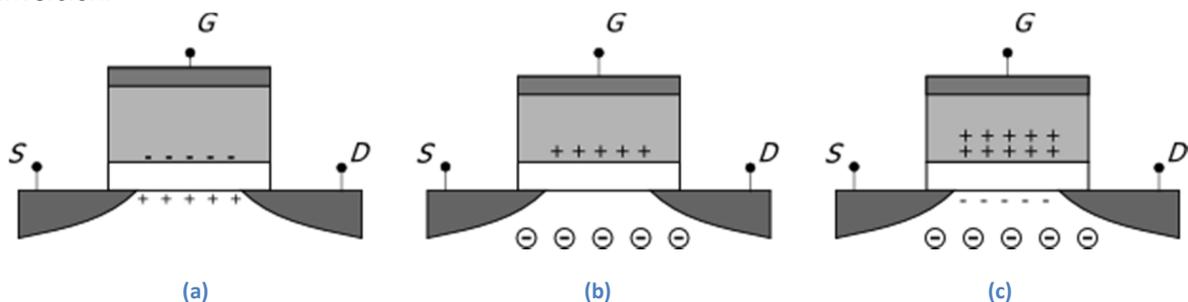


Fig. I-2: Répartition des charges dans le transistor en fonction de la tension de grille appliquée : (a) accumulation, (b) désertion, (c) inversion

Ces différents régimes de fonctionnement sont ainsi caractérisés par la nature et la concentration des charges présentes sous l'oxyde. On définit ainsi les grandeurs  $Q_B$ , la charge fixe provenant des atomes

accepteurs ionisés (pour un NMOS), appelée charge de déplétion, et la charge  $Q_i$ , créée par les porteurs minoritaires dans la couche d'inversion, appelée charge d'inversion. A ces charges sont respectivement associées les capacités  $C_b$  et  $C_i$  :

$$C_b = \frac{-\partial Q_G}{\partial \psi_s} \qquad C_i = \frac{-\partial Q_i}{\partial \psi_s}$$

Où  $\psi_s$  est le potentiel à la surface du silicium. La charge  $Q_c$  est la charge totale sous la grille :  $Q_c = Q_B + Q_i$ . Par le principe de d'équilibre des charges, la charge de la grille est  $Q_G = -Q_c$

La capacité totale de la grille est définie par :

$$C_{gg} = \frac{\partial Q_G}{\partial V_G}$$

Par construction,  $C_{gg}$  est égale à la capacité de l'oxyde  $C_{ox}$  en série avec la résultante des capacités  $C_b$  et  $C_i$  :

$$\frac{1}{C_{gg}} = \frac{1}{C_{ox}} + \frac{1}{C_i + C_b}$$

La Fig. I-3 montre ces différentes capacités en fonction de la tension  $V_g$  pour un transistor nMOS. La capacité  $C_{ox}$  est constante puisqu'il s'agit d'une capacité d'origine diélectrique (on néglige l'éventuel effet d'une zone de désertion dans le poly-silicium de grille). Etant généralement plus faible que  $C_i$  et  $C_b$  en régime d'accumulation ou de forte inversion, c'est elle qui impose une limite maximale à la capacité  $C_{gg}$  dans ces domaines de polarisation.

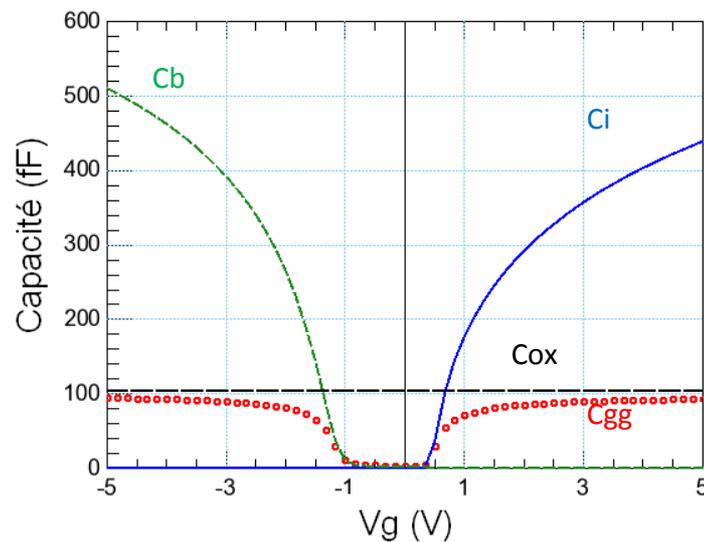


Fig. I-3: Capacités intrinsèques du transistor en fonction de  $V_g$  couvrant les 3 régimes.

La couche d'inversion est complètement formée pour une tension  $V_{gs}$  supérieure à  $V_{th}$ , la *tension de seuil (threshold)*. Il est par ailleurs nécessaire d'appliquer une différence de potentiel source/drain  $V_{ds}$  afin de provoquer le passage d'un courant. Dans un premier temps, une augmentation de  $V_{ds}$  provoque

une augmentation proportionnelle du courant  $I_{ds}$ , c'est le régime ohmique ou linéaire. Cependant, augmenter  $V_{ds}$  fait diminuer également le niveau d'inversion du canal côté drain. Le canal rétrécit alors jusqu'à être pincé. Dès lors, augmenter  $V_{ds}$  n'augmente plus le courant  $I_{ds}$ , c'est le régime de saturation. La Fig. I-4 présente le courant  $I_{ds}$  en fonction de  $V_{ds}$  pour un  $V_{gs}$  donné. L'état du canal y est également représenté pour les régimes linéaires et de saturation.

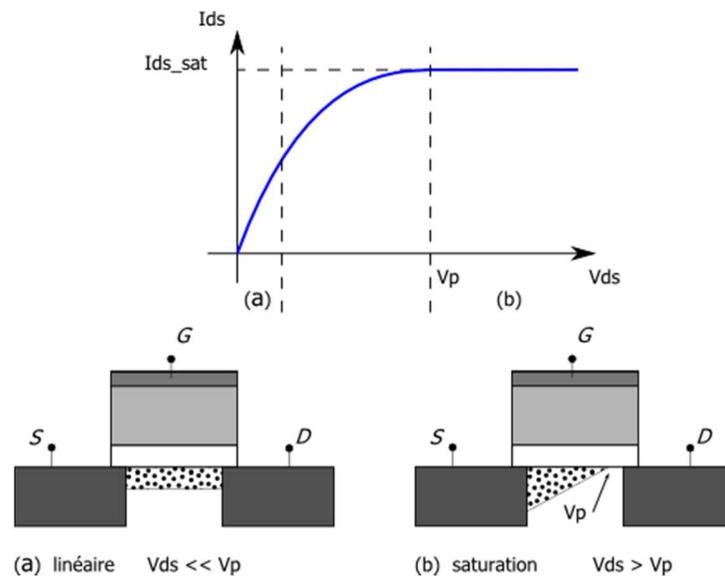


Fig. I-4: Courant  $I_{ds}$  en fonction de  $V_{ds}$  et représentation du canal pour les régimes linéaire et de saturation

### I.1.a.iii. Comportement en analogique et radiofréquence

Dans les régimes de fonctionnement analogiques, les tensions appliquées au transistor sont des fonctions qui varient continuellement le temps. Ces régimes diffèrent du numérique par le fait que ces tensions ne sont pas limitées à des valeurs discrètes comme par exemple les niveaux ON et OFF des transistors.

Sous l'hypothèse de comportement quasi-statique, les lois du régime statique s'appliquent au régime dynamique. Ainsi, les variations du courant en fonction des tensions appliquées peuvent se déduire des courbes courant-tension établies point par point dans un régime stationnaire. Pour un transistor en source commune, le comportement sous tensions variable du transistor s'étudie grâce aux grandeurs suivantes:

$$G_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}}$$

$$G_{ds} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}}$$

$G_m$  est la *transconductance* du transistor, elle décrit les variations du courant à la suite d'un changement de la polarisation  $V_{gs}$ .  $G_{ds}$  est la *conductance* du canal, elle décrit les variations du courant à la suite d'un changement de la polarisation  $V_{ds}$ . Ces deux grandeurs électriques donnent une évaluation du premier ordre du comportement du transistor soumis à des tensions variables. A titre d'illustration, la Fig. I-5 illustre ces grandeurs à l'aide de mesures de transistors 40nm à grille poly-silicium.  $G_m$  est représenté en fonction de  $V_{gs}$  pour différents  $V_{ds}$ , tandis que  $G_{ds}$  est tracé en fonction de  $V_{ds}$  pour différents  $V_{gs}$ . Ces courbes sont accompagnées de leurs  $I_{ds}$  respectifs. L'hypothèse quasi-statique est bien respectée puisque chacun des points des courbes de  $I_{ds}$  correspond à un régime statique pour dans lequel l'équilibre a été atteint.

Ces mesures effectuées sur un composant réel mettent en évidence au moins deux phénomènes liés aux effets canaux-courts. Sur la Fig. I-5.a, la tension de seuil dépend de la tension  $V_{ds}$ , alors que l'état d'inversion du canal n'est en théorie dépendant que de la tension  $V_{gs}$  appliquée. En pratique, la tension de seuil diminue avec la tension de drain appliquée. En effet, lorsqu'une tension de drain est appliquée, la zone de désertion autour de la région de drain s'élargit par augmentation de la zone de charge d'espace créée par la jonction drain/caisson polarisée en inverse. Cela conduit à une diminution locale de la charge  $Q_B$  dans le substrat. Si le canal est court, cette diminution est significative par rapport à la charge totale et entraîne un abaissement de la tension de seuil. Cet effet est appelé DIBL pour 'Drain Induced Barrier Lowering'.

Sur la Fig. I-5b, le courant ne semble pas saturer pour des fortes tensions  $V_{ds}$ , au contraire de la courbe idéale présentée sur la Fig. I-4. La courbe  $I_{ds}(V_{ds})$  paraît même linéaire et  $G_{ds}$  n'atteint plus une valeur nulle comme il se devrait. Ce phénomène est dû à une modulation de la longueur du canal (CLM, pour Channel Length Modulation). En effet, le point du canal pour lequel la tension de pincement est atteinte tend à se translater vers la source, réduisant ainsi la longueur électrique du canal. Or, au premier ordre,  $I_{ds}$  est inversement proportionnel à cette dernière, et donc le courant source-drain croît quand  $V_{ds}$  augmente.

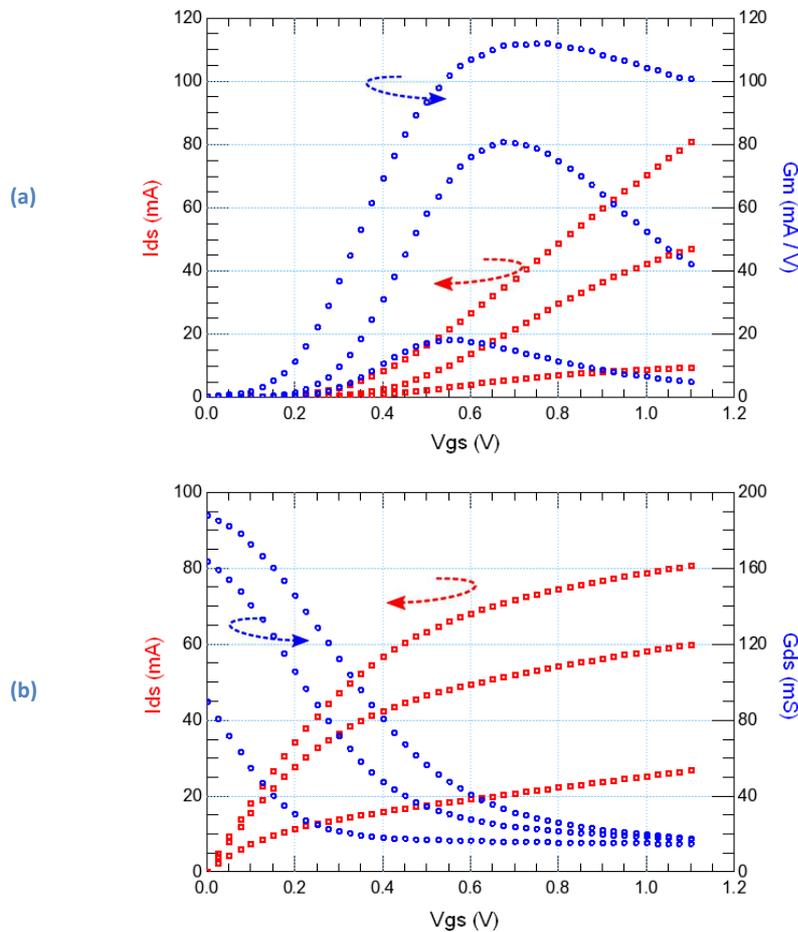


Fig. 1-5: Mesures de courant source drain  $I_{ds}$  pour une technologie 40nm. Le transistor choisit a une géométrie  $L_g=40\text{nm}$ ,  $W_f = 2\mu\text{m}$ ,  $N_f=60$ . (a)  $I_{ds}$  et  $G_m$  en fonction de  $V_{gs}$  pour  $V_{ds} = 50\text{mV}$ ,  $300\text{mV}$ ,  $1.1\text{V}$  (b)  $I_{ds}$  et  $G_{ds}$  en fonction de  $V_{ds}$  pour  $V_{gs} = 0.6\text{V}$ ,  $0.9\text{V}$ ,  $1.1\text{V}$

## I.2. Le schéma équivalent petit-signal

### I.2.a. Mesures petit-signal, paramètres [S]

Pour des fréquences typiquement inférieures à quelques centaines de MHz, dans le domaine analogique, les mesures peuvent encore s'effectuer directement en courant-tension et les résultats peuvent être visualisés dans le domaine temporel. Au-delà, la mesure se fait sur en mesurant des ondes hyperfréquences de puissance. Les paramètres de répartition associés, appelés paramètres [S] (pour Scattering), sont des paramètres dits « petit-signal », c'est-à-dire qu'on ne considère que des variations de faible amplitude autour d'un point de polarisation donnée de façon à ce que le dispositif ait toujours un comportement linéaire. L'appareil mesurant les paramètres [S] est un analyseur de réseau vectoriel (VNA)

La fonction amplificateur du MOS est très souvent réalisée par un montage en source commune, pour laquelle source (S) et caisson (B) sont à la masse. Cette configuration sera également appelée

configuration grille-drain (GD). La mesure des paramètres [S] s'effectue généralement en 2-port et sa matrice correspondante [S] est de dimension 2x2. Dans cette configuration, le transistor est un quadripôle (Fig. I-6).

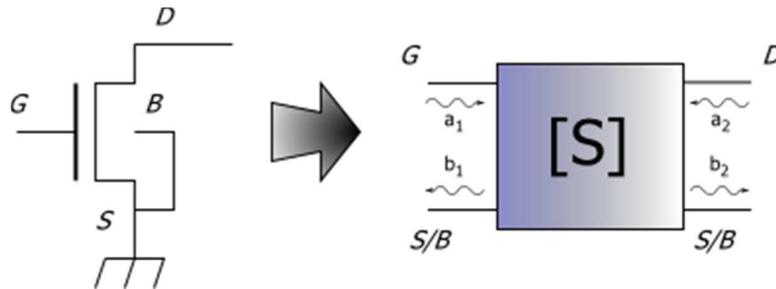


Fig. I-6 : Transistor en source commune et représentation quadripôle.

La matrice [S] est définie par les relations linéaires entre les 'ondes' de puissance  $a_i$  et  $b_i$  ( $i=1,2$  pour un quadripôle) par :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases}$$

Les modules au carré des  $S_{ij}$  donnent les coefficients de réflexion et de transmission en puissance. Les  $a_i$  et  $b_i$  sont également appelés les ondes de Kurokawa et les relations de passage en courants et tensions sont données par [3]:

$$a_i = \frac{V_i + Z_i I_i}{2\sqrt{R_i}} \quad \text{et} \quad b_i = \frac{V_i - Z_i I_i}{2\sqrt{R_i}} \quad i = 1,2$$

Avec  $Z_i$  l'impédance de référence au terminal  $i$  et  $R_i = \text{Re}(Z_i)$

Ces relations de passages permettent de retrouver les matrices impédance [Z], admittance [Y], hybride [H] et chaîne [A] à partir des paramètres [S].

### I.2.b. Le schéma équivalent petit-signal

La définition de petit-signal correspond à un point fixe de fonctionnement DC du transistor autour duquel un signal de faible amplitude est appliqué. Autrement dit, ce signal ne change pas l'état DC du transistor. Par ailleurs, au contraire du modèle compact qui sera vu ultérieurement, l'approche schéma équivalent ne s'intéresse pas aux variations géométriques et n'est donc applicable qu'à un seul transistor à la fois. Le but d'un schéma équivalent petit-signal est de reproduire le comportement en fréquence du transistor. Il s'agit d'une approche macroscopique où les grandeurs électriques caractéristiques du dispositif doivent être reproduites. Un schéma équivalent cherche ainsi à déterminer la nature et la valeur des éléments électriques nécessaires pour capturer le comportement observé sur une plage de fréquence donnée. La Fig. I-7 décrit un schéma équivalent à base d'éléments localisés pour le transistor monté en source commune et polarisé en régime de forte inversion. Ce type de schéma équivalent provient d'une version simplifiée utilisée historiquement pour les transistors FET III-V [4][5][6]. Dans un tel schéma, les

composants caractérisent électriquement les éléments physiques du transistor. Toutefois, il ne contient pas explicitement tous les éléments parasites, notamment ceux liés au substrat, et ne s'intéresse en réalité qu'à la partie intrinsèque du transistor. Il convient de noter qu'il ne contient pas non plus d'élément permettant de décrire un comportement non quasi-statique.

Comme mentionné précédemment, la fonction principalement recherchée pour un transistor en source commune est l'amplification. Cette dernière est représentée par la source de courant contrôlée par la tension  $V$  aux bornes de la capacité  $C_{gs}$ . Sa transconductance, dénotée  $G_m$ , est un paramètre important car il intervient dans la détermination de tous les gains. Le canal est également décrit par sa conductance  $G_{ds}$ . Par la présence de la jonction MOS, l'interaction grille-canal est essentiellement de nature capacitive, et les capacités  $C_{gs}$  et  $C_{gd}$  contiennent la résultante des capacités d'oxyde, d'inversion et de déplétion. L'accès à la grille est caractérisée par la résistance de grille  $R_g$ , dont le but est de modéliser la différence de potentiel entre la tension  $V_g$  appliquée au dispositif et celle réellement vue par la grille.

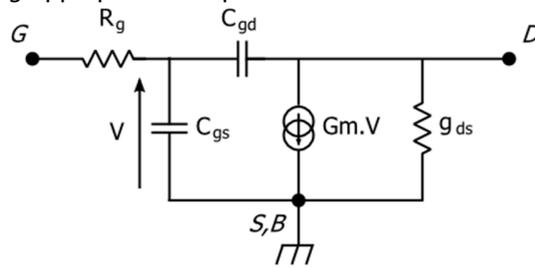


Fig. I-7: Schéma équivalent petit-signal simplifié du transistor en source commune.

L'avantage de ce schéma équivalent est la simplicité d'extraction de ses paramètres. En effet, à partir de la mesure en fréquence il est très facile remonter aux paramètres électriques. La représentation admittance  $[Y]$  est la mieux appropriée pour cette extraction.

Sa définition est la suivante :

$$\begin{cases} i_1 = Y_{11}V_1 + Y_{12}V_2 \\ i_2 = Y_{21}V_1 + Y_{22}V_2 \end{cases}$$

Ainsi, après calcul des courants  $i_1$  et  $i_2$  du quadripôle, on obtient [7] :

$$Y_{11} = \frac{j\omega(C_{gs} + C_{gd})}{1 + j\omega(C_{gs} + C_{gd})R_g}$$

$$Y_{12} = \frac{-j\omega C_{gd}}{1 + j\omega(C_{gs} + C_{gd})R_g}$$

$$Y_{21} = \frac{G_m - j\omega C_{gd}}{1 + j\omega(C_{gs} + C_{gd})R_g}$$

$$Y_{22} = G_{ds} + j\omega C_{gd} + \frac{j\omega C_{gd}R_g(G_m + j\omega C_{gd})}{1 + j\omega(C_{gs} + C_{gd})R_g}$$

Les éléments du schéma équivalent peuvent donc se déduire des paramètres Y.

Tout d'abord :

$$R_g = Re\left(\frac{1}{Y_{11}}\right)$$

Si on considère que  $\omega^2(C_{gs} + C_{gd})^2 R_g^2 \ll 1$ , on obtient de manière très simple :

$$C_{gd} = \frac{-Im(Y_{12})}{\omega}$$

$$C_{gs} = \frac{Im(Y_{11} + Y_{12})}{\omega}$$

$$G_m = Re(Y_{21} - Y_{21})$$

$$G_{ds} = Re(Y_{22})$$

L'hypothèse  $\omega^2(C_{gs} + C_{gd})^2 R_g^2 \ll 1$  est équivalente à négliger la résistance de grille. Elle sous-entend également que la résistance de grille n'est pas influente pour le fonctionnement du dispositif à faibles fréquences. En effet, l'impédance d'entrée du transistor est alors dominée par les capacités Cgs et Cgd. Cette hypothèse est respectée tant que les grandeurs ci-dessus sont indépendantes de la fréquence.

Bien que les paramètres soient extraits pour la plupart à faible fréquence, cela ne restreint en rien la fréquence maximale de validité du schéma équivalent. A titre d'illustration, la Fig. I-8 montre les paramètres [S] sous forme dB/phase mesurés jusque 50GHz d'un transistor en technologie 40nm. Ses dimensions sont  $L_g=40\text{nm}$ ,  $W_{\text{total}} = 120\mu\text{m}$ . Les éléments du schéma équivalent de la Fig. I-7 ont été extraits suivant la méthode décrite précédemment à 1 GHz, mais le modèle reproduit de façon fort satisfaisante la mesure sur toute la plage de fréquence. Les légers écarts qui apparaissent à haute fréquence, dans la gamme millimétrique et principalement sur les phases, peuvent s'expliquer par la non-prise en compte des temps de propagation et/ou des phénomènes de distribution dans le canal et, notamment pour S22, par l'absence d'une branche décrivant l'accès au substrat.

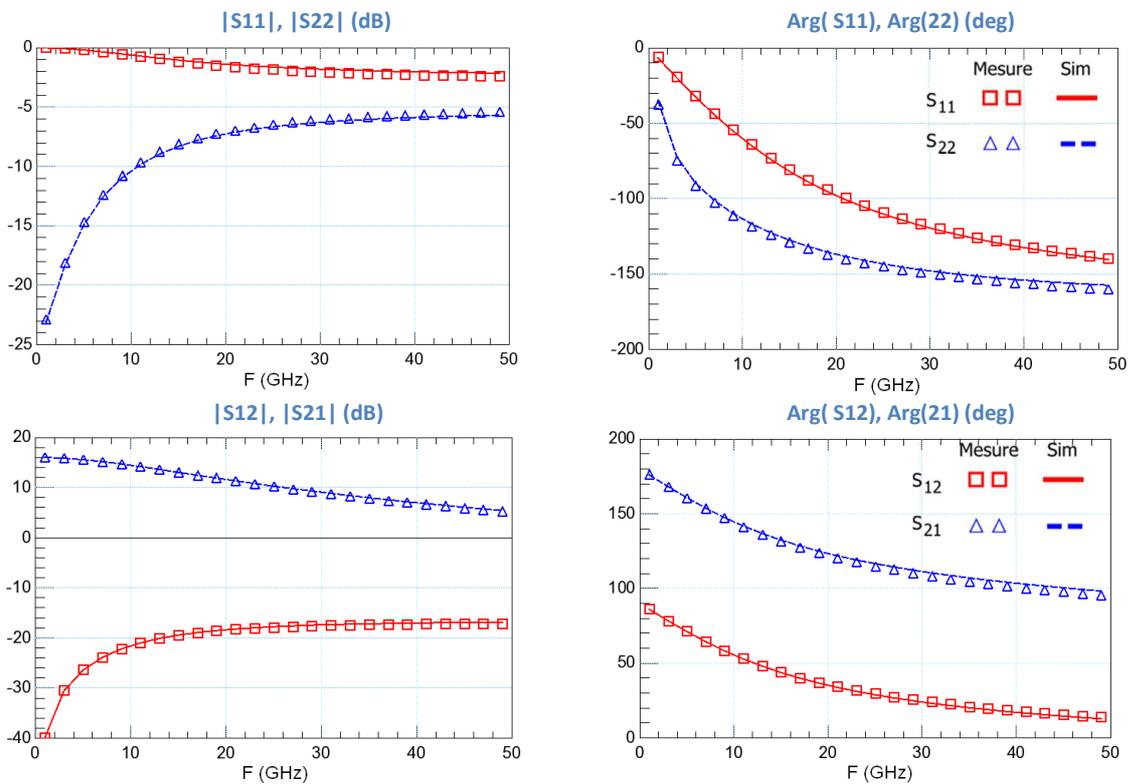


Fig. I-8: Paramètres S d'un transistor en technologie 40nm,  $V_{gs}=700\text{mV}$ ,  $V_{ds} = 1.1\text{V}$  et simulation par un schéma équivalent simplifié.

La mesure et la simulation du modèle précédent ont été effectuées à une polarisation correspondant au maximum de  $G_m$ , c'est-à-dire pour  $V_g = 700\text{mV}$ . La question de la validité de ce schéma équivalent pour tous les régimes se pose. Si la même extraction est effectuée dans un régime dit « sous-seuil », la simulation par le schéma équivalent précédent est maintenant mise en défaut sur les plus hautes fréquences, notamment sur  $S_{22}$ . Le modèle doit donc être corrigé.

Pour ce régime de faible inversion, le canal présente une très faible conductance et n'est alors plus un chemin d'accès privilégié. En effet, le passage par les capacités de jonction source/drain et la résistance substrat peut devenir un accès de plus faible impédance, surtout lorsque la fréquence augmente. Il convient donc d'améliorer le schéma équivalent par l'addition d'une branche  $C_{bd}$  et  $R_{bd}$ , modélisant l'effet des capacités de jonction et des résistances substrat (Fig. I-9 ).

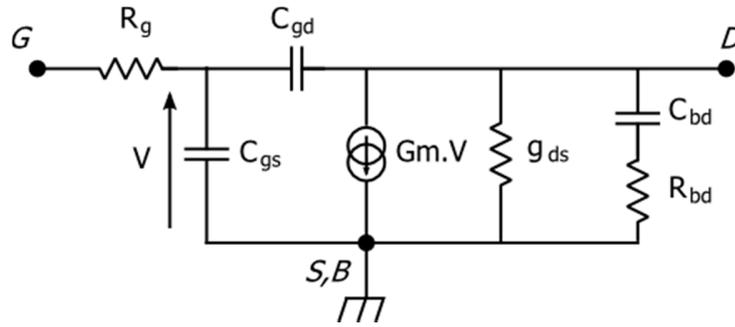


Fig. I-9: Schéma équivalent petit-signal simplifié du transistor en source commune, avec l'addition d'un réseau substrat.

Grâce à l'emploi des paramètres [Y], la méthode d'extraction est pratiquement inchangée, puisque la branche ajoutée est une branche parallèle. De plus, l'influence des capacités de jonction n'est pas visible aux plus basses fréquences, ce qui permet de conserver l'approche précédente pour l'extraction des autres éléments. On obtient simplement une nouvelle expression de  $Y_{22}$ , qui permet d'extraire la capacité  $C_{bd}$  et la résistance  $R_{bd}$ . La Fig. I-10 montre les mesures du même transistor à  $V_{gs} = 200\text{mV}$  et la simulation par le schéma équivalent avec et sans le réseau substrat minimaliste. Celui-ci permet d'obtenir une très bonne correspondance entre mesure et simulation aux hautes fréquences.

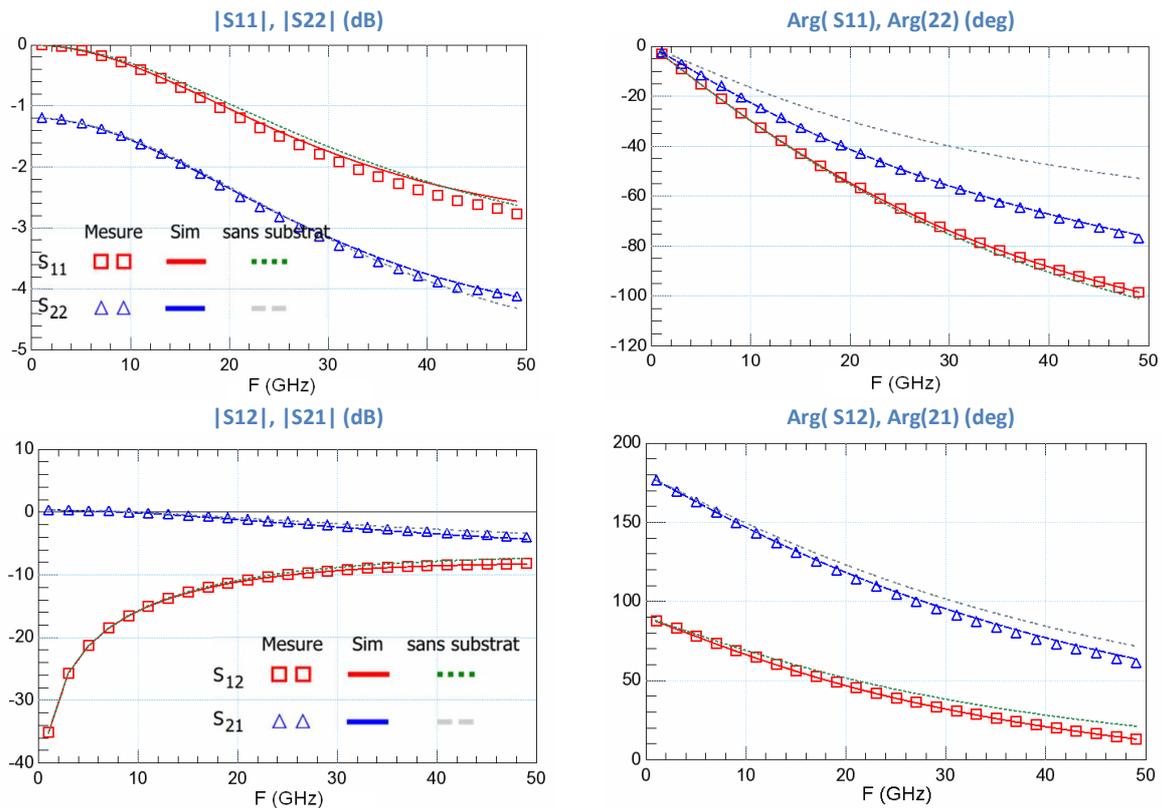


Fig. I-10: Paramètres S d'un transistor en technologie 40nm,  $V_{gs}=200\text{mV}$ ,  $V_{ds} = 1.1\text{V}$  et simulation par un schéma équivalent simplifié avec et sans réseau substrat.

En conclusion, le schéma équivalent est bien adapté à la modélisation d'un dispositif donné dans des conditions de mesures petit-signal et bien déterminées. Sa facilité d'utilisation réside dans l'utilisation de composants électriques dont les valeurs sont directement extraites sur les mesures. Sa topologie peut toutefois devenir fort complexe si on souhaite étendre son domaine de validité à une large gamme de fréquence. Si le nombre d'éléments devient trop élevé, l'extraction directe peut alors s'avérer difficile voire impossible. De plus, un schéma équivalent est défini pour une polarisation donnée. Il n'est donc pas destiné à effectuer des simulations dite 'grand signal' pour lesquelles l'état du transistor est possiblement déterminé par l'amplitude du signal appliqué. Or, cette utilisation est fortement répandue dans des applications comme l'amplification de puissance par exemple. Enfin, il n'est pas non plus approprié pour la conception de mélangeur ou d'oscillateur, puisqu'il décrit un comportement linéaire du transistor, où les signaux d'entrée et de sortie ont la même fréquence.

## I.3. Modèles compacts

### I.3.a. Présentation

Un modèle compact cherche à retrouver les caractéristiques électriques du composant à partir de ses paramètres physiques. Effectivement, la physique des semi-conducteurs permet théoriquement de calculer les charges et les courants circulant dans le transistor à partir de ses dimensions géométriques (longueur de grille, épaisseur d'oxyde, ...), de ses profils de dopages, et des tensions appliquées à ses bornes. Il s'agit d'une démarche différente de celle du schéma équivalent, puisque que pour ce dernier les éléments sont calculés à partir des mesures. L'approche suivie par un modèle compact permet ainsi d'obtenir un modèle pour tout transistor et pour tout état de polarisation. Le jeu de paramètres du modèle compact ne dépend en effet que de la réalisation technologique (le 'process'). Les différents modèles compacts se distinguent principalement par la façon dont ils résolvent les équations de la physique du transistor, en essayant d'effectuer cette résolution de manière la plus rapide et la plus robuste possible, notamment en terme de convergence des solutions.

Les modèles compacts sont apparus avec les premiers simulateurs pour circuits intégrés, notamment SPICE en 1973 [8], qui fournissait déjà des modèles pour transistors bipolaires et à effet de champ (JFET et même MOSFET). En 1987 est apparu le modèle BSIM, (Berkeley Short-channel Insulated gate fet Model) [9], devenu très populaire grâce à sa précision dans la description des effets canaux courts et qui est un standard de l'industrie dans ses versions BSIM3 (1996) puis BSIM4 (2000). Parmi les autres principaux modèles de MOSFET, on peut citer IMOS model 9 [10] paru en 1993 de Philips Semiconductor, (maintenant NXP Semiconductors), EKV (Enz-Krummenacher-Vittoz) de l'EPFL (Ecole Polytechnique Fédérale de Lausanne) publié en 1997 [11], le modèle HiSiM (Hiroshima-university STARC IGFET Model) en 2001 [12], et enfin le modèle PSP (Pennsylvania State Philips) [13], autre standard de l'industrie. Ce dernier sera décrit plus en détail dans le prochain paragraphe.

Il est d'usage de classer les modèles compacts en trois principales familles, suivant la façon dont ces derniers calculent les équations de charges et de courants :

- *Les modèles à tensions de seuil* : ce sont les premiers à être apparus. Le potentiel de surface est une simple fonction des tensions d'entrées, suivant le régime d'inversion : le potentiel de surface est constant au-dessus de la tension de seuil  $V_{th}$  et suit une loi linéaire en faible inversion. Entre les deux régimes, des lois de raccordement sont appliquées. Les modèles industriels de ce type sont par exemple BSIM et MM9.
- *Les modèles à potentiel de surface*: ces modèles calculent directement le courant à partir du potentiel de surface. La résolution de ce dernier à partir de son équation implicite peut se faire soit de façon analytique, soit par calcul numérique itératif. Les modèles industriels de ce type sont par exemple HiSiM et PSP.
- *Les modèles à densité de charges*: ces derniers sont assez proches des modèles à potentiel de surface et possèdent une base physique commune. Néanmoins, dans ce cas, le calcul du courant se fait directement à partir des charges sans passer par la notion de potentiel de surface. Des exemples de ce type de modèle sont EKV et le futur BSIM6.

A l'époque de l'apparition des premiers modèles compacts, les performances micro-ondes du MOSFET étaient fortement limitées par rapport à celles des autres transistors. Par conséquent, les développeurs des modèles compacts n'ont pas jugé utile de leur inclure également une fonctionnalité dédiée à la RF. Ainsi, la validité des simulations analogiques ne dépassait pas quelques centaines MHz.

A la fin des années 1990, les fréquences de transition des transistors,  $f_t$ , atteignent la vingtaine de GHz [14], et des adaptations RF pour les modèles compacts voient le jour, pour MM9 [15] comme pour BSIM3 [16]. Plus tard, BSIM4 sera un des premiers modèles à inclure nativement une partie dédiée à la modélisation RF [17]. Par modélisation RF, on entend la présence de la résistance de grille, des capacités parasites, du réseau substrat et d'une façon de décrire les effets non quasi-statiques (NQS). En outre, concernant la modélisation NQS, MM9 est le premier modèle compact dont une version à canal segmenté fut publiée [18], approche qui sera reprise plus tard pour MM11 et, dans une version modifiée, pour PSP. Les autres modèles ont suivi la tendance. Il est intéressant de constater qu'aucun ne proposait au départ de partie RF, parce que inutile en l'absence de besoin, mais que les versions les plus récentes l'introduisent dorénavant toutes : par exemple EKV avec sa version 3.0 [19], HiSIM avec HiSIM2 [20], qui reprend à l'identique les solutions proposées par BSIM. L'apparition progressive de la RF dans les modèles compacts de transistors MOS est ainsi le reflet du progrès des performances et de l'utilisation de ce composant dans les applications micro-ondes.

### 1.3.b. Le modèle PSP

Le modèle PSP est né en 2005 de la réunion du modèle SP (Surface Potential ou encore PennState, suivant leurs propres publications) développé par l'Université de Pennsylvanie, USA, et du modèle MM11 de NXP. Sa dernière version à l'écriture de ce manuscrit est la 103.1 datant de décembre 2009 [21]. Des variantes plus récentes ont été élaborées entre-temps pour d'autres technologies dérivées telles que les transistors sur substrat isolé par oxyde (SOI) (substrate-on-isolator)[22]. PSP est utilisé dans l'offre modèle de STMicroelectronics depuis les technologies 45 nm. C'est un des rares modèles à proposer une résolution complète des équations des charges et des courants à partir du potentiel de surface (à l'instar de MM11 et de HiSIM). Il promet ainsi une résolution physique unique pour tous les régimes, de la faible à la forte inversion. A contrario, des modèles comme BSIM3 et BSIM4 résolvent les régimes de forte et faible inversion séparément puis cherche à obtenir des lois continues (voire  $C_\infty$ ) entre les deux régimes.

#### 1.3.b.i. Principe

Sans rentrer dans les détails des calculs et des équations, assez complexes, cette partie veut montrer la spécificité d'un modèle à potentiel de surface comme PSP et les approximations qui sont faites pour calculer les courants et les charges.

La partie intrinsèque du transistor est représentée Fig. I-11, sans les zones dopées source/drain, où l'on suppose que des tensions  $V_{gb}$  et  $V_{ds}$  positives sont appliquées. Sous l'effet d'une tension de grille, une certaine quantité de charge se forme sous l'oxyde. Elle occupe une région localisée à la surface du substrat semi-conducteur. Le potentiel de surface  $\Psi_s$  est la chute de potentiel à travers cette région. La Fig. I-11 indique la position du potentiel de surface en considérant une forte inversion ( $\Psi_s > 0$ ). Si une différence de potentiel  $V_{ds}$  est appliquée, le potentiel de surface dépend de la position dans le canal.

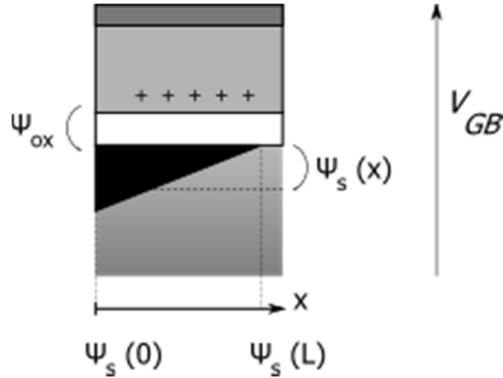


Fig. I-11: Définition du potentiel de surface  $\Psi_s$ , en inversion et  $V_{ds} > 0$ , d'après [1].

Le potentiel de surface décrit ainsi l'état des charges à la surface du substrat pour une polarisation donnée. Les charges et les courants circulant dans le semi-conducteur peuvent ainsi directement s'exprimer en fonction de  $\Psi_s$ .

Selon l'approximation connue sous le nom de charge-sheet-model (CSM) [23], la région contenant les charges sous l'oxyde est considérée comme possédant une épaisseur infinitésimale. En considérant que le courant de drain provient à la fois de la conduction et de la diffusion afin de couvrir tous les régimes d'inversion, son expression s'écrit, pour un point  $x$  dans le canal [1] :

$$I_D(x) = \mu W (-Q'_i) \frac{d\psi_s}{dx} + \mu W \varphi_t \frac{dQ'_i}{dx}$$

Intégrer chaque membre de cette équation le long du canal, en considérant  $I_D$  constant, donne :

$$I_D = -\mu \frac{W}{L} \left[ \int_{\psi_{s0}}^{\psi_{sL}} (Q'_i) d\psi_s + \varphi_t (Q'_{i0} - Q'_{iL}) \right]$$

Ainsi, connaître la charge  $Q_i$  en fonction du potentiel de surface pour tous les points dans le canal permettrait de trouver l'expression du courant  $I_D$ .

Pour cela, l'originalité de PSP est d'introduire le potentiel de surface moyen [24] :

$$\psi_m = \frac{\psi_{s0} + \psi_{sL}}{2}$$

La linéarisation des grandeurs précédentes autour de ce point est ensuite effectuée. On peut alors montrer que la charge d'inversion s'écrit [25]:

$$Q'_i = Q'_{im} + \alpha_m (\psi_s - \psi_m)$$

Avec le coefficient de linéarisation :

$$\alpha_m = 1 + \frac{\gamma}{2} \sqrt{\psi_m - \varphi_t}$$

Et le courant s'exprime donc :

$$I_D = \mu \frac{W}{L} (Q'_{im} - \alpha_m \varphi_t) \Delta\psi$$

Où  $\Delta\psi = \psi_{s0} - \psi_{sL}$  est la différence de potentiel de surface entre source et drain.  $Q'_{im}$  est obtenu après un développement mathématique conséquent à partir de l'équation implicite du potentiel de surface.

Pour obtenir les charges et donc les capacités, on a besoin d'exprimer le potentiel de surface suivant la position dans le canal x. Celui-ci est donné par :

$$\psi_s = \psi_m + H \left[ 1 - \sqrt{1 - \left( \frac{2\Delta\psi}{HL} \right) (x - x_m)} \right]$$

Avec

$$H = \varphi_t - \frac{Q'_{im}}{\alpha_m}$$

où  $x_m$  est le point pour lequel  $\psi_s = \psi_m$ .

Les charges dans le substrat sont données par :

$$Q'_b = -\gamma C'_{ox} \sqrt{\psi_s + \varphi_t (e^{-\psi_s/\varphi_t} - 1)}$$

$$Q'_i = -C'_{ox} \left( V_{gb} - V_{fb} - \psi_s + \frac{Q'_b}{C'_{ox}} \right)$$

$$Q'_c = Q'_i + Q'_b$$

Les charges aux terminaux sont les charges totales vues par la grille, la source, le drain et le caisson.

Pour le caisson :  $Q'_B = \int_0^L dQ'_b$

Pour la grille :  $Q'_G = - \int_0^L dQ'_c = C'_{ox} \int_0^L d(V_{gb} - V_{fb} - \psi_s)$

On obtient :

$$Q'_B = C'_{ox} \left[ -\gamma(\psi_m - \varphi_t)^{1/2} - \frac{(1 - \alpha_m)\Delta\psi^2}{12H} \right]$$

$$Q'_G = -Q'_{im} + C'_{ox} \left[ -\gamma(\psi_m - \varphi_t)^{1/2} - \frac{\Delta\psi^2}{12H} \right]$$

Les terminaux source et drain se partagent la charge d'inversion, généralement de façon non symétrique. En considérant une distribution linéaire de la charge d'inversion de la source vers le drain,  $Q_D$  et  $Q_S$  peuvent s'écrire de la façon suivante [26] :

$$Q_D = W \int_0^L \frac{x}{L} Q'_i dx$$

$$Q_S = W \int_0^L \left(1 - \frac{x}{L}\right) Q'_i dx$$

Dans le modèle, seule  $Q_D$  est calculée directement :

$$Q'_D = \frac{Q'_{im}}{2} + \frac{C'_{ox}\alpha_m\Delta\psi^2}{12} \left(1 - \frac{\Delta\psi}{12H} - \frac{\Delta\psi^2}{20H}\right)$$

Et par conservation de la charge :

$$Q'_S = -Q'_G - Q'_D - Q'_B$$

Ainsi, PSP sait donner de façon analytique les équations des courants et des charges pour tous les régimes de fonctionnement, de l'accumulation à la forte inversion. La linéarisation des charges autour du potentiel moyen et la résolution analytique de l'équation du potentiel de surface lui ont permis de remporter le choix du CMC lors de l'adoption d'un nouveau standard en 2005 [27]. Un autre atout de ce modèle a été le respect de la symétrie source/drain pour toutes les grandeurs électriques, caractéristique cruciale pour la simulation à faible  $V_{ds}$ , que BSIM n'offrait pas de manière satisfaisante.

### 1.3.b.ii. Modèle analogique et RF

Commet il se doit dorénavant pour un modèle standard, PSP se veut également performant pour la modélisation RF. Le formalisme du potentiel de surface permet une description analytique des charges dans tous les régimes et donc pour n'importe quelle tension. Sa description du comportement grand signal semble donc fiable, et peut en toute rigueur prévoir l'apparition des distorsions harmoniques, notamment les points de compression et l'IP3 (produits d'intermodulation d'ordre 3) [28] qui sont des grandeurs importantes pour l'amplification de puissance.

Concernant l'aspect non quasi-statique, PSP utilise une approche semblable au modèle segmenté, en scindant le canal en deux à dix morceaux, au choix de l'utilisateur [25]. Chacun de ces segments calcule localement le courant et les charges suivant le modèle DC présenté ci-dessus. Le lien entre les segments est assuré par les équations de conservation de la charge totale et de la continuité du courant.

Enfin, PSP possède une bonne description de la partie extrinsèque du transistor. La résistance de grille inclut notamment la résistance horizontale du silicium et du poly-silicium ainsi qu'une composante verticale. C'est d'ailleurs le seul modèle compact industriel à prévoir cette dernière composante. PSP tient en compte également les capacités de recouvrement et de bord (fringing). Les premières sont calculés grâce au formalisme du potentiel de surface, en considérant les zones dopées source/drain en accumulation ou en régime de désertion, tandis que les secondes n'offrent qu'une dépendance géométrique en fonction de la largeur de grille ( $W$ ). Le réseau substrat de PSP est assez particulier puisqu'il présente une topologie en croix, formée par quatre résistances. Le modèle ne propose pas nativement de dépendances géométriques pour ces résistances, hormis la dépendance inversement proportionnelle au nombre de transistors en parallèle (la multiplicité *mult*), ce qui peut s'avérer discutable. Enfin, le modèle fait appel au modèle compact JUNCAP2 de NXP Semiconductors pour le calcul des capacités, des courants directs et de fuites des jonctions source/drain [29]. La topologie du modèle PSP avec son réseau d'éléments parasites est résumée sur la Fig. I-12 [28].

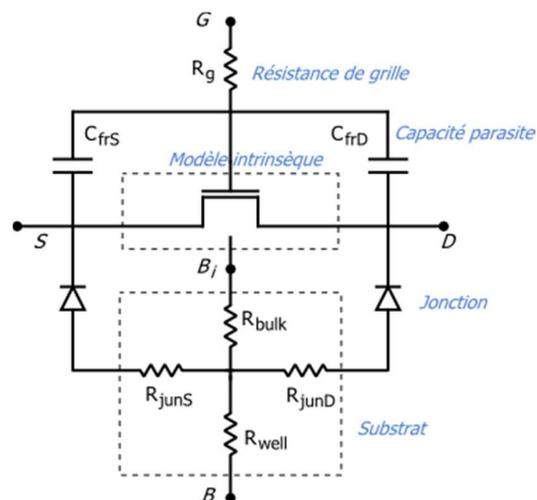


Fig. I-12: Modèle PSP intrinsèque et son réseau de parasites

#### I.4. Modélisation des effets parasites pour la RF et le millimétrique

Dans le contexte du développement des applications analogiques et radiofréquences faisant suite à la réduction agressive des dimensions du transistor, la modélisation des composantes parasites est devenue un enjeu crucial [2]. La Fig. I-13 reprend la Fig. I-1 en y introduisant les parties extrinsèques sous forme d'éléments localisés. On peut y remarquer que la partie active du transistor, l'intrinsèque, ne prend qu'une place très réduite. La connectique impose ainsi nombre d'éléments parasites. Ceux-ci seront décrits plus en détails dans la suite de cette section. Dans un fonctionnement RF ou millimétrique, les parasites les plus importants sont la résistance de grille, pour laquelle le cas particulier de l'empilement de grille HKMG sera présenté, les capacités de bord ente les contacts et la grille et enfin le substrat, isolé par une couche enterrée dans notre cas.

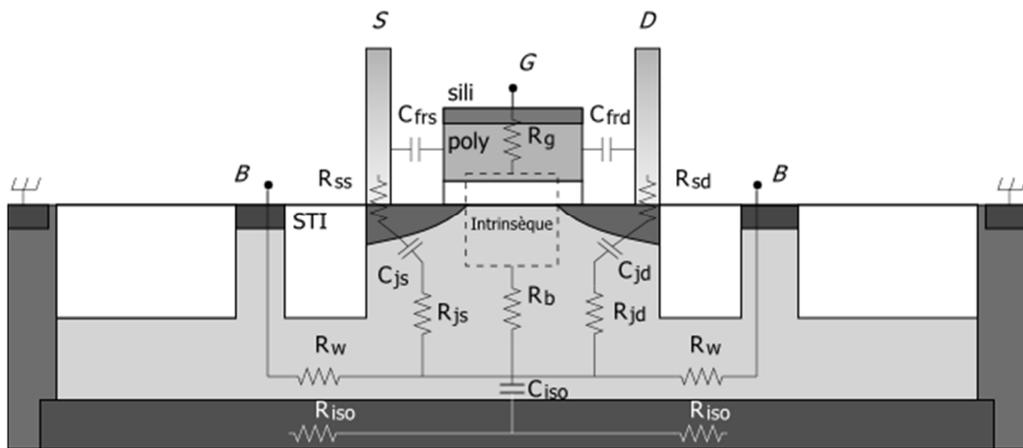


Fig. I-13. Localisation des principaux éléments parasites (extrinsèques) d'un transistor MOS

Les éléments parasites apportent des effets électriques non désirés et réduisent les performances du transistor. Ils sont toutefois inévitables à cause de la nécessité de connecter le transistor, notamment sa partie active qui contient la fonction recherchée. Cependant, dans la grande majorité des cas, les parasites sont des composants passifs qui ne dépendent pas de la polarisation appliquée au transistor, c'est pourquoi ils sont présents dans tous les régimes de fonctionnement. Le comportement électrique de certains régimes est même parfois complètement régi par l'extrinsèque, par exemple quand le transistor est à canal fermé (régime 'OFF'), ce qui permet alors de l'extraire séparément de l'intrinsèque.

## I.4.a. L'empilement de grille métallique à base de matériau à haute permittivité (High-k Metal /Gate)

### I.4.a.i. Principe

Le diélectrique naturel de la structure MOS est, comme son nom l'indique, l'oxyde de silicium SiO<sub>2</sub>, obtenu directement par croissance sur le substrat. Cependant, les transistors connaissent depuis leur invention une réduction continue de leur dimension de longueur de grille. De façon concomitante, suivant un principe de facteur d'échelle, l'épaisseur de l'oxyde doit diminuer afin de garder un même contrôle électrostatique du canal. En contrepartie, les courants de fuite dans la grille par effet tunnel augmentent puisque la barrière à franchir devient plus faible. L'idée d'utiliser un matériau à haute permittivité (high-k) en remplacement ou complément du SiO<sub>2</sub> s'est alors imposée. En effet, pour une même épaisseur, un tel matériau offre une capacité d'oxyde plus importante et améliore le contrôle des charges dans le canal. Dans l'autre sens, on peut assurer les mêmes performances électrostatiques avec une épaisseur de matériau plus grande, et limiter ainsi les fuites par effet tunnel.

Par souci de comparaison, la notion d'épaisseur d'oxyde équivalente par rapport au SiO<sub>2</sub> (EOT) a été introduite :

$$EOT = \frac{\epsilon_{ox}}{\epsilon_k} t_k$$

Où  $t_{ox}$  est l'épaisseur réelle (physique) du matériau isolant,  $\epsilon_{ox}$  la permittivité diélectrique du SiO<sub>2</sub> et  $\epsilon_k$  celle du matériau high-k.

Les matériaux High-k ont été pour la première fois introduits sur des technologies 45nm et ont significativement amélioré les performances du transistor en réduisant les fuites de grille par 10 [34]. A ce jour, des EOT inférieures au nanomètre, de l'ordre de quelques Å, ont été reportées [35][36][37], aussi bien pour les transistors de type p que n. Les EOT industrielles se situent autour du nanomètre.

### I.4.a.ii. Mise en œuvre

Parmi les matériaux à haute permittivité rencontrés, ceux à base de hafnium (Hf), tel que le HfSiO and HfO<sub>2</sub>, semblent constituer une solution généralement adoptée. La technologie HKMG marque également le retour des grilles métalliques dans l'empilement de grille. Ces dernières ayant été remplacées très tôt par du silicium poly-cristallin, à cause de problème de diffusion des atomes de métal dans l'oxyde.

Plusieurs possibilités existent également pour le choix du schéma d'intégration, ou autrement dit l'ordre d'empilement des matériaux. Actuellement, deux schémas dominant : le 'gate-first' et le 'gate-last', suivant que l'électrode de grille (le métal) est déposée avant ou après l'activation thermique par recuit [38]. De manière plus intuitive, le gate-first est également appelée en anglais Metal-Inserted Poly-Si (MIPS) pour grille poly-silicium avec métal inséré. On comprend que dans cette approche, la grille est encore en partie constituée de poly-silicium. La technologie 'gate-last' est aussi appelée en anglais Replacement Metal-Gate (RMG), ce qui signifie que la grille est entièrement composée de métal. Les deux schémas d'intégration sont représentés sur la Fig. I-14, accompagnés d'une représentation de grille traditionnelle à des fins de comparaison.

Ainsi, de haut en bas, le gate-first est constituée d'une couche de poly-silicium ou de silicium amorphe (a-Si), du métal, du matériau à haute permittivité puis d'une fine couche de SiO<sub>2</sub> assurant la transition avec le silicium de la plaque [39]. Du fait de la présence de silicium poly-cristallin dans la grille, la réalisation d'une couche de siliciure est indispensable pour pouvoir contacter la grille. Le schéma d'intégration gate-last est constitué d'une épaisse couche de métal reposant sur le matériau high-k et de la même couche de transition de SiO<sub>2</sub> [40]. En pratique, la couche de métal est en fait un empilement de divers métaux ou alliages (TiN, Al).

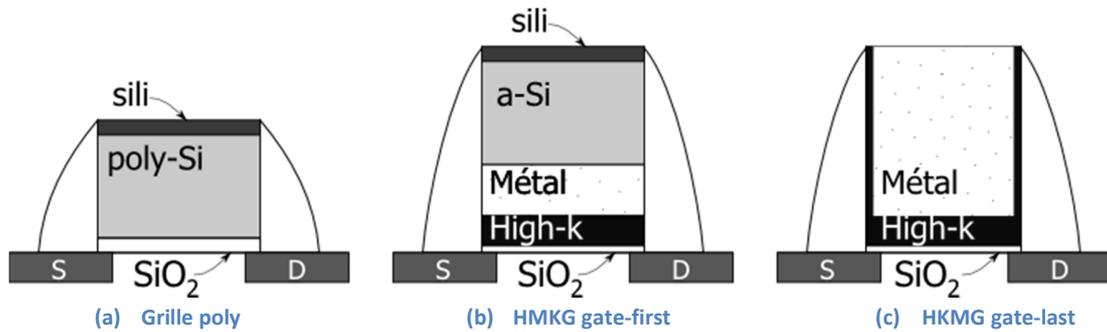


Fig. 1-14: Comparaison schématique de trois empilements de grille différents: (a) grille poly-silicium classique, (b) grille HKMG gate-first, (c) grille HKMG gate-last.

Le schéma gate-first est un choix intéressant car il s'insère plus facilement dans les étapes de fabrication technologiques. C'est l'option retenue pour les transistors HKMG de STMicroelectronics, apparus avec le nœud 32nm [41]. Néanmoins, le MIPS présente un budget thermique plus important.

Les performances RF du High-K Metal Gate profitent au premier abord de l'amélioration de ses performances numériques, grâce à la diminution de la longueur du canal et de son contrôle électrostatique du canal. Expérimentalement, les transistors présentent les fréquences de transition attendues. Néanmoins, le changement de l'empilement de grille n'a pas été bénéfique sur le gain de Mason et donc sur la fréquence maximale d'oscillation. En effet, considérant un schéma gate-first, la Fig. 1-14 montre la présence d'une interface supplémentaire (métal/poly-silicium) par rapport à une grille classique. En fin de compte, bien que la présence de métal diminue a priori la contribution de la résistance verticale, les transistors HKMG montrent une résistance de grille plus élevée. Cette dernière conduit à des phénomènes en rupture avec les grilles poly-silicium classiques et c'est pourquoi la modélisation de la résistance de grille pour les transistors HKMG sera détaillée dans le chapitre III.

Enfin, comparé à son concurrent dans la course à la réduction des dimensions du transistor, le finFET, le transistor HKMG planaire offre à ce jour de meilleures performances RF et millimétriques [42]. Sa résistance de grille reste encore inférieure à celle du finFET, et sa topologie planaire limite les capacités parasites.

#### I.4.b. Capacités parasites de bords

Ces capacités sont créées par la proximité entre les connexions source, drain et caisson et l'ensemble du contact de grille. Elles ont un impact fortement négatif sur les performances du transistor [29], notamment par la réduction de la fréquence maximale de basculement dans les applications numériques et la fréquence de coupure  $f_t$  dans les applications analogiques. De plus, la réduction permanente des dimensions des transistors ne parvient pas non plus à diminuer la valeur des capacités parasites. En effet, la réduction des surfaces en regard compense à peine le rapprochement des parties quasi-métalliques des interconnexions. Néanmoins, ces capacités peuvent être fortement réduites par des optimisations des dessins des transistors [31][32]. La Fig. I-15 montre une vue de l'électrode de grille avec la position des principales capacités parasites de bord ('fringing capacitances'). Sur ce schéma,  $L$  est la longueur de grille,  $poco$  est la distance de l'empilement de grille à un contact (distance **poly-à-contact**), considérée ici comme identique de part et d'autre de la grille, et  $W_f$  est la largeur de grille unitaire.

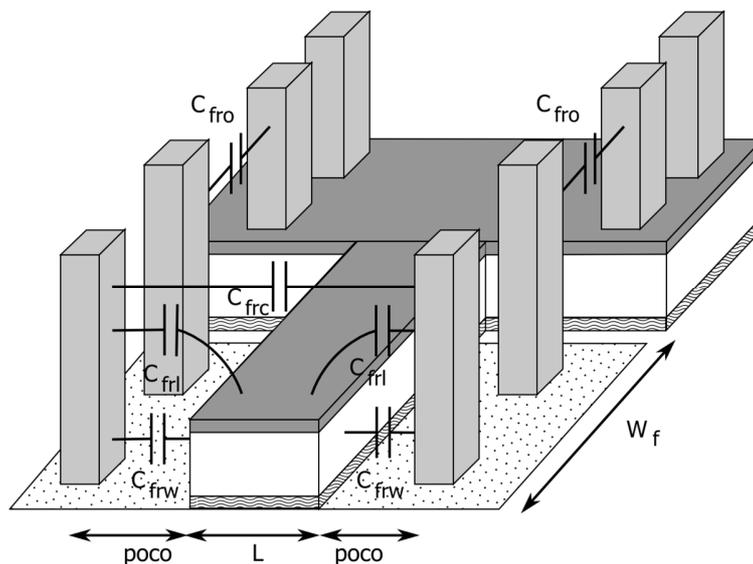


Fig. I-15: Vue schématique de l'électrode de grille, des contacts source/drain et des capacités parasites associées

Les différentes interactions entre les contacts donnent des capacités de bord d'origines multiples [33]. Une classification possible peut s'effectuer suivant leurs dépendances géométriques, en regroupant les capacités qui se comportent de manière identique en fonction des dimensions.

La première capacité est la résultante des capacités parasites de couplage entre la tête de poly, incluant ses contacts, et ceux des connexions source/drain. Cette capacité est appelée  $C_{fro}$ . En toute rigueur, cette capacité dépend linéairement du nombre de doigts, du nombre de dispositifs en parallèle ainsi que de la longueur de grille  $L$ , parce que la surface de la tête de poly-silicium en dépend. Cependant, si on considère que le couplage s'effectue principalement entre les contacts eux-mêmes, comme décrit sur la Fig. I-15, et que les variations de longueur de grille restent raisonnables, cette dernière dépendance peut être négligée, et pour la suite on écrira :

$$C_{fro} = N_f \cdot mult. c_{fro}$$

I-1

Où  $cfro$  est un paramètre modèle en Farad.

La capacité  $C_{frl}$  regroupe les couplages entre les contacts source/drain et la partie supérieure de l'empilement de grille. La disposition correspondante des lignes de champ donne une dépendance en fonction de la longueur de grille délicate à exprimer. Le plus souvent, son expression analytique est donnée par transformée conforme. La Fig. I-16 montre comment le calcul de ces capacités peut être effectué. La transformée conforme permet d'établir une équivalence avec un espace dans lequel les images des deux électrodes métalliques forment une capacité plan, dont on connaît facilement l'expression.

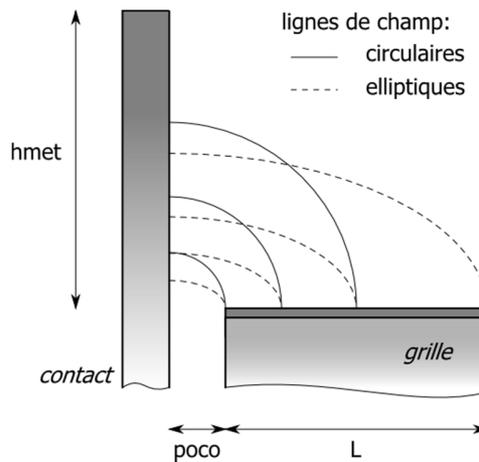


Fig. I-16 : Représentation des lignes de champ pour le calcul de la capacité de bord du contact à la partie supérieure de l'empilement de grille.

Néanmoins, il s'agit de définir tout d'abord l'aspect des lignes de champ d'un conducteur à l'autre. Dans la représentation traditionnelle, ces lignes sont considérées comme circulaires. La capacité entre les deux conducteurs s'écrit alors [40] :

$$C_{frl}^{circ} = cfrl \cdot W \cdot \ln\left(1 + \frac{L}{2poco}\right) \quad I-2$$

Où  $cfrl$  est un paramètre modèle en  $F.m^{-1}$ .

Ce modèle a l'avantage d'être fort simple. Néanmoins, il comporte quelques limitations. En effet, une description circulaire des lignes de champ impose que les métallisations qui interagissent aient la même dimension. Si la longueur de grille augmente et dépasse la hauteur des contacts, la capacité de bord est surestimée parce que l'équation considère une partie de contact qui n'existe pas. Une possible correction est de plafonner la valeur de la capacité. Dans tous les cas, les valeurs pour les plus grandes longueurs de grille ne sont pas correctement reproduites.

L'amélioration de ce modèle passe par une description des lignes de champ suivant une ellipse. Les surfaces de contact et de grille peuvent alors être différentes et correspondent chacune à un axe de l'ellipse. La capacité résultante de ce modèle a une expression plus complexe mais possède un domaine de validité et une précision supérieure. Elle s'écrit [44]:

$$C_{frl}^{elli} = cfrl \cdot W \cdot \ln \left( \frac{\eta h_{met} + \sqrt{poco^2 + (\eta h_{met})^2}}{poco} \right)$$

$$\text{Avec } \eta = e^{\frac{L+poco-\sqrt{h_{met}^2+poco^2}}{\tau L}} \quad \text{et } \tau = 3.7$$

I-3

Le paramètre sans dimension  $\tau$  permet de prendre en compte la contribution des lignes de champ qui ne sont pas capturées par la description purement elliptique. Ce dernier modèle est choisi pour notre modèle compact dans la suite de nos travaux.

Enfin, la capacité  $C_{frw}$  donne le couplage entre la face latérale de l'empilement de grille et les contacts de source et drain. Comme le montre la Fig. I-17, elle se divise en deux composantes, à savoir l'interaction avec la partie métallique du contact,  $C_{frw1}$ , et celle avec la zone dopée source ou drain,  $C_{frw2}$ .

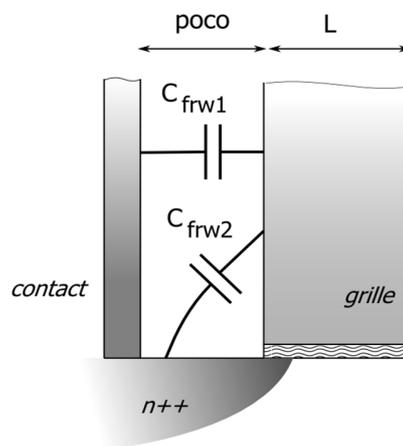


Fig. I-17: Coupe transversale suivant L de l'empilement de grille, montrant les deux composantes de la capacité  $C_{frw}$ .

L'expression de  $C_{frw2}$  peut s'exprimer analytiquement de la même façon que  $C_{frl}$  par transformée conforme. Cependant, il n'est intéressant de savoir discriminer ces deux composantes que si on dispose d'un jeu important de variations géométriques avec la distance contact-grille. C'est pourquoi, dans un souci de simplification,  $C_{frw1}$  et  $C_{frw2}$  sont réunies dans une seule capacité  $C_{frw}$  dépendant uniquement de la largeur totale de grille et dont l'expression est la suivante :

$$C_{frw} = N_f \cdot mult \cdot W_f \cdot cfrw \quad \text{I-4}$$

Où  $cfrw$  est un paramètre modèle en  $F \cdot m^{-1}$ .

Les capacités parasites s'extraient en l'absence de canal ( $V_G=0$ ) sur la capacité suivante :

$$C_{gd} = \frac{-1}{\omega \cdot \text{Im}(-1/Y_{12})}$$

Les lois de dépendances géométriques présentées précédemment ont besoin d'un vaste jeu de transistors de géométries différentes afin d'être identifiées. Dans notre exemple, nous disposons en technologie 28nm HKMG d'une première série de transistors tous identiques excepté pour leurs

longueurs de grille balayant la gamme de  $L=25\text{nm}$  à  $L=500\text{nm}$ , et deux autres séries possédant la même variation en largeur de grille mais pour deux longueurs de grille différentes,  $L=30\text{nm}$  et  $L=60\text{nm}$ .

La manière la plus simple de procéder pour extraire les paramètres est d'effectuer une optimisation sur la grandeur  $C_{gd}$  dans les conditions décrites précédemment en incluant tous les transistors disponibles. L'ensemble de variations géométriques est assez conséquent pour permettre une détermination correcte des paramètres. Pour ces transistors, la distance poly-silicium à contact est  $poco=45\text{nm}$  tandis que la hauteur de métallisation au-dessus de la grille est  $hmet=88\text{nm}$ . La Fig. I-18 présente le résultat de cette extraction en comparant mesure et simulation en fonction de la longueur de grille. En plus de la mesure, ces courbes contiennent les simulations des deux modèles disponibles pour la capacité  $C_{fr1}$  présentés auparavant. La simulation 1 est le modèle à lignes de champ elliptiques et la simulation 2 est le modèle à lignes de champ circulaires. Pour ce dernier, la valeur maximale autorisée est à  $L=hmet=88\text{nm}$ . Ainsi, jusqu'à  $L=60\text{nm}$ , les deux modèles présentent des résultats identiques, puis le modèle circulaire tend à surestimer rapidement la capacité parasite de bord.

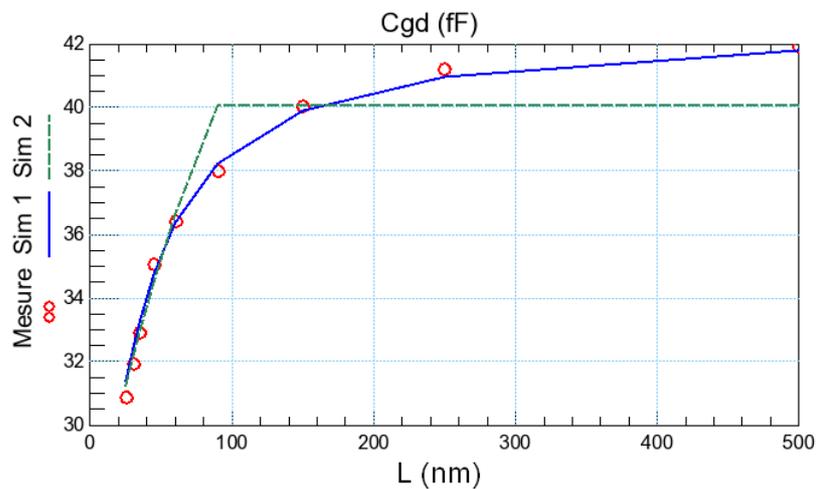


Fig. I-18: Confrontation de la mesure et des modèles de capacité parasite de bord en fonction de la longueur de grille  $L$ . Sim1 : modèle à lignes de champ elliptiques, Sim2 : modèle à ligne de champs circulaire.  $F=1\text{GHz}$ ,  $V_G=0\text{V}$ ,  $V_D=1\text{V}$ .

#### I.4.c. Le réseau substrat

##### I.4.c.i. Présentation

Le couplage avec le substrat peut être complètement ignoré sans pertes significatives de précision pour des applications numériques ou analogiques à faibles fréquences. Dans les domaines radiofréquences et a fortiori millimétriques, les capacités de jonction et de déplétion offrent un accès au substrat non négligeable, et ce dernier influe alors sur les impédances présentées par le dispositif et donc sur les rapports de puissance. Les résistances dans le substrat peuvent être modélisées en utilisant différentes topologies de schéma équivalent et ne sont pas au premier abord dépendant de la polarisation appliquée au transistor. Le nombre et l'emplacement de ces résistances sont variables d'un modèle de substrat à l'autre, de une seule résistance jusque cinq ou plus [46][47][48][49]. Le réseau d'isolation est encore

souvent ignoré, bien que les transistors à couche enterrée d'isolation soient très utilisés dans l'industrie. Dans une représentation à un seul doigt, La Fig. I-19 donne un exemple assez complet d'un réseau substrat pour un transistor nMOS isolé.

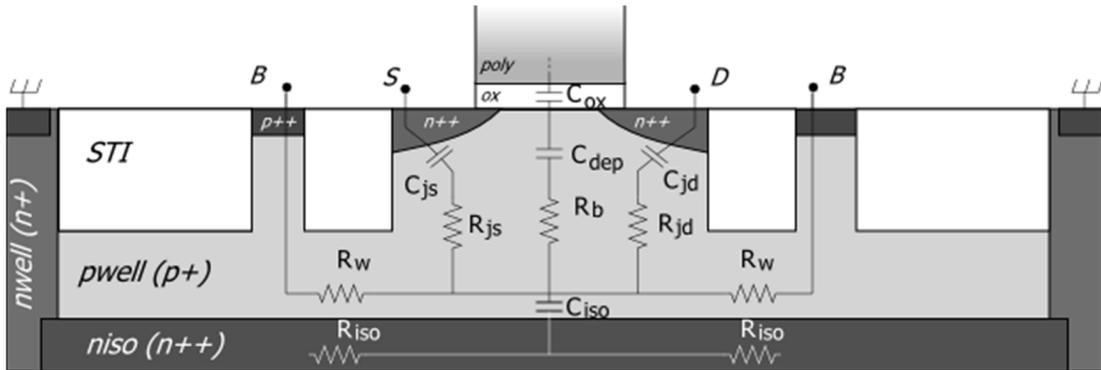


Fig. I-19: Vue en coupe du substrat d'un transistor nMOS isolé avec représentation électrique en éléments localisés.

Ce réseau substrat a la particularité d'avoir un nœud central auquel se rattachent toutes les résistances du caisson. Ces dernières sont  $R_w$ , qui décrit le chemin du terminal B jusqu'à ce nœud, les résistances  $R_{js}$  et  $R_{jd}$ , qui décrivent les résistances des jonctions et la résistance  $R_b$ , prenant en compte le chemin résistif de la capacité de déplétion au nœud central.  $C_{iso}$  et  $R_{iso}$  forment le réseau d'isolation, considéré pour l'instant comme un simple RC série. Dans une représentation électrique type modèle compact pour la partie intrinsèque du transistor, le réseau se redessine Fig. I-20:

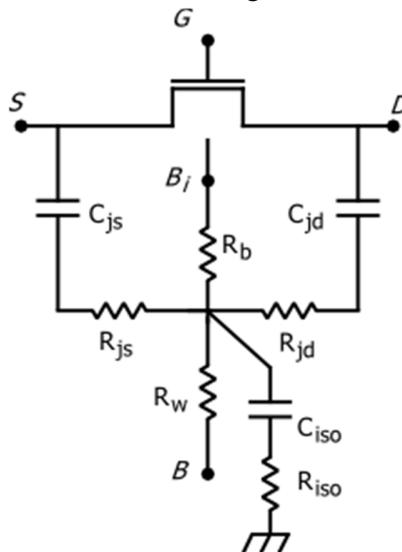


Fig. I-20: Représentation électrique du réseau substrat localisé de la Fig. I-19

On retrouve le réseau substrat de PSP, avec l'addition d'un RC série décrivant la couche enterrée d'isolation. PSP possède ainsi un réseau à quatre résistances présentant une topologie en croix.

### I.4.c.ii. Dépendances géométriques du réseau substrat

La représentation du réseau substrat en éléments localisés décrite par les figures Fig. I-19 et Fig. I-20 est séduisante par la simplicité d'implémentation dans un modèle. Néanmoins, la détermination des lois de dépendances géométriques associées s'avère fort complexe. La simplification du réseau selon un modèle à un seul doigt cache l'aspect distribué des résistances par la répétition des motifs de transistors. Les lois de dépendances géométriques des éléments du substrat sont également fortement dépendantes de la façon dont le transistor est dessiné. Dans nos travaux, les dispositifs utilisés sont des transistors à plusieurs doigts, placés en parallèle. Un exemple de transistor à deux doigts et à trois motifs, vu de dessus, est schématisé Fig. I-21. Ce transistor comporte des prises caisson et d'isolation qui l'entourent. Une vue en coupe, présentée Fig. I-22, permet de constater que les différents motifs de transistors sont couplés par le substrat et se distribuent en réalité les résistances du réseau, en particulier les résistances du caisson,  $R_{js}$ ,  $R_{jd}$  et  $R_w$ . Ces résistances ne présentent pas alors le traditionnel scaling en  $N_f$ ,  $\text{mult}$ ,  $W_f$  et  $L$ , comme le suppose la représentation classique à un doigt. Pour déterminer exactement ces dépendances géométriques, il convient de faire appel à la notion de résistances distribuées et à une approche à deux dimensions. Des exemples peuvent être trouvés dans [50][51], mais pour des transistors sans couche enterrée d'isolation. De plus, le poids des résistances est aussi dépendant de la parité du nombre de doigts de grille, car le nombre respectif de zones dopées source et drain ne sont pas les mêmes.

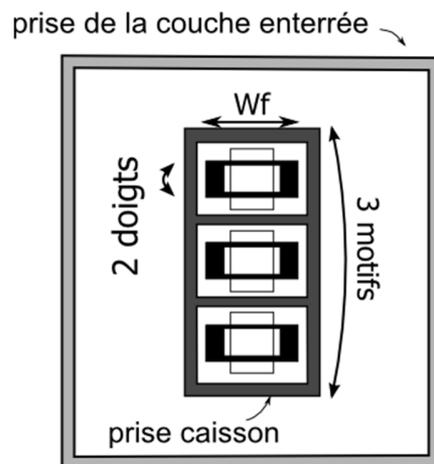


Fig. I-21: Vue de dessus simplifiée d'un transistor multiple.

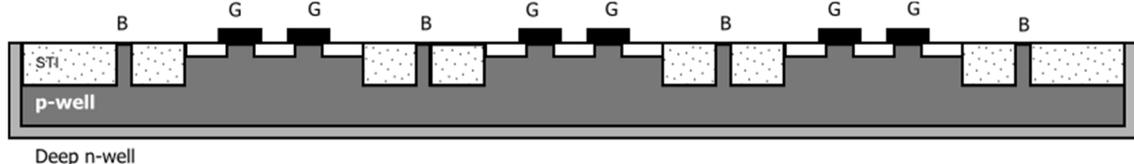


Fig. I-22: Coupe perpendiculaire aux doigts de grille d'un transistor multiple

Vis-à-vis des variations géométriques du réseau substrat, les modèles compacts adoptent deux points de vue. Un modèle comme BSIM propose une description empirique à quelques 20 paramètres [52], que l'on peut espérer couvrir avec un jeu de transistors important, tandis que PSP ne s'y risque pas et juge que la modélisation du substrat n'est pas de son ressort en ne proposant pas de loi particulière pour les

résistances [21]. Au chapitre IV, nous étudierons des lois de variations géométriques basées sur la surface qu'occupe le transistor sur son substrat, avec la prise en compte de la couche d'isolation.

#### 1.4.c.iii. Impact du substrat et de l'isolation sur la détermination des performances du transistor

Bien que les transistors avec caisson isolé présentent globalement des performances radiofréquence meilleures [54], le substrat impacte le gain de Mason,  $U$ , et en retour la fréquence maximale d'oscillation  $f_{max}$  [55]. Pour montrer l'influence du substrat sur le gain Mason cette étude utilisera la grandeur suivante [56]:

$$f_U = f\sqrt{|U|} \quad \text{I-5}$$

$f_U$  est une généralisation de la fréquence maximale d'oscillation sur un domaine en fréquence. On montre que si le comportement en fréquence du gain de Mason suit une pente de -20dB/décade, cette grandeur est constante et vaut directement  $f_{max}$ . Plus précisément,  $f_U(f)$  donne la valeur de  $f_{max}$  qu'on aurait obtenue en extrapolant le gain de Mason à partir de la fréquence  $f$  en suivant une pente à -20dB/décade.

La mesure est celle d'un transistor en technologie 40nm, de géométrie (L/Wf/Nf/mult) 40nm/2um/10/6, polarisé à  $V_g = 0.5V$  et  $V_d = 1.1V$ . Le modèle utilisé est basé sur le schéma équivalent de la Fig. I-23.

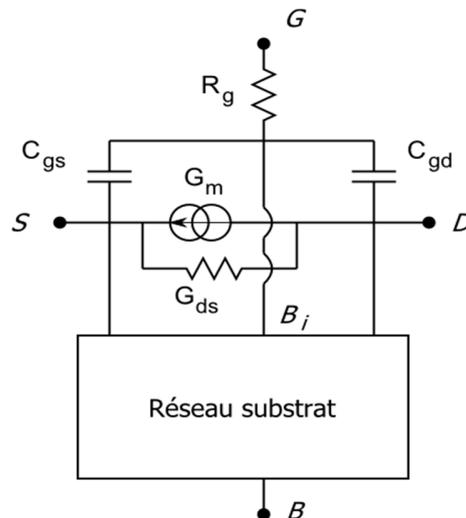


Fig. I-23: Schéma équivalent pour l'étude de l'impact du substrat sur le gain de Mason, avec un réseau substrat modifiable.

Le réseau substrat de ce modèle prend successivement la forme des 3 réseaux suivants (Fig. I-24) :

- Le réseau A est un réseau vide : le substrat n'est pas modélisé.
- Le réseau B est un réseau à une résistance avec les capacités de jonction
- Le réseau C est un réseau à une résistance avec les capacités de jonction et une admittance représentant l'isolation. Cette admittance décrit un RC distribué et s'écrit :

$$Y_{iso} = j\omega C_{iso} \frac{\tanh(\gamma_{iso}/2)}{\gamma_{iso}/2} \quad \text{et} \quad \gamma_{iso} = \sqrt{j\omega R_{iso} C_{iso}}$$

A : pas de réseau substrat

B : substrat sans isolation

C : substrat avec isolation

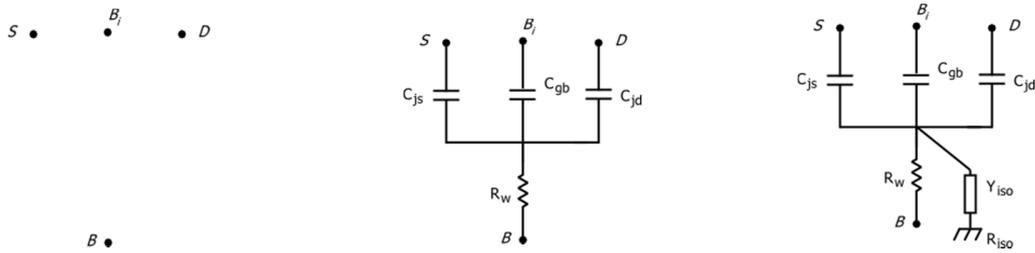


Fig. I-24: Description des trois réseaux substrat A, B et C utilisés pour la détermination de l'impact du substrat sur le gain de Mason.

Les résultats de la simulation avec les trois modèles de substrat A, B, C sont présentés et confrontés à la mesure sur la Fig. I-25. Le modèle A prédit une  $f_U$  constante avec la fréquence, et dans ce cas, sa valeur est toujours égale à la  $f_{max}$ . Néanmoins, la mesure présente une chute en fréquence que le modèle ne sait pas capturer. Le modèle B conduit à un résultat plus satisfaisant concernant la dépendance en fréquence mais l'allure n'est pas respectée. Le modèle C, avec un réseau substrat distribué, est le seul qui permet de capturer correctement l'allure de  $f_U$ .

Ainsi, la nécessité de l'ajout d'un réseau substrat avec isolation a été démontrée pour obtenir une bonne modélisation du gain de Mason en régime d'inversion modérée. De plus, on possède dorénavant un critère pour connaître le besoin de modéliser le réseau substrat : il suffit que le gain de Mason ne présente plus une pente à -20dB/décade, le substrat tendant en effet à faire augmenter cette pente en valeur absolue.

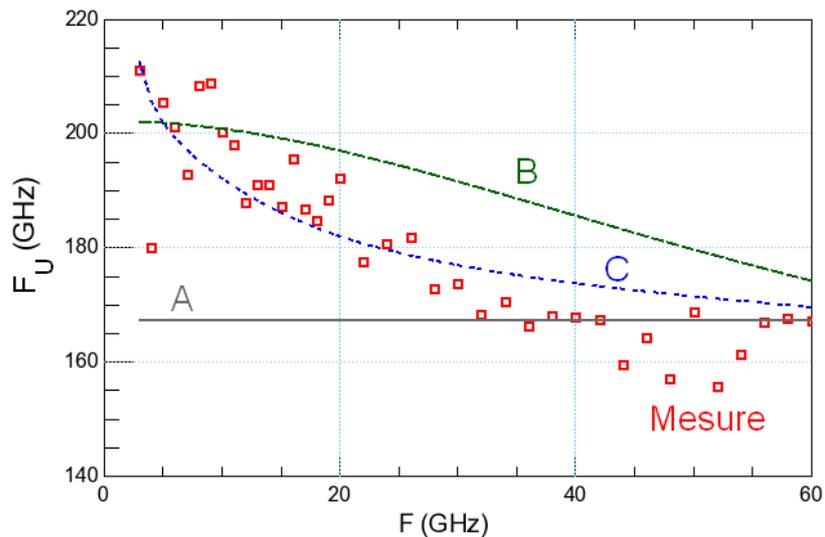


Fig. I-25:  $f_U$  mesuré et simulé pour les modèles de substrat A, B et C, en technologie 40nm, pour un transistor de géométrie  $(L/Wf/Nf/mult) : 40nm/2\mu m/10/6$ ,  $V_G=0.5V$ ,  $V_D=1.1V$

## Conclusion

Ce chapitre a défini le cadre de la modélisation du transistor MOS pour des applications RF et millimétriques. Les avantages et inconvénients de la modélisation à base de schéma équivalent ont été présentés. Le choix effectué en industrie privilégie les modèles compacts, qui permettent une description efficace du composant en termes de variations géométriques et de polarisation, ce qui permet de donner une vue d'ensemble de l'offre technologique à ses utilisateurs et de faciliter ainsi le travail des concepteurs.

Néanmoins, pour se montrer fiable dans le domaine millimétrique, les modèles compacts doivent porter une attention particulière à la description des parasites et des effets non quasi-statiques. L'influence des éléments extrinsèques sur la performance des transistors s'avère en effet de plus en plus importante à chaque nœud technologique. Par exemple, les effets de couplage capacitif augmentent avec les fréquences de fonctionnement et la réduction des dimensions du transistor. Leurs influences croissantes nécessitent d'apporter des corrections aux modèles qui les décrivent jusque-là comme des éléments parasites localisés. De son côté, l'arrivée de l'empilement de grille HKMG soulève la question de la pertinence de la description actuelle de la résistance de grille. Enfin, les transistors à caisson isolé ne sont qu'insuffisamment décrits dans les modèles compacts actuels, alors qu'il a été montré l'influence d'une couche enterrée d'isolation sur des grandeurs importantes en radiofréquence comme la fréquence maximale d'oscillation.

Les travaux qui seront présentés par la suite s'attacheront ainsi à développer des modèles compacts décrivant tous ces effets parasites et à les appliquer à des technologies de type industriel. Deux technologies développées par STMicroelectronics seront en particulier étudiées. La première est une technologie à grille poly-silicium traditionnelle 40nm, dérivée du nœud 45nm [57]. La deuxième est la technologie à grille métallique 28nm [58], dérivée du nœud 32nm.

## Références du chapitre I

- [1] Y.Tsividis, "Operation and Modeling of the MOS Transistor, 2nd Edition, McGraw-Hill Book Co., 1999
- [2] G. Dambrine et al, "What are the limiting Parameters of Deepsubmicron MOSFETs for High Frequency Applications?" IEEE Electronic Devices Letters, vol. 24, no. 3, pp. 189-191, mar. 2003.
- [3] K. Kurokawa, "Power Waves and the Scattering Matrix", IEEE Transactions on Microwave Theory and Techniques, vol.3 no 2, mar. 1965
- [4] W.-R. Curtice, R.-L.Camisa, "Self-Consistent GaAs FET Models for Amplifier Design and Device Diagnostics", IEEE Transactions on Microwave Theory and Techniques, vol. 32 , no 12, pp 1573 – 1578, dec 1984
- [5] J.-M. Golio, R.-J. Trew "Compound Semiconductors for Low-Noise Microwave MESFET Applications", IEEE Transactions on Electron Devices, vol. 27, no7, pp 1256-1262, jui 1980
- [6] G. Dambrine, A. Cappy, F. Heliodore, E. Playez, "A new method for determining the FET small-signal equivalent circuit", IEEE Transactions on Microwave Theory and Techniques, vol. 36 no 7, jui 1988.
- [7] M. Je, I. Kwon, H. Shin, K.Lee, "MOSFET Modeling and Parameter Extraction for RF IC's", International Journal of High Speed Electronics and Systems, vol. 11, no 4, pp 953 -1006, 2001
- [8] L. -W. Nagel, D.-O. Pederson, "SPICE (Simulation Program with Integrated Circuit Emphasis)", EECS Department, University of California, Berkeley, avr. 1973, disponible en ligne: <http://www.eecs.berkeley.edu/Pubs/TechRpts/1973/22871.html> .
- [9] B.-J.- Sheu, D.-L.- Scharfetter, P.-K. Ko; M.-C. Jeng, " BSIM: Berkeley short-channel IGFET model for MOS transistors", IEEE Solid-State Circuits vol22, no4 aug 1987.
- [10]R.M.D.A. Velghe, D.B.M. Klaassen and F.M. Klaassen, "Compact MOS modeling for analog circuit simulation", IEEE IEDM, pp485-488, dec. 1993
- [11]M. Bucher, C. Lallement, C. Enz, F. Théodoloz, F. Krummenacher, " The EPFL-EKV MOSFET Model Equations for Simulation ", Ecole polytechnique fédérale de Lausanne, jui 1997
- [12]H.J. Mattausch, M. Miura-Mattausch, H. Ueno, S. Kumashiro, T. Yamaguchi, K. Yamashita, N. Nakayama, "HiSIM: The first complete drift-diffusion MOSFET model for circuit simulation", IEEE Solid-State and Integrated-Circuit Technology Conference, oct 2001. 861-866 vol2
- [13]Gildenblat, G. ,X. Li, W. Wu, H. Wang; A. Jha, R. van Langevelde; G.D.J. Smit; A.J Scholten, D.B.M. Klaassen, "PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation", IEEE TED vol 53 Issue 9, pp1979-1993, sep 2006.
- [14]J.L. Carbonero, G., Morin, B. Cabon "A Full Automatic On-Wafer High Frequency Measurement Station in Industrial Environment for Silicon Devices" , ARFTG Conference Digest, pp 83-91, Spring 1995.
- [15] C.R. Iversen, "A MOS Model 9 Extension for GHz CMOS RF Circuit Design", European Microwave Conference, pp1-4, , sep 2001.
- [16]C.-C. Hsiao; C.-W. Kuo ; Y.-J. Chan, "A Modified BSIM 0.35  $\mu$ m MOSFET RF Large-Signal Model for Microwave Circuit Application", Asia-Pacific Microwave conference, pp1109-1112, 2000.
- [17]"BSIM4v4.7 MOSFET Model User's Manual", University of California, Bekerley, aout 2011.
- [18]A.J. Scholten, L.F Tiemeijer, P.W.H. De Vreede, D.B.M. Klaassen, "A Large Signal Non-Quasi-Static MOS Model for RF Circuit Simulation", IEEE IEDM, pp163-166, 1999.
- [19]S. Yoshitomi, A. Bazigos, M. Bucher, "EKV3 Parameter Extraction and Characterization of 90nm RF-CMOS Technology", Mixed Design of Integrated Circuits and Systems, pp74-79, juin 2007.
- [20] M. Miura-Mattausch, N. Sadachika, D. Navarro, G. Suzuki, Y. Takeda , M. Miyake, T. Warabino, Y. Mizukane, R. Inagaki, T. Ezaki; H.J. Mattausch , "HiSIM2: Advanced MOSFET Model Valid for RF Circuit Simulation" , IEEE Transaction on Electron Devices vol59 no9 pp1994-2007, sep 2006.
- [21]"PSP103.1 reference manual", NXP Semiconductor, avr. 2009

- [22] W. Wu, W. Yao, G. Gildenblat, "Surface-potential-based compact modeling of dynamically depleted SOI MOSFETs", Solid State Electronics Volume 54, Issue 5, Pages 595–604, mai 2010.
- [23] J.R. Brew, "A charge sheet model for the MOSFET", Solid-State Electronics, vol. 21, pp345-355, 1978
- [24] W. Wu, X. Li, Zhu, Z., G.D.J. Smit, A.J. Scholten, D.B.M. Klaassen, "Surface-potential-based MOSFET models with introduction to PSP", Wireless and Microwave Technology Conference, pp 1-2 avr 2009
- [25] H. Wang, T.-L. Chen, and G. Gildenblat, "Quasi-static and Non quasi-static Compact MOSFET Models Based on Symmetric Linearization of the Bulk and Inversion Charges", IEEE Transactions on Electron Devices, vol. 50, no. 11, nov. 2003
- [26] S.-Y. Oh, D.E. Ward, R.W. Dutton, "Transient Analysis of MOS Transistors", IEEE Transactions on Electron Devices vol 27 no 8, pp1571-1578, aout 1980
- [27] D. McGrath, " "PSP" transistor model wins Council vote ", EETimes, disponible en ligne: <http://www.eetimes.com/electronics-news/4057436/-PSP-transistor-model-wins-Council-vote>, déc. 2005.
- [28] H. Wang, X. Li, W. Wu, G. Gildenblat R. van Langevelde, G.D.J. Smit, A.J. Scholten and D.B.M. Klaassen , "Unified Non-Quasi-Static MOSFET Model for Large-Signal and Small-Signal Simulations", IEEE Custom Integrated Circuits Conference, pp823-826, sep. 2005
- [29] "JUNCAP2 reference manual", NXP Semiconductor, Juillet 2011
- [30] G. Dambine et al, "What are the limiting Parameters of Deepsubmicron MOSFETs for High Frequency Applications?" IEEE EDL, vol. 24, no. 3, pp. 189-191, March 2003.
- [31] H.-S. Jhon, J.-H. Lee, J. Lee, B. Oh, I. Song, Y. Yun, B.-G. Park, J.-D. Lee, H. Shin: "fmax Improvement by Controlling Extrinsic Parasitics in Circuit-Level MOS Transistor", IEEE EDL, vol. 30, no. 12, pp 1323-1325, dec 2009.
- [32] A. Nakamura, N. Yoshikawa, T. Miyazako, T. Oishi, H. Ammo and K. Takeshita , "Layout Optimization of RF CMOS in the 90nm Generation by a Physics-Based Model Including the Multi-Finger Wiring Effect", IEEE RFIC, June 2006.
- [33] J. Mueller; R. Thom, E. Demircan, C. Bernico, A. Juge "Modeling of MOSFET parasitic capacitances, and their impact on circuit performance" Solid-State Electronics, vol 51, no 11-12, pp 1485-1493, Nov-Dec 2007.
- [34] K. Mistry et al., "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging" IEDM Tech. Dig., pp. 247-250, 2007.
- [35] D. Kitayama et al. "Scaling of EOT Beyond 0.5nm", IEEE International Conference on Solid-State and Integrated Circuit Technology 2010, pp 994-996, nov 2010.
- [36] Kawanago, T. et al "EOT of 0.62 nm and High Electron Mobility in La-silicate/Si Structure Based nMOSFETs Achieved by Utilizing Metal-Inserted Poly-Si Stacks and Annealing at High Temperature", IEEE TED, vol 59, no2, fev 2012.
- [37] L. Ragnarsson et al., "Ultralow-EOT (5 Å) Gate-First and Gate-Last High Performance CMOS Achieved by Gate-Electrode Optimization," IEDM Tech. Dig., pp. 663-666, 2009.
- [38] A. Veloso et al , "Gate-Last vs. Gate-First Technology for aggressively scaled EOT Logic/RF CMOS", IEEE Symposium on VLSI Technologies, pp34-35, 2011.
- [39] Y. Nara, N. Mise, M. Kadoshima, T. Morooka, S. Kamiyama, T. Matsuki, "Gate-first high-k/metal gate stack for advanced CMOS technology", IEEE International Conference on Solid-State and Integrated-Circuit Technology, pp1249-1251 2008.
- [40] A. Veloso et al: "Process control & Integration options of RMG Technology for aggressively scaled devices, IEEE Symposium on VLSI Technologies", pp33-34, 2012.
- [41] F. Arnaud et al., "32nm General Purpose Bulk CMOS Technology for High Performance Applications at Low Voltage," IEDM Tech. Dig., pp. 633-636, 2008.

- [42]M. Dehan , B. Parvais, A. Mercha, V. Subramanian, G. Groeseneken, W. Sansen and S. Decoutere, "Perspectives of (sub-) 32nm CMOS for Analog/RF and mm-wave Applications", European Microwave Integrated Circuit Conference, pp103-106, 2008.
- [43]Mohapatra, N.R.; Desai, M.P.; Narendra, S.G.; Ramgopal Rao,V."Modeling of Parasitic Capacitances in Deep Submicrometer Conventional and High-K Dielectric MOS Transistors" IEEE Trans. Electron Devices, vol 50 no 4, pp. 959–966, Apr 2003.
- [44]A. Bansal, B. C. Paul, and K. Roy: "An Analytical Fringe Capacitance Model for Interconnects Using Conformal Mapping", IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, vol 25, no 12, Dec 2006
- [45]Y. Cheng, Y; M.-J. Deen, C.-H. Chen, "MOSFET Modeling for RF IC Design" IEEE Trans. Electron Devices, vol 52 no 7, pp. 1286–1303, Jul. 2005.
- [46]C. Enz, Y. Cheng, "MOS Transistor Modeling for RF IC Design", IEEE Journal of Solid State Circuits, vol 35, no 2, pp186-201, 2000
- [47]W. Liu, R. Gharpurey, M.-C. Chang, U. Erdogan, R. Aggarwal, J.-P. Mattia, "RF MOSFET Modeling accounting for Distributed Substrate and Channel Resistances with Emphasis on the BSIM3v3 SPICE Model", International Electron Devices Meeting, pp309-312, dec 1997
- [48]S. H. Jen et al, "A high frequency MOS transistor Model and its effects on radio-frequency circuits", Analog Integrated Circuits and Signal Processing, vol. 23, pp 93-101, 2000
- [49]S.F. Tin, A.A. Osman, K. Mayaram, C. Hu "A Simple Subcircuit Extension of the BSIM3v3 Model for CMOS RF Design", IEEE Journal of Solid State Circuits, vol 35, no 4, pp612-624, avr.2000
- [50]B. Parvais, S. Hu, M. Dehan, A. Mercha, S. Decoutere, "An accurate scalable compact model for the substrate resistance of RF MOSFETs", IEEE Custom Integrated Circuits Conference, pp 503 – 507, 2007.
- [51]N. Srirattana, D. Heo, H.M. Park, A. Raghavan, P.E. Allen, J. Laskar, "A new analytical scalable substrate network model for RF MOSFETs", IEEE Int. Microwave Symp.Dig., vol. 2, pp 699 – 702, 2004
- [52]"BSIM4v4.7 MOSFET Model User's Manual", University of California, Bekerley, Aug. 2011
- [53]"PSP103.1 reference manual", NXP Semiconductor, Apr 2009.
- [54]J.G Su, H.M. Hsu, S.C. Won, C.Y. Chang, T.Y Huan , J. Y.C. Sun, "Improving the RF Performance of 0.18 um CMOS With Deep n-Well Implantation", IEEE EDL, vol.22, no.10, 2001.
- [55]E. Bouhana, P. Scheer, S. Boret, D. Gloria, G. Dambrine, M. Minaudo and H. Jaouen, "Analyse and modeling of substrate impedance network in RF CMOS", IEEE ICMTS. pp 65-70, 2006.
- [56]J. M. Rollet, "The measurement of transistor unilateral gain", IEEE Trans. Circuit Theory, vol. CT-12, no. 1, pp. 91-97, Mar. 1965
- [57]F. Boeuf et al "A conventional 45nm CMOS node low-cost platform for general purpose and low power applications", IEEE International Electron Devices Meeting, pp425-428, dec. 2004
- [58]F. Arnaud et al., "Competitive and Cost Effective High-K Based 28nm CMOS Technology for Low Power Applications", IEEE Electronics Device Meeting, pp. 1–4, déc. 2009.

## II. Le bruit thermique des transistors MOS dans les domaines RF et millimétrique

### Introduction

Le bruit est par définition un signal indésirable qui se superpose au signal utile. Il se présente sous la forme de fluctuations spontanées et c'est pourquoi il est traité de façon statistique. C'est une problématique importante dans la conception de circuits électroniques car il limite la précision des mesures et de l'amplitude des signaux appliqués. En tant que composant actif, le transistor MOS est le siège de nombreuses sources de bruits. Cependant, dans le domaine radiofréquence et millimétrique, les origines de bruit les plus importantes sont les bruits thermiques et de diffusion, et c'est pourquoi ceux-ci seront l'objet principal de ce chapitre.

L'étude de bruit se scinde principalement en deux parties complémentaires que sont la caractérisation et la modélisation. La première est principalement basée sur des mesures 2-port qui conduisent au relevé du facteur de bruit d'un quadripôle. La mesure de bruit est déjà une importante problématique à elle seule et nécessite beaucoup de précaution, concernant le choix de la méthode et de l'épluchage. En effet, tout composant électronique, en particulier ceux des appareils de mesure, génère des signaux parasites et l'étape de caractérisation doit s'assurer de la mesure de la contribution du dispositif seul. Une fois cette étape franchie, la modélisation du bruit du transistor peut s'effectuer, encore que cette dernière soit parfois indispensable à la caractérisation des paramètres de bruit du dispositif. Un modèle de bruit repose sur la détermination de sources de bruit petit signal à caractère aléatoire. Le calcul de ces sources de bruit peut, cette fois encore, se présenter suivant une méthodologie de type schéma équivalent ou selon une représentation type modèle compact. Dans les deux cas, la modélisation du bruit du transistor MOS a bénéficié de l'expérience développée sur les autres transistors à effet de champ (MESFET, JFET, HEMT par exemple), par rapport auxquels elle ne présente pas de particularités majeures en ce qui concerne le bruit thermique.

Le premier objectif de ce chapitre est d'exposer une caractérisation en bruit sur les technologies 40nm et 28nm HKMG et de vérifier que les méthodes de caractérisation ne souffrent pas de l'introduction des grilles métalliques et des matériaux isolants à haute permittivité. Pour cela, un rappel de la théorie de bruit dans les quadripôles sera présenté, ce qui conduira à la définition du facteur et des paramètres de bruit. Une présentation de l'origine du bruit dans les transistors à effet de champ sera effectuée, et elle mènera par la suite au développement d'une méthode d'extraction des paramètres de bruit de type mono-impédance ('NF50'). Mettant en jeu des mesures de transistor 28nm HKMG, cette extraction sera accompagnée de mesure multi-impédances à des fins de vérification.

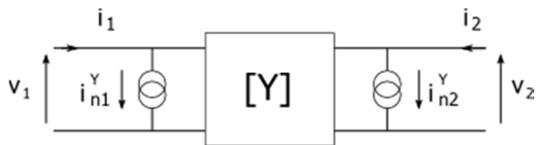
Le deuxième objectif est la confrontation d'un modèle compact, PSP, aux mesures évoquées ci-dessus. Ainsi, après présentation de son modèle de bruit, c'est-à-dire la façon dont les sources de bruit sont calculées, l'extraction des paramètres de PSP sera effectuée sur des transistors 40nm et 28nm. En accord avec la littérature, cette étude confirmera la présence de bruit en excès dans les dispositifs à faible longueur de grille.

## II.1. Théorie du bruit dans les quadripôles

### II.1.a. Représentations

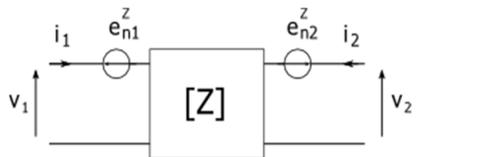
Le bruit est le résultat de fluctuations aléatoires générées au sein du dispositif. Il est essentiellement associé à la notion de petit signal et donc particulièrement adapté à une description linéaire du composant. Pour une configuration deux ports, on a recours à la théorie des quadripôles, vue au chapitre I. De même que le comportement électrique du quadripôle peut se décrire grâce aux matrices admittance [Y], impédance [Z], hybride [H] ou cascade [A] (également appelée matrice ABCD ou matrice chaîne), chacune de ces représentations peut être associée à deux sources de bruit décrivant le comportement bruyant du quadripôle, quelle que soit son origine [1]. Les différentes représentations couramment utilisées sont rappelées ci-après.

#### Admittance [Y]:



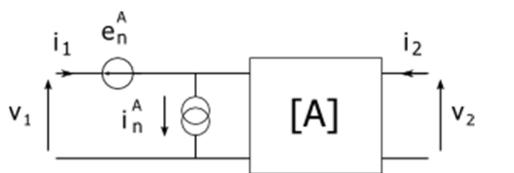
$$\begin{cases} i_1 = i_{n1}^Y + Y_{11}v_1 + Y_{12}v_2 \\ i_2 = i_{n2}^Y + Y_{21}v_1 + Y_{22}v_2 \end{cases} \quad \text{II-1}$$

#### Impédance [Z]:



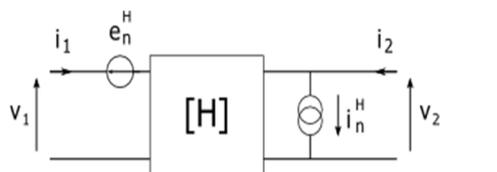
$$\begin{cases} v_1 = e_{n1}^Z + Z_{11}i_1 + Z_{12}i_2 \\ v_2 = e_{n2}^Z + Z_{21}i_1 + Z_{22}i_2 \end{cases} \quad \text{II-2}$$

#### Cascade [A]:



$$\begin{cases} v_1 = e_n^A + A_{11}v_2 + A_{12}i_2 \\ i_1 = i_n^A + A_{21}v_2 - A_{22}i_2 \end{cases} \quad \text{II-3}$$

#### Hybride [H]:



$$\begin{cases} v_1 = e_n^H + H_{11}i_1 + H_{12}v_2 \\ i_2 = i_n^H + H_{21}i_1 + H_{22}v_2 \end{cases} \quad \text{II-4}$$

Dans ces différentes représentations, le quadripôle est toujours considéré non bruyant. Les deux sources aléatoires situées à l'extérieur sont les résultantes de toutes les sources de bruit présentes à l'intérieur du dispositif. Elles peuvent avoir en partie la même origine de bruit et ne sont donc pas complètement indépendantes en général. On dit que les sources sont partiellement cohérentes, ou encore partiellement corrélées. Pour caractériser cette interdépendance des sources, on utilise la notion

de corrélation croisée. En considérant que  $\sigma_i$  et  $\sigma_j$  sont les densités spectrales des deux sources d'une des représentations ci-dessus, cette dernière est donnée par  $\sigma_{ij} = \overline{\sigma_i \sigma_j^*}$  (produit hermitien de  $\sigma_i$  par  $\sigma_j$ ).

La matrice de corrélation de bruit d'un quadripôle caractérise entièrement une représentation donnée. Elle est donnée par :

$$\mathbf{C} = \begin{pmatrix} \overline{\sigma_i \sigma_i^*} & \overline{\sigma_i \sigma_j^*} \\ \overline{\sigma_j \sigma_i^*} & \overline{\sigma_j \sigma_j^*} \end{pmatrix} \quad \text{II-5}$$

Les matrices de corrélation de bruit des différentes représentations sont reproduites ci-dessous:

$$\mathbf{C}^Y = \begin{pmatrix} \overline{i_{n1}^Y i_{n1}^{Y*}} & \overline{i_{n1}^Y i_{n2}^{Y*}} \\ \overline{i_{n2}^Y i_{n1}^{Y*}} & \overline{i_{n2}^Y i_{n2}^{Y*}} \end{pmatrix} \quad \text{II-6}$$

$$\mathbf{C}^Z = \begin{pmatrix} \overline{e_{n1}^Z e_{n1}^{Z*}} & \overline{e_{n1}^Z e_{n2}^{Z*}} \\ \overline{e_{n2}^Z e_{n1}^{Z*}} & \overline{e_{n2}^Z e_{n2}^{Z*}} \end{pmatrix} \quad \text{II-7}$$

$$\mathbf{C}^A = \begin{pmatrix} \overline{e_n^A i_n^{A*}} & \overline{e_n^A i_n^{A*}} \\ \overline{i_n^A e_n^{A*}} & \overline{i_n^A i_n^{A*}} \end{pmatrix} \quad \text{II-8}$$

$$\mathbf{C}^H = \begin{pmatrix} \overline{e_n^H i_n^{H*}} & \overline{e_n^H i_n^{H*}} \\ \overline{i_n^H e_n^{H*}} & \overline{i_n^H i_n^{H*}} \end{pmatrix} \quad \text{II-9}$$

La matrice de corrélation est une représentation qui peut d'avérer très pratique pour les calculs de bruit car elle simplifie le traitement mathématique. En effet, des lois d'association des matrices de corrélation suivant la représentation donnée existent et des relations de passage permettent de passer d'une représentation à l'autre, de la même manière que les associations de quadripôles. Ces relations de passage sont données en annexe A.

### II.1.b. Facteur de bruit et paramètres de bruit

Le facteur de bruit mesure la dégradation du rapport signal à bruit pendant la traversée d'un quadripôle. La Fig. II-1 illustre la définition du facteur de bruit :

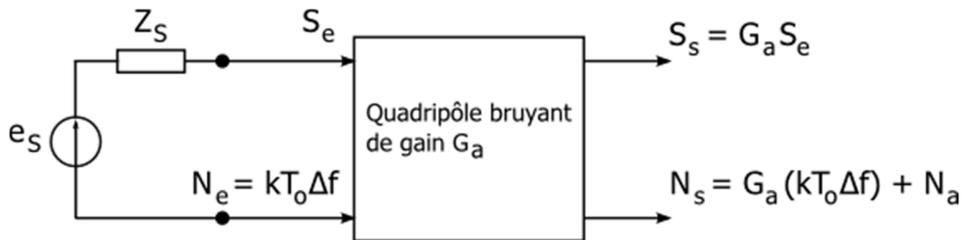


Fig. II-1: Définition du facteur de bruit

$S_e$  et  $S_s$  sont respectivement les puissances disponibles du signal en entrée et en sortie du quadripôle. Celui-ci possède un gain en puissance disponible  $G_a$  et ajoute une contribution de bruit  $N_a$  au système.  $N_e$  et  $N_s$  sont les puissances disponibles de bruit, respectivement en entrée et en sortie. La température de bruit de la source est égale à la température de bruit standard  $T_0 = 290K$ .  $\Delta f$  est la bande passante du système.

Suivant ces notations, le facteur de bruit s'écrit :

$$F_n = \frac{\text{rapport signal à bruit en entrée}}{\text{rapport signal à bruit en sortie}} = \frac{S_e/N_e}{S_s/N_s} \quad \text{II-10}$$

Le rapport signal à bruit étant toujours moins élevé à la sortie du quadripôle qu'à l'entrée, puisque celui-ci ajoute sa contribution de bruit, le facteur de bruit est donc toujours supérieur à 1.

On peut écrire :

$$F_n = 1 + \frac{N_a}{G_a N_e} \quad \text{II-11}$$

$$F_n = 1 + \frac{N_a}{G_a k T_0 \Delta f} = 1 + \frac{T_e}{T_0} \quad \text{II-12}$$

$T_e$  est la température de bruit équivalente du quadripôle ramenée à l'entrée, elle est parfois utilisée pour caractériser le bruit du quadripôle.

Le facteur de bruit est indissociable de l'impédance de source  $Z_s$  présentée à l'entrée du quadripôle, généralement égale à  $50\Omega$ .

Souvent, le facteur de bruit est exprimé en décibel, conduisant à la définition de la figure de bruit, NF (noise figure).

$$NF = 10 \log(F_n) \quad \text{II-13}$$

Le facteur de bruit du quadripôle change en fonction de l'impédance de source qui lui est présentée. En effet, si l'impédance de source change, les rapports de puissance s'en trouvent modifiés. Pour déterminer l'évolution du facteur de bruit en fonction de l'impédance de source, on peut recourir à la description cascade mentionnée au chapitre précédent. Les éléments extérieurs au quadripôle sont en représentation admittance : le quadripôle est alimenté par une source ( $i_s, Y_s$ ) et chargé en sortie par une admittance  $Y_L$  :

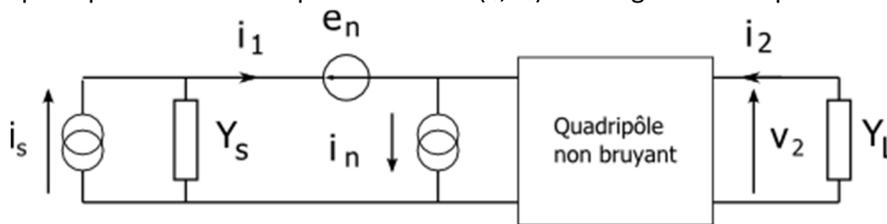
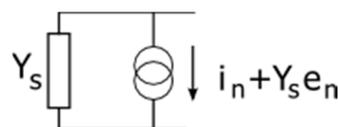


Fig. II-2: Quadripôle bruyant en représentation cascade chargé par  $Y_s$  en entrée et  $Y_L$  en sortie.

Pour calculer uniquement la puissance disponible de bruit ajoutée par les sources de bruit  $e_n$  et  $i_n$  en sortie du quadripôle, on éteint la source  $i_s$  (circuit ouvert). Le générateur de Norton équivalent en entrée est alors schématisé par :



Et la puissance disponible de ce générateur est alors :

$$\mathcal{P}_n = \frac{|\overline{i_n + Y_s e_n}|^2}{4\text{Re}(Y_s)} \quad \text{II-14}$$

Le bruit ajouté par le quadripôle en sortie s'écrit donc :

$$N_a = G_a \frac{|\overline{i_n + Y_s e_n}|^2}{4\text{Re}(Y_s)} \quad \text{II-15}$$

En remplaçant  $N_a$  par l'expression ci-dessus dans l'équation II-11, on obtient pour le facteur de bruit :

$$F_n = 1 + \frac{|\overline{i_n + Y_s e_n}|^2}{4kT_0\text{Re}(Y_s)\Delta f} \quad \text{II-16}$$

$i_n$  et  $e_n$  sont deux sources corrélées dans le cas général, mais le théorème de décorrélacion permet d'écrire :

$$i_n = i_u + Y_c e_n \quad \text{II-17}$$

$i_u$  et  $e_n$  étant décorrélées :  $\overline{i_u e_n^*} = 0$

L'admittance de corrélation est donnée par :

$$Y_c = \frac{\overline{i_n e_n^*}}{|\overline{e_n}|^2} = G_c + jB_c \quad \text{II-18}$$

Le facteur de bruit  $F_n$  s'écrit alors :

$$F_n = 1 + \frac{|\overline{i_u}|^2 + |Y_s + Y_c|^2 |\overline{e_n}|^2}{4kT_0\text{Re}(Y_s)\Delta f} \quad \text{II-19}$$

Posons  $R_n$  et  $G_n$  tels que :

$$\overline{e_n^2} = 4kT_0 R_n \Delta f \quad \text{II-20}$$

$$\overline{i_u^2} = 4kT_0 G_n \Delta f \quad \text{II-21}$$

On obtient :

$$F_n = 1 + \frac{G_n + |Y_s + Y_c|^2 R_n}{\text{Re}(Y_s)} \quad \text{II-22}$$

A partir de cette expression, il est possible de montrer qu'il existe une valeur de  $Y_s$  qui donne un facteur de bruit minimal. Cette valeur de  $Y_s$  est appelée  $Y_{opt}$  et est donnée par :

$$Y_{opt} = G_{opt} + jB_{opt} \quad \text{II-23}$$

$$\text{Avec} \quad G_{opt} = \sqrt{G_c^2 + \frac{G_n}{R_n}} \quad \text{II-24} \quad B_{opt} = -B_c \quad \text{II-25}$$

La valeur minimale du facteur de bruit, notée  $F_{min}$ , s'écrit :

$$F_{min} = 1 + 2R_n(G_{opt} + G_c) \quad \text{II-26}$$

Ecrivons  $F_n$  en fonction de ces nouveaux paramètres :

$$F_n = F_{min} + \frac{R_n}{Re(Y_s)} |Y_s - Y_{opt}|^2 \quad \text{II-27}$$

Le comportement de  $F_n$  en fonction de l'admittance de source présentée et pour une fréquence donnée est alors parfaitement décrit par quatre paramètres (deux réels et un complexe):

- $F_{min}$  est le facteur de bruit minimum qu'on puisse espérer obtenir par adaptation d'impédance. De façon usuelle, on l'exprime également en décibel :

$$NF_{min} = 10\log(F_{min}) \quad \text{II-28}$$

- $Y_{opt}$  est l'admittance optimale permettant d'obtenir  $F_{min}$ .
- $R_n$  est parfois appelée résistance équivalente de bruit du quadripôle, même si le terme peut sembler incorrect. L'équation reliant les paramètres de bruit suggère qu'il s'agit en fait d'un paramètre caractérisant l'effet d'une désadaptation de l'admittance d'entrée (lorsque  $Y_s \neq Y_{opt}$ ), qui se traduit par une augmentation du facteur de bruit.

Le terme quadratique de l'expression signale également l'importance d'une désadaptation sur la valeur du facteur de bruit.

La matrice de corrélation de la représentation cascade s'écrit directement en fonction des paramètres de bruit :

$$C^A = 4kT_0\Delta f \begin{pmatrix} R_n & \frac{F_{min} - 1}{2} - R_n Y_{opt}^* \\ \frac{F_{min} - 1}{2} - R_n Y_{opt} & R_n |Y_{opt}|^2 \end{pmatrix} \quad \text{II-29}$$

## II.2. Origines du bruit et sources associées dans les transistors à effet de champ.

La définition générale d'un bruit est l'apparition de tension ou de courant fluctuant autour du signal appliqué au dispositif. La valeur instantanée de ceux-ci ne peut pas être déterminée parce qu'il s'agit de processus aléatoires. En revanche, il est possible la plupart du temps d'en obtenir la valeur quadratique moyenne.

Le bruit dans le semi-conducteur a de nombreuses origines physiques mais toutes proviennent des caractères aléatoires de la vitesse et/ou de la charge des porteurs à l'intérieur du matériau. Parmi les principaux bruits dans les semi-conducteurs, on relève :

- *Le bruit thermique* (thermal noise), lié aux fluctuations de la vitesse des électrons causées par l'agitation thermique (mouvement brownien). Il est défini à l'équilibre thermodynamique.
- *Le bruit de diffusion* est une généralisation du bruit thermique dans le cas où le mouvement des électrons ne s'effectue plus à l'équilibre thermodynamique.
- *Le bruit en 1/f* (flicker noise) est présent dans tous les composants électroniques mais ses causes sont diverses. Pour un transistor MOS, une de ses origines est la fluctuation du nombre de porteurs dans le canal due aux pièges dans l'interface  $\text{SiO}_2\text{-Si}$ .
- *Le bruit de grenaille* (shot-noise) est un bruit lié au passage des barrières de potentiel par les porteurs. Cela concerne donc principalement les jonctions. Pour un MOS, on le retrouve

évidement à la jonction métal – oxyde – semi-conducteur, en présence de courant de fuite de grille par effet tunnel, mais également au niveau des jonctions source/drain.

- *Le bruit de génération-recombinaison* est dû aux fluctuations aléatoires des taux de génération et recombinaison des paires électrons/trous.

Dans les domaines d'applications micro-ondes et millimétrique, les bruits dominants d'un transistor à effet de champ (TEC) sont principalement le bruit thermique et de diffusion. Dans la suite, bien rigoureusement qu'un MOSFET polarisé présente du bruit de diffusion (le courant dans le canal est non nul), on parlera également de bruit thermique, amalgame courant dans la littérature.

Lorsque le canal est formé, celui-ci est le plus grand contributeur au bruit thermique. Les autres sources de bruit thermique sont les résistances d'accès grille, source et drain. L'évaluation de la densité spectrale de bruit thermique dans le canal d'un TEC fait l'objet d'études depuis le début des années 60 [2][3]. On comprend que plus il y a d'électrons dans le canal, plus le bruit sera important. Celui-ci est donc relié à des grandeurs macroscopiques qui indiquent directement l'état d'inversion du canal pour un MOSFET, comme la transconductance  $G_m$  ou la conductance  $G_{ds}$ . Partant de ce principe et des travaux de Van der Ziel, Pucel et al. [4] ont proposé un modèle général pour le bruit thermique intrinsèque d'un transistor à effet de champ, basé sur un schéma équivalent non-bruyant et l'ajout de sources de bruit externes  $\overline{i_g^2}$  et  $\overline{i_d^2}$ . Ce modèle est présenté sur la Fig. II-3.

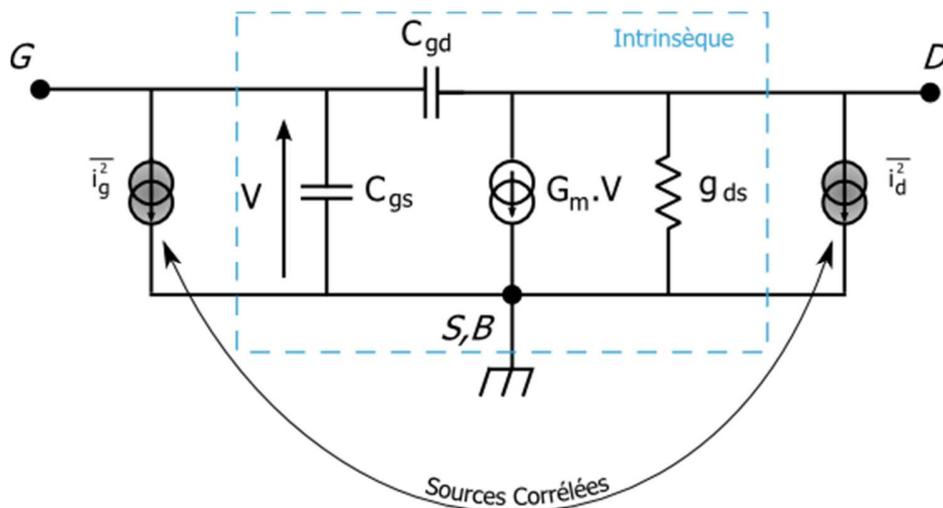


Fig. II-3: Schéma équivalent intrinsèque et ses sources de bruit thermique, d'après [5].

La source  $\overline{i_d^2}$  décrit directement le bruit thermique du canal.  $\overline{i_g^2}$  traduit le bruit thermique induit sur la grille. Cette source représente le bruit thermique du canal vu de la grille par le couplage de la capacité grille-canal distribuée le long du canal. Ainsi, les sources  $\overline{i_g^2}$  et  $\overline{i_d^2}$  ont la même origine physique. Il existe donc un terme de corrélation, *Corr*, entre ces deux sources :

$$Corr = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2} \overline{i_d^2}}} \quad \text{II-30}$$

Dans le modèle de Pucel et al., les sources de bruit sont données par [7] :

$$\overline{i_g^2} = 4kT\omega^2 \frac{(C_{gs} + C_{gs})^2}{G_m} R \Delta f \quad \text{II-31}$$

$$\overline{i_d^2} = 4kT G_m P \Delta f \quad \text{II-32}$$

Dans lesquelles R et P sont des paramètres de bruit sans dimension, dépendant du transistor et de la polarisation. T est la température ambiante.

Puisque le couplage entre grille et canal est capacitif, le terme de corrélation C est considéré comme imaginaire pur et s'écrit :

$$Corr = jC \quad \text{II-33}$$

Ce modèle décrit le bruit intrinsèque du dispositif par seulement trois paramètres, P, R et C. La description du bruit intrinsèque par deux sources  $i_g$  et  $i_d$  est reprise dans de nombreux modèles, notamment PSP. Pour un modèle de bruit thermique complet du transistor, il convient d'ajouter les sources de bruit thermique des résistances d'accès grille, source et drain. La première apporte d'ailleurs une contribution qui peut être relativement importante.

### II.3. Extraction des paramètres de bruit à partir de la mesure

A partir de la mesure du facteur de bruit, on cherche à retrouver les valeurs des paramètres de bruit d'un dispositif. Pour cela, on considère le schéma suivant :

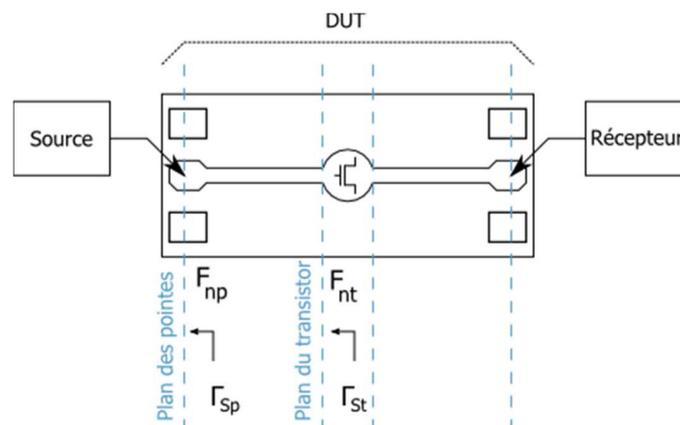


Fig. II-4: Synoptique d'une mesure de bruit du dispositif sous test

Le dispositif mesuré est le dispositif-sous-test DUT (device-under-test). Celui-ci comprend le transistor et ses lignes d'accès. Grâce à des méthodes de calibration et d'étalonnage, on est capable de déterminer le coefficient de réflexion en entrée qui est présenté au DUT dans le plan des pointes,  $\Gamma_{sp}$ , ainsi que le

facteur de bruit qui lui est associé,  $F_{np}(\Gamma_{sp})$ . Ces procédures enlèvent la contribution des appareils. En parallèle, une mesure de paramètres [S] est effectuée, ramenée elle aussi dans le plan des pointes.

La donnée brute du facteur de bruit est insuffisante. En effet, elle a été mesurée sous une certaine impédance de source (ou un coefficient de réflexion en entrée) et cette dernière ne sera probablement pas celle qui sera présentée au transistor lors de son utilisation dans un circuit. On a besoin de la détermination des quatre paramètres de bruit, qui permettent alors de recalculer le facteur de bruit en fonction de l'impédance présentée.

De plus, les paramètres de bruit du DUT ne représentent pas ceux du transistor lui-même, à cause de la présence des lignes d'accès. Une procédure d'épluchage doit également être effectuée afin de trouver le coefficient de réflexion vu par le transistor,  $\Gamma_{st}$ , et le facteur de bruit du transistor seul,  $F_{nt}(\Gamma_{sp})$ .

Pour extraire les paramètres de bruit, deux méthodes sont possibles : la méthode multi-impédances et la méthode mono-impédance 'NF50'. Le passage dans le plan des pointes au plan du transistor est basé sur la méthode de Hillbrand et Russer [6] (selon la théorie du bruit dans les circuits passifs), Elle fait intervenir les matrices de corrélation de bruit et peut être retrouvée sous une forme détaillée dans [7] .

### II.3.a. Extraction des paramètres de bruit par la méthode multi-impédances

La méthode repose sur les mesures du facteur de bruit suivant la présentation successive de plusieurs impédances au DUT [8][9]. Elle est schématisée sur la Fig. II-5. Connaissant les valeurs des coefficients de réflexion vus par le dispositif,  $\Gamma_{sp}$ , et des facteurs de bruit associés, il est possible de remonter aux paramètres de bruit par résolution du système. L'équation des paramètres de bruit nous indique que seulement quatre impédances sont nécessaires, mais très souvent on préfère un système surdimensionné par la présentation d'un nombre plus grand d'impédances, afin de minimiser les erreurs. En effet, la qualité de l'extraction repose sur la précision des impédances présentées. Le générateur d'impédance (Tuner) possède également des pertes, dont il convient de tenir compte. Il faut également prendre en compte les effets de désadaptation liés aux changements d'impédance. La mesure des paramètres [S] du transistor est alors nécessaire afin d'évaluer ces pertes. La technique connue sous le nom de « source froide » corrige toutefois une partie de ces problèmes [10]. Dans cette dernière, la source n'est utilisée que pendant la phase d'étalonnage du banc.

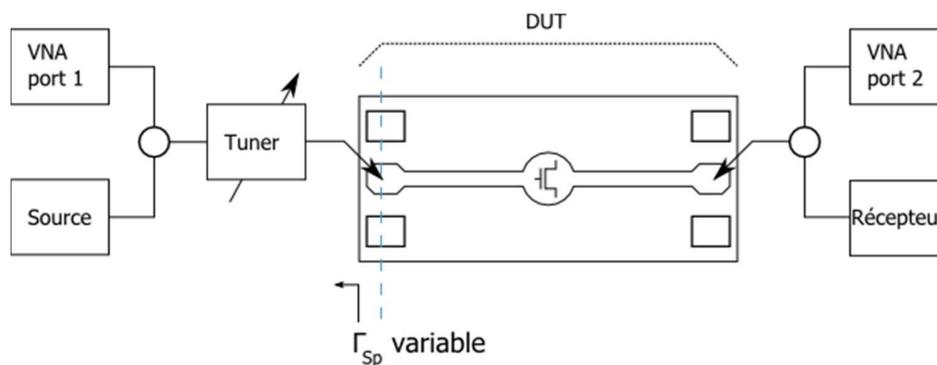


Fig. II-5: Synoptique d'une procédure de mesure de paramètres de bruit par la méthode multi-impédances.

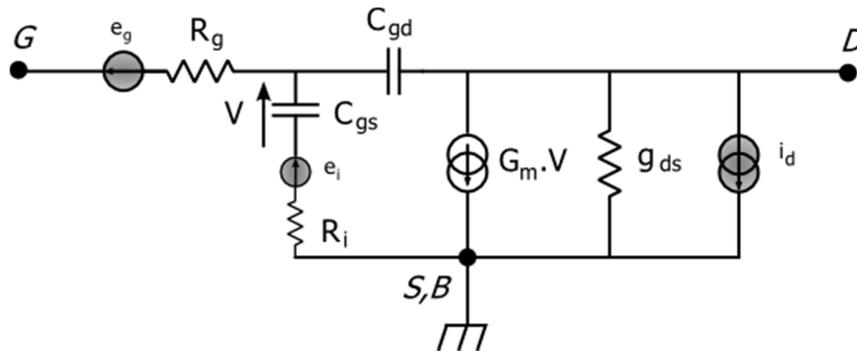
### II.3.b. Extraction des paramètres de bruit par la méthode 'NF50'

La méthode 'NF50' évite les problèmes rencontrés par la méthode multi-impédances. Cette dernière est en effet relativement complexe en termes de calcul et de manipulation expérimentale. La méthode 'NF50' ne requiert qu'une seule impédance, en théorie n'importe laquelle, même si certaines méthodologies imposent qu'elle soit réelle. 50 Ohms est cependant une bonne valeur puisqu'elle est standard dans les applications radiofréquences.

En réalité, un grand nombre de méthodes appelées 'NF50' existent [11][12][13][14]. Elles ont toutes en commun la présentation d'une seule impédance.

Une seule impédance signifie une seule mesure du facteur de bruit. Or, il y a quatre paramètres à déterminer. La solution consiste alors à faire des hypothèses sur les sources de bruit du transistor MOS. La méthode ne peut donc en théorie s'appliquer que pour un type de transistor donné, en particulier les transistors à effet de champ, au contraire de la méthode multi-impédances qui ne se soucie pas de la nature du dispositif sous test.

Aussi, le modèle de bruit généralement utilisé pour le transistor MOS s'inspire du modèle de Pospieszalski à deux sources non corrélées [15] et est basé sur la représentation hybride du quadripôle, comme illustré Fig. II-6. La mesure du facteur de bruit est considérée comme déjà ramenée dans les plans en entrée et sortie du transistor. Le modèle décrit le bruit intrinsèque du transistor auquel s'ajoute une résistance de grille bruyante  $R_g$ . La source de bruit intrinsèque à l'entrée est modélisée par la source  $e_i$  associée à la résistance  $R_i$ , et donc considérée comme étant de nature thermique. La température de bruit équivalente associée à  $R_i$  est égale à la température ambiante ( $T_{in} = T$ ). A cette source de bruit vient s'ajouter la source de bruit thermique  $e_g$  associée à la résistance extrinsèque  $R_g$ .



$$\overline{e_i^2} = 4kT\Delta f R_i = 4kT_{in}\Delta f R_i$$

$$\overline{e_g^2} = 4kT\Delta f R_g$$

Fig. II-6: Schéma équivalent et sources de bruit pour l'extraction NF50 des paramètres de bruit

Cherchons l'expression de la source  $e_n^H$  de la représentation hybride en fonction des sources du modèle. Les lois des Kirchhoff permettent d'écrire :

$$v_1 = e_g + e_i \frac{j\omega C_{gs}}{-R_i C_{gs} C_{gd} \omega^2 + j\omega (C_{gs} + C_{gd})} + H_{11} i_1 + H_{12} v_2 \quad \text{II-34}$$

$$i_2 = i_d - e_i \frac{j\omega C_{gd} (G_m - j\omega C_{gs})}{-R_i C_{gs} C_{gd} \omega^2 + j\omega (C_{gs} + C_{gd})} + H_{21} i_1 + H_{22} v_2 \quad \text{II-35}$$

Avec :

$$H_{11} = R_g + \frac{1 + j\omega R_i C_{gs}}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-36}$$

$$H_{12} = \frac{j\omega C_{gd}}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-37}$$

$$H_{21} = \frac{\frac{G_m}{1 + j\omega R_i C_{gs}} - j\omega C_{gd}}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-38}$$

$$H_{22} = G_{ds} + \frac{j\omega C_{gd}(G_m - j\omega C_{gs})}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-39}$$

Par identification, il vient :

$$e_n^H = e_g + e_i \frac{j\omega C_{gs}}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-40}$$

D'où

$$\overline{e_n^{H^2}} = \overline{e_g^2} + \overline{e_i^2} \frac{C_{gs}^2}{R_i^2 C_{gs}^2 C_{gd}^2 \omega^2 + (C_{gs} + C_{gd})^2} \quad \text{II-41}$$

$e_i$  et  $e_g$  sont deux sources décorrélées car  $R_g$  et  $R_i$  sont des résistances distinctes

$$\overline{e_n^{H^2}} = 4kT\Delta f \left( R_g + \frac{R_i C_{gs}^2}{R_i^2 C_{gs}^2 C_{gd}^2 \omega^2 + (C_{gs} + C_{gd})^2} \right) \quad \text{II-42}$$

Or, le calcul de la partie réelle de  $H_{11}$  donne justement :

$$Re(H_{11}) = R_g + \frac{R_i C_{gs}^2}{R_i^2 C_{gs}^2 C_{gd}^2 \omega^2 + (C_{gs} + C_{gd})^2} \quad \text{II-43}$$

La source  $e_n^H$  peut donc être directement calculée à partir des paramètres hybrides :

$$\boxed{\overline{e_n^{H^2}} = 4kT\Delta f Re(H_{11})} \quad \text{II-44}$$

De même, il vient, par identification :

$$i_n^H = i_d - e_i \frac{j\omega C_{gd}(G_m - j\omega C_{gs})}{-R_i C_{gs} C_{gd} \omega^2 + j\omega(C_{gs} + C_{gd})} \quad \text{II-45}$$

La température du canal est inconnue, et en tout cas plus élevée que la température ambiante. Ainsi, il n'est pas possible de calculer l'expression de la source de la même manière que pour  $e_n^H$  à partir des paramètres hybrides.

On cherche alors l'expression de  $\overline{i_n^{H^2}}$  à partir de l'expression II-16. En considérant la corrélation croisée  $e_n^H i_n^{H^*}$  comme nulle et en utilisant les relations de passage de la représentation chaîne à la représentation hybride, on obtient :

$$\overline{i_n^{H^2}} = \left| \frac{H_{21}}{1 + H_{11}Y_s} \right|^2 \left[ 4kT\Delta f \operatorname{Re}(Y_s) \cdot (F_n - 1) - |Y_s|^2 \overline{e_n^{H^2}} \right] \quad \text{II-46}$$

Cette relation montre que  $\overline{i_n^{H^2}}$  peut être déterminée sur n'importe quelle impédance  $Y_s$ . La matrice de corrélation de la représentation hybride est alors entièrement définie :

$$\mathbf{C}^H = 4kT \begin{pmatrix} \operatorname{Re}(H_{11}) & 0 \\ 0 & \left| \frac{H_{21}}{1 + H_{11}Y_s} \right|^2 [\operatorname{Re}(Y_s) \cdot (F_n - 1) - \operatorname{Re}(H_{11})] \end{pmatrix} \quad \text{II-47}$$

Il ne reste plus qu'à recalculer  $\mathbf{C}^A$  grâce aux relations de passage (rappelées en annexe A) et les paramètres de bruit sont déterminés avec les expressions suivantes [7]:

$$F_{min} = 1 + \frac{1}{2kT} \left( \operatorname{Re}(C_{12}^A) + \sqrt{C_{11}^A C_{22}^A - \operatorname{Im}(C_{12}^A)^2} \right) \quad \text{II-48}$$

$$Y_{opt} = \frac{\sqrt{C_{11}^A C_{22}^A - \operatorname{Im}(C_{12}^A)^2} + j \operatorname{Im}(C_{12}^A)}{C_{11}^A} \quad \text{II-49}$$

$$R_n = \frac{C_{11}^A}{4kT} \quad \text{II-50}$$

Ainsi, à la suite de certaines hypothèses utilisées pour une représentation hybride du bruit intrinsèque du MOSFET, (principalement une température équivalente de bruit en entrée du transistor égale à la température ambiante et un modèle à deux sources *non corrélées*), il est possible d'extraire les quatre paramètres de bruit du transistor grâce à la connaissance du facteur de bruit du quadripôle mesuré sur une seule impédance et des paramètres [S] mesurés dans les mêmes conditions.

### Remarques sur la corrélation des sources $e_n^H$ et $i_n^H$ :

Connaissant l'expression de ces deux sources, il est possible de calculer leur corrélation croisée, en considérant toujours les deux sources originelles du modèle comme étant décorréliées ( $\overline{e_i i_d^*} = 0$ ) :

$$\overline{e_n^H i_n^{H*}} = 4kTR_i \frac{C_{gs} C_{gd} (G_m + j\omega C_{gs})}{R_i^2 C_{gs}^2 C_{gd}^2 \omega^2 + (C_{gs} + C_{gd})^2} \quad \text{II-51}$$

Par le calcul théorique, les deux sources de la représentation hybrides sont bel et bien corrélées. Ce couplage entre les sources s'effectue au travers des capacités  $C_{gs}$  et  $C_{gd}$ . Cette dernière est ignorée dans le modèle originel, et considérer  $C_{gd} = 0$  dans la formule donne effectivement une corrélation globale nulle. Cette dernière hypothèse peut se justifier en rappelant que la capacité  $C_{gd}$  est effectivement très faible dans les régimes classiques de fonctionnement du transistor, par exemple en saturation, et sa valeur est alors dominée par les capacités parasites [16]. Ensuite, la résistance  $R_i$  a une valeur faible dans les technologies actuelles, notamment à cause de la réduction de la longueur de grille. Le bruit en entrée est principalement dominé par la résistance de grille  $R_g$ , de laquelle la corrélation n'est pas dépendante.

Les limites de la méthode apparaissent donc principalement avec la présence d'une corrélation non nulle entre les sources. La dernière expression permet ainsi définir des précautions d'utilisation, en mettant en garde devant un transistor développant une forte capacité  $C_{gd}$  ou une grande résistance intrinsèque  $R_i$ . De plus, il apparaît que parfois, l'hypothèse originelle de Pospieszalski, à savoir  $\overline{e_i i_d^*} = 0$ , puisse elle aussi être mise en défaut, et le modèle doit alors comporter un paramètre de plus, par exemple dans le cas de transistors MOS à dopage de canal asymétrique [16].

### II.3.c. Comparaison des extractions multi-impédances et NF50

Pour s'assurer de la validité des deux méthodes, une extraction multi-impédances et une selon la méthode NF50 décrite ci-dessus a été effectuée sur le même transistor en technologie 28nm HKMG. Les mesures ont toutes deux été effectuées à l'IEMN. Le transistor choisi est caractérisé par une longueur de grille de 30nm et une largeur de grille totale de 120 $\mu$ m. Après extraction des quatre paramètres de bruit par la méthode NF50, ces derniers ont été ramenés dans le plan de pointes (voir Fig. II-4) pour être cohérent avec l'extraction multi-impédances. Dans un premier temps, le comportement en fréquence est comparé sur la Fig. II-7, sur laquelle sont présentés  $NF_{min}$ ,  $R_n$ , ainsi que la partie réelle et imaginaire de  $Y_{opt}$ , pour  $F=6\text{GHz}$  à  $40\text{GHz}$ . La tension de polarisation  $V_G = 600\text{ mV}$  est choisie proche du maximum de  $G_m$ .

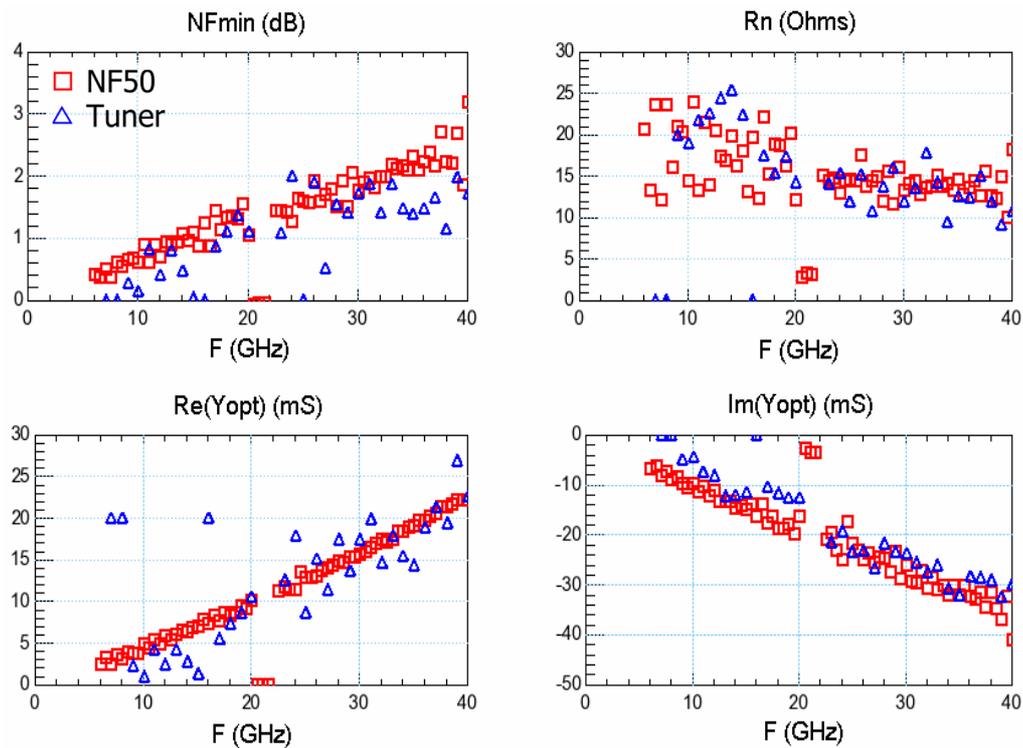


Fig. II-7: Comparaison en fréquence des deux méthodes d'extraction des paramètres de bruit, sur un transistor 28nm HKMG,  $L_g=30nm$ ,  $W=120\mu m$ .  $V_G=600mV$ ,  $V_D=1.0$  pour la NF50,  $V_D=1.1$  pour la multi-impédances.

Ainsi, à  $V_G = 600mV$ , les méthodes NF50 et multi-impédances sont très proches dans la gamme de fréquence observée. Puisqu'on obtient les mêmes résultats par deux méthodes conceptuellement différentes, cela laisse supposer que nos résultats sont corrects, et que les paramètres de bruit extraits sont bien ceux du transistor.

Dans un deuxième temps, les deux méthodes d'extraction sont comparées en fonction de  $V_{gs}$ , dans une bande de fréquence réduite. La Fig. II-8 montre les paramètres de bruit en fonction de  $V_G$  pour des fréquences de 10GHz à 15GHz, et la Fig. II-9 de 35GHz à 40GHz.

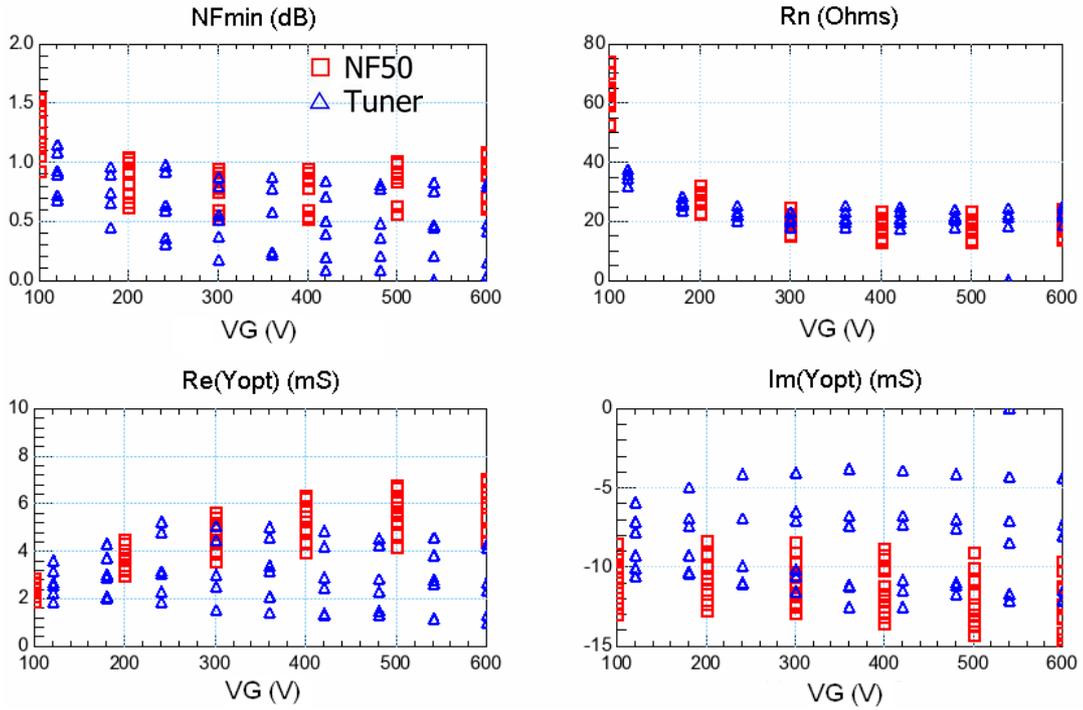


Fig. II-8: Comparaison en fonction de VG des deux méthodes d'extraction des paramètres de bruit, sur un transistor 28nm HKMG,  $L_g=30\text{nm}$ ,  $W=120\mu\text{m}$ .  $0.1\text{V}<VG<0.6\text{V}$ ,  $VD=1.0\text{V}$  pour la NF50,  $0.12\text{V}<VG<0.6\text{V}$ ,  $VD=1.1$  pour la multi-impédances.  $10\text{GHz}<F<15\text{GHz}$

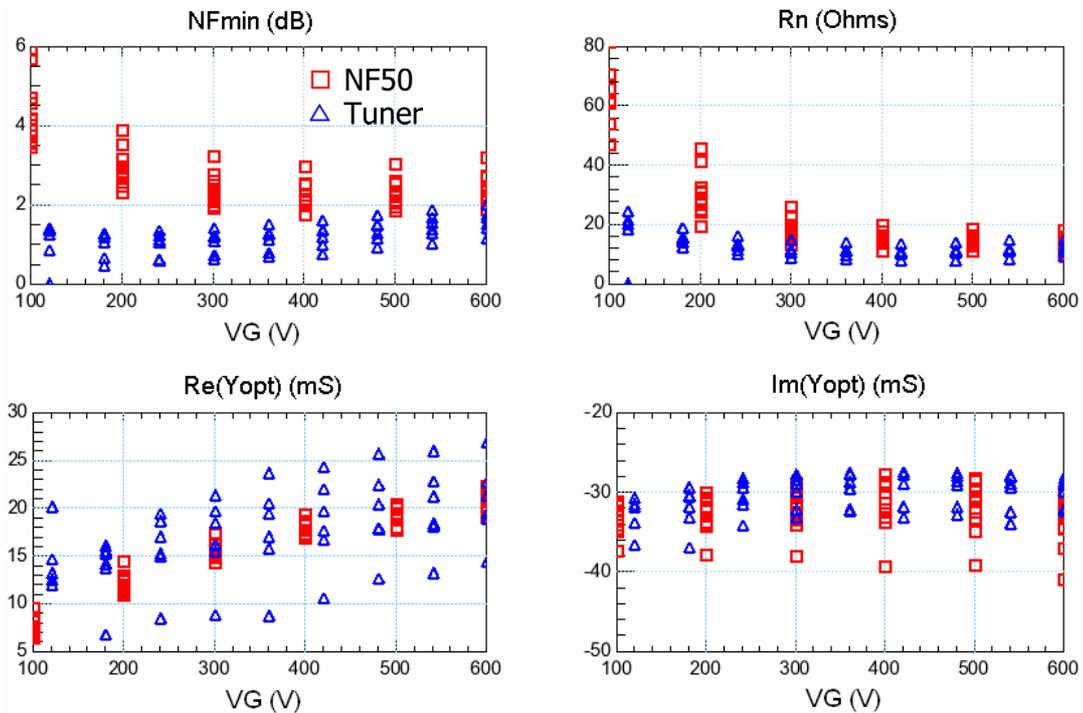


Fig. II-9: Comparaison en fonction de VG des deux méthodes d'extraction des paramètres de bruit, sur un transistor 28nm HKMG,  $L_g=30\text{nm}$ ,  $W=120\mu\text{m}$ .  $0.1\text{V}<VG<0.6\text{V}$ ,  $VD=1.0\text{V}$  pour la NF50,  $0.12\text{V}<VG<0.6\text{V}$ ,  $VD=1.1$  pour la multi-impédances.  $35\text{GHz}<F<40\text{GHz}$

La comparaison ne semble pas aisée puisque les paramètres de bruit dépendent par nature de la fréquence. La dispersion fréquentielle est également importante. Toutefois, on observe une bonne cohérence entre les deux types d'extraction pour la gamme de fréquence la moins élevée. Sur l'autre bande de fréquence, les paramètres de bruit sont également fort semblables sauf pour NFmin en général et Rn sur les faibles VG. En effet, si on confronte ces résultats à ceux de la Fig. II-7, pour laquelle la dépendance en fréquence est directement observable, le NFmin extrait par multi-impédances semble constant en fréquence sur cette bande, ce qui ne correspond pas à la physique. La validité de la mesure multi-impédances est alors remise en cause dans ce domaine. De même, l'extraction à faible VG est moins fiable, parce que le dispositif fournit un gain en puissance disponible moins important dans ce domaine. En effet, puisque les pertes du générateur d'impédance utilisé pour la méthode multi-impédances sont élevées, l'extraction des paramètres par cette dernière devient moins précise si le dispositif n'amplifie plus suffisamment.

Finalement, en comparant sur un transistor 28nm HKMG les paramètres de bruit extraits d'une part avec la méthode multi-impédances, et d'autre part avec la méthode NF50, il s'avère que cette dernière, en plus de sa simplicité expérimentale, est plus robuste en termes d'extraction sur une large bande de fréquence. C'est donc cette méthode qui sera utilisée pour l'étude et la modélisation du bruit RF et millimétrique.

## II.4. Modélisation compacte du bruit avec PSP

### II.4.a. Bases théoriques

Le modèle de bruit thermique de PSP est semblable à celui de MM11 [18][19]. Il comporte une source de bruit thermique pour le canal,  $i_d$ , et une source de bruit de grille induit  $i_g$  en entrée, ainsi qu'un terme traduisant la corrélation entre ces deux sources.

Le calcul des sources de bruit est basé sur la résolution de l'équation généralisée de Klaassen-Prins [20][21], selon un formalisme en potentiel de surface. La mention 'généralisée' fait principalement référence à l'inclusion des effets de saturation de vélocité, que l'équation initiale ne prenait pas en compte, ainsi qu'à une volonté d'être valide pour tous les dispositifs à semi-conducteurs.

L'équation de Klaassen-Prins peut se comprendre de façon intuitive en découpant le canal en tronçons élémentaires de longueur  $\Delta x$ . Chacun de ces segments se comporte comme une résistance et génère un bruit thermique de densité spectrale :

$$S_I = 4kT \frac{g(x)}{\Delta x} \quad \text{II-52}$$

$g(x)$  est la conductivité locale du tronçon, la résistance de ce dernier est  $R(x) = r(x)\Delta x = \frac{1}{g(x)}\Delta x$

En sommant sur tout le canal les résultantes de ces segments au courant de bruit, on arrive à l'équation de Klaassen-Prins :

$$S_{I_D} = \frac{4kT}{L^2} \int_0^L g(x) dx = \frac{4kT}{I_D L^2} \int_{V_S}^{V_D} g^2(V) dV \quad \text{II-53}$$

Avec  $I_D = g(x) \frac{dV}{dx}$

Cependant, cette expression n'est valable que si la conductivité ne dépend que d'une seule variable : soit la position, soit la tension dans le canal. Or cela n'est pas toujours vrai : en présence d'un gradient de dopage ou de saturation de vitesse, la tension dépend également de la position, à cause de la présence d'un fort champ électrique latéral.

La mobilité sécante en présence de saturation de vitesse peut s'écrire :

$$\mu(x) = \frac{\mu_0}{\left(1 + \left(\frac{E(x)}{E_c}\right)^p\right)^{\frac{1}{p}}} \quad \text{II-54}$$

$\mu_0$  est la mobilité en absence de saturation de vitesse,  $E$  est le champ électrique local  $E = -\frac{dV}{dx}$ , et  $p$  est un paramètre qui vaut habituellement 1 pour un transistor MOS de type n et 2 pour un transistor de type p.  $E_c$  est le champ électrique critique à partir duquel la vitesse des porteurs sature.

Le courant s'écrit alors :

$$I_D = \frac{g_0(V)}{\left(1 + \left(\frac{-1}{E_c} \frac{dV}{dx}\right)^p\right)^{\frac{1}{p}}} \frac{dV}{dx} = g\left(x, \frac{dV(x)}{dx}\right) \frac{dV}{dx} \quad \text{II-55}$$

Où  $g_0$  est la conductivité en absence de saturation de vitesse.

L'équation généralisée peut finalement s'écrire sous une forme proche de la précédente :

$$S_{I_D} = \frac{4kT}{I_D L_c^2} \int_{V_S}^{V_D} g_c^2(V) dV \quad \text{II-56}$$

Avec :

$$g_c = \left(\frac{g_0}{g}\right)^p \quad L_c = L \frac{\int_{V_S}^{V_D} g_c(V) dV}{\int_{V_S}^{V_D} g(V) dV}$$

L'expression du courant de bruit induit  $i_g$  créé sur la grille par une distribution de courant de bruit  $v(x)$  le long du canal, est donnée par :

$$i_g = -j\omega W \int_0^L C_{gc}(x) v(x) dx \quad \text{II-57}$$

Où  $C_{gc}$  est la capacité grille-canal :  $C_{gc} = -\frac{\partial Q_g}{\partial v}$

$v(x)$  peut être déterminé en gardant les premiers termes (petit signaux) de l'équation de Langevin, qui décrit la continuité du courant dans le canal :

$$(i_D - i_n(x)) \left(\frac{g_0}{g}\right)^p = \frac{d}{dx}(gv) \quad \text{II-58}$$

Après quelques calculs, les expressions des densités spectrales de courant de grille induit et de la corrélation croisée pour le bruit thermique d'un transistor à effet de champ s'écrivent :

$$S_{I_G} = (\omega W)^2 \frac{4kT}{I_D^5 L_C^2} \int_{V_S}^{V_D} g_C^2(V) A(V)^2 dV \quad \text{II-59}$$

$$S_{I_D I_G^*} = (-j\omega W) \frac{4kT}{I_D^3 L_C^2} \int_{V_S}^{V_D} g_C^2(V) A(V) dV \quad \text{II-60}$$

Avec :

$$A(V) = \int_{V_S}^{V_D} (Q_g(V') - Q_g(V)) g_C(V') dV' \quad \text{II-61}$$

Les sources de bruit sont ainsi complètement déterminées puisque le modèle connaît les expressions des termes intervenant dans les équations des sources de bruit, grâce aux calculs des charges et des courants à partir de la résolution du potentiel de surface (voir chapitre 1).

#### II.4.b. Le paramètre *fnt*

Ce paramètre a été introduit avec la version 100.1, et selon le manuel, son but originel est de donner la possibilité de couper le bruit thermique dans le modèle [21]. Il s'agit d'un facteur multiplicatif aux expressions des sources de bruit données précédemment. Ainsi, si *fnt* = 1, les sources de bruit sont directement dépendantes du calcul des charges et courants par PSP, et si *fnt* = 0, le bruit thermique du canal est supprimé. Les sources de bruit liées aux résistances parasites et aux jonctions restent toutefois actives. Dans la version actuelle de PSP, le modèle ne propose pas de loi de variations géométriques pour *fnt*. De façon détournée, ce paramètre offre donc un degré de liberté pour ajuster le modèle aux mesures si nécessaire.

En introduisant *fnt* dans les équations II-56, II-59 et II-60, on obtient :

$$S_{I_D} = \mathbf{fnt.} \frac{4kT}{I_D L_C^2} \int_{V_S}^{V_D} g_C^2(V) dV \quad \text{II-62}$$

$$S_{I_D} = \mathbf{fnt.} (\omega W)^2 \frac{4kT}{I_D^5 L_C^2} \int_{V_S}^{V_D} g_C^2(V) A(V)^2 dV \quad \text{II-63}$$

$$S_{I_D I_G^*} = \mathbf{fnt.} (-j\omega W) \frac{4kT}{I_D^3 L_C^2} \int_{V_S}^{V_D} g_C^2(V) A(V) dV \quad \text{II-64}$$

#### II.4.c. Evaluation du modèle de bruit sur les technologies 40nm et HKMG 28nm

Après l'évaluation et la validation des méthodes de mesures effectuées au paragraphe II.3.c, puis la présentation du modèle de bruit de PSP aux paragraphes II.4.a et II.4.b, cette section a pour objectifs de confronter ce modèle à des mesures de bruit NF50 de transistors 40nm et HKMG 28nm. De manière plus précise, le comportement du modèle en fonction de la longueur de grille du dispositif sera étudié en particulier.

La section précédente a montré que le modèle de bruit de PSP était fortement dépendant des paramètres de courant, car les sources de bruit sont déterminées à partir de conductance du canal. Ainsi, avant l'évaluation du modèle de bruit proprement dit, il est nécessaire de s'assurer que les paramètres du modèle soient correctement ajustés et qu'ils décrivent de façon satisfaisante le comportement en courant du transistor. Pour cela, l'évaluation de l'extraction des paramètres du modèle de courant de PSP est effectuée sur les comparaisons mesure et modèle de la transconductance  $G_m$  et  $G_{ds}$ . Pour mémoire, ces grandeurs sont extraites suivant les expressions ci-dessous :

$$G_m = Re(Y_{21} - Y_{12}) \quad \text{II-65}$$

$$G_{ds} = Re(Y_{22}) \quad \text{II-66}$$

La première étape de l'extraction est donc d'ajuster les paramètres pour obtenir la meilleure correspondance possible du modèle sur ces deux grandeurs pour toutes les tensions appliquées et pour chaque longueur de grille considérée.

Dans un deuxième temps, le modèle de bruit est ajusté par le paramètre  $f_{nt}$  sur la source de courant thermique  $i_n^H$  à partir de sa densité spectrale  $S_{i_n^H}$ . Cette dernière est calculée à partir des paramètres de bruits et de la matrice des paramètres hybrides [H] du transistor extraite des paramètres [S]. En complément, la grandeur  $\gamma_H$  sera représentée, elle est définie par :

$$\gamma_H = \frac{\overline{i_n^H{}^2}}{4kTG_m\Delta f} \quad \text{II-67}$$

Cette grandeur est à rapprocher du coefficient  $\gamma$  introduit par Van der Ziel, qui fait intervenir la source de courant de bruit de la représentation [Y] et préfère la référencer par rapport à la conductance  $G_{ds}$  à  $V_{ds}$  nul [24]. De plus, dans un régime de saturation, le  $G_m$  maximal et cette conductance sont connus pour être égaux sur les transistors longs.

Néanmoins, l'utilisation de la source de courant de la représentation hybride permet de directement s'affranchir de la contribution de la résistance de grille, qui est pour sa part intégralement incluse dans la source de tension en entrée  $e_n^H$ .

##### II.4.c.i. Mesure de transistors 40nm et simulation PSP

Comme indiqué précédemment, le modèle de bruit de PSP est comparé aux mesures de bruit de transistors 40nm à grille poly-silicium. La tension d'alimentation de ces transistors est  $V_{dd}=1.1V$ . Pour différentes longueurs de grille (40nm, 60nm, 80nm et 120nm), les figures suivantes présentent les comparaisons des  $G_{ds}$ ,  $G_m$ ,  $S_{i_n^H}$  et  $\gamma_H$  après ajustement des paramètres intrinsèques. Le paramètre  $f_{nt}$  est ajusté pour chaque longueur de grille et chaque tension de drain  $V_d$ .

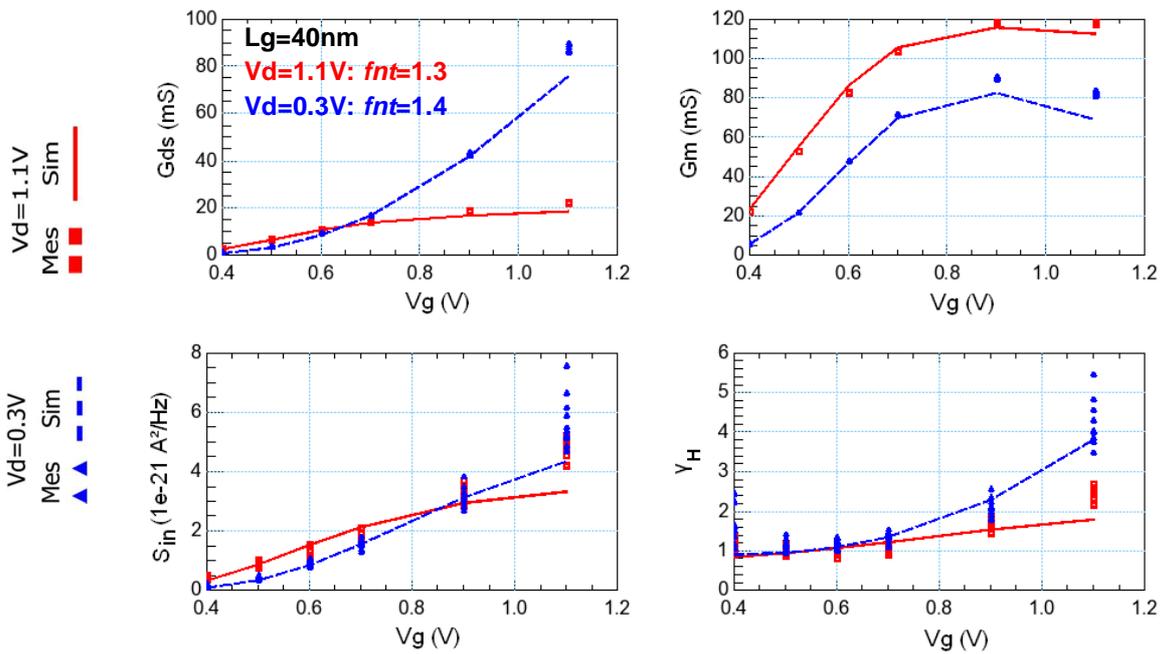


Fig. II-10: Comparaison simulation PSP / mesure d'un transistor en technologie 40nm de longueur de grille, pour  $V_d=0.3V$  et  $V_D=1.1V$ .  $20GHz < F < 30GHz$

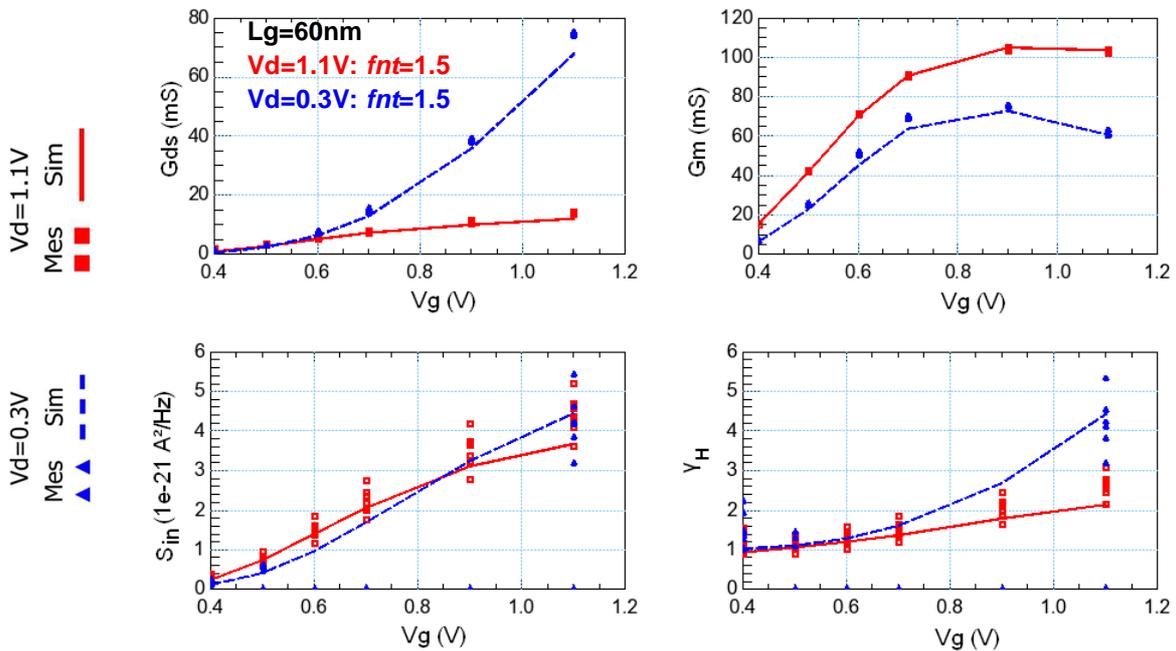


Fig. II-11: Comparaison simulation PSP / mesure d'un transistor en technologie 40nm de longueur de grille, pour  $V_d=0.3V$  et  $V_D=1.1V$ .  $20GHz < F < 30GHz$

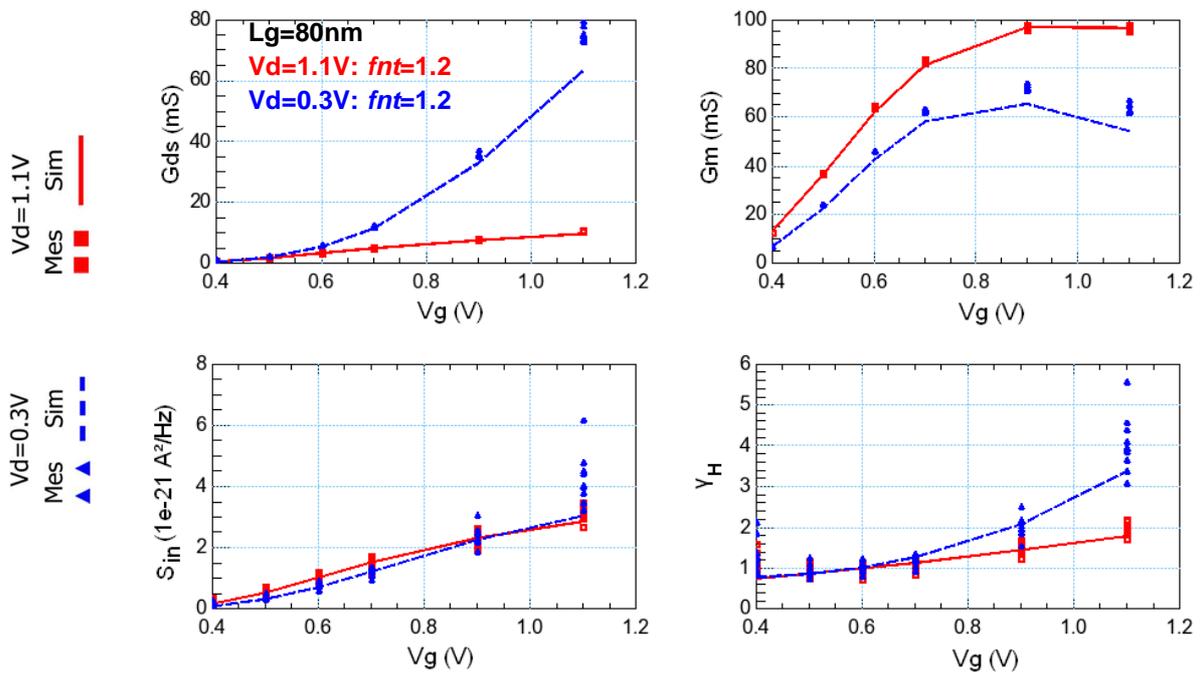


Fig. II-12: Comparaison simulation PSP / mesure d'un transistor en technologie 40nm de longueur de grille 80nm, pour  $V_d=0.3V$  et  $V_D=1.1V$ .  $20GHz < F < 30GHz$

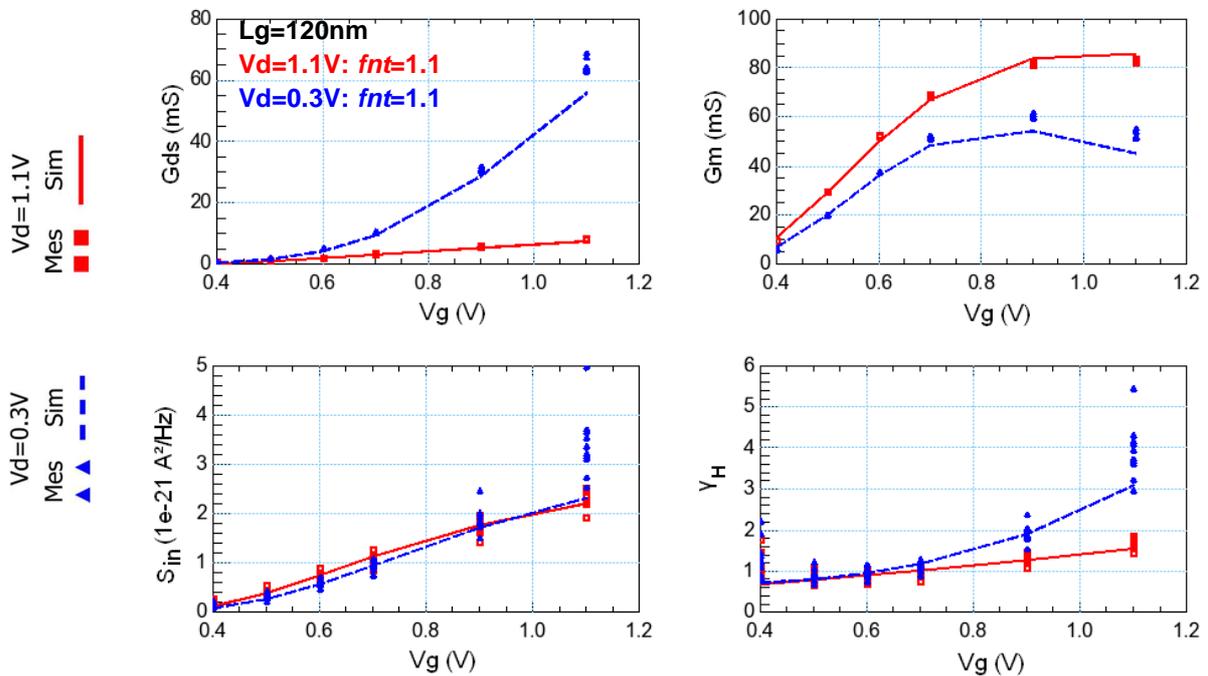


Fig. II-13: Comparaison simulation PSP / mesure d'un transistor en technologie 40nm de longueur de grille 120nm, pour  $V_d=0.3V$  et  $V_D=1.1V$ .  $20GHz < F < 30GHz$

De manière générale, la reproduction de la mesure de bruit  $S_{in}$  par le modèle est directement reliée à celle des grandeurs  $G_m$  et  $G_{ds}$ . Quand celles-ci sont correctement modélisées, comme c'est le cas pour les courbes à  $V_d=1.1V$ , le modèle parvient également à reproduire le comportement des mesures de bruit. Cependant, les valeurs de  $f_{nt}$  sont différentes suivant les longueurs de grille et dans une moindre mesure de la tension de drain appliquée. Ces valeurs sont supérieures à 1, indiquant ainsi que les dispositifs produisent plus de bruit que ce que le modèle prévoyait. La tendance générale est une diminution de la valeur de  $f_{nt}$  avec la longueur de grille. On note toutefois que la longueur de grille 60nm (Fig. II-11) présente un comportement aberrant, avec en plus un échec de la mesure du facteur de bruit pour certaines polarisations de grille à  $V_d=0.3V$ . De la même manière, les résultats obtenus sur le bruit pour une longueur de grille de 40nm sont perfectibles, et pourraient supporter une valeur légèrement plus élevée de  $f_{nt}$ .

Pour visualiser aisément l'excès de bruit du dispositif par rapport au modèle, le facteur de bruit en excès (FBE) est défini comme étant par le rapport des densités spectrales des sources de bruit  $i_n^H$  mesurée et donnée par le modèle pour lequel  $f_{nt} = 1$  :

$$FBE = \frac{S_{i_n^H}^{mesurée}}{S_{i_n^H}^{modèle}(f_{nt} = 1)} \quad \text{II-68}$$

En choisissant la tension de grille  $V_g$  au maximum de  $G_m$  et en saturation pour tous les dispositifs ( $V_d=V_{dd}=1.1V$ ), le FBE est tracé en fonction de la longueur de grille sur la figure Fig. II-14 ci-dessous.

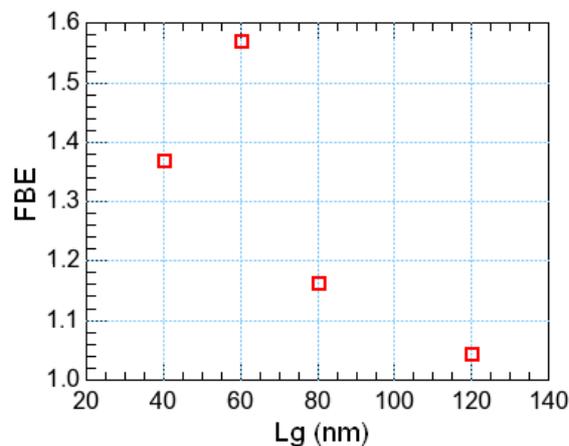


Fig. II-14: Facteur de bruit en excès pour les transistors 40nm en fonction de la longueur de grille et moyenné sur la bande de fréquence 20GHz-30GHz,  $V_g=0.9V$ ,  $V_d=1.1V$ .

On constate que le FBE décroît avec la longueur de grille, comme attendu. En effet, il peut aussi être considéré comme une extraction directe du paramètre  $f_{nt}$ .

### II.4.c.ii. Mesure de transistors HKMG 28nm et simulation PSP

Dans cette section et de manière semblable à la précédente, le modèle de bruit de PSP est cette fois comparé aux mesures de bruit de transistors 28nm à grille métallique. La tension d'alimentation de ces transistors est  $V_{dd}=1.0V$ . Pour deux longueurs de grille différentes (30nm et 60nm), les figures suivantes présentent les comparaisons des  $G_{ds}$ ,  $G_m$ ,  $S_{in}$  et  $\gamma_H$  après ajustement des paramètres intrinsèques. Le paramètre  $f_{nt}$  est ajusté pour chaque longueur de grille et chaque tension de drain  $V_d$ .

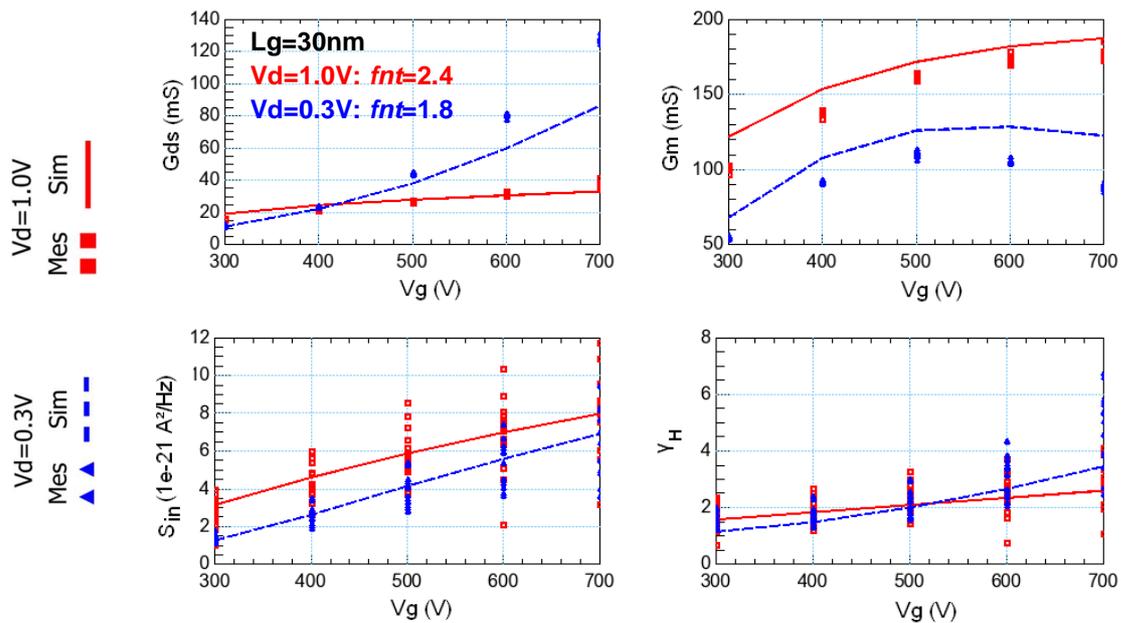


Fig. II-15: Comparaison simulation PSP / mesure d'un transistor en technologie 28nm de longueur de grille 30nm, pour  $V_d=0.3V$  et  $V_d=1.0V$ .  $22GHz < F < 30GHz$

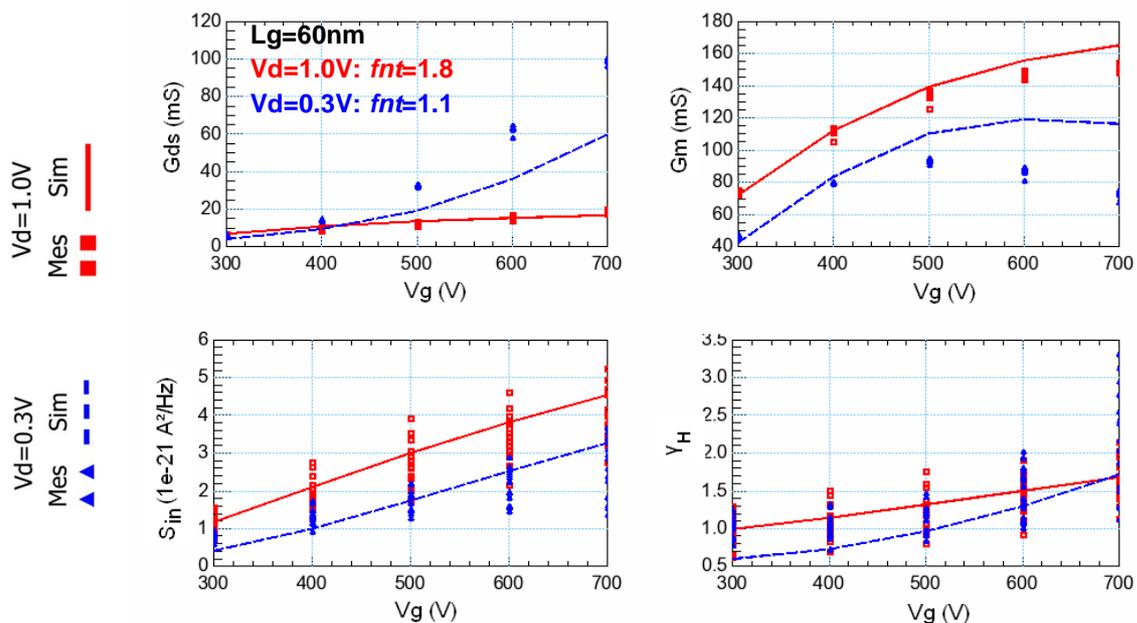


Fig. II-16: Comparaison simulation PSP / mesure d'un transistor en technologie 28nm de longueur de grille 60nm, pour  $V_d=0.3V$  et  $V_d=1.0V$ .  $22GHz < F < 30GHz$

Nonobstant la qualité de la reproduction des grandeurs intrinsèques par le modèle, les deux dispositifs présentent un niveau de bruit plus élevé que celui prévu par ce dernier. Ce phénomène est principalement observable à la tension d'alimentation  $V_d=1.0V$ , pour laquelle les valeurs de  $f_{nt}$  extraites sont bien supérieures à 1 pour les deux longueurs de grille considérées. A  $V_d=0.3V$ , bien que le modèle soit moins précis en ce qui concerne la conductance et la transconductance, les valeurs de  $f_{nt}$  s'avèrent plus faibles et plus proches des valeurs attendues. Cependant, la technologie 28nm reste dans la tendance observée avec le 40nm, c'est-à-dire qu'elle présente une augmentation du bruit en excès quand la longueur de grille diminue.

#### *II.4.c.iii. Discussion : le bruit en excès*

Dans les dernières technologies de transistors, avec des longueurs de grille inférieures à la centaine de nanomètres, il a été montré dans la littérature que le modèle natif de PSP (avec  $f_{nt}=1$ ) sous-estime le niveau de bruit thermique, et que l'écart entre simulation et mesure augmente avec la diminution de la longueur de grille [25]. Nos propres expériences, présentées dans les paragraphes précédents, ont confirmé ce point.

PSP inclut tous les effets canaux courts connus et donne ainsi une représentation correcte des courant intrinsèques dans le canal. Ces mêmes effets sont à la base du modèle de bruit, l'apparition de bruit en excès n'est donc pas directement imputable aux effets canaux courts classiques. Pour prendre en compte cet excès de bruit, de nouvelles sources de bruit doivent être envisagées et ajoutées au modèle.

Parmi les sources possibles de bruit en excès suggérées jusqu'à présent, on peut notamment citer les suivantes:

- Les électrons 'chaud', liés à la présence d'un fort champ électrique près de la jonction de drain [26][27]. Cette hypothèse a néanmoins été depuis mise en doute [28][29], et est rappelée ici à titre d'exemple.
- Le changement de la nature du transport dans le transistor, notamment la prise en compte d'un certain pourcentage de porteurs en transit balistique [30][31], et constituant ainsi un mécanisme différent du régime de transport basé sur la mobilité des porteurs.
- Le transport non à l'équilibre des porteurs dans le canal [32]. Il s'agit de considérer qu'une partie des porteurs ont au départ une énergie supérieure à celle du réseau cristallin et que des fluctuations d'énergie apparaissent quand ceux-ci libèrent aléatoirement leurs énergies et retournent à l'équilibre avec le réseau. C'est un bruit similaire au bruit de grenaille. Une correction de PSP, basée sur un modèle de Drude des relaxations du réseau, a été conçue par le groupe de NXP et donne selon eux de bons résultats [25], mais toujours pour des transistors à grille poly-silicium. La confrontation de ce nouveau modèle à nos propres résultats, notamment ceux obtenus en 28nm, est donc une perspective intéressante.

En illustration, les FBE des dispositifs des deux technologies 40nm et HKMG 28nm, extraits grâce aux caractérisations précédentes par l'équation II-68, sont tracés en fonction de la longueur de grille sur la Fig. II-17. Sur cette dernière, les données d'une technologie 45nm LP, d'après [25], sont reproduites à des fins de comparaison. Dans les deux cas, la contribution de la résistance de grille a été ôtée, afin de se concentrer sur le bruit thermique. Globalement, le FBE semble suivre une loi inversement proportionnelle à la longueur de grille. La technologie HKMG 28nm présente un bruit en excès plus important à la longueur de grille 30nm, mais là encore, l'incertitude sur l'extraction des paramètres intrinsèques et donc de FBE doit être prise en compte.

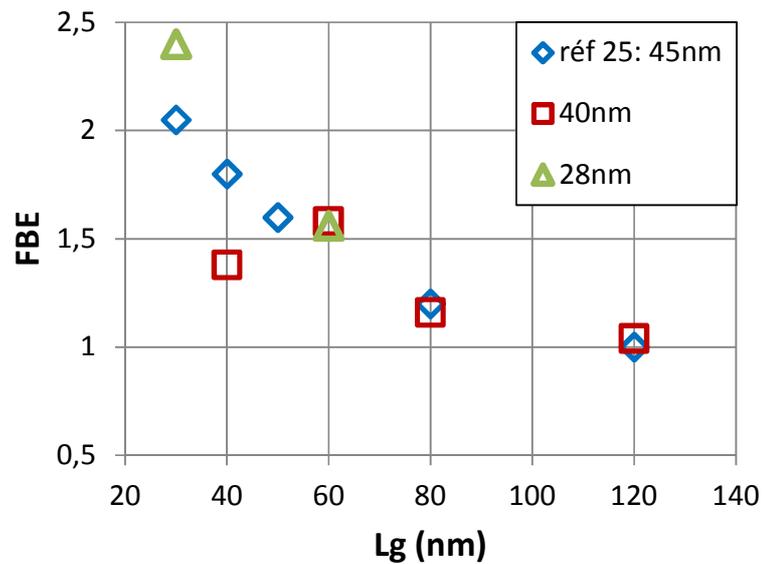


Fig. II-17: Facteur de bruit en excès en fonction de la longueur de grille pour les technologies 40nm et 28nm de STMicroelectronics, comparé aux données 45nm de la référence [25]. Les densités spectrales sont prises aux alentours du maximum de Gm et la tension Vd est toujours égale à la tension d'alimentation.

## Conclusion du chapitre II

Après la présentation de la théorie du bruit dans les quadripôles et des sources de bruit dans le transistor MOS, une caractérisation en bruit de type mono-impédance a été effectuée sur des transistors de technologies 28nm HKMG et 40nm à grille poly-silicium, dans un domaine exhaustif de tensions appliquées  $V_g$  et  $V_d$ . Au préalable, cette caractérisation a été validée par une confrontation de ses résultats à ceux obtenus par une caractérisation multi-impédances.

Le bruit thermique des transistors à grilles métalliques ne s'est pas démarqué significativement de celui des technologies précédentes, comme le prouvent les valeurs voisines des coefficients  $Y$  entre les technologies 40nm et HKMG 28nm. Cependant, l'extraction d'un modèle compact sur les deux types de transistors a confirmé les tendances observées précédemment à propos de la présence d'un bruit en excès qui augmente au fur et à mesure que la longueur de grille des dispositifs diminue. Les effets canaux courts traditionnellement rencontrés dans les transistors ne semblent pas être à l'origine de ce bruit en excès. Les recherches en cours émettent des hypothèses sur des phénomènes de transport de porteurs non basés sur la traditionnelle mobilité dans le canal, comme le transport balistique ou la relaxation de l'énergie des porteurs dans le réseau. Ainsi, pour des longueurs de grille suffisamment élevées, au-delà de 100nm, le modèle compact peut décrire de façon forte satisfaisante le bruit thermique du transistor MOS, mais, en-deçà, il nécessite un réajustement de ses paramètres de bruit pour chaque géométrie, voire pour chaque tension appliquée.

En conclusion, les travaux menés dans cette étude du bruit ont d'une part permis l'évaluation du modèle compact pour les petites longueurs de grille, et d'autre part offert une base expérimentale conséquente, incluant des transistors HKMG, sur laquelle peut se fonder une future correction du modèle de bruit.

## Références du chapitre II

- [1] G. Vasilescu, "Bruit et signaux parasites", Dunod, 1999.
- [2] A. Van der Ziel, "Thermal noise in field effect transistor," Proc. IRE, vol. 50, pp. 1808–1812, aout 1962.
- [3] A. Van der Ziel "Noise in Solid State-Devices and Lasers", Proceeding of the IEEE, vol. 58, no 8, pp 1178-1206, aout 1970.
- [4] R. A. Pucel, H. A. Haus, and H. Statz, "Signal and noise properties of gallium arsenide field effect transistors", Adv. Electron. Phys., vol. 38, pp. 195–265, 1975.
- [5] F. Danneville, "Microwave Noise and FET Devices", IEEE Microwave Magazine, pp53-60, oct. 2010
- [6] H. Hillbrand, P.H. Russer, An efficient Method for Computer-Aided Noise Analysis of Linear Amplifier Networks", IEEE Trans. On Circuit and Systems, vol. CAS-23, pp.235-238, avril 1976.
- [7] C-H Chen and M.-J. Deen, "RF CMOS Noise Characterization and Modeling", International Journal of High Speed Electronics and Systems, vol. 11, no 4, pp 1085-1157, 2001.
- [8] "Noise Measurements Using the Computer Controlled Microwave Tuner System", Focus Microwaves Application Note 1-90
- [9] R. Lane, "The determination of device noise parameters", Proceedings of the IEEE, vol. 57, 1969, pp. 1461-1462.
- [10] V. Adamian et al, "A Novel Procedure for Receiver Noise Characterization", IEEE Trans. on Instr. and Meas., vol. 22, 1973, pp. 181-182.
- [11] G. Dambrine, H. Happy, F. Danneville et A. Cappy "A New Method for On Wafer Noise Measurement", IEEE Transactions on Microwave Theory and Techniques, vol. 41, no 3, mars 1993.
- [12] G. Dambrine, F. Danneville, D. Vanhoenacker-Janvier, J.-P. Colinge, A. Cappy, "High-Frequency Four Noise Parameters of Silicon-on-Insulator-Based Technology MOSFET for the Design of Low-Noise RF Integrated Circuits", IEEE Transaction on Electron Devices, vol 46, no8, pp 1733-1741, aout 1999.
- [13] S. Asgaran, M.J. Deen, C.-H. Chen, G.A. Rezvani, Y. Kamali, Y. Kiyota, "Analytical Determination of MOSFET's High-Frequency Noise Parameters From NF50 Measurements and Its Application in RFIC Design", IEEE Journal of Solid-State Circuits, vol. 42, no. 5, pp 1034-1043, mai 2007
- [14] J. Gao, "Direct parameter-extraction method for MOSFET noise model from microwave noise figure measurement", Solid-State Electronics, vol. 63, no 1, Pages 42-48, sept. 2011.
- [15] M. W. Pospieszalski, "Modeling of noise parameters of MESFET's and MODFET's and their frequency and temperature dependence," IEEE Trans. Microwave Theory Tech., vol. 37, pp. 1340–1350, sept. 1989.
- [16] Y. Tividis, "Operation and Modeling of the MOS Transistor, 2nd Edition, McGraw-Hill Book Co., 1999
- [17] M. Emam, P. Sakalas, D. Vanhoenacker-Janvier, J.-P. Raskin, T. C. Lim, and F. Danneville, "Thermal noise in MOSFETs: A two- or a three-parameter noise model?" IEEE Trans. Electron Devices, vol. 57, no. 5, pp. 1188–1191, Mai 2010.
- [18] A.J. Scholten, L.F. Tiemeijer, R. van Langevelde, R.J. Havens, A.T.A. Zegers-van Duijnhoven, R. de Kort and D.B.M. Klaassen, "Compact modelling of noise for RF CMOS circuit design", IEE Proc.-Circuits Devices Syst., vol. 151, no. 2, avril 2004
- [19] "PSP103.1 reference manual", NXP Semiconductor, avr. 2009
- [20] J. C. J. Paasschens, A. J. Scholten, R. van Langevelde "Generalizations of the Klaassen-Prins Equation for Calculating the Noise of Semiconductor Devices", IEEE Transaction on Electron Devices, vol. 52, no 11, pp 2463-2472, nov. 2005
- [21] A.J. Scholten, R. van Langevelde, L.F. Tiemeijer, and D.B.M. Klaassen, "Compact modeling of noise in CMOS", IEEE Custom Integrated Circuits Conference, pp 711-716, Sept. 2006.
- [22] R. van Langevelde, J.C.J. Paasschens, A.J. Scholten, R.J. Havens, L.F. Tiemeijer, and D.B.M. Klaassen, "New Compact Model for Induced Gate Current Noise", IEEE IEDM, pp 36.2.1 - 36.2.4, déc. 2003.
- [23] "PSP100.1 reference manual", NXP Semiconductor, août 2005

- [24] A. Van der Ziel, "Noise in Solid State Devices and Circuits", John Wiley & Sons, Inc, 1986.
- [25] G. D. J. Smit, A. J. Scholten, R. M. T. Pijper, R. van Langevelde, L. F. Tiemeijer, D. B. M. Klaassen "Experimental Demonstration and Modeling of Excess RF Noise in Sub-100-nm CMOS Technologies", IEEE Electron Device Letters, vol. 31, no. 8, août 2010.
- [26] R.P. Jindal "Hot electron effects on channel thermal noise in fine line NMOS field effect transistors," IEEE Trans. Electron Devices, vol. 33, no. 9, pp. 1395–1397, Sep. 1986.
- [27] A. A. Abidi, "High-frequency noise measurements on FET's with small dimensions," IEEE Trans. Electron Devices, vol. ED-33, no. 11, pp. 1801–1805, Nov. 1986.
- [28] C.-H. Chen, M. Jamal Deen "Channel Noise Modeling of Deep Submicron MOSFETs", IEEE Transaction on Electron Devices, vol. 49, no. 8, août 2002.
- [29] C. Jungemann, B. Meinerzhagen, "Do Hot Electrons Produce Excess Noise?", IEEE ESSDERC, pp 329-332, sep. 2006.
- [30] G. Mugnaini, G. Iannaccone : "Channel noise modeling of nanoMOSFETs in a partially ballistic transport regime". J Comput Electron (2006)
- [31] M. J. Martín, R. Rengel, E. Pascual, T. González, "RF Noise and Scaling in Nanometer SOI MOSFETs: Influence of Quasiballistic Transport." International Conference on Noise and Fluctuations, vol. 922, pp. 99-104, 2005).
- [32] R. Navid, R.W Dutton, "The physical phenomena responsible for excess noise in short-channel MOS devices", International Conference on Simulation of Semiconductor Processes and Devices, pp 75-78, 2002.

### III. Modélisation de la résistance de grille pour les technologies avancées

#### III.1. Introduction

La prise en compte de la modélisation de la résistance de grille est cruciale dans les applications radiofréquences et a fortiori millimétriques. En effet, ce composant a un impact caractéristique sur deux principales grandeurs importantes dans le domaine : la fréquence maximale d'oscillation  $f_{max}$  et le facteur de bruit minimum  $F_{min}$  [1]. Récemment, les nouvelles technologies de transistors MOS présentent des  $f_{max}$  en dessous des attentes, voire inférieures à la fréquence de coupure  $f_t$  [2][3]. C'est un cas à part parmi les technologies à l'état solide, puisque la plupart des transistors bipolaires ou les TEC III-V montrent le résultat opposé [4][5]. De nombreuses améliorations ont cependant été effectuées afin de diminuer la résistance de grille, comme par exemple l'introduction d'une couche de siliciure sur le poly-silicium ou l'utilisation de transistors constitués de plusieurs doigts en parallèle, qui donne le même développement total de canal mais une résistance de grille inversement proportionnelle au nombre de doigts.

Concernant le modèle de cette résistance de grille, peu de changements topologiques ont été apportés depuis son introduction dans les modèles compacts, hormis parfois la prise en compte de contributions supplémentaires afin d'améliorer la description des dépendances géométriques. En effet, la résistance de grille d'un transistor MOS n'est pas un composant monolithique. Elle est la résultante de diverses contributions d'origine physique et de comportement géométrique différentes : la résistance du poly-silicium, la résistance du siliciure, la résistance d'interface, auxquelles on peut ajouter le cas échéant les résistances supplémentaires d'accès au dispositif et de contacts. Par ailleurs, les modèles compacts n'ont pas proposé de modèle particulier avec l'introduction de l'empilement de grille HKMG. Les modèles développés pour les grilles poly-silicium sont utilisés indifféremment pour les deux types de grille.

Ainsi, après un rappel sur les modèles existants et la méthode d'extraction de la résistance de grille, ce chapitre comparera les modèles compacts avec les mesures en technologie 28nm. Il sera montré que ces derniers présentent des difficultés à reproduire fidèlement le comportement de la résistance effective de grille dans certaines régions géométriques ou de polarisation, soulevant ainsi des questions sur la précision de l'extraction des paramètres de la résistance de grille proprement dite et de la description de l'impédance d'entrée. En conséquence, une modification adéquate sera proposée et confrontée à l'expérience. Le nouveau modèle sera enfin appliqué à des structures à topologies de grille particulières afin de confirmer la validité et la cohérence de ses paramètres. En dernier temps, grâce à l'apport du nouveau modèle dans la précision de l'extraction des paramètres de la résistance de grille, le cas des transistors type P HKMG a été étudié. Ces derniers montrent des comportements en fréquence tout à fait atypiques. Après analyse des mesures, une adaptation appropriée du modèle est proposée. Celle-ci permet alors d'anticiper et de valider la correction technologique envisagée pour l'amélioration de la technologie.

### III.2. La résistance de grille dans les modèles compacts

Cette section a pour vocation de présenter succinctement l'état de l'art de la modélisation de la résistance de grille, en se concentrant sur les représentations données par les modèles compacts standards BSIM4 [52] et PSP [53] (HSIM possède la même représentation que BSIM [8]). Dans ces deux modèles, la résistance de l'électrode de grille est modélisée par un élément localisé  $R_g$ , indépendant de la tension. Les lois de variations géométriques ont été incluses dès la première version de BSIM4 (la première version de BSIM à introduire nativement la résistance de grille). Les premières versions de PSP ne contenaient la résistance de grille seulement dans leurs versions 'non quasi-statiques' et les lois de dépendances géométriques ne sont apparues qu'avec la version PSP102.2 en 2007, celles-ci s'avérant maintenant plus complètes par rapport à celles de BSIM.

La résistance de grille est la résultante de plusieurs composantes, qui dépendent différemment des paramètres d'instance géométriques du transistor. L'identification des différents éléments constituant la résistance de grille s'aide des schémas des Fig. III-1 et Fig. III-2. Le premier représente une vue de dessus d'un transistor à un seul doigt, et montre la disposition des contacts grille, source et drain. Le deuxième est la vue en coupe d'un même transistor parallèlement à la largeur de doigt unitaire  $W_f$ .

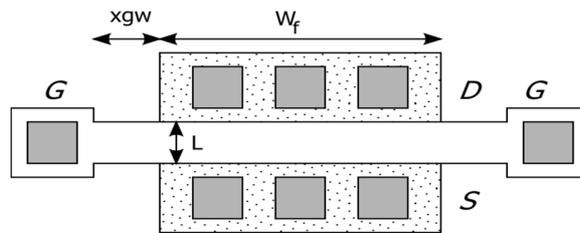


Fig. III-1: Vue du dessus schématique d'un transistor à un doigt, contacté des deux côtés du doigt de grille

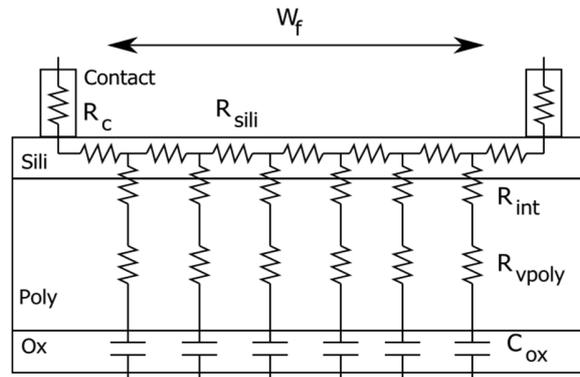


Fig. III-2: Vue en coupe schématique de l'empilement de grille et des contacts pour un transistor à un seul doigt, contacté des deux côtés de la grille, avec représentations des éléments de la résistance de grille.

On peut alors relever quatre principales composantes pour la résistance de grille :

- La résistance de contact  $R_c$ .
- La résistance horizontale  $R_{sili}$ , décrivant le parcours résistif dans le silicium.
- La résistance d'interface silicium/poly-silicium  $R_{int}$ .
- La résistance verticale dans le poly-silicium  $R_{vpoly}$ .

Dans le cas du modèle BSIM, seule la résistance horizontale  $R_{sili}$  est prise en compte et la résistance de grille du modèle s'écrit alors :

$$R_g = \frac{rshg \cdot \left( \frac{W_f}{3 \cdot ngcon} + xgw \right)}{ngcon \cdot (L - xgl) \cdot N_f} \quad \text{III-1}$$

Où  $rshg$  est la résistance par carrée du silicium ('gate sheet resistance'). Sa valeur typique pour les technologies actuelles est d'environ 11 Ohms/□.  $xgw$  est l'extension du poly-silicium sur la partie non active, c'est-à-dire sans canal.  $ngcon$  est un paramètre d'instance du transistor, il vaut 1 si la grille du transistor a été contactée d'un seul côté et 2 si elle l'est des deux côtés comme sur la Fig. III-1.  $xgl$  est un paramètre extra-dimensionnel traduisant la forme finale du siliciure obtenue à la fin du processus de fabrication. Le siliciure tend par exemple à déborder au-delà de la surface initiale de poly-silicium. Le facteur 1/3 rappelle l'aspect distribué de la résistance le long du doigt de grille [9].

PSP tient compte de plus de composantes et l'expression de la résistance de grille s'écrit :

$$R_g = rgo + \frac{rshg \cdot \left( \frac{W_f}{3 \cdot ngcon} + xgw \right)}{ngcon \cdot (L + dlsil) \cdot N_f} + \frac{rint + rvpoly}{L \cdot W_f \cdot N_f} \quad \text{III-2}$$

La définition de la résistance  $R_{sili}$  est identique à celle de BSIM, en remplaçant  $dlsil$  par  $-xgl$ . Cependant, PSP inclut également les résistances d'interface et verticale du poly-silicium. Avec la réduction des dimensions de grille dans les technologies actuelles, la résistance d'interface ne peut plus être ignorée [10]. Néanmoins, elle est difficilement différentiable de la composante verticale par des considérations géométriques et ces deux résistances sont souvent réunies en une seule, par exemple  $R_{int}$ , qui décrit alors une résistance d'interface effective. PSP laisse encore un degré de liberté pour la résistance de grille,  $rgo$ , qui sert alors à inclure les effets de la résistance de contact  $R_c$ .

Bien que les composantes de la résistance de grille soient décrites spécifiquement pour tenir compte des variations géométriques, la résistance de grille est toujours représentée électriquement par un unique élément  $R_g$ . Nous verrons les limitations inhérentes à ces modèles monolithiques lorsqu'ils sont confrontés aux technologies actuelles, notamment pour la description des petites géométries des transistors, en particulier des largeurs de doigts de grille réduites.

### III.3. Extraction de la résistance de grille

Au chapitre 1, lors de l'extraction du schéma équivalent, il a été montré que la résistance de grille est extraite en régime de forte inversion grâce à la grandeur  $R_{gg}$ , dont la définition est rappelée ici :

$$R_{gg} = Re\left(\frac{1}{Y_{11}}\right) \quad \text{III-3}$$

Cette grandeur est appelée la résistance effective de grille [11]. En effet, dans le cas général, elle ne donne pas directement la résistance de grille,  $R_g$ , mais la résultante du réseau d'entrée caractérisé par  $Y_{11}$ . De plus, celle-ci est fortement dépendante du régime d'inversion du canal.

En réduisant le réseau substrat à une résistance, la Fig. III-3 illustre sur une vue en coupe les différentes composantes du réseau décrit par  $Y_{11}$ . Cette représentation s'applique également au cas des modèles compacts actuels.

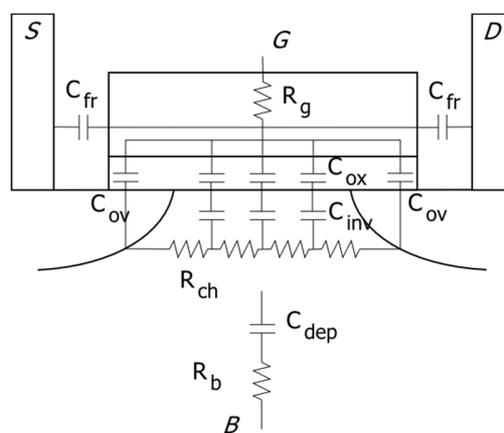


Fig. III-3: Vue en coupe simplifiée du transistor avec la représentation du réseau d'entrée côté grille.

Sur ce schéma, les capacités extrinsèques de bord ont été réunies en une seule,  $C_{fr}$ . Le canal est décrit par une résistance canal,  $R_{ch}$ , distribuée par rapport aux capacités d'oxyde ( $C_{ox}$ ) et d'inversion ( $C_{inv}$ ). On comprend alors qu'en plus de la résistance d'électrode de grille,  $R_g$ ,  $R_{gg}$  contient aussi la résultante des deux réseaux mis en parallèle : substrat (via  $C_{dep}$ ) et canal (via  $C_{inv}$ ). A différence de potentiel source/drain nulle, le transistor est uniforme de la source au drain, et le réseau d'entrée peut être représenté électriquement par la Fig. III-4 [12]. La résistance  $R_{ch}$  vue est réduite d'un facteur 1/12 par l'effet de la distribution du canal. L'impédance intrinsèque du réseau,  $Z_i$ , regroupe un ensemble d'éléments matérialisé par des pointillés sur la figure.

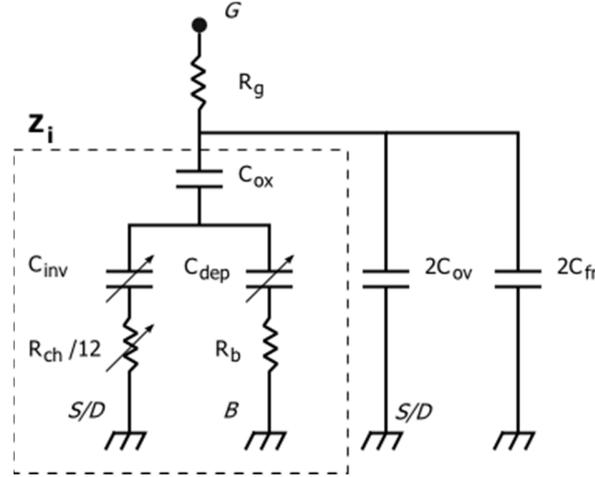


Fig. III-4: Schéma électrique équivalent du réseau d'entrée du transistor à  $V_{ds}=0$ . Les flèches signalent les éléments dépendant de la tension de grille appliquée.

Le calcul de  $Z_i$ , suivant le schéma de la Fig. III-4, donne à basse fréquence :

$$Re(Z_i) \approx \frac{R_b C_{dep}^2 + \frac{R_{ch}}{12} C_{inv}^2}{(C_{dep} + C_{inv})^2} \quad \text{III-4}$$

$$Im(Z_i) \approx -\frac{C_{dep} + C_{inv} + C_{ox}}{\omega C_{ox} (C_{dep} + C_{inv})} = -\frac{1}{\omega \cdot C_i} \quad \text{III-5}$$

$C_i$  est la capacité intrinsèque, elle est équivalente à la capacité  $C_{ox}$  en série avec la somme des capacités  $C_{inv}$  et  $C_{dep}$ .

La résistance effective de grille s'écrit alors, à basse fréquence :

$$R_{gg} \approx R_g + R_b \left( \frac{C_{dep} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2 + \frac{R_{ch}}{12} \left( \frac{C_{inv} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2 \quad \text{III-6}$$

On identifie ainsi trois composantes : la résistance d'accès à la grille,  $R_{gg}^{(accès)}$ , la résistance effective du substrat,  $R_{gg}^{(substrat)}$ , et la résistance effective du canal,  $R_{gg}^{(canal)}$ .

$$R_{gg} \approx R_{gg}^{(accès)} + R_{gg}^{(substrat)} + R_{gg}^{(canal)} \quad \text{III-7}$$

$$R_{gg}^{(accès)} = R_g \quad \text{III-8}$$

$$R_{gg}^{(substrat)} = R_b \left( \frac{C_{dep} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2 \quad \text{III-9}$$

$$R_{gg}^{(canal)} = \frac{R_{ch}}{12} \left( \frac{C_{inv} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2$$

III-10

Sur ces trois contributions, deux seulement sont dépendantes de la tension de grille appliquées,  $R_{gg}^{(substrat)}$ ,  $R_{gg}^{(substrat)}$  et  $R_{gg}^{(canal)}$ . Cette dernière l'est à cause de la dépendance en tension de  $R_{ch}$  et des capacités intrinsèques. La dépendance en tension de  $R_{gg}^{(substrat)}$ ,  $R_{gg}^{(substrat)}$  n'est liée qu'au ratio de capacités intervenant dans son expression, puisque  $R_b$  est, dans notre cas, indépendante de la tension.

La figure Fig. III-5 ci-dessous illustre la dépendance en tension de la résistance de grille ainsi obtenue. Chacune des contributions décrites par les relations III-7 à III-10 est issue d'un modèle compact PSP extrait sur un dispositif de technologie 40nm, et leur somme est comparée à la mesure. La contribution canal est modélisée grâce à la fonctionnalité non quasi-statique de PSP [15].

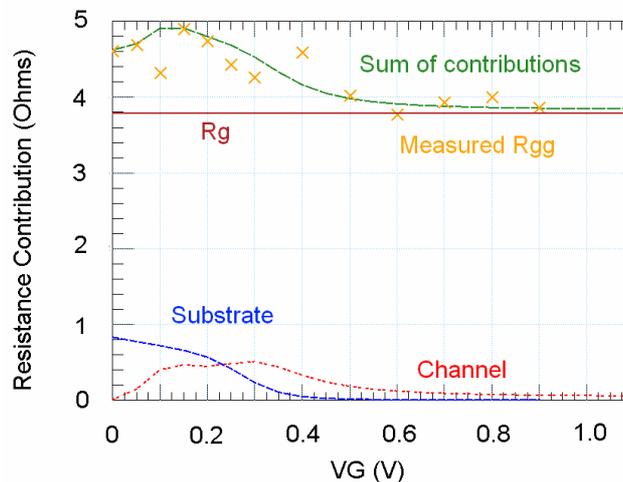


Fig. III-5: Dépendance en tension des contributions à la résistance effective de grille, comparées à la mesure d'un dispositif en technologie 40nm.

La contribution dominante reste celle la résistance d'accès  $R_g$ . L'allure générale de  $R_{gg}$  est liée à la compétition entre les chemins substrat et canal, qui sont directement dépendants du niveau d'inversion du canal. En régime de faible inversion, le substrat domine sur la partie canal et disparaît en régime de forte inversion, par un effet d'écrantage de la capacité de désertion par le canal. La contribution canal est nulle en régime de désertion puisque la couche d'inversion n'existe pas encore, passe par un maximum aux niveaux intermédiaires et diminue progressivement avec la tension  $V_g$  au fur et à mesure que le canal devient passant et que la capacité d'inversion augmente. Ces résultats permettent de comprendre pourquoi la résistance effective de grille  $R_{gg}$  est couramment utilisée pour extraire la résistance d'accès de grille  $R_g$ . En effet, en régime de forte inversion (FI), la contribution substrat est négligeable pour des faibles fréquences et la contribution du canal est très faible. Dans ce régime, la relation III-7 s'écrit, avec  $C_{dep} = 0$  :

$$R_{gg}|_{FI} \approx R_g + \frac{R_{ch}}{12} \left( \frac{C_{inv}C_{ox}}{(C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2 \quad III-11$$

De plus, d'après III-5 :

$$C_i|_{FI} = \frac{C_{inv}C_{ox}}{(C_{ox} + C_{inv})} \quad III-12$$

En régime de forte inversion, la capacité totale vue de la grille,  $C_{gg}$ , est égale à la somme de la capacité de grille intrinsèque et des capacités parasites :

$$C_{gg} = C_i + 2(C_{fr} + C_{ov}) \quad III-13$$

En régime de désertion, la capacité  $C_{gd}$  donne les contributions extrinsèques  $C_{fr} + C_{ov}$

$$C_{gdext} = (C_{fr} + C_{ov}) \quad III-14$$

Enfin, la résistance canal est donnée par l'inverse de la conductance du canal,  $G_{ds}$ .

Ainsi l'expression III-11 se réécrit comme suit :

$$R_{gg}|_{FI} \approx R_g + \frac{1}{12G_{ds}} \left( \frac{C_{gg} - 2C_{gdext}}{C_{gg}} \right)^2 \quad III-15$$

Pour calculer  $C_{gg}$ , on utilise:

$$C_{gg} = \frac{-1}{\omega Im\left(\frac{1}{Y_{11}}\right)} \quad III-16$$

La conductance  $G_{ds}$  est donnée par :

$$G_{ds} = Re(Y_{22}) \quad III-17$$

En régime de forte inversion, la contribution canal peut donc être retranchée de la résistance effective de grille, donnant ainsi la résistance d'accès de grille,  $R_g$ . De manière similaire, une méthode d'extraction de  $R_g$  en utilisant le transistor en régime de déplétion a été présentée en [13], cette dernière nécessite alors l'extraction additionnelle du réseau substrat.

En illustration, la Fig. III-6 présente un exemple d'extraction de la résistance de grille  $R_g$  en fonction de la longueur de grille, en technologie 40nm. Elle montre la résistance effective  $R_{gg}$ , la résistance de grille et la résistance effective du canal à  $V_g = 1.1V$ ,  $V_{ds} = 0V$ .  $R_g$  est calculée d'après la relation III-15. Comme attendu,  $R_g$  suit une dépendance en  $1/L$ , puisque les principales composantes de la résistance d'accès, la résistance horizontale et la résistance d'interface suivent ce type de loi (voir chap. 1). La contribution du canal peut être ignorée pour des petites longueurs de grille, puisqu'elle ne dépasse pas les 10% de résistance effective totale jusqu'à une longueur de grille de 100nm environ. Au-delà, sa prise en compte devient nécessaire lors de l'extraction puisqu'elle constitue peu à peu la contribution dominante (Fig. III-7).

La Fig. III-8 montre la résistance de grille effective et ses deux composantes en fonction de la largeur de grille unitaire, pour des transistors avec des longueurs de grille identiques ( $L=40nm$ ). Aux largeurs de grille  $W_f$  les plus petites, les contributions présentes sont la résistance d'interface  $R_{int}$ , et la résistance effective du canal. Bien que cette dernière soit inversement proportionnelle à  $W_f$ , notamment à cause de la dépendance de  $R_{ch}$ , la résistance d'interface reste la contribution dominante à  $R_{gg}$ , comme le montre la

Fig. III-9. Pour des doigts de grille plus larges, la contribution horizontale  $R_{sili}$  domine et la contribution canal diminue.

Finalement, il a été montré que  $R_{gg}$  est un bon estimateur de la résistance de grille, plus particulièrement pour des petites longueurs de grille. La résistance effective de grille en régime de forte inversion peut donc servir pour l'évaluation directe d'un modèle de résistance de grille.

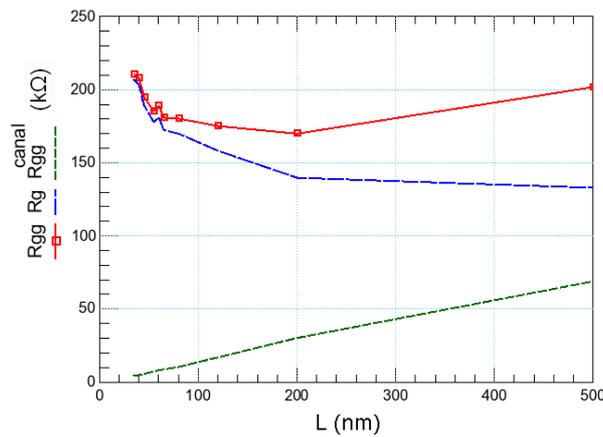


Fig. III-6: Résistances de grille effective  $R_{gg}$ , d'accès,  $R_g$ , et effective du canal  $R_{gg}^{(canal)}$  en fonction de la longueur de grille. La résistance est ramenée à un seul doigt de grille.  $W_f = 2\mu m$ ,  $V_G = 1.1V$ ,  $V_D = 0V$

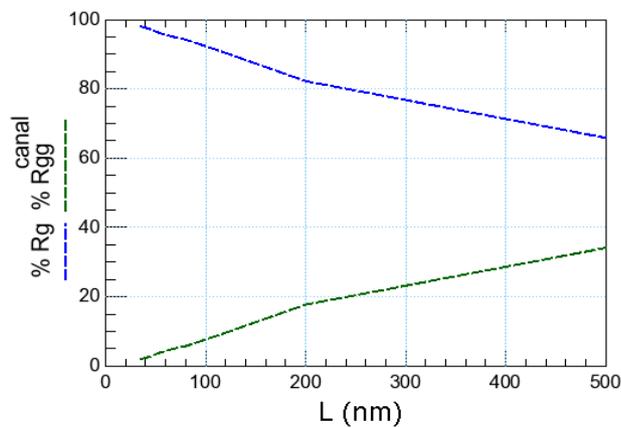


Fig. III-7: Poids respectifs des résistances d'accès,  $R_g$ , et effective du canal  $R_{gg}^{(canal)}$  dans la résistance totale effective de grille en fonction de la longueur de grille, suivant la Fig. III-6.

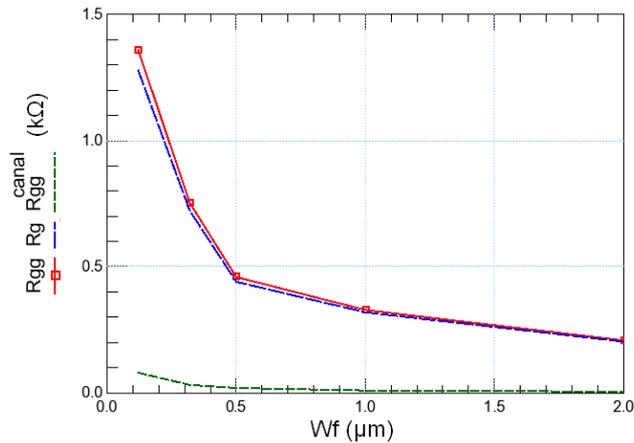


Fig. III-8: Résistances de grille effective  $R_{gg}$ , d'accès,  $R_g$ , et effective du canal  $R_{gg}^{(canal)}$  en fonction de la largeur de grille unitaire. La résistance est ramenée à un seul doigt de grille.  $L = 40\text{nm}$ .  $V_G=1.1\text{V}$ ,  $V_D=0\text{V}$ .

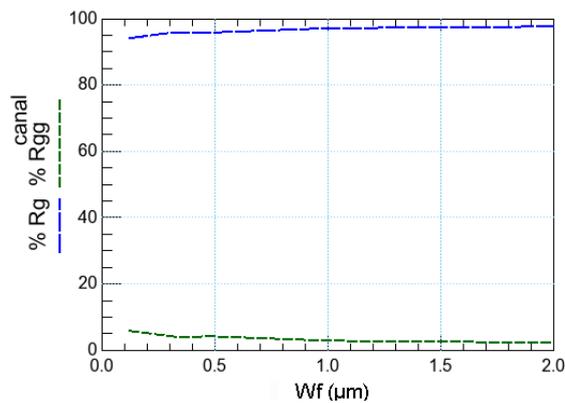


Fig. III-9: Poids respectifs des résistances d'accès,  $R_g$ , et effective du canal  $R_{gg}^{(canal)}$  dans la résistance totale effective de grille en fonction de la largeur unitaire de grille  $W_f$ , d'après la Fig. III-8.

### III.4. Mise en évidence des limitations des modèles actuels.

Avec la réduction des dimensions des transistors, les modèles compacts de résistance de grille ne décrivent plus de manière satisfaisante les dépendances géométriques de la résistance de grille, ce qui conduit à l'extraction de valeurs de paramètres non physiques. De plus, les transistors de technologie de grille à base de HKMG ont montré un comportement singulier de leurs réseaux d'entrée en fonction de la tension de grille, en désaccord avec celui observé sur les technologies poly-silicium. Ce paragraphe illustre ces deux phénomènes par la confrontation de mesures de transistors 28nm HKMG avec des simulations issues du modèle PSP.

### III.4.a. La résistance de grille en fonction des dimensions

La dépendance de la résistance de grille en fonction de la largeur de doigt de grille  $W_f$  est la résultante de la compétition entre la résistance horizontale,  $R_{sili}$  et les résistances verticale et d'interface [14]. La Fig. III-10 montre le résultat de l'extraction du modèle de résistance natif de PSP sur des transistors 28nm, appliquée à plusieurs largeurs de doigt de grille et deux longueurs de grille. La contribution canal de la résistance effective de grille est prise en compte par la fonctionnalité non quasi statique de PSP. Il a toutefois été vu qu'elle était négligeable à ces longueurs de grille. Les valeurs extraites des paramètres sont résumées dans le tableau Tab. III-1.

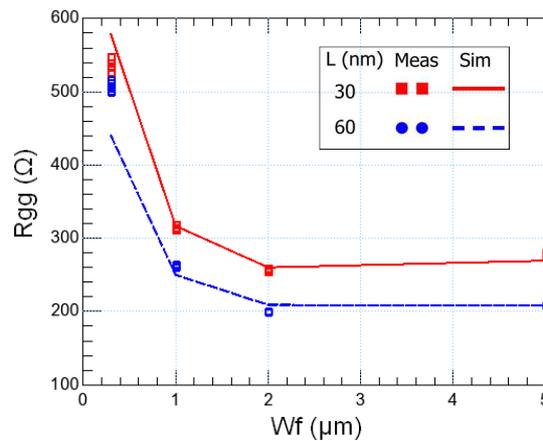


Fig. III-10: Mesures et simulations de  $R_{gg}$  ramenée à un doigt de grille en fonction de  $W_f$ , pour deux longueurs de grille.  $V_G=1V$ ,  $V_D=0V$ .  $17GHz < f < 24GHz$ , en 28nm HKMG.

$r_{go}$ ( $\Omega$ )	$r_{shg}$ ( $\Omega/\text{carré}$ )	$r_{int}$ ( $\Omega \cdot \mu\text{m}^2$ )
12.3	8.8	4.0

Tab. III-1: Paramètres du modèle de résistance de grille natif de PSP extraits pour la technologie 28nm HKMG

Les valeurs extraites sont acceptables.  $r_{shg}$  et  $r_{int}$  sont plus faibles que les valeurs attendues ( $r_{shg} \approx 10-15 \Omega/\text{carré}$  et  $r_{int} \approx 5-10 \Omega \cdot \mu\text{m}^2$ ) [16][17]. Mais en définitive, la comparaison mesure/modèle n'est pas satisfaisante, particulièrement pour les petites largeurs de grille. Dans ce domaine, à cause de la réduction de la surface de contact  $W_f \times L$ , la résistance d'interface domine. Cependant, cette surface n'est pas parfaitement définie électriquement. Par exemple, la prolongation du doigt de grille au-delà de la zone active pour rejoindre la tête de poly-silicium suggère la prise en compte d'une largeur de doigt de grille plus grande pour la résistance d'interface. Ainsi, la correction proposée pour la résistance d'interface est :

$$R_{int} = \frac{r_{int}}{S_{int\_elec}} \quad \text{III-18}$$

Où  $S_{int\_elec}$  est la surface électrique d'interface. Sur la Fig. III-11, qui présente la vue de dessus d'un transistor à deux doigts, l'extension de surface est limitée aux seuls doigts de grille, sans s'étendre sur les têtes de poly-silicium.

Dans ce cas, on peut écrire :

$$S_{int\_elec} = N_f(W_f + \Delta W_f)(L + \Delta L)$$

III-19

Où  $\Delta W_f$  et  $\Delta L$  sont deux paramètres extra-dimensionnels traduisant l'élargissement de la surface d'interface dans les deux directions.  $\Delta W_f$  est facilement interprétable comme la distance de transfert entre la tête de poly-silicium et la partie active.  $\Delta L$  a surtout vocation à traduire la différence entre la longueur de grille dessinée et celle réellement obtenue sur le silicium final.

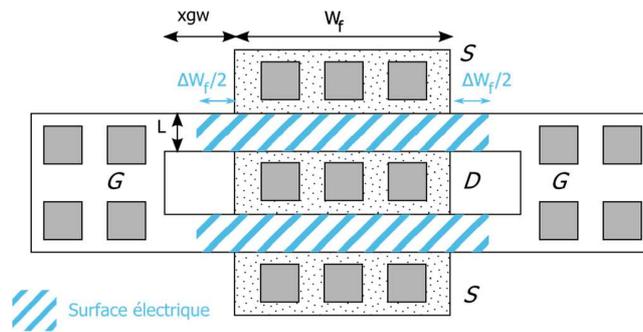


Fig. III-11: Vue schématique du dessus de la grille d'un transistor, avec la représentation de la surface électrique d'interface.

Ce modèle de résistance d'interface est extrait comme précédemment sur les dispositifs 28nm. Les résultats sont présentés sur la Fig. III-12. Les valeurs des paramètres sont reportées dans le Tab. III-2.

Le modèle prenant en compte la surface électrique effective a été bénéfique pour la confrontation entre mesure et simulation. Les petites largeurs de grille sont maintenant correctement reproduites. Par ailleurs, les valeurs des paramètres 'résistifs',  $rgo$ ,  $rshg$  sont acceptables. La résistance d'interface  $r_{int}$  semble relativement élevée. Par ailleurs, les paramètres dimensionnels  $\Delta W_f$  et  $\Delta L$  atteignent également de fortes valeurs. La valeur de  $\Delta W_f$  laisse supposer que la surface électrique d'interface s'étend également sur la tête de poly-silicium, puisque  $\Delta W_f$  est supérieur à  $2 \cdot xgw = 2 \cdot 89 \text{nm}$ . La valeur de  $\Delta L$  n'est pas compréhensible, elle dépasse de beaucoup la valeur nominale de la longueur de grille pour cette technologie (30nm). Cet ordre de grandeur n'est pas acceptable.

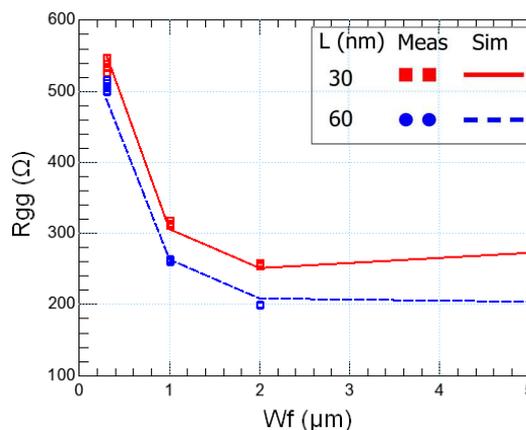


Fig. III-12: Mesures et simulation de  $R_{gg}$  ramenée à un doigt de grille avec un modèle prenant en compte la surface électrique d'interface, en fonction de  $W_f$ , pour deux longueurs de grille.  $V_G=1V$ ,  $V_D=0V$ .  $17\text{GHz} < f < 24\text{GHz}$ , en 28nm HKMG.

$r_{go} (\Omega)$	$r_{shg} (\Omega/\text{carré})$	$r_{int} (\Omega \cdot \mu\text{m}^2)$	$\Delta W_f (\text{nm})$	$\Delta L (\text{nm})$
9.2	11.2	14.7	226.0	66.4

Tab. III-2: Paramètres du modèle de résistance de grille de PSP corrigé d'une surface électrique d'interface, extraits pour la technologie 28nm HKMG.

### III.4.b. Comportement de la résistance effective de grille en fonction de la tension de grille

Au paragraphe III.3, la dépendance en tension de la résistance effective de grille a été montrée et expliquée pour les technologies à grille poly-silicium. Avec le passage aux technologies HKMG, la résistance effective de grille présente un comportement imprévu. Sur la Fig. III-5, le niveau de  $R_{gg}$  est plus élevé en désertion et inversion faible qu'en inversion forte, à cause de la présence de la contribution du substrat. Sur les longueurs et largeurs de grille les plus faibles, les transistors 28nm présentent la tendance opposée, le niveau en régime de faible inversion étant identique voire plus faible qu'en régime de forte inversion. La Fig. III-13 montre ce comportement pour deux largeurs de grille,  $W_f=0.3\mu\text{m}$  et  $W_f=1.0\mu\text{m}$ , accompagné de la simulation par le modèle extrait au paragraphe précédent. Puisque le modèle suit les considérations exposées au paragraphe III.3, la prise en compte d'une contribution supplémentaire devient alors nécessaire pour reproduire la mesure.

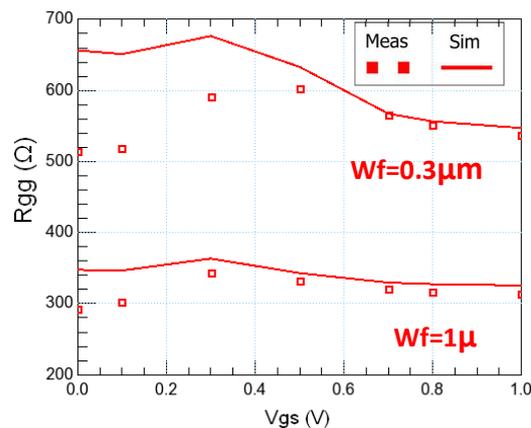


Fig. III-13: Dépendance en tension de la résistance effective de grille, ramenée à un doigt de grille, pour des dispositifs 28nm HKMG de largeurs de grille unitaires de  $W_f=0.3\mu\text{m}$  et  $W_f=1\mu\text{m}$ .  $L=30\text{nm}$ ,  $V_D=0\text{V}$ .

## III.5. Correction du modèle de la résistance de grille

### III.5.a. Prise en compte de la résistance d'accès du terminal au transistor

La contribution  $R_{go}$  du modèle compact, rendant compte de la résistance d'accès à la grille du transistor, ne possède pas de loi de dépendance géométrique particulière. On se propose alors de remplacer  $R_{go}$  par un terme plus complet, en accord avec la réalité de la connexion et permettant de modéliser la résistance d'accès du terminal de la structure jusqu'au transistor. Cependant, cette contribution ne se veut pas générique pour la modélisation des transistors MOS. Elle est spécifique aux structures présentées ici et est ajoutée en supplément du nouveau modèle de résistance de grille qui sera exposé par la suite. Si les

structures d'épluchage sont disponibles, il est toujours préférable de les utiliser directement en corrigeant les mesures de cette contribution.

### III.5.a.i. Présentation

La technologie 28nm comporte 7 niveaux de métallisation. De façon générale, les structures sont dessinées à partir du niveau le plus bas, appelé M1 tandis que les lignes d'accès et les plots de mesures se trouvent sur le plus haut niveau, appelé M7. La connexion du dispositif aux lignes d'accès peut s'effectuer de nombreuses façons, selon le concepteur. Par ailleurs, elle ne fait pas à proprement parler partie du dispositif. C'est pourquoi le modèle ne l'inclue que rarement. De plus, une partie importante de la résistance d'accès apportée par la connectique est supposée avoir été épluchée grâce aux structures de court-circuit ('short') disponibles. Cependant, toutes les structures ne sont pas accompagnées de structures de court-circuit dédiées, et les mesures sont épluchées à l'aide d'une structure de short générique. En conséquence, cette dernière ne permet pas d'ôter toute la contribution résistive de la connectique. La Fig. III-14 montre le routage des transistors étudiés ici entre le M7 et le poly-silicium de grille. Entre le modèle et la limite de la correction, il reste donc une contribution qui vient s'ajouter à la résistance d'accès de grille et pour laquelle le modèle n'a pas prévu de loi de variation géométrique. Cette résistance est appelée la résistance d'accès du terminal, ou résistance de 'back-end'.

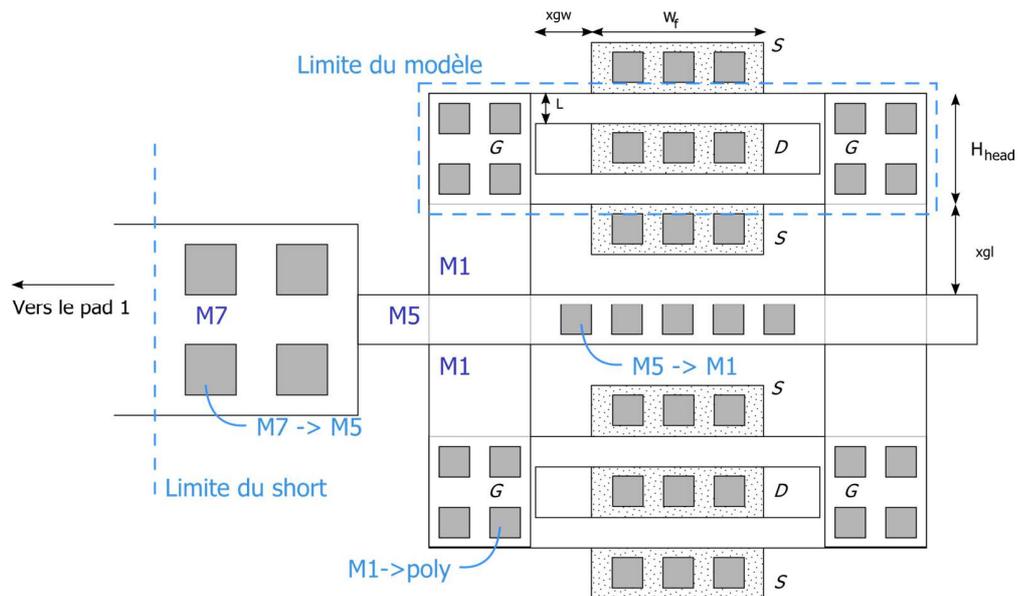


Fig. III-14: Vue schématique du dessus d'un transistor avec sa connectique d'accès vers la grille.

### III.5.a.ii. Modèle

L'accès à la partie active du transistor s'effectue en plusieurs étapes, correspondant à la descente d'un niveau de métallisation à l'autre. Pour modéliser la résistance du terminal, nous allons différencier :

- La descente du métal 7 au métal 5 ainsi que le métal 5 jusqu'aux rivets de métallisation (via) de M5 à M1. Cette partie est commune à tous les transistors. Elle ne dépend pas de sa géométrie sauf en ce qui concerne sa multiplicité. Le schéma Fig. III-14 montre que deux cellules se partagent une descente. On définit ainsi une résistance  $R_{gbeo}$  liée à cette descente par :

$$R_{gbeo} = \frac{rgbeo}{mult/2} \quad \text{III-20}$$

Où  $rgbeo$  est un paramètre modèle en  $\Omega$  et  $mult$  le nombre de multiplicité du transistor.

- La descente du métal 5 au métal 1. Elle est constituée d'une série de 4 niveaux de vias en parallèle. Le nombre de ces rivets de métallisation dépend de la largeur d'un doigt de grille. De même que précédemment, deux cellules se partagent cette descente. Pour cette partie, on définit une résistance  $R_{gbe1}$ , dont l'expression est :

$$R_{gbe1} = \frac{1}{mult/2} \left( \frac{rgbew}{W_f + \Delta W_{be}} \right) \quad \text{III-21}$$

Où  $rgbew$  est un paramètre modèle en  $\Omega.m$  et  $\Delta W_{be}$  un paramètre extra-dimensionnel corrigeant l'élargissement de la descente et le calcul du nombre de vias en fonction de la largeur unitaire de grille.

- L'accès aux contacts sur poly-silicium par le métal M1. Il s'agit d'une résistance métallique reliant la descente à la tête de poly-silicium. La partie de la résistance du metal M1 au-dessus de cette dernière s'avère distribuée par rapport aux doigts de grille du transistor. Pour l'accès aux contacts, on définit alors la résistance  $R_{gbe2}$ .

$$R_{gbe2} = \frac{rgbel}{ngcon \cdot mult} \left( xgl + \frac{H_{head}}{3} \right) \quad \text{III-22}$$

Où  $rgbel$  est la résistance linéique de la métallisation M1 pour la largeur de ligne considérée.  $xgl$  est la longueur de métal pour atteindre la tête de poly-silicium.  $H_{head}$  est la largeur de la tête de poly-silicium. Elle est déterminée grâce à :

$$H_{head} = N_f L_g + (N_f - 1)(pocod + pocos + conw) \quad \text{III-23}$$

Où  $conw$  est la largeur d'un contact,  $pocod$  et  $pocos$  sont les distances du contact à la base de la grille, respectivement du côté du drain et de la source .

### III.5.a.iii. Extraction des paramètres du modèle

Afin d'extraire les paramètres du modèle présentés précédemment, il serait envisageable de les inclure dans l'extraction des paramètres la résistance de grille totale à partir des mesures de  $R_{gg}$ . Toutefois, des moyens plus rigoureux sont à notre disposition.

Premièrement, bien que les dispositifs ne disposent pas tous de leurs structures dédiées d'épluchage en court-circuit, quelques-unes ont été dessinées et mesurées. En épluchant les mesures de ces dernières avec la mesure de short générique, la résistance d'entrée présentée par cette structure, à savoir la partie réelle de l'impédance  $Z_{11}$ - $Z_{12}$ , représente exactement la résistance d'accès du terminal qu'on désire modéliser. En appliquant le modèle à ces structures, il est alors possible d'obtenir les valeurs de ses paramètres. Dans le cas présent, trois structures dédiées sont disponibles, mais toutes correspondent à des dispositifs avec la même longueur de grille ( $L=30\text{nm}$ ). En conséquence, il s'avère difficile d'extraire la valeur de  $rg_{bel}$  directement à partir des mesures. Elle est donc évaluée à partir de la résistivité du métal M1 donnée par la fonderie.

Les géométries des transistors possédant une structure de court-circuit dédiée sont décrites dans le tableau Tab. III-3. Les paramètres du modèle de résistance d'accès sont extraits à partir des mesures de ces structures de court-circuit. Le résultat est présenté Fig. III-15. Sur nos structures, la validité des lois de variation géométrique choisies est confirmée. On suppose alors qu'elles peuvent être conservées pour tous les transistors.

	L (nm)	Wf (um)	Nf	mult
1	30	2	10	6
2	30	0.3	10	18
3	30	2	1	48
4	30	2	2	24
5	30	2	3	16
6	30	5	10	2

Tab. III-3: Liste des transistors disponibles possédant une structure dédiée de court-circuit.

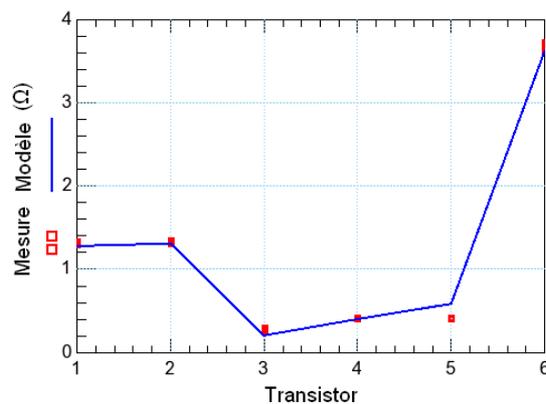


Fig. III-15: Mesure et simulation de la résistance d'accès sur les structures de court-circuit

$rg_{beo} (\Omega)$	$rg_{bew} (\Omega.\mu m)$	$rg_{bel} (\Omega.m^{-1})$	$\Delta W_{be} (nm)$
4.6	0.545	1.4	-102

Tab. III-4: Paramètres de la résistance d'accès du terminal, extraits sur l'échantillon de structures de court-circuit

La deuxième solution est d'utiliser un outil d'extraction de parasites (PEX). Ce dernier s'applique directement au dessin (layout) de la structure. Le PEX réduit le layout en éléments de base et extrait un circuit électrique équivalent dont la valeur des éléments est calculée d'après les paramètres technologiques. Après identification du chemin de back-end, la résistance équivalente peut être calculée. La Fig. III-16 donne la comparaison de l'extraction PEX avec les mesures sur les structures de court-circuit listées Tab. III-3 [18].

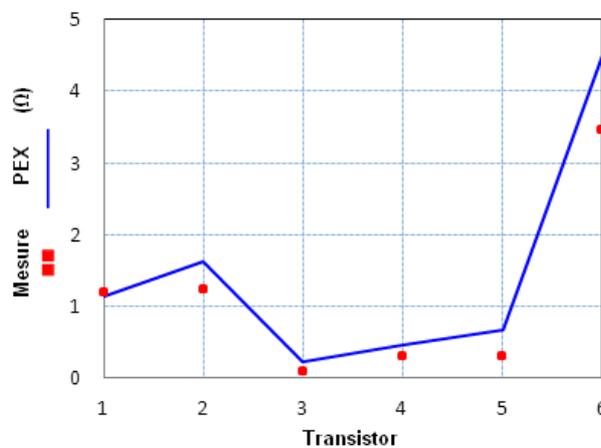


Fig. III-16: Mesure et simulation (PEX) par extraction des parasites de la résistance de back-end sur la technologie 28nm HKMG.

L'avantage de l'extraction de parasites est de donner une valeur proche de la mesure pour tous les transistors et de permettre ainsi l'économie de structures supplémentaires. Néanmoins, puisqu'elle se base sur des paramètres technologiques moyens, elle souffre des effets de dispersion des grandeurs physiques qui varient en fonction des plaques de silicium considérées voire en fonction de l'emplacement du transistor sur la plaque. Pour une étude de plaque particulière, on préférera une méthode basée directement sur la mesure, par un épluchage de la résistance d'accès ou de l'extraction du modèle sur les structures de court-circuit.

### III.5.b. Proposition du nouveau modèle de la résistance de grille

Les limitations présentées au paragraphe précédent montrent que les modèles de résistance de grille des modèles compacts nécessitent l'apport d'une correction. Au vue des dimensions auxquelles les phénomènes apparaissent, ceux-ci tendent à être liés à la résistance d'interface. Pour un dispositif HKMG de type 'gate-first', la valeur de cette dernière s'avère probablement plus élevée que dans une technologie à grille poly-silicium, à cause de la présence de deux interfaces au lieu d'une, à savoir entre le siliciure et le poly-silicium et entre le poly-silicium et le métal. Dans une technologie à grille poly-silicium, qui ne comporte que la première des deux interfaces citées, l'augmentation de la contribution de la résistance

d'interface n'est due qu'à la réduction de la surface d'interface. De fait, les limitations observées dans ce type de technologie sont moins marquées, et se réduisent à des problèmes de dépendance géométrique. L'objectif de la correction du modèle est donc de pouvoir capter le comportement observé en technologie 28nm HKMG et tel que présenté précédemment.

Jusqu'à présent, les modèles compacts décrivent la résistance d'accès de grille de façon monolithique. Quand bien même la résistance d'interface est prise en compte, cette résistance est constituée électriquement d'une seule partie, à la suite de laquelle vient se connecter la contribution totale des capacités parasites de bord et la capacité intrinsèque, comme le montre la Fig. III-17.

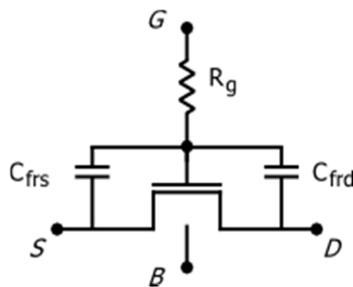


Fig. III-17: Modèle compact standard et son réseau d'entrée, constitué de la résistance d'accès de grille  $R_g$ , et des capacités parasites de bord  $C_{frs}$  et  $C_{frd}$  entourant la partie intrinsèque

Cependant, cette description n'est pas précise. La résistance de grille comme les capacités de bord sont constituées de plusieurs composantes physiquement séparées, et leurs emplacements respectifs dans le réseau peuvent être plus définis de manière plus rigoureuse. En effet, en reprenant la Fig I.16 et en lui incluant les composantes de la résistance de grille présentées au chapitre précédent,  $R_c$ ,  $R_{sili}$  et  $R_{int}$ , on constate que le réseau d'entrée du transistor présente un caractère distribué, dans lequel les éléments des capacités de bord et de la résistance d'accès s'entrecroisent. Cette description du réseau d'entrée est schématisée sur la Fig. III-18

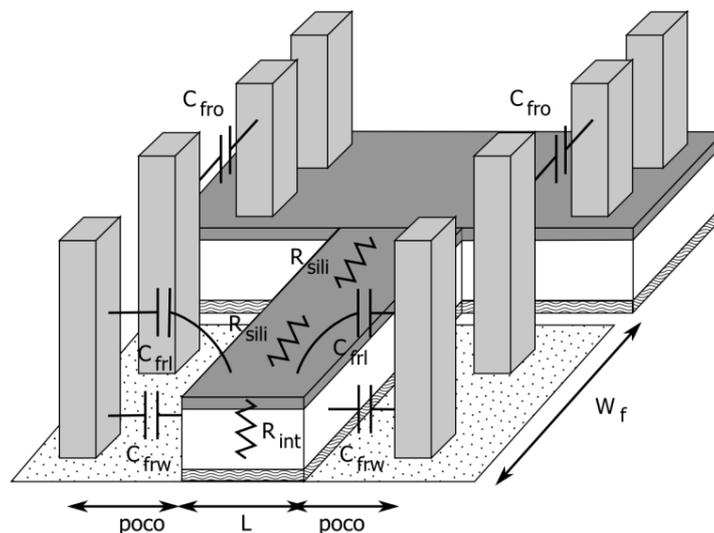


Fig. III-18: Vue schématique du réseau d'entrée d'un transistor MOS, présentant les éléments de la résistance de grille et des capacités parasites de bord.

Ces constatations conduisent à corriger le modèle de la Fig. III-17 par la scission des différentes composantes de la résistance de grille et des capacités parasites de bord illustrées sur la Fig. III-18. On obtient alors le modèle de réseau d'entrée distribué de la Fig. III-19.

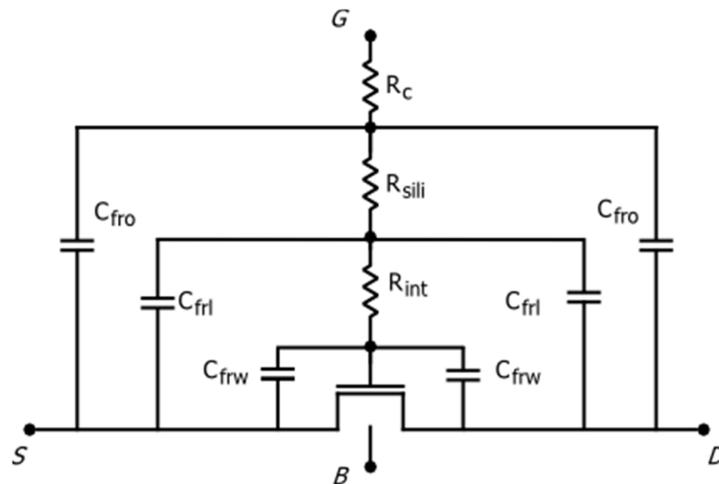


Fig. III-19: Nouveau modèle du réseau d'entrée, obtenu en distribuant les différentes composantes de la résistance d'accès de grille et de la capacité de bord.

Le point remarquable de cette nouvelle topologie est **l'encapsulation de la résistance d'interface par les capacités de bord  $C_{fro}$  et  $C_{frl}$** . Celle de la résistance  $R_{sili}$  par la capacité  $C_{fro}$  est d'un moindre impact au vu des valeurs respectives des différents éléments, mais est conservée dans un souci de cohérence avec le réseau distribué de la Fig. III-18. La révélation de l'existence de cette encapsulation est due à l'augmentation de la résistance d'interface qui a rendu visible le phénomène sur le comportement en tension de la résistance de grille effective. Le mécanisme mis en jeu est détaillé ci-après, en s'appuyant sur le nouveau modèle proposé.

### III.5.c. Effet sur la dépendance en tension de la résistance de grille effective

En prenant en compte la nouvelle distribution de la résistance de grille, le schéma électrique du réseau d'entrée de la Fig. III-4 se redessine comme sur la Fig. III-20 ci-dessous.

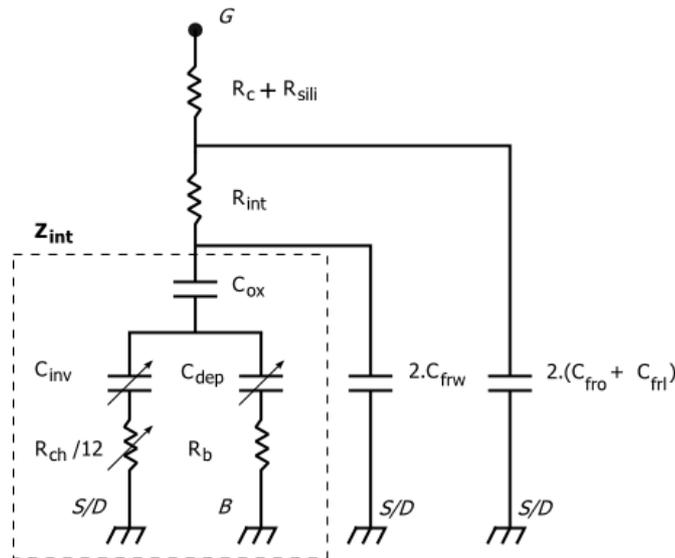


Fig. III-20: Schéma électrique équivalent du réseau d'entrée distribué du transistor à  $V_{ds}=0$ . Les flèches signalent les éléments dépendant de la tension de grille appliquée.

Le calcul de la résistance effective de grille à partir de l'expression III-3 donne, avec  $C_{fr} = C_{frw} + C_{frl} + C_{fro}$  :

$$\begin{aligned}
 R_{gg} \approx & R_c + R_{sili} + R_{int} \left( \frac{C_i + 2(C_{frw} + C_{ov})}{C_i + 2(C_{fr} + C_{ov})} \right)^2 \\
 & + R_b \left( \frac{C_{dep} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2 \\
 & + \frac{R_{ch}}{12} \left( \frac{C_{inv} C_{ox}}{(C_{dep} + C_{ox} + C_{inv})(C_i + 2(C_{fr} + C_{ov}))} \right)^2
 \end{aligned} \tag{III-24}$$

$R_{gg}$  est toujours la somme de trois contributions,  $R_{gg}^{(accès)}$ ,  $R_{gg}^{(substrat)}$  et  $R_{gg}^{(canal)}$ , mais la contribution d'accès n'est plus égale à la seule résistance  $R_g$ . En effet, elle est dorénavant elle-même la résultante de plusieurs contributions :

$$R_{gg}^{(accès)} = R_c + R_{sili} + R_{int} \left( \frac{C_i + 2(C_{frw} + C_{ov})}{C_i + 2(C_{fr} + C_{ov})} \right)^2 \tag{III-25}$$

La résistance d'interface est ainsi pondérée d'un terme dépendant de la polarisation de grille, puisque les capacités intervenant dans l'expression le sont. De la même manière que la Fig. III-5, la Fig. III-21 montre les différentes contributions en fonction de la tension de grille pour un transistor 28nm.

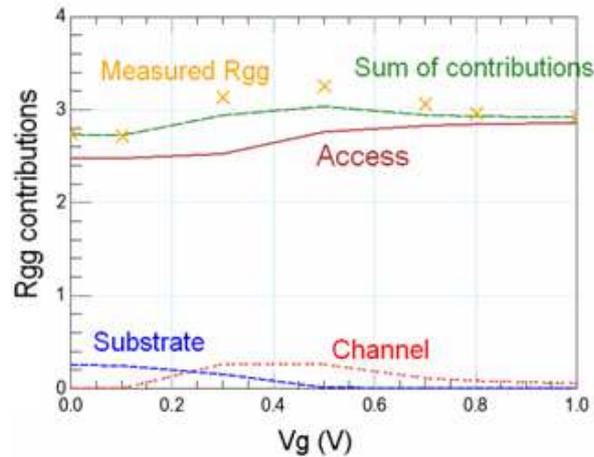


Fig. III-21: Dépendances en tension des contributions de la résistance effective de grille, dont la nouvelle contribution de la résistance d'accès, comparées à la mesure d'un dispositif 28nm.

La nouvelle contribution de la résistance d'accès n'est plus indépendante de la tension de grille appliquée, et apporte la correction qui manquait au modèle pour reproduire la mesure.

L'extraction de ce nouveau modèle n'a pas besoin d'étapes complémentaires car il n'y a pas de paramètre supplémentaire. Néanmoins, la connaissance exacte des contributions respectives des capacités de bord devient très importante, en particulier celle de la capacité  $C_{frl}$ . C'est pourquoi on préfère pour décrire cette dernière un modèle précis comme celui à lignes de champ elliptiques présenté au chapitre I. L'extraction des capacités est effectuée comme précédemment sur un jeu de transistors à différentes largeurs et longueurs de grille.

Pour obtenir la bonne dépendance en tension de grille de la résistance effective, toutes ses composantes doivent être soigneusement reproduites. L'expression III-24 permet de connaître les grandeurs sur lesquelles intervenir pour obtenir les différentes contributions. De façon générale, les évolutions en tension des capacités intrinsèques doivent être fidèlement reproduites, puisque celles-ci sont présentes dans toutes les composantes. Le couplage grille-partie intrinsèque s'effectue en effet au travers de ces capacités. De même, la contribution canal est dépendante de la résistance canal, on prendra donc soin à reproduire le comportement de la conductance  $G_{ds}$ . Cela s'effectue en deux temps, en premier lieu grâce aux mesures en courant continu I-V puis par ajustement sur la grandeur issue des paramètres [Y]. Le substrat est extrait de façon usuelle sur les mesures RF du transistor froid. Enfin, les paramètres de la résistance de grille sont donnés par la même méthode qu'au paragraphe précédent, en incluant l'encapsulation de la résistance d'interface. La Fig. III-22 donne les mesures de dispositifs 28nm HKMG pour des largeurs de grille relativement faibles  $W_f=0.3, 1.0$  et  $2.0 \mu m$ , afin d'obtenir des contributions de résistance d'interface plus élevées, et pour deux longueurs de grille,  $L=30nm$  et  $60nm$  respectivement. Le modèle est basé sur le modèle compact PSP103.1 avec un réseau d'entrée de grille réorganisé suivant le modèle présenté ici.

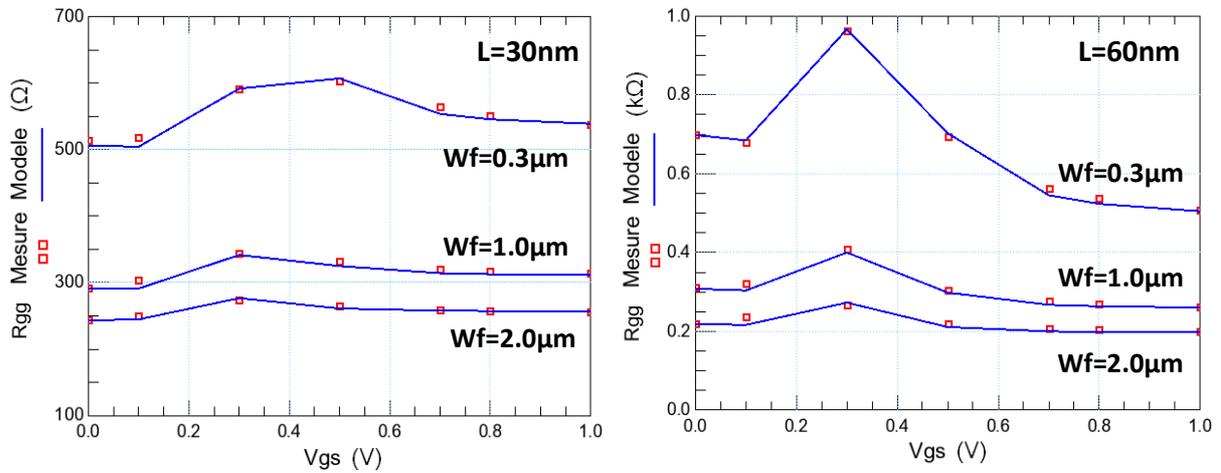


Fig. III-22: Mesure et simulation avec le nouveau modèle de la résistance de grille effective en 28nm en fonction de V<sub>gs</sub> pour plusieurs largeurs de grille. (a) L=30nm, (b) L=60nm. Les résultats sont moyennés sur la bande de fréquence f=17-24GHz.

Par le soin apporté à la modélisation de chaque composante individuellement, le modèle donne une résultante de la résistance effective de grille fort satisfaisante en ce qui concerne la dépendance en tension, et ce pour tous les dispositifs présentés ici. Pour la plus grande longueur de grille (60nm), l'effet recherché, lié à l'encapsulation de la résistance d'interface ne semble pas présent. Toutefois, dans ce cas, la compétition entre cette contribution est celle du substrat s'est soldée en faveur de cette dernière. En effet, la composante de résistance d'interface est plus faible pour une longueur de grille plus grande, tandis que la composante du substrat augmente, principalement parce que les capacités intrinsèques  $C_{ox}$  et  $C_{dep}$  sont proportionnelles à la surface de grille  $L \cdot W_f$ .

Afin de bien visualiser les poids de chaque composante en fonction de la géométrie, la Fig. III-23 présente pour chaque dispositif les différentes contributions de la résistance effective de grille, obtenues par simulation du modèle extrait sur le 28nm et d'après la relation III-24.  $R'_{int}$  est la contribution de la résistance d'interface, identifiée suivant l'équation III-25 :

$$R'_{int} = R_{int} \left( \frac{C_i + 2(C_{frw} + C_{ov})}{C_i + 2(C_{fr} + C_{ov})} \right)^2 \quad \text{III-26}$$

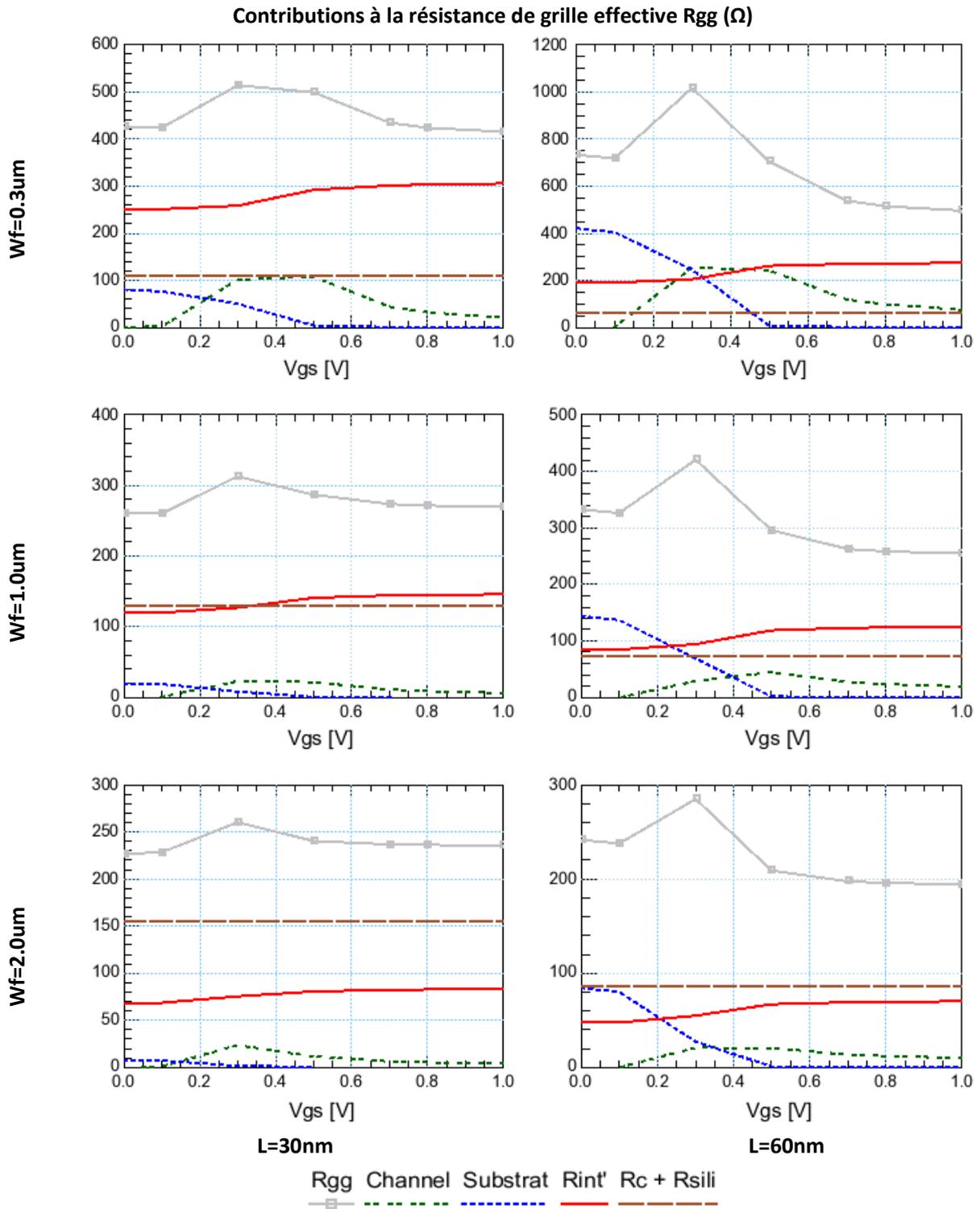


Fig. III-23: Comparaison des différentes contributions à la résistance effective de grille, pour six géométries de transistor, obtenues par simulation du modèle présenté.  $V_{ds}=0V$ ,  $f=20GHz$ .

L'évolution en fonction de la tension de grille de la résultante de la résistance d'interface,  $R_{int}$ , semble identique quelle que soit la géométrie, du fait d'un compromis entre la résistance d'interface et des capacités de bord. Suivant les géométries des dispositifs, la dépendance en tension « anormale » de  $R_{gg}$  apparaît ou pas, selon que la contribution du substrat est plus ou moins importante. Cependant, dans tous les cas, la prise en compte de l'encapsulation de la résistance d'interface donne une description plus précise de la dépendance en tension la résistance effective de grille.

### III.5.d. Effet sur les dépendances géométriques de la résistance de grille effective

Originellement introduite pour corriger la dépendance en tension de la résistance effective de grille, l'encapsulation de la résistance d'interface permet d'en améliorer également son comportement en fonction de la géométrie. Selon l'équation III-25, qui donne la nouvelle expression de la résistance d'accès de grille, cette dernière est finalement dépendante des capacités de bords et intrinsèques. Ainsi, ses lois de dépendances géométriques s'en trouvent modifiées. La Fig. III-24 montre la résistance effective de grille en fonction de la largeur de grille pour deux longueurs de grille, simulée avec le modèle extrait au paragraphe précédent. La composante  $r_{go}$  du modèle compacte a été supprimée et remplacée par le modèle de la résistance de back-end extraite sur les mesures de court-circuit dédiées.

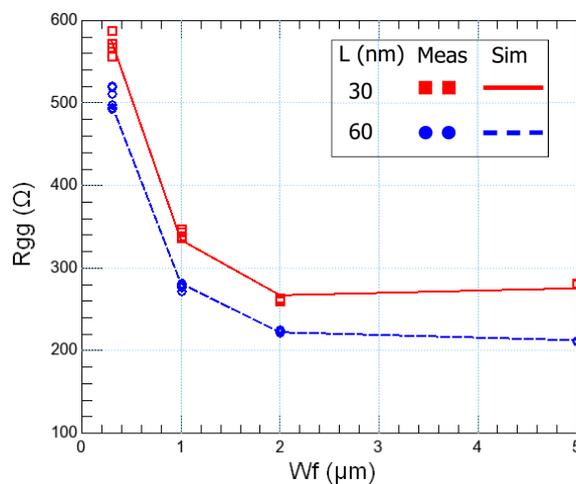


Fig. III-24: Mesures et simulation de  $R_{gg}$  avec un modèle prenant en compte la surface électrique d'interface et l'encapsulation de la résistance d'interface, pour à un doigt de grille en fonction de  $W_f$ , pour deux longueurs de grille 30nm et 60nm.  $V_G=1V$ ,  $V_D=0V$ .  $17GHz < f < 24GHz$ , en 28nm HKMG.

$r_{shg}$ ( $\Omega/\text{carré}$ )	$r_{int}$ ( $\Omega \cdot \mu\text{m}^2$ )	$\Delta W_f$ (nm)	$\Delta L$ (nm)
11.2	5.8	198	0

Tab. III-5: Paramètres du modèle de résistance de grille de PSP corrigé d'une surface électrique d'interface et de l'encapsulation de la résistance de grille, extraits pour la technologie 28nm HKMG.

La qualité de comparaison mesure et simulation est semblable à la Fig. III-12, mais l'avantage de ce modèle réside dans nouvelles valeurs des paramètres extra-dimensionnels, indiqués dans le tableau Tab. III-6. La diminution de la valeur de  $\Delta W_f$  était attendu plus faible. L'impact de l'encapsulation sur les paramètres géométriques est effet dépendant des ratios de capacités, comme le développe l'annexe B, et celle créée par  $C_{fro}$  est la seule intervenant dans le paramètre  $\Delta W_f$ . Or, cette capacité est une contribution faible dans la capacité extrinsèque totale (voir le paragraphe I.4.b du chapitre I). La nouvelle valeur de  $W_f$  reste ainsi proche de la valeur précédente. De manière plus intéressante, la valeur de  $\Delta L$  est nulle. Cette fois, le plus gros contributeur à  $\Delta L$  est la capacité  $C_{frl}$ , qui forme une partie plus importante de la capacité extrinsèque totale.

L'encapsulation de la résistance d'interface permet ainsi de diminuer la valeur des paramètres extra-dimensionnels. Son influence électrique revient en effet à augmenter la surface électrique d'interface.

Le modèle donne également de très bons résultats sur les technologies à grille poly-silicium. La Fig. III-25 montre la mesure et le modèle pour des transistors 45nm. Le tableau Tab. III-6 récapitule les paramètres de la résistance de grille extrait pour cette technologie. Comme attendu, le paramètre  $r_{int}$  est presque deux fois plus faible que pour la technologie 28nm. Les autres paramètres sont du même ordre de grandeur.

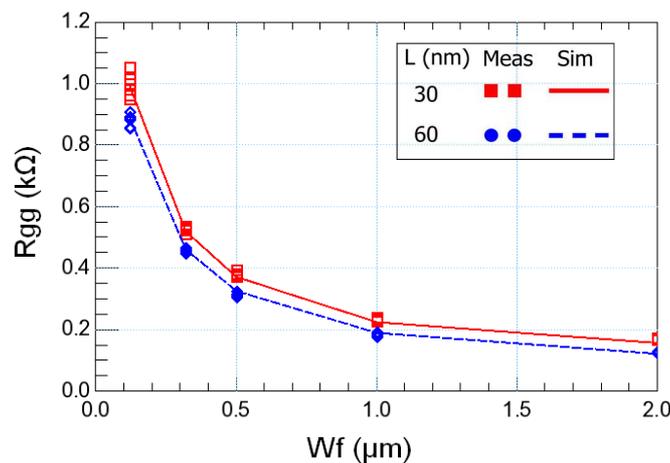


Fig. III-25: Mesures et simulation de  $R_{gg}$  ramenée à un doigt de grille avec un modèle prenant en compte la surface électrique d'interface et l'encapsulation de la résistance d'interface, pour à un doigt de grille en fonction de  $W_f$ , pour deux longueurs de grille 40nm et 80nm.  $V_G=1V$ ,  $V_D=0V$ .  $16\text{GHz} < f < 24\text{GHz}$ , technologie 45nm.

$r_{shg}$ ( $\Omega/\text{sq}$ )	$r_{int}$ ( $\Omega \cdot \mu\text{m}^2$ )	$\Delta W_f$ (nm)	$\Delta L$ (nm)
11.0	3.5	142	0

Tab. III-6: Paramètres du modèle de résistance de grille de PSP corrigé d'une surface électrique d'interface et de l'encapsulation de la résistance d'interface, extraits pour la technologie 45nm.

### III.5.e. Comportement du modèle en fonction du layout de grille.

D'après l'extraction du modèle complet, l'interface électrique effective s'étend de façon conséquente. En ôtant la valeur des prolongements de poly-silicium au-delà de la zone active à la valeur extraite de  $\Delta W_f$ , le résultat donne une extension de l'interface d'environ 10nm sur chaque tête de poly-silicium. La présence de cette dernière serait donc bénéfique à la réduction de la résistance d'interface. Pour confirmer cette hypothèse, le modèle est extrait sur trois types de structures qui diffèrent par la forme de la tête de poly-silicium.

- La structure appelée structure A est la structure classique déjà présentée, avec deux têtes de poly-silicium et les contacts placés sur celles-ci :

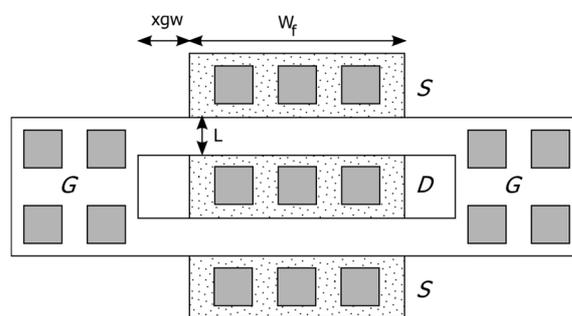


Fig. III-26: Vue de dessus d'une structure de type A

- Le deuxième type de structures, B, contient des têtes de poly-silicium réduites à la taille minimale, à peine plus grande qu'un contact. Les doigts de grille deviennent alors disjoints. Pour un même jeu de variations de la largeur de grille unitaire, deux versions sont disponibles : une contactée à la grille d'un seul côté et l'autre des deux ( $ngcon=1$  ou  $2$ ).

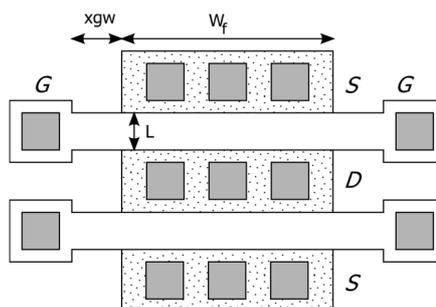


Fig. III-27: Vue de dessus d'une structure de type B

- Enfin, pour le dernier type de structures, C, la tête de poly-silicium est supprimée et les contacts sont directement placés sur la largeur du doigt. A cette fin, la longueur de grille de ces structures a été doublée et vaut 60nm. Cette topologie devrait en outre permettre d'extraire directement la résistance d'interface de la structure puisque la composante horizontale siliciure/poly est totalement court-circuitée.

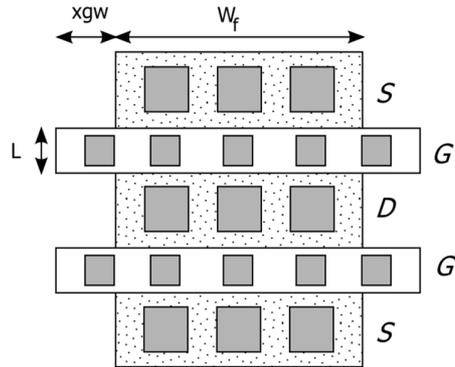


Fig. III-28: Vue de dessus d'une structure de type C

Le modèle complet présenté auparavant est extrait famille par famille. Les structures d'épluchage en court-circuit existent également pour les deux familles B et C et couvrent toutes les largeurs de doigt de grille à disposition, assurant ainsi une extraction précise des paramètres de la résistance d'accès du terminal. Les comparaisons simulation et mesure pour les structures B et C sont présentées sur la Fig. III-29. Celles pour les structures de type A ont été présentées dans les paragraphes précédents. Le Tab. III-7 donne les résultats de l'extraction pour les trois types de structures. La résistance  $R_{sili}$  pour la structure C a été imposée à 0 lors de l'extraction pour la raison susmentionnée.

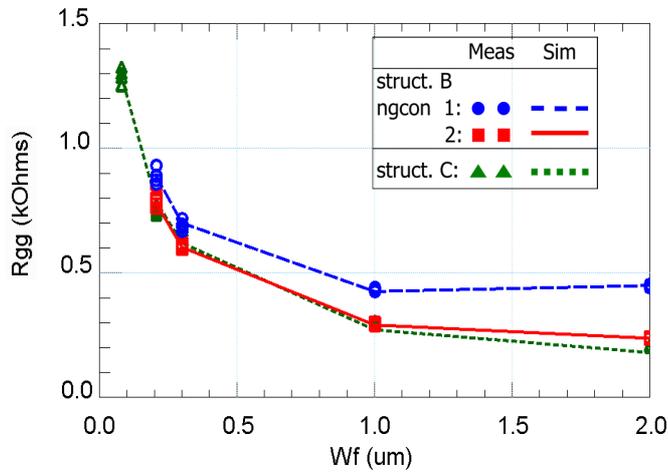


Fig. III-29: Simulation et mesure de la résistance effective de grille pour les structures B & C en fonction de  $W_f$ , de 0.08 à 2 um,  $V_g=1V$ ,  $V_d=0V$ ,  $f=17GHz-24GHz$ .

layout	$r_{shg}$ ( $\Omega/carré$ )	$r_{int}$ ( $\Omega \cdot \mu m^2$ )	$\Delta W_f$ (nm)
A(L=30nm)	11.2	5.8	198
B (L=30nm)	11.5	5.1	103.5
C (L=60nm)	N/A	12.5	102.2

Tab. III-7: Paramètres de la résistance de grille pour les 3 types de structures A, B, C.

Les structures C présentent une résistance d'interface anormalement élevée. Il s'agit sans doute d'un phénomène lié à la qualité des contacts sur le poly-silicium du doigt de grille. En effet, cette étape technologique est probablement moins robuste que le dépôt des contacts sur la tête de poly-silicium et ces derniers sont probablement mal-alignés. Il est à noter que cette configuration n'est d'ailleurs pas autorisée dans les circuits. La résistance des contacts est alors plus élevée et leur contribution vient s'ajouter à la résistance d'interface.

La comparaison du paramètre  $\Delta Wf$  avec la valeur des extensions  $x_{gw}$  montre que la surface électrique d'interface ne s'étend pas au-delà de la largeur d'un doigt de grille. La réalité physique de ce paramètre est ainsi confirmée.

Ainsi, l'influence de la forme du poly-silicium sur la contribution de la résistance d'interface a été montrée. De façon attendue, cette dernière diminue lorsqu'une plus grande surface disponible lui est offerte. Cette constatation ouvre la voie à des méthodes d'optimisation de dessin favorisant la réduction de la résistance de grille. En effet, jusqu'alors, la résistance d'interface été considérée comme non-tributaire de la façon de dessiner le transistor, et dépendante uniquement de la surface offerte par le produit largeur de grille · longueur de grille ( $W \cdot L$ ). Ainsi, le contact de part et d'autre de la grille permet de réduire à la fois la contribution de la résistance horizontale  $R_{sili}$  mais aussi celle de la résistance  $R_{int}$ , en lui offrant deux fois plus de surface au niveau de la tête de poly-silicium.

### III.6. Application du modèle à la résistance de grille effective du PMOS HKMG

Le modèle a montré de bons résultats sur les transistors HKMG de type n. Bien que le transistor de type p n'est pas d'usage aussi fréquent que le type n dans les circuits RF, il est tout de même présent dans certaines d'applications. Il est donc intéressant de savoir si le modèle proposé permet également de décrire le comportement de la résistance de grille effective des pMOS.

Par ailleurs, pour certains transistors pMOS de la technologie 28nm HKMG, le réseau d'entrée possède un comportement électrique très différent de celui observé sur les nMOS. Cette section a donc pour objectif de montrer comment le nouveau modèle peut aider à la compréhension des phénomènes rencontrés pour ce type de dispositifs.

#### III.6.a. Dépendance en fréquence de l'impédance d'entrée

Sur un pMOS HKMG, les deux grandeurs  $C_{gg}$  et  $R_{gg}$  présentent, en régime de forte inversion, une forte dépendance fréquentielle qui a l'allure d'un RC. Or, ces mêmes grandeurs mesurées sur le nMOS complémentaire ne présentent pas cette caractéristique. En outre, il est connu que des effets non quasi-statiques peuvent entraîner une chute de la capacité totale apparente  $C_{gg}$  [19] ou de la résistance effective  $R_{gg}$  [20]. Cependant, le phénomène est indifféremment présent pour toutes les longueurs de grilles considérées, y compris pour les plus petites. Par ailleurs, bien que la résistance de grille d'un PMOS présente des contributions verticale et d'interface plus élevées, l'encapsulation de la résistance de grille ne permet pas à elle seule d'expliquer cette dépendance. En effet, la fréquence de coupure mise en jeu

entre la résistance d'interface  $R_{int}$  et la capacité de bord  $C_{fl}$  est très élevée, de l'ordre de quelques centaines de GHz, alors que la chute en fréquence s'observe dès quelques GHz.

Ainsi, le comportement en fréquence du pMOS est plutôt à relier à la nature de l'empilement des matériaux qui constituent la grille, différente de celui du NMOS. En particulier, l'apparition d'un contact de moins bonne qualité à l'interface poly-silicium/Métal, de type Schottky, est une hypothèse à privilégier.

### III.6.b. Modèle de résistance de grille pour le PMOS

Compte tenu des remarques précédentes, le modèle présenté auparavant (Fig. III-19) est modifié en introduisant une jonction Schottky à l'interface et donne le modèle de la Fig. III-30. La jonction est modélisée par un RC parallèle de résistance  $R_{sch}$  et de capacité  $C_{sch}$ . Dans un premier temps, aucune loi de variation géométrique n'est proposée pour ces derniers éléments.

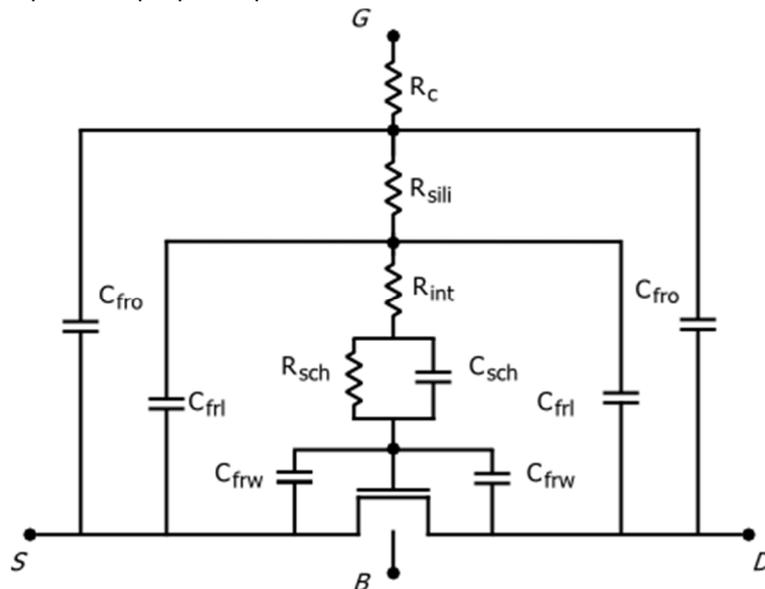


Fig. III-30: Modèle de résistance de grille avec une interface de type Schottky pour le transistor PMOS

L'extraction de ce modèle s'effectue en deux étapes. Premièrement, à haute fréquence (aux alentours de 60 GHz), la résistance Schottky est court-circuitée par la capacité en parallèle. Il est possible alors d'extraire sur la grandeur  $R_{gg}$  les paramètres de la résistance de grille présentés auparavant. Par ailleurs, dans ce domaine de fréquence, la capacité totale  $C_{gg}$  est moins forte qu'à faible fréquence puisque la capacité intrinsèque et la capacité de bord latérale se retrouvent en série avec la capacité Schottky. Deuxièmement, à faible fréquence, la résistance Schottky vient s'ajouter à la résultante de la résistance d'accès de grille et sa contribution diminue au fur et à mesure que l'admittance présentée par la capacité  $C_{sch}$  gagne en importance. Le couple  $R_{sch}$   $C_{sch}$  domine donc le comportement basse fréquence et peut être extrait simultanément sur les grandeurs  $C_{gg}$  et  $R_{gg}$ .

En application, le modèle est extrait sur un jeu de quatre transistors présentant une variation en largeur de grille unitaire. Les paramètres de la résistance de grille  $r_{shg}$ ,  $r_{int}$ ,  $\Delta W_f$  sont communs aux quatre transistors et mais  $R_{sch}$  et  $C_{sch}$  sont extraits séparément pour chaque transistor. Ainsi le tableau Tab. III-8

contient les paramètres de la résistance de grille extraits à 60GHz, tandis que le Tab. III-9 donne les paramètres du contact Schottky pour chaque transistor, et rappelle également leurs géométries.  $f_{sch}$  est la fréquence de coupure du circuit RC équivalent. Enfin, la comparaison entre la mesure et le modèle est donnée sur la Fig. III-31 pour la capacité et la résistance effectives de grille normalisées à un doigt suivant les valeurs rappelées dans le Tab. III-9.

$rshg$ ( $\Omega/\text{carré}$ )	$rint$ ( $\Omega.\mu\text{m}^2$ )	$\Delta Wf$ (nm)
8	23.6	119

Tab. III-8: paramètre de la résistance d'accès de grille pour le jeu de transistor PMOS et le modèle Fig. III-30.

Transistor	L (nm)	Wf ( $\mu\text{m}$ )	Nf	mult	$R_{sch}$ ( $\Omega$ )	$C_{sch}$ (fF)	$f_{sch}$ (GHz)
					T_0.3	30	0.3
T_1.0	30	1.0	10	10	81	98	20.0
T_2.0	30	2.0	10	6	160	48	20.5
T_5.0	30	5	10	2	543	22	13.3

Tab. III-9: Rappel des géométries des transistors PMOS 28nm étudiés et paramètres du contact Schottky d'interface pour chaque transistor.

La fréquence de coupure  $f_{sch}$  donne une évaluation de la qualité de l'extraction. En effet, c'est une caractéristique indépendante de la géométrie, puisque les deux grandeurs liées à la jonction réagissent par rapport à la section de manière opposée. D'après le Tab. III-9, les extractions des transistors T\_0.3 et T\_1.0 et T\_2.0 sont cohérentes entre elles puisqu'elles donnent des fréquences de coupure semblables, aux alentours de 20 GHz. Au vu de la valeur de la fréquence, le dernier transistor semble marginal. Le tracé des paramètres normalisés en fonction de la largeur de doigt de grille, représenté Fig. III-32, renforce cette première constatation : la capacité  $C_{sch}$  pour le transistor T\_5.0 n'est pas dans la tendance des autres car trop faible.

Contrairement aux attentes,  $R_{sch}$  et  $C_{sch}$  n'ont pas un comportement surfacique lié à l'interface comme l'aurait  $R_{int}$  par exemple. La résistance Schottky semble diminuer avec la largeur de grille tandis que capacité augmente. Proposer une loi de variation géométrique devient alors fortement complexe, et celle-ci est sans doute tributaire d'effets de bord, entre l'empilement de grille et le STI.

D'autre part, la comparaison simulation/mesure de la Fig. III-31 laisse supposer que la qualité de l'extraction des paramètres initiaux de la résistance de grille peut également être mise en cause. En effet, hormis un bruit de mesure important dans la gamme haute de fréquence, la résistance de grille effective n'a pas encore tout à fait atteint le palier pour lequel la résistance Schottky est court-circuitée. Il est fort probable que la forte valeur de  $rint$  extraite rende compte également d'une partie de la résistance  $R_{sch}$ . Ainsi, pour extraire de façon plus satisfaisante les paramètres de la résistance de grille, des mesures en bande sub-millimétrique seraient fortement appropriées. La fréquence à laquelle l'extraction s'effectue (60GHz) n'est en effet que trois fois la fréquence de coupure du contact Schottky.

$C_{gg}$  (fF)

$R_{gg}$  (k $\Omega$ )

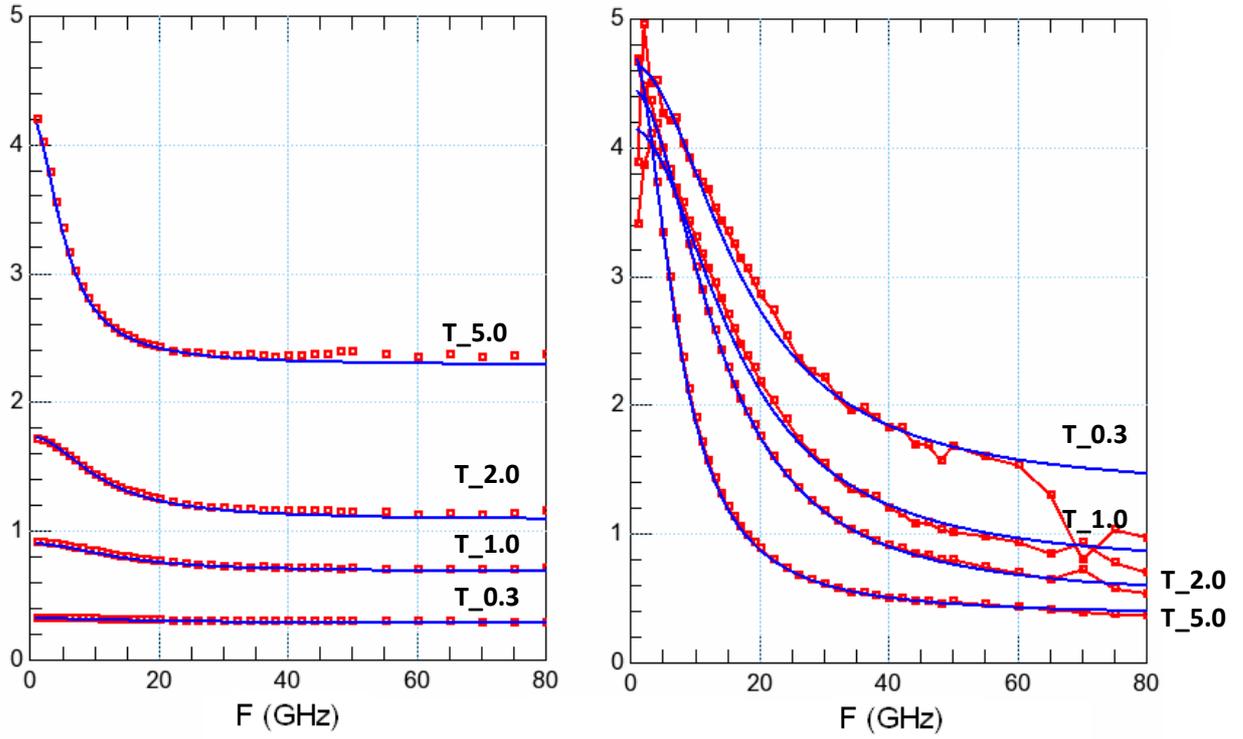


Fig. III-31: Mesure et simulation de la capacité et de la résistance effectives de grille normalisées, en fonction de la fréquence pour un jeu de transistors PMOS 28nm HKMG présentant des largeurs de grille unitaires différentes.

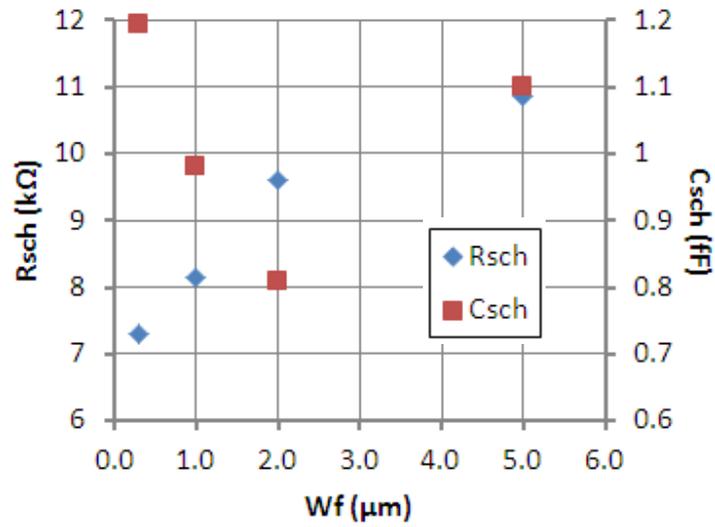


Fig. III-32: Tracé des paramètres du contact Schottky normalisés à un doigt de grille.

### III.6.c. Amélioration du contact métal/poly-silicium : pré-dopage et recuit

L'apparition du contact de type Schottky à l'interface poly-silicium/métal peut s'expliquer par un déficit de dopants. En introduisant une étape de pré-dopage du poly-silicium à l'interface avec le métal dans les étapes technologiques de fabrication [21], la qualité du contact s'améliore. Cette solution a été testée sur le 28 nm HKMG.

La Fig. III-33 montre les mesures et simulations des deux grandeurs d'entrée  $C_{gg}$  et  $R_{gg}$ , pour des transistors avec et sans pré-dopage. Pour les premiers, le modèle, sans la jonction Schottky, et la mesure ne présentent plus de dépendance en fréquence. Dans ce cas, le modèle à encapsulation de la résistance d'interface est directement applicable. Dans l'autre, l'ajout d'un modèle de contact Schottky Si/Metal est nécessaire.

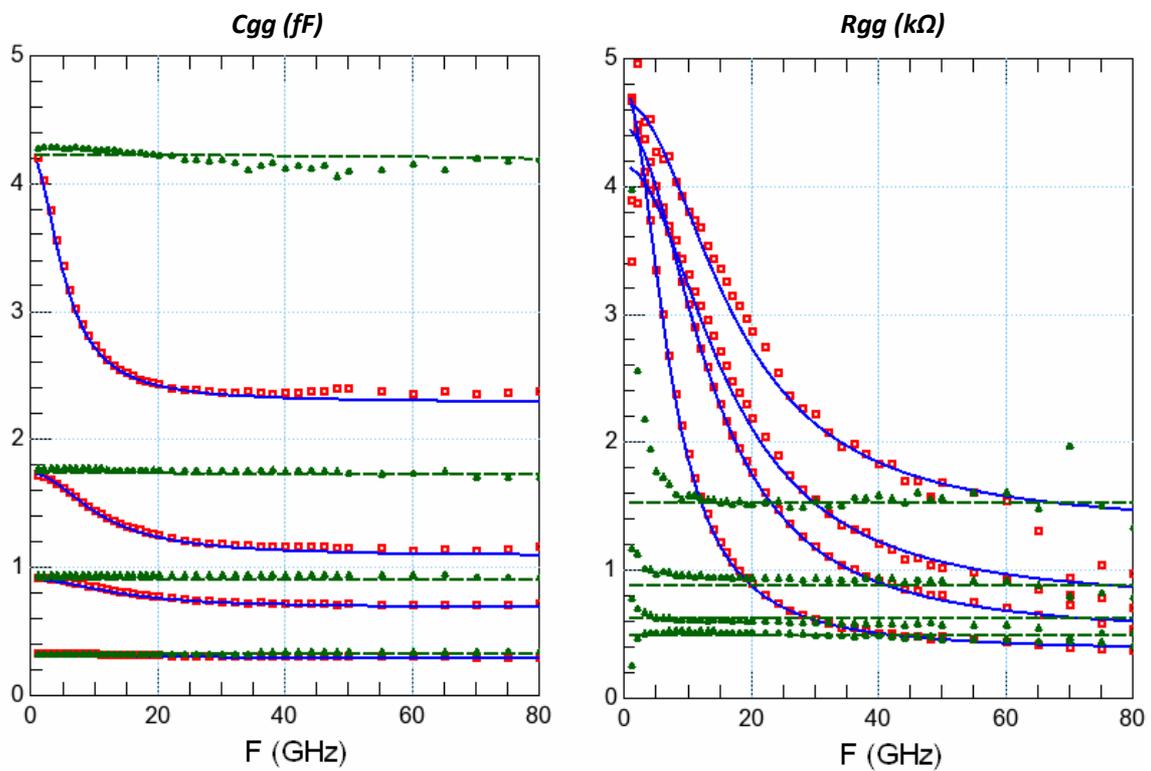


Fig. III-33: Comparaison des simulations et des mesures de transistors PMOS 28nm avec et sans étape de pré-dopage.

## Conclusion du chapitre III

Dans ce chapitre, la méthode d'extraction très répandue de la résistance de grille par le calcul de la résistance effective de grille  $R_{gg} = \text{Re}(1/Y_{11})$  a été présentée et justifiée. Confrontés aux technologies avancées, les modèles compacts se sont avérés présenter deux principales limitations pour la description de cette grandeur. La première s'observe sur les dépendances géométriques des transistors en technologies 45nm et 28nm tandis que la deuxième porte sur l'évolution en tension de grille des transistors 28nm. Une correction des modèles a été apportée, consistant en une modification du réseau d'entrée du transistor et de la répartition des capacités parasites. Le nouveau modèle permet la résolution simultanée des deux phénomènes. La dépendance inattendue en tension est ainsi une conséquence directe de l'augmentation des résistances d'interface et verticales apportées par le nouvel empilement de grille High-K / Métal. Les raisonnements exposés ici sont toutefois applicables pour toute technologie, à partir du moment où celle-ci comporte des résistances verticales et/ou d'interface élevées. Une dernière étude a montré l'importance de la prise en compte de la surface électrique réelle de ces dernières, et a conclu que le choix du dessin de grille a un impact conséquent sur la valeur de ces résistances. L'application du modèle au cas du pMOS a permis d'isoler les causes possibles d'une dépendance en fréquence inattendue, puis de valider les améliorations technologiques proposées.

### Références du chapitre III

- [1] Y. Cheng; M.-J. Deen, C.-H.Chen, “*MOSFET Modeling for RF IC Design*” IEEE Transaction on. Electron Devices, vol 52 no 7, pp. 1286–1303, Jul. 2005.
- [2] P. Van Der Voorn et al “*A 32nm Low Power RF CMOS SOC Technology Featuring High-k/Metal Gate*” VLSI Tech. Symp. pp 137-138, juin 2010
- [3] M.-T. Yang et al “*RF and Mixed Signal performances of a low cost 28nm Low-Power CMOS Technology for Wireless SoC Applications*” VLSI Tech. Symp. pp 40-41, juin 2011
- [4] R. Lai, W.R. Deal, V. Radisic, K. Leong, X.B. Mei, S. Sarkozy, T. Gaier, L. Samoska, A. Fung, “*Sub-MMW active integrated circuits based on 35 nm InP HEMT technology*”, IEEE IPRM, pp185-189, mai 2009.
- [5] P. Chevalier, D. Gloria , P. Scheer , S. Pruvost , F. Gianesello , F. Pourchon , P. Garcia , J.-C. Vildeuil, A. Chantre , C. Garnier , O. Noblanc , S.P. Voinigescu , T.O. Dickson , E. Laskin , S.T. Nicolson , T. Chalvatzis , K.H.K. Yau, “*Advanced SiGe BiCMOS and CMOS platforms for Optical and Millimeter-Wave Integrated Circuits*”, IEEE Compound Semiconductor Integrated Circuit Symposium, pp12-15, nov 2006
- [6] “BSIM4v4.7 MOSFET Model User’s Manual”, University of California, Bekerley, Aug. 2011
- [7] “PSP103.1 reference manual”, NXP Semiconductor, Apr 2009.
- [8] HiSIM2.6.0 User’s Manual, Hiroshima University & STARC, 2011.
- [9] B. Razavi, R-H Yan; K.F Lee “*Impact of distributed gate resistance on the performance of MOS devices*” IEEE Trans. on Circuits and Systems, vol. 41 no 11, pp 750-754, Nov 1994
- [10]A. Litwin, “*Overlooked Interfacial Siliçure-Polysilicon Gate Resistance in MOS Transistors*” IEEE Trans. Electron Devices, vol 48 no 9, pp. 2179–2181, Sep. 2001.
- [11]X. Jin; J.-J. Ou, C.-H. Chen, W. Liu, M.-J. Deen, P.R. Gray, C. Hu “*An effective gate resistance model for CMOS RF and noise modeling*” IEDM Tech. Digest, pp 961-964, 1998
- [12]Bouhana, E ” *Analyse du comportement petit signal du transistor MOS, contribution à une nouvelle approche d’extraction et de modélisation pour des applications RF* ”, Thèse de doctorat de l’université de Lille, octobre 2007
- [13]M. Kang, I.M. Kang, Y. H. Jung, H. Shin “*Separate Extraction of Gate Resistance Components in RF MOSFETs*”, IEEE Transactions of Electron Devices, vol. 54, no. 6, 2007.
- [14]A. Tanabe, K. Hijioka, Y. Hayashi , “*A Novel Monitoring Method of RF Characteristics Variations for Sub-0.1 $\mu$ m MOSFETs with Precise Gate-resistance Model*”, IEEE Custom Integrated Circuits Conference, pp 725-728 sept. 2006.
- [15]H. Wang, X. Li, W. Wu, W., G. Gildenblat, R. van Langevelde, G.D.J Smitt, A.J Sholten, D.B.M. Klaassen, “*Unified Non-Quasi-Static MOSFET Model for Large-Signal and Small-Signal Simulations*” IEEE Custom Integrated Circuit Conference, pp 823-826, sept 2005.
- [16]C.R. Kenney et al, “*FinFET Parasitic Resistance Reduction by Segregating Shallow Sb, Ge and As Implants at the Siliçure Interface*”, IEEE Symposium on VLSI Technology, pp 17-18, 2012.
- [17]T. Sonehara, A. Hokazono; H. Akutsu, T. Sasaki; H. Uchida, M. Tomita; S. Kawanaka; S. Inaba, Y. Toyoshima “*Mechanism of Contact Resistance Reduction in Nickel siliçure Films by Pt Incorporation*” IEEE Trans. Electron Devices, vol 58 no 11, pp. 3778–3786, Nov. 2011.

- [18]O.-J. Franco-Piliado, "Amélioration des modèles de transistor MOS pour applications RF grâce à l'utilisation accrue des outils d'extraction de parasites (PEX) », rapport de stage de fin d'étude, STMicroelectronics/INSA Lyon, 2011.
- [19]Z. Zhu, G. Gildenblat, C. C. McAndrew, and I.-S. Lim "Modeling the Frequency Dependence of MOSFET Gate Capacitance", *IEEE Conference on Microelectronic Test Structures*, Avril 2011.
- [20]Y. Cui, G. Ni, S.S. Taylor. "Modeling of Anomalous Frequency and Bias Dependences of Effective Gate Resistance in RF CMOS" *IEEE Trans. Electron Devices*, vol 53 no 10, pp 2620-2626 Oct 2006
- [21] S. Beyer, J. Hoentschel, U. Griebenow, T. Scheiper , "Predoped semiconductor material for a high-k metal gate electrode structure of P- and N-channel transistors", US patent US20100905711, Juin 2011.

## IV. Structures spécifiques pour la modélisation et l'extraction

### IV.1. Introduction

Un grand nombre de méthodes d'extraction des paramètres du schéma équivalent d'un transistor MOS sont basées sur des mesures 2-port. Cependant, ce composant est fondamentalement un dispositif à quatre terminaux - grille, source, drain et caisson - et une méthodologie deux ports entraîne de facto des pertes d'information sur le transistor. De plus, l'extraction des paramètres devient complexe car elle nécessite presque obligatoirement des approximations et certaines hypothèses sur le dispositif, la plus usitée étant la symétrie source/drain. En particulier, le réseau substrat a souvent besoin d'être simplifié [1]. Or, pour des applications en régime de faible inversion, comme il l'a été montré au chapitre I, la sous-estimation des effets du substrat s'avère problématique. Les paramètres extraits en source commune ne sont sans doute valables que pour cette configuration particulière et traduisent probablement des grandeurs effectives dont les lois de variations géométriques sont difficilement déterminables.

Ainsi, d'autres solutions proposent des structures spécifiquement dédiées à l'étude du substrat [2][3]. Dans notre cas, on s'intéressera particulièrement à des dispositifs construits en technologie 45nm et qui seront appelés les structures PWELL/NWELL. Celles-ci offrent la possibilité d'étudier le caisson isolé du transistor sans subir l'influence de celui-ci.

Il est également possible d'utiliser des configurations 2-port différentes de la source commune [4][5], à l'instar de la structure grille-caisson qui sera présentée dans ce chapitre. Cette dernière offre l'occasion d'exploiter la mesure par le terminal caisson et sera utilisée pour le développement d'un modèle paramétrique de substrat isolé. Cette structure présente en effet un aspect plus proche du transistor que les structures PWELL/NWELL.

En allant plus loin, la reconstruction du réseau complet à quatre terminaux du transistor serait envisageable par l'emploi de mesures deux ports couvrant toutes les combinaisons de terminaux. Ce type de procédure nécessite cependant plus de structures et en conséquence plus de mesures. De plus, les éléments du schéma équivalent ne peuvent pas être extraits pour toutes les conditions d'utilisation du transistor, car certaines combinaisons de polarisations ne peuvent pas être appliquées. Aussi, avec la montée de la fréquence d'application des mesures directes 4-port [6], celles-ci gagnent en intérêt et peuvent maintenant être utilisées pour l'extraction d'un modèle complet de transistor MOS [7], ou plus spécifiquement pour l'extraction d'un réseau substrat [8]. On se propose alors dans ce chapitre d'effectuer une caractérisation 4-port de transistors à grille métallique (High-k/Metal Gate) 28nm sur substrat isolé, d'en proposer un modèle adapté à quatre terminaux puis de présenter la procédure d'extraction correspondante de ses paramètres.

## IV.2. Structures de test PWELL/NWELL

Ces structures ont été conçues afin d'aider à la compréhension du comportement du caisson d'un transistor isolé et de faciliter l'extraction des paramètres correspondants.

### IV.2.a. Présentation des structures

Ces structures correspondent à un transistor nMOS avec caisson isolé dont la partie active a été remplacée par un large contact sur le caisson. Il est possible de les comprendre comme une structure d'épluchage de type OPEN dédiée au substrat. Ainsi, ces structures sont constituées d'un large caisson dopé de type p, le PWELL, entouré d'un caisson de type n, le NWELL, le tout isolé en profondeur du reste du substrat (de type p) par une couche de silicium de type n plus fortement dopée, appelée niso ou deep nwell (DNWELL). Un large contact p+ sur le PWELL permet d'assurer la connexion électrique au plot de signal. La couche d'isolation DNWELL ainsi que le caisson NWELL sont mis à la masse via un anneau de prise n+. Enfin, un dernier anneau de prise p+ entourant l'ensemble de la structure permet de mettre le substrat à la masse. En conséquence, il s'agit d'une structure 1-port. Elle est représentée vue de dessus et en coupe transversale sur la Fig. IV-1.

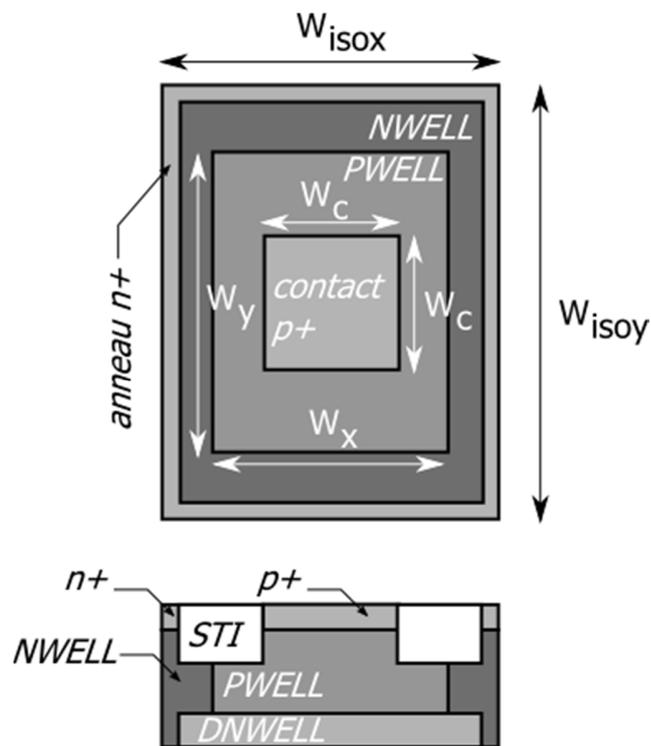


Fig. IV-1: Vue de dessus et coupe transversale suivant la direction x de la structure PWELL/NWELL

Trois versions de ces structures sont disponibles. Celles-ci diffèrent par les dimensions du caisson PWELL ( $W_x \times W_y$ ):  $18\mu\text{m} \times 18\mu\text{m}$ ,  $13\mu\text{m} \times 23\mu\text{m}$ , et  $18.5\mu\text{m} \times 23.5\mu\text{m}$ . Ces variantes de dessin doivent permettre de dissocier les composantes surfaciques et périmétriques mises en jeu. Le caisson NWELL a une dimension de  $W_{isox} \times W_{isoy}$  de  $20\mu\text{m} \times 25\mu\text{m}$  et le contact p+ de  $12\mu\text{m} \times 12\mu\text{m}$ .

#### IV.2.b. Schéma électrique équivalent

D'après la topologie des structures, les directions x et y sont équivalentes, sans toutefois être identiques. Dans un premier temps, on peut cependant proposer un schéma électrique à une dimension, dont les éléments représenteraient la résultante du comportement dans les deux directions. Cette hypothèse suffit pour décrire le comportement fréquentiel de la structure dans une approche de schéma équivalent.

Ainsi, à partir du contact central, deux chemins jusqu'à la masse peuvent être identifiés (Fig. IV-2). Le premier passe directement dans le caisson PWELL, traverse la jonction PWELL/NWELL, assimilée à une capacité  $C_{pwnw}$ , et rejoint ensuite la prise n+ du caisson NWELL. Le deuxième chemin commence par traverser la jonction PWELL/DNWELL, assimilée à la capacité  $C_{dnw}$ , traverse la couche d'isolation et rejoint comme le premier la masse par le contact n+ du caisson NWELL. Au vu de la faible épaisseur de la couche enterrée d'isolation, inférieure au micromètre, et des larges surfaces PWELL et DNWELL en regard, la résistance de la couche d'isolation,  $R_{dnw}$  et la capacité  $C_{dnw}$ , doivent être envisagés comme distribués l'un par rapport à l'autre.

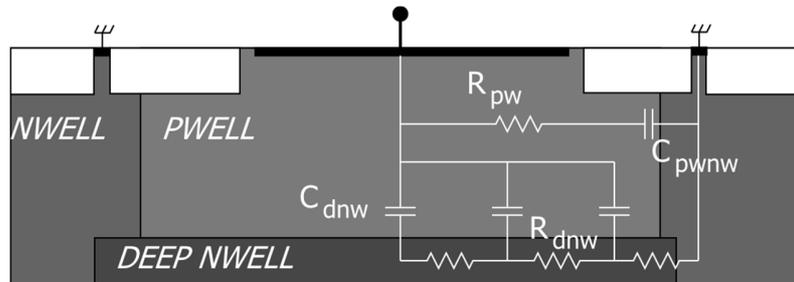


Fig. IV-2: Vue en coupe de la structure PWELL/NWELL avec représentation des éléments du schéma équivalent.

Ces remarques conduisent au schéma équivalent 1-port de la Fig. IV-3 :

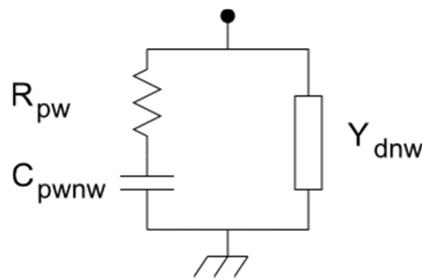


Fig. IV-3: Schéma équivalent électrique de la structure PWELL/NWELL

$Y_{dnw}$  est l'admittance décrivant le réseau  $R_{dnw}C_{dnw}$  distribué et s'écrit :

$$Y_{dnw} = j\omega C_{dnw} \frac{\tanh(\gamma_{dnw}/2)}{\gamma_{dnw}/2}$$

IV-1

$$\text{Avec } \gamma_{dnw} = \sqrt{j\omega R_{dnw} C_{dnw}}$$

#### IV.2.c. Mesures et extraction

Les mesures sont effectuées avec un analyseur de réseau deux ports où chacun des ports est connecté à une structure différente. Le facteur de réflexion donné par la structure est simplement noté  $S_{11}$ . La gamme de fréquence choisie est importante puisque il sera montré qu'il est judicieux de conserver une série de mesure à faible fréquence, c'est-à-dire inférieure au GHz, pour extraire convenablement les paramètres. Les fréquences choisies vont de 100MHz à 67GHz par pas de 100MHz. La tension appliquée sur ces structures est nulle.

En gardant à l'esprit une topologie RC série, les deux grandeurs suivantes sont définies :

$$R = Re(Y_{11}^{-1}) \qquad C = \frac{-1}{\omega Im(Y_{11}^{-1})} \qquad \text{IV-2}$$

Par passage à la limite, quand  $\omega$  tend vers 0, et selon le schéma de la figure Fig. IV-3,  $R$  et  $C$  se simplifient en :

$$R \underset{\omega \rightarrow 0}{\approx} \frac{R_{pw} C_{pwnw}^2 + \frac{R_{dnw}}{12} C_{dnw}^2}{(C_{pwnw} + C_{dnw})^2} \qquad C \underset{\omega \rightarrow 0}{\approx} C_{pwnw} + C_{dnw} \qquad \text{IV-3}$$

A faible fréquence,  $C$  donne donc la valeur de la capacité totale de la structure, à savoir la somme de  $C_{pwnw}$  et  $C_{dnw}$ . Pour discriminer ces deux dernières, les particularités géométriques des structures sont utilisées. En effet, les caissons PWELL de deux structures possèdent le même périmètre pour des surfaces de couche enterrée deep-nwell différentes. Il est alors possible de trouver très simplement la capacité surfacique et la capacité linéique latérale de l'isolation. En vérification, ces valeurs permettent ensuite de retrouver la capacité totale de la 3<sup>ème</sup> structure.

La capacité latérale peut s'écrire :

$$C_{pwnw} = 2 \cdot cpwnw (W_x + W_y) \qquad \text{IV-4}$$

Où  $cpwnw$  est la capacité linéique de la jonction PWELL/NWELL.

La capacité  $C_{dnw}$  est donnée par :

$$C_{dnw} = cdnw \cdot W_x \cdot W_y \qquad \text{IV-5}$$

L'extraction des résistances  $R_{pw}$  et  $R_{dnw}$  est moins aisée, d'une part parce que la grandeur  $R$  ne se réduit pas d'après les équations IV-1 à une expression simple en fonction des seules résistances  $R_{pw}$  et  $R_{dnw}$ , et d'autre part, la loi de variation géométrique est fort complexe, puisque qu'elle fait intervenir deux chemins en parallèle et des effets à trois dimensions. C'est pourquoi l'extraction des résistances s'effectue grâce à une optimisation des paramètres sur chaque structure. L'extraction est effectuée sur une plage de fréquence relativement réduite ( $f < 20\text{GHz}$ ), pour laquelle on observe à la fois le palier des faibles fréquences et le domaine dans lequel  $R$  et  $C$  possèdent la plus grande variation en fréquence.

Les mesures et les simulations avec le modèle extrait sont présentées sur la Fig. IV-4, et le tableau Tab. IV-1 récapitule les valeurs des éléments pour les trois structures.

	$cpwdnw$	$cdnw$	$R_{pw}(\Omega)$	$R_{dnw}(\Omega)$
$18\mu m \times 18\mu m$	754 pF.m <sup>-1</sup>	636 uF.m <sup>-2</sup>	328	109
$13\mu m \times 23\mu m$			63	28
$18.5\mu m \times 23.5\mu m$			137	683

Tab. IV-1: Valeurs des éléments extraits pour les trois structures de diodes PWELL/NWELL.

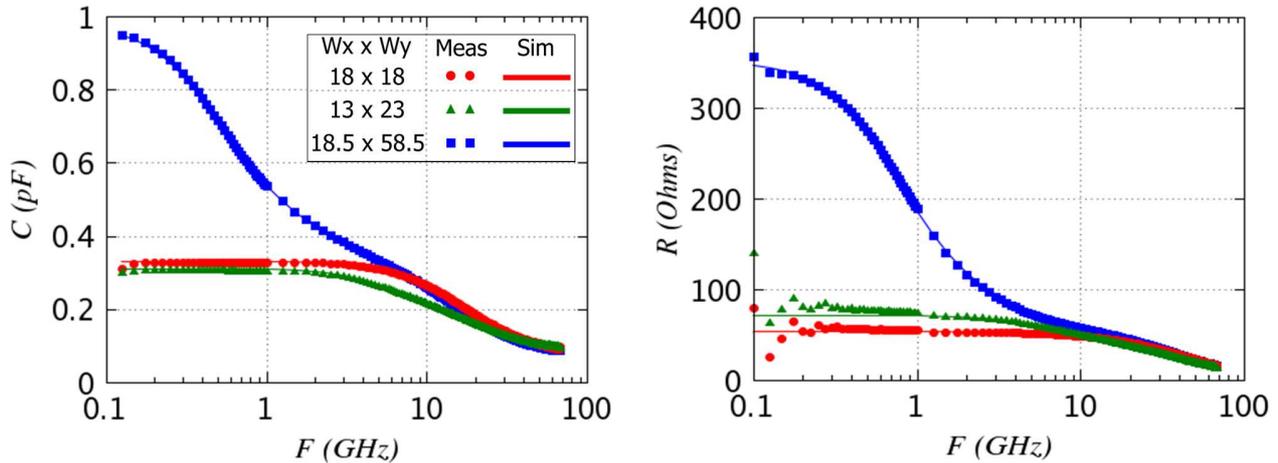


Fig. IV-4: Mesure et simulation des grandeurs  $R$  et  $C$  en fonction de la fréquence des structures PWELL/NWELL pour les 3 géométries de caisson PWELL.

En premier lieu, le modèle utilisé s'avère très prédictif car si les paramètres ont été extraits à une fréquence inférieure à 20GHz, les simulations présentent une excellente correspondance avec les mesures sur toute la bande de fréquence observée.

D'autre part, la structure de dimensions  $18.5\mu m \times 23.5\mu m$  possède une surface d'isolation comparable à celle des véritables transistors utilisés dans ces travaux. Or, la capacité totale de cette structure est très élevée, de l'ordre du pF, par rapport aux capacités du transistor qui sont habituellement de l'ordre de quelques dizaines de fF. On s'attend ainsi à un impact significatif de l'isolation sur les mesures d'un transistor complet.

Enfin, le comportement en fréquence des grandeurs  $R$  et  $C$  est caractéristique d'un réseau fortement distribué, et ce dès les basses fréquences, notamment à cause d'une fréquence de coupure (due au terme  $R_{dnw} C_{dnw}$ ) faible, de l'ordre de 500MHz. L'isolation d'un transistor ne peut donc pas se modéliser avec un simple réseau RC localisé.

En conclusion, ces structures dédiées à l'étude de l'isolation ont permis de jeter les bases d'un premier modèle pour le caisson isolé des transistors MOS. Dans un premier temps, les valeurs des capacités de jonctions entre les caissons du substrat ont pu être extraites. Puis, il a été montré qu'il suffit d'un nombre limité d'éléments dans le schéma équivalent pour décrire de façon satisfaisante le comportement fréquentiel de la structure, à condition de modéliser la couche enterrée d'isolation suivant un schéma distribué. Cette dernière présente une valeur capacitive globale très importante, indiquant ainsi que l'isolation avec une couche enterrée impacte sérieusement le comportement de la structure.

### IV.3. Structures de test grille-caisson

#### IV.3.a. Présentation

Les structures « grille-caisson » (GB) sont des structures dédiées à l'extraction du réseau substrat complet d'un transistor. Elles se présentent sous la forme de dispositifs deux ports dont les points de mesures sont la grille (G) et le caisson (B). Dans cette configuration, les terminaux source et drain sont toujours à la masse, imposant ainsi un transistor froid ( $V_{ds}=0$ ). Sur les schémas de la Fig. IV-5, les topologies des terminaux d'un transistor dans les deux configurations sont données à titre de comparaison.



Fig. IV-5: Configuration des ports pour la mesure d'un transistor en source commune (a) et grille-caisson (b).

Afin de mettre en avant l'intérêt d'une topologie GB pour l'extraction du réseau substrat, un schéma équivalent 4-port du transistor en régime de désertion est montré Fig. IV-6. Il comprend les quatre résistances caisson  $R_w$ ,  $R_{jd}$ ,  $R_{js}$  et  $R_b$ , ainsi que la capacité globale  $C_{iso}$  et la résistance  $R_{iso}$  de la couche d'isolation. Dans un premier temps, pour la clarté de l'exposé, ces éléments sont considérés comme localisés, bien que l'étude précédente des structures PWELL/NWELL ait montré les limitations de ce type d'approche, notamment pour la description du comportement en fréquence de l'isolation.

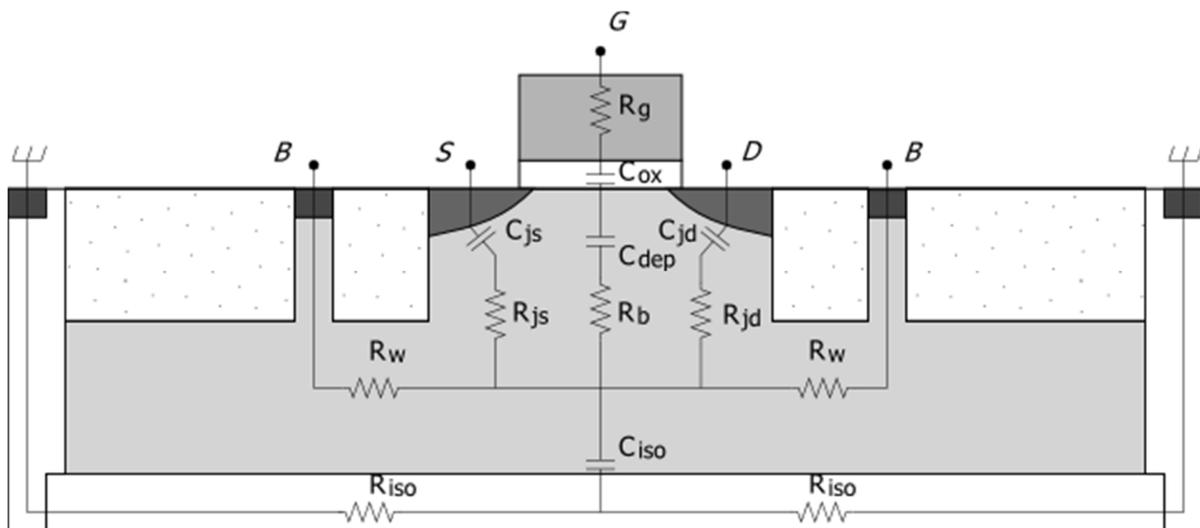


Fig. IV-6: Coupe transversale d'un transistor MOS isolé à un doigt, avec la superposition d'un schéma équivalent valable en régime de désertion. Les capacités extrinsèques  $C_{gdext}$ ,  $C_{gsext}$  et  $C_{gbext}$  ne sont pas représentées.

Le schéma équivalent de la Fig. IV-6 peut se réécrire suivant la configuration de mesure deux ports choisie, GD ou GB, et cela donne lieu aux schémas de la Fig. IV-7 et de la Fig. IV-8 , respectivement. Sur ces derniers, la capacité  $C_{gb}$  correspond la capacité d'oxyde  $C_{ox}$  en série avec la capacité de désertion  $C_{dep}$ . La comparaison des deux schémas équivalents confirme les avantages de la mesure GB sur la mesure GD pour l'extraction du réseau substrat. En effet, en configuration GD, l'entrée dans le substrat s'effectue par la branche  $C_{jd}/R_{jd}$ , qui domine le comportement électrique du dispositif vu du drain. L'extraction des autres éléments du substrat est donc moins précise sachant, qu'en plus, la majorité d'entre eux se retrouvent dans des branches en parallèle les unes des autres. Dans la configuration GB, l'entrée dans le réseau substrat s'effectue uniquement par la résistance d'accès  $R_w$ , ce qui facilite son extraction. Ensuite, la mesure GB associe en parallèle les branches relatives aux terminaux source/drain qui ont des comportements électriques similaires voire identiques, à savoir les branches RC des jonctions ainsi que les capacités extrinsèques  $C_{gs\text{ext}}$  et  $C_{gd\text{ext}}$ . La perte d'information subie est ainsi faible. Enfin, cette configuration donne l'opportunité d'avoir accès à des informations sur les autres branches électriques du circuit, en particulier la connaissance de la capacité  $C_{gb}$  dans tous les régimes d'inversion. Cependant, ces deux configurations se révèlent équivalentes pour la détermination du réseau d'isolation. Dans les deux cas, l'impédance associée est en parallèle d'une autre branche, ce qui rend difficile son extraction directe.

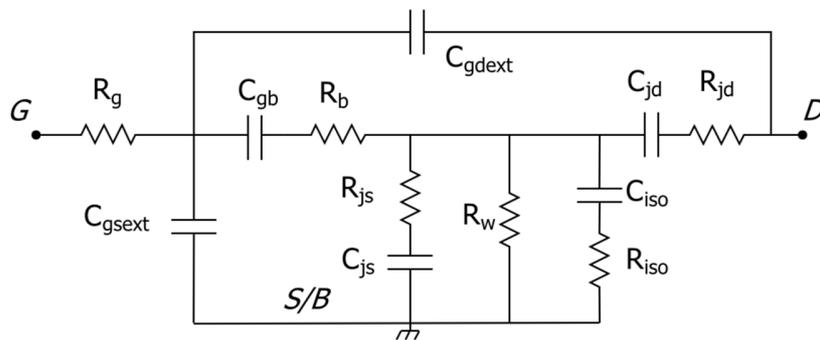


Fig. IV-7: Schéma équivalent en configuration GD du transistor en régime de désertion.

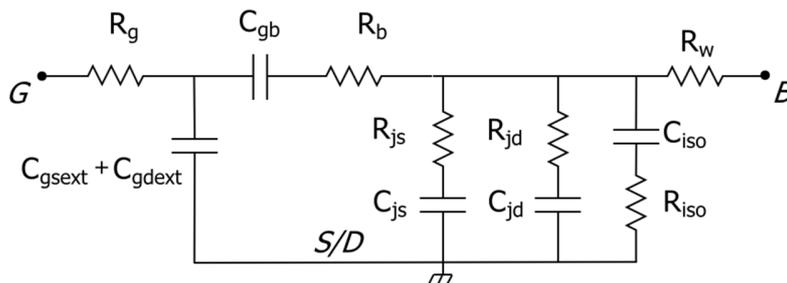


Fig. IV-8: Schéma équivalent en configuration GB du transistor en régime de désertion.

### IV.3.b. Modélisation des caissons isolés

Un exemple de topologie typique des transistors étudiés est présentée Fig. IV-9. Ces derniers sont constitués de motifs de transistors multi-doigts disposés en parallèle. Chaque motif est entouré d'une prise caisson, et l'ensemble de la structure est isolée par la même couche enterrée. Cette dernière a la même surface pour tous les dispositifs étudiés, quelle que soit la géométrie du transistor.

Pour ces transistors, la modélisation du caisson isolé se heurte à des effets de distribution. Par conséquent, un schéma équivalent constitué uniquement d'éléments localisés comme celui de la Fig. IV-6 ne peut suffire pour décrire correctement le comportement de la structure. Ces effets sont de deux natures. Le premier est lié à la grande superficie de la couche d'isolation, et crée ainsi un phénomène de distribution *continue*. Cette dernière est principalement dirigée suivant la dimension la grande du transistor, à savoir la largeur de grille ( $W_f$ ). Le deuxième effet est lié à la succession de doigts entre deux prises caisson qui crée un phénomène de distribution *discrète*. Modéliser simultanément les deux types de distribution est très complexe, et c'est pourquoi la suite s'attachera à choisir l'effet prépondérant suivant la géométrie du transistor.

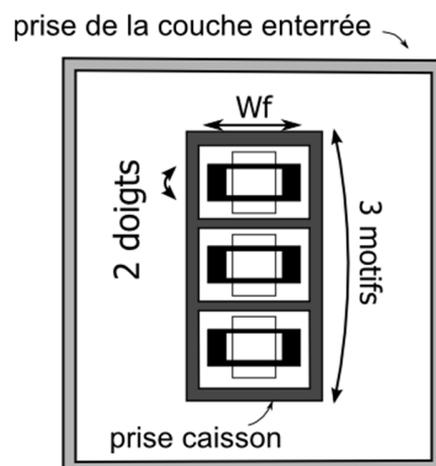


Fig. IV-9: Vue de dessus d'un transistor MOS isolé à 2 doigts de grille et 3 motifs.

#### IV.3.b.i. Modélisation de la distribution continue, modèle de substrat doublement distribué.

Pour la description du caisson et de la couche d'isolation suivant un modèle basé sur une distribution continue, les transistors sont choisis parmi ceux comprenant un petit nombre de doigts ( $N_f$ ) entre deux prises caisson. Un ordre de grandeur du nombre maximal de doigt que peut supporter ce modèle sera évalué par la suite par la confrontation aux mesures.

La Fig. IV-10 présente une vue schématique en coupe du caisson isolé d'un transistor, le long d'un doigt de grille. Elle illustre en particulier la distribution des résistances du caisson PWELL et de la couche enterrée d'isolation par rapport aux capacités grille-caisson ( $C_{gb}$ ) d'une part, et d'isolation d'autre part ( $C_{dnw}$ ).

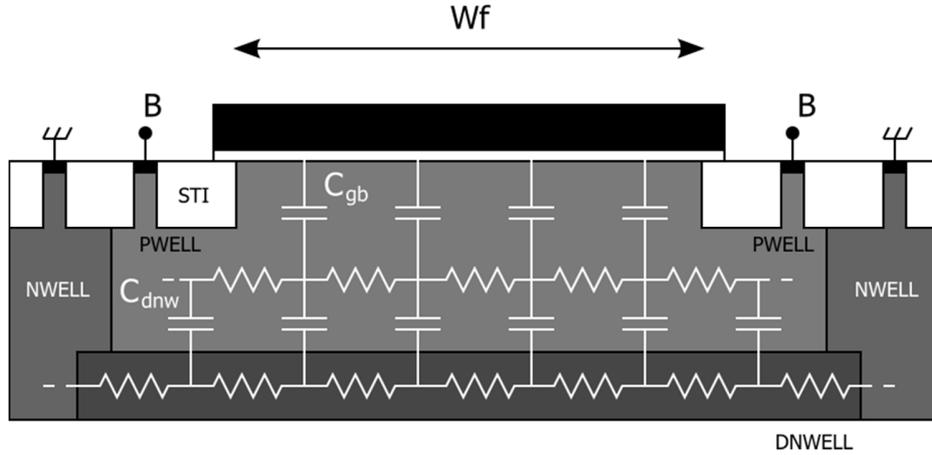


Fig. IV-10: Vue en coupe du caisson isolé d'un MOS suivant la direction d'un doigt de grille et représentation des éléments distribués

Un modèle adapté à cette topologie s'inspire de l'étude des structures PWELL/NWELL. Dans ces dernières, seule la couche enterrée d'isolation requérait une représentation distribuée, par l'introduction de l'admittance adéquate. Dans le cas de la structure grille-caisson, la partie d'accès au substrat, par la prise B, n'est plus la large surface p+ mais un anneau p+ entourant le motif du transistor. La résistance d'accès à la partie active du dispositif, sous le STI, présente sans conteste une nature distribuée par rapport à la capacité d'isolation  $C_{dnw}$ . De même, la composante de la résistance du caisson sous la grille est distribuée à la fois par rapport à la capacité d'isolation  $C_{dnw}$  et par rapport à la capacité du transistor  $C_{gb}$ . Ainsi, ces constatations conduisent à la modification du schéma Fig. IV-6 en intégrant un réseau substrat *doublement distribué*, qui est une adaptation du modèle développé pour l'étude des structures PWELL/NWELL.

Le modèle obtenu est représenté Fig. IV-11. Dans celui-ci, le substrat doublement distribué est représenté par la matrice admittance  $[Y_{sub}]$  à 5 terminaux (G, B, B, S, D). Par souci de clarté, les branches composant le réseau sont simplement représentées par des admittances ou des impédances sur le schéma. Elles se définissent néanmoins ainsi :

$Y_{gb}$  est la branche grille-caisson, constituée de  $C_{gb}$  et  $R_b$  en série :

$$Y_{gb} = \frac{j\omega C_{gb}}{1 + j\omega R_b C_{gb}}$$

$Y_{jd}$  et  $Y_{js}$  sont les branches associées aux jonctions drain/source :

$$Y_{jd/s} = \frac{j\omega C_{js/d}}{1 + j\omega R_{jd/s} R_{jd/s}}$$

$Y_{dnw}$  est l'admittance de la capacité d'isolation. En notant  $C_{dnw}$  la capacité de jonction entre le PWELL et DNWELL, elle s'écrit :

$$Y_{dnw} = j\omega C_{dnw}$$

$Z_w$  est l'impédance du caisson :

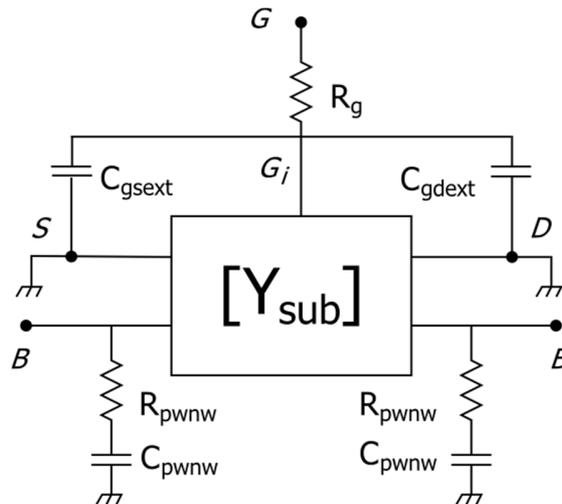
$$Z_w = R_w$$

$Z_{dnw}$  est l'impédance de la couche enterrée d'isolation, de résistance totale  $R_{dnw}$ :

$$Z_{dnw} = R_{dnw}$$

Les éléments de la matrice  $[Y_{sub}]$  s'écrivent en fonction de ces impédances et admittances, et sont issus de la résolution d'une équation de propagation semblable à celle des télégraphistes, mais pour un réseau doublement distribué. Le détail de la résolution et l'expression des paramètres sont explicités en annexe C.

Enfin, les branches localisées  $R_{pwnw}/C_{pwnw}$  traduisent le chemin du caisson PWELL au caisson NWELL, en cohérence avec la structure PWELL/NWELL.



$[Y_{sub}]$ :

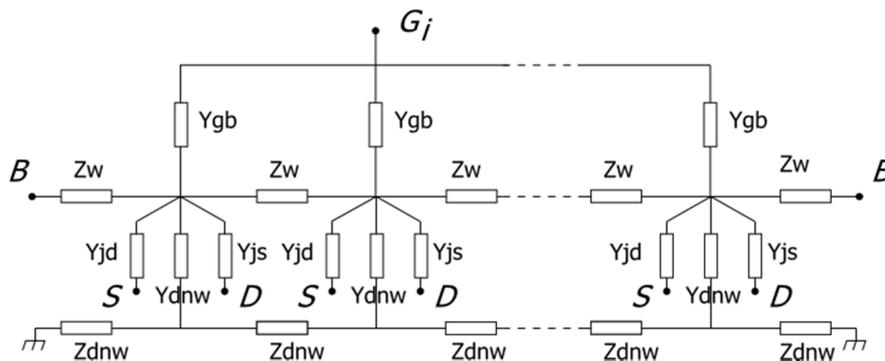


Fig. IV-11: Modèle complet pour la structure grille-caisson, incluant un réseau doublement distribué du caisson isolé sous le doigt de grille, décrit par la matrice admittance  $[Y_{sub}]$

L'extraction des éléments du schéma du côté de la grille est semblable à celle pratiquée sur des mesures obtenues avec une structure en source commune. Ainsi, les capacités  $C_{gsext}$  et  $C_{gdext}$ , supposées égales par symétrie source/drain, sont alors données à  $V_g=V_b=0V$  par :

$$C_{gsext} = C_{gdext} = \frac{-1/2}{\omega \cdot \text{Im} \left( \frac{1}{Y_{11} + Y_{12}} \right)}$$

La capacité  $C_{gb}$  est obtenue directement, à toutes tensions  $V_g$  et  $V_b$ , par :

$$C_{gb} = \frac{1}{\omega \cdot \text{Im}(-1/Y_{12})}$$

La connaissance des capacités extrinsèques et de  $C_{gg}$  en régime de forte inversion ( $V_g=1.1V$ ) permet d'extraire  $R_g$  suivant la méthode décrite dans le chapitre III.

L'extraction des éléments du réseau substrat s'effectue grâce à la branche  $Y_{bx} = Y_{22}+Y_{12}$ , qui permet de s'affranchir de l'influence de la contribution de  $C_{gb}/R_b$ . En utilisant une approche RC série, on définit alors une résistance  $R_{bx}$  et une capacité  $C_{bx}$  apparentes pour le substrat comme suit :

$$R_{bx} = \text{Re}\left(\frac{1}{Y_{22}+Y_{12}}\right) \qquad C_{bx} = \frac{-1}{\omega \cdot \text{Im}\left(\frac{1}{Y_{22}+Y_{12}}\right)} \qquad \text{IV-6}$$

D'après l'expression des paramètres du réseau doublement distribué, le comportement asymptotique de ces grandeurs permet en théorie de retrouver les valeurs des capacités de jonction. En effet, à faible fréquence,  $C_{bx}$  est dominée par la résultante des capacités d'isolation, mais à haute fréquence, elle tend vers un plateau défini par les capacités de jonction. Malheureusement, ce plateau n'est pas atteint avec les mesures disponibles, et les capacités de jonction doivent donc être relevées sur des structures GD équivalentes quand elles sont disponibles, ou à défaut calculées par une règle de proportionnalité en fonction de la largeur totale de grille.

Connaissant les valeurs des capacités latérales et surfaciques des jonctions PWELL/NWELL et NWELL/DNWELL grâce aux structures PWELL/NWELL précédentes, et connaissant aussi les dimensions du caisson isolé, les valeurs des capacités  $C_{dnw}$  et  $C_{pwndw}$  peuvent être établies séparément. Enfin, la résultante capacitive totale est vérifiée sur la valeur à base fréquence de  $C_{bx}$ .

Comme pour les structures PWELL/NWELL, les résistances du réseau sont extraites par une procédure d'optimisation de la simulation sur les mesures de  $R_{bx}$  et  $C_{bx}$ . De préférence, la gamme de fréquence est réduite à  $f < 20GHz$ , là où les paramètres de l'isolation sont dominants. La confrontation du modèle à la mesure jusqu'à  $f=80GHz$  permet ensuite de vérifier la validité de l'extraction et du modèle lui-même.

Les résultats de simulation avec le modèle complet extrait suivant la démarche expliquée ci-dessus sont présentés sur les Fig. IV-12 et Fig. IV-13 pour trois géométries de transistors, rappelées Tab. IV-2. Les valeurs des résistances du modèle sont récapitulées dans le tableau Tab. III-3.

La Fig. IV-12 montre la résistance  $R_{bb}$  et la capacité  $C_{bb}$  apparentes vue du port B, tandis que la Fig. IV-13 montre le paramètre  $Y_{22}$ , en partie réelle et imaginaire.  $R_{bb}$  et  $C_{bb}$  sont données par :

$$R_{bb} = \text{Re}\left(\frac{1}{Y_{22}}\right) \qquad C_{bb} = \frac{1}{\omega \cdot \text{Im}(1/Y_{22})} \qquad \text{IV-7}$$

Ces deux types de représentation permettent de distinguer le comportement du modèle à basses fréquences pour la Fig. IV-12 et en limite du domaine pour la Fig. IV-13. De plus,  $R_{bb}$  et  $C_{bb}$  donnent une image en termes d'éléments électriques du schéma équivalent, donc plus immédiatement compréhensible.

Dispositifs	L (nm)	Wf ( $\mu\text{m}$ )	Nf par motif	Nb de motifs
T_30x10x1x6	30	10	1	6
T_30x10x2x6	30	10	2	6
T_30x2x10x6	30	2	10	6

Tab. IV-2: Récapitulation des géométries des transistors mesurés et simulés dans le cadre du modèle doublement distribué.

Dispositifs	Rw ( $\Omega$ )	Rb ( $\Omega$ )	Rj ( $\Omega$ )	Rdnw (k $\Omega$ )	Rpwnw ( $\Omega$ )
T_30x10x1x6	351	351	38	4.7	198
T_30x10x2x6	322	184	77	6.0	144
T_30x2x10x6	222	194	38	6.3	53

Tab. IV-3: Valeurs des paramètres de résistances extraites pour le modèle doublement distribué pour les trois géométries de transistors étudiées.

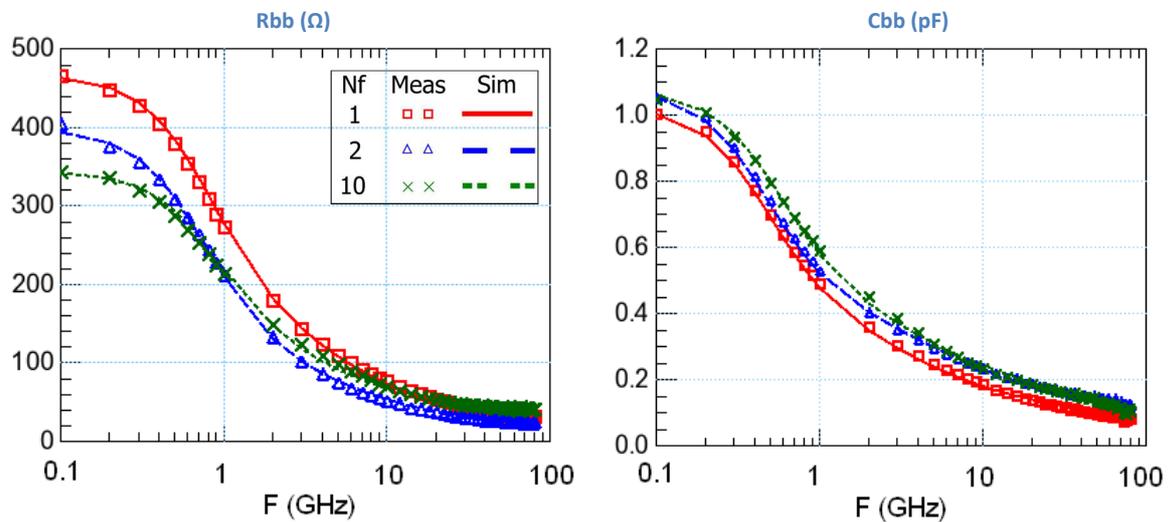


Fig. IV-12: Mesure et simulation des résistances et capacités apparentes vues du port B des structures grille-caisson à 1,2 et 10 doigts en technologies 45nm.  $V_g=V_b=0V$

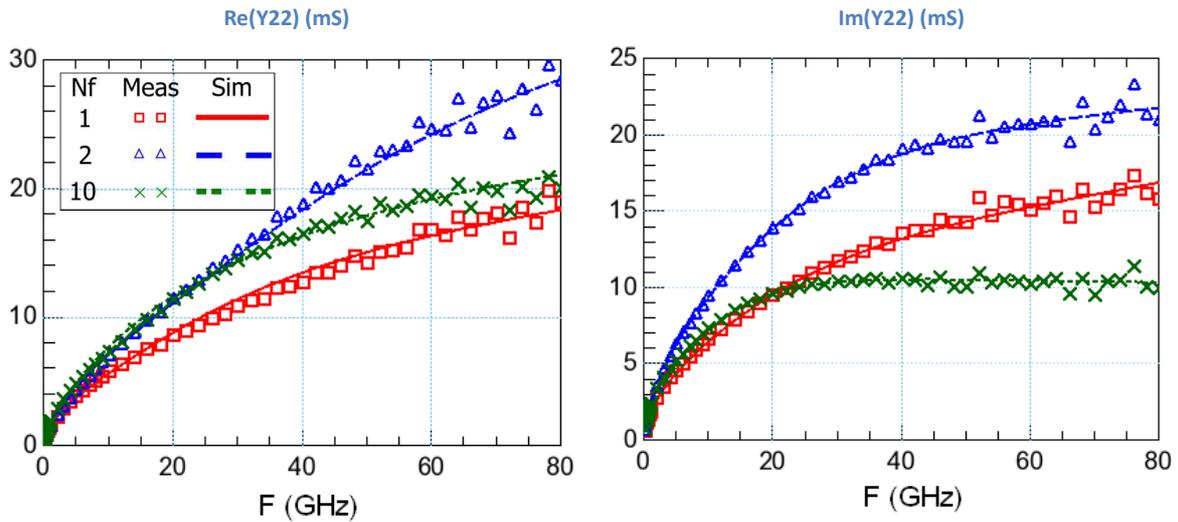


Fig. IV-13: Mesure et simulation des parties réelle et imaginaire de  $Y_{22}$  extraites des structures grille-caisson à 1, 2 et 10 doigts en technologies 45nm.  $V_g=V_b=0V$

#### IV.3.b.ii. Modèle paramétrique de caisson isolé doublement distribué.

Après extraction de ses paramètres, le modèle distribué développé au paragraphe précédent permet la description des dispositifs pris séparément. Mais il n'est pas capable de décrire l'ensemble des dispositifs avec un seul jeu de paramètres. En outre, il se concentre principalement sur la partie du caisson située sous la grille, en prenant en compte la nature distribuée de la capacité  $C_{gb}$  et des capacités de jonction. En réalité, la plus grande partie des effets distribués est située à l'extérieur de la prise p+ entourant le caisson isolé. Par conséquent, si l'on se réfère à la Fig. IV-14 représentant les directions de propagation dans le substrat, ce modèle est parfaitement adapté à la description du substrat sous le dispositif, représenté par la matrice  $[Y_s]$ , mais donne une description imprécise des parties du caisson s'étendant sous le STI dans les directions x et y, représentées par les matrices  $[Y_x]$  et  $[Y_y]$ . Les valeurs des éléments extraits suivant le modèle précédent ne pouvaient donc pas répondre à des lois de variations géométriques, puisqu'il s'agit de valeurs apparentes résultant à la fois du comportement du caisson sous le dispositif, via  $[Y_s]$ , et à l'extérieur de celui-ci, via  $[Y_x]$  et  $[Y_y]$ .

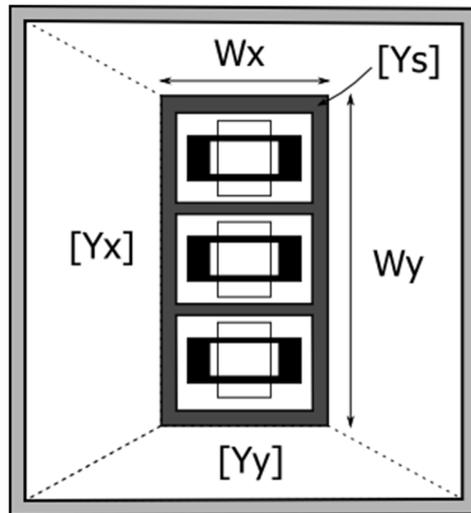


Fig. IV-14: Vue de dessus d'un transistor MOS isolé, avec illustration des directions de propagation dans le substrat et des matrices de paramètres  $[Y]$  associées.

### Schéma équivalent

La modification du modèle repose ainsi sur un découpage du caisson en trois sections : celle sous le dispositif,  $[Y_s]$ , et celles dans les deux directions  $x$  et  $y$ ,  $[Y_x]$  et  $[Y_y]$ . Le modèle complet correspondant à cette approche est représenté sur la Fig. IV-15.

En supposant que les effets de la double distribution sont prépondérants dans les parties externes à la prise du caisson, la matrice  $[Y_s]$  est constituée d'un réseau simplement distribué, identique à celui utilisé pour la description des structures PWELL/DNWELL (Fig. IV-16). En revanche, les deux sections dans les directions  $x$  et  $y$  sont modélisées à l'aide de réseaux doublement distribués (Fig. IV-17), dont les expressions se déduisent des précédentes et sont rappelées en annexe C. Ce modèle a par ailleurs l'avantage d'être intégrable dans un modèle compact, via une connexion avec au terminal caisson ('bulk') de ce dernier, comme le montre la Fig. IV-15.

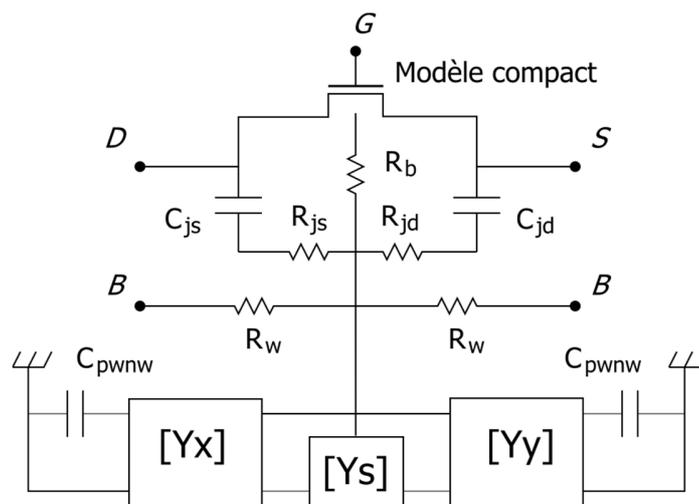


Fig. IV-15: Modèle complet paramétrique de caisson isolé, relié à un modèle compact de MOS.

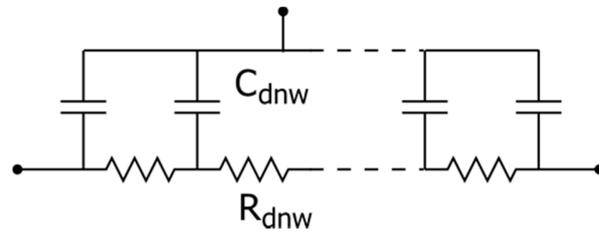


Fig. IV-16: Réseau distribué [Ys]

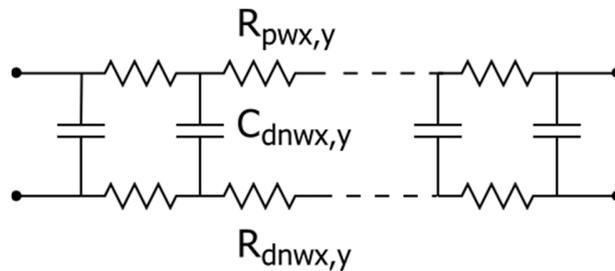


Fig. IV-17: Réseaux doublement distribués [Yx] et [Yy]

### Lois de variations géométriques

Les lois de variations géométriques des éléments du schéma sont basées sur les dimensions de la prise caisson entourant le dispositif,  $W_x$  et  $W_y$ , ainsi que sur celles de la couche enterrée d'isolation,  $W_{isox}$  et  $W_{isoy}$ . La Fig. IV-18 reprend la Fig. IV-15 en indiquant les dimensions citées précédemment.

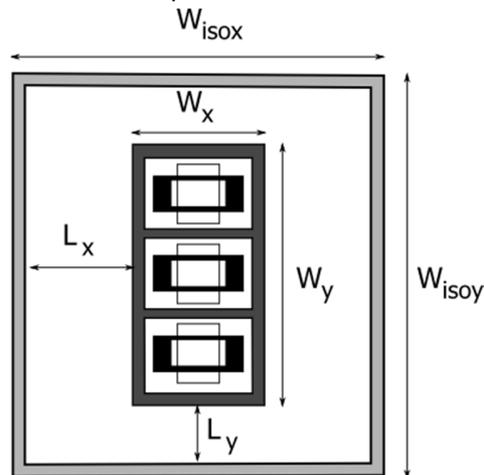


Fig. IV-18: Définition des dimensions géométriques d'un transistor MOS sur caisson isolé

Les formes géométriques des éléments à considérer dans les directions x et y sont des trapèzes dont la petite base est constituée de la bordure de la prise caisson et la grande base du bord de la prise d'isolation. Les capacités associées s'écrivent alors :

$$C_{dnwx,y} = c_{dnw} \frac{(W_{x,y} + W_{isox,y})L_{y,x}}{2}$$

IV-8

Où  $c_{dnw}$  est la capacité surfacique de la jonction PWELL/DNWELL.

Les résistances ont les expressions suivantes :

$$R_{dnwx,y} = rdnw \frac{2L_{y,x}}{W_{isox,y}} \ln \left( 1 + \frac{(W_{isox,y} - W_{x,y})}{2W_{x,y}} \right) \quad \text{IV-9}$$

$$R_{pwx,y} = rpw \frac{2L_{y,x}}{W_{isox,y}} \ln \left( 1 + \frac{(W_{isox,y} - W_{x,y})}{2W_{x,y}} \right) \quad \text{IV-10}$$

Où  $rdnw$  et  $rpw$  sont respectivement les résistances par carré de la couche d'isolation et du PWELL sous le STI.

Les capacités latérales sont exprimées par :

$$C_{dnwx,y} = 2 \cdot cpwnw W_{isox,y} \quad \text{IV-11}$$

Où  $cpwnw$  est la capacité linéique de la jonction PWELL/DNWELL.

$C_{dnw}$  est la capacité de la couche d'isolation sous le dispositif :

$$C_{dnw} = cdnw W_x W_y \quad \text{IV-12}$$

Enfin, la résistance de la couche d'isolation sous le dispositif est supposée décrire une propagation suivant la largeur du doigt de grille et s'écrit donc :

$$R_{dnw} = rdnw \frac{W_x}{W_y} \quad \text{IV-13}$$

#### Application à des structures réalisées en technologie 45nm

Pour les dispositifs récapitulés dans le Tab. IV-4, les paramètres résistifs sont extraits par une procédure d'optimisation sur la résistance effective totale  $R_{bb}$  à  $f=100\text{MHz}$ . Les paramètres capacitifs sont eux extraits à partir des structures PWELL/NWELL. La Fig. IV-19 montre les résultats de l'extraction des résistances et l'application du modèle sur toute la bande de fréquence mesurée, pour  $V_g=V_b=0V$ .

Dispositif	W (μm)	L (nm)	Nf	Wf (μm)	Mult
1	20	40	10	2	6
2	20	80	10	2	6
3	20	120	10	2	6
4	120	40	24	5	1
5	1.28	40	4	0.32	36
6	9.6	40	30	0.32	6
7	10	40	1	10	6
8	20	40	2	10	6

Tab. IV-4: Géométries des transistors disponibles en configuration GB pour la détermination des lois paramétriques du réseau de caisson isolé

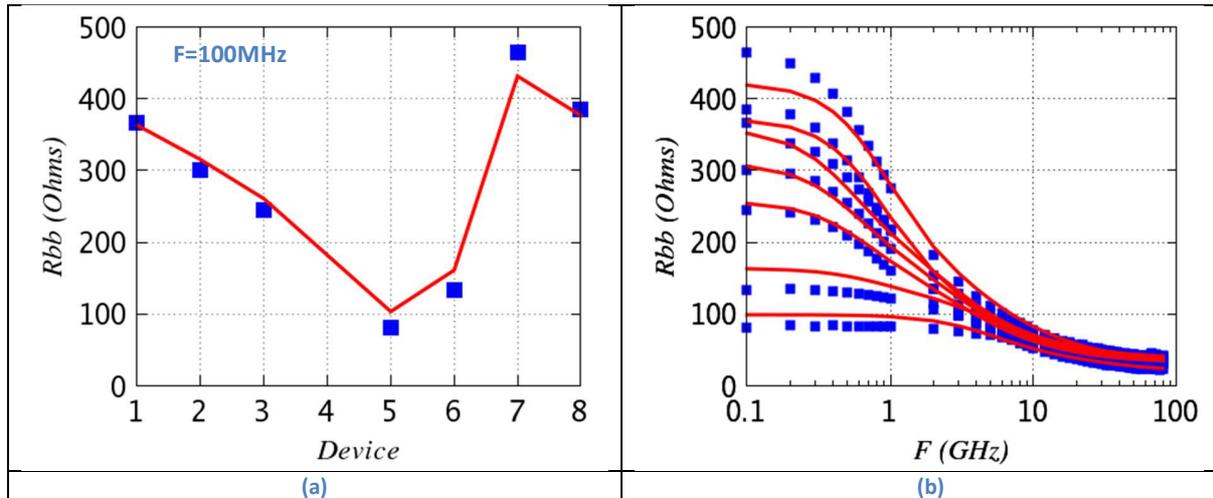


Fig. IV-19: Résistance totale vue du port B pour chaque dispositif : (a) extraction à 100MHz, (b) vérification de la dépendance fréquentielle.

L'extraction donne les valeurs de résistance par carré suivantes :

$rdnw = 1.250 \text{ k}\Omega / \text{carré}$  pour la résistance de la couche enterrée d'isolation

$rpw = 645 \Omega / \text{carré}$  pour la résistance du caisson p+

Le modèle permet de reproduire de façon satisfaisante toutes les géométries disponibles à l'exception du transistor 4. Cependant, ce dernier est singulier car il cumule à la fois un grand nombre de doigts ( $N_f$ ) par motif et une grande largeur de doigt unitaire ( $W_f$ ). Bien décrire ce transistor nécessite donc un modèle qui tiendrait compte à la fois de la double distribution de la résistance du caisson isolé (matrice  $[Y_{sub}]$  présentée précédemment) et d'une nouvelle distribution, discrète celle-là, suivant le nombre de doigts. Une telle approche n'est pas compatible avec une topologie simple convenant à un modèle compact. Aussi, une description correcte du comportement de ce transistor passe nécessairement par l'utilisation de plusieurs instances de modèle compact en parallèle, opération permise par les outils de simulation post-layout usuels.

L'exploitation de mesures RF faites sur des structures grille-caisson a donné l'opportunité d'effectuer une étude complète du transistor MOS à caisson isolé, dans un cadre proche de conditions réelles d'utilisation du transistor. Il a été confirmé la présence d'effets distribués fortement liés à la couche d'isolation et ceux-ci ont été modélisés, d'une part en tenant compte de la distribution des capacités proches du transistor - les capacités de jonction et de désertion – et, d'autre part, des capacités de jonctions entre les couches des caissons PWELL, NWELL et DNWELL. Enfin, à partir de ces premières investigations, un sous-circuit paramétrique décrivant un caisson isolé et approprié pour les modèles compacts a été développé. Cela a aussi permis de montrer que les résistances des caissons situées à l'extérieur de la prise caisson p+ du dispositif ont un rôle non négligeable dans le comportement électrique du substrat, a minima dans le contexte de structures grille-caisson.

Ainsi, les structures grille-caisson permettent une extraction complète d'un réseau substrat pour le transistor MOS. Leur encombrement est relativement réduit, proche de celui d'un transistor en source-commune, ce qui permet ainsi d'envisager un nombre important de dispositifs de géométries différentes. Cette étude en a tiré parti afin d'élaborer le modèle paramétrique. Cependant, certaines grandeurs comme les jonctions source/drain sont difficilement accessibles car toujours dans des branches parallèles à celle de l'isolation. L'emploi de structures 4-port devrait permettre d'éliminer cette limitation, comme cela va être démontré dans ce qui suit.

## IV.4. Les mesures 4-port

Dans la continuité de la structure grille-caisson, la structure 4-port permet sans doute d'accéder au stade ultime de l'extraction d'un modèle RF de transistor MOS. En effet, les modèles standards, comme les modèles compacts, sont généralement des modèles à 4-terminaux afin de couvrir toutes les topologies rencontrées dans les différentes applications d'un transistor MOS. Cependant, les méthodes d'extraction usuelles reposent sur des mesures en configuration deux ports, ce qui, nous venons de le voir, engendre des imprécisions sur l'interprétation des mesures et donc l'extraction du modèle. A contrario, les mesures 4-port donnent enfin l'opportunité d'extraire simplement et précisément tous les paramètres d'un modèle, compact ou non, en donnant accès à toutes les caractéristiques du composant. En particulier, des grandeurs jusqu'alors difficilement accessibles telles que la transconductance  $G_{mb}$  ou encore certaines capacités entre terminaux sont maintenant directement mesurables.

### IV.4.a. Structures 4-port, mesures et épiluchage

Les structures 4-port sont constituées d'un dispositif à mesurer placé au centre de deux jeux de plots RF de type GSGSG (ground-signal-ground-signal-ground), et se présentent suivant la topologie représentée sur la photographie de la Fig. IV-20. L'analyseur de réseau est un PNA-X N5247A 4-port de Agilent, capable d'effectuer des mesures de paramètres [S] jusqu'à 67GHz [6]. Le choix de la gamme de fréquence est ici de 100MHz à 50GHz. Enfin, pour toute l'étude, la numérotation des ports est la suivante : 1: Grille, 2: Drain, 3: Source et 4: Caisson (Bulk).

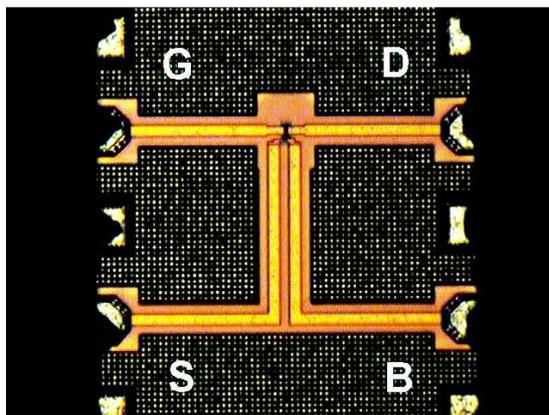


Fig. IV-20: Photographie d'un transistor dans une structure 4-port, indiquant la disposition des ports.

Comme mentionné précédemment, les transistors sont construits en technologie 28nm à grille métallique HKMG et disposent d'un caisson isolé. Trois structures de géométries différentes sont disponibles dont les caractéristiques sont récapitulées dans le tableau Tab. IV-5. Le transistor M1 est le transistor de référence et possède une longueur de grille de 30nm. La variante M2 a une longueur de grille plus importante (90nm) et M3 une plus grande largeur de grille unitaire ( $5\mu\text{m}$  au lieu de 2). Le nombre de doigts de grille et le facteur de multiplicité sont identiques pour les trois structures, donnant un total de

60 doigts. Des dispositifs identiques à M1 et M2 sont également disponibles dans des configurations 2-port, permettant ainsi la comparaison et la validation des méthodes d'épluchage.

	Lg (nm)	Wf (μm)	Nf	mult	W (μm)
<b>M1</b>	30	2	10	6	120
<b>M2</b>	90	2	10	6	120
<b>M3</b>	30	5	10	6	300

Tab. IV-5: Caractéristiques géométriques des transistors disponibles en configuration 4-ports

A l'instar des mesures 2-port, l'épluchage des mesures peut s'effectuer suivant les procédures PAD-THRU ou OPEN-SHORT [9]. Dans le cas présent, les structures permettant l'application des deux méthodes sont disponibles.

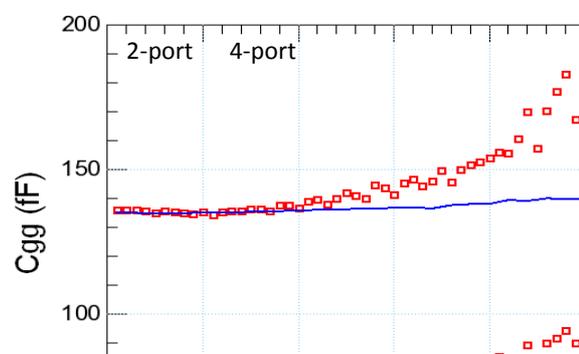
La méthode PAD-THRU est basée sur la théorie des lignes de transmission. Des structures génériques permettent d'extraire les constantes de propagation des lignes sur le silicium et d'après la connaissance des longueurs des lignes d'accès de chaque port, il est possible de corriger les mesures des effets de ces lignes. Cette méthode présente l'avantage de prendre en compte les effets de distribution des lignes d'accès, offrant en théorie un plus grand champ d'application en fréquence. Cependant, elle s'est révélée difficilement applicable dans le cas présent pour plusieurs raisons. En premier lieu, il s'avère que la ligne de référence (le 'thru') ne présente les caractéristiques d'une ligne de transmission que sur une plage limitée de fréquences. D'autre part, cette procédure d'épluchage ne s'applique que dans le cas de terminaux non couplés entre eux. Or, la proximité des accès aux ports S et B, tel qu'illustrée sur la photographie Fig. IV-20, crée un fort couplage entre eux, rendant l'hypothèse précédente invalide.

La procédure OPEN/SHORT travaille elle avec des éléments localisés, est simple à mettre en œuvre et s'affranchit, dans une certaine mesure, du couplage entre les terminaux source et caisson. De plus, elle permet un épluchage au plus proche du dispositif, grâce à l'emploi de structures dédiées. L'équation d'une correction OPEN/SHORT pour une mesure 4-port s'écrit de manière semblable à celle d'une configuration 2-port:

$$Y_{dut} = ((Y_{mes} - Y_{OPEN})^{-1} - (Y_{SHORT} - Y_{OPEN})^{-1})^{-1} \quad \text{IV-14}$$

Les comparaisons des résultats obtenus en 4-port avec les mesures 2-ports des dispositifs ont montré que cette dernière méthode d'épluchage donnait des résultats plus proches de ceux des 2-ports que la première. Ainsi, elle a été choisie pour la correction des mesures 4-port et sera appliquée dans la suite de l'étude.

Néanmoins, la méthode d'épluchage utilisée n'a pas corrigé totalement les mesures. En effet, la comparaison avec les mesures 2-port montre tout de même la présence d'un effet inductif résiduel, probablement lié à l'inductance mutuelle entre les terminaux source et caisson évoquée précédemment. Ce phénomène est en particulier visible sur la capacité totale de grille  $C_{gg}$ , représentée sur la Fig. IV-21. Par la suite, cet effet limitera la plage de validité en fréquence de l'extraction aux alentours de 30GHz.





Vg=1V

Vg=0V

Fig. IV-21: Comparaison des mesures, épluchées suivant une méthode OPEN /SHORT, de la capacité totale de grille du transistor M1 en configuration 2-port et 4-port.

Notons ici que des structures corrigées pour supprimer le problème de couplage entre les ports S et B ont été réalisées depuis et devraient pouvoir être mesurées prochainement.

#### IV.4.b. Modèle de transistor MOS à quatre terminaux

Pour accompagner l'analyse des mesures 4-Port, un modèle de transistor à quatre terminaux est proposé sur la Fig. IV-22. Il est basé sur un schéma équivalent petit-signal et distingue une partie intrinsèque et une partie extrinsèque. La partie intrinsèque est constituée des transconductances  $G_m$  et  $G_{mb}$ , cette dernière étant souvent absente sur un schéma équivalent deux ports, de la conductance du canal  $G_{ds}$ , des capacités intrinsèques et de la résistance  $R_i$ . Le modèle inclut également une résistance de grille, décrivant dans le cas présent la résistance de l'empilement de grille HKMG, et un réseau substrat. Ce dernier est constitué des capacités de jonction  $C_{js}$  et  $C_{jd}$  (contenues dans les capacités  $C_{bs}$  et  $C_{bd}$  du schéma Fig. IV-22) et de quatre résistances :  $R_b$ , la résistance du caisson située sous la grille,  $R_{js}$  et  $R_{jd}$ , les résistances des branches de jonction et de la résistance d'accès au caisson  $R_w$ . Ces quatre résistances forment un réseau substrat semblable à celui du modèle compact PSP. Pour tenir en compte la spécificité du transistor sur caisson isolé, un réseau dédié à la couche enterrée d'isolation est inclus dans le modèle. Il contient la résistance d'accès au deep NWELL,  $R_{isoext}$ , ainsi qu'une admittance,  $Y_{iso}$ , décrivant la distribution entre la capacité  $C_{iso}$  et la résistance  $R_{iso}$  de la couche enterrée. Son expression est la suivante :

$$Y_{iso} = j\omega C_{iso} \frac{\tanh(\gamma_{iso}/2)}{\gamma_{iso}/2} \quad \text{avec } \gamma_{iso} = \sqrt{j\omega R_{iso} C_{iso}} \quad \text{IV-15}$$

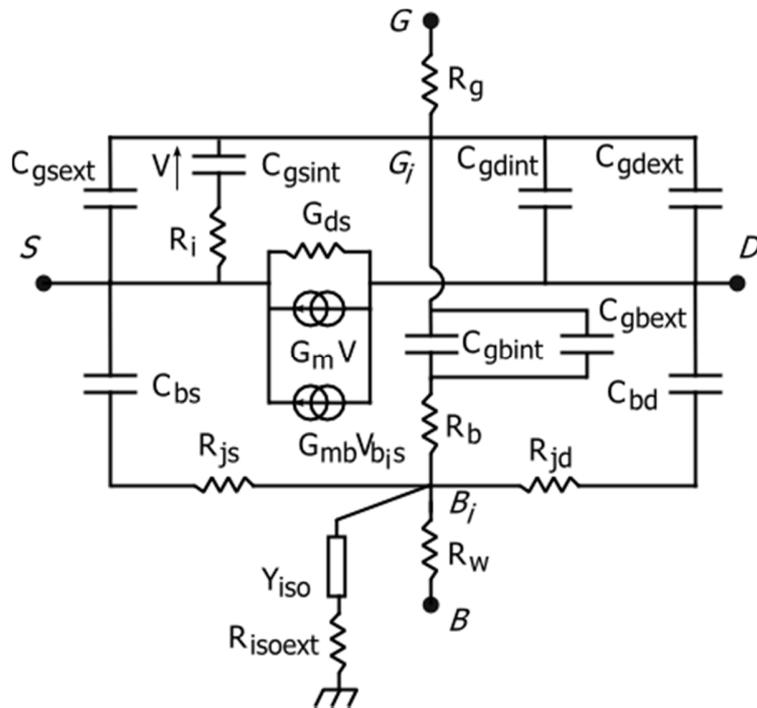


Fig. IV-22. Schéma équivalent petit-signal à quatre terminaux.

D'après l'étude du caisson isolé effectuée avec les structures grille-caisson, le réseau proposé est sans conteste une version simplifiée du modèle de substrat. En particulier, la distribution de la capacité  $C_{iso}$  avec les résistances  $R_w$  et  $R_{iso}$  n'est pas prise en compte. Néanmoins, l'objectif recherché ici est l'extraction du réseau à quatre résistances localisées du modèle compact PSP et, dans ce sens, cette version du modèle de substrat répond à ce besoin. Néanmoins, la description de l'isolation reste nécessaire pour reproduire le comportement électrique vu du caisson, et le modèle de l'isolation basé sur  $Y_{iso}$  offre une précision relativement satisfaisante en fréquence, comme il sera montré plus loin.

#### IV.4.c. Méthode d'extraction à partir de mesures 4-Port

##### IV.4.c.i. Principe

Les mesures 4-port offrent l'opportunité d'extraire tous les éléments du modèle présenté Fig. IV-22, grâce à la topologie particulière de ce dernier et en tirant parti de l'accès à tous les terminaux. En effet, ce réseau, après épluchage des résistances d' « accès »  $R_g$  et  $R_w$ , se présente sous la forme du schéma équivalent Fig. IV-23, qui montre les branches entre les terminaux. Ces dernières peuvent s'extraire directement grâce à l'emploi des paramètres  $[Y]$ , comme pour un réseau en  $\Pi$  deux ports.

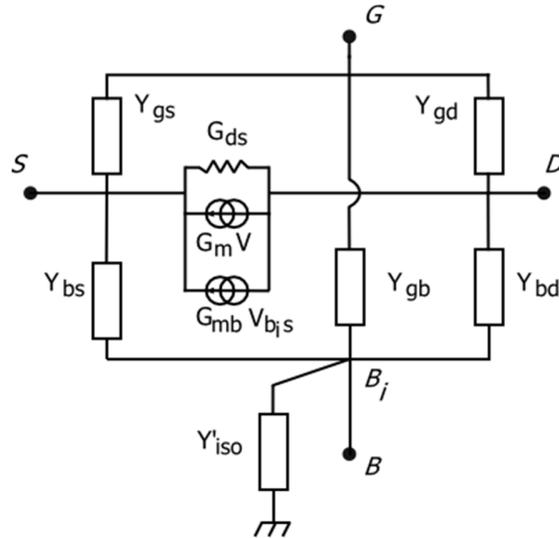


Fig. IV-23: Schéma équivalent 4-port épluché des résistances d'accès  $R_g$  et  $R_w$ .

D'après le modèle Fig. IV-22, le seul chemin électrique vers la masse passe par la branche d'isolation formée de l'admittance  $Y_{iso}$  et la résistance  $R_{isoext}$ . Cette topologie crée alors un nœud central  $B_i$  et il est alors facile de vérifier que tous les paramètres  $Z_{ij}$  (pour  $i$  différent de  $j$ ) sont égaux entre eux et valent :

$$Z_{ij} = R_{isoext} + Y_{iso}^{-1} \quad \text{Pour } i \in \llbracket 1; 4 \rrbracket \text{ et } j \in \llbracket 1; 4 \rrbracket, i \neq j \quad \text{IV-16}$$

En conséquence, la résistance  $R_w$ , directement connectée à ce nœud, est donnée par la relation :

$$R_w = \text{Re}(Z_{44} - Z_{ij}) \quad \text{Pour } i \in \llbracket 1; 4 \rrbracket \text{ et } j \in \llbracket 1; 4 \rrbracket, i \neq j \quad \text{IV-17}$$

La topologie du modèle côté grille ne permet pas une extraction aussi directe de la résistance  $R_g$ . Néanmoins, la méthode basée sur la résistance effective de grille  $R_{gg}$ , présentée au chapitre II, s'applique aussi sur ces mesures, après évaluation des capacités de grille et de la conductance du canal. Notons que cette dernière est donnée directement dans le cas présent par la relation :

$$G_{ds} = \text{Re}(-Y_{32}) \quad \text{IV-18}$$

Le détail de l'extraction des éléments de la capacité de grille nécessaires à la détermination de  $R_g$  sera donné par la suite.

Une fois connues les résistances d'accès  $R_g$  et  $R_w$ , elles sont retranchées de la matrice  $[Z]$  initiale, ce qui conduit à la construction de la matrice d'impédance  $[Z']$  suivante :

$$[Z'] = \begin{bmatrix} Z_{11} - R_g & Z_{12} & Z_{13} & Z_{14} \\ Z_{21} & Z_{22} & Z_{23} & Z_{24} \\ Z_{31} & Z_{32} & Z_{33} & Z_{34} \\ Z_{41} & Z_{42} & Z_{43} & Z_{44} - R_w \end{bmatrix} \quad \text{IV-19}$$

De cette matrice se déduit la matrice admittance  $[Y']$  du réseau Fig. IV-23, à partir de laquelle les différentes branches vont être extraites:

$$[Y'] = [Z']^{-1} \quad \text{IV-20}$$

#### IV.4.c.ii. Capacités de grille

Les mesures 4-ports permettent l'extraction directe des valeurs de capacités de grille pour toutes les polarisations. Comparées à des mesures en source commune, les capacités grille-source et grille-caisson sont accessibles sans hypothèse de symétrie. Par une approche RC séries des branches  $Y_{gd}$ ,  $Y_{gs}$  et  $Y_{gb}$ , ces capacités sont extraites comme suit :

$$C_{ga} = \frac{-1}{\omega \cdot \text{Im}(-1/Y_{12})} \quad C_{gs} = \frac{-1}{\omega \cdot \text{Im}(-1/Y_{13})} \quad C_{gb} = \frac{-1}{\omega \cdot \text{Im}(-1/Y_{14})} \quad \text{IV-21}$$

L'utilisation de la matrice  $[Y]$  est en effet possible pour ces grandeurs si l'extraction est effectuée à faible fréquence. Les Fig. IV-24 et Fig. IV-25 montrent un exemple à  $f=1\text{GHz}$  et à  $V_{ds}=0\text{V}$  pour les capacités  $C_{gd}$  et  $C_{gs}$ , et  $C_{gb}$ , respectivement. Elles illustrent dans le même temps l'extraction des éléments extrinsèques, dans le régime pour lequel les composantes intrinsèques disparaissent.

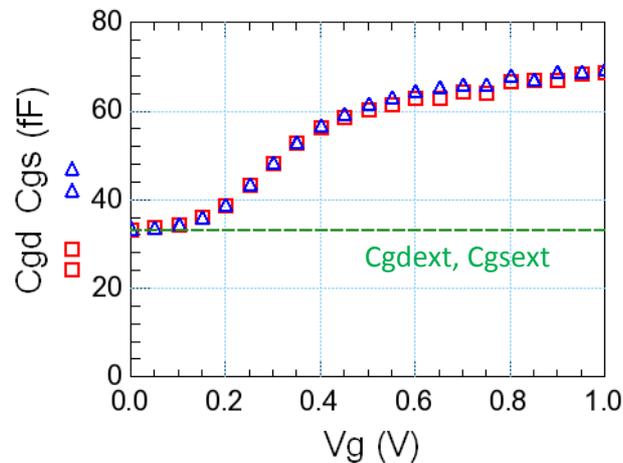


Fig. IV-24: Extraction des capacités  $C_{gd}$  et  $C_{gs}$  à  $V_{ds}=0\text{V}$  pour le transistor M1, avec le relevé des capacités extrinsèques correspondantes

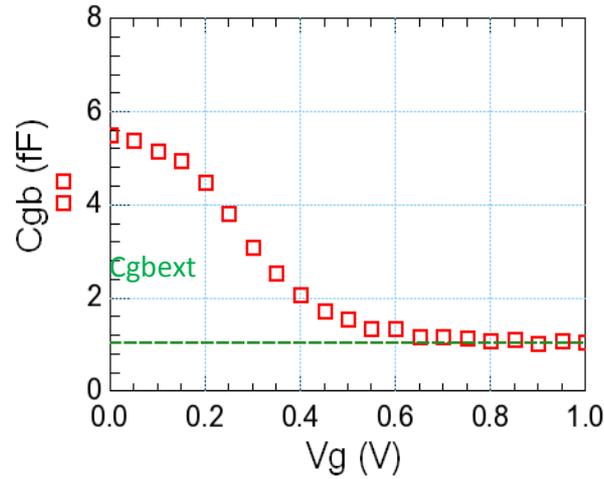


Fig. IV-25: Extraction de la capacité  $C_{gb}$  à  $V_{ds}=0V$ ,  $f=1GHz$  pour le transistor M1, avec le relevé de la capacité extrinsèque.

#### IV.4.c.iii. Relations entre paramètres $[Y']$ et les éléments du schéma équivalent

Les capacités obtenues, la résistance d'accès de grille  $R_g$  est extraite de la même manière qu'au chapitre III. Avec la connaissance supplémentaire de  $R_w$ , la matrice de paramètres  $[Y']$  est déterminée grâce à IV-19 et IV-20. On peut alors relier les paramètres de la matrice  $[Y']$  aux éléments des schémas Fig. IV-22 et Fig. IV-23.

$$\begin{aligned}
 Y'_{11} &= Y_{gd} + Y_{gs} + Y_{gb} & Y'_{12} &= -Y_{gd} & Y'_{13} &= -Y_{gs} & Y'_{14} &= -Y_{gb} \\
 Y'_{21} &= \frac{G_m}{1 + j\omega R_i C_{gs}} - Y_{gd} & Y'_{22} &= G_{ds} + Y_{gd} + Y_{bd} & Y'_{23} &= \frac{-G_m}{1 + j\omega R_i C_{gs}} - G_{mb} - G_{ds} & Y'_{24} &= G_{mb} - Y_{bd} \\
 Y'_{31} &= -Y_{gs} - \frac{G_m}{1 + j\omega R_i C_{gs}} & Y'_{32} &= -G_{ds} & Y'_{33} &= G_{ds} + Y_{gs} + Y_{bs} & Y'_{34} &= -Y_{bs} \\
 Y'_{41} &= -Y_{gb} & Y'_{42} &= -Y_{bd} & Y'_{43} &= -Y_{bs} & Y'_{44} &= Y'_{iso} + Y_{gb} + Y_{bd} + Y_{bs}
 \end{aligned}$$

Avec

$$\begin{aligned}
 Y_{gd} &= j\omega C_{gd} & Y_{gs} &= \frac{j\omega C_{gs}}{1 + j\omega R_i C_{gs}} & Y_{gb} &= \frac{j\omega C_{gb}}{1 + j\omega R_b C_{gb}} \\
 Y_{bd} &= \frac{j\omega C_{bd}}{1 + j\omega R_{jd} C_{bd}} & Y_{bs} &= \frac{j\omega C_{bd}}{1 + j\omega R_{jd} C_{bd}} & Y'_{iso} &= \frac{1}{R_{isoext} + \frac{1}{Y_{iso}}}
 \end{aligned}$$

#### IV.4.c.iv. Transconductances

Considérant les expressions des paramètres [Y'], les transconductances  $G_m$  et  $G_{mb}$  sont données par :

$$\frac{G_m}{1 + (\omega R_i C_{gs})^2} = \text{Re}(Y'_{21} - Y'_{12}) \quad \text{IV-22}$$

$$G_{mb} = \text{Re}(Y'_{24} - Y'_{42}) \quad \text{IV-23}$$

L'extraction de  $G_{mb}$  peut s'effectuer à toute fréquence mais celle de  $G_m$  est limitée par les effets distribués du canal, pris en compte ici par la résistance  $R_i$ . Néanmoins, la valeur de  $G_m$  peut être déterminée à basse fréquence lorsque l'influence de cette dernière est négligeable. En outre, pour le dispositif nominal M1 d'une longueur de grille de 30nm, les effets distribués du canal sont peu visibles dans la bande de fréquence considérée. En illustration, le graphe sur la Fig. IV-26 présente les valeurs extraites de  $G_m$  et  $G_{mb}$  en fonction de la fréquence pour différentes valeurs de tension de grille. Ces deux grandeurs présentent un plateau sur toute la bande de fréquence, confirmant ainsi la validité de l'extraction.

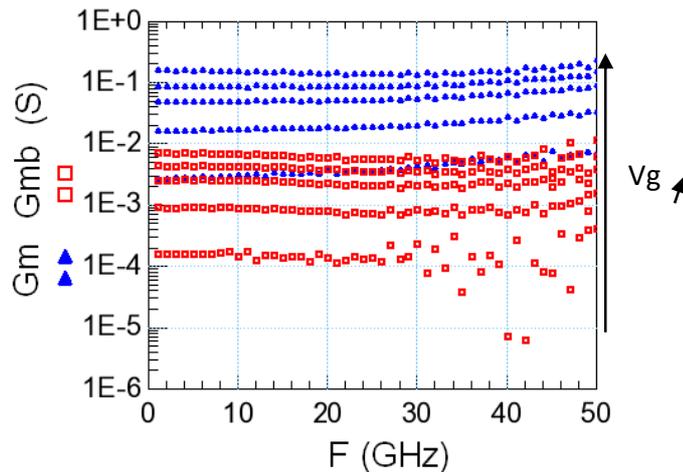


Fig. IV-26: Extraction en fréquence des transconductances  $G_m$  et  $G_{mb}$  du transistor M1, pour  $V_d=1.0V$  et  $V_g$  de 0.1 à 0.7V.

#### IV.4.c.v. Conductance du canal

Comme déjà évoqué, la conductance du canal s'extrait directement par l'équation IV-18 et par utilisation directe de la branche  $Y_{ds}$ . Pour cet élément, l'extraction en mesure 4-port offre une plus grande précision par rapport à une configuration deux ports en source commune, principalement pour les régimes de faible inversion. En effet, la conductance du canal s'extrait en mesure 2-port par la relation bien connue:

$$G_{ds}^{2port} = Re(Y_{22}) \quad \text{IV-24}$$

Or, en suivant les relations entre éléments du schéma équivalent et les paramètres  $[Y']$ , on obtient :

$$Y'_{22} = G_{ds} + j\omega C_{bd} + \frac{j\omega C_{bd}}{1 + j\omega R_{jd} C_{bd}} \quad \text{IV-25}$$

Ainsi, même en négligeant les effets des résistances d'accès de grille et de caisson, l'extraction de la conductance du canal en mesure 2-port ne donne pas le véritable  $G_{ds}$  et s'écrit en réalité :

$$Re(Y'_{22}) = G_{ds} + Re(Y_{bd}) = G_{ds} + \frac{\omega^2 R_{jd} C_{bd}^2}{1 + \omega^2 R_{jd}^2 C_{bd}^2} \quad \text{IV-26}$$

On voit l'apparition d'une composante supplémentaire liée au substrat. A faible  $V_g$ , cette dernière est du même ordre de grandeur que  $G_{ds}$  et perturbe donc l'extraction, comme l'illustre la Fig. IV-27, sur laquelle sont représentées  $G_{ds}$ ,  $G_{ds}^{2port}$ , et la partie réelle de  $Y_{bd}$  en fonction de la fréquence, le tout pour plusieurs valeurs de tension de grille.

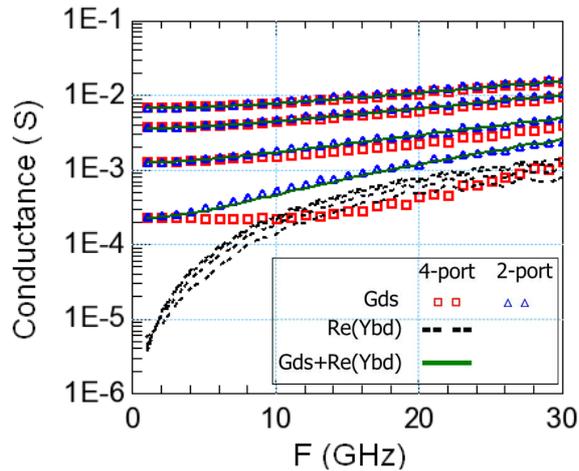


Fig. IV-27: Conductance du canal et partie réelle de la branche  $Y_{bd}$  du transistor M1 pour plusieurs tensions de grille

#### IV.4.c.vi. Jonctions source/drain

Grâce aux mesures 4-ports, les résistances et capacités de jonction s'extrait aisément à partir des branches  $Y_{bd}$  et  $Y_{bs}$  qui peuvent maintenant être isolées. A tension  $V_g$  nulle, les composantes intrinsèques des capacités  $C_{bd}$  et  $C_{bs}$  disparaissent et les valeurs des capacités de jonction sont alors données par :

$$C_{jd/s} = \frac{-1}{\omega \cdot \text{Im}(-1/Y_{42/3})} \quad \text{IV-27}$$

De même, les résistances de jonction sont données par :

$$R_{jd/s} = \text{Re}(-1/Y_{42/3}) \quad \text{IV-28}$$

En illustration, la Fig. IV-28 et la Fig. IV-29 présentent respectivement l'extraction à  $V_d=0V$  des capacités et résistances de jonction de drain pour les trois transistors.

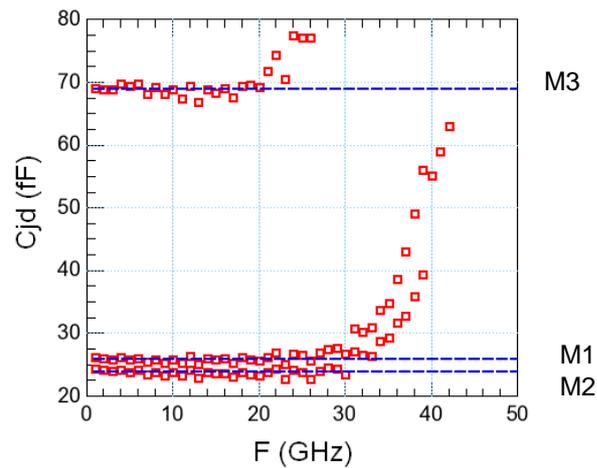


Fig. IV-28: Extraction de la capacité de jonction de drain pour les 3 géométries de transistors,  $V_d=0V$ ,  $V_g=0V$ .

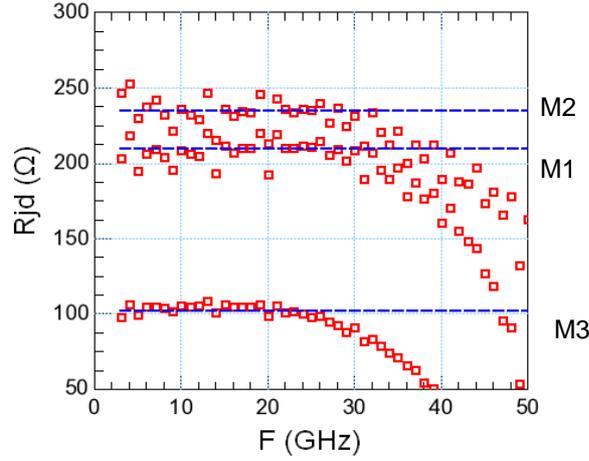


Fig. IV-29: Extraction de la résistance de jonction de drain pour les trois géométries de transistors,  $V_d=0V$ ,  $V_g=0V$ .

Les valeurs extraites présentent un plateau en fréquence jusqu'à 30GHz environ. Au-delà, le comportement de la capacité  $C_{jd}$  est caractéristique d'un effet inductif, avec l'apparition d'un pôle. Cet effet est à rapprocher d'une probable insuffisance de correction des mesures par le short et par la présence de l'inductance mutuelle évoquée précédemment. La dépendance en fréquence des courbes de la résistance de jonction  $R_{jd}$  est, elle, la signature des effets distribués dans le caisson, non pris en compte par le modèle. Celui développé lors de l'étude des structures grille-caisson offrirait une description plus précise de cette grandeur.

#### IV.4.c.vii. Capacités et résistances de la couche d'isolation

La branche  $Y'_{iso}$ , décrivant l'isolation dans le modèle, est directement accessible par la relation :

$$Y'_{iso} = Y'_{44} + Y'_{41} + Y'_{42} + Y'_{43} \quad \text{IV-29}$$

Comme pour les branches de jonction, une approche RC série est utilisée, conduisant à la définition des grandeurs suivantes :

$$C'_{iso} = \frac{-1}{\omega \cdot \text{Im}(1/Y'_{iso})} \quad \text{IV-30}$$

$$R'_{iso} = \text{Re}(1/Y'_{iso}) \quad \text{IV-31}$$

Etant donné la nature distribuée de l'isolation, ces grandeurs varient fortement avec la fréquence et l'extraction des paramètres s'effectue donc dans des domaines particuliers en fréquence. En effet,

$$\frac{1}{Y'_{iso}} = R_{isoext} + \frac{1}{Y_{iso}} \quad \text{IV-32}$$

Par passage à la limite quand  $\omega$  tend vers 0, on montre que :

$$\text{Im}\left(\frac{1}{Y'_{iso}}\right) \underset{\omega \rightarrow 0}{\approx} \frac{-1}{\omega C_{iso}} \quad \text{IV-33}$$

$$R'_{iso} \underset{\omega \rightarrow 0}{\approx} R_{isoext} + \frac{R_{iso}}{12}$$

Ainsi,  $C_{iso}$  est extrait à basse fréquence sur la courbe  $C'_{iso}(f)$ .

Quand  $\omega$  tend vers l'infini, on peut vérifier que:

$$Re\left(\frac{1}{Y_{iso}}\right) \underset{\omega \rightarrow \infty}{\rightarrow} 0$$

D'après IV-316,  $R_{isoext}$  est donc donnée par le niveau asymptotique à haute fréquence de  $R'_{iso}$ , pour peu qu'il soit disponible dans la plage de fréquence des mesures.  $R_{iso}$  peut ensuite être déduit de la valeur à basse fréquence de  $R'_{iso}$  donnée ci-dessus. A défaut et dans tous les cas, une procédure d'optimisation de la simulation sur la mesure de  $C'_{iso}$  et  $R'_{iso}$  permet d'extraire ces deux derniers paramètres. La figure Fig. IV-30 montre la mesure et les résultats de la simulation de  $C'_{iso}$  pour les trois transistors à  $V_d=V_g=0V$  tandis que la Fig. IV-31 montre  $R'_{iso}$  dans les mêmes conditions. Le modèle ainsi obtenu est globalement satisfaisant pour les 3 dispositifs, mais n'est toutefois pas aussi précis que le modèle doublement distribué exposé précédemment.

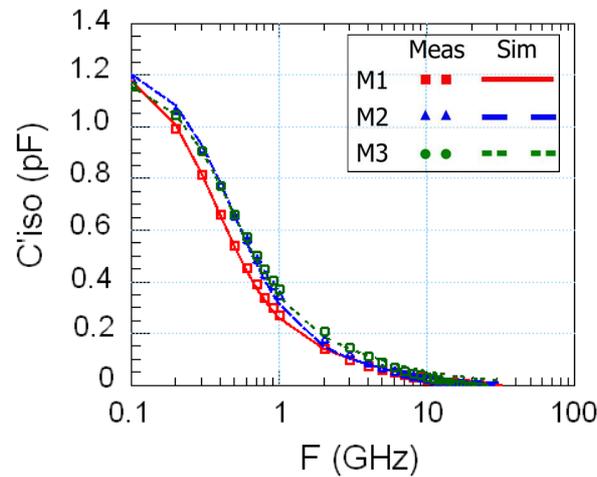


Fig. IV-30 : Mesure et simulation de la capacité apparente totale d'isolation pour les 3 géométries de transistors,  $V_d=0V$ ,  $V_g=0V$ .

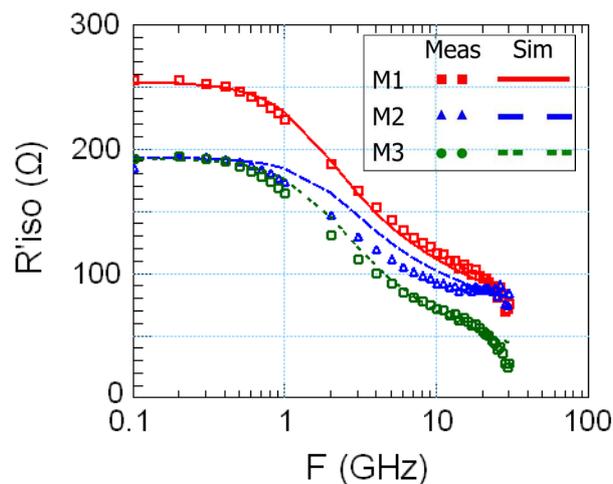


Fig. IV-31 : Mesure et simulation de la résistance apparente totale d'isolation pour les 3 géométries de transistors,  $V_d=0V$ ,  $V_g=0V$ .

En conclusion, les mesures 4-port étendent les possibilités d'extraction d'un schéma équivalent et des éléments d'un modèle compact. En effet, en donnant l'accès à tous les terminaux, elles ne souffrent pas des limitations des mesures 2-port en termes d'approximation ou d'impossibilité d'extraire certains éléments, comme celles que connaissent par exemple les mesures en source commune pour l'extraction de l'isolation ou celles des mesures GB pour l'extraction des branches de jonctions. Les mesures 4-port offrent ainsi la possibilité d'établir une procédure d'extraction complète et unifiée, sans avoir recours à un grand nombre de configurations différentes du dispositif. Elles possèdent en outre un fort potentiel pour l'évaluation de modèle, en offrant par exemple la possibilité d'une analyse fine de toutes les capacités entre les terminaux, facilitant ainsi la validation du modèle de charges des modèles compacts.

## **Conclusion du chapitre IV.**

Un modèle complet de transistor MOS, basé sur un schéma équivalent ou sur un modèle compact, ne peut s'extraire par une simple mesure 2-port de type source-commune. En effet, certains paramètres sont dans ce cas difficiles à évaluer voire inaccessibles, en particulier ceux du réseau substrat. Plusieurs voies ont donc été explorées pour pallier les problèmes rencontrés.

L'emploi de structures dédiées permet d'isoler certains effets, d'en proposer un modèle et d'assurer l'extraction de ses paramètres. Ainsi, les structures PWELL/NWELL présentées dans ce chapitre ont permis l'extraction des paramètres du caisson et de sa couche enterrée d'isolation.

Le choix d'un transistor dans une configuration deux ports différente de la source commune est également intéressant, puisqu'il donne la possibilité de modéliser et d'extraire les éléments d'un schéma équivalent d'un transistor à partir d'un véritable dispositif. La détermination d'un modèle paramétrique en fonction des géométries des transistors est alors possible. Néanmoins, les conditions réelles d'utilisation du dispositif ne peuvent pas toujours être reproduites, notamment en termes de polarisation des terminaux.

Finalement, la solution la plus prometteuse est la mesure de structures 4-port : elle s'affranchit de toutes les limitations des mesures précédentes et autorise une extraction complète, sur une seule structure, des paramètres d'un modèle de transistor MOS, quelles que soient les tensions appliquées sur ses quatre terminaux. Néanmoins, ces mesures sont encore limitées en fréquence par rapport aux mesures 2-ports disponibles elles en bande submillimétrique. L'emploi de mesures 2-ports dédiées reste donc encore nécessaire si on souhaite mener des investigations dans ce domaine.

Enfin, les structures 4-port ont indéniablement un avenir dans le monde de la modélisation du transistor MOS de par la quantité d'information qu'elles apportent sur le comportement du dispositif en fonction de la fréquence et de la polarisation. Le défaut de conception des structures présentées ici ont limité la possibilité d'illustrer ce point, mais d'autres résultats devraient être disponibles bientôt.

## Références du chapitre IV

- [1] Y. Cheng, Y. M.-J. Deen, C.-H. Chen, "MOSFET Modeling for RF IC Design" IEEE Trans. Electron Devices, vol 52 no 7, pp. 1286–1303, Jul. 2005.
- [2] M. T. Yang, Y. J. Wang, T. J. Yeh, P. P. C. Ho, Y. T. Chia, and K. L. Young, "Characterization and model of 4-terminal RF CMOS with bulk effect", Int. Conference on Microelectronic Test Structures, pp. 189–193, Mars. 2004.
- [3] U. Mahalingam, S. Rustagi, G. Samudra, "Direct extraction of substrate network parameters for RF MOSFET modeling using a simple test structure", IEEE EDL, vol. 27, pp 130 – 132, 2006.
- [4] J. Liu, L. Sun, L. Lou, H. Wang, C. McCorkell, "A Simple Test Structure for Directly Extracting Substrate Network Components in Deep n-Well RF-CMOS Modeling", IEEE Electron device letters, vol. 30, no. 11, nov 2009
- [5] L. Jun, S. Lingling, Y. Zhiping and C. Marissa, "A new substrate model and parameter extraction method for DNW RF MOSFETs" Proc of IEEE Int. Symp. on Circuits and Systems, pp 2478– 2481, 2010.
- [6] "2-Port and 4-Port PNA-X Network Analyzer N5247A Data Sheet and Technical Specifications", Agilent Technologies, Feb. 2012.
- [7] J. Brinkhoff, S. C. Rustagi, J. S and F. Lin, "MOSFET Model Extraction Using 50GHz Four-Port Measurements", IEEE RFIC Symposium, pp 647-650, June 2007
- [8] S.-D. Wu, G.-W. Hwang, and K.-H. Liao, "Modeling the substrate effect of RF MOSFETs based on four-port measurement", ARFTG Conference, pp. 186–189, 2006.
- [9] J. Brinkhoff, A. Issaoun, S. C. Rustagi, F. Lin, "Multiport Thru Deembedding for MOSFET Characterization", IEEE EDL, vol. 29, no. 8, pp 923-926, aout 2008.

## Conclusion

La présence du transistor MOS comme composant actif dans les circuits radiofréquences s'est confirmée au cours de la dernière décennie. Fort de cette progression et des avancées technologiques qui se poursuivent, son utilisation dans le domaine millimétrique (imagerie, radar, télécommunications spatiales), devient de plus en plus envisageable.

Ainsi, pour rendre possible les futures applications du transistor, les travaux présentés ici ont permis d'étendre le champ d'applications des modèles compacts, en se basant sur des technologies industrielles de transistors planaires de dernière génération, à gravure de grille 40/45nm ou 28nm. Il a été ainsi confirmé l'impact d'inévitables effets parasites sur le fonctionnement des dispositifs avec la montée en fréquence des circuits. Une partie conséquente des études présentées dans cet ouvrage a été consacrée à leur description et à leur intégration dans les modèles compacts, qui en proposaient des représentations parfois imprécises ou incomplètes. Au cours des recherches effectuées, il a notamment été relevé le rôle croissant de l'interdépendance entre les éléments parasites. Ceux-ci ne peuvent plus être strictement considérés en tant qu'éléments localisés indépendants, car des interactions existent entre eux à maints niveaux. Ce concept est parfaitement illustré par l'encapsulation d'une partie de la résistance de grille par les capacités de bord, impactant à la fois la dépendance en polarisation et en géométrie de l'impédance d'entrée du transistor, en particulier pour les technologies HKMG. De même, le substrat des transistors isolé par couche enterrée s'est avéré être le siège de forts effets distribués entre les caissons, altérant à la fois le comportement fréquentiel et géométrique de la structure.

Enfin, les mesures de bruit réalisées sur les technologies 40nm et 28nm ont confirmé la difficulté des modèles compacts actuels à reproduire le niveau de bruit observé sur les transistors les plus courts. Là encore, des évolutions de modèle sont nécessaires pour donner une image fidèle de ces nouvelles technologies aux concepteurs.

Par ailleurs, sous l'impulsion des besoins toujours plus grands des applications numériques, de nouvelles topologies de transistors apparaissent. Dernièrement, STMicroelectronics s'est orienté vers une technologie planaire FDSOI (Fully-Depleted SOI) (ou Ultra Thin Body SOI) intégrant un empilement de grille HKMG [1] qui, avec les technologies de transistors tridimensionnels à double et triple grille (finFET), sont les meilleurs candidates pour permettre la réalisation de ces futurs circuits numériques. En illustration, une vue schématique de ces deux types de transistors est présentée sur la Fig. 32.

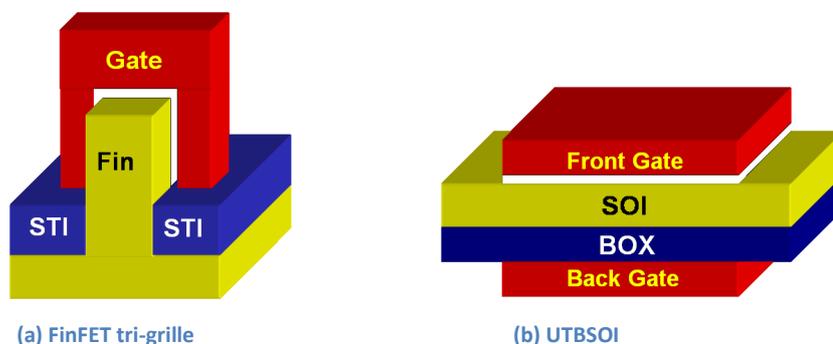


Fig. 32 : Représentations schématiques d'un transistor tri-grille (a) et d'un transistor FDSOI (UTBSOI) (b), d'après [2]

Ces nouvelles architectures amènent des challenges supplémentaires pour la modélisation radiofréquence et millimétrique. Certes, quelques-unes des problématiques exposées dans ces travaux s'appliquent, notamment en ce qui concerne les technologies de transistors planaires de type FDSOI. Par exemple, les futurs développements de modèles compacts pour ces nouvelles technologies gagneraient à intégrer le modèle de résistance de grille élaboré dans ces recherches, car l'empilement de grille HKMG est conservé. De même, les méthodologies d'extraction basées sur des nouvelles structures de test peuvent être universellement employées. D'ailleurs, le caisson isolé avec une couche enterrée DNWELL présente certaines analogies avec les substrats de type SOI (utilisés à la fois pour le finFET et le FDSOI) dans lesquels une couche d'oxyde assure l'isolation. Enfin, les diverses utilisations de l'accès à la grille arrière (back-gate) accroissent le besoin de collecter des informations sur le comportement électrique du substrat. Là encore, l'emploi de structures spécifiques comme les structures GB et plus encore les structures 4-port tel que présenté dans ces travaux pourra être très bénéfique.

## Références

- [1] C. Fernouillet-Beranger et al, "Hybrid FDSOI/Bulk high-k/Metal gate platform for Low Power (LP) multimedia technology", IEEE IEDM, pp 1-4, déc 2009.
- [2] Y. S. Chauhan et al, "BSIM – Industry Standard Compact MOSFET Models", IEEE ESSDERC, pp 46-49, sept 2012.

## ANNEXE A : Passage entre les différentes représentations de bruit

Pour passer de la matrice de corrélation de bruit  $C$  d'une représentation à une autre  $C'$ , on utilise la matrices de transformation  $T$  correspondante, avec la relation :

$$C' = TCT^+$$

Où  $T^+$  est l'adjoint de la matrice  $T$ , c'est-à-dire la transposée de la conjuguée ( $T^+ = {}^t(T^*)$ )

Les matrices de transferts pour le passage d'une représentation initiale à une représentation finale sont résumées dans le tableau suivant :

$T$		Représentation initiale			
		Y	Z	A	H
Représentation finale	Y	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}$	$\begin{bmatrix} -Y_{11} & 1 \\ -Y_{21} & 0 \end{bmatrix}$	$\begin{bmatrix} -Y_{11} & 0 \\ -Y_{21} & 1 \end{bmatrix}$
	Z	$\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & -Z_{11} \\ 0 & -Z_{21} \end{bmatrix}$	$\begin{bmatrix} 1 & -Z_{12} \\ 0 & -Z_{22} \end{bmatrix}$
	A	$\begin{bmatrix} 0 & A_{12} \\ 1 & A_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -A_{11} \\ 0 & -A_{21} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & A_{12} \\ 0 & A_{22} \end{bmatrix}$
	H	$\begin{bmatrix} -H_{11} & 0 \\ -H_{21} & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & -H_{12} \\ 0 & -H_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -H_{11} \\ 0 & -H_{21} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$

## Annexe B : Influence de l'encapsulation sur les paramètres extra-dimensionnels de la résistance d'interface

Au chapitre III, l'influence de l'encapsulation sur la dépendance en tension de la résistance effective de grille, par la description des différentes contributions, a été abondamment détaillée. Néanmoins, l'effet sur la dépendance géométrique, constatée par l'expérience, n'a pas été explicité. C'est pourquoi, en complément du modèle présenté au chapitre III, cette section a pour objectif d'expliquer pourquoi négliger l'encapsulation de la résistance d'interface se traduit par des paramètres extra-dimensionnels  $\Delta W_f$  et  $\Delta L$  plus grands, tels que ceux observés sur les premiers modèles de résistance de grille.

Pour cela, à partir de l'équation III-25, donnant la somme des contributions de  $R_{gg}$  après encapsulation de la résistance d'interface, définissons la résistance d'interface effective  $R'_{int}$  par :

$$R'_{int} = R_{int} \left( \frac{C_i + 2(C_{frw} + C_{ov})}{C_i + 2(C_{fr} + C_{ov})} \right)^2$$

En remplaçant d'une part  $R_{int}$  par sa définition paramétrique suivant  $W_f$  et  $L$  (selon l'équation III-2 relative au modèle de résistance de grille de PSP) et d'autre part  $C_{fr}$  par la somme de ses différentes composantes, on obtient :

$$R'_{int} = \frac{rint}{W_f \cdot L \cdot N_f} \left( \frac{1}{1 + \frac{2 \cdot C_{frl}}{C_i + 2(C_{frw} + C_{ov})} + \frac{2 \cdot C_{fro}}{C_i + 2(C_{frw} + C_{ov})}} \right)^2$$

En posant :

$$C_{frl} = N_f W_f c_{frl} \cdot \ln_x \quad C_{frw} = N_f \cdot W_f \cdot c_{frw} \quad C_{ov} = N_f \cdot W_f \cdot cov$$

Où  $\ln_x$  est une fonction décrivant la dépendance de  $C_{frl}$  en fonction de la longueur de grille suivant la représentation circulaire ou elliptique choisie.

$R'_{int}$  se réécrit alors :

$$R'_{int} = \frac{rint}{W_f \cdot L \cdot N_f \left( 1 + \left( \frac{2 \cdot c_{frl} \cdot \ln_x}{c_{int} + 2 \frac{c_{frw} + cov}{L}} \right) \frac{1}{L} + \left( \frac{2 \cdot c_{fro}}{c_{int} \cdot L + 2 \cdot (c_{frw} + cov)} \right) \frac{1}{W_f} \right)^2}$$

En négligeant les termes du second ordre, on obtient :

$$R'_{int} \approx \frac{rint}{W_f \cdot L \cdot N_f \left( 1 + \left( \frac{4 \cdot c_{frl} \cdot \ln_x}{c_{int} + 2 \frac{c_{frw} + cov}{L}} \right) \frac{1}{L} + \left( \frac{4 \cdot c_{fro}}{c_{int} \cdot L + 2 \cdot (c_{frw} + cov)} \right) \frac{1}{W_f} \right)}$$

Dans le même temps, l'expression de  $R_{int}$  en fonction des paramètres extra-dimensionnels, *sans encapsulation*, est donnée par :

$$R_{int} = \frac{rint}{N_f (W_f + \Delta W_f) (L + \Delta L)}$$

En négligeant cette fois encore les termes d'ordre 2, on obtient :

$$R_{int} \approx \frac{rint}{W_f \cdot L \cdot N_f \cdot \left(1 + \frac{\Delta L}{L} + \frac{\Delta W_f}{W_f}\right)}$$

Ainsi, par analogie avec les termes en  $1/L$  et  $1/W_f$ , on peut évaluer les expressions de  $\Delta W_f$  et  $\Delta L$  :

$$\Delta L = \frac{4 \cdot cfrl \cdot \ln_x(L)}{cint + 2 \cdot \frac{cfrw + cov}{L}} \qquad \Delta W_f = \frac{4 \cdot cfro}{cint \cdot L + 2 \cdot (cfrw + cov)}$$

Ces formulations donnent ainsi un premier ordre de grandeur de la correction de l'encapsulation sur les paramètres extra-dimensionnels. Il est intéressant de constater que la correction sur  $\Delta L$  est dépendante de l'effet des capacités de bord supérieures (terme en  $C_{fri}$ ), tandis que celle sur  $\Delta W_f$  est principalement reliée à celui des capacités des contacts sur la tête de grille (terme en  $C_{fro}$ ). Cette dernière contribution étant moins importante que celle de  $C_{fri}$ , l'effet sur  $\Delta W_f$  est plus faible que celui sur  $\Delta L$ .

## ANNEXE C : Détermination des paramètres [Y] d'un schéma doublement distribué

Le calcul des paramètres [Y] est basé sur la Fig. 33, qui découpe le réseau doublement distribué sur une distance L en tronçons élémentaires de longueur de dx. Il possède 7 terminaux G, B1, Biso1, B2, Biso2, S et D. Les calculs pour la source se déduisent de ceux effectués du drain par équivalence entre ces deux terminaux. Le réseau est symétrique suivant les ports B1 et B2 ainsi que suivant les ports Biso1 et Biso2. La réciprocité sera vérifiée par les calculs.  $V_a$  et  $V_b$  sur la Fig. 33 sont référencées par rapport à la masse.

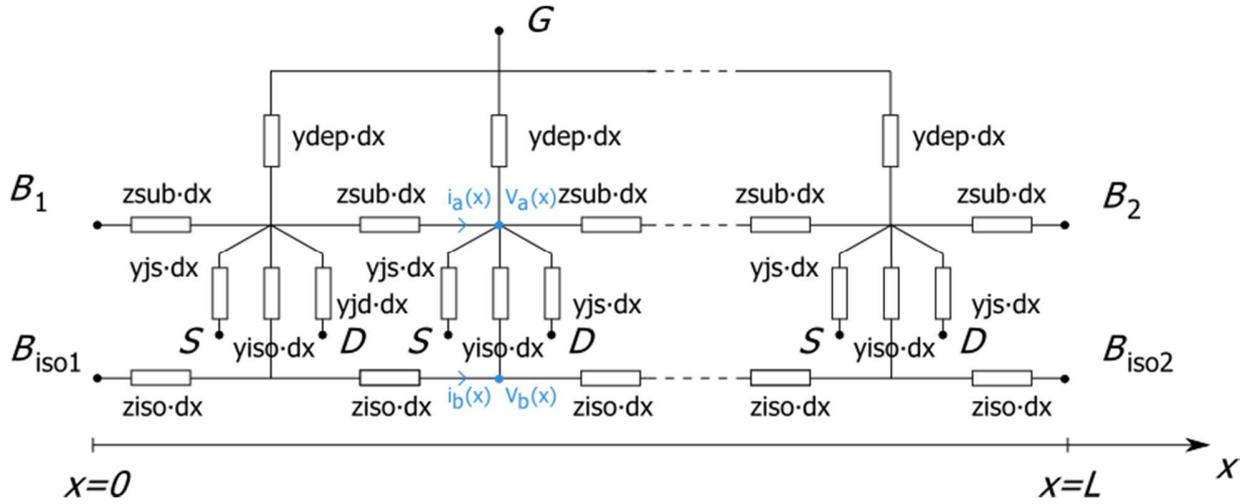


Fig. 33: schéma du réseau doublement distribué sur une longueur L

### Recherche du système et de la solution générale

$$\begin{aligned} \frac{di_a}{dx} &= -(y_{jd} + y_{js} + y_{iso} + y_{dep}) \cdot V_a + y_{iso} \cdot V_b - y_{dep} \cdot V_G - y_{jd} \cdot V_D \\ \frac{di_b}{dx} &= y_{iso} \cdot V_a - y_{iso} \cdot V_b \\ \frac{dV_a}{dx} &= -z_{sub} \cdot i_a \\ \frac{dV_b}{dx} &= -z_{iso} \cdot i_b \end{aligned}$$

### Système d'équations en tension

$$\begin{cases} \frac{d^2 V_a}{dx^2} = z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) \cdot V_a - z_{sub} y_{iso} \cdot V_b - z_{sub} y_{dep} \cdot V_G - z_{sub} y_{jd} \cdot V_D \\ \frac{d^2 V_b}{dx^2} = z_{iso} y_{iso} \cdot V_a - z_{iso} y_{iso} \cdot V_b \end{cases}$$

## Résolution du système d'équations homogène

$$\begin{cases} \frac{d^2 V_a}{dx^2} = z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) \cdot V_a - z_{sub} y_{iso} \cdot V_b \\ \frac{d^2 V_b}{dx^2} = z_{iso} y_{iso} \cdot V_a - z_{iso} y_{iso} \cdot V_b \end{cases}$$

Cherchons  $\lambda$  et  $\mu$  tel que

$$\frac{d^2}{dx^2} (\lambda V_a + \mu V_b) = \Theta^2 \cdot (\lambda V_a + \mu V_b)$$

Ce qui conduit à :

$$\begin{cases} (z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) \cdot \lambda - z_{iso} \cdot y_{iso} \cdot \mu = \lambda \Theta^2 \\ -z_{sub} y_{iso} \cdot \lambda + z_{iso} y_{iso} \cdot \mu = \mu \Theta^2 \end{cases}$$

Ce système admet une solution non nulle si et seulement si

$$[z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) - \Theta^2][z_{iso} y_{iso} - \Theta^2] - z_{sub} z_{iso} y_{iso}^2 = 0$$

On obtient :

$$\Theta_{1,2}^2 = \frac{z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) + z_{iso} y_{iso} \pm \delta}{2}$$

Avec

$$\delta = \sqrt{[z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) + z_{iso} y_{iso}]^2 - 4 \cdot z_{sub} z_{iso} y_{iso} \cdot (y_{jd} + y_{js} + y_{dep})}$$

Posons

$$\lambda_1 = \lambda_2 = z_{iso} y_{iso}$$

Et alors :

$$\mu_{1,2} = \frac{z_{sub}(y_{jd} + y_{js} + y_{iso} + y_{dep}) - z_{iso} y_{iso} \mp \delta}{2}$$

Les solutions du système d'équations homogène sont donc :

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = A \cdot e^{-\Theta_1 x} + B \cdot e^{\Theta_1 x} \\ \lambda_2 V_a + \mu_2 V_b = C \cdot e^{-\Theta_2 x} + D \cdot e^{\Theta_2 x} \end{cases}$$

Avec A, B, C, D des constantes dépendantes des conditions initiales en x.

## Recherche d'un couple de solutions particulières au système

$$\frac{d^2 W_{1,2}}{dx^2} = \Theta_{1,2}^2 \cdot W_{1,2} - \lambda_{1,2} \cdot (z_{sub} y_{dep} \cdot V_G + z_{sub} y_{jd} \cdot V_D)$$

Soit  $W_{1,2}$  une constante, alors

$$W_{1,2} = \frac{\lambda_{1,2} \cdot (z_{sub} y_{dep} \cdot V_G + z_{sub} y_{jd} \cdot V_D)}{\Theta_{1,2}^2} = \frac{z_{sub} z_{iso} y_{iso} \cdot (y_{dep} \cdot V_G + y_{jd} \cdot V_D)}{\Theta_{1,2}^2}$$

## Solution générale du système complet

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = A \cdot e^{-\Theta_1 x} + B \cdot e^{\Theta_1 x} + \frac{z_{sub} z_{iso} y_{iso} \cdot (y_{dep} \cdot V_G + y_{jd} \cdot V_D)}{\Theta_1^2} \\ \lambda_2 V_a + \mu_2 V_b = C \cdot e^{-\Theta_2 x} + D \cdot e^{\Theta_2 x} + \frac{z_{sub} z_{iso} y_{iso} \cdot (y_{dep} \cdot V_G + y_{jd} \cdot V_D)}{\Theta_2^2} \end{cases}$$

## Détermination des paramètres Y

### Paramètres Ygx :

Pour ces paramètres, on a

$$V_{B1} = V_a(0) = 0, V_{B2} = V_a(L) = 0,$$

$$V_{Biso1} = V_b(0) = 0, V_{Biso} = V_b(L) = 0$$

et  $V_D = 0$

$$\begin{cases} 0 = A + B + \frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_1^2} \\ 0 = A \cdot e^{-\Theta_1 L} + B \cdot e^{\Theta_1 L} + \frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_1^2} \end{cases}$$

On trouve :

$$A = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_1^2} \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} e^{\Theta_1 L}$$

$$B = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_1^2} \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} e^{-\Theta_1 L}$$

De la même façon :

$$C = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_2^2} \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} e^{\Theta_2 L}$$

$$D = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_2^2} \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} e^{-\Theta_2 L}$$

Le système se réécrit :

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_1^2} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 1 \right) \\ \lambda_2 V_a + \mu_2 V_b = -\frac{z_{sub} z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\Theta_2^2} \left( 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) - 1 \right) \end{cases}$$

On en déduit :

$$V_a = -\frac{z_{sub} y_{dep} \cdot V_G}{\delta} \left( 2 \cdot \frac{\mu_2 sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1^2 sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{\mu_1 sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2^2 sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) + \left(-\frac{\mu_2}{\Theta_1^2} + \frac{\mu_1}{\Theta_2^2}\right) \right)$$

$$V_b = \frac{z_{sub} \cdot z_{iso} y_{iso} \cdot y_{dep} \cdot V_G}{\delta} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1^2 sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2^2 sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) + \left(-\frac{1}{\Theta_1^2} + \frac{1}{\Theta_2^2}\right) \right)$$

Remarque :  $\mu_2 - \mu_1 = \delta$

$$i_g = \int_0^L y_{dep} \cdot (V_G - V_a(x)) \cdot dx = \int_0^L \frac{sh\left(\frac{\Theta L}{2}\right)}{sh(\Theta L)} ch\Theta \left(\frac{L}{2} - x\right) dx = \frac{sh\left(\frac{\Theta L}{2}\right) \cdot 2 \cdot sh\left(\frac{\Theta L}{2}\right)}{sh(\Theta L) \cdot \Theta} = \frac{th\left(\frac{\Theta L}{2}\right)}{\Theta}$$

D'où

$$i_g = y_{dep} \cdot L + \frac{z_{sub} y_{dep}^2 \cdot V_G}{\delta} \left[ \frac{\mu_2}{\Theta_1^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\frac{\Theta_1}{2}} - L \right) - \frac{\mu_1}{\Theta_2^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\frac{\Theta_2}{2}} - L \right) \right]$$

Avec  $Y_{dep} = y_{dep} \cdot L$ ,  $Z_{sub} = z_{well} \cdot L$

On obtient :

$$Y_{gg} = Y_{dep} + \frac{Z_{sub} Y_{dep}^2}{\delta L^2} \left[ \frac{\mu_2 L^2}{(\Theta_1 L)^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - 1 \right) - \frac{\mu_1 L^2}{(\Theta_2 L)^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} - 1 \right) \right]$$

$$i_d = \int_0^L y_{jd} \cdot (V_D - V_a(x)) \cdot dx = -\int_0^L y_{jd} \cdot V_a(x) \cdot dx$$

D'où

$$Y_{gd} = \frac{Z_{sub} Y_{dep} Y_{jd}}{\delta L^2} \left[ \frac{\mu_2 L^2}{(\Theta_1 L)^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - 1 \right) - \frac{\mu_1 L^2}{(\Theta_2 L)^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} - 1 \right) \right]$$

$$i_a = \frac{-1}{z_{sub}} \frac{dV_a}{dx} = -\frac{y_{dep} \cdot V_G}{\delta} \left( 2 \cdot \frac{\mu_2 sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 sh(\Theta_1 L)} sh\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{\mu_1 sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 sh(\Theta_2 L)} sh\Theta_2 \left(\frac{L}{2} - x\right) \right)$$

D'où

$$i_{B1} = i_a(0) = -\frac{y_{dep} \cdot V_G}{2\delta} \left( \mu_2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$Y_{GB1} = -\frac{Y_{dep}}{2\delta L^2} \left( \mu_2 L^2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 L^2 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$i_{B2} = -i_a(L) = -\frac{y_{dep} \cdot V_G}{2\delta} \left( \mu_2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$Y_{GB2} = -\frac{Y_{dep}}{2\delta L^2} \left( \mu_2 L^2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 L^2 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$i_b = \frac{-1}{z_{iso}} \frac{dV_b}{dx} = \frac{z_{sub} \cdot y_{iso} \cdot y_{dep} \cdot V_G}{\delta} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 sh(\Theta_1 L)} sh\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 sh(\Theta_2 L)} sh\Theta_2 \left(\frac{L}{2} - x\right) \right)$$

$$i_{Biso1} = i_b(0) = \frac{z_{sub} \cdot y_{iso} \cdot y_{dep} \cdot V_G}{2 \cdot \delta} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$Y_{GBiso1} = \frac{z_{sub} \cdot y_{iso} \cdot y_{dep}}{2 \cdot \delta L^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} \right)$$

### Paramètres YB1x :

Pour ces paramètres, on a :

$$V_G = 0 \quad V_D = 0$$

$$V_{B2} = 0$$

$$V_{Biso1} = 0$$

$$V_{Biso2} = 0$$

$$\begin{cases} \lambda_1 V_{B1} = A + B \\ 0 = A \cdot e^{-\Theta_1 L} + B \cdot e^{\Theta_1 L} \end{cases}$$

$$A = \frac{z_{iso} y_{iso} e^{\Theta_1 L} V_{B1}}{2 \cdot sh(\Theta_1 L)} \quad B = -\frac{z_{iso} y_{iso} e^{-\Theta_1 L} V_{B1}}{2 \cdot sh(\Theta_1 L)}$$

De même:

$$C = \frac{z_{iso} y_{iso} e^{\Theta_2 L} V_{B1}}{2 \cdot sh(\Theta_2 L)} \quad D = -\frac{z_{iso} y_{iso} e^{-\Theta_2 L} V_{B1}}{2 \cdot sh(\Theta_2 L)}$$

Ainsi:

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = z_{iso} y_{iso} \cdot \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} \\ \lambda_2 V_a + \mu_2 V_b = z_{iso} y_{iso} \cdot \frac{sh\theta_2(L-x)}{sh(\theta_2 L)} \end{cases}$$

Et alors:

$$\begin{aligned} V_a &= \frac{V_d}{\delta} \cdot \left( \mu_2 \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} - \mu_1 \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} \right) \\ V_b &= -\frac{z_{iso} y_{iso} V_d}{\delta} \cdot \left( \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} - \frac{sh\theta_2(L-x)}{sh(\theta_2 L)} \right) \\ i_g &= \int_0^L y_{dep} \cdot (V_G - V_a(x)) \cdot dx = -\int_0^L y_{dep} \cdot V_a(x) \cdot dx \\ \text{On a } \int_0^L sh\theta(L-x) dx &= \frac{1-ch\theta(L)}{\theta} = 2 \cdot \frac{sh^2\left(\frac{\theta L}{2}\right)}{\theta} \end{aligned}$$

D'où

$$i_g = -\frac{y_{dep} \cdot V_D}{2\delta} \left( \mu_2 \frac{th\left(\frac{\theta_1 L}{2}\right)}{\theta_1 L/2} - \mu_1 \frac{th\left(\frac{\theta_2 L}{2}\right)}{\theta_1 L/2} \right)$$

et

$$\begin{aligned} Y_{B1G} &= -\frac{Y_{dep}}{2\delta L} \left( \mu_2 L^2 \frac{th\left(\frac{\theta_1 L}{2}\right)}{\theta_1 L/2} - \mu_1 L^2 \frac{th\left(\frac{\theta_2 L}{2}\right)}{\theta_1 L/2} \right) \\ i_a &= \frac{-1}{z_{sub}} \frac{dV_a}{dx} = \frac{V_D}{z_{sub} \delta} \left( \mu_2 \theta_1 \frac{ch\theta_1(L-x)}{sh(\theta_1 L)} - \mu_1 \theta_2 \frac{ch\theta_2(L-x)}{sh(\theta_2 L)} \right) \end{aligned}$$

D'où

$$Y_{B1B1} = \frac{1}{Z_{sub} \cdot \delta L^2} \left( \mu_2 L^2 \frac{\theta_1 L}{th(\theta_1 L)} - \mu_1 L^2 \frac{\theta_2 L}{th(\theta_2 L)} \right)$$

Et de même

$$Y_{B1B2} = \frac{-1}{Z_{sub} \cdot \delta L^2} \left( \mu_2 L^2 \frac{\theta_1 L}{sh(\theta_1 L)} - \mu_1 L^2 \frac{\theta_2 L}{sh(\theta_2 L)} \right)$$

$$i_b = \frac{-1}{z_{iso}} \frac{dV_b}{dx} = -\frac{y_{iso} V_{B1}}{\delta} \left( \theta_1 \frac{ch\theta_1(L-x)}{sh(\theta_1 L)} - \theta_2 \frac{ch\theta_2(L-x)}{sh(\theta_2 L)} \right)$$

D'où

$$Y_{B1Biso1} = -\frac{Y_{iso}}{\delta L^2} \left( \frac{\theta_1 L}{th(\theta_1 L)} - \frac{\theta_2 L}{th(\theta_2 L)} \right)$$

Et :

$$Y_{B1Biso2} = \frac{Y_{iso}}{\delta L^2} \left( \frac{\theta_1 L}{sh(\theta_1 L)} - \frac{\theta_2 L}{sh(\theta_2 L)} \right)$$

### Paramètres YBiso1x :

Pour ces paramètres, on a

$$VG = 0, VD = 0, VB1=0, VB2 = ,0, VBiso2 = 0$$

$$\begin{cases} \mu_1 V_{Biso1} = A + B \\ 0 = A \cdot e^{-\theta_1 L} + B \cdot e^{\theta_1 L} \end{cases}$$

$$A = \frac{\mu_1 e^{\theta_1 L} V_{Biso1}}{2 \cdot sh(\theta_1 L)} \quad B = -\frac{\mu_1 e^{-\theta_1 L} V_{Biso1}}{2 \cdot sh(\theta_1 L)}$$

De meme

$$C = \frac{\mu_2 e^{\theta_1 L} V_{Biso1}}{2 \cdot sh(\theta_1 L)} \quad D = -\frac{\mu_2 e^{-\theta_1 L} V_{Biso1}}{2 \cdot sh(\theta_1 L)}$$

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = \mu_1 V_{Biso1} \cdot \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} \\ \lambda_2 V_a + \mu_2 V_b = \mu_2 V_{Biso1} \cdot \frac{sh\theta_2(L-x)}{sh(\theta_2 L)} \end{cases}$$

On obtient:

$$V_a = -\frac{z_{sub} y_{iso} V_{Biso1}}{\delta} \cdot \left( \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} - \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} \right)$$

$$V_b = -\frac{V_{Biso1}}{\delta} \cdot \left( \mu_1 \cdot \frac{sh\theta_1(L-x)}{sh(\theta_1 L)} - \mu_2 \cdot \frac{sh\theta_2(L-x)}{sh(\theta_2 L)} \right)$$

Remarque:  $\mu_1 \cdot \mu_2 = z_{sub} z_{iso} y_{iso}^2$

$$i_b = \frac{-1}{z_{iso}} \frac{dV_b}{dx} = -\frac{V_{Biso1}}{z_{iso} \delta} \left( \theta_1 \frac{ch\theta_1(L-x)}{sh(\theta_1 L)} - \theta_2 \frac{ch\theta_2(L-x)}{sh(\theta_2 L)} \right)$$

D'où

$$Y_{Biso1Biso1} = -\frac{1}{z_{iso} \cdot \delta L^2} \left( \mu_1 \frac{\theta_1 L}{th(\theta_1 L)} - \mu_2 \frac{\theta_2 L}{th(\theta_2 L)} \right)$$

Et

$$Y_{Biso1} Y_{Biso2} = \frac{1}{Z_{iso} \cdot \delta L^2} \left( \mu_1 \frac{\Theta_1 L}{sh(\Theta_1 L)} - \mu_2 \frac{\Theta_2 L}{sh(\Theta_2 L)} \right)$$

### Paramètres Ydx :

Pour ces paramètres, on a

$$V_{B1} = V_a(0) = 0, V_{B2} = V_a(L) = 0,$$

$$V_{Biso1} = V_b(0) = 0, V_{Biso} = V_b(L) = 0$$

et  $V_G = 0$

$$\begin{cases} 0 = A + B + \frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_D}{\Theta_1^2} \\ 0 = A \cdot e^{-\Theta_1 L} + B \cdot e^{\Theta_1 L} + \frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_1^2} \end{cases}$$

On trouve :

$$A = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_1^2} \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} e^{\Theta_1 L}$$

$$B = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_1^2} \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} e^{-\Theta_1 L}$$

De la même façon

$$C = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_2^2} \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} e^{\Theta_2 L}$$

$$D = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_2^2} \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} e^{-\Theta_2 L}$$

Le système se réécrit en

$$\begin{cases} \lambda_1 V_a + \mu_1 V_b = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_1^2} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 1 \right) \\ \lambda_2 V_a + \mu_2 V_b = -\frac{Z_{sub} Z_{iso} Y_{iso} \cdot Y_{jd} \cdot V_G}{\Theta_2^2} \left( 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) - 1 \right) \end{cases}$$

On en déduit :

$$V_a = -\frac{Z_{sub} Y_{jd} \cdot V_G}{\delta} \left( 2 \cdot \frac{\mu_2}{\Theta_1^2} \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{\mu_1}{\Theta_2^2} \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) + \left( -\frac{\mu_2}{\Theta_1^2} + \frac{\mu_1}{\Theta_2^2} \right) \right)$$

$$V_b = \frac{z_{sub} \cdot z_{iso} y_{iso} \cdot y_{jd} \cdot V_G}{\delta} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1^2 sh(\Theta_1 L)} ch\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2^2 sh(\Theta_2 L)} ch\Theta_2 \left(\frac{L}{2} - x\right) + \left(-\frac{1}{\Theta_1^2} + \frac{1}{\Theta_2^2}\right) \right)$$

Remarque :  $\mu_2 - \mu_1 = \delta$

$$i_d = \int_0^L y_{jd} \cdot (V_D - V_a(x)) \cdot dx$$

D'où

$$i_g = y_{jd} \cdot L + \frac{z_{sub} y_{jd}^2 \cdot V_G}{\delta} \left[ \frac{\mu_2}{\Theta_1^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\frac{\Theta_1}{2}} - L \right) - \frac{\mu_1}{\Theta_2^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\frac{\Theta_2}{2}} - L \right) \right]$$

On obtient :

$$Y_{dd} = Y_{jd} + \frac{z_{sub} Y_{jd}^2}{\delta L^2} \left[ \frac{\mu_2 L^2}{(\Theta_1 L)^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - 1 \right) - \frac{\mu_1 L^2}{(\Theta_2 L)^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} - 1 \right) \right]$$

$$i_g = \int_0^L y_{dep} \cdot (V_G - V_a(x)) \cdot dx = - \int_0^L y_{dep} \cdot V_a(x) \cdot dx$$

D'où

$$Y_{gd} = \frac{z_{sub} Y_{dep} Y_{jd}}{\delta L^2} \left[ \frac{\mu_2 L^2}{(\Theta_1 L)^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - 1 \right) - \frac{\mu_1 L^2}{(\Theta_2 L)^2} \left( \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} - 1 \right) \right]$$

$$i_a = \frac{-1}{z_{sub}} \frac{dV_a}{dx} = - \frac{y_{jd} \cdot V_G}{\delta} \left( 2 \cdot \frac{\mu_2 sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 sh(\Theta_1 L)} sh\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{\mu_1 sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 sh(\Theta_2 L)} sh\Theta_2 \left(\frac{L}{2} - x\right) \right)$$

D'où

$$i_{B1} = i_a(0) = - \frac{y_{jd} \cdot V_G}{2\delta} \left( \mu_2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$Y_{DB1} = - \frac{Y_{jd}}{2\delta L^2} \left( \mu_2 L^2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 L^2 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$i_{B2} = -i_a(L) = - \frac{y_{jd} \cdot V_G}{2\delta} \left( \mu_2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$Y_{DB2} = - \frac{Y_{jd}}{2\delta L^2} \left( \mu_2 L^2 \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \mu_1 L^2 \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_1 L/2} \right)$$

$$i_b = \frac{-1}{z_{iso}} \frac{dV_b}{dx} = \frac{z_{sub} \cdot y_{iso} \cdot y_{jd} \cdot V_G}{\delta} \left( 2 \cdot \frac{sh\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 sh(\Theta_1 L)} sh\Theta_1 \left(\frac{L}{2} - x\right) - 2 \cdot \frac{sh\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 sh(\Theta_2 L)} sh\Theta_2 \left(\frac{L}{2} - x\right) \right)$$

$$i_{Biso1} = i_b(0) = \frac{z_{sub} \cdot y_{iso} \cdot y_{jd} \cdot V_G}{2 \cdot \delta} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} \right)$$

$YDBiso1 = \frac{z_{sub} \cdot y_{iso} \cdot y_{jd}}{2 \cdot \delta L^2} \left( \frac{th\left(\frac{\Theta_1 L}{2}\right)}{\Theta_1 L/2} - \frac{th\left(\frac{\Theta_2 L}{2}\right)}{\Theta_2 L/2} \right)$
--

## Liste des publications

### Conférence internationales:

- [1] **B. Dormieu**, C. Charbuillet, F. Danneville, N. Kauffmann, P. Scheer “*Millimeter-Wave Modeling of Isolated MOS Substrate Network through Gate-Bulk Measurements*”, IEEE RFIC Symposium, pp1-4, juin 2011, Baltimore, USA
- [2] **B. Dormieu**, P. Scheer, C. Charbuillet, S. Jan, F. Danneville “4-Port Isolated MOS Modeling and Extraction for mmW Applications”, IEEE ESSDERC Symposium, pp 54-57, sep. 2012, Bordeaux, France.
- [3] Y. Tagro, L. Poulain, **B. Dormieu**, S.Lepillet, D. Gloria, P. Scheer, G. Dambrine, F. Danneville "RF Noise Investigation in High-k/Metal Gate 28-nm CMOS Transistors" IEEE IMS, juin 2012, Montreal, Canada

### Article dans un journal international avec comité de lecture

- [4] **B. Dormieu**, P. Scheer, C. Charbuillet, H. Jaouen, F. Danneville “Revisited RF Compact Model of Gate Resistance Suitable for High-K/Metal Gate Technology”, IEEE Journal of Transactions on Electron Devices, janv. 2013, à paraître.

### Communications nationale sans acte

- [5] **B. Dormieu**: “Compact modeling of MOS transistor for RF and mmW applications”, ST-IEMN Workshop, mars 2010.
- [6] **B. Dormieu**: “Millimeter-Wave modeling and extraction of MOS parasitic components”, ST-IEMN Workshop, juin 2011.