

N° d'ordre: 40844



THESE

**UNIVERSITE LILLE1 SCIENCES ET TECHNOLOGIES
ECOLE DOCTORALE SCIENCES POUR L'INGENIEUR**

**Pour obtenir le titre de
Docteur de l'Université Lille1 Sciences et Technologies
Spécialité**

**Electronique
Par**

Jiongjong MO

Etude et fabrication de MOSFET de la filière III-V

Thèse dirigée par : Prof. Sylvain BOLLAERT

Soutenue le 11/07/2012

Mme Mireille MOUIS
Mr Thierry BARON
Mr Christophe GAQUIERE
Mr Guilhem LARRIEU
Mr Michel RENVOISE
Mr Sylvain BOLLAERT
Mr Nicolas WICHMANN

Rapporteur
Rapporteur
Examineur
Examineur
Examineur
Directeur de thèse
Co-encadrant de thèse

Remerciements

Ce travail de thèse a été réalisé dans le cadre d'un projet ANR MOS III-V au sein d'IEMN avec la collaboration de différents laboratoires de recherche y compris l'IEF de Paris pour la simulation Monte Carlo du composant, l'OMMIC de Paris, le CEA-LETI de Grenoble pour la déposition de l'oxyde, le CIMAP de Caen pour l'image TEM et la groupe Epiphy au sein d'IEMN pour la préparation du substrat. Je tiens à remercier Monsieur le professeur Alain Cappy, ancien directeur de l'IEMN, Monsieur Lionel Buchaillot, directeur de recherche CNRS et actuel directeur de l'IEMN pour m'avoir accueilli au sein de laboratoire d'IEMN pendant ces durées du travail.

Je remercie Monsieur le professeur Gilles Dambrine, professeur de Lille1, ancien responsable du groupe Anode et Monsieur le professeur Francois Danneville, professeur de Lille1, responsable du groupe ANODE actuel, pour m'avoir accueilli au sein du groupe.

Je remercie Madame Mireille Mouis, responsable de recherche à l'INP Grenoble et Monsieur Thierry Baron, directeur de recherche à CEA Grenoble, pour l'honneur qu'ils m'ont fait en acceptant d'être rapporteurs de ce travail de thèse.

Je remercie également Monsieur Christophe Gaquiere, professeur à l'Université des Sciences et Technologies de Lille, Monsieur Guilhem Larrieu, chargé de recherche à LAAS Toulouse et Monsieur Michel Renvoise, chercheur de OMMIC de participer à ce jury en tant qu'examineurs.

Je tiens à remercier mon directeur de thèse, Monsieur Sylvain Bollaert, professeur à Lille1, pour m'avoir encadré au cours de cette thèse. Grâce aux nombreuses discussions, Sylvain m'a permis d'avancer mon travail. Je remercie également Monsieur Nicolas Wichmann, maître de conférences à Lille1, qui a co-encadré ce travail avec l'aide et les conseils m'ont permis de progresser efficacement.

Je remercie aussi tous les membres du groupe ANODE y compris les permanents Yannick Roelens et Mohammed Zaknoute pour les discussions. Je remercie aussi Xavier Wallart et

Ludovic Desplanque du groupe Epiphy pour m'avoir fourni les échantillons d'épitaxie pour travailler au dessus.

Je remercie également à mes collègues post-docs, thésards, pour leur soutien et amitié : Nicolas, Yoann, Cyrille, Phillippe, Nan, Aurélien, Albert, Arame, Laurent, Jinshan, Julien, David. Aurélien m'a transmis toutes ses connaissances avec ses premiers résultats dans ce projet MOS III - V.

Je remercie également Sylvie Lepilliet et Vanessa Sbrugnera-Avramovic de centrale de caractérisation, qui m'ont appris de la mesure. Et aussi Marc Francois, Yves Deblock, Francois Vaurette, Pascal Tilmant pour la lithographie électronique et optique, Christiane Legrand pour la gravure sèche, André Leroy, Annie Fattorini pour la métallisation, Christophe Boyaval pour la caractérisation MEB, et David Troadec pour la préparation de lame TEM de centrale de technologies.

Table des matières

Introduction générale:.....	9
Chapitre 1 Introduction aux Transistors MOSFET de la filière III-V.....	15
1.1 Contexte et enjeux sociétaux.....	15
1.1.1 Fin de la loi de Moore.....	15
1.1.2 L'exigence de l'intelligence ambiante.....	17
1.2 Principaux paramètres d'un MOSFET.....	20
1.2.1 En régime statique.....	20
1.2.1.1 Tension de bande plate V_{FB}	20
1.2.1.2 Caractéristiques $\log(I_d)=f(V_{GS})$	20
1.2.1.3 Courant de grille.....	23
1.2.1.4 Transconductance.....	23
1.2.1.5 Conductance de sortie.....	23
1.2.1.6 Défaut d'interface.....	23
1.2.1.7 Mobilité effective du canal.....	25
1.2.1.8 Densité d'états d'un matériau DOS	25
1.2.2 En régime dynamique.....	26
1.3 Consommation de puissance : défi et challenge du 'Beyond CMOS'.....	27
1.4 Matériaux.....	30
1.5 Architectures du transistor basse consommation.....	32
1.5.1 MOSFET vs. HEMT.....	32
1.5.2 Architectures alternatives.....	34
1.6 Technologie des MOSFET III-V : défis et contraintes.....	37
1.6.1 L'oxyde sur un matériau III-V : défi majeur de la technologie des MOSFET III-V.....	37
1.6.1.1 Technique de dépôt d'oxyde.....	37
1.6.1.2 Défauts dans l'oxyde Al_2O_3 (charge fixe).....	39
1.6.1.3 Défauts à l'interface d'oxyde/semiconducteur.....	40
1.6.1.4 Techniques de passivation :.....	40
1.6.2 Matériaux III-V et substrat.....	41
1.6.3 Budget thermique.....	42
1.7 Etat de l'art des MOSFET III-V.....	43
1.7.1 Défaut d'interface entre l'oxyde et le semiconducteur.....	43
1.7.2 Comportement sous le seuil.....	44
1.7.3 Mobilité effective, courant de drain et transconductance.....	46
1.7.4 Performances fréquentielles.....	48
1.8 Les objectifs du travail.....	50
Bibliographie:.....	53
Chapitre 2 Fabrication et caractérisation de MOSFET $In_{0.53}Ga_{0.47}As$	63
2.1 Introduction.....	63
2.2 Fabrication et caractérisation de MOSFET $In_{0.53}Ga_{0.47}As$ en technologie « Gate-First » : structure de référence.....	63
2.2.1 Procédé de fabrication et structure épitaxiale des MOSFET $In_{0.53}Ga_{0.47}As$ en technologie « Gate-First ».....	63
2.2.1.1 Couche épitaxiale :.....	64
2.2.1.2 Définition de la grille.....	65
2.2.1.3 Masque MOSFET $InGaAs$ multi-doigts de grille.....	67
2.2.2 Briques technologiques de fabrication.....	69

2.2.2.1	Structure epitaxiale et oxyde retenus pour les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ « Gate-First »:	69
2.2.2.2	Dépôt d'oxyde Al_2O_3 par technique ALD	69
2.2.2.3	Traitements de surface avec $\text{HCl}/\text{NH}_4\text{OH}$	71
2.2.3	Définition de l'électrode de grille en Tantale.....	73
2.2.4	Définition des caissons d'implantations et des espaceurs (side-wall)	75
2.2.4.1	Caractérisation électrique de l'implantation à 15keV	76
2.2.4.2	Estimation de la diffusion latérale des dopants.....	78
2.2.4.3	Définition de l'espaceur de Si_3N_4	80
2.2.5	Réalisation de pont air pour la structure multi-doigts	81
2.2.6	Fabrication de capacité MOS $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	84
2.2.7	Caractérisation des capacités MOS $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	85
2.2.7.1	Méthodes d'extraction du D_{it} et de la tension de Bande plate	86
2.2.7.2	Détermination de la tension de bande-plate d'une capacité MOS.	87
2.2.7.3	Résultats expérimentaux	88
2.2.8	Caractérisation de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts	91
2.2.8.1	Caractéristiques statiques MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts	91
2.2.8.2	Mesure dynamique MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts de grille ($W=16 \times 15 \mu\text{m}$)	95
2.3	Voies d'investigation en vue de l'amélioration de la structure de référence	106
2.3.1	Influence du recuit PDA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	106
2.3.1.1	Analyses XPS et AFM de la couche d' Al_2O_3 pour différentes conditions de PDA	106
2.3.1.2	Influence des paramètres du PDA sur la densité de défaut de d'interface.....	108
2.3.1.3	Influence du PDA sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en technologie « Gate-First »	112
2.3.2	Comparaison des technologies « Gate-Last » et « Gate-First » sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	114
2.3.2.1	Procédé de fabrication de MOSFET en technologie « Gate-Last »	115
2.3.2.2	Caractérisation électrique des MOSFET en technologie « Gate-Last »	118
2.3.3	Influence du recuit PPA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	120
2.3.3.1	Effet du PPA sur la densité de défaut d'interface.....	121
2.3.3.2	Effet de PPA sur MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec procédé Gate-First et Gate-Last	123
2.3.4	Amélioration du budget thermique en baissant la température de recuit d'activation	126
2.4	Conclusion du chapitre 2.....	129
	Bibliographie :	130
	Chapitre 3 Nouvelles structures de MOSFET.....	135
3.1	Introduction	135
3.2	MOSHEMT InGaAs	135
3.2.1	Motivations du MOSHEMT : simulation Monte Carlo.....	135
3.2.2	MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adapté en maille sur InP	138
3.2.2.1	Technologie du MOSHEMT adapté en maille sur InP	138
3.2.2.2	Caractéristiques statiques et dynamiques du MOS-HEMT adapté en maille sur InP	140
3.2.3	MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique.....	143
3.2.3.1	Structure épitaxiale du MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique.	143
3.2.3.2	Caractéristiques statiques et dynamiques du MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique	144

3.2.3.3	Comparaison du MOSHEMT pseudomorphique et du MOSHEMT adapté en maille.....	146
3.2.3.4	Etude de PPA sur MOSHEMT pseudomorphique.....	147
3.3	MOSFET à canal InAs.....	148
3.3.1	Structure épitaxiale et procédés de fabrication du MOSFET à canal InAs :	149
3.3.2	Caractéristiques statiques et dynamiques des MOSFET InAs.....	151
3.3.3	Mesures MOSFET InAs en fonction de la température	154
3.3.4	Conclusion sur le MOSFET InAs:.....	158
3.4	Conclusion du chapitre 3.....	160
	Bibliographie:.....	162
	Conclusion générale :	167
	Annexe.....	173

Introduction générale:

L'évolution de la technologie CMOS sur silicium (Complementary Metal Oxide Semiconductor), constituée de transistors MOSFET (Metal Oxide Semiconductor Field Effect Transistor) canal N et canal P a influencé fortement la vie quotidienne, grâce à leurs performances continuellement améliorées ainsi qu'une utilisation croissante dans de nombreux domaines d'application. Le facteur critique de cette évolution est la réduction des dimensions des circuits intégrés et des composants les constituant, qui a permis une amélioration de la vitesse des circuits, a réduit l'énergie de commutation par circuit, et finalement a induit une augmentation de la densité d'intégration et, par rebond, un coût unitaire toujours plus faible. Cette évolution a été dictée par la loi de mise à l'échelle définie par Gordon Moore et appelée « loi de Moore ». Le suivi de cette loi consiste en la réduction des dimensions des MOSFET, en particulier la longueur de grille L_g , l'épaisseur d'oxyde T_{ox} , la largeur du transistor W , ainsi que la tension d'alimentation V_{DD} .

Cependant, avec l'augmentation du nombre de transistors sur une puce et des fréquences de commutation plus importantes à chaque nouvelle génération (ou nœud) technologique, la consommation de puissance par puce n'a cessé d'augmenter et constitue depuis le début des années 2000, un frein à la loi de Moore. Un autre secteur récent d'activité, où la consommation de puissance est importante, concerne l'intelligence ambiante, pour lequel des dispositifs communicants et autonomes doivent être développés. Ces dispositifs doivent combiner pour assurer leur autonomie des possibilités de récupération d'énergie dans l'environnement et une faible consommation de puissance, mais aussi des débits d'informations toujours plus importants. Les technologies MOSFET actuelles ne permettent pas de préserver l'autonomie des systèmes à haut débit, de par leur consommation. Ainsi il est nécessaire de développer des technologies à faible consommation et à hautes performances fréquentielles. Des voies d'amélioration sur la topologie ou le mode de fonctionnement sont actuellement en cours de développement dans plusieurs laboratoires (FinFET, TFET, IMOS...). Ces topologies concernent principalement l'amélioration du comportement sous le seuil, qui fixe la consommation de puissance statique de la porte CMOS, et vise la réduction de la tension d'alimentation V_{DD} qui ne suit plus la règle de mise à l'échelle depuis 2005.

Une autre voie concerne l'utilisation de matériaux haute mobilité pour remplacer le canal silicium, qui pourrait permettre de compenser la dégradation des performances fréquentielles des transistors lors de la réduction de la tension d'alimentation V_{DD} . L'énergie consommée à

chaque commutation est proportionnelle à CV_{DD}^2 . Une diminution de la tension d'alimentation V_{DD} aura donc un impact sur la consommation dynamique. Toutefois la diminution de V_{DD} s'accompagne d'une dégradation de la fréquence de fonctionnement de la porte CMOS. Un matériau haute mobilité devrait permettre de s'affranchir de cette dégradation des performances fréquentielles. Plusieurs matériaux sont à l'étude : le III-V, le germanium, les nanotubes de carbones, le graphène... En ce qui concerne le canal N des CMOS, les matériaux III-V pourraient être une possibilité de part leur technologie plus mature et industrielle (HEMT, HBT etc...) , comparés à des matériaux plus « exotiques ». De plus, ces matériaux sont à l'étude pour la fabrication de MOSFET dans plusieurs laboratoires, et mais aussi pour le développement de nouvelles topologies (FinFET III-V, TFET, IMOS). Les matériaux III-V sont donc une voie possible pour remplacer le silicium des MOSFET canal N compte tenu de leurs propriétés de transport. L' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ a une mobilité d'électron en volume (bulk) de $12000\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, qui est 8 fois plus élevée que celle du silicium. La vitesse thermique des électrons est de $5.5 \times 10^5 \text{m/s}$ ce qui est deux fois plus élevée que celle de Si. En ce qui concerne le canal P, qui n'est pas l'objectif de cette thèse, les matériaux germanium ou GaInSb sont de possibles candidats.

Enfin la réduction de la consommation par la voie de la tension d'alimentation associée à l'utilisation de III-V, n'est envisageable que si l'on s'affranchit du comportement sous le seuil (I_{OFF} , SS et $DIBL$). En effet, l'utilisation de matériaux III-V ne devrait pas apporter d'amélioration sur ce critère. Toutefois, l'utilisation des matériaux III-V pour améliorer les performances fréquentielles associée à l'utilisation d'une topologie alternative (FinFET, TFET, IMOS) pour régler le problème du courant I_{OFF} , est une voie prometteuse. Toutefois, des études intermédiaires sur les MOSFET à base de matériaux III-V sont nécessaires pour valider les concepts en terme de tenue fréquentielle à faible tension d'alimentation, mais aussi sur les défis technologiques liés à l'utilisation d'une structure MOSFET avec un matériau III-V. Les défis technologiques sont nombreux, en particulier la difficulté de réaliser sur III-V un oxyde de bonne qualité, qui a été le verrou technologique des MOSFET III-V. Cependant depuis le début des années 2000, la technique ALD a été introduite pour déposer des oxydes sur matériaux III-V, permettant une avancée importante sur les architectures MOSFET III-V, avec une densité de défaut d'interface acceptable de l'ordre $10^{12}/\text{eVcm}^2$.

Ainsi l'objectif de ce travail est l'étude et le développement de MOSFET canal N de la filière III-V, en particulier la technologie de ces transistors. Le manuscrit est divisé en 3 chapitres.

Dans le chapitre 1 de ce mémoire, l'intérêt du transistor MOSFET de la filière de III-V va être présenté après un rappel des enjeux d'une technologie basse consommation et des principaux paramètres des structures MOSFET. L'apport du matériau III-V, en particulier le canal $\text{In}_x\text{Ga}_{1-x}\text{As}$ (x taux d'indium $0.53 < x < 1$) sur le silicium est discuté, principalement en terme de puissance dynamique versus performances fréquentielles. L'état de l'art des MOSFET III-V canal N est présenté. Finalement, les objectifs de ce travail sont donnés.

Dans le chapitre 2, les briques technologies de fabrication de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ autoaligné vont être établies et validées dans un premier temps, par des caractérisations électriques statiques et dynamiques. Un point clé de la technologie MOSFET III-V est l'oxyde et son interface avec le semiconducteur. La qualité de l'interface oxyde/semiconducteur obtenue est ensuite discutée, et des voies d'améliorations concernant le budget thermique vont être explorées afin de réduire les défauts de cette interface. L'influence du recuit de stabilisation de l'oxyde (PDA : Post Deposition Annealing) ainsi que le recuit d'activation des implants, sur l'interface oxyde-semiconducteur, sont présentées. Finalement, la technologie « Gate-First » (oxyde de grille avant implantation) est comparée à la technologie « Gate-Last » (oxyde de grille après implantation) afin de déterminer les effets du recuit d'implantation sur l'oxyde de grille. L'ensemble de ces études est argumentée par : des analyses AFM et XPS (réalisées au CEA-LETI), la détermination de la densité de pièges à l'interface oxyde/semiconducteur et des caractérisations électriques en statique et hyperfréquence des MOSFETs.

Dans le chapitre 3, des structures alternatives comme voies d'amélioration sont présentées. Les matériaux III-V offrent un large éventail de matériaux utilisables. L'utilisation d'un matériau III-V à large bande interdite intercalé entre le canal conducteur $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ et l'oxyde de grille, est une solution envisagée afin de réduire l'effet de l'interface oxyde/semiconducteur sur les caractéristiques électriques. On parlera de canal enterré ou structure MOSHEMT. Un MOSHEMT où le taux d'indium est porté à 0.75 au lieu de 0.53 ($\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$) est aussi présenté. L'idée est de combiner la plus forte mobilité de matériau à fort taux d'indium à la structure à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ enterré. Finalement, une étude sur des MOSFET InAs est aussi présente en fin de ce chapitre 3 et constitue un résultat préliminaire obtenu sur InAs.

Enfin, les conclusions et perspectives sur cette étude des MOSFET III-V sont données à la fin de ce manuscrit.

Chapitre 1 Introduction aux Transistors MOSFET de la filière III-V

1.1 Contexte et enjeux sociétaux

1.1.1 Fin de la loi de Moore

Depuis plus de 50ans, les dispositifs microélectroniques et nanoélectroniques ont influencé fortement la vie quotidienne, grâce à leurs performances continuellement améliorées ainsi qu'une utilisation croissante dans de nombreux domaines d'application, tels que les technologies de l'information et de la communication, la santé, le transport, l'énergie... L'une des technologies phares de ces applications est la cellule CMOS sur silicium (Complementary Metal Oxide Semiconductor), constituée d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) canal N et canal P. Le facteur critique de cette évolution est la réduction des dimensions des circuits intégrés et des composants les constituant, qui a permis une amélioration de la vitesse des circuits, réduit l'énergie de commutation par circuit, et finalement a induit une augmentation de la densité d'intégration et, par rebond, un coût unitaire toujours plus faible. Cette évolution a été dictée par la loi de mise à l'échelle définie par Gordon Moore et appelée « loi de Moore ». Le suivi de cette loi consiste en la réduction des dimensions des MOSFET d'un facteur (fixé à $\sqrt{2}$), en particulier la longueur de grille L_g , l'épaisseur d'oxyde T_{ox} , la largeur du transistor W , ainsi que la tension d'alimentation V_{DD} , telle que schématisée figure 1 d'après [1].

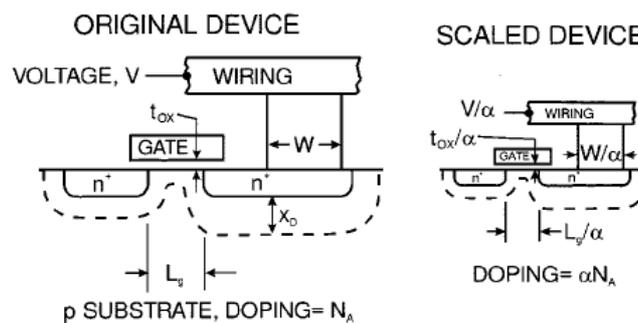


Figure 1 : Illustration de la règle de réduction d'échelle des MOSFET d'après [1].

Cependant, avec l'augmentation du nombre de transistors sur une puce et des fréquences de commutation plus importantes à chaque nouvelle génération (ou nœud) technologique, la consommation de puissance par puce n'a cessé d'augmenter et constitue un frein à la loi de Moore. Ce qui implique que la proportionnalité entre la tension d'alimentation V_{DD} et le nœud n'a pas été entretenue depuis le nœud 90nm (2005) à cause de l'effet de canal court se

manifestant par une augmentation du courant de fuite I_{OFF} , de la pente sous le seuil SS (Subthreshold Swing), du $DIBL$ (Drain Induced Barrier Lowering) et un changement de la tension de seuil V_{TH} . La mise à l'échelle de dispositifs est depuis entrée dans une nouvelle ère avec une limitation importante liée au compromis entre la consommation de puissance statique et dynamique, et la performance en fréquence.

La consommation de puissance d'un circuit CMOS est directement liée à la tension V_{DD} . La loi standard de réduction d'échelle impose la diminution de V_{DD} à chaque nœud technologique.

La puissance consommée des CMOS est en partie proportionnelle à $f \cdot V_{DD}^2$ (avec f la fréquence limitée par la performance maximum de transistor et V_{DD} la tension d'alimentation), et la dissipation de puissance statique passive due à des courants de fuite (courant de fuite de grille, courant de source/drain sous seuil et de fuite de jonctions) est proportionnelle à V_{DD} . Ainsi réduire la tension d'alimentation V_{DD} est indispensable pour les technologies futures. Néanmoins, la baisse de V_{DD} et aussi de la tension de seuil V_{TH} qui est nécessaire pour répondre au problème de consommation de puissance doit être faite tout en conservant un bon courant de sortie et un bon contrôle de grille électrostatique. En effet, le courant I_{ON} lié à la tension d'alimentation doit être maintenu, afin d'éviter une diminution des performances fréquentielles du transistor, et donc de la fréquence d'opération du circuit. Dans la technologie silicium, le canal silicium contraint, l'empilement de grille high-k/métal [2] au lieu de SiO_2 /polysilicium a été introduit pour la technologie front-end afin de surmonter ces problèmes. Enfin, l'utilisation de 'thin body' (film ultra mince SOI), ou le développement de FinFET proposé par Intel pour le nœud 22nm [3], pourrait être étendu à 16nm.

Enfin, dans les dernières technologies, la tension d'alimentation n'a pas suivie la règle d'échelle standard. Celle-ci est restée quasiment constante, avec une valeur située aux alentours de 0.9V. Cette limitation est liée au courant I_{OFF} , défini en partie par le comportement sous le seuil (pente sous le seuil SS , $DIBL$, effet de canal court). Une réduction de la tension d'alimentation provoque une augmentation exponentielle du courant I_{OFF} et donc de la consommation statique. Toutefois, le maintien d'une tension d'alimentation V_{DD} constante est incompatible avec une puissance dynamique réduite. Pour surmonter ce problème, la fréquence de fonctionnement des circuits CMOS a été maintenue constante, et l'augmentation de la performance a été permise par la multiplication du nombre de cœurs des microprocesseurs.

Dans ce contexte, un FET à basse tension, qui peut fonctionner à une tension beaucoup plus faible que le MOSFET Si serait une solution bienvenue pour les nœuds du futur. En dessous

de 16nm, l'innovation pourrait être envisagée par l'utilisation de nouvelles topologies, de modes d'opération et/ou de nouveaux matériaux. En terme de topologie, les technologies SOI et FinFET sont des exemples. D'autres structures sont aussi envisagées, comme les TFET (Tunnel FET) [4] ou les I-MOS (impact Ionization MOSFET) [5][6]. Ces topologies alternatives ont pour but principal de réduire la pente sous le seuil et ainsi de conserver un I_{OFF} faible. Les matériaux III-V et Ge sont actuellement à l'étude pour remplacer respectivement le canal Si type N et P. La seule contrainte sera l'intégration du procédé de ces matériaux avec des lignes de fabrication de silicium utilisant des outils mise à jour. L'intérêt de ces matériaux est leurs excellentes propriétés de transport (mobilité, vitesse de saturation) par rapport au matériau silicium. La plus forte mobilité peut permettre de compenser la dégradation des performances fréquentielles observées lors de la réduction de la tension d'alimentation V_{DD} et donc de la tension V_{DS} du transistor. Ces dégradations sont très importantes pour les MOSFETs à base de silicium [7][8]. Ainsi, l'utilisation de matériau à haute mobilité devrait permettre de conserver de bonnes performances fréquentielles à faible V_{DS} ; ce qui est actuellement difficile avec la technologie silicium. Cette attente est confirmée par les premiers résultats expérimentaux qui démontrent des performances supérieures des dispositifs quantiques InGaAs par rapport au silicium à longueur de grille 25nm (R.Chau de Intel [9]).

Toutefois la réduction de la consommation par la voie de la tension d'alimentation associée à l'utilisation de III-V, n'est envisageable que si l'on s'affranchit du comportement sous le seuil (I_{OFF} , SS et $DIBL$). Ainsi, l'association des matériaux III-V pour améliorer les performances fréquentielles et d'une topologie alternative (FinFET, TFET, IMOS) pour régler le problème du courant I_{OFF} est la voie la plus prometteuse. Toutefois, des études intermédiaires sur les MOSFET à base de matériaux III-V sont nécessaires pour valider les concepts et technologies de ces nouvelles structures.

Enfin pour les applications RF, les transistors III-V (HBT ou HEMT) sont actuellement utilisés. En effet, les bonnes propriétés de transport des III-V permettent d'avoir un état de l'art en terme de fréquence de coupure à plus de 1THz et d'excellentes performances en bruit. La co-intégration de matériaux III-V sur silicium offrira des applications RF à faible coût, ce qui rend le III-V prometteur pour les applications du domaine 'More than Moore'.

1.1.2 L'exigence de l'intelligence ambiante

L'intelligence ambiante est un besoin dans la vie réelle, qui réduit la distance entre le monde numérique et physique, en fournissant à l'utilisateur des moyens plus naturels d'interaction

avec les machines et l'environnement comme la RFID (Radio Frequency IDentification), les « smart dust » (poussières intelligentes) [10], ayant un critère de dimension réduite pour l'ensemble de ces nouveaux produits. Ainsi, Hitachi propose un RFID de dimension 0.05mm sur 0.05mm qui peut être utilisé comme une mesure pour lutter contre la contrefaçon de tickets d'admission [11], montré dans la figure 2.a. Les « Smart dust » sont des micros machines de dimension de l'ordre du micromètre, intégrant un capteur, un système intelligent et qui peuvent communiquer sans fil avec le monde extérieur. Chaque dust devra être autonome, avec son propre système de récupération et de stockage de l'énergie. La figure 2.b montre un capteur avec alimentation solaire.

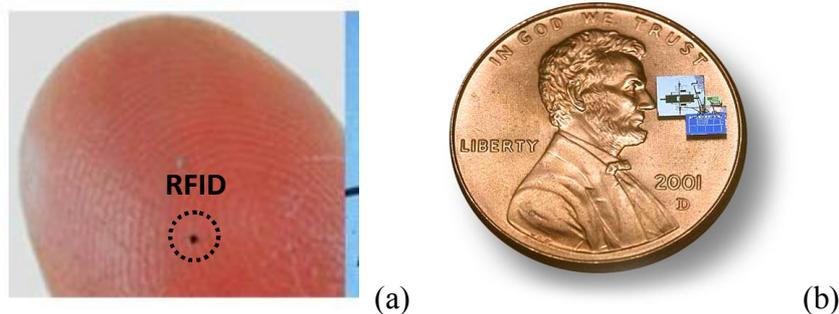


Figure 2 : (a).RFID proposé par Hitachi, (b). Smart dust alimenté par cellule photovoltaïque pour la détection de l'accélération et de la lumière [12].

Les systèmes utilisés pour l'intelligence ambiante demandent une consommation de puissance la plus basse possible pour aboutir à l'autonomie, et doivent être capable d'extraire et/ou de récupérer de l'énergie nécessaire à leurs fonctionnements à partir de l'environnement dans lequel ils sont plongés. Cette énergie peut être de nature électromagnétique, mécanique ou thermoélectrique. Pour un système de dimension réduite, l'énergie disponible par ces systèmes de récupération est de l'ordre de $100\mu\text{W}$ voire moins. Ainsi pour être autonome, la consommation moyenne de ces systèmes doit être en deçà de $100\mu\text{W}$. Les fonctions de l'intelligence ambiante sont constituées de circuits de traitement de l'information numérique et de son stockage, de la gestion de l'énergie (stockage, récupération), et d'une interface analogique de communication avec le monde extérieur. Cette dernière brique consomme une puissance non négligeable et bien que des stratégies aient été développées pour réduire son impact sur l'autonomie du système (mise en veille par exemple), il est impossible actuellement avec les technologies actuelles, en particulier le CMOS silicium, d'obtenir une autonomie totale et d'y associer un débit d'information de communication suffisant. En effet, la consommation de puissance est directement liée au produit de l'énergie mise en œuvre lors d'une commutation multipliée par la fréquence d'utilisation. Ceci peut être observé sur le

graphe de la figure 3, qui représente le débit d'information en fonction de la puissance consommée pour des objets électroniques de la vie courante, d'après [13]. La technologie utilisée dans cette application correspond à du CMOS silicium. En considérant la frontière de l'autonomie à $100\mu\text{W}$, les débits d'information ne dépassent pas 1kbits/s avec cette technologie. Pour accéder à des débits plus élevés, de l'ordre du Mbit/s des objets tels que le bluetooth, il faut réduire la consommation de plusieurs ordres de grandeur (environ 10^3) ou augmenter la puissance disponible par un meilleur stockage et une meilleure efficacité de récupération de l'énergie.

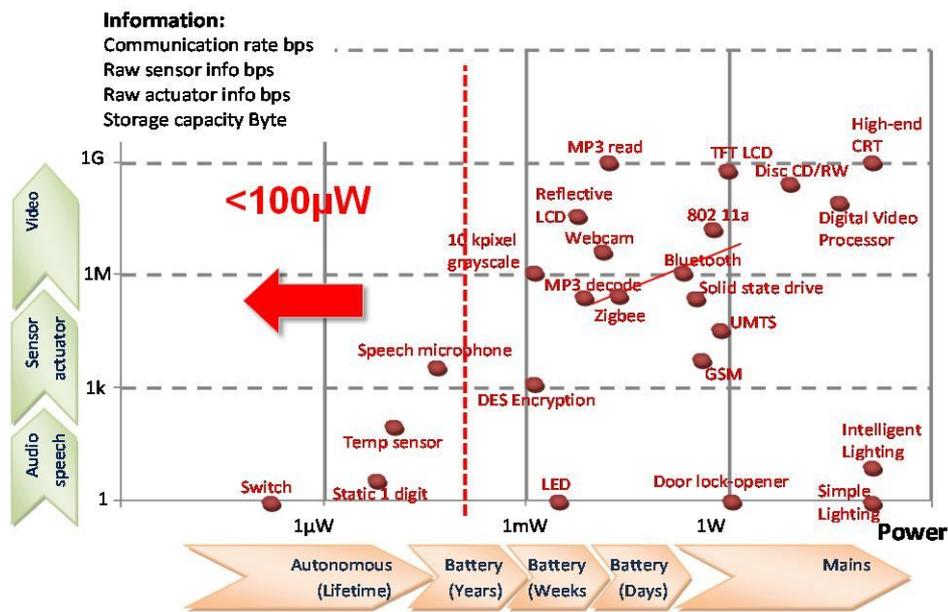


Figure 3 : Débit d'information fonction de la puissance consommée [13] de divers produits électroniques.

Beaucoup de travaux de recherche sont engagés sur les thématiques de stockage et de récupération de l'énergie, mais le challenge d'une réduction d'un facteur 10^3 ne pourra pas être atteint avec ces seules innovations. D'autres améliorations doivent être apportées aux systèmes électroniques afin d'aboutir à l'autonomie. D'un point de vue de la gestion système, la mise en veille de certaines fonctions est aussi une des voies envisagées. Un autre levier important est la réduction de la consommation de puissance des circuits en fonctionnement et en particulier des transistors qui les constituent. Ainsi, de nouvelles technologies doivent être développées pour répondre à ce challenge. Le MOSFET à base de matériaux III-V pourraient être un candidat à court terme.

Avant de présenter les objectifs de ce travail, il est nécessaire de rappeler les principaux paramètres des MOSFETs. Le paragraphe ci-dessous est consacré à ce rappel.

1.2 Principaux paramètres d'un MOSFET

Dans cette partie, nous donnons les paramètres électriques importants des transistors MOSFET en régime statique et en régime dynamique ce qui nous aidera à évaluer ces filières.

1.2.1 En régime statique

En régime statique, il y a des paramètres importants comme la tension de bande plate V_{FB} (*Flat Band Voltage*), la caractéristique $\log(I_d)-f(V_g)$ y compris la tension de seuil V_{TH} , le *SS*, le *DIBL*, le rapport I_{ON}/I_{OFF} , le courant de grille I_g .

1.2.1.1 Tension de bande plate V_{FB}

L'expression de la tension de bandes plates (V_{FB}) est donnée par l'équation (1):

$$V_{FB} = \phi_m - \phi_{sc} - \frac{Q_{it}}{C_{ox}} \quad (1)$$

Avec ϕ_m : le travail de sortie du métal, ϕ_{sc} : le travail de sortie du semi-conducteur, Q_{it} : la quantité de défauts à l'interface oxyde/semi-conducteur, C_{ox} : la capacité de l'oxyde. La capacité C_{ox} est donnée par (2)

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad (2)$$

où T_{ox} est l'épaisseur de l'oxyde et ϵ_{ox} la permittivité de l'oxyde.

Cette tension de bandes plates va fixer en partie la tension de seuil des transistors MOSFET canal N et canal P. On la choisit proche de zéro volt, pour un fonctionnement symétrique du canal N et du canal P, nécessaire au CMOS.

1.2.1.2 Caractéristiques $\log(I_d)=f(V_{GS})$

La caractéristique logarithme du courant drain I_d en fonction de V_{GS} permet d'extraire des informations qui vont nous renseigner sur la qualité du transistor. On obtient la courbe donnée dans la figure 4. Cette caractéristique permet de déterminer le courant I_{OFF} , le courant I_{ON} , la tension de seuil V_{TH} , la pente sous le seuil *SS* et le *DIBL*.

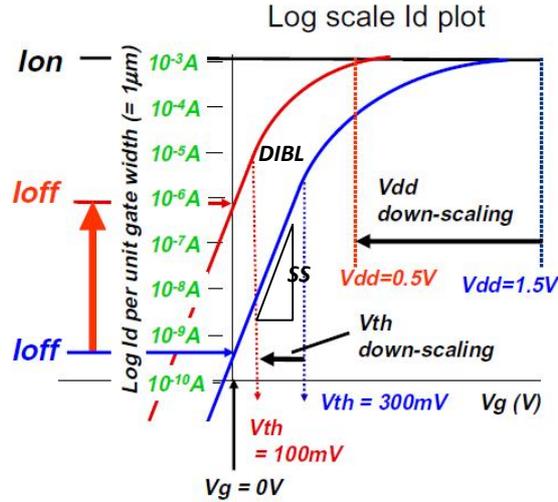


Figure 4 : Caractéristique $\log(I_{ON})=f(V_{GS})$ d'après [14].

a) La tension de seuil

La tension de seuil V_{TH} dans un MOSFET canal N s'exprime par l'expression (3):

$$V_{TH} = V_{FB} + 2\psi_B + \frac{\sqrt{4 \cdot q \cdot N_a \cdot \epsilon \cdot \psi_B}}{C_{ox}} \quad (3)$$

avec $\psi_B = \frac{kT}{q} \cdot \ln(N_a/n_i)$ V_{FB} : la tension de bande plate, ψ_B est la potentiel de Fermi, N_a est le dopage de matériau, n_i est la densité de charge intrinsèque de matériau, C_{ox} est la capacité de l'oxyde.

b) La pente sous le seuil

La pente sous seuil SS correspond à la partie linéaire du $\log(I_d)$ en fonction de V_{GS} , et est donnée par :

$$SS = \frac{dV_{GS}}{d \log I_d} \quad (5)$$

Dans le cas du MOSFET, on peut déterminer une expression simplifiée de cette pente :

$$SS \approx \frac{kT}{q} \ln 10 \left(1 + \frac{C_{dep}}{C_{ox}} \right) \quad (6)$$

Où C_{dep} et C_{ox} sont respectivement les capacités de déplétion et de l'oxyde.

La valeur limite est $2.3 \frac{kT}{q}$ soit environ 60mV/dec à 300K. Le SS peut être dégradé par la

densité de défaut D_{it} à l'interface et par les effets de canal court. Cette pente sous le seuil a un effet très important sur le courant I_{OFF} du transistor et donc sur la consommation statique de la cellule CMOS.

c) Le courant I_{OFF}

Le courant I_{OFF} est déterminé à $V_{GS}=0V$. Le courant I_{ON} est déterminé à $V_{GS}=V_{DD}$, où V_{DD} est la tension d'alimentation. On peut déduire le ratio I_{ON}/I_{OFF} . Un important ratio I_{ON}/I_{OFF} constitue un bon compromis entre une haute vitesse de commutation due à un I_{ON} important (mais aussi une meilleure fréquence de coupure) et une faible consommation statique de la porte CMOS un faible I_{OFF} . Nous verrons l'influence du I_{ON} sur la rapidité du composant, dans la suite de ce manuscrit.

En ce qui concerne le courant I_{OFF} , celui ci va dépendre de la pente sous le seuil SS et de la tension V_{TH} . En effet, si on diminue la tension V_{TH} , on aura une augmentation du courant I_{OFF} . Ainsi, la règle de réduction d'échelle standard qui implique une réduction de V_{DD} et de V_{TH} , contribue à augmenter le courant I_{OFF} . Cette augmentation de I_{OFF} limite la réduction de la tension V_{DD} des derniers noeuds CMOS. Enfin, le courant I_{OFF} est aussi dépendant du courant inverse des jonctions PN des MOSFET. Le courant I_S d'une jonction PN dépend de la densité intrinsèque n_i du matériau utilisé, qui elle même est liée à l'énergie de bande interdite E_g . Une faible énergie de bande interdite E_g donne une densité n_i importante, et contribue à l'augmentation du courant I_{OFF} . Cette augmentation est défavorable aux matériaux petit gap pour les MOSFET.

d) Le *DIBL* 'Drain Induced Barrier Lowering' correspond à la variation de la tension de seuil pour une variation de la tension V_{DS} . Il est déterminé à partir de la caractéristique de la figure 4. Lorsque l'on fait varier V_{DS} on peut observer une variation de la tension de seuil V_{TH} . L'expression du *DIBL* est donnée par (4):

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad (4)$$

Le *DIBL* se traduit physiquement par l'abaissement de la barrière de potentiel entre la source et le canal, et donc à un accroissement du courant de fuite de drain. La tension de seuil du transistor s'en trouve donc décalée.

La variation de la tension de seuil causée par un fort *DIBL* induit une augmentation du courant I_{OFF} (figure 4), et, par conséquent, la consommation de puissance en statique. Il est donc important de réduire la valeur de ce paramètre.

1.2.1.3 Courant de grille

Le courant de grille I_g d'un MOSFET est très faible, en particulier si on le compare à celui d'un transistor à grille Schottky. Il peut toutefois devenir important dans le cas d'oxyde de faible épaisseur. On aura alors un courant de fuite de grille par effet tunnel. Ce courant de fuite doit être limité car il intervient directement dans la consommation statique des portes CMOS.

1.2.1.4 Transconductance

L'expression de la transconductance g_m est donnée par (7):

$$g_m = \left(\frac{dI_d}{dV_{GS}} \right)_{V_{DS}} \quad (7)$$

Au premier ordre, le g_m traduit l'efficacité de commande des charges du canal associée aux propriétés de transport de ces charges. C'est un paramètre qui, en général, traduit le bon fonctionnement du transistor. Une valeur importante sera favorable aux performances du composant.

1.2.1.5 Conductance de sortie

La conductance de sortie est donnée par (8):

$$g_d = \left(\frac{dI_d}{dV_{DS}} \right)_{V_{GS}} \quad (8)$$

Idéalement, ce terme doit tendre vers zéro. Toutefois, son augmentation peut être importante dans le cas de grilles courtes, on parle alors d'effet de canal court. Un accroissement de g_d peut aussi traduire l'apparition de l'ionisation par impact. Un faible g_d est préférable pour les applications analogiques, vu que la tension d'entrée est amplifiée par un gain en tension $\frac{g_m}{g_d}$.

Un g_d faible conduira à un meilleur gain en puissance et donc à une fréquence maximale d'oscillation f_{MAX} plus importante.

1.2.1.6 Défauts d'interface

Les défauts d'interface ou pièges d'interface sont des états d'énergies localisés dans la bande interdite du matériau semiconducteur à l'interface oxyde/semiconducteur. Ces états d'énergie apparaissent à cause des défauts de structures. Cette charge peut intervenir sur la zone active en modifiant le potentiel de surface. Le niveau de ces défauts d'interface peut être quantifié

par la densité de défaut d'interface D_{it} , qui peut être calculée par plusieurs méthodes de caractérisation électrique : méthode en basse fréquence ou quasi-statique, méthode de la conductance, méthode de haute fréquence (méthode Terman), méthode de pompage de charge,....

Dans notre travail, on utilise la méthode en basse fréquence ; celle-ci étant une méthode assez simple à mettre en œuvre et est couramment utilisé dans la littérature [15][16]. Cette méthode consiste à comparer les données de mesure C-V à basse fréquence (low frequency : lf) et à haute fréquence (high frequency : hf) comme illustré figure 5. A haute fréquence, les données C-V sont supposées libres de défaut d'interface parce qu'ils n'arrivent pas à répondre à la tension dynamique appliquée.

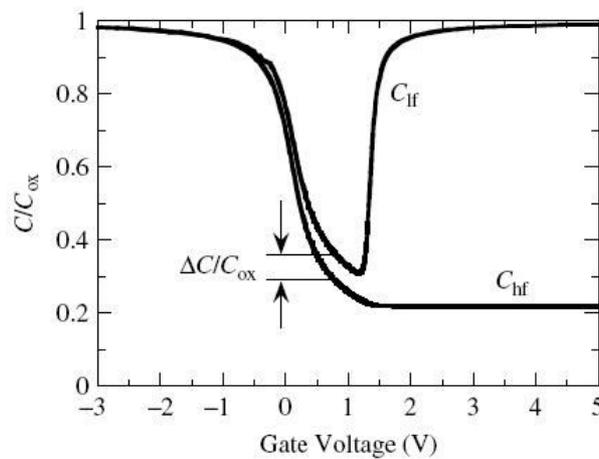


Figure 5 : Illustration d'une courbe C-V avec les données différentes en basse (lf) et haute fréquence (hf) [17].

A partir de données obtenues de mesures en basse et haute fréquence, le D_{it} peut être calculé par la formule (9) ci-dessous :

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1 - C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1 - C_{hf}/C_{ox}} \right) \quad (9)$$

Où C_{lf} , C_{hf} , C_{ox} sont respectivement la capacité en basse fréquence, la capacité en haute fréquence, et la capacité surfacique d'oxyde. Cette méthode nous donne alors les valeurs de D_{it} selon la polarisation de grille appliquée et donc selon la position du niveau de Fermi à l'interface oxyde/semiconducteur.

Ce D_{it} aura un effet néfaste sur le fonctionnement du transistor. Un fort D_{it} limitera par exemple l'inversion du canal sous la grille ce qui induira une dégradation des paramètres électriques (g_{mMAX} , I_{dMAX} ,...). Ce D_{it} est fortement lié à la technologie de l'oxyde utilisée. Par

exemple en technologie silicium, un niveau très bas de l'ordre de $10^{10}\text{cm}^{-2}\text{eV}^{-1}$ [18] peut être atteint avec un oxyde SiO_2 thermique.

1.2.1.7 Mobilité effective du canal

La mobilité effective μ_{eff} se différencie de la mobilité de 'bulk' de matériau. Elle est la mobilité réelle dans le canal du transistor en fonctionnement, qui prend en compte l'interaction coulombienne avec les charges piégées dans l'interface oxyde/semiconducteur, la rugosité de surface, les charges ioniques, le potentiel de grille appliquée,.... La mobilité effective est généralement extraite par l'équation (10)

$$\mu_{eff} = \frac{g_d L}{W Q_n} \quad (10)$$

Avec

$$g_d = \frac{\partial I_d}{\partial V_{DS} |_{V_{GS}=\text{constant}}} \quad (11)$$

$$Q_n = C_{ox}(V_{GS} - V_{TH}) \quad (12)$$

Ici, g_d est la conductance de transistor, W est le développement de transistor, L est la longueur de grille, Q_n est la densité de charge d'électron, V_{TH} est la tension de seuil, V_{GS} est la tension de grille-source, C_{ox} est la capacité surfacique d'oxyde (équation 2). Dans l'expression 12, l'influence de la capacité d'inversion est négligée (voir partie 1.2.1.8). Pour le calcul de cette mobilité effective, on se place en régime linéaire c'est à dire à faible V_{DS} .

1.2.1.8 Densité d'états d'un matériau DOS

Le *DOS* : « Density Of State », décrit le nombre d'états d'énergie disponible aux électrons. Le *DOS* va directement influencer la variation de la quantité d'électrons de la couche d'inversion selon le potentiel de surface lié à la tension de grille appliquée. Cette grandeur caractéristique peut se traduire par une distance entre l'interface oxyde/semiconducteur et la position du pic d'électrons dans la couche d'inversion, appelée 'Dark Space' (*DS*) [19]. Pour un matériau III - V, le *DOS* est plus faible que pour Si compte tenu des plus faibles masses effectives, cela induit un *DS* plus large. De ce fait, l'épaisseur équivalente de diélectrique de grille $T_{équi}=T_{ox}+DS$ sera plus grande, ce qui va réduire la capacité de grille et la densité d'électrons dans le canal d'inversion [19].

D'un autre point de vue, le *DOS* détermine une capacité C_{inv}^{DOS} , qui de préférence doit être la plus grande possible afin de négliger son influence vis-à-vis de C_{inv} . En effet, on peut

schématiser la capacité de grille par la figure 6 avec la capacité d'oxyde C_{ox} et la capacité d'inversion C_{inv} en série, d'où C_{inv} est composé de C_{inv}^{DOS} et C_{inv}^{thick} en série. C_{inv}^{thick} est la capacité d'inversion due à la discrétisation des niveaux d'énergie. Pour un C_{inv} très faible, on ne verra pas l'influence d'une variation de C_{ox} lors de la réduction de l'épaisseur d'oxyde T_{ox} nécessaire à la mise à l'échelle du transistor (*scaling*). Ainsi une forte valeur de DS rend difficile la réduction de T_{ox} , et donc le '*scaling*' du MOS. En effet, sachant que :

$$C_{inv}^{DOS} = q^2 D_{2D} (1 - \exp(-qN_s / D_{2D})) \quad (13)$$

Avec D_{2D} est la densité d'états DOS des sous-bandes en 2D donné par la formule (14)

$$D_{2D} = 2n_v \frac{\sqrt{m_x m_y}}{\pi \hbar^2} \quad (14)$$

Avec n_v est la dégénérescence de la vallée, m_x et m_y sont les masses effectives le long du canal. D'après les équations (13) et (14), une faible masse effective entraîne une faible valeur de C_{inv}^{DOS} . Une faible valeur de C_{inv}^{DOS} peut limiter l'influence de la réduction de T_{ox} lors du *scaling*. Ainsi, matériaux III-V, dont les masses effectives sont faibles, peuvent être défavorables au *scaling*.

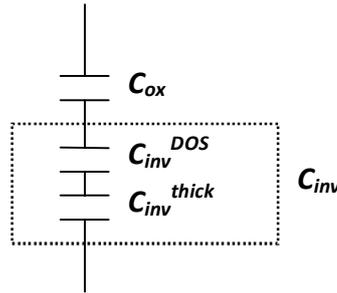


Figure 6 : Schéma électrique de la capacité de grille d'un MOSFET.

1.2.2 En régime dynamique

Il existe différentes techniques de détermination des caractéristiques dynamiques d'un transistor. La plus usuelle, est basée sur la mesure des paramètres S du transistor. A partir de ces mesures, on peut déterminer différents gains utilisés selon l'application envisagée (applications numériques ou analogiques) :

Le gain en courant de court-circuit $|H_{21}|$ permet d'extraire la fréquence de transition f_T lorsque ce gain est égal à 1 (0dB). Les moyens limites de mesures en fréquence ne permettent pas toujours d'obtenir directement cette fréquence. Une extrapolation à -20dB/dec est alors communément utilisée pour extraire cette fréquence de transition f_T . La fréquence f_T est une

figure de mérite très importante, notamment pour les applications numériques, l'expression en fonction des paramètres S est donnée par l'équation (15)

$$|H_{21}|^2 = \left| \frac{-2 \cdot S_{21}}{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}} \right|^2 \quad (15)$$

Le gain unilatéral de Mason U permet d'obtenir la fréquence maximale d'oscillation f_{MAX} par extrapolation de -20dB/dec. C'est une fréquence importante pour le choix du transistor pour les applications analogiques. L'expression est donnée par l'équation (16) :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(k \left| \frac{S_{21}}{S_{12}} \right| - \Re e \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (16)$$

1.3 Consommation de puissance : défi et challenge du 'Beyond CMOS'

La consommation de puissance totale peut être exprimée par la formule (17) [20]

$$P_{consum} \approx afC_g V_{DD}^2 + I_{ON} \cdot 10^{-V_{TH}/SS} V_{DD} + I_{leak} \cdot V_{DD} \approx (I_{ON} + I_{OFF}) V_{DD} \quad (17)$$

Avec f , C_g , I_{ON} , SS , I_{leak} sont respectivement, la fréquence d'opération, la capacité de grille, le courant de drain à l'état ON, la pente sous le seuil, le courant de fuite total incluant celui de la grille et celui des jonctions. La constante a dépend en partie de la vitesse des charges sous la grille. Dans l'équation (17), le premier terme correspond à la puissance dynamique $I_{ON}V_{DD}$, le second terme correspond à une partie du courant I_{OFF} liée à la pente sous le seuil SS et V_{TH} enfin le dernier terme correspond au courant I_{OFF} lié à la fuite de grille et des jonctions.

D'après l'équation 17, nous avons donc la contribution du courant I_{ON} et du courant I_{OFF} sur la consommation de puissance. Pour les applications analogiques, seul le courant I_{ON} est important, car il va fixer la performance fréquentielle du transistor et le gain du circuit analogique. On veut donc, en négligeant le courant I_{OFF} , une tension V_{DD} la plus faible possible pour réduire la consommation des circuits analogiques tout en conservant de hautes performances fréquentielles. Ceci devrait s'obtenir en utilisant des matériaux ayant de fortes mobilités.

Pour les applications numériques, utilisant des portes CMOS, le courant I_{OFF} va fixer la consommation statique du circuit. D'après l'équation 17, ce courant dépend de I_{leak} , de V_{TH} et de SS . Ainsi, SS et I_{leak} doivent être les plus faibles possibles pour réduire cette consommation. En revanche, V_{TH} doit rester élevée afin d'éviter d'accroître I_{OFF} . C'est la raison principale de

l'arrêt de la réduction de la tension d'alimentation depuis les derniers noeuds des technologies CMOS. Une voie possible permettant la réduction de I_{OFF} est l'utilisation d'une topologie alternative qui a déjà été réalisée par exemple par Intel, avec les FinFET. L'objectif de ce travail de thèse étant plutôt orienté sur la performance fréquentielle pour applications analogiques, les contraintes sur le comportement sous le seuil des transistors peuvent être soulagées.

Tableau 1: Principaux paramètres électriques d'un MOSFET.

C_{ox} (F/m^2)	C_g (F)	I_{ON} (A)	τ (s)	f_c (Hz)	P_d (W)	D (m^2)	P_s ($W.m^{-2}$)
Capacité oxyde	Capacité grille	Courant drain état ON	Temps de commutation	Fréquence de coupure	Puissance dynamique	Densité d'intégration	Densité de puissance
ϵ_{ox}/t_{ox}	$C_{ox}WL_g$		C_gV_{DD}/I_{ON}	$1/2\pi\tau$	$I_{ON}V_{DD}$	$1/WL_g$	P_dD

Le tableau 1 reporte les principaux paramètres électriques d'un MOSFET. Les paramètres importants sont τ , qui est le temps de commutation de la porte, P_d la puissance dynamique et P_s la densité de puissance consommée. Ce dernier terme doit être maintenu constant. En effet, il est limité par les possibilités de dissipation thermique du matériau. Si l'on s'intéresse à I_{ON} , ce courant est le courant drain I_D à $V_{DS}=V_{DD}$. Pour un transistor MOSFET, selon le régime de fonctionnement de celui-ci, le courant I_D peut être approximé par :

En régime linéaire

$$I_D = \mu C_{ox} \frac{W}{L_g} (V_{GS} - V_{TH}) V_{DS} \quad (18)$$

En régime de saturation par le pincement du canal

$$I_D = \mu C_{ox} \frac{W}{2L_g} (V_{GS} - V_{TH})^2 \quad \text{pour } V_{DS} \geq (V_{GS} - V_{TH}) \quad (19)$$

En régime de saturation par la saturation de vitesse

$$I_D = C_{ox} W (V_{GS} - V_{TH}) v_s \quad (20)$$

Où μ est la mobilité des électrons, et v_s la vitesse de saturation. Pour un canal court utilisant un matériau III-V et si le régime balistique n'est pas atteint, on aura saturation du courant drain I_D par la vitesse de saturation plutôt que par le pincement du canal côté drain,

Ces expressions restent approximatives car elles ne tiennent pas compte des effets de vitesse pic dans les III-V ainsi que des effets de survitesse ou balistiques possibles dans des structures III-V sub 100nm.

Enfin le I_{ON} , est déterminé à $V_{DS}=V_{DD}$. De plus, en reprenant les expressions en zone saturée (équations 19 et 20), celles-ci peuvent se mettre sous la forme générique

$$I_{ON} \cong C_{ox} W (V_{GS} - V_{TH}) v \quad (21)$$

Où $v=v_s$ en régime de saturation, $v=\mu V_{DD}/L_g$ en régime linéaire et $v=\mu(V_{GS}-V_{TH})/2L_g$ (avec $V_{GS}=V_{DD}$) en régime de saturation par le pincement du canal.

Si on calcule la fréquence de coupure et en négligeant V_{TH} , on aboutit à

$$f_c = \frac{v}{2\pi L_g} \frac{V_{DD} - V_{TH}}{V_{DD}} \approx \frac{v}{L_g} \quad (22)$$

.En régime linéaire f_c devient

$$f_c = \mu \frac{V_{DD}}{2\pi L_g^2} \quad (23)$$

Enfin on peut calculer la densité de puissance P_s

$$P_s \approx C_{ox} V_{DD}^2 \frac{v}{L_g} \approx C_{ox} V_{DD}^2 f_c \quad (24)$$

On retrouve dans cette expression l'énergie $C_{ox} V_{DD}^2$ multipliée par la fréquence maximale d'utilisation du transistor.

Ainsi si l'on veut travailler à une densité de puissance plus faible, on réduira la fréquence de fonctionnement du dispositif ou la tension d'alimentation V_{DD} . L'expression (24) se réécrit alors

$$P_s \approx C_{ox} V_{DD}^2 f \quad (25)$$

Où f est la fréquence d'utilisation inférieure à la fréquence de coupure f_c . D'après (25), la densité de puissance ne dépend pas du matériau choisi. Toutefois, la fréquence maximale d'utilisation est directement liée aux propriétés de transport des matériaux d'après les expressions (22) ou (23). Ainsi, on ne consomme pas moins avec un matériau III-V, au maximum de sa fréquence de fonctionnement mais si on compare un fonctionnement à même fréquence d'utilisation, il faudra moins de tension de polarisation V_{DD} pour des matériaux dont les propriétés de transport sont meilleures d'après (22) et (23). Ainsi à même fréquence

d'utilisation, la consommation sera plus faible pour un matériau III-V que pour le silicium comme le montre figure 7, avec la même vitesse demandée, on aura moins de tension alimentation V_{DS} appliquée pour un matériau III-V.

Ainsi si l'on veut diminuer la consommation de puissance, on peut réduire la tension d'alimentation V_{DD} (ou V_{DS}) d'après (25). Toutefois si l'on veut conserver une haute fréquence de coupure (d'après 23), on compensera la réduction du V_{DD} par la mobilité du matériau. En régime de vitesse saturée, le levier pour conserver les mêmes performances fréquentielles est le même comme illustré figure 7. Enfin en régime balistique, le paramètre important devient la masse effective, ainsi un matériau III-V à faible masse effective est plus favorable à une faible consommation de puissance à haute fréquence.

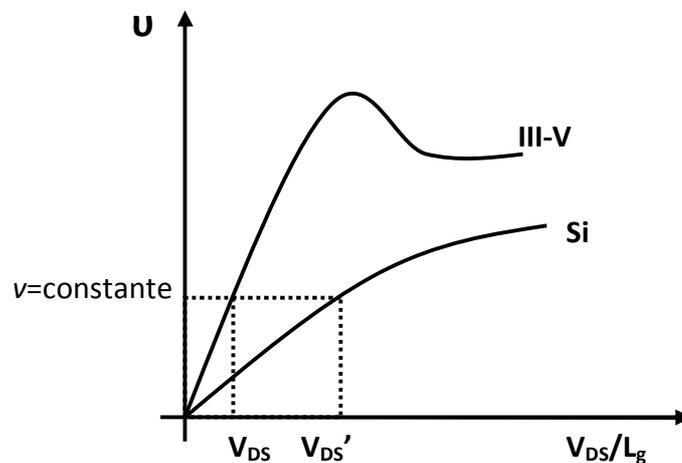


Figure 7 : Illustration de vitesse des électrons en fonction du champ électrique dans différents matériaux.

Dans le but de réaliser des MOSFETs faible consommation, il faudra :

- Une faible polarisation de drain V_{DD} (tension d'alimentation),
- Un matériau à meilleures propriétés de transport afin de compenser la dégradation de fréquence d'utilisation
- Une grande tension de seuil V_{TH} pour moins de courant I_{OFF} ,
- Le plus faible SS pour un meilleur compromis entre I_{OFF} et I_{ON} ,
- Un courant de fuite I_{leak} le plus bas possible.

1.4 Matériaux

Dans notre travail, les matériaux III-V ont été choisis comme couche active compte tenu de leurs propriétés de transport, comme le montre le tableau 2. L' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ a une mobilité

d'électron de $12000\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, qui est 8 fois plus élevée que celle du Silicium. La vitesse thermique des électrons est de $5.5 \times 10^5\text{m/s}$ ce qui est deux fois plus élevée que celle de Si. De plus, avec l'augmentation du pourcentage d'indium, la mobilité d'électrons et la vitesse de saturation seront encore plus élevées, le courant drain I_{ON} pourra alors être plus important en utilisant ces matériaux à fort taux d'indium. De plus, les matériaux III-V ont des champs électriques critiques plus faibles d'après la figure 8, ce qui permet d'atteindre la vitesse saturée pour une plus faible tension V_{DS} . Donc une plus faible tension d'alimentation est nécessaire pour atteindre le régime de saturation pour les transistors basés sur les matériaux III-V. Cependant il existe aussi d'autres matériaux ayant une forte mobilité et aussi une faible bande interdite comme les CNT (Carbon Nano Tube), le graphène etc., cependant ils sont plus difficiles à fabriquer et la technologie de ces composants n'est pas mature. Ainsi, les matériaux III-V comme l' $\text{In}_x\text{Ga}_{1-x}\text{As}$ sont une solution envisageable pour obtenir de hautes performances fréquence tout en gardant une faible consommation de puissance.

Tableau 2 : Principales caractéristiques du silicium et de matériaux III-V :

	Si	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$	InAs
Masse effective d'électron	$m_t = 0.19m_0$	$0.041 m_0$	$0.032m_0$	$0.023m_0$
Masse effective de trou m_h	$0.49m_0$	$0.45 m_0$	$0.435m_0$	$0.41m_0$
Bande interdite	1.12 eV	0.74 eV	0.544 eV	0.354 eV
Mobilité d'électron (bulk)	$\leq 1400 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$< 12 \cdot 10^3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$< 22.9 \cdot 10^3 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$\leq 4 \cdot 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
Mobilité de trou (bulk)	$\leq 450 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$< 300 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$\sim 300 \div 400 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$\leq 5 \cdot 10^2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
Vitesse d'électron thermique	$2.3 \cdot 10^5 \text{ m/s}$	$5.5 \cdot 10^5 \text{ m/s}$	$6.3875 \cdot 10^5 \text{ m/s}$	$7.7 \cdot 10^5 \text{ m s}^{-1}$
Vitesse de trou thermique	$1.65 \cdot 10^5 \text{ m/s}$	$2 \cdot 10^5 \text{ m/s}$	$(1.8 \div 2) \cdot 10^5 \text{ m/s}$	$2 \cdot 10^5 \text{ m s}^{-1}$

La figure 8 représente la vitesse électronique en fonction de champ électrique. On peut constater que les vitesses sont plus importantes pour les III-V, avec une vitesse pic et de saturation plus forte. Par ailleurs, le faible champ électrique critique des III-V sera plus favorable à une saturation du courant à faible tension V_{DS} .

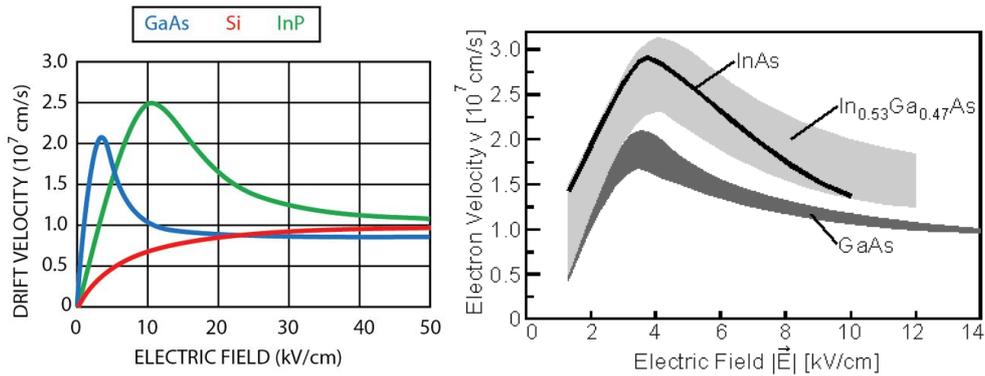


Figure 8 : Vitesse des électrons du silicium et de III-V en fonction du champ électrique [21].

1.5 Architectures du transistor basse consommation

Avant de présenter les architectures envisagées, et sachant que nous allons orienter nos travaux vers les III-V, il est nécessaire de rappeler les différences entre le MOSFET et l'un des transistors le plus utilisé en III-V, le HEMT. Le HBT (Heterojunction Bipolar Transistor) est aussi un composant couramment utilisé en filière III-V, mais ce n'est pas le candidat pour les applications ultra faible consommation.

1.5.1 MOSFET vs. HEMT

La technologie HEMT (High Electron Mobility Transistor) utilise les matériaux III-V et a été aussi développée pour les circuits numériques, mais son domaine d'application de prédilection est l'analogique. La structure HEMT, dont les gaz d'électrons bi-dimensionnel (2DEG) est séparé des atomes donneurs par un matériau grand gap (l'espaceur) (figure 9.a) démontre des performances exceptionnelles en application analogique avec une fréquence de coupure f_T atteignant 688GHz [22] pour un MHEMT à canal $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ contraint de longueur de grille 40nm, une fréquence maximale d'oscillation f_{MAX} supérieure à 1THz pour un InP HEMT sub-50nm [23]. Néanmoins, la technologie des HEMT rencontre les problèmes suivants :

1 : Difficulté de mise à l'échelle : pour maintenir l'intégrité électrostatique du FET à l'échelle réduite, l'épaisseur A de la couche barrière à large bande interdite doit rester faible devant la longueur de grille L_g . On doit conserver un rapport d'aspect L_g/A suffisant. L'ITRS (International Technology Roadmap of Semiconductor) prévoit une épaisseur équivalente d'oxyde de $\sim 0.5\text{nm}$ ($k=3.9$ dans SiO_2) pour une longueur de grille de 13nm pour un MOSFET de type 'bulk' ou d'introduire une géométrie plus efficace, comme le transistor tri-grille montré par Intel. Dans le cas d'une technologie HEMT, La fabrication d'un contact Schottky

de grille avec une épaisseur de la couche barrière de $\sim 1.5\text{nm}$ d'épaisseur ($k \sim 9-12$ pour semi-conducteur) est un verrou pour la technologie HEMT en raison de l'augmentation du courant de fuite à travers la jonction Schottky.

2 : Consommation de puissance élevée : le courant de fuite de grille est significativement plus élevé dans la jonction Schottky que dans un empilement de MOS (figure 9.b). En plus, ce courant de fuite peut augmenter rapidement avec la réduction des dimensions du transistor ; la distance grille canal devenant très petite, un fort courant de grille par effet tunnel peut apparaître.

3 : Besoin d'une cellule complémentaire: de part la topologie de la structure HEMT, il ne peut être réaliser, sur la même épitaxie, deux transistors HEMT normally-off de nature différente (canal N et canal P).

Toutefois les HEMTs présentent des avantages qui peuvent être intéressants pour la fabrication de MOSFET. En effet, placer le canal de semi-conducteur III-V à proximité de l'oxyde de grille peut être un handicap pour la mobilité. Celle-ci peut être fortement dégradée par la rugosité d'interface. Ainsi, en s'inspirant d'une structure HEMT et grâce à la richesse en composition des matériaux III-V, la réduction des ces mécanismes néfastes d'interaction (scattering) peut être obtenue par l'insertion d'un matériau semi-conducteur grand gap (couche barrière) entre le canal et l'oxyde comme le montre le figure 9.c. Le canal est donc éloigné de l'interface oxyde/semiconducteur ; on parlera de canal enterré. Cette structure sera appelée MOSHEMT dans ce manuscrit. Cependant, cette couche barrière augmente l'épaisseur équivalente d'oxyde et peut conduire au problème de rapport d'aspect lié à la réduction d'échelle. Evidemment, un compromis entre ces deux paramètres doit être trouvé.

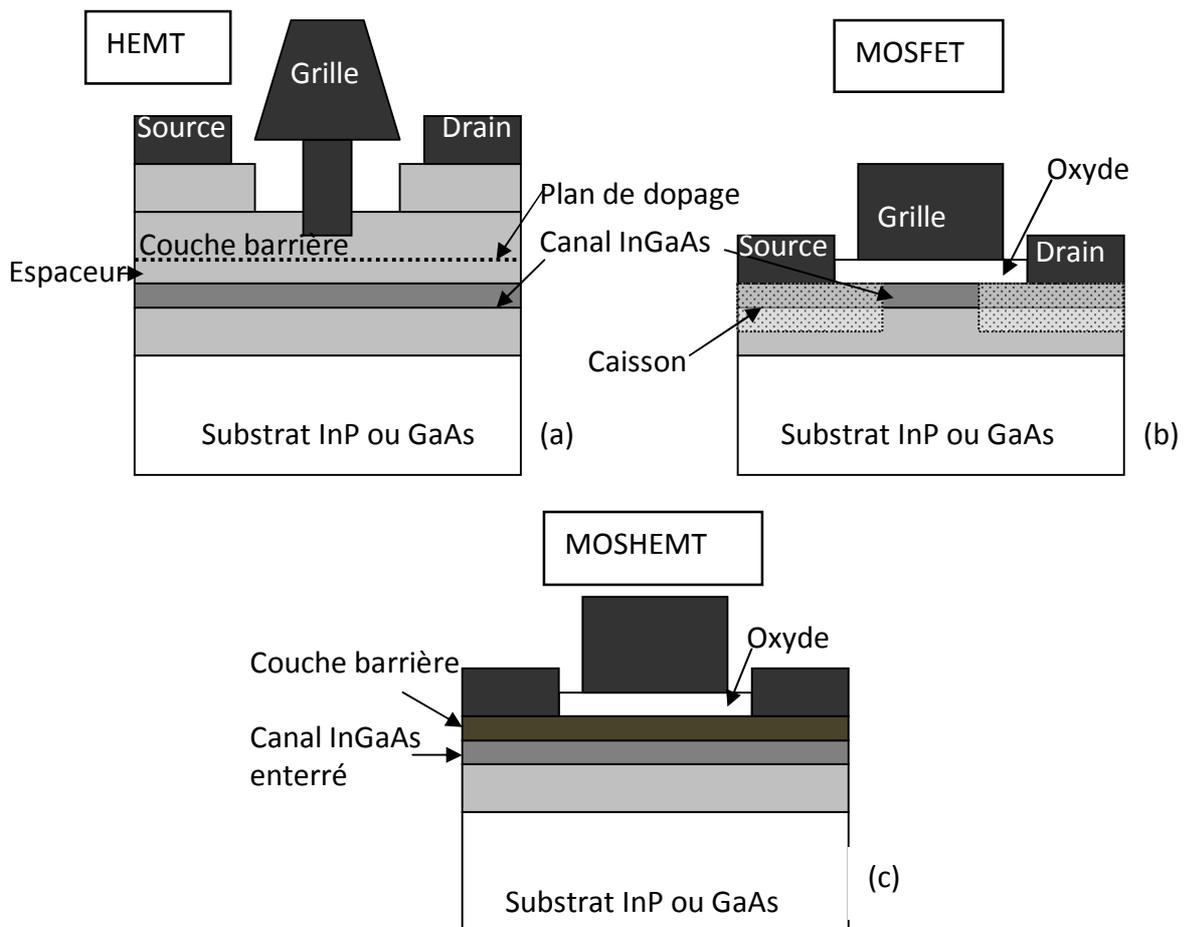


Figure 9 : Illustration d'une structure HEMT (a), d'une structure MOSFET (b) et MOSHEMT (c).

1.5.2 Architectures alternatives

Comme indiqué précédemment, les matériaux III-V offrent l'avantage de leur diversité et l'ingénierie de bande interdite possible avec ces matériaux est un atout supplémentaire. La structure dite MOSHEMT (figure 9) est une possibilité intéressante. Des travaux ont déjà montré de meilleures mobilités par l'insertion d'un matériau grand gap entre le canal conducteur petit gap et l'oxyde [24] [25], avec une amélioration de la mobilité électronique de 100%, de $2000\text{cm}^2/\text{Vs}$ [26], [27], [28], [29] à $4000\text{cm}^2/\text{Vs}$ [30] [25]. IBM a présenté une structure de MOSHEMT InGaAs à mode d'enrichissement avec couche active non-dopée, d'où une forte mobilité effective ($\sim 4000\text{cm}^2/\text{Vs}$) a été atteinte [24].

Une autre contrainte des transistors à canal court est une dégradation de la pente sous le seuil et de la conductance de sortie liée à une difficulté de pincement du canal et de commande de charge. Les solutions dites 3D sont une des voies possibles d'amélioration, et permettraient de combiner haute mobilité électronique (faible masse effective) et de compenser, par une

architecture 3D, les problèmes de canal court et courant de fuite (IOFF, DIBL...).. Intel l'a démontré avec ses FinFET silicium prochainement en production [31]. Cette solution permet d'améliorer la consommation de puissance. En III-V, des études comparables sont envisagées par Intel et par l'Université de Purdue avec des architectures de type FinFET III-V [32] ou QWFET [33], basées sur une approche « top-down » (figure 10. a b c). Des approches « bottom-up » sont aussi possibles [34], par l'utilisation de nanofils III-V (figure 10.d). On peut constater avec ces solutions une amélioration des pentes sous le seuil SS et du $DIBL$ montré dans tableau 3.

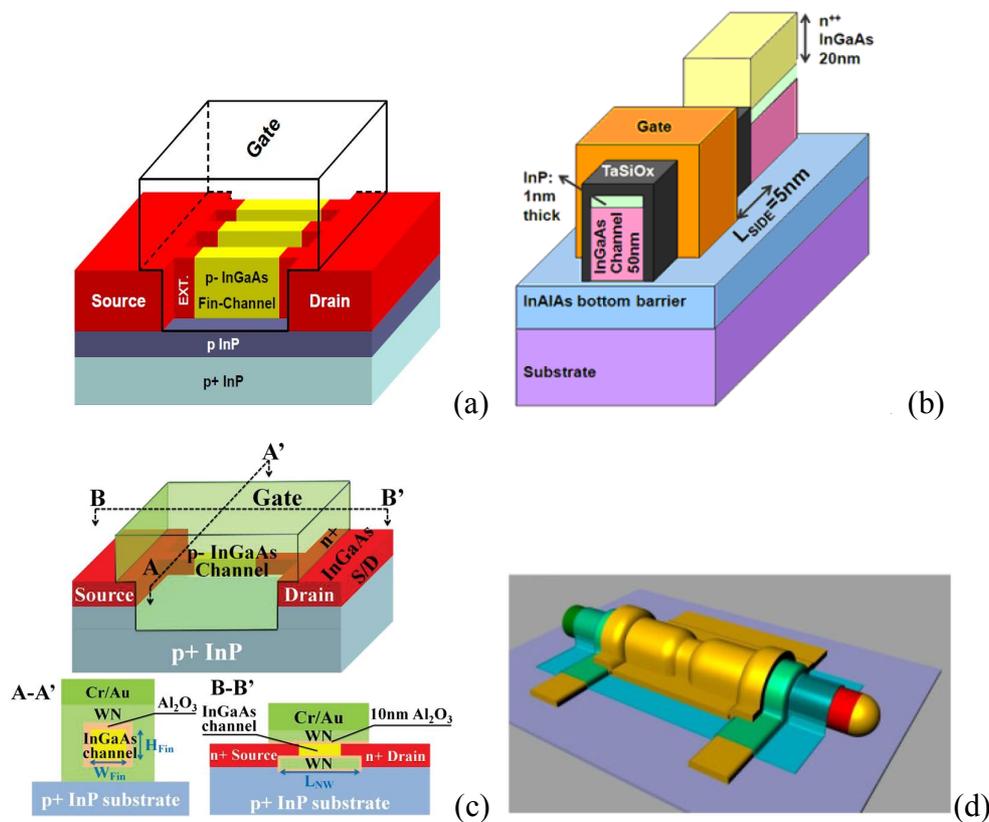


Figure 10 : (a) $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ FinFET proposé par université Purdue [32], (b) InGaAs MG-QWFET proposé par Intel [35], (c) 3D gate-all-around $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Nanowire FET de mode d'inversion proposé par Purdue [36], (d) 15nm InAs Nanofil FET proposé par Lund [34].

Tableau 3 : DIBL et SS de FET InGaAs avec différentes topologies [37] [32] [35] [36].

Structure	In _{0.53} Ga _{0.47} As Planaire [37]	In _{0.53} Ga _{0.47} As FinFET [32]	In _{0.53} Ga _{0.47} As QWFET [35]	In _{0.53} Ga _{0.47} As Gate-all-around Nanofil FET [36]
L_{ch} (nm)	500	100	70	50
W_{fin} (nm)		40	60	30
$DIBL$ (mV/V)	350	180	110	210
SS (mV/dec)	240	145	120	150

Ces solutions sont toutefois plus difficiles à mettre en œuvre que des structures planaires. On peut aussi s'inspirer des travaux sur les MOSFET SOI, en particulier les « Thin Body » qui sont aussi un moyen possible de compenser la perte d'efficacité de commande de charge. L'existence de matériaux III-V de grande bande interdite et isolant est une opportunité pour la fabrication de MOSFET III-V sur isolant, appelés XOI (X (Semiconductor) On Insulator). Le «Thin Body » MOSFET (TB-MOS) est représentée dans la figure 11. On peut combiner à cette structure le MOSHEMT, que nous appellerons dans la suite de ce manuscrit le MOSCOMB. Cette structure imaginée à l'IEMN, a été simulée par le laboratoire IEF (Institut d'Electronique Fondamental), par Monte Carlo et a été comparée avec des structures MOSFET III-V standards. On peut trouver les résultats de ces travaux dans [38]. Sur le tableau 4, nous présentons un résultat significatif de ces travaux. On peut constater que les performances fréquentielles de TB-MOS et MOSCOMB sont beaucoup plus élevées que celles du MOSFET, avec toutefois une légère dégradation de la pente sous le seuil SS .

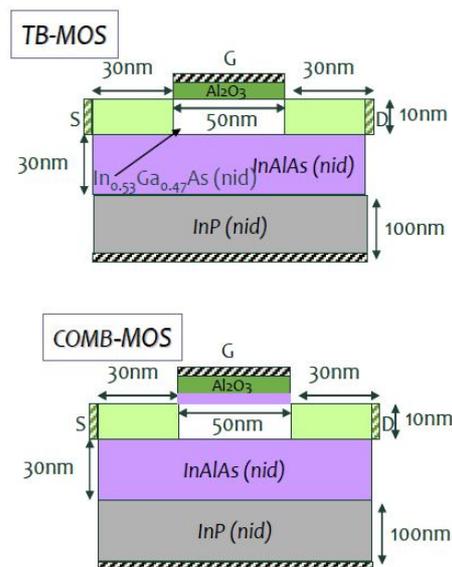


Figure 11 : Schéma d'un MOSFET « Thin Body » (TB-MOSFET) et d'un MOS COMB simulé par Shi [38].

Tableau 4 : Caractéristiques fréquentielles des structures simulées d'après [39]

L_{ch} 50nm	f_T (GHz)	f_{MAX} (GHz)	SS (mV/dec)
Bulk-MOS	520	200	75
TB-MOS	600	300	102
HEMT-MOS	690	580	80
COMB-MOS	750	600	102
HEMT	630	540	110

Enfin, par rapport aux structures 3D, la technologie planaire des MOSFET, MOSHEMT et MOSCOMB est une étape intermédiaire, qui est nécessaire avant d'aborder des dispositifs plus compliqués tels que les FinFET III-V. Les technologies de fabrication des MOSFET III-V, en particulier l'oxyde sur matériaux III-V ou le budget thermique sont des défis à surmonter, et ces études doivent précéder l'exploration de structures plus complexes. De ce fait, la technologie planaire reste un choix dans ce travail de thèse.

1.6 Technologie des MOSFET III-V : défis et contraintes

L'utilisation de matériaux III-V nous semble une solution très prometteuse pour les applications alliant haute fréquence et basse consommation de puissance. Néanmoins, par manque d'une interface de bonne qualité entre l'oxyde et le matériau III-V, l'avancement de la technologie MOSFET III-V a été limité. En 1996, l'introduction de l'oxyde bicouche Ga_2O_3/Gd_2O_3 a démontré une interface de bonne qualité sur III-V, mais le dépôt de ce matériau impose une technique de MBE multi-chambre, qui n'est pas adaptée à une fabrication à grand volume [17]. Début 2000, la technique ALD a été introduite pour déposer des oxydes high-k sur matériaux III-V à Bell lab [40], permettant une avancée importante sur les architectures MOSFET III-V.

1.6.1 L'oxyde sur un matériau III-V : défi majeur de la technologie des MOSFET III-V

1.6.1.1 Technique de dépôt d'oxyde

Un oxyde de bonne qualité sur semiconducteur III-V est un défi qui intéresse depuis plusieurs décennies beaucoup de laboratoires. En effet, il existe plusieurs méthodes de dépôt d'oxyde telles que la croissance d'oxyde natif [41], l'oxyde déposé par PECVD [42], par MOCVD

[43] [44], par MBE [45] [46], $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ par évaporation [47]. Depuis un peu plus d'une décennie, une nouvelle technique a fait son apparition, l'ALD (Atomic Layer Deposition). Cette technique est issue des travaux sur silicium avec les high-k. La majorité des travaux de croissance d'oxyde sur III-V utilise cette technique. C'est une méthode de dépôt de couches minces avec une précision à l'échelle atomique, qui présente une similitude avec la CVD (Chemical Vapor Deposition, dépôt chimique en phase vapeur), sauf que le dépôt par ALD divise la réaction CVD en deux demi-réactions en maintenant des précurseurs séparément lors de la réaction. En gardant les précurseurs séparés à travers le processus de dépôt, l'épaisseur de couche peut être parfaitement contrôlée à l'échelle atomique ou moléculaire par monocouche. De plus, l'ALD possède un effet de 'self-cleaning' en début de dépôt, qui pourrait plus ou moins éliminer les défauts à la surface du semiconducteur. L'existence de ces défauts sont néfastes pour le fonctionnement du transistor puisqu'ils induisent un accrochage du niveau de Fermi (« Fermi level Pinning »), entraînant un blocage du niveau de Fermi dans le semiconducteur et donc un blocage de la commande de charges dans le transistor. Ainsi, le 'self-cleaning' est l'un des atouts de la méthode ALD. Pour nos travaux, l' Al_2O_3 a été choisi comme couche d'oxyde parce que non seulement il est un oxyde 'high-k' ayant une permittivité d'environ 10, qui peut servir à garder une grande capacité en limitant le courant de fuite de grille pour nos MOSFET, mais il est aussi connu pour sa technologie de dépôt relativement mature et est le candidat le plus étudié actuellement sur le matériau InGaAs.

La croissance des films par ALD se fait par cycle constitué de 4 étapes comme le montre la figure 12.

1^{ère} étape concerne l'exposition au premier précurseur ;

2^{ème} étape concerne la purge pour évacuer des précurseurs non réagis et les gaz créés ;

3^{ème} étape concerne l'exposition au deuxième précurseur ;

4^{ème} étape concerne la purge pour évacuer des précurseurs non réagis et les gaz créés.

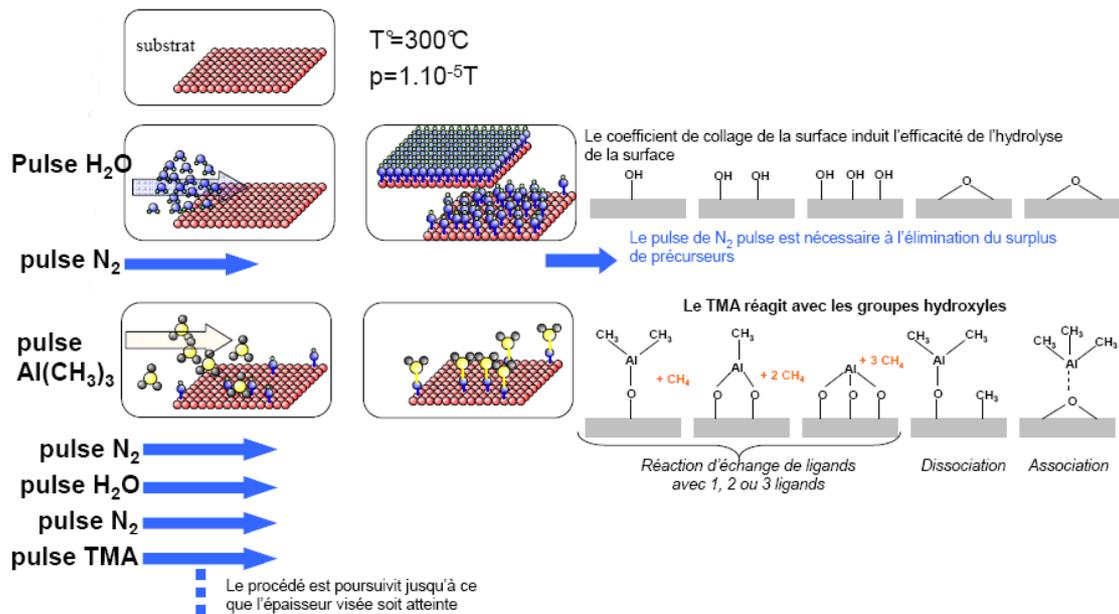


Figure 12 : Illustration du processus de dépôt Al_2O_3 par ALD (collaborateur LETI)

Comme indiqué dans [48], un oxyde natif d'arsenic sur l' InGaAs apparaît après avoir été exposé à l'air. Mais après le dépôt Al_2O_3 par ALD, il n'y a aucun résidu détectable des oxydes d'arsenic dans l' Al_2O_3 ni à l'interface $\text{Al}_2\text{O}_3/\text{InGaAs}$. Il y a l'existence de In_2O_3 et Ga_2O_3 , résiduels à l'interface $\text{Al}_2\text{O}_3/\text{InGaAs}$ en raison de leur stabilité thermique plus élevée.

1.6.1.2 Défauts dans l'oxyde Al_2O_3 (charge fixe)

Les niveaux de défauts dans l'oxyde en volume (défaut natif) ou proche de l'interface oxyde/semiconducteur (*border trap*) peuvent fortement influencer sur les performances des dispositifs semi-conducteurs. Ce type de défaut est lié au processus d'oxydation, et dépend des conditions de dépôt d'oxyde. La présence de ces défauts conduit à une zone de charge fixe pouvant limiter l'inversion de population des charges dans le canal et décaler la tension de seuil du dispositif.

Les **Border trap** sont des pièges fixes dans l'oxyde situés près de l'interface oxyde/semiconducteur. Ces border traps peuvent entraîner une augmentation du courant de grille. En effet, les électrons peuvent traverser l'oxyde par effet tunnel au cours du fonctionnement du transistor si celui-ci est d'épaisseur faible. Ces pièges affectent de manière significative les caractéristiques $C(V)$ du transistor MOS, en introduisant des dispersions indésirables de capacité en fonction de la fréquence, lorsque le composant est en mode d'accumulation.

1.6.1.3 Défauts à l'interface d'oxyde/semiconducteur

Le haut niveau de densité de pièges (D_{it}) à l'interface entre l'oxyde et le semi-conducteur est la cause principale de dysfonctionnement des structures MOS. Dans le cas des semi-conducteurs III-V, l'origine de défauts d'interface est attribuée à :

- La présence d'oxydes natifs de matériaux III-V, pouvant être porteurs de charges ou même conducteurs. Par exemple, pour l'InGaAs on pourra trouver plusieurs type d'oxydes : As_2O_5 , As_2O_3 , Ga_2O_3 , In_2O_3 ;
- La présence de liaisons pendantes ou d'atomes élémentaires qui n'ont aucune liaison avec d'autres atomes en possédant une charge libre ;
- La présence de polluants due aux conditions environnementales comme par exemple le carbone.

D'après O'Connor et al.[49], l' As_2O_3 réagit pour former des As atomiques qui sont la cause de l'accrochage du niveau de Fermi. Selon Yoshida et al.[50], l'oxyde In_2O_3 est conducteur et contribue au courant de fuite, les éléments As seraient des centres de recombinaisons pouvant induire aussi un courant de fuite. Tous les oxydes en particulier In_2O_3 et As_2O_3 doivent être éliminés pour avoir un bon fonctionnement de transistor.

1.6.1.4 Techniques de passivation :

Le phénomène de pièges d'interface sur les matériaux III-V est très important et il est donc nécessaire de faire un traitement de surface adéquat avant le dépôt d'oxyde par ALD. Il permet de réduire les défauts d'oxyde à l'interface qui auraient une influence notable sur les performances électriques du transistor, mais aussi sur la croissance de l'oxyde.

Il est bien connu que la préparation de surface [51] du substrat affecte le processus d'ALD pour le dépôt d'oxyde. Un certain nombre de traitements de surface ont été examinés sur III-V par méthode chimique, méthode plasma, et la méthode IPL (Interface Passivation Layer), etc. Les études de préparation de surface chimiques (généralement par voie humide [52]) comprennent l'utilisation de solution soufrée permettant la compensation des liaisons pendantes : On peut citer le traitement humide par $(NH_4)_2S_x$ [53][54], Na_2S [55], H_2SO_4 [56], H_2S/S_2 [57] [49], et les agents de gravure pour enlever les oxydes natifs tel que, des solutions de HCl [58] [59], des solutions HF, des solutions d'hydroxyde [60][61], ainsi que les combinaisons de ces solutions [62]. Les traitements alternatifs (généralement effectués sous vide) comprennent le recuit sous vide [63] [64], les plasmas d'hydrogène [65] [66], d'hydrogène atomique (thermiquement dissocié) [67] [68], ainsi que le dépôt d'overlayers tels que le silicium et de

germanium sur la surface III-V [69]. Récemment, une autre méthode de passivation par fluor (CF_4) a été présentée par Jack Lee [70] et semble être efficace.

Le recuit sous hydrogène ou FGA (Forming Gas Annealing) peut compenser la majeure partie des charges fixes positives dans le volume de l'oxyde et certaines charges fixes négatives proche de l'interface et les charges d'interface. Les phénomènes de création des pièges dans l'oxyde sont liés à la libération H^- qui peuvent une fois libérés se déplacer vers l'interface de l'oxyde et semiconducteur [70]. Donc, un post traitement avec une autre espèce pouvant fournir une liaison plus forte pour compenser les liaisons pendantes est bien souhaité. Le fluor (F) sera une alternative de passivation efficace pour InGaAs car l'atome F a une forte énergie de liaison avec In (5.25eV), Ga (5.99eV), et As (4.26eV) par rapport à la liaison In-H (2.52eV), Ga-H (<2.84eV), et As-H (2.84eV) respectivement. Il a été montré que l'atome F peut passiver des pièges en volume du high-k et des défauts d'interface à l'interface du high-k/InGaAs. Bien que l'insertion d'une couche d'interface de passivation mince (Interface Passivation Layer : IPL) Si ou Ge puisse améliorer la qualité de l'interface, ces couches ont généralement une plus faible valeur de permittivité k , ce qui peut empêcher la mise à l'échelle de l'EOT et ne peuvent pas satisfaire à l'exigence pour les nœuds sub-22nm.

1.6.2 Matériaux III-V et substrat

Un challenge important pour le développement des technologies III-V est la taille du substrat, qui est limitée à 8 pouces pour GaAs et 4 pouces pour InP. Un développement d'une filière MOSFET III-V en masse, ne pourra se faire que sur substrat plus grand, entre autre le silicium. Plusieurs laboratoires travaillent actuellement sur le développement de matériaux III-V sur substrat Si, en filière 300mm comme Intel, IMEC, SEMETECH [71].

Les substrats GOI sont une voie, car ils permettraient la réalisation du canal P, en effet le Ge présente les meilleures mobilités de trou des matériaux semiconducteurs. De plus, le Ge est quasiment en accord de maille avec GaAs, et donc les filières III-V pour le canal N. Enfin le GaP est en accord de maille avec le Si. L'IEMN a récemment développé une méthode de croissance par MBE de matériau de la filière antimoine (AlSb, InAs) sur substrat GaP-Si [72].

Dans notre travail, le matériau choisi est InGaAs pour la couche active. Toutes les études ont été effectuées sur substrat InP de 2 pouces. L'InGaAs présente de bonnes mobilités électroniques (voir tableau 2), une technologie connue et on peut le faire croître sur InP, pour des pourcentages d'Indium variables. En utilisant une couche tampon standard $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$, on peut réaliser un pourcentage d'Indium de 53% (adaptée en maille avec InP, figure 13) voire à 75% (pseudomorphique). Enfin, l'IEMN maîtrise la technique de croissance

métamorphique, ce qui permet d'atteindre des pourcentages de 100% (InAs) en utilisant une couche tampon métamorphique AlSb sur InP. Enfin, nous avons principalement orienté nos études sur des MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$: ce matériau est un bon compromis entre la haute mobilité électronique et une bande interdite intermédiaire. Une plus faible bande interdite, comme celle de InAs, risque de favoriser l'effet tunnel inter-bande. De plus la densité d'état sera encore moins favorable à la commande des charges dans le cas d'une plus faible bande interdite.

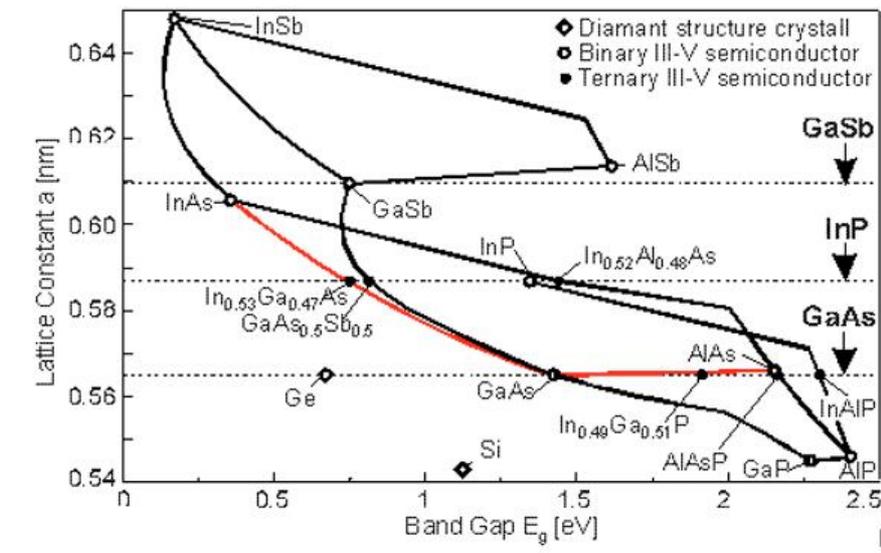


Figure 13 : Paramètre de maille des matériaux III-V selon la valeur de la bande interdite [73].

1.6.3 Budget thermique

Comme il a été indiqué dans la partie 1.6.1.3, un recuit peut compenser les défauts liés à l'oxyde ou à son interface avec le semiconducteur, mais il peut aussi dégrader sa qualité. Une attention particulière sera donc portée sur le budget thermique en particulier lors de la réalisation des caissons d'implantation de source et de drain. Dans ce travail, il a été envisagé d'utiliser la technique de l'implantation ionique. Cette technique est largement utilisée dans les technologies Si. Elle présente l'avantage de l'auto-alignement des zones contacts de source et de drain sur la grille. Toutefois cette technique est accompagnée du recuit d'implantation à haute température. On parlera de technologie dite « Gate-First » en opposition à une technologie « Gate-Last ». Dans ce dernier cas, l'électrode de grille et l'oxyde de grille sont fabriqués après les caissons d'implantation ce qui évite de dégrader l'oxyde par le recuit d'activation des dopants. Toutefois cette technologie empêche l'auto-alignement de la grille aux zones de contact source et drain, et ne permettra pas de descendre à des dimensions sub-100nm.

Pour le procédé Gate-First avec source/drain auto-aligné, l'oxyde va subir un traitement thermique qui peut atteindre 750°C après l'étape d'implantation. Cette haute température est responsable de la dégradation de la qualité de l'oxyde et de l'interface oxyde/III-V [74]. De ce fait, un budget thermique à plus basse température est indispensable, et devra donc être développé.

Enfin, la majorité des travaux publiés utilise un procédé de type 'Gate-Last'. Afin d'être compatible avec un futur développement industriel, l'étude d'une technologie 'Gate-First' nous semble être plus appropriée.

1.7 Etat de l'art des MOSFET III-V

Dans cette partie, nous reportons les résultats issus de la littérature sur les performances des MOSFET III-V y compris la densité de défaut d'interface D_{it} , le comportement sous le seuil comme le SS , le $DIBL$, et le I_{ON}/I_{OFF} , le courant de drain maximal I_{dmax} , la transconductance maximale g_{mmax} , la mobilité effective et les performances fréquentielles f_T et f_{MAX} .

1.7.1 Défauts d'interface entre l'oxyde et le semiconducteur

En ce qui concerne la technologie de fabrication des transistors MOSFET III-V, le développement de la technique de l'ALD a ouvert une nouvelle voie pour déposer l'oxyde de grille sur III-V. Mais il est toujours difficile de gérer et de contrôler les effets néfastes des états d'interface de high-k et III-V. L'introduction de traitements de surface spécifiques avant le dépôt d'oxyde ((NH₄)OH, (NH₄)₂S, HBr, PH₃) améliore la qualité d'interface dans une certaine mesure, avec D_{it} d'environ $10^{12} \text{eV}^{-1} \text{cm}^{-2}$ montré dans la figure 14. Enfin de nouveaux oxydes tels que TaSiO_x pour remplacer Al₂O₃ dont la permittivité est plus élevée (15) ont permis d'obtenir un EOT plus important avec un D_{it} à $4 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ [35]. Ainsi le meilleur D_{it} pour un oxyde sur III-V se situe à $3 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ [75].

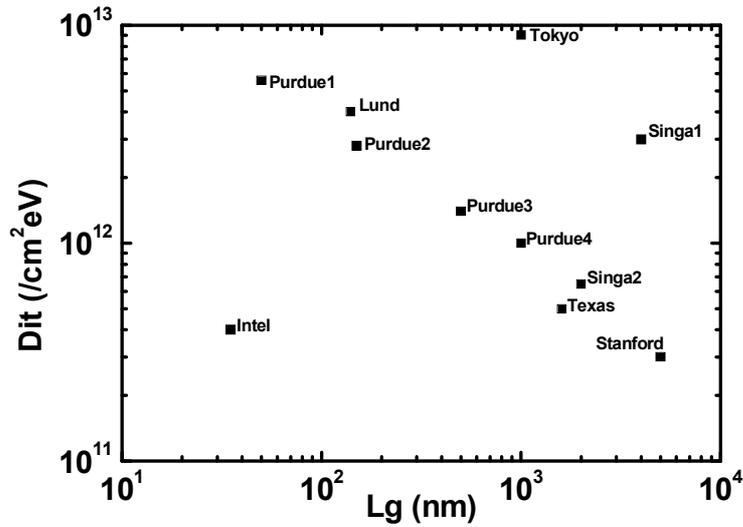


Figure 14 : Etat de l'art du D_{it} de MOSFET et MOSHEMT d'InGaAs.

(Tokyo[76], Purdue1[36], Lund[77], Purdue2[78], Singapore1[79], Purdue3[80], Purdue4[25], Singapore2[43], Texas[81], Intel[35], Stanford[75])

1.7.2 Comportement sous le seuil

La plupart des performances de pente sous le seuil SS reportée sont autour de 100-200mV/dec, et le $DIBL$ reste aux alentours de 200mV/V, comme le montre la figure 15 et 16. Les meilleurs SS et $DIBL$ sont respectivement inférieurs à 100mV/dec [77] et 100mV/V [79] obtenus par l'université de Singapour et de Texas pour la structure MOSFET InGaAs, et par l'université Purdue, Freescale, Intel pour la structure MOSHEMT InGaAs. Le niveau de I_{ON}/I_{OFF} (figure 17), entre 10^3 et 10^6 , est une gamme de valeurs obtenues par différents groupes de recherche avec la meilleure valeur à 10^7 [82] reportée par l'université de Singapour pour la structure de MOSFET InGaAs avec oxyde HfAlO déposé par MOCVD d'une longueur de grille de 2 μ m.

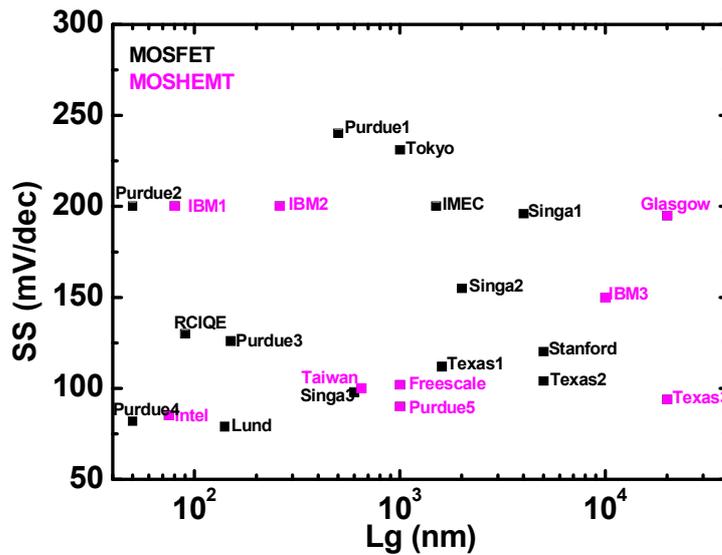


Figure 15 : Etat de l'art du *SS* de MOSFET et MOSHEMT d'InGaAs.

(Purdue1[37], Tokyo[76], Purdue2[83], IMEC[84], Singapore1[79], Singapore2[43], RCIQE[85], Purdue3[78], Stanford[75], Texas1[81], Texas2[86], Singapore3[87], Purdue4[36], Lund[77] ; IBM1[24], IBM2[88], Glasgow[89], IBM3[90], Taiwan[91], Freescale[92], Intel[35], Purdue5[25], Texas3[93])

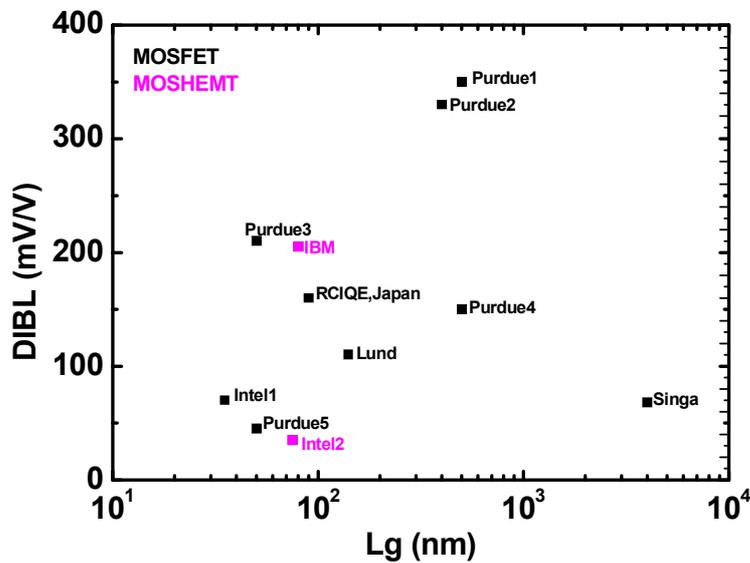


Figure 16 : Etat de l'art du *DIBL* de MOSFET et MOSHEMT d'InGaAs.

(Purdue1[37], Purdue2[26], Purdue3[36], RCIQE[85], Purdue4[80], Lund[77], Intel[35], Singapore[79], Purdue5[83] ; IBM[24], Intel[94])

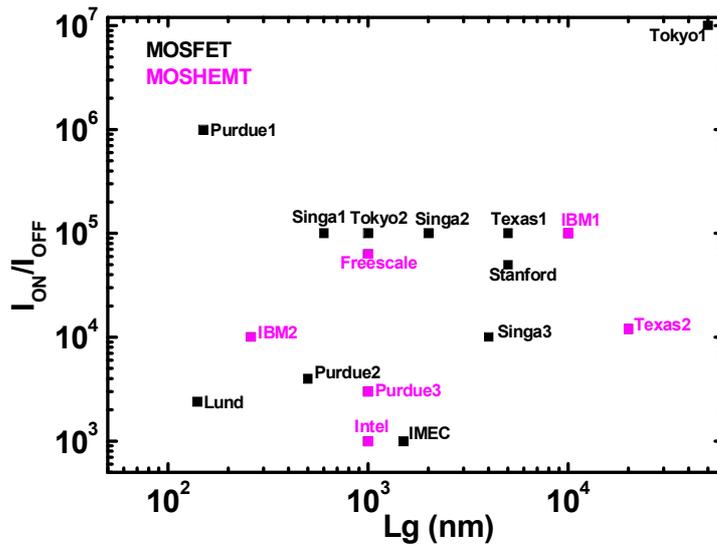


Figure 17 : Etat de l'art I_{ON}/I_{OFF} de MOSFET et MOSHEMT d'InGaAs.

(Tokyo1[82], Purdue1[78], Singapore1[87], Tokyo2[76], Singapore2[43], Texas1[86], Stanford[75], Singapore3[79], Purdue2[80], Lund[77], IMEC[84] ; IBM1[90], Freescale[92], Texas2[95], IBM2[88], Purdue3[25], Intel[96])

1.7.3 Mobilité effective, courant de drain et transconductance

Dans l'approche classique du MOS avec le procédé Gate-First, une dégradation d'interface et l'oxyde a été clairement identifiée en raison du haut budget thermique associé à cette technologie. De ce fait, le procédé Gate-Last présente les meilleures performances, et la majorité des résultats de la littérature utilise ce procédé. L'Université de Purdue a reporté un $I_{dmax}=1.1A/mm$ et un $g_{mmax}=1.1S/mm$ pour la structure MOSFET InGaAs avec le procédé Gate-Last avec prétraitement de surface HBr [78] montré dans la figure 18 et 19.

De plus, une amélioration supplémentaire a été démontré grâce à une conception originale de caissons source-drain évitant la technologie d'implantation avec un courant de drain élevé de ($>2A/mm$) pour un MOSFET avec canal InGaAs [97] [77] (figure 18).

Enfin, la structure MOSHEMT dans laquelle le canal est enterré sous une couche barrière de grande bande interdite a été introduite avec succès dans les structures auto alignées à faible budget thermique.

Une forte mobilité peut être obtenue par la structure MOSHEMT par rapport à une structure MOSFET en évitant l'effet néfaste d'interface avec une amélioration de 100% (de $\sim 2000cm^2/Vs$ [80] pour un MOSFET à $>4000cm^2/Vs$ [89] pour un MOSHEMT). L'Université de Glasgow, Freescale ont reporté une mobilité effective supérieure à $6000cm^2/Vs$ pour la structure MOSHEMT InGaAs avec un oxyde GaGdO en mode

d'enrichissement (figure 20). Plus récemment, l'Université de Tokyo a présenté une mobilité de plus de $4000\text{cm}^2/\text{Vs}$ pour la structure MOSFET InGaAs avec Al_2O_3 déposée par ALD la figure 20.

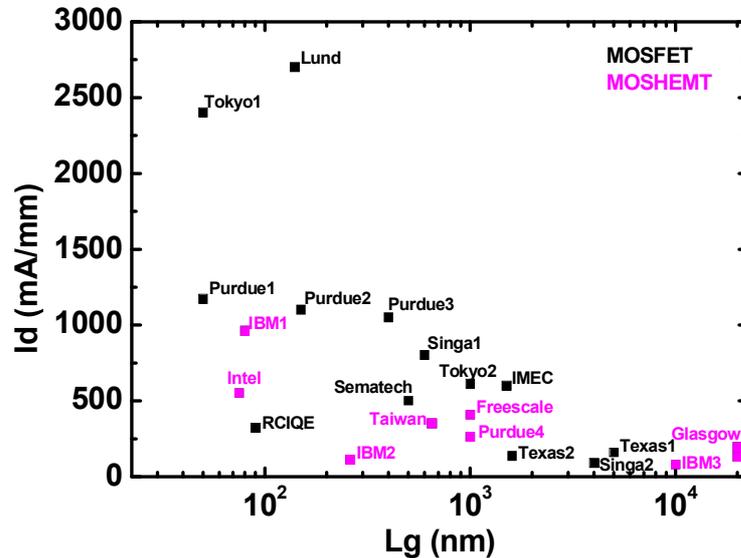


Figure 18 : Etat de l'art d' I_{dmax} de MOSFET et MOSHEMT d'InGaAs.

(Lund[77], Tokyo1[97], Purdue1[36], Purdue2[78], Purdue3[26], Singapore1[87], Tokyo2[76], IMEC[84], Sematech[98], RCIQE[85], Singapore2[79], Texas1[81], Texas2[99] ; IBM1[24], Intel[94], Freescale[92], Purdue4[25], IBM2[88], Glasgow[89], IBM3[90])

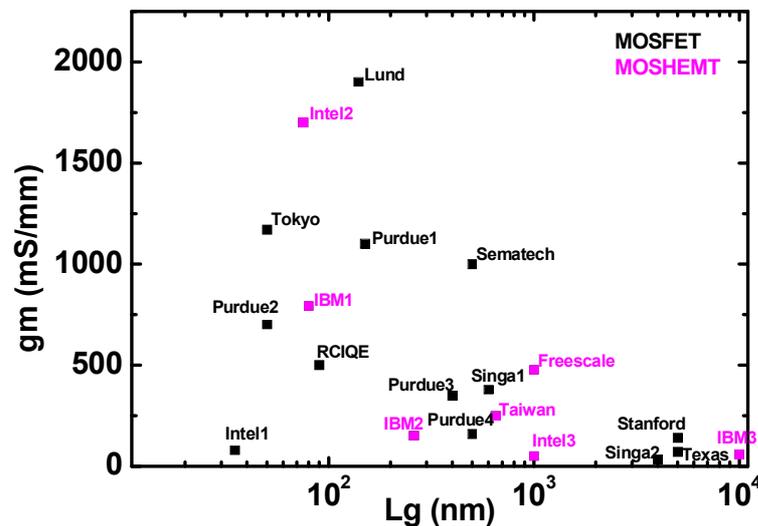


Figure 19 : Etat de l'art de g_{mmax} de MOSFET et MOSHEMT d'InGaAs.

(Lund[77], Tokyo[97], Purdue1[78], Sematech[98], Purdue2[36], RCIQE[85], Singapore1[87], Purdue3[26], Purdue4[37], Stanford[75], Intel1[35], Texas[86], Singapore2[79]; Intel2[94], IBM1[24], Freescale[92], Taiwan[91], IBM2[88], Intel3[96], IBM3[90])

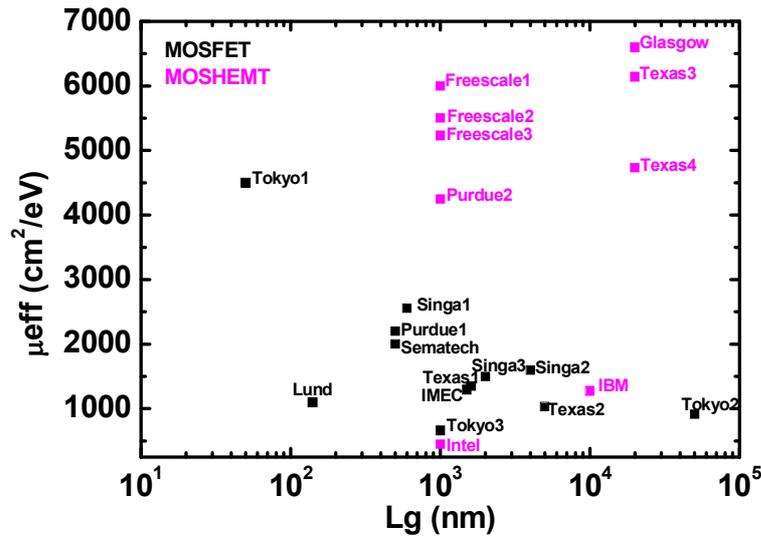


Figure 20 : Etat de l'art de mobilité effective de MOSFET et MOSHEMT d'InGaAs.

(Tokyo1[97], Singapore1[87], Purdue1[80], Sematech[98], Singapore2[79], Singapore3[43], Texas1[81], IMEC[84], Lund[77], Texas2[99], Tokyo2[82], Tokyo3[76]; Glasgow[89], Texas3[95], Freescale1[100], Freescale2[101], Freescale3[92], Texas4[93], Purdue2[25], IBM[90], Intel[96])

En conclusion, cet état de l'art sur le MOSFET InGaAs indique que la transconductance, le courant drain et la mobilité effective peuvent être supérieures à 1S/mm, 1A/mm et 5000cm²/Vs.

1.7.4 Performances fréquentielles

Les performances dynamiques ont été rarement reportées pour les MOSFET III-V. Pour la structure MOSFET, l'université de Lund a reporté les meilleures performances RF à ce jour avec un MOSFET Gate-Last In_{0.53}Ga_{0.47}As fonctionnant en mode d'enrichissement avec un $f_T=244\text{GHz}$, $f_{MAX}=292\text{GHz}$ et $I_{dmax}=2\text{A/mm}$, $g_{mmax}=1.9\text{S/mm}$ pour $L_g=55\text{nm}$ [77].

Pour la structure MOSHEMT, les meilleures performances ont été reportées par l'université NCTU de Taiwan avec le canal InAs et Intel avec le canal InSb. Les f_T obtenues sont supérieures à 300GHz, et les f_{MAX} sont supérieures à 250GHz pour $L_g=80\text{nm}$ (figure 21 et 22).

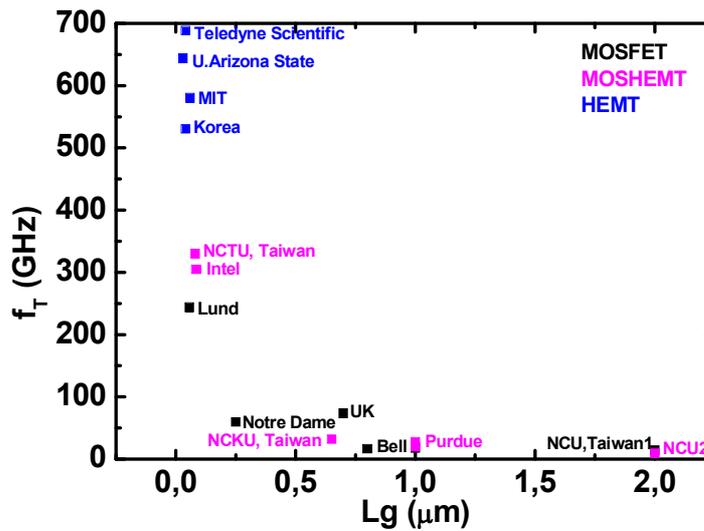


Figure 21 : Etat de l'art de f_T de MOSFET et MOSHEMT d'InGaAs.

(Lund[102], UK, Notre Dame[41], Bell[103], NCU Taiwan1[42]; NCTU Taiwan[104], Intel[105], NCKU Taiwan[91], Purdue[106], NCU2[107] ; Teledyne Scientific[22], Arizona State[108], MIT[109], Korea[110])

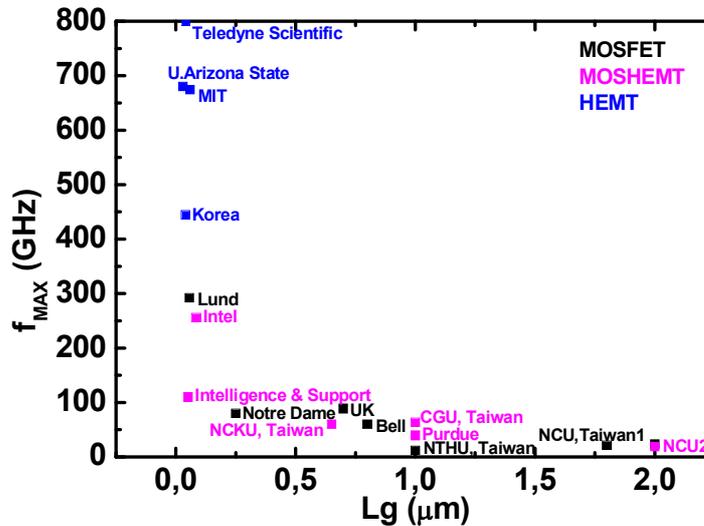


Figure 22 : Etat de l'art de f_{MAX} de MOSFET et MOSHEMT d'InGaAs.

(Lund[102], UK[111], Notre Dame[41], Bell[103], NCU Taiwan1[42], NTHU Taiwan[112]; Intel[105], Intelligence Support[113], CGU Taiwan[114], NCKU Taiwan[91], Purdue[106], NCU2[107] ; Teledyne Scientific[22], Arizona State[108], MIT[109], Korea[110])

On constate que les résultats obtenus atteignent 300GHz. Toutefois, ces résultats ne sont pas obtenus avec des structures MOSHEMT fonctionnant en inversion, mais en enrichissement ou désertion où le canal n'est pas dopé. Il y a très peu de résultats de MOSFET en inversion sont

reportés dans la littérature. Le meilleur résultat pour un MOSFET d'InGaAs planaire est de $f_T=244\text{GHz}$ et $f_{MAX}=292\text{GHz}$ [77] avec canal non-dopé. Notre objectif sera donc aussi d'explorer les capacités fréquentielles des MOSFET III-V fonctionnant en mode d'inversion.

1.8 Les objectifs du travail

Comme indiqué précédemment, notre objectif est la fabrication de MOSFET III-V pour applications ultra faible consommation. L'application principale concerne l'intelligence ambiante et les systèmes autonomes communicants. Dans ces systèmes, l'interface analogique de communication représente une part non négligeable de la consommation. Nous avons orienté ces travaux vers l'étude des paramètres électriques analogiques en particulier la fréquence de fonctionnement des transistors fabriqués, l'objectif étant une augmentation des débits d'information. Toutefois, ces travaux sont aussi l'occasion d'explorer les capacités des MOSFET III-V pour les applications numériques.

Ce travail est principalement axé sur des développements de technologies et la caractérisation des dispositifs, et fait partie d'un projet de recherche en collaboration avec des laboratoires de recherche nationaux. Nous avons donc axé notre travail sur l'optimisation du système de matériaux et de l'architecture au regard des performances électriques expérimentales. Ainsi nos objectifs étaient :

- **Optimiser le système de matériaux III-V**

La mobilité est à priori un point clé afin de réduire la tension d'alimentation et donc la consommation de puissance tout en conservant des performances fréquentielles élevées [17]. Le choix du semi-conducteur comme canal s'est porté sur le matériau III-V $\text{In}_x\text{Ga}_{1-x}\text{As}$ car sa technologie est mature (croissance, utilisation dans les HEMT), on peut par variation du taux d'indium de 53% à 100% faire évoluer sa mobilité électronique d'environ $10000\text{cm}^2/\text{Vs}$ à $40000\text{cm}^2/\text{Vs}$ à 300K. Et enfin on peut l'associer avec des matériaux à plus large bande interdite tels que l'InP ou l'InAlAs, ce qui ouvre les perspectives de fabrication de structure plus complexes (MOSHEMT, TB-MOSFET, MOSCOMB).

En ce qui concerne l'oxyde diélectrique de grille, nous avons choisi l' Al_2O_3 , qui semble être un bon candidat sur InGaAs, au vu des nombreux résultats trouvés dans la littérature. La croissance de cet oxyde a été réalisée par ALD par notre partenaire, le CEA-LETI. Notre tâche a été la caractérisation de l'interface $\text{Al}_2\text{O}_3/\text{III-V}$ par voie électrique, et en particulier l'étude de l'influence du budget thermique sur cet oxyde.

- **Optimiser l'architecture pour un fonctionnement haute fréquence**

Différentes architectures seront étudiées. En particulier : le MOSFET conventionnel avec un oxyde déposé directement sur le matériau petit gap $\text{In}_x\text{Ga}_{1-x}\text{As}$. La structure MOSHEMT est composée d'une hétérojonction, qui permet d'éloigner le canal conducteur à petite bande interdite de l'interface oxyde/semiconducteur. L'oxyde sera déposé sur un matériau de grand gap, ce qui donne un canal d'inversion enterré. L'intérêt de cette structure présentée précédemment est une meilleure mobilité électronique mais un rapport d'aspect moins favorable ; la distance entre le métal de grille et le canal étant augmentée de l'épaisseur du matériau à grande bande interdite. Enfin, le MOSCOMB combinant le canal enterré et une fine couche pour le canal conducteur (« thin body »), devrait permettre l'amélioration de l'efficacité de la commande des charges, et éviter l'utilisation d'une structure 3D plus compliquée à développer technologiquement.

- **Développer et optimiser les briques technologiques de base des MOSFET III-V.**

L'objectif est de fabriquer un MOSFET III-V de longueur de grille 50 nanomètres. La fabrication de ce composant nécessite le développement et l'optimisation des briques technologiques de base : le dépôt de l'oxyde Al_2O_3 ; le choix et l'optimisation des conditions de dépôt du métal de grille ; l'optimisation des conditions d'implantation et en particulier du recuit d'implantation des espèces ; les contacts ohmiques N pour le drain et la source ; le contact ohmique P pour le substrat ; la technique d'isolation des transistors. Pour l'ensemble de ces étapes, les procédés de lithographies, dépôts et gravures doivent être développés avec comme contrainte un budget thermique pondéré. Nous nous sommes par exemple intéressés à la technique de type « Gate-Last » et « Gate-First » en vue de vérifier l'influence du recuit d'implantation sur la qualité de l'oxyde.

- **Caractériser électriquement les dispositifs**

La caractérisation concerne la qualité de l'oxyde de grille, les défauts d'interface oxyde semiconducteur, et en particulier l'influence du budget thermique sur cet oxyde. Sur les dispositifs, il est nécessaire d'extraire la mobilité effective du canal, le courant drain maximum, la transconductance maximale, et les paramètres relatifs au comportement sous le seuil. Notre objectif étant la haute fréquence, nous allons nous intéresser au comportement fréquentiel des MOSFET fabriqués avec comme figure de mérite le f_T et le f_{MAX} , qui nous le verrons, ont nécessité pour leur détermination des structures spécifiques.

Les principales « figures de mérite » sont données dans le tableau 5 pour une longueur de grille de 50 nanomètres pour une tension de polarisation drain source inférieure à 500mV, qui est un objectif principal en vue de la réduction de la consommation. La valeur de ces

paramètres électriques n'est qu'une estimation au regard de la littérature sur les MOSFET III-V.

Tableau 5 : Figure de mérite d'un MOSFET avec une longueur de grille de 50nm

<i>Figures de Mérite</i>	
V_{ds}	< 0.5V
D_{it}	< $10^{12} \text{ eV}^{-1}\text{cm}^{-2}$
μ_{eff}	> $5000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
SS	100mV/dec
$DIBL$	150mV/V
I_{ON}/I_{OFF}	10 000
I_{dmax}	>1A/mm
f_T	300GHz
f_{max}	300GHz

Bibliographie:

- [1] B. Davari, R. H. Dennard, et G. G. Shahidi, CMOS scaling for high performance and low power-the next ten years, *Proceedings of the IEEE*, vol. 83, n° 4, p. 595 -606, 1995.
- [2] Scott Thompson, Paul Packan, Mark Bohr, MOS Scaling: Transistor Challenges for the 21st Century, *Intel Technology Journal Q3'98*.
- [3] Real World Technologies-Intel's 22nm Tri-Gate Transistors, <http://www.realworldtech.com/page.cfm?ArticleID=RWT050511195446>.
- [4] Imec-Tunnel FETs, <http://www.imec.be/ScientificReport/SR2010/2010/1159260.html>.
- [5] K. Gopalakrishnan, P.B. Griffin, et J.D. Plummer, Impact ionization MOS (I-MOS)-Part I: device and circuit simulations, *IEEE Transactions on Electron Devices*, vol. 52, n° 1, p.69-76, 2005
- [6] K. Gopalakrishnan, R. Woo, C. Jungemann, P. B. Griffin, et J. D. Plummer, Impact ionization MOS (I-MOS)-Part II: experimental results, *IEEE Transactions on Electron Devices*, vol.52, n° 1, p. 77 - 84, 2005.
- [7] S. Bollaert, L. Desplanque, X. Wallart, Y. Roelens, M. Malmkvist, M. Borg, E. Lefebvre, J. Grahn, D. Smith, et G. Dambrine, Benchmarking of low band gap III-V based-HEMTs and sub-100nm CMOS under low drain voltage regime, in *Microwave Integrated Circuit Conference, 2007. EuMIC 2007. European*, 2007, p. 20 -23.
- [8] G. Dambrine, S. Bollaert, Y. Roellens, A. Noudeviwa, F. Danneville, A. Olivier, N. Wichmann, L. Desplanque, X. Wallart, J. Grahn, G. Moschetti, P.-A. Nilsson, M. Malmkvist, et E. Lefebvre, Narrow band gap III-V based-FET for ultra low power high frequency analog applications, in *Device Research Conference, 2009*. p. 149 -151.
- [9] Robert Chau, , III-V on Silicon for Future High Speed and Ultra-Low Power Digital Applications: Challenges and Opportunities, CS MANTECH Conference, 2008, Chicago, Illinois, USA
- [10] B. Warneke, M. Last, B. Liebowitz, et K. S. J. Pister, Smart Dust: communicating with a cubic-millimeter computer, *Computer*, vol. 34, n° 1, p. 44 -51, 2001.
- [11] T. Hornyak, RFID Powder, *Scientific American*, vol. 298, n° 2, p. 68-71, 2008.
- [12] SmartDust & Ubiquitous Computing, <http://www.nanotech-now.com/smartdust.htm>.
- [13] E. Aarts et R. Roovers, IC design challenges for ambient intelligence, in *Design, Automation and Test in Europe Conference and Exhibition, 2003*, 2003, p. 2-7.
- [14] H. Iwai, Roadmap for 22 nm and beyond, *Microelectronic Engineering*, vol. 86, n° 7-9, p. 1520-1528, 2009.
- [15] A. Pacelli, A. L. Lacaita, S. Villa, et L. Perron, Reliable extraction of MOS interface traps from low-frequency CV measurements, *Electron Device Letters, IEEE*, vol. 19, n° 5, p. 148 -150, 1998.
- [16] M. M. Satter et A. Haque, Direct extraction of interface trap states from the low frequency gate C-V characteristics of MOS devices with ultrathin high-k gate dielectrics, in *International Conference on Electrical and Computer Engineering, 2008*. p. 158 -161.
- [17] Oktyabrsky, Serge; Ye, Peide, *Fundamentals of III-V Semiconductor MOSFETs*. Springer New York Dordrecht Heidelberg London, 2010.
- [18] D. Bauza, Extraction of Si-SiO₂ Interface Trap Densities in MOSFET's With Oxides Down to 1.3 nm Thick. ESSDERC 2002, P231-234
- [19] T. Skotnicki et F. Boeuf, How can high mobility channel materials boost or degrade performance in advanced CMOS, in *Symposium on VLSI Technology (VLSIT), 2010*, p. 153 -154. autre exemple de ce qui ne va pas

- [20] T. Sakurai, Perspectives on power-aware electronics, in *IEEE International Solid-State Circuits Conference, 2003*. p. 26- 29 vol.1.
- [21] A Nonlinear Circuit Simulation Model for GaAs and InP Heterojunction Bipolar Transistors.
<http://www.microwavejournal.com/articles/3797-a-nonlinear-circuit-simulation-model-for-gaas-and-inp-heterojunction-bipolar-transistors>.
- [22] D.-H. Kim, B. Brar, et J. A. del Alamo, $f_T=688$ GHz and $f_{max}=800$ GHz in $L_g=40$ nm $In_{0.7}Ga_{0.3}As$ MHEMTs with $g_{mmax}>2.7$ mS/ μm , in *IEEE International Electron Devices Meeting (IEDM), 2011*, p. 13.6.1-13.6.4.
- [23] W. Deal, X. B. Mei, K. M. K. Leong, V. Radisic, S. Sarkozy, et R. Lai, THz Monolithic Integrated Circuits Using InP High Electron Mobility Transistors, *IEEE Transactions on Terahertz Science and Technology*, vol. 1, n^o. 1, p. 25-32, 2011.
- [24] Yanning Sun, E. W. Kiewra, J. P. de Souza, J. J. Bucchignano, K. E. Fogel, D. K. Sadana, et G. G. Shahidi, Scaling of $In_{0.7}Ga_{0.3}As$ buried-channel MOSFETs, in *IEEE International Electron Devices Meeting, 2008*. p. 1-4.
- [25] H. C. Lin, T. Yang, H. Sharifi, S. K. Kim, Y. Xuan, T. Shen, S. Mohammadi, et P. D. Ye, Enhancement-mode GaAs metal-oxide-semiconductor high-electron-mobility transistors with atomic layer deposited Al_2O_3 as gate dielectric, *Appl. Phys. Lett.*, vol. 91, n^o. 21, p. 212101-3, 2007.
- [26] Y. Xuan, Y. Q. Wu, et P. D. Ye, High-Performance Inversion-Type Enhancement-Mode InGaAs MOSFET With Maximum Drain Current Exceeding 1 A/mm, *IEEE Electron Device Letters*, vol. 29, n^o. 4, p. 294-296, 2008.
- [27] N. Goel, D. Heh, S. Koveshnikov, I. Ok, S. Oktyabrsky, V. Tokranov, R. Kambhampati, M. Yakimov, Y. Sun, P. Pianetta, C. K. Gaspe, M. B. Santos, J. Lee, S. Datta, P. Majhi, et W. Tsai, Addressing the gate stack challenge for high mobility $In_xGa_{1-x}As$ channels for NFETs, in *IEEE International Electron Devices Meeting, 2008*. 2008, p. 1-4.
- [28] InJo Ok, H. Kim, M. Zhang, T. Lee, F. Zhu, L. Yu, S. Koveshnikov, W. Tsai, V. Tokranov, M. Yakimov, S. Oktyabrsky, et J. C. Lee, Self-Aligned n- and p-channel GaAs MOSFETs on Undoped and P-type Substrates Using HfO_2 and Silicon Interface Passivation Layer, in *IEEE International Electron Devices Meeting, 2006*. p. 1-4.
- [29] T. D. Lin, C. P. Chen, H. C. Chiu, P. Chang, C. A. Lin, M. Hong, J. Kwo, et W. Tsai, Self-aligned inversion-channel and D-mode InGaAs MOSFET using $Al_2O_3/Ga_2O_3(Gd_2O_3)$ as gate dielectrics, in *Device Research Conference, 2008*, p. 39-40.
- [30] M. Passlack, P. Zurcher, K. Rajagopalan, R. Droopad, J. Abrokwah, M. Tutt, Y.-B. Park, E. Johnson, O. Hartin, A. A.-Z. Zlotnicka, P. A.-F. Fejes, R. J. W. A.-H. Hill, D. A. J. A.-M. Moran, X. A.-L. Li, H. A.-Z. Zhou, D. A.-M. Macintyre, S. A.-T. Thoms, A. A.-A. Asenov, K. A.-K. Kalna, et I. G. A.-T. Thayne, High Mobility III-V MOSFETs For RF and Digital Applications, presented in *IEEE International Electron Devices Meeting, 2007*. p. 621-624.
- [31] P. Patel, What young engineers want out of the revolutions, *IEEE Spectrum, 2011*, vol. 48, n^o. 6, p. 11 -12.
- [32] Y. Q. Wu, R. S. Wang, T. Shen, J. J. Gu, et P. D. Ye, First experimental demonstration of 100 nm inversion-mode InGaAs FinFET through damage-free sidewall etching, in *IEEE International Electron Devices Meeting (IEDM), 2009*, p. 1-4.
- [33] J. A. del Alamo, Nanometre-scale electronics with III-V compound semiconductors, *Nature*, vol. 479, n^o. 7373, p. 317-323, 2011.
- [34] A. W. Dey, C. Thelander, M. Borgstrom, B. M. Borg, E. Lind, et L. Wernersson, 15 nm diameter InAs nanowire MOSFETs, in *Device Research Conference (DRC), 2011*, p. 21-22.

- [35] M. Radosavljevic, G. Dewey, J. M. Fastenau, J. Kavalieros, R. Kotlyar, B. Chu-Kung, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, et R. Chau, Non-planar, multi-gate InGaAs quantum well field effect transistors with high-K gate dielectric and ultra-scaled gate-to-drain/gate-to-source separation for low power logic applications, in *IEEE International Electron Devices Meeting (IEDM), 2010*, p. 6.1.1-6.1.4.
- [36] J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, et P. D. Ye, First experimental demonstration of gate-all-around III-V MOSFETs by top-down approach, in *IEEE International Electron Devices Meeting (IEDM), 2011*, p. 33.2.1-33.2.4.
- [37] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, et P. D. Ye, High-performance submicron inversion-type enhancement-mode InGaAs MOSFET with maximum drain current of 360 mA/mm and transconductance of 130 mS/mm, in *Device Research Conference, 2007*, p. 207-208.
- [38] Thèse-Simulation Monte Carlo de MOSFET à base de matériaux III-V pour une électronique haute fréquence ultra basse consommation, <http://www.theses.fr/2012PA112009>.
- [39] M. Shi, J. Saint-Martin, A. Bournel, et P. Dollfus, Numerical simulation of III-V FET architectures for high frequency and low consumption applications, *Microelectronic Engineering*, vol. 88, n° 4, p. 354-357, 2011.
- [40] P. D. Ye, Main determinants for III-V metal-oxide-semiconductor field-effect transistors (invited), 2008, vol. 26, p. 697-704.
- [41] Xiu Xing et P. J. Fay, Enhancement-Mode Pseudomorphic-Channel MOSFETs With Ultrathin InAlP Native Oxide Gate Dielectric and a Cutoff Frequency of 60 GHz, *IEEE Electron Device Letters*, vol. 31, n° 11, p. 1214-1216, 2010.
- [42] Han-Chieh Ho, Ta-Wei Fan, Geng-Ying Liau, Heng-Kuang Lin, Pei-Chin Chiu, Jen-Inn Chyi, Chih-Hsin Ko, Ta-Ming Kuan, Meng-Kuei Hsieh, Wen-Chin Lee, et C. H. Wann, DC and RF characteristics of InAs-channel MOS-MODFETs using PECVD SiO₂ as gate dielectrics, in *International Conference on Indium Phosphide & Related Materials (IPRM), 2010*, p. 1-4.
- [43] Hock-Chun Chin, Xinke Liu, Xiao Gong, et Yee-Chia Yeo, Silane and Ammonia Surface Passivation Technology for High-Mobility In_{0.53}Ga_{0.47}As MOSFETs, *IEEE Transactions on Electron Devices*, vol. 57, n° 5, p. 973-979., 2010.
- [44] Jianqiang Lin, Sungjoo Lee, Hoon-Jung Oh, Weifeng Yang, G. Q. Lo, D. L. Kwong, et D. Z. Chi, Plasma PH₃-passivated high mobility inversion InGaAs MOSFET fabricated with self-aligned Gate-First process and HfO₂/TaN gate stack, in *IEEE International Electron Devices Meeting, 2008*. p. 1-4.
- [45] T. D. Lin, P. Chang, Y. D. Wu, H. C. Chiu, J. Kwo, et M. Hong, Achieving very high drain current of 1.23 mA/[mu]m in a 1-μm-gate-length self-aligned inversion-channel MBE-Al₂O₃/Ga₂O₃(Gd₂O₃)/In_{0.75}Ga_{0.25}As MOSFET, *Journal of Crystal Growth*, vol. In Press, Corrected Proof.
- [46] W. C. Lee, P. Chang, T. D. Lin, L. K. Chu, H. C. Chiu, J. Kwo, et M. Hong, InGaAs and Ge MOSFETs with high [kappa] dielectrics, *Microelectronic Engineering*, vol. 88, n° 4, p. 336-341, 2011.
- [47] Y. Hwang, V. Chobpattana, J. Y. Zhang, J. M. LeBeau, R. Engel-Herbert, et S. Stemmer, Al-doped HfO₂/In_{0.53}Ga_{0.47}As metal-oxide-semiconductor capacitors, *Applied Physics Letters*, vol. 98, n° 14, p. 142901-142901-3, 2011.
- [48] M. L. Huang, Y. C. Chang, C. H. Chang, Y. J. Lee, P. Chang, J. Kwo, T. B. Wu, et M. Hong, Surface passivation of III-V compound semiconductors using atomic-layer-deposition-grown Al₂O₃, *Applied Physics Letters*, vol. 87, n° 25, p. 252104-252104-3, 2005.

- [49] E. O'Connor, R. D. Long, K. Cherkaoui, K. K. Thomas, F. Chalvet, I. M. Povey, M. E. Pemble, P. K. Hurley, B. Brennan, G. Hughes, et S. B. Newcomb, In situ H₂S passivation of In_{0.53}Ga_{0.47}As/InP metal-oxide-semiconductor capacitors with atomic-layer deposited HfO₂ gate dielectric, *Appl. Phys. Lett.*, vol. 92, n^o. 2, p. 022902, 2008.
- [50] N. Yoshida, M. Totsuka, et J. I. and S. Matsumoto, Surface Passivation of In_{0.52}Al_{0.48}As Using (NH₄)₂S_x and P₂S₅/(NH₄)₂S, *Jpn. J. Appl. Phys.*, vol. 33, p. 1248-1252, 1994.
- [51] A. Rothschild, Y. Komem, et N. Ashkenasy, Quantitative evaluation of chemisorption processes on semiconductors, *J. Appl. Phys.*, vol. 92, n^o. 12, p. 7090, 2002.
- [52] Y. Sun, P. Pianetta, P.-T. Chen, M. Kobayashi, Y. Nishi, N. Goel, M. Garner, et W. Tsai, Arsenic-dominated chemistry in the acid cleaning of InGaAs and InAlAs surfaces, *Appl. Phys. Lett.*, vol. 93, n^o. 19, p. 194103, 2008.
- [53] D. Shoji, M. Shinohara, T. Miura, M. Niwano, et N. Miyamoto, Effects of surface chemical treatment on the formation of metal GaAs interfaces, *J. Vac. Sci. Technol. A*, vol. 17, n^o. 2, p. 363, 1999.
- [54] X. R. Qin, Surface morphology of ex situ sulfur-passivated (1×1) and (2×1) InP(100) surfaces, *J. Vac. Sci. Technol. A*, vol. 16, n^o. 1, p. 163, 1998.
- [55] V. L. Berkovits, V. N. Bessolov, T. N. L'vova, E. B. Novikov, V. I. Safarov, R. V. Khasieva, et B. V. Tsarenkov, Fermi-level movement at GaAs(001) surfaces passivated with sodium sulfide solutions, *J. Appl. Phys.*, vol. 70, n^o. 7, p. 3707, 1991.
- [56] Z. Liu, Y. Sun, F. Machuca, P. Pianetta, W. E. Spicer, et R. F. W. Pease, Preparation of clean GaAs(100) studied by synchrotron radiation photoemission, *J. Vac. Sci. Technol. A*, vol. 21, n^o. 1, p. 212, 2003.
- [57] J. S. Foord et E. T. FitzGerald, The adsorption and thermal decomposition of hydrogen sulphide on GaAs(100), *Surface Science*, vol. 306, n^o. 1-2, p. 29-36, 1994.
- [58] Y. Ishikawa, Macroscopic electronic behavior and atomic arrangements of GaAs surfaces immersed in HCl solution, *J. Vac. Sci. Technol. B*, vol. 12, n^o. 4, p. 2713, 1994.
- [59] O. E. Tereshchenko, D. Paget, P. Chiaradia, J. E. Bonnet, F. Wiame, et A. Taleb-Ibrahimi, Preparation of clean reconstructed InAs(001) surfaces using HCl/isopropanol wet treatments, *Appl. Phys. Lett.*, vol. 82, n^o. 24, p. 4280, 2003.
- [60] M. V. Lebedev, D. Ensling, R. Hunger, T. Mayer, et W. Jaegermann, Synchrotron photoemission spectroscopy study of ammonium hydroxide etching to prepare well-ordered GaAs(1 0 0) surfaces, *Applied Surface Science*, vol. 229, n^o. 1-4, p. 226-232, 2004.
- [61] G. C. DeSalvo, C. A. Bozada, J. L. Ebel, D. C. Look, J. P. Barrette, C. L. A. Cerny, R. W. Dettmer, J. K. Gillespie, C. K. Havasy, T. J. Jenkins, K. Nakano, C. I. Pettiford, T. K. Quach, J. S. Sewell, et G. D. Via, Wet Chemical Digital Etching of GaAs at Room Temperature, *J. Electrochem. Soc.*, vol. 143, n^o. 11, p. 3652-3656, 1996.
- [62] P. T. Chen, Y. Sun, E. Kim, P. C. McIntyre, W. Tsai, M. Garner, P. Pianetta, Y. Nishi, et C. O. Chui, HfO₂ gate dielectric on (NH₄)₂S passivated (100) GaAs grown by atomic layer deposition, *J. Appl. Phys.*, vol. 103, n^o. 3, p. 034106, 2008.
- [63] J. R. Arthur, Surface stoichiometry and structure of GaAs, *Surface Science*, vol. 43, n^o. 2, p. 449-461, 1974.
- [64] S. I. J. Ingrey, Characterization of surface oxides and oxide desorption on InGaAs, *J. Vac. Sci. Technol. A*, vol. 7, n^o. 3, p. 1554, 1989.
- [65] C. Debiemme-Chouvy, D. Ballutaud, J. C. Pesant, C. Severac, et A. Etcheberry, Modification of GaAs surface stoichiometry and reactivity induced by a hydrogen plasma, *Applied Surface Science*, vol. 65-66, p. 643-646, 1993.

- [66] S. J. Pearton, F. Ren, C. R. Abernathy, W. S. Hobson, T. R. Fullowan, R. Esagui, et J. R. Lothian, Damage introduction in InP and InGaAs during Ar and H₂ plasma exposure, *Appl. Phys. Lett.*, vol. 61, n^o. 5, p. 586, 1992.
- [67] S. Sugata, GaAs cleaning with a hydrogen radical beam gun in an ultrahigh-vacuum system, *J. Vac. Sci. Technol. B*, vol. 6, n^o. 4, p. 1087, 1988.
- [68] F. S. Aguirre-Tostado, M. Milojevic, C. L. Hinkle, E. M. Vogel, R. M. Wallace, S. McDonnell, et G. J. Hughes, Indium stability on InGaAs during atomic H surface cleaning, *Appl. Phys. Lett.*, vol. 92, n^o. 17, p. 171906, 2008.
- [69] J. Ivanco, T. Kubota, et H. Kobayashi, Deoxidation of gallium arsenide surface via silicon overlayer: A study on the evolution of the interface state density, *J. Appl. Phys.*, vol. 97, n^o. 7, p. 073712, 2005.
- [70] Y.-T. Chen, Y. Wang, F. Xue, F. Zhou, et J. C. Lee, Physical and Electrical Analysis of Post-Fluorine Plasma Treatment for the Improvement of MOSFETs' Performance, *IEEE Transactions on Electron Devices*, vol. 59, n^o. 1, p. 139-144, 2012.
- [71] III-V Semiconductor Manufacturing & Design Community, <http://semimd.com/blog/tag/iii-v/>.
- [72] S. El Kazzi, L. Desplanque, C. Coinon, Y. Wang, P. Ruterana, et X. Wallart, GaSb/GaP compliant interface for high electron mobility AlSb/InAs heterostructures on (001) GaP, *Applied Physics Letters*, vol. 97, n^o. 19, p. 192111-192111-3, 2010.
- [73] AQME Advancing Quantum Mechanics for Engineers, <http://nanohub.org/topics/AQME?version=105>.
- [74] T. Yasuda, Susceptibility of InGaAs MISFETs to Thermal Processes in the Device Fabrication, presented at the SISC, 2009.
- [75] A. Nainani, T. Irisawa, Z. Yuan, Y. Sun, T. Krishnamohan, M. Reason, B. R. Bennett, J. B. Boos, M. G. Ancona, Y. Nishi, et K. C. Saraswat, Development of high-k dielectric for antimonides and a sub 350°C III–V pMOSFET outperforming Germanium, in *IEEE International Electron Devices Meeting (IEDM), 2010*, p. 6.4.1-6.4.4.
- [76] H. Ishii, N. Miyata, Y. Urabe, T. Itatani, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Deura, M. Sugiyama, M. Takenaka, et S. Takagi, High Electron Mobility Metal–Insulator–Semiconductor Field-Effect Transistors Fabricated on (111)-Oriented InGaAs Channels, *Appl. Phys. Express*, vol. 2, n^o. 12, p. 121101, 2009.
- [77] M. Egard, L. Ohlsson, B. M. Borg, F. Lenrick, R. Wallenberg, L.-E. Wernersson, et E. Lind, High transconductance self-aligned Gate-Last surface channel In_{0.53}Ga_{0.47}As MOSFET, in *IEEE International Electron Devices Meeting (IEDM), 2011*, p. 13.2.1-13.2.4.
- [78] Y. Q. Wu, M. Xu, R. S. Wang, O. Koybasi, et P. D. Ye, High Performance Deep-Submicron Inversion-Mode InGaAs MOSFETs with maximum G_m exceeding 1.1 mS/μm: New HBr pretreatment and channel engineering, in *IEEE International Electron Devices Meeting (IEDM), 2009*, p. 1-4.
- [79] J. Q. Lin, S. J. Lee, H. J. Oh, G. Q. Lo, D. L. Kwong, et D. Z. Chi, Inversion-Mode Self-Aligned In_{0.53}Ga_{0.47}As N-Channel Metal-Oxide-Semiconductor Field-Effect Transistor With HfAlO Gate Dielectric and TaN Metal Gate, *IEEE Electron Device Letters*, vol. 29, n^o. 9, p. 977-980, 2008.
- [80] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, et P. D. Ye, Submicrometer Inversion-Type Enhancement-Mode InGaAs MOSFET With Atomic-Layer-Deposited Al₂O₃ as Gate Dielectric, *IEEE Electron Device Letters*, vol. 28, n^o. 11, p. 935-938, 2007.
- [81] Y.-T. Chen, H. Zhao, Y. Wang, F. Xue, F. Zhou, et J. C. Lee, Fluorinated HfO₂ gate dielectric engineering on In_{0.53}Ga_{0.47}As metal-oxide-semiconductor field-effect-transistors, *Applied Physics Letters*, vol. 96, n^o. 10, p. 103506-103506-3, 2010.

- [82] M. Yokoyama, R. Iida, S. Kim, N. Taoka, Y. Urabe, H. Takagi, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka, et S. Takagi, Sub-10-nm Extremely Thin Body InGaAs-on-Insulator MOSFETs on Si Wafers With Ultrathin Al₂O₃ Buried Oxide Layers, *IEEE Electron Device Letters*, vol. 32, n^o. 9, p. 1218-1220, 2011.
- [83] J. J. Gu, O. Koybasi, Y. Q. Wu, et P. D. Ye, III-V-on-nothing metal-oxide-semiconductor field-effect transistors enabled by top-down nanowire release process: Experiment and simulation, *Appl. Phys. Lett.*, vol. 99, n^o. 11, p. 112113, 2011.
- [84] D. Lin, G. Brammertz, S. Sioncke, C. Fleischmann, A. Delabie, K. Martens, H. Bender, T. Conard, W. H. Tseng, J. C. Lin, W. E. Wang, K. Temst, A. Vatomme, J. Mitard, M. Caymax, M. Meuris, M. Heyns, et T. Hoffmann, Enabling the high-performance InGaAs/Ge CMOS: a common gate stack solution, in *IEEE International Electron Devices Meeting (IEDM), 2009*, p. 1-4.
- [85] K. Tomioka, M. Yoshimura, et T. Fukui, Vertical In_{0.7}Ga_{0.3}As nanowire surrounding-gate transistors with high-k gate dielectric on Si substrate, in *IEEE International Electron Devices Meeting (IEDM), 2011*, p. 33.3.1-33.3.4.
- [86] H. Zhao, F. Zhu, Y.-T. Chen, J. H. Yum, Y. Wang, et J. C. Lee, Effect of channel doping concentration and thickness on device performance for In_{0.53}Ga_{0.47}As metal-oxide-semiconductor transistors with atomic-layer-deposited Al₂O₃ dielectrics, *Applied Physics Letters*, vol. 94, n^o. 9, p. 093505-093505-3, 2009.
- [87] H. J. Oh, J. Q. Lin, S. Suleiman, G. Q. Lo, D. L. Kwong, D. Z. Chi, et S. J. Lee, Thermally robust phosphorous nitride interface passivation for InGaAs self-aligned Gate-First n-MOSFET integrated with high-k dielectric, in *IEEE International Electron Devices Meeting (IEDM), 2009*, p. 1-4.
- [88] Y. Sun, E. W. Kiewra, S. J. Koester, N. Ruiz, A. Callegari, K. E. Fogel, D. K. Sadana, J. Fompeyrine, D. J. Webb, J.-P. Locquet, M. Sousa, R. Germann, K. T. Shiu, et S. R. Forrest, Enhancement-Mode Buried-Channel MOSFETs With High-k Gate Dielectrics, *IEEE Electron Device Letters*, vol. 28, n^o. 6, p. 473-475, 2007.
- [89] Electron Mobility in Surface- and Buried-Channel Flatband MOSFETs With ALD Gate Dielectric, *IEEE Electron Device Letters*, vol. 32, n^o. 4, p. 494-496, 2011.
- [90] Y. Sun, E. W. Kiewra, J. P. De Souza, S. J. Koester, K. E. Fogel, et D. K. Sadana, Enhancement-mode In_{0.7}Ga_{0.3}As-channel MOSFETs with ALD Al₂O₃, presented at the Device Research Conference, 2007, p. 209-210.
- [91] Kuan-Wei Lee, Kai-Lin Lee, Xian-Zheng Lin, Chao-Hsien Tu, et Yeong-Her Wang, Improvement of Impact Ionization Effect and Subthreshold Current in InAlAs/InGaAs Metal-Oxide-Semiconductor Metamorphic HEMT With a Liquid-Phase Oxidized InAlAs as Gate Insulator, *IEEE Transactions on Electron Devices*, vol. 54, n^o. 3, p. 418-424, 2007.
- [92] R. J. W. Hill, D. A. J. Moran, Xu Li, Haiping Zhou, D. Macintyre, S. Thoms, A. Asenov, P. Zurcher, K. Rajagopalan, J. Abrokwhah, R. Droopad, M. Passlack, et I. G. Thayne, Enhancement-Mode GaAs MOSFETs With an In_{0.3}Ga_{0.7}As Channel, a Mobility of Over 5000cm²/Vs, and Transconductance of Over 475 μS/μm, *IEEE Electron Device Letters*, vol. 28, n^o. 12, p. 1080-1082, 2007.
- [93] H. Zhao, Y.-T. Chen, J. H. Yum, Y. Wang, F. Zhou, F. Xue, et J. C. Lee, Effects of barrier layers on device performance of high mobility In_{0.7}Ga_{0.3}As metal-oxide-semiconductor field-effect-transistors, *Applied Physics Letters*, vol. 96, n^o. 10, p. 102101-102101-3, 2010.
- [94] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W.

- Rachmady, U. Shah, et R. Chau, Advanced high-K gate dielectric for high-performance short-channel $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ quantum well field effect transistors on silicon substrate for low power logic applications, in *IEEE International Electron Devices Meeting (IEDM)*, 2009, p. 1-4.
- [95] F. Xue, H. Zhao, Y.-T. Chen, Y. Wang, F. Zhou, et J. C. Lee, InAs inserted InGaAs buried channel metal-oxide-semiconductor field-effect-transistors with atomic-layer-deposited gate dielectric, *Applied Physics Letters*, vol. 98, n^o. 8, p. 082106-082106-3, 2011.
- [96] S. Oktyabrsky, S. Kovesnikov, V. Tokranov, M. Yakimov, R. Kambhampati, H. Bakhru, F. Zhu, J. Lee, et W. Tsai, InGaAs and GaAs/InGaAs Channel Enhancement Mode n-MOSFETs With HfO_2 Gate Oxide and a-Si Interface Passivation Layer, presented at the Device Research Conference, 2007, p. 203-204.
- [97] Y. Yonai, T. Kanazawa, S. Ikeda, et Y. Miyamoto, High drain current ($>2\text{A}/\text{mm}$) InGaAs channel MOSFET at $V_D=0.5\text{V}$ with shrinkage of channel length by InP anisotropic etching, in *IEEE International Electron Devices Meeting (IEDM)*, 2011, p. 13.3.1-13.3.4.
- [98] R. J. W. Hill, C. Park, J. Barnett, J. Price, J. Huang, N. Goel, W. Y. Loh, J. Oh, C. E. Smith, P. Kirsch, P. Majhi, et R. Jammy, Self-aligned III-V MOSFETs heterointegrated on a 200 mm Si substrate using an industry standard process flow, in *IEEE International Electron Devices Meeting (IEDM)*, 2010, p. 6.2.1-6.2.4.
- [99] F. Zhu, H. Zhao, I. Ok, H. S. Kim, J. Yum, J. C. Lee, N. Goel, W. Tsai, C. K. Gaspe, et M. B. Santos, A high performance $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor field effect transistor with silicon interface passivation layer, *Applied Physics Letters*, vol. 94, n^o. 1, p. 013511 -013511-3, 2009.
- [100] K. Rajagopalan, P. Zurcher, J. Abrokwhah, R. Droopad, D. A. J. Moran, R. J. W. Hill, X. Li, H. Zhou, D. McIntyre, S. A.T. Thoms, I. G. A. T. Thayne, et M. A. P. Passlack, Enhancement Mode n-MOSFET with High-k Dielectric On GaAs Substrate, presented at the Device Research Conference, 2007, p. 205-206.
- [101] K. Rajagopalan, R. Droopad, J. Abrokwhah, P. Zurcher, P. Fejes, et M. Passlack, 1- μm Enhancement Mode GaAs N-Channel MOSFETs With Transconductance Exceeding 250 mS/mm, *IEEE Electron Device Letters*, vol. 28, n^o. 2, p. 100-102, 2007.
- [102] M. Egard, L. Ohlsson, M. Arlelid, K.-M. Persson, B. M. Borg, F. Lenrick, R. Wallenberg, E. Lind, et L. E. Wernersson, High-Frequency Performance of Self-Aligned Gate-Last Surface Channel $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSFET, *IEEE Electron Device Letters*, vol. 33, n^o. 3, p. 369-371, 2012.
- [103] Y. C. Wang, M. Hong, J. M. Kuo, J. P. Mannaerts, J. Kwo, H. S. Tsai, J. J. Krajewski, Y. K. Chen, et A. Y. Cho, Demonstration of submicron depletion-mode GaAs MOSFETs with negligible drain current drift and hysteresis, *IEEE Electron Device Letters*, vol. 20, n^o. 9, p. 457-459, 1999.
- [104] C. Y. Chang, H. T. Hsu, E. Y. Chang, H. D. Trinh, et Y. Miyamoto, InAs-Channel Metal-Oxide-Semiconductor HEMTs with Atomic-Layer-Deposited Al_2O_3 Gate Dielectric, *Electrochem. Solid-State Lett.*, vol. 12, n^o. 12, p. H456-H459, 2009.
- [105] S. Datta, T. Ashley, J. Brask, L. Buckle, M. Doczy, M. Emeny, D. Hayes, K. Hilton, R. Jefferies, T. Martin, T. J. Phillips, D. Wallis, P. Wilding, et R. Chau, 85nm gate length enhancement and depletion mode InSb quantum well transistors for ultra high speed and very low power digital logic applications, in *IEEE International Electron Devices Meeting*, 2005, p. 763-766.
- [106] H. C. Lin, T. Yang, H. Sharifi, S. K. Kim, Y. Xuan, T. Shen, S. Mohammadi, et P. D. Ye, Enhancement-mode GaAs metal-oxide-semiconductor high-electron-mobility

- transistors with atomic layer deposited Al_2O_3 as gate dielectric, *Applied Physics Letters*, vol. 91, n^o. 21, p. 212101-212101-3, 2007.
- [107] H. K. Lin, D. W. Fan, Y. C. Lin, P. C. Chiu, C. Y. Chien, P. W. Li, J. I. Chyi, C. H. Ko, T. M. Kuan, M. K. Hsieh, W. C. Lee, et C. H. Wann, E-beam-evaporated Al_2O_3 for InAs/AlSb metal-oxide-semiconductor HEMT development, *Solid-State Electronics*, vol. 54, n^o. 5, p. 505-508, 2010.
- [108] D. Guerra, R. Akis, F. A. Marino, D. K. Ferry, S. M. Goodnick, et M. Saraniti, Aspect Ratio Impact on RF and DC Performance of State-of-the-Art Short-Channel GaN and InGaAs HEMTs, *IEEE Electron Device Letters*, vol. 31, n^o. 11, p. 1217-1219, 2010.
- [109] Tae Woo Kim, Dae Hyun Kim, et J. A. del Alamo, 60 nm self-aligned-gate InGaAs HEMTs with record high-frequency characteristics, in *IEEE International Electron Devices Meeting (IEDM), 2010*, p. 30.7.1-30.7.4.
- [110] T. W. Kim, D. H. Kim, et J. A. del Alamo, InGaAs HEMT with InAs-rich InAlAs barrier spacer for reduced source resistance, *Electronics Letters*, vol. 47, n^o. 6, p. 406-407, 2011.
- [111] T. Ashley, A. B. Dean, C. T. Elliott, R. Jefferies, F. Khaleque, et T. J. Phillips, High-speed, low-power InSb transistors, in *IEEE International Electron Devices Meeting, 1997*, 1997, p. 751-754.
- [112] T. D. Lin, P. Chang, H. C. Chiu, M. Hong, J. Kwo, Y. S. Lin, et S. S. H. Hsu, dc and rf characteristics of self-aligned inversion-channel $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor field-effect transistors using molecular beam epitaxy- $\text{Al}_2\text{O}_3/\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ as gate dielectrics, *J. Vac. Sci. Technol. B*, vol. 28, n^o. 3, p. C3H14, 2010.
- [113] Dong Xu, W. M. Kong, Xiaoping Yang, L. Mohnkern, P. Seekell, L. Mt. Pleasant, K. G. Duh, P. M. Smith, et Pane-Chane Chao, 50-nm Metamorphic High-Electron-Mobility Transistors With High Gain and High Breakdown Voltages, *IEEE Electron Device Letters*, vol. 30, n^o. 8, p. 793-795, 2009.
- [114] H. C. Chiu, C. H. Chen, C. K. Lin, et J. S. Fu, High electrical performance liquid-phase HBr oxidation gate insulator of InAlAs/InGaAs metamorphic MOS-mHEMT, *Microelectronics Reliability*, vol. In Press, Corrected Proof.

Chapitre 2 Fabrication et caractérisation de MOSFET In_{0.53}Ga_{0.47}As

2.1 Introduction

Dans ce chapitre, nous présenterons, dans un premier temps, le procédé de fabrication des MOSFET In_{0.53}Ga_{0.47}As en technologie « Gate-First » correspondant à notre « *structure de référence* ». Une attention particulière sera portée sur la caractérisation de l'oxyde de grille par analyse physico-chimique de l'oxyde de grille, des structures de type capacité MOS seront également réalisées afin d'extraire la densité de défauts d'interface oxyde/semiconducteur (D_{it}). Par la suite, nous présenterons les résultats électriques obtenus en régime statique et dynamique sur ces transistors de référence. Finalement, nous présenterons dans la dernière partie de ce chapitre, différentes études proposées durant cette thèse pour améliorer les performances de ces transistors : une première étude sur la technologie utilisée pour la conception des MOSFET sera proposée en comparant la technologie « Gate-First » à la technologie « Gate-Last » où l'oxyde de grille est déposé après l'implantation. Une seconde étude consistera à étudier l'influence du recuit PDA (*Post Deposition Annealing*) après dépôt de l'oxyde sur les résultats électriques des transistors. Une troisième étude présentera l'effet d'un recuit PPA en fin de procédé de fabrication (*Post Process Annealing*) sur les performances des composants. Une dernière étude présentera l'amélioration de budget thermique concernant le recuit d'activation.

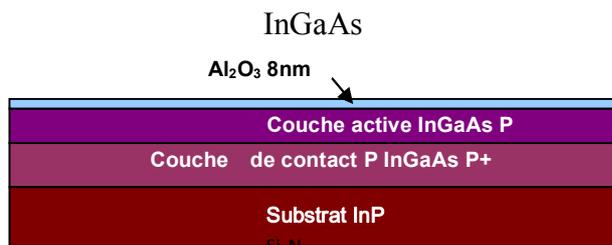
2.2 Fabrication et caractérisation de MOSFET In_{0.53}Ga_{0.47}As en technologie « Gate-First » : structure de référence

2.2.1 Procédé de fabrication et structure épitaxiale des MOSFET In_{0.53}Ga_{0.47}As en technologie « Gate-First »

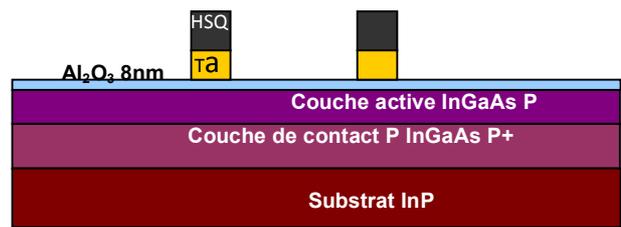
Une vue générale des différentes étapes du procédé de fabrication des MOSFET InGaAs en technologie « Gate-First » est représentée sur la figure 23. La technologie « Gate-First » est une technologie où les caissons d'implantation sont auto-alignés à la grille. Ainsi l'oxyde et le métal de grille sont réalisés avant les caissons d'implantation, et sont donc subi le recuit d'activation des implants. On différenciera dans la suite la technologie « Gate-First » et « Gate-Last ». La technologie « Gate-First » permet de réaliser des grilles sub-100nm. L'étape 1 consiste en un dépôt d'oxyde de grille par ALD (*Atomic Layer Deposition*), dans notre cas

de l' Al_2O_3 . Cette étape est suivie de la définition de l'électrode de grille en Tantale, de la définition des espaceurs en Si_3N_4 (étape 3), de l'implantation ionique des caissons source/drain de type N, et de la réalisation des contacts ohmiques de source et de drain (type N, étape 4). Ensuite une isolation mesa est réalisée par gravure humide profonde, jusqu'au substrat. Finalement après une gravure peu profonde jusqu'à la couche P+, le contact type P de body est réalisé (étape 6). Le détail des étapes technologiques est donné en annexe.

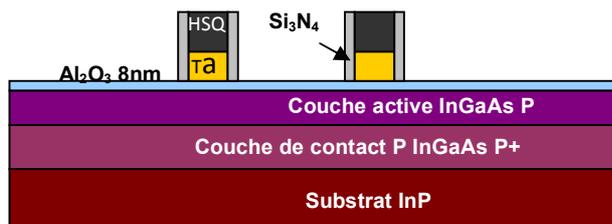
(1) Dépôt Al_2O_3 par ALD sur couche active



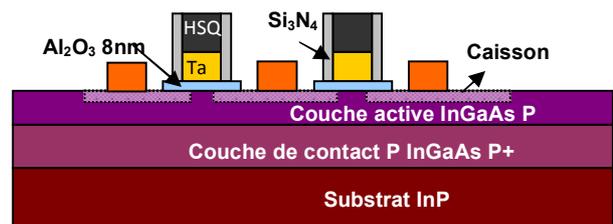
(2) Définition des grilles Tantale



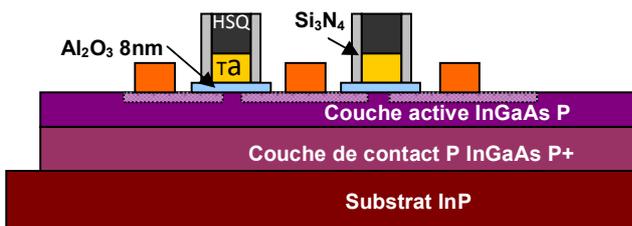
(3) Définition des espaceurs Si_3N_4



(4) Caisson d'implantation N+ en Si et réalisation de contact source/drain



(5) Mesa profond : isolation des composants



(6) Mesa peu profond + contact body (contact ohmique P)

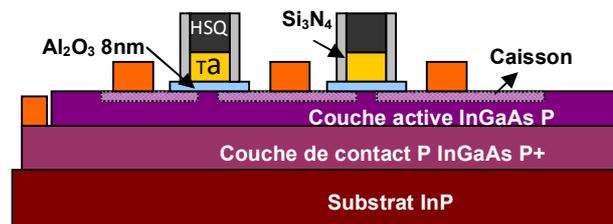


Figure 23 : Vue générale des étapes de fabrication des MOSFET InGaAs en technologie « Gate-First »

2.2.1.1 Couche épitaxiale :

La structure épitaxiale (figure 24) possédant deux couches $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ dopées respectivement P et P⁺ (avec dopant carbone) sur substrat InP semi-isolant a été réalisée par

MBE (épitaxie par jets moléculaires) au sein de l'IEMN par le groupe EPIPHY. La couche d'InGaAs dopé P correspond à la couche active du transistor. La seconde couche dopée P⁺ permettra, éventuellement de réaliser un contact électrique afin de polariser le « body ». Le dopage de couche active d'In_{0.53}Ga_{0.47}As a été défini par le calcul de V_{TH} en fonction du dopage pour avoir une tension de seuil V_{TH} proche de 0V (voir partie suivante 2.2.1.2). Nous avons fixés un niveau de dopage P pour la couche active à $1 \cdot 10^{17}/\text{cm}^3$. Cette valeur de dopage constitue aussi un compromis entre une mobilité électronique suffisante et à l'absence du perçage de la barrière (*punchthrough*) au niveau des jonctions PN. La seconde couche permettant de contacter le body a été dopée à $1 \cdot 10^{19}/\text{cm}^3$ afin de réaliser un contact ohmique de type P de bonne qualité.

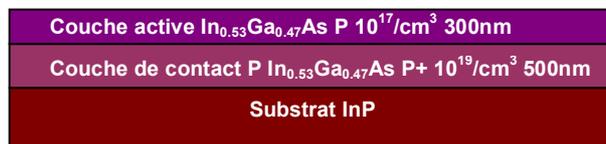


Figure 24 : Structure épitaxiale des couches actives réalisées par MBE sur le substrat InP.

2.2.1.2 Définition de la grille

Le procédé de fabrication des MOSFET en technologie « Gate-First » débute par la définition de grille. En technologie silicium, les métaux constituant les électrodes source et drain sont auto-alignés avec l'électrode de grille grâce au procédé de siliciuration: c'est la technologie optimale pour concevoir un MOSFET ; cela permet d'avoir des résistances d'accès les plus faibles possibles. En technologie III-V, un procédé semblable a été proposé très récemment. Un article présentant cette technologie auto-alignée est sorti tout récemment [1]. Un alliage Ni-InGaAs servant de contact source/drain pour le MOSFET est employé. Cependant, cette technologie nécessite d'avoir une couche active ayant un fort taux d'Indium ($\text{In} > 60\%$ [1][2]) afin de réduire la hauteur de barrière Schottky des contacts source-drain. Dans notre cas, la couche active ayant un taux d'Indium de 53%, cette technologie ne peut pas convenir. Généralement, le procédé couramment utilisé pour les MOSFET III-V dans la littérature correspond à la technologie « Gate-Last » où la grille métallique est déposée après l'étape d'implantation. L'avantage de ce procédé est d'avoir un oxyde de grille n'ayant pas subi le recuit d'implantation. Cependant, l'inconvénient est lié au ré-alignement de la grille sur les caissons pouvant entraîner de fortes valeurs de capacités de « overlap » ce qui limitera les performances dynamiques des transistors. Ainsi, l'introduction de la technologie

« Gate-First » où les caissons d'implantation sont auto-alignés avec la grille nous semble préférable pour minimiser ces capacités de « overlap ». Toutefois un compromis lié à la dégradation de l'oxyde par le recuit d'activation des dopants sera un défi.

La technologie « Gate-First » retenue pour la fabrication des MOSFET nécessite l'utilisation de grille constituée d'un métal réfractaire pouvant subir le recuit d'activation à haute température des dopants après l'étape d'implantation ionique des caissons de source et de drain. Les différents métaux réfractaires disponibles au sein de l'IEMN sont le tantale (Ta), le molybdène (Mo) et le tungstène (W) ayant respectivement des travaux de sortie de 4.25V, 4.6V et 4.5V. De plus ces travaux de sortie sont en accord avec la tension de seuil désirée (voir suite de cette partie).

L'objectif de la thèse étant de concevoir des dispositifs alliant haute performance et basse consommation, nous nous sommes fixées une tension de seuil V_{TH} proche de 0V sur nos transistors. L'expression analytique de la tension de seuil d'un MOSFET en fonction des paramètres de la structure, en excluant l'ensemble des effets de canal court, est la suivante :

$$V_{TH} = V_{FB} + 2\psi_b + \frac{\sqrt{4 \cdot q \cdot N_a \cdot \epsilon \cdot \psi_b}}{C_{ox}} \quad (1)$$

Avec

$$\psi_b = \frac{kT}{q} \cdot \ln(N_a / n_i) \quad (2)$$

$$V_{FB} = \Phi_m - \chi - \frac{E_g}{2} - \psi_b \quad (3)$$

D'où V_{FB} est la tension de bande plate, Φ_m est le travail de sortie du métal,

N_a est le dopage de couche active d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, n_i est la concentration de porteur intrinsèque, E_g est le bandgap d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, χ est l'affinité électronique d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$.

La figure 25 représente l'évolution de la tension de seuil V_{TH} du MOSFET de type N en fonction du dopage P de la couche active paramétrée selon différent métal de grille, calculée à partir des expressions précédentes. D'après cette figure, nous constatons que le tungstène et le molybdène ne semble pas être des métaux optimaux pour concevoir les MOSFET. En effet, pour ces métaux, le niveau de dopage de la couche P doit être de l'ordre de 10^{16}at/cm^3 pour obtenir une tension de seuil proche de 0V. Dans le cas du Tantale, le dopage P de la couche active est plus élevé. Ainsi, étant donné qu'un dopage trop faible de la couche active conduit d'une part à des courants de fuite des jonctions source-canal et drain-canal élevés et d'autre

part à une dégradation du comportement sous le seuil (accroissement du *SS*, du *DIBL*, punch-through), nous avons donc choisi le Tantale comme électrode de grille. Cependant, la résistivité du Tantale étant plus élevée que le Mo ou le W, la résistance de grille sera dégradée par le choix de ce métal ; c'est pourquoi une technologie de type « multi-doigts de grille » a été développée au cours de ces travaux afin de réduire la résistance de grille des MOSFET, nécessaire à la caractérisation dynamique.

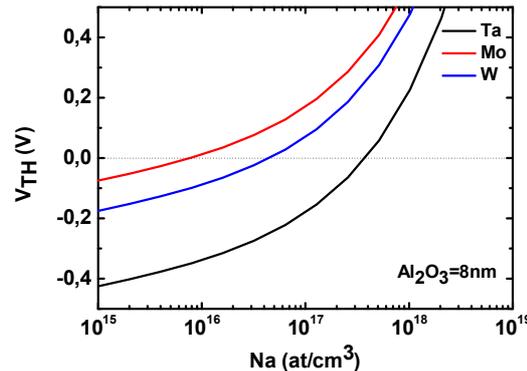


Figure 25 : Evolution de la tension de seuil V_{TH} calculée à partir des expression (1-3) en fonction du niveau de dopage Na (at/cm^3) de la couche active pour différents métaux Ta, Mo, et W.

2.2.1.3 Masque MOSFET InGaAs multi-doigts de grille

Le masque 'MOSFET' a été conçu de manière à tester différentes topologies d'accès des transistors afin d'estimer une topologie optimale selon le nombre de doigts de grille du transistor. La figure 26 représente une vue du masque utilisé durant nos travaux. Celui-ci comporte :

- Des trèfles de Hall pour la mesure de la concentration et de la mobilité des électrons dans le caisson d'implantation (figure 37) ;
- Des échelles TLM (*Transmission Line Method*) standard pour les mesures de résistance de contact et de la résistance carrée des caissons d'implantation (figure 36).
- Des motifs de test permettant d'estimer la diffusion latérale des dopants après implantation (figure 38).
- Des structures « open » et « short » comme structure RF passives pour réaliser la méthode d'épluchage (*deembedding*) pour obtenir le paramètre S dans le plan de transistor ;

Concernant les transistors MOSFET, différentes dimensions ont été dessinées sur le masque :

- 2, 4, 8, 16 doigts de grille ; la largeur d'un doigt unitaire W : $7.5\mu\text{m}$, $15\mu\text{m}$, $30\mu\text{m}$; l'espacement entre les contacts source drain L_{SD} : $1\mu\text{m}$;
- La longueur de grille L_g : 50, 100, 150, 200, 300, 500nm et 1, 10, 20 et $50\mu\text{m}$.

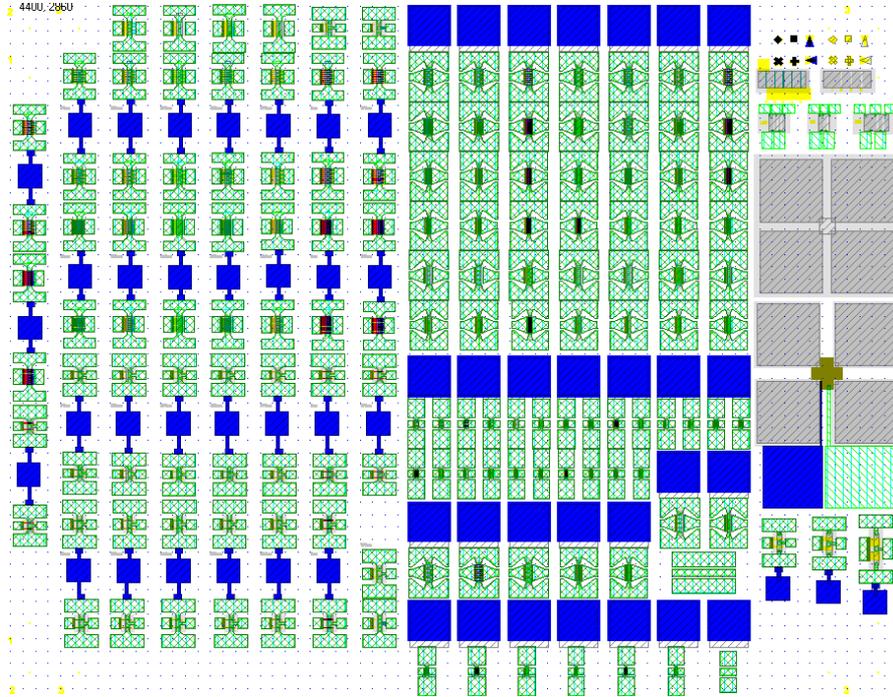


Figure 26 : Représentation du masque « MOSFET »

La figure 27 représente un exemple de topologie retenue pour le transistor MOSFET multi-doigts (4 doigts). La technologie de réalisation des ponts à air reliant les différentes sources entre elles sera présentée ultérieurement.

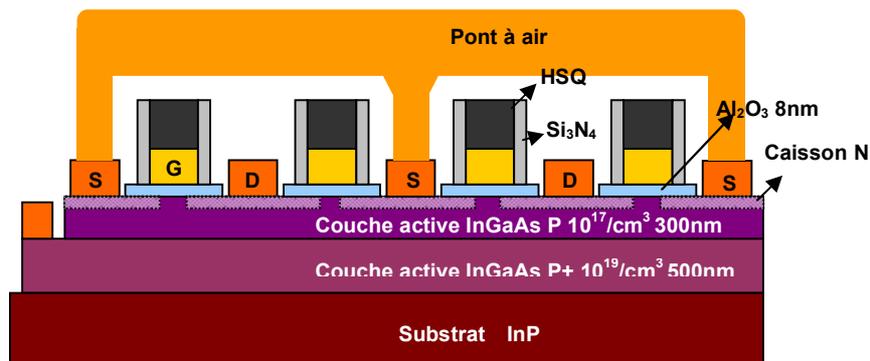


Figure 27 : Exemple de topologie retenue pour la fabrication de transistor MOSFET à quatre doigts de grille.

2.2.2 Briques technologiques de fabrication

Après avoir présentée au lecteur la structure de la zone active des composants ainsi qu'une vue d'ensemble du procédé technologique à mettre en œuvre, nous allons détailler à présent chaque brique technologique nécessaire à la fabrication des MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en technologie « Gate-First ».

2.2.2.1 Structure epitaxiale et oxyde retenus pour les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ « Gate-First »:

La structure active retenue pour la réalisation de MOSFET est représentée sur la figure 28. Avec deux couches actives d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, une dopée à $10^{17}/\text{cm}^3$ d'épaisseur 300nm, et celle du contact de body dopée à $10^{19}/\text{cm}^3$ et d'épaisseur 500nm. L'épaisseur de la couche active a été choisie à 300nm, afin d'éviter tout risque de contact avec les zones d'implantation des caissons source-drain. L'épaisseur d'oxyde t_{ox} doit respecter un rapport d'aspect avec $L_g/t_{ox} > 5$. Ainsi, pour une longueur de grille 50nm, l'épaisseur d'oxyde doit être inférieur à 10nm. Néanmoins, la diminution de cette épaisseur va augmenter le courant de grille par effet tunnel. Donc, une épaisseur d'oxyde de 8nm a été choisie. L' Al_2O_3 a été choisie comme oxyde high- k ayant comme valeur de permittivité relative k d'environ 9 (3.9 pour SiO_2), ce qui nous permet d'avoir une épaisseur effective d'oxyde EOT de l'ordre de 3.5nm (valeur calculée à partir de l'équation (4)).

$$EOT = \frac{k_{\text{SiO}_2}}{k_{\text{Al}_2\text{O}_3}} t_{ox} \quad (4)$$

Où k_{SiO_2} et $k_{\text{Al}_2\text{O}_3}$ sont respectivement la permittivité relative du SiO_2 et de l' Al_2O_3 .

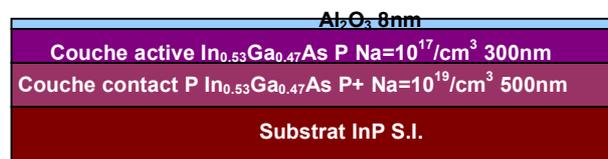


Figure 28 : Structure active de MOSFET utilisé.

2.2.2.2 Dépôt d'oxyde Al_2O_3 par technique ALD

L'étape de dépôt d'oxyde de grille est l'une des étapes la plus critiques du procédé de fabrication. En effet, celle-ci conditionne les performances électriques des transistors réalisés. Le comportement électrique du composant sera directement corrélé à la qualité de l'oxyde

mais également aux propriétés de son interface avec le semiconducteur. Ainsi, un dépôt d'oxyde de bonne qualité se traduira par une absence totale du blocage du niveau de Fermi à l'interface ainsi que l'absence de pièges d'interface décrit par le paramètre de densité de défaut à l'interface D_{it} exprimée en $\text{cm}^{-2}.\text{eV}^{-1}$. Celle-ci représente la densité de charge qu'il faut transférer sur les états d'interface (ou pièges d'interface) pour déplacer le niveau de Fermi de 1 eV. Ces défauts d'interface proviennent essentiellement des liaisons pendantes à l'interface et aussi des éléments oxydés comme InO, AsO, GaO.

Comme indiqué dans le chapitre 1, la technique de dépôt d'oxyde fournissant les meilleurs résultats à ce jour sur les matériaux III-V est la technique de dépôt par couche atomique (ALD). Cette technique a donc été retenue pour concevoir les transistors. Dans le cadre du projet ANR-PNANO MOS35, cette étape fut élaborée au CEA-LETI compte tenu de leur savoir faire sur cette technique. De même, les caractérisations par XPS (X-ray Photoelectron Spectroscopy) et par AFM (Atomic Force Microscope) ont été effectuées au CEA-LETI.

Cette étape de dépôt se décompose en trois parties :

1^{ière} étape concerne le traitement de surface ou passivation par voie humide : immersion du semiconducteur dans une solution acide ou basique.

2^{ème} étape concerne le dépôt d'oxyde d' Al_2O_3 avec précurseurs TMA (TriMéthyl Aluminium : $\text{Al}(\text{CH}_3)_3$)/ H_2O

3^{ème} étape concerne le recuit après dépôt (PDA : Post Deposition Annealing)

Le traitement de surface a pour objectif de supprimer les oxydes natifs initialement présents sur la surface du semiconducteur ; ces oxydes étant une cause des pièges d'interface. De même ce traitement de surface doit permettre de préparer la surface du semiconducteur avant le dépôt. On recherchera d'une part à obtenir une surface hydrophile pour éviter la croissance de l'oxyde en îlot et d'autre part à avoir une rugosité d'interface la plus faible possible afin de ne pas dégrader la mobilité des porteurs à l'interface oxyde/semiconducteur. Le traitement par voie humide utilisant des solutions acide (HCl) et basique (NH_4OH) fut la technique retenue durant ces travaux.

Le recuit PDA après dépôt d'oxyde Al_2O_3 a pour rôle de densifier l'oxyde [3] et de minimiser les charges fixes dans l'oxyde [4]. La température de PDA doit être ajustée de manière à ne pas dégrader le matériau InGaAs. En effet la température de sublimation de l'arsenic est aux alentours de 500°C . Toutefois, le recuit PDA peut réduire l'offset de bande ΔE_c entre l'oxyde et

semiconducteur. En effet il a été démontré que la hauteur de barrière de l' Al_2O_3 était abaissée de 0.35eV après un recuit PDA à une température de 600°C [5]. De ce fait, le courant de fuite de grille pourrait augmenter. Les conditions du PDA initialement retenues pour réaliser nos transistors de référence furent fixées à 600°C pendant 1minute sous flux d'azote.

2.2.2.3 Traitements de surface avec HCl/NH₄OH

Le traitement de surface est important pour éliminer les oxydes natifs sur III-V. Ce traitement a été effectué au CEA-LETI. Dans notre travail, différentes solutions comme HCl et NH₄OH ont été étudiées en effectuant des analyses de surface par AFM, d'XPS et d'angle de mouillage.

La mesure d'angle de mouillage montrée figure 29 a été réalisée après différents traitement de surface y compris : 1. HCl/H₂O, 2. HCl/H₂O+NH₄OH/H₂O, 3. NH₄OH/H₂O, d'où si l'angle θ est plus petite que 45°, la surface est hydrophile, tandis que si θ est plus grand que 45°, la surface est hydrophobe. Après la mesure, on observe que la surface après le traitement par HCl/H₂O et HCl/H₂O+NH₄OH/H₂O forme des liaisons As-H et Ga/In-Cl, qui rendent la surface hydrophobe, et qui limitent l'hydrolyse de la surface. Cette hydrolyse étant nécessaire à la croissance de l' Al_2O_3 , on observe une croissance en îlot (figure 31.a).

En revanche le traitement par NH₄OH/H₂O montre un effet de désoxydation permettant d'obtenir une surface InGaAs hydrophile, faisant une croissance planaire (figure 30). Donc NH₄OH/H₂O a été choisi pour le traitement de surface qui favorise la croissance de l'oxyde.

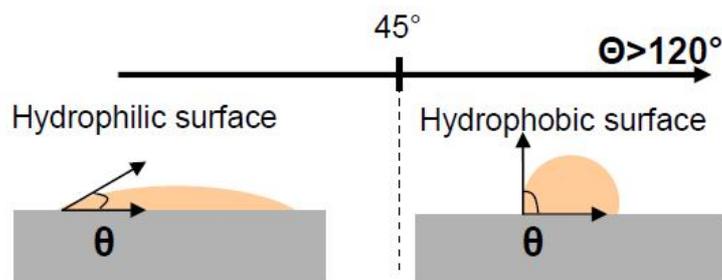


Figure 29 : Démonstration de mesure de l'angle mouillage de surface

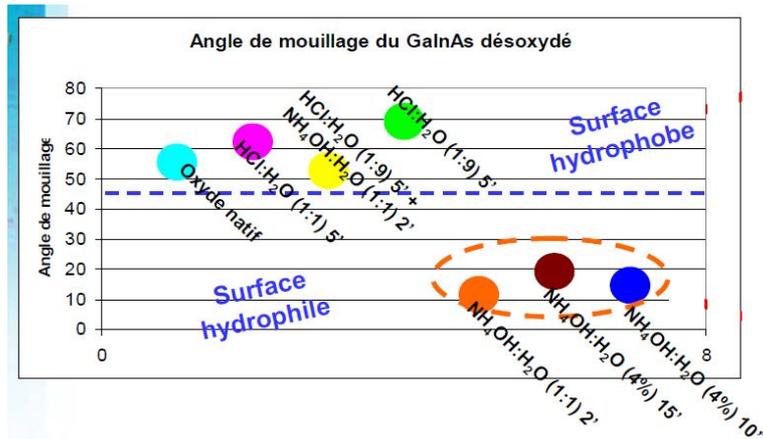


Figure 30 : Résultats obtenus par la mesure d'angle mouillage (réalisé par LETI)

On constate également que le recuit PDA permet d'améliorer légèrement la rugosité d'interface passant de 0.468nm (figure 31.b) à 0.314nm (figure 31.c). Néanmoins, on constate une re-croissance de GaO, due à la présence d'-OH dans l'oxyde après recuit PDA (figure 32.d).

HCl: H₂O (1:1), 5', Al₂O₃ 3nm

NH₄OH 4% 10', Al₂O₃ 3nm

NH₄OH+PDA 600°C 1' N₂

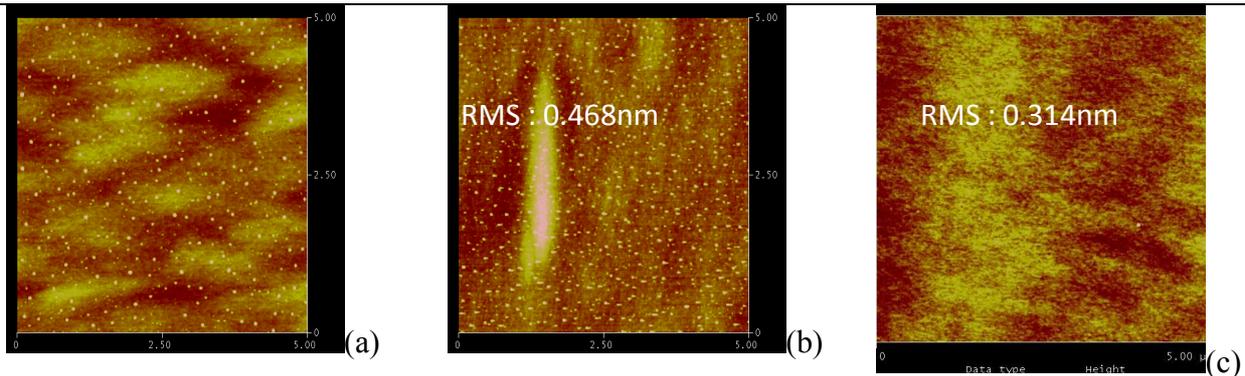


Figure 31 : Images AFM (5μm* 5μm) de surface avec différents traitements de surface et PDA

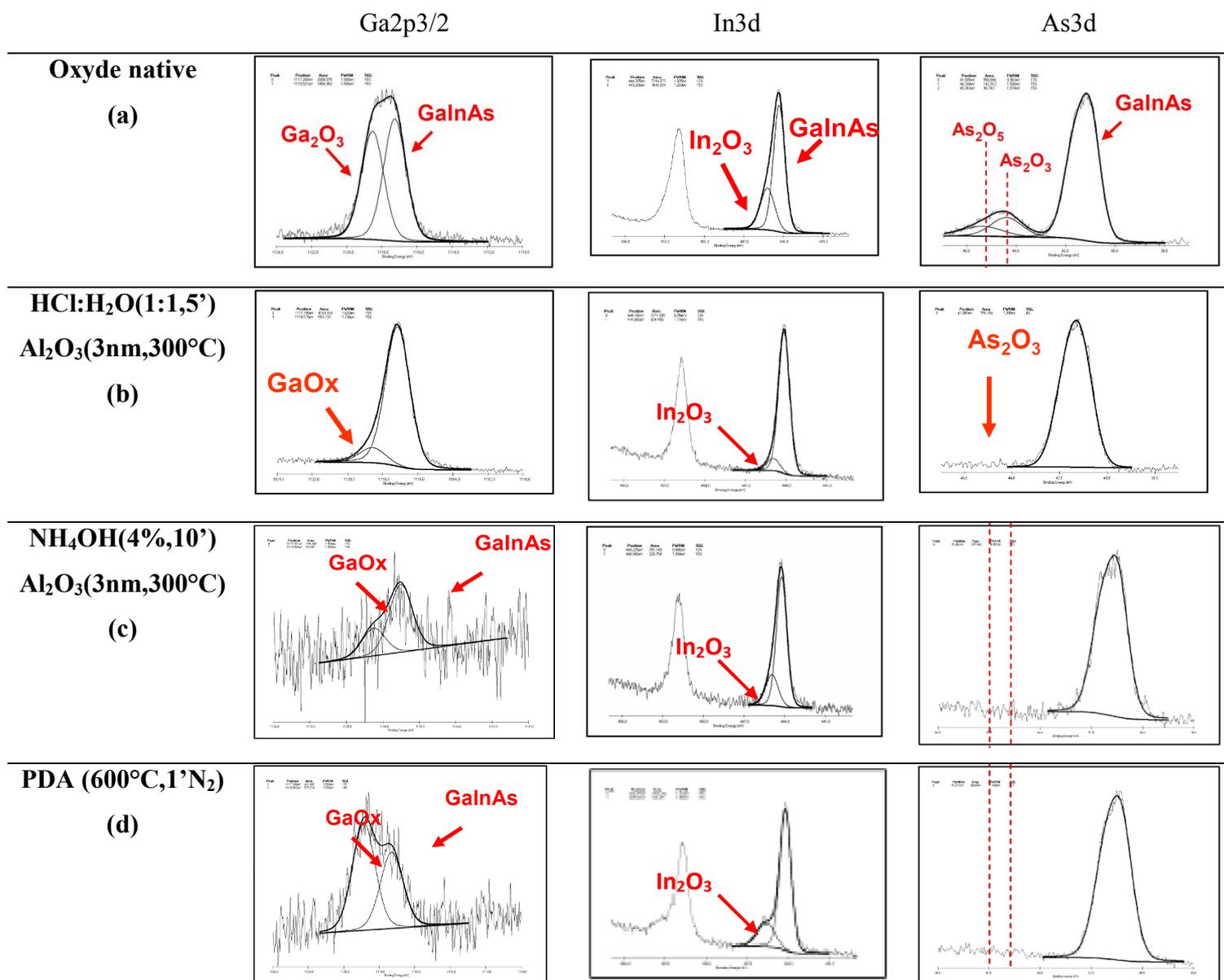


Figure 32 : Analyses XPS avant (a) et après dépôt Al_2O_3 avec différents traitements de surface (b,c,) et analyses XPS après recuit PDA (d)

D'après figure 32, nous voyons que après PDA 600°C sous N_2 , il y a une augmentation de l'oxyde GaO_x , l'oxyde d' In_2O_3 reste faible, et l'oxyde As_2O_3 est hors de détection.

2.2.3 Définition de l'électrode de grille en Tantale

Le Tantale est déposé par pulvérisation cathodique sur la totalité du wafer. Par la suite, une gravure sèche RIE (Reactive Ion Etching) au travers d'un masque de résine est nécessaire afin de définir l'électrode de grille. Cette gravure RIE doit permettre d'obtenir des flancs de grille quasi verticaux facilitant la réalisation des espaces.

Le procédé commence donc par le dépôt de Tantale par pulvérisation cathodique avec l'équipement Pulvérisateur Alliance concept DP 650 disponible au sein de l'IEMN. La longueur de grille est définie par lithographie électronique à l'aide d'une résine négative : l'Hydrogen SilsesQuioxane (HSQ). La résine HSQ subit une réaction de polymérisation par insolation électronique. La HSQ insolée est ensuite développée dans une solution de Tetra-Methyl-Ammonium-Hydroxide (TMAH). Un exemple de résultats obtenus après lithographie est représenté sur la figure 33. Par la suite, le tantale est gravé par plasma RIE à l'aide du mélange de gaz ($\text{SiCl}_2/\text{Cl}_2/\text{Ar}$:5/10/15sccm ; Pression :3mT ; Puissance : 30W) afin d'obtenir des flancs verticaux (figure 34). Cette gravure permet d'obtenir une sélectivité de gravure de l'ordre de 25 entre le Ta et l' Al_2O_3 avec une vitesse de gravure du Ta de l'ordre de 40nm/min. Ainsi, les vitesses de gravure lentes et la sélectivité importante permettent de contrôler précisément cette étape.

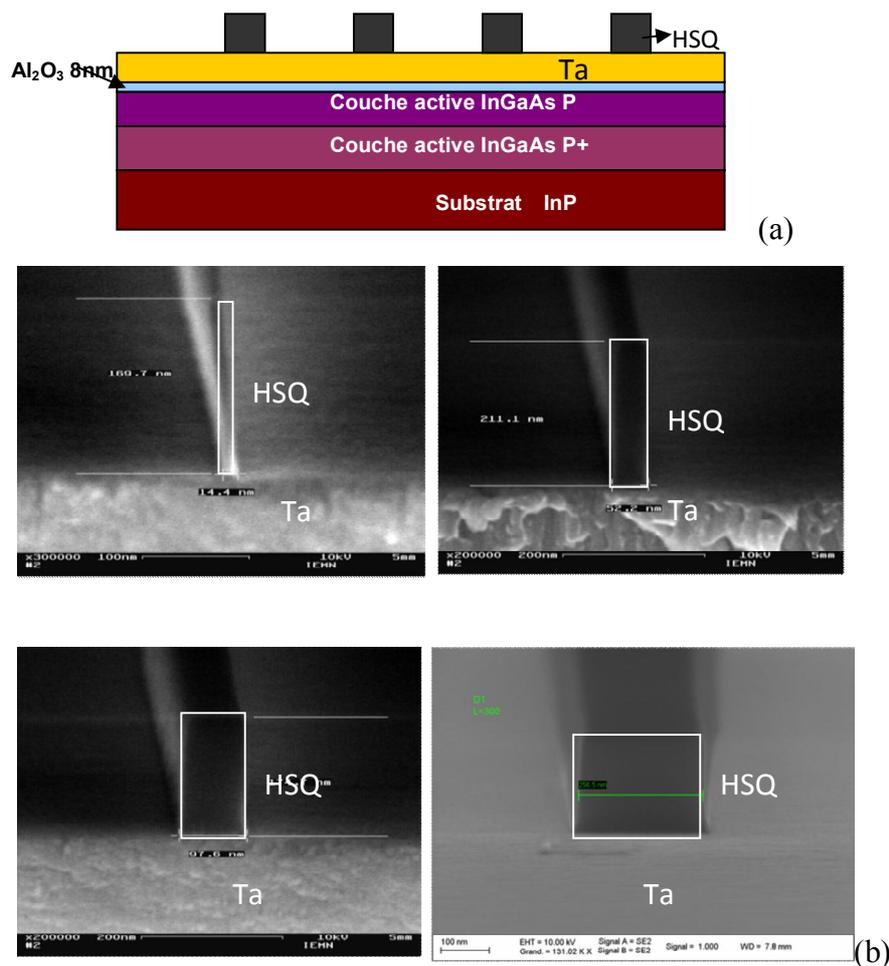


Figure 33 : Schéma représentant la structure après dépôt du Ta et définition du masque de grille HSQ (a). Image MEB représentant différentes longueurs de motif HSQ (b).

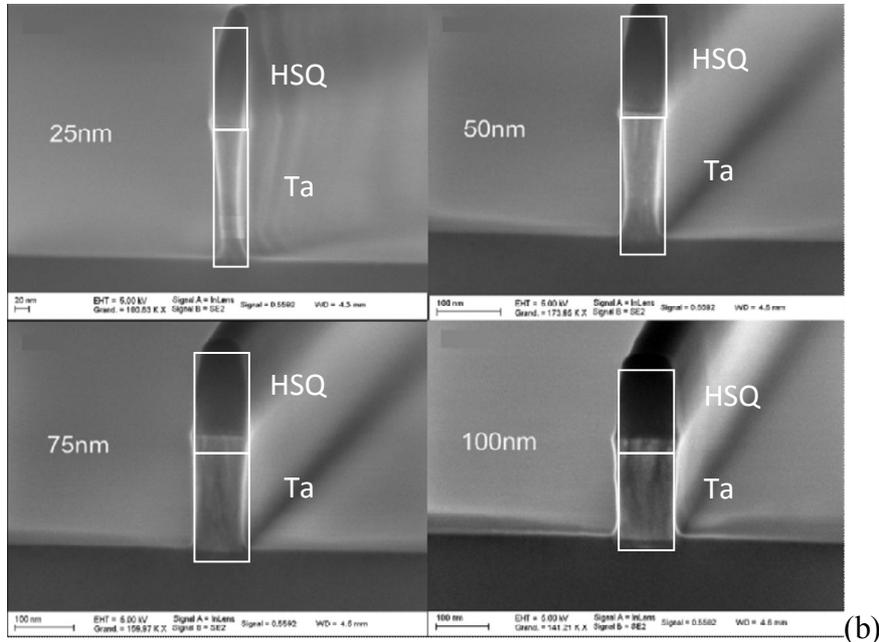
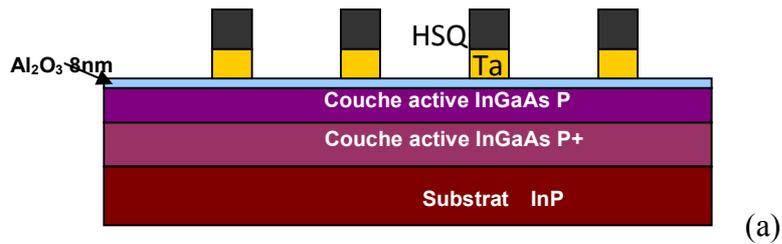


Figure 34 : Schéma représentant la structure après gravure du Ta (a). Image MEB de grilles Ta après gravure du Tantale au travers du masque de grille HSQ.

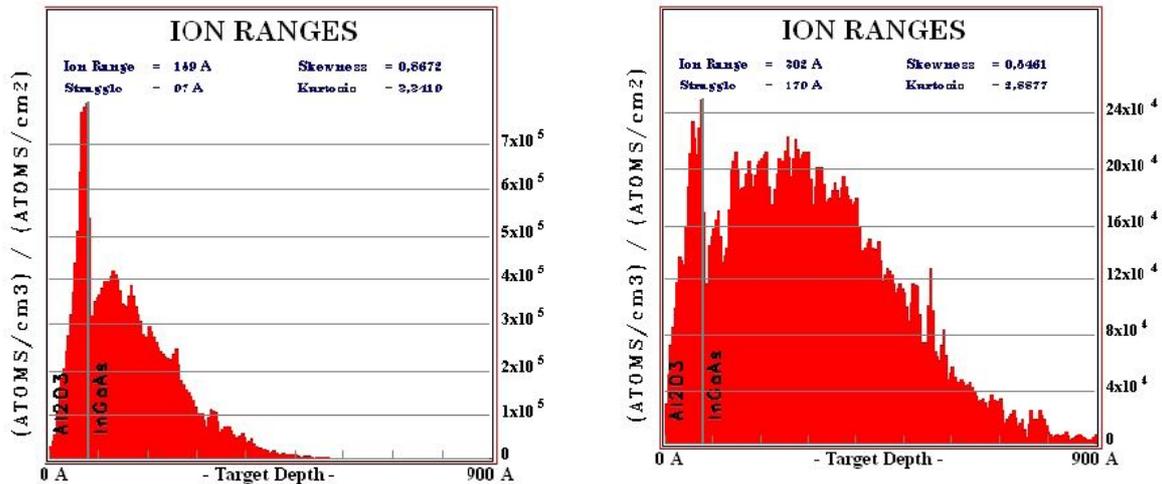
2.2.4 Définition des caissons d'implantations et des espaceurs (side-wall)

L'élaboration des contacts type N de source et de drain avec faible résistivité de contact est indispensable afin de réduire les résistances d'accès du transistor MOSFET. La réalisation de ces contacts nécessite de fabriquer des zones source/drain très dopés par implantation ionique. L'implantation ionique est un procédé d'ingénierie des matériaux. Elle est généralement utilisée pour modifier localement les propriétés électriques d'un semiconducteur en implantant des ions dans celui-ci. Les paramètres principaux de l'implantation sont l'énergie et la dose. L'énergie de faisceau d'ion détermine la profondeur du dopant dans le matériau, et la dose fixera la quantité de charge implantée dans le caisson.

Ici, nous implantons des ions Si^+ servant des dopants de type N pour le matériau $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, au travers de la couche d' Al_2O_3 . Afin d'activer les dopants implantés, un recuit d'activation est nécessaire. Celui-ci a été fixé à 750°C durant 10secondes sous atmosphère N_2 .

Une simulation de l'implantation par logiciel SRIM (Stopping and Range of Ions in Matter) a été réalisée pour estimer qualitativement le profil de l'implantation en utilisant la structure de couche de 8nm Al₂O₃ et 800nm d'In_{0,53}Ga_{0,47}As.

Les résultats de la simulation pour des énergies de 15keV et 30keV sont respectivement représentés sur la figure 35.a et la figure 35.b.



a. Profil de concentration normalisé par rapport à la dose d'ions Si⁺ pour une énergie de 15 keV.

b. Profil de concentrations normalisé par rapport à la dose d'ions Si⁺ pour une énergie de 30 keV.

Figure 35 : Simulation de l'implantation de silicium à 15keV et 30keV par SRIM.

D'après la simulation, on peut constater que l'implantation à 30keV est plus étalée dans le semiconducteur (implantation profonde) contrairement à l'implantation à 15keV où l'implantation est localisée en surface. Cette implantation profonde peut entraîner le court-circuit des caissons source/drain compte tenu de l'implantation latérale associée (diffusion latérale sous la grille). De plus, le pic de concentration normalisée est pratiquement deux fois plus élevé à une énergie de 15keV et est relativement proche de l'interface entre l'oxyde et le semiconducteur. Cet effet permettra d'améliorer la résistance de contact entre le métal et le caisson. Ainsi, à partir de ces simulations, nous avons décidé de travailler à une énergie de 15keV en fixant une dose d'implantation de $5 \cdot 10^{13}/\text{cm}^2$ pour atteindre une concentration moyenne de dopants d'environ $1 \cdot 10^{19}/\text{cm}^3$ sur une profondeur de 20nm.

2.2.4.1 Caractérisation électrique de l'implantation à 15keV

Afin de caractériser électriquement les zones d'implantation après le recuit d'implantation (750°C, 10sec), des structures de type « échelle de résistance » (figure 36) et trèfle de Van

Der Pauw (figure 37) sont réalisées. La séquence métallique utilisée pour définir les électrodes de ces structures est un empilement de Ti/Pt/Au correspondant à l'empilement des contacts ohmiques des transistors MOSFET.

Ainsi, à partir de ces échelles de résistance et en appliquant la méthode TLM (*Transmission Line Model*) montré dans la figure 36 nous avons pu extraire la résistance carrée des zones implantées et la résistance de contact entre l'électrode et le caisson. De plus, la densité de Hall et la mobilité correspondante ont pu être déterminées à partir du trèfle de Van der Pauw en effectuant une mesure de Hall. Les résultats électriques de ces différentes mesures sont représentés dans le tableau 6.

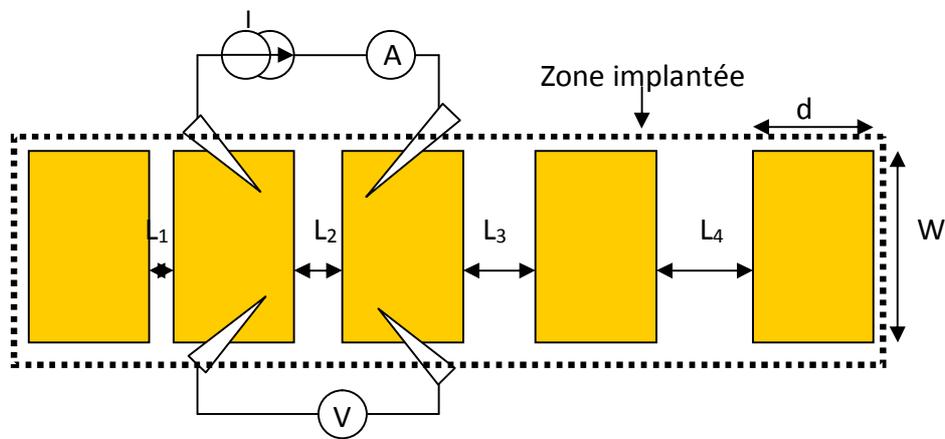


Figure 36 : Figure démonstration pour la mesure TLM

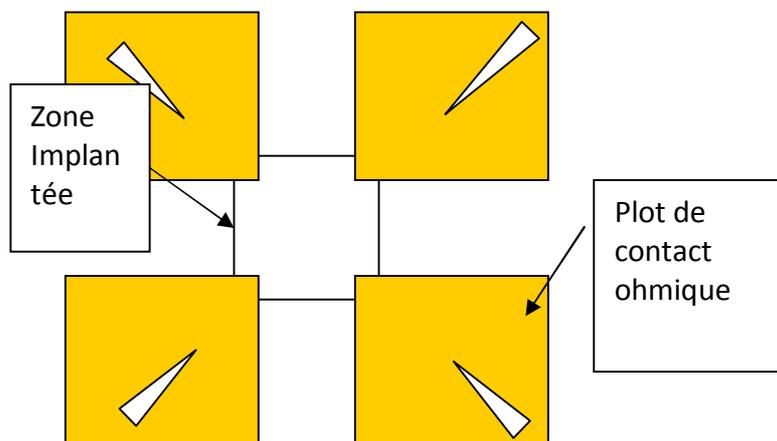


Figure 37 : Trèfle de Van Der Pauw pour mesurer la densité de HALL et la mobilité de zone d'implantation

D'après la mesure TLM (figure 36), la résistance de contact et la résistance de carrée de caisson ont été calculées, et d'après la mesure Trèfle de Van Der Pauw (figure 37), la mobilité et les charges de caisson ont été obtenues avec les valeurs montrées le tableau 6.

Tableau 6 : Mesure TLM et HALL de caisson d'implantation de source/drain

<i>TLM</i>	
$R_{contact}$	0.08Ωmm
$R_{carré}$	120Ω
<i>HALL</i>	
$R_{carrée}$	128Ω
n_H	$-2*10^{13}cm^{-2}$
μ_H	$2420cm^2V^{-1}s^{-1}$

Des résistances de contacts R_c de bonne qualité, inférieure à 0.1 Ωmm, ont pu être obtenues avec ces paramètres d'implantations. Toutefois, la concentration de Hall n_H reste très inférieure à la dose implantée fixée à $5*10^{13}at/cm^2$. Cet écart est lié d'une part au taux d'activation des dopants après recuit dépendant des conditions de l'implantation [6][7][8] et d'autre part à la forte densité de dopants bloqués dans l'oxyde durant l'implantation. En effet, d'après le résultat de la simulation de l'implantation figure 35.a, on constate qu'une forte concentration d'ion Si reste accumulée dans l'oxyde (environ 1/5 de la dose implantée).

Néanmoins, la résistance carrée du caisson d'implantation obtenue est satisfaisante pour obtenir des résistances d'accès de faibles valeurs sur nos transistors MOS.

2.2.4.2 Estimation de la diffusion latérale des dopants

Afin d'estimer la longueur de diffusion latérale de l'implantation, un motif de test spécifique a été conçu sur le masque MOSFET (figure 38). Celui-ci consiste à réaliser des motifs de résine HSQ de largeurs différentes (25nm, 50nm, 75nm, 100nm et 150nm) servant de masque durant l'implantation. Après implantation et activation des dopants, des contacts ohmiques sont positionnés entre chaque ligne de HSQ afin de venir contacter électriquement les zones implantées. Ainsi, à partir d'une mesure courant/tension entre deux contacts et selon la nature des caractéristiques électriques obtenues (ohmique ou schottky), il est possible d'avoir une estimation de la longueur de diffusion latérale de l'implantation.

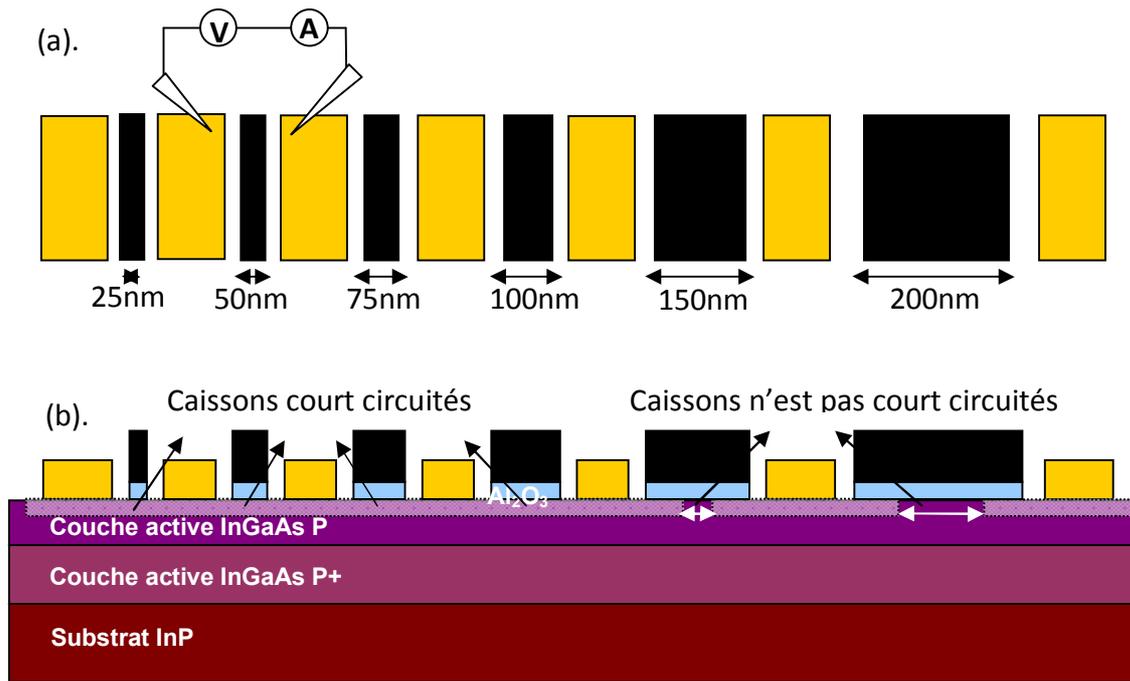
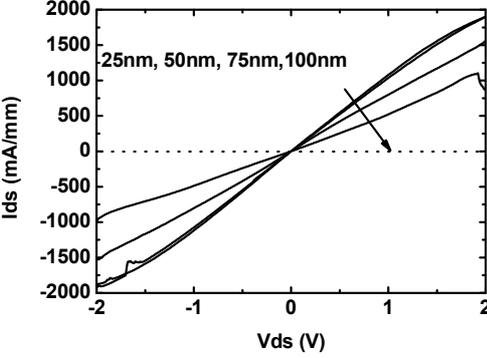
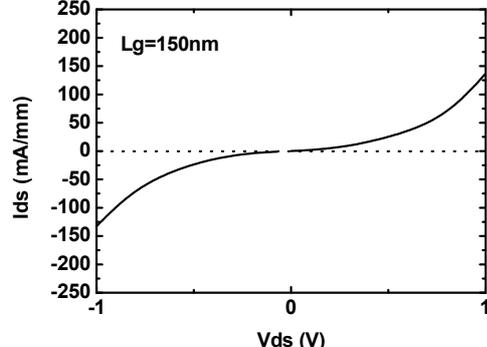


Figure 38 : Structure test (a : vue du dessus et b : vue en coupe) permettant d'estimer la diffusion latérale des caissons.

Le tableau 7 représente les caractéristiques courant/tension mesurées et le type de caractéristiques obtenu selon les largeurs de ligne HSQ. On peut donc observer que pour une largeur de ligne inférieure à 150nm, la caractéristique obtenue est de type ohmique. En revanche, pour une largeur de ligne supérieure à 150nm, la caractéristique devient plutôt Schottky correspondant à deux diodes tête-bêche. Ainsi, l'estimation de la diffusion latérale de l'implantation à 15keV et de dose $5 \cdot 10^{13}$ at/cm² est comprise entre 50nm et 75nm.

Tableau 7 : Caractéristique entre deux caissons d'implantation S/D

Largeur de ligne HSQ	Courbe $I-V$ obtenu	Nature de la caractéristique obtenue
25/50/75/100nm		Ohmique
150nm		Schottky

2.2.4.3 Définition de l'espaceur de Si_3N_4

Après avoir estimée la diffusion latérale des dopants entre 50 et 75nm, la largeur des espaceurs de Si_3N_4 a été fixée à 50nm permettant de décaler la zone de caissons et ainsi d'éviter le court circuit entre deux caissons.

La réalisation de ces espaceurs s'effectue en déposant 50nm de Si_3N_4 par PECVD à 300°C sur la totalité de la plaque (après avoir réalisé au préalable la grille de tantale). Une gravure RIE utilisant une chimie fluorée (mélange de gaz SF_6/Ar) sous les conditions de puissance et de pression respectives de $P_{RIE}=30\text{W}$ et $Pression=3\text{mTorr}$ a permis d'obtenir une gravure anisotrope avec une sélectivité entre Si_3N_4 et Al_2O_3 importante.

La figure de TEM (Transmission Electron Microscopy) ci-dessous (figure 39) montre l'empilement de grille HSQ/Ta/ Al_2O_3 avec espaceur d'environ 30nm. Nous pouvons constater que les espaceurs sont parfaitement définis.

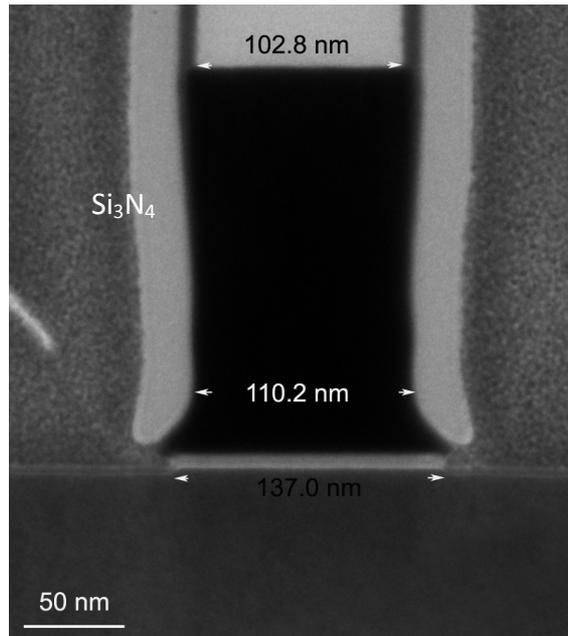


Figure 39 : Image TEM de l'empilement de grille avec l'espaceur d'environ 30nm obtenu

2.2.5 Réalisation de pont air pour la structure multi-doigts

Lors des premiers travaux entrepris au sein du groupe ANODE sur la thématique MOSFET de la filière III-V par Aurélien Olivier [9], l'architecture retenue pour la conception des transistors était une architecture à deux doigts de grille. Les résultats de ces travaux ont montré qu'il était impossible d'extraire le schéma équivalent petit signal du transistor compte tenu de la forte résistance de grille R_g présentée par celui-ci. Celle-ci étant associée à la forte résistivité du métal de grille en Ta évaluée à $1.78 \cdot 10^{-6} \Omega \text{m}$. De plus, cette forte valeur de R_g était pénalisante sur les performances dynamiques de ces composants, plus particulièrement, sur la valeur de la fréquence maximale d'oscillation f_{MAX} . Ainsi, durant ces travaux, nous avons adoptée une architecture de grille-multidoigts afin de réduire la résistance de grille du transistor. En effet la résistance de grille d'un transistor peut s'exprimer par l'équation suivante :

$$R_{G,total} = \frac{R_g}{3 \cdot n^2} \quad (5)$$

Avec $R_g = \frac{\rho W}{L_g t_{metal}}$ est la résistance de grille d'un doigt, W est le développement total du transistor, n est le nombre de doigts de grille, L_g la longueur de grille et t_{metal} l'épaisseur de tantale.

Ainsi, pour une architecture à 2 doigts de grille et pour une longueur de grille de 200nm, d'épaisseur $t_{metal}=200nm$ et de développement unitaire $W=30\mu m$, la résistance de grille est estimée à 111Ω . Cette valeur passe à 1.7Ω pour un transistor à 16 doigts. Durant ces travaux, nous nous sommes limités à une architecture ayant au maximum 16 doigts de grille afin d'éviter des selfs parasites de source trop importantes (liée à la longueur des ponts) et des effets de propagation du signal hyperfréquence sur l'accès de source.

D'un point technologique, l'architecture multi-doigt nécessite une étape supplémentaire dans la fabrication du transistor afin de relier les différentes sources entre-elles. Pour cela, nous avons choisi de les contacter par l'intermédiaire de ponts à air (figure 40).

Le procédé technologique employé pour concevoir ces ponts est basé sur l'utilisation d'un procédé de lithographie de tri-couche. Le détail de ce procédé est schématisé ci-dessous :

1^{ère} étape : concerne la définition des pieds du pont par la résine PMGI SF11 montré dans la figure 41 avec un fluage de résine par recuit après la révélation pour arrondir les flancs de la résine.

2^{ème} étape : concerne la définition du pont en utilisant un procédé bi-couche de résine COPO/PMMA (figure 42).

3^{ème} étape : concerne le dépôt du métal

4^{ème} étape : concerne le lift-off de la métallisation (figure 40)

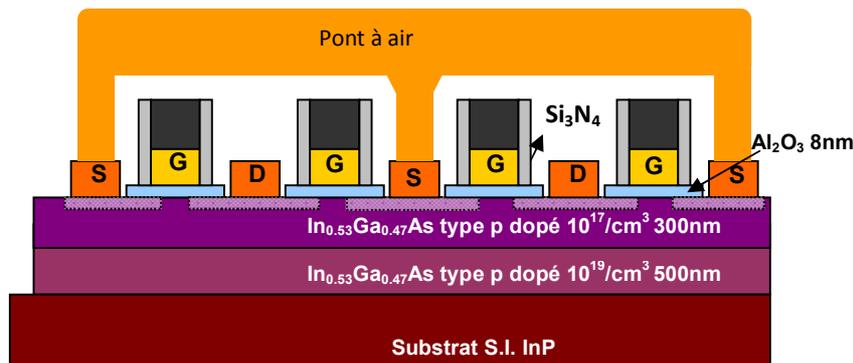


Figure 40 : Structure MOSFET à 4 doigts de grille. Les sources sont reliées par des ponts à air.

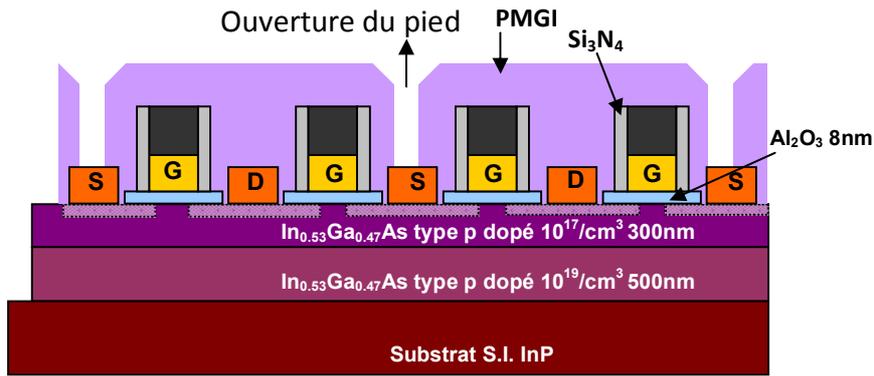


Figure 41 : Démonstration de la finition des pieds du pont à air.

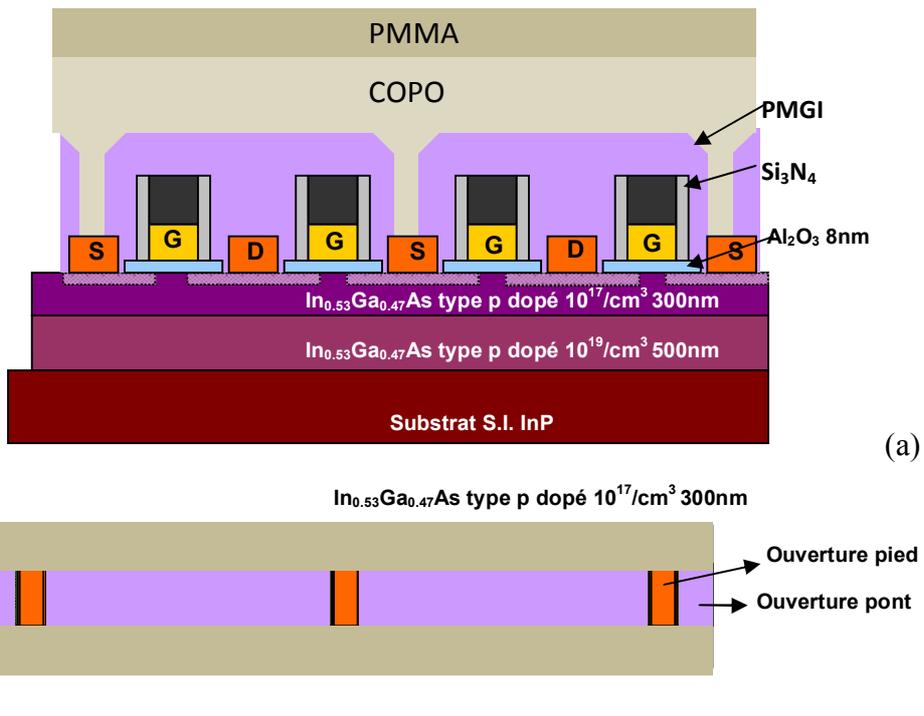


Figure 42 : (a) Dépôt de résine bi-couche pour réaliser le pont air, (b) Vue dessus d'ouverture du pont à air.

La figure 43 montre des images au microscope électronique à balayage (MEB) de MOSFET ayant une architecture multi-doigts de grille.

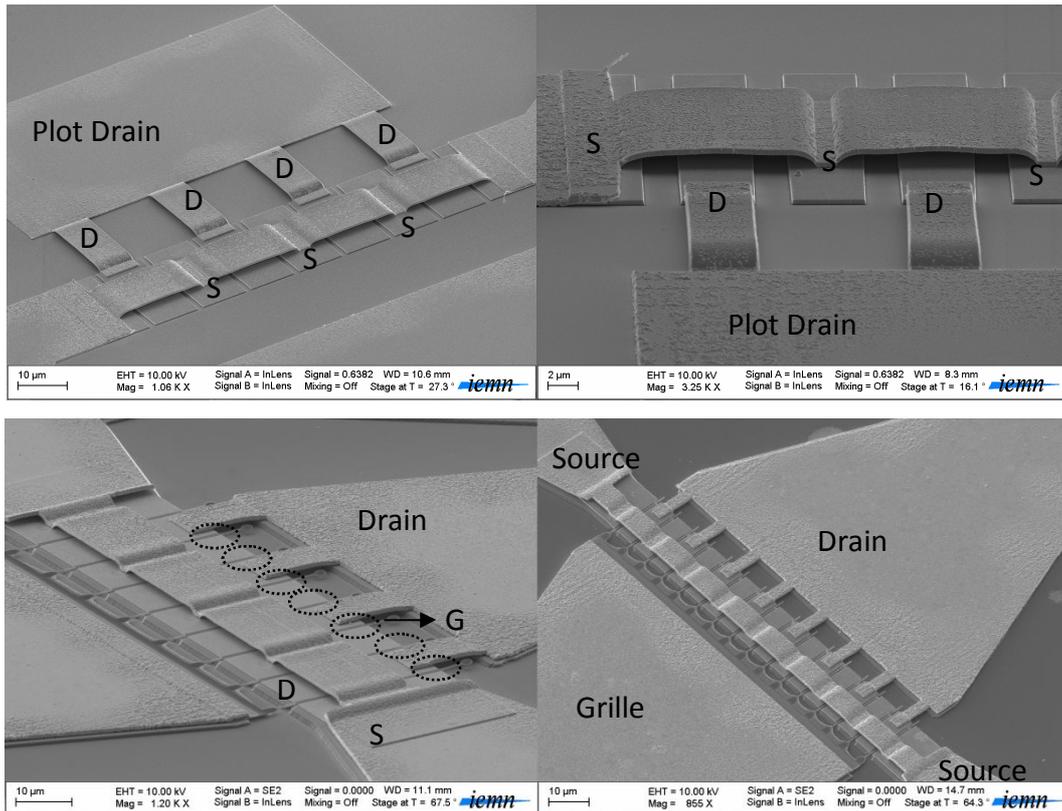


Figure 43 : Image MEB de MOSFET multi-doigts

2.2.6 Fabrication de capacité MOS $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

L'un des obstacles rencontrés pour la réalisation des MOSFET III-V est son interface entre l'oxyde et le matériau III-V avec l'existence de défauts d'interface, qui peut dégrader la commande de charge par la grille suite à un blocage du niveau Fermi. Pour quantifier l'état d'interface entre l'oxyde et le semiconducteur, des capacités MOS ont été conçues avec la même structure de couche épitaxiale que les MOSFET présentés précédemment. Les étapes du procédé sont présentées ci-dessous (figure 44). Ce procédé débute par le dépôt d'oxyde d' Al_2O_3 d'épaisseur 8nm suivi de la réalisation de grille en Ta. Ensuite, après gravure humide de la couche InGaAs dopée à $10^{17}/\text{cm}^3$, le contact ohmique type P est réalisé sur la couche d'InGaAs dopée à $10^{19}/\text{cm}^3$ par évaporation de la métallisation Ti/Pt/Au suivie d'un recuit à 400°C pendant 1 minute sous N_2H_2 . Enfin, des plots d'épaissement sont réalisés en Ti/Pt/Au sur l'électrode de Tantale.

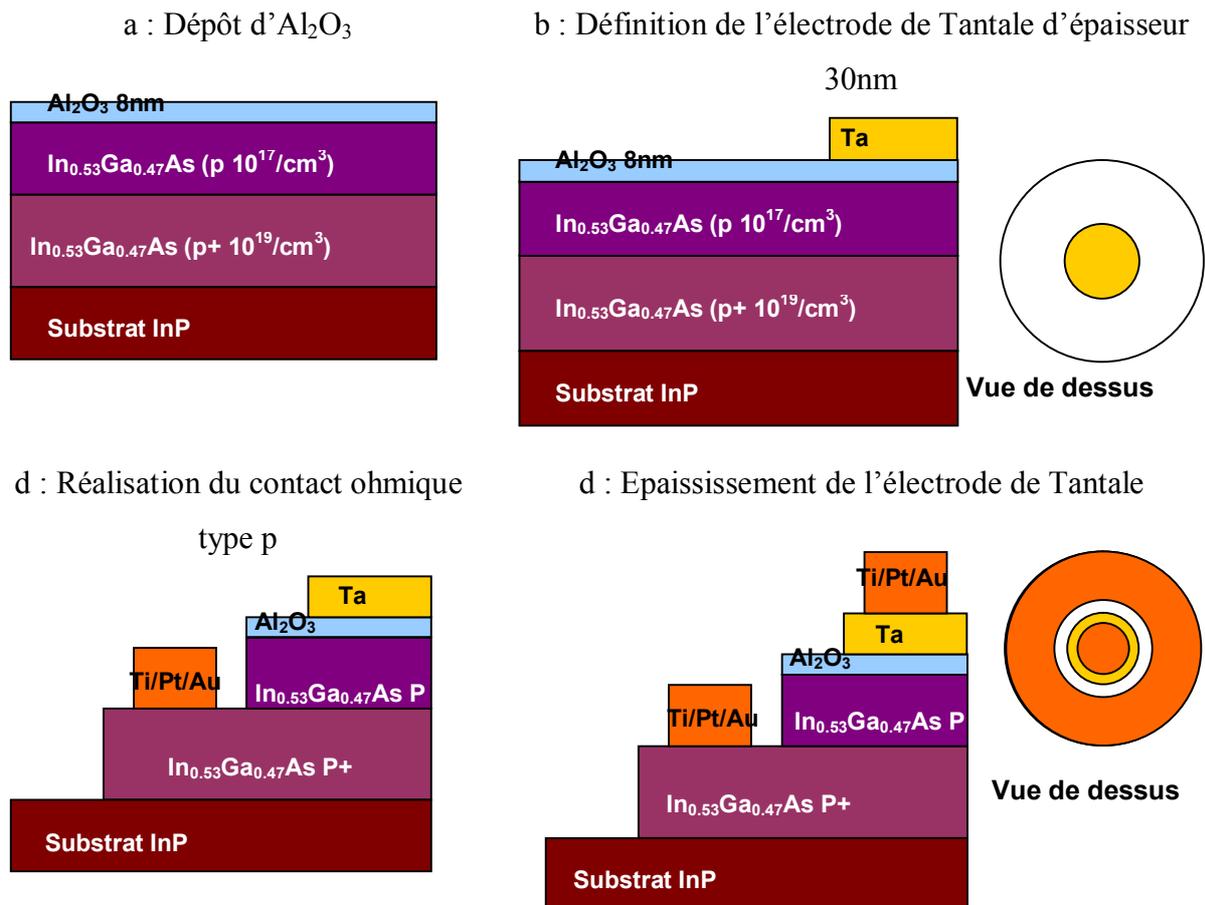


Figure 44 : Procédé de fabrication de capacité MOS InGaAs.

2.2.7 Caractérisation des capacités MOS $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

La mesure de capacité nous sert à la fois à qualifier la commande de charge et à extraire la tension de bande-plate. Des mesures basses et à hautes fréquences nous permettent d'extraire la densité de pièges (D_{it} à l'interface oxyde/semi-conducteur). La caractérisation de capacité MOS nous permet également d'analyser l'état de l'oxyde (charges fixes dans l'oxyde)

Les charges fixes d'oxyde sont des charges positives et négatives dans l'oxyde. Cette densité de charges est en relation avec les conditions de dépôt d'oxyde telles que la température de dépôt, le refroidissement et l'orientation du substrat. Les pièges d'interface sont attribués aux liaisons pendantes et l'oxyde natif à l'interface oxyde/semiconducteur. Leur densité est le plus souvent réduite grâce à des recuits sous gaz (N_2H_2).

2.2.7.1 Méthodes d'extraction du D_{it} et de la tension de Bande plate

La densité de défauts d'interface D_{it} peut être calculée à partir de différentes méthodes telles que la méthode quasi-statique (basse fréquence), la méthode de conductance, la méthode Terman (haute fréquence), Ici, nous utiliserons la méthode haute fréquence-basse fréquence (hf-lf : *high frequency-low frequency*) pour extraire la densité de défaut d'interface.

Cette méthode consiste à comparer les mesures $C-V$ obtenues en basse fréquence (avec l'effet de pièges) avec les mesures $C-V$ obtenues en haute fréquence (libre de l'effet de piège d'interface). A basse fréquence, les pièges d'interface peuvent répondre à la tension alternative appliquée car le phénomène de piégeage-dépiégeage des porteurs sur ces niveaux d'énergie est relativement lent. En haute fréquence, ils n'ont pas assez de temps pour réagir, de ce fait, l'effet des pièges d'interface peut être négligé.

De manière générale, dans une capacité MOS de type N, la charge globale est composée de charges de trous, de charges d'électrons, et de charges de pièges d'interface. La capacité globale peut être représentée comme le montre le schéma figure 45.(a). Pour des tensions de grille négatives (figure 45.(b)), la capacité se trouve en accumulation (forte densité de trous à l'interface). Dans ce cas Q_p domine faisant un court-circuit dans ce schéma. En faible inversion, la charge Q_n apparaît avec la contribution de charges de piège d'interface (figure 45.(c)). Enfin, en forte inversion, les charges Q_n dominent faisant un court circuit du schéma (figure 45.(d)). Donc, le D_{it} ne peut être extrait que dans les zones de déplétion/faible inversion.

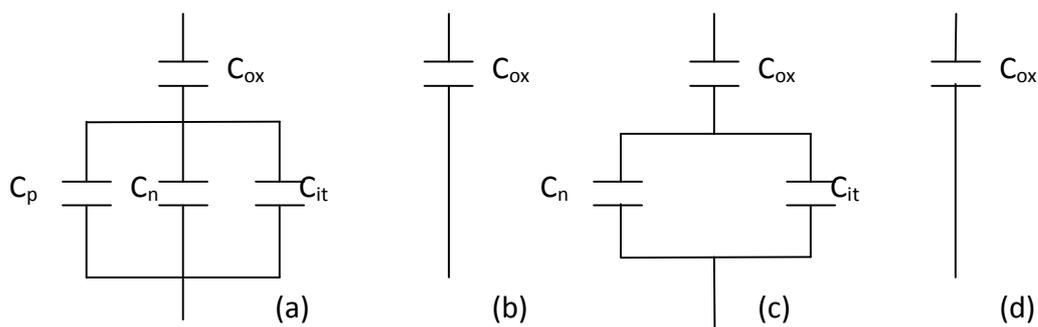


Figure 45 : Schéma équivalent de la capacité de grille selon la zone de fonctionnement de la capacité. (a) capacité globale ; (b) capacité en mode d'accumulation ; (c) capacité en mode faible inversion ; (d) capacité en mode forte inversion.

La capacité à basse fréquence en déplétion inversion est donnée par formule (6)

$$C_{lf} = \left(\frac{1}{C_{ox}} + \frac{1}{C_s + C_{it}} \right)^{-1} \quad (6)$$

D'où C_s représente la capacité du semi-conducteur à basse fréquence, C_{it} est en relation avec la densité de pièges d'interface par $D_{it} = C_{it}/q^2$. D'où :

$$D_{it} = \frac{1}{q^2} \left(\frac{C_{ox} C_{lf}}{C_{ox} - C_{lf}} - C_s \right) \quad (7)$$

La capacité C_s peut être calculée via les données $C-V$ à haute fréquence :

$$C_s = \frac{C_{ox} C_{hf}}{C_{ox} - C_{hf}} \quad (8)$$

En combinant les données $C-V$ à haute et à basses fréquences, l'équation (7) devient :

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1 - C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1 - C_{hf}/C_{ox}} \right) \quad (9)$$

Cette équation donne une densité dans un intervalle limité de la bande interdite (de la zone de déplétion jusqu'au début de la forte inversion).

Le potentiel de surface Φ_s peut être calculé par l'équation (10)

$$\phi_s(V_g) = \int_{V_{FB}}^{V_g} \left(1 - \frac{C_{lf}}{C_{ox}} \right) dV_g \quad (10)$$

Par cette expression, le D_{it} peut être tracé en fonction de la position du niveau de Fermi dans la bande interdite $E-E_v$.

2.2.7.2 Détermination de la tension de bande-plate d'une capacité MOS.

La tension de bande-plate V_{FB} peut être extraite grâce au tracé $(1/C_{hf})^2$ ou $1/(C_{hf}/C_{ox})^2$ en fonction de V_g , comme indiqué dans la figure 46. L'intersection de la partie linéaire avec la partie plate de la courbe $1/(C_{hf}/C_{ox})^2$ nous donne la tension de bande plate V_{FB} , ou le maximum de deux fois dérivé de $1/(C_{hf}/C_{ox})^2$.

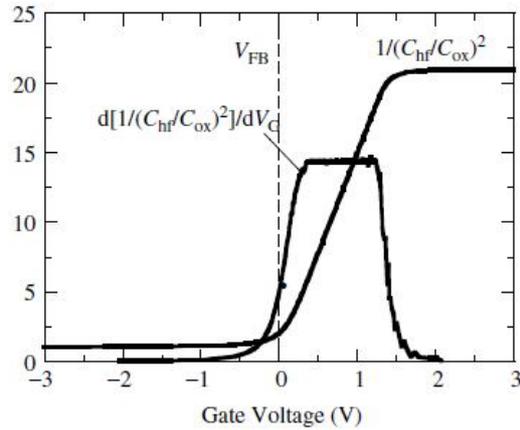


Figure 46 : Courbe dérivée de caractéristiques $C-V$ permettant l'extraction de la tension de bande-plate [10].

2.2.7.3 Résultats expérimentaux

La mesure des capacités MOS a été réalisée à l'aide de l'analyseur d'impédance Agilent 4294A. L'analyseur extrait l'impédance Z_{MES} de notre structure en le mettant sous la forme d'un modèle RC parallèle. Cependant, nous devons prendre en compte certains éléments parasites associés à notre structure (figure 47). Ces éléments parasites correspondent d'une part à la capacité électrostatique C_{para} entre les deux électrodes et d'autre part à la résistance d'accès à la zone active R_s de la capacité. Ainsi, le schéma équivalent complet associé à la capacité MOS est représenté figure 48.a.

Afin de voir l'influence de ces éléments parasites sur le modèle RC parallèle donné directement par l'analyseur, nous avons extrait ces éléments parasites en effectuant une mesure en très haute fréquence jusqu'à 60GHz. En effet, à partir d'une certaine fréquence, les impédances des capacités devenant plus faibles que les résistances R_s et R_g et la capacité C_{para} étant plus faible que C_g , nous pouvons mettre le schéma équivalent sous forme représentée figure 48.b. De cette manière, nous pouvons déduire très simplement la valeur de ces éléments parasites. Les figures 49 et 50 représentent respectivement l'évolution de la partie imaginaire de l'admittance Y_{MES} divisée par la pulsation et l'évolution de la partie réelle de l'impédance Z_{MES} en fonction de la fréquence pour une polarisation comprise entre -1V et 1V.

A partir de ces figures, nous pouvons constater qu'au-delà de 20GHz, ces évolutions deviennent indépendante de la fréquence et que les valeurs extraites dans cette zone correspondent directement à R_s (figure 50) et C_{para} (figure 49). Nous trouvons donc que $R_s = 0.004\Omega$ et $C_{para} = 5fF$

Ainsi, l'impédance C_{para} étant très élevée vis-à-vis de celles de C_g et R_s qui sont très faibles, nous pouvons considérer que le modèle RC parallèle donné directement par l'analyseur correspond à R_g et C_g de la zone active de la capacité

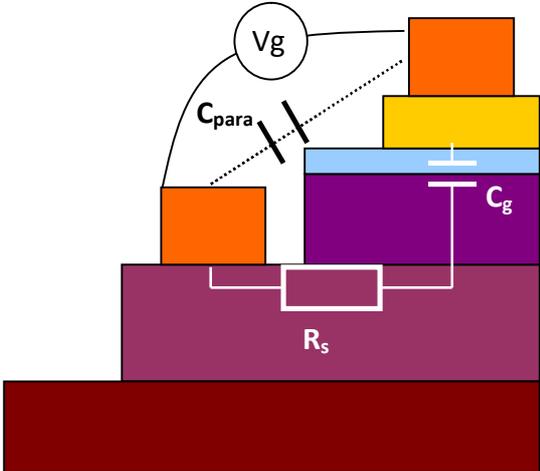


Figure 47 : Représentation des éléments parasites associés à la structure de la capacité

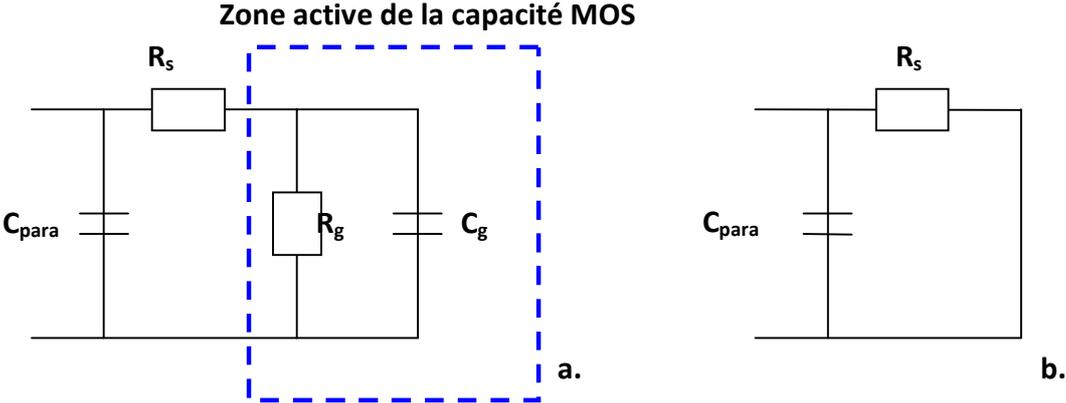


Figure 48 : a. Schéma équivalent de la capacité MOS ; b. schéma équivalent de la capacité MOS à très haute fréquence

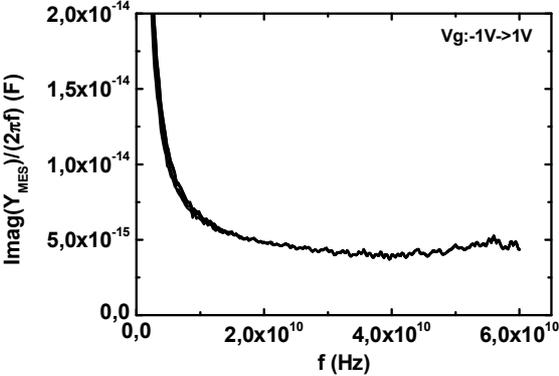


Figure 49 : Evolution de $Imag(Y_{mes})/(2\pi f)$ en fonction de la fréquence pour différentes polarisations de la capacité.

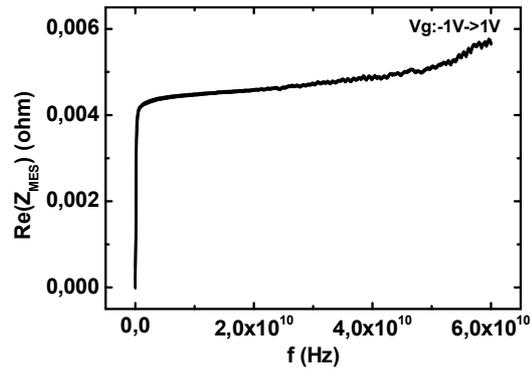


Figure 50 : Evolution de $Re(Z_{mes})$ en fonction de la fréquence pour différentes polarisations de la capacité.

La figure 51 représente l'évolution de la capacité en fonction de la tension de grille appliquée de la zone d'accumulation jusqu'à la forte inversion. L'évolution du $C-V$ est paramétrée en fréquences allant de 95Hz jusqu'à 1Mz. A partir de la méthode $hf-lf$ présentée précédemment, la densité de défaut d'interface a été calculée (figure 52). Celle-ci se situe aux alentours de $10^{12}-10^{13}/\text{cm}^2\text{eV}$ en faible inversion et est beaucoup importante que ce qui est obtenu pour une interface Si/SiO₂ ($\sim 10^{10-11}/\text{cm}^2\text{eV}$).

La tension de bande-plate extraite est de -0.75V correspondant quasiment à la valeur théorique de -0.8V.

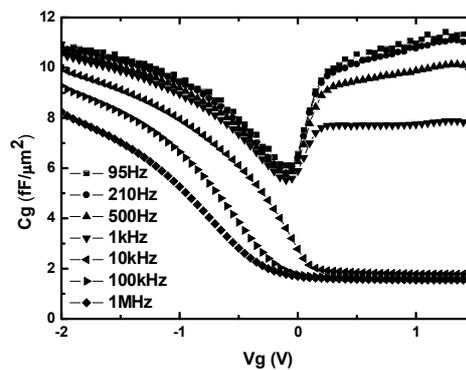


Figure 51 : Evolution de la capacité MOS In_{0.53}Ga_{0.47}As avec 8nm d'Al₂O₃

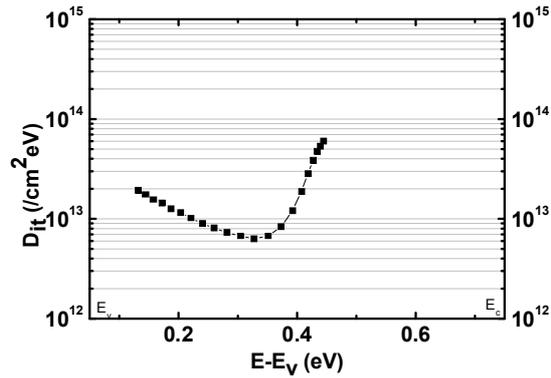


Figure 52 : Evolution de la densité de défauts d'interface (D_{it}) dans la bande interdite extraite de la mesure de la capacité MOS $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de la figure 51.

2.2.8 Caractérisation de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts

Dans cette section, les caractérisations statiques et dynamiques de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en technologie « Gate-First » vont être présentées avec différentes longueurs de grille comprises entre 50nm et 200nm et ayant un développement total de 240 μm .

2.2.8.1 Caractéristiques statiques MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts

Les figures 53-56 montrent respectivement les caractéristiques $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de longueur de grille de 50nm, 100nm, 150nm, et 200nm pour une tension de body V_b fixée à 0V.

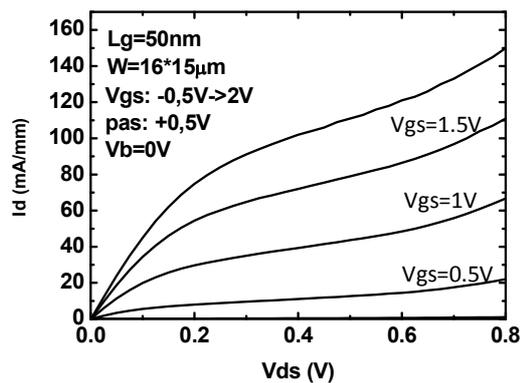


Figure 53 : Caractéristiques $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=50\text{nm}$
Mettre tension V_{gs} sur tous les graphes !

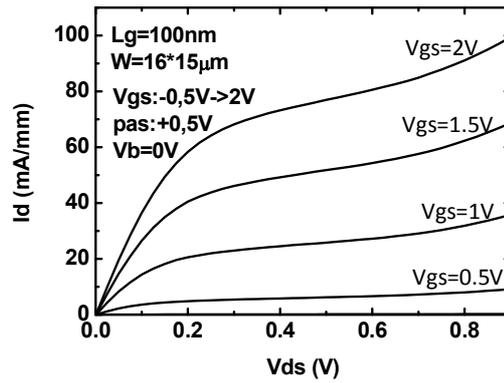


Figure 54 : Caractéristiques $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=100\text{nm}$

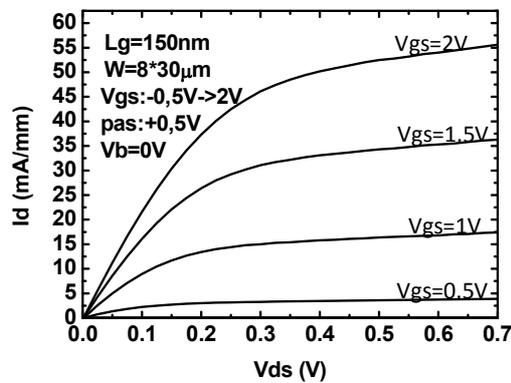


Figure 55 : Caractéristiques $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=150\text{nm}$

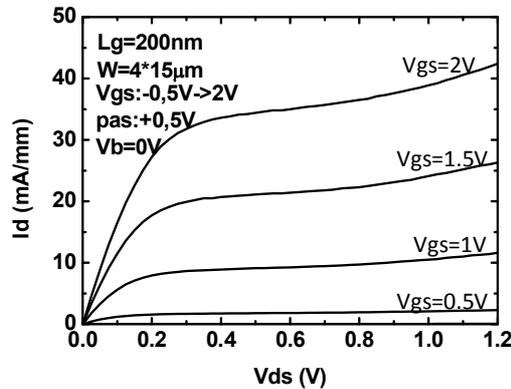


Figure 56 : Caractéristiques $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=200\text{nm}$

La figure 57-60 montrent les caractéristiques de $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de différentes longueurs de grille avec les tensions V_b appliqués sur le body (contact de substrat) de 0.1V, 0.3V et 0.6V. On peut observer :

- Un contrôle de la tension de seuil V_{TH} par le body avec la tension V_b appliqué. Cette décalage de la tension de seuil V_{TH} est moins prononcée sur petite longueur de grille à cause de l'effet canal court.
- Une légère amélioration de la commande de charge par la tension de body V_b due à l'amélioration du confinement de la couche d'inversion.

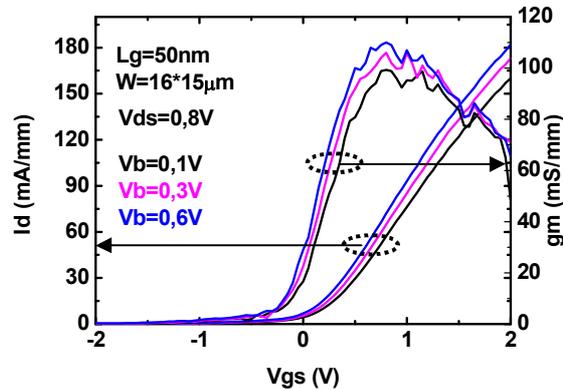


Figure 57 : Caractéristiques $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=50\text{nm}$

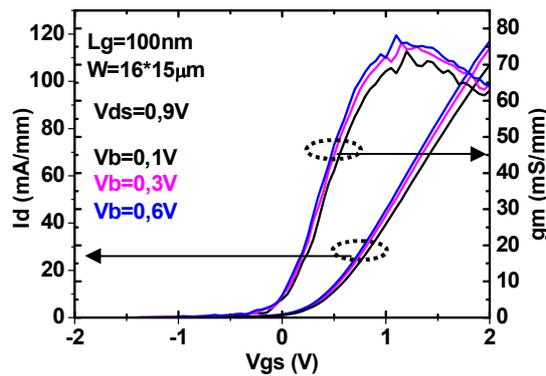


Figure 58 : Caractéristiques $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=100\text{nm}$

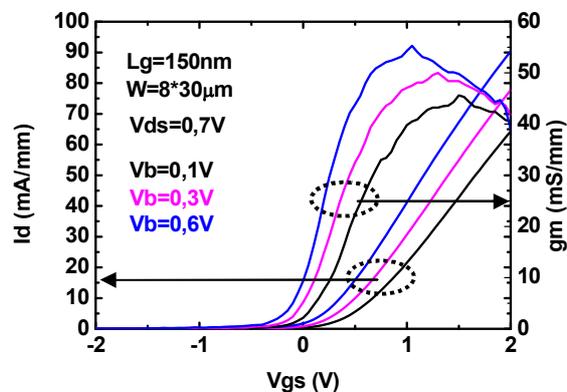


Figure 59 : Caractéristiques $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=150\text{nm}$

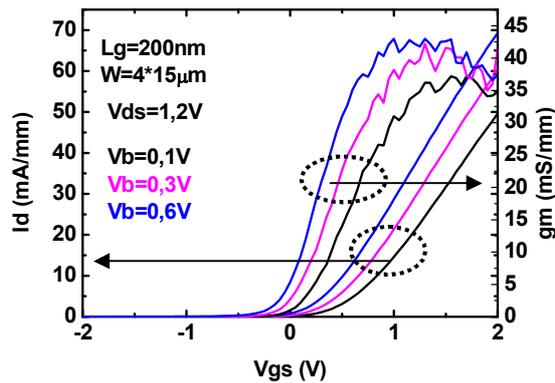


Figure 60 : Caractéristiques $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de $L_g=200\text{nm}$

Les caractéristiques supplémentaires concernant le SS , $DIBL$, I_{ON}/I_{OFF} , I_{dmax} et g_{mmax} pour chaque longueur de grille sont résumées dans le tableau 8. Le courant drain I_d et la transconductance g_m obtenus n'atteignent pas l'état de l'art (1A/mm de I_d et 1S/mm de g_m). Le SS et $DIBL$ restent également très élevés. Le $DIBL$ et SS pour 50nm sont plus élevés par rapport à des longueurs de grille plus longues, ce qui peut être dû à des effets de canal court. Cependant le I_{ON}/I_{OFF} pour 50nm est d'environ 10^4 ce qui est acceptable avec un I_{OFF} d'être 0.01mA/mm. Les valeurs élevées du D_{it} peuvent être la raison principale des mauvaises performances DC obtenues sur ces transistors.

Tableau 8 : Récapitulatif des performances DC de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts.

L_g (nm)	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	$SS@V_{ds}=0,1V$ (mV/dec)	$DIBL$ (mV/V)	I_{ON}/I_{OFF} @ $V_{ds}=0,1V$	I_{ON}/I_{OFF} @ $V_{ds}=0,8V$	f_T (GHz)	f_{MAX} (GHz)
50	180	110	495	400	$3.8 \cdot 10^5$	$1.3 \cdot 10^4$	150	47
100	110	75	386	200	$3.7 \cdot 10^5$	$4.8 \cdot 10^4$	100	31
150	90	55	339	100	$2.2 \cdot 10^5$	$6.9 \cdot 10^4$	x	X
200	70	45	195	200	$4.2 \cdot 10^5$	$1.1 \cdot 10^5$	80	18

Pour confirmer l'effet de la dégradation de la commande de charge lié au D_{it} , une simulation de Monte Carlo a été faite par Shi [11] de l'IEF en prenant la valeur expérimental du D_{it} obtenue sur les capacités MOS type N (évolution du D_{it} en fonction V_g)

Comme le montre dans la figure 61, les variations du potentiel de surface (écart d'énergie entre le bas de la bande de conduction dans le volume du semiconducteur et le bas de la bande de conduction à l'interface oxyde/semiconducteur) sont moins importantes avec D_{it} que sans

D_{it} à cause de l'accrochage du niveau de Fermi. Le potentiel de grille, en présence d'un D_{it} important, doit commander les états d'interfaces en plus de la densité d'électrons dans le canal. De plus, la valeur maximale du potentiel de surface est fortement limitée en présence de D_{it} conduisant ainsi à une plus faible densité d'électron sous la grille en régime d'inversion. La figure 62 confirme ces propos. En effet, on observe que la densité maximale d'électrons dans le canal en régime d'inversion est plus faible d'environ 2 décades en présence de D_{it} .

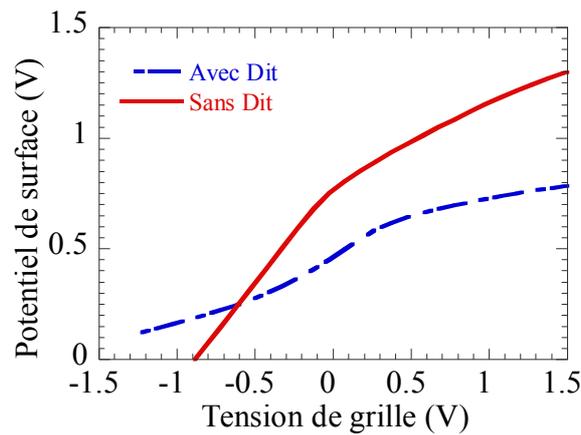


Figure 61 : Evolution du potentiel de surface en fonction de la tension de grille avec et sans D_{it} ($6 \cdot 10^{12}/\text{cm}^2\text{Vs}$). [11]

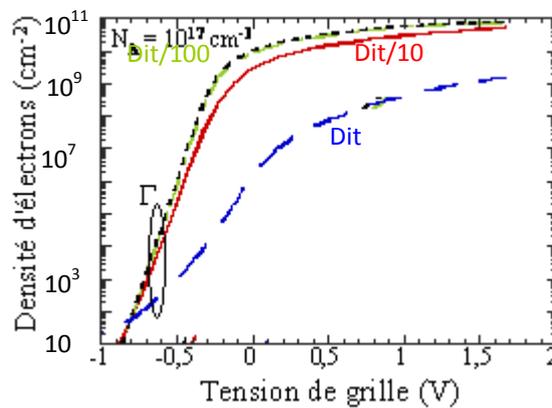


Figure 62 : Evolution de la densité d'électrons en vallée Γ en fonction de la tension de grille avec D_{it} ($6 \cdot 10^{12}/\text{cm}^2\text{Vs}$) [11].

2.2.8.2 Mesure dynamique MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts de grille ($W=16 \times 15 \mu\text{m}$)

Dans cette partie, les résultats dynamiques de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts de grille seront présentés avec tout d'abord les mesures des gains. Nous présenterons ensuite la méthodologie d'extraction du schéma équivalent petit-signal des transistors MOS et de la

mobilité effective du canal d'inversion. Les mesures ont été faites en utilisant l'analyseur de réseau d'Agilent (PNA) capable d'effectuer des mesures jusque 67GHz.

2.2.8.2.1 Résultats expérimentaux de la mesure du gain sur MOSFET $In_{0.53}Ga_{0.47}As$ multi-doigts de grille

Les évolutions fréquentielles du Gain unilatéral de Mason U et du gain en courant $|H_{21}|^2$ des MOSFET pour différentes longueurs de grille et pour une polarisation V_{gs} , V_{ds} optimale sont représentées figure 63 à 65. La fréquence de coupure du gain en courant f_T et la fréquence maximale d'oscillation f_{MAX} sont également indiquées sur ces différents tracés.

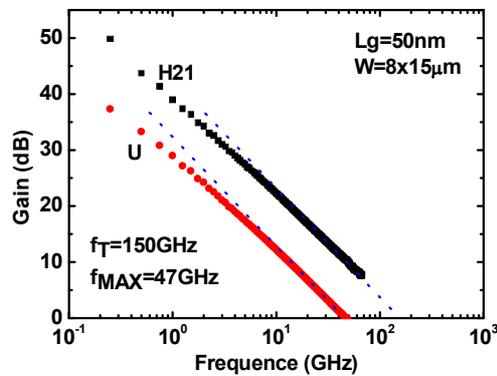


Figure 63 : Evolution fréquentielle du gain en courant $|H_{21}|^2$ et du gain unilatéral de Mason U , pour un MOSFET de longueur de grille 50nm et de développement $8 \times 15 \mu m$, polarisé à $V_{ds}=0.8V$, $V_{gs}=1.2V$, et $V_b=0.6V$.

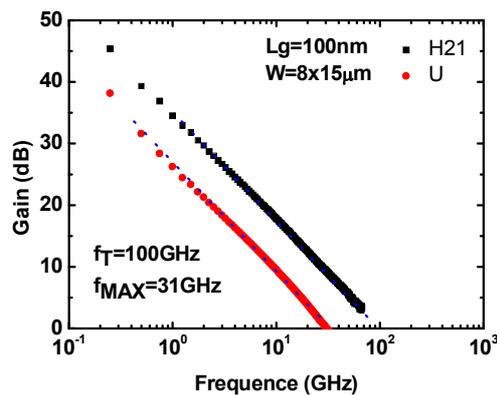


Figure 64 : Evolution fréquentielle du gain en courant $|H_{21}|^2$ et du gain unilatéral de Mason U , pour un MOSFET de longueur de grille 100nm et de développement $8 \times 15 \mu m$, polarisé à $V_{ds}=0.9V$, $V_{gs}=1.8V$, et $V_b=0.6V$.

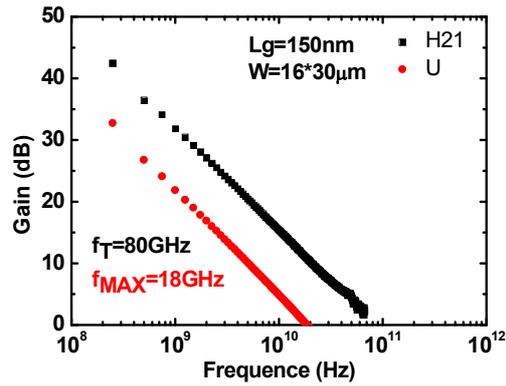


Figure 65 : Evolution fréquentielle du gain en courant $|H_{21}|^2$ et du gain unilatéral de Mason U , pour un MOSFET de longueur de grille 150nm et de développement $8 \times 15 \mu\text{m}$, polarisé à $V_{ds}=1V$, $V_{gs}=2V$, et $V_b=0.6V$.

D'après les résultats ci-dessus, les meilleures fréquences de coupure ont été obtenues pour une longueur de grille de 50nm avec un f_T de 150GHz et un f_{MAX} de 47GHz. Etonnamment, malgré les faibles performances statiques observées sur ces transistors (figure 57 : $I_{dMAX}=180\text{mA/mm}$, $g_{mMAX}=110\text{mS/mm}$), les fréquences de coupures restent relativement élevées et sont à l'état de l'art. Afin d'expliquer ces résultats, nous avons voulu extraire le schéma équivalent petit-signal des transistors.

2.2.8.2.2 Extraction du schéma équivalent petit signal de MOSFET InGaAs multi-doigt

Dans cette partie, nous présentons tout d'abord la méthodologie d'extraction du schéma équivalent petit signal puis les résultats expérimentaux.

Méthodologie d'extraction du schéma équivalent petit signal des transistors MOSFET multi-doigts

Autour d'un point de polarisation, le schéma équivalent petit-signal d'un transistor MOSFET peut se mettre sous la forme du schéma représenté sur la figure 66.

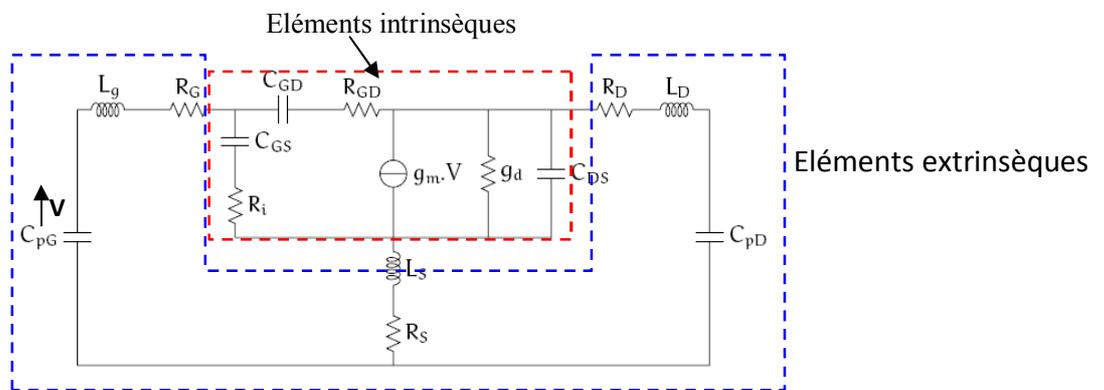


Figure 66 : Schéma équivalent petit signal de MOSFET.

Les éléments de ce schéma sont classés en deux catégories :

- Les éléments extrinsèques c'est-à-dire en dehors du dispositif actif, indépendants du point de polarisation du transistor. Il s'agit de :

L_G, L_S, L_D : les inductances, respectivement de grille, de source et de drain ;

R_G, R_S, R_D : les résistances, respectivement de grille, de source et de drain ;

C_{PG}, C_{PD} : les capacités plots ou parasites, respectivement de grille et de drain ;

- Les éléments dits intrinsèques c'est-à-dire caractérisant les dispositifs actifs, dépendants de la polarisation. Il s'agit de :

C_{GS}, C_{GD}, C_{DS} : les capacités, respectivement de grille-source, de grille-drain, et de drain-source ;

R_{GD}, R_i : la résistance de grille-drain, et la résistance intrinsèque ;

g_m : la transconductance ;

g_d : la conductance de sortie.

Comme nous l'avons précédemment indiqué, l'architecture multi-doigts retenue durant ces travaux nécessite la réalisation de pont à air. Ces ponts à air induisent dans le schéma dynamique du transistor des éléments parasites supplémentaires. Ces éléments parasites doivent être pris en compte dans la mesure des paramètres S . Ainsi, afin d'extraire les éléments dynamiques du transistor seul, nous avons appliqué la méthode proposée par Koolen [12]. Cette méthode consiste à mesurer la matrice d'erreur associée aux accès du transistor afin de les retrancher des mesures des paramètres S_{ij} brutes. Dans notre cas, ces accès correspondent aux accès coplanaires du transistor et aux ponts à air. Deux structures sont à réaliser sur le masque du transistor, il s'agit d'une structure de type 'open', et d'une structure de type 'short', montré dans la figure 67. Ainsi, il devient possible de retrancher les éléments parasites de ces accès et d'extraire la matrice Y_{trans} du transistor par la formule (11).

$$Y_{trans} = ((Y_{dut} - Y_{open})^{-1} - (Y_{short} - Y_{open})^{-1})^{-1} \quad (11)$$

Où Y_{dut} représente la matrice Y brute, Y_{open} la matrice Y de la structure open, Y_{short} la matrice Y de la structure short.

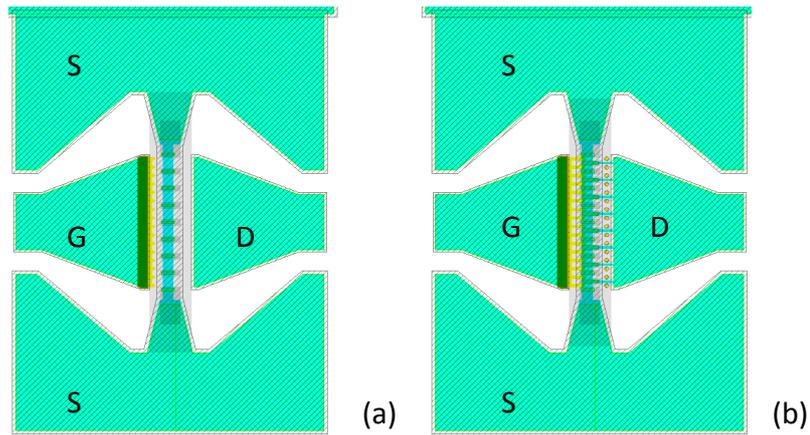


Figure 67: Structures ‘open’ (a) et ‘short’ (b) utilisées pour retrancher la matrice d’erreur associée aux accès coplanaires du transistor.

La méthode d’extraction du schéma équivalent du MOSFET a été proposé par Bracale [13]. La méthodologie d’extraction des éléments intrinsèques du transistor est montrée ci-dessous avec la figure 68. Celle-ci utilise la méthode de « l’épluchage » proposée par Koolen [12] pour l’extraction de schéma équivalent de transistor MOSFET sur silicium. A partir de la matrice Y_{trans} , nous retranchons les capacités de plot de C_{PG} et C_{PD} . Puis, les paramètres Y obtenus sont convertis en paramètre Z afin de retrancher les éléments série extrinsèque R_S , R_D , R_G et les inductances L_S , L_D , L_G . Enfin, la matrice Z obtenue est convertie en matrice Y . Cette matrice, nommée Y_{int} , permettra de déterminer les éléments intrinsèques de schéma équivalent montré dans la figure 66.

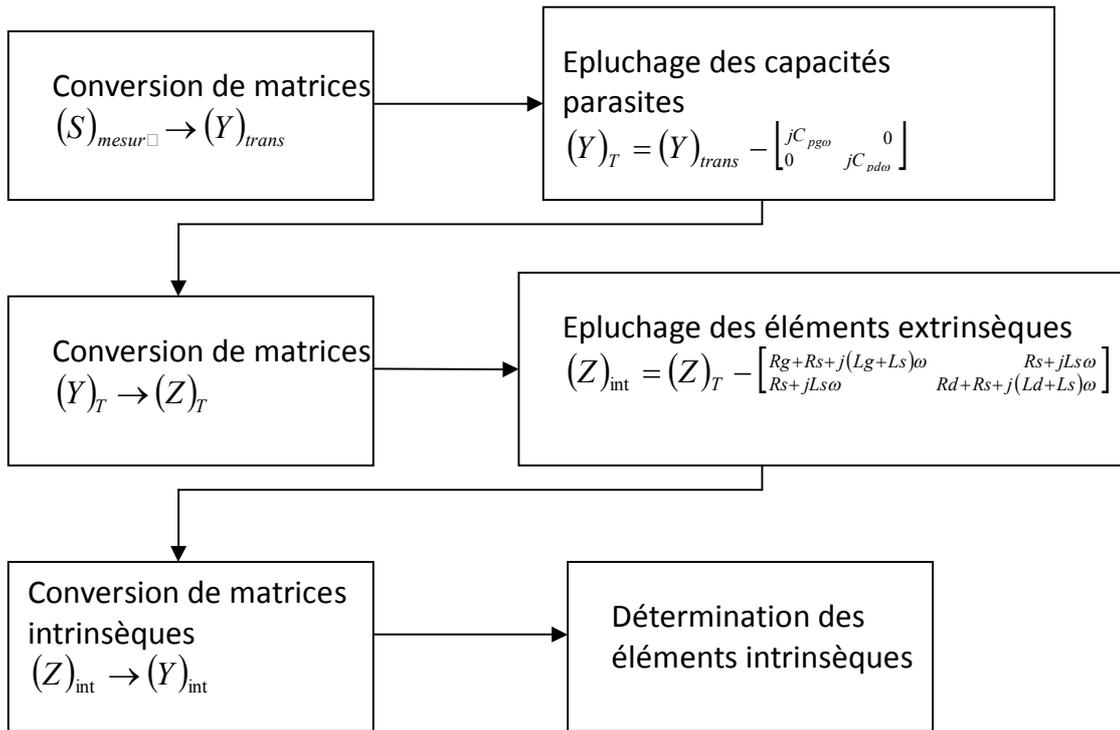


Figure 68: Méthodologie d'extraction des éléments extrinsèques du schéma équivalent petit signal d'un MOSFET.

Extraction des capacités de plot C_{PG} et C_{PD}

Les capacités de plot sont mesurées en annulant la conductivité du canal, c'est-à-dire pour une polarisation dite froide telle que V_{DS} soit nulle et V_{GS} très inférieure à la tension de seuil V_{TH} du transistor. La capacité entre grille et source est prise égale, pour cette polarisation, à celle entre grille et drain. Une hypothèse supplémentaire est introduite, consistant à négliger la capacité intrinsèque C_{DS} entre drain et source. Par la mesure des paramètres Y , les capacités sont calculés par les formule (12) et (13).

$$C_{pg} = \frac{\text{Im}(Y_{11} + 2Y_{12})}{\omega} \quad (12)$$

$$C_{pd} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega} \quad (13)$$

Extraction des éléments extrinsèques R_S, R_D, R_G, L_D, L_S et L_G

Les résistances R_D, R_S, R_G , et les inductances L_D, L_S, L_G sont également extraites en polarisation froide telle que V_{DS} soit nulle et V_{GS} relativement élevée afin d'être en régime de

forte inversion sous la grille. A partir de la matrice Z obtenue, les résistances et les inductances sont calculées en utilisant les formules ci-dessous de (14) à (19).

$$\operatorname{Re}(Z_{22} - Z_{12}) = R_D + \frac{1}{2K \cdot (V_{GS} - V_{TH})} \quad (14)$$

$$\operatorname{Re}(Z_{12}) = R_S + \frac{1}{2K \cdot (V_{GS} - V_{TH})} \quad (15)$$

$$\operatorname{Re}(Z_{11} - Z_{12}) = R_G - \frac{1}{4K \cdot (V_{GS} - V_{TH})} \quad (16)$$

$$\frac{\operatorname{Im}(Z_{22} - Z_{12})}{\omega} = L_D - \frac{C + 2C_{DS}}{4K^2 \cdot (V_{GS} - V_{TH})^2} \quad (17)$$

$$\frac{\operatorname{Im}(Z_{12})}{\omega} = L_S - \frac{C + 2C_{DS}}{4K^2 \cdot (V_{GS} - V_{TH})^2} \quad (18)$$

$$\frac{\operatorname{Im}(Z_{11} - Z_{12})}{\omega} = L_G - \frac{C_{DS}(C + 2C_{DS})}{4CK^2 \cdot (V_{GS} - V_{TH})^2} - \frac{1}{2C\omega^2} \quad (19)$$

$$\text{Avec } K = \frac{\mu WC_{ox}}{L} ; C = C_{GS}(V_{DS}=0) = C_{GD}(V_{DS}=0) = \frac{C_{ox}}{2} ;$$

Les paramètres impédances sont mesurés pour plusieurs polarisations V_{GS} supérieures à V_{TH} .

Pour extraire les 3 résistances d'accès, une simple régression linéaire en fonction du terme

$\frac{1}{V_{GS} - V_{TH}}$ des équations 14 à 16 permet de déterminer les résistances à partir des valeurs

des ordonnées à l'origine des droites obtenues.

L'extraction des inductances parasites étant difficile, nous ajustons les valeurs de ces inductances afin d'avoir l'ensemble des éléments intrinsèques indépendants de la fréquence.

Extraction des éléments intrinsèques

Après l'extraction des éléments extrinsèques, les éléments intrinsèques comme g_m , g_d , τ , R_i , C_{GS} , C_{GD} , C_{DS} sont extraits à partir de la matrice Y_{int} en prenant les formules ci-dessous de (20) à (26).

$$g_m = \frac{|Y_{int21} - Y_{int12}|}{|Y_{int11} + Y_{int12}|} \frac{1}{\operatorname{Im}\left(\frac{1}{Y_{int11} + Y_{int12}}\right)} \quad (20)$$

$$g_d = -\operatorname{Re}(Y_{int22}) \quad (21)$$

$$\tau = -\frac{1}{\omega} \left(\arg \left(\frac{Y_{\text{int}21} - Y_{\text{int}12}}{Y_{\text{int}11} + Y_{\text{int}12}} \right) + \frac{2}{\pi} \right) \quad (22)$$

$$R_i = \text{Re} \left(\frac{2}{Y_{\text{int}11} + Y_{\text{int}12}} \right) \quad (23)$$

$$C_{GS} = -\frac{1}{\omega \text{Im} \left(\frac{1}{Y_{\text{int}11} + Y_{\text{int}12}} \right)} \quad (24)$$

$$C_{GD} = -\frac{\text{Im}(Y_{\text{int}12})}{\omega} \quad (25)$$

$$C_{DS} = \frac{\text{Im}(Y_{\text{int}22} + Y_{\text{int}12})}{\omega} \quad (26)$$

Avec $Y_{\text{int}11} = \frac{jC_{GS}\omega}{1 + jR_i C_{GS}\omega} + jC_{GD}\omega$; $Y_{\text{int}12} = -jC_{GD}\omega$; $Y_{\text{int}21} = \frac{g_m e^{-j\omega\tau}}{1 + jR_i C_{GS}\omega} - jC_{GD}\omega$;

$$Y_{\text{int}22} = g_d + jC_{DS}\omega + jC_{GD}\omega$$

Résultats expérimentaux d'extraction du schéma équivalent petit signal

L'extraction de schéma équivalent a été fait sur le transistor avec une longueur de grille $L_g=100\text{nm}$ et de développement $W=8 \times 15 \mu\text{m}$ polarisé en zone de saturation à $V_{DS}=0.9\text{V}$, $V_{GS}=1.1\text{V}$, $V_b=0.6\text{V}$, $I_d=70\text{mA/mm}$, $g_{mDC}=75\text{mS/mm}$. ($f_T=90\text{GHz}$ et $f_{MAX}=40\text{GHz}$)

Les éléments extrinsèques et intrinsèques sont montrés dans le tableau 9 ci-dessous. Les évolutions fréquentielles des éléments intrinsèque g_m , g_d , C_{GS} , C_{GD} et C_{DS} sont représentées sur la figure 69.

Tableau 9 : Récapitulatif des éléments extrinsèques et intrinsèques du schéma équivalent

Éléments extrinsèques					Éléments intrinsèques pour $f > 20\text{GHz}$				
R_S ($\Omega \cdot \text{mm}$)	R_D ($\Omega \cdot \text{mm}$)	R_G (Ω/mm)	C_{PG} (fF/mm)	C_{PD} (fF/mm)	g_m (mS/mm)	g_d (mS/mm)	C_{GS} (fF/mm)	C_{GD} (fF/mm)	C_{DS} (fF/mm)
0,13	0,1	342	10	60	550	120	660	250	870

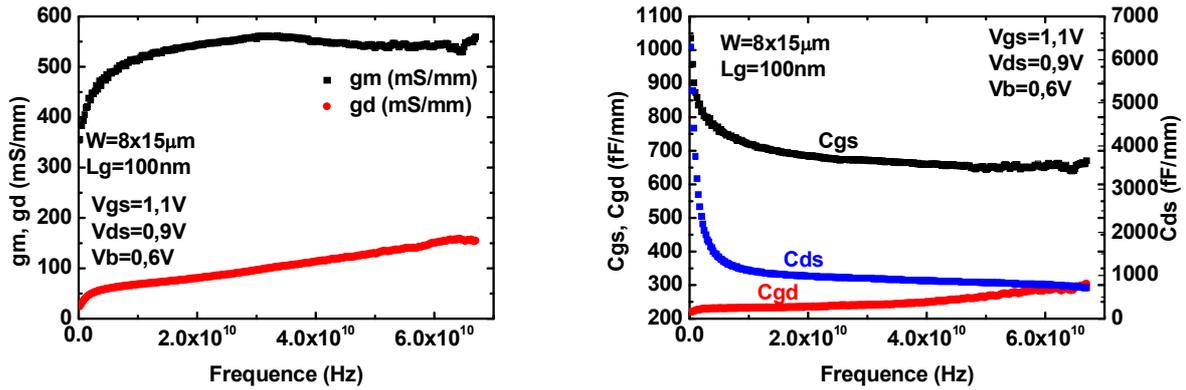


Figure 69 : Evolution de g_m , g_d (a) et C_{gs} , C_{gd} (b) en fonction de fréquence de 250MHz à 67GHz.

On a observé que le g_m , C_{GS} , C_{DS} extraits par la méthode de Bracale [13] ne sont pas bien constants le long de la bande de fréquence, surtout en basse fréquence ($f < 15\text{GHz}$), où l'on constate une forte dispersion.

Une hypothèse pouvant expliquer cette dispersion fréquentielle est l'existence d'une grande quantité de défauts d'interface. Ces défauts d'interface réagiraient jusqu'à 20GHz ; au delà les éléments intrinsèque deviennent indépendant de la fréquence. Ainsi, la capacité C_{it} associée à ces défauts vient se mettre en parallèle avec le C_{inv} , ce qui rend le C_{GS} total dépendant de la fréquence pour des fréquences inférieure à 20GHz. Cette capacité C_{it} vient également détériorer la commande de charge du transistor réduisant ainsi la transconductance g_m pour des fréquences inférieures à 20GHz observable sur la figure 69. Par conséquent, le comportement du transistor en régime statique dont la valeur du g_{mDC} est de l'ordre de 75mS/mm) ne reflète pas celui-ci obtenu en dynamique (valeur du $g_m=550\text{mS/mm}$). Ceci explique les fortes valeurs des fréquences de coupure obtenues malgré les faibles performances DC du transistor.

Il est à noter que l'écart entre le g_{mDC} et le g_m dynamique ne peut être lié à la résistance de source R_s du transistor car celle-ci est relativement faible ($R_s=0.1 \Omega.\text{mm}$).

2.2.8.2.3 Extraction de la mobilité effective (μ_{eff}) du transistor par des mesures dynamiques :

D'après les mesures statiques, nous avons obtenu des performances statiques qui ne sont pas idéales comme prévues en considérant la mobilité élevée du matériau III-V. De ce fait,

l'extraction de la mobilité effective est nécessaire pour savoir si les mauvaises performances sont dues à la mobilité de canal.

Dans la littérature, la méthode utilisée pour extraire la mobilité effective du canal (μ_{eff}) correspond à la méthode 'split C-V'. Celle-ci consiste à effectuer deux mesures : une mesure en régime statique concernant la mesure du courant $I_d(V_{ds})$ paramétrée en V_{gs} et en régime de mobilité (bas V_{ds}), et une mesure en régime dynamique concernant la mesure de la capacité de grille C_g à $V_{ds}=0V$.

Toutefois, cette méthode d'extraction peut conduire à une valeur erronée de la mobilité effective lorsque les valeurs du D_{it} sont importantes. En effet, cette méthode étant basée sur une mesure statique et une mesure dynamique, le comportement des défauts dans ces deux régimes est très différents induisant généralement une sous-estimation de la valeur de μ_{eff} [14][15]. De ce fait, durant nos travaux, nous avons introduit une méthode originale d'extraction de μ_{eff} basée sur des mesures exclusivement dynamiques afin d'inhiber l'effet du D_{it} . Cette méthode consiste à extraire les éléments g_d , C_{GS} et C_{GD} en fonction de la tension de polarisation de grille V_{gs} et pour $V_{ds}=0V$.

Ces mesures sont effectuées pour des fréquences supérieures à 20GHz pour éviter l'influence de D_{it} .

Sachant que g_d est défini par

$$g_d = \frac{dI_{DS}}{dV_{DS}} = \frac{n_s q \mu_{eff} \frac{dV_{DS}}{L_g} W}{dV_{DS}} = n_s q \mu_{eff} \frac{W}{L_g} \quad (27)$$

Où W est le développement, L_g est la longueur de grille, n_s est le nombre de charge surfacique du transistor.

À bas V_{DS} , où μ_{eff} peut être considéré constant, le nombre de charges surfaciques peut être calculé par

$$n_s = \frac{Q_{inv}}{qWL_g} = \frac{1}{qWL_g} \int_{-\infty}^{V_{gs}} (C_{GS} + C_{GD}) dV_{GS} \quad (28)$$

A partir des équations (27) et (28), nous pouvons déduire la valeur de la mobilité effective fonction de V_{gs} en utilisant l'équation suivante :

$$\mu_{eff} = \frac{L_g g_d}{n_s q W} \quad (29)$$

L'évolution de la somme de $C_{GS}+C_{GD}$ en fonction de V_{gs} extraite à 20GHz est représentée dans la figure 70. A partir de cette évolution nous devons retrancher les capacités d'overlap.

Ces capacités d'overlap sont déduites à partir de la courbe $C_{GS}+C_{GD}$ pour une tension $V_{gs}=-0.5V$. Les valeurs de C_{GS} et C_{DS} ont été prises à partir du schéma équivalent à 20GHz en retranchant les capacités 'overlap' C_{ov} comme schématisé dans la figure 70 avec la courbe rouge. L'évolution de la mobilité effective extraite à partir de cette méthode est représentée sur la figure 71. La mobilité effective obtenue est environ $60\text{cm}^2/\text{Vs}$ en régime de forte inversion, ce qui est vraiment très faible par rapport à l'état de l'art ($\mu_{eff} >1000\text{cm}^2/\text{Vs}$) [16][17]. Nous pouvons attribuer cette situation à la dégradation de l'oxyde et l'interface de l'oxyde/semiconducteur due au budget thermique élevé subi par le transistor au cours du processus de fabrication avec la méthode 'Gate-First'. En effet, pour le procédé 'Gate-First', le transistor subit un budget thermique élevé à 750°C suite au recuit d'activation de l'implantation dégradant les propriétés de l'oxyde et de l'interface Yasuda et al. ont reporté qu'un recuit à forte température entraînait la désorption d'Arsenic et une augmentation de l'épaisseur de l'oxyde d' InO_x à l'interface [18]. Ainsi, il semblerait qu'un faible budget thermique soit indispensable pour éviter de dégrader le fonctionnement du transistor.

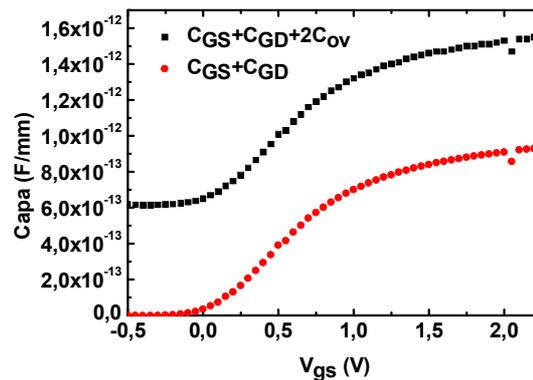


Figure 70: Evolution de $C_{GS}+C_{GD}$ extrait à 20GHz avec capacité d'overlap (noir) et sans capacité d'overlap (rouge) sur un MOSFET InGaAs de longueur de grille de 100nm.

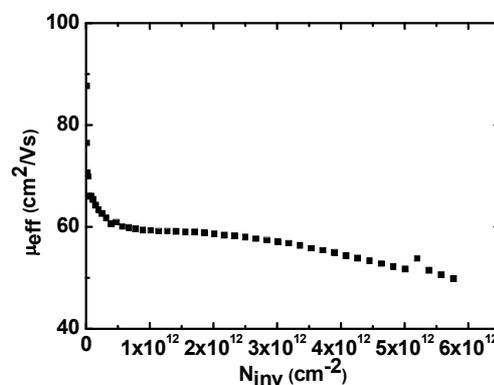


Figure 71 : Evolution de la mobilité effective en fonction de V_{gs} extraite à 20GHz du MOSFET InGaAs de longueur de grille de 100nm.

2.3 Voies d'investigation en vue de l'amélioration de la structure de référence

Les performances obtenues sur la structure de référence étant relativement faibles, la recherche d'amélioration est nécessaire. Dans cette partie, nous allons présenter différentes voies d'investigation afin d'améliorer les performances des MOSFET ; nous verrons :

- L'influence du recuit PDA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$
- La comparaison des technologies « Gate-Last » et « Gate-First » sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$
- L'influence du recuit PPA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$
- L'effet d'une réduction du recuit d'activation des implants.

2.3.1 Influence du recuit PDA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

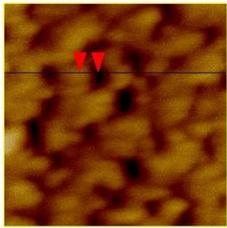
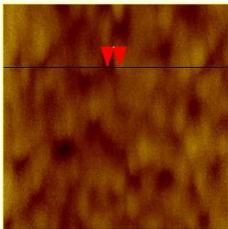
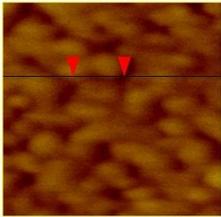
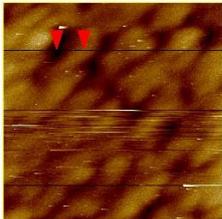
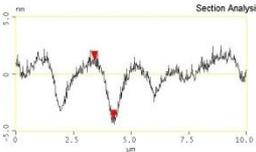
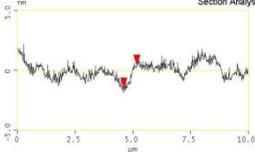
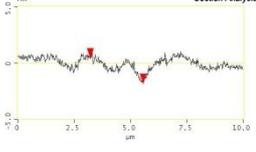
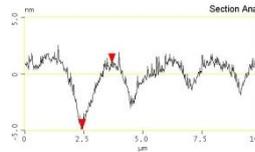
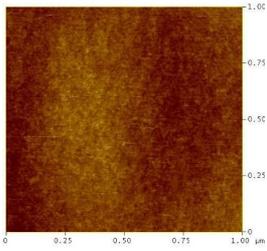
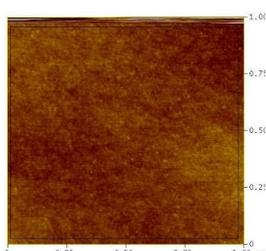
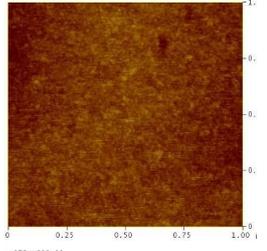
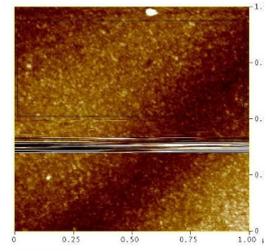
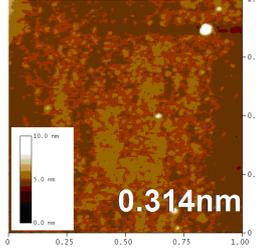
Comme indiqué précédemment, les propriétés électriques des couches déposées par ALD peuvent être fortement affectées par le traitement de surface effectué avant le dépôt et par les conditions de dépôt (température de dépôt, durée des pulses des précurseurs,...). De même, le recuit post-dépôt (PDA) peut avoir une forte influence sur la qualité de l'oxyde obtenu [19][20][4][3]. En effet, durant la croissance de l' Al_2O_3 par ALD, certains groupes OH (hydroxyles) et CH_3 (méthyles) demeurent piégés dans la couche d'oxyde [21]; ces contaminants peuvent alors modifier les propriétés électriques de l' Al_2O_3 lors du recuit. Ainsi, des études ont été menées dans ce sens afin d'évaluer l'influence du recuit PDA sur les performances électriques des transistors. Dans le paragraphe qui suit, nous présenterons des résultats d'analyses XPS et AFM, effectuées par le LETI, mettant en évidence l'influence de la température du PDA et des conditions du recuit sur la qualité de l'oxyde. Les résultats électriques, que nous avons extraits, sur des capacités MOS et des MOSFET obtenus avec ces différents paramètres de PDA, seront également présentés.

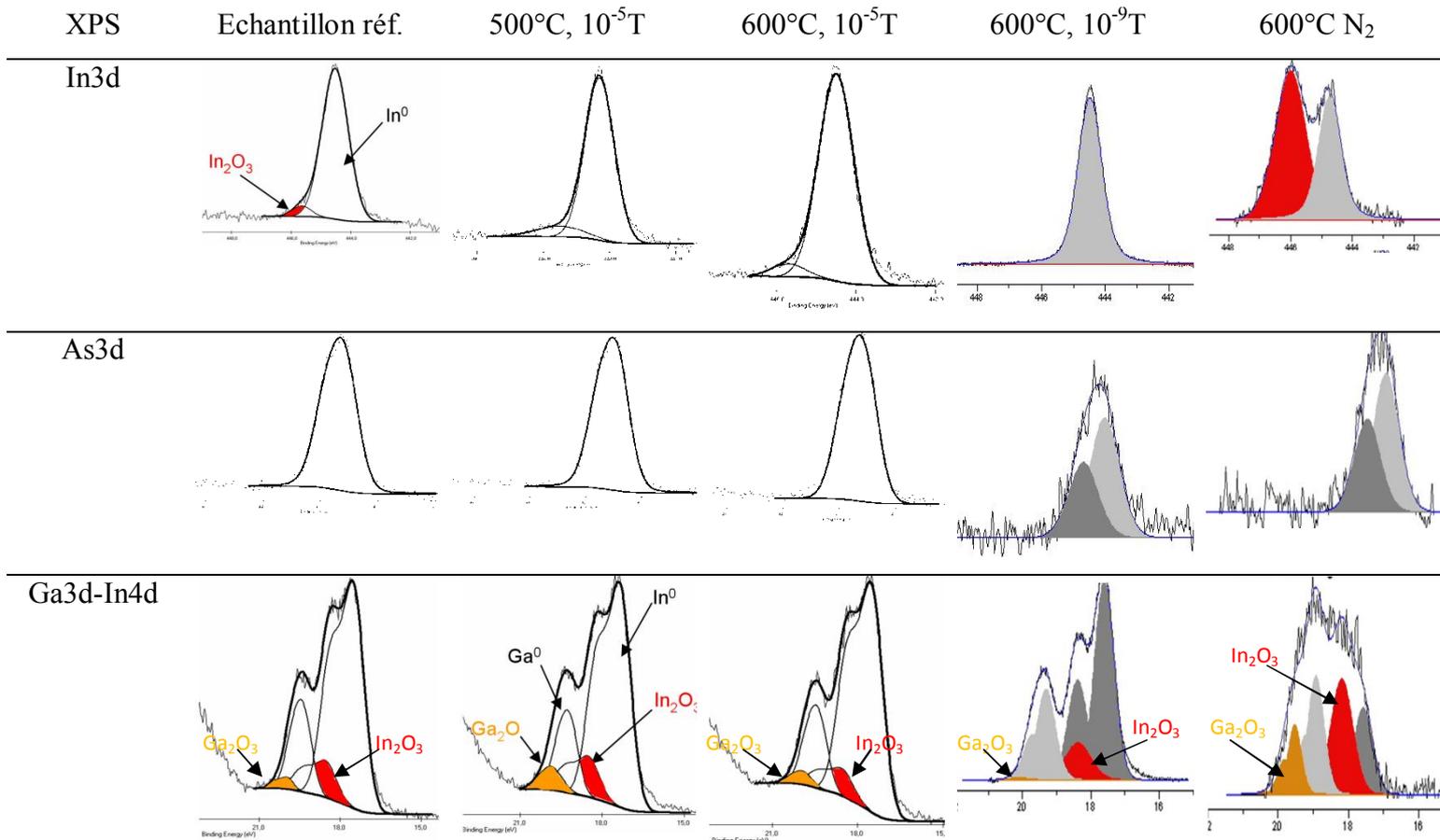
2.3.1.1 Analyses XPS et AFM de la couche d' Al_2O_3 pour différentes conditions de PDA

L'effet du PDA a été étudié par l'analyse AFM et XPS avec différents essais de PDA sur des couches de 3nm d'alumine avec le traitement de surface NH_4OH , 4%, 15' et avec différentes conditions de vide lors du recuit allant d'une pression de 10^{-5} T jusqu'à 10^{-9} T (UHV), en température de 500° à 600°C. Le recuit PDA sous vide a été envisagé afin de pouvoir évacuer les espèces oxydantes d'après [22] et ainsi améliorer l'interface oxyde/semiconducteur. De

même, Nous avons comparé ces analyses avec celle obtenu lors d'un recuit sous atmosphère N₂. Les résultats de ces analyses sont représentés dans le tableau 10. Les spectres XPS indiquent qu'il n'y a pas d'oxyde d'As et que plus la pression est faible moins il y a d'oxyde d'In (suppression sous UHV). Pour l'oxyde de Ga, également en faible quantité sous UHV, il diminue légèrement avec l'augmentation de la température de recuit (cas du 10⁻⁵T), mais reste à un niveau très faible par rapport au recuit sous N₂. Il semble donc que l'oxygène vienne en partie de la couche d'oxyde, le recuit sous pression de N₂ n'empêchant probablement pas l'évacuation des espèces oxydantes. Par contre, les recuits UHV dégradent la rugosité, le recuit semble faire coalescer des îlots de croissance. Donc le recuit à 10⁻⁵T sous vide semble préférable pour améliorer l'interface d'oxyde. En considérant la rugosité des deux températures, le recuit à 500°C est moins rugueux, étant de 1.9nm comparé avec 2.3nm à 600°C. De ce fait, le recuit à 500°C sous vide a été choisi pour un nouveau démarrage de la fabrication de MOSFET InGaAs.

Tableau 10 : Analyses AFM et XPS de surface Al₂O₃ réalisées par le LETI

AFM	Echantillon réf. Lequel ?	500°C, 10 ⁻⁵ T	600°C, 10 ⁻⁵ T	600°C, 10 ⁻⁹ T	600°C N ₂
10x10µm					
	u975p_ref.002	u975p_500.02	u975p_600.002	s312r_uhv.000	
Profil					
	5nm	1.9nm	2.3nm	5.8nm	
1x1µm					
	RMS = 0.328nm	RMS = 0.357nm	RMS = 0.269nm	RMS = 1.293nm	RMS = 0.314nm



2.3.1.2 Influence des paramètres du PDA sur la densité de défaut de d'interface

Deux études ont été menées afin d'analyser, d'une part l'effet de la température du recuit PDA et, d'autre part, la condition dans laquelle est faite ce recuit (sous vide ou sous azote) sur la valeur du D_{it} . Pour cela, nous avons fabriqué des capacités MOS, dont le procédé de fabrication a été développé dans le paragraphe 2.2.6. Les deux études sont :

- Effet de la température du PDA sous atmosphère d'azote.
- Effet du recuit PDA sous vide en comparant avec PDA sous N₂.

2.3.1.2.1 Effet de la température du PDA sous atmosphère d'azote.

A partir des mesures dynamiques effectuées sur les capacités MOS pour différentes valeurs de température PDA, nous avons extrait la valeur de la capacité et du D_{it} selon la polarisation de grille appliquée. Ces évolutions sont représentées sur la figure 73 avec différentes conditions de PDA sous N₂ : sans PDA, PDA 515°C, et PDA 600°C. Les valeurs des tensions de bande plate (V_{FB}) extraites à partir de ces mesures sont également indiquées dans le tableau 11.

A partir de ces résultats, nous pouvons constater que, quelle que soit la température de PDA envisagée, une couche d'inversion est créée en surface ; le niveau de Fermi est donc libre de se

mouvoir à l'interface oxyde/semiconducteur (pinning du niveau de Fermi inexistant). Toutefois, on observe une forte dispersion de la valeur de la capacité dans la zone d'accumulation. Kim *et al* ont reporté que cet effet pourrait être lié aux pièges situés dans l'oxyde, proche de l'interface oxyde/semiconducteur (Border Traps) [23][24] et qu'un recuit sous hydrogène réduirait sensiblement ces défauts [23].

Par ailleurs, on observe également un décalage positif de V_{FB} pour un PDA à 600°C se rapprochant ainsi de la valeur théorique ($V_{FBtheo}=-0.88V$). Cet effet est synonyme de la réduction d'une forte densité de défaut de type donneur dans l'oxyde [25][26]; un recuit au-delà de 600°C semble réduire de manière significative ces défauts. De même, on peut constater une courbure de la caractéristique $C-V$ (*stretch-out*) (figure 72) moins prononcée avec un PDA à 600°C caractéristique d'une réduction des défauts à l'interface ou dans l'oxyde. Toutefois, malgré une amélioration de la caractéristique $C-V$ observée pour un PDA à 600°C, la densité de défaut d'interface reste sensiblement identique quelle que soit la température de PDA.

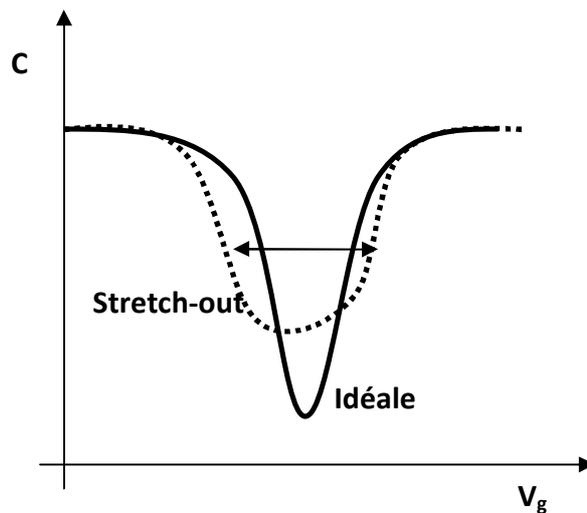
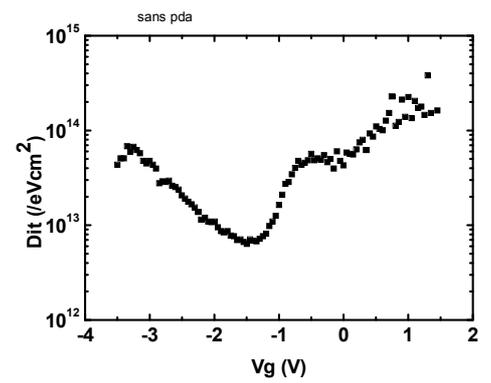
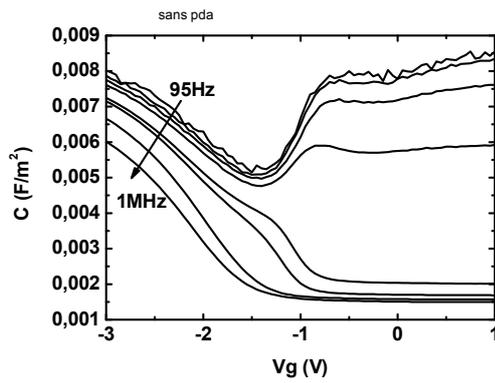


Figure 72 : Effet de stretch out (courbe pointillée) le long de la tension V_g avec $C-V$ idéale (courbe solide)

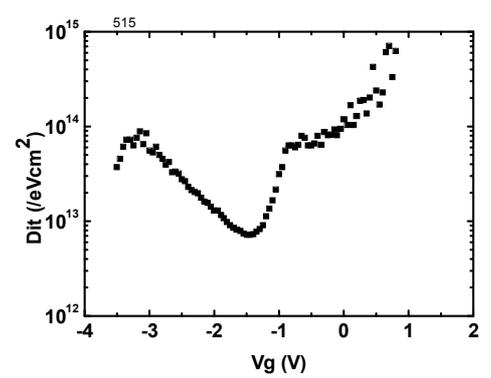
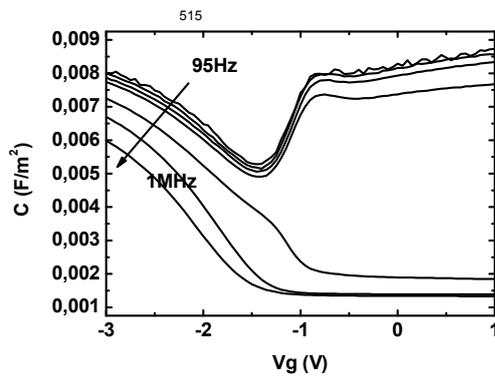
Remarque : pour cette étude, le tantale n'avait pas été utilisé dans l'empilement de grille, le stack de grille correspondait alors à un empilement $Al_2O_3/Ti/Pt/Au$. Toutefois, les travaux de sortie de ces deux métaux étant théoriquement identiques, nous pouvons faire l'hypothèse que les résultats auraient été similaires. Cette hypothèse suppose aussi que le type de métaux utilisé n'influence pas les échanges chimiques entre les différents matériaux.

$C-V$ D_{it}

Sans PDA



PDA 515°C



PDA 600°C

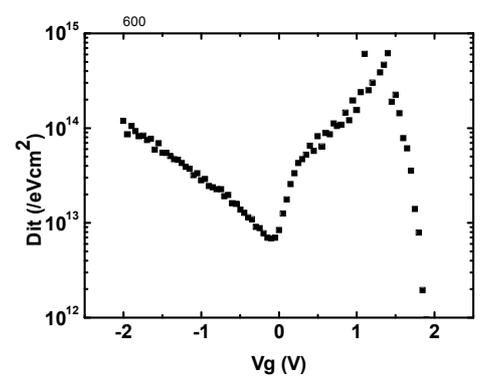
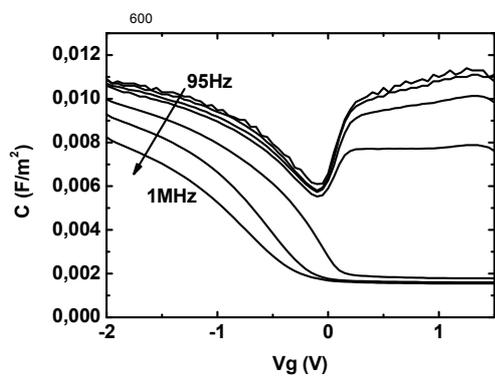


Figure 73 : Evolution des capacités MOS paramétrées en fréquence et de la densité de défauts d'interface associée, en fonction la polarisation de grille V_g pour différentes températures de PDA

Tableau 11 : Résumé des valeurs du D_{it} et V_{FB} de CAPAMOS avec PDA différents. La valeur théorique de V_{FB} est de $-0.88V$

Test	$D_{it,MIN} (cm^{-2} eV^{-1})$	$V_{FB} (V)$
sans PDA	$6,4 \cdot 10^{12}$	-2,16
PDA: 515°C , 1min	$6,5 \cdot 10^{12}$	-2,05
PDA: 600°C , 1min	$6,1 \cdot 10^{12}$	-0,75

2.3.1.2.2 Effet du recuit PDA sous vide

L'effet du recuit PDA sous vide a été aussi étudié par les capacités MOS et comparé avec le recuit PDA sous N_2 .

D'après les mesures montrées dans la figure 74, une plus forte dispersion de fréquence a été observée dans la zone d'accumulation avec un effet de stretch-out plus prononcé sur PDA 500°C sous vide, tandis que il y a un décalage positif de la tension de bande plate V_{FB} du PDA sous vide par rapport du PDA sous N_2 de 1V, qui est plus proche de la valeur valeur théorique. Le niveau de D_{it} de PDA sous vide est plus important avec une valeur minimale de $8 \cdot 10^{12}/\text{cm}^2\text{Vs}$, comparée au PDA sous N_2 de $6 \cdot 10^{12}/\text{cm}^2\text{Vs}$. Il semblerait que l'interface soit plus dégradée avec un recuit sous vide malgré des niveaux d'oxydes plus faibles détectés par analyses XPS

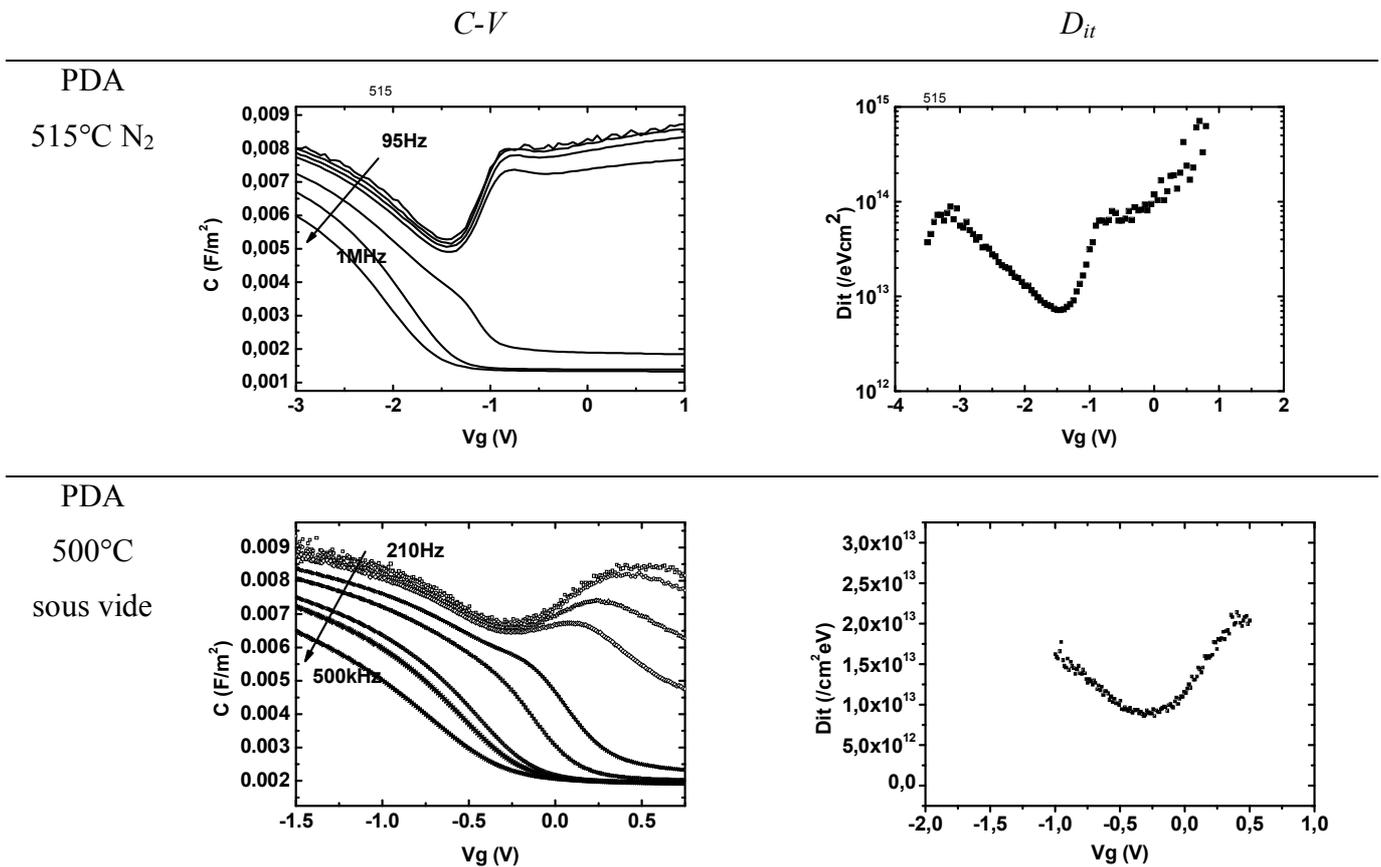


Figure 74 : Evolution des capacités MOS paramétrées en fréquence et de la densité de défauts d'interface en fonction la polarisation de grille V_g pour différents PDA.

2.3.1.3 Influence du PDA sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en technologie « Gate-First »

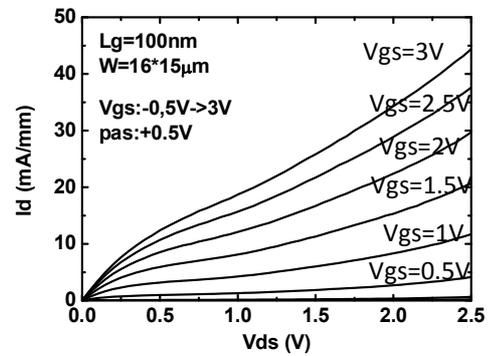
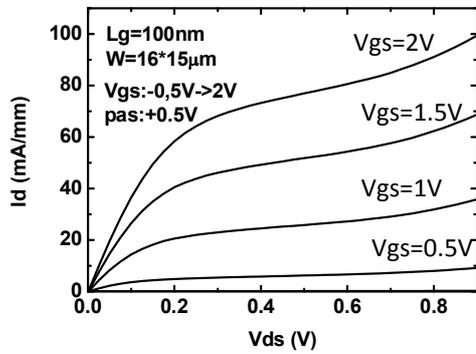
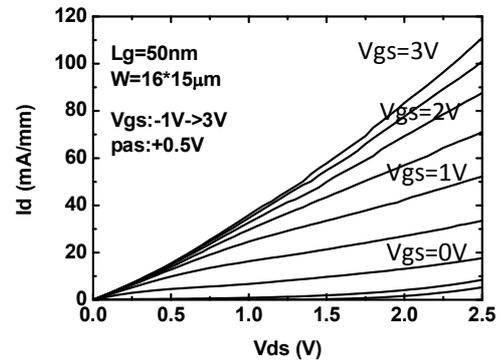
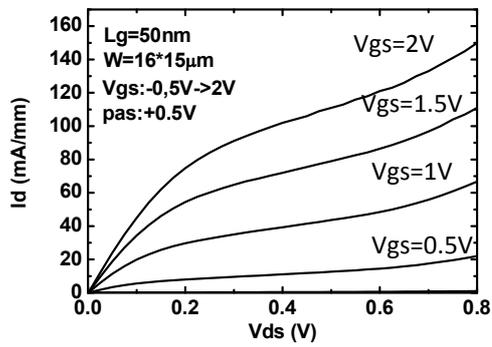
Des transistors MOSFET ont été fabriqués avec un PDA réalisé sous vide à 500°C. Le procédé technologique retenu lors de la fabrication de ces composants est similaire aux transistors de références présentés aux paragraphes précédents (transistors ayant subi un recuit PDA à 600°C sous N_2). Les caractéristiques électriques de ces MOSFET obtenues pour différentes longueurs de grille sont représentées figure 75. A titre indicatif, nous avons également rappelé les caractéristiques des MOSFET obtenues sur notre structure de référence.

La figure 75 montre les caractéristiques de $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec PDA 500°C sous vide. Celles-ci sont comparées avec les caractéristiques de $I_d(V_{ds})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec PDA 600°C sous N_2 . La figure 76 présente les caractéristiques de $I_d(V_{gs})/g_m(V_{gs})$ de ces transistors de longueur de grille de 50nm pour ces deux types de PDA. On observe que les performances des transistors quelle que soit la longueur de grille avec le PDA 500°C sous vide sont moins bonnes que celles obtenues avec PDA 600°C sous N_2 en *DC* et en *RF* (tableau 12). Ceci est en accord avec les résultats de mesure de capacité MOS vues précédemment avec un niveau de D_{it} plus important.

Enfin, un décalage de tension de seuil V_{TH} de -0.5V pour le PDA 500°C sous vide par rapport au PDA 600°C sous N_2 a été observé qui correspond aux résultats de mesures de capacité MOS avec le même décalage de -0.5V de la tension de bande plate V_{FB} .

600°C N₂ (structure de référence)

500°C vide



600°C N₂ (structure de référence)

500°C vide

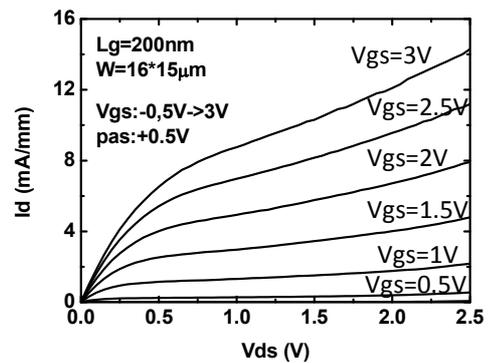
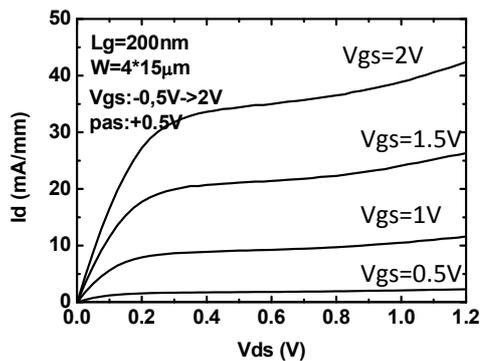


Figure 75 : Caractéristique $I_d(V_{ds})$ de MOSFET In_{0.53}Ga_{0.47}As avec PDA 600°C sous N₂ et PDA 500°C sous vide pour différentes longueurs de grille de 50nm, 100nm et 200nm.

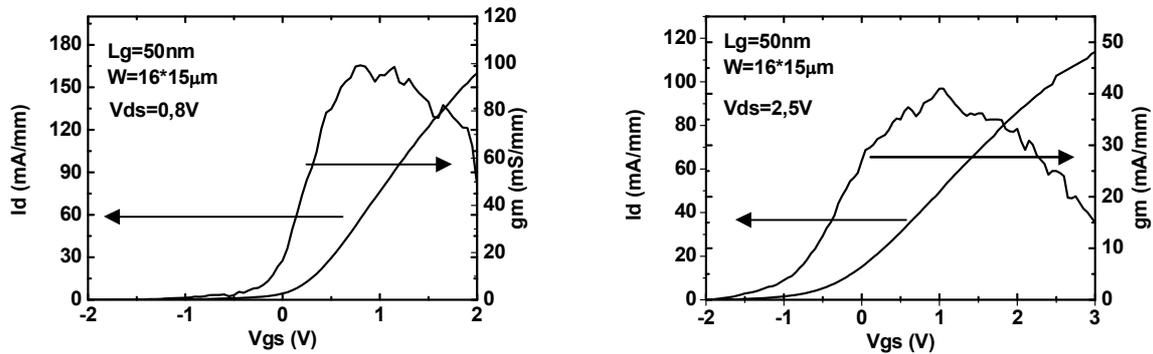


Figure 76 : Caractéristique $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec PDA 600°C sous N₂ et PDA 500°C sous vide pour une longueur de grille de 50nm

Tableau 12 : Récapitulatif des performances DC de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ multi-doigts de grille pour les deux types de PDA envisagés.

L_g (nm)	600°C N ₂				500°C vide			
	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	f_T (GHz)	f_{MAX} (GHz)	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	f_T (GHz)	f_{MAX} (GHz)
50	160	100	150	47	110	40	125	24
100	110	75	100	31	45	18	50	17
200	70	45	80	18	15	7	20	13

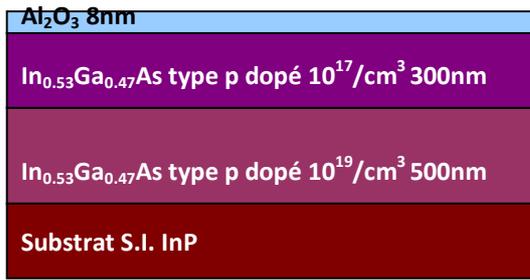
2.3.2 Comparaison des technologies « Gate-Last » et « Gate-First » sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

Lors de la fabrication de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en technologie « Gate-First », le fort budget thermique associé à cette technologie peut endommager le composant. En effet, durant l'étape de recuit d'activation des dopants après l'implantation, l'oxyde de grille subit un recuit dont la température s'élève à 750°C. D'après les publications reportées, ce fort budget thermique peut dégrader d'une part la qualité de l'oxyde et d'autre part le niveau de rugosité à l'interface oxyde/semiconducteur [18][27] ; ce dernier entraînant alors une réduction de la mobilité effective de la couche d'inversion. C'est pourquoi, afin d'estimer en partie l'influence de la température du recuit d'activation, nous avons développé un procédé de fabrication de

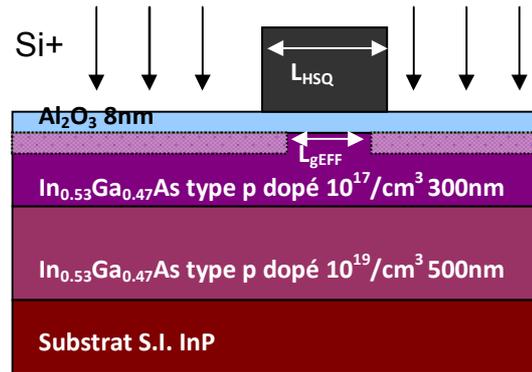
transistor MOSFET en technologie « Gate-Last ». Dans ce procédé, l'oxyde de grille n'est pas soumis au recuit d'activation des dopants.

2.3.2.1 Procédé de fabrication de MOSFET en technologie « Gate-Last »

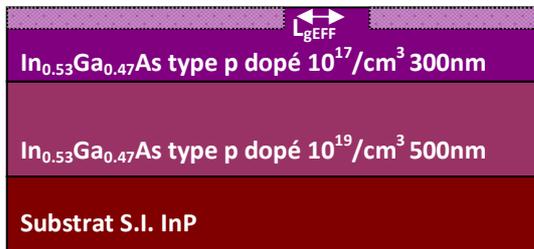
Le procédé de fabrication des MOSFET en technologie « Gate-Last » est succinctement schématisé sur la figure 77. Sur ce schéma, nous pouvons constater que ce procédé est relativement similaire à une technologie « Gate-First » excepté que le recuit d'activation des dopants est réalisé avant le dépôt d'oxyde de grille. Cet oxyde sera ensuite retiré après le recuit d'activation. Ensuite un nouveau dépôt ALD d' Al_2O_3 est réalisé afin de définir l'oxyde de grille. Ainsi cet oxyde de grille ne subit pas le recuit d'activation. Finalement, la technologie du transistor est poursuivie, en particulier la grille. On appelle alors cette technologie « Gate-Last », le stack de grille étant formé après le recuit d'activation de l'implantation. Enfin seule la couche active d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ est soumise au recuit d'activation. Il est à noter que pour cette technologie, le recuit PDA envisagé fut réalisé à 500°C sous vide.



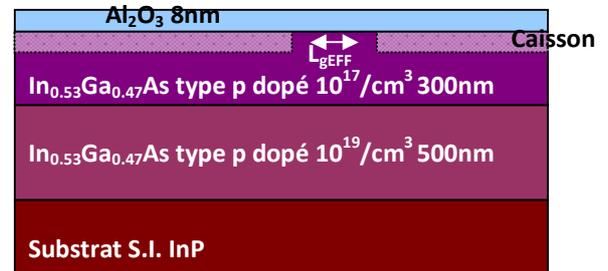
(a) Couche initiale avec Al_2O_3 de 8nm



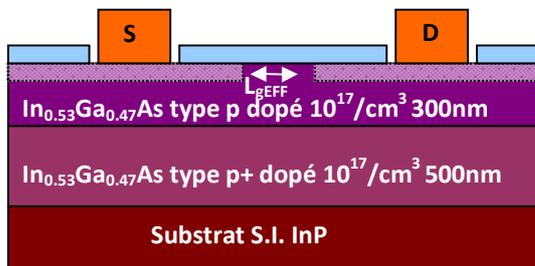
(b) Réalisation des caissons par implantation +recuit d'activation



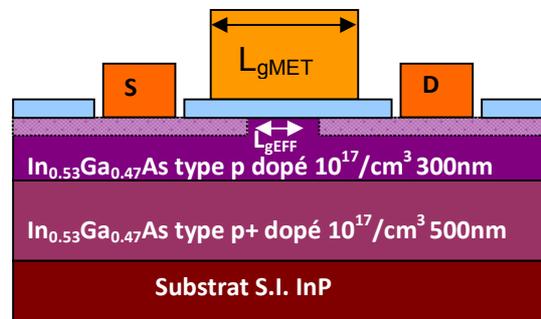
(c) Retrait de la HSQ et Al_2O_3



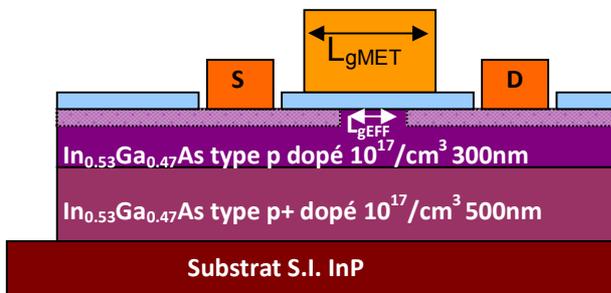
(d) Traitement de surface et re-dépôt Al_2O_3



(e) Réalisation des contacts source/drain



(f) Réalisation de la grille rectangulaire



(g) Gravure humide du méso profond

Figure 77 : Procédé de fabrication de MOSFET Gate-Last

Contrairement à la technologie « Gate-First » où la grille métallique était réalisée par gravure plasma, la technologie « Gate-Last » utilise un procédé de type lift-off utilisant un bi-couche de résines électro-sensibles pour définir l'électrode de grille. Les longueurs de grille métallique L_{gMET} visées pour cette technologie sont comprises entre $1\mu\text{m}$ et 100nm . De plus, pour cette technologie, la grille métallique ne nécessitant pas un métal réfractaire, nous avons choisi un empilement Ni/Au moins résistif que le tantale. Des exemples d'images MEB de grille métallique sont représentés sur la figure 78.

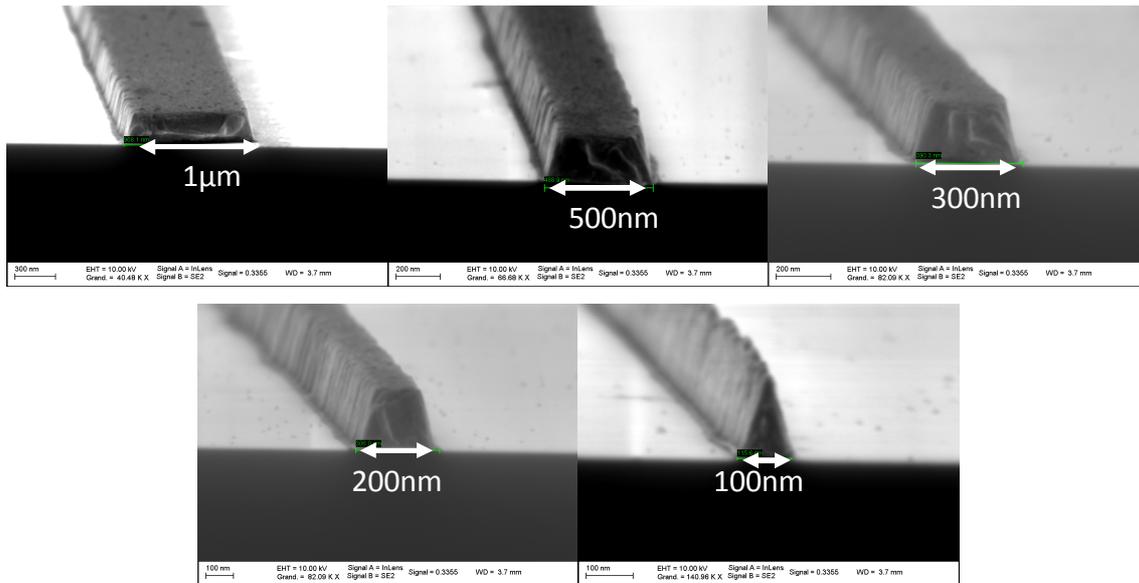


Figure 78 : Image MEB représentant différentes grilles métalliques L_{gMET} réalisée par procédé lift-off.

La technologie Gate-Last a nécessité le réaligement de la grille métallique sur les caissons d'implantation. La définition de la grille métallique étant réalisée par lithographie électronique utilisant un masqueur électronique, un désalignement peut apparaître lors de l'écriture du motif de grille sur la résine comme le montre dans la figure 79.a par rapport à un alignement correct (figure 79.b). Un désalignement excessif de la grille métallique peut entraîner une discontinuité du canal entre les deux caissons source/drain. L'origine de ce désalignement peut être liée à une erreur de repositionnement du masqueur électronique (erreur systématique liée à l'équipement) et/ou à la nature du matériau sur lequel l'écriture est réalisée (écriture sur isolant pouvant entraîner une déflexion du faisceau d'électrons). Ainsi, afin de ne pas être pénalisé par un éventuel décalage de la grille métallique sur les caissons d'implantation, différentes longueurs de grille métallique (L_{gMET}) ont été définies, supérieures ou égales à la longueur définissant l'écart entre les caissons implantés L_{HSQ} (figure 77. b). Par

exemple pour une longueur d'implantation $L_{HSQ}=150\text{nm}$, la longueur de grille métallique L_{gMET} varie de 150nm, 200nm, 300nm.

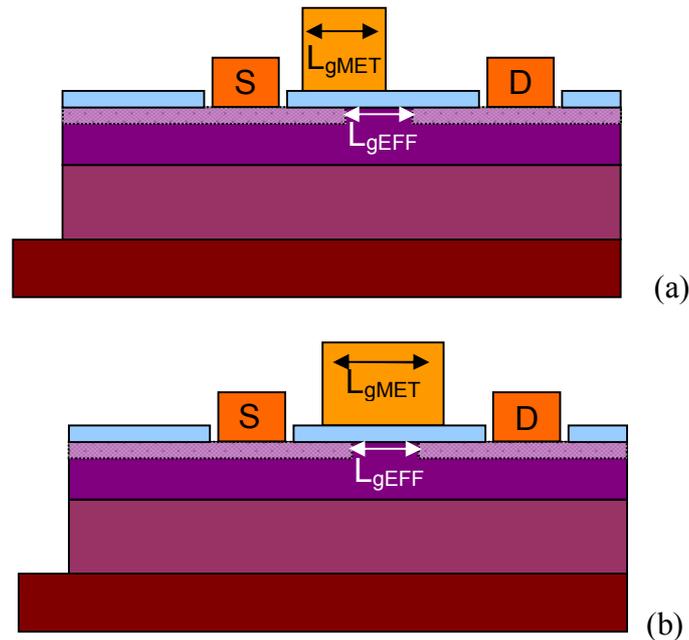


Figure 79 : Technologie « Gate-Last » : grille désalignée (a), alignement correcte de la grille sur caissons (b).

2.3.2.2 Caractérisation électrique des MOSFET en technologie « Gate-Last »

Les MOSFET en technologie « Gate-Last » ont été caractérisés en régimes statique et dynamique. Ces mesures ont été comparées aux résultats issus de MOSFET en technologie « Gate-First ». Il est à noter que la comparaison de ces deux technologies doit s'effectuer pour une même longueur de grille effective (L_{gEFF}) c'est à dire pour une distance inter-caissons identique. Cependant, L_{gEFF} n'étant pas directement accessible, nous avons défini comme paramètre commun de comparaison des deux technologies, une longueur servant de masquage lors de l'implantation L_{MASQUE} . Ainsi, pour une technologie « Gate-First », cette longueur L_{MASQUE} vaut $= L_g + 2T_{espac}$ (L_g longueur du motif de grille et T_{espac} longueur des espaceur) et $L_{MASQUE} = L_{HSQ}$ pour une technologie « Gate-Last ».

La figure 80 représente un comparatif des résultats électriques entre les deux technologies pour une longueur $L_{MASQUE} = 150\text{nm}$. On observe que pour le MOSFET « Gate-Last », la variation de la longueur de grille métallique L_{gMET} ne change pas la commande du courant, ni la transconductance. En effet, les caractéristiques statiques sont théoriquement indépendantes de L_{gMET} ; seules les capacités d'overlap dépendront de cette longueur.

Le tableau 13 présente les paramètres électriques extraits pour ces deux technologies pour une longueur $L_{MASQUE}=150\text{nm}$. Pour la technologie « Gate-First », $L_g=50\text{nm}$ et $T_{espac}=50\text{nm}$ ($L_{MASQUE}=L_g+2T_{espac}=150\text{nm}$), et en « Gate-Last » $L_{MASQUE}=L_{HSQ}=150\text{nm}$.

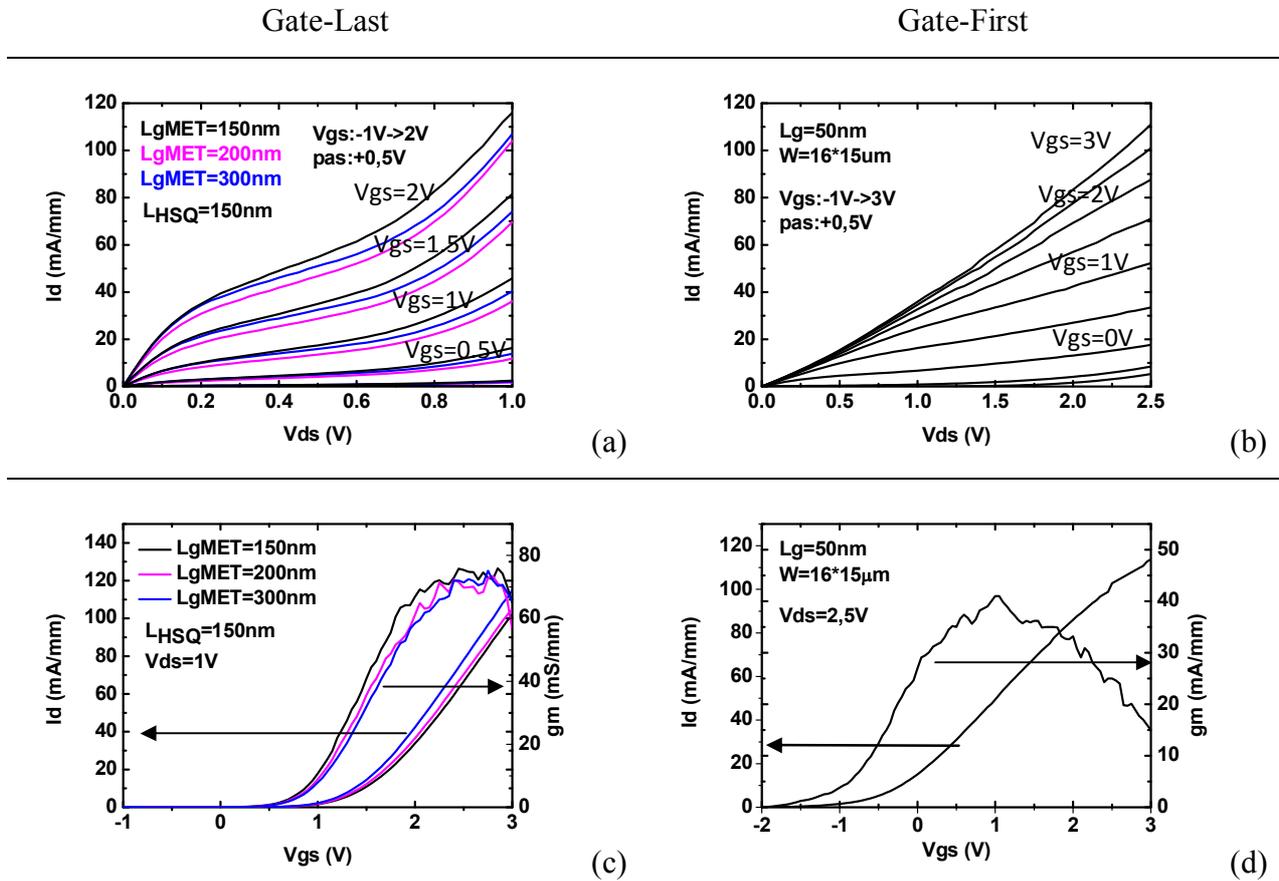


Figure 80 : Caractéristiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET In_{0.53}Ga_{0.47}As du process Gate-Last (a) et (c) et Gate-First (b) et (d) avec une longueur L_{MASQUE} de 150nm (pour le procédé « Gate-Last », la longueur L_{gMET} est de 150nm, 200nm et 300nm)

Tableau 13 : Récapitulatif des performances DC et RF de MOSFET In_{0.53}Ga_{0.47}As avec le procédé Gate-Last pour $V_{ds}=2.5$ ($V_{ds}=1\text{V}$ pour Gate-First), et à polarisation V_{gs} donnant le maximum f_T .

L_{MASQUE} (nm)	Gate-Last				Gate-First			
	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	f_T (GHz)	f_{MAX} (GHz)	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	f_T (GHz)	f_{MAX} (GHz)
150	120	70	60	40	110	40	125	24

On constate peu de variation des caractéristiques DC entre les deux technologies (tableau 13). Le f_T est plus faible pour le Gate-Last par rapport au Gate-First ceci étant dû à la capacité parasite induite par le re-alignement de la grille, tandis que le f_{MAX} est mieux pour le « Gate-Last » que pour le « Gate-First », ce qui est dû à la largeur métallique de grille plus importante pour le Gate-Last qui est de 150nm, par rapport au Gate-First de 50nm, qui donne une résistance de grille plus faible. En plus l'électrode utilisée pour le Gate-Last est constituée de Ni/Au ayant une résistivité plus petite que celle de Ta utilisée en Gate-First.

A la vue de ces résultats, il apparaît que la technologie « Gate-Last » ne semble pas apporter de bénéfice importante par rapport à une technologie « Gate-First » avec toutefois une légère amélioration du courant et de transconductance. La dégradation de la qualité de l'oxyde de grille suite au recuit d'activation des dopants ne semble donc pas être la cause prédominante des faibles valeurs de courant observées sur nos dispositifs.

2.3.3 Influence du recuit PPA sur les caractéristiques du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$

Généralement, après la réalisation technologique de MOSFETs utilisant un oxyde Al_2O_3 , les dispositifs sont recuits sous une atmosphère hydrogénée (forming gas : N_2 :95% H_2 :5%) afin de passiver certains états d'interface. Ce recuit est nommé « Post Process Annealing » PPA. Cette passivation réduit les liaisons pendantes associées aux atomes d'oxygène et d'aluminium se trouvant dans l'oxyde de grille grâce à l'incorporation d'atomes d'hydrogène. Des liaisons de type O-H (situées près de l'interface) et Al-H (situées dans l'oxyde) sont ainsi réalisées rendant ces défauts électriquement neutres. Cet effet a été mis en évidence par Shin et al.[28]. Comme le montre la figure 81, la liaison pendante (Dangling Bond : DB) d'oxygène donne lieu à un niveaux de transition de charge situé à 0.83eV et 0.61eV au dessus du maximum de la bande de Valence VBM (VBM : Valence Band Maximum) d' Al_2O_3 , tandis que la liaison pendante (Dangling Bond : DB) d'aluminium produit des niveaux de transition à 5.12eV et 5.35eV au dessus de la VBM. Par conséquent, nous constatons que les liaisons pendantes d'oxygène seront toujours en dessous du niveau de Fermi (le niveau de Fermi se déplaçant dans la bande interdite de l'InGaAs selon la polarisation de grille) et donc négativement chargées, alors que les liaisons pendantes d'aluminium seront chargées positivement. Ces défauts entraîneront un décalage de la tension de bande plate. Les auteurs montrent que l'effet du PPA permet de passiver ces liaisons et ainsi de retrouver une tension de bande plate quasi idéale.

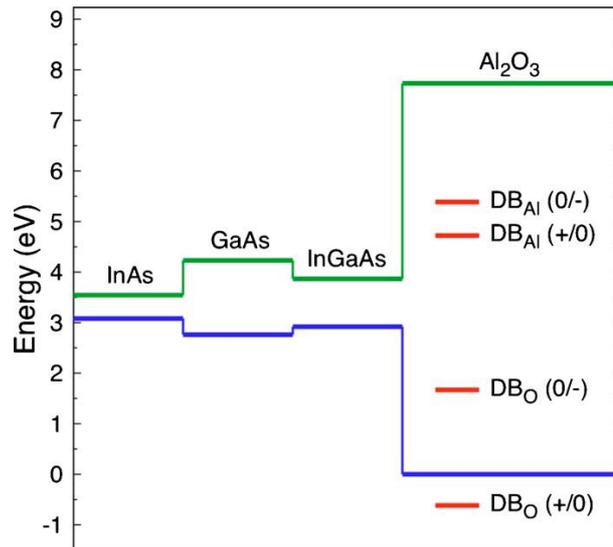


Figure 81 : Alignement de bande entre Al_2O_3 et différents semiconducteurs III-V et position des états de charge pour les liaisons pendantes dans l'oxyde [28].

Dans la partie suivante, nous présenterons l'influence du recuit PPA sous forming gas sur la valeur du D_{it} à partir de structure de type capacité MOS. Nous verrons également l'effet de ce recuit sur les caractéristiques des MOSFET réalisés en technologie Gate-Last et Gate-First.

2.3.3.1 Effet du PPA sur la densité de défaut d'interface

L'effet du PPA sur la valeur du D_{it} a été étudié à partir de capacités MOS dont le procédé de fabrication a été décrit dans la partie 2.2.6. Pour cette étude, le recuit PPA a été fixé à 515°C pendant 1 minute sous N_2 . Les conditions du PPA retenues pour cette étude sont :

- 450°C , 1 min, sous atmosphère azote hydrogéné (N_2H_2)

L'évolution de la capacité MOS en fonction de la polarisation de l'électrode de grille pour différentes fréquences est représentée figure 82 avant le PPA (a) et après le PPA (b) et l'évolution de la densité de défaut D_{it} est représentée figure 83. Les valeurs de la tension de bande plate V_{FB} et de la valeur minimale du D_{it} sont indiquées dans le tableau 14.

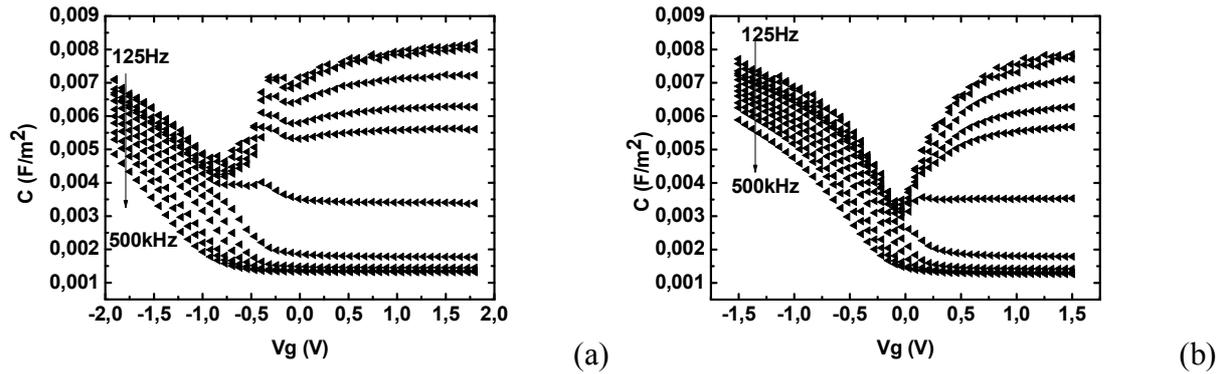


Figure 82: Evolution de la capacité MOS en fonction de V_g pour différentes fréquences allant de 125Hz à 500kHz avant PPA (a) et après PPA (b)

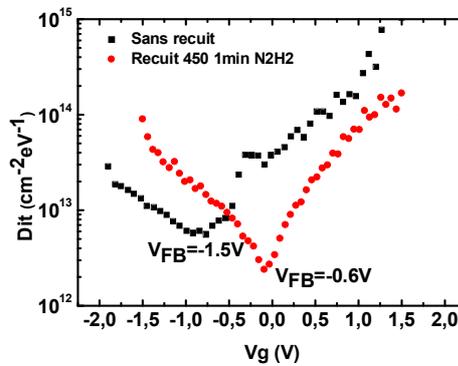


Figure 83: Evolution de D_{it} en fonction de V_g avant (courbe noire) et après PPA (courbe rouge) avec V_{FB} indiqué.

A partir de ces résultats, on peut constater d'une part, une nette diminution de la valeur du D_{it} après un recuit PPA et d'autre part un décalage positif de la tension de bande plate se rapprochant ainsi de la valeur théorique. Ainsi, le recuit sous N_2H_2 semble passer des défauts dans l'oxyde de type donneur [26] se traduisant par le décalage positif observé de la tension V_{FB} . De plus, l'effet du stretch-out est fortement atténué après le recuit PPA se traduisant également par une diminution significative des défauts d'interface qui passe de $5.8 \cdot 10^{12}/\text{cm}^2\text{eV}$ à $2.4 \cdot 10^{12}/\text{cm}^2\text{eV}$.

- Nous pouvons également observer une légère réduction de la dispersion fréquentielle de la capacité dans la zone d'accumulation après recuit PPA. Cette amélioration signifie qu'il a moins de border traps dans l'oxyde (défauts proches de l'interface oxyde/semiconducteur) après recuit [29] [26].

- Enfin, il est à noter que ces résultats sont observables quelle que soit la température de PPA envisagée. En effet, des recuits à des températures de 400°C et 500°C pendant 1 minute ont également été réalisés aboutissant à la même conclusion que précédemment.

Tableau 14 : Niveau de D_{it} et V_{FB} avant et après recuit PPA.

<i>Condition</i>	$D_{it,MIN} (cm^{-2}.eV^{-1})$ <i>(avant recuit)</i>	$D_{it,MIN} (cm^{-2}.eV^{-1})$ <i>(après recuit)</i>	V_{FB} <i>(avant recuit)</i>	V_{FB} <i>(après recuit)</i>
450°C, 1min, N ₂ H ₂	5,8*10 ¹²	2,4*10 ¹²	-1,5V	-0,6V

2.3.3.2 Effet de PPA sur MOSFET In_{0,53}Ga_{0,47}As avec procédé Gate-First et Gate-Last

La diminution significative du D_{it} suite à un recuit PPA observée précédemment sur les capacités MOS nous a conduits à étudier l'influence du recuit PPA sur les caractéristiques électriques des MOSFET fabriqués à partir des technologies « Gate-First » et « Gate-Last ».

Ainsi, le paragraphe suivant présente la comparaison des résultats électriques obtenus avant et après recuit PPA pour des MOSFET de longueur L_{MASQUE} 150nm. Pour ces études, le recuit PPA a été fixé à 500°C, 1 minute sous vide.

2.3.3.2.1 Effet du PPA sur MOSFET réalisés à partir d'une technologie « Gate-First »

La figure 84 représente les caractéristiques statiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ obtenues avant et après un recuit PPA à 400°C pendant 1 minute sous N₂H₂ sur des MOSFET « Gate-First » de longueur L_{MASQUE} 150nm soit $L_g=50$ nm. Les valeurs de courant et de transconductance obtenues sur le procédé sans PPA sont respectivement d'environ 50mA/mm et 35mS/mm, ce qui est plus faible que ce qui avait été obtenues avec le process MOSFET InGaAs standard (partie 2.2.8.1). Cette différence est liée à un recuit PPA 500°C sous vide au lieu des 600°C sous N₂.

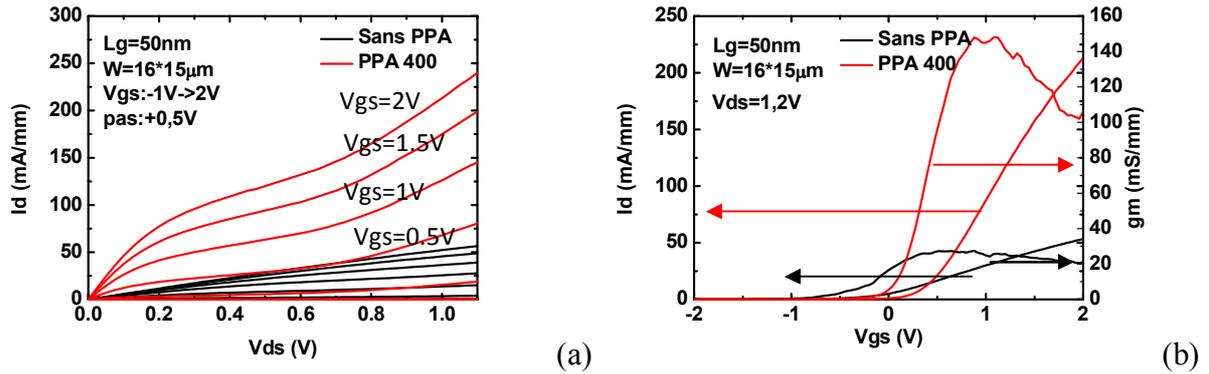


Figure 84 : Caractéristiques $I_d(V_{ds})$ (a) et de $I_d(V_{gs})/g_m(V_{gs})$ (b) avant et après recuit PPA à 400°C sous forming gas.

A la vue de ces résultats, il apparaît d'une part une forte amélioration de la transconductance du transistor après recuit. En effet, celle-ci passe de 30mS/mm avant recuit à 150mS/mm après recuit à $V_{ds}=1.2V$. De même, une forte amélioration du courant I_d peut également être observée. Toutefois après recuit, nous pouvons constater l'apparition d'un effet kink pour des tensions V_{ds} supérieure à 0,8V. Il est également à noter un décalage positif d'environ 0.5V de la tension de seuil V_{TH} des transistors après recuit PPA. Ainsi, les résultats obtenus semblent donc en parfaite concordance avec les évolutions observées sur les capacités MOS après un recuit PPA. L'augmentation de la transconductance semble donc être liée à la réduction du D_{it} . De même que le décalage de la tension de seuil est corrélé au décalage de la tension de bande plate V_{FB} observée sur les capacités. Les mesures dynamiques montrent également une amélioration des fréquences de coupure du transistor après recuit (figure 85). Une amélioration d'un facteur 3 du f_T et du f_{MAX} ont été obtenu après recuit PPA sur un MOSFET de $L_{MASQUE}=200nm$ (soit $L_g=100nm$).

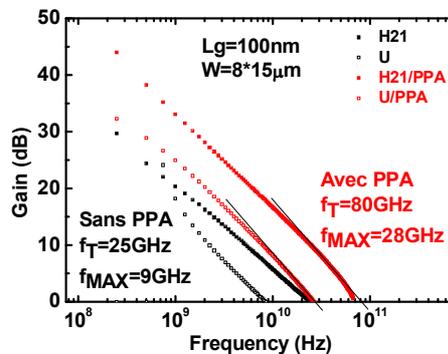


Figure 85 : Evolution fréquentielle des gains avant (courbes noires) et après recuit PPA (courbes rouges) à 400°C sous N_2H_2 pour une longueur de grille de 100nm.

Malgré les améliorations observées précédemment après recuit PPA, les performances des transistors restent en deçà de l'état de l'art.

2.3.3.2.2 Effet du PPA sur MOSFET réalisés à partir d'une technologie « Gate-Last »

La figure 86 représente les caractéristiques statiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ obtenues avant et après un recuit PPA à 400°C pendant 1 minute sous N_2H_2 sur des MOSFET « Gate-Last » de longueur de grille L_{HSQ} de 150nm (identique à $L_g=50nm$ pour procédé Gate-First).

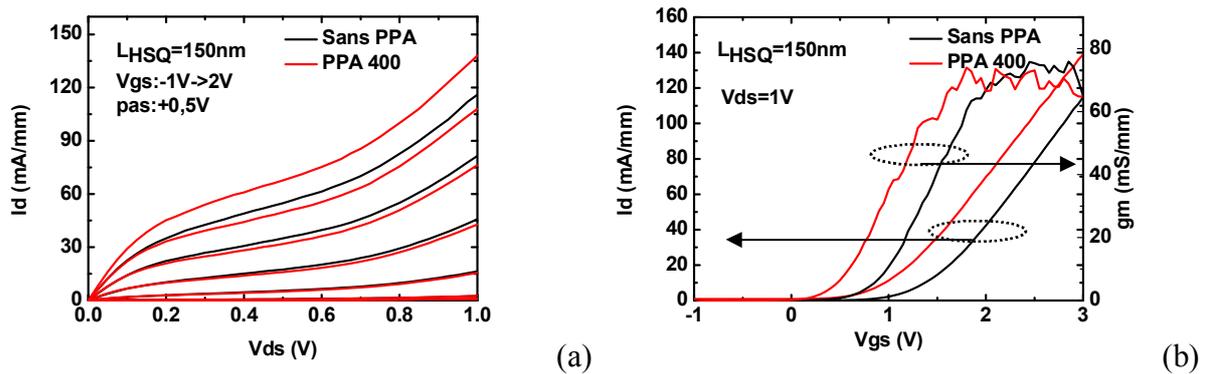


Figure 86 : Caractéristiques de $I_d(V_{ds})$ (a) et de $I_d(V_{gs})/g_m(V_{gs})$ (b) avant et après le recuit PPA.

Contrairement aux résultats obtenus sur une technologie Gate-First, le recuit PPA induit simplement un décalage négatif de la tension de seuil V_{TH} du transistor d'environ -0,5V. La tension de seuil V_{TH} se rapproche ainsi de sa valeur théorique de 0.7V comme le montre la figure 87, où a été recalculée la tension de seuil en fonction du dopage pour un métal de grille de la technologie Gate-Last en Ni, au lieu du Ta utilisé pour le Gate-First. On ne constate aussi aucune amélioration de la transconductance du transistor. Ce résultat signifie que la densité de défauts d'interface reste identique avant et après recuit PPA et que seuls les défauts dans l'oxyde sont passivés après ce recuit (les défauts négatifs ont été diminués dans l'oxyde). De plus, les caractéristiques électriques du « Gate-Last » mesurées après PPA sont relativement similaires à celles obtenues en technologie « Gate-First » signifiant ainsi que la valeur du D_{it} est semblable entre ces deux technologies après le recuit PPA.

Ainsi, à la vue de ces résultats, nous pouvons conclure que le recuit d'activation des dopants après l'étape d'implantation accroît la valeur du D_{it} et des défauts fixes négatifs près de l'interface oxyde/semiconducteur en créant des liaisons pendantes mais qu'un recuit PPA sous forming gas permet de neutraliser cette augmentation de défauts d'interface.

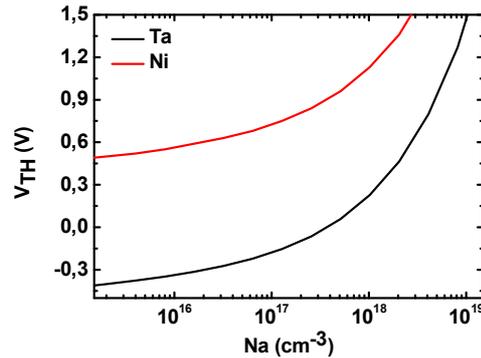


Figure 87 : Evolution de la tension de seuil en fonction de dopage Na de la couche d'InGaAs avec différentes électrodes de grille Ta et Ni.

2.3.4 Amélioration du budget thermique en baissant la température de recuit d'activation

Les performances obtenues sur le MOSFET InGaAs ne sont pas idéales par rapport l'état de l'art. Même si le recuit PPA à la fin de process nous a montré une grande amélioration des performances, elles sont toujours loin de l'état de l'art. Donc une autre voie possible doit être étudiée en baissant le budget thermique. Comme ce qui a été obtenu sur le MOSFET « Gate-Last » et « Gate-First », le procédé Gate-Last nous donne relativement de meilleures performances par un deuxième dépôt d'oxyde, le premier oxyde ayant subi un recuit d'activation d'implantation à 750°C 10s étant retiré. Cette amélioration nous indique que la haute température de recuit d'activation pourrait dégrader l'oxyde très fortement, et donc baisser cette température de recuit d'activation est nécessaire pour améliorer les performances du transistor. Mais en baissant cette température de recuit, le taux d'activation des implants pourrait être diminué empêchant d'avoir un bon contact ohmique de source et drain. Donc il est nécessaire de trouver un compromis sur la température de recuit d'activation entre l'activation des implants et un oxyde de grille peu dégradé.

Cette étude de test d'implantation à une température plus basse de 600°C au lieu de 750°C a été faite sur une couche standard de type MOSFET InGaAs (figure 24). La dose d'implantation, le temps de recuit utilisé ont été modifiés. L'énergie d'implantation a été fixée à 15keV.

Dans un premier temps, nous avons étudié l'influence du temps de recuit d'activation après l'implantation ionique des caissons et du type de métallisation. Les résultats de cette optimisation sont reportés dans le tableau 15. Deux mesures ont été effectuées : une mesure TLM qui renseigne sur la qualité du contact ohmique par détermination de la résistance de

contact, et enfin une mesure par effet Hall qui permet de déterminer la quantité d'implants activée dans la couche ainsi que la mobilité de ces charges. La dose a été fixée à $5 \cdot 10^{13}/\text{cm}^2$. Le séquentiel de métallisation par évaporation est Ti/Pt/Au (250/250/3000Å), qui est un contact ohmique non-diffusant, ce qui permet d'éviter des diffusions du métal en particulier latéralement.

On observe (tableau 15) que quelque soit le temps de recuit, la métallisation Ti/Pt/Au ne donne pas de contact ohmique après avoir baissé la température de recuit d'activation de 750°C à 600°C , bien que sur les MOSFET InGaAs avec 750°C , étaient ohmiques.

Tableau 15 : Test d'implantation du silicium pour contact ohmique N en fonction de recuit d'implantation, avec une dose de $5 \cdot 10^{13}/\text{cm}^2$.

Energie/Dose	15keV $5 \cdot 10^{13}/\text{cm}^2$	15keV $5 \cdot 10^{13}/\text{cm}^2$	15keV $5 \cdot 10^{13}/\text{cm}^2$
Recuit implantation	600°C 30s	600°C 60s	600°C 10s
Métallisation Contact ohmique	Ti/Pt/Au		
Recuit contact ohmique	Non recuit	Non recuit	Non recuit
TLM			
R_c (Ωmm)	Pas ohmique	Pas ohmique	Pas ohmique

Afin d'obtenir des contacts ohmiques, une plus forte dose d'implantation a été testée. Deux doses ont été étudiées : $10^{14}/\text{cm}^2$ et $2 \cdot 10^{14}/\text{cm}^2$ avec plusieurs températures de recuit d'activation des implants. L'énergie d'implantation est fixée à 15keV, Différentes température de recuit et temps de recuit ont été testés et les résultats sont reportés dans le tableau 16.

D'après mesure HALL et TLM montrées dans le tableau 11, une dose augmentée à $10^{14}/\text{cm}^2$ est suffisante pour avoir un contact ohmique à 600°C . En comparant deux temps différents de recuit 10s et 60s à 600°C , les résistances de contact sont respectivement $0.13 \Omega.\text{mm}$ et $0.057 \Omega.\text{mm}$. Un temps de 10s de recuit donne une valeur de contact moyenne. Un temps de 60s est plus élevé et risque de dégrader plus fortement la qualité de l'oxyde et de son interface. Nous avons choisi un compromis de recuit à 600°C pendant 20s (dose à $10^{14}/\text{cm}^2$ et énergie à 15keV) avec une résistance de contact envisagée entre $0.05 \Omega.\text{mm}$ et $0.1 \Omega.\text{mm}$, qui devrait être aux alentours de $0.08 \Omega.\text{mm}$. Ce nouveau recuit n'a pas été utilisé sur les MOSFET

InGaAs standards, mais a été testé sur les MOSHEMT présentés dans le chapitre 3. Une dose plus importante à $2*10^{14}/\text{cm}^2$ améliore les résistances de contact ohmique et le $R_{carré}$. Finalement un recuit à 500°C donne un contact ohmique moins bon ainsi qu'une $R_{carré}$ de la zone implantée plus important.

Tableau 16 : sommaire de test d'implantation avec les valeurs obtenues par mesure HALL et TLM avec le contact TiPtAu, une énergie de 15keV pour différentes doses et températures de recuit d'activation.

Energie	15keV	15keV	15keV	15keV	15keV
Dose	$\underline{10^{14}}/\text{cm}^2$	$\underline{10^{14}}/\text{cm}^2$	$\underline{2*10^{14}}/\text{cm}^2$	$\underline{2*10^{14}}/\text{cm}^2$	$\underline{2*10^{14}}/\text{cm}^2$
Recuit implantation	600°C 10s	600°C 60s	600°C 10s	600°C 60s	500°C 60s
Métalisation contact ohmique	Ti/Pt/Au				
Recuit contact ohmique	Non recuit	Non recuit	Non recuit	Non recuit	Non recuit
TLM					
$R_c (\Omega\text{mm})$	0.13	0.057	0.14	0.027	0.43
HALL					
$R_{carré} (\Omega)$	174	152	174	149	301
$n_H (/cm^2)$	$-2.3*10^{13}$	$-2.6*10^{13}$	$-2.69*10^{13}$	$-3.13*10^{13}$	$-2.45*10^{13}$
$\mu_H (cm^2/Vs)$	1550	1570	1330	1330	844

Rcarré TLM

2.4 Conclusion du chapitre 2

Dans ce chapitre, la technologie de fabrication de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ a été présentée. Parallèlement, des structures de capacité MOS ont également été fabriquées pour qualifier l'oxyde et quantifier le niveau de la densité de défaut d'interface D_{it} . Deux procédés de fabrication ont été comparés sur les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$; il s'agit des procédés « Gate-First » et « Gate-Last ». Nous avons constaté que la technologie « Gate-Last » démontre une légère amélioration des performances par rapport la technologie « Gate-First » sous même condition du PDA. Ceci est lié à la dégradation de la qualité de l'oxyde au niveau de la densité de défaut et, probablement, de la rugosité d'interface suite au recuit d'activation des caissons d'implantation pour la technologie « Gate-First ». Néanmoins, les caractéristiques statiques extraites sur un MOSFET Gate-Last restent faibles. Le recuit d'activation des dopants n'est pas la cause principale des faibles performances obtenues. Différents conditions de PDA (PDA sous N_2 et PDA sous vide) ont été étudiées montrant que les MOSFETs présentant les meilleures performances de DC et RF sont ceux obtenus avec PDA sous N_2 malgré qu'un PDA sous vide permet d'obtenir une rugosité de surface plus faible et des niveaux d'oxyde plus faibles. L'effet du recuit PPA a été aussi présenté. Cette étude a montré qu'un recuit PPA sous N_2H_2 permet de passiver certaines charges fixes dans l'oxyde et améliore la qualité de l'interface y compris le D_{it} qui a été dégradé durant le procédé de recuit d'activation des implants observé sur le procédé Gate-First. Néanmoins, les caractéristiques statiques que nous avons pu obtenir durant ces travaux sont relativement éloignées de l'état de l'art actuel avec $I_{dMAX}=180\text{mA/mm}$, $g_{mMAX}=110\text{mS/mm}$, $f_T=150\text{GHz}$, $f_{MAX}=47\text{GHz}$ pour une longueur de grille de 50nm sous condition de PDA 600°C N_2 réalisé par procédé Gate-First, et $D_{it}=6*10^{12}/\text{cm}^2\text{eV}$. Dans le chapitre 3, de nouvelles structures de MOSFET III-V telles que les structures MOSHEMT InGaAs dapté maille ou pseudomorphique sur InP, et MOSFET InAs seront présentées pour éventuellement améliorer ces performances.

Bibliographie :

- [1] S. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, et S. Takagi, Self-Aligned Metal Source/Drain $\text{In}_x\text{Ga}_{1-x}\text{As}$ n-Metal–Oxide–Semiconductor Field-Effect Transistors Using Ni–InGaAs Alloy, *Appl. Phys. Express*, vol. 4, n° 2, p. 024201, 2011.
- [2] X. Zhang, H. Guo, H.-Y. Lin, Ivana, X. Gong, Q. Zhou, Y.-R. Lin, C.-H. Ko, C. H. Wann, et Y.-C. Yeo, Reduction of Off-State Leakage Current in $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ Channel n-MOSFETs with Self-Aligned Ni-InGaAs Contact Metallization, *Electrochem. Solid-State Lett.*, vol. 14, n° 5, p. H212-H214, 2011.
- [3] D. Hojo, Y. Xuan, et T. Yasuda, Development of an Automated Vapor/Liquid Hybrid Deposition System to Form High-k Dielectrics, *Chemical Vapor Deposition*, vol. 12, n° 4, p. 214-219, 2006.
- [4] J. Hu et H.-S. Philip Wong, Effect of annealing ambient and temperature on the electrical characteristics of atomic layer deposition $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor capacitors and MOSFETs, *Journal of Applied Physics*, vol. 111, n° 4, p. 044105-044105-8, 2012.
- [5] N. V. Nguyen, M. Xu, O. A. Kirillov, P. D. Ye, C. Wang, K. Cheung, et J. S. Suehle, Band offsets of $\text{Al}_2\text{O}_3/\text{In}_x\text{Ga}_{1-x}\text{As}$ ($x=0.53$ and 0.75) and the effects of postdeposition annealing, *Appl. Phys. Lett.*, vol. 96, n° 5, p. 052107, 2010.
- [6] M. V. Rao, Rapid isothermal annealing of high- and low-energy ion-implanted InP and $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, *Electron Devices, IEEE Transactions on*, vol. 39, n° 1, p. 160 -165, 1992.
- [7] M. Rao, S. Gulwadi, P. Thompson, A. Fathimulla, et O. Aina, Halogen lamp rapid thermal annealing of Si- and Be-implanted $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, *Journal of Electronic Materials*, vol. 18, n° 2, p. 131-136, 1989.
- [8] A. Alian, G. Brammertz, N. Waldron, C. Merckling, G. Hellings, H. C. Lin, W. E. Wang, M. Meuris, E. Simoen, K. D. Meyer, et M. Heyns, Silicon and selenium implantation and activation in $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ under low thermal budget conditions, *Microelectronic Engineering*, vol. 88, n° 2, p. 155-158, 2011.
- [9] A. Olivier, thèse 'Fabrication et caractérisation des transistors à effet de champ de la filière III-V pour applications basse consommation', <http://ori.univ-lille1.fr/notice/view/univ-lille1-ori-14720>.
- [10] D. K. Schroder, *Semiconductor material and device characterization*, Wiley-Interscience Publication, 1998, p. 350
- [11] M. Shi, thèse 'Simulation monte carlo de mosfet à base de matériaux iii-v pour une électronique haute fréquence ultra basse consommation', <http://www.theses.fr/2012PA112009>.
- [12] M. C. A. M. Koolen, J. A. M. Geelen, et M. P. J. G. Versleijen, An improved de-embedding technique for on-wafer high-frequency characterization, in *Proceedings of Bipolar Circuits and Technology Meeting, 1991.*, p. 188-191.
- [13] A. Bracale, thèse 'caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes', Université Pierre et Marie Curie Paris VI, 2001.
- [14] S. Mileusnic, M. Zivanov, et P. Habas, MOS transistors characterization by split C-V method, in *Proceedings of International Semiconductor Conference, 2001.*, vol. 2, p. 503 -506 vol.2.
- [15] L. Morassi, G. Verzellesi, H. Zhao, J. C. Lee, D. Veksler, et G. Bersuker, Errors Limiting Split-CV Mobility Extraction Accuracy in Buried-Channel InGaAs MOSFETs, *IEEE Transactions on Electron Devices*, vol. 59, n° 4, p. 1068 -1075, 2012.

- [16] T. D. Lin, P. Chang, Y. D. Wu, H. C. Chiu, J. Kwo, et M. Hong, Achieving very high drain current of 1.23 mA/ μm in a 1- μm -gate-length self-aligned inversion-channel MBE- $\text{Al}_2\text{O}_3/\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)/\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ MOSFET, *Journal of Crystal Growth*, vol. In Press, Corrected Proof.
- [17] R. J. W. Hill, C. Park, J. Barnett, J. Price, J. Huang, N. Goel, W. Y. Loh, J. Oh, C. E. Smith, P. Kirsch, P. Majhi, et R. Jammy, Self-aligned III-V MOSFETs heterointegrated on a 200 mm Si substrate using an industry standard process flow, in *IEEE International Electron Devices Meeting (IEDM)*, 2010, p. 6.2.1-6.2.4.
- [18] T. Yasuda, Susceptibility of InGaAs MISFETs to Thermal Processes in the Device Fabrication, presented at the SISC, 2009.
- [19] T. Yang, Y. Xuan, D. Zemlyanov, T. Shen, Y. Q. Wu, J. M. Woodall, P. D. Ye, F. S. Aguirre-Tostado, M. Milojevic, S. McDonnell, et R. M. Wallace, Interface studies of GaAs metal-oxide-semiconductor structures using atomic-layer-deposited $\text{HfO}_2/\text{Al}_2\text{O}_3$ nanolaminate gate dielectric, *Applied Physics Letters*, vol. 91, n^o. 14, p. 142122-142122-3, 2007.
- [20] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, et P. D. Ye, High-performance submicron inversion-type enhancement-mode InGaAs MOSFET with maximum drain current of 360 mA/mm and transconductance of 130 mS/mm, in *Device Research Conference*, 2007, p. 207-208.
- [21] S. J. Yun, K.-H. Lee, J. Skarp, H.-R. Kim, et K.-S. Nam, Dependence of atomic layer-deposited Al_2O_3 films characteristics on growth temperature and Al precursors of $\text{Al}(\text{CH}_3)_3$ and AlCl_3 , *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 15, n^o. 6, p. 2993-2997, 1997.
- [22] Hock-Chun Chin, Xinke Liu, Xiao Gong, et Yee-Chia Yeo, Silane and Ammonia Surface Passivation Technology for High-Mobility $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSFETs, *IEEE Transactions on Electron Devices*, vol. 57, n^o. 5, p. 973-979, 2010.
- [23] E. J. Kim, L. Wang, P. M. Asbeck, K. C. Saraswat, et P. C. McIntyre, Border traps in $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (100) gate stacks and their passivation by hydrogen anneals, *Appl. Phys. Lett.*, vol. 96, n^o. 1, p. 012906, 2010.
- [24] Y. C. Chang, C. Merckling, J. Penaud, C. Y. Lu, W.-E. Wang, J. Dekoster, M. Meuris, M. Caymax, M. Heyns, J. Kwo, et M. Hong, Effective reduction of interfacial traps in $\text{Al}_2\text{O}_3/\text{GaAs}$ (001) gate stacks using surface engineering and thermal annealing, *Appl. Phys. Lett.*, vol. 97, n^o. 11, p. 112901, 2010.
- [25] L. Morassi, G. Verzellesi, A. Padovani, L. Larcher, P. Pavan, D. Veksler, Injo Ok, et G. Bersuker, Analysis of interface-trap effects in inversion-type InGaAs/ ZrO_2 MOSFETs, in *IEEE International Reliability Physics Symposium (IRPS)*, 2010, p. 532-535.
- [26] R. D. Long, B. Shin, S. Monaghan, K. Cherkaoui, J. Cagnon, S. Stemmer, P. C. McIntyre, et P. K. Hurley, Charged Defect Quantification in $\text{Pt}/\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ MOS Capacitors, *J. Electrochem. Soc.*, vol. 158, n^o. 5, p. G103-G107, 2011.
- [27] J. J. Gu, Y. Q. Wu, et P. D. Ye, Effects of Gate-Last and Gate-First process on deep submicron inversion-mode InGaAs n-channel metal-oxide-semiconductor field effect transistors, *J. Appl. Phys.*, vol. 109, n^o. 5, p. 053709, 2011.
- [28] B. Shin, J. R. Weber, R. D. Long, P. K. Hurley, C. G. Van de Walle, et P. C. McIntyre, Origin and passivation of fixed charge in atomic layer deposited aluminum oxide gate insulators on chemically treated InGaAs substrates, *Appl. Phys. Lett.*, vol. 96, n^o. 15, p. 152908, 2010.
- [29] E. P. Gusev, D. A. Buchanan, E. Cartier, A. Kumar, D. DiMaria, S. Guha, A. Callegari, S. Zafar, P. C. Jamison, D. A. Neumayer, M. Copel, M. A. Gribelyuk, H. Okorn-Schmidt, C. D'Emic, P. Kozlowski, K. Chan, N. Bojarczuk, L.-A. Ragnarsson, P. Ronsheim, K. Rim, R. J. Fleming, A. Mocuta, et A. Ajmera, Ultrathin high-K gate stacks

for advanced CMOS devices, in *IEEE International Electron Devices Meeting, 2001.*, p. 20.1.1-20.1.4.

Chapitre 3 Nouvelles structures de MOSFET

3.1 Introduction

Dans ce chapitre, nous aborderons l'étude de nouvelles structures de MOSFET III-V, avec comme critère de choix, une mobilité électronique plus importante, afin d'augmenter les performances fréquentielles des transistors sous faible polarisation V_{ds} . Comme indiqué dans le chapitre 1, l'insertion d'un matériau à grande bande interdite entre le canal d'inversion à matériau à petite bande interdite et l'oxyde est une solution pour augmenter la mobilité du canal. On parlera alors de structure à canal enterré ou MOSHEMT. Enfin l'utilisation d'un matériau à plus forte mobilité électronique, l'InAs est aussi une possibilité pour l'obtention de meilleures performances électriques.

Ce chapitre est divisé en 3 parties. Les deux premières parties concernent des structures à canal enterré appelées MOSHEMT, basées sur le matériau InGaAs adapté en maille sur substrat InP pour la partie 1 et pseudomorphique sur substrat InP pour la partie 2. Enfin, dans la troisième partie, nous présenterons les premiers résultats sur des MOSFET à canal InAs (structure métamorphique sur substrat GaAs).

3.2 MOSHEMT InGaAs

3.2.1 Motivations du MOSHEMT : simulation Monte Carlo

D'après la littérature la mobilité effective extraite par mesures « *Split-CV* » sur des MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec un canal d'inversion près de l'interface oxyde/semiconducteur est généralement inférieure à $2000\text{cm}^2/\text{Vs}$. En utilisant une structure à canal enterré que nous appellerons MOSHEMT, la couche d'inversion peut être tenue à l'écart de l'interface qui est à l'origine de la dégradation de mobilité. Une solution consiste à ajouter une fine couche d'un matériau à grande énergie de bande interdite semi-isolant (normalement InAlAs ou InP), qui éloigne les charges d'inversion de l'interface et doit donc renforcer la mobilité du canal. Comme il a été présenté par Zhao H. [1], la structure MOSHEMT permet d'augmenter la mobilité électronique avec une valeur qui passe de $2800\text{cm}^2\cdot\text{V}^{-1}\text{s}^{-1}$ pour une structure standard à $4400\text{cm}^2\cdot\text{V}^{-1}\text{s}^{-1}$ pour un canal enterré. Par rapport à la structure d'un HEMT, le MOSHEMT présente l'avantage d'un courant de fuite de grille réduit, par l'ajout d'un diélectrique high-k à l'empilement de grille. Toutefois, l'ajout de la couche semi-isolante dans

l'empilement de grille va augmenter la distance électrode de grille et électrons du canal, ce qui peut affaiblir le contrôle de la grille sur les électrons du canal, par dégradation du rapport d'aspect. Cela peut potentiellement dégrader les performances de transistor par l'augmentation des effets de canal court [2]. De plus, si la couche semi-isolante insérée est trop épaisse, on risque d'y accumuler des électrons. La mobilité électronique dans une couche semi-isolante étant moins bonne (InP ou InAlAs), on risque de dégrader les propriétés de transport électronique de toute la structure, et donc les performances électriques. Ainsi il est nécessaire de trouver un compromis sur (1) la réduction du rapport d'aspect due à l'insertion de la couche semi-isolante, (2) l'accumulation possible de porteurs dans cette couche, (3) l'amélioration de la mobilité électronique par l'éloignement de l'interface oxyde/semiconducteur [3].

Afin de valider les avantages du MOSHEMT par rapport au MOSFET, des simulations Monte Carlo ont été effectués par M. Shi [4] de l'IEF. Deux structures ont été simulées. Un MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ standard et un MOSHEMT adapté en maille sur substrat InP (figure 88). La structure de couche du MOSHEMT est donnée figure 88. Elle est constituée de la même structure que celle précédemment utilisée pour les MOSFET InGaAs, à laquelle a été ajoutée une fine couche de matériau à grande bande interdite InAlAs, de pourcentage d'indium 52%, et d'une couche d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en surface. Ces deux matériaux sont adaptés en maille sur InP, et ne présentent pas de problème particulier de croissance. La couche d'InAlAs sert de couche semi-isolante. La couche d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ a été ajoutée afin de conserver les mêmes conditions d'interface que celle du MOSFET InGaAs en évitant l'oxydation d'InAlAs et éviter de nouvelles études sur l'interface oxyde/semiconducteur.

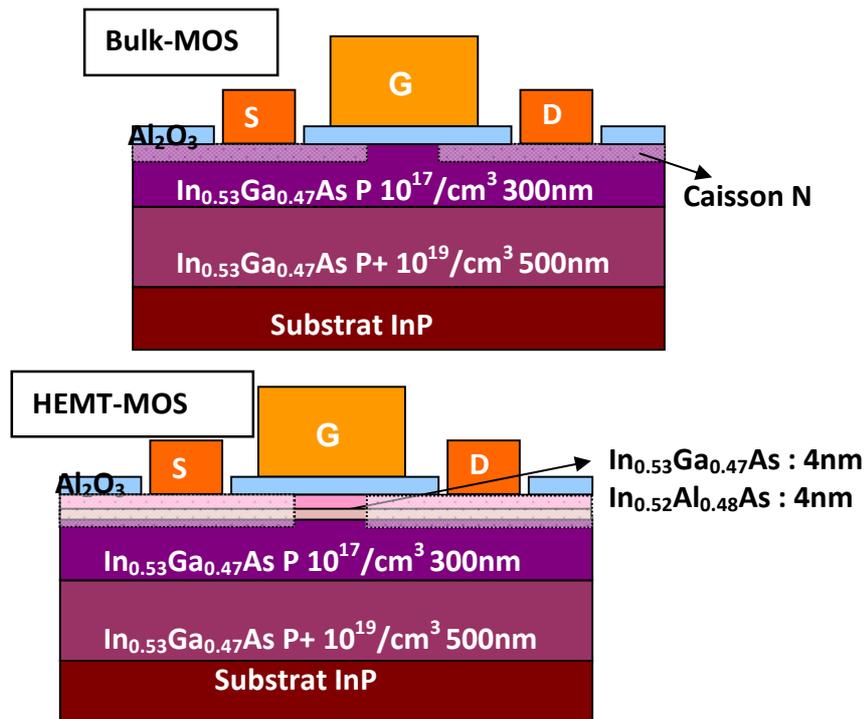


Figure 88 : Structure de MOSFET InGaAs standard (bulk-MOS) et du MOSHEMT (HEMT-MOS) simulées par Monte Carlo

Les résultats des calculs Monte Carlo en dynamique sont reportés dans le tableau 17 pour le MOSFET, le MOSHEMT, ainsi qu'un HEMT InAlAs/InGaAs, ce dernier constituant la référence en termes de performances fréquentielles. Les longueurs de grille ont été fixées à 50nm. On peut constater que la structure MOSHEMT permet d'obtenir des performances comparables à celles du HEMT, et meilleures que celles du MOSFET. Ce bon résultat est attribué à des propriétés de transport électronique meilleures que celles du MOSFET. Enfin à titre indicatif, nous donnons aussi les valeurs des pentes sous le seuil de ces trois structures, qui restent identiques pour le MOSFET et le MOSHEMT.

Tableau 17 : Fréquences de coupure et pentes sous le seuil des MOSFET InGaAs, MOSHEMT pour une longueur de grille 50nm, d'après des simulations Monte Carlo. Les résultats sur des HEMT sont aussi reportés [4]

L_{ch} 50nm	f_T (GHz)	f_{MAX} (GHz)	SS (mV/dec)
Bulk-MOS	520	200	75
MOSHEMT	690	580	80
HEMT	630	540	110

3.2.2 MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adapté en maille sur InP

Dans cette partie, nous présentons la technologie de fabrication et les résultats électriques des MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adapté en maille sur InP.

3.2.2.1 Technologie du MOSHEMT adapté en maille sur InP

La structure de couche utilisée est donnée figure 89. Les épaisseurs sont celles de la simulation Monte Carlo, excepté celle de la couche en surface d' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ qui a été augmentée de 2nm par rapport à celle de la simulation (2nm pour la simulation). Cette épaisseur est augmentée afin d'anticiper sa réduction lors du traitement de surface avant dépôt d'oxyde.

$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	NID	4nm
$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	NID	4nm
$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{Na}=10^{17}/\text{cm}^3$	300nm
$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{Na}=10^{19}/\text{cm}^3$	500nm
Substrat InP		

Figure 89 : Structure de couche du MOSHEMT InGaAs

La fabrication du MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adapté en maille sur InP est identique à celle du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en « Gate-First » à multidoigts de grille et est constituée des étapes principales données ci-dessous :

- Dépôt ALD Al_2O_3 de 4nm avec recuit PDA 500°C 1min sous vide
- Définition de la grille Ta avec le processus « Gate-First »
- Définition de l'espaceur Si_3N_4 de 50nm
- Implantation des caissons N source/drain avec recuit d'activation.
- Recuit de contact S/D à 400°C 1min sous forming gaz pour un bon contact ohmique
- Sans contact substrat de type P
- Ponts à air structure RF multidoigts de grille

Sur ce procédé de fabrication, nous avons utilisé le recuit d'implantation des caissons N à plus basse température, 600°C au lieu de 750°C, qui a été mis au point dans la partie 2.3.4 sur les MOSFET InGaAs, afin de diminuer le budget thermique. Cette réduction de la température d'activation à 600°C impose, comme il a été montré dans la partie 2.3.4 du chapitre 2,

d'augmenter la dose à $10^{14}/\text{cm}^2$ afin d'obtenir un bon contact ohmique. De plus, la structure de couche est différente par rapport à celle du MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, il est donc nécessaire d'optimiser les conditions d'implantation. Une simulation d'implantation par le logiciel SRIM (Stopping Range Ion in Matter) a été faite à l'énergie 20keV (au lieu de 15keV pour le MOSFET) en considérant une couche barrière $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$: 4nm/4nm rajouté pour le MOSHEMT. Cette simulation est montrée figure 90. On observe que l'implantation à 20keV pour le MOSHEMT est étalée sur la même profondeur que l'implantation à 15keV pour le MOSFET (figure 35.b du chapitre 2), avec un pic de concentration normalisée pratiquement à la même valeur, environ $3.5 \cdot 10^5$ (atoms/cm³)/(atoms/cm²).

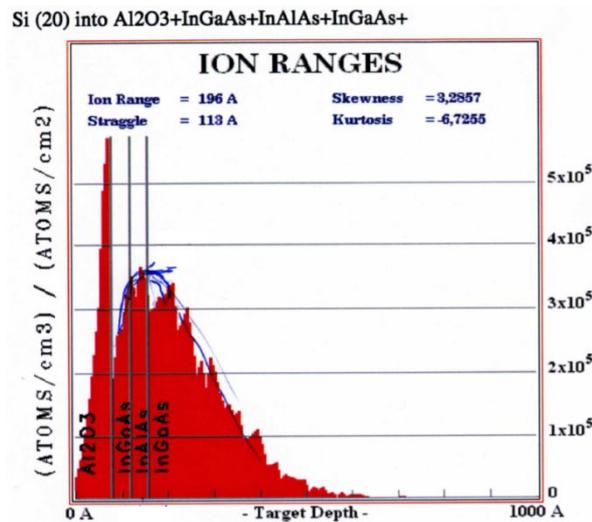


Figure 90 : Simulation d'implantation d'ion Si par le logiciel SRIM, à l'énergie 20keV avec la composition du matériau $\text{Al}_2\text{O}_3/\text{InGaAs}/\text{InAlAs}/\text{InGaAs}$ (4nm/4nm/4nm/800nm).

Après l'implantation du silicium à une dose de $10^{14}/\text{cm}^2$ et une énergie de 20keV, et le recuit d'activation à 600°C pendant 20s, une métallisation de Ti/Pt/Au (25/25/300nm) est réalisée afin de définir les contacts de source et de drain. Un recuit supplémentaire du contact ohmique à 400°C pendant 60s a été nécessaire pour avoir une bonne résistance de contact ohmique comme montrée dans le tableau 18. La résistance de contact mesurée par TLM passe de 0.8 à $0.08 \Omega \text{mm}$ après le recuit de contact à 400°C (la même résistance de contact que celle des MOSFET). La mesure de Hall sur les motifs implantées, nous renseigne sur l'activation des dopants de l'implantation, qui atteint en fin de process une densité de charge n_H de $-2.8 \cdot 10^{13} \text{cm}^{-2}$ (tableau 18).

Tableau 18 : Caractéristiques TLM (R_c et $R_{carré}$) et HALL (n_H et μ_H) des caissons d'implantation des MOSHEMT InGaAs.

MOSHEMT		
	Sans recuit contact	Après recuit contact
TLM		
R_c (Ωmm)	0.87	0.077
$R_{carré}$	140	138
HALL		
$R_{carré}$ (Ω)	141	139
μ_H (cm^2/Vs)	1800	1600
n_H (cm^{-2})	$-2.45 \cdot 10^{13}$	$-2.8 \cdot 10^{13}$

3.2.2.2 Caractéristiques statiques et dynamiques du MOS-HEMT adapté en maille sur InP

Dans cette partie, les caractéristiques statiques et dynamiques de MOSHEMT $In_{0.53}Ga_{0.47}As$ adapté en maille sur InP sont présentées. Les figures 91 représentent les caractéristiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ d'un MOSHEMT $In_{0.53}Ga_{0.47}As$ avec une longueur de grille de 100nm. La figure 92 montre les résultats dynamiques du gain en courant H_{21} et du gain unilatéral de Mason U et les fréquences de coupure f_T et f_{MAX} associées, pour la longueur de grille de 100nm.

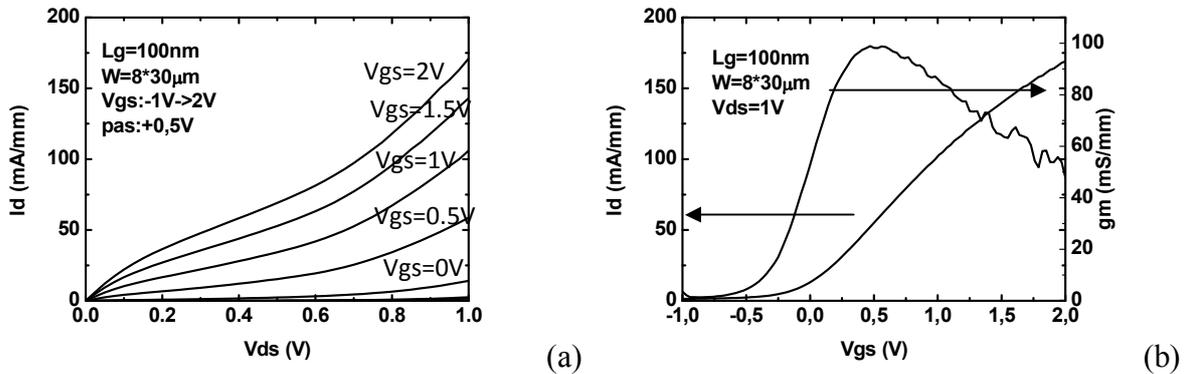


Figure 91 : Caractéristiques $I_d(V_{ds})$ (a) et $I_d(V_{gs})/g_m(V_{gs})$ (b) du MOSHEMT $In_{0.53}Ga_{0.47}As$ avec une longueur de grille de 100nm.

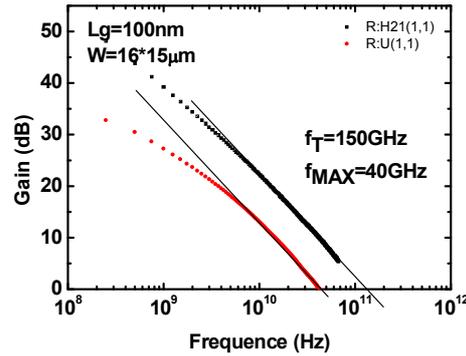


Figure 92 : Caractéristiques fréquentielles de MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ avec f_T , f_{MAX} extrapolés, pour une longueur de grille de 100nm.

Les valeurs maximales de I_d , g_m , f_T et f_{MAX} sont listées dans le tableau 19 pour une longueur de grille de 100nm en comparant avec celles de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ à PDA sous vide (voir e processus dans chapitre 2). On constate que ces valeurs restent en deçà de l'état de l'art de MOSFET InGaAs et plus encore de ce qu'on obtiendrait sur un HEMT InGaAs. Toutefois, si l'on compare ces valeurs avec celles du MOSFET InGaAs et de même longueur de grille sous les mêmes conditions de fabrication présentées chapitre 2, en mesures DC, le I_{dmax} et g_{mmax} sont respectivement de 170mA/mm et 100mS/mm soient à peu près 9 et 5 fois plus élevés que ceux de MOSFET InGaAs à même $V_{ds}=1V$. De plus en performances RF, une valeur de f_T 3 fois plus élevée par rapport à celle du MOSFET InGaAs est obtenue. Ainsi avec l'insertion d'une couche barrière, les charges d'électrons du canal sont éloignées de l'interface oxyde/semiconducteur, et ceci permet d'obtenir de meilleures performances que celles de la structure MOSFET InGaAs. Enfin bien que les performances DC soient meilleures que celles du MOSFET InGaAs, on reste toujours éloigné des valeurs de l'état de l'art en DC en raison du niveau de qualité d'oxyde et défauts d'interface entre l'oxyde et le semiconducteur, qui n'a pas été amélioré. De plus le f_{MAX} reste faible à cause de la forte résistance de grille.

Tableau 19 : Performances DC et RF de MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$.

	MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$				MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$			
L_g (nm)	$I_{dMAX}@V_{ds}=1V$ $V_{gs}=2V$ (mA/mm)	$g_{mMAX}@V_{ds}=1V$ (mS/mm)	f_T (GHz)	f_{MAX} (GHz)	$I_{dMAX}@V_{ds}=1V$ (mA/mm)	$g_{mMAX}@V_{ds}=2.5V$ (mS/mm)	f_T (GHz)	f_{MAX} (GHz)
100	170	100	150	40	18	18	50	17

Ainsi, d'après la figure 93, en comparant les caractéristiques $I_d(V_{gs})/g_m(V_{gs})$ entre le MOSHEMT et le MOSFET, on observe un décalage négatif de la tension de seuil V_{TH} du MOSHEMT par rapport à celle du MOSFET. Normalement, avec l'oxyde d' Al_2O_3 de 4nm plus la barrière InGaAs/InAlAs de 4nm/4nm, le MOSHEMT doit avoir une capacité C_{ox} plus faible par rapport à celle du MOSFET avec l' Al_2O_3 de 8nm, de ce fait la tension de seuil V_{TH} doit être plus grande pour le MOSHEMT.

Pour le MOSFET avec l'oxyde d' Al_2O_3 de 8nm, l'épaisseur effective d'oxyde (EOT) est 3.5 d'après le formule

$$EOT = \frac{k_{SiO_2}}{k_{ox}} t_{ox} \quad (1)$$

En prenant compte $k_{SiO_2}=3.9$, $k_{Al_2O_3}=9$.

Pour le MOSHEMT avec l'oxyde d' Al_2O_3 de 4nm et la couche barrière d'InGaAs/InAlAs : (épaisseur 4nm/4nm), l'épaisseur effective EOT est de 4.2 en prenant compte $k_{InGaAs}=13.5$, $k_{InAlAs}=12.5$.

D'après la formule

$$V_{TH} = V_{FB} + 2\psi_b + \frac{\sqrt{4 \cdot q \cdot N_a \cdot \epsilon \cdot \psi_b}}{C_{ox}} \quad (2)$$

La tension de seuil de MOSHEMT est +0.05V plus grande que celle de MOSFET.

Néanmoins, ce que on observe d'après la figure 6 est une variation beaucoup plus importante est négative. Cette contradiction pourrait être liée à la fluctuation de dipôle à l'interface canal/barrière (MOSHEMT) ou canal/oxyde (MOSFET). Pour le MOSFET, l'interface canal/oxyde montre une densité importante de défaut avec une fluctuation aléatoire de dipôles. Tandis que pour le MOSHEMT, l'interface canal/barrière est de bonne qualité vu que la couche barrière InAlAs est déposée directement sur le canal InGaAs par MBE. Ainsi il y a moins de défaut, les dipôles à l'interface sont ordonnés faisant un décalage négatif de la tension de seuil V_{TH} [5].

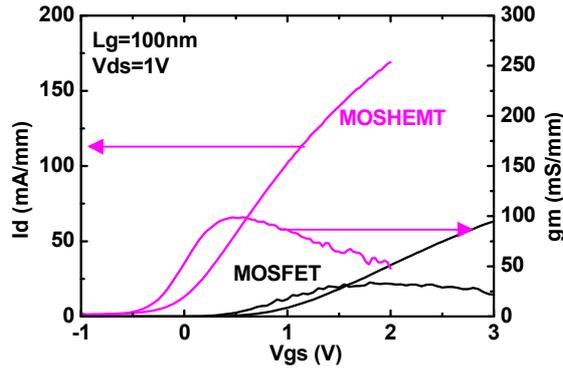


Figure 93: Comparaison des performances de $I_d(V_{gs})/g_m(V_{gs})$ de MOSFET et MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de longueur de grille 100nm.

3.2.3 MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique

3.2.3.1 Structure épitaxiale du MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique

Une autre étude avec un canal pseudomorphique a été aussi effectuée avec une fine couche active de 7nm de $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ insérée entre la couche de grande bande interdite InAlAs et au dessus de $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (figure 94). L'insertion d'un matériau à plus fort taux d'indium doit permettre d'améliorer la mobilité du canal et de mieux confiner les charges dans ce canal avec un offset de bande de conduction ΔE_c plus important entre le canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ et la couche barrière InAlAs (environ 0.6eV pour $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ et 0.5eV pour $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$). Cette couche $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ est contrainte et son épaisseur a été limitée en deçà de l'épaisseur critique de relaxation. Toutefois une trop fine épaisseur de couche risque d'augmenter l'énergie de bande interdite effective par quantification d'énergie. Une épaisseur de 7nm a été choisie de manière à trouver un compromis entre ces deux effets. Les conditions de fabrication de ce MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique sont les mêmes que celles de MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ en accord de maille de la partie précédente.

$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	NID	4nm
$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	NID	4nm
$\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$	NID	7nm
$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{Na}=10^{17}/\text{cm}^3$	300nm
$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$\text{Na}=10^{19}/\text{cm}^3$	500nm
Substrat InP		

Figure 94 : Structure de couche du MOSHEMT pseudomorphique

3.2.3.2 Caractéristiques statiques et dynamiques du MOSHEMT à canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique

Les caractéristiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ du MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique avec différentes longueurs de grille de 100nm et 200nm sont montrées figures 95 et 96.

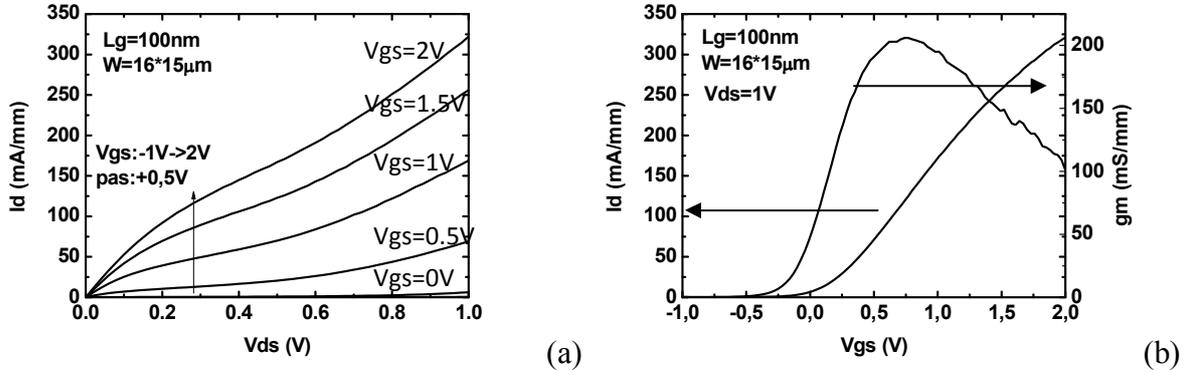


Figure 95 : Caractéristiques $I_d(V_{ds})$ (a) et de $I_d(V_{gs})/g_m(V_{gs})$ (b) de MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique de longueur de grille de 100nm

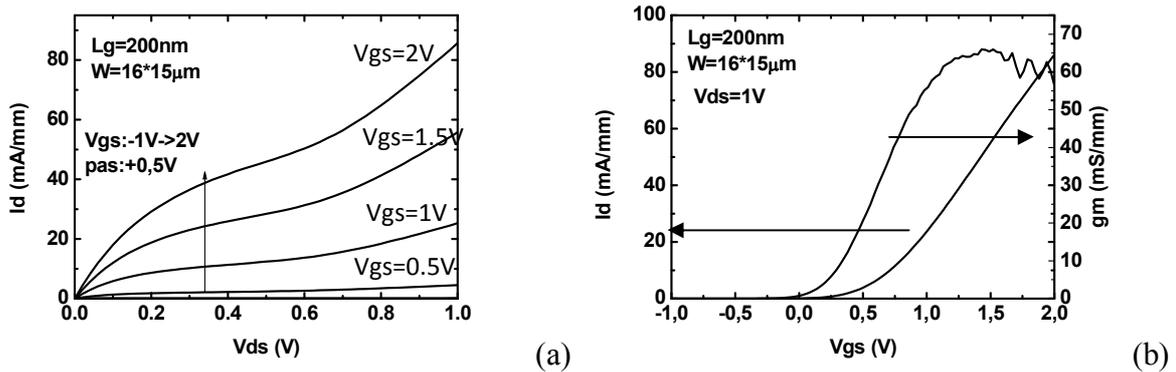


Figure 96 : Caractéristiques $I_d(V_{ds})$ (a) et de $I_d(V_{gs})/g_m(V_{gs})$ (b) de MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique de longueur de grille de 200nm

Les performances DC de MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique sont les meilleures parmi tous les transistors que nous avons fabriqués, avec $I_{dmax}=325\text{mA/mm}$, $g_{mmax}=210\text{mS/mm}$ et une pente sous le seuil $SS=250\text{mV/dec}$ (figure 97) à $V_{ds}=0.2\text{V}$ pour $L_g=100\text{nm}$, et $I_{dmax}=90\text{mA/mm}$, $g_{mmax}=70\text{mS/mm}$ pour une longueur de grille de 200nm (figure 96). Ces améliorations peuvent être dues à la fois à la mobilité plus importante du canal et à un meilleur confinement des charges dans le canal, grâce à l'offset de bande ΔE_c plus élevé entre le canal $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ et la barrière, qui évite l'injection/l'accumulation des charges dans cette couche barrière d' InAlAs , où la mobilité est plus faible.

La meilleure pente sous le seuil SS par rapport celle de MOSFET est en partie due au canal mince d' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ celui-ci n'étant pas dopé. On a ainsi une zone désertée plus large, qui

vient s'ajouter à la zone totale de désertion, et de ce fait diminue la capacité de désertion C_{dep} , qui engendre une pente sous le seuil plus faible (équation (6) du chapitre 1).

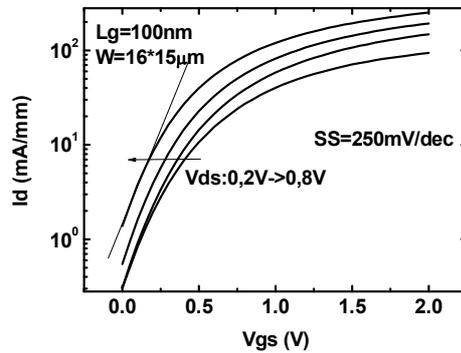


Figure 97 : Caractéristique sous le seuil $\log(I_d)$ en fonction de V_{gs} du MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique de longueur de grille de 100nm.

On observe aussi un effet d'augmentation du courant I_d à fort V_{ds} , comme sur les MOSHEMT adaptés en maille précédemment fabriqués. On suppose que ce comportement est dû à l'effet 'kink', comme observé sur les HEMT [6] ou sur les MOSFET SOI [7]. En effet, le contact P du substrat n'a pas été effectué sur ces technologies, conduisant à une structure à « floating body ». La source de l'effet kink est liée à l'ionisation par impact [6]. A potentiel de drain assez élevé, les électrons à forte énergie dans le canal produisent des paires électrons-trous par le mécanisme d'ionisation par impact. Les électrons se déplacent du canal vers le drain, tandis que les trous se déplacent à l'endroit du plus faible potentiel (body). L'injection de trous dans le 'body' flottant mène à l'augmentation du potentiel de 'body', et à l'abaissement de la barrière de potentiel entre la source et le 'body', et la variation de la tension de seuil. A fort V_{ds} , le nombre de paire électrons-trous augmente, du fait d'une énergie plus importante des électrons, et conduit à une ouverture du canal, et donc à l'augmentation du courant de drain. De plus cet effet est plus important à fort V_{gs} , le nombre d'électron circulant dans le canal étant plus important, ce qui provoque une augmentation de l'ionisation par impact et du courant de drain.

La figure 98 montre les caractéristiques fréquentielles du MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique avec le f_T et f_{MAX} associés pour différentes longueurs de grille de 100nm et 200nm. Nous avons obtenu une fréquence de coupure f_T de 200GHz et une fréquence maximale d'oscillation f_{MAX} de 50GHz pour une longueur de grille de 100nm, et une fréquence de coupure f_T de 100GHz et une fréquence maximale d'oscillation f_{MAX} de 35GHz pour une longueur de grille de 200nm. Ces performances fréquentielles sont mieux que celles

obtenues sur les MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ de la partie précédente. Par ailleurs un f_T de 200GHz constitue un état de l'art pour un MOSFET III-V fonctionnement en inversion.

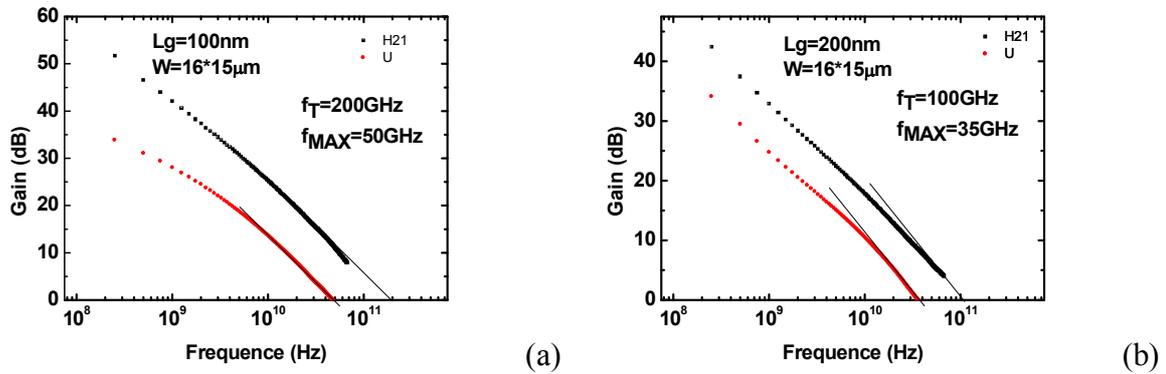


Figure 98 : Caractéristiques fréquentielles de MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique de longueur de grille de 100nm (a) et 200nm (b) avec le f_T , f_{MAX} extraits.

3.2.3.3 Comparaison du MOSHEMT pseudomorphique et du MOSHEMT adapté en maille

En comparant ces deux MOSHEMT, l'un à canal adapté en maille $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, et l'autre pseudomorphique $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ (figures 99 et 100), on constate que les MOSHEMTs pseudomorphiques $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ montrent les meilleures performances parmi tous les transistors que nous avons fabriqués avec des performances DC 2 fois supérieures à celles du MOSHEMT à canal $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adapté en maille, et un f_T de 50GHz plus important (tableau 20).

En conclusion, la structure MOSHEMT peut être utilisée pour obtenir de meilleures performances, en particulier fréquentielles, l'effet de la qualité de l'interface oxyde/semiconducteur ayant un peu moins d'influence sur les caractéristiques du transistor. La structure MOSHEMT, où le canal est enterré, est donc une structure très prometteuse pour le développement de MOSFET III-V.

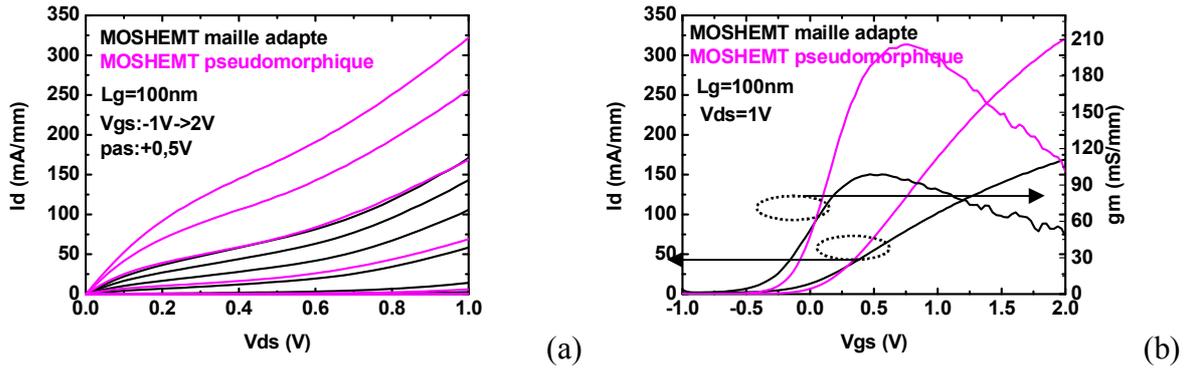


Figure 99 : Comparaison des caractéristiques de $I_d(V_{ds})$ (a) et $I_d(V_{gs})/g_m(V_{gs})$ (b) entre MOSHEMT avec maille adaptée et MOSHEMT pseudomorphique de longueur de grille de 100nm

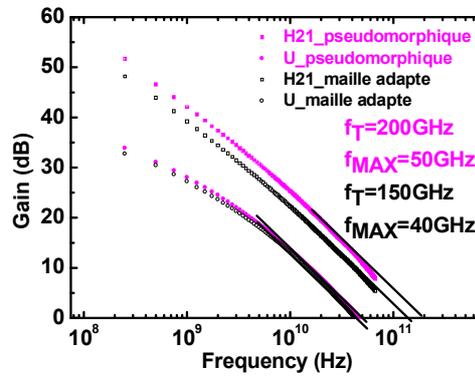


Figure 100 : Comparaison les caractéristiques du gain avec f_T , f_{MAX} extraits entre MOSHEMT avec maille adaptée et MOSHEMT pseudomorphique de longueur de grille de 100nm à $V_{ds}=1V$.

Tableau 20 : Récapitulatif des performances DC et RF des MOSFET $In_{0.53}Ga_{0.47}As$, MOSHFET $In_{0.75}Ga_{0.25}As$ pseudomorphique et MOSHEMT $In_{0.53}Ga_{0.47}As$ adapté en maille à $V_{ds}=1V$.

L_g (nm)	Avant PPA	I_{dMAX} (mA/mm)	g_{mMAX} (mS/mm)	f_T (GHz)	f_{MAX} (GHz)
100nm	MOSFET	18	18	50	17
	MOSHEMT maille adapté	170	100	150	40
	MOSHEMT pseudomorphique	325	210	200	50

3.2.3.4 Etude de PPA sur MOSHEMT pseudomorphique

Un recuit PPA a été exécuté sur ces MOSHEMT $In_{0.75}Ga_{0.25}As$ pseudomorphiques et une comparaison avant et après PPA des caractéristiques DC et dynamique, est montrée figure 101 pour une longueur de grille de 100nm. D'après les mesures, on observe un léger décalage de la tension de seuil V_{TH} et peu de variation du courant drain et de la transconductance. Les

mêmes observations ont été obtenues sur les performances fréquentielles. Ce décalage de tension de seuil est lié à un effet de passivation de PPA sous forming gas N_2H_2 d'après Shin [8]. De plus, le courant drain et la transconductance n'ont pas été améliorées après PPA de la même façon que ceux du MOSFET InGaAs du chapitre 2, où une forte amélioration d'à peu près de 4 fois avait été observée. Ainsi il semblerait que, l'interface oxyde $Al_2O_3/InGaAs$ du MOSHEMT soit moins dégradée que pour le MOSFET compte tenu d'un recuit à plus basse température lors d'activation des implants ($600^\circ C$, 20s). Pour le MOSFET, le recuit d'activation à $750^\circ C$ dégrade plus fortement l'oxyde et l'interface l'oxyde/semiconducteur, et cette dégradation est restaurée par le PPA en diminuant en particulier les défauts à l'interface oxyde/semiconducteur. Ceci se traduit par une amélioration des performances plus importante pour le MOSFET avec le recuit d'activation à $750^\circ C$. Dans le cas d'un recuit plus faible à $600^\circ C$, une plus faible quantité de défaut d'interface est générée, et le recuit de fin de process PPA ne passive qu'une faible quantité de défaut à cette interface. Ainsi on a une plus faible évolution des caractéristiques DC sur le MOSHEMT utilisant un recuit d'activation à $600^\circ C$.

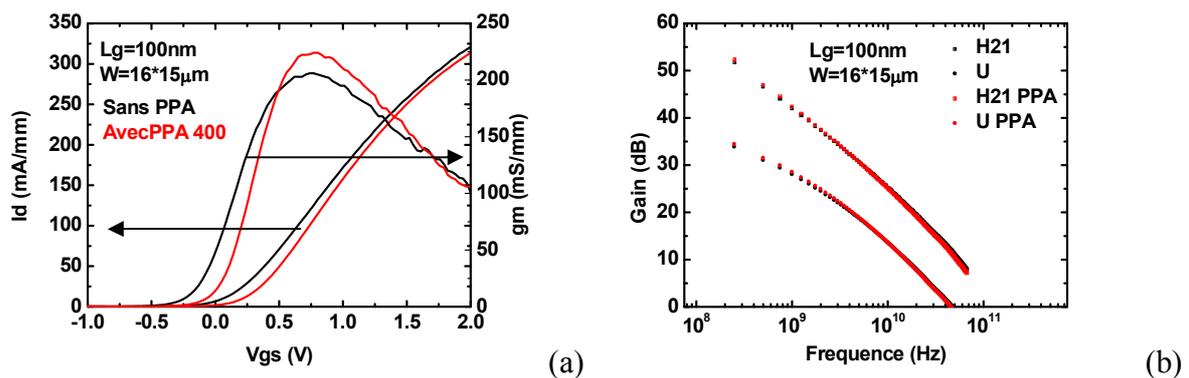


Figure 101 : Caractéristiques de $I_d(V_{gs})/g_m(V_{gs})$ (a) et gains (b) du MOSHEMT $In_{0.75}Ga_{0.25}As$ pseudomorphique avant et après le recuit PPA de longueur de grille de 100nm.

3.3 MOSFET à canal InAs

Comme suggéré par les résultats très récents [9] et par nos observations précédentes sur les MOSHEMTs, l'augmentation du pourcentage d'Indium permettrait d'améliorer les propriétés de transport. Par conséquent, un MOSFET avec un canal InAs, ayant une mobilité d'électron supérieure à $20000\text{cm}^2/Vs$ (par rapport à environ $10000\text{cm}^2/Vs$ pour InGaAs à 53% d'indium) peut nous apporter des meilleures performances hyperfréquences.

Le premier MOSFET InAs 'bulk' a été rapporté par Li et al.[10], et présentait un courant de fuite I_{OFF} très élevé proche du I_{ON} . Néanmoins, avec une structure à couche mince InAs (InAs TF-MOSFET, Thin Film), un rapport I_{ON}/I_{OFF} de plus de 10^4 a été obtenu par [11][12]. Les

structures de MOSFET à canal InAs peuvent donc être une solution intéressante afin d'augmenter les performances des MOSFET III-V.

3.3.1 Structure épitaxiale et procédés de fabrication du MOSFET à canal InAs :

Dans notre étude, nous avons fabriqué un MOSFET InAs à partir de la structure de couche de la figure 102. Le matériau InAs a été épitaxié sur substrat GaAs, en utilisant une couche tampon métamorphique (« buffer métamorphique »). Cette couche sert à adapter en maille le matériau InAs et le substrat semi-isolant GaAs, dont la différence de paramètre de maille est d'environ 7%. Le matériau ainsi obtenu est relaxé. La structure de la couche active est similaire à celle utilisée pour les MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ du chapitre 2. Le dopant accepteur de la couche active est de $10^{17}/\text{cm}^3$ (figure 102).

InAs	$\text{Na}=10^{17}/\text{cm}^3$	300nm
InAs	$\text{Na}=10^{19}/\text{cm}^3$	500nm
Buffer métamorphique GaSb		30nm
Substrat GaAs S.I.		

Figure 102 : Structure de couche utilisée pour la fabrication de MOSFET InAs.

En ce qui concerne la technologie des MOSFET InAs, les étapes technologiques sont quasiment identiques à celles du MOSFET InGaAs, excepté l'implantation des caissons N et la gravure d'isolation mesa, le matériau ayant un pourcentage d'indium plus élevé. La gravure d'isolation du méso a été aussi réalisée par la solution $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$: 5/1/40 avec une vitesse de gravure un peu plus rapide que celle de l'InGaAs. Nous avons utilisé un procédé de type « Gate-First » afin de conserver les mêmes conditions technologiques que sur InGaAs, et utiliser la topologie à multi-doigts de grille plus favorable à la caractérisation dynamique.

Pour l'étape d'implantation des caissons N une simulation d'implantation des dopants silicium par SRIM a été faite et d'après cette simulation, une énergie de 15keV avec une dose de $5 \cdot 10^{13} \text{cm}^{-2}$ ont été définies sur InAs. Les conditions d'implantation sont identiques à celle des MOSFET InGaAs du chapitre 2. Le recuit d'activation a été fixé à 750°C pendant 10s. Cette technologie n'a pas fait l'objet de la baisse des températures de recuit initiée sur les structures InGaAs. L'énergie de liaison étant plus faible pour l'InAs que pour l'InGaAs, un recuit à 750°C devrait affecter la couche par sublimation de l'arsenic.

Des mesures par effet Hall et des mesures TLM (Transmission Line Method) ont été effectuées sur des motifs implantés afin de vérifier la qualité de l'implantation, et les résultats sont reportés dans le tableau 21, et sont comparés avec ceux du matériau InGaAs. Les résistances de contact ohmique extraites des TLM sont de $1.15 \Omega \cdot \text{mm}$ pour une résistance carrée de 212Ω . Ces valeurs sont moins bonnes que celles obtenues sur InGaAs adapté en maille, qui étaient de $0.08 \Omega \cdot \text{mm}$ et 128Ω respectivement qui peut être du à la dégradation du matériau. Si on extrait la mobilité et la densité d'électron de l'effet Hall, on aboutit à une concentration quasi-similaire à celle du matériau InGaAs, indiquant une activation similaire des dopants, mais on constate une dégradation de la mobilité électronique d'un facteur 2. Cette différence peut provenir du traitement thermique d'activation des implants de 750°C , dégradant plus fortement le matériau InAs.

Tableau 21 : Valeurs récapitulatives des mesures de Hall et TLM

	In _{0.53} Ga _{0.47} As	InAs
TLM		
$R_{contact}$	$0.08 \Omega \cdot \text{mm}$	$1.15 \Omega \cdot \text{mm}$
HALL		
$R_{carrée}$	128Ω	212Ω
n_H	$-2 \cdot 10^{13} \text{ cm}^{-2}$	$-2.1 \cdot 10^{13} \text{ cm}^{-2}$
μ_H	$2420 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$1180 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$

Une image SEM (Scanning Electron Microscope) du MOSFET multi-doigts de grille réalisé est donnée figure 103.

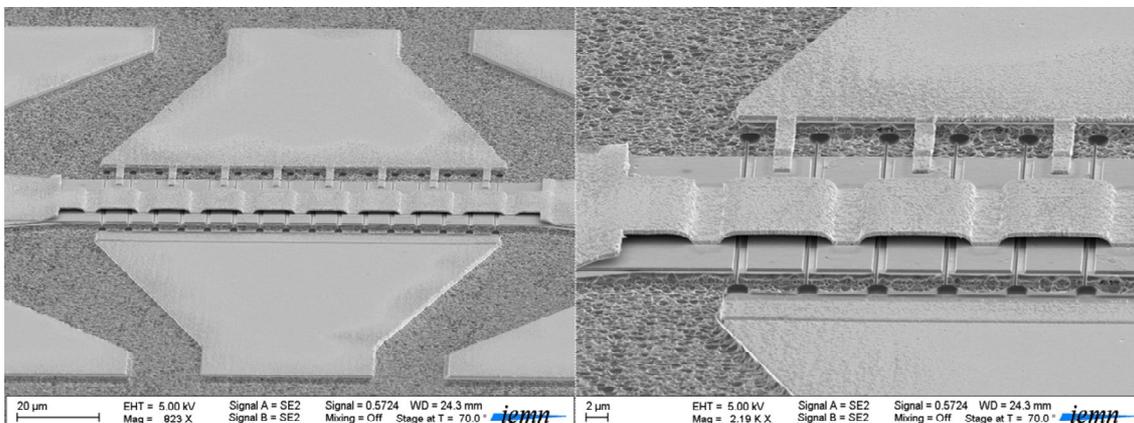


Figure 103 : Image SEM de MOSFET InAs ($W=16 \times 15 \mu\text{m}$)

3.3.2 Caractéristiques statiques et dynamiques des MOSFET InAs

Dans cette partie, les caractéristiques statiques et dynamiques des MOSFET InAs vont être présentées. La figure 104 montre les caractéristiques $I_d(V_{ds})$ et $I_d(V_{gs})/g_m(V_{gs})$ d'un MOSFET InAs multi-doigts avec une longueur de grille de 50nm. D'après ces deux caractéristiques, le courant drain I_d augmente avec la tension V_{gs} , indiquant la présence d'électrons dans le canal. On note une transconductance g_m de 22mS/mm (figure 104.b), signifiant une faible commande de charge par la grille et/ou de faibles propriétés de transport électronique. Le courant I_{ON} n'est que de 50mA/mm (figure 104.a), ce qui est très en deçà de courant standard de transistor à effet de champ qui peuvent atteindre quelques 100mA/mm voire 1A/mm. Toutefois, ce courant reste supérieur à ce qu'avait obtenu l'équipe de l'Université de Purdue, avec un courant drain maximum de 8mA/mm [10] pour une longueur de grille de 5 μ m. Dans cette publication, aucune raison n'est donnée pour expliquer cette très faible valeur de courant. On peut attribuer cette faible valeur de courant à une dégradation de la mobilité des électrons de la couche InAs. Cette observation a déjà été faite sur la mobilité de Hall des caissons d'implantation inférieure à celle de l'InGaAs obtenue dans des conditions similaires (tableau 21). En supposant que le matériau est plus dégradé en surface qu'en volume lors du recuit d'activation des implants à 750°C, la diminution de la mobilité doit être exacerbée dans le cas du MOSFET, où la couche d'inversion d'électron est localisée à la surface de ce matériau, par rapport aux mesures sur caissons d'implantation, où la mobilité correspond à un transport en surface et en volume dans le caisson. Toutefois, dans le papier de Purdue [10], l'implantation des zones de source et de drain n'est pas utilisée, et donc le matériau n'a pas subi le recuit d'activation des dopants. Les auteurs supposent que la formation des contacts ohmiques de source et drain de type N est favorisée par le 'pinning' en surface du niveau de Fermi dans la bande de conduction, ce qui conduit à une accumulation d'électron en surface et ainsi des contacts ohmiques de type N. Cependant, les auteurs ne fournissent pas la valeur des résistances de contact ohmique R_c . Une forte valeur R_c peut être à l'origine de faible courant de drain et de la transconductance. Dans notre étude, la valeur des contacts ohmiques est aussi trop élevée (1.15 Ω mm voir tableau 21) qui correspond à une valeur environ 10 fois plus grande que les valeurs standards de résistance de contact ohmique (0.1 Ω mm), mais ne peut pas expliquer le très faible courant de drain ou de transconductance. Pour argumenter, la transconductance extrinsèque d'un FET s'écrit :

$$g_{m_{ext}} = \frac{g_{m_{int}}}{1 + g_{m_{int}} R_s} \quad (3)$$

Où $g_{m_{int}}$ et $g_{m_{ext}}$ sont respectivement la transconductance intrinsèque et extrinsèque. R_s est la résistance de source.

Si on prend une transconductance intrinsèque de 1S/mm et une résistance de source de 1Ωmm, on aboutit à une transconductance extrinsèque de 500mS/mm, ce qui reste plus important que les 22mS/mm obtenus. Ainsi, la transconductance intrinsèque doit être elle-même très faible pour expliquer la faible valeur extrinsèque obtenue. Une faible valeur de transconductance ne peut s'expliquer que par une dégradation du matériau InAs.

Une autre hypothèse est la présence en surface d'oxyde d'indium In_2O_3 , qui est un matériau conducteur, mais donc les propriétés de transport électronique sont très en deçà de l'InAs ($100-200cm^2/Vs$ [13][14]). Ainsi si la couche d'inversion peut se créer dans cet oxyde conducteur on aura alors un courant très faible.

Ces hypothèse pourraient être validées par des caractérisations XPS ou/et l'extraction de la densité de charge et de la mobilité électronique.

On observe aussi que le pincement du transistor ne peut être obtenu, entraînant un courant de fuite I_{OFF} très important. Si l'on trace la caractéristique de $I_d(V_{gs})$ à $V_{ds}=0.5V$ (figure 104.b), on obtient un courant I_{OFF} de 22mA/mm par rapport au I_{ON} de 45mA/mm.

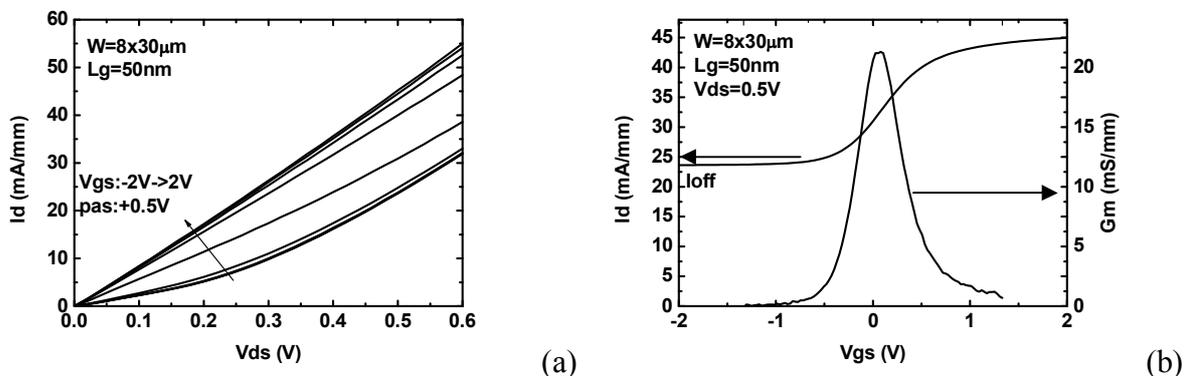


Figure 104 : Caractéristiques $I_d(V_{ds})$ (a) et $I_d(V_{gs})/g_m(V_{gs})$ (b) du MOSFET InAs pour une longueur de grille de 50nm et un développement de $8*30\mu m$.

La mesure des paramètres S a été effectuée entre 250MHz à 67GHz et le gain en courant en court-circuit $|H_{21}|$ et le gain unilatéral de Mason U sont tracés sur la courbe de la figure 105. La longueur de grille est de 50nm, et constitue les meilleurs résultats en terme de fréquences de coupure. Le f_T est de 35GHz et f_{MAX} de 3GHz. Ces valeurs sont très basses et sont plus faibles que celles obtenues avec les MOSFET InGaAs, qui étaient de 150GHz et 47GHz pour respectivement le f_T et le f_{MAX} avec une même longueur de grille.

Les performances DC et RF des MOSFET InAs sont très faibles par rapport aux propriétés de transport attendues, comme la forte mobilité d'électrons. Ce comportement a aussi été observé

lors de la mesure des résistances de contact ohmique et de mobilité des caissons de source et de drain (tableau 21), qui pourrait être attribué à la dégradation du matériau InAs ayant subi un budget thermique très élevé de 750°C. Vu que le matériau InAs ayant une liaison In-As relativement faible par rapport celle d’InGaAs, la désorption d’As pourrait être une raison de la dégradation à la fois de mobilité et la rugosité de surface [15]. Sachant que f_T est lié à la transconductance, qui est elle-même liée à la mobilité effective, la dégradation de la mobilité effective liée à la rugosité de la surface et la composition du matériau peut être une raison possible des faibles performances *RF* et *DC* observées.

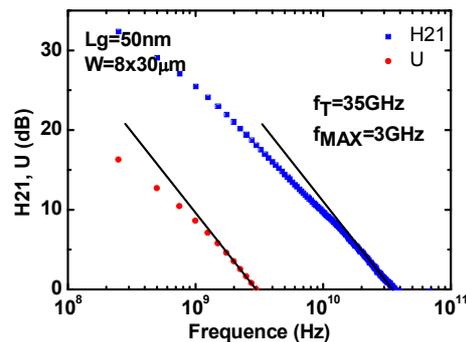


Figure 105 : Module des Gains H_{21} , U pour la longueur de grille de 50nm. Les f_T , f_{MAX} extrapolés sont reportés.

L’absence du pincement du transistor MOSFET InAs 50nm, traduite par un I_{OFF} très important, et un rapport I_{ON}/I_{OFF} extrêmement faible, est aussi observée quelle que soit la longueur de grille. La figure 106 reporte la caractéristiques $I_d(V_{ds})$ pour un transistor de 1µm de longueur de grille. La difficulté de pincement du transistor n’est donc pas a priori liée à un effet de canal court, ni au perçage du canal (Punchthrough). Cette fuite peut être reliée à un courant tunnel bande à bande. En effet, le matériau InAs a une énergie de bande interdite faible, ce qui le prédispose pour le passage tunnel bande à bande. Une étude de ce courant de fuite en fonction de la température est présentée dans la partie suivante, afin de permettre de discerner un comportement lié à l’effet tunnel bande à bande, ou à un effet thermique [16][10].

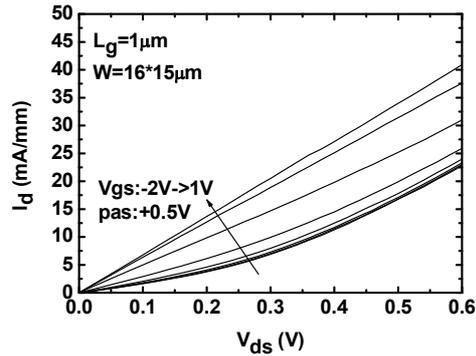


Figure 106 : Caractéristiques $I_d(V_{ds})$ pour un MOSFET InAs de longueur de grille $1\mu\text{m}$.

3.3.3 Mesures MOSFET InAs en fonction de la température

Pour étudier les mécanismes du courant de fuite des MOSFET InAs, des mesures en fonction de la température ont été exécutées de 77K à 400K avec un pas de 25K. La station cryogénique sous pointe (de type JANIS) permet d'effectuer ces mesures. C'est une station à flux cryogénique continu utilisant des bras micro-manipulés sous pointes, permettant des mesures jusqu'à 50GHz. Le système complet inclut une pompe permettant de mettre sous vide la chambre où est placée l'échantillon, afin de réaliser l'isolation thermique nécessaire.

La figure 107 montre les caractéristiques de transfert I_d en fonction de V_{gs} , à différentes températures de 77K à 400K à faible tension $V_{ds}=0.05\text{V}$ pour des MOSFET InAs de longueurs de grille $1\mu\text{m}$ et 50nm . Quelle que soit la longueur de grille le comportement reste identique. On observe qu'à basse température de 77K à 275K, le courant de fuite I_{OFF} reste constant, il ne change pas avec la température. Cependant à haute température (de 300K à 400K), le courant de fuite I_{OFF} augmente avec la température. Ces observations nous permettent de supposer qu'à basse température, l'effet tunnel bande à bande est responsable du courant de fuite de drain, tandis qu'à haute température, l'effet thermique est le phénomène dominant.

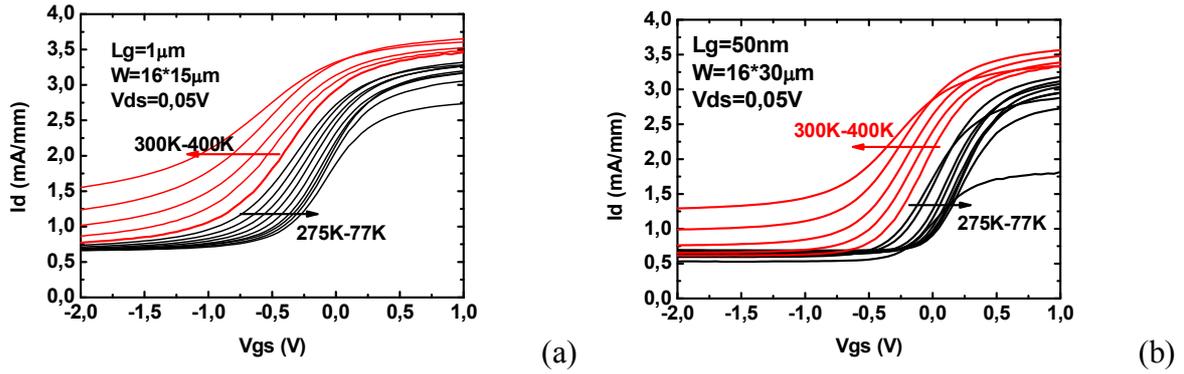


Figure 107 : Caractéristique de $I_d(V_{gs})$ pour une température allant de 77K à 400K pour un MOSFET InAs de longueur de grille 1µm (a) et 50nm (b).

Pour confirmer notre hypothèse, nous avons tracé figure 108, le courant de fuite I_{OFF} en fonction de la température pour différent V_{ds} . Ce courant I_{OFF} a été extrait en polarisant la grille négativement jusqu'à atteindre un courant drain indépendant de V_{gs} pour une tension V_{ds} fixée.

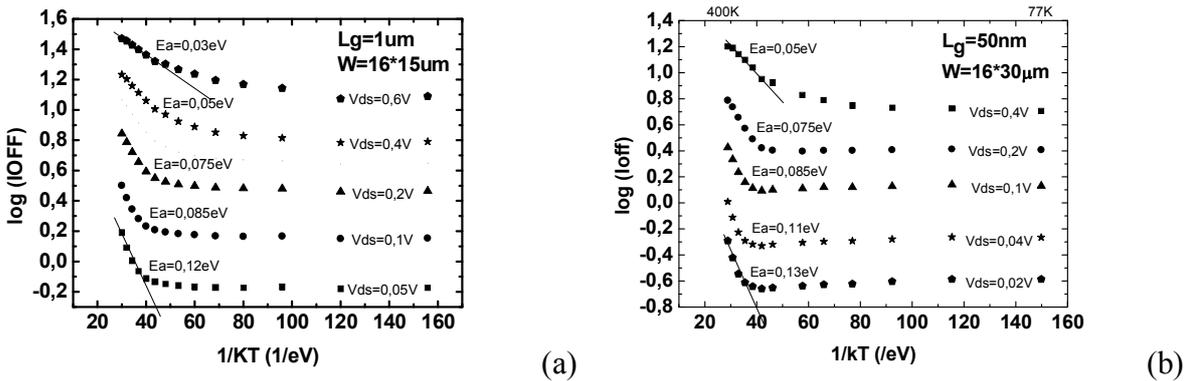


Figure 108 : Evolution du courant de fuite de drain $\log(I_{OFF})$ en fonction de la température $1/kT$ pour des MOSFET InAs de longueur de grille 1µm (a) et 50nm (b).

On constate figures 108 à partir des caractéristiques d'Arrhenius $\ln(I)$ en fonction de $1/kT$, que le courant de fuite I_{OFF} est indépendant de la température pour les faibles températures (77 à 275K), et est donc dominé par un effet tunnel bande à bande, tandis qu'il augmente fortement à aux températures élevées (300 à 400K), indiquant un effet thermique. L'effet tunnel bande à bande est particulièrement important dans un MOSFET InAs, l'énergie de bande interdite étant très faible. Dans le cas d'un effet thermique, on peut extraire l'énergie d'activation E_a en dérivant la pente de ces courbes d'Arrhenius de [17] (figure 108.a et b) selon

$$I(T) \propto \exp\left(-\frac{E_a}{kT}\right) \quad (4)$$

Avec k la constante de Boltzmann et T la température [18]. Cette relation permet d'extraire une grandeur physique, l'énergie d'activation E_a .

A partir des caractéristique d'Arrhenius (figure 108. a et b), on extrait une énergie d'activation $E_a=0.13\text{eV}$ de 300K à 400K à bas V_{ds} ($V_{ds}=0.02\text{V}$), qui est proche de la moitié de la bande interdite (InAs, $E_g/2\sim 0.17\text{eV}$), ainsi la transition ne provient pas seulement d'un effet bande de valence à bande de conduction. De plus si on augmente la tension V_{ds} , on observe une réduction de la pente et donc de l'énergie d'activation E_a . L'ensemble des valeurs d'énergie d'activation est reporté dans le tableau 22 pour les deux longueurs de grille. On peut constater que pour les deux longueurs de grille, les valeurs sont identiques, ce qui traduit que le I_{OFF} est indépendant de la longueur de grille, et correspond à une transition du côté source ou drain. Cela veut dire que ce n'est pas un abaissement de la hauteur de barrière source-grille suite à un effet de canal court.

Tableau 22: Energie d'activation extraite à haute température pour les MOSFET InAs de longueur de grille $1\mu\text{m}$ et 50nm

E_a	$V_{ds}=0.02$	$V_{ds}=0.04$	$V_{ds}=0.05$	$V_{ds}=0.1$	$V_{ds}=0.2$	$V_{ds}=0.4$	$V_{ds}=0.6$
50nm	0.13	0.11	X	0.085	0.075	0.05	X
$1\mu\text{m}$	X	X	0.12	0.085	0.075	0.05	0.03

Enfin, les énergies d'activation sont toujours en deçà de l'énergie de bande interdite de l'InAs (0.36eV), et de plus elles diminuent avec l'augmentation de V_{ds} . Ce changement de E_a peut être expliqué par les mécanismes montrés figure 109 [19].

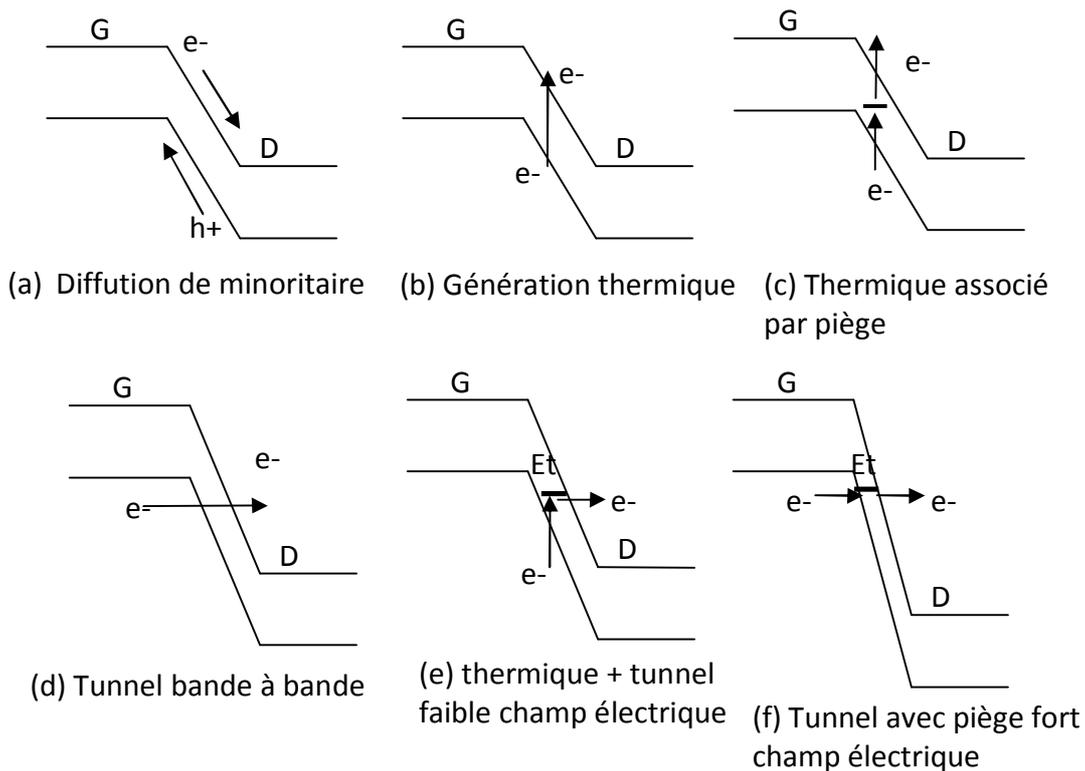


Figure 109 : (a) : Diffusion de minoritaire ; (b) : Génération thermique ; (c) : Thermique associé par piège ; (d) : Tunnel bande à bande ; (e) : Thermique+tunnel à faible champ électrique ; (f) : Tunnel avec piège à fort champ électrique

Plusieurs situations sont possibles pour décrire le courant I_{OFF} , de la jonction PN grille drain. Le courant de diffusion des porteurs minoritaires du N vers le P (trous) et du P vers le N (électrons) (figure 109.a). Un courant de génération thermique, provenant du passage des électrons de la bande de valence à la bande de conduction (figure 109.b). Ces deux courants auront des énergies d'activation proches de l'énergie de bande interdite E_g . Dans le cas de la présence de niveaux de pièges d'énergie à l'intérieur de la bande interdite (figure 109.c), on aura une énergie d'activation plus faible ($E_g/2$ si le piège est au milieu de la bande interdite). L'électron passe alors de la bande de valence au niveau de piège, pour ensuite passer vers la bande de conduction. Enfin, on peut avoir un tunnel bande à bande comme schématisé figure 109.d. Finalement, la combinaison de ces deux phénomènes (thermique et tunnel) conduira à l'apparition d'un courant en excès. Cette situation consiste en deux étapes : la première étape est l'activation thermique d'un électron de la bande de valence à un état piège dans la bande interdite, et la seconde étape est le tunnel de l'électron à travers cette distance réduite jusqu'à la bande de conduction, comme indiqué en figures 109.e et 109.f. Ainsi à faible température, l'effet tunnel bande à bande directe décrit par le schéma de la figure 109.d domine. Pour des

V_{ds} élevées, ce courant tunnel augmente du fait de l'augmentation du champ électrique. Pour des températures plus élevées et à faible V_{ds} , on observe un courant de génération thermique. La faible valeur de l'énergie d'activation ($\sim 0.13\text{eV}$, tableau 22) à faible V_{ds} provient de la présence de niveaux de pièges dans la bande interdite, induite soit par la dégradation du matériau lors du recuit d'activation ou/et de la présence de piège à l'interface oxyde/semiconducteur. Dans ce cas de figure, l'énergie d'activation varie de façon continue en raison de changements de la distance tunnel provoqués par la tension appliquée associées à la présence de nombreux pièges dans la bande interdite. Enfin sous fort champ électrique (fort V_{ds}), la présence de niveaux de piège dans la bande interdite facilite le processus en raccourcissant la distance de tunnel effective d'un électron. L'énergie d'activation, dans cette situation, disparaît. La présence d'un état de piège dans la bande interdite joue un rôle important dans ce fonctionnement. Ce niveau de piège localisé dans la bande interdite ne provient pas de la croissance par épitaxie du matériau, le matériau après croissance étant de bonne qualité. Toutefois, le matériau subit des recuits liés au procédé de fabrication, en particulier le recuit d'activation des implants fixé à 750°C , ce qui est très grand devant la température de sublimation de l'arsenic pour un matériau InAs (environ 450°C). Ainsi proche de la surface, le matériau se trouve dégradé par ce recuit conduisant à un niveau de piège dans la bande interdite. De plus l'interface oxyde/semiconducteur contient elle aussi beaucoup de pièges qui peuvent contribuer à ce phénomène.

3.3.4 Conclusion sur le MOSFET InAs:

Des MOSFETs InAs ont été fabriqués par un procédé Gate-First. Les performances de ces MOSFET InAs ne sont pas idéales, si on considère les propriétés de ce matériau, tel que le meilleur transport d'électrons comparé à celui de l'InGaAs. Ce comportement peut être lié à la dégradation du matériau InAs durant le process de fabrication, en particulier le recuit d'activation des implants à 750°C durant 10s, par sublimation de l'arsenic. Des analyses XPS localisées à la surface InAs pourraient permettre de vérifier cette hypothèse.

Le MOSFET InAs présente un courant de fuite important conduisant à l'impossibilité de pincer le canal. Ce phénomène est indépendant de la longueur de grille, et donc provient des fuites des jonctions. Par l'étude de ce courant de fuite en mesurant le transistor à température différente de 77K à 400K, une hypothèse sur le mécanisme de ce courant de fuite a été émise, lié à un effet tunnel bande à bande, dont la combinaison à un effet de génération thermique assistée par la présence de pièges, domine à haute température de 300K à 400K, tandis que l'effet tunnel bande à bande domine seul à basse température de 77K à 300K.

La réduction de ce courant I_{OFF} important doit passer par différentes études visant à : améliorer la qualité de l'interface oxyde/semiconducteur ; veiller à conserver un matériau InAs de bonne qualité (influence du recuit d'activation des implants) ; optimiser les concentrations de dopant du body et des caissons (simulation) ; utiliser une topologie de type « thin-body » ou « thin-film ».

3.4 Conclusion du chapitre 3

Dans ce chapitre, les structures alternatives ont été présentées comme le MOSHEMT $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ adaptée en maille, le MOSHEMT $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ pseudomorphique, et aussi le MOSFET InAs. La structure MOSHEMT présente les meilleures performances DC et RF. En effet, l'utilisation d'un canal d'inversion enterré permet d'éloigner l'interface oxyde/semiconducteur, et de ce fait d'avoir moins d'influence des défauts d'interface et de la rugosité de surface. La structure MOSHEMT pseudomorphique démontre les meilleures performances parmi tous les transistors que nous avons fabriqués grâce à la combinaison de la plus haute mobilité du matériau InGaAs (75% d'indium au lieu de 53%), et un offset de bande de conduction plus large entre le canal InGaAs à fort taux d'indium et la barrière, qui permet un meilleur confinement des charges dans le canal. L'ensemble de ces points permet d'améliorer les performances du transistor. L'amélioration de performance par PPA n'est pas significatif sur ces structures MOSHEMT par rapport au MOSFET, qui peut être liée à une plus faible influence de l'interface avec l'oxyde par l'insertion d'une couche barrière (canal enterré) mais aussi moins de dégradation de l'interface oxyde/semiconducteur liée à l'abaissement du budget thermique avec le recuit d'activation à 600°C au lieu de 750°C.

Enfin, on peut souligner que l'utilisation d'un canal enterré InGaAs à fort taux d'indium a permis d'accroître les performances électriques, avec les meilleurs résultats obtenus de l'ensemble des technologies présentées dans ce manuscrit, avec un courant drain de 325mA/mm, une transconductance de 210mS/mm et surtout en f_T de 200GHz. Ce dernier résultat constitue l'état de l'art des MOSFET InGaAs fonctionnant en mode d'inversion.

Pour la structure MOSFET InAs, nous avons obtenu de très faibles valeurs de courant drain, malgré les potentialités en terme de transport de l'InAs. Cette faible valeur est attribuée à la dégradation du matériau par les recuits, en particulier à 750°C. De plus on constate l'impossibilité de pincer le canal du transistor avec un important courant I_{OFF} . A faible température ce courant de fuite est attribué à un effet tunnel bande à bande. A plus forte température, un courant thermique domine lié à la présence possible de niveaux de piège dans la bande interdite. Afin de confirmer l'origine de ce fort I_{OFF} , le comportement sous le seuil doit être étudié. La première étape consisterait à vérifier si la structure est correctement optimisée, en particulier par des simulations sur la concentration des dopants. Dans le cadre de cette thèse, nous avons simplement transposé la structure du MOSFET InGaAs au matériau InAs. Une topologie « thin body » peut être une solution. Finalement, des études matériaux et

technologiques seront nécessaires afin d'évaluer la qualité des matériaux et de l'interface oxyde/semiconducteur, et de réduire ces défauts.

Bibliographie:

- [1] H. Zhao, Y.-T. Chen, J. H. Yum, Y. Wang, N. Goel, et J. C. Lee, High performance In_{0.7}Ga_{0.3}As metal-oxide-semiconductor transistors with mobility >4400 cm²/Vs using InP barrier layer, *Applied Physics Letters*, vol. 94, n^o. 19, p. 193502-193502-3, 2009.
- [2] J. Lee, F. Xue, Y.-T. Chen, Y. Wang, et F. Zhou, (Invited) High-K Dielectrics / High-Mobility Channel MOSFETs, 2011, p. 101-108.
- [3] Y. Urabe, T. Yasuda, H. Ishii, T. Itatani, N. Miyata, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, et S. Takagi, On the mechanisms limiting mobility in InP/InGaAs buried channel nMISFETs, *Microelectronic Engineering*, vol. 88, n^o. 7, p. 1076-1078, 2011.
- [4] M. Shi, J. Saint-Martin, A. Bournel, et P. Dollfus, Numerical simulation of III-V FET architectures for high frequency and low consumption applications, *Microelectronic Engineering*, vol. 88, n^o. 4, p. 354-357, 2011.
- [5] Y. Urabe, N. Miyata, H. Ishii, T. Itatani, T. Maeda, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, N. Taoka, M. Takenaka, et S. Takagi, Correlation between channel mobility improvements and negative V_{th} shifts in III-V MISFETs: Dipole fluctuation as new scattering mechanism, in *IEEE International Electron Devices Meeting (IEDM), 2010*, p. 6.5.1-6.5.4.
- [6] M. H. Somerville, J. A. del Alamo, et W. Hoke, Direct correlation between impact ionization and the kink effect in InAlAs/InGaAs HEMTs, *IEEE Electron Device Letters*, vol. 17, n^o. 10, p. 473-475, 1996.
- [7] S.M. Sze, *Physics of semiconductor devices*, 4rd edition, P437 .
- [8] B. Shin, J. R. Weber, R. D. Long, P. K. Hurley, C. G. Van de Walle, et P. C. McIntyre, Origin and passivation of fixed charge in atomic layer deposited aluminum oxide gate insulators on chemically treated InGaAs substrates, *Appl. Phys. Lett.*, vol. 96, n^o. 15, p. 152908, 2010.
- [9] S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, et S. Takagi, Enhancement technologies and physical understanding of electron mobility in III-V n-MOSFETs with strain and MOS interface buffer engineering, in *IEEE International Electron Devices Meeting (IEDM), 2011*, p. 13.4.1-13.4.4.
- [10] N. Li, E. S. Harmon, J. Hyland, D. B. Salzman, T. P. Ma, Y. Xuan, et P. D. Ye, Properties of InAs metal-oxide-semiconductor structures with atomic-layer-deposited Al₂O₃ Dielectric, *Appl. Phys. Lett.*, vol. 92, n^o. 14, p. 143507, 2008.
- [11] Benchmarking the performance of ultrathin body InAs-on-insulator transistors as a function of body thickness, *Appl. Phys. Lett.*, vol. 99, n^o. 10, p. 103507-103507-3, 2011.
- [12] H. Ko, K. Takei, R. Kapadia, S. Chuang, H. Fang, P. W. Leu, K. Ganapathi, E. Plis, H. S. Kim, S.-Y. Chen, M. Madsen, A. C. Ford, Y.-L. Chueh, S. Krishna, S. Salahuddin, et A. Javey, Ultrathin compound semiconductor on insulator layers for high-performance nanoscale transistors, *Nature*, vol. 468, n^o. 7321, p. 286-289, 2010.
- [13] O. Bierwagen et J. S. Speck, High electron mobility In₂O₃(001) and (111) thin films with nondegenerate electron concentration, *Applied Physics Letters*, vol. 97, n^o. 7, p. 072103-072103-3, 2010.
- [14] T. Koida et M. Kondo, High electron mobility of indium oxide grown on yttria-stabilized zirconia, *Journal of Applied Physics*, vol. 99, n^o. 12, p. 123703-123703-6, 2006.
- [15] Oktyabrsky, Serge; Ye, Peide, *Fundamentals of III-V Semiconductor MOSFETs*. Springer New York Dordrecht Heidelberg London, 2010.

- [16] K. R. Olasupo et M. K. Hatalis, Leakage current mechanism in sub-micron polysilicon thin-film transistors, *IEEE Transactions on Electron Devices*, vol. 43, n^o. 8, p. 1218-1223, 1996.
- [17] A. Poyai, E. Simoen, C. Claeys, A. Czerwinski, et E. Gaubas, Improved extraction of the activation energy of the leakage current in silicon p–n junction diodes, *Appl. Phys. Lett.*, vol. 78, n^o. 14, p. 1997, 2001.
- [18] A. Czerwinski, E. Simoen, A. Poyai, et C. Claeys, Activation energy analysis as a tool for extraction and investigation of p–n junction leakage current components, *J. Appl. Phys.*, vol. 94, n^o. 2, p. 1218, 2003.
- [19] M. Yazakis, S. Takenaka, et H. Ohshima, Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin-Film Transistors, *Jpn. J. Appl. Phys.*, vol. 31, n^o. Part 1, No. 2A, p. 206-209, 1992.

Conclusion générale :

L'objectif de ce travail était la fabrication de MOSFET III-V pour applications ultra faible consommation. Nous avons orienté ces travaux vers l'étude des paramètres électriques analogiques en particulier la fréquence de fonctionnement des transistors fabriqués, l'objectif étant une augmentation des débits d'information. L'utilisation de matériaux III-V devrait permettre de compenser la dégradation des performances fréquentielles lors de la réduction de la tension d'alimentation V_{DD} , grâce à la meilleure mobilité des III-V par rapport au silicium.

Nous nous sommes intéressés aux matériaux InGaAs dont les propriétés comme la haute mobilité électronique ($12000\text{cm}^2/\text{Vs}$ pour $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) et la haute vitesse de saturation ($2.7 \times 10^7\text{cm/s}$ pour $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$), est un candidat intéressant pour conserver une fréquence d'utilisation importante sous une faible tension d'alimentation. Par ailleurs, ce matériau présente l'avantage de sa maturité technologique, et est le matériau le plus utilisé dans le développement de technologie MOSFET III-V.

Ce travail a été principalement axé sur des développements de technologies et la caractérisation des MOSFET InGaAs. Il est à noter que ce travail a fait partie d'un projet de recherche ANR MOS35 en collaboration avec des laboratoires de recherche nationaux, l'IEF, le CEA-LETI, le CIMMAP et la société OMMIC. L'IEMN a été en charge de l'élaboration des briques technologiques ainsi que la caractérisation électrique des composants, excepté l'élaboration de l'oxyde sur matériau III-V qui est un point clé des MOSFET III-V. Nous avons axé notre travail sur l'optimisation des technologies MOSFET utilisant le III-V $\text{In}_x\text{Ga}_{1-x}\text{As}$. Deux architectures ont été abordées, le MOSFET conventionnel et le MOSFET à canal InGaAs enterré (MOSHEMT), associé à un matériau à plus large bande interdite tel que l'InAlAs, afin de limiter les effets de la qualité d'interface oxyde-semiconducteur.

Dans chapitre 2 de ce mémoire, la fabrication de MOSFET III-V de longueur de grille aussi petite que 50 nanomètres a été réalisée par le développement et l'optimisation des briques technologiques de base y compris : le dépôt de l'oxyde Al_2O_3 (effectué au CEA-LETI) ; le choix et l'optimisation des conditions de dépôt du métal de grille ; l'optimisation des conditions d'implantation et en particulier du recuit d'activation des dopants ; les contacts ohmiques N pour le drain et la source ; le contact ohmique P pour le « body » ; la technique

d'isolation des transistors. Pour l'ensemble de ces étapes, les procédés de lithographies, dépôts et gravures ont été développés avec comme contrainte un budget thermique modéré.

La caractérisation concernant la qualité de l'oxyde de grille, les défauts d'interface oxyde semiconducteur, et en particulier l'influence du budget thermique sur cet oxyde a été réalisée.

La mobilité effective du canal, le courant drain maximum, la transconductance maximale, les paramètres relatifs au comportement sous le seuil, et le comportement fréquentiel des MOSFET fabriqués avec comme figure de mérite le f_T et le f_{MAX} , ont été mesurés.

Une architecture à multi-doigts de grille a été développée pour améliorer la performance en terme de f_{MAX} et pour pouvoir extraire le schéma équivalent petit-signal du transistor grâce à la réduction de la résistance totale de grille R_g . Pour un MOSFET de longueur de grille de 50nm, un $I_{dmax}=180\text{mA/mm}$, $g_{mmax}=110\text{mS/mm}$, $f_T=150\text{GHz}$, et $f_{MAX}=47\text{GHz}$ ont été obtenu avec un D_{it} minimum de $5.8 \cdot 10^{12}/\text{eV.cm}^2$ sous condition de PDA sous N_2 à 600°C . Ces valeurs étant loin de l'état de l'art, donc différentes voies d'études ont été envisagées dans le chapitre 2 afin d'améliorer les performances des composants : différentes conditions de recuits PDA (*Post Deposition Annealing*) et de recuits PPA (*Post Process Annealing*) ont été investiguées pour diminuer la quantité d'oxydes à l'interface et améliorer le niveau de rugosité de surface. Ces études ont montrés que la quantité d'oxyde interfaciaux ne semble pas être la cause principale des faibles résultats électriques obtenus sur les MOSFET. En effet, malgré une quantité d'oxyde plus faible après un recuit PDA sous vide, les caractéristiques électriques des transistors n'étaient pas améliorées par rapport à un recuit PDA sous azote. L'étude sur le recuit PPA a également démontré qu'un recuit sous N_2H_2 après la fabrication des transistors permettait d'améliorer la qualité d'oxyde (réduction du D_{it} à $2.4 \cdot 10^{12}/\text{cm}^2\text{eV}$) lorsque celui-ci avait subi un recuit PDA à 500°C suite à la diminution des liaisons pendantes dans l'oxyde par l'apport d'hydrogène. Un procédé de fabrication où l'oxyde de grille est réalisé après le recuit d'activation des dopants (procédé Gate-Last) a également été proposé et comparé à la technologie Gate-First. Il s'est avéré qu'en technologie Gate-Last, les résultats électriques étaient légèrement améliorés avec un courant du drain maximale I_{dmax} de 110mA/mm pour un MOSFET Gate-First et 120mA/mm pour un MOSFET Gate-Last pour une longueur de grille effective de 50nm, et une transconductance g_{mmax} de 40mS/mm pour un MOSFET Gate-First et 70mS/mm pour un MOSFET Gate-Last. Les résultats quasi-similaires obtenus sur ces deux technologies indiquent que la dégradation probable de l'oxyde suite au recuit d'activation des dopants n'est pas la seule origine des faibles performances obtenues sur nos MOSFET.

Le MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, présenté dans le chapitre 2, ne donne pas de performances idéales, qui restent en deçà de l'état de l'art, quelles que soient les conditions de recuit PDA, PPA. Ce comportement peut être attribué à une densité de défauts d'interface très importante, ce qui a été confirmée par l'extraction du schéma équivalent, avec une transconductance g_m hyperfréquence de 550mS/mm obtenue. Cette transconductance dynamique est supposée n'être pas influencée par rapport aux défauts d'interface D_{it} , ce qui n'est pas le cas de la valeur statique avec une transconductance g_{mDC} de 75mS/mm. Enfin, une faible mobilité effective de $60\text{cm}^2/\text{Vs}$ nous a confirmé une influence néfaste de l'interface sur les performances du transistor, et donc l'amélioration de la qualité d'interface oxyde/semiconducteur est nécessaire.

Donc dans le chapitre 3, nous avons présenté des voies d'amélioration possibles, dont au lieu de travailler sur l'amélioration de la qualité d'interface qui est limité à $4 \cdot 10^{11}/\text{cm}^2\text{eV}$ pour l'état de l'art et $2.4 \cdot 10^{12}/\text{cm}^2\text{eV}$ pour notre travail, nous avons proposé des structures alternatives de MOSHEMT où un bi-couche barrière d'InGaAs/InAlAs est insérée entre le canal et l'oxyde, de manière à éloigner le canal des défauts d'interface. Deux structures ont été présentées : adaptée en maille et pseudomorphique. La structure avec maille adaptée montre de meilleures performances par rapport au MOSFET conventionnel avec un $I_{dmax}=170\text{mA}/\text{mm}$, $g_{mmax}=100\text{mS}/\text{mm}$, $f_T=150\text{GHz}$, et $f_{MAX}=40\text{GHz}$ pour une longueur de grille de 100nm, ce qui sont des valeurs supérieures à celle obtenues sur le MOSFET. La structure pseudomorphique montre les meilleures performances parmi tous les transistors que nous avons fabriqués avec un $I_{dmax}=325\text{mA}/\text{mm}$, $g_{mmax}=210\text{mS}/\text{mm}$, $f_T=200\text{GHz}$, et $f_{MAX}=50\text{GHz}$ pour une longueur de grille de 100nm. Les performances DC restent faibles par rapport à l'état de l'art (1A/mm et 1S/mm). Toutefois, la fréquence f_T constitue un état de l'art des MOSFET III-V fonctionnant en mode d'inversion. Cette étude sur les MOSHEMT démontre bien l'influence de la densité de défaut d'interface encore élevée dans notre cas. Son influence étant minimisée en utilisant la structure à canal enterrée du MOSHEMT. Son amélioration pourrait à priori apporter de meilleures performances électriques. A la fin de chapitre 3, une étude sur le MOSFET InAs a été aussi présentée. Les MOSFET InAs réalisés présentent des caractéristiques électriques faibles, avec un $I_{dmax}=50\text{mA}/\text{mm}$, un $g_{mmax}=22\text{mS}/\text{mm}$, un $f_T=35\text{GHz}$, et un $f_{MAX}=3\text{GHz}$ pour une longueur de grille de 50nm. De plus un courant de fuite important a été observé (I_{OFF} très élevé). Ce courant de fuite semble indépendant de la longueur de grille. Des mesures basse température de ce courant de fuite révèle un effet tunnel, lié à la petite bande interdite du matériau InAs, ainsi qu'un courant de génération important,

indiquant la probable dégradation du matériau InAs lors des recuits. En effet, le procédé de fabrication du MOSFET InAs est de type « Gate-First », pour lequel le recuit d'activation des caissons d'implantation était de 750°C. Le matériau InAs pourrait être très fortement dégradé en considérant la faible liaison In-As d'après la littérature. Donc, un faible budget thermique est indispensable pour la réalisation de MOSFET InAs, et aussi pour les MOSFET III-V, et une amélioration des performances électriques pourrait alors être obtenue.

Finalement, aucune caractérisation électrique à faible tension d'alimentation (ou tension drain source V_{ds}) n'a été effectuée. En effet, les MOSFET III-V présentent des caractéristiques électriques à fort V_{ds} en deçà de l'état de l'art obtenu avec des HEMT.

En conclusion, le MOSFET III-V pourrait être prometteur pour les applications haute fréquence à basse consommation de puissance si le problème d'interface est résolu en diminuant le D_{it} à des valeurs inférieures à $10^{12}/\text{eVcm}^2$, et en assurant l'intégrité des matériaux par optimisation du budget thermique. Enfin ce travail constitue un point de départ pour le développement de ces nouvelles topologies. D'un point de vue topologie, les matériaux III-V peuvent permettre la fabrication de MOSCOMB, qui est la combinaison du canal enterré du MOSHEMT, et d'une structure de type « thin-body », en plaçant de part et d'autre du canal haute mobilité, un matériau à large bande interdite. Cette topologie peut permettre l'amélioration du comportement sous le seuil, ainsi que des performances fréquentielles.

Annexe

Processus Gate-First de la fabrication de MOSFET multi-doigts :

Dégraissage : acétone (2min) + IPA (2min), déshydratation (200°C 5min)

1 : dépôt de Ta par pulvérisation (Ar 30sccm/200W/230s)

2 : litho de grille + marques d'alignement

100 KeV

Dose de base pour plots de grille : $900\mu\text{C}/\text{cm}^2$

Dose de base pour grille : $4000\mu\text{C}/\text{cm}^2$

1^{er} passage

Lg=50nm (haute résolution): coefficient =1,20 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=100nm (haute résolution): coefficient =1,12 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=150nm (haute résolution): coefficient =1 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=200nm (haute résolution): coefficient =0,8 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=300nm (haute résolution): coefficient =0,8 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=500nm (haute résolution): coefficient =0,8 → dose de base= $4000\mu\text{C}/\text{cm}^2$

Lg=1 μm (haute résolution): coefficient =0,8 → dose de base= $4000\mu\text{C}/\text{cm}^2$

2^{ème} passage

Marques d'alignement+plots de grille (base résolution): coefficient =1,00 → dose de base= $900\mu\text{C}/\text{cm}^2$

Résine HSQ : Fox 16 : 4500/3000/60, recuit sur plaque 80°C, 1min

3 : révélation TMAH 1min sans agiter

Rinçage H₂O 2min sans agiter Bécher 1

Rinçage H₂O 2min sans agiter Bécher 2

4 : gravure de Ta RIE SiCl₄/Cl₂/Ar : 5/10/15sccm ; Puissance : 30W ; Pression : 3mTorr ; ~7min

5 : dépôt Si₃N₄ 50nm 300°C

6 : gravure Si₃N₄ RIE dans bâti 5bis SF₆/Ar : 10/10sccm ; 30W ; 4mT

Suivi de gravure ~2min30s

7 : implantation Si 15keV $5 \cdot 10^{13}/\text{cm}^2$ + recuit à 750°C 10s

8 : litho électronique pour contact ohmique n :

résine COPO 4000/1000/12+200_NICO (200°C, 10min)

PMMA 3400/1000/12+200_NICO

Insolation, conditions révélation MIBK/IPA (1 :2), 1min 15s, IPA 30s

9 : BOE/H₂O : 1/5 30s pour enlever Al₂O₃, rinçage H₂O

10 : métallisation: Ti/Pt/Au (250/250/3000Å) avec Ar etching 150eV 1min + lift-off

- 11 : litho optique d'ouverture plots de grille + enlever HSQ:
 résine AZ1518 (3500/2000/12) ; recuit à 110°C pendant 1min
 Révélation à MIF726 pendant 30secondes et rincer dans l'eau
 BOE/H₂O : 1/5 2min30s pour enlever HSQ, rinçage H₂O
- 12 : litho optique pour mésa profond ;
 résine AZ1518 (3500/2000/12) ; recuit à 110°C pendant 1min
 Révélation à MIF726 pendant 30secondes et rincer dans l'eau
- 13 : BOE/H₂O : 1/5 30s pour enlever Al₂O₃ , rinçage H₂O,
 H₃PO₄/H₂O₂/H₂O : 5/1/40 6min, rinçage H₂O
- 14 : litho optique pour contact p profil casquette +mesa peu profond:
 résine AZ1518, (3500/2000/12) recuit à 110°C 1min ; résine AZ326 durcir
 30secondes, recuit à 120°C pendant 1min, profilomètre
- 15 : H₃PO₄/H₂O₂/H₂O : 5/1/40 3min, rinçage H₂O, vérifier profilomètre
- 16 : Métallisation Ti/Pt/Au (250/250/3000A) ; lift-off + recuit 400°C 1min
- 17 : plot d'épaississement + ponts
 1 : Déshydratation à 200°C pendant 4min
 2 : Résinage SF11 2300/3300/12
 3 : Recuit 200_NICO 5min
 4 : Insoler 100kV : dose : 500uC/cm²
 5 : Révélation Nano 101 développer 2min30s
 6 : Fluage PMGI à 220°C 2min
 7 : COPO : 2 dépôts 2.15um 2000/1000/12 x2 ; recuit à 120°C 2min ;
 PMMA: 2000/1000/12; recuit à 120°C 1min 30s
 8 : MIBK/IPA: 1/1 1min 30s
 9 : Métallisation : Ti/Au : 2000/6000A
 10: lift-off : Remover PG ou Remover 1165 à 80°C 30-60min (enlever PMGI, PMMA,
 COPO ensemble) + acétone + alcool

Résumé

Le système intelligent étant autonome en énergie nécessite une consommation de puissance d'inférieur de $100\mu\text{W}$ pour qu'ils puissent récupérer de l'énergie de l'environnement. Le transistor MOSFET, étant un composé principal de ce système peut achever ce but en améliorant ces performances. Matériaux III-V est intéressant d'être appliqué à transistor MOSFET en considérant ses propres propriétés comme haute vitesse thermique d'électron, haute vitesse de saturation, faible bande interdite. Donc hautes performances de transistor avec base consommation de puissance peut être envisagé par MOSFET III-V. Des technologies de fabrication de MOSFET $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ont été développées avec ses mesures statiques et dynamiques. Un $I_{dMAX}=180\text{mA}/\text{mm}$, $g_{mMAX}=110\text{mS}/\text{mm}$, $f_T=150\text{GHz}$, et $f_{MAX}=47\text{GHz}$ ont été obtenus pour un transistor de longueur de grille de 50nm . Différents voies d'amélioration ont été étudiés y compris le procédé gate-last comparé avec gate-first, l'effet PDA, et l'effet PPA. Le procédé gate-last démontre moins de dégradation de l'oxyde avec meilleures performances que gate-first. PDA n'a pas un effet prééminent sur les performances de transistor. PPA a été montré d'avoir un effet de passiver certains défauts dans l'oxyde et à l'interface. Des structures alternatives ont été étudiées comme la structure MOSHEMT de maille adapté et pseudomorphique, montrant meilleures performances avec une $I_{dMAX}=325\text{mA}/\text{mm}$, $g_{mMAX}=210\text{mS}/\text{mm}$, $f_T=200\text{GHz}$ et $f_{MAX}=50\text{GHz}$ pour un transistor de longueur de grille de 100nm . Ces performances DC sont loin de l'état de l'art, tandis que les performances RF sont parmi les meilleurs. une perspective de ce travail est d'améliorer la qualité d'oxyde en baissant le budget thermique et aussi les structures prometteuses comme MOS-COMB (la structure MOS-Thin body avec couche barrière entre l'oxyde et semiconducteur). La structure MOSFET InAs de haute performance pourrait aussi être envisagé en réduisant le budget thermique de fabrication.

Resume

The intelligent system being autonomous on energy requires a power consumption of less than $100\mu\text{W}$ so that they can recover energy from the environment. MOSFET, being a major component of this system can achieve this low power consumption requirement by improving its performance. III-V materials are of interest to be applied to MOSFET considering its own properties such as high electron thermal mobility, high saturation velocity, and low band gap. So high-performance transistor with low power consumption can be expected by III-V MOSFETs. Fabrication technologies of $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSFETs have been developed with its static and dynamic measurements. An $I_{dMAX}=180\text{mA}/\text{mm}$, $g_{mMAX}=110\text{mS}/\text{mm}$, $f_T=150\text{GHz}$ and $f_{MAX}=47\text{GHz}$ were obtained for a transistor gate length of 50nm . Different ways of improvement were studied including the gate-last process compared with gate-first, the PDA effect, and the PPP effect. The gate-last process shows less degradation of the oxide with better performance than gate-first. PDA has no prominent effect on the performance of transistor. PPA has been shown to have a passivation effect of certain defects in the oxide and interface. Alternative structures have been studied such as the structure MOSHEMT with lattice matched and pseudomorphic, showing best performances like $I_{dMAX}=325\text{mA}/\text{mm}$, $g_{mMAX}=210\text{mS}/\text{mm}$, $f_T=200\text{GHz}$ and $f_{MAX}=50\text{GHz}$ for a transistor gate length of 100nm . DC performance is far from the state of the art, while the RF performances are among the best. The perspective of this work is to improve the oxide quality by lowering the thermal budget and also to use promising structures as MOS-COMB (MOS-Thin body structure with barrier layer between the oxide and semiconductor). The MOSFET InAs with high-performance could also be expected by reducing the thermal budget during the fabrication.