

**UNIVERSITE DES SCIENCES ET TECHNOLOGIE DE LILLE**

École doctorale : Sciences pour l'ingénieur

## **THÈSE**

Présentée par

**Florent RAVAUX**

Pour obtenir le grade de

Docteur de l'Université

Spécialité Micro et Nano Technologies, Acoustique et Télécommunications

### **Contribution à l'étude de techniques de siliciuration pour les technologies CMOS avancées : impact des contraintes mécaniques et de la ségrégation de dopant sur la hauteur de barrière Schottky**

Soutenue le 16 Juillet 2012 devant le jury composé de :

Président du jury :	François DANNEVILLE	IEMN, Professeur Université de Lille 1
Rapporteurs :	Aomar HALIMAOUI Jean-Pierre RASKIN	Docteur d'état, Ingénieur R&D STMicroelectronics Professeur UC Louvain-la-Neuve
Examineurs :	Fabrice NEMOUCHI Nicolas RECKINGER	Docteur, Ingénieur R&D CEA-LETI Docteur, Ingénieur de Recherche FUNDP Namur
Directeur de Thèse :	Emmanuel Dubois	IEMN, Directeur de Recherche CNRS

# Sommaire

<b>Remerciements</b>	<b>I</b>
<b>Résumé</b>	<b>III</b>
<b>Liste des publications personnelles</b>	<b>VII</b>
<b>Introduction Générale</b>	<b>1</b>
<b>Chapitre 1: Introduction du transistor MOSFET à contact Schottky</b>	<b>5</b>
1.1 Principes de fonctionnement du transistor MOSFET	6
1.2 Régimes de fonctionnement de la capacité MOS	6
1.2.1 Avant contact	7
1.2.2 Régime d'accumulation	9
1.2.3 Régime de déplétion	10
1.2.4 Régime d'inversion	10
1.3 Fonctionnement du Transistor MOSFET	12
1.3.1 Les différents régimes	12
1.3.2 Caractéristique du transistor MOSFET	14
1.3.2.1 Mode Passant ( $V_G > V_{th}$ )	14
1.3.2.2 Mode bloqué ( $V_G < V_{th}$ )	16
1.4 La miniaturisation et ses limites	17
1.4.1 Règles de miniaturisation	17
1.4.2 Effets parasites	18
1.4.2.1 SCE et DIBL	18
1.4.2.2 Perçage volumique et dégradation de la pente sous le seuil.	21
1.4.2.3 Évolution des résistances parasites d'accès Source/Drain en fonction de la diminution de la longueur de grille.	21
1.4.3 Solutions	24
1.4.3.1 Impact de la réduction de la profondeur de la jonction et du profil.	24
1.4.3.2 Contact Schottky	25
1.4.3.3 Contacts source/drain élevés par épitaxie	26
1.4.3.4 Substrat SOI	27
1.5 Présentation du transistor MOSFET à contact Schottky	27
1.5.1.1 Principe de fonctionnement	28
1.5.1.2 Réduction des résistances de contacts.	29
1.5.1.3 Limitations issues des contraintes technologiques	37
1.5.1.4 Problématique liée à l'intégration des matériaux	37
1.5.1.4.1 Siliciure de métaux	37
1.5.1.4.2 Procédé SALICIDE	38
1.6 Conclusion du chapitre	39
<b>Chapitre 2: Étude théorique pour l'amélioration des Contacts Métal/Semiconducteur</b>	<b>43</b>
2.1 L'utilisation des Siliciures comme jonction Schottky	44
2.1.1 Introduction et état de l'art	44
2.1.2 Choix du matériaux	44
2.1.3 Mécanismes de formation du siliciure	46
2.1.3.1 Définition thermodynamique	46
2.1.3.2 Formation contrôlée par la diffusion	48
2.1.3.3 Formation contrôlée par la nucléation	49
2.1.3.4 Formation du siliciure de platine	49
2.2 Nature de la barrière Schottky	51
2.2.1 Historique	51
2.2.2 Loi de Schottky-Mott	52
2.2.3 Fermi Level Pinning	53
2.2.3.1 États de surface à l'interface et modèle de charges fixes séparées	53

2.2.3.2 MIGS	55
2.2.3.3 Bonds dipole	55
2.3 Ingénierie de la hauteur de barrière	56
2.3.1 Silicium Contraint	57
2.3.1.1 Théorie	57
2.3.1.2 Tenseur de contrainte	57
2.3.1.3 Tenseur de déformation	59
2.3.1.4 Tenseur d'élasticité – Loi de Hooke	59
2.3.1.5 Comparaison entre les contraintes uniaxiales induites par le procédé de fabrication et les contraintes biaxiales induites par le substrat	62
2.3.1.6 Simulations	63
2.3.1.6.1 Structure cristalline et zone de Brillouin	63
2.3.1.6.2 Méthode de liaison forte	66
2.3.1.6.3 Méthode analytique	71
2.3.1.6.3.1 Bande de conduction	71
2.3.1.6.3.2 Bande de valence	73
2.3.1.6.4 Cas d'une hétérostructures multicouches Si/Si <sub>1-x</sub> Ge <sub>x</sub>	78
2.3.2 Ségrégation de dopant	83
2.3.2.1 Théorie	83
2.3.2.2 État de l'art	84
2.4 Conclusion du chapitre	87

### **Chapitre 3: Extraction de la barrière Schottky : méthodologie, modélisation et structure de test** **91**

3.1 Formation du siliciure de platine	92
3.1.1 Nettoyage du substrat	92
3.1.2 Technique de dépôt	93
3.1.3 Technique de recuit	94
3.1.4 Cinétique de formation	95
3.1.5 Morphologie du siliciure de Platine	96
3.2 Détermination de la hauteur de barrière	98
3.2.1 Mesure par Photo-émission interne	98
3.2.2 Mesure Capacité tension	99
3.2.3 Mesure Courant Tension	100
3.2.4 Mesure d'énergie d'activation	100
3.3 Modélisation du Transport électronique dans les contacts Métal/semi-conducteur	102
3.3.1 TE	103
3.3.2 TFE	104
3.3.3 TFEBL	108
3.4 Structure de test	109
3.4.1 Design	109
3.4.2 Organisation des mesures à basse température	111
3.4.3 Procédé de fabrication	113
3.4.3.1 Généralités sur la lithographie électronique.	113
3.4.3.2 Formation du MESA	115
3.4.3.3 Couche de protection (HSQ)	117
3.4.3.4 Siliciuration et Retrait sélectif	119
3.4.3.5 Formation des contacts épais	121
3.5 Conclusion du chapitre	122

### **Chapitre 4: Modulation de la hauteur de barrière Schottky du contact PtSi/Si** **125**

4.1 Impact de l'application des contraintes sur la hauteur de barrière Schottky	126
4.1.1 Les substrats sSOI	126
4.1.2 Ajustement des paramètres de simulation	127
4.1.3 Extraction de la hauteur de barrière Schottky	130
4.1.3.1 Substrats standards et sSOI	130
4.1.3.2 Hétérostructure Si <sub>1-x</sub> Ge <sub>x</sub> /Si	132
4.1.4 Conclusion	135
4.2 Application de la ségrégation de dopant	135
4.2.1 Détermination des conditions pour la ségrégation de dopant	135
4.2.2 Ségrégation de Bore	137

4.2.3 Ségrégation d'Arsenic _____	138
4.2.4 Conclusion _____	138
4.3 Combinaison des deux techniques _____	139
4.3.1 B-DS et contrainte _____	139
4.3.2 As-DS et contrainte _____	139
4.3.3 Conclusion _____	140
4.4 Comparaison entre les valeurs expérimentales et les simulations _____	142
4.4.1 Effet de l'amincissement du film mince de silicium sur la structure de bande. _____	142
4.4.2 Paramètres intrinsèques aux substrats influant sur la ségrégation du Bore _____	146
4.4.2.1 Modification de la distribution des dopants en fonction de l'épaisseur du film SOI ____	146
4.4.2.2 Impact de la contrainte sur la diffusion des dopants _____	148
4.4.3 Conclusion _____	150
4.5 Conclusion du chapitre _____	151
<b>Conclusions et perspectives _____</b>	<b>153</b>
<b>Annexe 1 : Étude de la jonction MIS et comparaison avec une jonction MS _____</b>	<b>159</b>
<b>Bibliographie _____</b>	<b>163</b>

# Remerciements

Ce travail a été effectué à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) depuis septembre 2007. Je remercie Messieurs les Professeurs Alain CAPPY et Lionel BUCHAILLOT successivement directeurs de l'IEMN pendant cette période pour m'avoir accueilli au sein de leur laboratoire.

Tout d'abord, je tiens à remercier M. François DANNEVILLE d'avoir accepté de présider le jury de ma thèse, Messieurs Aomar HALIMAOUI et Jean-Pierre RASKIN qui ont bien voulu être les rapporteurs de ce travail, et Messieurs Fabrice NEMOUCHI et Nicolas RECKINGER qui ont accepté de remplir le rôle d'examineur.

Mes plus sincères remerciements vont à Emmanuel DUBOIS, Directeur de recherche CNRS, pour m'avoir accueilli et encadré pendant toutes ces années. Ses connaissances, sa motivation, sa rigueur et son enthousiasme ont grandement contribué à la réussite de ce travail de thèse.

Je remercie également l'ensemble des équipes de technologie de l'IEMN avec qui j'ai travaillé : André LEROY, Marc FRANÇOIS, Yves DEBLOCK, François VAURETTE, Pascal TILMANT, Christiane LEGRAND, Christophe BOYAVAL, Dmitri YAREKHA.

Enfin, je remercie tous les membres de l'équipe Microélectronique Silicium ainsi que les membres basé à l'ISEN : Christophe KRZEMINSKI, Guilhem LARRIEU, Evelyne LAMPIN, Jean-Michel DROULEZ, Vikram PASSI, Xiang Lei HAN, Zhenkun CHEN, Aurélien LECAVELIER, Jean-François ROBILLARD, Maciej HARAS, François MORINI, Valérie VANDENHENDE, Andreas KAISER, Axel FLAMENT, Antoine FRAPPE, Jean-Marc CAPRON, Bruno STEFANELLI.



# Résumé

---

Contribution à l'étude de techniques de siliciuration pour les technologies CMOS avancées : impact des contraintes mécaniques et la ségrégation de dopant sur la hauteur de barrière Schottky.

---

Alors que le développement industriel des technologies CMOS-SOI aborde le cap des longueurs de grille inférieures à 30 nm, l'optimisation du module source/drain est identifié comme l'un des verrous technologiques fondamentaux afin d'atteindre le niveau de performance spécifié dans la feuille de route ITRS (International Technology Roadmap for Semiconductor). Afin de contourner cette difficulté, une solution consiste à remplacer le module de jonction source/drain conventionnel par un contact métallique de type Schottky dont la hauteur de barrière doit être significativement modulée à la baisse afin de réduire la résistance spécifique de contact. La mise en œuvre des techniques de ségrégation de dopants à basse température a été identifiée dans la littérature comme une technique efficace de réduction de barrière Schottky. D'autre part, l'application de contraintes mécaniques est également connue pour induire une réduction de barrière Schottky par levée de dégénérescence aux minima de bandes. L'objet principal de cette thèse est donc d'étudier la possibilité de cumuler ces deux effets, en particulier dans le cas d'un substrat SOI ultra-mince en tension biaxiale.

Dans une première partie, ce manuscrit de thèse introduit la problématique associée au développement de modules source/drain innovants, en particulier basés sur l'introduction d'un contact métallique de type Schottky.

La deuxième partie de ce travail est dédiée à l'étude des siliciures comme jonction Métal/Semiconducteur. Nous avons analysé les mécanismes de formation du siliciure de platine et identifié théoriquement la nature de la hauteur de barrière Schottky. Deux méthodes d'abaissement de la barrière Schottky sont ensuite introduites : l'application de la contrainte et de la ségrégation de dopant. Les mécanismes physiques engendrant cette réduction par l'application de ces deux méthodes sont ainsi exposés. L'accent est plus particulièrement mis sur l'effet des contraintes mécaniques sur la structure de bande du silicium.

La partie expérimentale de ce travail de thèse est ensuite abordée. Le développement d'une structure de test constituée de deux diodes Schottky têtes bêtes associée à l'utilisation d'un modèle combinant l'émission de porteur par effet thermoélectrique et par effet de champ permet d'extraire précisément la hauteur de barrière Schottky. Les caractérisations morphologiques et électriques montrent que l'utilisation du siliciure de platine est judicieuse de part sa stabilité thermique et sa faible hauteur de barrière Schottky aux trous (250 meV). Nous avons également démontré que l'utilisation des deux méthodes d'abaissement de barrière précédemment citées permet de réduire ce paramètre de 67 meV dans le cas du silicium contraint et de 125 meV dans le cas de la ségrégation de dopant. Lorsque ces deux techniques sont utilisées simultanément, l'abaissement atteint 145 meV. De plus, la ségrégation d'atome d'Arsenic permet de convertir le siliciure de platine en un siliciure de type n.

Ce travail de thèse a démontré que l'intégration du siliciure de platine combiné à l'utilisation de la ségrégation de dopant et de substrat contraint permettait d'obtenir des jonctions Schottky de type p et n à faible hauteur de barrière.

*MOTS-CLE : Hauteur de barrière Schottky, Siliciure de platine, Silicium contraint sur isolant, Ségrégation de dopant.*



# Abstract

---

Technical study of the advanced platinum silicidation for a very low Schottky Barrier Height: simultaneous implementation of strain and dopant segregation.

---

The Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET) down-scaling is not sufficient to satisfy the *International Technology Roadmap for Semiconductor* (ITRS) specifications. A solution consists in replacing the conventional Source/Drain junction module by Schottky contacts.

The first part is devoted to the comparison of electrical simulated performances between the two technologies. The results show that the substitution interest is determined by the achievement of a low Schottky Barrier Height (SBH), which is an intrinsic parameter of this kind of contact.

The second part of this work focuses on the study of silicides as Metal/Semiconductor junction. We analyzed the mechanisms of platinum silicide formation and theoretically identified the origins of the SBH. Two different SBH lowering methods are introduced, namely strain implementation and dopant segregation. The physical mechanisms involved in the SBH lowering are then presented. The emphasis is on the mechanical stress effect on the silicon band structure.

Finally, the experimental part of this study is addressed. A test structure composed of two back-to-back diodes associated to a current model combining thermionic and field effect emission is proposed to precisely characterize SBH. Morphological and electrical characteristics showed that the use of platinum silicide is relevant for its thermal stability and its low SBH to hole (250 meV). In addition, we demonstrated that the implementation of the aforementioned SBH lowering methods induces a reduction equal to 67 meV for strained silicon and 125 meV for dopant segregation. The combined use of these two techniques leads to a lowering equal to 145 meV. Moreover, arsenic dopant segregation is also used to convert platinum silicide into n-type contacts.

This thesis work illustrates the beneficence of platinum silicide combined with the use of dopant segregation and advanced strained substrate for next CMOS generations.

*KEY WORDS: Schottky barrier height, Platinum silicide, Strained silicon on insulator, Dopant segregation.*



# Liste des publications personnelles

- [1] Florent Ravaux, Emmanuel Dubois, Zhenkun Chen, *'Schottky Barrier Height reduction using strained silicon-on-insulator and dopant segregation'*, 37th International Conference on Micro and Nano Engineering, MNE 2011, Berlin, Germany, september 19-23, 2011, paper P-NANO-052. Also accepted for publication in Microelectronic Engineering.
  
- [2] Zhenkun Chen, Emmanuel Dubois, Florent Ravaux, François Danneville, *'Ta/TiN midgap full-metal single gate fabrication using combined chlorine-based plasma and highly selective chemical metal etching for decananometer CMOS technology'*, 37th International Conference on Micro and Nano Engineering, MNE 2011, Berlin, Germany, september 19-23, 2011, paper P-MEMS-038. Also accepted for publication in Microelectronic Engineering.
  
- [3] Luca Silvestri, Susanna Reggiani, Vikram Passi, Florent Ravaux, Emmanuel Dubois, Jean-Pierre Raskin, Simon Clavaguera, Alexandre Carella, Caroline Celle and Jean-Pierre Simonato, *'TCAD Study of the Detection Mechanisms in Silicon Nanoribbon-Based Gas Sensors'*, Proceedings of 41st European Solid-State Device Research Conference, ESSDERC 2011, Helsinki, Finland, september 12-16, 2011, paper ID 5173, 131-134, ISBN 978-1-4577-0708-7.
  
- [4] Vikram Passi, Florent Ravaux, Emmanuel Dubois, Simon Clavaguera, Alexandre Carella, Caroline Celle, Jean-Pierre Simonato, Luca Silvestri, Susanna Reggiani, Dominique Vuillaume, Jean-Pierre Raskin, *'High Gain and Fast Detection of Warfare Agent using Back-Gated Silicon Nanowires MOSFETs'*, IEEE Electron Device Lett., 32, 7 (2011) 976-978.
  
- [5] Vikram Passi, Florent Ravaux, Jean-Pierre Raskin, Emmanuel Dubois, *'Backgate bias and stress level impact on giant piezoresistance effect in thin silicon films and nanowires'*, Proceedings of the 23rd IEEE International Conference on Micro Electro Mechanical Systems, MEMS 2010, Hong Kong SAR, China, january 24-28, 2010, 464-467, ISBN 978-1-4244-5761-8
  
- [6] Xiaohui Tang, Emmanuel Dubois, Florent Ravaux, Erich Kasper, Alim Karmous, Nicolas Reckinger, Jean-Pierre Raskin, *'Self-aligned single-electron memory fabrication based on Si/SiGe/Si heterostructures'*, 35th International Conference on Micro & Nano Engineering, MNE 2009, Ghent, Belgium, september 28-october 1, 2009
  
- [7] H. De Vleschouwer, F. De Pestel, F. Ravaux, T. Colpaert, N. Martens, J. Baele, B. De Leersnyder, F. Bauwens, AMIS Semiconductor (Oudenaarde, Belgium), *'Leakage phenomena in Trench isolation technologies : study of process and layout sensitivities'* 10th Technical and scientific meeting of ARCSIS, december 6-7 2007, Fuveau, France.



# Introduction Générale

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) domine le marché des circuits intégrés numériques depuis sa première démonstration technologique en 1947 [1] (Fig. 1). La demande croissante de ce marché en terme de performances et de fonctionnalités toujours plus complexes a été et est toujours un puissant moteur pour le développement de cette technologie. L'amélioration des performances des circuits intégrés impose une réduction des dimensions du transistor. En effet, cette réduction se traduit par une amélioration des performances intrinsèques du transistor mais permet également par une augmentation du nombre de transistor. L'augmentation de la densité d'intégration permet de concevoir des fonctions toujours plus complexes pour répondre aux demandes de l'utilisateur.

Les efforts de recherche et développement fournis sont de nature variée et de nombreux domaines de compétences sont mis en jeu dans cette course à la performance. Ainsi, il existe une forte corrélation entre les sciences du matériau et l'électronique puisque le comportement du transistor est directement lié aux propriétés physiques des matériaux qui le composent. De plus, la réduction des dimensions impose également de nombreuses contraintes sur l'appareil de production et de nombreuses recherches ont été effectuées pour le développement de nouveaux équipements.

Un des principaux acteurs de cette évolution est Gordon Moore (cofondateur de la société INTEL) qui publia en 1965 dans Electronics Magazine la « LOI de MOORE » (Fig. 2). Cette loi prédit que le nombre de transistors des microprocesseurs sur une puce de silicium double tous les trois ans. Malgré son aspect empirique, cette loi s'est avérée exacte pendant plus de 40 ans (depuis le microprocesseur Intel '4004' (technologie 10  $\mu\text{m}$ ) jusqu'au microprocesseur Intel 'Sandy Bridge' (technologie 32 nm)). Cependant, une véritable barrière technologique semble se dresser au delà du nœud technologique 17 nm.

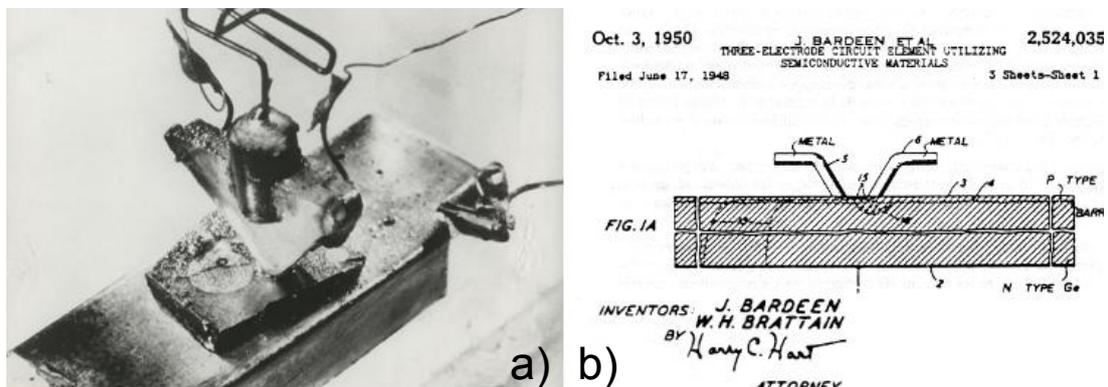


Fig. 1 Photographie (a) et brevet (b) du premier transistor.

Les solutions technologiques après l'année 2015 (date à laquelle le nœud technologique 17 nm doit être mis en production) sont encore en développement et les contraintes

déterminées par l'ITRS sont très fortes [2]. Des techniques de fabrication et des matériaux dits non conventionnels sont déjà intégrés dans les technologies actuelles (diélectrique high- $\kappa$ , dual stress liner, Silicon-On-Insulator) mais ces améliorations ne semblent pas suffisantes pour suivre les prédictions de l'ITRS. Ainsi, d'autres voies d'amélioration doivent être explorées et c'est dans cette optique que cette thèse a été réalisée.

Le premier chapitre est dédié au fonctionnement du transistor MOSFET conventionnel et à l'impact de la miniaturisation sur son fonctionnement. Les aspects d'effet de canal court ou « *Short Channel Effects* » (SCE) et de résistance d'accès y sont étudiés, montrant que la viabilité de l'architecture conventionnelle a atteint ses limites. Il est ensuite démontré que l'intégration de contacts source/drain métalliques est une solution envisageable pour son remplacement. L'accent est mis sur l'importance de la hauteur de barrière Schottky pour la viabilité de cette technologie. D'autres solutions alternatives sont également analysées.

La deuxième partie de cette thèse est focalisée sur la formation du contact métallique par siliciuration et sur les méthodes retenues pour la diminution de la hauteur de barrière. Les raisons du choix du siliciure de platine ainsi que la cinétique de formation sont développées. Pour comprendre quels sont les paramètres affectant la hauteur de barrière Schottky, les différents modèles de transport de courant au travers d'une jonction Métal/Semi-conducteur sont développés ainsi que les différentes théories liées au verrouillage du niveau de Fermi ou « *Fermi Level Pinning* » (FLP). Enfin, il est démontré pourquoi l'intégration de siliciure métallique sur du silicium contraint ainsi que la ségrégation de dopant à l'interface siliciure/silicium sont des techniques permettant la diminution la hauteur de barrière Schottky.

Le troisième chapitre est quant à lui dédié à l'élaboration d'une méthodologie scientifique permettant de vérifier par la pratique les prédictions déterminées dans le chapitre précédent. L'inventaire des techniques de caractérisation pour l'extraction de la hauteur de barrière Schottky permet de définir les caractéristiques d'une structure de test dédiée à ce travail. Le procédé de fabrication est ensuite détaillé.

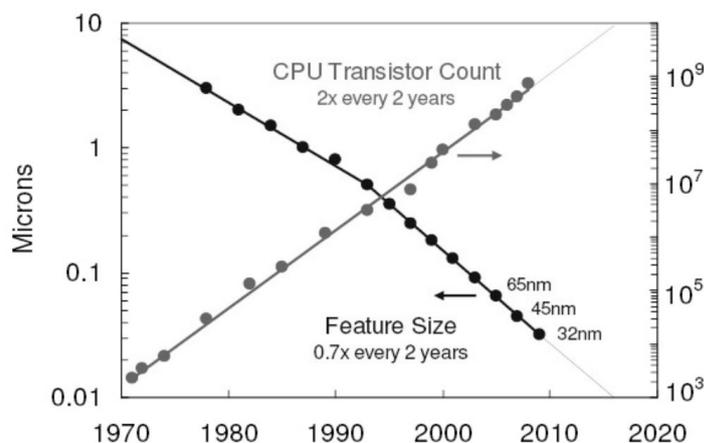


Fig. 2 Représentation de la loi de Moore. Le nombre de transistor par processeur et le nœud technologique utilisé (longueur de grille) est représenté en fonction de l'année de mise en production.

Enfin, la quatrième partie est quant à elle focalisée sur l'exploitation des résultats extraits des différents échantillons réalisés au cours de cette thèse. Cette partie met en évidence l'impact positif de l'intégration de siliciure de platine sur des substrats contraints en tension. L'impact de la ségrégation de dopant sur la hauteur de barrière Schottky est également détaillé. Enfin, l'effet cumulatif des deux méthodes est également démontré.

“Another decade is probably straightforward ...  
There is certainly no end to creativity.”

*Gordon Moore, Intel Chairman Emeritus of the Board Speaking of extending Moore's Law at the International Solid-State Circuits Conference (ISSCC), February 2003.*



# Chapitre 1: Introduction du transistor MOSFET à contact Schottky

---

Ce chapitre est dédié à la description du fonctionnement du transistor conventionnel et aux problématiques liées à la réduction des dimensions. Cette étude essentielle permet de déterminer quels paramètres sont impactés par la miniaturisation et quelles sont les solutions envisageables. Un intérêt particulier est porté sur l'évolution du module de jonction (résistance d'accès source/drain), ce qui permet d'introduire et de positionner le transistor MOSFET à contact source/drain Schottky vis-à-vis de la technologie MOSFET conventionnelle. Les avantages et inconvénients de l'intégration d'un module de jonction de type Schottky sont détaillés. Enfin, l'analyse des paramètres nécessaires à l'évaluation du module de jonction permet de fixer des objectifs rendant le remplacement du module conventionnel par le module Schottky avantageux.

---

<b>1.1 Principes de fonctionnement du transistor MOSFET.....</b>	<b>6</b>
<b>1.2 Régimes de fonctionnement de la capacité MOS.....</b>	<b>6</b>
1.2.1 Avant contact.....	7
1.2.2 Régime d'accumulation .....	9
1.2.3 Régime de déplétion .....	10
1.2.4 Régime d'inversion .....	10
<b>1.3 Fonctionnement du Transistor MOSFET .....</b>	<b>12</b>
1.3.1 Les différents régimes.....	12
1.3.2 Caractéristique du transistor MOSFET .....	14
1.3.2.1 Mode Passant ( $V_G > V_{th}$ ) .....	14
1.3.2.2 Mode bloqué ( $V_G < V_{th}$ ).....	16
<b>1.4 La miniaturisation et ses limites .....</b>	<b>17</b>
1.4.1 Règles de miniaturisation .....	17
1.4.2 Effets parasites.....	18
1.4.2.1 SCE et DIBL.....	18
1.4.2.2 Perçage volumique et dégradation de la pente sous le seuil.....	21
1.4.2.3 Évolution des résistances parasites d'accès Source/Drain en fonction de la diminution de la longueur de grille.....	21
1.4.3 Solutions .....	24
1.4.3.1 Impact de la réduction de la profondeur de la jonction et du profil. ....	24
1.4.3.2 Contact Schottky .....	25
1.4.3.3 Contacts source/drain élevés par épitaxie .....	26
1.4.3.4 Substrat SOI.....	27
<b>1.5 Présentation du transistor MOSFET à contact Schottky .....</b>	<b>27</b>
1.5.1.1 Principe de fonctionnement.....	28
1.5.1.2 Réduction des résistances de contacts.....	29
1.5.1.3 Limitations issues des contraintes technologiques .....	37
1.5.1.4 Problématique liée à l'intégration des matériaux .....	37
1.5.1.4.1 Siliciure de métaux.....	37
1.5.1.4.2 Procédé SALICIDE.....	38
<b>1.6 Conclusion du chapitre .....</b>	<b>39</b>

## 1.1 Principes de fonctionnement du transistor MOSFET

Le mot-valise **transistor** vient de la fusion des mots anglais « *transfer resistor* » (résistance de transfert). Ce terme désigne un composant électronique actif élémentaire permettant de contrôler un courant entre deux électrodes (source et drain) grâce à une électrode d'entrée (grille) ( Fig. 1:1). Les porteurs de charge circulent dans un matériau semiconducteur comme le silicium et le germanium.

Dans le cas d'un transistor MOSFET, l'intensité du courant est contrôlée par l'effet de champ développé au travers d'une structure métal/oxyde qui modifie la conductivité du semi-conducteur en fonction de sa polarisation. Cette modulation permet de contrôler le flux de porteur circulant entre les deux électrodes de source et de drain. La zone de circulation est limitée à la zone d'influence de la grille sur le semi-conducteur (quelques nm).

Il existe plusieurs régimes de fonctionnement pour le transistor MOSFET. Ces régimes dépendent du type de courant mis en jeu (électrons ou trous) mais surtout de la polarisation de la grille. L'objet du paragraphe suivant est la description de ces différents modes de fonctionnement.

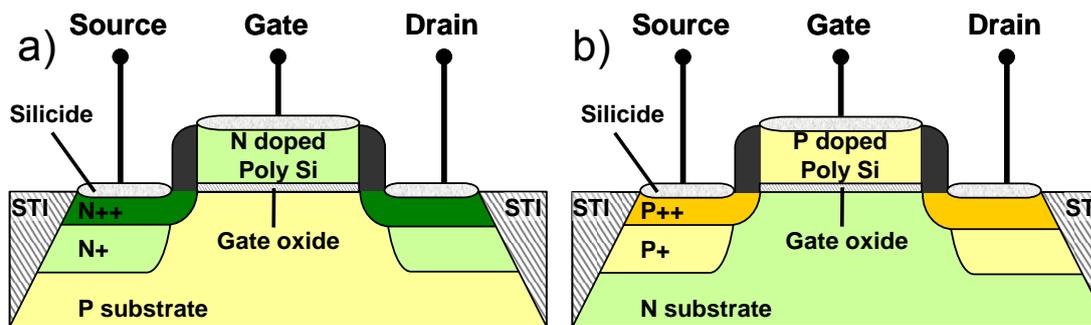


Fig. 1:1 Schéma des transistors conventionnels de type n (a) et de type p (b). Les trois électrodes de contrôle sont représentées (source, drain et grille). Pour le transport des électrons, le substrat est dopé type p alors que les zones de contacts sont dopées type n. Pour le transport des trous, le substrat est dopé type n alors que les zones de contacts sont dopées type p.

## 1.2 Régimes de fonctionnement de la capacité MOS

L'étude d'une structure Métal / Oxyde / Semiconducteur est essentielle pour la compréhension du fonctionnement du transistor à effet de champ. En effet, la modulation de la circulation des porteurs de charge par la polarisation de la grille peut être expliquée par l'influence du champ électrique sur la zone de semiconducteur située en dessous de cette structure. Trois paramètres sont primordiaux : la polarisation de la grille, le dopage du semiconducteur et le travail d'extraction du métal composant la grille. En fonction de ces paramètres, le peuplement du semiconducteur varie. Par mesure de simplification, nous considérerons que le travail de sortie du métal de grille et le niveau de fermi du silicium sont à la même énergie. Ce régime est appelé régime de bande plate (« *flat-band* »).

### 1.2.1 Avant contact

Considérons une structure Métal / Oxyde / Semiconducteur dans le vide. Les différents matériaux sont séparés par des espaces de vide important de sorte qu'il n'y ait aucun échange de porteurs de charges entre eux (Fig. 1:2). Le semiconducteur et le métal sont caractérisés par leur travail de sortie  $q \cdot \phi_s$  et  $q \cdot \phi_M$  respectivement alors que l'oxyde est caractérisé par son épaisseur et sa permittivité. La position du niveau de Fermi du semiconducteur varie en fonction du type de dopage du semiconducteur (n ou p) et de la densité de dopant (plus le dopage est fort, plus le niveau de Fermi est proche de la bande de conduction ou de valence).

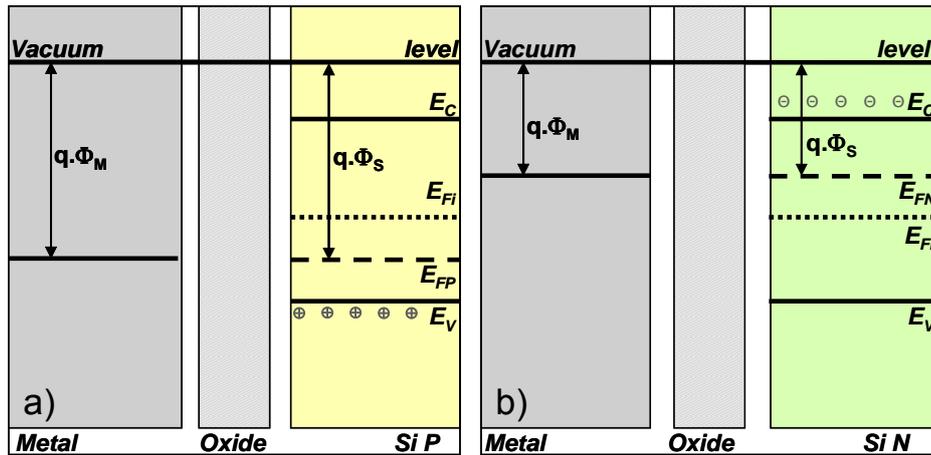


Fig. 1:2 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur avant contact pour un semiconducteur de type p (a) et n (b). L'équilibre thermodynamique n'est pas encore établi.

Lorsque les trois éléments sont mis en contact, les matériaux échangent de l'énergie afin de former un système thermodynamique à l'équilibre. Dans le cas où  $q \cdot \phi_s$  et  $q \cdot \phi_M$  sont égaux, il n'y a aucun échange de porteur de charge (Fig. 1:3). Cette structure est appelée régime de bande plate.  $E_{Fi}$  représente le niveau de Fermi intrinsèque du semiconducteur. Lorsque le niveau de Fermi ( $E_F$ ) est au dessous de  $E_{Fi}$ , le semiconducteur est de type p (Fig. 1:3-a), lorsqu'il est au dessus, il est de type n (Fig. 1:3-b). Ce cas reste idéal et ne représente pas la réalité. Lorsque les travaux d'extraction ne sont pas égaux, des charges sont transférées entre les matériaux jusqu'à l'alignement des niveaux de Fermi. Le schéma a) de la Fig. 1:4 représente une structure MOS dont le travail d'extraction du métal se situe entre le niveau de Fermi du semiconducteur et la bande de valence. Pour le schéma b), ce travail d'extraction se situe entre la bande de conduction et le niveau de Fermi. Lorsque le contact est réalisé, le système converge vers un état d'équilibre ce qui engendre un transfert de charge. Il en résulte une différence de potentiel de contact tel que :

$$q \cdot V = q \cdot \phi_M - q \cdot \phi_s \quad \text{eq. 1-1}$$

Considérons le cas où  $q \cdot \phi_M < q \cdot \phi_s$  pour un semiconducteur de type n. Comme  $q \cdot V$  est négatif, les différentes bandes du semiconducteur se courbent vers le bas à l'interface et des charges négatives apparaissent du côté semiconducteur (Fig. 1:4-c). Pour conserver l'équilibre, des charges positives se forment du côté du métal. Dans le cas où  $q \cdot \phi_M > q \cdot \phi_s$ , la polarité des charges est inversée ainsi que la courbure des bandes (Fig. 1:4-d).

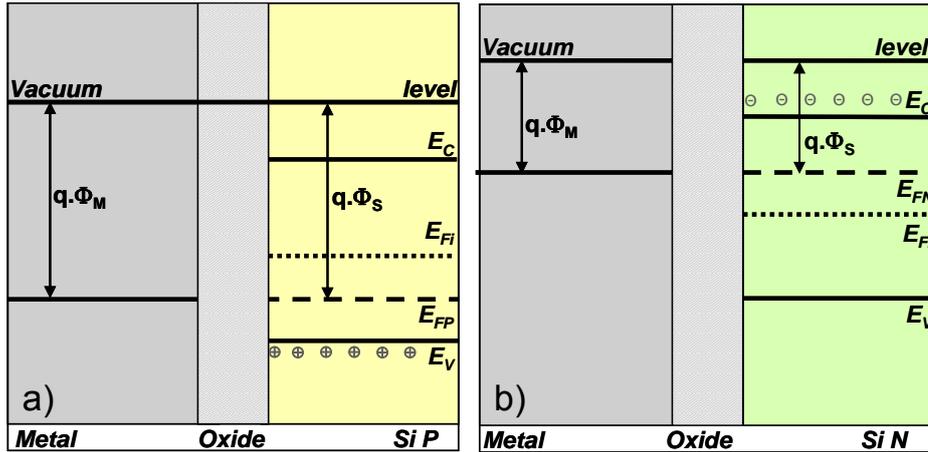


Fig. 1:3 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur après contact pour un semiconducteur de type p (a) et n (b). L'équilibre thermodynamique est établi et les niveaux de Fermi sont alignés. Le travail de sortie du métal de grille et le niveau de fermi du silicium sont à la même énergie.

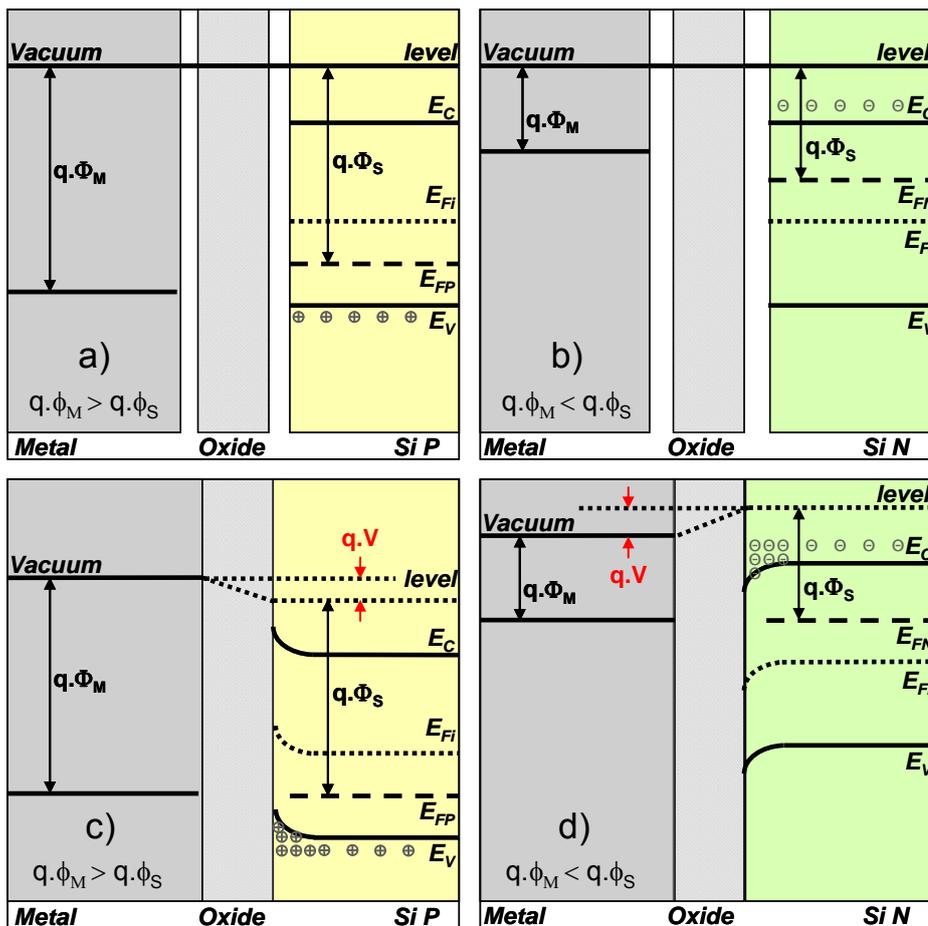


Fig. 1:4 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur avant (a et b) et après contact (c et d) pour un semiconducteur de type p (a et c) et n (b et d).

Il existe trois régimes de fonctionnement bien différents qui dépendent du gradient de potentiel entre le métal et le semiconducteur. Ce gradient correspond à la somme de la différence des travaux de sortie et la polarisation de la structure MOS. Par souci de simplification des équations, nous traiterons les effets de la polarisation d'une structure MOS dans le cas où  $q \cdot \phi_M = q \cdot \phi_S$  pour des semiconducteurs de type n et p. Ainsi, la composante  $q \cdot V$  étant nulle, le gradient de potentiel n'est fonction que de la polarisation appliquée à la structure. La position du niveau de Fermi par rapport au niveau de Fermi intrinsèque  $E_{Fi}$  dépend du type de semiconducteur. Si le semiconducteur est de type p, le niveau de Fermi sera positionné entre la bande de valence  $E_V$  et  $E_{Fi}$ . S'il est de type n, il sera situé entre la bande de conduction  $E_C$  et  $E_{Fi}$ . A l'équilibre thermodynamique, ce niveau reste constant dans le semiconducteur contrairement aux bandes de valence et de conduction et au niveau de Fermi intrinsèque qui varient en fonction de la distance par rapport l'interface Oxyde/Semiconducteur. Les équations suivantes décrivent la densité d'électrons et de trous,  $n_0$  et  $p_0$  respectivement, en fonction de la distance entre le niveau de Fermi et le niveau de Fermi intrinsèque [3] :

$$n_0 = n_i \cdot e^{\frac{-q \cdot \phi_F}{k \cdot T}} \quad \text{eq. 1-2}$$

$$p_0 = n_i \cdot e^{\frac{q \cdot \phi_F}{k \cdot T}} \quad \text{eq. 1-3}$$

Compte tenu de la variation du niveau de Fermi intrinsèque (dans le cas d'une structure MOS polarisée) au fur et à mesure que l'on se rapproche de l'interface, la distance séparant  $E_F$  et  $E_{Fi}$  varie également. La densité de porteurs varie donc de telle sorte que :

$$n(x) = n_i \cdot e^{\frac{-q(\phi(x) - \phi_F)}{k \cdot T}} \quad \text{eq. 1-4}$$

$$p(x) = n_i \cdot e^{\frac{q(\phi(x) - \phi_F)}{k \cdot T}} \quad \text{eq. 1-5}$$

où  $x$  représente la position par rapport à l'interface Oxyde/Semiconducteur choisi comme origine de cet axe. On peut donc définir  $n_{surf}$  et  $p_{surf}$  comme les densités de porteurs à la surface de l'interface (en  $x=0$ ) tels que :

$$n_{surf} = n_i \cdot e^{\frac{-q(\phi_{surf} - \phi_F)}{k \cdot T}} \quad \text{eq. 1-6}$$

$$p_{surf} = n_i \cdot e^{\frac{q(\phi_{surf} - \phi_F)}{k \cdot T}} \quad \text{eq. 1-7}$$

Ces équations sont essentielles à la compréhension de l'évolution de la densité de porteurs en fonction de la polarisation du métal.

### 1.2.2 Régime d'accumulation

Le régime d'accumulation est atteint lorsque le métal est polarisé négativement pour un semiconducteur de type p (et positivement pour un semiconducteur de type n). Pour un semiconducteur de type p, le potentiel de surface est supérieur au potentiel du semiconducteur en dehors de la zone d'influence du métal. Pour un semiconducteur de type n, le potentiel de surface est inférieur au potentiel du semiconducteur en dehors de la zone d'influence du métal. D'après les équations eq. 1-6 et eq. 1-7, les densités de porteur  $n_{surf}$  et  $p_{surf}$  à l'interface augmente d'une quantité  $\exp(-q \cdot \phi_{surf}/k \cdot T)$ . C'est le régime d'accumulation (Fig. 1: 5).

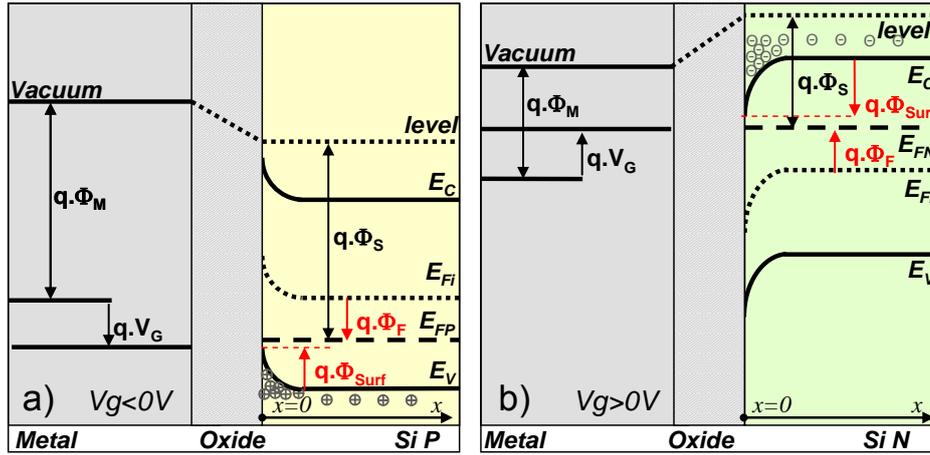


Fig. 1: 5 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur en régime d'accumulation pour un semiconducteur de type p (a) et n (b).

### 1.2.3 Régime de déplétion

Lorsque la polarisation est inversée par rapport au cas précédent, la structure est dite en régime de déplétion. Pour un semiconducteur de type p et lorsque la polarisation est positive, la concentration en porteur diminue lorsqu'on se rapproche de l'interface et les porteurs majoritaires (trous) sont repoussés de cette zone. Pour un semiconducteur de type n et lorsque la polarisation est négative, les électrons sont repoussés de cette zone. C'est le régime de déplétion (Fig. 1: 6).

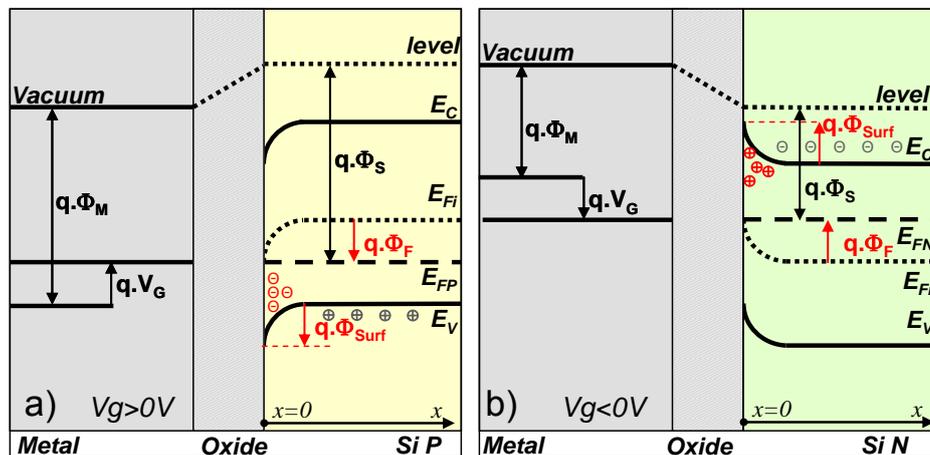


Fig. 1: 6 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur en régime de déplétion pour un semiconducteur de type p (a) et n (b).

### 1.2.4 Régime d'inversion

Au fur et à mesure que la polarisation augmente dans ce sens, la désertion des porteurs majoritaires est de plus en plus intense et la population de porteurs minoritaires augmente.

La courbure des bandes d'énergie s'accroît, et pour une certaine tension, le niveau de Fermi intrinsèque  $E_{Fi}$  passe sous le niveau de Fermi  $E_F$ . Dans un semiconducteur de type p, le régime d'inversion forte est atteint lorsque la condition suivante est vérifiée :

$$|\phi_s| \geq 2 \cdot |\phi_F| \quad \text{eq. 1-8}$$

Le niveau de Fermi est plus proche de la bande de conduction que de la bande de valence, le semiconducteur est devenu de type n. Les électrons minoritaires dans le semiconducteur (type p) sont majoritaires à l'interface oxyde/semiconducteur. Il y a un phénomène d'inversion. Il y a apparition d'une couche d'inversion séparée par une zone désertée de la région neutre du semiconducteur. On appelle  $V_{th}$  (tension de seuil) la tension faisant passer la capacité MOS en régime de forte inversion. On définit  $V_{th}$  tel que :

$$V_{th} = 2 \cdot \phi_F + V_{OX} \quad \text{eq. 1-9}$$

où  $V_{OX}$  représente la chute de potentiel à travers l'oxyde,  $C_{ox}$  la capacité surfacique de l'isolant,  $Q_{dep}$  la charge surfacique de déplétion et  $T_{dep}$  la profondeur de déplétion tels que :

$$V_{OX} = -\frac{Q_{dep}}{C_{ox}} \quad \text{eq. 1-10}$$

$$C_{ox} = \frac{\kappa_{ox} \cdot \epsilon_0}{t_{ox}} \quad \text{eq. 1-11}$$

$$Q_{dep} = q \cdot N_B \cdot T_{dep} \quad \text{eq. 1-12}$$

$$T_{dep} = \sqrt{\frac{\epsilon_{Si}}{q \cdot N_B} \cdot (\phi_s - V_{BS})} \quad \text{eq. 1-13}$$

L'expression eq. 1-9 n'est valable que dans le cas où le travail d'extraction de sortie du métal est au même niveau que le travail d'extraction du semiconducteur. Si ce n'est pas le cas, alors :

$$V_{th} = V_{FB} + 2 \cdot \phi_F + V_{OX} \quad \text{eq. 1-14}$$

où  $V_{FB}$  représente le potentiel à appliquer pour être en régime de bande plate. Ce régime est représenté en Fig. 1:7.

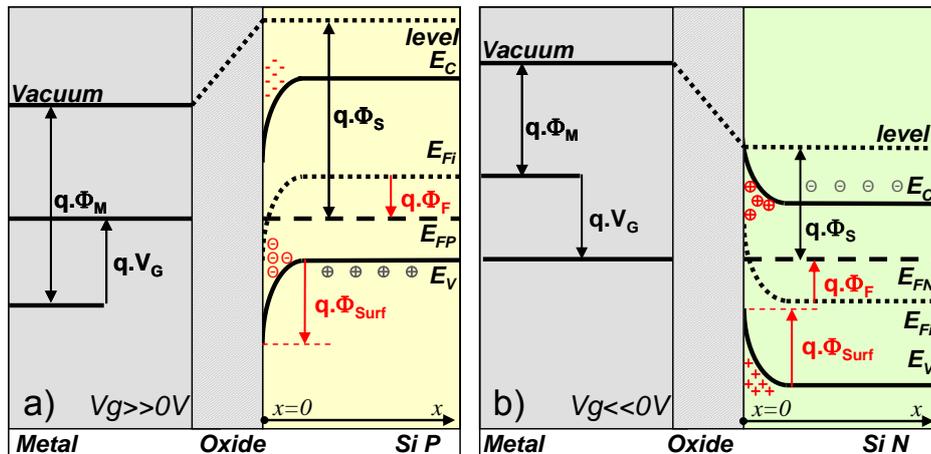


Fig. 1:7 Diagrammes d'énergie d'une structure Métal/Oxyde/Semiconducteur en régime d'inversion pour un semiconducteur de type p (a) et n (b).

## 1.3 Fonctionnement du Transistor MOSFET

La structure MOS permet de contrôler et modifier la population de porteurs à son interface. Il est donc possible de créer dans le silicium un canal de conduction dont on peut contrôler le débit. Pour réaliser un transistor MOSFET complet, il faut ajouter à cette précédente structure la capacité à injecter des porteurs dans ce canal. Pour cela, on utilise deux zones de silicium inversement dopées par rapport au substrat. Les dimensions caractéristiques du transistor MOSFET sont la largeur  $W$  de la grille et la largeur du canal de conduction  $L$  (Fig. 1:8-a). La source et le drain sont les points d'accès au canal de conduction alors que l'intensité du courant électrique est contrôlée par la polarisation de la grille. Le transistor n-MOSFET est caractérisé par un substrat dopé type p et une circulation d'électrons entre la source et le drain dopés n (Fig. 1:8-b) alors que le transistor p-MOSFET est caractérisé par un substrat dopé type n et une circulation de trous entre la source et le drain dopés p (Fig. 1:8-c). Comme pour le cas de la capacité MOS, le transistor MOSFET possède plusieurs modes de fonctionnement qui sont détaillés ci-dessous.

### 1.3.1 Les différents régimes

Le transistor MOSFET possède quatre électrodes de commande :

- la Source S (Source) : point de départ des porteurs
- le Drain (Drain) D : point de collecte des porteurs.
- La Grille (Gate) G et le Substrat (Body) B : électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal.

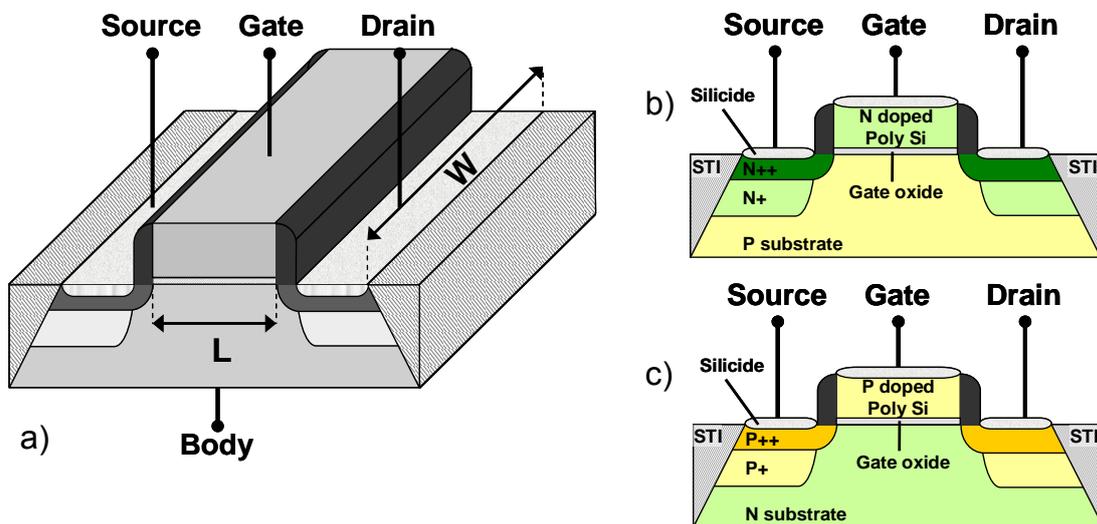


Fig. 1:8 Schéma tridimensionnels (a) et en coupe des transistor MOSFET de type n (b) et p (c).

Lorsque le transistor MOSFET n'est pas polarisé (Fig. 1:9-a), les zones source/canal et drain/canal forment deux diodes PN en mode bloqué. Le courant pouvant traverser ces deux barrières correspond au courant de fuite des diodes. Le régime de capacité MOS dépend des travaux de sortie du métal et du semiconducteur. Dans le cas où  $q \cdot \phi_M = q \cdot \phi_S$ , la

structure MOS est en régime de bande plate («Flat Band») mais il peut également être en régime de désertion ou d'inversion faible.

Lorsque la grille est polarisée positivement avec une tension est supérieure à la tension de seuil  $V_{th}$  (Fig. 1:9-b), les deux jonctions sont en mode passant. Le courant pouvant accéder au canal est donc limité par ses caractéristiques. De plus, le canal de conduction entre la source et le drain passe en régime de forte inversion (type n).

La polarisation positive du drain (Fig. 1:9-c) induit la circulation d'un courant dans le canal allant de la source vers le drain du fait de la présence du champ électrique horizontal. Lorsque la tension de grille est inférieure à la tension de saturation, la variation du courant est linéaire et proportionnelle à la différence de potentiel entre le drain et la source. Le régime est linéaire (ou ohmique) tant que :

$$V_{DS} < V_G - V_{th} \quad \text{eq. 1-15}$$

Du fait de cette polarisation, la capacité MOS est moins polarisée du coté du drain que du coté de la source (la polarisation n'est pas homogène le long de la grille) ce qui provoque une diminution de l'épaisseur de la couche d'inversion au fur et à mesure que l'on se rapproche du drain. Lorsque la partie du canal située du côté du drain n'est plus en régime d'inversion, le transistor rentre en régime de saturation. Le régime de saturation commence lorsque :

$$V_{DS} \geq V_G - V_{th} \quad \text{eq. 1-16}$$

On appelle point de pincement la position où le canal n'est plus en régime d'inversion. Pour des tensions de drain supérieures, le point de pincement se déplace alors du drain vers la source ce qui provoque une saturation du courant. Le courant est transporté par les porteurs libres jusqu'au point de pincement puis propulsé vers la zone drain par le champ électrique horizontale (Fig. 1:9-d).

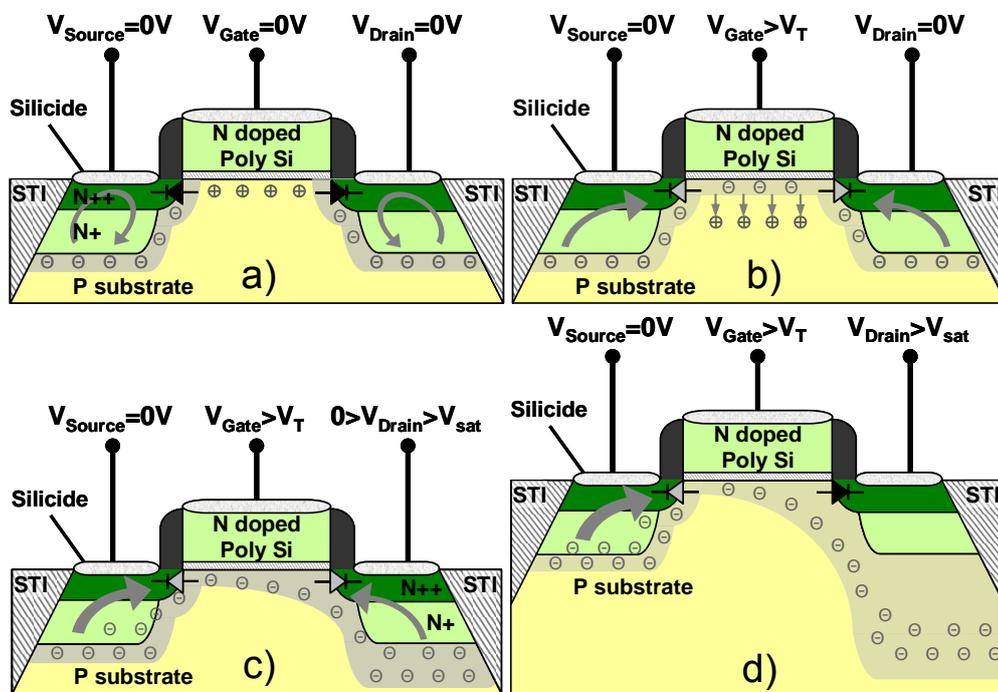


Fig. 1:9 Schémas des différents régimes de fonctionnement d'un transistor N-MOSFET. Le canal est dopé type p et les contacts source et drain sont de type n.

## 1.3.2 Caractéristique du transistor MOSFET

### 1.3.2.1 Mode Passant ( $V_G > V_{th}$ )

L'objectif de ce paragraphe est de rappeler les éléments essentiels de modélisation du courant de drain en fonction du régime dans lequel se trouve le transistor. Pour cela, il est important d'analyser de manière capacitive la structure MOS lorsque le canal est en inversion forte (Fig. 1:10). Nous limiterons cette analyse à l'étude théorique des transistors à canal long. Les effets de la miniaturisation du canal sur le fonctionnement des transistors seront abordés dans le paragraphe 1.4.2.

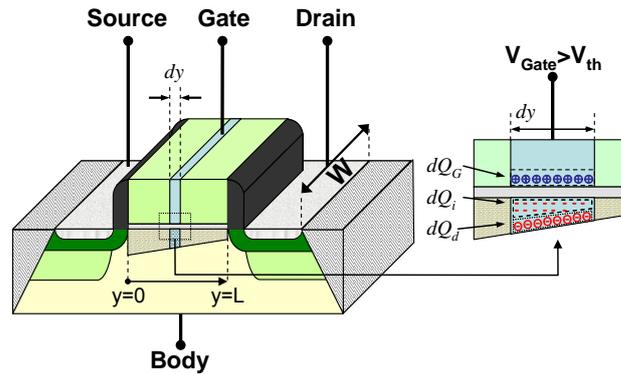


Fig. 1:10 Schémas d'un transistor n-MOSFET en régime d'inversion. Le canal est dopé type p et les contacts source/drain sont de type n. Le schéma de droite représente les charges élémentaires présentes lors de la polarisation de la structure MOS

Lorsque l'électrode métallique de la capacité MOS est polarisée positivement, une charge élémentaire positive  $dQ_g$  se crée à l'interface Métal/Isolant alors qu'une charge élémentaire négative se crée à l'interface Semiconducteur/Isolant. Cette charge peut être décomposée en impuretés dopantes ionisées fixes ( $dQ_d$ ) et en électrons libres ( $dQ_i$ ).

$$dQ_G = -dQ_d - dQ_i \quad \text{eq. 1-17}$$

La densité de charge d'inversion élémentaire est donnée par [4] :

$$dQ_i(y) = -C_{ox} \cdot W \cdot dy \cdot V_{ox}(y) \quad \text{eq. 1-18}$$

Lorsque  $V_{DS} > 0$ , le potentiel  $V(y)$  n'est pas constant le long du canal. Il y a donc une chute de potentiel au fur et à mesure que l'on se rapproche du drain alors que le potentiel à la surface de la grille reste constant puisque celle-ci est conductrice. On a donc :

$$V_G = V_{ox}(y) + V(y) \quad \text{eq. 1-19}$$

et 
$$V(y=0) = V_{source} \quad V(y=L) = V_{drain} \quad \text{eq. 1-20}$$

Cette particularité impose que la densité de charge d'électron libre élémentaire est :

$$dQ_i(y) = -C_{ox} \cdot W \cdot dy \cdot (V_G - V_{th} - V(y)) \quad \text{eq. 1-21}$$

$$dQ_i(y=0) = -C_{ox} \cdot W \cdot dy \cdot (V_G - V_{th} - V_{source}) \quad \text{eq. 1-22}$$

$$dQ_i(y=L) = -C_{ox} \cdot W \cdot dy \cdot (V_G - V_{th} - V_{drain}) \quad \text{eq. 1-23}$$

Si la densité d'électron de charge libre présente dans le canal est constante, alors l'épaisseur du canal (qui est proportionnel à  $dQ_i$ ) diminue puisque le facteur  $V_G - V_{th} - V(y)$  diminue à proximité du drain.

Le courant de drain est donné par :

$$I_{DS} = s(y) \cdot J(y) \quad \text{eq. 1-24}$$

$$J(y) = -n \cdot q \cdot \mu_0 \cdot E(y) \quad \text{eq. 1-25}$$

où  $s(y)$  est l'aire de la section du canal et  $J(y)$  est la densité de courant dans le canal au point  $y$ . Sachant que :

$$E(y) = -\frac{dV(y)}{dy} \quad \text{eq. 1-26}$$

On obtient :

$$I_{DS} \cdot dy = n \cdot q \cdot \mu_0 \cdot s(y) \cdot dV(y) \quad \text{eq. 1-27}$$

De plus,

$$dQ_i(y) = -n \cdot q \cdot s(y) \cdot dy = -C_{ox} \cdot W \cdot dy \cdot (V_G - V_{th} - V(y)) \quad \text{eq. 1-28}$$

$$-n \cdot q \cdot s(y) = -C_{ox} \cdot W \cdot (V_G - V_{th} - V(y)) \quad \text{eq. 1-29}$$

En combinant l'eq. 1-27 et l'eq. 1-29, on obtient :

$$I_{DS} \cdot dy = \mu_0 \cdot C_{ox} \cdot W \cdot (V_G - V_{th} - V(y)) \cdot dV(y) \quad \text{eq. 1-30}$$

Le courant total s'obtient en intégrant eq. 1-30 sur toute la longueur du canal tel que :

$$I_{DS} = \int_{y=0}^{y=L} I_{DS} \cdot dy = \mu_e \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[ (V_G - V_{th}) \cdot V(y) - \frac{V(y)^2}{2} \right]_{y=0}^{y=L} \quad \text{eq. 1-31}$$

On obtient :

$$I_{DS} = \mu_e \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_G - V_{th} - \frac{V_{DS}}{2}) \cdot V_{DS} = \beta \cdot (V_G - V_{th} - \frac{V_{DS}}{2}) \cdot V_{DS} \quad \text{eq. 1-32}$$

avec

$$\beta = \mu_e \cdot C_{ox} \cdot \frac{W}{L} \quad \text{eq. 1-33}$$

Pour obtenir la valeur de la tension de saturation, on calcule  $V(L)$  tel que  $dQ_i(L)=0$  ce qui implique que :

$$V_G - V_{th} - V(L) = 0 \quad \text{eq. 1-34}$$

et donc que :

$$V_{dsat} = V_G - V_{th} \quad \text{eq. 1-35}$$

La valeur du courant de saturation est donc décrite par l'équation suivante :

$$I_{DSsat} = \frac{\beta \cdot V_{dsat}^2}{2} \quad \text{eq. 1-36}$$

Il est important de préciser que ces formules ne sont valables que lorsque la face arrière du substrat n'est pas polarisée. La polarisation de la face arrière permet d'ajuster la valeur de  $V_{dsat}$ .

### 1.3.2.2 Mode bloqué ( $V_G < V_{th}$ )

Pour une polarisation de grille inférieure à la tension de seuil, le transistor est en mode bloqué. D'après [5], le courant de drain est donné par l'équation suivant :

$$I_{DS} = \mu_{eff} \cdot C_{ox} \cdot \frac{W}{L} \cdot (m-1) \cdot \left(\frac{k \cdot T}{q}\right)^2 \cdot e^{\frac{-q \cdot V_{DS}}{m \cdot k \cdot T}} \cdot e^{\frac{q \cdot (V_G - V_{th})}{k \cdot T}} \quad \text{eq. 1-37}$$

avec

$$m = 1 + \frac{1}{C_{ox}} \cdot \sqrt{\frac{q \cdot \epsilon_{Si} \cdot N_{sub}}{4 \cdot \phi_B}} \quad \text{eq. 1-38}$$

On remarque que le courant sous la tension de seuil est indépendant de  $V_{DS}$  lorsque cette tension est supérieure à quelques  $kT/q$ . Par contre, il est dépendant de  $\exp(q(V_G - V_{th})/kT)$ . Il est alors intéressant de définir la quantité  $S$  telle que :

$$S = \left(\frac{d(\log_{10} I_{DS})}{dV_G}\right)^{-1} \approx 2.3 \cdot m \frac{k \cdot T}{q} \quad \text{eq. 1-39}$$

Cette quantité, appelée pente sous le seuil, ou « *subthreshold slope* » (SS) est représentative de la vitesse de transition entre l'état bloqué et l'état passant. Au plus la pente sera raide, au plus la commutation du transistor de l'état bloqué à l'état passant sera rapide. Les Fig. 1:11 et Fig. 1:12 représentent les caractéristiques de sortie du transistor n-MOSFET.

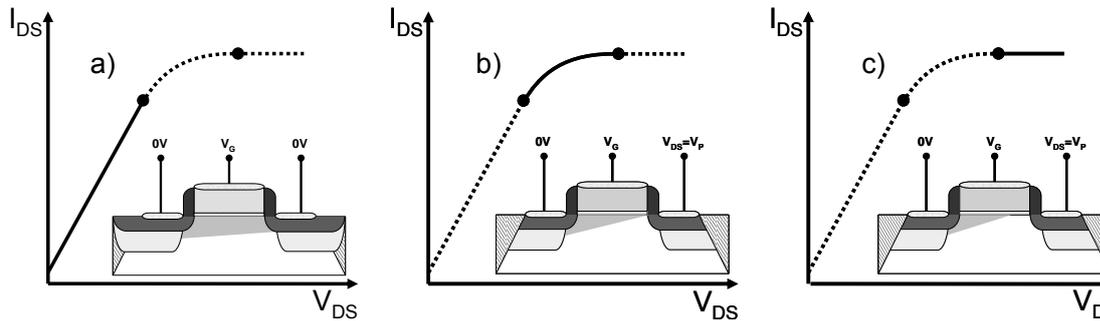


Fig. 1:11 Caractéristique de sortie ( $I_{DS}(V_{DS})$ ) du transistor n-MOSFET idéal. Le schéma a représente le régime linéaire, le schéma b représente le régime de raccordement et le schéma c représente le régime de saturation.

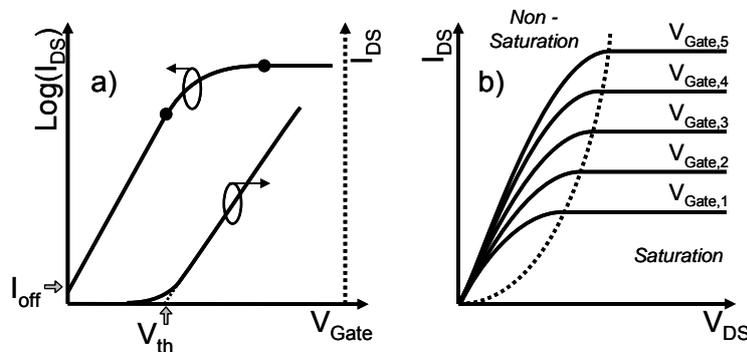


Fig. 1:12 Caractéristique de sortie du transistor n-MOSFET idéal. a) :  $I_{DS}(V_G)@V_{DS}$  fixe et b) :  $I_{DS}(V_{DS})@V_G$  fixe.

## 1.4 La miniaturisation et ses limites

Comme évoqué en introduction, le succès de la technologie MOSFET est en partie dû à ses propriétés de miniaturisation et aux possibilités d'évolution que celle-ci offre. En configuration statique, les performances d'un transistor sont déterminées par le courant en mode passant  $I_{ON}$  et le courant en mode bloqué  $I_{OFF}$ . Cependant, ces paramètres ne sont pas représentatifs des performances globales d'un circuit électronique puisqu'ils ne caractérisent la rapidité du circuit ni sa consommation. La consommation en mode statique est donnée par :

$$P_{static} = V_{DD} \cdot I_{off} \quad \text{eq. 1-40}$$

et la rapidité est relative au délai de propagation intrinsèque du transistor donné par la relation suivante :

$$\tau = \frac{C_{ox} \cdot V_{DD}}{I_{ON}} \quad \text{eq. 1-41}$$

D'après l'eq. 1-32, il est possible de réduire  $I_{ON}$  en diminuant la valeur de  $C_{ox}$  ou en diminuant la dimension de la grille  $L$ . La réduction de  $C_{ox}$  (en réduisant  $t_{ox}$ ) n'influencera que très peu  $\tau$  puisque ce paramètre est inversement proportionnel à  $I_{ON}$ . La réduction de la longueur de la grille est donc le meilleur axe d'amélioration des performances. Le paragraphe ci-dessous est dédié à l'étude de cette miniaturisation et à ses limites.

### 1.4.1 Règles de miniaturisation

Le principe de miniaturisation a été évoqué pour la première fois en 1974 par Robert Dennard, Fritz Gaensslen, Hwa-Nien Yu, V. Leo Rideout, Ernest Bassous and Andre LeBlanc du centre de recherche IBM T. J. Watson [6]. A cette époque, la longueur de grille des transistors commercialisés était d'environ 5  $\mu\text{m}$  mais des dispositifs de taille inférieure avaient été réalisés en laboratoire, démontrant l'impact de la miniaturisation sur les performances. Le Tableau 1:1 résume le principe de miniaturisation de Dennard. Il consiste à recalculer les différents paramètres d'un circuit en fonction du paramètre de miniaturisation  $\kappa$ . Le principal bénéfice de cette tendance est la diminution de la consommation du circuit et l'augmentation de la densité d'intégration permettant une réduction des coûts de fabrication. Pour chaque nouvelle génération de procédé, le paramètre de miniaturisation est en moyenne de  $\kappa=1.4$ . Il en résulte une réduction de dimension d'un facteur égale à 0,7 et une augmentation de la densité d'intégration d'un facteur 2. La fréquence d'introduction pour un nouveau nœud technologique est passée de 3 ans dans les années 80 à une période comprise entre 2 ans et 2 ans  $\frac{1}{2}$  à partir de 1990. Cependant, cette loi ne prend pas en compte l'impact de la diminution des tensions d'alimentations sur l'augmentation du courant  $I_{OFF}$ . C'est dans cette optique qu'une nouvelle loi de miniaturisation appelée « loi de miniaturisation en champ généralisé » a été introduite [7]. Le principe est de pouvoir moduler l'intensité du champ électrique tout en conservant une distribution équivalente le long du canal. Ainsi, il est possible de garder constante la tension d'alimentation ( $V_{DD}=1\text{V}$ ) afin de ne pas trop impacter le courant de fuite tout en continuant à diminuer la longueur du canal. Cependant, cette méthode a pour effet négatif l'augmentation de la puissance consommée et de la densité de puissance du circuit.

Tableau 1:1 Évolution des paramètres principaux du transistor en fonction du paramètre de miniaturisation  $\kappa$

Paramètres	Miniaturisation en champ constant	Miniaturisation en champ généralisé
Dimensions : L, W, $T_{OX}$ ,	$1/\kappa$	$1/\kappa$
Champ électrique	1	$1/\epsilon$
Dopage Canal	$\kappa$	$\epsilon/\kappa$
Tension d'alimentation $V_{DD}$	$1/\kappa$	$\epsilon/\kappa$
Densité du circuit	$\kappa^2$	$\kappa^2$
Capacité par circuit	$1/\kappa$	$1/\kappa$
Vitesse du circuit	$\kappa$	$\kappa$
Puissance du circuit	$1/\kappa^2$	$\epsilon^2/\kappa^2$
Densité de puissance	1	$\kappa^2$

L'avènement de ces deux méthodes de miniaturisation a permis de définir des règles empiriques à respecter lors de la conception de technologies à dimensions réduites [8] :

$$\frac{T_{ox}}{L} \leq \frac{1}{30} \quad \text{eq. 1-42} \quad \frac{X_j}{L} \leq \frac{1}{3} \quad \text{eq. 1-43}$$

$$\frac{T_{dep}}{L} \leq \frac{1}{3} \quad \text{eq. 1-44} \quad \frac{V_{th}}{V_{DD}} \leq \frac{1}{5} \quad \text{eq. 1-45}$$

## 1.4.2 Effets parasites

Les effets positifs de la miniaturisation ont été mis en évidence dans le paragraphe précédent. Cependant, certains paramètres du transistor sont dégradés lorsque les dispositifs atteignent le domaine déca-nanométrique.

### 1.4.2.1 SCE et DIBL

L'effet de canal court (« *short channel effect* » ou SCE) est défini comme la diminution de la tension de seuil du transistor MOSFET en fonction de la diminution de la longueur de grille. Cet effet est d'autant plus prononcé que la polarisation du drain est importante.

La différence fondamentale entre un transistor MOSFET à canal long et un transistor à canal court MOSFET est la variation du potentiel de surface le long du canal. Pour un transistor à canal long, le champ électrique de la grille varie peu le long du canal si bien que les lignes isopotentielles sont parallèles à la grille (Fig. 1:13-a). Dans le cas d'un transistor MOSFET à canal court, les lignes isopotentielles ne sont plus parallèles à la grille (Fig. 1:13-b). Ce phénomène est dû à la faible distance séparant la source du drain et à l'influence de leurs zones de déplétion sur le potentiel du canal. Dans le cas d'un canal

long, la source et le drain sont suffisamment éloignés pour que leurs zones de déplétion n'influencent pas le potentiel du canal. Dans le cas d'un canal court, la profondeur de la zone de déplétion n'est plus négligeable par rapport à la longueur de la grille.

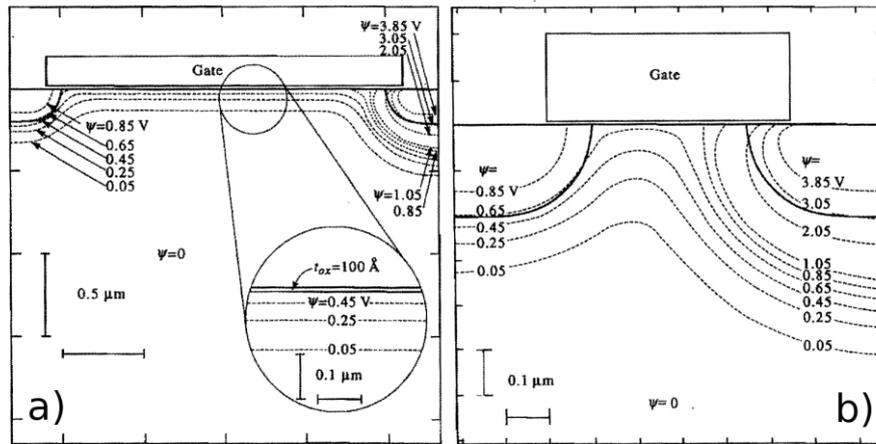


Fig. 1:13 Simulations des lignes isopotentielles pour un transistor n-MOSFET à canal long (a) et court (b). Les figures sont extraites de [5].

Le potentiel de drain a une influence importante sur la courbure des bandes le long du canal et donc sur la hauteur de barrière  $\Phi$  (Fig. 1:14-a). Ce phénomène est appelé effet de canal court. De plus, il est accentué par la polarisation du drain qui diminue également la hauteur de la barrière bloquant la circulation des porteurs dans le canal (« Drain induced Barrier lowering » ou DIBL). La tension de seuil, qui correspond au potentiel à appliquer sur la grille pour que le canal passe en inversion forte, diminue puisque la polarisation du drain et de la source contribue à son apparition.

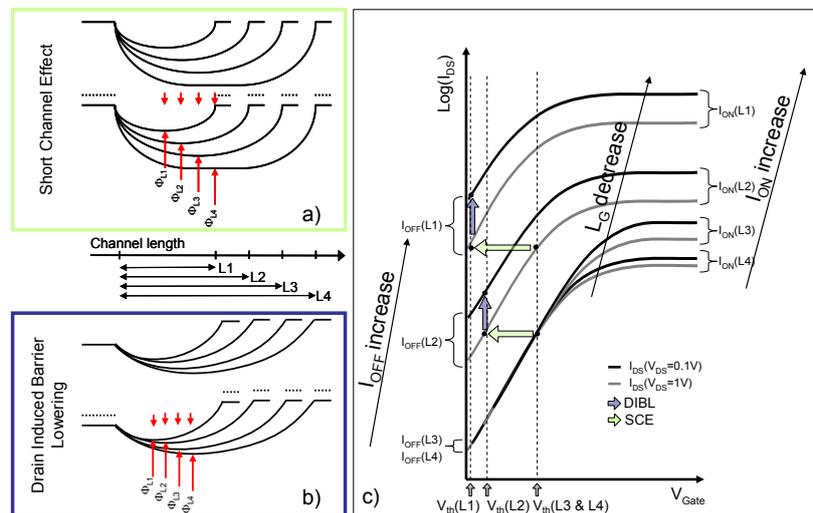


Fig. 1:14 Représentations schématiques des effets de canal court. La hauteur de barrière empêchant l'injection de porteurs est réduite lorsque la longueur du canal diminue (SCE (a)) et lorsque le drain est polarisé (DIBL (b)). Le schéma (c) représente l'évolution de la caractéristique électrique  $I_{DS}(V_{Gate})$  en fonction de la diminution de la longueur de grille.

D'après l'eq. 1-37, le courant  $I_{OFF}$  s'exprime en fonction de  $\exp(q(V_G - V_{th})/kT)$  ce qui implique qu'une faible diminution de  $V_{th}$  implique une forte augmentation de  $I_{OFF}$ .

Skotnicki et al. ont proposé un moyen simple et efficace de modéliser ces phénomènes [3], [9], [10]. Cette méthode, appelée « *voltage doping transformation* » (VDT), est basée sur le fait qu'il est possible d'exprimer la courbure du potentiel le long du canal par une diminution locale du dopage (Fig. 1:15).

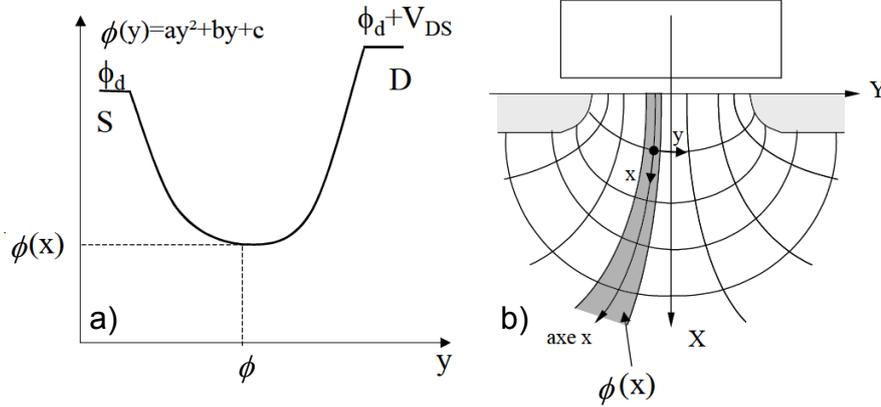


Fig. 1:15 Représentation (a) de l'évolution du potentiel  $\phi$  dans le système de coordonnées  $x, y$  du schéma b). La zone grisée représente la position du minimum de  $\phi$ . Les figures sont extraites de [4].

Il est donc possible d'exprimer le potentiel électrostatique dans l'équation de poisson tel que :

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{q}{\epsilon_{Si}} \cdot (N_B - \frac{\epsilon_{Si}}{q} \frac{\partial^2 \phi}{\partial y^2}) = \frac{q N_B^*}{\epsilon_{Si}} \quad \text{eq. 1-46}$$

où  $q$  est la charge élémentaire,  $N_B$  le niveau de dopage,  $\epsilon_{Si}$  la permittivité du silicium et  $N_B^*$  le dopage effectif. En supposant que le potentiel électrostatique a la forme quadratique  $\phi(y) = a \cdot y^2 + b \cdot y + c$ , on peut exprimer le dopage effectif  $N_B^*$  tel que :

$$N_B^* = N_B - \frac{\epsilon_{Si}}{q} \cdot 2 \cdot a \quad \text{eq. 1-47}$$

En injectant l'eq. 1-47 dans l'eq. 1-14, on obtient :

$$V_{th} = V_{FB} + 2 \cdot \phi_F + \frac{q \cdot N_B \cdot T_{dep}}{C_{ox}} \left( 1 - \frac{\epsilon_{Si}}{q \cdot N_B} \cdot \frac{\nu}{L^2} \right) \quad \text{eq. 1-48}$$

$$\text{avec} \quad \nu = V_{DS} + 2 \cdot (\phi_d + V_{SB} - \phi) + 2 \cdot \sqrt{(\phi_d + V_{SB} - \phi) \cdot (V_{DS} + \phi_d + V_{SB} - \phi)} \quad \text{eq. 1-49}$$

où  $T_{dep}$  est la profondeur de déplétion,  $C_{ox}$  la capacité surfacique de l'isolant et  $V_{sb}$  la tension substrat source.

En supposant que  $\phi = 3/4 \cdot \phi_S$ ,  $V_{SB} = V_{DS} = 0$ , on obtient :

$$\nu = \phi_S \quad \text{eq. 1-50}$$

et donc

$$V_{th} = V_{th, L \rightarrow \infty} - SCE \quad \text{eq. 1-51}$$

avec 
$$SCE = \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \frac{T_{ox} \cdot T_{dep}}{L^2} \cdot \phi_S \quad \text{eq. 1-52}$$

$\epsilon_{ox}$  la permittivité de l'oxyde,  $T_{ox}$  l'épaisseur de l'oxyde,  $L$  la largeur du canal

et 
$$T_{dep} = \sqrt{\frac{\epsilon_{Si}}{q \cdot N_B} \cdot \phi_S} \quad \text{eq. 1-53}$$

De la même manière, en supposant que  $\phi = 3/4 \cdot \phi_S$ ,  $V_{SB} = 0$  et  $V_{DS} < 1/4 \cdot \phi_S$ , on obtient :

$$v \cong \phi_S + V_{DS} \quad \text{eq. 1-54}$$

et donc 
$$V_{th} = V_{th,L \rightarrow \infty} - SCE - DIBL \quad \text{eq. 1-55}$$

avec 
$$DIBL = \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \frac{T_{ox} \cdot T_{dep}}{L^2} \cdot V_{DS} \quad \text{eq. 1-56}$$

L'analyse des équations eq. 1-52 et eq. 1-56 permet de déduire des principes simples pour la réduction de ces effets parasites :

- L'augmentation du dopage du canal  $N_B$  permet de diminuer  $T_{dep}$  et donc de diminuer la valeur de  $SCE$  et de  $DIBL$ .
- La diminution de l'oxyde de grille permet de la valeur de  $SCE$  et de  $DIBL$ .

### 1.4.2.2 Perçage volumique et dégradation de la pente sous le seuil.

Le perçage volumique est un phénomène lié au rapprochement des zones de source et de drain inhérent à la diminution de la longueur de grille. Lorsque la tension de drain est élevée et que l'implantation du canal de conduction n'est fait qu'en surface (proche de la grille), la zone déplétion augmente au fur et à mesure que l'on s'éloigne de la surface du substrat. Il peut arriver qu'il y ait un recouvrement des zones de déplétion de la source et du drain sous le canal de conduction alors que le transistor est à l'état bloqué. Il y a alors création d'un canal de conduction enterré permettant le passage de porteurs entre la source et le drain ce qui dégrade la pente sous le seuil.

### 1.4.2.3 Évolution des résistances parasites d'accès Source/Drain en fonction de la diminution de la longueur de grille.

Nous venons d'étudier l'impact de la miniaturisation sur la structure de bande du transistor et ses conséquences négatives sur le comportement du courant en mode bloqué ( $I_{OFF}$ ). Cependant, la réduction des dimensions implique également une modification des différentes résistances auxquelles sont confrontés les porteurs lors de leur transfert de la source vers le drain. L'équation suivante exprime la résistance d'un conducteur en fonction de ses dimensions et du matériau qui le compose.

$$R = \rho \cdot \frac{L}{s} \quad \text{eq. 1-57}$$

où  $\rho$  est la résistivité du semiconducteur,  $L$  est la longueur du barreau de semiconducteur et  $s$  sa section. Cette relation montre que lorsque la longueur de la grille diminue, la résistance du canal de conduction diminue également. L'eq. 1-43 démontre quant à elle qu'une diminution de  $L_G$  implique une diminution de  $X_J$  et donc de  $s$ . Il en résulte une augmentation globale des résistances du module de jonction.

Pour analyser de manière plus précise l'évolution de la résistance d'accès en fonction de la miniaturisation, le module d'accès au canal peut être découpé en plusieurs zones représentées en Fig. 1:16. Ce découpage, réalisé par S. D. Kim, permet de modéliser chaque composante en fonction des différents paramètres du transistor et ainsi prévoir leur évolution en fonction de la réduction des dimensions. Il est important de préciser que ce modèle proposé dans une série de publication ([11–14]) a été adapté et intégré au logiciel MASTAR développé par la société STMicroelectronics et utilisé par l'ITRS pour établir les feuilles de route qui déterminent les technologies à explorer dans les années à venir.

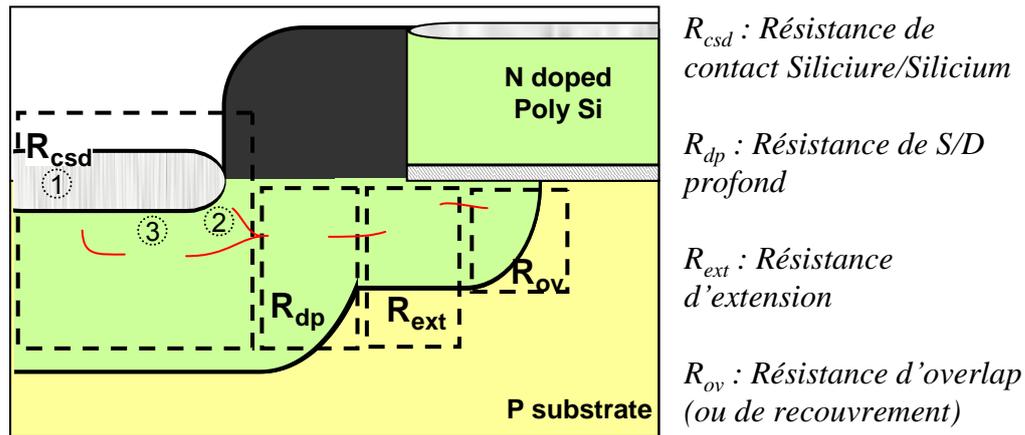


Fig. 1:16 Représentation schématique des résistances série reliant la source et le drain au canal de conduction pour un transistor MOSFET conventionnel.

La résistance série totale peut être exprimé comme une somme de quatre résistances. Chacune des résistances étant composée de résistances associées en série ou en parallèle :

$$R_{series} = R_{csd} + R_{dp} + R_{ext} + R_{ov} \quad \text{eq. 1-58}$$

La résistance de contact entre le siliciure et le silicium  $R_{csd}$  peut être décomposée en trois résistances différentes :

- $R_{csd,1}$  et  $R_{csd,3}$  caractérisent l'injection verticale des porteurs. On l'appelle également résistance « flatbed »  $R_{csd,FB}$ .
- $R_{csd,2}$  caractérise l'injection horizontale des porteurs. On l'appelle également résistance « sidewall »  $R_{csd,SW}$ .

Les autres résistances correspondent à des zones dont le dopage varie :

- $R_{dp}$  caractérise la résistance de la zone de diffusion latérale de l'implantation source/drain profonde.
- $R_{ext}$  caractérise la résistance de la zone d'implantation des poches ou halos.
- $R_{ov}$  caractérise la résistance de la zone de diffusion latérale se situant sous la grille.

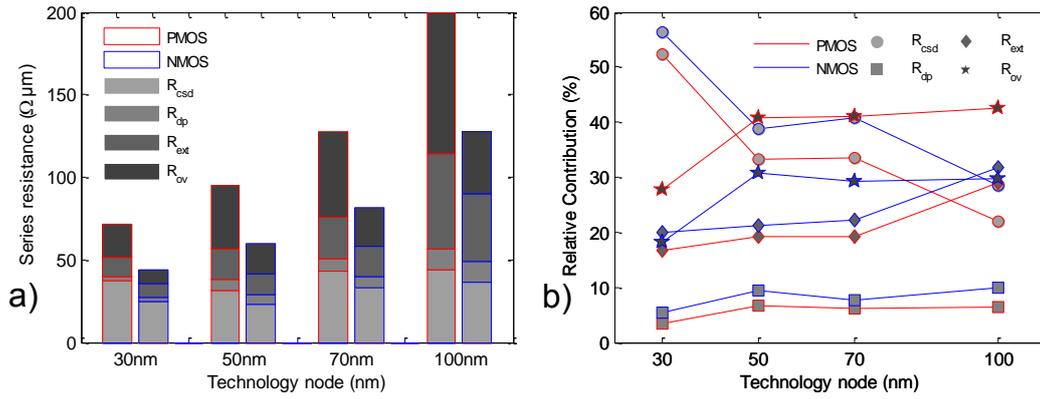


Fig. 1:17 Contribution des différentes résistances dans la résistance équivalente de contact pour différents nœuds technologiques.

La Fig. 1:17 extraite de [12] représente la contribution de chacune des résistances décrites précédemment pour différents nœuds technologiques inférieurs à 100 nm. L'analyse de ces résultats permet de prédire que la contribution de la résistance  $R_{csd}$  tend à devenir dominante par rapport aux autres. Il paraît donc essentiel de chercher à diminuer l'influence de cette résistance sur le module de jonction source/drain. L'eq. 1-59 décrit cette résistance comme la somme des résistances  $R_{csd,SW}$  et  $R_{csd,FB}$  connectées en parallèle.

$$R_{csd} = (R_{csd,FB} + R_{csd,SW})^{-1} \quad \text{eq. 1-59}$$

avec

$$R_{csd,FB} = \sqrt{\rho_c \cdot R_{sh}} \cdot \coth \left( L_{con} \cdot \sqrt{\frac{R_{sh}}{\rho_c}} \right) \quad \text{eq. 1-60}$$

et

$$R_{csd,SW} = \frac{\rho_c}{t} \quad \text{eq. 1-61}$$

où  $\rho_c$  est la résistance spécifique de contact,  $t$  la profondeur de pénétration du siliciure dans le silicium,  $R_{sh}$  la résistance par carreau du silicium situé sous le siliciure et  $L_{con}$  la longueur du contact. Il est important de noter que ces deux expressions sont dépendantes de  $\rho_c$  qui caractérise l'interface siliciure/silicium.

La modélisation de la résistance spécifique de contact dépend essentiellement du dopage semiconducteur [15]. Dans le cas d'un semiconducteur faiblement dopé, l'émission de charge par injection thermoélectronique est favorisée et  $\rho_c$  vaut :

$$\rho_c = \frac{k}{q \cdot A^* \cdot T} \cdot e^{\frac{q \cdot \phi_B}{k \cdot T}} \quad \text{eq. 1-62}$$

Dans le cas d'un semiconducteur fortement dopé, l'effet tunnel est favorisé et  $\rho_c$  vaut:

$$\rho_c = \frac{k}{q \cdot A^* \cdot T} \cdot c \cdot e^{\frac{q \cdot \phi_B}{E_{00}}} \quad \text{eq. 1-63}$$

où  $k$  est la constante de Boltzmann,  $q$  la charge élémentaire,  $A^*$  la constante de Richardson et  $T$  la température.  $c$  est la constante d'injection par effet de champ et  $E_{00}$  est homogène à une énergie. Le terme  $\exp\left(\frac{q \cdot \phi_B}{E_{00}}\right)$  représente d'une certaine la probabilité pour un électron

de traverser la barrière par effet tunnel.  $\phi_B$  est la hauteur de la barrière Schottky et représente la différence entre le travail d'extraction du siliciure et celui du silicium. Dans

les deux cas, la hauteur de la barrière  $\phi_B$  est un paramètre essentiel de la résistance spécifique de contact de la jonction puisque la relation reliant ces deux quantités est de forme exponentielle. Dans les technologies actuelles, les alliages utilisés sont appelés « *midgap* » car ils présentent des caractéristiques de barrière de milieu de bande interdite. La réduction de cette barrière énergétique est donc un axe d'amélioration pour la réduction des résistances de contacts.

### 1.4.3 Solutions

La section 1.4.2 avait pour but de d'introduire les phénomènes parasites lié à la miniaturisation de la technologie MOSFET. Dans ce paragraphe, nous développerons les différentes solutions envisagées pour supprimer ou atténuer leurs influences.

#### 1.4.3.1 Impact de la réduction de la profondeur de la jonction et du profil.

Pour réduire les effets de canal court, il faut diminuer l'influence du champ électrique de drain sur la structure de bande du canal. Il est possible de modifier l'eq. 1-52 et l'eq. 1-56 afin d'exprimer celle-ci en fonction de la profondeur de la jonction  $X_j$  [4]. Pour cela, il est nécessaire d'introduire une nouvelle variable  $\delta$  définissant une partie des lignes de champ électrique. Cette quantité, dépendante de la profondeur de la jonction, représente la partie arquée des lignes de champ électrique reliant la source ou le drain au canal (Fig. 1:18).

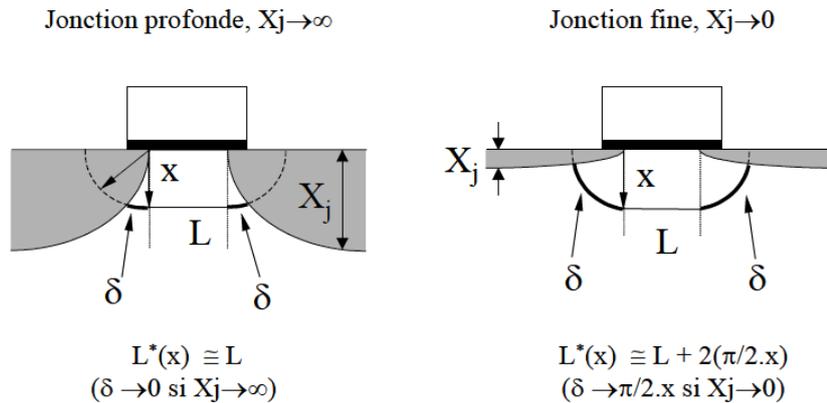


Fig. 1:18 Représentation schématique d'une ligne de champ électrique passant à la profondeur  $x$  pour une jonction profonde et une jonction fine. Dans ce dernier cas, la longueur électrique moyenne  $L^*(x)$  augmente ce qui diminue ainsi les effets de canal court. Les figures sont extraites de [4].

Suite à plusieurs approximations et simplifications détaillées dans [4], on obtient les équations suivantes :

$$SCE = \left(1 + \frac{X_j^2}{L^2}\right) \cdot \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \frac{T_{ox} \cdot T_{dep}}{L^2} \cdot \phi_s \quad \text{eq. 1-64}$$

$$DIBL = \left(1 + \frac{X_j^2}{L^2}\right) \cdot \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot \frac{T_{ox} \cdot T_{dep}}{L^2} \cdot V_{DS} \quad \text{eq. 1-65}$$

L'analyse de ces formules permet d'évaluer l'impact positif d'une jonction peu profonde sur les effets de canal court. Des analyses plus détaillées de l'impact de la forme du profil de dopage sur le fonctionnement du transistor ont également été menées ([12], [16–18]).

Elles montrent que plus la zone de dopage est abrupte, plus la résistance série du module de jonction diminue et plus le courant  $I_{ON}$  est important. Cependant, ce gain se fait au détriment d'une augmentation du phénomène DIBL. De plus, les contraintes technologiques (en terme de procédé de fabrication) pour la formation d'une jonction fine et abrupte sont beaucoup plus importantes que pour une jonction épaisse et non abrupte comme l'atteste les spécifications de l'ITRS sur le module de jonction et résumé dans le Tableau 1:2.[2]

Tableau 1:2 Évolution des paramètres du dopage pour la formation de la zone d'extension du drain.

Année de production	2009	2010	2011	2012	2013	2014	2015
Largeur de grille en nm	47	41	35	31	28	25	22
Profondeur de la jonction de drain (extension) en nm	13	12	10,5	9,5	8,7	8	7,3
Pente de la distribution des dopants (« abruptness ») en nm/dec.	3,5	3,2	2,8	2,4	2,3	2	1,8

 Solutions technologiques connues mais en cours d'intégration.  
 Solutions technologiques non connues.

La modification de la forme de la zone d'extension dopée est donc une solution envisageable sur le court terme pour la limitation des effets de canal court mais les contraintes grandissantes sur cette étape de dopage nous poussent à envisager d'autres axes d'améliorations. La première est de s'affranchir des zones fortement dopées en les remplaçant par une jonction métallique de type Schottky. La seconde solution consiste à surélever la zone de source et de drain par rapport à la surface du substrat plutôt que de la créer en profondeur.

### 1.4.3.2 Contact Schottky

Le remplacement du module de jonction conventionnel par une architecture de type Schottky est un axe d'évolution envisageable pour la technologie MOSFET. Cette méthode consiste à créer des contacts source/drain à l'aide d'une seule et unique étape de siliciuration. Les étapes de dopage profond et d'extension sont donc éliminées ce qui a pour effet de simplifier considérablement le procédé de fabrication. On remplace donc le contact de type ohmique entre l'interconnexion et le canal par une diode de type Schottky qui présente une barrière de potentiel aux interfaces source/canal et canal/drain. Cette barrière énergétique est modulée par la polarisation de la grille qui permet ainsi de contrôler le courant  $I_{ON}$ . Les performances de ce type d'architecture sont par contre fortement liées à la qualité et aux propriétés électriques du siliciure formé. Le paramètre le plus important est la hauteur de barrière Schottky. Ce paramètre représente la différence énergétique entre un des bords de la bande interdite dans le semiconducteur et le niveau de Fermi dans le siliciure. C'est la hauteur de cette barrière qui va conditionner l'intensité du courant  $I_{ON}$ . L'emploi d'une architecture source/drain de type Schottky est justifié par la réduction de la résistance totale de contact mais également pour son immunité aux variations du procédé de fabrication grâce à l'élimination des étapes de dopage pour la

source et le drain. Une étude plus complète des avantages et inconvénients de cette technologie est développée dans le paragraphe 1.5.

### 1.4.3.3 Contacts source/drain élevés par épitaxie

Le principe de cette technique est d'élever les deux zones de source et de drain après la fabrication de la grille et avant la création du module de jonction ([19], [20]). L'élévation de ces deux zones se fait par épitaxie ce qui permet de garder la structure cristalline du substrat. Cependant, la croissance de silicium par épitaxie est une opération d'autant plus complexe lorsqu'elle est localisée et sélective. Le résultat de cette méthode est une diminution de la profondeur de la jonction tout en conservant des spécifications d'implantation non contraignante. L'influence de la polarisation du drain sur celle du canal est donc diminuée rendant la structure moins sensible aux effets de canal court (Fig. 1:19-b et Fig. 1:19-c) [21]. De plus, la résistance totale du module de jonction est modifiée. La valeur de  $R_{csd}$  est largement influencée par l'épaisseur de l'extension verticale du contact mais également par ses dimensions dans le plan du substrat (Fig. 1:19-d) et par l'épaisseur du film SOI. La composante  $R_{ext}$  est quant à elle augmentée puisque le dopage d'extension est fortement diminué. La variation de la résistance totale de contact dépend donc de ces paramètres. L'intégration de cette technique peut donc avoir un impact positif [22] ou négatif [21] sur l'intensité du courant  $I_{OFF}$ . Cette technique présente donc de nombreux avantages en terme d'amélioration des performances mais sa mise en place est contraignante puisque la croissance sélective par épitaxie (« *Selective Epitaxial Growth* ») est une opération complexe et coûteuse.

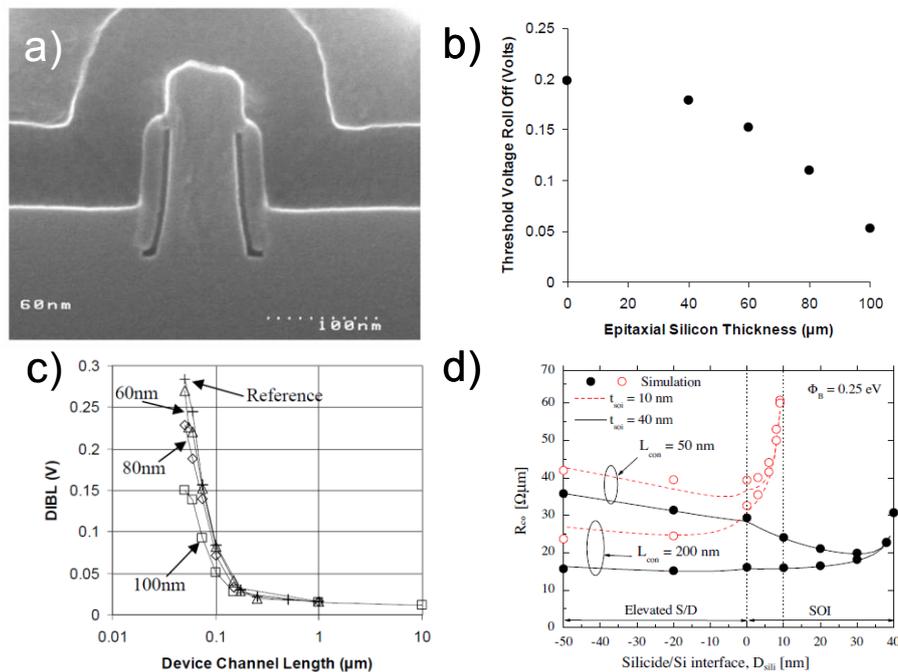


Fig. 1:19 Impact de l'intégration de contacts source/drain élevés par épitaxie sur les performances. (a) photographie MEB en vue de coupe d'un transistor MOSFET dont la source et le drain sont surélevés. (b) évolution de  $\Delta V_{th}$  en fonction de l'épaisseur de l'extension. (c) évolution du paramètre de DIBL en fonction de la longueur de grille. (d) évolution de la résistance de contact  $R_{csd}$  en fonction de la position de l'interface siliciure/silicium. Les figures sont extraites de [13], [18-21]

### 1.4.3.4 Substrat SOI

L'introduction d'un nouveau type de substrat pour « combattre » l'influence croissante des effets de canal court sur les performances des transistors est une solution innovante, apportant un nouvel axe d'amélioration par rapport aux solutions précédemment citées. De plus, cet axe d'amélioration est compatible avec la réduction de la profondeur de la jonction, l'élévation du contact par épitaxie ou encore l'intégration d'un module de jonction de type Schottky. Partant du constat que le perçage volumique est une des principales composantes du courant de fuite (cf. paragraphe 1.4.2.2), l'idée est de réduire en volume les chemins de conduction des électrons et des trous. Le recouvrement des zones de déplétion de la source et du drain est alors évité, ce qui limite de manière importante les risques de perçage volumique. Pour limiter ce volume de silicium, les transistors doivent être fabriqués sur un film mince de silicium de quelques dizaines de nanomètres. Pour pouvoir réaliser ce type d'intégration, il est donc nécessaire de fabriquer un support pour ce film mince compte tenu de la fragilité d'une telle structure. Ce support doit également être isolant afin de conserver les propriétés intéressantes du film mince. Le support est donc constitué d'une tranche de silicium épaisse sur la quelle se trouve une couche d'oxyde de silicium. Le film mince de silicium recouvre la couche supérieure, l'isolant du reste du substrat. Ce type de substrat est communément appelé substrat SOI, acronyme de « *Silicon On Insulator* » et on appelle BOX (acronyme de *Buried Oxide*) le film d'oxyde de silicium enterré.

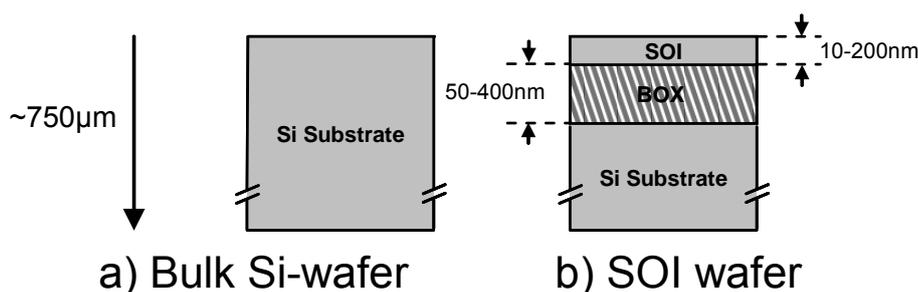


Fig. 1:20 Schémas représentant la structure d'un substrat de type (a) bulk et d'un substrat de type (b) Silicon-on-insulator (SOI).

## 1.5 Présentation du transistor MOSFET à contact Schottky

Les paragraphes 1.4.3.2 et 1.4.3.3 présentent deux solutions pour s'affranchir des contraintes technologiques et comportementales liées à la miniaturisation de la technologie MOSFET. Ces deux solutions permettent de réduire les résistances d'accès et de prémunir le transistor des effets de canal court en réduisant l'influence de la polarisation de drain sur celle du canal. Dans le cas des contacts surélevés par croissance épitaxiale, les contraintes liées aux étapes de dopage pour les zones source/drain sont allégées alors qu'elles sont totalement supprimées dans le cas du transistor SB-MOSFET. Cette technologie est donc une version simplifiée de la technologie MOSFET traditionnelle puisque aucune étape de dopage n'est nécessaire lors de la fabrication d'un circuit intégré si ce n'est celle du canal. Ces simplifications sont donc un avantage indéniable en terme de coûts et de variabilité de production. De plus, les recherches entreprises sur cette technologie sont également

profitables au transistor MOSFET conventionnel puisque cette technologie utilise également des contacts métalliques.

### 1.5.1.1 Principe de fonctionnement

Comme évoqué en 1.4.3.2, le transistor MOSFET à barrière Schottky (ou SB-MOSFET) consiste à remplacer les jonctions p-n formant la source et le drain par des jonctions de type Schottky. Cette différence majeure modifie profondément le mécanisme d'injection de porteur dans le canal. La comparaison des principes de fonctionnement pour ces deux types de transistor est illustrée en Fig. 1:21. Ces schémas représentent les diagrammes de bande pour chacun des transistors pour les deux modes de fonctionnement. Dans les deux cas, les porteurs sont des trous (p-FET).

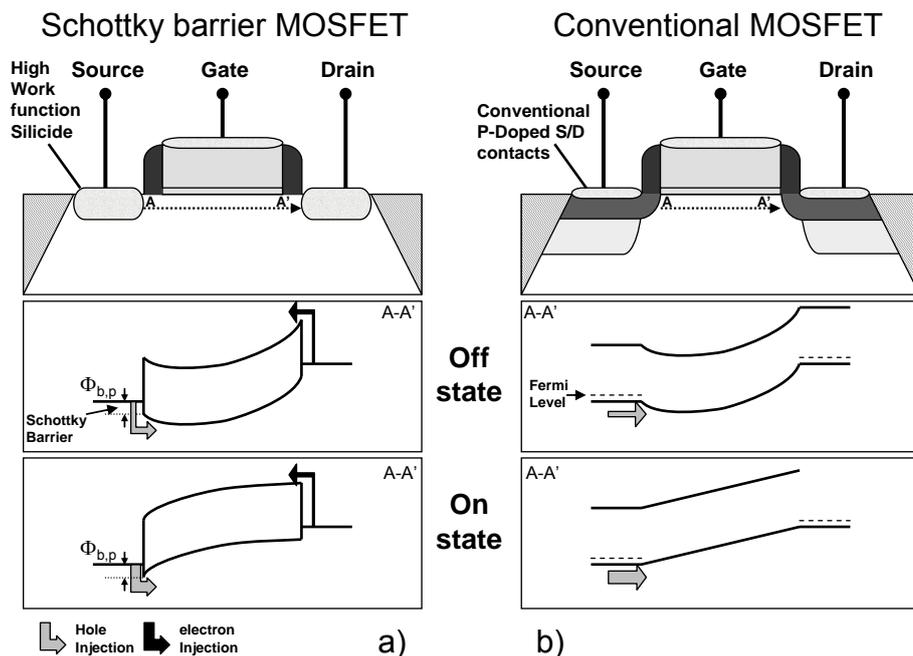


Fig. 1:21 Schémas représentant le diagramme de bande d'un transistor à barrière Schottky (a) et d'un transistor conventionnel (b) pour les états bloqué (Off state) et passant (On state). Les porteurs circulant à l'état passant sont des trous (p-FET).

- MOSFET conventionnel (Fig. 1:21-b)

A l'état bloqué, les trous originaires de la source sont confrontés à une barrière énergétique régulière, homogène et peu abrupte. Cette barrière correspond à la différence d'énergie entre le niveau de Fermi de la source et celui du canal du transistor. Le courant de fuite correspond au courant de diffusion des trous au travers de la zone de charge d'espace (le mouvement des trous s'effectue dans un sens qui tend à uniformiser leur distribution spatiale). A l'état passant, la barrière de potentiel disparaît au niveau de la couche de forte inversion, favorisant la circulation des trous entre la source et le drain.

- Schottky barrier MOSFET (Fig. 1:21-a)

A l'état bloqué, les trous situés du côté de la source se trouvent face à une barrière énergétique abrupte et positionnée au niveau de l'interface siliciure/silicium. A l'état passant, la jonction source/canal est polarisée négativement ce qui a pour effet de réduire la largeur et la hauteur de la barrière Schottky par effet de charge image. Cet abaissement de

l'ordre de 10 à 20 meV résulte de l'apparition d'une charge image dans l'électrode métallique lorsque des porteurs approche de l'interface. Le potentiel électrique associé à ces deux charges réduit la hauteur de barrière effective. De plus, ce potentiel peut être également modifié par la polarisation de la grille qui va modifier le champ électrique dans le canal [23]. La conduction des trous par injection thermoélectronique et effet tunnel est donc facilitée. Dans cette configuration, l'injection d'électrons du drain vers la source est impossible.

L'intensité des courants circulant dans un dispositif à contacts Schottky est donc fortement dépendante de la hauteur de barrière Schottky. Plus la hauteur de barrière Schottky aux trous est faible, plus le courant de trous sera important à l'état passant. A l'état bloqué, cette réduction se traduit également par une augmentation de la hauteur de barrière Schottky aux électrons puisque :

$$\phi_{b,n} = E_g - \phi_{b,p} \quad \text{eq. 1-66}$$

où  $E_g$  représente la largeur de la bande interdite du semiconducteur,  $\phi_{b,n}$  la hauteur de barrière Schottky aux électrons et  $\phi_{b,p}$  la hauteur de barrière Schottky aux trous. Le courant de fuite étant dominé par le flux d'électrons circulant du drain vers la source et traversant la barrière  $\phi_{b,n}$  par effet tunnel, son intensité diminue. Le courant de fuite dépend également de la forme de la barrière au niveau de la jonction. Pour un transistor de type p,  $\phi_{b,n}$  est généralement élevée, ce qui contribue à réduire ce courant. Cependant, la hauteur de la barrière peut être modifiée par la polarisation de la grille. Ce phénomène est appelé « *Gate Induced Barrier lowering* ». La hauteur de la barrière est influencée par la largeur de recouvrement de la grille sur le drain et l'épaisseur de l'oxyde de grille. Il est donc essentiel de concevoir le dispositif de telle sorte que l'interaction entre la grille et la barrière Schottky soit maîtrisée.

Enfin, cette architecture permet de simplifier le procédé de fabrication du fait de l'existence de la barrière Schottky. La présence de cette barrière permet de supprimer les étapes de dopage localisées de type « halo » ou « pocket » utilisées afin de diminuer le courant de fuite dans les architectures conventionnelles. La suppression de cette étape permet donc d'augmenter la mobilité des porteurs de charge dans le canal. Cependant, la diminution du dopage du canal (de  $10^{18}$ - $10^{19}$  cm<sup>-3</sup> pour un MOSFET conventionnel à  $10^{15}$ - $10^{16}$  cm<sup>-3</sup> pour un SB-MOSFET) a pour effet d'augmenter la résistance totale du module de jonction et plus particulièrement la résistance spécifique de contact entre le siliciure et le semiconducteur. Le paragraphe suivant est dédié à la comparaison entre l'architecture conventionnelle et l'architecture Schottky.

### 1.5.1.2 Réduction des résistances de contacts.

L'introduction d'un module de jonction Schottky a pour principal but de réduire l'influence de la résistance de contact sur le fonctionnement du transistor lors de la miniaturisation. La Fig. 1:23 représente le découpage en zone du module de contact de type Schottky. Ce découpage permet d'évaluer l'influence de chaque partie dans le calcul de la résistance totale de contact. On peut donc distinguer les grandeurs suivantes :

- La résistance de feuille du siliciure  $R_{sh,silicide}$ .
- La résistance de feuille du silicium  $R_{sh,silicon}$ .
- La résistance spécifique de contact de l'interface siliciure/silicium  $\rho_c$ .

- La longueur  $L_{con}$  représente la largeur de S/D.

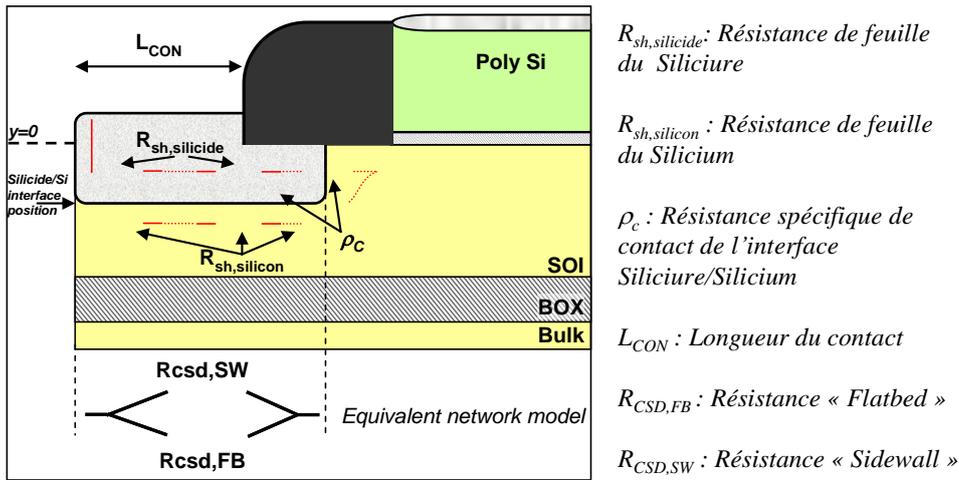


Fig. 1:22 Représentation schématique des résistances séries reliant la source et le drain au canal de conduction pour un transistor MOSFET à contacts Schottky

Le schéma équivalent de cette architecture peut être représenté par deux résistances disposées en parallèles :

- $R_{csd,SW}$  : la résistance de contact « sidewall » (en  $\Omega.cm$ )
- $R_{csd,FB}$  : la résistance de contact « flatbed » (en  $\Omega.cm$ )

Cette architecture est une version simplifiée de l'architecture conventionnelle et les deux résistances  $R_{csd,SW}$  et  $R_{csd,FB}$  ont donc la même expression que pour l'architecture conventionnelle. Ainsi,

$$R_{csd,SW} = \frac{\rho_c}{t_{Sili}} \quad \text{eq. 1-67}$$

$$R_{csd,FB} = \sqrt{\rho_c \cdot R_{sh,silicon}} \cdot \coth \left( L_{con} \cdot \sqrt{\frac{R_{sh,silicon}}{\rho_c}} \right) \quad \text{eq. 1-68}$$

où  $t_{sili}$  représente la position de l'interface siliciure/silicium par rapport à la surface du substrat.

Comme évoqué précédemment, l'objectif de l'introduction de cette nouvelle architecture est la réduction de la résistance de contact. Pour que l'utilisation de contacts S/D de type Schottky soit intéressante, il est nécessaire que cette technologie apporte une plus value sur le long terme, i.e. qu'elle soit intéressante pour plusieurs générations. Pour y parvenir, il est nécessaire d'établir les caractéristiques techniques de ce nouveau module pour que ses performances répondent aux exigences des nœuds technologiques futurs. Le Tableau 1:3 regroupe les valeurs maximales de la résistance totale de contact calculées par l'ITRS en fonction du type de transistor (HP, LSPT et LOP) et du nœud technologique. L'analyse de ce tableau permet de déterminer qu'une valeur de résistance totale égale à  $100 \Omega.\mu m$  positionne le module jonction de type Schottky de manière avantageuse par rapport au module conventionnel. A partir de cette valeur, il est possible d'établir un cahier des charges précis permettant de déterminer les caractéristiques du module de jonction S/D Schottky afin d'atteindre cet objectif.

Tableau 1:3 Évolution des spécifications relatives à la résistance totale du module de jonction conventionnel.

		Year of production											
		2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	20
High Performance	Lg: Physical Lgate for High performance logic (nm)	29	27	24	22	20	18	17	15,3	14	12,8	11,7	10
	Rsd: effective Parasitic series source/drain resistance ( $\Omega \cdot \mu\text{m}$ )												
	extended planar bulk	170	170	160	140	130	110	110					
	ultra thin body fully depleted soi				140	140	130	120	120	120	120	110	
	Multi-Gate							140	140	130	130	120	12
Low Standby Power Technology	Lg: Physical Lgate for LSTP logic (nm)	29	27	24	22	20	18	17	15,3	14	12,8	11,7	10
	Rsd: effective Parasitic series source/drain resistance ( $\Omega \cdot \mu\text{m}$ )												
	extended planar bulk	250	240	220	190	180							
	ultra thin body fully depleted soi					190	180	180	170	160			
	Multi-Gate							200	200	190	180	170	17
Low operating Power	Lg: Physical Lgate for LOP logic (nm)	32	29	27	24	22	18	17	15,3	14	12,8	11,7	10
	Rsd: effective Parasitic series source/drain resistance ( $\Omega \cdot \mu\text{m}$ )												
	extended planar bulk	220	210	170	160	160							
	ultra thin body fully depleted soi					170	170	160	150	150			
	Multi-Gate							160	160	150	150	150	15

Solutions technologiques connues mais en cours d'intégration.

Solutions technologiques non connues.

La résistance totale du contact peut être représentée comme la mise en parallèle de deux résistances. La grandeur  $\rho_c$  est un paramètre commun à chacune des composantes et représente la résistance rencontrée par un porteur de charge pour traverser l'interface siliciure/semiconducteur. Sa valeur dépend essentiellement des matériaux utilisés mais également du type d'injection à travers la barrière. Il existe trois mécanismes d'injection :

- l'émission thermoélectronique (TE) (Fig. 1:23-a) : les porteurs de charge majoritaire se situant dans le métal et possédant une énergie supérieure à  $q \cdot \phi_b$  sont injectés dans le semiconducteur grâce au champ électrique induit par la polarisation du siliciure.
- l'émission par effet de champ (ou *field emission* (FE)) (Fig. 1:23-b) : une partie des porteurs de charge majoritaire se situant dans le métal franchissent la barrière même si leurs énergie est inférieure à l'énergie minimale requise pour son franchissement.
- l'injection par effet tunnel assistée thermiquement (TFE) (Fig. 1:23-c) : une partie des porteurs de charge majoritaires possèdent une énergie se situant entre l'énergie du niveau de Fermi métallique et l'énergie minimum pour franchir la barrière de potentielle. Ces porteurs de charge sont confrontés à une barrière plus fine et la probabilité qu'ils la franchissent par effet tunnel est plus forte.

Il est important de préciser que l'apparition de l'effet tunnel dépend essentiellement de la largeur de la barrière triangulaire. Or cette largeur dépend de la largeur de la zone désertée qui dépend également du dopage du semiconducteur. Ainsi, plus un semiconducteur est dopé, plus la probabilité d'émission par effet tunnel est importante.

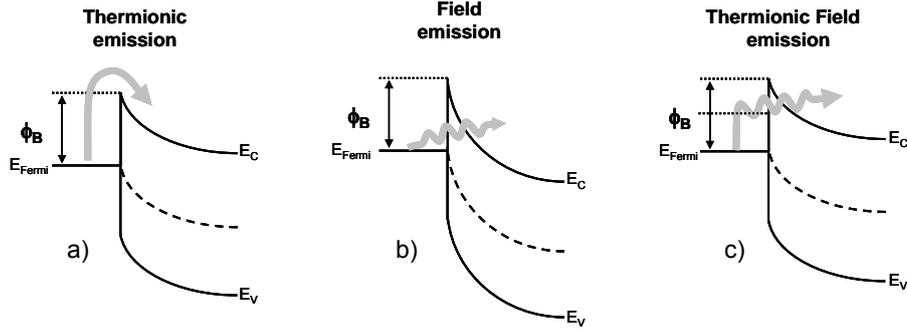


Fig. 1:23 Représentation schématique des différent type d'injection permettant à un porteur de charge de traverser la barrière de potentiel se créant à l'interface silicium/silicium. a) injection thermoïonique b) injection par effet tunnel et c) injection par effet tunnel assisté thermiquement.

La résistance spécifique de contact est définie telle que :

$$\rho_C = \left( \frac{dV}{dJ} \right)_{V=0} \quad \text{eq. 1-69}$$

où  $V$  est la tension appliquée est  $J$  est la densité de courant à l'interface métal/semiconducteur. A partir de cette expression, K. Varahramyan et J. Verret ont développé un modèle décrivant l'évolution de  $\rho_c$  en fonction du type d'injection pris en compte et du niveau de dopage [15]. L'expression de  $\rho_c$  pour une émission dominée par l'effet thermoélectronique est :

$$\rho_C = \left( \frac{k}{q \cdot A^* \cdot T} \right) \cdot \exp\left( \frac{q \cdot \phi_b}{k \cdot T} \right) \quad \text{eq. 1-70}$$

où  $k$  est la constante de Boltzmann,  $q$  la charge élémentaire d'un électron,  $A^*$  la constante effective de Richardson,  $T$  la température et  $\phi_b$  la hauteur de la barrière. L'expression de  $\rho_c$  pour une émission dominé par l'effet tunnel est :

$$\rho_C = \left( \frac{k}{q \cdot A^* \cdot T} \right) \cdot c_{FE} \cdot \exp\left( \frac{q \cdot \phi_b}{E_{00}} \right) \quad \text{eq. 1-71}$$

L'expression de  $\rho_c$  pour une émission dominée par l'effet tunnel assisté thermiquement (TFE) est :

$$\rho_C = \left( \frac{k}{q \cdot A^* \cdot T} \right) \cdot \bar{c} \cdot \exp\left( \frac{q \cdot \phi_b}{E_0} \right) \quad \text{eq. 1-72}$$

$$\text{où } E_{00} = \frac{g \cdot h}{4 \cdot \pi} \cdot \sqrt{\frac{N}{\epsilon_s \cdot m_t^*}} \quad \text{eq. 1-73} \quad \text{et } E_0 = E_{00} \cdot \coth\left( \frac{E_{00}}{k \cdot T} \right) \quad \text{eq. 1-74}$$

avec  $N$  le dopage,  $\epsilon_s$  la permittivité du semiconducteur et  $m_t^*$  la masse effective.  $c_{FE}$  et  $\bar{c}$  représente les constantes d'injection FE et TFE alors que  $E_{00}$  et  $E_0$  représentent des énergies caractéristiques reliées à la probabilité d'injection par effet tunnel (FE) et par effet tunnel assisté thermiquement (TFE), respectivement. Ces équations permettent d'évaluer la valeur de la résistance spécifique de contact en fonction du dopage et de la hauteur de la barrière Schottky.

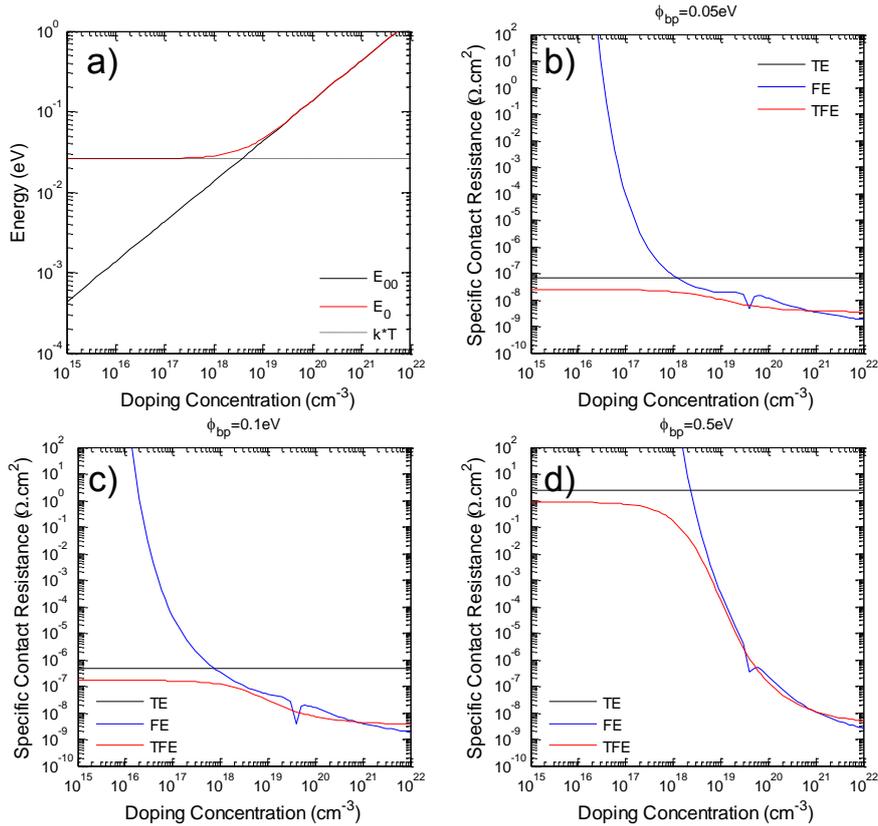


Fig. 1:24 (a) Évolution de  $E_{00}$  et  $E_0$  en fonction du dopage. Évolution de la résistance spécifique de contact en fonction du dopage pour des valeurs de hauteur de barrière Schottky égale à 0.05eV (b), 0.1eV (c) et 0.5eV (d).

La Fig. 1:24 rassemble un ensemble de simulations réalisés à l'aide des équations eq. 1-70 à eq. 1-74. La Fig. 1:24-a représente l'évolution des paramètres  $E_{00}$  et  $E_0$  par rapport au dopage en comparaison de la constante  $kT$ . Ce graphe montre qu'à partir de  $10^{19}$  cm<sup>-3</sup>, ces deux paramètres convergent vers une même valeur, indiquant que l'injection de porteurs est dominée par l'effet tunnel. Entre  $10^{15}$  et  $5 \times 10^{18}$  cm<sup>-3</sup>,  $E_0$  et  $kT$  convergent vers la même valeur. L'injection est donc dominée l'effet thermoélectronique dans cette gamme de dopage. Les Fig. 1:24-b à Fig. 1:24-d regroupent les simulations de la résistance spécifique de contact en fonction du dopage et pour trois valeurs de hauteur de barrières Schottky (50 meV, 100 meV et 500 meV, respectivement). Cet ensemble de simulation démontre que le dopage du semiconducteur a une très grande importance sur l'ordre de grandeur de la résistance spécifique de contact. Or, l'intégration du module de jonction de type Schottky n'est envisageable que si le dopage du silicium reste relativement bas (entre  $10^{15}$  et  $5 \times 10^{17}$  cm<sup>-3</sup>). On en déduit que la réduction de la hauteur de barrière Schottky est le seul moyen efficace de réduire la résistance spécifique de contact d'une jonction métal/semiconducteur pour une intégration dans une technologie de type MOSFET à contact Schottky.

Nous venons de voir que la réduction de la hauteur de barrière Schottky avait un impact important sur la résistance spécifique de contact et donc sur les valeurs des résistances équivalentes  $R_{csd,FB}$  et  $R_{csd,SW}$ . La relation reliant  $R_{csd,SW}$  à  $\rho_c$  est simple puisqu'elle est de la forme  $1/x$ . Cependant, l'expression permettant d'évaluer la valeur de  $R_{csd,FB}$  est plus complexe. Il est donc important de déterminer quels sont les paramètres ayant une influence importante sur la valeur de cette résistance. Les Fig. 1:25-a à Fig. 1:25-c

représentent l'évolution de cette résistance en fonction de l'épaisseur du film SOI, de la position de l'interface siliciure/silicium, du dopage et de la largeur du contact. De ces simulations, on peut dégager les tendances suivantes :

- plus l'épaisseur du film SOI diminue, plus la résistance augmente.
- plus la position de l'interface siliciure/silicium est proche du BOX (i.e. plus l'épaisseur du film de silicium non siliciuré est faible), plus la résistance augmente.
- plus le dopage augmente, plus la résistance diminue.
- plus  $L_{con}$  augmente, plus la résistance diminue.

On en déduit qu'il est difficile de réduire cette résistance sans augmenter le niveau de dopage du silicium. De plus, l'évolution de la miniaturisation tend à une diminution de l'épaisseur du film mince de silicium ce qui contribue à l'augmentation de  $R_{csd,FB}$ . Il est donc impossible d'obtenir deux résistances d'ordre de grandeur équivalent dans cette configuration (dopage faible et film mince). Étant donné que la résistance totale équivaut à deux résistances en parallèles, on en déduit que plus le film de siliciure pénètre le film de SOI, plus l'influence de la résistance  $R_{csd,FB}$  diminue. La diminution de la résistance totale de contact est donc dépendante de la diminution de la résistance  $R_{csd,SW}$ .

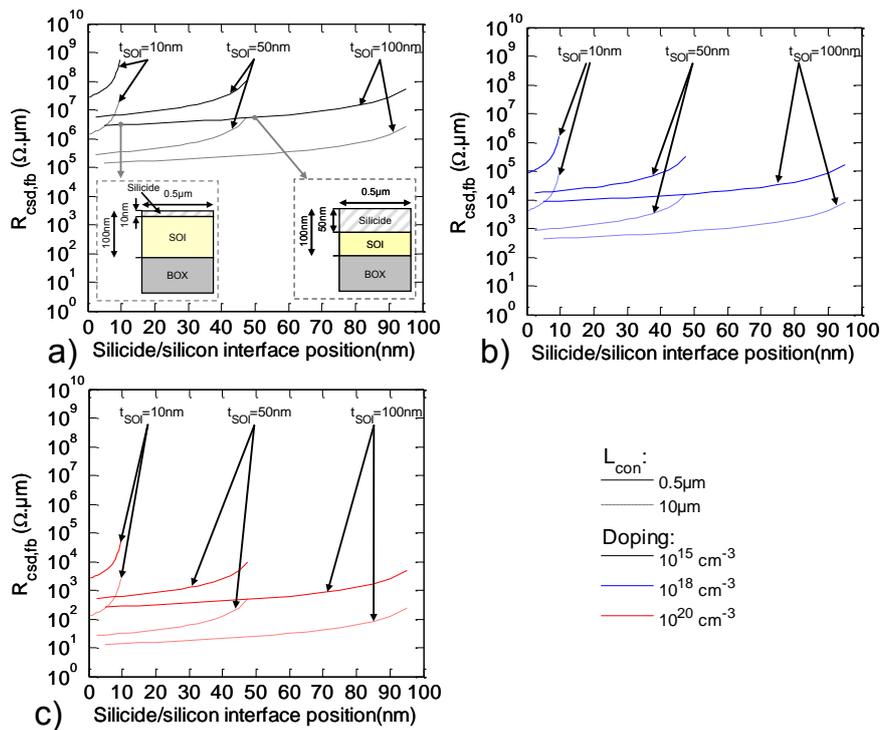


Fig. 1:25 Évolution de la résistance « flatbed » en fonction de la position de la jonction siliciure/silicium par rapport à l'épaisseur du film SOI, à la largeur du contact pour un dopage de (a)  $10^{15} \text{ cm}^{-3}$ , (b)  $10^{18} \text{ cm}^{-3}$  et (c)  $10^{20} \text{ cm}^{-3}$ .

La Fig. 1:26 représente l'évolution de cette résistance en fonction de la résistance spécifique du contact et de l'épaisseur du film de siliciure. Pour satisfaire la condition établie précédemment ( $R_{csd} < 100 \text{ } \Omega \cdot \mu\text{m}$ ), il est donc nécessaire d'atteindre une valeur de l'ordre de  $10^{-8} \text{ } \Omega \cdot \text{cm}^2$ .

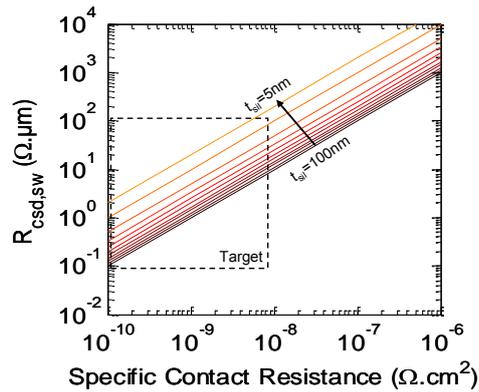


Fig. 1:26 Évolution de la résistance « sidewall » en fonction de la résistance spécifique de contact et de l'épaisseur du film de siliciure.

L'ensemble des Fig. 1:27-a à Fig. 1:27-c représente l'évolution de la hauteur de la barrière Schottky en fonction de l'épaisseur du film SOI complètement siliciuré pour une valeur de résistance constante. Pour un film SOI inférieur à 10 nm, une hauteur de barrière inférieure à 100 meV est nécessaire pour atteindre une valeur de résistance d'accès égale à  $100\Omega \cdot \mu m$ .

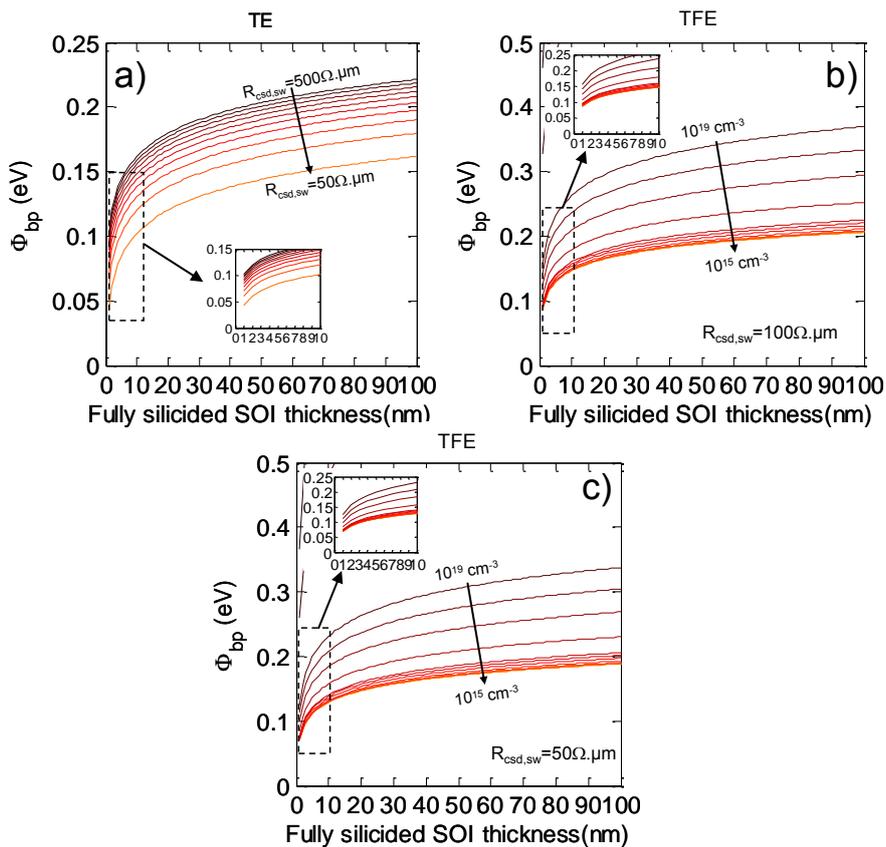


Fig. 1:27 Évolution de la hauteur de barrière Schottky en fonction de l'épaisseur du film de siliciure et pour une valeur de résistance « sidewall » constante (a) (modèle TE). Évolution de la hauteur de barrière Schottky en fonction de l'épaisseur du film de siliciure et du dopage pour une valeur de résistance « sidewall » constante égale à (b)  $100 \Omega \cdot \mu m$  et (c)  $50 \Omega \cdot \mu m$  (modèle TFE).

Les Fig. 1:28-a à Fig. 1:28-d représentent l'évolution des différentes résistances en fonction de la position de l'interface siliciure/silicium par rapport à la surface de silicium pour un dopage très faible ( $10^{15} \text{ cm}^{-3}$ ). La valeur de la hauteur de barrière Schottky varie de 500 meV à 100 meV. La largeur du contact varie quant à elle de  $1 \mu\text{m}$  à 250 nm. On en déduit les tendances suivantes :

- Lorsque le dopage est faible, la valeur de  $R_{csd,FB}$  est très importante
- En dessous de 500 meV, la valeur de  $R_{csd,SW}$  est largement inférieur à  $R_{csd,FB}$
- En dessous de 500 meV, la valeur de  $R_{csd}$  est équivalente à celle de  $R_{csd,SW}$
- Pour  $\phi_b=500 \text{ meV}$ , la valeur de  $L_{con}$  a un impact non négligeable sur  $R_{csd}$

Ainsi pour minimiser la valeur de  $R_{csd}$  à faible dopage, il faut minimiser la hauteur de barrière Schottky tout en augmentant la pénétration du siliciure dans le film SOI.

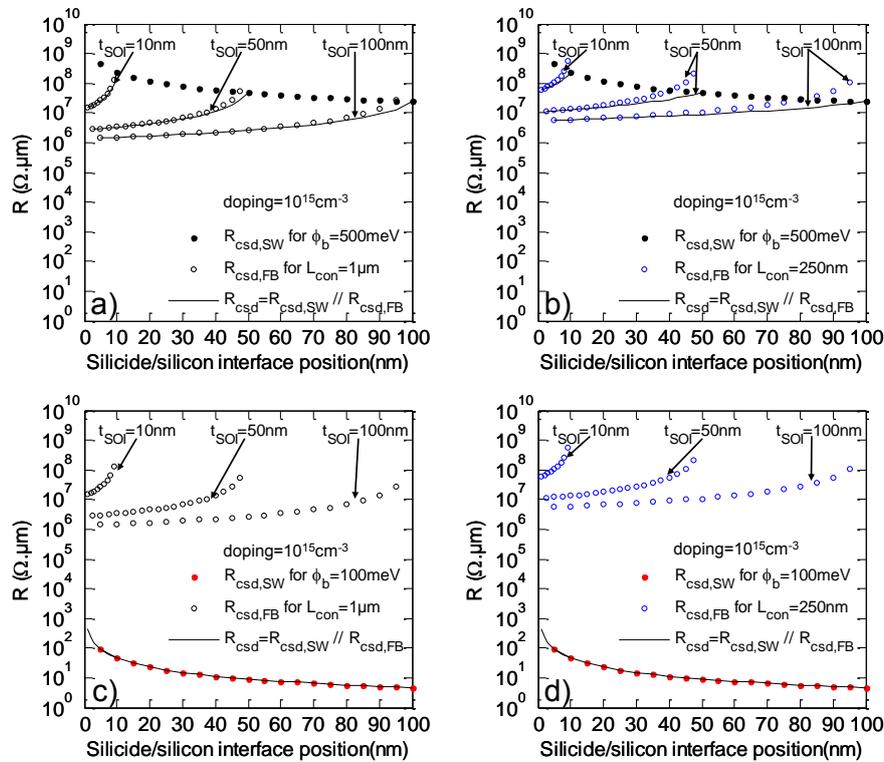


Fig. 1:28 Évolution des différentes composantes de la résistance de contact en fonction de la position de la jonction siliciure/silicium pour différentes valeurs de hauteur de barrière Schottky et pour différentes largeur de contact.

La Fig. 1:29 décrit quant à elle l'évolution des différentes résistances pour un dopage élevé ( $10^{20} \text{ cm}^{-3}$ ) et une hauteur de barrière Schottky se situant au milieu de la bande interdite (500 meV). Le comportement est complètement différent puisque dans ce cas, la valeur de la résistance totale est commandée par la résistance  $R_{csd,FB}$  qui est inférieure à  $R_{csd,SW}$ . Dans cette configuration, le seul moyen de réduire la valeur de la résistance totale est d'augmenter le dopage ou soit d'augmenter la taille de  $L_{con}$ . Ces axes d'améliorations sont cependant limités. En effet, l'augmentation du dopage est bornée par la limite de solubilité fixée à environ  $10^{21} \text{ cm}^{-3}$  pour le silicium. De plus, l'augmentation de  $L_{con}$  diminue la densité d'intégration.

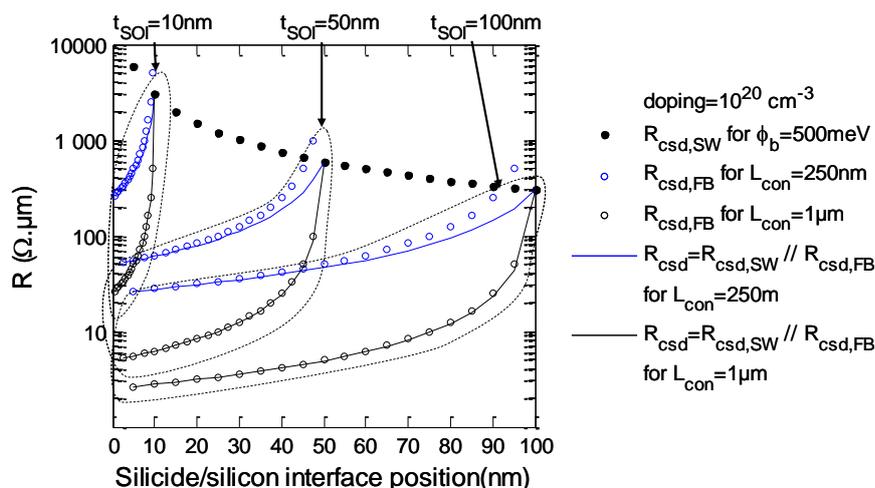


Fig. 1:29 Évolution des différentes composantes de la résistance de contact en fonction de la position de la jonction siliciure/silicium pour une valeur de hauteur de barrière Schottky égale à 500meV, un dopage de  $10^{20} \text{ cm}^{-3}$  et pour des largeurs de contact égales à 250nm et  $1 \mu\text{m}$ .

### 1.5.1.3 Limitations issues des contraintes technologiques

L'étude abordée dans le paragraphe précédent a permis d'étudier les conditions pour que l'intégration de contact Schottky soit avantageuse vis à vis de la technologie conventionnelle. Cette étude est essentiellement portée sur les performances du module de jonction. Cependant, elle apporte également certains avantages du point de vue de la réalisation technologique. Tout d'abord, la limitation du dopage à une valeur relativement faible est un avantage du point de vue technologique car il permet de réduire le budget thermique. En effet, après l'implantation, les espèces sont activées électriquement par un recuit à haute température ( $>1000^\circ\text{C}$ ). Le recuit de siliciuration est quant à lui limité à des températures plus basses (environ  $500^\circ\text{C}$ ). Cette baisse du budget thermique est profitable puisqu'elle permet l'intégration de nouveaux matériaux ne supportant pas de telles températures [24]. De plus, l'absence d'étapes de dopage simplifie le processus de fabrication ce qui se traduit par une diminution des coûts de fabrication. Enfin, l'immunité de cette technologie vis-à-vis des effets de canal court est un avantage certain. Cette particularité a pour conséquence directe la diminution de la variabilité des performances des composants lors de la production à grande échelle. Cependant, cette technologie introduit également d'autres contraintes qui seront développées dans le paragraphe suivant.

### 1.5.1.4 Problématique liée à l'intégration des matériaux

#### 1.5.1.4.1 Siliciure de métaux

L'intégration d'un module de jonction Schottky implique une contrainte d'intégration pour la technologie MOSFET. En effet, pour être opérationnelle, celle-ci doit disposer de deux transistors complémentaires, de type n et p, assurant le transport des électrons et des trous

dans le canal. Sans cette complémentarité, l'utilité de l'intégration d'un module jonction de type Schottky est nulle.

Ainsi, la jonction dans un p-MOSFET doit présenter une hauteur de barrière aux trous Schottky faible (un faible écart d'énergie entre la bande de valence et le niveau de Fermi dans le métal). Inversement, la jonction dans un n-MOSFET doit présenter une hauteur de barrière Schottky aux électrons faible (un faible écart d'énergie entre la bande de conduction et le niveau de Fermi dans le métal). En fonction du type de transistor, la position du niveau de Fermi dans le métal varie. D'un point de vue technologique, cette particularité impose l'utilisation de deux métaux différents pour chaque type. En choisissant le métal en fonction de son affinité électronique, il est possible de moduler la position du niveau de Fermi dans le métal et donc de favoriser l'injection des électrons ou des trous. Dans le procédé conventionnel, ce positionnement est ajusté à l'aide du dopage de la zone située sous le contact siliciuré. Le métal est quant à lui choisi de telle façon à ce que le niveau de Fermi dans le métal soit situé au milieu de la bande interdite. L'intégration de deux matériaux différents pour chaque type de transistor nécessite quelques ajustements par rapport au procédé de fabrication conventionnel. Ainsi, il est nécessaire de déposer deux matériaux différents dans deux zones différentes ce qui complexifie le procédé de fabrication. De plus, il faut également s'assurer qu'il n'y ait pas d'interaction entre ces deux matériaux et que la siliciuration de l'un n'affecte pas la siliciuration de l'autre (stabilité thermique). La Fig. 1:30 regroupe les valeurs des hauteurs de barrières Schottky pour une large sélection de siliciure.

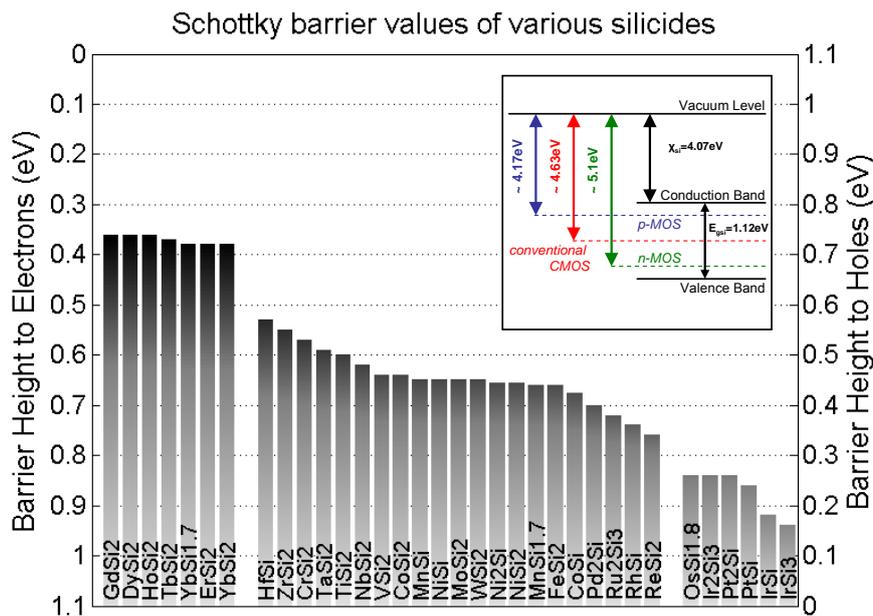


Fig. 1:30 Hauteurs de barrière Schottky pour différents siliciures.

#### 1.5.1.4.2 Procédé SALICIDE

Le succès de l'utilisation des contacts métalliques obtenu par siliciuration repose sur l'utilisation de la technique Salicide. Le mot-valise Salicide signifie « *Self Aligned silicidation* » ou siliciuration auto-alignée. Ce procédé implique la réaction d'un film métallique fin avec les zones actives de silicium des transistors, formant un siliciure grâce à une série de recuits thermiques et de gravures sélectives. Le terme « *self aligned* » ou auto-aligné suggère que la formation du contact ne nécessite pas d'étape de lithographie

pour positionner le film de siliciure sur le transistor. Cette technique commence par le dépôt d'un film fin métallique qui sert de transition à la formation du silicium. Ce dépôt se fait « pleine plaque », i.e. que le film de métal recouvre l'intégralité du substrat de silicium contenant les transistors. Le substrat est ensuite élevé à haute température, ce qui permet la réaction du métal avec les zones de silicium qui sont exposées, formant ainsi un siliciure métallique. Le métal ne réagit pas avec les autres matériaux présents comme l'oxyde de silicium ou le nitrure de silicium. Suite à cette réaction, les parties du film non siliciuré sont gravées de manière chimique et sélective par rapport à l'ensemble de la structure. L'intérêt de cette technique repose sur le fait que le siliciure est positionné automatiquement car la réaction dépend de la présence de silicium. Face à la réduction des dimensions, la méthode auto-alignée présente l'avantage de ne pas se soucier des défauts et des problèmes de positionnement lors de la création des contacts source/drain. Pour l'intégration de transistors à contact Schottky, il est nécessaire de maîtriser cette méthode pour les deux types de métaux utilisés. Ainsi le retrait sélectif par voie chimique d'un métal ne doit pas interagir sur la qualité de l'autre siliciure.

## 1.6 Conclusion du chapitre

Pour résumer, ce premier chapitre a permis d'évaluer l'importance du rôle du transistor MOSFET dans l'industrie de la microélectronique. L'étude des principes de fonctionnement du transistor MOSFET a permis de cibler quels sont les paramètres dictant les performances de cette technologie. La miniaturisation, acteur majeur de gain en performance, entraîne également l'apparition de nouveaux effets parasites au-delà d'une certaine dimension. Les effets de canal court et l'influence grandissante des résistances de contact dégradent l'amélioration des caractéristiques apportée par la réduction des dimensions.

L'identification de ces problèmes nous a permis dégager des axes de recherche permettant de diminuer ou supprimer ces effets parasites. L'introduction d'un module de jonction de type Schottky semble être une solution opportune pour le remplacement de la technologie conventionnelle. Cependant, les contraintes déterminées dans ce chapitre pour que cette évolution soit avantageuse sur le long terme sont fortes. La plus importante est la hauteur de barrière Schottky du contact qui est le facteur déterminant le niveau d'injection Schottky. Nous avons conclu qu'une hauteur de barrière inférieure ou égale à 100 meV est nécessaire pour que cette technologie reste compétitive. Cependant, aucun siliciure ne semble être dans la mesure de répondre à cet objectif (Fig. 1:30). Les Tableau 1:4 et Tableau 1:5 résument quels sont les avantages et les limites du module de jonction Schottky.

La problématique de cette thèse est donc la suivante : Quels sont les solutions technologiques permettant de moduler la hauteur de barrière Schottky lors de l'intégration d'un siliciure bord de bande ? Afin de répondre à cette problématique, le chapitre suivant est dédié à l'étude de deux méthode d'ingénierie de bandes : l'introduction de contraintes dans le silicium et la ségrégation de dopant à l'interface siliciure/silicium.

Tableau 1:4 Comparaison des axes d'améliorations et de leurs limites en fonction des technologies.

Technologie	Axes d'améliorations	Limites
Conventionnelle	$\uparrow L_{\text{con}}$ $\uparrow$ Dopage	$\downarrow$ Densité d'intégration Limite de solubilité
Contacts Schottky	$\downarrow \phi_b$	Fermi Level Pinning dual silicide

Tableau 1:5 Résumé des avantages et remarques de la technologie Schottky.

Avantages	Remarques
Réduction des résistances de contact	Faible résistance de feuille du métal
Température de procédé basse	Absence de dopage $\rightarrow$ pas de recuit d'activation Température de siliciuration faible
Jonction abrupte	$\rightarrow$ immunité aux effets de canal court





# Chapitre 2: Étude théorique pour l'amélioration des Contacts Métal/Semiconducteur

Ce chapitre est dédié à l'étude des siliciures pour la formation de jonctions Métal/Semiconducteur. La première partie de cette étude est focalisée sur la formation des siliciures et sur la justification du choix du métal pour la réalisation de contact Schottky à faible hauteur de barrière. La seconde partie est, quant à elle, consacrée à l'étude de la barrière Schottky de cette jonction et aux diverses théories tentant d'expliquer son apparition et surtout la dépendance de sa valeur en fonction des matériaux utilisés. Enfin, la dernière partie est consacrée aux différentes méthodes permettant de modifier la hauteur de barrière Schottky.

<b>2.1 L'utilisation des Siliciures comme jonction Schottky .....</b>	<b>44</b>
2.1.1 Introduction et état de l'art .....	44
2.1.2 Choix du matériaux.....	44
2.1.3 Mécanismes de formation du siliciure.....	46
2.1.3.1 Définition thermodynamique .....	46
2.1.3.2 Formation contrôlée par la diffusion .....	48
2.1.3.3 Formation contrôlée par la nucléation .....	49
2.1.3.4 Formation du siliciure de platine.....	49
<b>2.2 Nature de la barrière Schottky .....</b>	<b>51</b>
2.2.1 Historique.....	51
2.2.2 Loi de Schottky-Mott.....	52
2.2.3 Fermi Level Pinning .....	53
2.2.3.1 États de surface à l'interface et modèle de charges fixes séparées .....	53
2.2.3.2 MIGS.....	55
2.2.3.3 Bonds dipole .....	55
<b>2.3 Ingénierie de la hauteur de barrière.....</b>	<b>56</b>
2.3.1 Silicium Contraint.....	57
2.3.1.1 Théorie.....	57
2.3.1.2 Tenseur de contrainte.....	57
2.3.1.3 Tenseur de déformation .....	59
2.3.1.4 Tenseur d'élasticité – Loi de Hooke .....	59
2.3.1.5 Comparaison entre les contraintes uniaxiales induites par le procédé de fabrication et les contraintes biaxiales induites par le substrat.....	62
2.3.1.6 Simulations .....	63
2.3.1.6.1 Structure cristalline et zone de Brillouin .....	63
2.3.1.6.2 Méthode de liaison forte.....	66
2.3.1.6.3 Méthode analytique.....	71
2.3.1.6.3.1 Bande de conduction .....	71
2.3.1.6.3.2 Bande de valence.....	73
2.3.1.6.4 Cas d'une hétérostructures multicouches Si/Si <sub>1-x</sub> Ge <sub>x</sub> .....	78
2.3.2 Ségrégation de dopant.....	83
2.3.2.1 Théorie.....	83
2.3.2.2 État de l'art .....	84
<b>2.4 Conclusion du chapitre .....</b>	<b>87</b>

## 2.1 L'utilisation des Siliciures comme jonction Schottky

### 2.1.1 Introduction et état de l'art

La technologie d'intégration à grande échelle ou « *Very Large Scale Integration* » (VLSI) évolue de telle sorte que les circuits intégrés sont de plus en plus rapides et de plus en plus petits. La complexité croissante des circuits et la demande toujours plus forte en terme de performance nécessitent un schéma de métallisation sur plusieurs niveaux et un budget thermique bien maîtrisé. L'augmentation de la densité d'intégration et de la complexité des circuits intégrés a renouvelé l'intérêt porté sur les contacts peu résistifs pour l'intégration du module de grille et de Source/Drain. L'utilisation des alliages métal/silicium, également appelés siliciures, est particulièrement intéressante d'un point de vue technologique pour leur faible résistance et leur grande stabilité thermique. Leur étude a commencé au début du siècle par Moissan et sont encore largement utilisés de nos jours dans l'industrie de la microélectronique [25], [26]. Les premiers utilisés furent des siliciures de métaux réfractaires comme  $WSi_2$ , à cause de leur bonne stabilité thermique. Avec la diminution des dimensions, ce siliciure a été remplacé par  $TiSi_2$  qui se forme à plus basse température. Ce dernier a été ensuite substitué par  $CoSi_2$  car il posait des problèmes de nucléation dans les lignes étroites. Enfin, le  $NiSi$  a été choisi pour les générations de circuit les plus avancées à cause de sa faible résistivité, sa formation à basse température et la faible consommation de silicium lors de sa formation. Cependant, les siliciures précédemment cités sont toujours utilisés pour réaliser des contacts ohmiques et leurs hauteurs de barrière Schottky sont situées au milieu de la bande interdite. Afin d'éviter les étapes de dopage lors de la fabrication d'un module de jonction pour des transistors SB-MOSFET, notre étude est focalisée sur l'intégration de métaux ayant une faible hauteur de barrière Schottky. Dans le paragraphe suivant, nous étudierons donc les différents métaux disponibles pour la fabrication de jonction Schottky.

### 2.1.2 Choix du matériaux

La formation d'un siliciure se fait à partir d'un couple Métal/Silicium (MS). C'est un mécanisme de formation d'alliage qui peut se produire avec plus de la moitié des éléments du tableau périodique, pour donner plus de 180 siliciures. Le Tableau 2:1 regroupe l'ensemble des siliciures présent dans la littérature sous la même forme que le tableau périodique des éléments (liste non exhaustive). D'une manière générale, on distingue trois grandes classes de matériaux :

- la classe des terres rares (en jaune) se forment à basses températures et ont de très faibles barrières de potentiel avec le silicium de type n.
- la classe des métaux réfractaire (en bleu) correspondant aux groupes IVA, VA et VIA. Ils se forment à hautes températures à l'exception de  $CrSi_2$  qui se forme à  $450^\circ C$ . Ces siliciures, caractérisés par une haute stabilité thermique, sont utilisés dans la métallisation des circuits microélectroniques.
- la classe des métaux nobles ou quasi noble (en vert), correspondant au groupe VII, I se forment à basses températures. Ils sont caractérisés par une faible réactivité chimique et sont adaptés pour les contacts ohmiques et Schottky.

Le Tableau 2:2 résume les différentes propriétés physiques et électriques des 3 groupes précédemment cités [27], [28]. Dans l'optique de concevoir une jonction Schottky dont la hauteur de barrière est la plus petite possible, l'utilisation d'un métal appartenant à la classe des métaux quasi noble est judicieuse. En effet, il semblerait que  $\phi_b$  diminue avec l'augmentation du numéro atomique du métal. Dans ce contexte, le platine semble être le meilleur candidat pour la fabrication d'une jonction Schottky favorable à l'injection des trous.

Tableau 2:1 Siliciures des différents éléments de la table périodique (extrait de [24])

numéro atomique	1	2	3	4	5	6	7	8	9	10		11	12	13	14	15	16	17	18	
Groupe	IA	IIA	IIIA	IVA	VA	VIA	VIIA	VIII				IB	IIB	IIIB	IVB	VB	VIB	VIIA	VIII	VIIIB

↓  
période

H <sub>4</sub> Si																B <sub>6</sub> Si	CSi	N <sub>4</sub> Si <sub>3</sub>	OSi	F <sub>4</sub> Si			
Li <sub>15</sub> Si <sub>4</sub>																B <sub>4</sub> Si			O <sub>2</sub> Si				
Li <sub>3</sub> Si																B <sub>3</sub> Si		Si	PSi	S <sub>2</sub> Si	Cl <sub>4</sub> Si		
NaSi	Mg <sub>2</sub> Si																			As <sub>2</sub> Si	Se <sub>2</sub> Si	Br <sub>4</sub> Si	
KS <sub>1</sub>	Ca <sub>2</sub> Si	Sc <sub>3</sub> Si <sub>3</sub>	Ti <sub>3</sub> Si <sub>2</sub>	V <sub>3</sub> Si	Cr <sub>3</sub> Si	Mn <sub>3</sub> Si	Fe <sub>3</sub> Si	Co <sub>3</sub> Si	Ni <sub>3</sub> Si														
KS <sub>15</sub>	CaSi	ScSi <sub>2</sub>	TiSi	V <sub>5</sub> Si <sub>3</sub>	Cr <sub>2</sub> Si <sub>3</sub>	Mn <sub>5</sub> Si	Fe <sub>5</sub> Si	Co <sub>2</sub> Si	Ni <sub>2</sub> Si	Cu <sub>3</sub> Si				As <sub>2</sub> Si	Se <sub>2</sub> Si	Br <sub>4</sub> Si							
	CaSi <sub>2</sub>	ScSi <sub>2</sub>	TiSi <sub>2</sub>	VSi <sub>2</sub>	CrSi	MnSi	FeSi	CoSi <sub>2</sub>	Ni <sub>2</sub> Si <sub>2</sub>					AsSi	Te <sub>2</sub> Si	J <sub>4</sub> Si							
RbSi	SrSi	Y <sub>3</sub> Si <sub>4</sub>	Zr <sub>2</sub> Si	Nb <sub>4</sub> Si	Mo <sub>2</sub> Si			Rh <sub>2</sub> Si	Pd <sub>3</sub> Si						Te <sub>2</sub> Si	J <sub>4</sub> Si							
RbSi <sub>6</sub>	SrSi <sub>2</sub>	Y <sub>3</sub> Si <sub>3</sub>	Zr <sub>2</sub> Si	Nb <sub>5</sub> Si <sub>3</sub>	Mo <sub>5</sub> Si <sub>3</sub>			Rh <sub>3</sub> Si <sub>3</sub>	Pd <sub>2</sub> Si						TeSi								
		...	Zr <sub>3</sub> Si <sub>2</sub>	NbSi <sub>2</sub>	MoSi <sub>2</sub>			Rh <sub>3</sub> Si <sub>2</sub>	PdSi														
CaSi	BaSi	LaSi <sub>2</sub>	Hf <sub>2</sub> Si	Ta <sub>4</sub> Si	W <sub>5</sub> Si <sub>3</sub>	Re <sub>3</sub> Si	OsSi	Ir <sub>3</sub> Si	Pt <sub>3</sub> Si														
CaSi <sub>3</sub>	BaSi <sub>2</sub>		Hf <sub>5</sub> Si <sub>2</sub>	Ta <sub>2</sub> Si	WSi <sub>2</sub>	Re <sub>5</sub> Si <sub>3</sub>	OsSi <sub>2</sub>	Ir <sub>2</sub> Si	Pt <sub>2</sub> Si														
			Hf <sub>5</sub> Si <sub>2</sub>	Ta <sub>2</sub> Si <sub>3</sub>		ReSi <sub>2</sub>	OsSi <sub>3</sub>	IrSi	PtSi														

$\phi_b$  constant Midgap

Diminution de  $\phi_b$

↓

	Ce <sub>3</sub> Si					Gd <sub>3</sub> Si <sub>5</sub>	Dy <sub>3</sub> Si <sub>5</sub>	Er <sub>3</sub> Si <sub>5</sub>	YbSi	LuSi <sub>5</sub>
	Ce <sub>2</sub> Si	PrSi <sub>2</sub>	NdSi <sub>2</sub>		SmSi <sub>2</sub>					
	CeSi					GdSi <sub>2</sub>	DySi <sub>2</sub>	ErSi		
	Th <sub>3</sub> Si <sub>2</sub>		U <sub>3</sub> Si <sub>2</sub>	NpSi <sub>3</sub>	PuSi					
	ThSi		USi		PuSi <sub>2</sub>					
	ThSi <sub>2</sub>		U <sub>2</sub> Si <sub>3</sub>							

$\phi_b$  constant n-type

Florent Ravoux

45

Tableau 2:2 Caractéristiques des siliciures en fonction de leurs appartenance à un groupe (extrait de [24], [25]).

Propriété	Terres rares	groupe VIII siliciures nobles ou quasi-nobles	Groupes IVA, VA, VIA siliciures réfractaires
Résistivité du métal	?	environ $7.5 \pm 2.5 \mu\Omega \cdot \text{cm}$ pour tous les métaux	Diminue en fonction du numéro atomique au sein d'une période et d'un groupe
Résistivité du siliciure	environ $50 \pm 10 \mu\Omega \cdot \text{cm}$ pour tous les métaux	environ $25 \pm 10 \mu\Omega \cdot \text{cm}$ pour tous les métaux	Augmente en fonction du numéro atomique au sein d'une période et d'un groupe
Structure cristalline du siliciure	Structure cristalline équivalente pour des métaux du même groupe	Pas de corrélation avec le numéro atomique	Structure cristalline équivalente pour des métaux du même groupe
Hauteur de barrière Schottky aux électrons	valeur équivalente : $0.39 \pm 0.1 \text{ eV}$	Supérieur à la moitié de la bande interdite. Augmente avec le numéro atomique	valeur équivalente : $0.55 \pm 0.05 \text{ eV}$
Température de formation	entre $275^\circ\text{C}$ et $900^\circ\text{C}$	entre $200^\circ\text{C}$ et $600^\circ\text{C}$	$> 600^\circ\text{C}$
Espèce diffusante Dominant	Métal	Métal	Silicium
Stabilité du siliciure à haute température ( $>1000^\circ\text{C}$ )	faible	faible	excellente

## 2.1.3 Mécanismes de formation du siliciure

### 2.1.3.1 Définition thermodynamique

La formation de siliciures est souvent obtenue par réaction à l'état solide du métal et du semi-conducteur. D'un point de vue thermodynamique, le système est hors équilibre si le film mince est déposé à température ambiante ou à basses températures. Pour permettre la diffusion des deux espèces, le couple MS doit être soumis à un recuit thermique. Le métal et le silicium peuvent alors réagir chimiquement entre eux et l'énergie libre du système est abaissée suite à la formation de composés  $M_xSi_y$ . Pour décrire cette réaction, il est nécessaire d'introduire les notions suivantes :

- Énergie libre de Gibbs (G) : L'énergie libre de Gibbs est associée au deuxième principe de la thermodynamique (principe d'évolution des systèmes physico-chimiques) qui stipule que toute transformation réelle s'effectue avec création d'entropie, c'est-à-dire que le bilan entropique correspondant à la somme des variations d'entropie du système et du milieu extérieur, est positif. Par conséquent toute réaction chimique ne peut progresser que si l'énergie libre de Gibbs du système réactionnel diminue. Lorsque cette fonction atteint un minimum, le système est à l'équilibre.
- Entropie (S) : L'entropie peut être interprétée comme la mesure du degré de désordre d'un système au niveau microscopique. Plus l'entropie du système est élevée, moins ses éléments sont ordonnés, liés entre eux, capables de produire des effets mécaniques, et plus grande est la part de l'énergie inutilisable pour l'obtention d'un travail.

- Enthalpie (H): L'enthalpie est une fonction d'état extensive de la thermodynamique, dont la variation permet d'exprimer la quantité de chaleur mise en jeu pendant la transformation à pression constante (isobare) d'un système thermodynamique au cours de laquelle celui-ci reçoit ou fournit un travail mécanique.

L'énergie libre du système est définie par l'équation suivante :

$$\Delta G = \Delta H - T \cdot \Delta S \quad \text{eq. 2-1}$$

D'après la seconde loi de la thermodynamique, la réaction a lieu si et seulement si  $\Delta G$  est négatif. En plus de déterminer si la réaction est possible, l'analyse de  $\Delta G$  permet également de prévoir le mécanisme de formation par l'analyse de son amplitude.

La Fig. 2:1-a représente le système thermodynamique avant le processus de siliciuration alors que la Fig. 2:1-b représente le système pendant la siliciuration. Avant siliciuration, l'interface a une énergie de surface  $\sigma_1$ . Lors de la siliciuration, deux nouvelles interfaces apparaissent :  $M/M_xSi_y$  et  $M_xSi_y/Si$ . Chacune de ces interfaces possède sa propre énergie de surface  $\sigma_2$  et  $\sigma_3$ , respectivement. On définit  $\Delta\sigma$  comme la variation de l'énergie de surface du système telle que :

$$\Delta\sigma = (\sigma_2 + \sigma_3) - \sigma_1 \quad \text{eq. 2-2}$$

Il est ainsi possible d'exprimer la variation de l'énergie libre de Gibbs telle que :

$$\Delta G = \Delta\sigma - d \cdot \Delta G_{lin} \quad \text{eq. 2-3}$$

où  $d$  est l'épaisseur du film de siliciure et  $\Delta G_{lin}$  est l'énergie linéaire de formation du siliciure. A partir de ce formalisme, il est possible de déterminer une épaisseur  $d_s$  pour laquelle  $\Delta G=0$ . Cette épaisseur représente une limite à partir de laquelle la transformation est énergétiquement favorable.

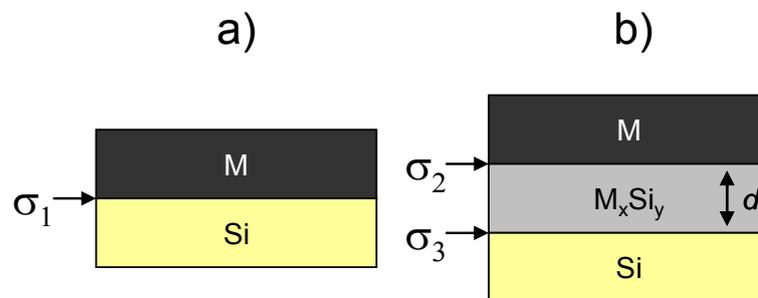


Fig. 2:1 Schémas représentant le système MS avant la réaction de siliciuration (a) et après la siliciuration (b).  $\sigma_1$ ,  $\sigma_2$  et  $\sigma_3$  représentent les énergies de surface des interfaces  $M/Si$ ,  $M/M_xSi_y$ , et  $M_xSi_y/Si$  respectivement.  $d$  représente l'épaisseur de la couche de siliciure formée.

La Fig. 2:2 regroupe l'ensemble des valeurs des enthalpies de formation pour différents siliciures répertoriés dans [29]. Ce graphique permet de comparer le gain en énergie apporté par la création des différentes phases d'un siliciure. Dans le cas des phases  $M_2Si$  et  $MSi$ , le gain en énergie n'est pas négligeable alors que dans le cas de  $MSi_2$ , celui-ci est très faible. On peut donc différencier deux cas :

- Les phases  $M_2Si$  et  $MSi$  dont le mécanisme de croissance est contrôlé par la diffusion.
- Les phases  $MSi_2$  dont le mécanisme de croissance est contrôlé par la nucléation.

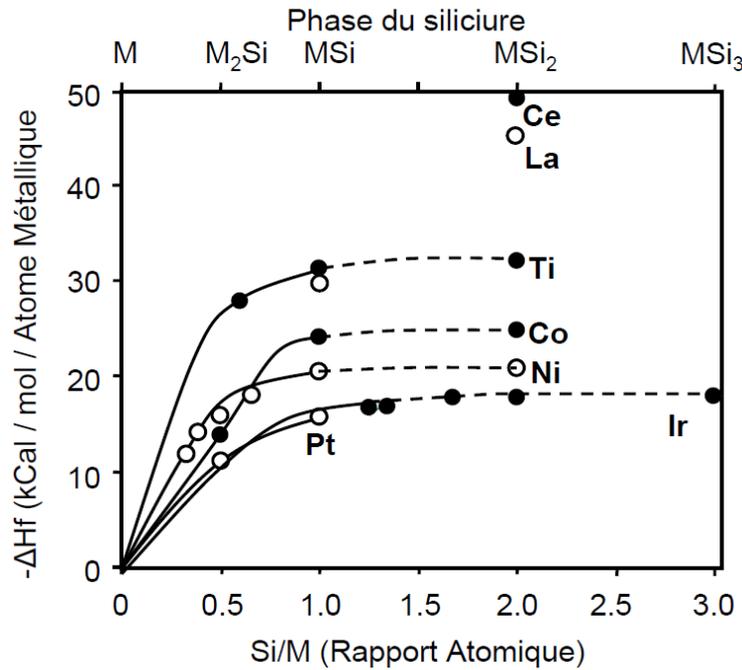


Fig. 2:2 Enthalpie de formation (normalisée) du siliciure en fonction du rapport atomique et du type de métal (d'après [26]).

### 2.1.3.2 Formation contrôlée par la diffusion

Il existe de nombreuses phases pour les siliciures dont la croissance est contrôlée par la diffusion. La diffusion est un phénomène de migration d'atomes dans un solide. Cette migration correspond aux déplacements successifs d'atomes dans le solide. Elle est activée par une force motrice qui peut être d'origine chimique, thermique ou mécanique. Le déplacement d'un atome nécessite l'apport d'une énergie suffisante pour que son changement de site soit possible. Dans le cas de la siliciuration, cette énergie est apportée par voie thermique. En effet, la vibration d'un atome augmente avec l'augmentation de la température. Si cette vibration est assez importante, l'atome pourra franchir la barrière d'énergie  $G_m$  (enthalpie libre de migration d'un atome). La diffusion est aléatoire si les concentrations sont homogènes dans le solide. Dans le cas où les concentrations sont inhomogènes, un flux de matière se crée. Cette diffusion d'atomes est décrite par la loi de Fick :

$$J_M = -D_M \cdot \frac{dc}{dx} \quad \text{eq. 2-4}$$

où  $J_M$  représente le flux d'atome,  $D_M$  le coefficient de diffusion des atomes et  $c$  la concentration des atomes M dans la phase  $M_xSi_y$ . Le coefficient  $D_M$  représente la vitesse de la réaction et suit la loi d'Arrhenius suivante :

$$D_M = D_0 \cdot e^{\frac{-E_a}{kT}} \quad \text{eq. 2-5}$$

où  $E_A$  est l'énergie d'activation de la réaction et  $D_0$  le coefficient pré-exponentiel.

### 2.1.3.3 Formation contrôlée par la nucléation

La réaction de siliciuration par nucléation (également appelé germination) apparaît lorsque l'énergie libre de formation n'apporte pas une force motrice suffisante pour une formation par diffusion. La nucléation se traduit par l'apparition d'une nouvelle phase localisée séparée de la phase métastable par une interface. La métastabilité est la propriété pour un état d'être stable cinétiquement mais pas thermodynamiquement. La vitesse de la transformation menant à l'état stable est relativement lente, voire nulle. Si on considère un système physico-chimique représenté par son énergie potentielle, un état métastable sera caractérisé par un état qui correspond à un minimum local d'énergie. Pour que le système puisse atteindre l'état du minimum absolu de l'énergie correspondant à l'état d'équilibre thermodynamique, il faut lui fournir une quantité d'énergie appelée Énergie d'activation. Dans un tel système, des modifications de l'arrangement atomique et de la composition se produisent constamment. On appelle embryons les zones où apparaissent ces phénomènes. Lorsque ces zones sont suffisamment grandes, elles deviennent des germes de cette nouvelle phase. La nouvelle phase apparaît donc sous forme d'îlots qui croissent soudainement dans une gamme de température relativement faible. Deux types de germination appelés germination homogène et germination hétérogène existent :

- la nucléation homogène se fait de manière aléatoire dans le système qui va subir la transformation. Ceci n'est possible que si le système est chimiquement homogène et exempt de défauts.
- En réalité les solides contiennent des imperfections (précipités d'impuretés insolubles, défauts linéaires et de surface...). Ces défauts sont des sites préférentiels de germination. C'est la nucléation hétérogène.

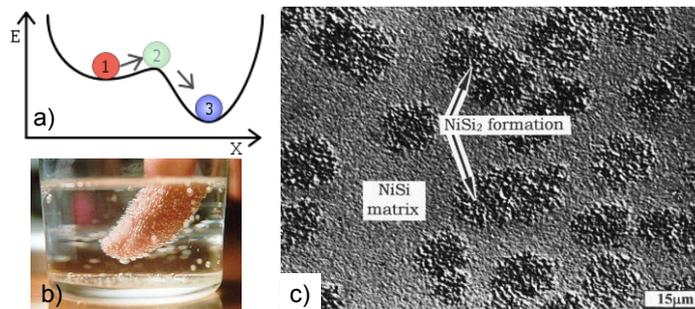


Fig. 2:3 (a) Représentation schématique d'un système métastable (état 1). Si une énergie (énergie d'activation) perturbe le système, il franchit le seuil 2 et passe à l'état 3 (stable). (b) Nucléation de bulles de dioxyde carbone autour d'un doigt. (c) Formation de grain de  $\text{NiSi}_2$  par nucléation (image extraite de [27]).

### 2.1.3.4 Formation du siliciure de platine

Il existe une vaste littérature sur la formation des siliciures de platine. La croissance du siliciure de platine a été largement étudiée au cours des trente dernières années [30–36]. De nombreuses phases peuvent être obtenues en soumettant un substrat de silicium préalablement recouvert d'un dépôt de platine à un recuit thermique. Le diagramme de phase du siliciure de platine est représenté en Fig. 2:4. Le point eutectique le plus bas est obtenu à  $830^\circ\text{C}$  pour

Pt<sub>3</sub>Si. Il existe deux structures cristallines différentes pour la phase Pt<sub>2</sub>Si. La phase α est stable jusque 695°C et la phase β est stable entre 695°C et 986°C.

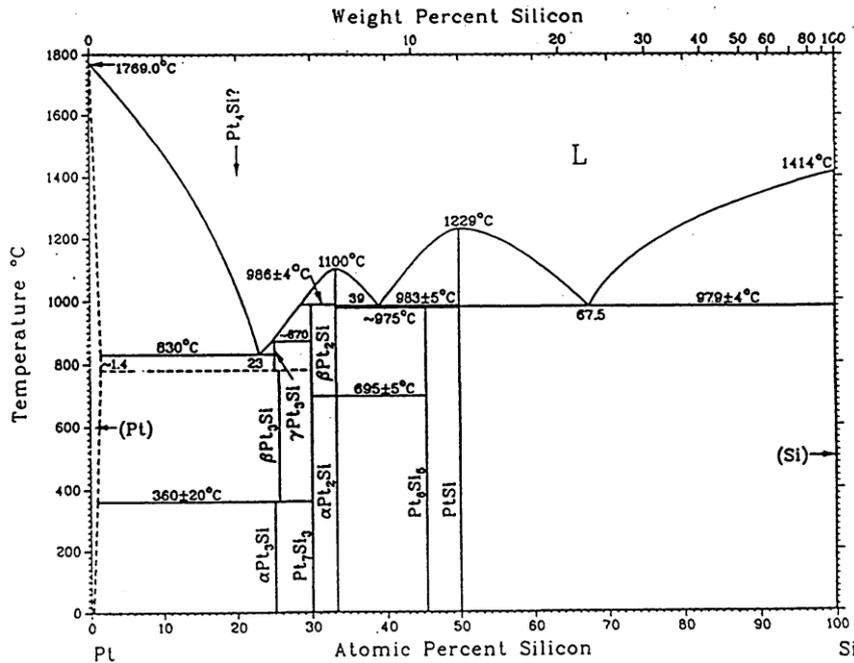


Fig. 2:4 Diagramme de phase du système Pt-Si.

Il a été démontré que la croissance de siliciure de platine suit un enchaînement où différentes phases apparaissent séquentiellement. Cette croissance peut être décomposée en plusieurs étapes. La Fig. 2:5 représente la décomposition de la réaction d'un film de platine avec du silicium.

- Fig. 2:5-a : Le système Platine/Silicium est à l'équilibre thermodynamique.
- Fig. 2:5-b : Le système est soumis à un recuit thermique. Il y a diffusion des atomes de platine dans le silicium et formation d'une couche de Pt<sub>2</sub>Si.
- Fig. 2:5-c : L'intégralité de la couche de platine a été consommée lors de la réaction du platine avec le silicium. La pénétration de cette couche de Pt<sub>2</sub>Si dans le silicium représente 66% de la couche de platine alors que l'épaisseur de la couche de Pt<sub>2</sub>Si représente 143% de la couche de platine initiale.
- Fig. 2:5-d : Les atomes de Silicium diffusent dans la couche de Pt<sub>2</sub>Si pour former le PtSi. C'est la deuxième étape de la réaction permettant la création de la deuxième phase.
- Fig. 2:5-e : La réaction se termine lorsque l'intégralité du film de Pt<sub>2</sub>Si a réagi avec le silicium pour former du PtSi. La pénétration de cette couche de PtSi dans le silicium représente 132% de la couche de platine alors que l'épaisseur de la couche de PtSi représente 197% de la couche de platine initiale.

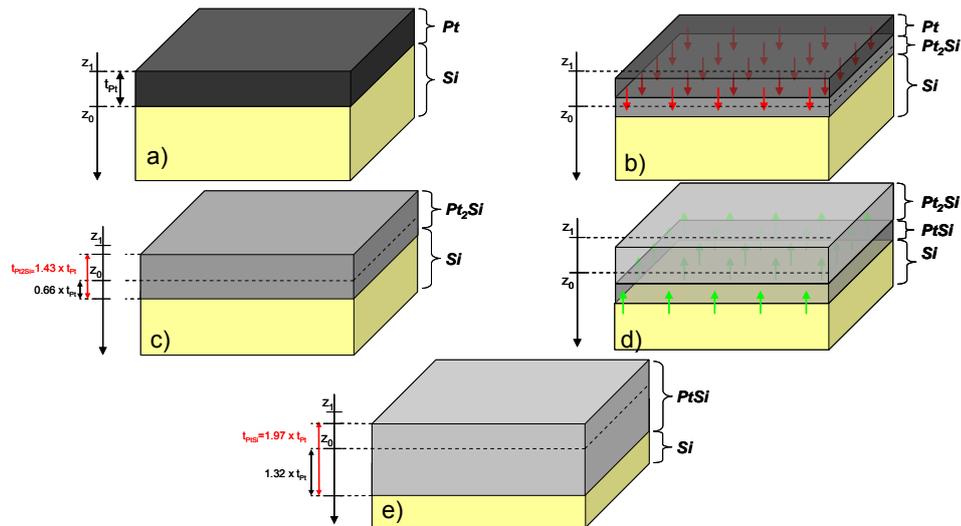


Fig. 2:5 Schémas représentant les différentes phases de la siliciuration du platine.

## 2.2 Nature de la barrière Schottky

Dans cette partie, nous allons exposer les différentes théories permettant d'évaluer la hauteur de barrière Schottky en fonction des propriétés intimes de l'interface siliciure/silicium. L'étude de ces relations nous permettra d'envisager quelles sont les possibilités d'ingénierie pour la réduction de ce paramètre si important.

### 2.2.1 Historique

L'une des propriétés les plus intéressantes de n'importe quelle interface MS est sa hauteur de barrière Schottky ou « *Schottky Barrier Height* » (SBH). La SBH est une barrière rectificatrice pour la conduction électronique au travers d'une jonction MS et est ainsi d'une très grande importance pour le fonctionnement de tout composant à base de semiconducteur. L'amplitude de la SBH reflète le désaccord d'énergie entre le bord de bande des porteurs majoritaires dans le semiconducteur et le niveau de Fermi du métal.

Pour une interface MS de type p, la SBH représente la différence de potentiel entre le maximum de la bande de valence et le niveau de Fermi métallique (Fig. 2:6-a). Pour une interface MS de type n, la SBH représente la différence de potentiel entre le minimum de la bande de conduction et le niveau de Fermi métallique (Fig. 2:6-b). Le symbole généralement utilisé pour ce paramètre est  $\phi_B$ . A cela s'ajoutent des exposants et indices pour indiquer le type de semiconducteur et le type de condition appliquée à l'interface (Bande Plate ou Déplétion). Ainsi,  $\phi_{Bp}^0$  et  $\phi_{Bn}^0$  désignent les valeurs des SBH pour des semiconducteurs de type p et n dans des conditions de bandes plates. Les diagrammes de bande des interfaces MS sont régulièrement représentés de manière similaire à la Fig. 2:6.

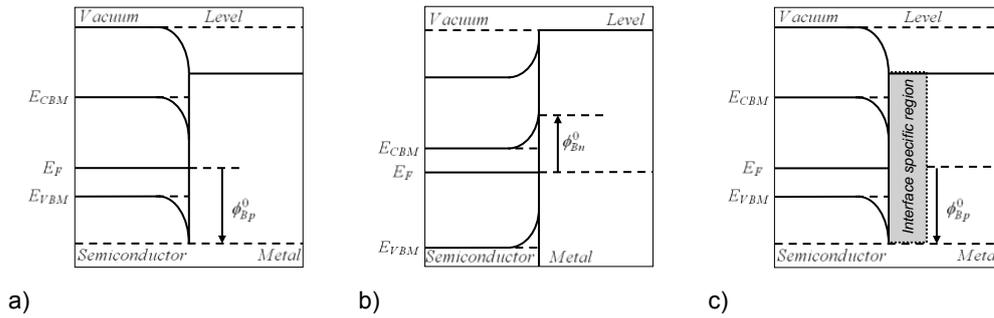


Fig. 2:6 Diagrammes de bande d'une jonction métal/semiconducteur. (a) Le niveau de Fermi du métal est proche de la bande de valence. (b) Le niveau de Fermi est proche de la bande de conduction. (c) Transition entre le métal et le semiconducteur dans la région spécifique de contact.

Cette représentation est utile pour mettre en valeur la variation des bandes sur une grande distance de la zone d'espace de charge du semiconducteur. Cependant, la structure électronique au voisinage proche ( $\sim 1$  nm) de l'interface n'est pas décrite. Ces représentations décrivent donc uniquement la variation des bandes à l'approche de l'interface. Pour déterminer les mécanismes influant sur la SBH, il est important de s'intéresser à la région de transition du métal au semiconducteur. Cette région est plus communément appelée région spécifique d'interface ou « *Interface Specific Region* » (ISR) [37]. C'est dans cette région de transition entre le métal et le semiconducteur que la grandeur de la SBH est déterminée (Fig. 2:6-c).

### Quels sont les mécanismes influant sur l'amplitude de la SBH ?

Pour y répondre, nous allons étudier les différentes théories décrivant de manière plus ou moins correcte et vérifiable les mécanismes influant sur l'amplitude de la SBH.

### 2.2.2 Loi de Schottky-Mott

La théorie de Schottky-Mott décrit la variation de la SBH comme uniquement dépendante du travail de sortie du métal [38]. La loi de Schottky-Mott est la suivante :

$$\begin{aligned}\phi_{Bn} &= \phi_m - \chi_{Si} \\ \phi_{Bp} &= E_g + \chi_{Si} - \phi_m\end{aligned}\quad \text{eq. 2-6}$$

où  $\phi_M$  est le travail de sortie du métal,  $E_g$  la largeur de la bande interdite du silicium et  $\chi_{Si}$  l'affinité électronique du silicium. Cette loi est valable pour certains couples MS. Cependant, la Fig. 2:7 montre que très peu de travaux expérimentaux concordent avec cette description. Les métaux et leurs siliciures associés tendent à s'aligner à une énergie caractéristique  $E_0$  [39], [40]. Il a été démontré que la hauteur de barrière Schottky est très sensible à la préparation de la surface avant la formation de l'interface. Ces résultats laissent à penser que le travail de sortie du métal n'est pas le seul paramètre à prendre en compte pour la détermination de la SBH. En effet, certains métaux ayant un travail de sortie faible ont une SBH supérieure aux métaux avec un travail de sortie supérieur. La dépendance entre SBH et travail de sortie est donc présente mais la théorie de Schottky-Mott semble incomplète.

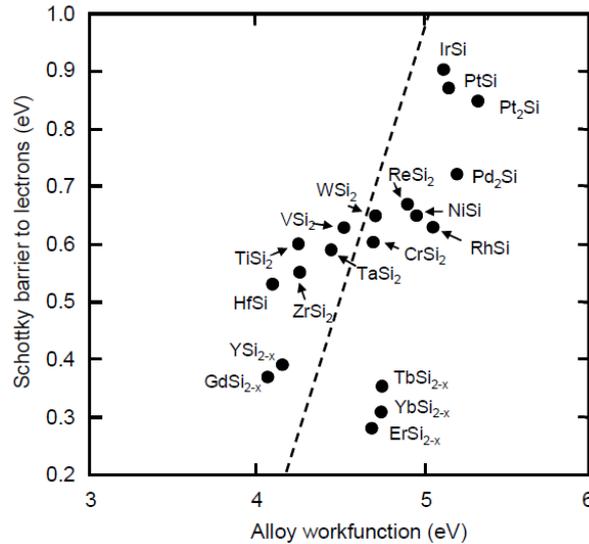


Fig. 2:7 Relation entre la hauteur de barrière Schottky de différents siliciures et leur travail de sortie. Cette figure montre que la théorie de Schottky-Mott et les travaux expérimentaux ne sont pas en adéquation.

Pour décrire cette insensibilité à la valeur du travail de sortie, le terme « *Fermi Level Pinning* » (FLP) qui signifie épinglage/verrouillage du niveau de Fermi est souvent utilisé.

## 2.2.3 Fermi Level Pinning

### 2.2.3.1 États de surface à l'interface et modèle de charges fixes séparées

Pour bien comprendre la théorie du FLP qui va être développée dans ce paragraphe, il est nécessaire d'introduire le concept de niveau de charge neutre ou « *charge neutrality level* » (CNL). Des états spécifiques de surface sont présents à n'importe quelle interface d'un semiconducteur où la périodicité du réseau cristallin est rompue. A 0 K, ces états de surface sont peuplés jusqu'au niveau de Fermi du semiconducteur. Le CNL est défini comme la position du niveau de Fermi pour laquelle la densité de charge surfacique est nulle à 0 K, i.e. la surface est de charge neutre. Le niveau de charge neutre des états de surface représente donc une position énergétique entre la bande de valence et la bande de conduction. Si le niveau de Fermi est inférieur au CNL, la surface présente une charge positive (Fig. 2:8-a). Si le niveau de Fermi est supérieur au CNL, la surface présente une charge négative. La charge nette due à l'occupation de ces états de surface est donc déterminée par la position du niveau de Fermi.

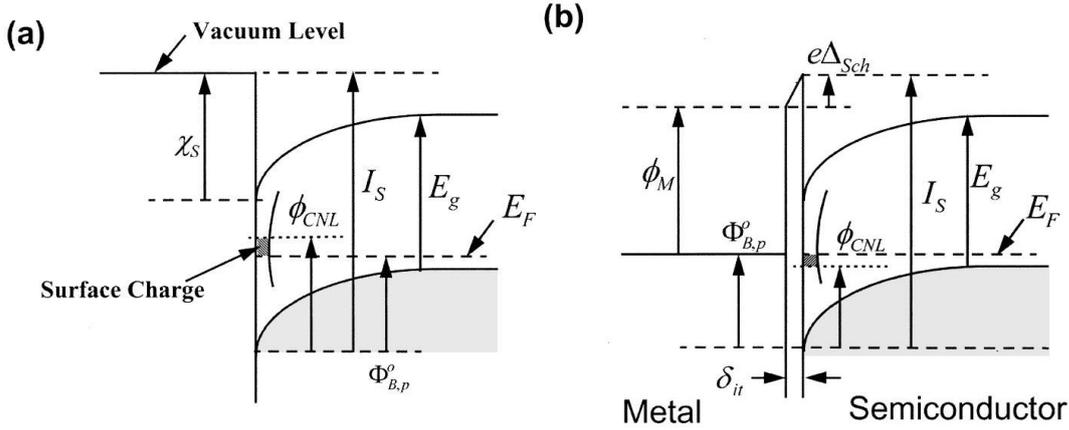


Fig. 2:8 (a) Diagramme de bande d'un semiconducteur de type p avec des états de surface. (b) Diagramme de bande selon le modèle de charges fixes séparées pour une interface métal/semiconducteur. La zone ombrée représente la charge de surface pour (a) et la charge d'interface pour (b).

Comme expliqué précédemment, les états de surfaces déterminent la courbure des différentes bandes à proximité de la surface du substrat. Pour expliquer le FLP, le modèle de charge fixe séparée suppose qu'un dipôle est présent à l'interface. Cependant, la présence de ce dipôle implique que les charges de signe opposé soient séparées physiquement. L'introduction d'une couche diélectrique entre le métal et le semiconducteur est donc prise en compte dans ce modèle. De plus, cette couche diélectrique a la particularité d'être uniquement dépendante du semiconducteur. La couche diélectrique d'interface est caractérisée par sa largeur  $\delta_{it}$  et sa permittivité  $\epsilon_{it}$ . Lorsque le dipôle est pris en considération dans le système, le calcul de la SBH donne :

$$\phi_{Bp}^0 = I_S - \phi_M - e\Delta_{Sch} \quad \text{eq. 2-7}$$

Le terme  $e\Delta_{Sch}$  est appelé dipôle Schottky et représente la contribution associée à la formation de l'interface. D'après [37],  $e\Delta_{Sch}$  vaut :

$$e\Delta_{Sch} = \frac{e^2 \cdot D_{GS} \cdot \delta_{it}}{\epsilon_{it}} \cdot (\phi_{Bp}^0 - \phi_{CNL}) \quad \text{eq. 2-8}$$

où  $D_{GS}$  est la densité d'état des défauts. En remplaçant l'eq. 2-8 dans l'eq. 2-7, on obtient :

$$\phi_{Bp}^0 = I_S - \phi_M + \frac{e^2 \cdot D_{GS} \cdot \delta_{it}}{\epsilon_{it}} \cdot (\phi_{Bp}^0 - \phi_{CNL}) \quad \text{eq. 2-9}$$

En réarrangeant les termes dans l'eq. 2-9, on obtient :

$$\phi_{Bp}^0 = \gamma_{GS} \cdot (I_S - \phi_M) + (1 - \gamma_{GS}) \cdot \phi_{CNL} \quad \text{eq. 2-10}$$

avec

$$\gamma_{GS} = \left( 1 + \frac{e^2 \cdot \delta_{it} \cdot D_{GS}}{\epsilon_{it}} \right)^{-1} \quad \text{eq. 2-11}$$

Lorsque l'interface présente de nombreux défauts,  $D_{GS}$  augmente et  $\gamma_{GS}$  tend vers 0. La valeur de la SBH tend donc vers la valeur de  $\phi_{CNL}$ . Ce modèle rend donc le FLP complètement dépendant du semiconducteur. Il permet donc de prendre en compte le FLP mais les hypothèses sur lesquelles il est basé peuvent être remises en question. Cependant, il permet de dégager certaines tendances pour caractériser des interfaces MS.

### 2.2.3.2 MIGS

Le modèle « *Metal Induced Gap States* » (MIGS) a été introduit par Heine [41] et complété par Tersoff [42]. Il est basé sur l'hypothèse qu'un métal en contact avec un semiconducteur induit des états d'énergie dans la bande interdite du semiconducteur. La création de ces défauts est due à la pénétration des fonctions d'onde du métal dans le semiconducteur ce qui modifie sa structure électronique et déplace des états d'énergie appartenant à la bande de valence ou de conduction dans la bande interdite (Fig. 2:9)[43]. Même si le métal induit la formation d'états dans la bande interdite, la distribution de ces états est une propriété du semiconducteur.

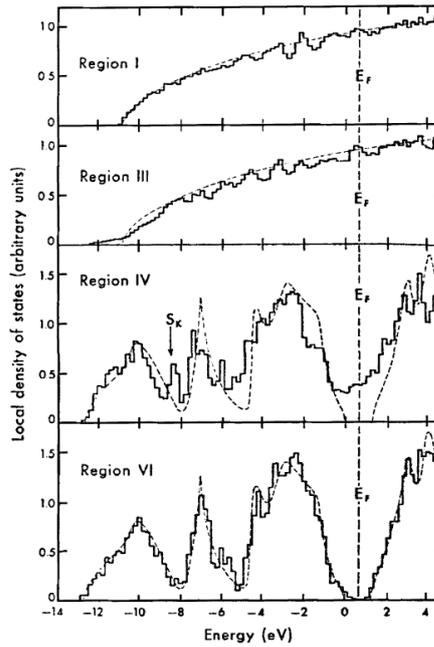


Fig. 2:9 Densité d'états pour une interface jellium/silicium. Les régions III et IV sont proches de l'interface alors que les régions I et VI en sont éloignées.

Ce modèle est en fait identique au précédent puisqu'il suppose que les charges relatives aux MIGS sont situées dans un plan situé à une distance fixe, formant ainsi un dipôle électrique. Le formalisme reste donc le même mis à part que :

$$\gamma_{GS} = \left( 1 + \frac{e^2 \cdot \delta_{GS} \cdot D_{GS}}{\epsilon_{GS}} \right)^{-1} \quad \text{eq. 2-12}$$

### 2.2.3.3 Bonds dipole

Le problème de la théorie MIGS est que les propriétés de la jonction sont censées être déterminées uniquement par le semiconducteur. Cette hypothèse paraît illogique puisque chaque jonction MS doit être caractérisée par un ensemble de propriétés  $\epsilon_{GS}$ ,  $\delta_{GS}$ ,  $D_{GS}$  et  $\phi_{CNL}$ . Il semble plus naturel d'un point de vue physique et chimique que la SBH dépende à la fois du semiconducteur et du métal. C'est dans cette optique que Tung [37] a développé une nouvelle théorie basée sur des analyses physico-chimiques pour quantifier le FLP. Lorsqu'un métal est en contact avec un semiconducteur, des liaisons chimiques apparaissent entre les

deux. Lorsque la jonction est de type poly-cristalline, la géométrie des liaisons change en fonction des grains ; elle n'est pas constante sur toute l'interface (Fig. 2:10). Le dipôle d'interface varie donc localement. L'interface peut donc être considérée comme une molécule géante dont on peut évaluer la charge :

$$\phi_{Bp}^0 = \gamma_B \cdot (I_S - \phi_M) + (1 - \gamma_B) \cdot \frac{E_G}{2} \quad \text{eq. 2-13}$$

$$\gamma_B = 1 - \frac{e^2 \cdot d_{MS} \cdot N_B}{\epsilon_{ii} \cdot (E_g + \kappa)} \quad \text{eq. 2-14}$$

où  $N_B$  représente la densité de liaisons chimiques entre le métal et le semiconducteur,  $d_{MS}$  est la distance entre les atomes métalliques et du semiconducteur à l'interface et  $\kappa$  est la somme des interactions entre les différentes liaisons à l'interface.

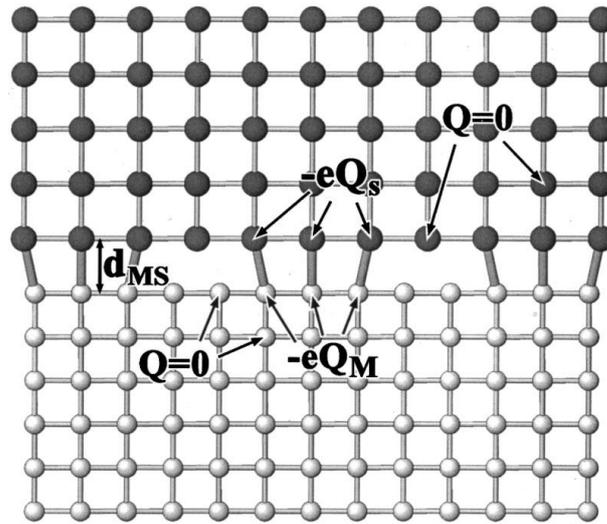


Fig. 2:10 Représentation schématique en vue de coupe d'une interface métal/semiconducteur.

Les équations eq. 2-10 et eq. 2-13 ont sensiblement la même forme bien qu'elles aient été obtenues à partir d'hypothèses bien différentes. La différence entre ces différents modèles est essentiellement visible dans les expressions de  $\gamma_{GS}$  et  $\gamma_B$ .

### 2.3 Ingénierie de la hauteur de barrière

Nous avons démontré dans les paragraphes précédents que la dépendance entre l'intensité du courant et la hauteur de barrière Schottky est très forte, quelque soit le mécanisme de transport. La réduction de la hauteur de la barrière Schottky est donc un enjeu important pour la viabilité du module de jonction de type Schottky. Dans cette section, nous étudions deux techniques permettant de réduire cette barrière de potentiel. Ces deux méthodes consistent à modifier la position du bord de bande le plus proche du niveau de Fermi métallique ; de manière globale pour le silicium contraint ou de manière locale pour la ségrégation de dopant.

### 2.3.1 Silicium Contraint

Cette section a pour objectif d'introduire les définitions et les principales propriétés des grandeurs permettant de décrire quantitativement l'état mécanique du silicium. Dans un premier temps, nous décrirons les tenseurs de contrainte et de déformation. Puis, nous introduirons la loi de Hooke permettant de relier les deux tenseurs précédemment cités. Enfin, nous étudierons des cas particuliers illustrant l'anisotropie des propriétés mécaniques du silicium. Une fois ces notions définies, nous comparerons deux méthodes différentes permettant d'appliquer une contrainte au silicium. Ensuite, nous étudierons l'impact des contraintes mécaniques sur les bandes d'énergie du silicium.

#### 2.3.1.1 Théorie

#### 2.3.1.2 Tenseur de contrainte

Une contrainte mécanique représente une force par unité de surface. Elle est exprimée en Pa ou N/m<sup>2</sup> dans le Système International. Par convention, une contrainte en tension est comptée positivement alors qu'une contrainte en compression est comptée négativement. Le tenseur des contraintes est un tenseur de rang 2 tel que :

$$[\sigma_{ij}] = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{21} & \sigma_{22} & \sigma_{23} \\ \sigma_{31} & \sigma_{32} & \sigma_{33} \end{bmatrix}_0 \quad \text{eq. 2-15}$$

$\sigma_{ii}$  est une contrainte normale et  $\sigma_{ij}$  est une contrainte de cisaillement ( $i \neq j$ ). Pour visualiser les neuf composantes de ce tenseur, considérons un parallélépipède infiniment petit autour d'un point P situé dans le canal d'un transistor MOSFET, lui-même soumis à des forces extérieures F (Fig. 2:11). Sur chaque face de ce volume, la matière située à l'extérieur exerce une force qui peut être décomposée en trois composantes. La contrainte normale est parallèle à l'axe  $OX_2$  alors que les contraintes de cisaillement sont perpendiculaires à  $OX_2$ .

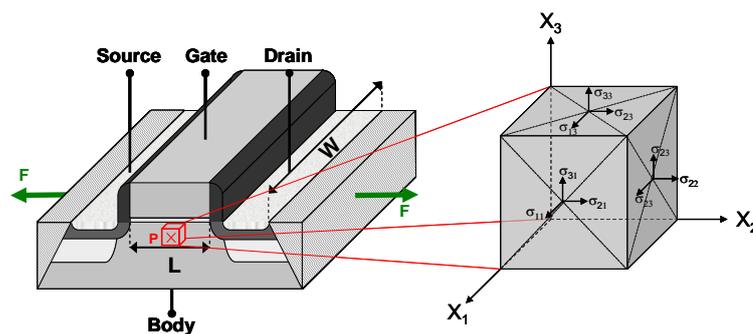
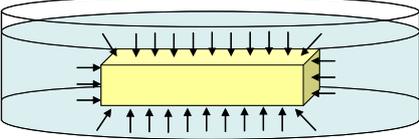
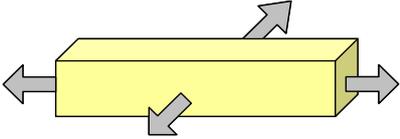


Fig. 2:11 Définitions et notation des composantes du tenseur de contrainte d'un point du canal d'un transistor MOSFET.

Lorsque le tenseur de contrainte à une forme particulière, une terminologie particulière lui est donnée. Le Tableau 2:3 répertorie les contraintes les plus communément utilisées.

Tableau 2:3 Tenseurs et schéma représentatif des contraintes les plus communément utilisées.

Contrainte Hydrostatique	Contrainte uniaxiale	Contrainte biaxiale
$[\sigma_{ij}^h] = \begin{bmatrix} \sigma_{hydr.} & 0 & 0 \\ 0 & \sigma_{hydr.} & 0 \\ 0 & 0 & \sigma_{hydr.} \end{bmatrix}$	$[\sigma_{ij}^u] = \begin{bmatrix} \sigma_{uniax.} & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$	$[\sigma_{ij}^b] = \begin{bmatrix} \sigma_{biax.} & 0 & 0 \\ 0 & \sigma_{biax.} & 0 \\ 0 & 0 & 0 \end{bmatrix}$
		

Si le système est statique, i.e. le champ de moment est nul, le tenseur de contrainte est symétrique. Dans ce cas, on peut dire que :

$$\sigma_{i,j} = \sigma_{j,i} \text{ et donc } [\sigma_{ij}] = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{bmatrix}_0 \quad \text{eq. 2-16}$$

Un tenseur de contrainte quelconque peut toujours être décomposé en une somme de deux tenseurs : un tenseur hydrostatique et un tenseur déviateur. Considérons le tenseur de contrainte défini par l'éq. 2-15. La décomposition précédemment définie donne :

$$[\sigma_{ij}] = [\sigma_{ij}^{hydr.}] + [\sigma_{ij}^{dev.}] \quad \text{eq. 2-17}$$

Le tenseur de contrainte hydrostatique est défini tel que :

$$[\sigma_{ij}^{hydr.}] = \begin{bmatrix} \sigma_{hydr.} & 0 & 0 \\ 0 & \sigma_{hydr.} & 0 \\ 0 & 0 & \sigma_{hydr.} \end{bmatrix} \quad \text{eq. 2-18}$$

avec  $\sigma_{hydr.}$  la trace de  $[\sigma_{ij}]$  telle que :

$$\sigma_{hydr.} = \frac{\sigma_{11} + \sigma_{22} + \sigma_{33}}{3} \quad \text{eq. 2-19}$$

Le tenseur de contrainte déviateur est défini par :

$$[\sigma_{ij}^{dev.}] = \begin{bmatrix} \frac{2 \cdot \sigma_{11} - \sigma_{22} - \sigma_{33}}{3} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \frac{2 \cdot \sigma_{22} - \sigma_{11} - \sigma_{33}}{3} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \frac{2 \cdot \sigma_{33} - \sigma_{11} - \sigma_{22}}{3} \end{bmatrix}_0 \quad \text{eq. 2-20}$$

Chacun de ces tenseurs de contrainte possède une signification physique particulière. Le tenseur hydrostatique correspond à la partie de la contrainte ne modifiant que le volume du matériau sans modifier sa symétrie. Le tenseur déviateur décrit quant à lui la distorsion du matériau. Plus généralement, il est intéressant d'introduire les effets des contraintes hydrostatiques et déviateur sur la structure de bande du semiconducteur. L'application d'une

contrainte hydrostatique ne modifie que le paramètre de maille du matériau ce qui implique un décalage de l'ensemble des bandes, i.e. l'ensemble des bandes de conduction ( $\Delta_2$  et  $\Delta_4$ ) et l'ensemble des bandes de valence (*heavy hole*, *light hole* et *split off*). Ainsi, seule la largeur de la bande interdite est modifiée. La contrainte déviatrice modifie plus profondément la structure de bande puisque les couplages intra bandes sont perturbés.

### 2.3.1.3 Tenseur de déformation

Lorsqu'un matériau est soumis à une contrainte, il se déforme. Cette déformation dépend de plusieurs paramètres comme les propriétés mécaniques du matériau et la direction de la contrainte. Les matériaux cristallins, et plus particulièrement le silicium, présentent des propriétés fortement anisotropes. Ainsi, une déformation relative à une contrainte appliquée dans une direction particulière sera différente d'une déformation induite par une contrainte appliquée dans une autre direction. Les déformations appliquées dans le domaine de la microélectronique sont faibles par rapport à la limite d'élasticité du semiconducteur. Le matériau reste donc dans le domaine élastique, i.e. la déformation n'est pas irréversible. Par conséquent, la relation reliant la déformation à la contrainte est linéaire.

On définit le tenseur de déformation tel que :

$$[\varepsilon_{ij}] = \begin{bmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{12} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{13} & \varepsilon_{23} & \varepsilon_{33} \end{bmatrix} \quad \text{eq. 2-21}$$

Comme pour le tenseur de contrainte, il est possible de le décomposer en un état de déformation hydrostatique  $\varepsilon^{hydr.}$  et un état de déformation déviateur  $\varepsilon^{dev}$  tel que :

$$[\varepsilon_{ij}] = [\varepsilon_{ij}^{hydr.}] + [\varepsilon_{ij}^{dev.}] \quad \text{eq. 2-22}$$

### 2.3.1.4 Tenseur d'élasticité – Loi de Hooke

Dans la théorie de l'élasticité linéaire, la relation reliant les contraintes mécaniques aux déformations est linéaire. L'objet mathématique les reliant est un tenseur de rang 4, contenant 81 composantes. On appelle loi de Hooke les deux relations suivantes :

$$[\sigma_{ij}] = [C_{ijkl}] \cdot [\varepsilon_{kl}] \quad \text{eq. 2-23}$$

$$[\varepsilon_{ij}] = [S_{ijkl}] \cdot [\sigma_{kl}] \quad \text{eq. 2-24}$$

Les composantes  $C_{ijkl}$  et  $S_{ijkl}$  sont appelées modules d'élasticité et compliances élastiques respectivement.

Compte tenu que les tenseurs de contrainte et de déformations sont symétriques, les tenseurs d'élasticité et de compliance le sont également. Cela se traduit par les relations suivantes :

$$\begin{cases} S_{ijkl} = S_{ijlk} \\ S_{ijkl} = S_{jikl} \end{cases} \quad \text{et} \quad \begin{cases} C_{ijkl} = C_{ijlk} \\ C_{ijkl} = C_{jikl} \end{cases} \quad \text{eq. 2-25}$$

Dans ce cas particulier, il est possible d'utiliser la notation de Vogt qui permet de réduire le nombre d'indices utilisés pour décrire un tenseur symétrique. Cette notation permet notamment de représenter sous une forme matricielle des tenseurs d'ordre 3 ou 4. Ainsi, les

tenseurs de contraintes et de déformations peuvent s'écrire sous la forme de vecteurs à 6 composantes :

$$\begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix} = \begin{bmatrix} \sigma_{11} \\ \sigma_{22} \\ \sigma_{33} \\ \sigma_{23} \\ \sigma_{13} \\ \sigma_{12} \end{bmatrix} = \begin{bmatrix} \sigma_{11} & \sigma_{12} & \sigma_{13} \\ \sigma_{12} & \sigma_{22} & \sigma_{23} \\ \sigma_{13} & \sigma_{23} & \sigma_{33} \end{bmatrix} \text{ et } \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \\ \varepsilon_5 \\ \varepsilon_6 \end{bmatrix} = \begin{bmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ \varepsilon_{23} \\ \varepsilon_{13} \\ \varepsilon_{12} \end{bmatrix} = \begin{bmatrix} \varepsilon_{11} & \varepsilon_{12} & \varepsilon_{13} \\ \varepsilon_{12} & \varepsilon_{22} & \varepsilon_{23} \\ \varepsilon_{13} & \varepsilon_{23} & \varepsilon_{33} \end{bmatrix} \quad \text{eq. 2-26}$$

La convention de simplification des indices est la suivante :

$$\begin{aligned} 11 &\Leftrightarrow 1 & 23 &\Leftrightarrow 4 \\ 22 &\Leftrightarrow 2 & 13 &\Leftrightarrow 5 \\ 33 &\Leftrightarrow 3 & 12 &\Leftrightarrow 6 \end{aligned} \quad \text{eq. 2-27}$$

Grâce à cette convention, il est possible de d'écrire la loi de Hooke sous forme matricielle :

$$\begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \\ \varepsilon_5 \\ \varepsilon_6 \end{bmatrix}_0 = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} & S_{15} & S_{16} \\ S_{21} & S_{22} & S_{23} & S_{24} & S_{25} & S_{26} \\ S_{31} & S_{32} & S_{33} & S_{34} & S_{35} & S_{36} \\ S_{41} & S_{42} & S_{43} & S_{44} & S_{45} & S_{46} \\ S_{51} & S_{52} & S_{53} & S_{54} & S_{55} & S_{56} \\ S_{61} & S_{62} & S_{63} & S_{64} & S_{65} & S_{66} \end{bmatrix}_0 \cdot \begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix}_0 \quad \text{et} \quad \begin{bmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{bmatrix}_0 = \begin{bmatrix} c_{11} & c_{12} & c_{13} & c_{14} & c_{15} & c_{16} \\ c_{21} & c_{22} & c_{23} & c_{24} & c_{25} & c_{26} \\ c_{31} & c_{32} & c_{33} & c_{34} & c_{35} & c_{36} \\ c_{41} & c_{42} & c_{43} & c_{44} & c_{45} & c_{46} \\ c_{51} & c_{52} & c_{53} & c_{54} & c_{55} & c_{56} \\ c_{61} & c_{62} & c_{63} & c_{64} & c_{65} & c_{66} \end{bmatrix}_0 \cdot \begin{bmatrix} \varepsilon_1 \\ \varepsilon_2 \\ \varepsilon_3 \\ \varepsilon_4 \\ \varepsilon_5 \\ \varepsilon_6 \end{bmatrix}_0 \quad \text{eq. 2-28}$$

ce qui équivaut à :

$$\begin{cases} [\varepsilon_m] = [S_{mn}] \cdot [\sigma_n] \\ [\sigma_m] = [C_{mn}] \cdot [\varepsilon_n] \end{cases} \quad \text{avec} \quad \begin{matrix} m=1 \rightarrow ij=11 & n=1 \rightarrow kl=11 \\ m=2 \rightarrow ij=22 & n=2 \rightarrow kl=22 \\ m=3 \rightarrow ij=33 & n=3 \rightarrow kl=33 \\ m=4 \rightarrow ij=23 & n=4 \rightarrow kl=23 \\ m=5 \rightarrow ij=13 & n=5 \rightarrow kl=13 \\ m=6 \rightarrow ij=12 & n=6 \rightarrow kl=12 \end{matrix} \quad \text{et} \quad \text{eq. 2-29}$$

Il est encore possible simplifier cette relation grâce à des arguments de symétrie des cristaux m3m dont fait partie le silicium [44]. On obtient alors :

$$[S_{mn}] = \begin{bmatrix} S_{11} & S_{12} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{11} & S_{12} & 0 & 0 & 0 \\ S_{12} & S_{12} & S_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & S_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & S_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & S_{44} \end{bmatrix}_0 \quad \text{avec} \quad S_{mn} = \begin{cases} S_{ijkl} & \text{pour } m \text{ et } n = 1, 2 \text{ ou } 3 \\ 2 \cdot S_{ijkl} & \text{pour } m \text{ ou } n = 4, 5 \text{ ou } 6 \\ 4 \cdot S_{ijkl} & \text{pour } m \text{ et } n = 4, 5 \text{ ou } 3 \end{cases} \quad \text{eq. 2-30}$$

$$[C_{mn}] = \begin{bmatrix} c_{11} & c_{12} & c_{12} & 0 & 0 & 0 \\ c_{12} & c_{11} & c_{12} & 0 & 0 & 0 \\ c_{12} & c_{12} & c_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & c_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & c_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & c_{44} \end{bmatrix}_0 \quad \text{avec} \quad C_{mn} = C_{ijkl} \text{ pour } m,n=(1,\dots,6) \quad \text{eq. 2-31}$$

La relation reliant les deux tenseurs d'élasticité et de compliance est :

$$C_{ij} = S_{ij}^{-1} \quad \text{eq. 2-32}$$

Dans le cas du silicium, on obtient les relations suivantes :

$$S_{11} = \frac{C_{11} + C_{12}}{(C_{11} - C_{12}) \cdot (C_{11} + 2 \cdot C_{12})}$$

$$S_{12} = \frac{-C_{12}}{(C_{11} - C_{12}) \cdot (C_{11} + 2 \cdot C_{12})} \quad \text{eq. 2-33}$$

$$S_{44} = \frac{1}{C_{44}}$$

L'analyse des propriétés mécaniques du silicium nous a permis de considérablement simplifier l'expression du tenseur d'élasticité. Le Tableau 2:4 résume le cheminement mathématique permettant une telle simplification. Le Tableau 2:5 répertorie les différentes valeurs numériques des constantes élastiques du silicium et du germanium [45].

Tableau 2:4 Résumé des différentes simplifications apportées aux tenseurs de contrainte, de déformation, d'élasticité et de compliance.

Origines des Simplifications				
	Systeme statique	Notation de Vogt	Symétrie du silicium	
<b>[σ]</b>	tenseur de rang 2	tenseur de rang 2 symétrique	vecteur colonne 6 composantes	vecteur colonne 6 composantes
<b>[ε]</b>	tenseur de rang 2	tenseur de rang 2 symétrique	vecteur colonne 6 composantes	vecteur colonne 6 composantes
<b>[S]</b>	tenseur de rang 4	tenseur de rang 4 symétrique	matrice 6x6	matrice 6x6 symétrique 24 composantes nulles
<b>[C]</b>	tenseur de rang 4	tenseur de rang 4 symétrique	matrice 6x6	matrice 6x6 symétrique 24 composantes nulles

Tableau 2:5 Valeurs numériques des constantes élastiques du silicium et du germanium (extrait de [34]).

Matériaux	Compliances (x10 <sup>-13</sup> Pa <sup>-1</sup> )			Élasticités (x10 <sup>9</sup> Pa)		
	S <sub>11</sub>	S <sub>12</sub>	S <sub>44</sub>	C <sub>11</sub>	C <sub>12</sub>	C <sub>44</sub>
Si	76,8	-21,4	126,0	165,7	63,9	79,6
Ge	96,4	-26,0	149,0	129,2	47,9	67,0

### **2.3.1.5 Comparaison entre les contraintes uniaxiales induites par le procédé de fabrication et les contraintes biaxiales induites par le substrat**

Les raisons ayant poussé les chercheurs à étudier l'influence des contraintes sur le fonctionnement du transistor MOSFET viennent des recherches réalisées au début des années 80 sur des hétérostructures multicouches Si/Si<sub>1-x</sub>Ge<sub>x</sub> dopées type n et p [46]. Ces études ont démontré une augmentation de la mobilité des électrons et des trous. Les auteurs de ces recherches ont suspecté que les contraintes engendrées par les désaccords de maille entre les différentes couches étaient à l'origine de ces améliorations. Le mécanisme responsable de ces progrès a été expliqué par Bardeen et Shockley grâce à la théorie des potentiels de déformation [47]. Cette théorie a été confortée par des mesures de coefficients piézorésistifs réalisées par Smith en 1954 [48]. La première application de cette découverte fut la réalisation de capteurs (ou jauge) de contrainte permettant de détecter un déplacement grâce à l'utilisation de l'effet piézorésistif du silicium [49].

L'utilisation des contraintes dans les dispositifs semiconducteurs est donc une voie possible pour l'amélioration des performances. La compréhension des phénomènes physiques engendrés par son application est essentielle. Cependant, la maîtrise de son application sur un dispositif est également indispensable. Il existe plusieurs manières de générer des contraintes sur un substrat de silicium. La liste (non exhaustive) ci-dessous répertorie l'ensemble des générateurs de contraintes :

- vibration du réseau cristallin induit par les phonons
- désaccord de maille entre deux couches cristallines épitaxiales
- contrainte appliquée par le milieu extérieur
- contrainte intrinsèque d'une couche fine déposée sur le substrat

Les techniques utilisables dans un environnement de production de masse sont les contraintes appliquées par dépôt de couche fine et par désaccord de maille entre deux couches épitaxiales car elles sont compatibles avec les procédés de fabrication CMOS. Le type de contrainte (en compression ou en tension, biaxiale ou uniaxiale) et son orientation vis-à-vis du réseau cristallin dépendent de la technique utilisée. L'utilisation de contraintes uniaxiales induites par les procédés de fabrication a été privilégiée par rapport aux contraintes biaxiales induites par le substrat du fait d'une amélioration plus importante de la mobilité lorsque le champ électrique vertical est important [50–54]. De plus, cette solution permet d'adapter le type de contrainte (en compression ou en tension) en fonction du type de transistor sur un même substrat (Fig. 2:12). Cependant, l'essor de ce type d'intégration est essentiellement motivé par l'augmentation de la mobilité des porteurs. Dans le cadre de cette thèse, l'utilisation des contraintes est justifiée par la modification de la structure de bande du silicium et par les levées de dégénérescence des sous-bandes. Il est donc essentiel de reconsidérer l'application de contraintes biaxiales comme un possible facteur d'amélioration pour un module de jonction Schottky et ne pas se restreindre aux techniques les plus utilisées [51]. Le paragraphe suivant est donc focalisé sur l'impact des différentes contraintes précédemment citées sur la structure de bande du silicium.

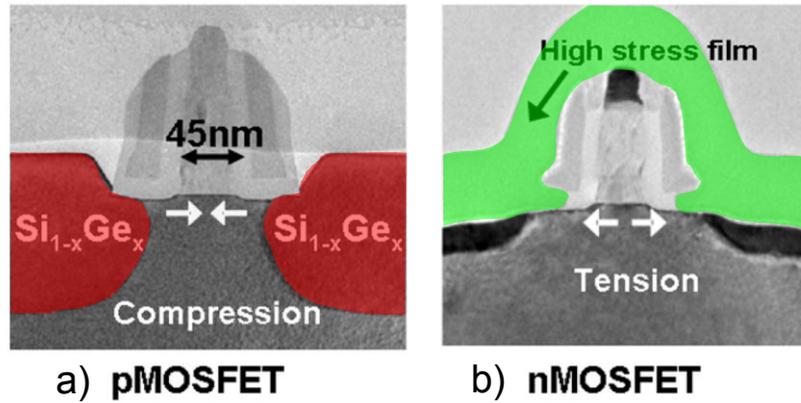


Fig. 2:12 Images TEM de transistors MOSFET dont le canal est soumis à une contrainte en compression (a) ou en tension (b) (images extraites de [40]). La contrainte est issue du désaccord de maille entre Si et Si<sub>1-x</sub>Ge<sub>x</sub> pour (a) et d'une contrainte résiduelle issue d'une couche déposée sur le substrat.

### 2.3.1.6 Simulations

L'objet de ce paragraphe porte sur la détermination de l'évolution de la structure de bande du silicium en fonction de la contrainte, i.e. du type et de l'intensité.

#### 2.3.1.6.1 Structure cristalline et zone de Brillouin

Le silicium est un matériau semiconducteur dont le réseau cristallin est de type diamant. Ce type de structure consiste en l'enchevêtrement de deux mailles élémentaires de type cubique face centré (CFC). Cependant, quatre des huit sites tétraédriques sont inoccupés. Pour résumer, un cristal de type diamant (Fig. 2:13-a) comporte des atomes :

- aux 8 sommets d'un cubes
- aux centres des quatre faces
- dans quatre des huit sites tétraédriques du cube

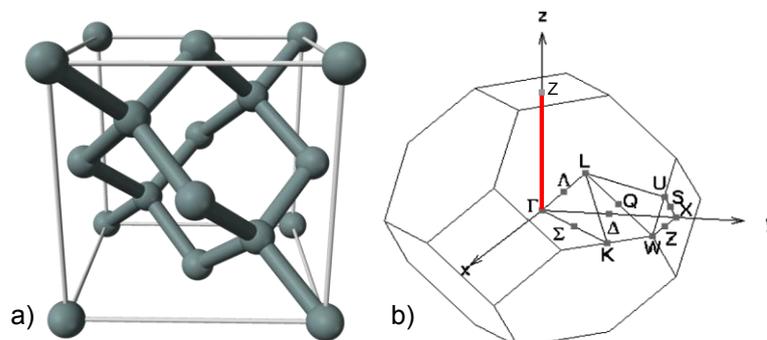


Fig. 2:13 Structure cristalline (a) et première zone de Brillouin (b) du silicium.

La nature périodique du réseau cristallin permet de déterminer un réseau réciproque dans l'espace des  $\vec{k}$ . Dans ce réseau réciproque, on peut déterminer l'équivalent de la maille primitive. Cette zone, appelé zone de Brillouin, permet de complètement caractériser le comportement des solutions  $E(\vec{k})$  de l'équation de Schrödinger. La première zone de Brillouin d'un atome correspond au volume délimité par la position des points équidistants de cet atome et de ses plus proches voisins. La Fig. 2:13-b représente cette première zone de Brillouin du silicium. Cette représentation permet de distinguer différents points et axes de symétrie résumés dans le Tableau 2:6.

Tableau 2:6 Points et axes de haute symétrie de la zone de Brillouin du silicium.

Points		Axes		
Label	Coordonnées cartésiennes	Label	Coordonnées cartésiennes	Variation
$\Gamma$	(0, 0, 0)	$\Delta$	(0, 2 $\pi$ x/a, 0)	0 < x < 1
X	(0, 2 $\pi$ /a, 0)	Z	( $\frac{1}{2}$ x $\pi$ /a, 2 $\pi$ /a, 0)	0 < x < 1
W	( $\pi$ /a, 2 $\pi$ /a, 0)	Q	( $\pi$ /a, (2 - x) $\pi$ /a, x $\pi$ /a)	0 < x < 1
L	( $\pi$ /a, $\pi$ /a, $\pi$ /a)	$\Lambda$	(x $\pi$ /a, x $\pi$ /a, x $\pi$ /a)	0 < x < 1
K = U	(3/2 $\pi$ /a, 3/2 $\pi$ /a, 0)	$\Sigma$	(2 $\pi$ x/a, 2 $\pi$ x/a, 0)	0 < x < 3/4
X'	(2 $\pi$ /a, 2 $\pi$ /a, 0)	S	(2 $\pi$ x/a, 2 $\pi$ x/a, 0)	3/4 < x < 1

avec a le paramètre de maille du silicium

Pour obtenir le diagramme de bande d'un cristal, il faut résoudre l'équation de Schrödinger suivante :

$$H \cdot \psi = \left[ \frac{\vec{p}^2}{2 \cdot m_0} + V(\vec{r}) \right] \cdot \psi = E \cdot \psi \quad \text{eq. 2-34}$$

où  $\vec{p} = i \cdot \hbar \cdot \vec{\nabla}$  est l'opérateur quantité de mouvement (également appelé l'observable impulsion),  $m_0$  la masse de l'électron libre et  $V(\vec{r})$  le potentiel cristallin. Dans le silicium, les solutions de l'équation de Schrödinger sont des fonctions de Bloch de la forme suivante :

$$\psi_{n,k}(\vec{r}) = u_{n,k}(\vec{r}) \cdot e^{i\vec{k} \cdot \vec{r}} \quad \text{eq. 2-35}$$

Cette solution est le produit d'une partie périodique  $u_{n,k}(\vec{r})$  et d'une onde plane  $e^{i\vec{k} \cdot \vec{r}}$ . Pour calculer les niveaux d'énergies dans le semiconducteur, il reste à résoudre le système suivant :

$$E_{n,k} = \frac{\langle \psi_{n,k}(r) | H | \psi_{n,k}(r) \rangle}{\langle \psi_{n,k}(r) | \psi_{n,k}(r) \rangle} \quad \text{eq. 2-36}$$

Pour décrire la structure de bande du silicium, les axes les plus communément utilisés sont :

- l'axe  $\Delta$  reliant les points  $\Gamma$  [0, 0, 0] et X  $\left[ \frac{2\pi}{a}, 0, 0 \right]$
- l'axe  $\Lambda$  reliant les points  $\Gamma$  [0, 0, 0] et L  $\left[ \frac{\pi}{a}, \frac{\pi}{a}, \frac{\pi}{a} \right]$
- l'axe  $\Sigma$  reliant les points  $\Gamma$  [0, 0, 0] et K  $\left[ \frac{3\pi}{2a}, \frac{3\pi}{2a}, 0 \right]$

La Fig. 2:14-a représente la structure du silicium suivant ces trois directions. Sur cette figure, on remarque que le maximum des différentes bandes de valence se situe en  $\Gamma$ , i.e. le centre de

la zone de Brillouin. De plus, cette position est un point de convergence de deux bandes de valence. Cette convergence est appelée dégénérescence. On remarque également qu'une des deux bandes présente un plus fort rayon de courbure. Elle est appelée bande des trous légers ou « *Light Hole* » (LH), conformément à sa masse effective plus faible. L'autre bande dégénérée est appelée bande des trous lourds ou « *Heavy Hole* » (HH). Enfin, il existe une troisième bande de valence située à 0.044eV en dessous de ce point de dégénérescence et qui est appelée la bande de « *split off* ».

Le minimum des bandes de conduction se situe sur l'axe  $\Delta$  à la position  $0.85 \cdot \left[ \frac{2\pi}{a}, 0, 0 \right]$ .

Cependant, il existe six minima pour la première bande de conduction, correspondant aux six directions équivalentes ([1 0 0], [-1 0 0], [0 1 0], [0 -1 0], [0 0 1] et [0 0 -1]). On appelle vallées  $\Delta_4$  l'ensemble de vallées située dans le plan (001) et vallées  $\Delta_2$  les deux vallées dont l'axe de révolution est perpendiculaire au plan (001).

Bien que la Fig. 2:14-a soit assez représentative de la structure totale, elle ne décrit pas toutes la zone de Brillouin car les vallées  $\Delta_2$  sont manquantes. La Fig. 2:14-b regroupe l'ensemble des informations nécessaires puisque l'évolution des bandes dans la direction [0 0 1] est présente. On y retrouve donc les trois principales bandes de valences (HH, LH et SO) ainsi que les six vallées de la bande de conduction ( $\Delta_4$  et  $\Delta_2$ ). Pour décrire l'évolution de la structure de bande du silicium en fonction de l'application d'une contrainte, nous utiliserons par la suite le système d'axes suivant :  $\Delta'$  [100],  $\Delta''$  [001] et  $\Lambda$  [111].

Le silicium est donc un matériau semiconducteur à gap indirect car le minimum de la bande de conduction et le maximum de la bande de valence ne sont pas alignés. La détermination du comportement des différentes bandes dans la zone de Brillouin est une opération complexe car elle nécessite la résolution de l'équation de Schrödinger dans un réseau cristallin. Plusieurs approches sont possibles. La première est une approche permettant le calcul de la structure de bande électronique en considérant que la solution de l'équation de Schrödinger peut être approximée comme une superposition d'orbitales atomiques : c'est la méthode de liaison forte ou « *tight binding* » (TB). La seconde méthode englobe quant à elle plusieurs théories permettant de décrire l'évolution des différentes bandes de manière analytique. Ces différentes théories sont en fait des versions modifiées de la théorie du potentiel de déformation adaptées au cas des contraintes homogènes. La théorie du potentiel de déformation a été développée par Bardeen et Shockley pour étudier l'interaction entre les électrons et les phonons acoustiques [55]. Les phonons acoustiques créent une contrainte locale qui modifie le comportement des bandes. Herring et Vogt [56] puis Cardona et Pollak [57] ont généralisé cette théorie au cas des contraintes homogènes pour différents matériaux semiconducteurs. Cependant, cette méthode ne permet de décrire que les évolutions des minima des différentes bandes. Il est possible de déterminer l'évolution des différentes bandes du silicium dans l'ensemble de la zone de Brillouin en combinant la théorie des potentiels de déformation et la méthode k.p<sup>1</sup> (Manku et Nathan [58]).

<sup>1</sup> La méthode k.p est une technique de résolution de l'équation de Schrödinger qui s'apparente à un développement limité de la structure de bandes à partir du centre de la zone de Brillouin.

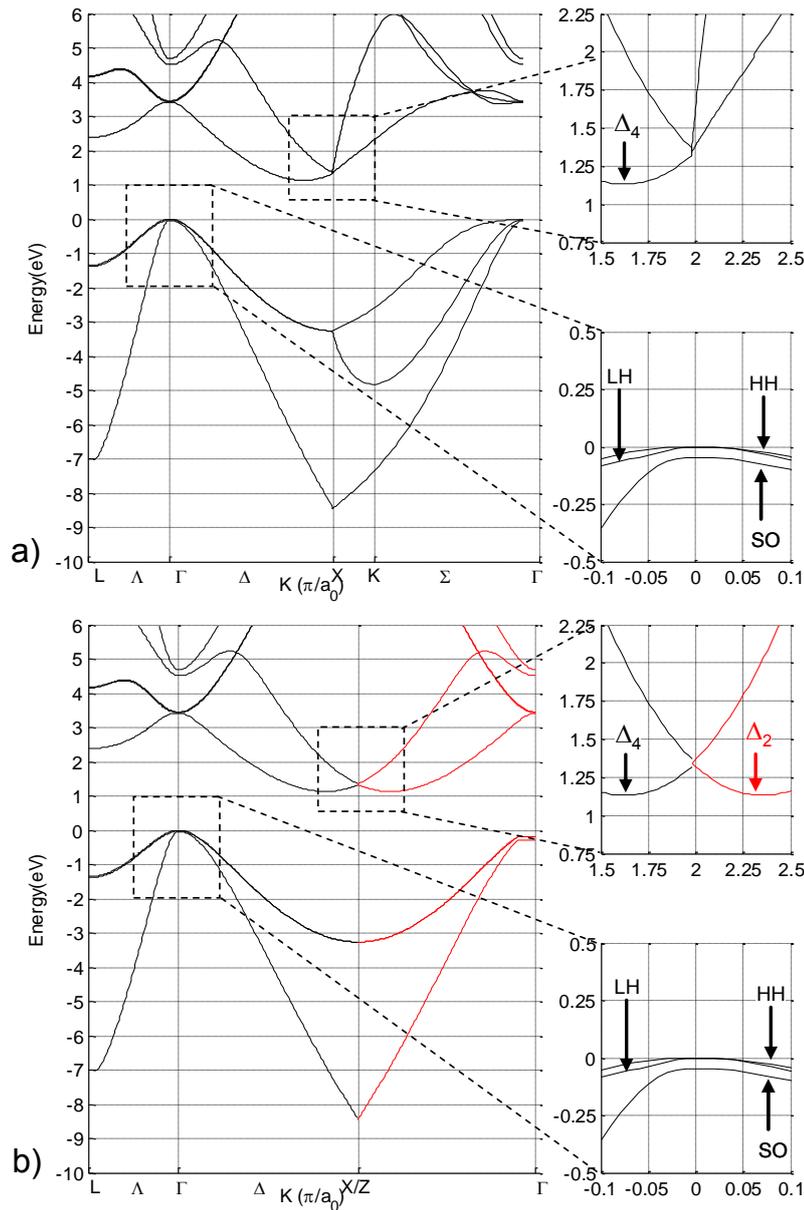


Fig. 2:14 Diagrammes de bandes du silicium suivant les axes (a)  $\Delta$ ,  $\Lambda$  et  $\Sigma$  et (b)  $\Delta'$ ,  $\Delta$  et  $\Lambda$ .

### 2.3.1.6.2 Méthode de liaison forte

Étant donné la complexité de la mise en place d'une telle méthode, nous n'avons pas développé un tel système de résolution numérique. Les résultats présentés ci-dessous sont donc issus de l'application « *Band Structure Lab* » disponible sur le site [www.nanohub.org](http://www.nanohub.org). Cette application permet de calculer la relation de dispersion entre l'énergie et le vecteur d'onde pour des semiconducteurs de formes massives, planaires et unidimensionnelles (nano tube). On peut donc obtenir la structure de bande du silicium en fonction de la direction de croissance mais également en fonction de la contrainte appliquée au semiconducteur. Bien que l'étude détaillée de cette méthode n'ait pas été réalisée, les explications suivantes permettent de comprendre la philosophie et la précision de la théorie de liaison forte.

La méthode de liaison forte est une technique de résolution de l'équation de Schrödinger qui consiste à développer les fonctions d'ondes du cristal sous forme de combinaison linéaires d'orbitales atomiques, en tenant compte du théorème de Bloch. La fonction d'onde peut être écrite sous la forme d'une somme de Bloch d'orbitale atomique. Cette approximation n'est possible que si on considère les électrons comme fortement liés avec l'atome auquel ils appartiennent et que leurs interactions avec les états et les potentiels des atomes environnants sont limitées à leurs plus proches voisins. La précision du modèle utilisé dépend donc du nombre de niveaux d'énergie atomique et du nombre d'orbite atomique pris en compte par le modèle.

La liste ci-dessous énumère les différents modèles ainsi que leurs degrés de complexité :

- $sp^3$  : prise en compte des orbitales 1-s et p-3 permettant de décrire correctement les bandes de valences mais pas le gap indirect du silicium (dimensions de l'Hamiltonien : 8x8) [59].
- $sp^3s^*$  : ajout de l'orbital  $s^*$  dont le rôle est d'interagir avec les états électronique de conduction et de reproduire le gap indirect (dimensions de l'Hamiltonien : 10x10) [60].
- $sp^3s^*d^5$  : ajout des orbitales 5-d pour une meilleure description de la structure autour du point X (dimensions de l'Hamiltonien : 18x18) [61], [62].

L'application précédemment citée utilise un Hamiltonien de type  $sp^3s^*d^5$  pour calculer la structure de bandes du silicium. Il permet également la prise en compte des contraintes de différentes natures. La précision des résultats obtenus et leurs domaines de validité sont donc très bons.

Les diagrammes ci-dessous représentent l'évolution des différentes bandes du silicium en fonction de différentes contraintes. On distingue 4 cas différents :

- contrainte biaxiale en tension appliquée dans le plan (001) (Fig. 2:15-a et Fig. 2:15-b)
- contrainte biaxiale compressive appliquée dans le plan (001) (Fig. 2:16-c et Fig. 2:16-d)
- contrainte uniaxiale en tension appliquée dans la direction [110] (Fig. 2:16-a et Fig. 2:16-b)
- contrainte uniaxiale compressive (Fig. 2:16-c et Fig. 2:16-d)

La déformation est exprimée en %. Il est important de noter que ces différents cas ne sont pas soumis à des contraintes de type hydrostatique. Dans les quatre cas précédemment cités, l'application de la contrainte implique une levée de dégénérescence des bandes de conduction et des bandes de valence. Les bandes de conduction  $\Delta_2$  et  $\Delta_4$  se séparent ainsi que les bandes de valence de trous lourd (HH) et de trous légers (LH). La position de chacune de ces sous bandes par rapport à 0 dépend du type de contrainte. L'augmentation de l'intensité n'influence pas les positions des bandes vis-à-vis des autres mais modifie leurs écarts énergétiques.

L'application d'une contrainte biaxiale en tension implique une remonté de la bande LH alors que les bandes HH et SO reste quasiment stable. Cette même contrainte implique une forte élévation de la bande  $\Delta_4$  et une élévation plus faible de la bande  $\Delta_2$ .

Dans le cas d'une contrainte biaxiale compressive, le positionnement des vallées  $\Delta$  est inversé :  $\Delta_4$  se trouve en dessous de  $\Delta_2$ . De plus, ces deux sous bandes ont tendance à s'abaisser lorsque la contrainte augmente. Pour les bandes de valence, HH et LH se séparent mais restent relativement proche alors que SO s'abaisse fortement.

Dans le cas d'une contrainte uniaxiale en tension, les sous bandes de valences HH et LH remontent mais de manière moins importante que dans le cas d'une contrainte biaxiale en tension. Le comportement des vallées  $\Delta$  est identique mis a part que leurs positions sont inversées, i.e.  $\Delta_4$  se trouve en dessous de  $\Delta_2$ .

Dans le cas d'une contrainte uniaxiale en compression, le comportement de HH en fonction de la contrainte est sensiblement le même que dans le cas d'une contrainte uniaxiale en tension alors que LH et SO s'abaissent. Les vallées  $\Delta$  s'abaissent également et  $\Delta_2$  se trouve en dessous de  $\Delta_4$ .

Les Fig. 2:17-a et Fig. 2:17-b résument l'ensemble des descriptions précédentes car elle trace la position des sous bandes de valence (HH, LH et SO) et des deux bandes de conduction ( $\Delta_2$  et  $\Delta_4$ ) en fonction des différents types de contrainte (biaxiale pour la Fig. 2:17-a et uniaxiale pour la figure Fig. 2:17-b). Son analyse permet de déduire qu'une **contrainte biaxiale en tension** est la plus avantageuse dans le cadre de la réduction de la hauteur de barrière Schottky puisque son application apporte **la plus grande réduction de la largeur de la bande interdite** du silicium.

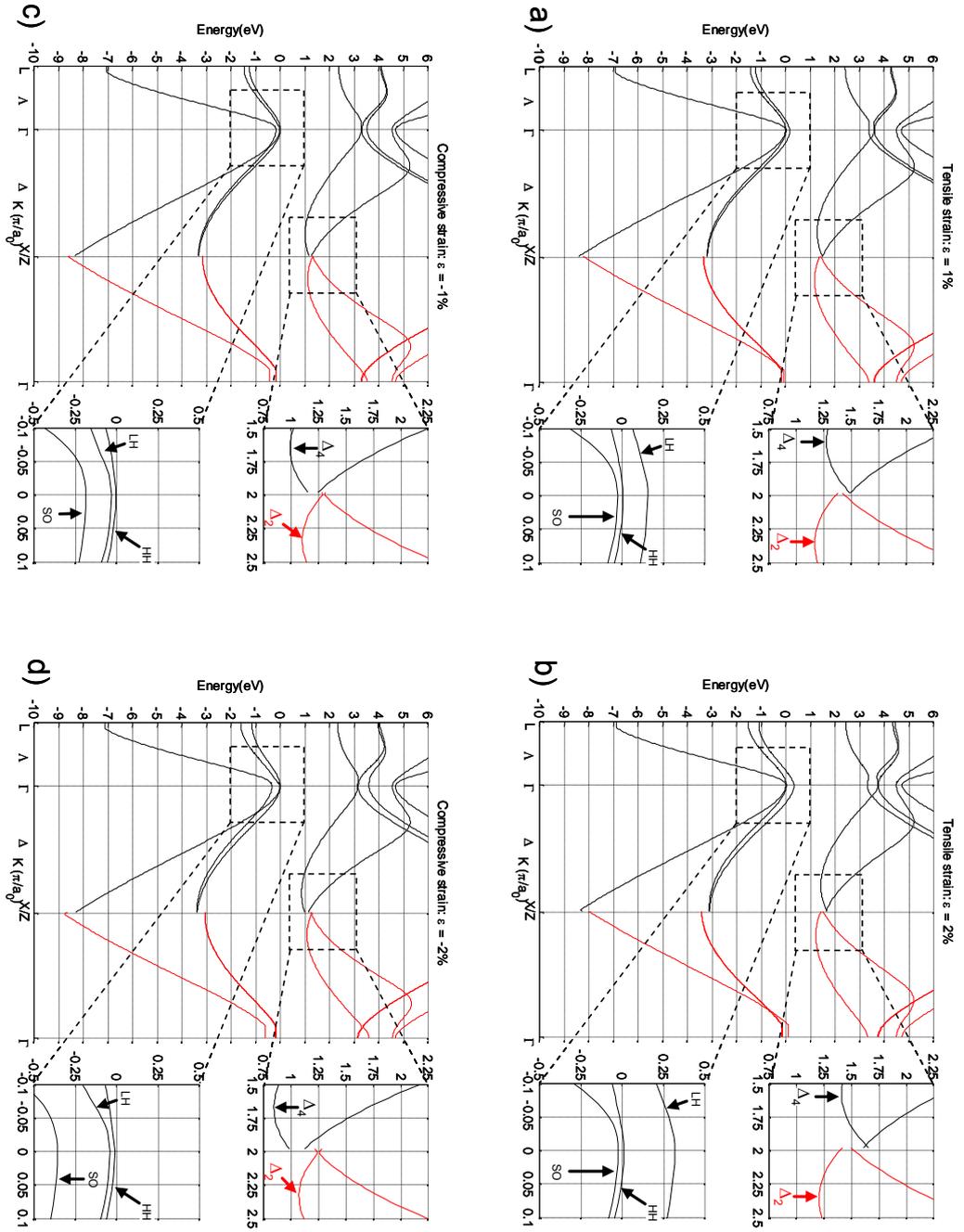


Fig. 2:15 Diagrammes de bandes du silicium, contrainte biaxiale (a et b) en tension et (c et d) en compression

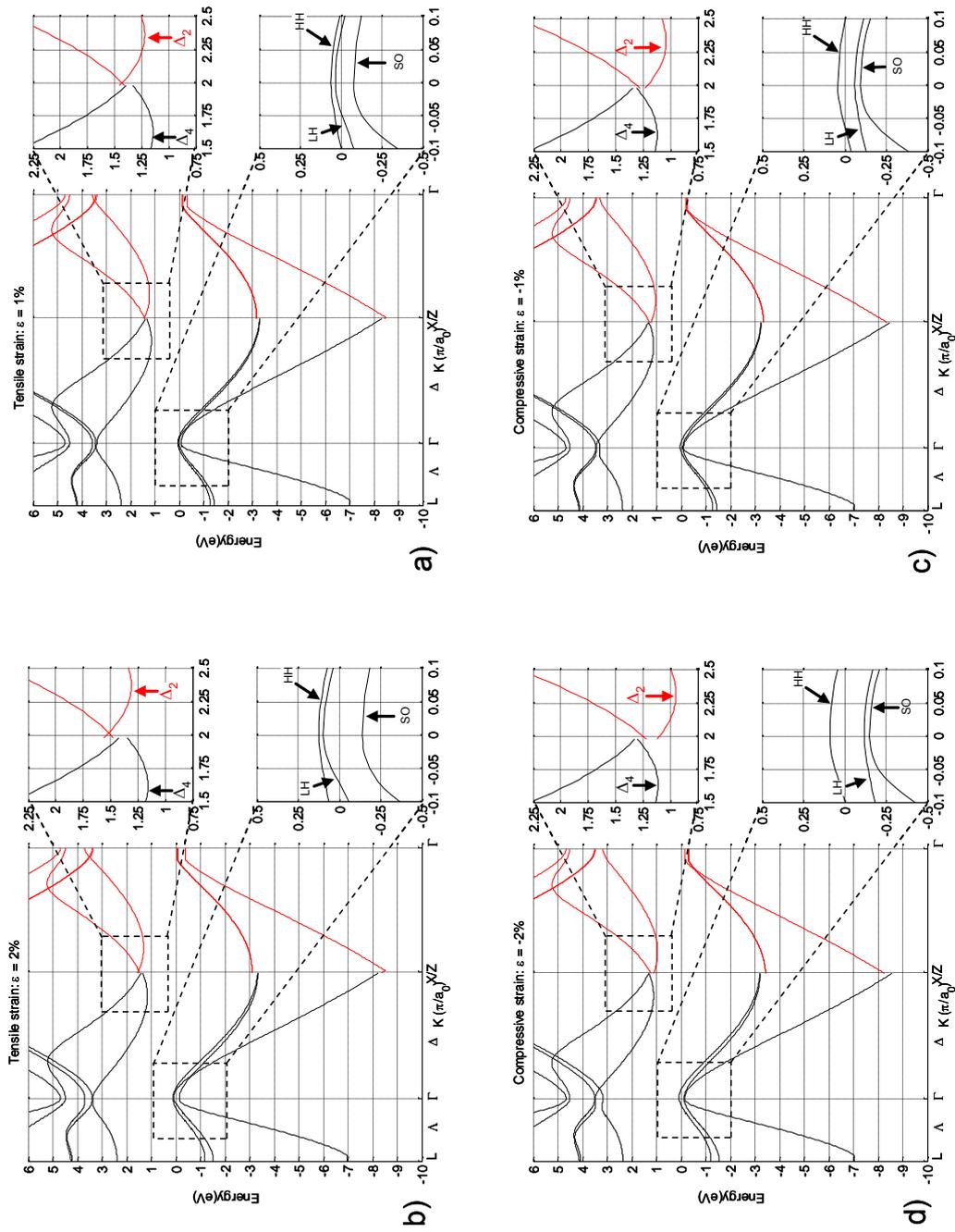


Fig. 2:16 Diagrammes de bandes du silicium. contrainte uniaxiale (a et b) en tension et (c et d) en compression.

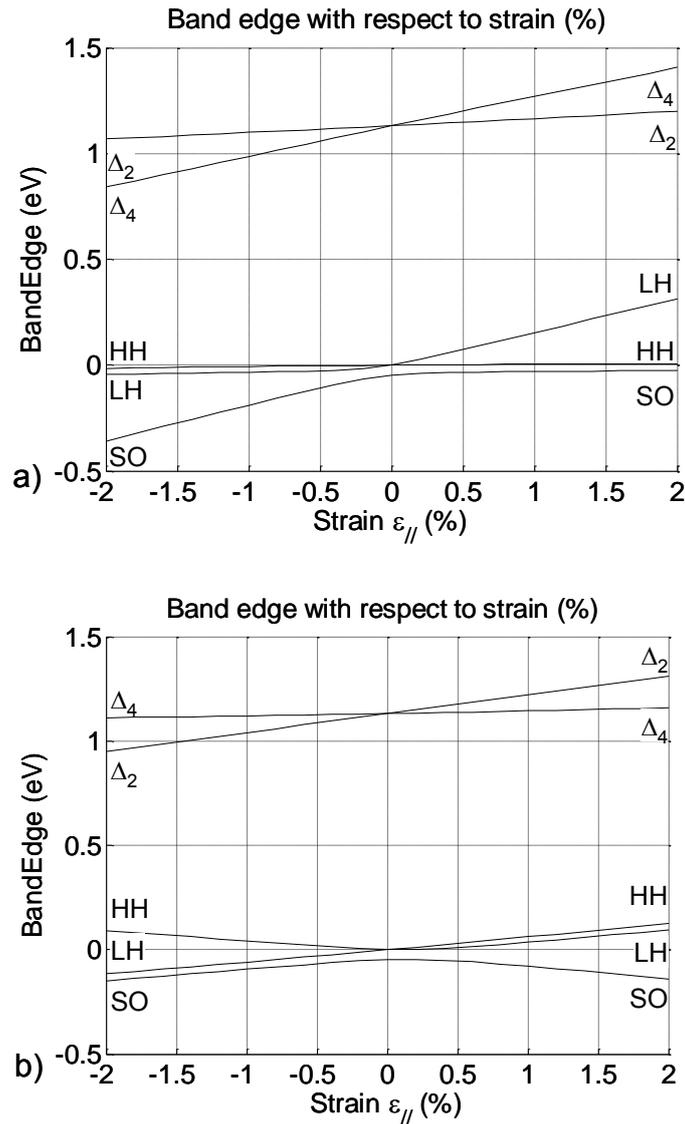


Fig. 2:17 Évolution des différentes bandes de conduction et de valence du silicium lors de l'application d'une contrainte (a) biaxiale appliquée dans le plan (001) ou (b) uniaxiale appliquée dans la direction [110]

### 2.3.1.6.3 Méthode analytique

#### 2.3.1.6.3.1 Bande de conduction

Lorsque la symétrie du silicium est brisée par l'application d'une contrainte, l'équivalence entre les différentes vallées de la bande de conduction disparaît : il y a levée de dégénérescence des bandes de conduction, i.e. certains minima se séparent. Pour décrire analytiquement ces différents effets, nous allons utiliser la théorie du potentiel de déformation, introduite par Herring et Vogt [56]. Cette théorie permet de modéliser l'impact de la déformation du matériau sur les différentes bandes de conduction du silicium.

L'évolution des différentes bandes de conduction dans le silicium non contraint est décrite par :

$$\begin{aligned}
 E_{c,\Delta 4_1}(k) &= \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_x - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_y^2 + k_z^2) \\
 E_{c,\Delta 4_2}(k) &= \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_y - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_x^2 + k_z^2) \\
 E_{c,\Delta 2}(k) &= \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_z - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_x^2 + k_y^2)
 \end{aligned} \tag{eq. 2-37}$$

où  $E_{c,\Delta 4_1}$  représente la paire de vallées ayant comme axe de révolution l'axe [100],  $E_{c,\Delta 4_2}$  représente la paire de vallées ayant comme axe de révolution l'axe [010] et  $E_{c,\Delta 2}$  représente la paire de vallées ayant comme axe de révolution l'axe [001] (Fig. 2:18).  $m_{//}$  et  $m_{\perp}$  représentent les masses effectives longitudinales et transversales des électrons.

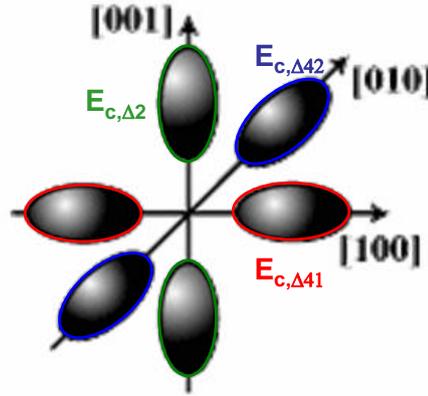


Fig. 2:18 Représentation des surfaces d'iso-énergies de la bande de conduction du silicium. Les six vallées sont représentées et sont regroupées par paire. La paire  $\Delta 4_1$  regroupe les ellipses dont l'axe de révolution est [100], la paire  $\Delta 4_2$  regroupe les ellipses dont l'axe de révolution est [010] et la paire  $\Delta 2$  regroupe les ellipses dont l'axe de révolution est [001].

D'après la théorie du potentiel de déformation, la structure de bande du silicium contraint est décrite par les équations suivantes :

$$\begin{aligned}
 E_{c,\Delta 4_1}(k, \varepsilon) &= \delta E_{c,\Delta 4_1} + \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_x - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_y^2 + k_z^2) + \Xi_m \cdot \hbar^2 \cdot \varepsilon_{yz} \cdot k_y \cdot k_z \\
 E_{c,\Delta 4_2}(k, \varepsilon) &= \delta E_{c,\Delta 4_2} + \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_y - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_x^2 + k_z^2) + \Xi_m \cdot \hbar^2 \cdot \varepsilon_{xz} \cdot k_x \cdot k_z \\
 E_{c,\Delta 2}(k, \varepsilon) &= \delta E_{c,\Delta 2} + \frac{\hbar^2}{2 \cdot m_{//}} \cdot (k_z - k_0)^2 + \frac{\hbar^2}{2 \cdot m_{\perp}} \cdot (k_x^2 + k_y^2) + \Xi_m \cdot \hbar^2 \cdot \varepsilon_{xy} \cdot k_x \cdot k_y
 \end{aligned} \tag{eq. 2-38}$$

$$\begin{aligned}
 \delta E_{c,\Delta 4_1} &= \Xi_d \cdot (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \cdot \varepsilon_{xx} \\
 \delta E_{c,\Delta 4_2} &= \Xi_d \cdot (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \cdot \varepsilon_{yy} \\
 \delta E_{c,\Delta 2} &= \Xi_d \cdot (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) + \Xi_u \cdot \varepsilon_{zz}
 \end{aligned} \tag{eq. 2-39}$$

sont les décalages énergétiques des vallées.  $\Xi_d$  et  $\Xi_u$  sont les potentiels de déformation et  $\varepsilon_{ij}$  sont les composantes du tenseur de déformation. Afin de correspondre à la décomposition exprimée dans l'éq. 2-22, les décalages de chaque vallée peuvent s'écrire :

$$\begin{aligned}\delta E_{c,\Delta 41} &= a_c \cdot \varepsilon_{hydr} + \frac{\Xi_u}{3} \cdot (2 \cdot \varepsilon_{xx} - \varepsilon_{yy} - \varepsilon_{zz}) = \delta E_{c,hydr} + \delta E'_{c,\Delta 41} \\ \delta E_{c,\Delta 42} &= a_c \cdot \varepsilon_{hydr} + \frac{\Xi_u}{3} \cdot (2 \cdot \varepsilon_{yy} - \varepsilon_{xx} - \varepsilon_{zz}) = \delta E_{c,hydr} + \delta E'_{c,\Delta 42} \\ \delta E_{c,\Delta 2} &= a_c \cdot \varepsilon_{hydr} + \frac{\Xi_u}{3} \cdot (2 \cdot \varepsilon_{zz} - \varepsilon_{xx} - \varepsilon_{yy}) = \delta E_{c,hydr} + \delta E'_{c,\Delta 2}\end{aligned}\quad \text{eq. 2-40}$$

avec

$$\delta E_{c,hydr} = \left( \Xi_d + \frac{\Xi_u}{3} \right) \cdot (\varepsilon_{xx} + \varepsilon_{yy} + \varepsilon_{zz}) = a_c \cdot \varepsilon_{hydr} \quad \text{eq. 2-41}$$

et

$$\begin{aligned}\delta E'_{c,\Delta 41} &= \delta E'_{c,\Delta 42} = -\frac{\Xi_u}{3} \cdot (\varepsilon_{\perp} - \varepsilon_{\parallel}) \\ \delta E'_{c,\Delta 2} &= \frac{2 \cdot \Xi_u}{3} \cdot (\varepsilon_{\perp} - \varepsilon_{\parallel})\end{aligned}\quad \text{eq. 2-42}$$

où  $\varepsilon_{\parallel}$  et  $\varepsilon_{\perp}$  représentent les déformations dans le plan d'application de la contrainte ((001) dans ce cas) et les déformations perpendiculaires au plan respectivement.

### 2.3.1.6.3.2 Bande de valence

Dans ce paragraphe, nous allons nous intéresser à deux théories analytiques permettant de décrire l'évolution des bandes de valence en fonction de la contrainte.

## Formulation Analytique de Pollak et Cardona

La formulation analytique présentée ci-dessous a été développée par Pollak et Cardona [63]. Cette formulation présente la particularité de prendre en compte les interactions entre la bande HH et la bande SO. Ces interactions ne sont pas prises en compte dans le modèle développé par Bir et Pikus [64], ce qui le rend incorrect lorsqu'il est utilisé à température ambiante. Il permet donc d'exprimer le décalage des différentes bandes de valence en  $\vec{k} = 0$  pour différents niveaux de contrainte. Dans le cas d'une contrainte en compression uniaxiale selon [001], i.e. en tension biaxiale dans le plan, les décalages peuvent s'écrire sous la forme suivante :

$$\begin{aligned}\delta E_{V,LH} &= -\frac{\Delta_0}{6} + a_v \cdot \varepsilon_{hydr} + \frac{\delta E}{4} + \frac{1}{2} \cdot \sqrt{\Delta_0^2 + \Delta_0 \cdot \delta E + \frac{9}{4} \cdot (\delta E)^2} \\ \delta E_{V,HH} &= \frac{\Delta_0}{3} + a_v \cdot \varepsilon_{hydr} - \frac{\delta E}{2} \\ \delta E_{V,SO} &= -\frac{\Delta_0}{6} + a_v \cdot \varepsilon_{hydr} + \frac{\delta E}{4} - \frac{1}{2} \cdot \sqrt{\Delta_0^2 + \Delta_0 \cdot \delta E + \frac{9}{4} \cdot (\delta E)^2}\end{aligned}\quad \text{eq. 2-43}$$

Dans le cas d'une contrainte en tension uniaxiale selon [001], i.e. en compression biaxiale dans le plan, les décalages peuvent s'écrire sous la forme suivante :

$$\begin{aligned}\delta E_{V,LH} &= -\frac{\Delta_0}{6} + a_v \cdot \varepsilon_{hydr} - \frac{\delta E}{4} + \frac{1}{2} \cdot \sqrt{\Delta_0^2 + \Delta_0 \cdot \delta E + \frac{9}{4} \cdot (\delta E)^2} \\ \delta E_{V,HH} &= \frac{\Delta_0}{3} + a_v \cdot \varepsilon_{hydr} + \frac{\delta E}{2} \\ \delta E_{V,SO} &= -\frac{\Delta_0}{6} + a_v \cdot \varepsilon_{hydr} - \frac{\delta E}{4} - \frac{1}{2} \cdot \sqrt{\Delta_0^2 + \Delta_0 \cdot \delta E + \frac{9}{4} \cdot (\delta E)^2}\end{aligned}\quad \text{eq. 2-44}$$

avec 
$$\delta E = 2 \cdot \sqrt{E_\varepsilon} = 2 \cdot b \cdot (\varepsilon_\perp - \varepsilon_{//}) \quad \text{eq. 2-45}$$

$\Delta_0$  l'énergie de « split » et  $a_v \cdot \varepsilon_{hydr}$  la position moyenne des bandes de valence. Les diagrammes de bande calculés à partir de ce modèle ne sont pas présentés dans ce paragraphe. Cependant, les valeurs numériques sont disponibles dans le paragraphe 2.3.1.6.4.

### Formulation analytique de Manku et Nathan

La formulation analytique présentée ci-dessous, développé par Manku et Nathan [58], permet d'exprimer les relations  $E(k)$  et  $k(E)$  en fonction du tenseur de contrainte voulu. A partir de ces deux équations, il est possible de tracer le diagramme des bandes de valence dans le silicium contraint ainsi que les surfaces d'iso-énergie des différentes bandes afin de visualiser l'impact sur la mobilité des trous. Pour ce faire, il est nécessaire d'utiliser les équations de passage des coordonnées sphériques aux coordonnées cartésiennes (Fig. 2:19).

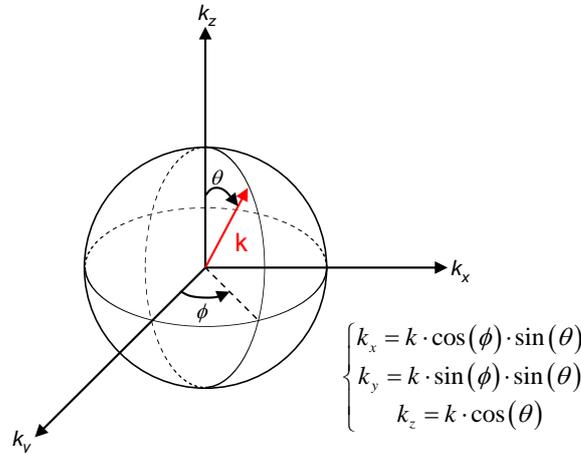


Fig. 2:19 Représentation sphérique d'un vecteur  $\vec{k}$  en coordonnées sphériques dans l'espace des  $k$ .

$$k(E, \varepsilon) = \begin{cases} \sqrt{\zeta_E \cdot \cos(\psi_E) - \frac{P_2(E)}{3}} & \text{(HH)} \\ \sqrt{\zeta_E \cdot \cos\left(\psi_E - \frac{2 \cdot \pi}{3}\right) - \frac{P_2(E)}{3}} & \text{(LH)} \\ \sqrt{\zeta_E \cdot \cos\left(\psi_E + \frac{2 \cdot \pi}{3}\right) - \frac{P_2(E)}{3}} & \text{(SO)} \end{cases} \quad \text{eq. 2-46}$$

avec 
$$\psi_E = \frac{1}{3} \cdot \arccos\left(\frac{3 \cdot \xi_E}{\zeta_E \cdot \rho_E}\right) \quad \zeta_E = 2 \cdot \sqrt{\frac{-\rho_E}{3}} \quad \rho_E = \frac{1}{3} \cdot \left[3 \cdot P_1(E) - (P_2(E))^2\right] \quad \text{eq. 2-47}$$

$$\xi_E = \frac{1}{27} \cdot \left[2 \cdot (P_2(E))^3 - 9 \cdot P_2(E) \cdot P_1(E) + 27 \cdot P_0(E)\right]$$

et 
$$P_j(k) = \sum_{i=0}^{3-j} a_{03}(\theta, \varphi, \varepsilon) \cdot k^{2i} \quad \text{eq. 2-48}$$

$$\text{De même, on a : } E(k, \varepsilon) = \begin{cases} \sqrt{\zeta_k \cdot \cos(\psi_k) - \frac{P_2(k)}{3}} & \text{(HH)} \\ \sqrt{\zeta_k \cdot \cos\left(\psi_k - \frac{2 \cdot \pi}{3}\right) - \frac{P_2(k)}{3}} & \text{(LH)} \\ \sqrt{\zeta_k \cdot \cos\left(\psi_k + \frac{2 \cdot \pi}{3}\right) - \frac{P_2(k)}{3}} & \text{(SO)} \end{cases} \quad \text{eq. 2-49}$$

$$\text{avec } \psi_k = \frac{1}{3} \cdot \arccos\left(\frac{3 \cdot \xi_k}{\zeta_k \cdot \rho_k}\right) \quad \zeta_k = 2 \cdot \sqrt{\frac{-\rho_k}{3}} \quad \rho_k = \frac{1}{3} \cdot \left[3 \cdot P_1(k) - (P_2(k))^2\right] \quad \text{eq. 2-50}$$

$$\xi_k = \frac{1}{27} \cdot \left[2 \cdot (P_2(k))^3 - 9 \cdot P_2(k) \cdot P_1(k) + 27 \cdot P_0(k)\right]$$

$$\text{et } P_j(E) = \sum_{i=0}^{3-j} a_{ji}(\theta, \varphi, \varepsilon) \cdot E^i \quad \text{eq. 2-51}$$

Les expressions des coefficients  $a_{ij}$  sont disponibles dans [58].

La Fig. 2:20-a représente le calcul de la position des différentes sous bandes de valence lors de l'application d'une contrainte biaxiale pour le modèle de Manku et Nathan. On peut remarquer que le comportement des sous bandes est identique à celui observé pour la Fig. 1:17 (modèle TB). La comparaison des valeurs numériques pour ces différents modèles sera abordée dans le paragraphe suivant.

Les Fig. 2:20-b à Fig. 2:20-c représentent les isocontours pour ces mêmes sous bandes et à différent niveaux d'énergie. Ces figures sont intéressantes puisqu'elles permettent d'avoir une idée de l'évolution de la masse effective en fonction de la contrainte et donc de la conductivité. En effet, la masse effective de conductivité  $m_C$  vaut :

$$m_C(E, \theta, \varphi) = \frac{-\hbar^2}{\frac{\partial^2 E}{\partial k^2}} \quad \text{eq. 2-52}$$

L'analyse de la Fig. 2:20-b montre que les isocontours de la bande HH sont soumis à une forte déformation dans les directions  $\langle 110 \rangle$  ce qui a tendance à rendre les propriétés de transport fortement anisotropique. C'est pourquoi les canaux de conduction des transistors MOSFET sont toujours orientés selon cette direction puisque la conductivité est plus importante dans la direction  $\langle 110 \rangle$  que dans la direction  $\langle 100 \rangle$ . De plus, plus l'énergie des porteurs est importante, plus cette différence s'accroît. Les isocontours des bandes LH et SO présentent les mêmes propriétés mis à part que leurs formes présentent moins de différences entre la direction  $\langle 100 \rangle$  et  $\langle 110 \rangle$  (Fig. 2:20-b et Fig. 2:20-c). De plus, plus l'énergie des porteurs de la bande SO est faible, plus la déformation diminue puisque l'isocontour devient circulaire à très faible énergie.

L'application d'une contrainte biaxiale modifie complètement le transport dans ces différentes bandes. Les isocontours des bandes HH, LH et SO deviennent assez circulaires à faible énergie (Fig. 2:22). Dans les deux cas, les masses deviennent plus faibles que pour le silicium non contraint ce qui a tendance à améliorer le transport. Cependant, d'autres phénomènes sont à prendre en compte dans la détermination de la conductivité pour du silicium contraint et il a été démontré que l'apport d'une contrainte biaxiale n'est positif qu'à de très fort niveaux (Fig. 2:23 d'après [65]).

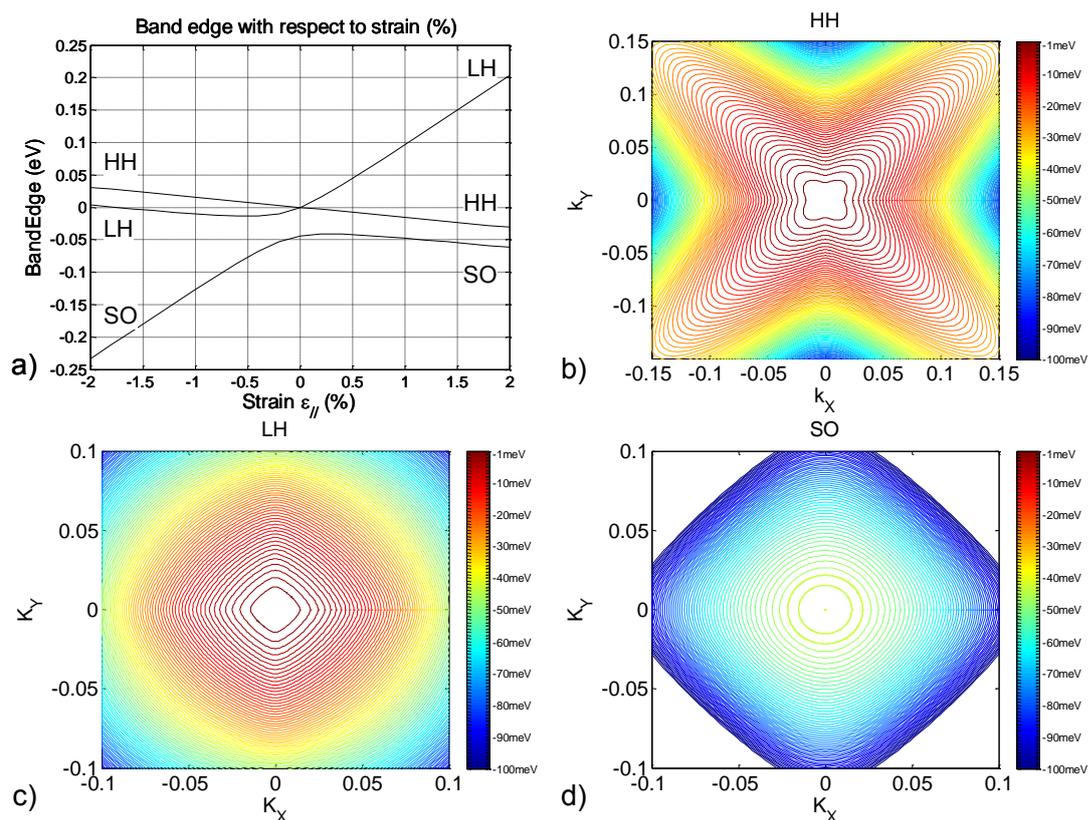


Fig. 2:20 (a) Diagramme de bandes du silicium subissant une contrainte biaxiale appliquée dans le plan (001) et calculé à partir du modèle de Manku et Nathan.

Isocontours des bandes HH (b), LH (c) et SO (d) pour une gamme d'énergie allant de -100meV à -1meV par pas de 1meV dans le cas du silicium **non contraint**. Pour la bande SO, la gamme d'énergie varie de -100meV à -44meV.

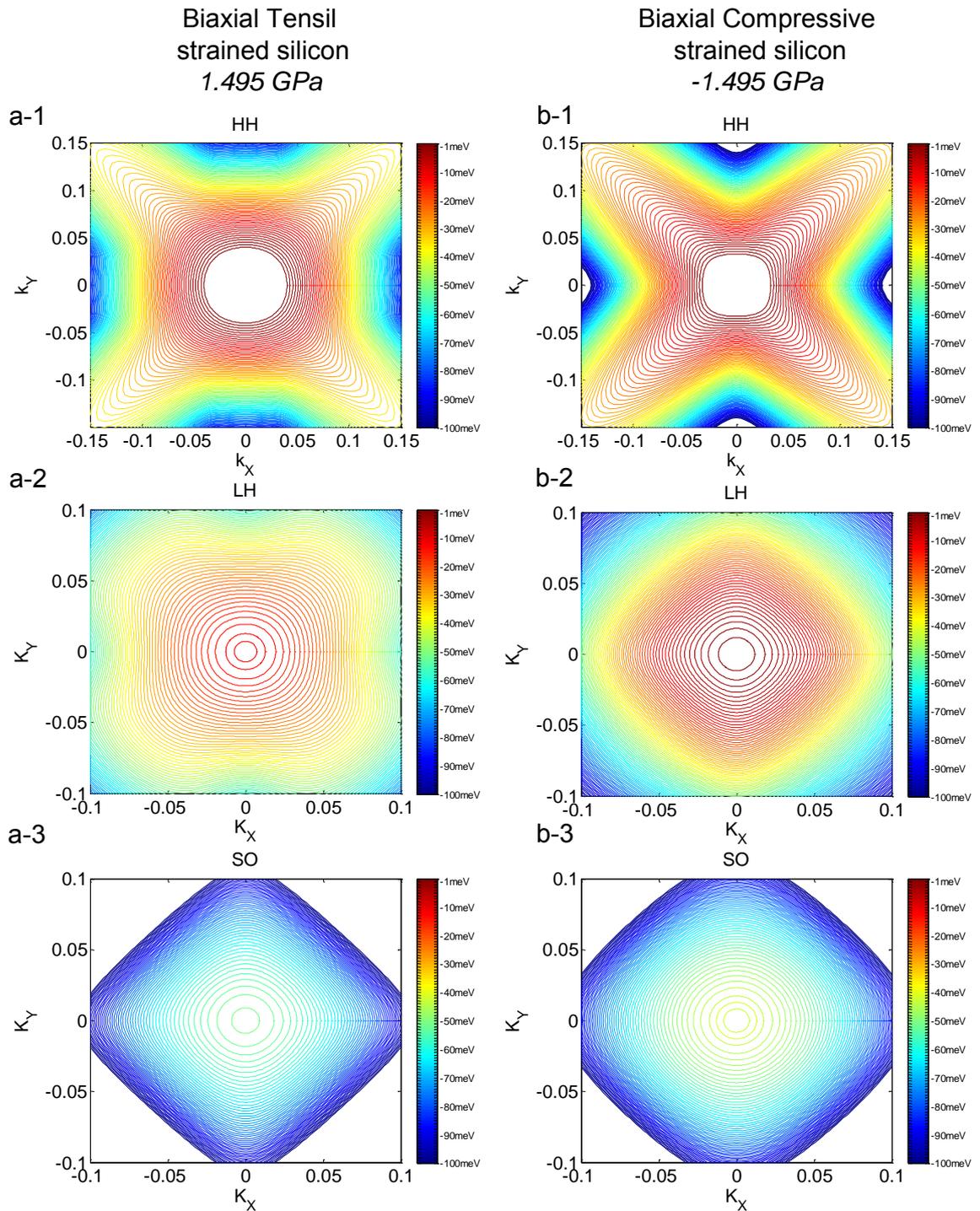


Fig. 2:21 Isocontours des bandes de valence du silicium contraint (contrainte biaxiale appliquée dans le plan (001)) pour une gamme d'énergie allant de -100meV à -1meV par pas de 1meV. Pour la bande SO, la gamme d'énergie varie de -100meV à -44meV. Les figures a-1, a-2 et a-3 représentent les isocontours pour les sous bandes de valence HH, LH et SO soumises à une contrainte biaxiale en tension de 1.495 GPa. Les figures b-1, b-2 et b-3 représentent les isocontours pour les sous bandes de valence HH, LH et SO soumises à une contrainte biaxiale en compression de 1.495 GPa.

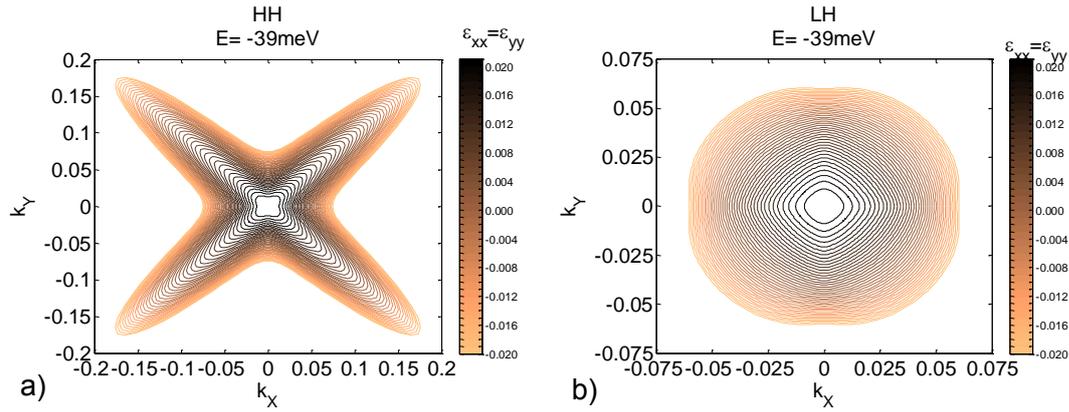


Fig. 2:22 Isocontours à 39meV des bandes HH (a) et LH (b) pour une gamme de contrainte biaxiale allant de  $\epsilon_{xx}=-0.02$  à  $\epsilon_{xx}+0.02$  par pas de 0.001.

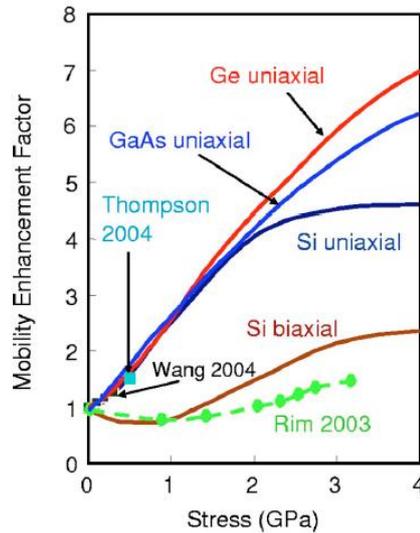


Fig. 2:23 Facteur d'amélioration de la mobilité en fonction de la contrainte pour Si, Ge et GaAs. La figure est extraite de [65].

#### 2.3.1.6.4 Cas d'une hétérostructures multicouches Si/Si<sub>1-x</sub>Ge<sub>x</sub>

L'analyse des simulations montre que l'application d'une contrainte biaxiale est le cas le plus avantageux dans l'optique d'une réduction de barrière Schottky pour une jonction MS. En effet, la levée de dégénérescence des bandes de valence et de conduction et leurs évolutions en fonction de l'augmentation de la contrainte ont pour effet de diminuer la largeur de bande interdite et donc de potentiellement réduire la hauteur de barrière Schottky, quel que soit le type de porteurs mis en jeux.

L'application d'une contrainte biaxiale est possible par l'utilisation du désaccord de maille existant entre les matériaux Si et Ge et du composé SiGe. La croissance par épitaxie permet de réaliser des hétérostructures de type Si/Si<sub>1-x</sub>Ge<sub>x</sub>, Si<sub>1-y</sub>Ge<sub>y</sub>/Si<sub>1-x</sub>Ge<sub>x</sub>, Si<sub>1-x</sub>Ge<sub>x</sub>/Si, ou encore Ge/Si<sub>1-x</sub>Ge<sub>x</sub>. Cette technologie permet donc de transmettre le paramètre de maille du substrat

dans la nouvelle couche que l'on fait croître par épitaxie au dessus. Dans le cas d'une hétérostructure de type Si/Si<sub>1-x</sub>Ge<sub>x</sub>, la couche de Si garde le paramètre de maille de la couche sous-jacente Si<sub>1-x</sub>Ge<sub>x</sub>. Comme le paramètre de maille de Si<sub>1-x</sub>Ge<sub>x</sub> est plus important que celui de Si, cette couche de Si subit une contrainte en tension. De plus, il est possible de moduler l'intensité de cette contrainte en modifiant la composition du pseudo substrat. L'augmentation du paramètre X augmente le paramètre de maille défini par la loi de Végard (eq. 2-53) et donc la déformation induite dans le film de Si.

$$a_0(\text{Si}_{1-x}\text{Ge}_x) = a_0(\text{Si}) \cdot (1-x) + a_0(\text{Ge}) \quad \text{eq. 2-53}$$

En supposant que le plan de croissance est le plan (001) dans le silicium et que le tenseur de déformation est exprimé dans le système d'axes cristallographique, celui-ci a la forme suivante :

$$[\varepsilon] = \begin{bmatrix} \varepsilon_{11} & 0 & 0 \\ 0 & \varepsilon_{22} & 0 \\ 0 & 0 & \varepsilon_{33} \end{bmatrix} = \begin{bmatrix} \varepsilon_{11} \\ \varepsilon_{22} \\ \varepsilon_{33} \\ 0 \\ 0 \\ 0 \end{bmatrix} \quad \text{eq. 2-54}$$

A partir de l'eq. 2-53, il est possible de déduire les déformations de la couche épitaxiale dans le plan (001) définie par :

$$\varepsilon_{11} = \varepsilon_{22} = \frac{a_0(\text{Si}_{1-x}\text{Ge}_x) - a_0(\text{Si})}{a_0(\text{Si})} \quad \text{eq. 2-55}$$

Alors que le matériau se déforme dans le plan, il subit également un déformation suivant l'axe perpendiculaire au plan de croissance. Si on suppose que le système est libre dans cette direction, on peut poser que  $\sigma_{33} = 0$  et donc que pour une hétérostructure de type :

$$\text{Si} / \text{Si}_{1-x}\text{Ge}_x : \varepsilon_{33} = -2 \cdot \frac{C_{12}^{\text{Si}}}{C_{11}^{\text{Si}}} \varepsilon_{11} \quad \text{eq. 2-56}$$

$$\text{Si}_{1-x}\text{Ge}_x / \text{Si} : \varepsilon_{33} = -2 \cdot \frac{(1-x) \cdot C_{12}^{\text{Si}} + x \cdot C_{12}^{\text{Ge}}}{(1-x) \cdot C_{11}^{\text{Si}} + x \cdot C_{11}^{\text{Ge}}} \cdot \varepsilon_{11} \quad \text{eq. 2-57}$$

A partir de la loi de Hooke définie dans l'eq. 2-23, il est possible de déterminer les déformations induites dans le film ayant crû par épitaxie. La Fig. 2:24-a et la Fig. 2:24-b représentent l'évolution des déformations et des contraintes dans le plan de croissance pour les hétérostructures Si/Si<sub>1-x</sub>Ge<sub>x</sub> et Si<sub>1-x</sub>Ge<sub>x</sub>/Si en fonction du pourcentage de Ge. Le Tableau 2:7 résume les paramètres de maille et les constantes d'élasticité utilisés pour le calcul alors que le Tableau 2:8 regroupe les valeurs numériques des déformations et des contraintes induites dans un film de Si ayant crû par épitaxie sur des pseudo substrats de Si<sub>1-x</sub>Ge<sub>x</sub> dont la composition de Ge est égale à 20% et 40%.

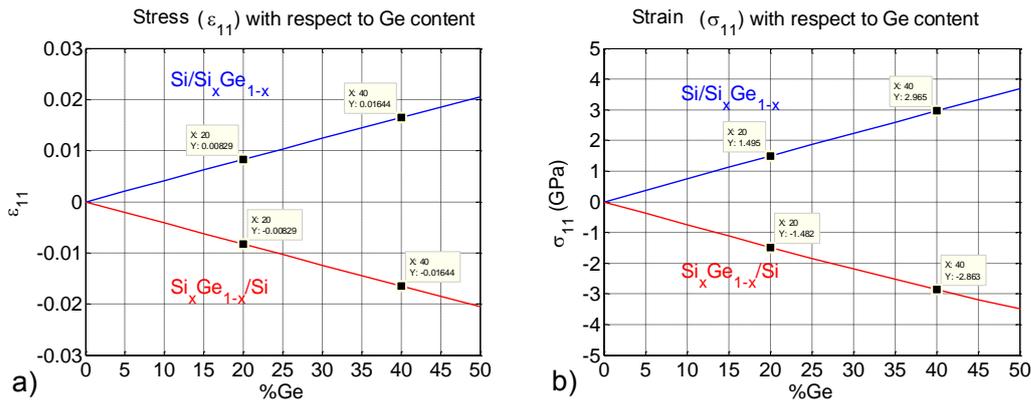


Fig. 2:24 Variation de la déformation  $\epsilon_{11}$  (a) et de la contrainte mécanique  $\sigma_{11}$  (b) en fonction de la proportion de germanium pour les systèmes Si/Si<sub>x</sub>Ge<sub>1-x</sub> et Si<sub>x</sub>Ge<sub>1-x</sub>.

Tableau 2:7 Constantes d'élasticité et paramètres de maille utilisé pour les calculs.

	Constantes d'élasticité (GPa)		Paramètre de Maille (Å)	
	Si	Ge	Si	Ge
C <sub>11</sub>	165.7	129.2	5.43	5.65
C <sub>12</sub>	63.9	47.9		
C <sub>44</sub>	79.6	67.9		

Tableau 2:8 Déformations et contraintes en fonction de la proportion x de germanium pour le système Si/Si<sub>x</sub>Ge<sub>1-x</sub>.

	$\epsilon_{11}$	$\epsilon_{33}$	$\sigma_{11}$
20% Ge	0.00829	-0.00638	1.495 GPa
40% Ge	0.01644	-0.01262	2.965 GPa

Grâce à l'épitaxie, il est possible d'appliquer de fortes contraintes sur un film de silicium. Cependant, les substrats de base sont en silicium. Pour obtenir une telle structure, il est donc nécessaire de faire tout d'abord croître un film de SiGe relaxé sur ce substrat. Afin d'éviter au maximum les dislocations dues au désaccord de maille, on fait croître un film de SiGe épais (1 $\mu$ m) et dont la concentration en Ge augmente au fur et à mesure que le film croît. Un film de SiGe relaxé puis un film de silicium contraint sont ensuite déposés par épitaxie (Fig. 2:25). Ce type de substrat est appelé SGOI (pour « silicon germanium on insulator »).

Le terme sSOI signifie « strained silicon on insulator » (silicium contraint sur isolant) et désigne un substrat dont une des faces est recouverte d'une couche d'isolant, elle-même recouverte d'un film mince de silicium contraint ; la contrainte étant équivalente à celle d'une hétérostructure Si/Si<sub>x</sub>Ge<sub>1-x</sub>. Cette couche de silicium contraint a été reportée sur un substrat de type SOI par différentes techniques qui seront décrites plus tard (paragraphe 4.1.1).

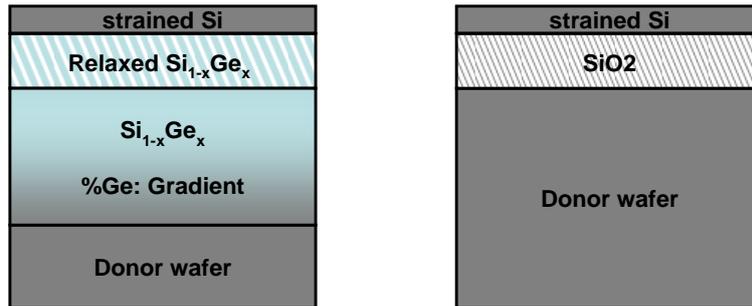


Fig. 2:25 Schémas représentant l'empilement des couches dans un substrat SGOI (à gauche) et sSOI (à droite).

Les Tableaux 2:9 à Tableau 2:12 regroupent les positions des différentes bandes de conduction et de valence en fonction de la proportion de Ge et du modèle utilisé (cf. paragraphe 2.3.1.6.2 et 2.3.1.6.3).

Le Tableau 2:9 regroupe les valeurs numériques des positions des différentes bandes obtenues grâce au modèle de liaison forte. Il est important de noter que la contrainte hydrostatique n'est pas prise en compte dans ce cas. Or cette contrainte particulière a pour effet de décaler toutes les bandes vers le bas et de manière identique. Le Tableau 2:10 regroupe les valeurs numériques des positions des deux vallées de conduction  $\Delta_4$  et  $\Delta_2$  calculées à partir du modèle de Herring et Vogt. En comparant les positions des bandes de conduction du Tableau 2:9 et du Tableau 2:10, l'absence de prise en compte de la contrainte hydrostatique dans le premier tableau est flagrante puisque la bande  $\Delta_2$  a tendance à augmenter alors que dans le deuxième cas,  $\Delta_2$  descend. Cette remarque est également visible en comparant le Tableau 2:9 aux Tableaux 2:11 et Tableau 2:12 puisque la variation de LH est quasiment deux fois plus importante lorsque la contrainte hydrostatique n'est pas prise en compte. Les résultats obtenus grâce à la méthode de liaison forte sont donc écartés.

Les Tableaux 2:11 et Tableau 2:12 regroupent les valeurs numériques des positions des trois bandes de valence HH, LH et SO calculées à partir du modèle de « Pollak et Cardona » et « Manku et Nathan » respectivement. Dans ces deux cas et pour les différents paramètres présentés, la variation de LH est comprise entre 41 meV et 77 meV pour un substrat contraint avec une concentration de 20% de Ge, et entre 79 meV et 162 meV pour un substrat contraint avec une concentration de 40% de Ge. Pour ces deux cas, l'amplitude de variation de la sous bande de valence LH en fonction des paramètres de simulation est très importante. Cette valeur est donc fortement dépendante de la valeur du potentiel de déformation qui est choisie.

Les valeurs présentées dans le Tableau 2:10, représentant la variation des deux vallées de conduction, présentent une amplitude de variation moins importante en fonction de la valeur du potentiel de déformation. En effet, la variation est comprise entre 36 meV et 51.8 meV pour un substrat contraint avec une concentration de 20% de Ge, et entre 72.1 meV et 123.6 meV pour un substrat contraint avec une concentration de 40% de Ge.

Tableau 2:9 Position des différentes bandes en fonction de la proportion  $x$  de germanium pour le système  $Si/Si_xGe_{1-x}$  pour les simulations utilisant le modèle de liaison forte.

	Bandes de valence			Bandes de conduction	
	LH	HH	SO	$\Delta_4$	$\Delta_2$
SOI standard	0.0	0.0	-44.0	1130	1130
sSOI 20% Ge	120.9	4.0	-31.1	1243	1158
sSOI 40% Ge	250	6.7	-27,3	1353	1186

Tableau 2:10 Position des différentes bandes de conduction en fonction de la proportion  $x$  de germanium pour le système  $Si/Si_xGe_{1-x}$  en utilisant le modèle de **Herring et Voigt** et pour différentes valeurs du potentiel de déformation  $\Xi_u$  rencontrées dans la littérature.

	$\Delta_4 / \Delta_2$	Potentiels de déformations $\Xi_u$ (eV)						
		7.3 <sup>a</sup>	8.47 <sup>b</sup>	8.5 <sup>c</sup>	8.7 <sup>d</sup>	8.86 <sup>e</sup>	9.2 <sup>f</sup>	10.5 <sup>g</sup>
SOI standard	$\Delta_4 / \Delta_2$	1120	1120	1120	1120	1120	1120	1120
sSOI 20% Ge	$\Delta_4$	1156.0	1161.8	1162.0	1162.9	1163.7	1165.2	1171.8
	$\Delta_2$	1047.9	1036.4	1036.1	1034.1	1032.5	1029.6	1016.4
sSOI 40% Ge	$\Delta_4$	1192.1	1203.6	1203.9	1205.9	1207.5	1210.4	1223.6
	$\Delta_2$	975.9	952.8	952.2	948.2	945.1	939.2	912.7

<sup>a</sup> D'après Van de Walle et Martin [66]

<sup>e</sup> D'après Tserbak et al. [70]

<sup>b</sup> D'après Friedel et al. [67]

<sup>f</sup> D'après Van de Walle et Martin [66]

<sup>c</sup> D'après Baslev [68]

<sup>g</sup> D'après Fischetti et Laux [71]

<sup>d</sup> D'après Landolt [69]

Tableau 2:11 Position des différentes bandes de valence en fonction de la proportion  $x$  de germanium pour le système  $Si/Si_xGe_{1-x}$  en utilisant le modèle de **Pollak et Cardona** pour différentes valeurs du potentiel de déformation  $b$  rencontrées dans la littérature.

	HH / LH	Potentiels de déformations $b$ (eV)							
		-1.36 <sup>a</sup>	-1.5 <sup>b</sup>	-2.12 <sup>c</sup>	-2.14 <sup>d</sup>	-2.27 <sup>e</sup>	-2.33 <sup>f</sup>	-2.35 <sup>g</sup>	-2.58 <sup>h</sup>
SOI standard	SO	0	0	0	0	0	0	0	0
	SO	-44.0	-44.0	-44.0	-44.0	-44.0	-44.0	-44.0	-44.0
sSOI 20% Ge	LH	41.1	44.9	62.7	62.1	66.3	68.0	68.6	75.1
	HH	-5.5	-7.5	-16.7	-17.0	-18.9	-19.8	-20.1	-23.5
	SO	-84.2	-85.9	-93.9	-94.1	-95.9	-96.7	-97.0	-100.1
sSOI 40% Ge	LH	79.1	87.2	124.3	123.1	131.9	135.4	136.6	150.0
	HH	-25.6	-29.8	-48.1	-48.7	-52.6	-54.3	-54.9	-61.7
	SO	-102.0	-105.9	-123.5	-124.1	-127.9	-129.6	-130.2	-136.8

<sup>a</sup> D'après Hensel et Feher [72]

<sup>e</sup> D'après Friedel et al. [67]

<sup>b</sup> D'après Wiley [73]

<sup>f</sup> D'après Rieger et Vogl [75]

<sup>c</sup> D'après Tserbak et al. [70]

<sup>g</sup> D'après Van de Walle et Martin [66]

<sup>d</sup> D'après Lenkkeri [74]

<sup>h</sup> D'après Cardona et Pollak [57]

Tableau 2:12 Position des différentes bandes de valence en fonction de la proportion  $x$  de germanium pour le système  $\text{Si}/\text{Si}_x\text{Ge}_{1-x}$  en utilisant le modèle de **Manku et Nathan** et pour différents jeux de paramètres rencontrés dans la littérature.

		Jeux de paramètres				Potentiels de déformations (eV)			
		[1]	[2]	[3]	[4]	l	m	n	
SOI standard	HH / LH	0	0	0	0	[1]	-2.44	4.37	-8.80
	SO	-44.0	-44.0	-44.0	-44.0	[2]	-2.56	4.43	-8.23
sSOI 20% Ge	LH	77.0	78.7	82.9	55.7	[3]	-2.24	2.81	-9.21
	HH	-11.9	-12.8	-9.4	0	[4]	-0.90	3.60	-5.89
	SO	-44.9	-45.7	-42.3	-34.9				
sSOI 40% Ge	LH	162.0	165.4	173.8	118.0	Paramètres de bandes en unité de ( $\hbar^2/2m_0$ )			
	HH	-23.0	-25.4	-18.7	-1.25	A=-4,27 B=-0,63 N=-8,75 L=-6,53			
	SO	-54.4	-56.7	-50.1	-33.5	M=-4,64  C =4,94  D =3,96			

[1] D'après Baslev et Lawaetz [76]

[4] D'après Wiley [73]

[2] D'après Fischetti et Laux [71]

[3] D'après Van de Walle et Martin [66]

## 2.3.2 Ségrégation de dopant

### 2.3.2.1 Théorie

La ségrégation de dopant ou « *dopant segregation* » (DS) est aujourd'hui considérée comme l'une des techniques les plus efficaces et les plus simples pour l'ajustement de la hauteur de barrière Schottky dans l'optique d'une application CMOS. La ségrégation de dopant consiste à accumuler des dopants au voisinage de l'interface siliciure/silicium. Lorsque ces dopants sont activés et en nombre suffisant, un dipôle se forme au niveau de l'interface siliciure/silicium ce qui modifie la forme et la courbure des bandes du silicium [77]. La ségrégation de Bore (dopage de type p) se traduit par la substitution d'un atome de silicium par un atome de type de Bore au niveau de l'interface (Fig. 2:26-a). Comme l'atome de Bore est censé être chargé négativement, un transfert de charge apparaît et une charge positive se crée du côté siliciure. Il se forme alors un dipôle orienté du siliciure vers le silicium. De la même manière, la ségrégation d'Arsenic (dopage de type n) se traduit par la création d'un dipôle orienté, cette fois-ci, du silicium vers le siliciure du fait que l'atome d'Arsenic soit positivement chargé (Fig. 2:26-b). Le champ électrostatique induit par ces dipôles perturbe et domine le FLP. Dans les deux cas, la hauteur de barrière Schottky intrinsèque à la jonction n'est pas directement modifiée mais sa largeur est considérablement réduite, ce qui a pour effet d'augmenter le courant par effet tunnel et donc de réduire la barrière effective de la jonction.

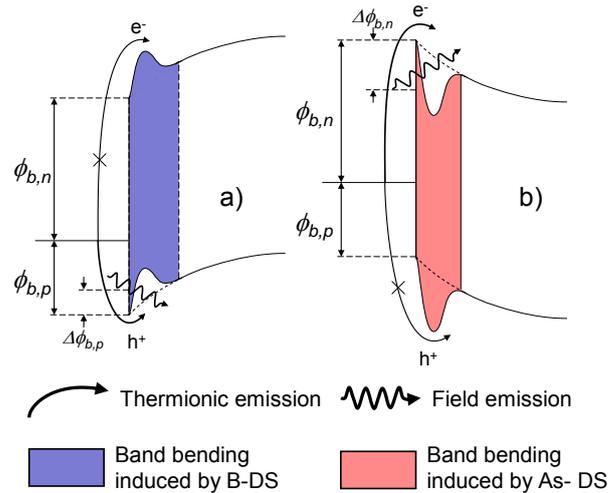


Fig. 2:26 Diagrammes de bandes d'une jonction Schottky avec ségrégation de dopant de type Bore (a) et Arsenic (b). Le siliciure a un niveau de Fermi situé entre la bande de valence et le milieu de la bande interdite.

### 2.3.2.2 État de l'art

Le mécanisme de ségrégation de dopant a été proposé pour la première fois en 1981 par Thornton [78]. Il a été démontré que l'implantation des espèces de type p, réalisée avant la siliciuration, permet de moduler la hauteur de barrière Schottky d'une diode réalisée grâce à un siliciure de platine sur un substrat de silicium dopé n. Plus tard, Horiuchi et Yamaguchi ont proposé de réaliser l'implantation directement dans le métal (Ti, W, Pd) avant de réaliser le recuit de siliciuration, permettant par la même occasion la ségrégation des espèces vers l'interface siliciure/silicium [79]. L'étude du Molybdène a également été réalisée en utilisant cette technique [80]. L'implantation des dopants directement dans le siliciure a été proposée par Shone et al. [81]. Pour cette technique, un nouveau recuit est nécessaire pour l'activation des dopants. L'étude de métaux comme le Cobalt [82] et le Platine [83] a également été réalisée en utilisant cette méthode.

A partir de ces recherches, trois voies différentes ont été explorées (Fig. 2:27) :

- l'implantation avant la siliciuration ou « *implant before silicidation* » (IBS)
- l'implantation dans le métal ou « *implant through metal* » (ITM)
- l'implantation dans le siliciure ou « *implant through silicide* » (ITS)

L'intérêt de cette technique a été renouvelé en 2004 par Kinoshita [84] dans le but d'améliorer les performances des transistors SB-MOSFET. En effet, la réduction de la hauteur de barrière Schottky effective induite par l'implantation d'Arsenic dans le cobalt en suivant la méthode IBS permet d'augmenter le courant  $I_{ON}$  d'environ 20%. Elle apporte également une meilleure immunité aux effets de canal court [85].

Les espèces implantées (Arsenic, Bore) et les siliciures de métaux ( $CoSi_2$ ,  $TiSi$ ) précédemment citées sont communément utilisés dans la microélectronique. Zhao et al. ont pris le parti de travailler sur le couple Nickel/Sélénium et ont démontré que l'augmentation de la concentration d'atomes ségrégués à l'interface  $NiSi/Si$  implique une diminution de la

hauteur de barrière Schottky [86–88]. Les auteurs expliquent que cette réduction est due à deux phénomènes :

- la modification du travail de sortie du siliciure due à l'apparition de nouvelle liaison chimique avec le sélénium à l'interface siliciure/silicium
- la présence d'un dipôle au niveau de l'interface qui modifie la courbure des bandes

Le second phénomène a été conforté de manière numérique par Yamauchi et al. [77], [89]. Dans cette étude, les auteurs ont analysé l'impact de la présence d'atome de Bore à l'interface NiSi/Si sur la hauteur de barrière Schottky. Ils ont conclu que l'impact de la ségrégation de dopant est maximal lorsque les atomes de Bore se substituent à des atomes de Si côté semiconducteur. Cette diminution s'explique par la disparition des états d'interface, responsables du FLP. La présence d'atomes de Bore se substituant à des atomes de Si dans le siliciure est quant à elle défavorable à la réduction de la hauteur de barrière Schottky.

Wong et al. ont quant à eux testé l'impact de la ségrégation d'autres espèces comme l'Antimoine [90] et le Sulfure [91], en plus du Sélénium [92], sur la hauteur de barrière aux électrons. De très faibles valeurs de  $\phi_{b,n}^{eff}$  ont ainsi été obtenues (74 meV, 120 meV et 250 meV respectivement).

Zhang et al. ont également étudié l'impact de la ségrégation d'Arsenic et de Bore sur le PtSi et le NiSi [93], [94]. Ils ont ainsi pu mesurer des valeurs de  $\phi_{b,p}^{eff}$  égales à 120 meV pour le PtSi et 160 meV pour le NiSi dans le cas du Bore et des valeurs de  $\phi_{b,n}^{eff}$  égales à 160 meV pour le PtSi et 270 meV pour le NiSi dans le cas de l'arsenic. Ces travaux montrent que la ségrégation de dopant permet de convertir un siliciure favorable au transport des trous en un siliciure favorable au transport des électrons ; et inversement. Larrieu et al. ont réalisé une étude très complète sur le PtSi en extrayant les hauteurs de barrière Schottky pour les trois types de ségrégation de dopant (IBS, ITM et ITS cf. Fig. 2:27) [95], [96]. Il en ressort que le processus d'intégration le plus favorable est l'ITS. Reckinger, Yarekha et Larrieu ont également étudié l'impact de la ségrégation de dopant sur les siliciures de terres rares (Erbium et Ytterbium) [97–100]. L'ensemble de ces recherches a abouti à la réalisation d'un inverseur CMOS basé sur des transistors de type SB-MOSFET intégrant du PtSi ségrégué par du bore pour le transistor de type p et par l'arsenic pour le transistor de type n [101].

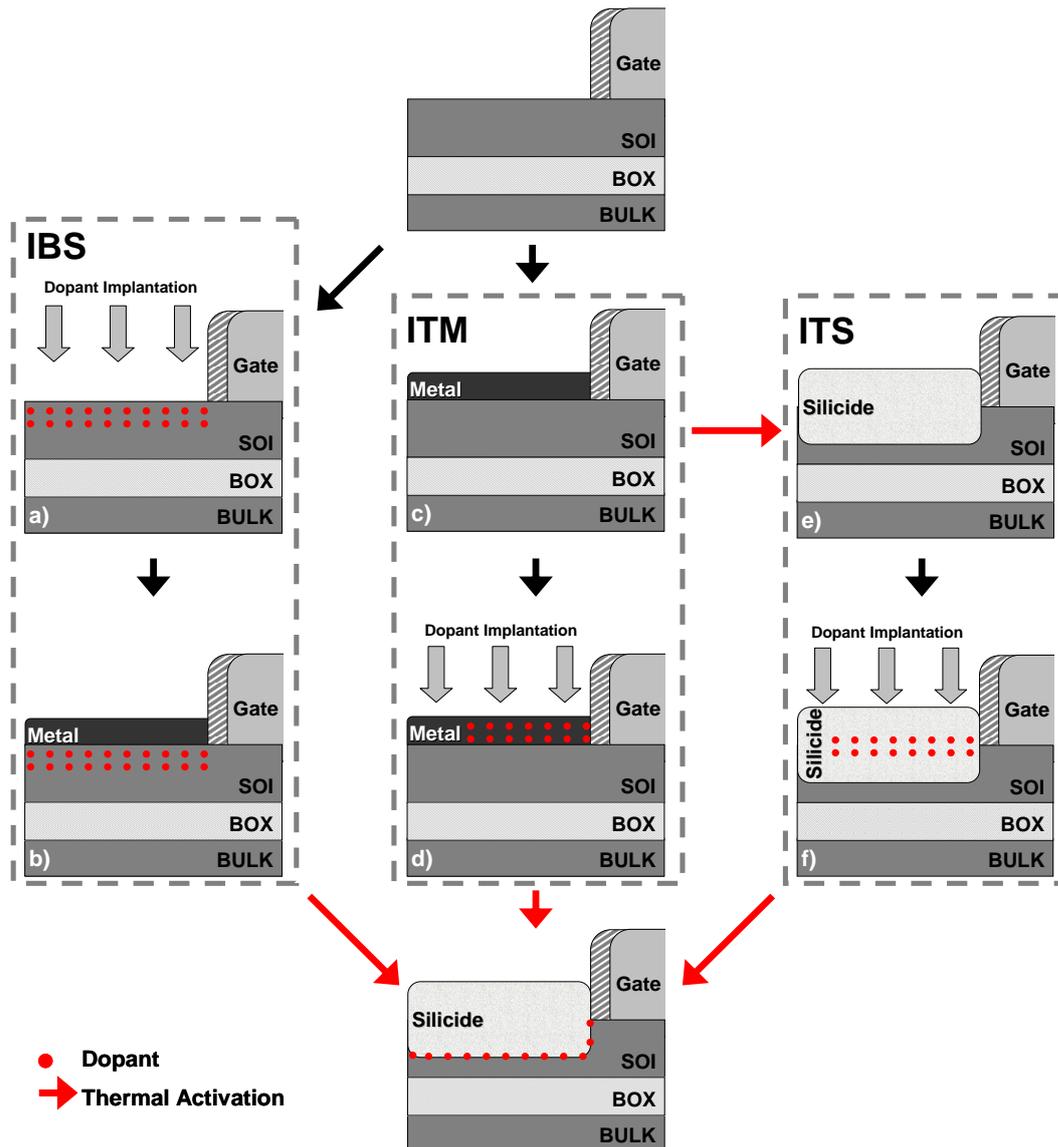


Fig. 2:27 Représentation schématique des trois différents types de processus permettant la ségrégation de dopant au niveau de l'interface siliciure/silicium.

Le premier schéma (en haut) représente la structure d'un transistor avant la réalisation des contacts source/drain. Le dernier schéma (en bas) représente cette même structure après ségrégation de dopant. Il est intéressant de remarquer que l'ITS-DS nécessite un recuit d'activation supplémentaire.

IBS : implant before silicidation    ITM : implant through

(a) implantation des impuretés

(b) dépôt du métal

metal

(c) dépôt du métal

(d) implantation des

impuretés

ITS : implant through

silicidation

(e) dépôt du métal et

siliciuration

(f) implantation des impuretés

## 2.4 Conclusion du chapitre

Le chapitre 1 nous a permis de mesurer l'impact de l'intégration d'un module de jonction purement métallique sur les performances de la technologie MOSFET. Nous avons conclu qu'une hauteur de barrière Schottky proche de 100 meV était nécessaire pour rendre les transistors à barrière Schottky avantageux vis-à-vis des transistors conventionnels.

Dans ce chapitre, nous avons détaillé les différents mécanismes de formation des siliciures ce qui nous a permis de choisir le siliciure de platine pour la suite de cette étude. Cependant, la hauteur de barrière Schottky aux trous du siliciure de platine est égale à 250 meV (cf. Fig. 2:28). Le FLP a été identifié comme responsable de cette forte valeur.

L'étude de deux méthodes de l'ingénierie de barrière, i.e. l'introduction de contrainte et la ségrégation de dopant, a démontré qu'il était possible de moduler ce paramètre.

Après avoir introduit la physique du silicium contraint, nous avons simulé les variations des différentes bandes de conduction et de valence en fonction des différents types de contraintes. La contrainte biaxiale en tension semble être la plus favorable pour la réduction de barrière Schottky. L'évaluation de la position des bandes est difficile puisqu'elle est fortement dépendante du modèle utilisé et des paramètres de déformation.

La ségrégation de dopant à l'interface est une technique de réduction de barrière Schottky effective qui modifie la structure de bande de manière locale. L'intégration des dopants au voisinage de la jonction modifie la courbure des bandes et réduit la largeur de la barrière lorsque celle-ci est polarisée ce qui a pour effet d'augmenter la quantité de porteurs de charge traversant la jonction par effet tunnel. Cette modification du transport est responsable de la réduction de la hauteur de barrière Schottky effective. Cette technique permet également d'envisager la conversion d'un contact favorable au transport des trous (ou électrons) en un contact favorable au transport des électrons (ou trous)

La combinaison de ces deux techniques permet d'envisager une forte réduction de la hauteur de barrière Schottky ; mais également la conversion du siliciure de platine en contact de type n. La Fig. 2:28 schématise les deux mécanismes responsables de la modification de la hauteur de barrière Schottky.

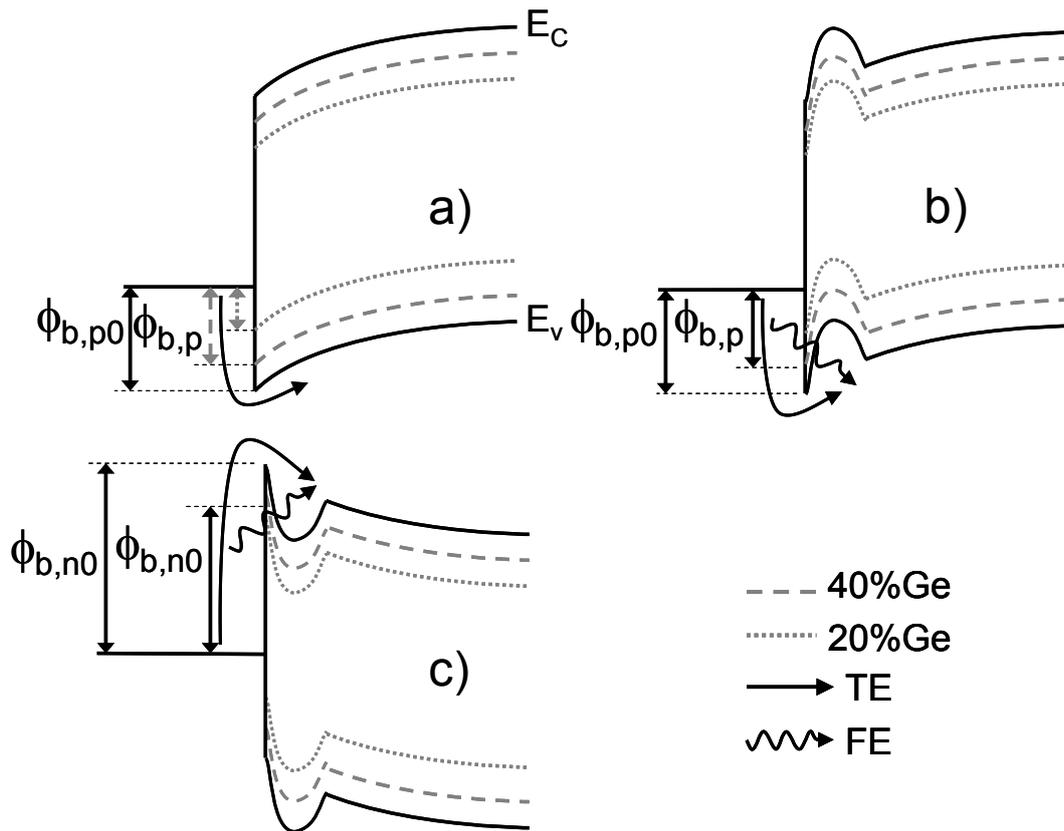


Fig. 2:28 Évolution du diagramme de bande d'un jonction Schottky avec l'introduction d'une contrainte biaxiale en tension équivalente à une hétérostructure  $Si/Si_{1-x}Ge_x$  pour une composition de 20%Ge et 40%Ge (a) sans ségrégation de dopant et combiné à la ségrégation de Bore (b) et d'Arsenic (c).





# Chapitre 3: Extraction de la barrière Schottky : méthodologie, modélisation et structure de test

---

Ce chapitre se focalise sur les différentes techniques de formation et de caractérisation nécessaires à l'étude d'un contact Schottky. Dans un premier temps, nous nous concentrerons sur les étapes de procédés dédiées à la formation du siliciure de platine. La seconde partie de ce chapitre résume les différentes techniques d'extraction de la hauteur de barrière Schottky et argumente sur le choix de l'une d'elle. Les différents mécanismes d'injection seront détaillés dans le troisième paragraphe. Cette étude nous permettra d'établir un modèle afin de pouvoir comparer les résultats expérimentaux aux prédictions. Enfin, la dernière partie est dédiée à l'élaboration d'une structure de test permettant l'extraction de la hauteur de barrière Schottky et la description de son procédé de fabrication.

---

<b>3.1 Formation du siliciure de platine.....</b>	<b>92</b>
3.1.1 Nettoyage du substrat.....	92
3.1.2 Technique de dépôt.....	93
3.1.3 Technique de recuit.....	94
3.1.4 Cinétique de formation.....	95
3.1.5 Morphologie du siliciure de Platine .....	96
<b>3.2 Détermination de la hauteur de barrière .....</b>	<b>98</b>
3.2.1 Mesure par Photo-émission interne.....	98
3.2.2 Mesure Capacité tension .....	99
3.2.3 Mesure Courant Tension .....	100
3.2.4 Mesure d'énergie d'activation .....	100
<b>3.3 Modélisation du Transport électronique dans les contacts Métal/semi-conducteur ....</b>	<b>102</b>
3.3.1 TE .....	103
3.3.2 TFE .....	104
3.3.3 TFEBL .....	108
<b>3.4 Structure de test .....</b>	<b>109</b>
3.4.1 Design .....	109
3.4.2 Organisation des mesures à basse température .....	111
3.4.3 Procédé de fabrication .....	113
3.4.3.1 Généralités sur la lithographie électronique.....	113
3.4.3.2 Formation du MESA .....	115
3.4.3.3 Couche de protection (HSQ).....	117
3.4.3.4 Siliciuration et Retrait sélectif.....	119
3.4.3.5 Formation des contacts épais.....	121
<b>3.5 Conclusion du chapitre .....</b>	<b>122</b>

## 3.1 Formation du siliciure de platine

Dans ce chapitre, nous allons tout d'abord décrire le mode opératoire nécessaire pour la formation du siliciure de platine d'épaisseur nanométrique. Les étapes de procédé de siliciure peuvent être décomposées de la manière suivante : le nettoyage du substrat de silicium, le dépôt de platine et la réaction de siliciuration. L'influence de la cinétique de formation du siliciure de platine sera étudiée et l'impact des paramètres de recuit sur le film siliciuré sera évalué.

### **3.1.1 Nettoyage du substrat**

Pour obtenir un film de siliciure de platine de bonne qualité et de manière reproductible, le procédé de fabrication doit être maîtrisé et contrôlé. L'interface siliciure/silicium joue un rôle crucial dans ce procédé. Ainsi, une attention particulière doit être portée à la propreté de la surface du substrat. Il a été démontré que la formation des siliciures peut être retardée ou complètement inhibée par la présence d'un film fin d'oxyde de silicium entre le métal et le semiconducteur [102]. Lorsqu'une surface propre de silicium est exposée à l'atmosphère, celle-ci réagit avec l'oxygène présent naturellement dans l'air ambiant ce qui conduit à la formation d'un film d'oxyde natif de silicium. L'épaisseur de cet oxyde natif est d'environ 0.3 nm après environ quinze minutes d'exposition, de 0.8 nm après environ 1 heure et 1.2 nm après environ 16 heures.

Il est donc nécessaire de nettoyer l'échantillon afin d'obtenir une surface la plus propre possible et la débarrasser de cet oxyde natif avant de déposer le film de platine. De plus, il a également été démontré qu'une gravure par plasma d'Argon réalisée avant le dépôt permet de pulvériser les résidus d'oxyde encore présents et ainsi améliorer la qualité du film siliciuré [103]. Le procédé de nettoyage peut donc être décomposé en deux phases :

- le nettoyage par gravure chimique
- le nettoyage par gravure plasma

Le substrat est tout d'abord plongé dans un bain d'acétone pendant 10 minutes puis dans un bain d'Isopropanol pendant 1 minute. Ces deux solvants permettent d'éliminer les résidus de résine photosensible utilisée pour protéger la surface lors de la fabrication des substrats, ainsi que les acides gras. L'échantillon est ensuite immergé dans un mélange d'acide sulfurique (98%) / eau oxygénée (50%) (proportion 1:1) afin de dissoudre les chaînes carbonées et les contaminants de type organique. Enfin, l'oxyde de silicium natif est gravé dans une solution d'acide fluorhydrique diluée à 1% dans de l'eau déionisée pendant 30 secondes. La réaction chimique est la suivante :



Cette étape est contrôlée par inspection optique. L'oxyde de silicium étant fortement hydrophile et le silicium hydrophobe, la présence de résidus d'oxyde de silicium est détectée en plongeant le substrat dans l'eau déionisée. Le nettoyage par plasma argon est réalisé dans l'enceinte de chargement du bâti de dépôt avec une puissance d'émission de 150eV pour une durée de 30 secondes. Cette étape est réalisée immédiatement après le nettoyage par voie chimique afin d'éviter au maximum l'oxydation de la surface.

### 3.1.2 Technique de dépôt

L'étape suivant le nettoyage est le dépôt d'un film mince de platine sur la surface du substrat. Il existe trois différentes méthodes pour la métallisation d'une surface de silicium : la pulvérisation cathodique, le dépôt chimique en phase vapeur ou « *chemical vapour deposition* » (CVD) et l'évaporation sous vide.

La pulvérisation cathodique consiste à bombarder une cible métallique avec des ions issus d'un plasma. Les particules métalliques arrachées, qui sont chargées positivement, sont attirées sur le substrat. Il en résulte un dépôt dit conforme (ou non directionnel) puisque l'orientation des particules métalliques est aléatoire. Le dépôt chimique en phase vapeur est une technique permettant le dépôt d'un matériau solide sur un substrat à partir de précurseurs volatiles contenus dans un flux gazeux. Lorsque le gaz entre en contact avec le substrat, les précurseurs se décomposent sur le substrat ou réagissent chimiquement avec celui-ci. De nombreux matériaux comme le tungstène, le nitrure de silicium ou encore l'oxyde de silicium peuvent être déposés avec cette méthode.

Dans le cas de l'évaporation sous vide, la cible métallique est soumise à un bombardement d'électrons. Le faisceau d'électrons est focalisé sur la cible à l'aide d'un champ électrique et d'un champ magnétique. Lorsque la cible a emmagasiné suffisamment d'énergie, le métal est évaporé et passe en phase gazeuse. Un film métallique se forme par condensation de ce gaz sur le substrat. L'épaisseur du dépôt est contrôlée en temps réel à l'aide d'une balance à quartz dont la précision est de l'ordre de l'Angström. Afin d'éviter toute contamination, ce procédé est réalisé dans une enceinte maintenue sous ultra vide ( $10^{-8}$  Torr) à l'aide d'une pompe cryogénique. Nous utiliserons donc cette technique pour ces deux raisons. L'équipement utilisé est un PLASSYS MEB 550S. Les Fig. 3:1 et Fig. 3:2 illustrent cet équipement.



Fig. 3:1 Photo du système de dépôt par évaporation à canon à électrons de type PLASSYS MEB 550S.

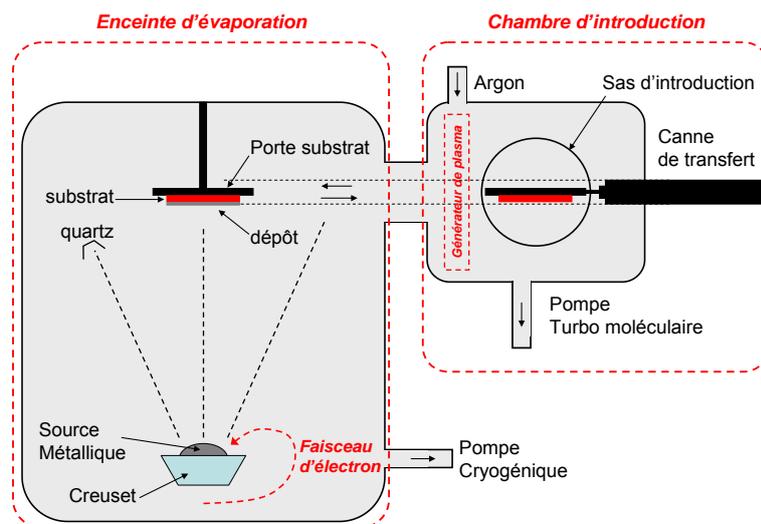


Fig. 3:2 Schéma de l'équipement d'évaporation utilisé pour le dépôt du platine. Il se compose d'une chambre d'introduction permettant le nettoyage par plasma Ar et d'une chambre d'évaporation.

### 3.1.3 Technique de recuit

Suite au dépôt du film mince de platine, un recuit thermique est réalisé afin de faire réagir le platine avec le silicium pour former le siliciure de platine. Pour cela, nous avons utilisé un four de recuit de type RTA (pour « *rapid thermal annealing* ») de marque JIPELEC (Fig. 3:3).



Fig. 3:3 Photo du four de recuit RTA de type JIPELEC.

Cet équipement permet des montées en température très rapides (de l'ordre de 20°C/sec) à des températures allant jusqu'à 800°C pendant plusieurs minutes. Ce four est constitué d'un porte échantillon situé dans une enceinte pouvant être soumise à un vide primaire

(1mbar). Une fois l'échantillon placé sur le récepteur, l'enceinte refermée et le vide primaire atteint, l'enceinte est remplie d'un gaz neutre ( $N_2$  ou  $N_2H_2$ ) afin de limiter la concentration en oxygène. La montée en température est réalisée à l'aide d'un système de chauffage par lampes halogènes (Fig. 3:4). Afin de réduire au maximum le contact de l'échantillon avec l'oxygène, nous avons réalisé le recuit de siliciuration immédiatement après le dépôt du film de platine.

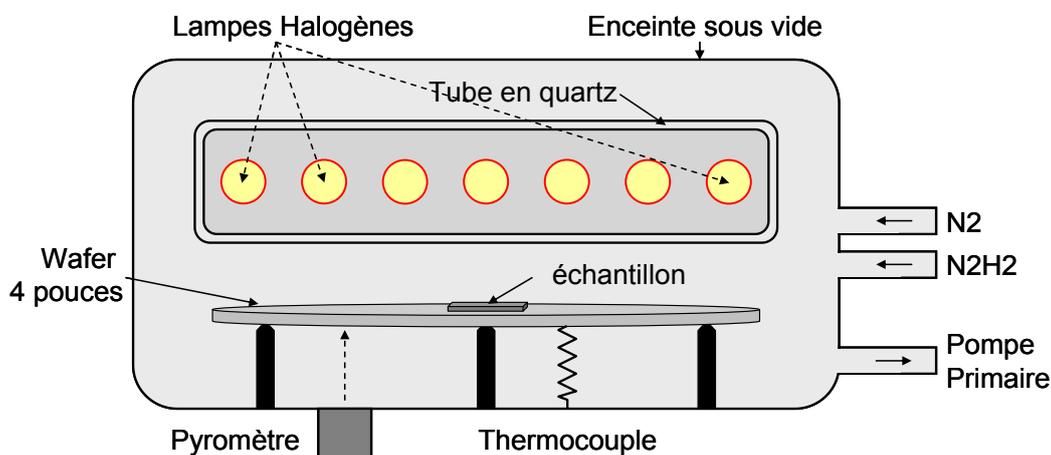


Fig. 3:4 Schéma de principe du four de recuit RTA de type JIPELEC. Le recuit est réalisé à l'aide de lampes halogènes.

### 3.1.4 Cinétique de formation

Dans le chapitre 2.1.3.4, nous avons étudié la cinétique de formation lors de la réaction du platine avec le silicium. Nous avons ainsi mis en évidence la création d'une phase intermédiaire de  $Pt_2Si$ .

Les travaux présentés ci-dessous, et réalisés par Larrieu [104], confirment cette cinétique de formation lors de la réaction de siliciuration entre le platine et le silicium. Le protocole expérimental est le suivant : un film de 20 nm de platine a été déposé sur un substrat de silicium parfaitement propre. Cet échantillon a été placé dans une chambre sous ultra vide permettant de faire simultanément une analyse par spectroscopie photo électronique tout en réalisant un recuit thermique. La spectroscopie de photoélectrons X ou « *X-ray photoelectron spectroscopy* » (XPS) est une méthode d'analyse de surface qui permet de déterminer sa composition chimique. Le spectre XPS est obtenu en irradiant l'échantillon avec un faisceau de rayons X. On caractérise le type de liaison en fonction de leur énergie caractéristique. La Fig. 3:5 représente la variation de la concentration de platine et de silicium en fonction de la température de recuit. Cette figure montre que jusqu'à  $200^\circ C$ , la concentration en Pt est de 100% ce qui indique que la réaction de siliciuration n'a pas encore eu lieu. De  $200^\circ C$  à  $255^\circ C$ , la concentration de Pt diminue alors que celle de Si augmente jusqu'à atteindre un rapport Pt:Si égale à 2 :1. Cette évolution des concentrations prouve que la première réaction ayant lieu est la formation de  $Pt_2Si$ . De  $255^\circ C$  à  $550^\circ C$ , la proportion de silicium continue à augmenter jusqu'à atteindre 50% à partir de  $400^\circ C$  environ. La seconde réaction est donc la transformation de la couche de  $Pt_2Si$  en  $PtSi$ . La Fig. 3:6 montre un spectre de données récolté à différentes températures représentant le nombre d'électrons extraits de la surface en fonction de l'énergie de liaison. Cette figure

montre qu'à 245°C, le spectre est centré sur 71eV qui est l'énergie caractéristique représentative du Pt élémentaire. A 258°C, le spectre est centré sur 72.5eV qui est l'énergie caractéristique de la phase Pt<sub>2</sub>Si. Entre 258°C et 338°C, le spectre se décale de 72.5eV à 72.7eV ce qui indique que la phase Pt<sub>2</sub>Si se transforme en PtSi dans cette gamme de température. Ces expérimentations confirment donc la cinétique de siliciuration évoquée précédemment, i.e. le passage par la phase Pt<sub>2</sub>Si intermédiaire dans la gamme de température [245°C-258°C] avant la formation de la phase terminale PtSi dans la gamme de température [324°C-338°C].

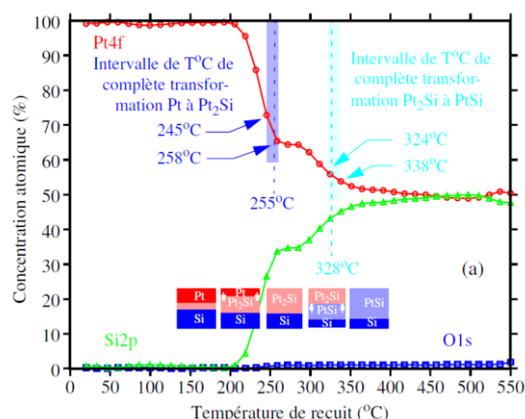


Fig. 3:5 Concentration atomique de Pt et de Si obtenue par analyse XPS en fonction de la température. La rampe de température est de 4.4°K/min.

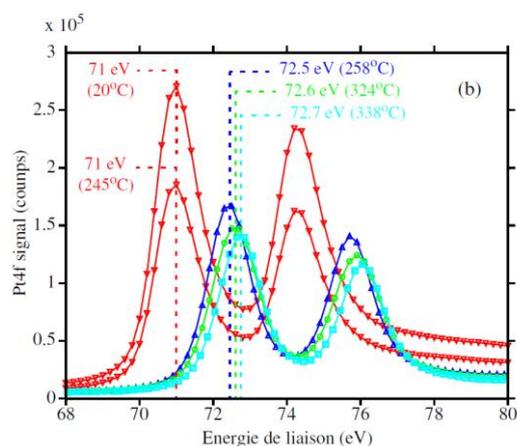


Fig. 3:6 Spectres d'analyse XPS enregistrés lors de la réaction de siliciuration du platine avec le silicium à différentes températures.

### 3.1.5 Morphologie du siliciure de Platine

Dans le paragraphe précédent, nous avons pu déterminer la limite de température à partir de laquelle le PtSi se forme. Dans cette partie, nous allons examiner quel est l'impact

d'une température de recuit supérieure ou égale à 300°C sur la morphologie du film de PtSi [105]. Pour cela, la microstructure du PtSi a été caractérisé par microscopie électronique à balayage (MEB). Pour des températures de 300°C et 500°C, des grains de quelques nanomètres de diamètres sont présents. A partir de 600°C, le volume des grains augmente. Au delà de cette température, la continuité du film n'est plus assurée au fur et à mesure que le diamètre des grains augmente (jusqu'à atteindre 200 nm pour 800°C).

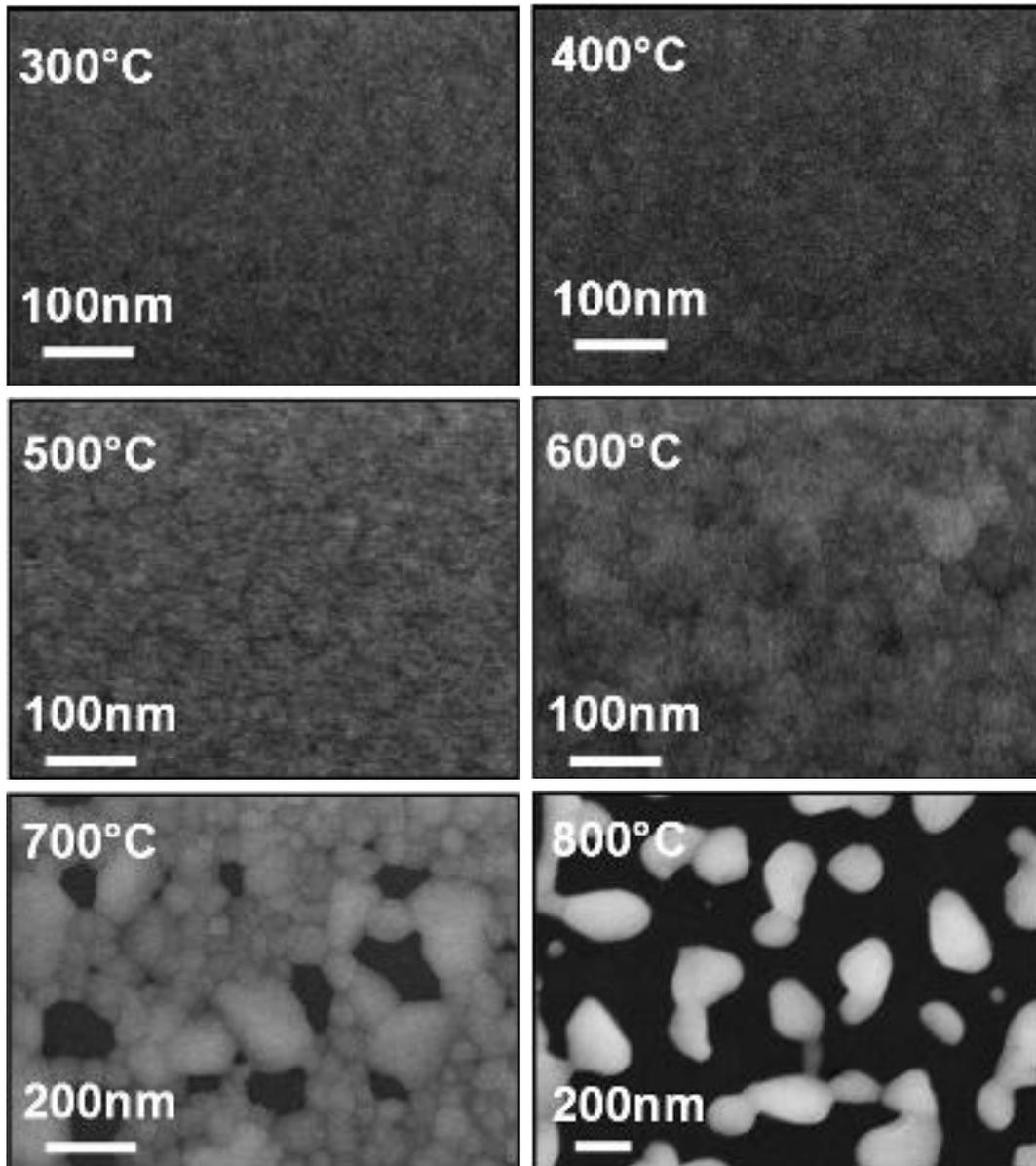


Fig. 3:7 Observations par MEB d'un film de siliciure de platine obtenu à différentes températures de recuit. L'épaisseur du film de Pt initial est de 10nm.

Les analyses réalisées à l'aide d'un microscope à transmission électronique (TEM), extraites de [106], confirment l'évolution de la taille des grains en fonction de la température (Fig. 3:8). La diminution de la rugosité d'interface en fonction de la température est un facteur important pour la détermination de la température de recuit optimale. Ainsi, en combinant les observations recueillies grâce aux observations MEB et

par TEM, une température de recuit située entre 500°C et 600°C permet de concilier une faible rugosité d'interface et de préserver la continuité du film.

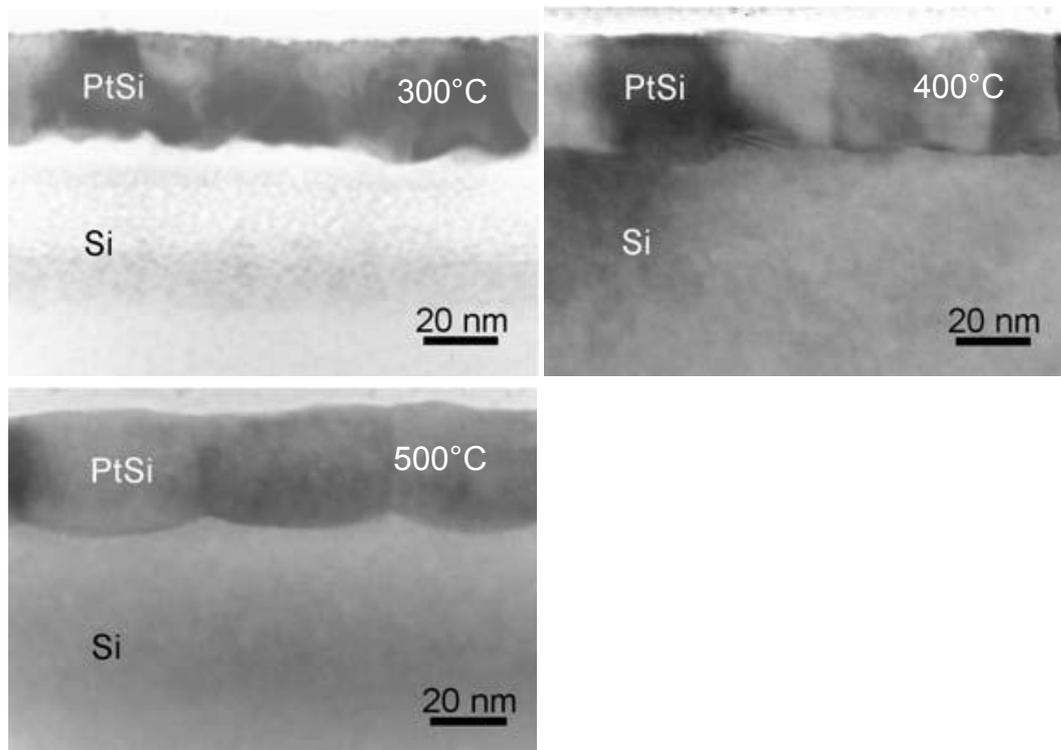


Fig. 3:8 Observations en vue de coupe obtenues par TEM d'un film de siliciure de platine obtenus à différentes températures de recuit.

## 3.2 Détermination de la hauteur de barrière

La première partie de ce chapitre a été consacrée à la formation du film de siliciure de platine. Cette seconde partie est dédiée aux différentes techniques de mesure de la hauteur de barrière de la jonction PtSi/Si.

### **3.2.1 Mesure par Photo-émission interne**

La mesure par photo émission est basée sur l'effet photoélectrique dont la description théorique a été développée par Fowler [107]. Le principe de fonctionnement est le suivant : lorsqu'une jonction MS est illuminée par un faisceau de photons dont l'énergie est supérieure à la hauteur de barrière Schottky ( $h \cdot \nu > q \cdot \phi_b$ ), un courant peut être émis du métal au semiconducteur (Fig. 3:9-a). A partir de ce courant, il est possible de calculer le rendement photoélectronique qui correspond à l'intensité du courant en fonction du nombre de photons émis (Fig. 3:9-b).

Cependant, un courant parasite peut apparaître si l'énergie apportée par les photons est supérieure au « *bandgap* » du semiconducteur, entraînant l'excitation de porteurs de la bande de valence à la bande de conduction.

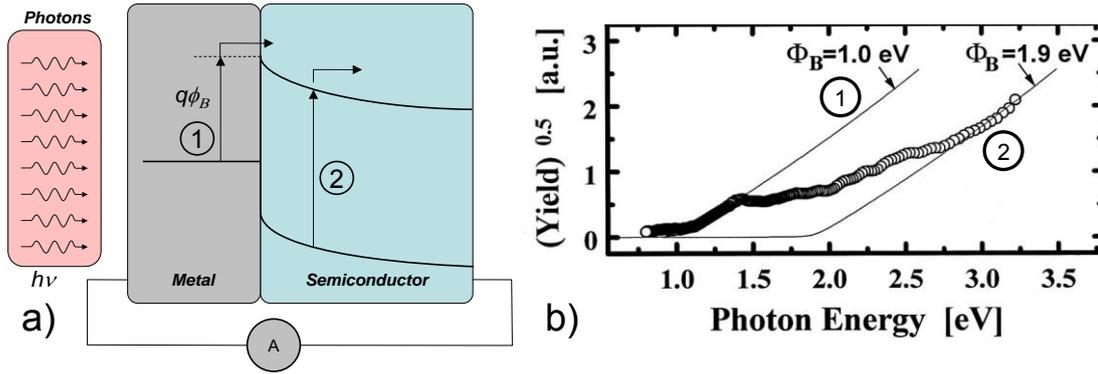


Fig. 3:9 (a) Schéma de principe de la mesure de la hauteur de barrière Schottky par photo émission et (b) extraction de  $\phi_b$  à partir de la figure représentant le rendement photoélectrique en fonction de l'énergie des photons incidents. La droite (1) représente le rendement photoélectronique correspondant aux électrons ayant sauté la barrière Schottky. La droite (2) représente le rendement photoélectronique des porteurs ayant traversé la bande interdite du silicium ce qui entraîne une modification de la hauteur de barrière Schottky extraite.

Cette technique est bien adaptée pour la caractérisation de siliciures dont la hauteur de barrière Schottky se situe au milieu de la bande interdite du semiconducteur. Dans le cas où  $\phi_b$  est faible, l'approximation linéaire permettant l'évaluation de  $\phi_b$  n'est plus valide. De plus, l'intensité du courant d'obscurité (émission de porteurs activés thermiquement) augmente lorsque  $\phi_b$  diminue ce qui rend la détection difficile. Enfin, cette technique de caractérisation n'est pas compatible avec l'utilisation de substrat SOI puisqu'un contact en face arrière est utilisé.

### 3.2.2 Mesure Capacité tension

La hauteur de barrière Schottky peut être déterminée par une mesure de la capacité de déplétion en fonction de la polarisation de la diode Schottky. Pour cela, la capacité à haute fréquence est mesurée en fonction de la polarisation de la diode. Ce type de polarisation implique une augmentation du nombre de charge du côté métallique et du côté semiconducteur mais de signe opposé. La relation  $C(V)$  est donnée par :

$$C(V) = \sqrt{\frac{q \cdot \epsilon_{SC} \cdot N}{2 \cdot \left( \frac{E_B}{q} + V_R - k \cdot T/q \right)}} \quad \text{eq. 3-2}$$

où  $E_B$  représente la différence d'énergie en régime de bande plate entre le niveau de la bande de conduction à proximité de la jonction et son niveau en dehors de la zone de charge d'espace et  $V_R$  la polarisation de la diode. Sachant que  $E_B = q \cdot \phi_B - q \cdot V_N^2$ , il est possible d'extraire la hauteur de barrière Schottky en traçant  $1/C^2$  en fonction de  $V_R$ . Cette méthode, qui est couramment utilisée, n'est également pas compatible avec des faibles valeurs de  $\phi_b$ . La précision de l'extraction de la barrière dépend de la linéarité du tracé de  $1/C^2$  qui peut être affecté par la diminution induite par la charge image. De plus, plus la barrière est faible, plus le courant de déplacement dynamique est masqué par le courant

<sup>2</sup>  $qV_N$  représente la différence énergétique entre la bande de conduction et le niveau de Fermi du semiconducteur.

statique d'émission thermoélectronique. Cette technique de caractérisation n'est donc elle non plus pas adaptée à la mesure de faible hauteur de barrière Schottky sur substrat SOI.

### 3.2.3 Mesure Courant Tension

Il est également possible d'extraire la hauteur de barrière Schottky à partir d'une mesure courant tension. Pour cela, il est nécessaire d'utiliser la face arrière du substrat comme contact ohmique (Fig. 3:10). Les porteurs de charge doivent donc traverser le substrat sur toute sa profondeur ce qui représente une résistance importante. Lorsque la diode est polarisée en mode direct, l'expression du courant est donnée par :

$$I = A \cdot A^* \cdot T^2 \cdot \exp\left(\frac{q \cdot \phi_B}{k \cdot T}\right) \cdot \left[ \exp\left(\frac{q \cdot (V_{CC} - R_{Si} \cdot I)}{\eta \cdot k \cdot T}\right) - 1 \right] \quad \text{eq. 3-3}$$

où  $\eta$  est un facteur d'idéalité empirique permettant de prendre en compte la dépendance du comportement de la structure à la température et à la polarisation,  $R_{Si}$  la résistance du silicium,  $A$  la surface du contact et  $A^*$  la constante de Richardson. Cette méthode simple permet d'obtenir de bons résultats lorsque la hauteur de barrière Schottky est importante. Dans ce cas, la diode est l'élément limitant le courant. Lorsque la hauteur de barrière Schottky est très faible, la résistance devient l'élément limitant le courant et la mesure devient imprécise. L'introduction et la détermination du coefficient  $\eta$  est également un facteur d'incertitude puisqu'il peut cacher de nombreux phénomènes physiques. La création d'un contact ohmique en face arrière peut également affecter la détermination de la hauteur de barrière Schottky puisque sa résistance peut être dominante. Enfin, comme pour les précédentes méthodes, l'utilisation de substrat SOI est impossible.

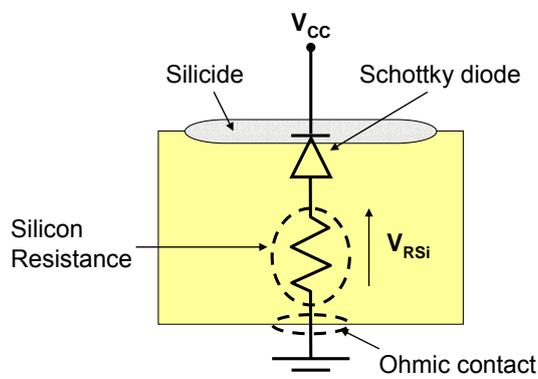


Fig. 3:10 Structure de test avec un contact en face arrière pour la mesure de la hauteur de barrière Schottky

### 3.2.4 Mesure d'énergie d'activation

Pour rappel, l'objectif de cette thèse est de caractériser la hauteur de barrière Schottky de siliciure de platine sur du silicium contraint. Le principal problème de la méthode précédente est la présence d'une résistance importante entre la diode et le contact ohmique. Pour contourner ce problème, nous avons utilisé la structure présentée en Fig. 3:11. Cette méthode consiste à diminuer le volume de silicium en fabricant deux diodes séparées par un espace de silicium de taille réduite. La suppression du contact en face arrière permet

également de caractériser des siliciures sur substrat SOI (ou sSOI). Ce type de configuration est très proche d'une architecture de type MOSFET ce qui permet de d'injecter une majorité de porteurs de manière horizontale, i.e. sur le flanc du contact.

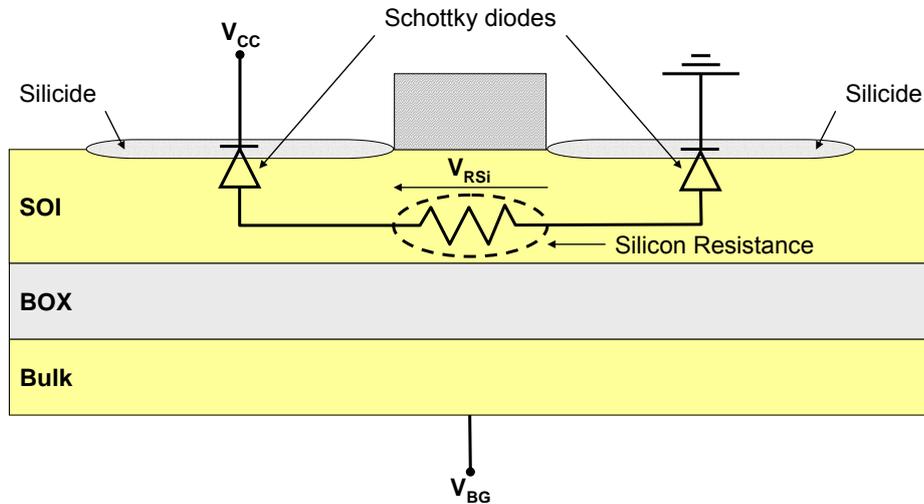


Fig. 3:11 Structure de test par diodes têtes bèches pour la mesure de la hauteur de barrière Schottky.

Le principe de cette méthode consiste à réaliser une mesure courant tension à différentes températures (de 300 K à 150 K par pas de 10 K). L'abaissement de la température permet de diminuer la valeur de la résistance prise en sandwich entre les deux contacts en siliciure. L'évolution de la résistance en fonction de la température est décrite par :

$$R_{Si}(T) = R_{Si}(300K) \cdot \left(\frac{T}{300}\right)^\alpha \quad \text{eq. 3-4}$$

où  $T$  est la température,  $R_{Si}(300 K)$  est la valeur de la résistance à 300 K et  $\alpha$  un coefficient d'ajustement (valeur typique supérieure à 1). L'ensemble des mesures est ensuite mis en forme dans une même figure sous la forme d'une loi d'Arrhenius, i.e.  $I(V_{CC})/T^2$  en fonction de  $1/T$ . Cette forme de représentation permet de distinguer deux régimes de fonctionnement de la structure (Fig. 3:13).

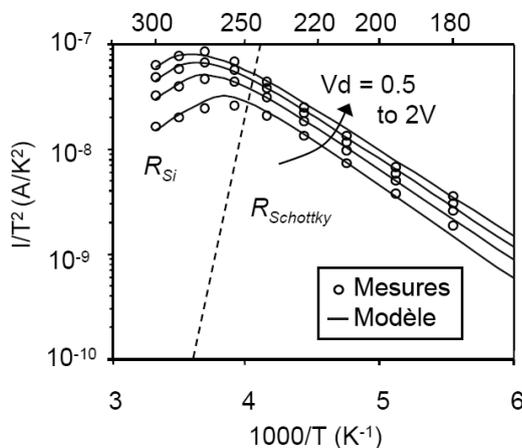


Fig. 3:12 Structure de test par diodes têtes bèches pour la mesure de la hauteur de barrière Schottky.

Entre 300 K et 250 K, les mesures suivent une augmentation linéaire qui correspond à la diminution de la résistance en fonction de la température. Dans ce régime, le courant est limité par cette même résistance. En dessous de cette température, le courant diminue en suivant également une loi linéaire. Dans ce cas, la diode polarisée en mode inverse limite l'intensité du courant. Pour extraire la hauteur de barrière Schottky, il est nécessaire de connaître quels sont les mécanismes de transport en action dans la structure. Dans le cas où seul l'effet thermoélectronique est mis en jeu (cas le plus simple), l'extraction de  $\phi_b$  est possible à partir de la détermination de la pente de la courbe en régime Schottky. L'expression du courant thermoélectronique dans ces conditions est donnée par :

$$\ln\left(\frac{I_R}{T^2}\right) = \ln(A \cdot A^*) - \frac{q \cdot \phi_b}{k \cdot T} \quad \text{eq. 3-5}$$

Plus la pente est faible, plus la barrière Schottky est faible. Cependant, différents phénomènes comme le transport par effet tunnel ou l'abaissement de barrière par effet de charge image sont à prendre en compte dans la détermination de cette barrière. Le paragraphe 3.3 est donc dédié à la détermination d'un modèle prenant en compte les deux phénomènes précédemment cités dans l'extraction de la hauteur de barrière Schottky.

### 3.3 Modélisation du Transport électronique dans les contacts Métal/semi-conducteur

La circulation du courant dans un contact Schottky est dominée par trois phénomènes différents représentés dans la Fig. 3:13, à savoir :

- l'émission thermoélectronique ou « *Thermionic Emission* » (TE) qui représente l'injection d'un porteur de charge au dessus de la barrière par effet thermique.
- l'émission tunnel par effet de champ ou « *Field Emission* » (FE) qui représente l'injection d'un porteur de charge assisté par l'effet de champ dû à l'application d'un champ électrique au travers de la jonction. L'énergie du porteur de charge est inférieure à  $q\phi_b$  et la probabilité de cette injection dépend de nombreux paramètres qui seront décrits dans la suite du paragraphe.
- la combinaison des deux effets précédemment cités, i.e. l'émission par effet thermoélectronique à un niveau inférieur à  $q\phi_b$  puis par effet tunnel au travers de la barrière ; ou « *Thermionic Field Emission* » (TFE).

La contribution de chacun de ces différents phénomènes dépend de la température et surtout du niveau de dopage du silicium. Ainsi, l'émission par TE est prédominante lorsque le dopage est faible ( $N \leq 10^{17} \text{ cm}^{-3}$ ), l'émission par TFE est favorisée lorsque le dopage est modéré ( $10^{17} \leq N \leq 10^{19} \text{ cm}^{-3}$ ) alors que l'émission FE domine lorsque le dopage est élevé ( $N \geq 10^{19} \text{ cm}^{-3}$ ). Un autre moyen de déterminer le phénomène dominant

est de comparer l'énergie thermique  $kT$  et le paramètre  $E_{00}$  défini par  $E_{00} = \frac{q \cdot h}{4 \cdot \pi \cdot m^* \cdot \epsilon_{Si}}$ .

TE, TFE et FE dominant lorsque  $kT \geq E_{00}$ ,  $kT \approx E_{00}$  et  $kT \leq E_{00}$  respectivement.

L'objectif de ce paragraphe est donc de décrire ces différents mécanismes afin d'aboutir à l'élaboration d'un modèle permettant d'extraire la hauteur de barrière Schottky à partir des mesures électriques des échantillons combinant l'application d'une contrainte et la ségrégation de dopant.

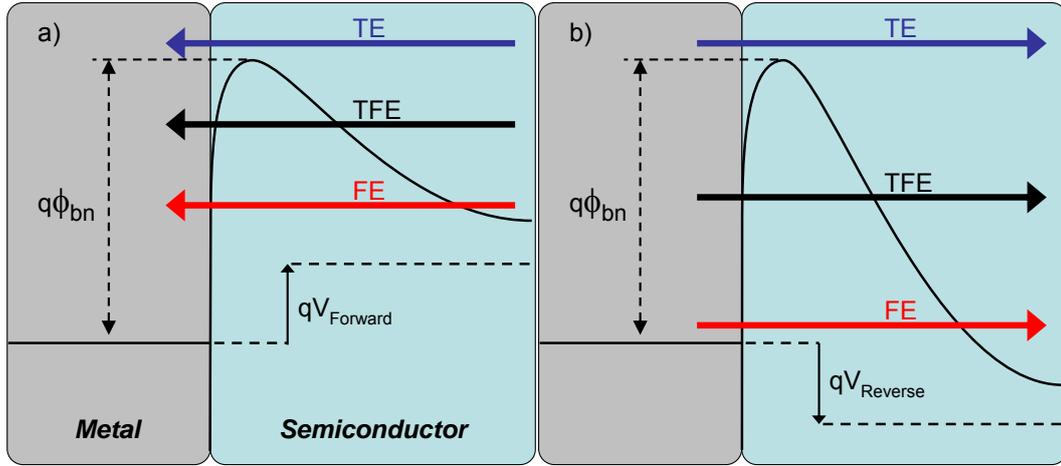


Fig. 3:13 Diagrammes de bande d'une jonction Métal/Semiconducteur en mode **direct** et **inverse** mettant en évidence les différents types d'émission de porteur.

### 3.3.1 TE

Lorsque le dispositif est à température ambiante et qu'aucune tension n'est appliquée, le courant traversant la barrière est nul. Le courant traversant la barrière du silicium au métal par émission TE est égale à :

$$I_{SC \rightarrow M} = A \cdot A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_{Bn}}{k \cdot T}\right) \quad \text{eq. 3-6}$$

avec  $A^*$  la constante de Richardson défini par :

$$A^* = \frac{4 \cdot \pi \cdot q \cdot m^* \cdot k^2}{h^3} \quad \text{eq. 3-7}$$

$k$  la constante de Boltzmann,  $T$  la température et  $q$  la charge élémentaire. L'équation du courant total est donnée par :

$$I = I_{SC \rightarrow M} - I_{M \rightarrow SC} \quad \text{eq. 3-8}$$

A température ambiante et lorsque aucune tension est appliquée, le courant est nul. On a donc  $I_{SC \rightarrow M} = I_{M \rightarrow SC}$  et on en déduit que :

$$I_{M \rightarrow SC} = A \cdot A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_{Bn}}{k \cdot T}\right) \quad \text{eq. 3-9}$$

Lorsqu'une tension négative est appliquée sur le métal, la barrière rencontrée par un porteur de charge venant du semiconducteur est diminuée ce qui implique une augmentation du courant  $I_{SC \rightarrow M}$  alors que le courant  $I_{M \rightarrow SC}$  reste constant. L'expression de  $I_{SC \rightarrow M}$  devient :

$$I_{SC \rightarrow M} = A \cdot A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_{Bn}}{k \cdot T}\right) \cdot \exp\left(\frac{q \cdot V_A}{k \cdot T}\right) \quad \text{eq. 3-10}$$

où  $V_A$  est la tension appliquée. L'expression du courant total est donc :

$$I = I_{SC \rightarrow M} - I_{M \rightarrow SC} = A \cdot A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_{Bn}}{k \cdot T}\right) \cdot \exp\left(\frac{q \cdot V_A}{k \cdot T} - 1\right) \quad \text{eq. 3-11}$$

### 3.3.2 TFE

Pour décrire l'émission par TFE, nous utiliserons le formalisme publié par Crowell et Rideout [108] qui a la particularité de prendre en compte l'injection par effet thermoélectronique et par effet tunnel. L'utilisation de ce formalisme permet d'introduire une transition sans discontinuité entre ces deux effets. Dans ce modèle, l'émission TE et FE sont donc des cas particuliers de l'émission TFE. Nous commencerons par décrire l'émission en mode direct, i.e. l'émission d'un porteur de charge se déplaçant du silicium au métal, puis nous décrirons l'émission de porteur de charge en mode inverse, i.e. l'émission d'un porteur de charge se déplaçant du métal vers le silicium.

- Mode direct

Considérons un porteur de charge dont l'énergie  $E$  est inférieure à  $E_b$ . D'après l'approximation de Wentzel-Kramers-Brillouin (WKB), la probabilité de transmission  $\tau(E)$  d'un porteur de charge au travers de la barrière est donné par:

$$\tau(E) = \exp\left(\frac{-4 \cdot \pi}{h} \cdot \int_x^w \sqrt{2 \cdot m^* \cdot (q \cdot V(x) - E)} \cdot dx\right) \quad \text{eq. 3-12}$$

où  $m^*$  est la masse effective de ce porteur de charge et  $q \cdot V(x) = \frac{q^2 \cdot N \cdot x^2}{2 \cdot \epsilon_{Si}}$  pour  $0 \leq x \leq W$ . La densité de courant en mode direct est donnée par :

$$J = J_f - J_r \quad \text{avec} \quad \begin{cases} J_f = \frac{A^* \cdot T}{k} \cdot \int_0^\infty f_s(E) \cdot \tau(E) \cdot dE \\ J_r = \frac{A^* \cdot T}{k} \cdot \int_0^\infty f_m(E) \cdot \tau(E) \cdot dE \end{cases} \quad \text{eq. 3-13}$$

où  $A^*$  est la constante de Richardson,  $T$  la température et  $k$  la constante de Boltzmann.  $J_f$  et  $J_r$  représentent les densités de courant traversant la barrière du semiconducteur au métal (mode direct) et du métal au semiconducteur (mode inverse).  $f_s(E)$  et  $f_m(E)$  représentent les probabilités d'occupation des états dans le semiconducteur et le métal respectivement.

$$f_s(E) = \exp\left(\frac{-(q \cdot V_N + E)}{k \cdot T}\right) = f_m(E) \cdot \exp\left(\frac{q \cdot V_F}{k \cdot T}\right) \quad \text{eq. 3-14}$$

où  $qV_N$  représente la différence d'énergie entre la bande de conduction et le niveau de Fermi du semiconducteur et  $qV_F$  la différence énergétique entre le niveau de Fermi du métal et le niveau de Fermi du semiconducteur. Après intégration, l'expression de  $J_f$  devient :

$$J_f = J_m \cdot \underbrace{\left[ \frac{E_b}{k \cdot T} \cdot \int_0^1 \exp\left[ -\frac{E_b}{k \cdot T} \cdot \left( \alpha + \frac{k \cdot T}{E_{00}} \cdot y(\alpha) \right) \right] \cdot d\alpha \right]}_{FE} + \underbrace{J_m \cdot \exp\left(\frac{-E_b}{k \cdot T}\right)}_{TE} \quad \text{eq. 3-15}$$

avec :

$$J_m = A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot V_N}{k \cdot T}\right) \quad \text{eq. 3-16}$$

$$E_{00} = \frac{q \cdot h}{4 \cdot \pi} \cdot \left[ \frac{N}{m^* \cdot \epsilon_s} \right] \quad \text{eq. 3-17}$$

$$E_b = q \cdot (\phi_b - V_N - V_F) \quad \text{eq. 3-18}$$

$$y(\alpha) = \sqrt{1-\alpha} - \alpha \cdot \ln\left(\frac{1+\sqrt{1-\alpha}}{\sqrt{\alpha}}\right) \quad \text{eq. 3-19}$$

et

$$\alpha = \frac{E}{E_b} \quad \text{eq. 3-20}$$

$J_m$  étant la densité de courant de courant en régime de bande plate,  $E_{00}$  la constante caractéristique du semiconducteur,  $\alpha$  l'énergie normalisée et  $y(\alpha)$  une fonction sans dimension résultant de l'intégration. Le terme de gauche dans l'eq. 3-15 représente l'injection par effet tunnel et le terme de droite l'injection par effet thermoélectronique.

Lorsque le dopage est faible et que la température est élevée, le terme  $k \cdot T / E_{00}$  devient très important. L'eq. 3-15 devient :

$$J_f = J_m \cdot \exp\left(-\frac{E_b}{k \cdot T}\right) = A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_b}{k \cdot T}\right) \cdot \exp\left(-\frac{q \cdot V_F}{k \cdot T}\right) \quad \text{eq. 3-21}$$

Cette équation est similaire à l'eq. 3-11; le modèle présenté ci-dessus est donc compatible avec l'émission TE.

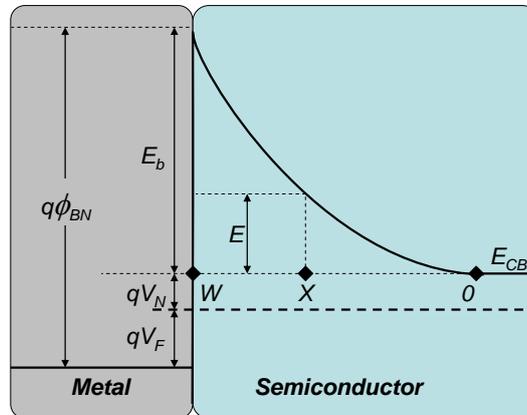


Fig. 3:14 Diagramme de bande d'une jonction Métal/Semiconducteur en mode direct.

- Mode inverse

En utilisant le même schéma d'intégration, l'expression de la densité de courant en mode inverse prend une forme identique à l'eq. 3-15. Ainsi, l'expression de cette densité de courant développé dans [109] montre que :

$$J_R = J_{R0} \cdot \left[ 1 + \frac{E_b}{k \cdot T} \cdot \int_0^1 \exp\left\{-\frac{E_b}{k \cdot T} \cdot \left(\alpha - 1 + \frac{k \cdot T}{E_{00}} \cdot y(\alpha)\right)\right\} \cdot d\alpha \right] \quad \text{eq. 3-22}$$

où 
$$J_{R0} = A^* \cdot T^2 \cdot \exp\left(-\frac{q \cdot \phi_b}{k \cdot T}\right)$$
 eq. 3-23

De la même manière que pour l'eq. 3-15, il est possible de la décomposer en deux termes relatifs aux injections de porteur par TE et FE, tel que :

$$J_R = J_{R0} \cdot \left[ \overbrace{\frac{E_b}{k \cdot T} \cdot \int_0^1 \exp\left\{-\frac{E_b}{k \cdot T} \cdot \left(\alpha - 1 + \frac{k \cdot T}{E_{00}} \cdot y(\alpha)\right)\right\} \cdot d\alpha}^{FE} \right] + J_{R0} \cdot \left[ \underbrace{\frac{E_b}{k \cdot T} \cdot \int_1^\infty \exp\left\{-\frac{E_b}{k \cdot T} \cdot (\alpha - 1)\right\} \cdot d\alpha}_{TE} \right]$$
 eq. 3-24

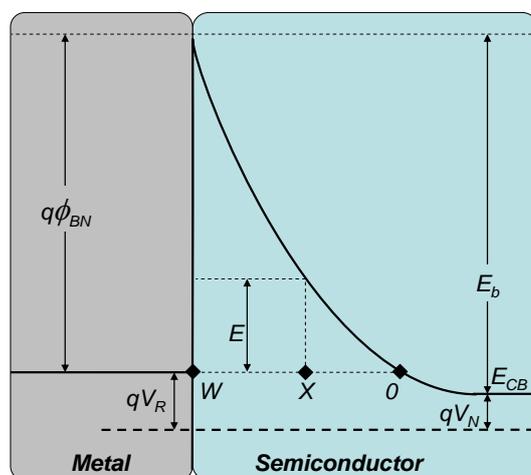


Fig. 3:15 Diagramme de bande d'une jonction Métal/Semiconducteur en mode inverse.

Pour résumer, les trois paramètres suivants permettent de normaliser les eq. 3-13 :

- $J_m$  qui correspond à la densité de courant lorsque la tension appliquée induit la condition de bandes plates.
- $E_b/k \cdot T$  donne une information sur la courbure de bande au voisinage de la jonction. Cette courbure de bande est dépendante de la tension appliquée puisque  $E_b = q \cdot (\phi_b - V_N - V_F)$ .
- $k \cdot T/E_{00}$  définit la probabilité de transmission de porteur d'énergie nulle puisque  $\tau(E = 0) = \exp\left(\frac{-E_b}{E_{00}}\right)$ .

A partir de l'évaluation des paramètres  $E_b/k \cdot T$  et  $k \cdot T/E_{00}$  en fonction des conditions de fonctionnement de la jonction et des caractéristiques, il est possible de déterminer quel est le mécanisme dominant dans l'injection des porteurs.

La Fig. 3:16 montre l'évolution de la distribution des porteurs de charge en fonction de leurs énergies et des paramètres  $E_b$ ,  $E_{00}$  et  $T$ . La figure est divisée en deux zones ; la zone

de gauche représente l'injection FE alors que la zone de droite représente l'injection TE. Le positionnement de la loi de distribution par rapport à ces deux zones détermine la proportion de porteurs injectés soit par TE soit par FE à travers la jonction Schottky.

Il est donc possible d'examiner l'influence de l'énergie du porteur de charge et des paramètres  $E_b$ ,  $E_{00}$  et  $T$  sur le mode de transport dominant.

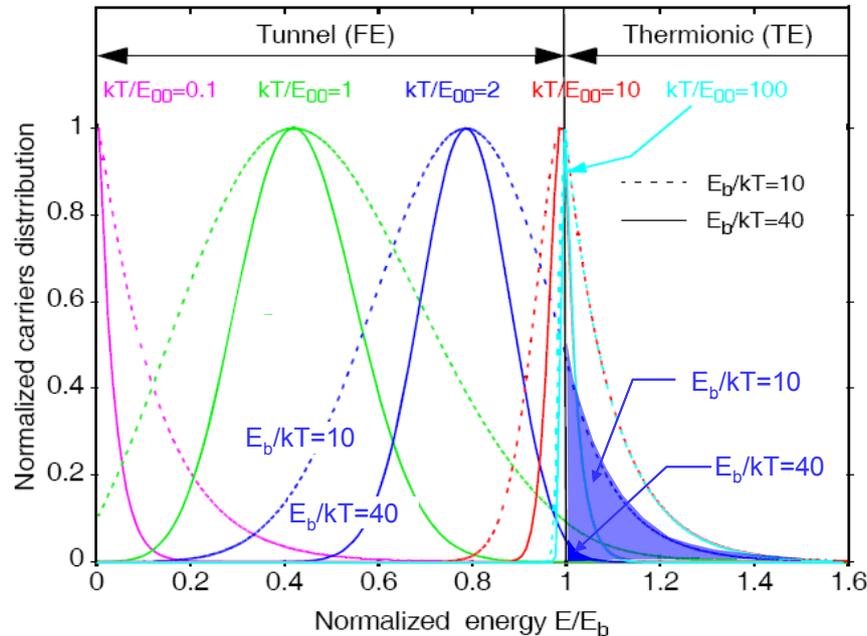


Fig. 3:16 Evolution de la distribution normalisée des porteurs en fonction de  $E/E_b$ ,  $kT/E_{00}$  et  $E_b/kT$ .

Cette figure montre tout d'abord que la diminution de  $E_b/kT$  (par une augmentation de la température par exemple) implique une diminution de la largeur de la distribution. Pour des valeurs de  $kT/E_{00}$  faibles, l'impact sur l'émission n'est pas important puisqu'elle est dominée par l'effet tunnel. Pour  $kT/E_{00}=2$ , l'émission de porteurs est dominée par FE mais une partie non négligeable des porteurs est injectée par TE. Dans ce cas, lorsque  $E_b/kT$  diminue, la variance de la distribution diminue et l'émission par TE devient quasi-nulle. Pour  $kT/E_{00}=10$ , il semble que l'émission soit équitablement partagée entre TE et FE. Au-delà de cette valeur, c'est TE qui domine.  $E_{00}$  étant linéairement dépendant de  $N$ , le niveau de dopage du silicium influe très fortement sur le type d'émission. Cette analyse confirme donc la classification précédemment avancée :

**TE, TFE et FE dominant lorsque  $kT \geq E_{00}$ ,  $kT \approx E_{00}$  et  $kT \leq E_{00}$  respectivement.**

Les Fig. 3:17-a et Fig. 3:17-b représentent l'évolution des densités de courant en fonction des paramètres  $kT/E_{00}$  et  $E_b/kT$ . Ces figures montrent que  $kT/E_{00}$  est le paramètre déterminant le type d'effet mis en jeu dans l'émission. L'activation du mécanisme d'injection par FE, dû à une faible valeur de  $kT/E_{00}$  implique une hausse de plusieurs décades des densités de courant.

Il est également intéressant de remarquer que plus l'émission est dominée par TE, plus la dépendance du courant avec l'évolution de la température est importante. A contrario, plus l'émission est dominée par l'effet FE, plus cette dépendance est faible. Le courant par effet tunnel est donc moins sensible aux variations de température que le courant par effet thermoïonique.

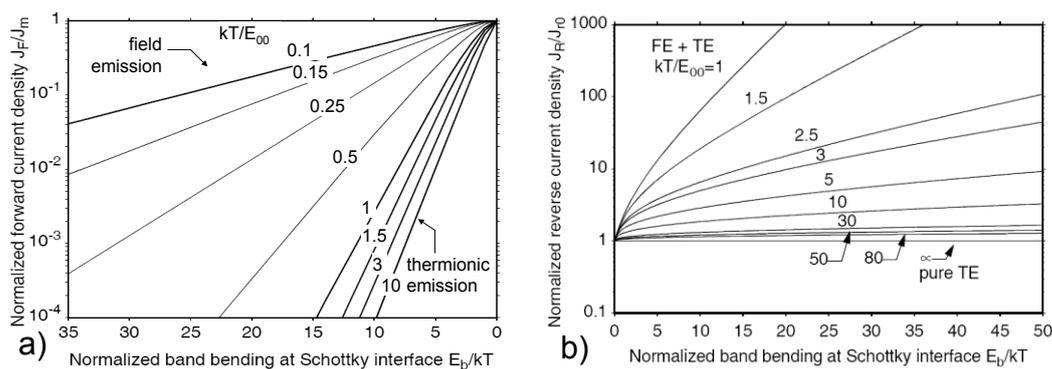


Fig. 3:17 Evolution de la densité de courant en mode **direct** (a) et en mode **inverse** (b) en fonction de  $kT/E_{00}$  et  $E_b/kT$ .

### 3.3.3 TFEBL

Lorsque la jonction MS est créée, une zone de charge d'espace se forme à l'interface du côté du semiconducteur. Lorsqu'un électron du semiconducteur approche de l'interface, une charge image de type opposé apparaît du côté du métal. Le champ électrique effectif est augmenté ce qui implique une diminution de la hauteur de la barrière. Ce phénomène est appelé « *barrier lowering* » (BL) ou encore « *image force lowering* ». Soit  $x$  la distance entre la jonction et l'électron. D'après [110], la force  $\vec{F}$  entre ces deux charges est :

$$\vec{F} = \frac{-q^2}{16 \cdot \pi \cdot \epsilon_{SC} \cdot x^2} \vec{x} \quad \text{eq. 3-25}$$

On en déduit donc l'énergie potentielle de l'électron situé à une distance  $x$  de la barrière lorsque le champ électrique est nul :

$$E_p(x) = \int_{\infty}^x \vec{F} \cdot d\vec{x} = \frac{-q^2}{16 \cdot \pi \cdot \epsilon_{SC} \cdot x} \quad \text{eq. 3-26}$$

En considérant que le champ électrique  $\vec{E}$  est constant dans la zone de déplétion, l'énergie potentielle totale de cet électron  $E_{P,TOT}$  est donnée par :

$$E_{P,TOT}(x) = \frac{-q^2}{16 \cdot \pi \cdot \epsilon_{SC} \cdot x} - q \cdot E \cdot x \quad \text{eq. 3-27}$$

La diminution induite par la charge image  $\Delta\phi$  est donnée pour  $d(E_{P,TOT})/dx = 0$ . Cette condition est vérifiée pour :

$$x_m = \sqrt{\frac{q}{16 \cdot \pi \cdot \epsilon_{SC} \cdot |E|}} \quad \text{eq. 3-28}$$

avec

$$\Delta\phi = \sqrt{\frac{q \cdot |E|}{4 \cdot \pi \cdot \epsilon_{SC}}} \quad \text{eq. 3-29}$$

Finalement, en remplaçant  $E$  par sa valeur maximale, on obtient l'expression suivante :

$$\Delta\phi = \left[ \frac{q^3 \cdot N \cdot E_b}{8 \cdot \pi^2 \cdot \epsilon_{SC}^3} \right]^{1/4} \quad \text{eq. 3-30}$$

Cette formule peut également s'exprimer en fonction des énergies normalisées :

$$\Delta\phi = \left[ \frac{2 \cdot m^* \cdot (k \cdot T)^3}{\epsilon_{SC}^2 \cdot h^2} \cdot \frac{E_b / k \cdot T}{(k \cdot T / E_{00})^2} \right]^{1/4} \quad \text{eq. 3-31}$$

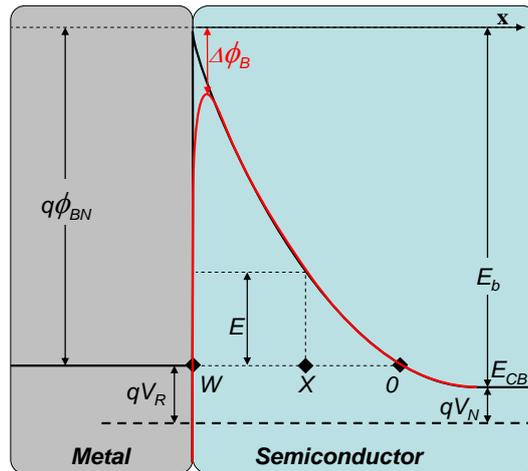


Fig. 3:18 Diagramme de bande d'une jonction MS en mode inverse prenant en compte la réduction de barrière induite par l'effet de charge image.

### 3.4 Structure de test

Dans la section 3.2, nous avons déterminé la méthode la plus adéquate pour l'extraction de la hauteur de la barrière Schottky. L'utilisation de substrats sSOI pour l'application d'une contrainte nous oblige à développer une structure de test constituée de deux diodes Schottky têtes bêtes séparées par un canal de silicium (cf. Fig. 3:11). Nous avons également démontré que la caractérisation d'une telle structure par des mesures I-V-T, combinée au modèle développé dans la section 3.3, nous permettent d'extraire la hauteur de barrière Schottky du silicium de platine sur du silicium contraint en tension, avec ou sans ségrégation de dopant. Cette partie est consacrée au dimensionnement et à la fabrication d'une telle structure et à la description du protocole expérimental.

#### 3.4.1 Design

Le dimensionnement de la structure de test (deux diodes têtes bêtes) est essentiellement gouverné par la valeur de la résistance du barreau de silicium se situant entre les deux films de silicium. Le dimensionnement de ce barreau de silicium a donc un rôle important dans le design de la structure de test. La formule suivante décrit l'évolution de la résistance en fonction de différents paramètres :

$$R = \rho \cdot \frac{l}{s} \quad \text{eq. 3-32}$$

avec  $R$  la résistance (en  $\Omega$ ),  $l$  la longueur du barreau de silicium (en cm),  $s$  la section (en  $\text{cm}^2$ ) et  $\rho$  la résistivité du silicium (en  $\Omega \cdot \text{cm}$ ). La résistivité des différents substrats SOI que nous avons utilisé se situe entre  $4 \Omega \cdot \text{cm}$  et  $10 \Omega \cdot \text{cm}$  ce qui correspond à un dopage très faible compris entre  $10^{15} \text{cm}^{-3}$  et  $10^{16} \text{cm}^{-3}$  (Fig. 3:19). De plus, l'épaisseur des films SOI est très faible (inférieure à 20 nm) afin de répondre aux spécifications établies dans le paragraphe 1.6. Dans ces conditions (i.e. un film mince de silicium), la conduction peut être influencée par une déplétion de surface liée à la présence de pièges de surface.

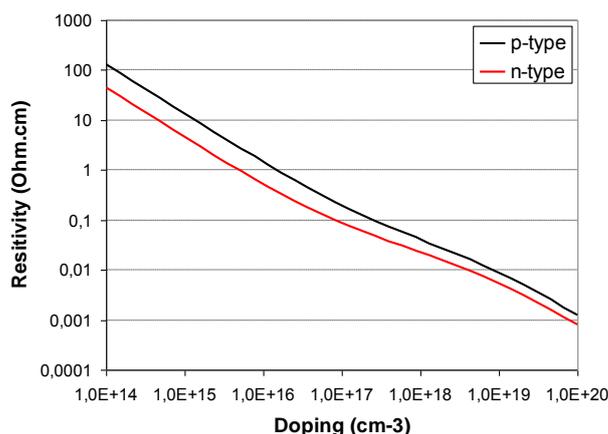


Fig. 3:19 Evolution de la résistivité en fonction du dopage du silicium

Comme l'épaisseur du film SOI et le dopage ne peuvent être modifiés, la résistance du barreau de silicium ne peut être ajustée qu'en modifiant la largeur et la longueur. La détermination de ces dimensions est donc d'une importance fondamentale dans le fonctionnement de cette structure de test. Afin de garantir une valeur assez faible, la largeur des contacts en siliciure de platine est fixée à 1mm et la longueur du barreau de silicium varie entre  $5 \mu\text{m}$  et  $100 \text{nm}$  (Fig. 3:20). Le Tableau 3:1 répertorie les valeurs de cette résistance pour différents paramètres. Le maximum est de  $50000 \Omega$  et le minimum de  $267 \Omega$ .

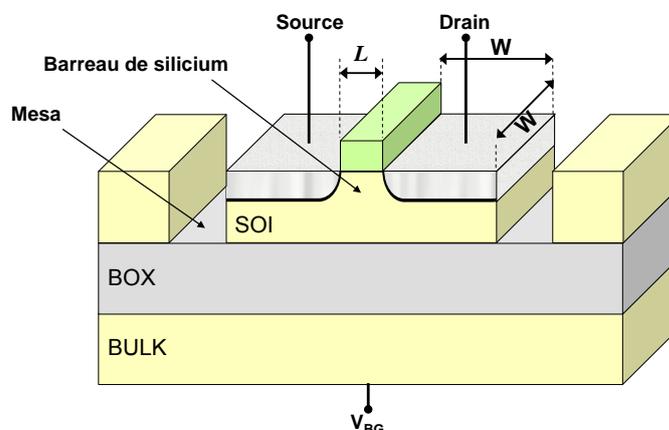


Fig. 3:20 Schéma représentant la structure de test composée de deux diodes Schottky têtes bèches séparées par un barreau de silicium sur un substrat SOI.

Tableau 3:1 Evolution de la valeur du barreau de silicium en fonction de la largeur, de l'épaisseur du film SOI et de la résistivité. La largeur est fixée à 1mm.

Résistivité ( $\Omega$ .cm)	SOI (nm)	Longueur du barreau de silicium (en $\mu$ m)				
		5	1	0,5	0,25	0,1
4	10	$2,00 \times 10^4 \Omega$	$4,00 \times 10^3 \Omega$	$2,00 \times 10^3 \Omega$	$1,00 \times 10^3 \Omega$	$4,00 \times 10^2 \Omega$
	15	$1,33 \times 10^4 \Omega$	$2,67 \times 10^3 \Omega$	$1,33 \times 10^3 \Omega$	$6,67 \times 10^2 \Omega$	<b><math>2,67 \times 10^2 \Omega</math></b>
10	10	<b><math>5,00 \times 10^4 \Omega</math></b>	$1,00 \times 10^4 \Omega$	$5,00 \times 10^3 \Omega$	$2,50 \times 10^3 \Omega$	$1,00 \times 10^3 \Omega$
	15	$3,33 \times 10^4 \Omega$	$6,67 \times 10^3 \Omega$	$3,33 \times 10^3 \Omega$	$1,67 \times 10^3 \Omega$	$6,67 \times 10^2 \Omega$

La dimension importante des contacts en siliciure de platine permet également d'augmenter le courant total, ce qui facilite également la mesure. Afin de contenir le courant dans une zone déterminée, la structure est isolée du reste du substrat par un mesa. Enfin, il est possible de polariser la face arrière du substrat afin de mettre la structure en accumulation et ainsi augmenter le courant si celui-ci est trop faible. La polarisation de la face arrière permet également d'avoir accès à des informations supplémentaire sur la qualité des contacts puisqu'elle permet de développer un effet de champ à travers l'oxyde enterré, simulant ainsi le comportement d'une grille. Dans cette configuration, le substrat joue le rôle d'électrode de grille, le BOX celui de l'oxyde de grille et le film SOI joue le rôle du canal conducteur. Cette structure, appelé également pseudo MOSFET permet ainsi de déterminer la mobilité des porteurs dans le substrat en s'affranchissant du développement complexe d'une grille.

### 3.4.2 Organisation des mesures à basse température

Les mesures nécessaires à l'extraction de la hauteur de barrière Schottky nécessitent d'être réalisées à basse température. Pour cela, nous avons utilisé une station de mesure cryogénique (Fig. 3:21). Cet équipement comporte plusieurs enceintes hermétiques encastrées l'une dans l'autre et maintenues sous un vide de  $10^{-6}$  mbar environ. Un système de conduits permet la circulation d'azote liquide afin de refroidir les différentes enceintes. Trois résistances chauffantes de différentes puissances permettent de contrôler de manière très précise la température de l'échantillon. Celui-ci est placé sur un porte substrat à l'intérieur de l'enceinte. Ce porte-échantillon, composé de deux couches d'isolant et de deux couches métalliques permet d'isoler électriquement l'échantillon du reste de l'équipement et de polariser la face arrière. La polarisation des deux diodes s'effectue à l'aide de deux bras articulés et thermiquement isolants comportant à l'une de leurs extrémités une aiguille de tungstène afin de rentrer en contact avec l'échantillon. Un asservissement électronique permet de contrôler les résistances chauffantes afin de créer des paliers à température constante entre 77 K et 300 K. Pour chaque palier, un des contacts en PtSi est relié à la masse alors que l'autre est polarisé de 0 à 2V ou -2V. Suivant le type de composant, la face arrière ou « *back gate* » (BG) est polarisée de 0 à 50V ou -50V par pas de 5V.



Fig. 3:21 Photo de la station de mesure cryogénique.

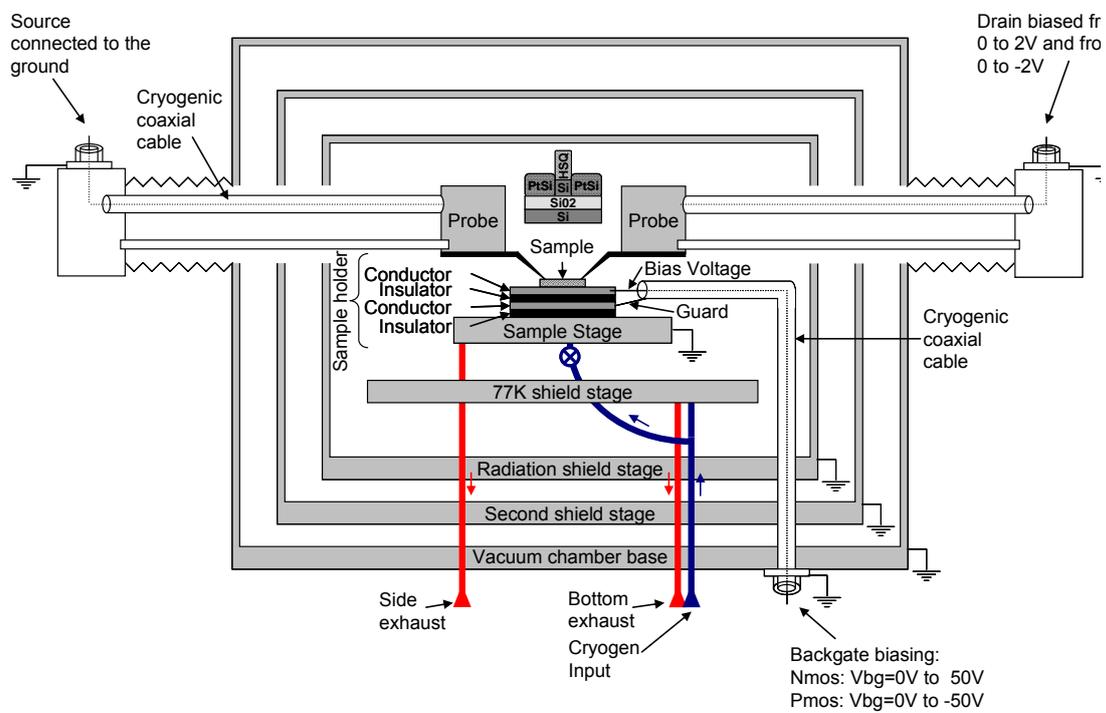


Fig. 3:22 Schéma représentant les différents composants de la station de mesure cryogénique.

### 3.4.3 Procédé de fabrication

Dans cette section, le procédé de fabrication de cette structure de test est détaillé. Nous avons employé les techniques communément utilisées dans le secteur de la microélectronique, à savoir la lithographie électronique, la gravure ionique réactive et la gravure par voie chimique. Nous commencerons par quelques généralités sur la lithographie électronique. Ensuite, nous détaillerons les différentes étapes du procédé de fabrication.

#### 3.4.3.1 Généralités sur la lithographie électronique.

La lithographie électronique est une technique qui consiste à reproduire un motif sur une couche de résine sans passer par le transfert d'un jeu de masque ; c'est une écriture directe. L'exposition de cette résine à un faisceau d'électron permet de modifier les propriétés structurales de celle-ci. Il existe deux types de résine dont la réaction face à l'exposition est différente :

- résine positive : la résine sensibilisée peut être retirée par voie chimique.
- résine négative : la résine non sensibilisée peut être retirée par voie chimique.

Contrairement à la photolithographie traditionnelle où le motif est transféré en quelques secondes, la lithographie électronique nécessite un « balayage » de la zone déterminée. Ce transfert séquentiel est donc bien plus consommateur en terme de temps d'exposition, ce qui rend cette technologie moins attractive. Cependant, le développement d'équipement multi faisceau permet de pallier à ce problème en diminuant le temps d'exposition [111], [112]. L'équipement que nous avons utilisé est un Vistec EBPG 5000+ (Fig. 3:23). Cet outil permet de réaliser des expositions électroniques à des énergies jusqu'à 100 keV et d'atteindre des résolutions de 10 nm.



Fig. 3:23 Photo du masqueur électronique Vistec EBPG 5000+.

Lorsqu'une zone de résine est insolée, elle reçoit une certaine dose d'énergie. Si cette dose est supérieure à un certain seuil, appelé seuil de révélation, la zone réagit lors de la révélation et le motif est défini. Cependant, des phénomènes d'interaction entre les électrons et le substrat interviennent lors de l'exposition de la résine. Des électrons rétro diffusés et des électrons secondaires viennent irradier des zones non désirées de la résine : ce sont les effets de proximité (Fig. 3:24). La conséquence de ces effets parasites est un élargissement du motif.

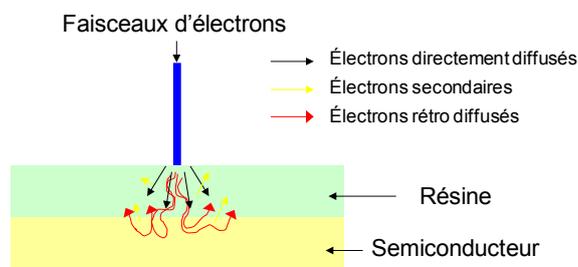


Fig. 3:24 Représentation schématique de la distribution et de la nature des électrons lors d'une insolation électronique.

Si la densité de motif est trop importante, les espaces de résine situés entre les motifs peuvent recevoir une dose trop importante. La définition exacte des motifs peut être altérée (Fig. 3:25).

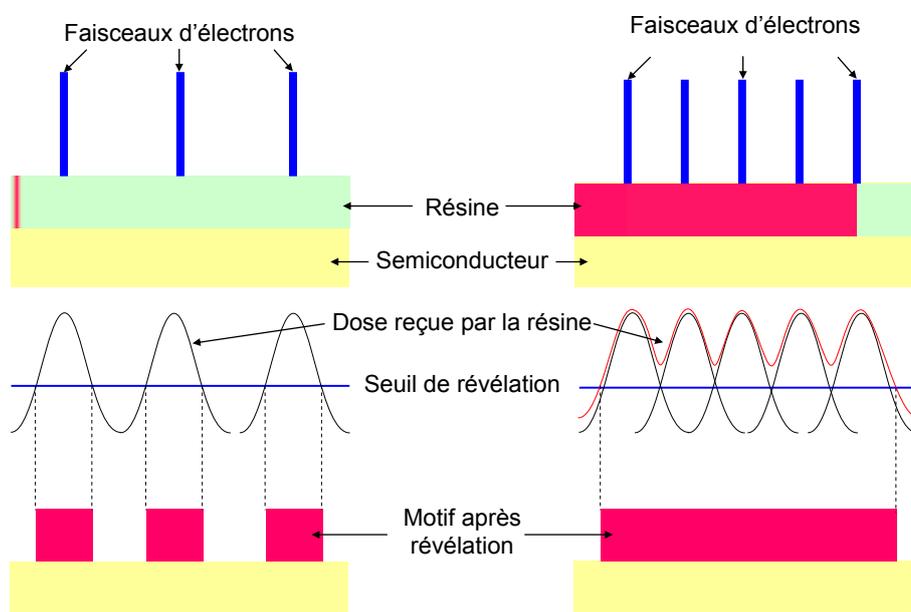


Fig. 3:25 Illustration des effets de proximité. Dans le cas d'un réseau dense, les espaces entre les motifs reçoivent une dose supérieure au seuil de révélation et les motifs du centre ne seront pas disjoints.

Pour éviter ce problème, il est nécessaire de procéder à une correction des effets de proximité. Cette méthode consiste à anticiper les effets de bord et à moduler la dose d'électrons en fonction de la zone exposée. Ainsi, une zone dont la densité de motif est importante recevra une dose moins importante qu'un motif isolé. Pour cela, il faut

préalablement calculer la dispersion des électrons en fonction des matériaux utilisés et de l'énergie du faisceau. La Fig. 3:26 représente par exemple la distribution radiale des électrons en fonction de l'énergie d'implantation du faisceau pour empilement de résine HSQ (200 nm) / Si (15 nm) / SiO<sub>2</sub> (145 nm) / Si (100 μm).

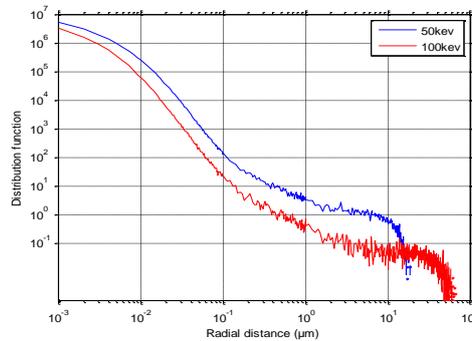


Fig. 3:26 Fonction de distribution des électrons en fonction de la position radiale pour un empilement de type HSQ (200nm) / Si (15nm) / SiO<sub>2</sub> (145nm) / Si (100μm).

### 3.4.3.2 Formation du MESA

Le but de la première étape du procédé est d'isoler électriquement une zone du reste du substrat pour y réaliser les deux diodes Schottky. Pour réaliser cette tranchée, également appelée mesa, nous avons utilisé une résine positive de type PMMA fournie par MICROCHEM (le poids moléculaire est de 950K). Cette résine présente la caractéristique de pouvoir être utilisée pour la photolithographie et la lithographie électronique. La résine est déposée par enduction centrifuge et l'épaisseur dépend de plusieurs paramètres : le niveau de dilution (nous utiliserons une solution diluée à 4% dans l'Anisole) et la vitesse de rotation (Fig. 3:27).

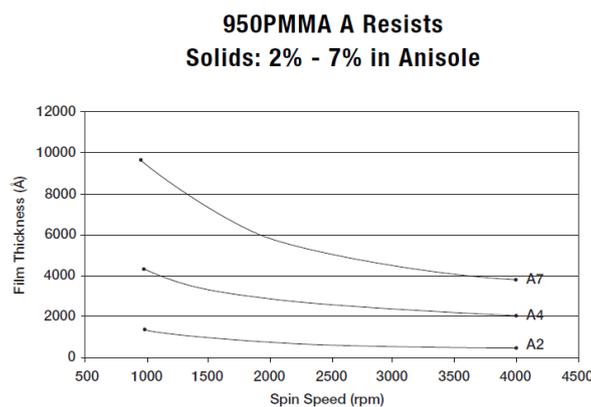


Fig. 3:27 Évolution de l'épaisseur de la couche de résine PMMA en fonction du niveau de dilution et de la vitesse de rotation.

Afin d'obtenir une épaisseur de 260 nm environ, la vitesse de rotation est fixée à 2000 rpm et l'accélération à 1000 rpm/s pendant 12s. L'échantillon est ensuite placé sur une plaque chauffante à 80°C pendant 1 minute puis dans un four maintenu à 170°C pendant 30

minutes afin que les solvants s'évaporent et que la résine durcisse. L'écriture des motifs est faite à 100keV avec une dose initiale de  $300 \mu\text{C}\cdot\text{cm}^{-2}$  et un courant de 12nA. Après l'écriture, l'échantillon est plongé dans une solution de Methyl isobutyl ketone (MIBK) et d'isopropanol (IPA) (proportion 1:1) pendant 65s afin de retirer les zones exposées. Le substrat est ensuite rincé dans un bain d'IPA pendant une minute et séché à l'azote. La tranchée forme un rectangle de 1mm x 2mm et de largeur  $40 \mu\text{m}$  (Fig. 3:28).

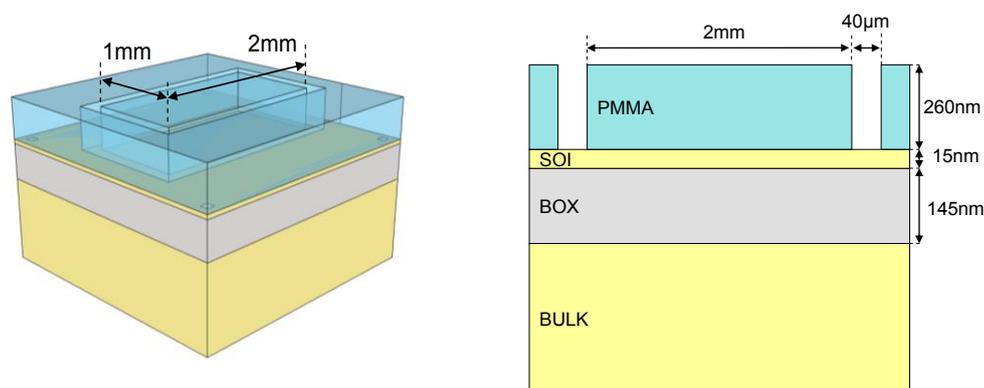


Fig. 3:28 Représentation 3D et en vue de coupe de la couche de PMMA insolée et révélée sur un substrat de SOI.

Afin de transférer le motif de la couche de résine PMMA au SOI, la gravure ionique réactive est utilisée. La gravure plasma est une gravure sèche pendant laquelle le bombardement ionique entraîne une érosion du matériau. Une réaction chimique peut également avoir lieu entre le matériau et les ions. Le bâti de gravure utilisé lors de cette étude est un modèle Plasmalab 80+ d'Oxford Instruments. Le plasma utilisé est de type  $\text{SF}_6/\text{Ar}$  avec des débits identiques (10sccm). L'enceinte est maintenue sous un vide de  $5 \times 10^{-6}$  mbar et la puissance du champ électrique oscillant est de 30 Watts. L'application du champ électrique oscillant permet de dissocier et d'ioniser les molécules du gaz en leurs arrachant des électrons. Dans le cas présent, les radicaux créés sont  $\text{F}^-$  et  $\text{SF}_5^+$  qui réagissent avec Si pour donner  $\text{SiF}_4$  (espèce volatile). L'ajout de l'argon permet d'accentuer la gravure physique afin d'obtenir une meilleur anisotropie des flancs. L'évolution de la gravure est contrôlée par un système de détection de fin d'attaque par interférométrie (Fig. 3:29-a). Après la gravure (Fig. 3:29-c), la résine est retirée dans un bain d'acétone maintenu à  $50^\circ\text{C}$  pendant 10 minutes. Le substrat est ensuite plongé dans un bain d'IPA pendant 1 minute et séché à l'azote (Fig. 3:29-d).

La structure résultante de cette opération est une zone de silicium de 1mm x 2mm isolé du reste du substrat par une tranchée de  $40 \mu\text{m}$  de large (Fig. 3:30).

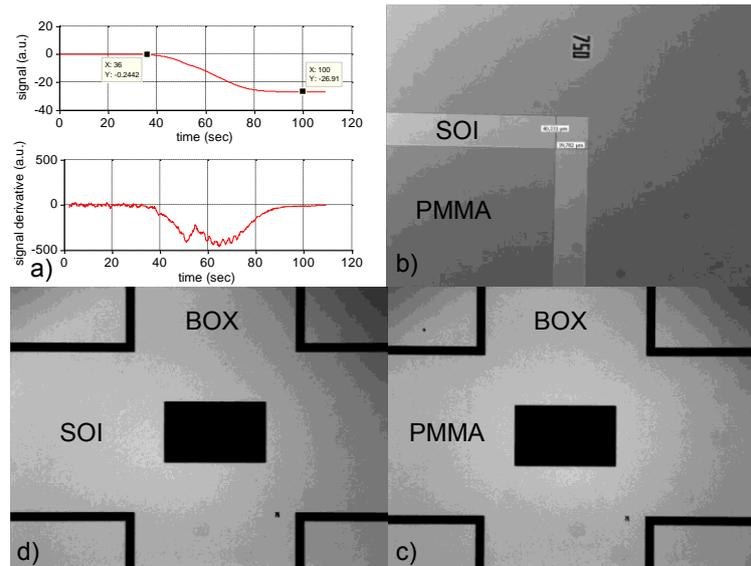


Fig. 3:29 Signal interférométrique de détection de fin d'attaque (a) et observations au microscope du motif après la révélation (b), après la gravure (c) et après nettoyage de la PMMA (d).

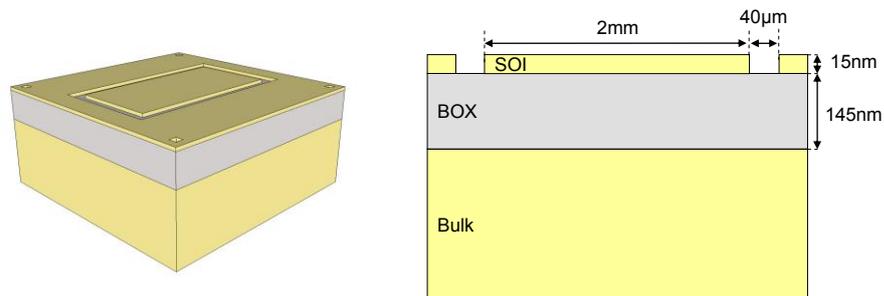


Fig. 3:30 Représentation 3D et en vue de coupe du substrat après la gravure du mesa et le retrait de la résine PMMA.

### 3.4.3.3 Couche de protection (HSQ)

Nous avons vu précédemment que la formation du siliciure de platine se faisait par dépôt de platine sur l'intégralité du substrat. Pour former deux diodes têtes bêtes sur la zone de silicium isolée, il est nécessaire de créer un espace non siliciuré au centre de celle-ci afin de créer deux contacts de siliciure de platine. Pour cela, nous avons créé une couche de protection à l'aide d'une résine électronique inorganique de type Hydrogen SilsesQuioxane (HSQ). Dans ce travail, une solution commercialisée par Dow Corning, sous la nomenclature FOx-16 (solution composée de HSQ dissoute dans du MIBK), est utilisée afin d'obtenir une épaisseur de 200 nm. Les propriétés de cette résine sont intéressantes puisque la résolution et le rapport d'aspect des motifs sont excellents [113]. La résine est

déposée par enduction centrifuge avec les paramètres suivants : la vitesse de rotation est fixée à 5000 rpm et l'accélération à 4000 rpm/s pendant 60s. L'épaisseur obtenue est de 150 nm. Après enduction, l'échantillon est placé sur une plaque chauffante maintenue à 90°C pendant 60 secondes. L'insolation électronique permet de polymériser la résine à l'endroit où le faisceau est focalisé. Lors de cette réaction de polymérisation, les liaisons Si-H et Si-O des monomères vont se rompre, permettant ainsi aux monomères de se lier entre eux pour former un réseau plus résistant que la structure cagique. Le développeur utilisé est le Tetra Methyl Ammonium Hydroxide (TMAH) dilué à 25% dans de l'eau déionisée pendant une minute à température ambiante. L'échantillon est ensuite rincé dans de l'eau déionisée et séché sous N<sub>2</sub>. Lors de la révélation, les liaisons Si-H de la structure cagique se dissolvent plus facilement que les liaisons présentes dans la structure réseau, définissant ainsi le motif. Le motif forme un contour de la zone active d'une largeur de 20 μm traversée par une ligne de largeur variable. Le contour recouvre à la fois le SOI et le BOX (Fig. 3:31 et Fig. 3:32).

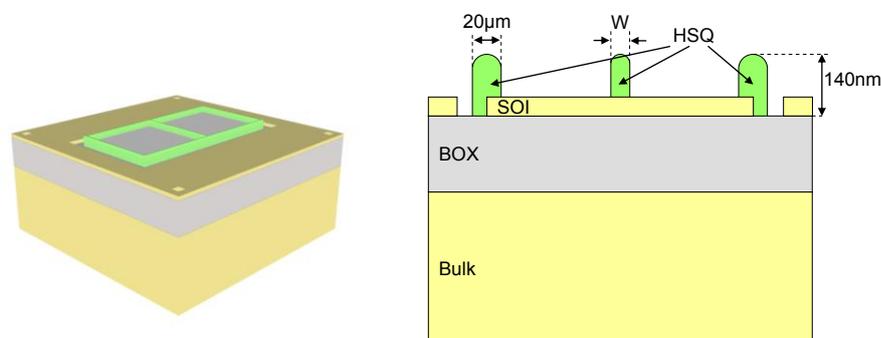


Fig. 3:31 Représentation 3D et en vue de coupe du substrat après l'écriture et la révélation de la résine HSQ.

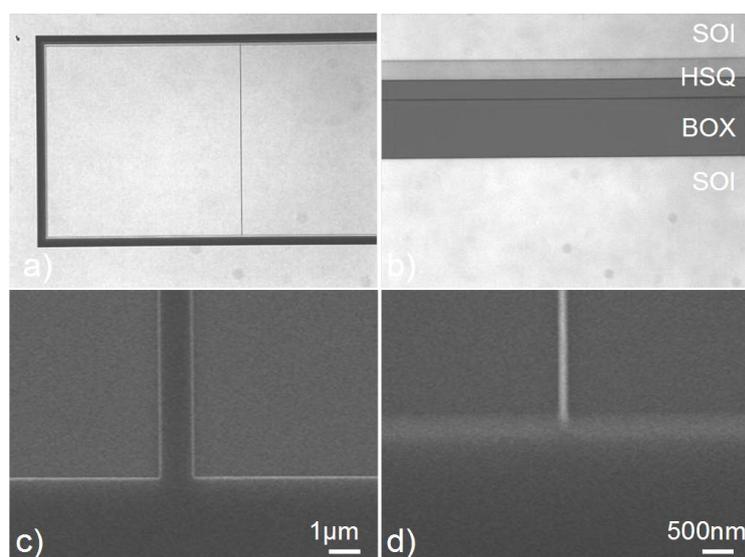


Fig. 3:32 Observations au microscope (a,b) et au MEB (c,d) de la couche de HSQ. Superposition de la HSQ sur le BOX et le SOI (b). Séparation de 1 μm (c) et de 100 nm (d).

Après l'écriture de ce motif, la structure est prête à recevoir la couche de platine. Cependant, nous avons évoqué dans le paragraphe 3.1.1 que le substrat devait être désoxydé avant le dépôt et le recuit de siliciuration. La résine HSQ étant très soluble dans l'acide fluorhydrique (HF), cette étape de désoxydation ne peut être réalisée dans l'état. Penaud et al. ont démontré qu'il était possible de densifier la HSQ en la soumettant à un recuit à haute température ou à un plasma oxygéné à forte puissance [114]. Cette densification permet de diminuer la vitesse de gravure de la HSQ dans le HF 1%. Nous avons choisi la densification par recuit thermique car la modification physico-chimique de la HSQ se fait dans tout le volume du motif alors qu'elle ne se fait qu'en surface lors de l'exposition à un plasma oxygéné. Il est ainsi possible de réduire par un facteur 32 la vitesse de gravure de la HSQ dans le HF 1% (de 800 nm/min à moins de 25 nm/min). Nous avons donc soumis les échantillons à un recuit de 700°C pendant 2 minutes sous azote hydrogéné. De plus, nous avons déterminé qu'une désoxydation d'une durée comprise entre 30 et 40 secondes était généralement suffisante pour obtenir une surface totalement hydrophobe, et donc complètement désoxydée.

#### 3.4.3.4 Siliciuration et Retrait sélectif

Pour procéder à la formation des diodes Schottky, un dépôt par évaporation de 6 nm de platine est réalisé sur l'ensemble de l'échantillon (paragraphe 3.1.2). La réaction de siliciuration a lieu lors d'un recuit RTA à 500°C pendant 2 minutes dans un environnement d'azote hydrogéné ( $N_2H_2$ ) (paragraphe 3.1.3). Une fois le PtSi formé, le platine n'ayant pas réagi avec le silicium doit être gravé de façon sélective. La technique la plus communément utilisée est la gravure sélective dans l'eau régale ( $HCl : H_2O : HNO_3 ; 60 : 40 : 20mL$ ) à 50°C pendant 2 minutes.

Breil et al. ont mis en évidence l'apparition de défauts circulaires lors de cette étape [105]. Lors de la réaction de siliciuration, une fine couche d'oxyde de silicium se forme au dessus du siliciure de platine. Cette couche de  $SiO_2$  protège le PtSi de l'attaque à l'eau régale puisque cette solution est fortement sélective entre Pt et  $SiO_2$  mais pas entre Pt et PtSi. La présence de défauts ponctuels dans la couche de PtSi se répercute sur la couche de  $SiO_2$ . Ces défauts sont en fait des ouvertures pour l'eau régale qui, de ce fait, grave le PtSi (Fig. 3:33).

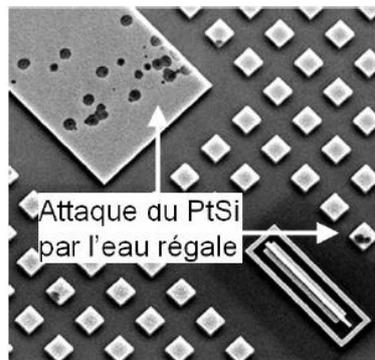


Fig. 3:33 Image MEB de défauts circulaires sur le PtSi survenant après le retrait sélectif du Pt par eau régale.

L'élaboration d'une méthode de retrait sélectif alternative a donc été imaginée par Breil et al. : le retrait par germaniuration sacrificielle [115–117]. Cette méthode consiste à

transformer le platine n'ayant pas réagi en un alliage facilement soluble dans des solutions chimiques. Or, il a été mis en évidence que le germaniure de platine ( $Pt_xGe_y$ ) était soluble dans l'eau oxygénée ( $H_2O_2$ ). Cette particularité a permis de développer le procédé suivant :

- le platine est déposé sur l'ensemble de l'échantillon (Fig. 3:34-a).
- le siliciure de platine est formé par recuit thermique (Fig. 3:34-b).
- une couche de germanium est déposée sur l'échantillon (Fig. 3:34-c).
- le germaniure de platine est formé par recuit thermique sur les zones où le platine ne s'est pas transformé (Fig. 3:34-d).
- le germaniure de platine est gravé par voie chimique (Fig. 3:34-e).

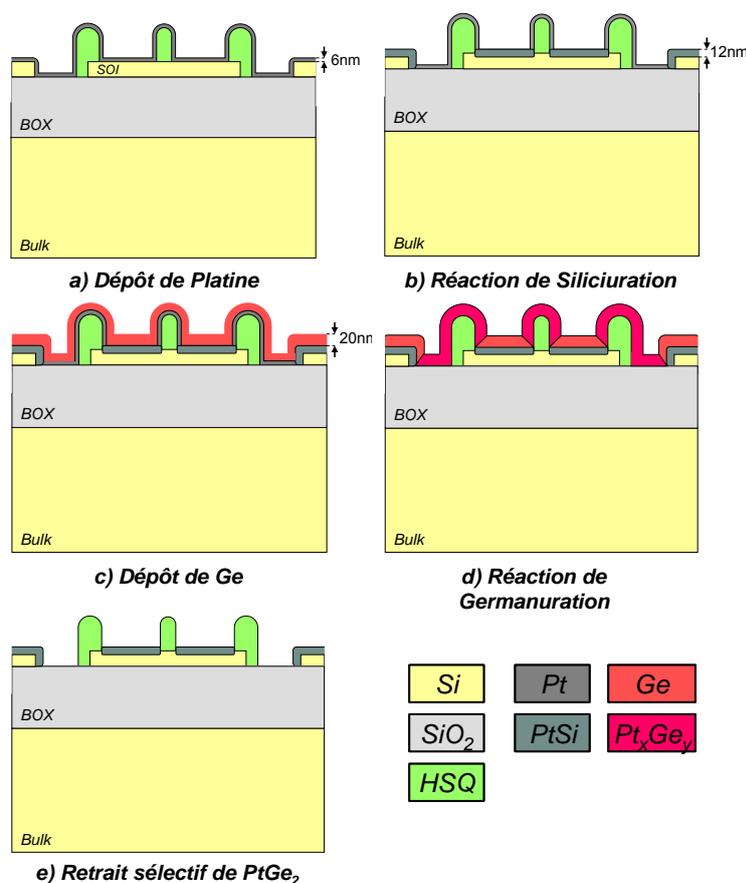


Fig. 3:34 Schéma d'intégration du procédé de retrait sélectif du platine non réagi par germaniuration sacrificielle.

D'après l'étude réalisée par Breil dans ses travaux de thèse [105], la réaction de germaniuration du platine débute à partir de 200°C par la formation de PtGe. Entre 200°C et 300°C, les phases PtGe et  $Pt_2Ge_3$  sont présentes simultanément. Après 300°C, seule la phase  $Pt_2G_3$  est présente. Son analyse montre également que le retrait sélectif par germaniuration n'a aucun impact sur la résistance par carreau du siliciure de platine et sur la hauteur de barrière Schottky. Dans notre procédé, nous avons choisi de déposer 20 nm de Germanium recuit à 300°C pendant 5minutes sous  $N_2H_2$ . La gravure sélective est réalisée dans un bain de  $H_2O_2$  et de  $H_2SO_4$ . Nous avons pu remarquer qu'une ébullition faible apparaissait lorsque l'échantillon était plongé dans la solution. Cette première

réaction correspond au retrait du germanium situé sur le PtSi. Après cette première réaction, une ébullition d'intensité croissante apparaît sur les zones où le platine n'a pas réagi, i.e. sur le mesa et la HSQ. Cette ébullition cesse après 10 à 15 minutes et correspond au retrait du  $Pt_xGe_y$ . Les figures ci-dessous sont des observations au microscope et au MEB mettant en évidence ces deux étapes lors du retrait sélectif.

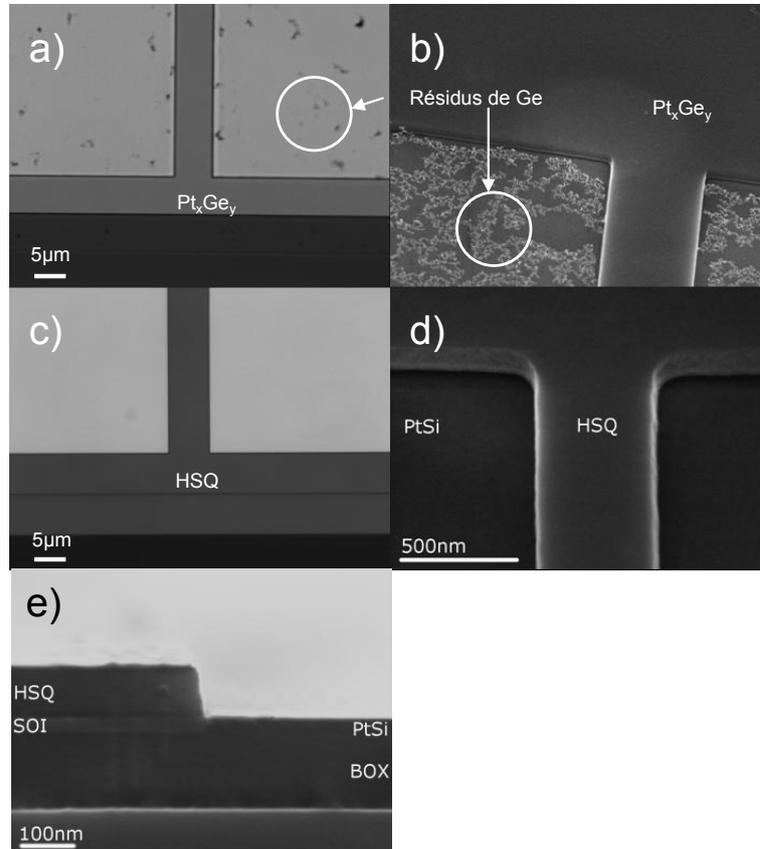


Fig. 3:35 Observations de la structure des diodes têtes bêtes pendant et après le retrait sélectif par germaniuration sacrificielle.(a) et (c) sont des observations au microscope, (b) et (d) sont des observations aux MEB alors que (e) est une observation au MEB en vue de coupe.

#### 3.4.3.5 Formation des contacts épais

Pour terminer le procédé de fabrication, des contacts métalliques sont déposés au dessus des deux surfaces de siliciure de platine afin de les protéger lors des posés de pointes mais aussi pour optimiser la qualité du contact électrique et réduire la résistance d'accès. Ces plots sont composés d'une fine couche de titane (10 nm), jouant le rôle de couche d'adhésion, et d'une épaisse couche d'aluminium (300 nm). Ils sont formés par « *lift-off* », à l'aide d'une résine positive de type COPO. Une fois le motif transmis à la résine par lithographie électronique, le bicouche métallique est déposé par évaporation (Fig. 3:36-a). L'échantillon est ensuite plongé dans un bain d'acétone à 50°C afin de retirer la résine. Les zones de métal en contact avec le PtSi restent alors que le reste est retiré (Fig. 3:36-b).

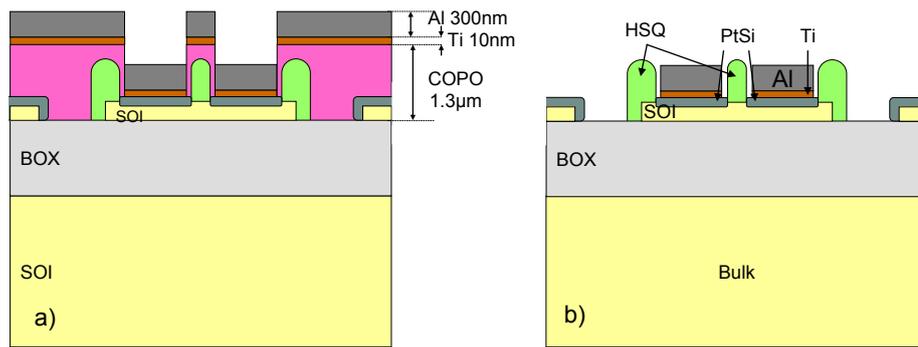


Fig. 3:36 Représentation schématique en coupe de la formation des plots métalliques. (a) après le dépôt du bicouche métallique et (b) après le « lift-off ».

### 3.5 Conclusion du chapitre

Dans ce chapitre, nous avons rappelé les éléments essentiels relatifs à la cinétique de siliciuration du platine pour différentes conditions de recuit. Nous avons ainsi déterminé qu'un recuit de type RTA à 500°C pendant 2 minutes était idéal pour la création d'une jonction Schottky. Nous avons ensuite investigué les différentes méthodes permettant d'extraire la hauteur de barrière Schottky.

Pour rappel, l'objet de cette thèse est l'évaluation de l'application de la contrainte et/ou de la ségrégation de dopant sur la hauteur de barrière Schottky. Dans cette optique, l'utilisation d'une structure composée de deux diodes têtes bêtes semble être la plus adaptée à ce type de caractérisation car elle permet l'utilisation de substrat de type sSOI. De plus, elle permet de mesurer de manière précise des faibles hauteurs de barrières alors que les autres méthodes sont limitées à des barrières importantes.

L'élaboration d'un modèle complexe prenant en compte l'effet tunnel et la réduction de barrière induite par la charge image s'est donc avéré indispensable afin de comprendre les différents mécanismes induit par les contraintes et la ségrégation de dopant.

Pour finir, nous avons détaillé le procédé de fabrication d'une telle structure, de la formation du mesa jusqu'à la germaniuration sacrificielle pour la formation de contacts auto-alignés.

Le chapitre suivant est dédié à l'extraction des hauteurs de barrières Schottky et à l'évaluation de l'impact des contraintes et de la ségrégation de dopant sur ce paramètre.





# Chapitre 4: Modulation de la hauteur de barrière Schottky du contact PtSi/Si

Ce chapitre est dédié à l'extraction de la hauteur de barrière Schottky sur les structures de test dédiées développées au cours de cette thèse. La première partie du paragraphe est consacrée à l'étude des résultats obtenus sur des substrats de type sSOI. Nous analyserons ainsi l'impact d'une contrainte biaxiale sur les bandes de valence du silicium. A titre de comparaison, nous étudierons aussi l'effet d'une contrainte biaxiale en compression sur une couche de  $\text{Si}_{1-x}\text{Ge}_x$  à partir d'une hétérostructure  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ . La seconde partie du paragraphe est dédiée à l'application de la ségrégation de dopant sur des diodes Schottky non contraintes. Les résultats obtenus serviront de références pour l'étude de l'application simultanée des deux techniques développées dans le paragraphe 4.3. Enfin, nous comparerons les résultats expérimentaux aux simulations réalisées dans le Chapitre 3.

---

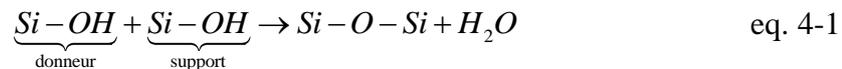
<b>4.1 Impact de l'application des contraintes sur la hauteur de barrière Schottky</b>	<b>126</b>
4.1.1 Les substrats sSOI	126
4.1.2 Ajustement des paramètres de simulation	127
4.1.3 Extraction de la hauteur de barrière Schottky	130
4.1.3.1 Substrats standards et sSOI	130
4.1.3.2 Hétérostructure $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$	132
4.1.4 Conclusion	135
<b>4.2 Application de la ségrégation de dopant</b>	<b>135</b>
4.2.1 Détermination des conditions pour la ségrégation de dopant	135
4.2.2 Ségrégation de Bore	137
4.2.3 Ségrégation d'Arsenic	138
4.2.4 Conclusion	138
<b>4.3 Combinaison des deux techniques</b>	<b>139</b>
4.3.1 B-DS et contrainte	139
4.3.2 As-DS et contrainte	139
4.3.3 Conclusion	140
<b>4.4 Comparaison entre les valeurs expérimentales et les simulations</b>	<b>142</b>
4.4.1 Effet de l'amincissement du film mince de silicium sur la structure de bande.	142
4.4.2 Paramètres intrinsèques aux substrats influant sur la ségrégation du Bore	146
4.4.2.1 Modification de la distribution des dopants en fonction de l'épaisseur du film SOI	146
4.4.2.2 Impact de la contrainte sur la diffusion des dopants	148
4.4.3 Conclusion	150
<b>4.5 Conclusion du chapitre</b>	<b>151</b>

## 4.1 Impact de l'application des contraintes sur la hauteur de barrière Schottky

### 4.1.1 Les substrats sSOI

Afin d'appliquer un champ de contrainte sur le silicium, des substrats sSOI commercialisés par la société SOITEC sous la marque Unibond ont été utilisés. Ces substrats sont fabriqués en utilisant la technologie brevetée Smart-Cut [118], [119]. L'intérêt de cette technique est de pouvoir disposer d'un film mince de SOI contraint en tension biaxiale sans la présence d'une couche de SiGe relaxée sous celle-ci. Le procédé de fabrication de ce type de substrat est le suivant (cf. Fig. 4:1) :

- Tout d'abord, une couche épaisse de SiGe est déposée par épitaxie sur un substrat appelé donneur. La proportion de Ge augmente au fur et à mesure que l'épaisseur augmente. A la surface de cette nouvelle couche, le SiGe est relaxé. Une fine couche de silicium est ensuite déposée par épitaxie (Fig. 4:1-a). La croissance étant pseudomorphique, le réseau cristallin du silicium s'adapte à celui du SiGe, ce qui implique une contrainte biaxiale en tension dans cette couche.
- Ensuite, une implantation ionique d'hydrogène est réalisée à environ 1µm de la surface. Les ions sont implantés avec une énergie comprise entre 50 keV et 150keV et avec une dose comprise entre  $2 \times 10^{16}$  et  $1 \times 10^{17}$  ions/cm<sup>2</sup> (Fig. 4:1-b). Cet implantation crée une zone dans le substrat qui est fragilisée par l'apparition de micro bulles [120].
- Un second substrat (appelé substrat support), présentant une couche de SiO<sub>2</sub> obtenue par oxydation, est alors utilisé. Le substrat donneur est retourné, puis mis en contact avec le substrat support de telle sorte que la couche de silicium contraint soit en contact avec la couche de SiO<sub>2</sub>. Avant que les deux substrats soient mis en contact, ils sont traités afin de les rendre hydrophiles et sont recouverts d'eau. Des groupes Hydroxyles (OH<sup>-</sup>) se forment alors sur les deux surfaces. Lorsque ces deux substrats sont mis en contact, la réaction suivante se produit :



Les substrats sont donc collés entre eux (Fig. 4:1-c). Un recuit thermique est ensuite effectué pour renforcer ce collage.

- La structure est ensuite soumise à un second recuit thermique. Le réarrangement cristallin et la coalescence des micro bulles finissent par créer une zone de séparation libérant le substrat support du substrat donneur au niveau de la zone d'implantation ionique (Fig. 4:1-d).
- Enfin, deux gravures sélectives sont successivement réalisées pour retirer la couche de silicium et la couche de SiGe [121] (Fig. 4:1-e).

Les deux caractéristiques définissant les substrats sSOI sont donc l'épaisseur du film  $t_{Si}$  (en nm) du silicium contraint et la fraction  $x$  de Ge dans la couche de Si<sub>1-x</sub>Ge<sub>x</sub> du substrat donneur. Dans l'étude que nous avons réalisée, nous avons utilisé deux types de substrat contraint :  $x=20\%$  avec  $t_{Si}=13$  nm et  $x=40\%$  et  $t_{Si}=9$  nm.

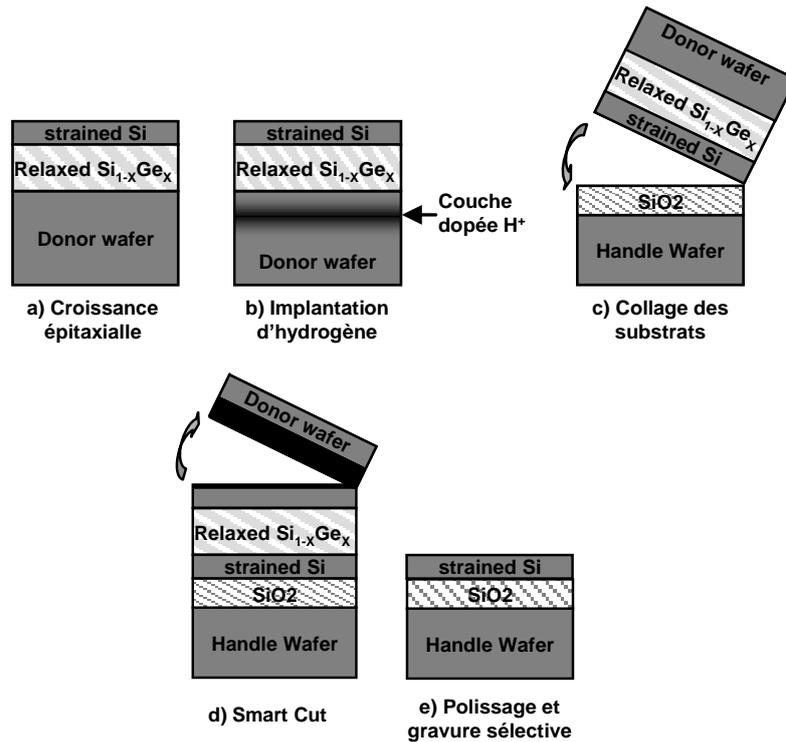


Fig. 4:1 Procédé de fabrication des substrats sSOI.

#### 4.1.2 Ajustement des paramètres de simulation

L'extraction de la hauteur de barrière Schottky est réalisée à l'aide du modèle décrit dans le paragraphe 3.3. Cette détermination est basée sur la correspondance entre les mesures I-V-T et les simulations réalisées à partir du modèle. Cependant, de nombreux paramètres entrent en jeu dans les simulations et ont un impact différent sur l'évolution des résultats. Les paramètres réglables sont les suivants :

- la polarisation  $V_d$
- la hauteur de barrière Schottky
- le type d'injection utilisé (TE, TFE, TE+BL et TFE+BL)
- la valeur de la résistance du barreau de silicium à 300 K ( $\text{Res}@300$ )
- $\alpha$  reflète l'évolution de  $\text{Res}@300$  en fonction de la température (cf.eq. 3-4)
- la surface d'injection (en  $\text{cm}^2$ )
- le dopage du silicium (en  $\text{cm}^3$ )

Les Fig. 4:2 à Fig. 4:7 représentent les tracés d'Arrhenius issus des simulations et permettent d'évaluer l'influence de chacun des paramètres précédemment cités sur la forme de la loi d'Arrhenius. Pour l'ensemble des simulations, la polarisation  $V_d$  est fixée à 1V afin que la diode polarisée opère en inverse (la diode voisine est en mode direct).

La Fig. 4:2 représente l'impact de la diminution de la hauteur de barrière Schottky lorsque l'injection thermoélectronique (TE) est utilisée. Le courant augmente et la pente de la courbe diminue. La Fig. 4:3 démontre que l'activation de l'injection tunnel (TFE) puis

l'abaissement de barrière (BL) a également un impact sur l'intensité du courant. On peut également remarquer que lorsque BL est utilisé, la sensibilité avec de la température diminue (diminution de la pente).

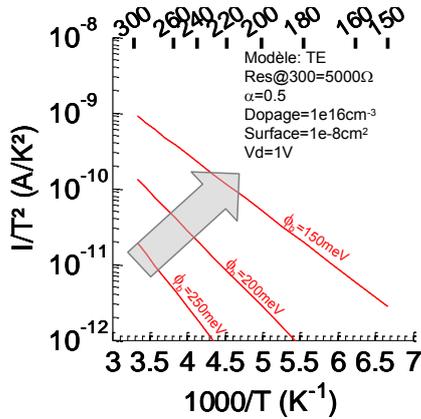


Fig. 4:2 Impact de l'augmentation de la SBH sur les simulations.

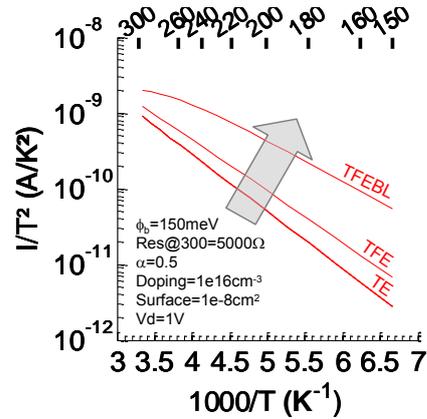


Fig. 4:3 Impact de l'activation de FE et BL sur les simulations.

La Fig. 4:4 permet d'observer l'influence de  $\alpha$  sur les courbes. Dans ces simulations, nous avons fait varier la valeur de la résistance du barreau de silicium de 5kΩ à 60kΩ pour  $\alpha=0.5$  et  $\alpha=30$ . Il en ressort que plus  $\alpha$  est grand, plus le régime limité par la résistance sera court (plus la température de transition sera élevée). De plus, le courant diminue logiquement lorsque la résistance augmente.

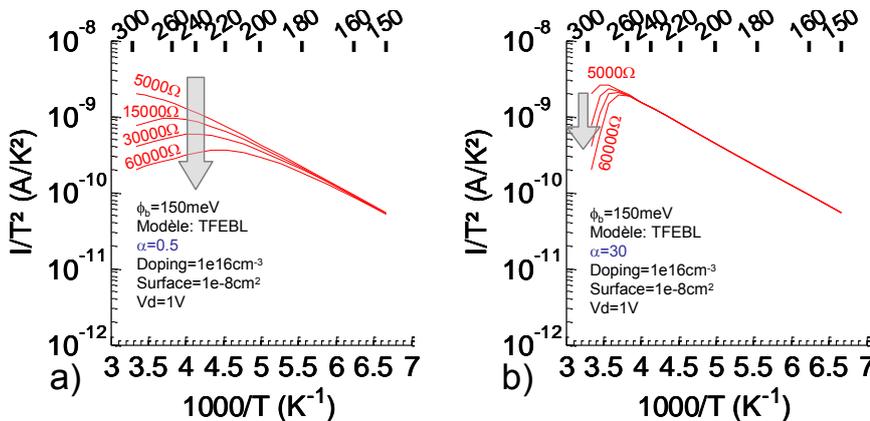


Fig. 4:4 Impact de l'augmentation de  $R_{Si}$  et  $\alpha$  sur les simulations.  
(a)  $\alpha=0.5$  et (b)  $\alpha=30$

La Fig. 4:5 montre l'évolution des caractéristiques en fonction de l'augmentation du dopage pour l'injection thermoélectronique prenant en compte l'abaissement de barrière par effet de charge image (TEBL) et l'injection thermoélectronique et par effet tunnel prenant en compte l'abaissement de barrière par effet de charge image (TFEBL). Cette figure met en évidence l'impact d'un fort dopage sur les courbes d'Arrhenius. Pour les deux types d'injection, l'augmentation du dopage se traduit par une augmentation du courant et une diminution de la pente. Dans le cas de TFEBL, on peut remarquer que la pente devient même positive pour un dopage égal à  $1 \times 10^{18} \text{ cm}^{-3}$ . De manière plus globale, on peut remarquer que la différence entre les modèles TEBL et TFEBL augmente lorsque le dopage augmente ce qui traduit une augmentation de l'injection par effet tunnel. Il est également possible d'augmenter l'intensité du courant en augmentant la surface d'injection

(Fig. 4:6). Cependant, l'augmentation de ce paramètre peut également être à l'origine de la création d'un régime limité par la résistance.

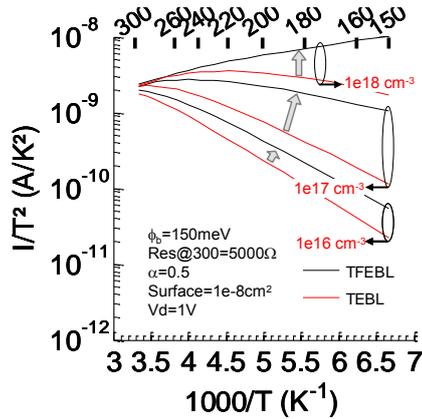


Fig. 4:5 Impact de l'augmentation du dopage sur les simulations.

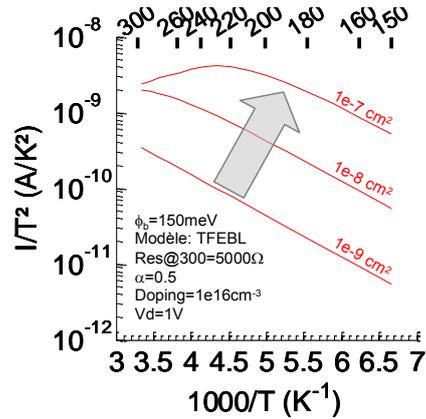


Fig. 4:6 Impact de l'augmentation de la surface d'injection sur les simulations.

La Fig. 4:7 permet d'observer l'impact de la diminution de la hauteur de la barrière Schottky lorsque le modèle le plus complet (TFEBL) est utilisé et que le dopage est faible. On remarque que les variations sont très importantes. Ce paramètre est le plus sensible puisqu'une variation de 100 meV de la SBH implique une augmentation de  $I/T^2$  ainsi que l'apparition d'un point d'inflexion. La figure met également en évidence trois comportements différents. Lorsque  $\phi_{b,eff}$  est inférieure à 200 meV, le courant est limité par la barrière MS. Lorsque  $\phi_{b,eff}$  est compris entre 150 meV et 100 meV, les deux régimes sont présents. Pour  $\phi_{b,eff}$  inférieure à 100 meV, le courant est limité par la résistance uniquement.

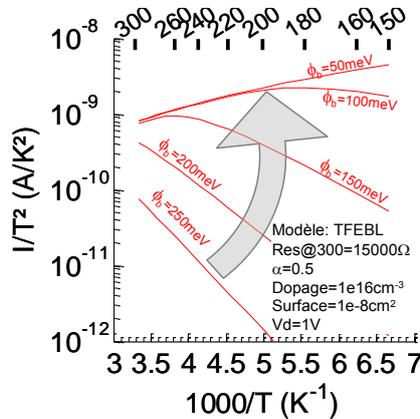


Fig. 4:7 Impact de la diminution de la SBH sur les simulations lorsque TFEBL est activé.

De manière plus globale, l'ajustement des paramètres de simulation peut s'avérer parfois délicat du fait du grand nombre de facteurs à prendre en compte. Les simulations présentées dans les Fig. 4:2 à Fig. 4:7 sont très utiles car elles forment un guide des comportements. Il est également important d'évaluer au préalable les paramètres (dopage, surface d'injection, résistance et polarisation) et de les ajuster. Il est intéressant de noter que l'influence de  $\alpha$  est nulle sur le niveau de courant. Ce paramètre sert essentiellement à déplacer le point d'inflexion lorsque les deux régimes sont présents.

### 4.1.3 Extraction de la hauteur de barrière Schottky

Dans ce paragraphe, nous allons évaluer l'influence de l'application d'une contrainte biaxiale sur la hauteur de barrière Schottky. Pour cela, nous avons fabriqué les structures de test définies au paragraphe 3.2.4 sur différents substrats. Afin de pouvoir comparer les résultats entre eux, l'extraction de la hauteur de barrière Schottky a été réalisée sur des diodes PtSi/Si sur un substrat SOI standard (avec  $t_{\text{SOI}}=15$  nm). Nous avons également réalisé le même type de diode sur des substrats **sSOI** afin d'évaluer l'impact d'une contrainte biaxiale en **tension**. Le développement de ces mêmes structures de test sur des hétérostructures de type **Si<sub>1-x</sub>Ge<sub>x</sub>/Si** nous a permis d'évaluer l'effet d'une contrainte biaxiale en **compression** sur la structure de bande du SiGe. Le tableau ci-dessous répertorie les différentes caractéristiques des substrats utilisés.

Tableau 4:1 Caractéristiques des différents substrats utilisés.

Type de substrat	Composition en Ge	Épaisseur du film contraint
SOI standard		15 nm
sSOI	20 %	13 nm
sSOI	40 %	9 nm
Hétérostructure SiGe/Si (5nm)	20%	15nm
Hétérostructure SiGe/Si (5nm))	40%	15nm

#### 4.1.3.1 Substrats standards et sSOI

La Fig. 4:8 montre les mesures I-V-T réalisées sur un échantillon non contraint. La face arrière est reliée à la masse et  $V_d$  est polarisé de 0 à 2V par pas de 0.2V, puis de 0 à -2V par pas de -0.2V. La caractéristique I-V est enregistrée pour différentes polarisations de la face arrière (de 0 à -50V par pas de -5V mais seules les mesures réalisées à  $V_{\text{BG}}=0\text{V}$  sont représentées dans la Fig. 4:8). Enfin, cette procédure est appliquée pour différents paliers de température (de 300 K à 150 K par pas de 10 K).

L'analyse de cette figure montre tout d'abord que la diminution de la température entraîne une diminution du courant. De plus, pour des températures de 300 K et 290 K, le courant ne semble pas saturer lorsque la polarisation augmente. Ce comportement est similaire à une caractéristique de type ohmique.

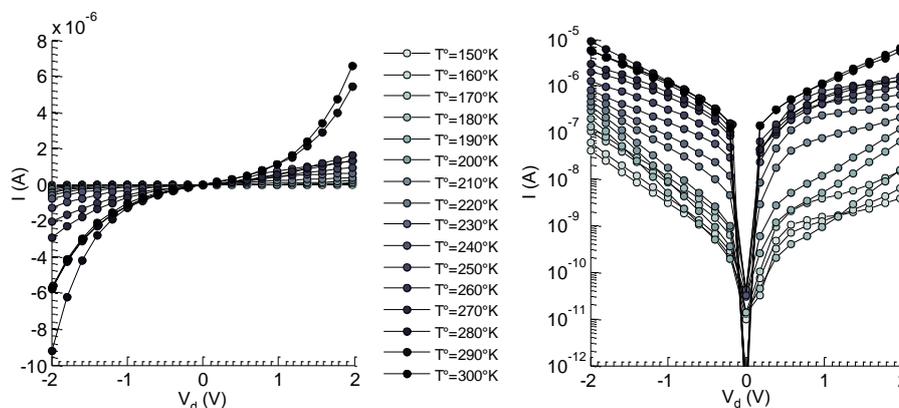


Fig. 4:8 I-V-T @  $V_{\text{BG}}=0\text{V}$  pour une structure de test sur substrat SOI Standard.

Une partie de ces mesures est représentée en Fig. 4:9 sous la forme d'un diagramme d'Arrhenius. Les valeurs du courant sont sélectionnées pour  $V_d=1V$  et  $V_{BG}=0V, -30V$  et  $-50V$  et sont représentées en fonction de l'inverse de la température. Pour l'échantillon sur substrat non contraint, la hauteur de barrière Schottky utilisée pour les simulations est de **250 meV**. Cette valeur est en adéquation avec les résultats rapportés dans [29] et [105]. La correspondance entre les mesures et le modèle est excellente pour des températures comprises entre 300 K et 200 K. L'augmentation de  $V_{BG}$  est compensée par une augmentation du dopage ( $3.5 \times 10^{17} \text{cm}^{-3}$  pour  $-30V$  et  $7.5 \times 10^{17} \text{cm}^{-3}$  pour  $-50V$ ). La correspondance entre simulations et mesures est également convenable.

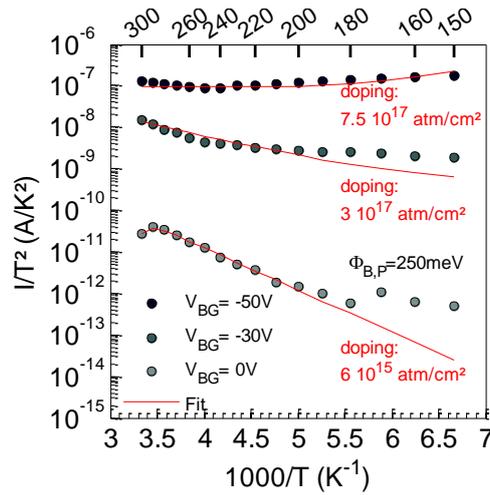


Fig. 4:9 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat **SOI Standard** ( $t_{SOI}=15nm$ ).

Le protocole expérimental décrit ci-dessus a été répété pour des échantillons fabriqués sur un substrat sSOI dont la composition de la couche sacrificielle de SiGe est égale à **20%**. La Fig. 4:10 représente les tracés d'Arrhenius obtenus à partir des mesures I-V-T. Comme précédemment, la polarisation est fixée à 1V et les courbes représentent les points obtenus pour  $V_{BG}=0V$  ;  $-30V$  et  $-50V$ .

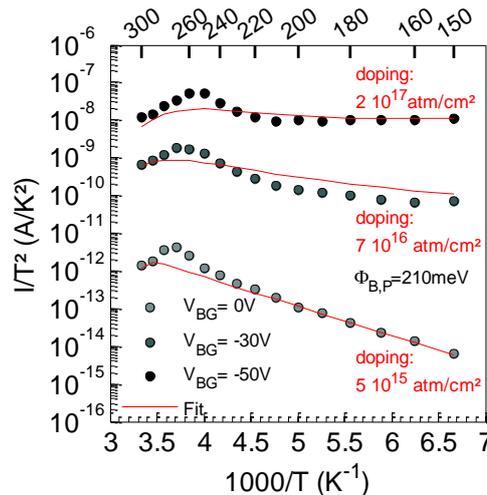


Fig. 4:10 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat **sSOI 20%Ge** ( $t_{sSOI20\%}=12nm$ ).

La hauteur de barrière Schottky extraite est égale à **210 meV** ; soit une diminution de 40 meV par rapport à l'échantillon non contraint. La gamme de température pour laquelle le courant est limité par la résistance est plus large que pour le cas non contraint. Cette observation peut s'expliquer par une augmentation de la résistance du barreau de silicium. La diminution de l'épaisseur du film de SOI (12 nm pour le sSOI 20% Ge contre 15 nm pour le SOI standard) est sans doute responsable de ce phénomène. Cet amincissement explique également le fait que le courant soit plus faible malgré une diminution de la SBH.

La Fig. 4:11 représente les résultats obtenus pour des structures de test développées sur un substrat sSOI dont la composition de la couche sacrificielle de SiGe est égale à **40%**. La valeur de  $\phi_{b,eff}$  extraite est égale à **180 meV** ; ce qui correspond à une diminution de 70 meV par rapport à l'échantillon référence. La correspondance entre les simulations et les mesures est très satisfaisante. L'augmentation du courant est très importante par rapport à l'échantillon référence (de  $2 \times 10^{-11}$  A.K<sup>-2</sup> à  $2 \times 10^{-9}$  A.K<sup>-2</sup>) malgré la diminution de l'épaisseur du film de SOI (15 nm contre 9 nm). Ce phénomène s'explique par la diminution assez importante de la SBH.

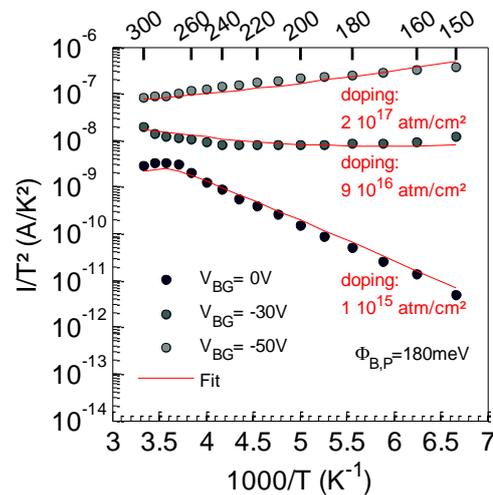


Fig. 4:11 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat sSOI 40%Ge

#### 4.1.3.2 Hétérostructure $Si_{1-x}Ge_x/Si$

Pour évaluer l'impact d'une contrainte biaxiale en compression sur la structure de bande, des substrats SOI sur lesquels une couche de  $Si_{1-x}Ge_x$  a été déposée par épitaxie ont été utilisés (Fig. 4:12). La nouvelle couche de  $Si_{1-x}Ge_x$  conserve ainsi la structure cristalline du silicium. La différence entre les paramètres de maille des deux couches implique l'apparition d'une contrainte biaxiale en compression dans la nouvelle couche de  $Si_{1-x}Ge_x$ . L'évolution de la structure de bande en fonction de la contrainte calculée au paragraphe 2.3.1.6 n'est plus adaptée à cette configuration. En effet, la jonction M-S est réalisée sur du SiGe et non plus du Si.

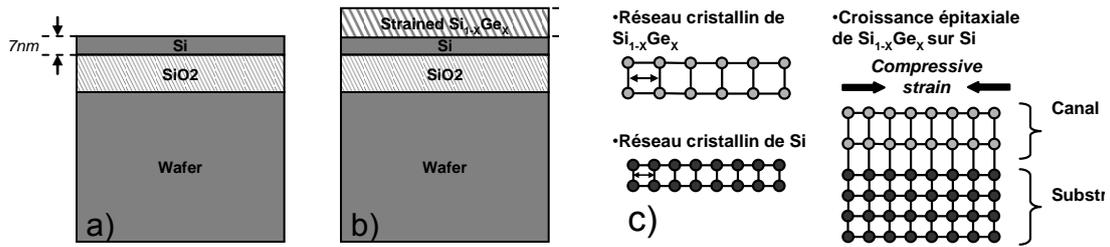


Fig. 4:12 (a) Structure du substrat SOI. (b) Épitaxie d'une couche de  $Si_{1-x}Ge_x$  sur le SOI. (c) Différence entre les paramètres de maille du Si et du  $Si_{1-x}Ge_x$

La structure de bande d'une telle structure a été simulée par Schäffler [122] dont les résultats sont présentés dans la Fig. 4:13. La Fig. 4:13-a fournit l'évolution de la bande interdite du  $Si_{1-x}Ge_x$  pseudomorphique à Si. On peut remarquer que l'augmentation de Ge dans une couche de  $Si_{1-x}Ge_x$  non contrainte implique une diminution de cette bande interdite. De plus, cette diminution est accentuée lorsqu'on applique une contrainte biaxiale en compression. Pour les bandes de valence, la levée de dégénérescence entre HH et LH a également lieu. L'impact de l'augmentation de la contrainte sur le minimum de la bande de valence est visible sur la Fig. 4:13-c. Ainsi, le décalage de la bande LH entre Si et  $Si_{0.75}Ge_{0.25}/Si$  est d'environ 175 meV. Lorsque Ge=40%, ce décalage est de 300 meV. L'analyse de ces données nous laisse penser que la hauteur de barrière Schottky va diminuer très fortement lorsque  $X_{layer}$  augmentera.

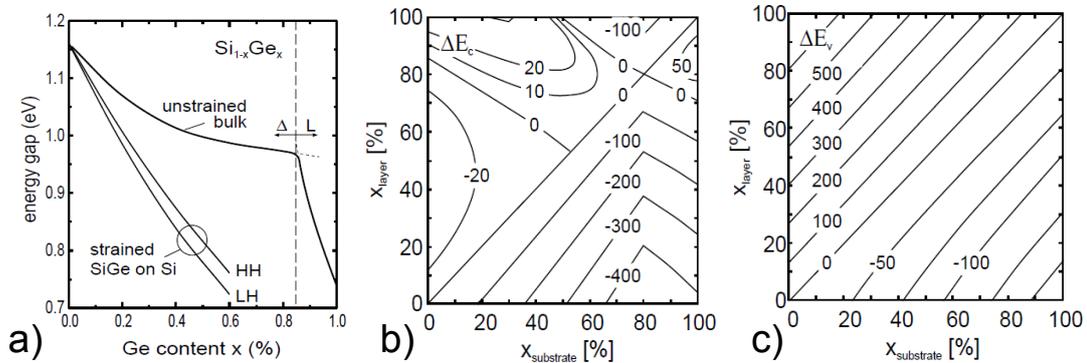


Fig. 4:13 (a) Évolution de la largeur de la bande interdite du  $Si_{1-x}Ge_x$  en fonction de la composition en Ge. (b) Isocontours du minimum de la bande de conduction et (c) du minimum de la bande de valence en fonction de  $X_{substrate}$  et  $X_{layer}$  pour une hétérostructure  $Si_{1-x_{layer}}Ge_{x_{layer}}/Si_{1-x_{substrate}}Ge_{x_{substrate}}$

La Fig. 4:14 montre les mesures I-V-T réalisées sur une structure de test développée sur un substrat  $Si_{0.8}Ge_{0.2}$  (15 nm) / Si (5 nm). Ces mesures ont également été réalisées sur un substrat  $Si_{0.6}Ge_{0.4}$  (15 nm) / Si (5 nm). Les Fig. 4:15 et Fig. 4:16 représentent ces données sous la forme de loi d'Arrhenius. Les valeurs des hauteurs de barrières Schottky extraites sont 330 meV et 280 meV pour  $Si_{0.8}Ge_{0.2}$  et  $Si_{0.6}Ge_{0.4}$ , respectivement.

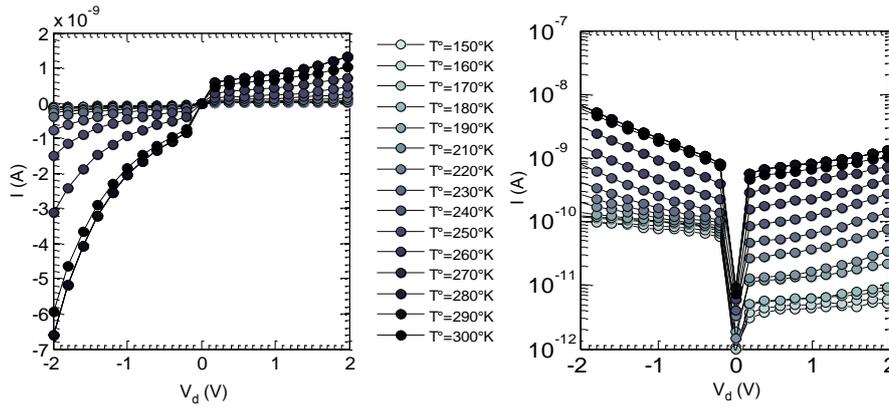


Fig. 4:14 I-V-T @  $V_{BG}=0V$  pour une structure de test sur une **hétérostructure  $Si_{0.8}Ge_{0.2}/Si$** .

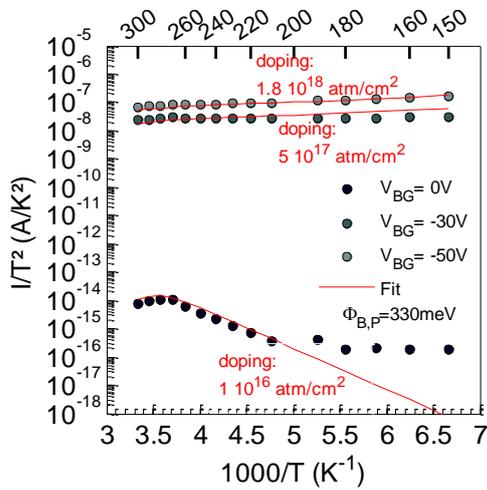


Fig. 4:15 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur une **hétérostructure  $Si_{0.8}Ge_{0.2}/Si$** .

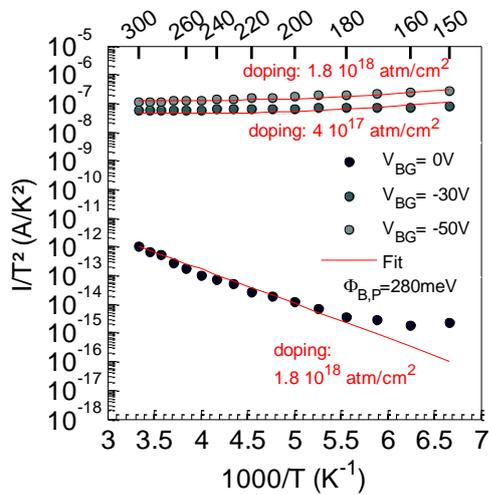


Fig. 4:16 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur une **hétérostructure  $Si_{0.6}Ge_{0.4}/Si$** .

Malgré une diminution de 50 meV, nous sommes très loin des attentes formulées à partir des simulations de Schäffler. Cette faible évolution a déjà été rapportée par Larrieu [104] et Alptekin [123]. Deux hypothèses sont avancées :

- Durant la réaction de siliciuration, un phénomène de ségrégation des atomes de Ge apparaît à l'interface siliciure/silicium [124]. Cette ségrégation s'explique par le fait que le PtSi et le PtSi<sub>2</sub> sont des formes plus stables que PtGe et PtGe<sub>2</sub>. Le platine réagit donc préférentiellement avec le silicium plutôt qu'avec le germanium. L'interface s'appauvrit donc en silicium et le germanium s'y accumule, ce qui peut modifier sensiblement la hauteur de barrière Schottky.
- Il a été démontré que la densité d'état de surface à l'interface de PtSi<sub>0.86</sub>Ge<sub>0.14</sub>/Si<sub>0.86</sub>Ge<sub>0.14</sub> est trois fois plus importante que pour une diode de type PtSi/Si<sub>0.86</sub>Ge<sub>0.14</sub> réalisée par pulvérisation simultanée de Pt et Si [125]. De ce fait, le verrouillage du niveau de Fermi est fortement augmenté et la SBH n'évolue pas, malgré le rapprochement de la bande de valence induite par la contrainte.

#### 4.1.4 Conclusion

L'étude réalisée dans ce paragraphe démontre que l'utilisation d'une contrainte biaxiale en tension est une technique adaptée à la réduction de la hauteur de barrière Schottky pour le transport des trous. Ainsi, nous avons démontré que l'application d'une contrainte générée par le désaccord de maille entre Si et  $\text{Si}_{0.6}\text{Ge}_{0.4}$  permettait une réduction de 70 meV (Tableau 4:2). Cette amélioration est cependant insuffisante puisqu'elle ne permet pas d'atteindre une SBH inférieure à 100 meV. L'étude effectuée sur des hétérostructures  $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  ne permet pas de conclure sur le bénéfice de l'application d'une contrainte biaxiale en compression. Tout d'abord, nous n'avons pas d'échantillon référence (i.e. non contraint). Nous ne pouvons donc pas conclure sur l'influence de la contrainte par rapport à la valeur initiale de la SBH. De plus, l'augmentation de la contrainte (passage de  $x=0.2$  à  $x=0.4$ ) influence très peu la hauteur de barrière Schottky (seulement 50 meV de réduction).

Tableau 4:2 Évolution de la SBH (en meV) en fonction du type de substrat.

	SOI standard	sSOI 20% Ge	sSOI 40% Ge	$\text{Si}_{0.8}\text{Ge}_{0.2}/$ Si	$\text{Si}_{0.6}\text{Ge}_{0.4}/$ Si
SBH (meV)	250	210	180	330	280

Ces résultats justifient l'implémentation simultanée de la ségrégation de dopant et de la contrainte pour réduire davantage la hauteur de barrière Schottky. Dans le paragraphe 4.2, nous étudierons l'impact de la ségrégation de dopant sur des substrats standards puis nous combinerons les deux techniques dans le paragraphe 4.3.

## 4.2 Application de la ségrégation de dopant

Avant de déterminer l'impact de la ségrégation de dopant sur la hauteur de barrière Schottky, il est nécessaire de définir au préalable les conditions d'implantation dans le siliciure de platine (selon le processus ITS).

### 4.2.1 Détermination des conditions pour la ségrégation de dopant

L'implantation ionique doit respecter les conditions suivantes :

- L'impact des dopants implantés sur le niveau de dopage du film de silicium doit être minimal.
- Le pic de la distribution doit être localisé au centre du film de siliciure de platine.

Afin de déterminer les paramètres d'implantation respectant ces deux conditions, des simulations TRIM ont été réalisées [126]. Cet outil de simulation est basé sur la méthode Monte Carlo, et plus particulièrement sur l'approximation des collisions binaires. Les paramètres d'entrées sont le type d'ion, l'énergie d'implantation et le type de matériau d'une ou plusieurs couches cibles. Ce logiciel permet de déterminer la distribution tridimensionnelle des ions en fonction de la profondeur de pénétration. Nous avons donc simulé l'implantation ionique pour deux types d'ions :

- $\text{BF}_2^+$  qui est utilisé pour réduire la hauteur de barrière Schottky aux trous.

- As<sup>-</sup> qui est utilisé pour convertir le PtSi en un siliciure favorable au transport des électrons.

Afin de répondre aux deux conditions précédemment citées, nous avons simulé l'implantation de ces deux espèces pour deux empilements différents. Le premier correspond à la zone de la structure de test où le platine a réagi avec le silicium. L'empilement de matériaux dans cette zone est PtSi (12 nm) / Si (7 nm) / SiO<sub>2</sub> (145 nm). Le second empilement correspond à la zone formant le barreau résistif de silicium. L'empilement correspondant est HSQ (180 nm) / Si (15 nm) / SiO<sub>2</sub> (145 nm). Pour répondre aux critères d'implantation, le pic de la distribution doit être localisé au milieu de la couche de siliciure de platine, soit à une profondeur de 6 nm pour le premier empilement. De plus, les atomes implantés doivent être confinés dans la couche de HSQ située au dessus du barreau de silicium non siliciuré. Les Fig. 4:17 à Fig. 4:20 représentent les résultats de ces simulations pour l'implantation de BF<sub>2</sub><sup>+</sup> et As pour les deux empilements.

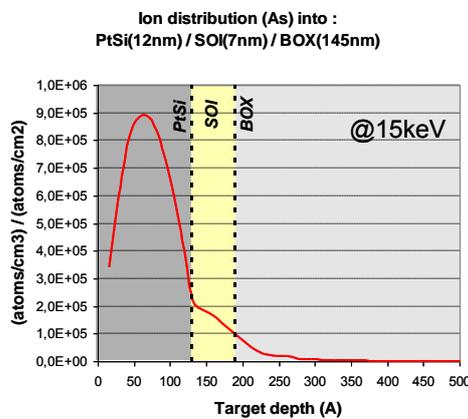


Fig. 4:17 Distribution des ions As implantés à 15keV dans un empilement PtSi(12nm)/Si(7nm)/BOX(145nm).

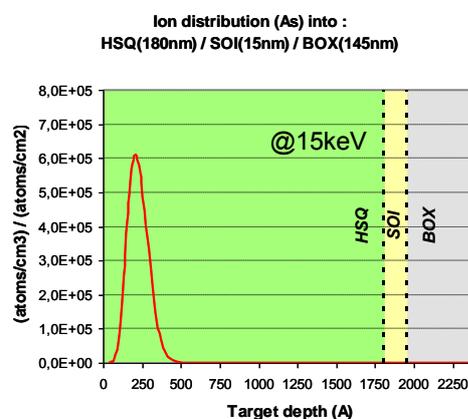


Fig. 4:18 Distribution des ions As implantés à 15keV dans un empilement HSQ(180nm)/Si(15nm)/BOX(145nm).

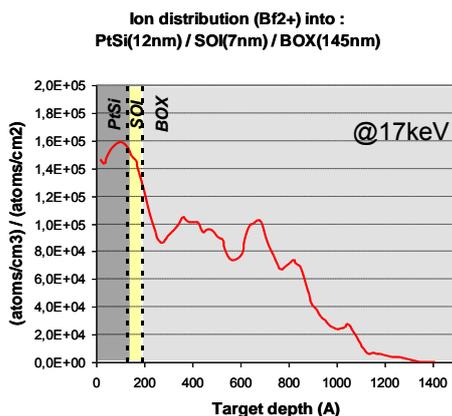


Fig. 4:19 Distribution des ions BF<sub>2</sub><sup>+</sup> implantés à 17keV dans un empilement PtSi(12nm)/Si(7nm)/BOX(145nm).

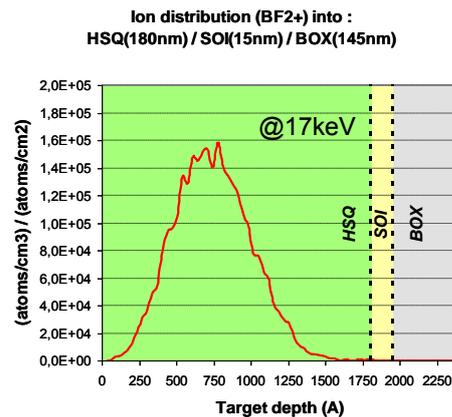


Fig. 4:20 Distribution des ions BF<sub>2</sub><sup>+</sup> implantés à 17keV dans un empilement HSQ(180nm)/Si(15nm)/BOX(145nm).

Les Fig. 4:17 et Fig. 4:18 représentent la distribution d'As implanté à 15keV dans le PtSi et la HSQ, respectivement. A cette énergie, les deux conditions sont remplies. Les Fig. 4:19 et Fig. 4:20 représentent la distribution de BF<sub>2</sub><sup>+</sup> implanté à 17keV dans les mêmes

empilements de matériaux. On peut remarquer que, du fait d'une plus faible masse (55amu pour  $\text{BF}_2^+$  contre 78amu pour As), la variance de la distribution de  $\text{BF}_2^+$  est beaucoup plus grande. De ce fait, la valeur du pic de la distribution est moins importante dans le cas de  $\text{BF}_2^+$  par rapport à As. La dose implantée choisie est de  $10^{15}$  atomes/cm<sup>2</sup> pour les deux types de d'ions. Afin de ségréguer les dopants à l'interface et de les activer électriquement, les échantillons implantés sont soumis à un recuit thermique. Nous avons déterminé la température de recuit à partir des travaux réalisés par Breil [105]. Ces recherches montrent que la réduction de la hauteur de barrière Schottky est maximale lorsque le recuit de siliciuration est effectué à 600°C pendant 5 minutes (Fig. 4:21). De plus, il a été démontré que cette étape ne modifie pas la qualité et la morphologie du siliciure de platine.

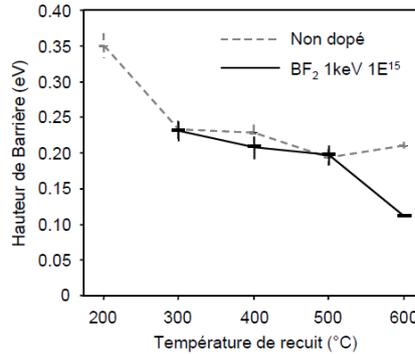


Fig. 4:21 Évolution de la SBH en fonction de la température de recuit RTA. La durée du recuit est fixée à 5 minutes.

#### 4.2.2 Ségrégation de Bore

La ségrégation du Bore (B-DS) a été réalisée sur des structures de test identiques aux précédentes et sur un substrat SOI standard de 15 nm d'épaisseur. L'énergie d'implantation a été fixée à 17keV et la dose à  $10^{15}$  atomes/cm<sup>2</sup>. La Fig. 4:22 représente le tracé d'Arrhenius des caractéristiques I-V-T. La hauteur de barrière Schottky effective  $\phi_{bp,eff}$  extraite est de 125 meV. L'impact de la ségrégation de Bore sur l'injection de trous est donc bien visible puisque la SBH est réduite de moitié.

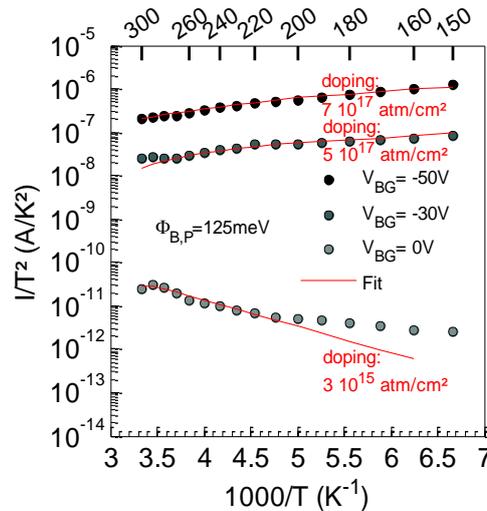


Fig. 4:22 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat SOI standard implanté en B à 17keV puis recuit 600°C pendant 5 minutes.

### 4.2.3 Ségrégation d'Arsenic

La ségrégation de dopants de type Arsenic (As-DS) a été réalisée sur des échantillons ayant les mêmes caractéristiques que dans le paragraphe 4.2.2. L'énergie d'implantation est de 15keV et la dose de  $10^{15}$  atomes/cm<sup>2</sup>. L'analyse des mesures I-V-T permet d'extraire une hauteur de barrière Schottky  $\phi_{bn,eff}$  égale à **270 meV**. Il est important de noter que la polarisation de la structure est inversée ( $V_d=-1V$  et  $V_{BG}>0$ ) car les diodes changent de type. L'impact de As-DS est très important puisque la SBH extraite correspond à l'écart énergétique entre la bande de conduction et le niveau de Fermi du siliciure. Pour une jonction PtSi/Si sans contrainte ni DS,  $\phi_{bp,eff}$  est égale à 250 meV ce qui correspond à  $\phi_{bn,eff}=1120-250=870$  meV. Nous avons donc :

$$\Delta\phi_{bn,eff} = \phi_{bn,eff}^{PtSi/Si+As-DS} - \phi_{bn,eff}^{PtSi/Si} \quad \text{eq. 4-2}$$

Soit une variation de **610 meV**.

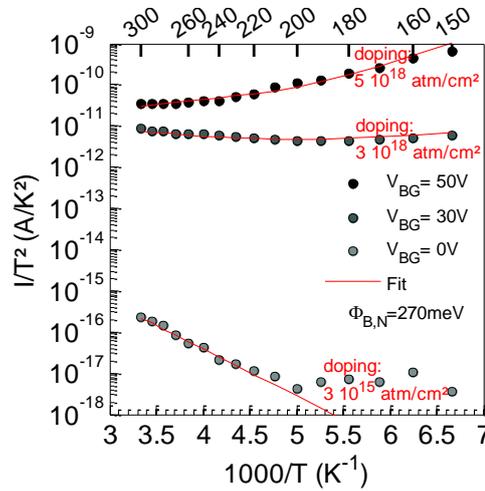


Fig. 4:23 Tracé d'Arrhenius des caractéristiques ( $V_d=-1V$ ) d'un échantillon sur substrat SOI standard implanté en As à 15keV puis recuit à 600°C pendant 5 minutes. Les niveaux de dopage indiqués (en rouge) permettent de simuler la polarisation de la face arrière.

### 4.2.4 Conclusion

Pour conclure sur l'influence de la ségrégation de dopant, il a été démontré que cette méthode permet d'ajuster efficacement la position du niveau de Fermi du siliciure ; que ce soit par rapport à la bande de valence avec B-DS ou par rapport à la bande de conduction avec As-DS. L'efficacité en terme de réduction de la SBH dépend du type de dopant utilisé. Nous avons obtenu une réduction de l'ordre d'une centaine de meV dans le cas de B-DS et de plusieurs centaines de meV dans le cas de As-DS. Cette différence peut s'expliquer par le fait que le confinement des atomes d'Arsenic dans le siliciure est plus important que dans le cas du Bore. Cependant, le gain obtenu avec B-DS n'est pas négligeable et la perspective d'associer la DS avec l'application d'une contrainte est intéressante. Le paragraphe suivant est donc dédié à l'étude des effets obtenus lors de l'utilisation combinée de ces deux méthodes d'ingénierie de barrière.

### 4.3 Combinaison des deux techniques

Dans ce paragraphe, nous allons examiner l'impact de la ségrégation de dopant sur des structures de test développées sur des substrats soumis à une contrainte biaxiale en tension. Il sera ainsi possible de déterminer si les deux méthodes sont compatibles et cumulables.

#### 4.3.1 B-DS et contrainte

La ségrégation de Bore sur des échantillons identiques à ceux caractérisés dans le paragraphe 4.1.3.1 a été appliquée. Les paramètres d'implantation sont identiques, i.e. une dose de  $10^{15}$  atomes/cm<sup>2</sup> et une énergie de 17keV. La Fig. 4:24 représente le tracé d'Arrhenius obtenu à partir des mesures I-V-T sur un substrat sSOI 20% de 12 nm d'épaisseur. La bonne correspondance entre les mesures et les simulations obtenues à partir du modèle permet de conclure que la hauteur de barrière Schottky effective est de **115 meV**. La Fig. 4:25 représente les mesures électriques et les simulations correspondant à un échantillon développé sur un substrat sSOI 40% de 9 nm. Dans ce cas, une hauteur de barrière effective de **105 meV** est extraite.

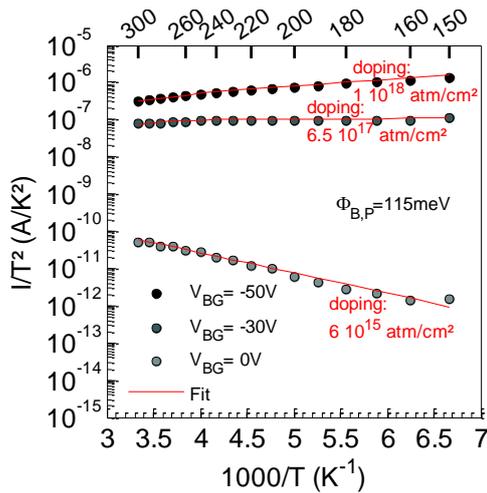


Fig. 4:24 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat sSOI 20% implanté en B ( $10^{15}$  atomes/cm<sup>2</sup> @17keV).

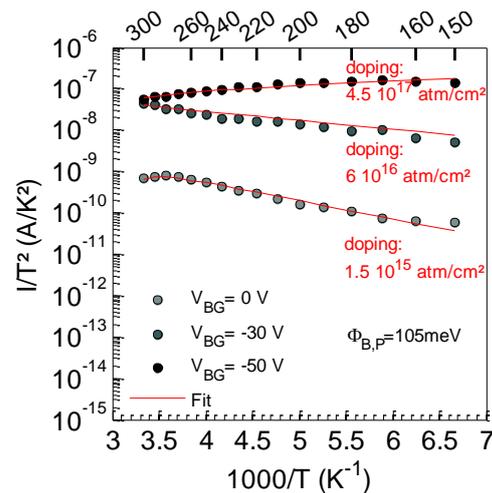


Fig. 4:25 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat sSOI 40% implanté en B ( $10^{15}$  atomes/cm<sup>2</sup> @17keV).

#### 4.3.2 As-DS et contrainte

Nous avons également réalisé la ségrégation d'Arsenic sur des échantillons contraints à 20% Ge et 40% Ge. Les paramètres d'implantation sont similaires à ceux utilisés en 4.2.3. Les valeurs de  $\phi_{bn,eff}$  extraites des tracés d'Arrhenius sont égales à **220 meV** et **160 meV** (cf. Fig. 4:26 et Fig. 4:27). La diminution de la hauteur de barrière Schottky par rapport au cas non contraint est égale à **50 meV** et **110 meV** pour des contraintes issues de Si/Si<sub>0.8</sub>Ge<sub>0.2</sub> et Si/Si<sub>0.6</sub>Ge<sub>0.4</sub>, respectivement. En Fig. 4:27 (sSOI 40%), on peut remarquer que la polarisation de la face arrière a un impact moins important que dans le cas d'un

substrat sSOI 20%. Cette différence peut s'expliquer par le fait que le contact entre la face arrière du substrat et le support est de moins bonne qualité (dû à des difficultés lors du collage de l'échantillon à la laque d'argent sur le support de la station de mesure cryogénique).

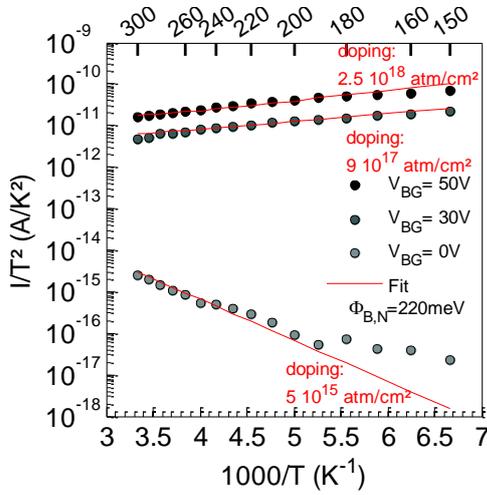


Fig. 4:26 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat sSOI 20% implanté en As.

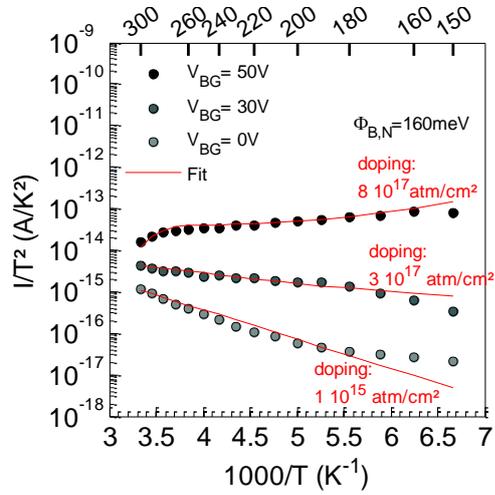


Fig. 4:27 Tracé d'Arrhenius des caractéristiques ( $V_d=1V$ ) d'un échantillon sur substrat sSOI 40% implanté en As.

### 4.3.3 Conclusion

Le Tableau 4:3 répertorie l'ensemble des valeurs de SBH extraites précédemment. Les valeurs insérées à côté des flèches représentent les diminutions des SBHs entre les échantillons. La première analyse que l'on peut faire à la lecture de cet ensemble de résultats est que l'utilisation de la contrainte et l'utilisation de la ségrégation de dopant sont compatibles et que leurs effets sont cumulatifs. Leurs utilisations simultanées permettent de réduire la hauteur de barrière Schottky aux trous de 145 meV. Nous sommes ainsi très proches de l'objectif de 100 meV que nous nous étions fixé.

Tableau 4:3 Évolution de la SBH (en meV) en fonction du type de substrat et de la ségrégation de dopant.

	épaisseur du SOI (nm)	As ITS DS		B ITS DS	
		$\phi_{bn}$	$\phi_{bp}$	$\phi_{bp}$	
SOI standard	18	270	250	125	10
sSOI 20% Ge	13	220	210	95	20
sSOI 40% Ge	9	160	183	78	

L'application de la contrainte seule permet de réduire  $\phi_{bp,eff}$  de 40 meV et 67 meV grâce à l'utilisation de substrat sSOI 20% et sSOI 40%, respectivement. Cependant, ces réductions ne sont pas en accord avec les valeurs théoriques obtenues grâce au modèle de Pollak et Cardona développé dans le paragraphe 2.3.1.6.3.2. Le Tableau 4:4 répertorie les

réductions issues de ces simulations. Ce désaccord est le plus visible pour le cas du substrat sSOI 40%. En effet, la mesure de la réduction de la SBH induite par la contrainte est égale à 67 meV alors que la valeur théorique est égale à 79.1 meV (pour  $b=-1.36$ ) ; soit une différence de 12 meV. Seule l'épaisseur du film SOI varie entre ces différents échantillons. Nous pensons donc que ce paramètre a un impact sur la structure de bande et nous tenterons d'éclaircir ce problème dans le paragraphe suivant.

Tableau 4:4 Évolution de la position de la sous bande de valence LH en fonction de la contrainte et de la valeur du potentiel de déformation  $b$  (cf. Tableau 2:11).

Contrainte	Potentiel de déformation $b$ :							
	-1.36	-1.5	-2.12	-2.14	-2.27	-2.33	-2.35	-2.58
Réf.	[72]	[73]	[70]	[74]	[67]	[75]	[66]	[57]
sSOI 20% Ge	41.1	44.9	62.7	62.1	66.3	68.0	68.6	75.1
sSOI 40% Ge	79.1	87.2	124.3	123.1	131.9	135.4	136.6	150.0

Toutes les valeurs sont en meV.

En utilisant la ségrégation de **Bore**, la réduction de  $\phi_{bp,eff}$  est égale à 125 meV sur substrat SOI standard alors qu'elle est de 95 meV et 78 meV sur substrat sSOI 20% et sSOI 40%, respectivement. L'effet de l'amincissement du film de SOI sur la structure de bande du silicium ne peut expliquer à lui seul cette différence car l'effet relevé sur les échantillons sans DS semble beaucoup moins important (de l'ordre de la dizaine de meV). Nous envisageons deux raisons à cette perte d'efficacité. Tout d'abord, la distribution des dopants dans les différentes couches du substrat varie en fonction de l'épaisseur du film de SOI. Plus le film est mince, plus le nombre d'atomes impliqués dans cette technique est faible et plus l'impact de la DS est faible. De plus, il semble que la ségrégation des dopants lors du recuit thermique post implantation soit modifiée par la contrainte. Nous tenterons d'évaluer l'impact de ces différents phénomènes sur l'efficacité de B-DS dans le prochain paragraphe.

Les résultats combinant ségrégation d'**Arsenic** et contrainte permettent de déduire qu'il y a une forte modification de la position des bandes de conduction. Cette modification peut être attribuée à l'application de la contrainte et son impact est vraiment positif sur la SBH. Nous avons ainsi obtenu une réduction de 50 meV et 110 meV pour des substrats sSOI 20% et sSOI 40%, respectivement. D'après la Fig. 4:17, l'ensemble des atomes d'Arsenic est essentiellement confiné dans la couche de siliciure de platine. Cette observation laisse penser que l'effet de As-DS reste constant quelque soit l'épaisseur de SOI utilisée. Cependant, les mesures ne concordent pas avec les estimations répertoriées dans le Tableau 4:5. Dans le paragraphe suivant, nous détaillerons les différents phénomènes pouvant expliquer cette disparité et nous tenterons de les quantifier.

Tableau 4:5 Évolution de la position de la sous bande de conduction  $\Delta 2$  en fonction de la contrainte et de la valeur du potentiel de déformation  $\Xi_u$  (cf. Tableau 2:10).

Contrainte	Potentiel de déformation $\Xi_u$ :						
	7.3	8.47	8.5	8.7	8.86	9.2	10.5
Réf.	[66]	[67]	[68]	[69]	[70]	[66]	[71]
sSOI 20% Ge	-72.1	-83.6	-83.9	-85.9	-87.5	-90.8	-103.6
sSOI 40% Ge	-144.1	-167.2	-167.8	-171.8	-174.9	-181.6	-207.3

Toutes les valeurs sont en meV.

## 4.4 Comparaison entre les valeurs expérimentales et les simulations

L'objectif de ce paragraphe est de dresser une liste de phénomènes pouvant expliquer la différence entre les résultats expérimentaux obtenus précédemment et les estimations calculées dans le paragraphe 2.3.1.6. Dans un premier temps, nous étudierons l'évolution de la structure de bande en fonction de l'épaisseur du SOI. Ensuite, nous analyserons quelles sont les conséquences de cet amincissement sur la distribution des dopants dans les différentes couches de notre structure de test. Enfin, nous examinerons l'effet de la contrainte sur la diffusion de ces atomes lors du recuit post implantation.

### 4.4.1 Effet de l'amincissement du film mince de silicium sur la structure de bande.

Les effets de l'amincissement du film SOI sur le transport des porteurs ont été largement étudiés au cours des dernières années [127–132]. De manière générale, ces études sont focalisées sur la levée de dégénérescence des bandes de valence et de conduction. Lorsque l'épaisseur du film SOI diminue, les sous bandes de valence LH et HH ainsi que les sous bandes de conduction  $\Delta 2$  et  $\Delta 4$  se séparent. Ce phénomène est particulièrement intéressant pour le transport des électrons car l'écart énergétique entre  $\Delta 2$  et  $\Delta 4$  augmente (avec  $\Delta 2$  en dessous de  $\Delta 4$ ). Le taux d'occupation de ces deux sous bandes est modifié et passe de  $\Delta 2:50\%$  /  $\Delta 4:50\%$  à  $\Delta 2:90\%$  /  $\Delta 4:10\%$  [130]. La masse effective des électrons étant moins élevée dans la vallée  $\Delta 2$ , l'amincissement du film SOI a donc pour conséquence directe l'augmentation de la conductivité des électrons. Ces différentes études sont focalisées sur l'effet positif de la levée de dégénérescence des sous bandes car les contacts employés sont de type ohmique. Leurs positions vis-à-vis du niveau de Fermi du siliciure ne sont donc pas importantes. Cependant, ce paramètre ne peut être ignoré lorsqu'un contact de type Schottky est utilisé car ses performances dépendent de la SBH.

Nous avons donc recalculé la position exacte de chacune des sous bandes de valence et de conduction en fonction de l'épaisseur du film SOI. Pour cela, nous avons utilisé le logiciel *nextnano* [133]. Ce logiciel peut déterminer, de manière auto cohérente, la structure électronique exacte d'un grand nombre de dispositifs quantiques à base d'hétérostructure 3D. Il permet donc de modéliser la structure électronique de n'importe quelle combinaison de puits ou de fils quantiques, quelle que soit la dimension (du nm au  $\mu\text{m}$ ). De plus, le

calcul de la redistribution des charges dans la structure rend possible la détermination du courant. Ce simulateur de nano dispositif est basé sur la résolution des équations de Schrödinger (méthode k.p 8 bandes) et de Poisson pour des hétérostructures de forme quelconque et pour n'importe quelle combinaison de matériaux (III/V et Si/Ge).

Nous avons donc simulé l'évolution des bandes du silicium dans un film de silicium 1D dont la largeur varie. Ce film est pris en sandwich entre deux films de SiO<sub>2</sub>. La recherche des états propres du système permet de déterminer les énergies propres de la structure (Fig. 4:28). Nous pouvons donc déterminer l'évolution des sous bandes de conduction et de valence (Fig. 4:29-a).

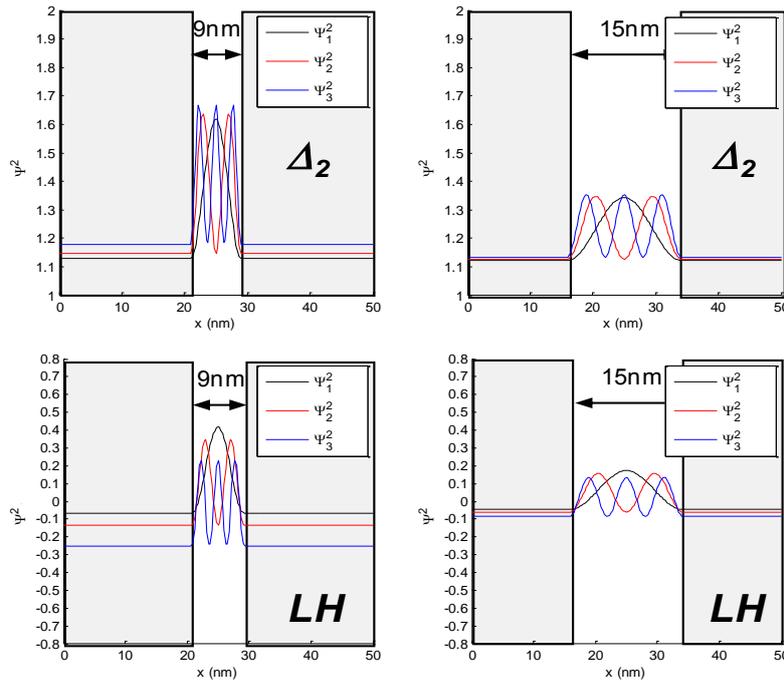


Fig. 4:28 Fonctions d'onde au carré et énergie propre pour les sous bandes  $\Delta_2$  et LH dans des films de silicium d'épaisseur de 9nm et de 15nm.

La Fig. 4:29-a représente l'évolution de l'ensemble des bandes du silicium en fonction de l'épaisseur du SOI. On peut remarquer que la structure commence à être modifiée à partir de 15 nm mais l'effet reste assez faible dans cette gamme d'épaisseur. Il y a une levée de la dégénérescence des sous bandes LH/HH et  $\Delta_2/\Delta_4$ . Ce phénomène s'accroît au fur et à mesure que l'épaisseur diminue. Parallèlement, la bande interdite s'élargit. La sous bande LH passe alors en dessous de la sous bande HH à partir de 15 nm puis en-dessous de SO à partir de 4 nm. Cette évolution n'est en aucun cas positive dans la perspective de la réduction de barrière Schottky puisque l'écart entre le niveau de Fermi du silicium et le bord de bande augmente ; que ce soit pour la bande de conduction ou pour la bande de valence. De plus, le fait que LH passe en dessous de HH va diminuer le taux d'occupation de LH, ce qui peut dégrader la mobilité des trous. Cette remarque ne s'applique pas aux sous bandes de conduction puisque la vallée  $\Delta_2$ , favorable au transport des électrons, est plus proche du niveau de Fermi du silicium.

Dans la Fig. 4:29-b, les évolutions de la structure de bande du silicium en fonction de la contrainte (en noir) et de l'épaisseur du film de silicium (en rouge) sont superposées. Cette figure permet de confronter les effets de ces deux phénomènes. Dans le cas de l'application d'une contrainte, les vallées de conduction se rapprochent du niveau de Fermi dans le

silicium alors qu'elles s'éloignent lorsque l'épaisseur du film SOI diminue. Dans les deux cas, il y a une levée de la dégénérescence de ces deux vallées et la conduction dans la vallée  $\Delta_2$  est favorisée. Cependant, les épaisseurs de films SOI utilisées sont supérieures ou égales à 9 nm ce qui laisse à penser que l'effet de la contrainte reste dominant. L'impact sur les sous bandes de valence est complètement différent. La contrainte biaxiale en tension a pour principal effet de rapprocher la sous bande LH du niveau de Fermi du silicium alors que HH et SO s'en retrouvent écartées. Lorsque l'épaisseur du SOI diminue, l'ensemble des sous bandes s'éloigne du niveau de Fermi mais HH est la moins touchée. La combinaison des deux effets sur la position des sous bandes de valence est donc difficile à évaluer. Cependant, tant que l'épaisseur du SOI est supérieure à 5 nm, nous pouvons raisonnablement penser que l'effet de la contrainte est dominant.

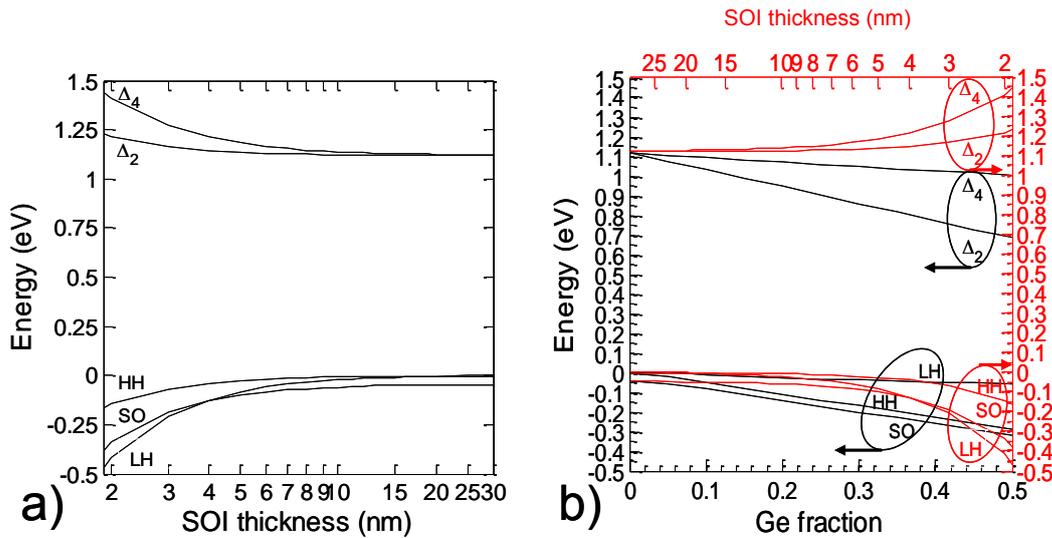


Fig. 4:29 (a) Évolution de la structure de bande de silicium en fonction de l'épaisseur du film SOI et (b) comparaison avec l'impact de l'application d'une contrainte biaxiale en tension (exprimée en fonction du pourcentage de Ge).

Les évolutions de LH et de  $\Delta_2$  ont été calculées en additionnant les effets de la contrainte et de l'amincissement du SOI. Les tableaux ci-dessous rassemblent l'ensemble de ces valeurs. Nous avons fait varier la contrainte (relative à une hétérostructure Si/Si<sub>1-x</sub>Ge<sub>x</sub> composé de 20% et 40% de Ge) ainsi que l'épaisseur du SOI (13 nm et 9 nm afin de correspondre aux substrats utilisés dans ces expérimentations). De plus, ces valeurs ont été calculées pour différentes valeurs du potentiel de déformation  $b$ .

Le Tableau 4:6 répertorie l'ensemble de ces valeurs pour la sous bande de valence LH. En confrontant ces résultats aux valeurs extraites pour des substrats sSOI sans DS (décalage de la position de LH de +40 meV pour un substrat sSOI 20% et de +67 meV pour un substrat sSOI 40%), nous pouvons voir que la correspondance entre résultats expérimentaux et les simulations est excellente. Cette analyse nous permet de sélectionner la valeur de potentiel de déformation  $b = -1.5$  pour le reste des travaux.

Tableau 4:6 Évolution de la position de la sous bande de valence **LH** en fonction de la contrainte, de l'épaisseur du SOI et de la valeur du potentiel de déformation  $b$ .

Contrainte	épaisseur du SOI	Potentiel de déformation $b$ [Réf.] :							
		-1.36 [72]	<b>-1.5</b> [73]	-2.14 [70]	-2.12 [74]	-2.27 [67]	-2.33 [75]	-2.35 [66]	-2.58 [57]
sSOI 20% Ge	9nm	20.1	23.9	41.7	41.1	45.3	47.0	47.6	54.1
	<b>13nm</b>	35.4	<b>39.2</b>	57.0	56.4	60.6	62.3	62.9	69.4
	Bulk	41.1	44.9	62.7	62.1	66.3	68.0	68.6	75.1
sSOI 40% Ge	<b>9nm</b>	58.2	<b>66.2</b>	103.3	102.2	110.9	114.4	115.6	129.1
	13nm	73.5	81.5	118.6	117.5	126.2	129.7	130.9	144.4
	Bulk	79.1	87.2	124.3	123.1	131.9	135.4	136.6	150.0

Les valeurs obtenues pour  $b=-1.5$  (en gris) sont celles qui correspondent le mieux aux valeurs de SBH mesurées sur les substrats sSOI 20% (+40meV avec  $t_{sSOI20\%}=13nm$ ) et sSOI 40% (+67meV avec  $t_{sSOI40\%}=13nm$ ).

Toutes les valeurs sont en meV.

Le Tableau 4:7 rassemble l'ensemble des valeurs calculées pour la sous bande de conduction  $\Delta_2$ . Nous avons gardé les mêmes conditions de simulation que précédemment. En comparant ces valeurs avec les résultats expérimentaux obtenus lorsque la ségrégation d'Arsenic est utilisée (réduction de 50 meV pour un substrat sSOI 20% et de 110 meV pour un substrat sSOI 40%), on peut remarquer que la concordance n'est pas bonne. Ce désaccord peut s'expliquer par le fait que l'ensemble des électrons ne se déplace pas dans la vallée  $\Delta_2$  mais que la répartition des électrons est partagée entre  $\Delta_2$  et  $\Delta_4$ . La SBH extraite dans les travaux expérimentaux peut être considérée comme une valeur moyenne des SBH rencontrées par les électrons se déplacent dans  $\Delta_2$  et des électrons se déplacent dans  $\Delta_4$ . De plus, ces valeurs ont été extraites sur des échantillons qui ont été soumis à la ségrégation d'arsenic. La DS modifie la structure de bande localement en diminuant la largeur de la barrière pour augmenter l'émission des électrons par effet tunnel. Nous avons donc mesuré une hauteur de barrière effective et non la SBH intrinsèque de la jonction PtSi/silicium contraint. Pour pouvoir déterminer le potentiel de déformation, il aurait fallu caractériser l'évolution de la bande de conduction sans utiliser de DS.

 Tableau 4:7 Évolution du décalage de la sous bande de conduction  $\Delta_2$  par rapport à sa position originale (1120meV) en fonction de la contrainte, de l'épaisseur du SOI et de la valeur du potentiel de déformation  $\Xi_u$ .

Contrainte	épaisseur du SOI	Potentiel de déformation $\Xi_u$ [Réf.] :						
		7.3 [66]	8.47 [67]	8.5 [68]	8.7 [69]	8.86 [70]	9.2 [66]	10.5 [71]
sSOI 20% Ge	9nm	-67.9	-79.5	-79.8	-81.7	-83.3	-86.7	-99.5
	<b>13nm</b>	-69.3	-80.9	-81.2	-83.1	-84.7	-88.1	-100.9
	Bulk	-72.1	-83.6	-83.9	-85.9	-87.5	-90.8	-103.6
sSOI 40% Ge	<b>9nm</b>	-140.0	-163.1	-163.7	-167.6	-170.8	-177.5	-203.2
	13nm	-141.4	-164.5	-165.1	-169.0	-172.2	-178.9	-204.6
	Bulk	-144.1	-167.2	-167.8	-171.8	-174.9	-181.6	-207.3

Toutes les valeurs sont en meV.

Dans ce paragraphe, une explication crédible au désaccord entre les simulations et les travaux expérimentaux obtenus sur substrat contraint sans DS a été apportée. L'effet de l'amincissement du SOI sur la structure de bande du silicium a été quantifié. En additionnant la réduction de la SBH par la contrainte et son augmentation due à l'amincissement du SOI, les variations de la SBH aux trous obtenues expérimentalement

(sans DS) sont en accord avec les simulations. Cependant, nous ne retrouvons pas le même accord pour le cas de la variation de la SBH aux électrons (lorsque la ségrégation d'Arsenic est utilisée). Dans le paragraphe suivant, nous étudierons les différents paramètres pouvant expliquer l'affaiblissement de l'effet obtenu grâce à B-DS lorsque le substrat change.

#### **4.4.2 Paramètres intrinsèques aux substrats influant sur la ségrégation**

##### **du Bore**

Nous avons remarqué dans le Tableau 4:3 que la réduction induite par B-DS diminue en efficacité lorsque nous changeons de substrat (125 meV pour un SOI standard, 95 meV pour un sSOI 20% et 78 meV pour un sSOI 40%). Les paramètres d'implantation et de recuit de ségrégation étant identiques quel que soit le substrat utilisé, seule une variation des paramètres intrinsèques aux substrats peut expliquer ce phénomène. Nous verrons donc dans un premier temps comment la réduction du film de SOI modifie la distribution des atomes au niveau de l'interface PtSi/Si. Puis nous étudierons l'impact de la contrainte sur la diffusion des dopants dans le silicium.

##### ***4.4.2.1 Modification de la distribution des dopants en fonction de***

##### ***l'épaisseur du film SOI***

L'objectif de ces simulations est de déterminer les variations de la distribution des dopants au voisinage de l'interface lorsque l'épaisseur du film SOI diminue (Fig. 4:31). La distribution des dopants de  $\text{BF}_2^+$  a été simulée à l'aide de TRIM [126]. L'empilement utilisé est composé des couches suivantes : PtSi(12 nm)/Si(K nm)/SiO<sub>2</sub>(145 nm) où K prend les valeurs 7 nm, 5 nm et 1 nm. Ces valeurs correspondent au silicium restant après la siliciuration complète de 6 nm de Pt sur un film de Si dont l'épaisseur prend les valeurs 15 nm, 12 nm et 9 nm. La Fig. 4:30 représente la distribution tridimensionnelle des atomes de Bore dans l'empilement PtSi (12 nm)/Si (7 nm)/SiO<sub>2</sub> (145 nm) en fonction de la profondeur de pénétration, du matériau et de la position latérale par rapport au point d'impact (situé en W=50 nm).

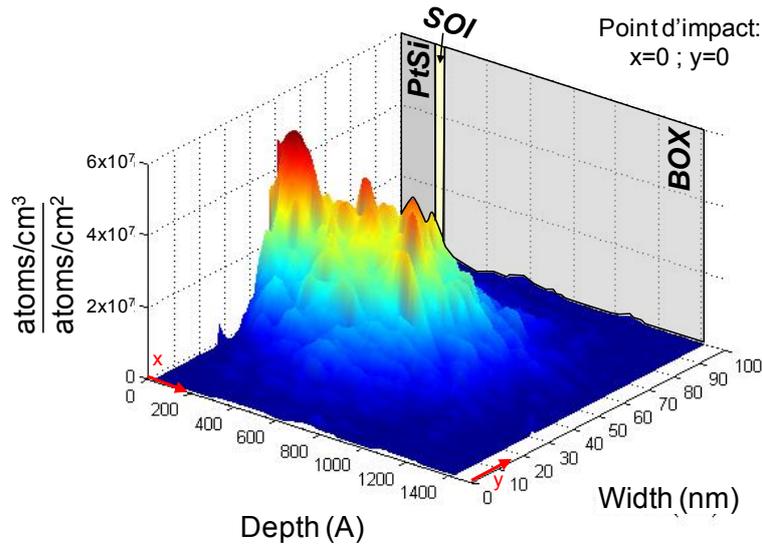


Fig. 4:30 Distribution radiale des atomes de  $BF_2^+$  implantés à 17keV en fonction de la profondeur de pénétration et du matériau. Le point d'impact des atomes est situé à 50nm.

Les Fig. 4:32, Fig. 4:33 et Fig. 4:34 représentent les isocontours de la distribution des atomes de Bore pour des épaisseurs de silicium de 7 nm, 5 nm et 1 nm, respectivement. Pour des épaisseurs de SOI de 7 nm et de 5 nm, les contours représentant les concentrations les plus importantes sont essentiellement localisés dans le PtSi et le SOI. Lorsque l'épaisseur du SOI est de 1 nm, une partie importante des atomes est localisée dans le  $SiO_2$ . Pour évaluer l'impact de  $t_{Si}$  sur la DS, nous avons intégré la concentration de Bore sur les intervalles suivants :

- Pour la profondeur (selon l'axe x) : du point d'impact ( $x=0$ ) jusqu'à l'interface SOI/ $SiO_2$
- du point d'impact ( $y=50$  nm) jusqu'à une position latérale de 100 nm

$$n_{Bore} = \int_{y=0nm}^{y=y_{Si/SiO_2}} \left[ \int_{x=50nm}^{x=100nm} N_{Bore} \cdot dx \right] \cdot dy \quad \text{eq. 4-3}$$

Les résultats de cette intégration sont résumés dans le Tableau 4:8. Le nombre d'atomes disponibles pour la ségrégation de dopant est réduit de 12% et de 43% lorsque l'épaisseur de Si passe de 7 nm à 5 nm et de 7 nm à 1 nm, respectivement. En considérant que les atomes de Bore pris en compte dans le processus de ségrégation de dopant sont localisés uniquement dans la couche de PtSi et de Si, l'efficacité de la DS est donc diminuée lorsque l'épaisseur du SOI diminue puisque la quantité de dopants disponible est réduite. Pour mieux illustrer cette observation, on peut dire que la diminution de  $t_{Si}$  diminue le réservoir de dopants utilisé lors de leur ségrégation à l'interface PtSi/Si et, par conséquent, l'impact de DS sur la SBH.

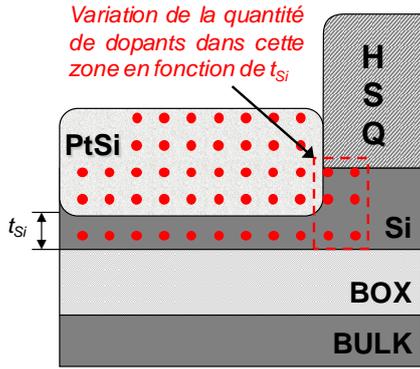


Fig. 4:31 Schéma représentant la distribution des atomes de Bore dans la structure de test.

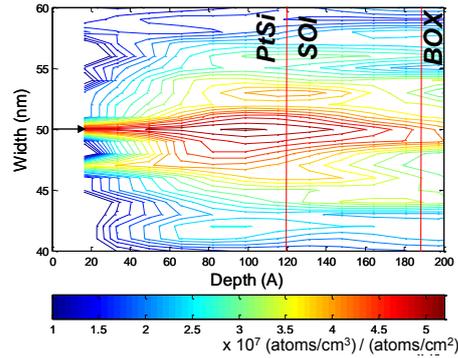


Fig. 4:32 Isocontours de la distribution des ions de  $BF_2^+$  après implantation à 17keV dans un empilement PtSi(12nm)/Si(7nm)/SiO<sub>2</sub>(145nm).

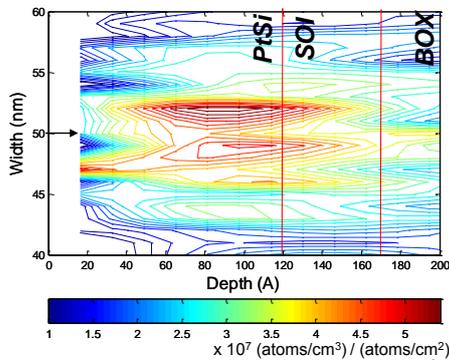


Fig. 4:33 Isocontours de la distribution des ions de  $BF_2^+$  après implantation à 17keV dans un empilement PtSi(12nm)/Si(5nm)/SiO<sub>2</sub>(145nm).

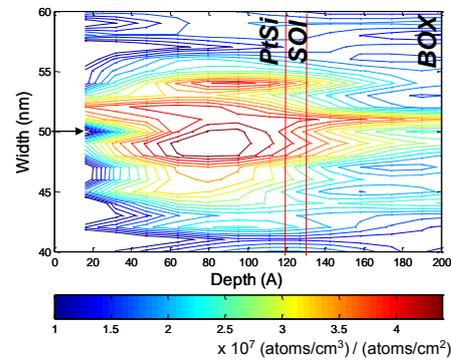


Fig. 4:34 Isocontours de la distribution des ions de  $BF_2^+$  après implantation à 17keV dans un empilement PtSi(12nm)/Si(1nm)/SiO<sub>2</sub>(145nm).

Tableau 4:8 Intégration de la distribution des atomes de  $BF_2^+$  impliqués dans la ségrégation de dopant. La distribution est intégrée du point d'impact jusqu'à l'interface SOI/SiO<sub>2</sub> pour la profondeur et du point d'impact jusqu'à 100 nm pour la largeur.

Épaisseur du SOI	Nombre d'atomes par cm
7nm	$8.1 \times 10^{10}$
5nm	$7.1 \times 10^{10}$
1nm	$4.6 \times 10^{10}$

#### 4.4.2.2 Impact de la contrainte sur la diffusion des dopants

Pour expliquer la baisse d'efficacité de la ségrégation de Bore (sur les substrats contraints sSOI 20% et sSOI 40% par rapport à un substrat SOI non contraint), deux autres hypothèses peuvent être considérées :

- L'implantation ionique ainsi que l'activation des dopants sont modifiées par la présence de la contrainte.
- L'intensité de la contrainte dans le film de silicium est relaxée dans la zone implantée.

Ces deux hypothèses peuvent expliquer le désaccord entre les résultats et les prévisions obtenues à partir des simulations. La relaxation de la contrainte dans une hétérostructure SiGe/Si a déjà été rapportée [134] mais un comportement similaire lors de l'utilisation du Bore n'a jamais été observé. Nous rejetterons donc cette hypothèse.

De nombreuses études ont été faites sur la diffusion du Bore et de l'Arsenic dans le silicium contraint, le SiGe relaxé et contraint. Une augmentation de la diffusion des atomes de Bore a été observés lorsqu'une contrainte biaxiale en tension est appliquée [135–137]. Ce phénomène semble être relié à la diminution de l'enthalpie d'activation, ce qui cause une anisotropie de la diffusion des dopants, avec une augmentation sensible dans le plan de la contrainte (diffusion latérale) [138], [139].

La solubilité des dopants est également affectée par la contrainte biaxiale [140]. La limite de solubilité du Bore est légèrement diminuée par l'application d'une contrainte biaxiale en tension et augmentée pour une contrainte biaxiale en compression. La limite de solubilité de l'arsenic est augmentée dans le cas d'une contrainte biaxiale en tension.

Ces deux phénomènes peuvent expliquer la différence de réduction de la SBH lorsque des substrats contraints sont utilisés. En effet, si la diffusion latérale du Bore est augmentée pour des substrats sSOI, le profil de dopage latéral est modifié par rapport à un substrat SOI standard ce qui provoque une modification de la courbure de bande au niveau de l'interface.

Le puits de potentiel induit par la DS sur des substrats sSOI est donc plus large et moins profond que dans le cas de référence (DS sur un substrat SOI non contraint) car :

- le nombre de dopants est équivalent ou inférieur (cf. paragraphe 4.4.2.1)
- la distribution latérale de la distribution des dopants est plus large (due à une diffusion plus grande)

La Fig. 4:35 illustre de manière graphique cette variation induite par les caractéristiques des différents substrats utilisés. La zone grise correspond au gain induit par la contrainte biaxiale en tension sur la SBH. Le trait rouge correspond à la modification de la courbure de la bande de valence induite par B-DS.  $\Delta_{\sigma,1}$  et  $\Delta_{\sigma,2}$  représentent les modifications de la distribution dues à l'augmentation de la diffusion induite par la contrainte sur des substrats sSOI 20% et 40%, respectivement.  $\Delta_{dp,1}$  et  $\Delta_{dp,2}$  représentent les diminutions de la valeur du pic de dopage induites par l'augmentation de la diffusion due à la contrainte et par la diminution du nombre de dopants due à l'amincissement du film de Si.



## 4.5 Conclusion du chapitre

Dans ce dernier chapitre, nous avons extrait dans un premier temps la hauteur de barrière Schottky (SBH) obtenues à partir d'un échantillon développé sur substrat SOI standard. Les mesures réalisées permettent d'extraire une SBH égale à **250 meV** pour cet échantillon de référence. L'utilisation d'un substrat sSOI 40%Ge nous a permis de réduire ce paramètre jusqu'à **183 meV**. Nous avons ensuite déterminé les conditions d'implantation et de recuit pour la ségrégation de Bore et d'Arsenic. L'effet de B-DS sur la SBH est intéressant puisqu'il permet une diminution de 50% (diminution de **125 meV** de la SBH). Cependant, cette réduction de la SBH induite par la ségrégation de Bore n'est pas aussi importante lorsqu'elle est appliquée sur des substrats contraints (réduction de **95 meV** et **78 meV** pour des substrats sSOI 20% Ge et 40% Ge, respectivement). Trois hypothèses peuvent expliquer ce phénomène :

- L'amincissement du film de Si qui est responsable d'une modification de la structure de bande du silicium.
- La diminution du nombre de dopants impliqués dans B-DS également due à la réduction de l'épaisseur du film SOI.
- L'augmentation de la diffusion des atomes de Bore dans un environnement contraint.

Cependant, l'utilisation de B-DS sur un substrat sSOI 40% Ge permet d'obtenir une réduction importante de la SBH puisque la SBH extraite est de **105 meV**. Enfin, nous avons démontré que l'utilisation de As-DS permettait de convertir le PtSi en un métal favorable au déplacement des électrons. De plus, les résultats obtenus sur sSOI avec As-DS prouvent l'action de la contrainte sur les sous bandes de conduction, entraînant une diminution importante de la SBH. Ces travaux présentent un caractère original du fait que, pour la première fois, l'effet cumulatif des contraintes mécaniques et de la ségrégation de dopant sur la hauteur de barrière Schottky a été étudié. Ils ont démontré que ces effets se superposent et permettent de fortement réduire la hauteur de barrière Schottky.



# Conclusions et perspectives

Ces travaux de thèse ont couvert de nombreux aspects relatifs à l'utilisation d'un matériau particulier : **le siliciure de platine**. Ce matériau possède des propriétés physiques intéressantes dans la perspective de son intégration dans un procédé de fabrication de transistor MOSFET. Son utilisation peut s'avérer judicieuse du fait de sa faible hauteur de barrière Schottky aux trous et de sa bonne stabilité thermique. Cependant, les performances électriques obtenues à partir de contacts métalliques Schottky en PtSi ne sont pas suffisantes en vue d'une utilisation dans les nœuds technologiques CMOS inférieurs à 32 nm. Dans cette thèse, nous avons tenté d'améliorer les performances de ce matériau afin de tirer parti de ses avantages. Pour y parvenir, nous avons développé deux techniques permettant de diminuer la **hauteur de barrière Schottky** : l'utilisation de substrats contraints et la ségrégation de dopant dans le siliciure. Leurs utilisations permettent de réduire sensiblement ce paramètre déterminant.

L'objectif du premier chapitre a été d'étudier théoriquement le fonctionnement des transistors MOSFET pour comprendre les conséquences de la réduction des dimensions. Il a ainsi été démontré que la miniaturisation des transistors permettait d'augmenter les performances des transistors MOSFET. Cependant, cette miniaturisation extrême apporte également un certain nombre de contraintes physiques et technologiques rendant difficile sa mise en place. Nous avons donc réalisé un tour d'horizon des solutions technologiques pouvant être utilisées pour outrepasser ces verrous technologiques. Dans cette étude, nous nous sommes plus particulièrement intéressés aux contraintes placées sur le module S/D en terme de résistance d'accès et sur la difficulté de tenir les prédictions de l'ITRS. Pour y parvenir, nous avons envisagé le remplacement du module de jonction conventionnel par des contacts MS. Ce remplacement permet de réduire la résistance série du module et donc de gagner en performance. Cependant, nous avons établi qu'il était nécessaire d'obtenir un siliciure à très faible SBH (100 meV) afin que cette technologie reste attrayante et concurrentielle vis-à-vis d'une technologie conventionnelle.

Dans le second chapitre, nous nous sommes focalisés sur la description théorique du fonctionnement d'un contact MS. Dans un premier temps, nous nous sommes concentrés sur le choix d'un matériau bord de bande. Nous avons sélectionné le platine pour sa stabilité thermique et son niveau de Fermi proche de la bande de valence du silicium. Nous avons ensuite exploré les différentes théories décrivant la formation de la barrière Schottky afin de déterminer les causes limitant l'obtention d'une faible hauteur de barrière. Le FLP a été identifié comme responsable du désaccord entre la théorie de Schottky-Mott et les résultats expérimentaux. Pour contourner ce problème, deux techniques ont été identifiées pour réduire la SBH. L'application d'une contrainte sur le silicium permet de modifier sa structure de bande. Nous avons donc calculé cette évolution à partir de différents modèles en fonction du type de contrainte. Nous avons finalement conclu que la contrainte biaxiale en tension est la plus favorable. La ségrégation de dopant est également identifiée comme une méthode permettant de réduire la SBH. La modification de la structure de bande à l'interface MS induite par les dopants est responsable d'une augmentation de l'efficacité d'injection des porteurs. L'utilisation simultanée de ces deux techniques est alors proposée pour diminuer au maximum ce paramètre.

Le cœur de cette thèse est contenu dans les chapitres 3 et 4 qui détaillent les travaux expérimentaux réalisés afin de vérifier l'efficacité de ces deux méthodes.

La première partie du chapitre 3 est consacrée à l'étude de la formation du siliciure de platine. Nous avons analysé les différentes phases de la formation de ce composé et étudié l'impact de la température de recuit sur la qualité et les performances du PtSi. Après avoir déterminé les paramètres optimums à la formation du PtSi, les différentes techniques de caractérisation de la hauteur de barrière Schottky ont été répertoriées et évaluées. Étant donné que nous souhaitons utiliser des substrats sSOI, l'extraction de la SBH par la mesure de l'énergie d'activation a été choisie. Un modèle simulant l'émission de porteurs par effet thermoélectrique et par effet de champ a également été développé. Le procédé de fabrication pour la réalisation d'une structure de test constituée de deux diodes têtes bêtes sur substrat SOI a ensuite été détaillé. La particularité de ce procédé vient de l'utilisation d'une technique de retrait sélectif du platine non réagi : la germaniuration. Nous avons démontré son efficacité et son faible impact sur la morphologie du PtSi. Les mesures I-V-T réalisées sur cette structure de test combinées à l'utilisation du modèle a permis donc d'extraire précisément la hauteur de barrière Schottky.

Le chapitre 4 est consacré à l'analyse des résultats expérimentaux obtenus sur les différents échantillons. Dans un premier temps, l'évolution de la SBH en fonction de la contrainte a été étudiée. La réduction de la SBH en fonction de l'application croissante d'une contrainte biaxiale en tension confirme les résultats obtenus dans le chapitre 2. Lorsque le silicium est dans cette configuration mécanique, il y a levée de dégénérescence des bandes de valence. La position énergétique des deux sous bandes LH et HH évolue. Ce phénomène se traduit par une réduction de la SBH aux trous. Nous avons ensuite utilisé la ségrégation de Bore et d'Arsenic sur des substrats non contraints. Les résultats obtenus avec le Bore permettent également de conclure à une réduction importante de la SBH aux trous. L'emploi de l'Arsenic donne des résultats très intéressants puisque ce type d'atome convertit le PtSi en un siliciure de type n (favorable au transport des électrons). Son influence sur la structure de bande semble plus importante que le Bore. L'application de B-DS sur sSOI donne des résultats plus contrastés puisque son effet semble perdre en efficacité lorsque la contrainte est implémentée. Nous avons identifié l'amincissement du film SOI comme responsable de ce phénomène. Nous avons également démontré que la diminution de l'épaisseur du film SOI augmente la largeur de la bande interdite du silicium et modifie la distribution des dopants. La contrainte perturbe le comportement des atomes lors du recuit d'activation. L'utilisation de As-DS combinée à l'application de la contrainte permet quant à elle de déduire que la position des sous bandes de conduction est également modifiée. Nous avons observé une diminution de la SBH lorsque la contrainte augmente ce qui laisse à penser qu'il y a une levée de dégénérescence des vallées  $\Delta_2$  et  $\Delta_4$ .

Ce travail de thèse a permis le développement d'une méthode d'analyse des performances d'un contact Schottky à très faible hauteur de barrière. L'intérêt de cette méthode est qu'elle est applicable à d'autres matériaux et qu'elle est compatible avec l'utilisation de substrat SOI, sSOI ou encore GOI. Son utilisation nous a permis de vérifier l'impact de la contrainte biaxiale en tension sur la structure de bande du silicium. Nous avons démontré les levées de dégénérescence des bandes de valence et de conduction ce qui implique un rétrécissement de la largeur de la bande interdite et donc une réduction de la hauteur de barrière Schottky. L'utilisation simultanée de la contrainte et de la ségrégation de dopant

nous a permis de réduire la SBH aux trous de 145 meV et ainsi d'atteindre notre objectif de 100 meV fixé au début de cette thèse. Nous avons également réussi à atteindre une SBH aux électrons de 160 meV en utilisant la contrainte et As-DS. Cette réduction nous permet de nous approcher de la barre des 100 meV que nous nous étions fixés. Ces travaux ont permis pour la première fois de démontrer l'effet cumulatif de la contrainte et de la ségrégation de dopant sur la hauteur de barrière Schottky (aux trous et aux électrons).

Il reste de nombreuses expériences à entreprendre pour compléter ce travail. Trois axes de travail peuvent être dégagés :

- **Réduction de la SBH aux électrons :**

Afin d'obtenir une SBH aux électrons inférieure à 100 meV, il nous paraît judicieux de réaliser une étude complémentaire sur les siliciures de terres rares (Er, Yb) pour déterminer l'influence de la contrainte sur ce type de composé. Ces matériaux ont une faible hauteur de barrière Schottky aux électrons et l'utilisation simultanée de As-DS et de la contrainte pourrait nous permettre d'obtenir une SBH aux électrons inférieure à 100 meV.

- **Vérification de l'influence de la contrainte sur la mobilité des porteurs :**

Les levées de dégénérescence des bandes de conduction et de valence ont pour conséquence de favoriser les déplacements des électrons dans la vallée  $\Delta_2$  et des trous dans LH. Ces sous bandes sont connues pour présenter une masse effective inférieure et donc une mobilité plus importante. La polarisation de la face arrière permet de simuler le comportement d'un pseudo MOSFET. Cette méthode, facile à mettre en place, nous permettrait d'extraire facilement la mobilité en utilisant la fonction Y.

- **Remplacement du contact Métal / Semiconducteur par un contact Métal / Isolant / Semiconducteur (MIS) :**

Une des stratégies développées pour diminuer le FLP est de bloquer la pénétration des MIGS dans le silicium en intercalant un film isolant entre le Métal et le Silicium. Cette insertion permet de diminuer le nombre d'états d'énergie disponibles dans la bande interdite du semiconducteur. L'efficacité de cette méthode a déjà été démontrée dans la littérature [141–144]. De plus, nous avons déjà réalisé quelques travaux expérimentaux sur ce sujet et les résultats encourageants nous laisse penser que cette méthode est une alternative crédible (cf. Annexe 1). De plus, son utilisation peut être combinée à l'application de la contrainte pour un gain en performance supplémentaire.







# Annexe 1 : Étude de la jonction MIS et comparaison avec une jonction MS

Cette thèse a permis de démontrer que les jonctions métalliques de type Schottky sont une alternative crédible aux contacts ohmiques conventionnels dans les technologies MOSFET. Cependant, leurs performances restent limitées par la hauteur de barrière Schottky. Le phénomène de verrouillage du niveau de Fermi (FLP) est identifié comme la contrainte majeure de ce type de module de jonction. Ce travail de thèse a permis de démontrer que l'application de contraintes mécaniques dans le silicium combinée à la ségrégation de dopants à l'interface siliciure/silicium sont des solutions efficaces pour la réduction de la barrière Schottky. Il a été démontré dans la littérature que l'insertion d'une couche très fine de diélectrique entre le métal et le semiconducteur permettait de réduire significativement la SBH ([1], [2]). Connelly et al. pensent que l'introduction de cette couche diélectrique permet de supprimer le FLP entre le métal et le semiconducteur [3]. Le phénomène invoqué est le blocage de la pénétration des MIGS dans le semiconducteur, rendant le travail de sortie du métal indépendant du type de semiconducteur utilisé. L'injection de porteur à travers cette jonction Métal/Isolant/Semiconducteur (MIS) se fait donc par effet tunnel et la probabilité d'injection est dépendante de l'épaisseur de ce film diélectrique. Il convient donc de trouver le bon compromis entre le déverrouillage de niveau de Fermi et le maintien d'une probabilité d'injection par effet tunnel adéquate afin d'obtenir une faible résistance d'accès.

Afin d'évaluer le potentiel de cette technique, des structures de test identiques à celle décrites dans le paragraphe 3.4 ont été réalisées (l'épaisseur du SOI est de 50 nm contre ~15 nm dans les travaux précédents). Sur une partie des structures, le contact métallique a été réalisé par siliciuration de platine (les conditions de siliciuration sont identiques à celles du paragraphe 3.1). Sur l'autre ensemble de structure, le contact Schottky a été remplacé par une jonction MIS. Le diélectrique, déposé par ALD, est de type  $\text{Al}_2\text{O}_3$  et son épaisseur est de 8 Angstrom environ. La couche métallique, déposée par lift-off, est composée de platine et son épaisseur est de 6 nm. Cet empilement de couches est recouvert de 300 nm d'aluminium afin d'améliorer la résistance d'accès. La Fig. 1 compare les différences entre les deux procédés de fabrication. Afin d'extraire la hauteur de barrière Schottky, des mesures I-V-T ont été réalisées sur chacune des structures de test. La Fig. 2 compare les mesures I-V obtenues à 150 K, 200 K, 250 K et 300 K. La couleur du contour indique le type de jonction (rouge pour PtSi/Si et bleu pour Pt/ $\text{Al}_2\text{O}_3$ /Si) alors que la coloration de l'intérieur des points indique la température de mesure. On peut remarquer sur ces caractéristiques que le niveau de courant obtenu sur la jonction Pt/ $\text{Al}_2\text{O}_3$ /Si est supérieur à celui obtenu sur la jonction PtSi/Si, malgré l'insertion de la couche de diélectrique. De plus, l'évolution de des niveaux de courant en fonction de la température diffère en fonction du type de jonction mesuré. Pour la jonction Pt/ $\text{Al}_2\text{O}_3$ /Si, la diminution de la température à moins d'influence sur les niveaux de courant ce qui est caractéristique d'une injection par effet tunnel. Les Fig. 3 et 4 représentent les tracés d'Arrhenius des mesures I-V-T pour des polarisations égales à 1V, 1.5V et 2V. Sur chacune des figures, trois ensembles de simulations sont superposés aux mesures afin de déterminer la hauteur de barrière Schottky. Dans le cas d'une jonction PtSi/Si, la SBH est égale à 180 meV. Ce paramètre est égal à 15 meV dans le cas d'une jonction Pt/ $\text{Al}_2\text{O}_3$ /Si.

Ces mesures confirment donc que l'insertion d'une couche diélectrique permet de déverrouiller le niveau de Fermi du métal. La hauteur de barrière Schottky est considérablement diminuée, passant de 180 meV à 15 meV. De plus, ce type de jonction présente l'avantage de ne pas nécessiter de recuit de siliciuration, ce qui garantit un faible budget thermique. Cette méthode apparaît donc comme une alternative intéressante mais différents axes de recherche restent à être explorés. Tout d'abord, le type de matériau diélectrique semble avoir une influence sur la formation de la barrière Schottky [4]. De plus, l'influence de l'épaisseur du film diélectrique sur la valeur de la résistance d'accès n'a pas été étudiée. Enfin, l'absence de technique de retrait sélectif ainsi que la relative fragilité de ce type de structure doivent être pris en compte pour son intégration.

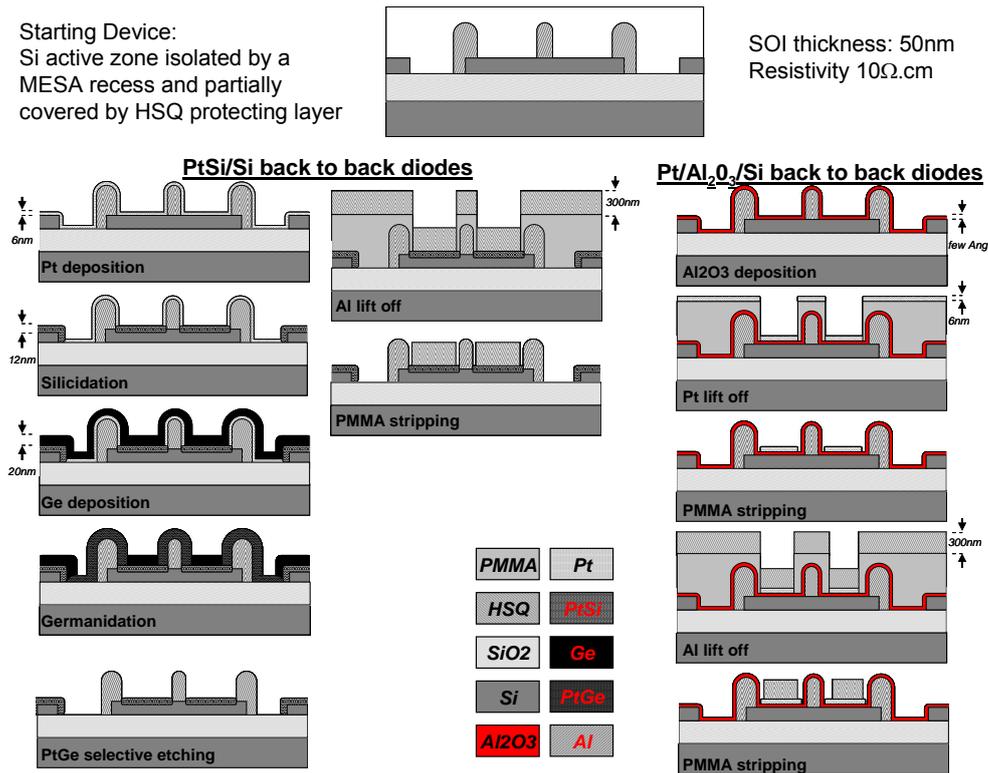


Fig. 1 Procédé de fabrication des différentes structures de test de type PtSi (colonne de gauche) et Pt/Al<sub>2</sub>O<sub>3</sub>/Si (colonne de droite).

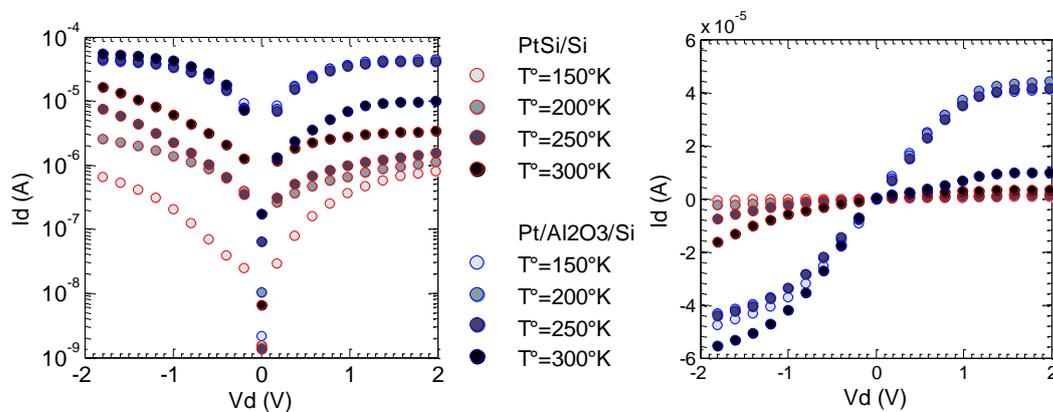


Fig. 2 Comparaison des caractéristiques I(V) entre les jonctions PtSi/Si (contour rouge) et Pt/Al<sub>2</sub>O<sub>3</sub>/Si (contour bleu) pour différentes températures.

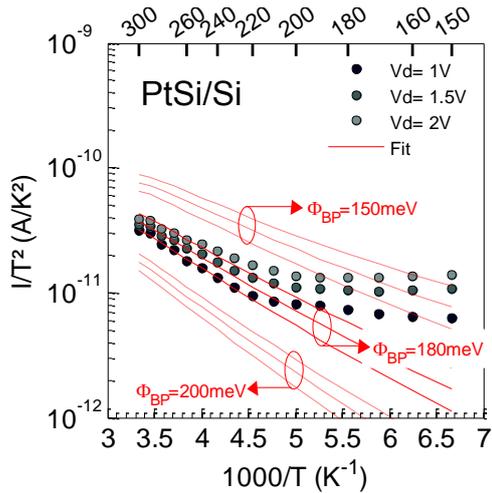


Fig. 3 Tracé d'Arrhenius des caractéristiques (mode inverse) d'un échantillon de type PtSi/Si. Les simulations indiquent que la SBH est égale à 180meV

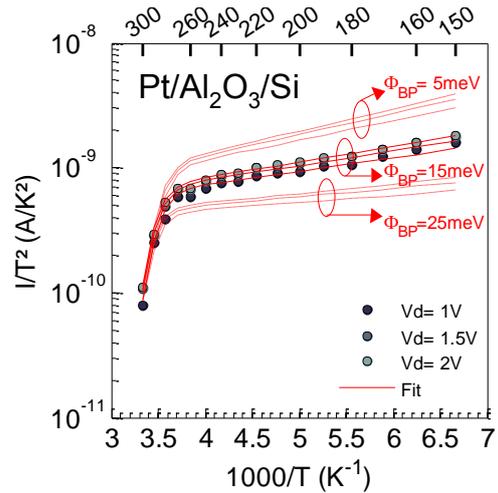


Fig. 4 Tracé d'Arrhenius des caractéristiques (mode inverse) d'un échantillon de type Pt/Al<sub>2</sub>O<sub>3</sub>/Si. Les simulations indiquent que la SBH est égale à 15meV

Références :

- [1] D. Connelly, C. Faulkner, D. E. Grupp, et J. S. Harris, « A new route to zero-barrier metal source/drain MOSFETs », *Nanotechnology, IEEE Transactions on*, vol. 3, n° 1, p. 98–104, 2004.
- [2] B. E. Coss, W.-Y. Loh, R. M. Wallace, J. Kim, P. Majhi, et R. Jammy, « Near band edge Schottky barrier height modulation using high- $\kappa$  dielectric dipole tuning mechanism », *Appl. Phys. Lett.*, vol. 95, n° 22, p. 222105, 2009.
- [3] D. Connelly, C. Faulkner, P. A. Clifton, et D. E. Grupp, « Fermi-level depinning for low-barrier Schottky source/drain transistors », *Appl. Phys. Lett.*, vol. 88, n° 1, p. 012105, 2006.
- [4] L. Lin, J. Robertson, et S. J. Clark, « Shifting Schottky barrier heights with ultra-thin dielectric layers », *Microelectronic Engineering*, vol. 88, n° 7, p. 1461–1463, juill. 2011.



# Bibliographie

- [1] J. Bardeen et B. Walter H., « Three-electrode circuit element utilizing semiconductive materials », U.S. Patent 252403523-déc-1952.
- [2] « Front End Processes », *The International Technology Roadmap for Semiconductors*. [Online]. Available: <http://www.itrs.net/Links/2010ITRS/Home2010.htm>.
- [3] H. Mathieu, *Physique des semiconducteurs et des composants électroniques*, Paris, Dunod, 2001.
- [4] J. Gautier, T. Skotnicki, et F. Boeuf, *Physique des dispositifs pour circuits intégrés silicium*, Paris, Hermès science publications, 2003.
- [5] Y. Taur, *Fundamentals of modern VLSI devices*, Cambridge UK, Cambridge University Press, 1998.
- [6] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, et A. R. LeBlanc, « Design of ion-implanted MOSFET's with very small physical dimensions », *IEEE Journal of Solid-State Circuits*, vol. 9, n° 5, p. 256–268, oct. 1974.
- [7] G. Baccarani, M. R. Wordeman, et R. H. Dennard, « Generalized scaling theory and its application to a ¼ micrometer MOSFET design », *IEEE Transactions on Electron Devices*, vol. 31, n° 4, p. 452–462, avr. 1984.
- [8] H. R. Huff, *High dielectric constant materials : VLSI MOSFET Applications*. Berlin, Springer, 2005.
- [9] T. Skotnicki, G. Merckel, et T. Pedron, « The voltage-doping transformation: a new approach to the modeling of MOSFET short-channel effects », *IEEE Electron Device Letters*, vol. 9, n° 3, p. 109–112, mars 1988.
- [10] T. Skotnicki, G. Merckel, et T. Pedron, « A new punchthrough current model based on the voltage-doping transformation », *IEEE Transactions on Electron Devices*, vol. 35, n° 7, p. 1076–1086, juill. 1988.
- [11] S.-D. Kim, C.-M. Park, et J. C. S. Woo, « Advanced model and analysis of series resistance for CMOS scaling into nanometer regime. I. Theoretical derivation », *IEEE Transactions on Electron Devices*, vol. 49, n° 3, p. 457–466, 2002.
- [12] S.-D. Kim, C.-M. Park, et J. C. S. Woo, « Advanced model and analysis of series resistance for CMOS scaling into nanometer regime. II. Quantitative analysis », *IEEE Transactions on Electron Devices*, vol. 49, n° 3, p. 467–472, 2002.
- [13] S.-D. Kim, J. Yuan, et J. C. S. Woo, « Source/drain resistance modeling in bulk and ultra-thin body SOI MOSFETs », in *Extended Abstracts of the Fifth International Workshop on Junction Technology*, 2005, p. 99–102.
- [14] S.-D. Kim, « Optimum location of silicide/Si interface in ultra-thin body SOI MOSFETs with recessed and elevated silicide source/drain contact structure », *Solid-State Electronics*, vol. 53, n° 10, p. 1112–1115, oct. 2009.
- [15] K. Varahramyan et E. J. Verret, « A model for specific contact resistance applicable for titanium silicide-silicon contacts », *Solid-State Electronics*, vol. 39, n° 11, p. 1601–1607, nov. 1996.
- [16] Y. Taur, C. H. Wann, et D. J. Frank, « 25 nm CMOS design considerations », in *IEEE International Electron Devices Meeting Technical Digest.*, 1998, p. 789–792.

- 
- [17] M.-Y. Kwong, R. Kasnavi, P. Griffin, J.-D. Plummer, et R.-W. Dutton, « Impact of lateral source/drain abruptness on device performance », *IEEE Transactions on Electron Devices*, vol. 49, n<sup>o</sup>. 11, p. 1882–1890, nov. 2002.
- [18] D. Villanueva, A. Pouydebasque, E. Robilliart, T. Skotnicki, E. Fuchs, et H. Jaouen, « Impact of the lateral source/drain abruptness on MOSFET characteristics and transport properties », in *IEEE International Electron Devices Meeting Technical Digest.*, 2003, p. 9.4.1–9.4.4.
- [19] T. Uchino, T. Shiba, K. Ohnishi, A. Miyauchi, M. Nakata, Y. Inoue, et T. Suzuki, « A raised source/drain technology using in-situ P-doped SiGe and B-doped Si for 0.1- $\mu\text{m}$  CMOS ULSIs », in *IEEE International Electron Devices Meeting Technical Digest.*, 1997, p. 479–482.
- [20] J. Lian et C. Hai, « Fully-depleted SOI devices with elevated source/drain structure », in *7th International Conference on Solid-State and Integrated Circuits Technology*, 2004, vol. 1, p. 287–290.
- [21] A. M. Waite, N. S. Lloyd, P. Ashburn, A. G. Evans, T. Ernst, H. Achard, S. Deleonibus, Y. Wang, et P. Hemment, « Raised source/drain (RSD) for 50 nm MOSFETs - effect of epitaxy layer thickness on short channel effects », in *ESSDERC'03*, 2003, p. 223–226.
- [22] V. Ramanjaneyulu, S. Baishya, et R. H. Laskar, « Optimization consideration of undoped raised source/drain FinFET with effective SCE control », in *2nd International Conference on Mechanical and Electronics Engineering (ICMEE)*, 2010, vol. 1, p. V1–150–V1–153.
- [23] Lang Zeng, Zhiliang Xia, Gang Du, Jinfeng Kang, R. Q. Han, et Xiaoyan Liu, « Gate-Induced Image Force Barrier Lowering in Schottky Barrier FETs », *IEEE Transactions on Nanotechnology*, vol. 8, n<sup>o</sup>. 1, p. 10–15, janv. 2009.
- [24] E. Gusev, E. Cartier, D. Buchanan, M. Gribelyuk, M. Copel, H. Okorn-Schmidt, et C. D'Emic, « Ultrathin high-K metal oxides on silicon: processing, characterization and integration issues », *Microelectronic Engineering*, vol. 59, n<sup>o</sup>. 1–4, p. 341–349, nov. 2001.
- [25] H. Moissan, « His Laboratory and His Work », *Nature*, n<sup>o</sup>. 75, p. 419–420, janv. 1902.
- [26] H. Moissan, « Etude du siliciure de carbone de la meteorite de canon diablo », *C. R. Acad. Sci.*, n<sup>o</sup>. 140, p. 773, 1904.
- [27] S. P. Murarka, « Refractory silicides for integrated circuits », *Journal of Vacuum Science and Technology*, vol. 17, p. 775, juill. 1980.
- [28] R. D. Thompson, B. Tsaur, et K.-N. Tu, « Rare earth silicide Schottky barriers », U.S. Patent 439467319-juill-1983.
- [29] K. Maex, M. van Rossum, et Knovel (Firm), *Properties of Metal Silicides*. London, INSPEC, 1995.
- [30] E. Conforto et P. E. Schmid, « Pt–Si reaction through interfacial native silicon oxide layers », *Philosophical Magazine A*, vol. 81, p. 61–82, janv. 2001.
- [31] E. J. Faber, R. A. M. Wolters, et J. Schmitz, « On the kinetics of platinum silicide formation », *Applied Physics Letters*, vol. 98, p. 082102, 2011.
- [32] P. I. Gaiduk et A. Nylandsted Larsen, « Platinum-silicide formation during rapid thermal annealing: Dependence on substrate orientation and pre-implanted impurities », *Applied Physics A Solids and Surfaces*, vol. 53, p. 168–171, août 1991.

- [33] A. K. Pant, S. P. Murarka, C. Shepard, et W. Lanford, « Kinetics of platinum silicide formation during rapid thermal processing », *Journal of Applied Physics*, vol. 72, p. 1833, 1992.
- [34] T. Stark, H. Grünleitner, M. Hundhausen, et L. Ley, « Deriving the kinetic parameters for Pt-silicide formation from temperature ramped in situ ellipsometric measurements », *Thin Solid Films*, vol. 358, n<sup>o</sup>. 1–2, p. 73–79, janv. 2000.
- [35] H. Takai, P.-A. Psaras, et K.-N. Tu, « Effects of substrate crystallinity and dopant on the growth kinetics of platinum silicides », *Journal of Applied Physics*, vol. 58, p. 4165, 1985.
- [36] S. M. Zhou, M. Hundhausen, T. Stark, L. Y. Chen, et L. Ley, « Kinetics of platinum silicide formation followed in situ by spectroscopic ellipsometry », *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 17, p. 144, 1999.
- [37] R. T. Tung, « Formation of an electric dipole at metal-semiconductor interfaces », *Phys. Rev. B*, vol. 64, n<sup>o</sup>. 20, p. 205310, nov. 2001.
- [38] N. F. Mott, « Note on the Contact Between a Metal and an Insulator or Semiconductor », *Mathematical Proceedings of the Cambridge Philosophical Society*, vol. 34, n<sup>o</sup>. 04, p. 568–572, 1938.
- [39] E. Bucher, S. Schulz, M. C. Lux-Steiner, P. Munz, U. Gubler, et F. Greuter, « Work function and barrier heights of transition metal silicides », *Applied Physics A Solids and Surfaces*, vol. 40, n<sup>o</sup>. 2, p. 71–77, juin 1986.
- [40] T. J. Drummond, « Work Functions of the transition Metals and Metal Silicides », *Journal of Applied Physics*, févr. 1999.
- [41] V. Heine, « Theory of Surface States », *Phys. Rev.*, vol. 138, n<sup>o</sup>. 6A, p. 1689–1696, juin 1965.
- [42] J. Tersoff, « Schottky Barrier Heights and the Continuum of Gap States », *Phys. Rev. Lett.*, vol. 52, n<sup>o</sup>. 6, p. 465–468, 1984.
- [43] S. G. Louie et M. L. Cohen, « Self-Consistent Pseudopotential Calculation for a Metal-Semiconductor Interface », *Phys. Rev. Lett.*, vol. 35, n<sup>o</sup>. 13, p. 866–869, 1975.
- [44] Y. Sun, S. Thompson, et T. Nishida, *Strain Effect in Semiconductors: Theory and Device Applications*. Springer, 2009.
- [45] J. J. Wortman et R. A. Evans, « Young's Modulus, Shear Modulus, and Poisson's Ratio in Silicon and Germanium », *Journal of Applied Physics*, vol. 36, p. 153, 1965.
- [46] H. M. Manasevit, « Electron mobility enhancement in epitaxial multilayer Si-Si<sub>1-x</sub>Gex alloy films on (100) Si », *Applied Physics Letters*, vol. 41, p. 464, 1982.
- [47] J. Bardeen et W. Shockley, « Deformation Potentials and Mobilities in Non-Polar Crystals », *Phys. Rev.*, vol. 80, n<sup>o</sup>. 1, p. 72–80, oct. 1950.
- [48] C. S. Smith, « Piezoresistance Effect in Germanium and Silicon », *Phys. Rev.*, vol. 94, n<sup>o</sup>. 1, p. 42–49, avr. 1954.
- [49] W. P. Mason, « Use of Piezoresistive Materials in the Measurement of Displacement, Force, and Torque », *The Journal of the Acoustical Society of America*, vol. 29, p. 1096, 1957.
- [50] K. Mistry, C. Allen, C. Auth, B. Beattie, G. Ding, J. He, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, et P. Vandervoorn, « A 45 nm Logic

- Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193 nm Dry Patterning, and 100% Pb-free Packaging », in *IEEE International Electron Devices Meeting*, 2007, p. 247–250.
- [51] S. E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C.-H. Jan, C. Kenyon, J. Klaus, K. Kuhn, Zhiyong Ma, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, Phi Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, et Y. El-Mansy, « A 90-nm logic technology featuring strained-silicon », *IEEE Transactions on Electron Devices*, vol. 51, n<sup>o</sup>. 11, p. 1790–1797, nov. 2004.
- [52] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, et M. Bohr, « A 90 nm high volume manufacturing logic technology featuring novel 45 nm gate length strained silicon CMOS transistors », in *IEEE International Electron Devices Meeting*, 2003, p. 11.6.1–11.6.3.
- [53] V. Chan, R. Rengarajan, N. Rovedo, Wei Jin, T. Hook, P. Nguyen, Jia Chen, E. Nowak, Xiang-Dong Chen, D. Lea, A. Chakravarti, V. Ku, S. Yang, A. Steegen, C. Baiocco, P. Shafer, Hung Ng, Shih-Fen Huang, et C. Wann, « High speed 45 nm gate length CMOSFETs integrated into a 90 nm bulk technology incorporating strain engineering », in *IEEE International Electron Devices Meeting*, 2003, p. 3.8.1–3.8.4.
- [54] A. Murthy, R. S. Chau, T. Ghani, et K. R. Mistry, « Semiconductor transistor having a stressed channel », U.S. Patent 662113116-sept-2003.
- [55] J. Bardeen et W. Shockley, « Deformation Potentials and Mobilities in Non-Polar Crystals », *Phys. Rev.*, vol. 80, n<sup>o</sup>. 1, p. 72–80, oct. 1950.
- [56] C. Herring et E. Vogt, « Transport and Deformation-Potential Theory for Many-Valley Semiconductors with Anisotropic Scattering », *Phys. Rev.*, vol. 101, n<sup>o</sup>. 3, p. 944–961, févr. 1956.
- [57] M. Cardona et F. H. Pollak, « Energy-Band Structure of Germanium and Silicon: The k·p Method », *Phys. Rev.*, vol. 142, n<sup>o</sup>. 2, p. 530–543, févr. 1966.
- [58] T. Manku et A. Nathan, « Valence energy-band structure for strained group-IV semiconductors », *Journal of Applied Physics*, vol. 73, p. 1205, 1993.
- [59] J. C. Slater et G. F. Koster, « Simplified LCAO Method for the Periodic Potential Problem », *Phys. Rev.*, vol. 94, n<sup>o</sup>. 6, p. 1498–1524, juin 1954.
- [60] P. Vogl, H. P. Hjalmarson, et J. D. Dow, « A Semi-empirical tight-binding theory of the electronic structure of semiconductors† », *Journal of Physics and Chemistry of Solids*, vol. 44, n<sup>o</sup>. 5, p. 365–378, 1983.
- [61] J.-M. Jancu, R. Scholz, F. Beltram, et F. Bassani, « Empirical sp<sup>3</sup>d<sup>5</sup>s\* tight-binding calculation for cubic semiconductors: General method and material parameters », *Phys. Rev. B*, vol. 57, n<sup>o</sup>. 11, p. 6493–6507, mars 1998.
- [62] T. B. Boykin, G. Klimeck, et F. Oyafuso, « Valence band effective-mass expressions in the sp<sup>3</sup>d<sup>5</sup>s\* empirical tight-binding model applied to a Si and Ge parametrization », *Phys. Rev. B*, vol. 69, n<sup>o</sup>. 11, p. 115201, mars 2004.
- [63] F. H. Pollak et M. Cardona, « Piezo-Electroreflectance in Ge, GaAs, and Si », *Phys. Rev.*, vol. 172, n<sup>o</sup>. 3, p. 816–837, 1968.
- [64] G. E. P. Gennadiï Levikovich Bir, *Symmetry and strain-induced effects in semiconductors*. New York: Wiley, 1974.

- [65] Y. Sun, S. E. Thompson, et T. Nishida, « Physics of strain effects in semiconductors and metal-oxide-semiconductor field-effect transistors », *Journal of Applied Physics*, vol. 101, n° 10, p. 104503, mai 2007.
- [66] C. G. Van de Walle et R. M. Martin, « Theoretical calculations of heterojunction discontinuities in the Si/Ge system », *Phys. Rev. B*, vol. 34, n° 8, p. 5621–5634, oct. 1986.
- [67] P. Friedel, M. S. Hybertsen, et M. Schlüter, « Local empirical pseudopotential approach to the optical properties of Si/Ge superlattices », *Phys. Rev. B*, vol. 39, n° 11, p. 7974–7977, avr. 1989.
- [68] I. Balslev, « Influence of Uniaxial Stress on the Indirect Absorption Edge in Silicon and Germanium », *Phys. Rev.*, vol. 143, n° 2, p. 636–647, mars 1966.
- [69] H. Landolt, *Landolt-Börnstein numerical data and functional relationships in science and technology*. Berlin, Springer, 1984.
- [70] C. Tserbak, H. M. Polatoglou, et G. Theodorou, « Unified approach to the electronic structure of strained Si/Ge superlattices », *Phys. Rev. B*, vol. 47, n° 12, p. 7104–7124, mars 1993.
- [71] M. V. Fischetti et S. E. Laux, « Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys », *J. Appl. Phys.*, vol. 80, n° 4, p. 2234, 1996.
- [72] J. C. Hensel et G. Feher, « Cyclotron Resonance Experiments in Uniaxially Stressed Silicon: Valence Band Inverse Mass Parameters and Deformation Potentials », *Phys. Rev.*, vol. 129, n° 3, p. 1041–1062, févr. 1963.
- [73] J. D. Wiley, « Valence-band deformation potentials for the III–V compounds », *Solid State Communications*, vol. 8, n° 22, p. 1865–1868, nov. 1970.
- [74] J. T. Lenkkeri, « Nonlinear Effects in the Piezoresistivity of p - Type Silicon », *physica status solidi (b)*, vol. 136, n° 1, p. 373–385, juill. 1986.
- [75] M. M. Rieger et P. Vogl, « Electronic-band parameters in strained  $\text{Si}_{1-x}\text{Ge}_x$  alloys on  $\text{Si}_{1-y}\text{Ge}_y$  substrates », *Phys. Rev. B*, vol. 48, n° 19, p. 14276–14287, nov. 1993.
- [76] I. Balslev et P. Lawaetz, « On the interpretation of the observed hole mass shift with Uniaxial stress in silicon », *Physics Letters*, vol. 19, p. 6–7, sept. 1965.
- [77] T. Yamauchi, A. Kinoshita, Y. Tsuchiya, J. Koga, et K. Kato, « 1 nm NiSi/Si Junction Design based on First-Principles Calculation for Ultimately Low Contact Resistance », in *IEEE International Electron Devices Meeting*, 2006, p. 1–4.
- [78] R.-L. Thornton, « Schottky-barrier elevation by ion implantation and implant segregation », *Electronics Letters*, vol. 17, n° 14, p. 485–486, juill. 1981.
- [79] M. Horiuchi et K. Yamaguchi, « SOLID-II: High-voltage high-gain kilo-Ångstrom-channel-length CMOSFET's using Silicide with self-aligned ultrashallow junction », *IEEE Transactions on Electron Devices*, vol. 33, n° 2, p. 260–269, févr. 1986.
- [80] E. Nagasawa, H. Okabayashi, et M. Morimoto, « Mo- and Ti-silicided low-resistance shallow junctions formed using the ion implantation through metal technique », *IEEE Transactions on Electron Devices*, vol. 34, n° 3, p. 581–586, mars 1987.
- [81] F. C. Shone, K. C. Saraswat, et J. D. Plummer, « Formation of 0.1  $\mu\text{m}$  N+/P and P+/N junctions by doped silicide technology », in *IEEE International Electron Devices Meeting*, 1985, vol. 31, p. 407–410.

- [82] R. Liu, D. S. Williams, et W. T. Lynch, « Mechanisms for process-induced leakage in shallow silicided junctions », in *IEEE International Electron Devices Meeting*, 1986, vol. 32, p. 58–61.
- [83] B. Tsui, J. Tsai, et M. Chen, « Formation of PtSi - contacted p+n shallow junctions by BF<sub>2</sub> implantation and low - temperature furnace annealing », *Journal of Applied Physics*, vol. 69, n° 8, p. 4354–4363, avr. 1991.
- [84] A. Kinoshita, Y. Tsuchiya, A. Yagishita, K. Uchida, et J. Koga, « Solution for high-performance Schottky-source/drain MOSFETs: Schottky barrier height engineering with dopant segregation technique », in *Symposium on VLSI Technology, Digest of Technical Papers*, 2004, p. 168–169.
- [85] A. Kinoshita, C. Tanaka, K. Uchida, et J. Koga, « High-performance 50-nm-gate-length Schottky-source/drain MOSFETs with dopant-segregation junctions », in *Symposium on VLSI Technology, Digest of Technical Papers*, 2005, p. 158–159.
- [86] Q. T. Zhao, U. Breuer, E. Rije, S. Lenk, et S. Mantl, « Tuning of NiSi/Si Schottky barrier heights by sulfur segregation during Ni silicidation », *Applied Physics Letters*, vol. 86, n° 6, p. 062108, 2005.
- [87] Q. T. Zhao, M. Zhang, J. Knoch, et S. Mantl, « Tuning of Schottky barrier heights by silicidation induced impurity segregation », in *International Workshop on Junction Technology, 2006. IWJT '06*, 2006, p. 147–152.
- [88] Q. T. Zhao, U. Breuer, S. Lenk, et S. Mantl, « Segregation of ion implanted sulfur in Si(100) after annealing and nickel silicidation », *Journal of Applied Physics*, vol. 102, n° 2, p. 023522, 2007.
- [89] T. Yamauchi, Y. Nishi, Y. Tsuchiya, A. Kinoshita, J. Koga, et K. Kato, « Novel doping technology for a 1 nm NiSi/Si junction with dipoles comforting Schottky (DCS) barrier », in *IEEE International Electron Devices Meeting*, 2007, p. 963–966.
- [90] H.-S. Wong, L. Chan, G. Samudra, et Y.-C. Yeo, « Sub-0.1-eV Effective Schottky-Barrier Height for NiSi on n-Type Si (100) Using Antimony Segregation », *IEEE Electron Device Letters*, vol. 28, n° 8, p. 703–705, août 2007.
- [91] H.-S. Wong, L. Chan, G. Samudra, et Y.-C. Yeo, « Effective Schottky Barrier Height Reduction Using Sulfur or Selenium at the NiSi/n-Si (100) Interface for Low Resistance Contacts », *IEEE Electron Device Letters*, vol. 28, n° 12, p. 1102–1104, déc. 2007.
- [92] H.-S. Wong, L. Chan, G. Samudra, et Y.-C. Yeo, « Low Schottky barrier height for silicides on n-type Si (100) by interfacial selenium segregation during silicidation », *Applied Physics Letters*, vol. 93, n° 7, p. 072103, 2008.
- [93] Zhen Zhang, Zhijun Qiu, Ran Liu, M. Ostling, et Shi-Li Zhang, « Schottky-Barrier Height Tuning by Means of Ion Implantation Into Preformed Silicide Films Followed by Drive-In Anneal », *IEEE Electron Device Letters*, vol. 28, n° 7, p. 565–568, juill. 2007.
- [94] Zhijun Qiu, Zhen Zhang, M. Ostling, et Shi-Li Zhang, « A Comparative Study of Two Different Schemes to Dopant Segregation at NiSi/Si and PtSi/Si Interfaces for Schottky Barrier Height Lowering », *IEEE Transactions on Electron Devices*, vol. 55, n° 1, p. 396–403, janv. 2008.
- [95] G. Larrieu, E. Dubois, R. Valentin, N. Breil, F. Danneville, G. Dambrine, J. P. Raskin, et J. C. Pesant, « Low Temperature Implementation of Dopant-Segregated Band-edge Metallic S/D junctions in Thin-Body SOI p-MOSFETs », in *IEEE International Electron Devices Meeting*, 2007, p. 147–150.

- [96] N. Breil, A. Halimaoui, E. Dubois, E. Lampin, G. Larrieu, L. Godet, G. Papasouliotis, et T. Skotnicki, « Investigation of Platinum Silicide Schottky Barrier Height Modulation Using a Dopant Segregation Approach », *MRS Proceedings*, vol. 1070, 2008.
- [97] N. Reckinger, X. Tang, V. Bayot, D. A. Yarekha, E. Dubois, S. Godey, X. Wallart, G. Larrieu, A. Łaszcz, J. Ratajczak, P. J. Jacques, et J.-P. Raskin, « Low Schottky barrier height for  $\text{ErSi}_{2-x}/\text{n-Si}$  contacts formed with a Ti cap », *Journal of Applied Physics*, vol. 104, n° 10, p. 103523, 2008.
- [98] G. Larrieu, D. A. Yarekha, E. Dubois, N. Breil, et O. Faynot, « Arsenic-Segregated Rare-Earth Silicide Junctions: Reduction of Schottky Barrier and Integration in Metallic n-MOSFETs on SOI », *IEEE Electron Device Letters*, vol. 30, n° 12, p. 1266–1268, déc. 2009.
- [99] N. Reckinger, X. Tang, V. Bayot, D. A. Yarekha, E. Dubois, S. Godey, X. Wallart, G. Larrieu, A. Łaszcz, J. Ratajczak, P. J. Jacques, et J.-P. Raskin, « Schottky barrier lowering with the formation of crystalline Er silicide on n-Si upon thermal annealing », *Applied Physics Letters*, vol. 94, n° 19, p. 191913, 2009.
- [100] D. Yarekha, G. Larrieu, N. Breil, E. Dubois, S. Godey, X. Wallart, C. Soyer, D. Remiens, N. Reckinger, X. Tang, A. Łaszcz, J. Ratajczak, et A. Halimaoui, « UHV Fabrication of the Ytterbium Silicide as Potential Low Schottky Barrier S/D Contact Material for N-Type MOSFET », presented at the 215th ECS Meeting, 2009, p. 339–344.
- [101] G. Larrieu et E. Dubois, « CMOS Inverter Based on Schottky Source–Drain MOS Technology With Low-Temperature Dopant Segregation », *IEEE Electron Device Letters*, vol. 32, n° 6, p. 728–730, juin 2011.
- [102] S. P. Murarka, « Resistivities of Thin Film Transition Metal Silicides », *Journal of The Electrochemical Society*, vol. 129, n° 2, p. 293, 1982.
- [103] R. M. Anderson, « Microstructural and Electrical Properties of Thin PtSi Films and Their Relationships to Deposition Parameters », *Journal of The Electrochemical Society*, vol. 122, n° 10, p. 1337, 1975.
- [104] G. Larrieu, « Élaboration et caractérisation de transistors MOS Schottky en régime nanométrique », Thèse, Université des Sciences et Technologies de Lille, 2004.
- [105] N. Breil, « Contribution à l'étude de techniques de siliciuration avancées pour les technologies CMOS décananométriques », Thèse, Université des Sciences et Technologies de Lille, 2009.
- [106] J. Ratajczak, A. Łaszcz, M. Wzorek, A. Czerwiński, J. Kącki, et F. Danneville, « TEM characterisation of silicide Schottky contacts, gate stacks and other layer structures », reports for the European METAMOS Project IST-016677, 2007.
- [107] R. H. Fowler, « The Analysis of Photoelectric Sensitivity Curves for Clean Metals at Various Temperatures », *Phys. Rev.*, vol. 38, n° 1, p. 45–56, juill. 1931.
- [108] C. R. Crowell et V. L. Rideout, « Normalized thermionic-field (T-F) emission in metal-semiconductor (Schottky) barriers », *Solid-State Electronics*, vol. 12, n° 2, p. 89–105, févr. 1969.
- [109] E. Dubois et G. Larrieu, « Measurement of low Schottky barrier heights applied to metallic source/drain metal–oxide–semiconductor field effect transistors », *Journal of Applied Physics*, vol. 96, p. 729, 2004.
- [110] S. Sze, *Physics of semiconductor devices*, 2nd ed. New York: Wiley, 1981.

- [111] M. J. van Bruggen, B. van Someren, et P. Kruit, « Development of a multi-electron-beam source for sub-10 nm electron beam induced deposition », *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 23, n<sup>o</sup>. 6, p. 2833, 2005.
- [112] M. J. Wieland, G. de Boer, G. F. ten Berge, R. Jager, T. van de Peut, J. J. M. Peijster, E. Slot, S. W. H. K. Steenbrink, T. F. Teepen, A. H. V. van Veen, et B. J. Kampherbeek, « MAPPER: high-throughput maskless lithography », *Proceedings of SPIE*, vol. 7271, n<sup>o</sup>. 1, p. 72710O–72710O–8, mars 2009.
- [113] W. Henschel, Y. M. Georgiev, et H. Kurz, « Study of a high contrast process for hydrogen silsesquioxane as a negative tone electron beam resist », *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 21, n<sup>o</sup>. 5, p. 2018, 2003.
- [114] J. Penaud, F. Fruleux, et E. Dubois, « Transformation of hydrogen silsesquioxane properties with RIE plasma treatment for advanced multiple-gate MOSFETs », *Applied Surface Science*, vol. 253, n<sup>o</sup>. 1, p. 395–399, oct. 2006.
- [115] N. Breil, A. Halimaoui, T. Skotnicki, E. Dubois, G. Larrieu, A. Łaszcz, J. Ratajczak, G. Rolland, et A. Pouydebasque, « Selective etching of Pt with respect to PtSi using a sacrificial low temperature germanidation process », *Applied Physics Letters*, vol. 91, n<sup>o</sup>. 23, p. 232112–232112–3, déc. 2007.
- [116] N. Breil, E. Dubois, A. Halimaoui, A. Pouydebasque, A. Łaszcz, J. Ratajczak, G. Larrieu, et T. Skotnicki, « Integration of PtSi in p-Type MOSFETs Using a Sacrificial Low-Temperature Germanidation Process », *IEEE Electron Device Letters*, vol. 29, n<sup>o</sup>. 2, p. 152–154, févr. 2008.
- [117] A. Halimaoui, « Method for the selective removal of an unsilicided metal », U.S. Patent 756948208-avr-2009.
- [118] K. V. Srikrishnan, « Smart-cut process for the production of thin semiconductor material films », U.S. Patent 588298716-mars-1999.
- [119] C. Maleville, « Smart-Cut® technology: from 300 mm ultrathin SOI production to advanced engineered substrates », *Solid-State Electronics*, vol. 48, n<sup>o</sup>. 6, p. 1055–1063, juin 2004.
- [120] M. Bruel, « Process for the production of thin semiconductor material films », U.S. Patent 537456420-déc-1994.
- [121] B. Ghyselen, D. Bensahel, et T. Skotnicki, « Process for transferring a layer of strained semiconductor material », U.S. Patent 2004005347718-mars-2004.
- [122] F. Schäffler, « REVIEW ARTICLE: High-mobility Si and Ge structures », *Semiconductor Science Technology*, vol. 12, p. 1515–1549, déc. 1997.
- [123] E. Alptekin, C. J. Kirkpatrick, V. Misra, et M. C. Ozturk, « Platinum Germanosilicide Contacts Formed on Strained and Relaxed Layers », *IEEE Transactions on Electron Devices*, vol. 56, n<sup>o</sup>. 6, p. 1220–1227, juin 2009.
- [124] P. Zhong et Y. Zheng, « Study of Ge movement during thermal reactions between Pt and GeSi/Si heterostructures », *Applied Physics Letters*, vol. 62, n<sup>o</sup>. 25, p. 3259–3261, juin 1993.
- [125] H. Ouacha, O. Nur, Y. Fu, M. Willander, A. Ouacha, et R. Turan, « Comparison between the noise properties of PtSi/p-Si<sub>1-x</sub>Ge<sub>x</sub> and Pt/p-Si<sub>1-x</sub>Ge<sub>x</sub> Schottky contacts prepared by co-sputtering and thermal reaction », *Semiconductor Science and Technology*, vol. 16, n<sup>o</sup>. 4, p. 255–259, avr. 2001.

- [126] J. F. Ziegler et J. P. Biersack, « The stopping and range of ions in matter ». [Online]. Available: <http://www.srim.org/>.
- [127] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, et S. Takagi, « Experimental study on carrier transport mechanism in ultrathin-body SOI nand p-MOSFETs with SOI thickness less than 5 nm », in *IEEE International Electron Devices Meeting*, 2002, p. 47–50.
- [128] K. Uchida et S. Takagi, « Carrier scattering induced by thickness fluctuation of silicon-on-insulator film in ultrathin-body metal–oxide–semiconductor field-effect transistors », *Appl. Phys. Lett.*, vol. 82, n<sup>o</sup>. 17, p. 2916, 2003.
- [129] A. Yagishita, T.-J. King, et J. Bokor, « Schottky Barrier Height Reduction and Drive Current Improvement in Metal Source/Drain MOSFET with Strained-Si Channel », *Jpn. J. Appl. Phys.*, vol. 43, p. 1713–1716, 2004.
- [130] S. Takagi, T. Mizuno, T. Tezuka, N. Sugiyama, S. Nakaharai, T. Numata, J. Koga, et K. Uchida, « Sub-band structure engineering for advanced CMOS channels », *Solid-State Electronics*, vol. 49, n<sup>o</sup>. 5, p. 684–694, mai 2005.
- [131] P. Zhang, E. Tevaarwerk, B.-N. Park, D. E. Savage, G. K. Celler, I. Knezevic, P. G. Evans, M. A. Eriksson, et M. G. Lagally, « Electronic transport in nanometre-scale silicon-on-insulator membranes », *Nature*, vol. 439, n<sup>o</sup>. 7077, p. 703–706, févr. 2006.
- [132] H. Takeda, K. Takeuchi, et Y. Hayashi, « Scalability study of ultra-thin-body SOI-MOSFETs using full-band and quantum mechanical based device simulation », in *Symposium on VLSI Technology (VLSIT)*, 2010, p. 63–64.
- [133] S. Birner, « Nextnano 3 : a powerful tool for the simulation of semiconductor nanostructures ». [Online]. Available: [www.nextnano.de](http://www.nextnano.de).
- [134] S. Mantl, B. Holländer, R. Liedtke, S. Mesters, H. J. Herzog, H. Kibbel, et T. Hackbarth, « Strain relaxation of epitaxial SiGe layers on Si(1 0 0) improved by hydrogen implantation », *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 147, n<sup>o</sup>. 1–4, p. 29–34, janv. 1999.
- [135] N. R. Zangenberg, J. Fage-Pedersen, J. L. Hansen, et A. N. Larsen, « Boron and phosphorus diffusion in strained and relaxed Si and SiGe », *J. Appl. Phys.*, vol. 94, n<sup>o</sup>. 6, p. 3883, 2003.
- [136] P. Kuo, J. L. Hoyt, J. F. Gibbons, J. E. Turner, et D. Lefforge, « Effects of strain on boron diffusion in Si and Si<sub>1-x</sub>Gex », *Appl. Phys. Lett.*, vol. 66, n<sup>o</sup>. 5, p. 580, 1995.
- [137] F. Lanzerath, D. Buca, H. Trinkaus, M. Goryll, S. Mantl, J. Knoch, U. Breuer, W. Skorupa, et B. Ghyselen, « Boron activation and diffusion in silicon and strained silicon-on-insulator by rapid thermal and flash lamp annealings », *J. Appl. Phys.*, vol. 104, n<sup>o</sup>. 4, p. 044908, 2008.
- [138] L. Lin, T. Kirichenko, B. R. Sahu, G. S. Hwang, et S. K. Banerjee, « Theoretical study of B diffusion with charged defects in strained Si », *Phys. Rev. B*, vol. 72, n<sup>o</sup>. 20, p. 205206, nov. 2005.
- [139] S. T. Dunham, M. Diebel, C. Ahn, et C. L. Shih, « Calculations of effect of anisotropic stress/strain on dopant diffusion in silicon under equilibrium and nonequilibrium conditions », *J. Vac. Sci. Technol. B*, vol. 24, n<sup>o</sup>. 1, p. 456, 2006.
- [140] J. Adey, R. Jones, et P. R. Briddon, « Enhanced dopant solubility in strained silicon », *J. Phys.: Condens. Matter*, vol. 16, n<sup>o</sup>. 50, p. 9117–9126, déc. 2004.

- [141] D. Connelly, C. Faulkner, D. E. Grupp, et J. S. Harris, « A new route to zero-barrier metal source/drain MOSFETs », *Nanotechnology, IEEE Transactions on*, vol. 3, n<sup>o</sup>. 1, p. 98–104, 2004.
- [142] D. Connelly, C. Faulkner, P. A. Clifton, et D. E. Grupp, « Fermi-level depinning for low-barrier Schottky source/drain transistors », *Appl. Phys. Lett.*, vol. 88, n<sup>o</sup>. 1, p. 012105, 2006.
- [143] A. M. Roy, J. Y. J. Lin, et K. C. Saraswat, « Specific Contact Resistivity of Tunnel Barrier Contacts Used for Fermi Level Depinning », *Electron Device Letters, IEEE*, vol. 31, n<sup>o</sup>. 10, p. 1077–1079, 2010.
- [144] L. Lin, J. Robertson, et S. J. Clark, « Shifting Schottky barrier heights with ultra-thin dielectric layers », *Microelectronic Engineering*, vol. 88, n<sup>o</sup>. 7, p. 1461–1463, juill. 2011.