

N° d'ordre : 40927

THESE

Présentée à l'Université des Sciences et Technologies de Lille LILLE I

Pour l'obtention du grade de

DOCTEUR DE L'UNIVERSITE DE LILLE I

Spécialité : MICRO ET NANO TECHNOLOGIES, ACOUSTIQUE ET
TELECOMMUNICATIONS

Par

Ndèye Arame THIAM

« Etude et développement de transistors bipolaires à
hétérojonctions InP/GaAsSb reportés sur Si en vue de l'amélioration
de la dissipation thermique »

Soutenue le 12 Novembre 2012

Membres du Jury :

Mr. Rachid Driad	Ingénieur de recherche IAF- Freiburg (Rapporteur)
Mr. Thomas Zimmer	Professeur IMS- Bordeaux (Rapporteur)
Mme. Virginie Nodjiadjim	Ingénieure de recherche III-V Lab (Examinatrice)
Mr. Roland Tessier	Directeur de recherche IES - Montpellier (Examinateur)
Mr. Xavier Wallart	Directeur de recherche IEMN - Lille (Examinateur)
Mr. Gilles Dambrine	Professeur IEMN - Lille I (Directeur de thèse)
Mr. Mohammed Zaknounge	Chargé de recherche IEMN – Lille (Encadrant)

REMERCIEMENTS

Le travail de thèse que vous allez lire a été réalisé au sein de l'Institut d'Electronique de Microélectronique et de Nanotechnologies IEMN mais c'est également le fruit d'une étroite collaboration avec d'autres laboratoires, industriels et start-up à travers le projet ROBUST. Je tiens donc à remercier la coordonatrice du projet Madame Cristell Maneux de l'IMS Bordeaux et tous ceux qui ont participé à ce projet d'abord à l'IMS, mais aussi au GIE III-V Lab Alcatel-Thalès, à OMMIC, et à XMOD. Ce projet et les nombreuses discussions et réunions qui en ont découlé m'ont été très précieux.

Je tiens à remercier l'ancien directeur de l'IEMN Monsieur le professeur Alain Cappy pour m'avoir accueilli au sein du laboratoire d'abord mais aussi au sein du groupe ANODE qui m'a adopté durant l'ensemble de ma thèse et de mon stage de master. Je le remercie également pour ses conseils, ses idées lors de nos échanges même brefs mais surtout pour l'enseignement de qualité qu'il nous a dispensé durant le master Microélectronique et Nanotechnologies à l'Université de Lille1. Je tiens tout de même à remercier le nouveau directeur de l'IEMN Monsieur Lionel Buchaillot pour m'avoir accueillie au sein du laboratoire.

Je remercie Monsieur Xavier Wallart, Directeur de recherche à l'IEMN pour avoir accepté de présider ce jury de thèse. Je remercie également les rapporteurs de ces travaux Messieurs Rachid Driad, Ingénieur de recherche à l'IAF Freiburg et Thomas Zimmer, professeur à l'université de Bordeaux (IMS). Je tiens à remercier tout de même les autres membres du jury Madame Virginie Nodjiadjim, ingénieure de recherche à III-V Lab Alcatel Thalès et Monsieur Roland Teissier, directeur de recherche à l'IES Montpellier en tant qu'examineurs et pour l'ensemble de leur contribution.

Cette thèse a été dirigée par le professeur Gilles Dambrine, ancien chef de l'équipe ANODE et aujourd'hui directeur adjoint de l'IEMN que je tiens à remercier pour de nombreuses raisons dont l'accueil au sein de l'équipe et du laboratoire mais également pour sa présence lors de toutes mes démarches administratives en tant que directeur de thèse. Je remercie monsieur Mohammed Zaknoue pour avoir accepté d'encadrer cette thèse mais également pour ses nombreux conseils avisés sur la technologie des composants.

Mes remerciements vont également au professeur François Danneville, actuel chef du groupe ANODE, pour son accueil au sein du groupe, ses conseils, pour son soutien tout au long de ses années qui ont commencé bien avant cette thèse sur les bancs de la fac ; je le remercie également pour son rôle en tant que directeur adjoint de l'UFR d'IEEA de l'université de Lille 1 où j'ai eu à exercer en tant que monitrice. Je remercie également l'ensemble de l'équipe ANODE, Carbone compris, les permanents, post-docs, thésards et autres masters de l'équipe.

Cette thèse portant principalement sur la réalisation technologique de transistors bipolaires, aucune étude n'aurait été possible sans la collaboration avec l'équipe EPIPHY du laboratoire. Je tiens donc à remercier monsieur Xavier Wallart, chef du groupe, Christophe Coinon et Jean-Louis Codron pour toutes les épitaxies de couches de TBH d'hier et d'aujourd'hui, mais également les autres permanents de l'équipe pour les nombreuses discussions Emilien Peytavit, Philippe Caroff et Sylvie Godey pour ses conseils et les non permanents Selim, Fabio, Philip, pour nos discussions, les conseils, les nombreux échanges mais également pour les rares moments partagés au-delà du laboratoire.

Que l'ensemble des ingénieurs et techniciens de la centrale de technologie trouvent ici l'expression de toute ma gratitude. Les TBHs ne seraient jamais achevés sans la précieuse disponibilité, l'aide et les conseils de toute l'équipe de lithographie de la centrale de techno Marc, François, Yves et Pascal ; je remercie Pascal également pour sa présence lors de l'acquisition de la nouvelle machine de bonding et pour son rire légendaire. André, Annie, Jonathan (malheureusement plus d'ici) merci pour les innombrables dépôts métalliques. Merci à Christophe pour m'avoir formé à la microscopie électronique, pour son aide lors de visualisations délicates, pour l'EDX et bien d'autres choses encore ; je lui souhaite bon courage pour son nouveau projet. Je voudrais également remercier David pour toutes les coupes réalisées au FIB qui m'ont été très utiles dans la compréhension de nombres de gravures et problèmes technologiques. Merci à VD pour les découpes d'échantillons toujours à temps. Merci à Christiane, Karine, Nicolas, David, Dmitri, Bertrand, Isabelle et tous ceux qui participent à la bonne marche de cette centrale aux capacités technologiques importantes.

Je remercie Monsieur Damien Ducatteau, responsable de la centrale de caractérisation pour m'avoir donné la possibilité d'étudier et de caractériser les composants réalisés, pour sa présence et pour son aide. Je remercie également les ingénieurs qui m'ont permis de mener à bien toutes les caractérisations nécessaires Vanessa et Sylvie, pour leur soutien et la réponse à toutes mes questions mais aussi pour leur encouragement dans des moments parfois délicats.

Je profite de cette occasion pour saluer vivement l'ensemble des étudiants de ma promo de master avec qui les journées ont pu passer plus agréablement depuis les cours à la fac jusqu'à la rédaction de cette thèse en passant par les stages de master : Chen, François, Zhuang (binôme efficace), Benoit et Jin, Coco, Yuan, mais également tous les nouveaux thésards ou post-docs croisés au hasard d'un café.

Cette riche expérience de la thèse je la dois également à ces relations nouées dans et en dehors du laboratoire, aux moments partagés avec *the team Anode en Puissance* pour les pauses café qui ne se terminent pas, les soirées et sorties ici et ailleurs, les week-ends ensemble Nico W., Albert, Alex P., Yoyo, Pipo (pour les massages détente dans le bureau, nos nombreux échanges, l'escalade, la rando et tes talents vocaux), Ana, Sonia, Laurent, mais également avec le bureau 010 notamment pour leur implication au sein de l'association des doctorants François, Rezki et Yannick. J'adresse également de vives remerciements à ceux qui nous ont rejoints dans ce groupe récemment Cyrille (pour les corrections et fructueuses discussions, les after work au chop'ing), Marina pour sa Génial'Attitude, Wei-Wei (et Di !) mais également à Mathieu pour sa fréquente bonne humeur et les idées excellentes de Dorthe.

Je ne saurais oublier Estelle, François V., Renaud, Romain, Alex K. et B., Virginie, Hermance, Yannick, Karine, Selim (J'arrive !!), Salim, Malek, Tristan, Farid (I love you pour toutes ces excellentes parties de franche rigolade à volonté, so much) et aux Globe trotters version Recherche scientifique Laurianne, AuAu, Nan, Flo (j'arrive aussi !!), Nhung, Albert et Ana la Guapita.

J'adresse une attention particulière à tous les supporters du LOSC croisés au boulot pour les quelques matchs et résumés de match partagés ensemble et surtout à Kamel pour les places au Stadium Nord souvent gratuites, et vive le LOSC champion 2012 et son nouveau stade.

Il y'a des gens à qui je voudrais dire tellement de choses mais les mots me manquent ; les filles, vous y êtes également pour beaucoup dans la réussite de cette thèse, grâce à vous, la bonne humeur et la volonté ne m'ont jamais quittée. Aux copains que je vois moins souvent depuis le début de cette thèse voir avant, part entière de ma propre famille et à jamais à mes côtés de près ou de loin, je vous exprime ma profonde gratitude. Mille mercis à Rachel, Béfa (Mme Dutour), Méry, Siga, Baly, Dieyna, Yandé, Alice, Djissène, Yoyo, Gaston, Marc, Jennifer, Niangsar, Aïssata, Tom.

Par cette thèse, je voudrais remercier toute ma famille pour leur soutien et leur compréhension, leur présence me fut d'une aide précieuse. A Mila, grâce à qui je kiffe la life dorénavant à temps plein, pour sa morale, ses conseils et le modèle de pudeur et de courage qu'elle m'a inculqué. Je remercie mes parents pour clairement tout ; ils sont les deux personnes sans lesquelles je ne suis rien.

Last but not least, mes derniers mots vont à mon inspiration F., merci pour tout ce que je ne pourrais écrire ici ; j'étais perdue, je t'ai trouvé et tout a changé depuis.

Introduction générale..... 10

Chapitre I

I/- Principe de fonctionnement du transistor bipolaire.....	12
II/- Différents courants dans le transistor bipolaire et efficacité d'injection	13
II-1/- Bilan des différents courants d'un transistor bipolaire.....	13
II-2/- Efficacité d'injection.....	14
III/- Utilisation du principe d'hétérojonction	15
III-1/- L'hétérojonction Emetteur-Base.....	15
III-2/- Différents types d'hétérojonction	16
III-3/- Transistors à double hétérojonction.....	16
IV/- Fonctionnement statique du TBH.....	17
IV-1/- Diagramme de Gummel.....	17
IV-2/- Caractéristiques I_c (V_{ce})	18
V/- Fonctionnement dynamique du TBH	20
V-1/- Différents temps de transit dans le TBH.....	20
V-1-1/- Temps de transit dans l'émetteur.....	20
V-1-2/- Temps de transit dans la jonction émetteur-base.....	20
V-1-3/- Temps de transit dans la base	21
V-1-4/- Temps de transit dans la jonction base-collecteur	21
V-2/- Fréquences de coupure du TBH.....	21
V-2-1/- Définition et détermination de la fréquence de transition	22
V-2-2/- Définition de la fréquence maximale d'oscillation	23
VI/- Effets limitatifs dans un TBH.....	24
VI-1/- Effet Early	24
VI-2/- Effet d'élargissement de la base : Effet Kirk.....	24
VI-3/- Effets thermiques.....	25
VII/- Etat de l'art des filières pour TBHs rapides	26
VII-1/- TBHs SiGe	26
VII-2/- TBHs InP/InGaAs	28
VII-3/- TBHs InP/GaAsSb	29
VII-4/- TBHs à base de matériaux à petites bandes interdites.....	33
VII-5/- Synthèse de l'état de l'art des TBHs et différentes applications.....	35

Chapitre II

I/- Comportement thermique des TBHs	40
I-1/- Généralités sur la thermique et effets de l'auto-échauffement	40
I-2/- Propriétés thermiques d'un transistor bipolaire : résistance thermique.....	43
I-2-1/- Détermination d'un modèle simplifié	43
I-2-2/- Extraction de la résistance thermique	46
II/- Report de couches actives : principe motivations et possibles substrats hôtes	50
II-1/- Motivations	51
II-2/- Principe	53
II-3/- Possibles substrats hôtes	55
III/- Méthodes de thermo-compression	55
III-1/- Le Substrate Bonder et les différentes techniques de report possibles	56
III-2/- Transfert de substrat dans les TBHs	56
III-3/- Choix du substrat hôte	60
III-3-1/- Problématiques et caractéristiques nécessaires	60
III-3-2/- Caractéristiques du nitrure d'aluminium AlN	63
III-3-3/- Caractéristiques du silicium	63
III-4/- Thermo-compression de couches actives de TBHs	64
III-4-1/- Report de couches actives sur AlN.....	64
III-4-2/- Report de couches actives sur Silicium.....	67
III-4-3/- Choix du couple Pression/Température pour le report de TBHs sur Si HR.....	69
III-4-4/- Premiers résultats obtenus sur DTBHs InP/GaAsSb 100x100µm ² reportés sur Si	77
IV/- Conclusions	80
Références bibliographiques	81

Chapitre III

I/- Epitaxie de DTBH à base d'InP classique et inversée collecteur-up en vue de l'amélioration de la dissipation thermique	84
I-1/- Structures épitaxiales.....	85
I-2/- Descriptif de la structure épitaxiale.....	86
I-2-1/- L'émetteur et l'hétérojonction émetteur-base.....	86
I-2-2/- La base et l'intérêt de l'utilisation d'une hétérojonction base-collecteur.....	87
I-2-3/- Limitations des TBHs à double hétérojonction : utilisation d'émetteurs composites.....	89
I-2-4/- Le collecteur de la structure épitaxiale.....	91
II/- Fabrication technologique de transistors bipolaires submicroniques	92
II-1/- Lithographie électronique.....	93
II-2/- Réalisation des contacts ohmiques.....	93
II-3/- Gravures chimiques et profils de gravure.....	97
II-4/- Techniques de connexions des TBHs.....	101
II-5/- Récapitulatif des différentes étapes technologiques.....	103
III/- Application pour la réalisation de TBHs InP/GaAsSb classiques	105
III-1/- Définition du contact d'émetteur et gravure du mesa.....	105
III-2/- Définition du contact de base et gravure de la base et du collecteur.....	106
III-3/- Définition du contact de collecteur et isolation du transistor.....	107
IV/- Optimisation technologique et adaptation à la technologie reportée	107
IV-1/- Etude sur la gravure d'émetteur.....	108
IV-2/- Gravure de la base et du collecteur.....	110
IV-3/- Définition du contact de collecteur.....	111
IV-4/- Technique des ponts à air pour DTBHs InP/GaAsSb reportés.....	114
III-4-1/- Niveau de résine 1 pour ouverture des « vias » et support de pont.....	115
III-4-2/- Niveau de résine 2 pour métallisation des accès : structure des ponts à air.....	116
III-4-3/- Procédé technologique des ponts à air après optimisation.....	118
IV-5/- Optimisations envisageables pour la connexion du contact de base.....	120
V/- Conclusion	122
Références bibliographiques.....	123

Chapitre IV

I/- Caractéristiques statiques des TBH	126
I-1/- Courbes de Gummel	127
I-2/- Caractéristiques I_c (V_{ce})	129
II/- Caractéristiques dynamiques de DTBHs InP/GaAsSb submicroniques	131
II-1/- Méthode de mesure hyperfréquence	132
II-2/- Facteurs de mérite dynamiques de DTBHs InP/GaAsSb.....	133
II-3/- Influence des conditions de polarisation	135
II-4/- Influence des paramètres géométriques d'émetteur sur les performances fréquentielles	137
II-5/- Extraction du modèle petit signal.....	137
III/- Caractérisation thermique de TBHs submicroniques	141
III-1/- Mise en œuvre de la procédure de mesure thermique.....	142
III-2/- Evolution des paramètres statiques en fonction de la température	144
III-3/- Evolution des paramètres dynamiques en fonction de la température.....	148
III-3-1/- Etude des fréquences de coupure F_t et F_{max}	148
III-3-2/- Etude du temps de transit total sous l'effet de la température.....	150
III-4/- Détermination de la résistance thermique de DTBHs submicroniques	152
III-4-1/- Extraction sur TBHs InP/GaAsSb reportés sur Si.....	152
III-4-2/- Influence des dimensions d'émetteur	154
IV/- Conclusion	157
Références bibliographiques	159
Conclusion générale et perspectives	162
Annexes.....	166

Introduction

Depuis la découverte du laser en 1960, la fibre optique est utilisée dans les télécommunications pour des transmissions sur de longues distances. Ainsi, la fibre optique est aujourd'hui au cœur des systèmes de transmission de données que ce soit pour les réseaux locaux, métropolitains ou de longues distances. Elle est utilisée autour du globe pour la transmission de données à travers par exemple les câbles sous-marins entre les continents. Plus récemment, son utilisation s'est même retrouvée chez le particulier avec l'incontournable essor d'internet ; en effet, la fibre optique a provoqué une révolution dans les télécommunications pour le particulier.

Se faisant et face au besoin grandissant d'accroître les débits de transmission des données avec la fibre optique, il est indispensable de réaliser des circuits électroniques très performants au niveau de la chaîne de transmission en émission et/ou réception (lasers, photodiodes) mais également pour le traitement de l'information (transistors). Concernant le traitement du signal avec des débits très importants dont les systèmes à 110Gb/s et plus tard 160Gb/s, trois technologies de composants sont possibles. Il s'agit de la technologie bipolaire SiGe et des filières de matériaux III-V particulièrement sur InP, les HEMT (High Electron Mobility Transistor) et les TBH. La première offre aujourd'hui des fréquences de coupure élevées supérieures à 300GHz indispensables pour de telles applications. Ces transistors possèdent l'avantage de la maturité du silicium mais souffrent toutefois de faibles tensions de claquage $< 2V$ préjudiciables à la tenue en puissance. Les HEMT InP permettent quant à eux des fréquences de fonctionnement remarquables supérieures à 500GHz et ont également l'avantage de consommer moins, ce qui est recherché pour de nouvelles applications dans le domaine du contrôle industriel ou encore de la santé. Enfin, les TBHs InP sont à leur tour parmi les transistors les plus rapides existant aujourd'hui sur le marché de la microélectronique. Cela en fait une technologie de choix pour la réalisation de circuits électroniques ultra-rapides destinés aux systèmes de transmission optique. Contrairement à la filière SiGe, ces derniers permettent également une bonne excursion en tension. C'est pourquoi, dans le cadre des nouvelles générations Ethernet, ces derniers sont préférés et des systèmes de décision ont déjà été démontrés pour les systèmes à 40 et 100Gb/s.

Ce travail de thèse s'inscrit donc dans le cadre de la réalisation de circuits électroniques pour la génération de transmission optique à 112Gb/s à travers le projet ANR ROBUST. Ce projet est mené en collaboration avec deux industriels le III-V Lab Alcatel Thalès et OMMIC à Paris mais également avec l'IMS de Bordeaux (porteur du projet) et une start-up XMOD à Bordeaux aussi. Les objectifs fixés concernaient l'étude et l'optimisation de la fiabilité des transistors bipolaires InP pour la génération Ethernet 112Gb/s. L'apport de l'IEMN au projet devait concerner la réalisation d'une nouvelle architecture de TBHs de la filière InP dans le but de réduire les phénomènes d'auto-échauffement qui surviennent lors du fonctionnement des circuits, néfaste pour l'optimisation de leur fiabilité. Il s'agit d'une architecture de TBHs dont les couches épitaxiées ont été reportées sur un nouveau substrat possédant une meilleure conductivité thermique. Par ailleurs, des caractérisations électriques et thermiques sur différentes architectures de TBHs ont également été réalisées pour l'étude préliminaire des dispositifs et la réalisation d'un modèle de TBH faisant intervenir la fiabilité à travers les effets d'auto-échauffement observés. Cela devait aboutir sur la réalisation d'un démonstrateur d'amplificateur pour la transmission optique à 110GHz. Ainsi, pour répondre à ces besoins, les futurs transistors devraient avoir des fréquences de coupure de l'ordre de 300GHz voire au-delà, tout en limitant le phénomène d'auto-échauffement. En effet, les TBHs, pour atteindre

aujourd'hui ces fréquences de coupure remarquables, doivent subir une réduction considérable de leurs dimensions géométriques et entraînent l'augmentation des densités de courant lors de leur fonctionnement à ces fréquences. Cette augmentation des densités de courant se traduit par l'augmentation de la température aux différentes jonctions et peut réduire les performances des composants ; c'est le phénomène d'auto-échauffement que nous nous proposons de limiter dans le cadre de ces travaux. Ce manuscrit est ainsi organisé autour de quatre chapitres traitant du report des épitaxies de TBHs, de la technologie mais également de la caractérisation de composants submicroniques de la filière InP/GaAsSb réalisés au cours de ces travaux.

Dans le premier chapitre de ce manuscrit, une description du TBH sera donnée pour permettre tout d'abord la compréhension de son fonctionnement ainsi que les facteurs de mérite importants à prendre en considération lors de l'exploitation des résultats obtenus. Nous présentons ensuite un état de l'art des dix dernières années concernant les différentes filières de TBHs destinés à l'électronique ultra-rapide.

Le deuxième chapitre quant à lui sera consacré à la technique de report de couches actives. Plusieurs méthodes sont proposées et un état de l'art est présenté selon les applications visées. Nous présentons ensuite la technique de report finalement choisie pour les objectifs fixés et les résultats obtenus après optimisation des différents paramètres à savoir la pression et la température du report. En effet, cette étape étant réalisée avant la fabrication technologique, plusieurs contraintes devaient être considérées pour une technologie reproductible.

Le troisième chapitre sera par la suite dédié à la technologie de transistors submicroniques. Tout d'abord, nous présentons la technique de fabrication générale de TBHs avec les différentes étapes technologiques critiques. Puis, en partant de la technologie existante sur structure conventionnelle, nous avons entrepris une adaptation pour la réalisation de transistors reportés suite à des optimisations dues aux différences entre les structures épitaxiales. Il s'agit là de la réalisation du contact de collecteur nécessitant une nouvelle étape de gravure mais également de la technique de connexion des TBHs à employer dans le cadre des transistors reportés. Enfin, l'ensemble de ces modifications a permis l'obtention de TBHs classiques d'une part et d'autre part de TBHs reportés pour la limitation du phénomène d'auto-échauffement.

Le dernier chapitre de ce manuscrit sera enfin destiné à la caractérisation des TBHs submicroniques réalisés durant ces travaux de thèse. Nous présenterons tout d'abord les caractéristiques statiques des TBHs indispensables pour la compréhension des différents mécanismes mais également pour conclure quant à la qualité des couches épitaxiales. Ensuite, afin d'évaluer les performances fréquentielles des transistors, nous montrerons les caractérisations hyperfréquences qui ont été réalisées. Enfin, nous discuterons de l'évaluation du comportement thermique des transistors reportés. Pour cela, une technique d'extraction de la résistance thermique sera démontrée ; les résistances thermiques seront ensuite comparées entre structure conventionnelle et structure reportée afin d'évaluer l'impact du substrat hôte sur l'auto-échauffement des transistors.

Chapitre I :

Généralités sur les transistors bipolaires à hétérojonctions (TBHs)

I/- Principe de fonctionnement du transistor bipolaire

Le transistor bipolaire à homojonction est un composant actif comportant trois électrodes distinctes : l'émetteur, la base et le collecteur ; il est constitué de deux jonctions PN tête-bêche dans un même cristal comportant une zone commune la base. Les trois régions sont dopées alternativement NPN ou PNP car son fonctionnement nécessite deux types de porteurs.

Son fonctionnement repose sur les différentes tensions appliquées aux bornes de ses jonctions. Selon le mode de polarisation, on peut distinguer plusieurs modes de fonctionnement :

- Lorsqu'on applique une tension $V_{be} > 0V$, le transistor est en mode de fonctionnement direct (effet d'amplification). La diode émetteur-base est polarisée en direct et les électrons peuvent aller de l'émetteur à la base en traversant la zone de charge d'espace (ZCE) de cette jonction. Ces électrons diffusent ensuite jusqu'à la ZCE de la jonction base-collecteur, cette dernière étant polarisée en inverse ($V_{bc} < 0V$).
- Le mode saturé quant à lui intervient lorsque les deux jonctions sont en régime de polarisation directe.
- Lorsque les deux jonctions émetteur-base et base-collecteur sont toutes deux polarisées en inverse, le transistor est en mode de fonctionnement dit bloqué.
- Enfin, lorsque la jonction émetteur-base est polarisée en inverse et la jonction base-collecteur en direct, on parle de mode de fonctionnement inverse.

Pour des applications analogiques et radiofréquences, le mode de fonctionnement couramment utilisé est le mode direct représenté schématiquement sur la figure 1-1. Dans ce mode de fonctionnement, la polarisation directe de la jonction émetteur-base entraîne l'abaissement de la barrière de potentiel. Ainsi, les électrons injectés de l'émetteur vers la base où ils sont minoritaires vont atteindre la zone de charge d'espace base-collecteur : c'est l'effet transistor. Grâce au fort champ électrique qui y règne, les électrons sont happés au niveau du collecteur, ce qui provoque la création d'une source de courant. Cette dernière pourra être contrôlée soit en tension (V_{be}) soit en courant (le courant de base I_b).

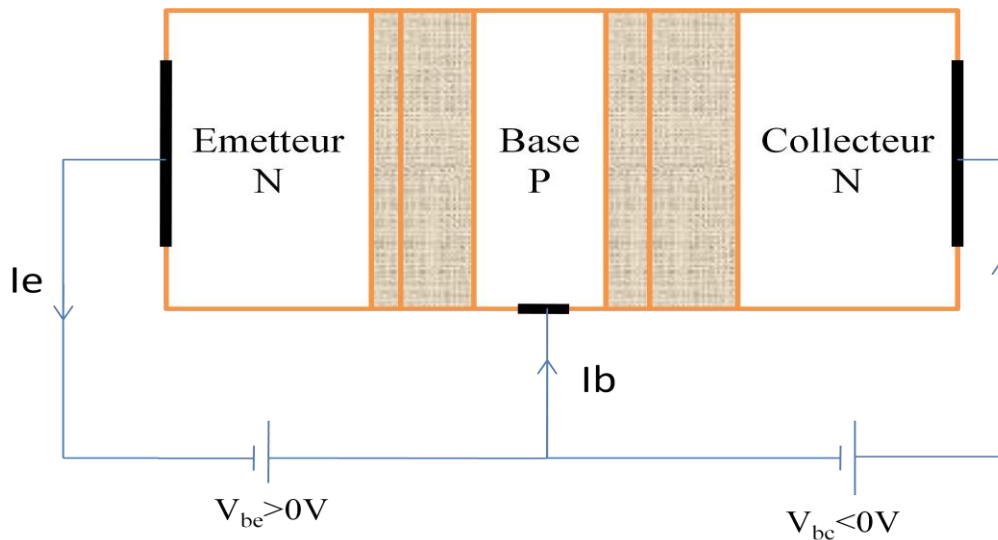


Figure 1-1 : Schéma d'un transistor bipolaire NPN en mode de polarisation directe

II/- Différents courants dans le Transistor Bipolaire et efficacité d'injection

II-1/- Bilan des différents courants d'un Transistor Bipolaire

Comme nous l'avons vu précédemment, le fonctionnement du transistor bipolaire repose sur deux types de porteurs : les électrons et les trous. Lors de son fonctionnement en mode normal, la polarisation en direct de la jonction émetteur-base provoque l'injection d'un courant d'électrons I_n de l'émetteur dans la base. De la même manière, un courant direct de trous I_p est injecté de la base vers l'émetteur fortement dopé. Les électrons qui ont traversé la base forment l'intégralité du courant de collecteur I_c .

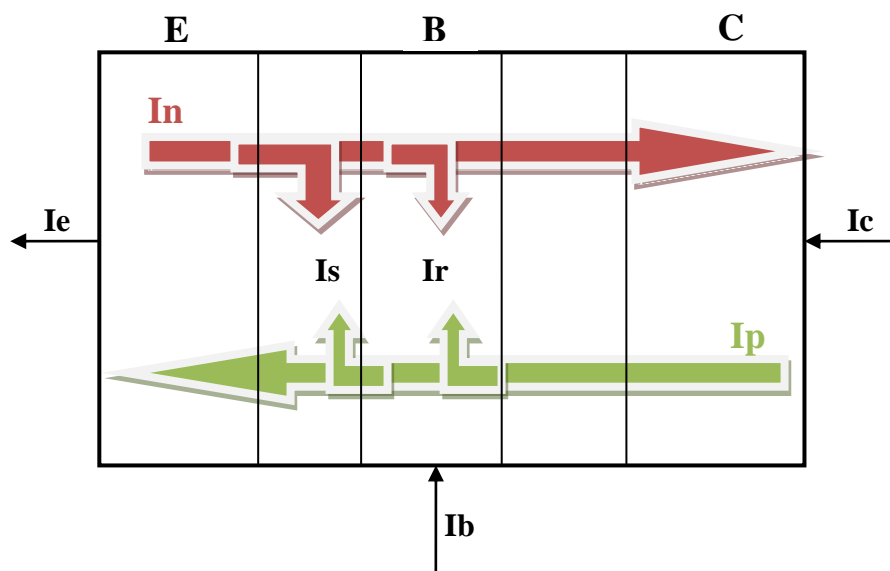


Figure1-2 : Représentation des courants d'un Transistor Bipolaire en fonctionnement normal

Grâce aux techniques actuelles d'épithaxie de couches de transistors bipolaires, les défauts aux interfaces des différents matériaux semi-conducteurs du transistor bipolaire sont négligeables. Cependant, du fait des problèmes pouvant surgir lors de la fabrication du transistor, il existe des courants dus aux phénomènes de recombinaison aux interfaces ou en surface du transistor bipolaire. Dans la zone de charge d'espace Emetteur Base, les électrons se recombinent avec une partie des trous injectés de la base vers l'émetteur, ce qui induit un courant de recombinaison I_s . Les électrons qui diffusent de l'émetteur vers le collecteur traversent la base dopée P^+ . Ainsi, dans la base, les porteurs minoritaires (électrons) se recombinent avec les trous pour créer le courant de recombinaison en volume de base neutre I_r . Ce phénomène est peu visible dans la zone de charge d'espace BC à cause du champ électrique présent dans la zone.

Comme nous pouvons le voir sur la figure 1-2, le courant d'émetteur s'écrit tel que :

$$I_e = I_n + I_p + I_s$$

Le courant de base est constitué de :

$$I_b = I_p + I_r + I_s$$

Le courant de collecteur est lui tel que :

$$I_c = I_n - I_r$$

Où I_n est le courant d'électrons injectés de l'émetteur vers la base, I_p le courant de trous injectés de la base vers l'émetteur, I_s le courant de recombinaison dans la ZCE E/B et I_r le courant de recombinaison de la base neutre.

Ces trois équations permettent de vérifier que :

$$I_e = I_c + I_b$$

II-2/- Efficacité d'injection

L'efficacité d'injection γ correspond au rapport entre le courant d'électrons injectés de l'émetteur vers la base et le courant total d'émetteur. Son expression est donnée par :

$$\gamma = \frac{I_n}{I_n + I_p + I_r} \cong \frac{1}{1 + \frac{I_p}{I_n}}$$

Ainsi, pour optimiser l'efficacité d'injection, le paramètre prédominant est le rapport I_p/I_n lorsqu'on néglige le courant de recombinaison I_r . Le transistor idéal devant posséder une efficacité d'injection unitaire, il faut alors minimiser ce rapport.

En première approximation, les densités de courants d'électrons et de trous J_n et J_p s'écrivent [1] :

$$J_n = q \cdot D_n \cdot \frac{N_e}{W_b} \quad \text{et} \quad J_p = q \cdot D_p \cdot \frac{N_b}{W_e}$$

Avec D_n et D_p les coefficients de diffusion des électrons dans la base et des trous dans l'émetteur respectivement, N_e et N_b les dopages respectifs d'émetteur et de base, W_b l'épaisseur de la zone quasi-neutre de base et W_e l'épaisseur d'émetteur. Ces formules permettent de déduire l'expression du rapport J_p/J_n telle que :

$$\frac{J_p}{J_n} = \frac{D_p}{D_n} \times \frac{N_b \cdot W_b}{N_e W_e}$$

Cette expression montre que l'efficacité d'injection dans le transistor bipolaire dépend principalement du rapport de dopage entre l'émetteur et la base ; en effet, les épaisseurs d'émetteur et de base sont du même ordre de grandeur et ne contribuent que très peu à l'efficacité d'injection.

Pour obtenir une injection efficace des électrons de l'émetteur vers la base, il est indispensable d'utiliser un dopage de base très inférieure à celui d'émetteur. Dans ce cas, l'utilisation d'une base fine n'est pas envisageable sans une augmentation de la résistance de base ; cela pose le problème de l'utilisation des transistors bipolaires à homojonction pour des applications hyperfréquences nécessitant des temps de transit faibles et donc des épaisseurs fines.

III/- Utilisation du principe d'hétérojonction

III-1/- L'hétérojonction Emetteur-Base

Comme nous venons de le voir précédemment, sans hétérojonction émetteur-base dans le transistor bipolaire, l'obtention d'une bonne efficacité d'injection et d'un gain élevé est possible lorsque le dopage d'émetteur est nettement supérieur à celui de la base. En effet, pour les transistors bipolaires à hétérojonction émetteur-base, le coefficient d'injection qui représente le rapport du courant d'électrons avec celui des trous est en première approximation proportionnel à

$$\exp\left(\frac{\Delta E_g}{kT}\right)$$

où $\Delta E_g = E_{gE} - E_{gB}$, k la constante de Boltzmann et T la température.

L'utilisation d'une hétérojonction pour les transistors bipolaires doit alors se faire grâce à un matériau d'émetteur à large bande interdite. Lorsqu'on considère les diagrammes de bandes d'énergie du transistor ainsi constitué sous polarisation, la différence d'affinité électronique des deux matériaux introduit des discontinuités comme représenté figure 1-3. Les électrons qui passent la barrière d'énergie de la bande de conduction sont introduits à des vitesses importantes, ce qui réduit le temps de transit dans la base. De plus, la discontinuité de la bande de valence constitue de cette manière une barrière au passage des trous de la base vers l'émetteur, ce qui augmente l'efficacité d'injection. Cette configuration permet l'utilisation d'un dopage de base plus élevé tout en maintenant un gain en courant important et une bonne efficacité d'injection.

Par ailleurs, un dopage de base élevé permet de réduire la résistance de base.

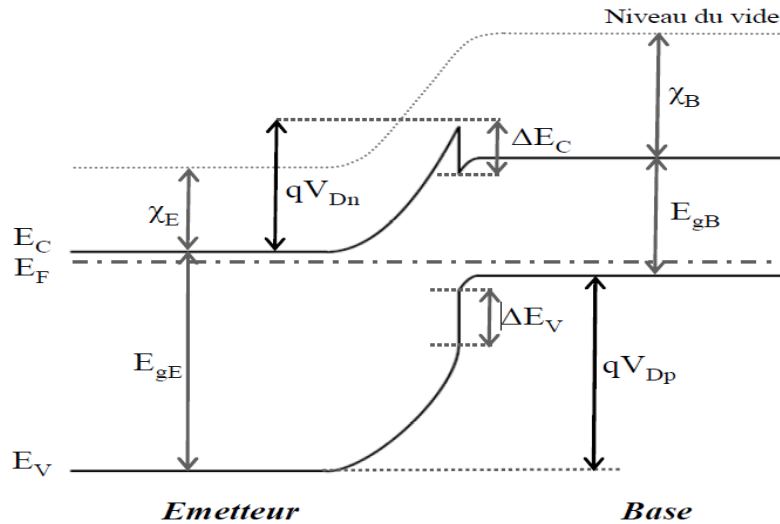


Figure 1-3 : Description d'une hétérojonction de type abrupte

III-2/- Différents types d'hétérojonctions

Il existe deux types d'hétérojonctions possibles lors de la formation du diagramme des bandes d'énergie : une hétérojonction de type abrupte ou une hétérojonction dite graduelle.

Dans le cas d'une hétérojonction abrupte, l'affinité électronique du matériau d'émetteur χ_E est inférieure à celle du matériau de base χ_B . L'énergie nécessaire pour qu'un électron passe de la bande de conduction au niveau du vide est plus faible pour le matériau de l'émetteur. La formation du diagramme de bandes pour cette hétérojonction utilise le modèle à zone d'accumulation de charge démontré par Anderson [2]. La différence des affinités électroniques des deux matériaux provoque l'apparition de discontinuités au niveau des bandes de valence et de conduction ΔE_V et ΔE_C respectivement. Leurs expressions sont données dans [3] et leurs valeurs dépendent des matériaux constituant l'hétérojonction.

A l'équilibre thermodynamique, on assiste à l'alignement des deux niveaux de Fermi E_{FE} et E_{FB} . Sous polarisation, le déplacement des bandes provoque l'apparition d'une barrière de potentiel au niveau de la zone de charge d'espace à la jonction émetteur-base comme décrit sur la figure 1-3. Cette barrière s'oppose à la diffusion des porteurs (électrons et trous). En effet, on observe une barrière de potentiel au niveau de la bande de conduction, qui limite l'injection d'électrons de l'émetteur vers la base et donc l'efficacité d'injection. Mais, dans le même temps, les électrons passant cette barrière atteignent la base avec des vitesses importantes [4], réduisant le temps de transit dans la base. Cela permet alors l'augmentation des performances fréquentielles du TBH à hétérojonction abrupte.

Ainsi, l'amélioration de l'efficacité d'injection de transistor bipolaire à hétérojonction émetteur-base est nécessaire en réduisant voire en supprimant la barrière de potentiel de la bande de conduction qui dégrade l'efficacité d'injection. Cela est possible avec l'utilisation à l'interface émetteur-base de matériaux avec une composition graduelle sur des petites épaisseurs (quelques dizaines d'Å) [5] ou inférieure ou égale à sa ZCE. Quelques solutions employées pour réduire ou annuler cette barrière pour les électrons en conservant un blocage efficace des trous en bande de valence sont décrites dans [6]. Les hétérojonctions graduelles permettent alors de conserver une bonne efficacité d'injection et

donc un gain statique en courant favorable ; mais elles contribuent à la baisse du temps de traversée total des porteurs des TBH contrairement au cas d'une hétérojonction de type abrupte.

III-3/- Transistor à double hétérojonction

Les transistors à hétérojonction EB et à homojonction BC présentent une faiblesse lors du fonctionnement des dispositifs du fait du matériau de collecteur à faible bande interdite. La jonction base-collecteur étant polarisée en inverse, le claquage de la diode a lieu pour des tensions de polarisation V_{bc} très faibles, ce qui limite son utilisation. La solution à ce claquage précoce est l'augmentation de l'épaisseur de collecteur, ce qui n'est pas approprié pour une utilisation des transistors en hautes fréquences. En utilisant un collecteur à large bande interdite pour pallier à ce problème, on obtient une deuxième hétérojonction à l'interface BC qui permet de retarder la survenue du claquage tout en conservant de faibles épaisseurs de collecteur et minimiser le temps de transit de collecteur.

Ainsi, ces transistors bipolaires à double hétérojonction émetteur-base et base-collecteur sont très largement prisés pour la réalisation de dispositifs nécessitant de hautes fréquences d'utilisation et surtout des tensions de claquage élevées. Cependant, comme pour le cas de l'hétérojonction émetteur-base, on assiste à l'apparition d'une discontinuité en bande de conduction importante qui limite le passage des électrons de la base vers le collecteur. C'est pourquoi, l'introduction de nouvelles filières de matériaux a débuté pour les TBHs avec un nouveau matériau pour la base en GaAsSb débouchant sur une structure à double hétérojonction InP/GaAsSb/InP [7, 8, 9]. Le GaAsSb est en effet un matériau à petite bande interdite, en accord de maille sur InP selon les proportions d'arsenic et d'antimoine. Il a l'avantage d'une part de permettre à l'interface base-collecteur une barrière pour les trous empêchant leur injection de la base vers le collecteur. D'autre part, la discontinuité de bande de conduction formée à la jonction base-collecteur favorise l'injection d'électrons vers le collecteur. Ce qui montre l'intérêt suscité par l'utilisation d'une base en GaAsSb pour la réalisation de TBHs pour des applications millimétriques et submillimétriques.

IV/- Fonctionnement statique du TBH

Les caractéristiques statiques du transistor bipolaire sont indispensables pour comprendre son fonctionnement et identifier les possibles défauts dus à la technologie. Parmi ces caractéristiques, nous allons étudier le diagramme de Gummel et les réseaux de caractéristiques $I_c(V_{ce})$.

IV-1/- Diagramme de Gummel

Le diagramme de Gummel représente le logarithme des courants de base et de collecteur en fonction de la tension de polarisation V_{be} , à une tension V_{bc} choisie nulle le plus souvent. Sur cette courbe, l'écart entre les courants I_b et I_c permet d'identifier l'évolution du gain en courant continu. Elle permet aussi d'évaluer la qualité des deux jonctions constituant le TBH (voir ci-après). Quatre zones sont à distinguer sur cette représentation :

1. A des tensions de polarisation V_{be} très faibles, on obtient des courants de base faibles. Les phénomènes dominants sont les recombinaisons en surface car très peu d'électrons atteignent la base et le gain en courant est nul ou presque.
2. Pour des valeurs de V_{be} intermédiaires, l'injection électronique est suffisante pour permettre aux électrons d'arriver au collecteur depuis l'émetteur. On a un effet d'amplification du transistor. Dans cette région, l'écart entre les courbes de I_b et I_c donne l'évolution du gain statique en courant. Leur évolution est linéaire en fonction de V_{be} et permet l'extraction des coefficients d'idéalité des jonctions EB et BC ainsi que les courants de saturation I_{sat} . En effet, l'évolution des logarithmes des courants est donnée par la formule :

$$I_i = I_{isat} \times \exp\left(\frac{qV_{be}}{\eta_i \cdot kT}\right)$$

Où I_{isat} est le courant de saturation de la base ou du collecteur, η_i le coefficient d'idéalité de la jonction EB ou celui du collecteur.

3. Lorsque les valeurs de la tension V_{be} deviennent plus élevées, les courants I_b et I_c sont très importants, ce qui entraîne une chute brutale de la tension aux bornes des résistances d'émetteur et de base due à ces dernières.
4. Enfin, lorsque le transistor fonctionne à très fortes tensions de polarisation, on assiste alors à une saturation des courants et le gain en courant, après avoir atteint sa valeur maximale, chute brutalement dû aux effets de forte injection.

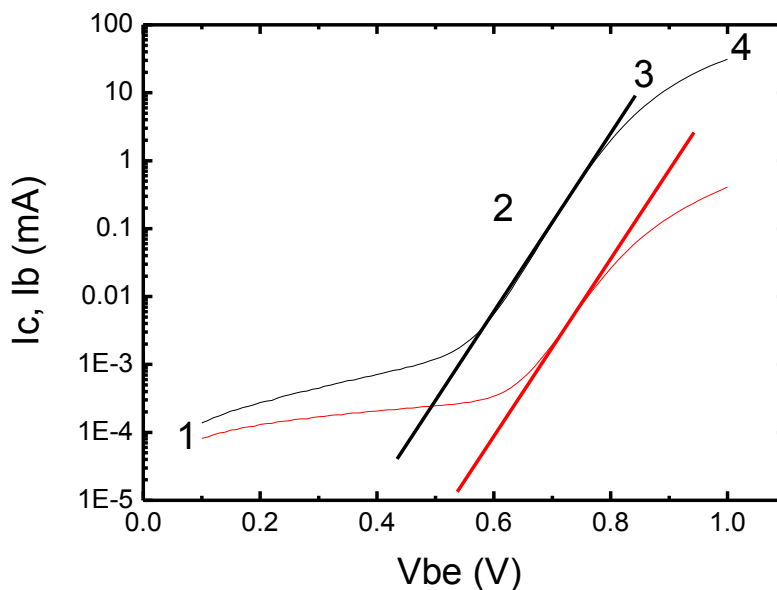


Figure 1-4 : Diagramme de Gummel d'un TBH AlInP/GaAsSb

Ces quatre zones sont représentées sur la figure 1-4 qui représente une courbe de Gummel pour un TBH. Elle met en évidence de la qualité de l'épitaxie des couches et/ou de la technologie des composants obtenus. Elle permet également de distinguer quatre phénomènes :

- ❖ Phénomènes de recombinaison dans la ZCE émetteur-base
- ❖ Zone de fonctionnement idéal
- ❖ Effet des résistances série
- ❖ Effet Kirk à forte injection

IV-2/- Les caractéristiques $I_c(V_{ce})$

Le réseau de caractéristique $I_c(V_{ce})$ représente le courant de collecteur I_c en fonction de la tension émetteur-collecteur V_{ce} pour différentes valeurs du courant de base. Cette caractéristique permet d'évaluer le gain en courant β , la tension de démarrage V_{on} , mais aussi la tension de saturation V_{sat} et éventuellement la tension de claquage BV_{ce0} comme représenté sur la figure 1-5.

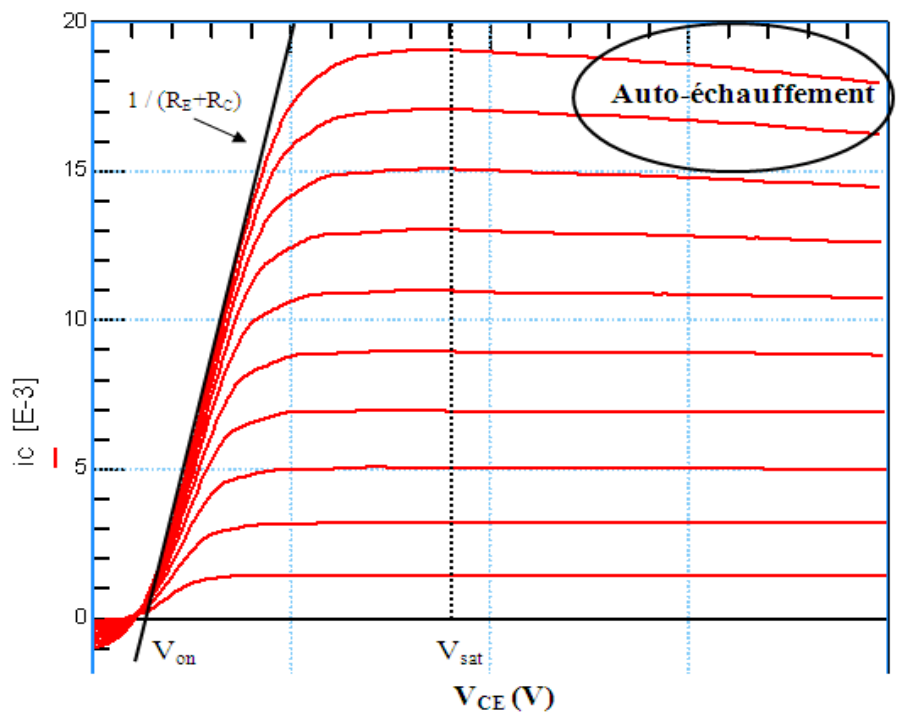


Figure 1-5 : Caractéristiques $I_c(V_{ce})$ de TBH

- Lorsqu'on applique au transistor une tension $V_{ce} < V_{on}$, le courant de collecteur provient surtout du flux d'électrons du collecteur vers la base, ce qui donne des valeurs négatives pour le courant I_c .

- Pour des tensions V_{ce} plus élevées, on augmente la tension V_{be} favorisant ainsi l'injection d'électrons dans le collecteur ; le courant I_c augmente alors tant que $V_{ce} < V_{sat}$. La droite $V_{ce} = V_{sat}$ a pour pente $\frac{1}{(R_E + R_C)}$.

- Au-delà de la tension de saturation, le transistor est en régime de fonctionnement normal : la jonction EB est polarisée en directe et celle BC en inverse. Le gain Bêta est ainsi donné par l'écart entre les deux courbes grâce à la relation $\Delta I_c = \beta \cdot \Delta I_b$.

- Pour des tensions V_{ce} très élevées, la jonction Base-Collecteur est fortement polarisée en inverse ; on assiste au phénomène de claquage de cette diode due à l'ionisation par choc.

Ainsi, la plage de fonctionnement en tension des composants est donnée par la droite de charge. Elle doit être maximale pour le transistor tout en conservant son gain en courant statique maximal. Pour augmenter cette plage de tension, la tension de claquage en émetteur commun à courant nul devrait être la plus grande possible. La pente de la droite $V_{ce} = V_{sat}$ doit également être la plus élevée possible grâce à la minimisation des résistances parasites d'émetteur et de collecteur. Enfin, pour réduire la consommation des circuits, la tension de démarrage V_{on} doit être minimisée.

V/- Fonctionnement dynamique du TBH

Précédemment, nous avons étudié le fonctionnement statique des TBHs pour une première approche. Néanmoins, les transistors réalisés dans le cadre de ces travaux sont destinés à des applications hyperfréquences. Nous allons donc nous consacrer dans ce paragraphe à l'étude du fonctionnement dynamique de TBH.

V-1/- Différents temps de transit dans le TBH

Les performances dynamiques du TBH sont déterminées grâce aux différents temps de traversée des différentes régions constituant le transistor. Le temps de transit global est appelé τ_F ; il représente la somme des temps de transit dans chaque zone du TBH et s'écrit tel que :

$$\tau_F = \tau_E + \tau_{EB} + \tau_B + \tau_{BC}$$

Qui sont respectivement les temps de transit dans l'émetteur, à la jonction émetteur-base, dans la base et dans la jonction base-collecteur.

V-1-1/- Temps de transit dans l'émetteur

Ce temps de transit est le rapport entre la charge de trous (porteurs minoritaires) stockés en excès dans l'émetteur et le courant de collecteur I_c . D'une façon générale, la charge des porteurs minoritaires dans les différentes régions du TBH sont déterminées grâce à une intégration des profils de concentration ; ce calcul ne sera pas détaillé dans ce paragraphe mais est présenté dans [10, 11]. Ainsi, pour des TBHs à épaisseurs d'émetteur réduite, le temps de transit dans l'émetteur s'écrit tel que :

$$\tau_E = \frac{1}{2} \cdot \frac{W_e \cdot W_b}{D_n} \cdot \frac{N_a}{N_d} \cdot \exp\left(-\frac{\Delta E_g}{k.T}\right)$$

Où N_a et N_d sont les dopages respectifs de base et d'émetteur, W_e et W_b les épaisseurs d'émetteur et de base et D_n le coefficient de diffusion des électrons dans la base.

Cette expression montre l'importance de la réduction des épaisseurs d'émetteur et de base pour les TBHs destinés à des applications avec des fréquences de coupure élevées. Elle montre également l'impact des paramètres de l'émetteur tel que le dopage.

V-1-2/- Temps de transit dans la jonction émetteur-base

Ce temps de transit correspond au temps mis par les électrons pour traverser la zone de charge d'espace ZCE émetteur-base. C'est le rapport entre la charge présente au niveau de cette hétérojonction et le courant de collecteur I_c . L'expression de cette charge est donnée par la formule de Roulston [12] et dépend de la largeur de la ZCE W_{EB} , de la tension de polarisation émetteur-base mais également de la section A_{eb} de celle-ci telle que :

$$Q_{eb} = q \cdot A_{eb} \cdot W_{EB} \cdot \exp\left(\frac{qV_{be}}{2kT}\right)$$

Ainsi, le temps de transit de la jonction émetteur-base est directement proportionnel à $\exp\left(-\frac{qV_{be}}{2kT}\right)$ et sa valeur chute très vite lorsque la tension V_{be} augmente. C'est pourquoi ce terme peut être négligé en première approximation sur le temps de transit global du TBH.

V-1-3/- Temps de transit dans la base

Le temps de transit dans la base correspond au temps de renouvellement des électrons dans la base par le courant de collecteur I_c . Dans le cas de transistor bipolaire à hétérojonction abrupte qui nous concerne, le transport des électrons dans la base est diffusif. Le profil de concentrations des porteurs correspondant à ce type de transport nous permet d'écrire ce temps de transit tel que :

$$\tau_B = \frac{W_b^2}{2 \cdot D n_{base}}$$

Où W_b constitue l'épaisseur de la base.

Ainsi, ce temps de transit étant proportionnel au carré de l'épaisseur de la base, cela justifie les efforts considérables réalisés pour privilégier des bases fines dans un but d'optimiser ce temps de transit et accroître les performances fréquentielles du TBH.

V-1-4/- Temps de transit dans la jonction base-collecteur

Tout comme celui de la jonction émetteur-base, le temps de transit de la jonction base-collecteur est le temps mis par les électrons pour traverser la ZCE base-collecteur. En revanche, le calcul de la concentration des porteurs présents à la jonction et donc de la quantité de charges mobiles est plus délicat du fait de phénomène de modulation de la largeur de la ZCE W_{BC} étudiée dans [12, 13]. Par ailleurs, la jonction base-collecteur, polarisée en inverse, provoque le déplacement des électrons dans la ZCE avec une vitesse très élevée correspondant à leur vitesse de saturation v_{sat} . Ainsi, en tenant en compte plusieurs considérations concernant la répartition des charges à cette jonction, l'expression de ce temps de transit s'exprime simplement par [10] :

$$\tau_{BC} = \frac{W_{BC}}{2 \cdot v_{sat}}$$

D'après cette formule, la minimisation de ce temps de transit passe par la réduction de la largeur de la ZCE à cette jonction. Cette réduction est possible en augmentant le dopage de collecteur, ce qui est néfaste pour la tenue en tension des dispositifs (claquage). Il faut alors trouver un compromis entre

dopage et épaisseur de collecteur c'est-à-dire entre un temps de transit faible et une forte tenue en tension.

Après avoir déterminé les différents temps de transit du TBH, nous allons nous intéresser aux fréquences de coupure qui en découlent mais également des retards ajoutés au temps de transit total du fait des capacités et résistances parasites.

V-2/- Fréquences de coupure du TBH

V-2-1/- Définition et détermination de la fréquence de transition F_t

La fréquence de transition F_t correspond à la fréquence de coupure du gain en courant petit signal du TBH. Elle correspond à la valeur pour laquelle ce gain vaut 1. Le gain dynamique en courant h_{21} est donné par le rapport des courants dynamiques de collecteur et de base tel que :

$$h_{21} = \left| \frac{ic}{ib} \right|$$

Pour l'expression de F_t , il faut tenir compte, outre les capacités de jonction EB C_{BE} et BC C_{BC} , des différents retards induits par les résistances d'émetteur et de collecteur et celui causé par la capacité de diffusion C_{Diff} . Si on note Q_F la charge en excès des électrons et des trous, cette capacité de diffusion traduit le retard dû à cette charge et s'écrit tel que : $C_{Diff} = dQ_F / dV_{be}$. Cette capacité peut donc être représentée en parallèle de la capacité de jonction EB puisqu'elle ne dépend que de V_{be} .

Pour les TBHs, on peut faire apparaître l'expression de la transconductance g_m telle que :

$$g_m = \frac{dI_c}{dV_{be}} = \frac{qI_c}{kT}$$

Mais également celle C_{Diff} telle que :

$$C_{Diff} = \tau_F \cdot g_m = \tau_F \cdot \frac{qI_c}{kT}$$

Ainsi, nous pouvons déduire le schéma électrique petit signal du TBH en π pour la détermination de la la fréquence de transition présenté figure 1-6 et donné par [14].

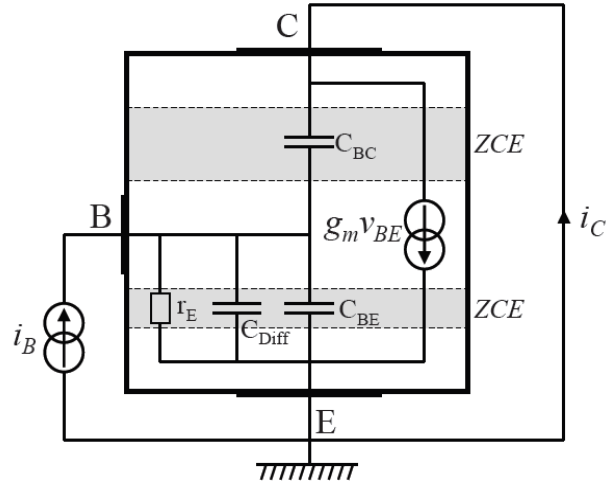


Figure 1-6 : Schéma équivalent petit signal de TBH pour détermination de F_t [10]

En régime petit signal, les expressions des courants de collecteur et de base sont données par :

$$i_c = g_m \cdot v_{be} - j\omega C_{BC} \cdot v_{be}$$

$$i_b = \left(\frac{1}{r_E} + j\omega C_{Diff} + j\omega C_{BE} + j\omega C_{BC} \right) \cdot v_{be}$$

Ce qui permet de déduire l'expression du gain en courant dynamique h_{21} :

$$h_{21} = \frac{g_m \cdot r_E - j\omega C_{BC} \cdot r_E}{1 + j\omega \cdot r_E (C_{Diff} + C_{BE} + C_{BC})}$$

La transconductance des TBHs étant très élevée, nous pouvons négliger le terme $j\omega \cdot C_{BC}$ devant g_m . Le module du gain en courant h_{21} s'écrit alors :

$$|h_{21}| = \frac{g_m}{\omega (C_{Diff} + C_{BE} + C_{BC})}$$

Ainsi, la fréquence de transition F_t , pour laquelle ce gain en courant vaut 1 s'écrit :

$$F_t = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) \right)}$$

Cette expression est une formulation théorique de la fréquence et ne prend pas en compte des retards provoqués par les résistances d'émetteur et de collecteur : $R_E \cdot C_{BC}$ et $R_C \cdot C_{BC}$ respectivement pour finalement obtenir F_t tel que :

$$F_t = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) + (R_E + R_C) C_{BC} \right)}$$

Cette dernière expression donne la fréquence de transition du TBH. Les principaux paramètres dépendant de la structure géométrique qui influencent cette fréquence sont, outre le temps de transit, les capacités de jonction et les résistances d'accès d'émetteur et de collecteur. L'amélioration de cette fréquence de coupure grâce aux capacités est possible en considérant les dimensions latérales des dispositifs pour la réduction de la surface. Cette minimisation des capacités doit s'accompagner d'une diminution des résistances d'accès d'émetteur et de collecteur afin de réduire efficacement les différents temps de charge de chaque zone du TBH. Enfin, la réduction des épaisseurs des couches épitaxiées permet de minimiser le temps de transit global τ_F et d'accroître ainsi la valeur de la fréquence de transition.

V-2-2/- Définition et détermination de la fréquence maximale d'oscillation F_{max}

La fréquence maximale d'oscillation F_{max} représente la fréquence de coupure du gain en puissance. La définition du gain en puissance que nous avons utilisé est celui du gain unilatéral en puissance de Mason noté U. La détermination de cette fréquence est plus complexe que pour F_t et nécessite l'ajout d'éléments supplémentaires sur le schéma équivalent notamment la résistance de base R_B . Ce point ne sera pas détaillé ici car décrit dans [15].

Néanmoins, une expression approximative de F_{max} est donnée par la formule suivante tel que montrant une relation avec F_t :

$$F_{max} = \sqrt{\frac{F_t}{8\pi \cdot R_B \cdot C_{BC}}}$$

Cette équation permet en effet de conclure quant à la dépendance de F_{max} avec F_t . Elle fait intervenir la résistance de base et prononce l'impact de la réduction de la capacité base-collecteur pour l'augmentation des fréquences de coupure du TBH.

VI/- Effets limitatifs dans un TBH

VI-1/- Effet Early

Cet effet limitatif du transistor bipolaire trouve son origine dans l'augmentation de la tension collecteur-émetteur et de la tension base-collecteur V_{bc} . On assiste alors à une augmentation de l'épaisseur de la zone de charge d'espace ZCE base-collecteur ; elle s'étend alors à l'intérieur de la base. Ainsi, l'épaisseur effective de base diminue due à cette augmentation. Cela résulte en une augmentation du courant de collecteur qui se traduit sur le réseau de caractéristiques $I_c(V_{ce})$ par une déviation de sa valeur idéale. Cette modulation de l'épaisseur de la base est plus connue sous le nom d'effet Early. Cet effet est très néfaste dans les transistors bipolaires actuels car les épaisseurs de base sont choisies très fines pour la montée en fréquences des dispositifs. C'est pourquoi, il existe une limite à la réduction drastique des épaisseurs de base.

Dans les transistors à hétérojonction, ce phénomène Early est limité en utilisant un fort dopage de base combiné à un faible dopage de collecteur. Ainsi, l'extension de la ZCE se fera principalement côté collecteur pour minimiser la réduction de l'épaisseur effective de base.

VI-2/- Effet d'élargissement de la base : Effet Kirk

En régime de forte injection, le comportement de la jonction base-collecteur est nettement modifié. L'effet Kirk [16] est dû à une injection massive des électrons dans la ZCE base-collecteur avec une vitesse correspondant à la vitesse de saturation v_{sat} . A un seuil d'injection supérieure à la densité de porteurs dans le collecteur, cela entraîne l'élargissement brusque de la base vers le collecteur. Cet effet conduit à dégrader le gain en courant. De même, cet élargissement de la base sous l'effet de forte polarisation du composant entraîne l'augmentation du temps de transit dans la base et réduit alors la fréquence de transition des transistors bipolaires. Il existe également une valeur critique de densité de courant collecteur pour laquelle ce phénomène apparaît ; son expression est telle que [17] :

$$J_c (Kirk) = q \cdot N_{dcollecteur} \times v_{sat}$$

Où $N_{dcollecteur}$ est le dopage du collecteur.

Cette expression montre que le seuil d'effet Kirk dépend du dopage de collecteur qui doit être maximisé. Malheureusement, la hausse du dopage de collecteur, comme nous l'avons discuté plus haut, dégrade considérablement la tenue en tension des composants. Un autre moyen de repousser le seuil d'effet Kirk est d'utiliser des matériaux à forte mobilité électronique dans le collecteur, c'est-à-dire avec des vitesses de saturation des électrons supérieures.

VI-3/- Effets thermiques

Pour atteindre des performances fréquentielles à l'état de l'art actuel, les transistors bipolaires fonctionnent à des densités de courant de collecteur très élevées. Cela entraîne une dégradation prématurée de ses performances due au phénomène d'auto-échauffement. C'est pourquoi, il existe pour le TBH une zone limite de fonctionnement présenté figure 1-7, délimitée d'une part par la tension de claquage du transistor et d'autre part par une courbe iso puissance théorique, au-delà de laquelle les effets thermiques deviennent non-négligeables.

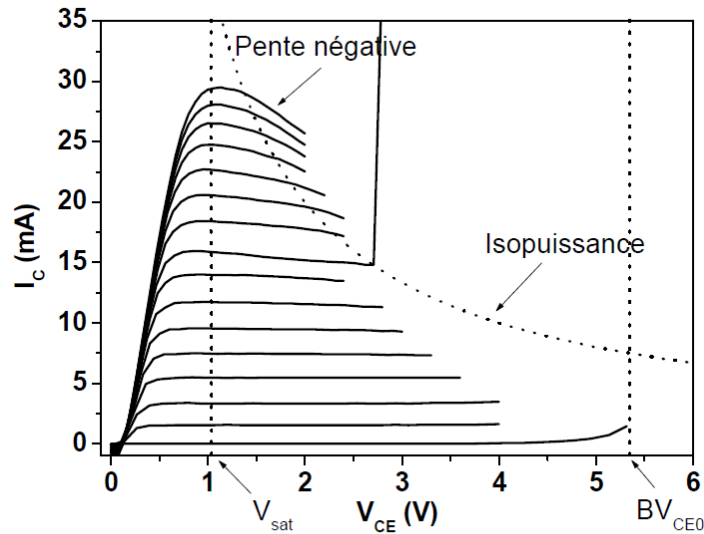


Figure 1-7 : Description de la zone limite de fonctionnement du TBH [18]

Ainsi, l'auto-échauffement dans les TBHs dû aux fortes températures de jonctions qui y règnent est un phénomène non négligeable, à prendre en compte pour la conception de circuits électroniques performants. Ces effets thermiques doivent être étudiés et modélisés pour permettre une évaluation des températures de jonction et améliorer la fiabilité des dispositifs grâce à la détermination de la résistance thermique. Ce point important a été abordé plus en détail dans le chapitre 2 de ce manuscrit.

VII/- Etat de l'art des filières pour TBHs rapides

Le transistor bipolaire à hétérojonction est un composant de choix pour la réalisation de circuits électroniques destinés aux hautes fréquences. De par son abondance et son faible coût, le silicium restait un matériau prépondérant pour la réalisation de dispositifs microélectroniques. Malheureusement, les transistors à base de silicium semblent aujourd'hui avoir atteint leurs limites physiques. Pour pallier à ce problème, le TBH SiGe a fait son apparition sur le marché. Néanmoins, les composants à base de matériaux III-V sont aujourd'hui beaucoup utilisés car ils possèdent l'avantage d'être plus appropriés pour des applications à très haute fréquence, notamment grâce à leurs meilleures propriétés de transport.

VII-1/- TBHs SiGe

Les transistors bipolaires à homojonction à base de silicium ont connu des améliorations considérables depuis leur invention à la fin des années 40. Plus tard, les performances semblaient avoir atteints leurs limites physiques dues au compromis nécessaire entre l'utilisation d'une base de faible épaisseur et de faible résistance pour la rapidité des circuits. De nos jours, l'incorporation du germanium dans le silicium a permis de réduire la bande interdite du silicium grâce à la formation d'un alliage $\text{Si}_{1-x}\text{Ge}_x$ pour la réalisation de la base du TBH, l'émetteur étant en silicium. L'énergie de bande interdite varie cependant avec la proportion de germanium x et s'écrit :

$$E_g(x) = 1.12 - 0.74 \times (eV)$$

La réalisation d'une hétérojonction Si/SiGe permet donc la formation d'une discontinuité de la bande de valence à l'interface émetteur-base. Ainsi, contrairement au cas d'une homojonction, une base fortement dopée devient possible tout en conservant une résistance de base faible, ce qui améliore l'efficacité d'injection.

Les TBHs de la filière SiGe bénéficient de la maturité technologique du silicium ; ils sont utilisables pour la réalisation de circuits très rapides. En effet, la meilleure mobilité des trous et des électrons dans le SiGe par rapport au silicium contribue à la réduction du temps de transit dans la base. De plus, il est possible de faire varier la proportion de germanium dans la base afin de créer un pseudo-champ électrique dont le rôle sera d'accélérer le passage des électrons.

Ainsi, en vue de ces applications pour la réalisation de circuits très rapides, des avancées considérables ont été réalisées sur cette filière SiGe. Ces améliorations sont d'ordre technologique et ont permis une augmentation des fréquences de coupure des TBHs SiGe. Les solutions proposées concernent :

- La diminution de la résistance de base pour obtenir des F_{max} élevées mais également la diminution des éléments parasites
- L'intégration des TBHs dans des dispositifs CMOS durant le procédé de fabrication permettant d'accroître les performances des circuits
- L'incorporation du carbone dans la base des TBHs SiGe a permis la réduction de l'épaisseur de base et d'éviter des problèmes de diffusion du bore. Enfin, de nombreuses architectures ont été réalisées par les principaux acteurs du domaine dont les meilleures performances sont présentées dans le tableau 1-1 : IBM, IHP, STMicroelectronics et IMEC.

IBM, lancé dans la course aux performances, utilise dès 2002 une structure de TBH complètement auto-alignée. L'isolation des zones actives est réalisée avec tranchées profondes Deep-Trench-Isolation DTI [19]. L'émetteur en polysilicium est dopé in-situ avec du phosphore et l'épitaxie de la base extrinsèque est non sélective. Leur structure possède donc une architecture entièrement auto-alignée afin de limiter les éléments parasites des TBHs et accroître ainsi les performances. Ils ont démontré le premier TBH SiGe possédant un F_t et un F_{max} supérieures à 300GHz [20]. En 2007, ils ont réalisé des transistors avec un couple F_t/F_{max} remarquable de 309/343GHz à température ambiante passant à 463/618GHz à 4.5K [21].

IHP fut l'un des premiers fabricants à confirmer l'intérêt de l'incorporation du carbone dans la base des TBHs SiGe [22] permettant comme nous l'avons vu plus haut de réduire l'épaisseur de la base et de bloquer la diffusion du bore. Leur structure pour la course aux performances possède une architecture non auto-alignée à simple polysilicium. La base intrinsèque et la base extrinsèque sont connectées grâce à une sur-gravure latérale de la couche épitaxiale. Cela permet de combiner à la fois l'avantage d'une résistance de base très faible et d'une capacité base-collecteur basse. Ces améliorations leur ont permis d'obtenir des performances fréquentielles convaincantes supérieures à 300GHz pour le couple F_t/F_{max} [23]. Plus récemment, ils ont démontré une fréquence maximale d'oscillation F_{max} de 500GHz à l'état de l'art de toutes les réalisations industrielles sur TBHs SiGe [24].

Le laboratoire belge IMEC est aussi un acteur majeur de la réalisation de TBHs SiGe très rapides. La structure initiale utilisée dans leur travaux possède une architecture à simple polysilicium quasi-

auto-alignée [25]. Plus tard, ils ont employé une nouvelle architecture entièrement auto-alignée avec une épitaxie non sélective de la base et du collecteur en une étape dans le but de limiter les éléments parasites tels que C_{bc} . Cela les a conduits à l'obtention d'un couple F_t/F_{max} de 215/400GHz grâce à une réduction des dimensions verticales et latérales des dispositifs avec une largeur d'émetteur de $0.15\mu m$ [26]. Un couple F_t/F_{max} de 245/460GHz a donc été obtenu grâce à l'optimisation de la région de collecteur [27]. En effet, une fine et faiblement dopée région de collecteur a été utilisée. De plus, le collecteur a été rapproché de la base, ce qui permet de réduire l'extension latérale du composant.

En France, le laboratoire STMicroelectronics est très impliqué dans la réalisation de TBHs SiGe très performants. Cela a fait l'objet de plusieurs thèses en collaboration avec l'IEMN [11, 28] et a permis l'obtention de dispositifs à l'état de l'art actuel de la plupart des réalisations industrielles plus particulièrement en ce qui concerne la fréquence de transition F_t . La structure employée est une architecture entièrement auto-alignée à double polysilicium émetteur-base avec une épitaxie sélective de la base. Les TBHs réalisés ont démontré un couple F_t/F_{max} de 410/150GHz à température ambiante pour une largeur d'émetteur de $0.13\mu m$ et des valeurs remarquables de 640/185GHz lorsque la température baisse de 294K à 35K [29]. Les fréquences de transition remarquables obtenues sont possibles grâce à une optimisation des profils verticaux de dopage.

Ainsi, l'ensemble des couples F_t/F_{max} reportés dans ce paragraphe et présentés tableau 1-1 et figure 1-8 confirme la place du TBH SiGe pour la réalisation de dispositifs performants. Ils permettent en effet de combiner l'avantage de la technologie bipolaire silicium très mature avec l'avantage de l'utilisation d'hétérojonctions grâce au germanium. Les principales applications concernent le médical et le militaire (imagerie médicale, détection-guidage, etc...). Néanmoins, malgré leurs caractéristiques intéressantes, la filière SiGe souffre d'une faible tenue en tension par rapport aux TBHs InP mais demeure malgré tout un concurrent de poids de cette filière.

Laboratoire	Dimensions (μm^2)	F_t (GHz)	F_{max} (GHz)	BV_{CE0} (V)	Références
IBM	0.12x2.5	309	343	1.7	[21]
IHP	0.16x0.93	300	350	1.85	[23]
STMicroelectronics	0.13x3.6	410	150	1.15	[29]
IMEC	0.15x1	215	400	1.7	[26]
IHP	0.12x0.96	300	500	1.6	[24]
IMEC	0.15x0.75	245	460	1.7	[27]

Tableau 1-1 : Etat de l'art des TBHs SiGe

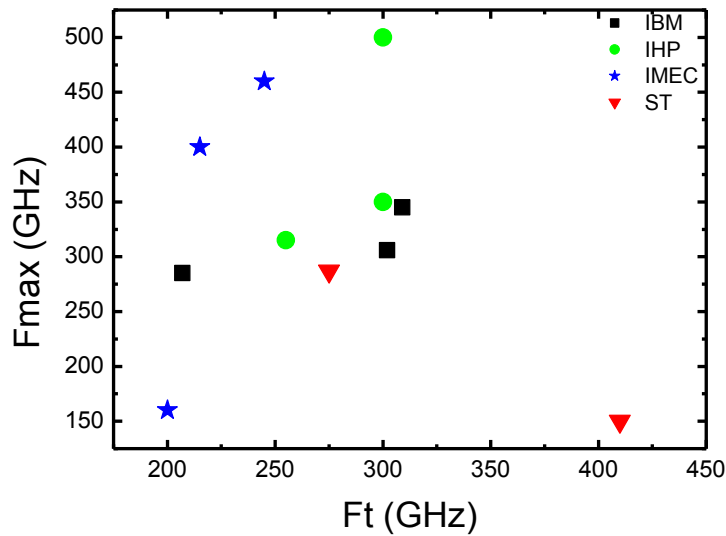


Figure 1-8 : Etat de l'art des TBHs SiGe

VII-2/- TBHs InP/InGaAs

Même si les TBHs SiGe démontrent des performances élevées, leurs principaux concurrents sont les TBHs de la filière InP/In_{0.53}Ga_{0.47}As. Du fait de la mobilité des porteurs plus faible dans le GaAs que dans l'InGaAs, cette structure de matériaux a connu un intérêt grandissant avec l'utilisation d'une base en InGaAs, en remplacement du GaAs classique. Cela permet la réalisation de circuits ultra performants pour des applications en transmission optique notamment. L'intérêt de cette filière repose sur plusieurs points en plus des propriétés de transport remarquables:

- La discontinuité de la bande de valence permet un dopage de la base plus élevé sans dégrader le gain en courant
- La discontinuité de la bande de conduction permet une injection favorable des électrons dans la base
- Une tension de seuil émetteur-base plus faible du fait du matériau à petite bande interdite de la base
- Des tensions de claquages élevées sont possibles lorsque le collecteur est en InP

C'est pourquoi, plusieurs fabricants de composants microélectroniques en ont fait un système incontournable dans la quête des hautes performances pour la réalisation de circuits MMIC [30].

Les travaux sur la filière InP/InGaAs ont débuté dans les années 80 et les premiers résultats remarquables ont été démontrés par le groupe de Ida du NTT [31] avec des fréquences de coupure de 330GHz pour Ft et Fmax pour une largeur d'émetteur de 0.8μm. Les principaux acteurs de ce système de matériaux de ces dix dernières années sont NTT, Anritsu, Northrop Grumman Space Technology, HRL, UIUC, UCSB et en France, le III-V Lab. Néanmoins, les principales améliorations pour

l'obtention de fréquences de coupure élevées ont été l'œuvre de l'équipe du chercheur M.J.Rodwell de l'université de Californie Santa Barbara (UCSB) notamment en démontrant des TBHs avec une fréquence maximale d'oscillation $F_{max} > 800\text{GHz}$ [32, 33]. Ces hautes performances ont été obtenues grâce à une réduction drastique des dimensions latérales des transistors (largeur d'émetteur) mais également grâce à des optimisations du procédé technologique de fabrication permettant de minimiser la résistance d'accès de base et ainsi augmenter F_{max} . Des voies d'amélioration ont été étudiées notamment concernant les contacts ohmiques d'émetteur et de base avec l'utilisation de métaux réfractaires tels que le tungstène. Ces travaux sont menés en partenariat avec le groupe Télédyne et ont conduit plus récemment à la réalisation de TBDHs InP/InGaAs avec une fréquence maximale d'oscillation $> 1\text{THz}$ [34]. Plus tôt, l'équipe de Feng à l'Université de l'Illinois Urbana-Champaign (UIUC) a démontré un transistor InP/InGaAs à simple hétérojonction avec un F_t record de 765GHz pour une largeur d'émetteur de $0.32\mu\text{m}$ [35].

Pour les applications concernant la transmission optique à 100Gb/s , le Bell Labs et l'IAF ont développé des TBDHs pour la réalisation de circuits ultra performants avec des couples F_t/F_{max} respectifs de $410/330\text{GHz}$ [36] et $300/310\text{GHz}$ [37]. Plus récemment, l'IAF Freiburg a démontré la réalisation de circuits intégrés basés sur les TBHs InP/InGaAs destinés à la transmission optique à 112Gb/s Ethernet. Les fréquences de coupure atteintes par les transistors sont supérieures à 350GHz pour une largeur d'émetteur de $0.7\mu\text{m}$ [38].

Enfin, si les transistors de la filière InP/InGaAs sont aujourd'hui les plus rapides existants comme présenté sur le tableau 1-2, ses performances remarquables ont nécessité de nombreuses optimisations plus particulièrement de la transition base-collecteur. Ainsi, ces transistors représentent un concurrent sérieux des TBHs SiGe mais également des TBDHs avec une base en GaAsSb.

L'état de l'art actuel des TBHs de la filière InP/InGaAs est présenté sur le tableau 1-2 ci-après.

Laboratoire	Dimensions (μm^2)	F_t (GHz)	F_{max} (GHz)	BV_{CE0} (V)	Références
UIUC	$0.32 \times ?$	765	227	1.5	[35]
Fraunhofer IAF	1×4	300	> 300	5	[37]
Bell Labs	0.5×4	410	330	4	[36]
Fraunhofer IAF	0.7×4	> 350	> 400	> 4.5	[38]
UCSB	0.2×3.5	360	> 800	4	[32]
UCSB	0.27×3.5	430	800	2.5	[32]
Teledyne	0.25×4	430	1030	> 4	[34]
Teledyne	0.13×2	521	1150	3.5	[34]
UCSB	0.22×2.7	460	850	3.7	[33]
III-V Lab	0.7×5	340	400	> 5	[39]

Tableau 1-2 : Etat de l'art des TBHs InP/InGaAs

VII-3/- TBHs InP/GaAsSb

Une alternative à la transition base-collecteur des transistors InP/InGaAs pour supprimer la discontinuité de la bande de conduction est l'utilisation d'une base en $\text{Ga}_x\text{As}_{1-x}\text{Sb}$. Cela permet la création d'une hétérojonction de type II à l'interface base-collecteur débouchant d'une part sur une large discontinuité en bande de valence qui bloque les trous de la base vers le collecteur et empêche la région de base de s'étendre dans la zone du collecteur. D'autre part, cette hétérojonction base-collecteur de type II permet également d'obtenir une discontinuité en bande de conduction négative qui facilite le passage des électrons de la base vers le collecteur comme décrit figure 1-9 (b). Ainsi, l'utilisation d'une base en GaAsSb dans les DTBHs InP facilite l'injection des électrons à haute densité de courant et autorise des tensions de claquage élevées grâce au collecteur en InP. Le $\text{Ga}_{0.5}\text{As}_{0.5}\text{Sb}$ possède aussi l'avantage d'être en accord de maille sur l'InP pour obtenir une structure de couches simple, tous les éléments étant en accord de maille sur le substrat InP. Par ailleurs, ce matériau permet d'accéder à des dopages de la base élevés tout en gardant une épaisseur de couche faible. Cela permet d'obtenir simultanément un faible temps de transit dans la base et une résistance de couche convenable [40]. Enfin, dans la base en GaAsSb, on assiste à la présence d'un courant de trous injectés faibles dans l'émetteur. L'intérêt de l'utilisation de cette filière de matériaux a été détaillé dans le chapitre 3.

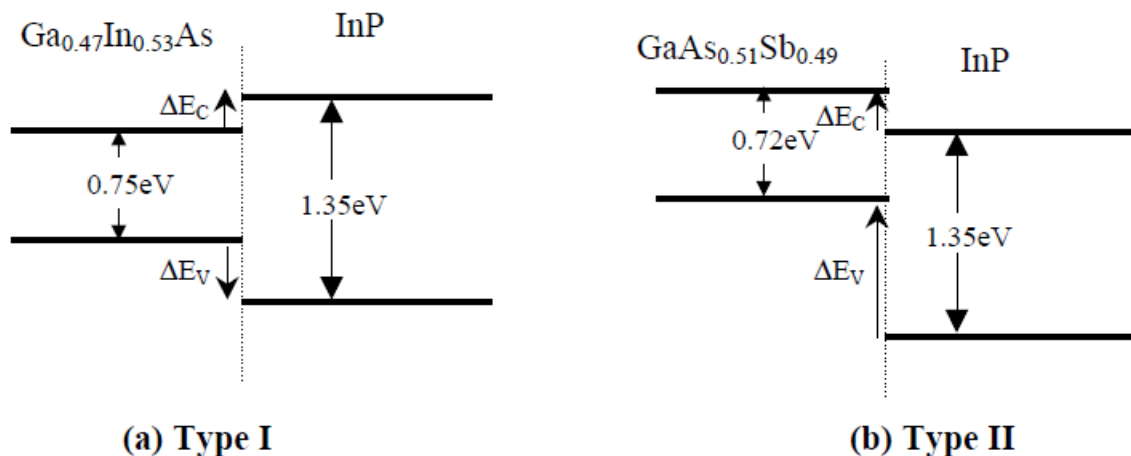


Figure 1-9 : Descriptif des hétérojonctions InGaAs/InP (a) et GaAsSb (b)

Les premiers dispositifs réalisés avec cette structure de couches ont été présentés à la fin des années 90. Néanmoins, les plus récents travaux concernant cette filière sont l'œuvre de l'équipe du chercheur C.Bolognesi de l'ETH Zurich et ont débuté à l'Université Simon Fraser au Canada. Les transistors réalisés possèdent des performances dynamiques élevées rivalisant avec les structures InP/InGaAs. En effet, des efforts considérables ont été fournis pour le développement de cette filière en vue d'obtenir des performances dans la gamme du TéraHertz [41]. Pour l'amélioration de la fréquence de transition, outre des épaisseurs de couches minimisées, ils ont développé une structure de couches avec une base graduelle qui a permis d'obtenir un Ft de 603GHz à température ambiante [42]. Sur ces transistors, les mesures en basse température ont conduit à l'obtention d'un Ft record > 700GHz à 5K. Néanmoins, ces dispositifs souffraient d'une fréquence maximale moins élevée de 300GHz. C'est pourquoi, les améliorations actuelles concernant cette structure reposent sur l'augmentation de la fréquence maximale d'oscillation Fmax par la minimisation de la capacité base-

collecteur C_{bc} et de la résistance de base R_b . De plus, des investigations ont été réalisées sur la gravure du mesa de base en utilisant une combinaison de gravure sèche et humide pour un meilleur contrôle de la sous-gravure et donc la réduction de cette capacité. Cela a conduit l'obtention d'un F_{max} record de 500GHz tout en gardant une fréquence de transition convenable de 365GHz [43]. Pour des applications hautes performances en transmission optique, ces travaux ont également permis de réaliser des transistors avec de bonnes performances en bruit pour un NF_{min} de 1.2dB à 20GHz et des fréquences de coupure F_t/F_{max} de 400/322GHz [44]. Ces faibles facteurs de bruit tout en maintenant un bon gain en courant ont été obtenus grâce à l'insertion de Gallium dans l'émetteur de l'InP. En effet, des précédents travaux ont montré l'intérêt du GaInP dans l'émetteur des TBHs InP/GaAsSb conduisant à l'amélioration du gain en courant d'un facteur supérieure à 2 par rapport à une structure à simple émetteur InP [45, 46] en conservant des figures de mérite > 300 GHz. L'émetteur composite en GaInP permet la diminution voire la suppression des recombinaisons en surface de base extrinsèque et intrinsèque grâce à la disparition de l'hétérojonction de type II en bande de conduction à l'interface émetteur-base. Par ailleurs, des études similaires ont été faites pour l'amélioration du gain en courant des DTBHs InP/GaAsSb grâce à l'utilisation d'un émetteur composite en AlInP [47]. L'incorporation de l'aluminium dans l'émetteur a permis dans ces travaux une amélioration du gain en courant selon la proportion d'aluminium utilisée mais également du facteur d'idéalité de la jonction émetteur-base. Ces travaux ont été initiés par Oda et al. [48].

D'autres acteurs sont concernés par la réalisation de TBHs sur cette filière de matériaux. Il s'agit d'une équipe de chercheurs de l'Université de l'Illinois Urbana-Champaign UIUC possédant le record en ce qui concerne la fréquence de transition avec une valeur F_t de 670GHz [49].

Ainsi, même si les TBHs InP/InGaAs sont aujourd'hui les composants les plus rapides, les TBHs InP/GaAsSb sont des concurrents sérieux dans la course aux performances (tableau 1-3 et figure 1-10) et présentent un intérêt majeur pour des applications dans la gamme millimétrique et submillimétrique.

Laboratoire	Dimensions (μm^2)	F_t (GHz)	F_{max} (GHz)	BV_{CE0} (V)	Références
ETH Zurich	0.3x11.5	603	305	4.2	[42]
UIUC	0.52x7.6	670	185	3.2	[49]
UIUC	0.46x3.1	480	420	4.3	[49]
ETH Zurich	0.6x5	436	193	3.8	[45]
ETH Zurich	0.3x3.4	400	322	?	[44]
ETH Zurich	0.3x9.4	365	500	>5	[43]
OMMIC	0.65x7	350	300	-	

Tableau 1-3 : Etat de l'art des TBHs InP/GaAsSb

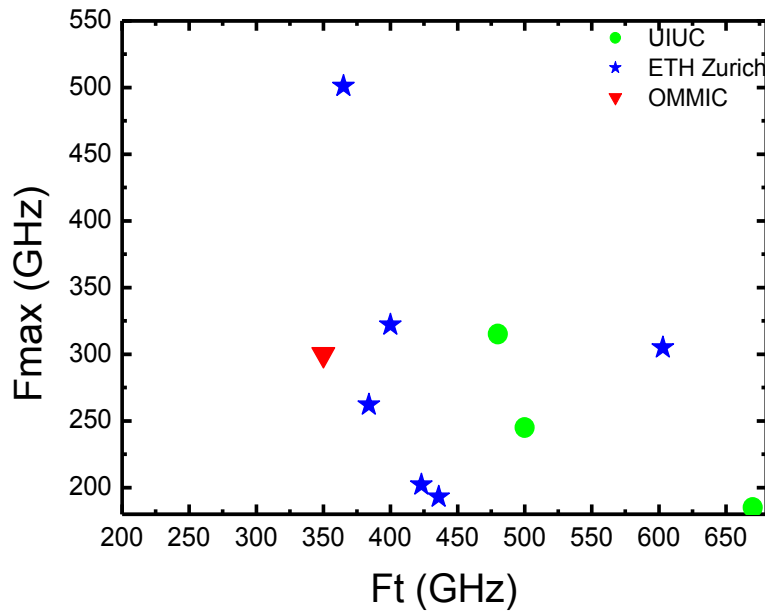


Figure 1-10 : Etat de l'art des TBHs InP/GaAsSb

VII-4/- TBHs à base de matériaux à petites bandes interdites

Dans la course aux performances fréquentielles des dispositifs microélectroniques, de nouvelles filières de matériaux sont apparues récemment. C'est pourquoi, l'évolution des filières de transistors bipolaires s'est rapprochée de ces filières à faibles bandes interdites pour la réalisation de circuits de décision ultra-performants et à faible consommation. En effet, cette filière est composée de semi-conducteurs binaires à base d'antimoine dont le principal intérêt est la forte mobilité des électrons et des trous permettant la montée en fréquence des dispositifs. Ces semi-conducteurs AlSb, InSb, GaSb, InAs et les alliages qu'ils forment ont des paramètres de maille d'environ 6Å (figure 1-11) et sont également caractérisés par des vitesses électroniques maximales obtenues pour de faibles champs électriques. C'est pourquoi ils constituent un système de matériaux prometteur pour des applications nécessitant une faible consommation.

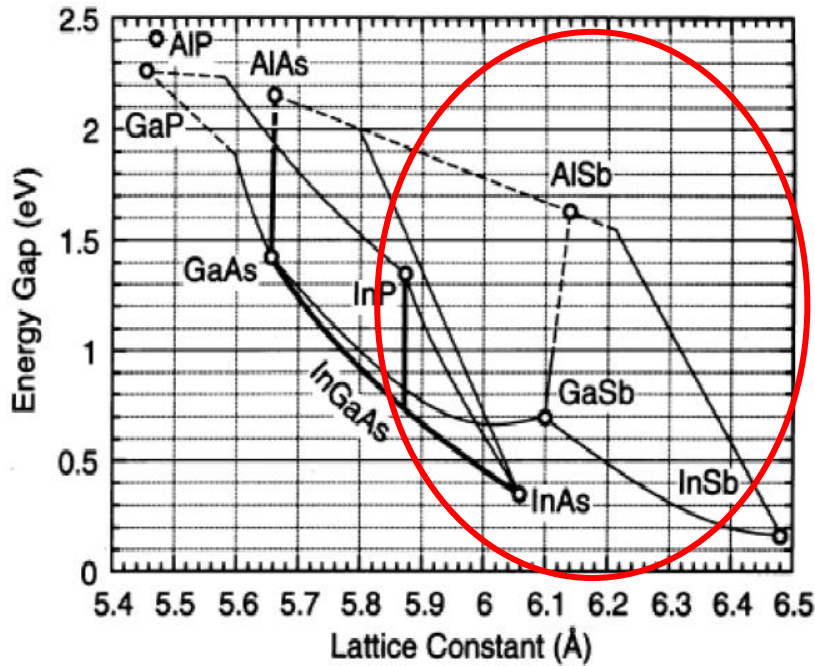


Figure 1-11 : Paramètres de bande de matériaux à petites bandes interdites

Partant des transistors bipolaires silicium, l'utilisation du GaAs a été entreprise pour l'amélioration des performances fréquentielles grâce à la présence de l'hétérojonction émetteur-base. Ces TBHs ont vite atteint leur limite et de nouvelles filières sont apparues grâce à l'introduction de l'indium dans la base de ces transistors afin d'améliorer la mobilité des porteurs et donc d'accroître les fréquences de coupure des transistors. Cela a abouti aux filières classiques de TBHs accordés en maille sur InP : $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{InGaAs}$ et InP/InGaAs discutées plus haut. Pour les applications de faible consommation, une équipe du Northrop Grumman Space Technology en Californie a proposé une alternative en utilisant des proportions d'indium de 86% dans l'émetteur en AlInAs et la base en InGaAs de leurs TBHs. Cette variation de la proportion d'indium conduit en effet à l'obtention de structure de paramètre de maille avoisinant 6Å [50] correspondant à celui des composés binaires à base d'antimoine GaSb et InSb. La filière $\text{AlInAs}/\text{InGaAs}$ étant épitaxiée sur InP, le désaccord de maille est compensé par l'utilisation d'une couche tampon graduelle en $\text{Al}_{1-x}\text{In}_x\text{As}$. Ces chercheurs ont ainsi démontré des tensions de claquage dépassant 1.5V tout en conservant un gain en courant statique élevé mais également des fréquences de coupure F_t et $F_{\text{max}} > 150\text{GHz}$ [51]. Ils ont ouvert la voie et montré la faisabilité de cette filière de matériaux pour la réalisation de dispositifs rapides et à faible consommation.

Par ailleurs, un nouveau matériau dont le paramètre de maille avoisine 6Å est également apparu pour une utilisation dans la base des nouvelles générations de TBHs avec des structures à petites bandes interdites. Il s'agit du GaInSb qui possède également une mobilité très élevée des électrons et des trous et permet ainsi la réalisation de TBHs avec des performances fréquentielles élevées. Ces travaux ont été initiés par l'équipe de Magno du Naval Research Laboratory de Washington en utilisant le GaInSb pour la base et un quaternaire, l' InAlAsSb , à la fois pour l'émetteur et le collecteur [52]. Le GaInSb a été également choisi pour la base du fait de sa faible bande interdite et la possibilité d'obtenir des résistances de contact très basses sur ce matériau et minimiser ainsi la résistance de base. En faisant varier la composition de ce quaternaire pour obtenir un paramètre de maille de 6.2Å , ces chercheurs ont démontré la possibilité d'obtenir une large discontinuité de bande de valence ($\geq 300\text{mV}$) permettant le blocage des trous de la base vers l'émetteur. Cela permet également d'obtenir

une hétérojonction base-collecteur de type II favorisant le passage des électrons de la base vers le collecteur. Leurs travaux ont abouti sur une structure de DTBHs InAlAsSb/GaInSb avec un gain statique en courant de 25 et une faible tension de démarrage émetteur-collecteur permettant une faible puissance dissipée [53]. Même si plusieurs améliorations ont débuté au sein de cette équipe [54], [55], les premières performances fréquentielles sur cette filière ont été obtenues par l'IEMN [56] avec un couple Ft/Fmax de 52/48GHz. Dans ces travaux, la composition du quaternaire est $In_{0,67}Al_{0,33}As_{0,31}Sb_{0,69}$ pour l'émetteur et pour le collecteur permettant une hétérojonction de type II. La structure est épitaxiée sur InP et le désaccord de maille engendré est compensé par l'utilisation d'une couche « buffer » métamorphique à base d'antimoine. Le gain statique en courant obtenu est de 17 pour des DTBHs de largeur d'émetteur 1µm. Avec ces résultats, les efforts entrepris sur les structures à petites bandes interdites de paramètres de maille proches de 6Å sont convaincants. Ils pourront ainsi permettre l'obtention de nouvelles structures de DTBHs en faisant varier les proportions des différents matériaux (figure 1-12), pour des applications à faible consommation de puissance très recherchée.

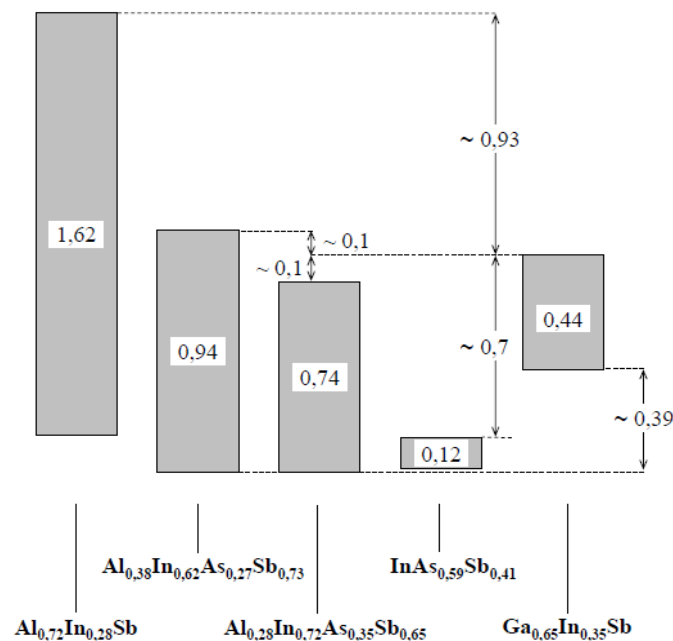


Figure 1-12 : Alignement de bandes entre GaInSb et différents alliages InAlAsSb de paramètre de maille 6.23Å (eV) [57]

VII-5/- Synthèse de l'état de l'art des TBHs et différentes applications

L'état de l'art des transistors bipolaires à hétérojonctions que nous venons de présenter montre l'intérêt de ces transistors pour des applications nécessitant des hautes performances fréquentielles et/ou de puissance mais également pour des systèmes à faible consommation. Le principal intérêt des transistors bipolaires est le compromis possible entre fréquences de coupure et tensions de claquage par rapport aux transistors MOS par exemple. Les facteurs de mérite remarquables obtenus sur les TBHs justifient leur utilisation dans des domaines aussi divers tels que le civil et le militaire. Parmi les applications possibles, on peut citer le transport, l'imagerie médicale, les télécommunications, les guerres électroniques, la détection, etc...

Concernant les applications en télécommunications, des efforts considérables sont fournis pour l'obtention de performances élevées en prévision des nouvelles générations de transmission optique à haut débit. En effet, la réalisation de systèmes de transmission avec des débits supérieurs à 80Gb/s requiert l'utilisation de composants électroniques très performants. Pour les systèmes à fibre optique qui sont les mieux adaptés pour le transport de données, il est nécessaire de déployer des composants pour les générations à 100Gb/s et au-delà. Pour cela, il est nécessaire d'avoir des transistors avec des fréquences de coupure de deux à trois fois supérieures à la fréquence des systèmes considérés. Les transistors bipolaires, comme nous venons de l'avoir sur l'état de l'art, constituent alors des composants de choix pour ces applications en transmission optique à haut débit. Ils peuvent offrir une large plage d'utilisation en tension et une faible consommation.

Les travaux de thèse présentés dans ce manuscrit s'insèrent dans ce cadre pour la génération de transmission optique à 112Gb/s. Les transistors bipolaires, de la filière InP/GaAsSb plus particulièrement, permettent de réaliser ces circuits de transmission avec des fréquences de coupure à l'état de l'art supérieures à 500GHz. Pour notre application à 112Gb/s, les fréquences de coupure doivent être supérieures à 300GHz. Cependant, pour atteindre ces performances élevées, la fabrication des transistors nécessitera une réduction considérable de la taille des composants (largeurs d'émetteur inférieures au micron). Cette réduction des dimensions entraîne un fonctionnement des TBHs à très hautes densités de courant, provoquant l'apparition de phénomènes d'auto-échauffement pouvant être néfastes et une dégradation prématurée des dispositifs. C'est pourquoi, la réduction de l'auto-échauffement dans les transistors bipolaires est un facteur à prendre en compte pour la fabrication de composants performants et la réalisation de circuits de transmission fiables. Ce point sera abordé dans le chapitre 2 de cette thèse ; nous proposerons une solution pour la réduction de l'auto-échauffement dans les TBHs de la filière InP/GaAsSb grâce à l'amélioration de la dissipation thermique dans les transistors.

Références bibliographiques

- [1] Amina Tachafine, « Contribution à l'étude des transistors bipolaires à hétérojonction pour la réalisation d'amplificateurs monolithiques de forte puissance en bande X », Thèse de doctorat de l'université de Lille 1, 1994
- [2] R.L. Anderson, « Germanium/Gallium Arsenide heterojunction », IBM R. Research & Development, vol.4, pp. 283-287, 1960
- [3] Henry Mathieu, « Physique des semi-conducteurs et des composants électroniques », 5^{ème} édition
- [4] H.Kroemer, "Heterostructure bipolar transistors: what should we built?", Journal of Vacuum Science Technologies B, vol.1, pp. 126-130, 1983
- [5] S.M.SZE, "High speed semi-conductor devices", 1990
- [6] Eric Lefebvre, « Croissance métamorphique par épitaxie par jets moléculaires et caractérisations physiques pour TBH InP/InGaAs sur GaAs », Thèse de doctorat de l'université de Lille 1, 2005
- [7] R.Bhat, W.P.Hong, C.Caneau, M.A.Koza, C.K.Nguyen and S.Goswami, « InP/GaAsSb/InP and InP/GaAsSb/InGaAsP double heterojunction bipolar transistors with a carbon-doped base grown by organo metallic chemical vapor deposition », Applied Physics Letters, vol.68, pp. 985-987, 1996
- [8] N.Matine, M.W.Dvorak, C.R.Bolognesi, X.Xu, J.Hu, S.P.Watkins and M.L.W. Thewalt, "Nearly ideal InP/GaAsSb/InP double HBT with ballistically launched collector electrons", Electronics Letters, vol.34, pp. 1700-1702, 1998
- [9] C.R.Bolognesi, M.W.Dvorak, O.Pits, S.P.Watkins, "200GHz InP/GaAsSb/InP DHBT", 22nd annual GaAs IC Symposium, 2000
- [10] Benoît Barbalat, "Technologie et physique de TBHs Si/SiGeC auto-alignés très hautes fréquences", Thèse de doctorat de l'université Paris-Sud XI, 2006
- [11] Boris Geynet, « Développement de TBHs Si/SiGe:C pour les technologies BiCMOS millimétriques », Thèse de doctorat de l'université de Lille 1, 2008
- [12] D.J.Roulston, « Bipolar Semiconductor Devices », Electronics Engineering Series, McGraw-Hill International Editions, 1990
- [13] R.G.Meyer and R.S.Muller, "Charge control analysis of the collector-base space-charge region contribution to bipolar transistor transit time constant", IEEE Transactions on Electron devices, vol.34, pp. 450-452, Feb.1987
- [14] P.Ashburn, "SiGe HBT", John Wiley and Sons, 2003
- [15] M.Gupta, "Power gain in feedback amplifiers, a classic revisited", IEEE Transactions on Microwave Theory and Techniques, Vol. 40, No.5, May 1992
- [16] C.T.Kirk, "A theory of transistor cut-off frequency f_T fall-off at high current densities", IRE Transactions on Electron Devices, vol.9, pp. 164-174, 1962
- [17] S.M.SZE, "Physics of semi-conductors devices", Wiley International Edition, 1969
- [18] Virginie Nodjiadjim, « TBH submicronique InP/InGaAs pour circuits numériques ou mixtes ultra-rapides », Thèse de doctorat de l'université de Lille 1, 2009
- [19] B.Jagannathan, M.Kather, F.Pagette, J.S.Rieh, D.Angell, H.Chen, J.Florkey, F.Golan, D.R.Greenberg, R.Groves, S.J.Jeng, et al. , « Self-aligned SiGe NPN transistors with 285GHz f_{max} and 207GHz f_T in a manufacturable technology », IEEE Electron Device Letters, vol.23, pp. 258-260, 2002
- [20] J.S.Rieh, D.Greenberg, M.Khater, K.T.Schonnenberg, S.J.Jeng, F.Pagette, T.Adam, J.Florkey et al., « SiGe HBTs for millimeter wave applications with simultaneously optimized f_T and f_{max} of 300GHz », IEEE Radio Frequency Integrated Circuits symposium, pp.395-398, 2004

- [21] J.Yuan, R.Krithivasan, J.D.Cressler, M.H.Khater, D.C.Ahlgren, A.J.Joseph, "On the frequency limits of SiGe HBTs for terahertz applications", Proceedings of BCTM, pp. 22-25, 2007
- [22] H.J.Osten, D.Knoll, B.Heinemann, H.Rucker, K.E.Ehwald, "Carbon doped SiGe HBT module suitable for integration in a deep submicron CMOS process", Asia Pacific Microwave Conference, pp. 757-762, 2000
- [23] A.Fox, B.Heinemann, R.Barth, D.Bolze, J.Drews, U.Haak, D.Knoll, B.Kuck, R.Kurps, S.Marschmeyer, H.H.Richter, H.Rucker et al., "SiGe HBT module with 2.5ps gate delay", IEEE proceedings of IEDM, pp. 1-4, 2008
- [24] B.Heinemann, R.Barth, D.Bolze, G.G.Fisher, A.Fox, O.Fursenko, T.Grabolla, U.Haak, D.Knoll, et al., "SiGe HBT Technology with f_T/f_{max} of 300/500GHz and 2.0ps CML gate delay", IEEE proceedings of IEDM, pp.688-691, 2010
- [25] S. van Huylbroeck, A.Sibaja, A.Piontek, L.J.Choi, M.W.Xu, N.Ouassif, F.Vieugels, K.van Wichelen, L.Witters, E.Kunnen, P.Leray, K.Devriend, X.Shi, R.Loo, and S.Decoutere, "Lateral and vertical scaling of a QSA HBT for 0.13 μ m 200GHz SiGeC BiCMOS Technology", IEEE Bipolar/BiCMOS circuits and technology meeting, pp. 247-250, 2004
- [26] S. van Huylbroeck, A.Sibaja-Hernandez,R.Venegas, S.You, G.Wienderickx, D.Radisic, W.Lee, P.Ong, T.Vandemweyer, N.D.Nguyen, K.De Meyer and S.Decoutere, " A 400GHz f_{max} fully self-aligned SiGe:C HBT architecture", Bipolar and BiCMOS Circuits and Technology meeting, pp. 5-8, 2008
- [27] S. van Huylbroeck, A.Sibaja-Hernandez,R.Venegas, S.You, F.Vleugels, D.Radisic, W.Lee, W.Vanherle, K.De Meyer and S.Decoutere, "Pedestal collector optimization for high speed SiGe:C HBT", IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2011
- [28] Nicolas Waldhoff, « Caractérisations et modélisations des technologies CMOS et BiCMOS de dernières générations jusque 220GHz », Thèse de doctorat de l'université de Lille 1, 2009
- [29] B.Geynet, P.Chevalier, B.Vandelle, F.Brossard, N.Zerounian, M.Buczko, D.Gloria, F.Aniel, G.Dambrine, F.Danneville, D.Dutartre and A.Chantre, « SiGe HBTs featuring $f_T > 400$ GHz at room temperature », Bipolar and BiCMOS Circuits and Technology meeting, pp.121-124, 2008
- [30] M.Urteaga, M.Seo, J.Hacker, Z.Griffith, A.Young, R.Pierson, P.Rowell, A.Skalare, V.Jain, E.Lobisser, M.J.W.Rodwell, « InP HBTs for THz frequency integrated circuits », Compound Semiconductor Week and 23rd International Conference on Indium Phosphide and Related Materials, (CSW/IPRM), 2011
- [31] M.Ida, K.Kurishima and N.Watanabe, "Over 300GHz f_T and f_{max} InP/InGaAs DHBT with a thin pseudomorphic base", IEEE Electron Devices Letters, vol.23, pp. 694-696, 2002
- [32] E.Lobisser, Z. Griffith, V.Jain, B.J. Thibeault, M.J.W. Rodwell, D.Loubychev, A.Snyder, Wu Ying, J.M. Fastenau, A.W.K.Liu, "200-nm InGaAs/InP type I DHBT employing a dual-sidewall emitter process demonstrating $f_{max} \gg 800$ GHz and $f\tau = 360$ GHz", IEEE International Conference on Indium Phosphide & Related Materials, 2009
- [33] V.Jain, E.Lobisser, A.Baraskar, B.J. Thibeault, M.J.W. Rodwell, M.Urteaga, D.Loubychev, A.Snyder, Wu Ying, J.M. Fastenau, A.W.K.Liu, "InGaAs/InP DHBTs demonstrating simultaneous $f\tau/f_{max} \sim 460/850$ GHz in a refractory emitter process", Compound Semiconductor Week and 23rd International Conference on Indium Phosphide and Related Materials, (CSW/IPRM), 2011
- [34] M.Urteaga, R.Pierson, P.Rowell, V.Jain, E.Lobisser, M.J.W. Rodwell, "130nm InP DHBTs with $f_T > 0.52$ THz and $f_{max} > 1.1$ THz", Device Research Conference (DRC), 2011 69th Annual

- [35] W.Snodgrass, W.Hafez, N.Harff and M.Feng, "Pseudomorphic InP/InGaAs HBT experimentally demonstrating $f_t = 765\text{GHz}$ at 25°C and 845GHz at -55°C ", IEEE proceedings of IEDM, pp.1-4, 2006
- [36] N.G.Weimann, V.Houtsma, Y.Baeyens, J.Weiner, A.Tate, J.Frackoviak and Y.K.Chen, "InP DHBTs circuits for 100Gb/s Ethernet applications", Conference on Indium Phosphide and Related Materials, 2008. IPRM 2008
- [37] R.Driad, R.E. Makon, V.Hurm, K.Schneider, F.Benkhalifa, R. Losch, J.Rosenzweig, "InP DHBTs based ICs for 100Gb/s data transmission", Conference on Indium Phosphide and Related Materials, 2008
- [38] R.Driad, J.Rosenzweig, R.E. Makon, R. Losch, V.Hurm, H.Walcher, M.Schlechtweg, "InP DHBTs based ICs technology for 100Gb/s Ethernet", IEEE transactions on electron devices, vol.58, 2011
- [39] V. Nodjiadjim, S. Cros-Chahrouh, J-Y. Dupuy, M. Riet, P. Berdager, J-L. Gentner, B. Saturnin, J. Godin, "InP/InGaAs DHBT with f_t/f_{max} of $\sim 340/400\text{GHz}$ for 100Gb/s applications", Conference on Indium Phosphide and Related Materials, 2012
- [40] H.G.Liu, N.G.Tao, S.P.Watkins and C.R.Bolognesi, "Extraction of the average collector velocity in high-speed type II InP/GaAsSb/InP DHBTs", IEEE Electron Device Letters, pp.769-771, 2004
- [41] C.R.Bolognesi, H.Liu, O.Ostinelli and Y.Zeng, "Development of ultrahigh-speed InP/GaAsSb/InP DHBTs: Are Terahertz bandwidth transistors realistic?", Microwave Integrated Circuit Conference, 2008
- [42] H.G.Liu, O.Ostinelli Y.Zeng and C.R.Bolognesi, "600GHz InP/GaAsSb/InP DHBTs grown by MOCVD with a Ga(AsSb) graded base and $f_T \times BV_{CE0} > 2.5\text{THz.V}$ at room temperature", IEEE IEDM Tech.Digest, pp. 667-670, 2007
- [43] R.Lovblom, R.Flückiger, Y.Zeng, O.Ostinelli A.Alt, H.Benedickter and C.R.Bolognesi, "InP/GaAsSb DHBTs with 500GHz maximal oscillation frequency", IEEE Electron Device Letters, vol.32, May 2011
- [44] Y.Zeng, O.Ostinelli, R.Lovblom, A.Alt, H.Benedickter and C.R.Bolognesi, "400GHz InP/GaAsSb DHBTs with low noise microwave performance", IEEE Electron Device Letters, vol.31, October 2010
- [45] H.G.Liu, O.Ostinelli, Y.Zeng and C.R.Bolognesi, "High current gain InP/GaInP/GaAsSb/InP DHBTs with $f_T=436\text{GHz}$ ", IEEE Electron Device Letters, vol.28, October 2007
- [46] H.G.Liu, O.Ostinelli, Y.Zeng and C.R.Bolognesi, "Emitter size effects and ultimate scalability of InP/GaInP/GaAsSb/InP DHBTs", IEEE Electron Device Letters, vol.29, June 2008
- [47] M.Zaknounge, H.Colder, D.A.Yarekha, G.Dambrine and F.Mollot, "Current gain enhancement in GaAsSb/InP DHBT grown by MBE with a graded composition AlInP emitter", Conference on Indium Phosphide and Related Materials, 2008
- [48] Y.Oda, H.Yokohama, K.Kurishima, T.Kobayashi, N.Watanabe and M.Uchida, "Improvement of current gain of C-doped GaAsSb base HBT by using an InAlP emitter", Applied Physics Letters, vol.87, 2005
- [49] W.Snodgrass and M.Feng, "Nano-scale type-II InP/GaAsSb DHBTs to reach THz cut-off frequencies", CS MANTECH Conference, 2008
- [50] C.Monier, D.Sawdai, A.Cavus, R.Sandhu, M.Lange, J.Wang, J.Yamamoto, R.Hsing, S.Hayashi, A.Noori, T.Block, M.S.Goorsky and A.Gutierrez-Aitken, "High Indium content metamorphic InAlAs/InGaAs HBT", Conference on Indium Phosphide and Related Materials, 2003

- [51] C.Monier, A.Cavus, R.Sandhu, M.Lange, P.Cheng, B.Chan, D.Sawdai, P.C.Chang, V.F.Gambin, B.Oyama, T.Block and A.Gutierrez-Aitken, "Narrow band-gap HBT technology for low power, high speed applications", CS MANTECH Conference, 2004
- [52] R.Magno, B.R.Bennett, K.Ikossi, M.G.Ancona, E.R.Glaser, N.Papanicolau, J.B.Boos, B.V.Shanabrook and A.Gutierrez, "Antimony based quaternary alloys for high speed low power electronic devices", IEEE Lester Eastman Conference on High Performance Devices, 2002
- [53] R.Magno, J.B.Boos, P.M.Campbell, B.R.Bennett, E.R.Glaser, B.P.Tinkham, M.G.Ancona, K.D.Hobart, D.Park and N.Papanicolau, "InAlAsSb/InGaSb DHBT", IEEE Electronics Letters, vol.41, March 2005
- [54] R.Magno, E.R.Glaser, B.P.Tinkham, J.G.Champlain, J.B.Boos, M.G.Ancona and P.M.Campbell, "Narrow band gap InGaSb, InAlAsSb alloys for electronic devices", Journal of vacuum Sci.Technol. B, vol.24, 2006
- [55] J.G.Champlain, R.Magno, D.Park, H.S.Newman and J.B.Boos, "6.2Å Sb-based pN diodes for high frequency applications", Conference on Infrared and Millimeter Waves and 15th International Conference on Terahertz Electronics. IRMMW-THz, 2007
- [56] E.Mairiaux, L.Desplanque, X.Wallart and M.Zaknoune, "Microwave performance of InAlAsSb/In_{0.35}Ga_{0.65}Sb/InAlAsSb DHBTs", IEEE Electron Device Letters, vol.31, April 2010
- [57] Estelle Mairiaux, "Développement d'une nouvelle filière de TBHs AlInAsSb/GaInSb en vue d'applications terahertz", Thèse de doctorat de l'université de Lille 1, 2010

Chapitre II :

Auto-échauffement dans les transistors bipolaires à hétérojonctions : Principe du report

Les transistors bipolaires à hétérojonctions dont cette thèse fait l'objet sont aujourd'hui sujets à de nombreux travaux de recherche sur l'optimisation de leurs performances fréquentielles. L'état de l'art actuel des TBHs à base d'InP atteint des fréquences de coupure de l'ordre de 1THz [1]. Pour atteindre ce niveau de hautes performances, les efforts ont été entrepris sur la géométrie des transistors débouchant sur une réduction drastique de la taille des composants avec des dimensions très largement inférieures au micron en retardant le seuil d'effet Kirk [2]. Pour répondre à ces performances fréquentielles remarquables, les transistors submicroniques fonctionnent à des densités de courant de collecteur très élevées pouvant atteindre plusieurs MA/cm² pour les tailles les plus critiques. Cela induit des effets d'auto-échauffement dans le transistor bipolaire, la hausse de la densité de courant se traduisant par une hausse considérable des températures aux jonctions; la gestion thermique apparaît dès lors comme un point principal d'études en vue de l'optimisation des performances fréquentielles des transistors bipolaires submicroniques de la filière InP combinée à une haute fiabilité.

Dans ce chapitre, nous allons tout d'abord exposer les généralités sur la thermique du transistor et les effets de l'auto-échauffement sur les performances fréquentielles. L'étude de la résistance thermique sera également abordée pour quantifier l'effet de l'auto-échauffement. Ensuite, nous nous intéresserons au report de couches actives de TBHs pour pallier à ce problème. La méthode dite de thermo-compression développée dans le cadre de ces travaux de thèse sera également abordée par la suite. Enfin, nous discuterons du choix des différents paramètres nécessaires en vue du report et montrerons les résultats des premiers essais obtenus avec les paramètres optimaux.

I/- Comportement thermique des transistors bipolaires à hétérojonctions

I-1/- Généralités sur la thermique et effets de l'auto-échauffement

Lors de leur fonctionnement, les transistors bipolaires à hétérojonctions suivent différents régimes de polarisation qui leur sont propres. (Cf Chapitre1) En régime de forte injection, on assiste à un échauffement des composants dû aux fortes densités de courant qui s'y retrouvent. La température dans les jonctions notamment dans la jonction Base/Collecteur s'en trouve fortement accrue et entraîne une dégradation des dispositifs. L'effet de l'augmentation de la température aux jonctions dans les transistors submicroniques à base d'InP a fait l'objet de nombre de travaux dans la littérature. Les conséquences sur les performances des dispositifs lorsque les TBHs fonctionnent à de très fortes densités de courant ont été démontrées par Li et al [4] ; ils ont annoncé qu'une augmentation de la température aux jonctions de 75°C se traduisait par une diminution de la fréquence de transition de l'ordre de 40GHz. De même, cette hausse de la température entraîne une hausse de la résistance thermique globale des transistors ; en effet, la conductivité thermique des matériaux dépend fortement de la température. Ce point sera détaillé dans ce qui suit.

Dans les TBHs, la puissance est générée principalement dans les couches semi-conductrices du collecteur ; c'est pourquoi la génération de la chaleur se fait principalement au niveau de la jonction base-collecteur car une forte tension base/collecteur y est présente, de même qu'un fort courant de collecteur pour des performances à l'état de l'art des différentes réalisations. Ainsi, l'évacuation de la chaleur dans les structures de couches se fait essentiellement du collecteur vers le substrat ; il a été reporté que seulement 30% de la chaleur est évacuée par l'émetteur en haut de la structure [5].

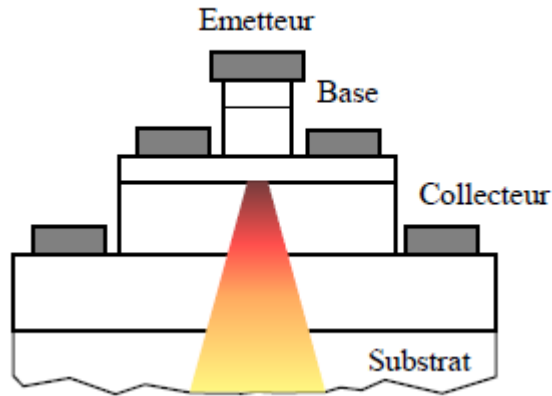


Figure 2-1 : Description de l'évacuation de la chaleur dans un TBH

Ainsi, en régime de forte injection, l'augmentation de la température observée sur les composants entraîne une modification des paramètres physiques des porteurs de charges. Cela se traduit par exemple par une diminution de leurs vitesses de saturation comme le montre la figure 2-2 ci-après représentant la vitesse des électrons en fonction du champ électrique à 300K et à 500K pour le phosphore d'Indium. La vitesse des électrons est plus importante à 300K qu'à 500K. La mobilité des porteurs est en effet dégradée sous l'effet de l'élévation de la température, ce qui entraîne une variation de la vitesse des porteurs. Les fréquences de coupure du transistor sont également affectées par cette variation.

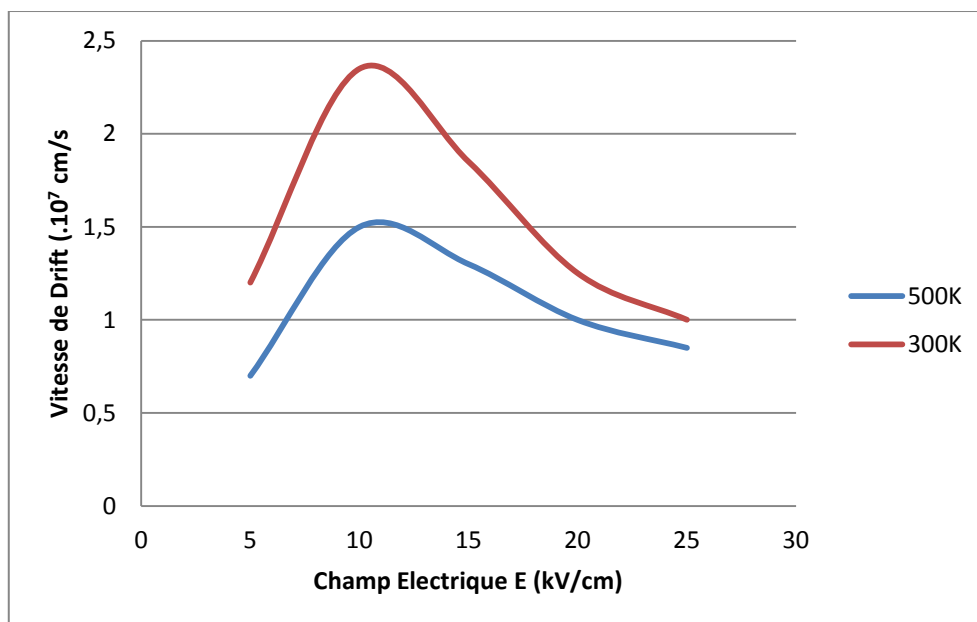


Figure 2-2 : Variation de la vitesse des électrons selon la température pour l'InP

En effet, la figure 2-2 montre la diminution de la vitesse de saturation des électrons lorsque la température augmente ; cela entraîne l'augmentation du temps de transit dans la jonction base-collecteur et contribue à la dégradation des performances fréquentielles des transistors bipolaires à hétérojonctions. La mobilité des porteurs est ainsi augmentée d'un facteur proche de 1.5 lorsqu'on passe de 500 à 300K du fait de la variation de la mobilité des porteurs sous l'effet de la température.

En plus de ces effets thermiques dus aux fortes densités de courant nécessaires pour atteindre des fréquences de coupure élevées, les propriétés thermiques des transistors bipolaires peuvent être affectées par la géométrie des composants. Le besoin croissant de performances pour les TBHs a entraîné la fabrication de transistors aux dimensions submicroniques ; cela passe par un retardement de l'effet Kirk comme stipulé plus haut dans ce chapitre mais également par une réduction des temps de charge aux jonctions grâce à la diminution des différentes capacités des dispositifs. Afin de conserver des densités de courant équivalentes tout en augmentant leurs performances, les dimensions d'émetteur ont été considérablement réduites. Cette reconsidération de la taille des dispositifs a un impact direct sur le comportement thermique des transistors.

De même, l'impact de la structure épitaxiale ne doit pas être négligé ; l'évaluation des propriétés thermiques des différents semi-conducteurs présents dans la structure est donc d'une grande importance en vue de l'étude du comportement thermique des composants. Pour évaluer les propriétés thermiques de semi-conducteurs, on se réfère à leur conductivité thermique habituellement notée K. La conductivité thermique représente la quantité de chaleur transférée par unité de surface et de temps sous un gradient de température et s'exprime donc en W/K.m ; elle traduit la capacité d'un matériau à conduire correctement la chaleur c'est-à-dire que plus sa valeur est élevée, mieux le matériau évacuera la chaleur. Sa valeur dépend de la température, mais d'autres facteurs comme le dopage peuvent la modifier. [5]

Semi-conducteur	InAs	GaAs	InGaAs	InP	GaAsSb
Conductivité thermique (W/K.m)	27	55	5	68	36-45

Tableau 2-1 : Conductivité thermique de quelques semi-conducteurs à 300K

Ainsi, le choix de notre structure épitaxiale finale devra prendre en compte ces considérations ; l'InGaAs ayant une valeur de conductivité thermique très faible, son utilisation devra se limiter à des couches les plus faibles possibles. L'InP quant à lui, possède une valeur convenable qui tente à favoriser une meilleure conduction de la chaleur.

Par ailleurs, l'auto-échauffement observé dans les transistors est également néfaste pour la fiabilité [6]. En effet, la fiabilité d'une filière peut être évaluée de façon simple par une méthodologie de mesures appelée tests de vieillissement. Ces mesures permettent grâce à une contrainte thermique et/ou électrique d'activer des mécanismes de dégradation des TBHs et d'observer leur effet par le biais des caractéristiques électriques. Il s'agit d'abord de placer les transistors dans des étuves portées à des températures élevées (contrainte thermique) ; en même temps une contrainte supplémentaire peut être ajoutée en polarisant les composants pendant plusieurs heures dans des zones proches de l'effet Kirk pour mettre en évidence l'effet de l'auto-échauffement. Ainsi, on pourra noter sur les caractéristiques statiques des TBHs des dégradations du gain statique en courant, une augmentation des courants de fuite dans la base ou encore une dégradation du coefficient d'idéalité de la jonction émetteur-base des

composants. Ce sont là quelques exemples de dégradations susceptibles d'être provoquées sous l'effet des tests de vieillissement et limitant alors la fiabilité des composants mesurés.

C'est pourquoi, il est intéressant de trouver des voies d'amélioration de l'auto-échauffement des transistors bipolaires afin de garantir une meilleure fiabilité de notre filière de TBHs à base d'InP. En effet, les transistors concernés sont dédiés à la réalisation de circuits électroniques pour la nouvelle génération de transmission optique à 110Gb/s et plus. Dans ce contexte, la technologie développée doit être mature, reproductible et avec un rendement de fabrication proche de 100%; par ailleurs, la fiabilité de la technologie permettra un rendement fonctionnel des circuits tout à fait satisfaisant de 60 à 80%.

Les tests de vieillissement que nous avons effectués sur notre filière de transistors reportés et la méthodologie utilisée seront présentés plus en détail dans le chapitre 4 de ce manuscrit.

Après quelques généralités sur le comportement thermique des transistors, nous avons mis en valeur l'effet de l'auto-échauffement sur la dégradation de ses performances. Nous allons par la suite discuter des propriétés thermiques du transistor bipolaire à travers la détermination de la résistance thermique.

I-2/- Propriétés thermiques d'un transistor bipolaire : résistance thermique

Le premier chapitre de cette thèse consacré aux généralités a mis en évidence le besoin pour les TBHs de travailler à de fortes densités de courant afin d'obtenir des performances fréquentielles à l'état de l'art actuel. Les transistors bipolaires ainsi obtenus sont soumis à des phénomènes d'auto-échauffement importants ; il est donc nécessaire de mettre en œuvre des moyens permettant de limiter l'élévation de température engendrée. Pour se faire, une méthode de caractérisation de l'auto-échauffement dans les dispositifs doit être étudiée.

I-2-1/- Détermination d'un modèle simplifié

Afin de procéder à l'élaboration d'un modèle simple pour le calcul théorique de la résistance thermique, nous devons considérer des simplifications quant à l'évacuation de la chaleur dissipée. En effet, contrairement à ce qui a été montré dans la première partie de ce paragraphe, nous supposons dans ce qui suit que la totalité de la chaleur produite par les transistors est évacuée par le collecteur. De plus, ne connaissant pas la part de surface réelle du substrat sur laquelle la chaleur est dissipée, nous n'avons pas pris en compte la résistance thermique du substrat semi-isolant dans le calcul de la résistance finale.

Plusieurs méthodes de calcul ont été rapportées dans la littérature pour déterminer la résistance thermique globale de composants électroniques. Une première méthode consiste à considérer que la chaleur se répand sur l'ensemble de la surface de la jonction base collecteur et de façon rectangulaire ; c'est ce qu'on observe sur la figure 2-5-a) ci-après [7]. Dans ce cas, le calcul de la résistance thermique se fait par la somme de résistances thermiques élémentaires des différentes couches (parallélépipèdes) qui composent la structure du TBH; sa formule s'écrit alors :

$$R_{th} = \frac{e}{\sigma_{th} \cdot Sb}$$

Où S_b est la surface effective de la jonction base collecteur, e l'épaisseur des différentes couches semi-conductrices et σ_{th} la conductivité thermique des semi-conducteurs à température ambiante.

Cela permet d'avoir outre la résistance globale du composant, la contribution de chaque semi-conducteur à la résistance thermique totale.

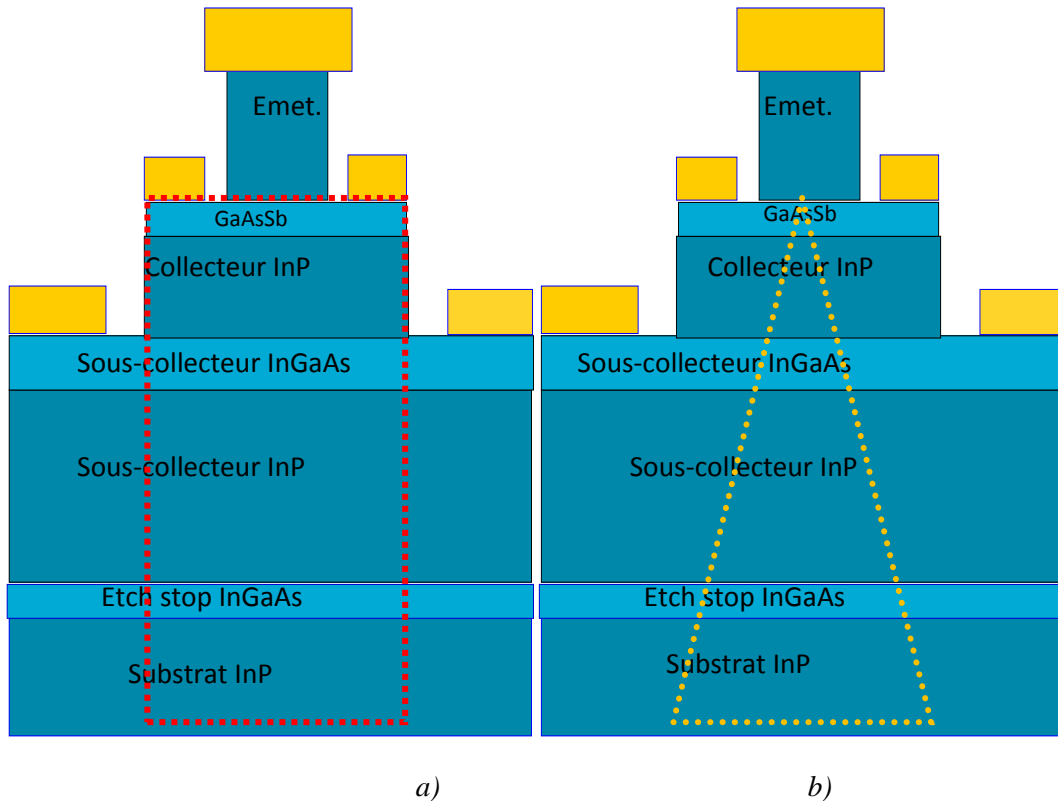


Figure 2-5 : Schéma de la dissipation de la chaleur modèle parallélépipédique a) et conique b)

Cette méthode convient donc bien lorsqu'on veut connaître la contribution de chaque semi-conducteur, mais possède une faiblesse car il est indispensable de prendre en compte la contribution du substrat InP. Or, la prise en compte du substrat dans l'évacuation de la chaleur n'est possible que si l'on connaît de façon précise la surface sur laquelle le flux de chaleur est évacué au niveau du substrat.

Une deuxième méthode a également été démontrée dans la littérature [8]. Elle consiste cette fois-ci à considérer une évacuation conique du flux de chaleur à travers le collecteur présenté figure 2-5-b). Dans ce cas, la résistance thermique globale du système est donnée par la somme des contributions thermiques des différents matériaux semi-conducteurs qui le composent ; elles s'écrivent :

$$R_{th} = \int \left(\frac{\rho}{(W_e + 2 \cdot z) \cdot (L_e + 2 \cdot z)} \right) dz$$

Où ρ est la résistivité thermique de la couche considérée, W_e et L_e respectivement la largeur et la longueur de l'émetteur ; en effet dans cette approximation, la surface considérée pour le flux de chaleur est celle de l'émetteur et on considère que la chaleur est dissipée dans un milieu homogène. Or, tel n'est pas le cas des TBHs InP qui nous concernent, où le collecteur est inhomogène et constitue la zone où s'évacue l'essentiel du flux de chaleur dans les transistors bipolaires (70%) comme nous l'avons souligné précédemment.

Enfin, l'équipe de Mark Rodwell de l'UCSB a développé une troisième méthode en utilisant une approximation selon laquelle l'évacuation de la chaleur à travers le substrat se ferait de façon cylindrique tout près de la jonction base collecteur et de façon sphérique loin de cette dernière [9]. Dans sa formule, la différence de température entre le substrat et le transistor ΔT s'écrit :

$$\Delta T = \frac{P}{\pi \cdot \sigma_{InP} \cdot L_e} \cdot \ln\left(\frac{L_e}{W_e}\right) + \frac{P}{\pi \cdot \sigma_{InP} \cdot L_e}$$

On en déduit la résistance équivalente du transistor telle que :

$$R_{th} = \frac{1}{\pi \cdot \sigma_{InP} \cdot L_e} \cdot \ln\left(\frac{L_e}{W_e}\right) + \frac{1}{\pi \cdot \sigma_{InP} \cdot L_e}$$

Ainsi, ces diverses méthodes permettent de calculer d'un point de vue théorique la résistance globale des transistors. La dernière méthode semble néanmoins plus réaliste pour ce qui concerne les TBH dont la structure est verticale. Toutefois, quelle que soit la méthode choisie, il apparaît que le paramètre essentiel demeure la conductivité thermique des matériaux constituant le transistor. Il est dès lors impératif d'utiliser des matériaux à haute conductivité thermique afin d'obtenir des résistances thermiques les plus faibles et ainsi améliorer la dissipation thermique dans les composants InP. En effet, les ternaires utilisés en accord de maille sur InP sont tous thermiquement pauvres comme nous pouvons le constater sur le tableau 2-2 ci-dessous qui relève la conductivité thermique de ces matériaux ternaires.

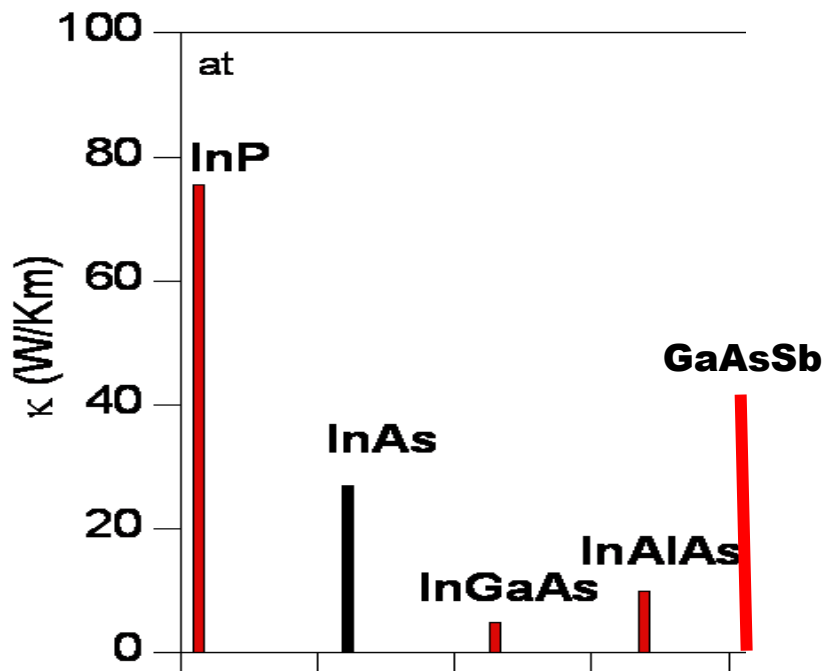


Tableau 2-2 : Conductivité thermique des ternaires en accord de maille sur InP

I-2-2/- Extraction de la résistance thermique

L'étude du comportement thermique des composants électroniques nécessite un modèle thermique en parallèle au modèle électrique existant par analogie électrodynamique comme l'a montré l'équipe du chercheur Oettinger [10]. Dans les transistors bipolaires, cela ramène à remplacer le courant de collecteur par la puissance qui y est dissipée P_{diss} et la tension électrique par la variation de température ΔT .

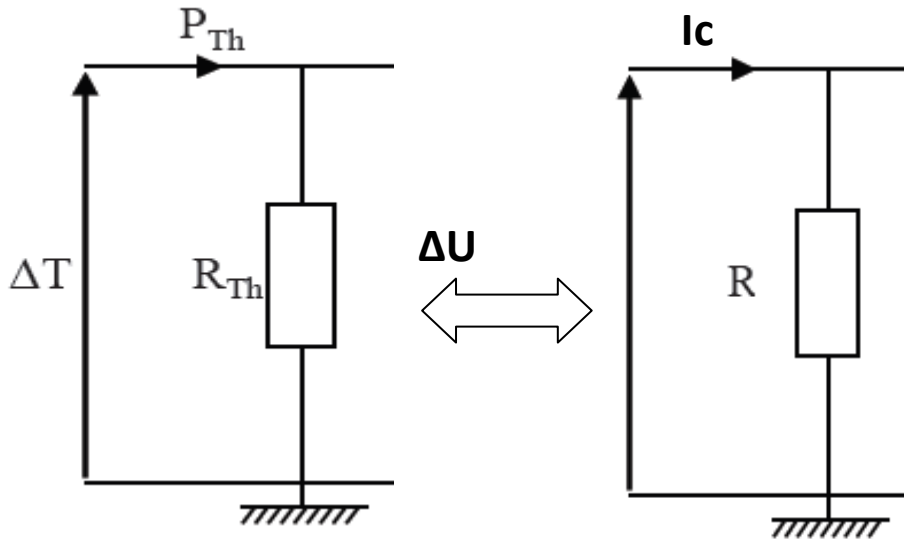


Figure 2-6 : modèle électrique équivalent d'un TBH

Lors du fonctionnement en régime statique, l'élévation de température observée est donc proportionnelle à la puissance dissipée par la formule ci-après qui représente les variations de ces deux grandeurs :

$$R_{th} = \frac{\Delta T}{P_{diss}}$$

R_{th} représente la résistance thermique du composant et s'exprime en K/W ou K/mW ; elle sert de référence pour exprimer la capacité d'un composant à évacuer la chaleur. Sa valeur doit donc être la plus petite possible afin de limiter l'effet de l'auto-échauffement sur les performances des TBHs. Comme nous pouvons le constater avec son expression, le calcul de la résistance thermique d'un composant nécessite la connaissance de sa température. La dissipation thermique dans les transistors s'exprime par $\Delta T = T_j - T_{subs}$ où T_j est la température moyenne de la jonction EB du composant et T_{subs} la température du substrat.

Dans les TBHs, les différentes relations existantes entre courants et tensions font intervenir la plupart du temps une dépendance en température. En effectuant des mesures électriques, (statiques donc) nous pouvons extraire la valeur de la résistance thermique en utilisant la tension V_{be} ou encore le gain en courant. Dawson et al ont démontré que la tension de la jonction EB V_{be} nécessaire pour créer un courant de collecteur donné diminue lorsque la température de la jonction augmente ; en effet, selon lui, le courant de collecteur s'écrit selon l'expression suivante où phi est appelé le coefficient thermo-électrique représentant l'évolution de la tension V_{be} en fonction de la température [11] :

$$I_c = I_{c0} \cdot \exp \left\{ \frac{q}{n \cdot k \cdot T_{subs}} \cdot (V_{bej} - \Phi \cdot (T_j - T_{subs})) \right\}$$

Néanmoins, la détermination de la résistance thermique grâce aux mesures électriques n'est possible qu'en faisant un certain nombre d'approximations.

- Tout d'abord, on suppose une température de jonction uniforme sur l'ensemble de la surface du composant ce qui n'est pas le cas en réalité.

Pour les mesures électriques nous considérons donc une température moyenne du composant

- On suppose également que la résistance thermique de même que la conductivité thermique des matériaux et/ou du composant est indépendante de la température ; or, la conductivité thermique de la plupart des matériaux varie avec la température comme le montre cet exemple sur la figure 2-7 suivante pour le silicium montrant l'évolution de K_{th} en fonction de la température.

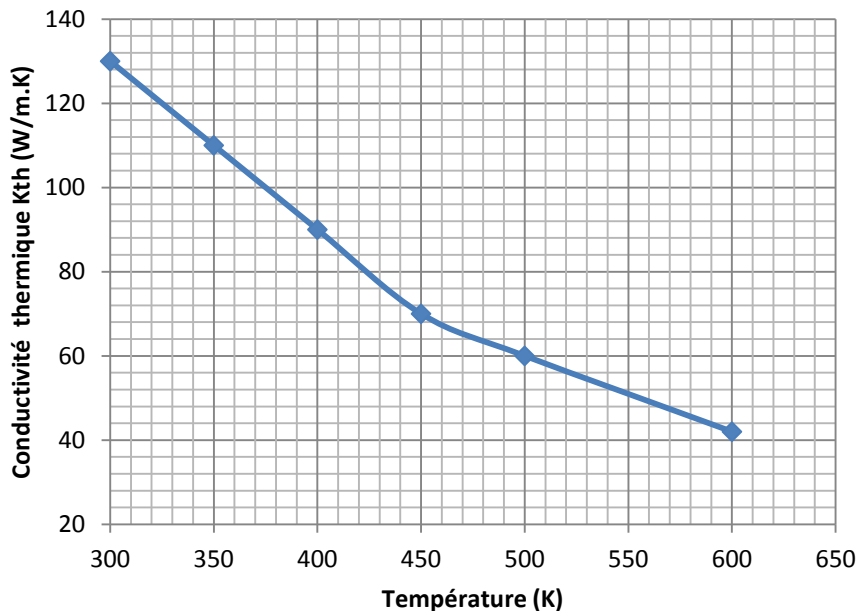


Figure 2-7 : Variation de la conductivité thermique en fonction de la température, cas du Si

Cependant, en dépit de ces approximations, la valeur extraite grâce aux mesures électriques de la résistance thermique du composant reste un paramètre significatif du comportement thermique des TBHs. Diverses méthodes sont présentes dans la littérature et permettent toutes une extraction rapide de la valeur de la résistance thermique avec les mesures statiques.

La méthode la plus facile à mettre en œuvre est celle reporté par [12] que nous avons utilisée. Le banc de mesure utilisé doit être contrôlé en température. La démarche comprend deux phases:

- ✓ Tout d'abord, une mesure de V_{be} à différentes températures de substrat pour un courant de collecteur I_c fixé afin d'en déduire sa variation en fonction de la température $V_{be}(T)$. Pour

cela, nous avons effectué des mesures de Gummel à différentes températures. Cette courbe (figure 2-8) permet d'extraire la valeur du coefficient thermo-électrique Φ grâce au calcul de la pente de la droite obtenue. Φ est tel que : $\Phi = \frac{\Delta V_{be}}{\Delta T}$

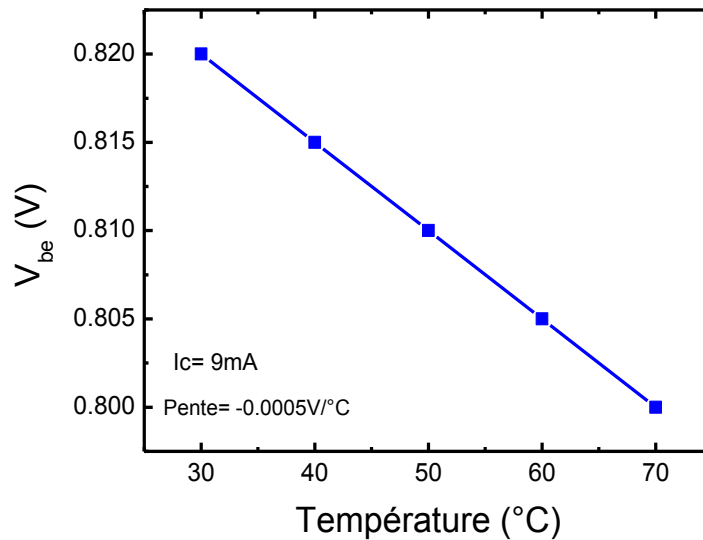


Figure 2-8 : Evolution de la tension émetteur-base V_{be} en fonction de la température pour un TBH reporté sur Si

✓ Pour la valeur de I_c choisie préalablement, nous effectuons ensuite une mesure de V_{be} à différentes valeurs de V_{ce} présentée figure 2-9. On obtient alors une loi de V_{be} en fonction de I_c ; à $I_c=9\text{mA}$, nous allons relever les écarts de tensions émetteur-base ΔV_{be} et émetteur-collecteur ΔV_{ce} . Il est à noter que la valeur du courant collecteur nécessaire pour l'extraction de la résistance thermique doit correspondre à une zone où le phénomène d'auto-échauffement existe.

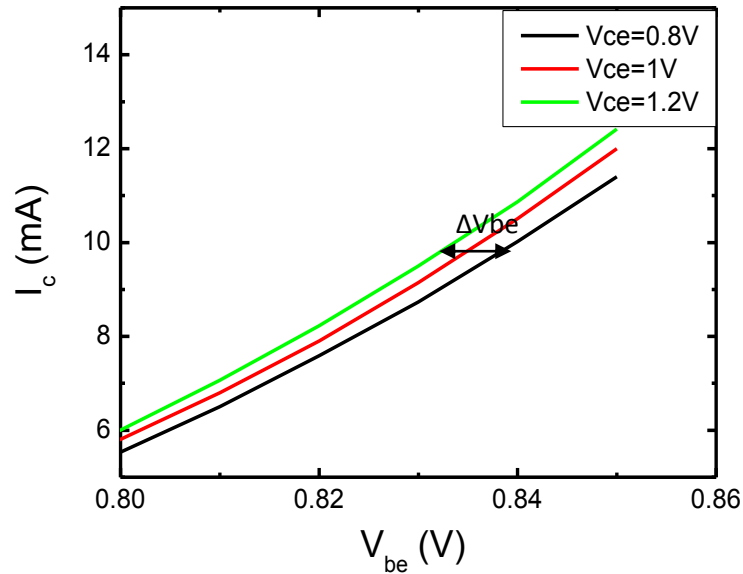


Figure 2-9 : Evolution du courant I_c par rapport à V_{be} pour différentes tensions V_{ce} pour un TBH reporté sur Si

La figure 2-9 permet ainsi de déduire le rapport de tension $\Delta V_{be} / \Delta V_{ce}$ et de calculer la résistance thermique obtenue grâce à la formule :

$$R_{th} = \frac{\Delta V_{be}}{\Delta V_{ce} \times I_c \times \Phi}$$

Une autre technique consiste à considérer la puissance dissipée $P_{diss} / P_{diss} = \Delta V_{ce} \times I_c$ en faisant varier V_{ce} comme précédemment. Grâce à l'évolution de la puissance dissipée en fonction de la tension V_{be} en fonction de la température, nous pouvons en déduire une loi de variation entre la puissance dissipée P_{diss} et la température afin d'en extraire la résistance thermique du composant comme le stipule la formule générale représentant les variations de la puissance dissipée en fonction de la température donnée en début de paragraphe. Ce qui ramène à une caractéristique linéaire présentée figure 2-10 dont la pente représente la résistance thermique du TBH ainsi caractérisée.

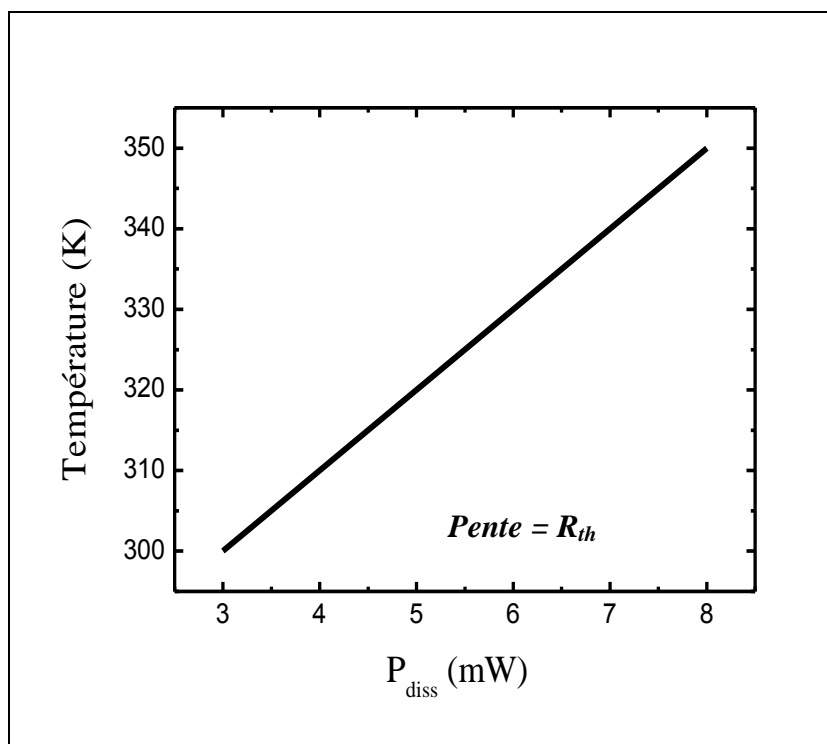


Figure 2-10 : Evolution de la puissance dissipée en fonction de la température

L'étude des phénomènes thermiques dans les transistors bipolaires à hétérojonctions a montré l'importance de la réalisation de nouveaux dispositifs ; ces derniers devront fonctionner à des fréquences de coupure très élevées tout en gardant un degré de fiabilité convenable en améliorant la dissipation thermique. Dans ce contexte, une nouvelle technologie a été développée dans le cadre de ces travaux de thèse ; elle consiste au report des couches actives de TBHs épitaxiées sur InP sur un nouveau substrat à haute conductivité thermique dissipant mieux la chaleur.

II/- Report de couches actives : Principe, motivations et possibles substrats hôtes

Comme cela a été vu dans la première partie de ce chapitre, la gestion thermique des transistors bipolaires destinés à la haute fréquence est un point essentiel en vue d'une meilleure fiabilité et de la limitation de la dégradation des performances fréquentielles. La plupart des matériaux semi-conducteurs utilisés dans nos structures de couches ont des valeurs de conductivité thermique peu élevées et dissipent donc mal la chaleur. Le report des couches actives déjà épitaxiées sur un substrat InP constitue donc une approche possible en vue d'améliorer la dissipation thermique dans les TBHs en utilisant un substrat avec de meilleures caractéristiques thermiques.

II-1/- Motivations

Le report de couches actives de TBHs permet, outre une croissance épitaxiale plus simple de nos structures, d'optimiser la dissipation thermique des composants lors de fonctionnement à très hautes densités de courant. C'est une solution technologique réalisable qui a été étudiée pendant ces travaux de thèse. En effet, l'optimisation de la dissipation thermique passe par une étude des différents matériaux semi-conducteurs composant la structure épitaxiale. Le paramètre significatif à prendre en compte dès lors est la résistance thermique de l'ensemble constituant les dispositifs. La résistance thermique d'une structure permet d'évaluer sa capacité à dissiper la chaleur ; plus sa valeur sera faible et mieux le système dissipera la chaleur. C'est pourquoi l'ensemble des efforts à fournir en vue de l'amélioration du comportement thermique des composants destinés aux hautes fréquences demeurent dans la réduction de cette valeur. Pour justifier cette approche, l'étude de la dégradation des propriétés de transport lorsque les transistors sont assujettis à de fortes densités de courant a été réalisée par de nombreux groupes de recherche [13] ; l'impact de la structure épitaxiale a de ce fait été démontré et des solutions menant à améliorer la résistance thermique ont été proposées. L'idée principale consiste à repérer les matériaux à faible conductivité thermique des structures épitaxiales de TBHs et de les remplacer par des matériaux semi-conducteurs à meilleure conductivité thermique afin de réduire la résistance thermique globale des dispositifs. Dans cette même voie, il a également été proposé une réduction considérable des épaisseurs des matériaux thermiquement pauvres pour réduire cette dernière valeur. Ainsi, le sous-collecteur des TBDHs à base d'InP, qui est souvent réalisé en InGaAs (valeur de conductivité thermique très faible) et doit rester assez épais, a été largement reconsidéré. D'abord, des études ont portées sur la réduction de son épaisseur mais des efforts supplémentaires ont également été entrepris sur la structure épitaxiale avec la réalisation de sous-collecteur composite InGaAs/InP [14]. En se basant sur un modèle à trois dimensions grâce à la méthode des éléments finis, le logiciel de simulation électro-thermique Technology Computer-Aided Design TCAD permet de prédire la valeur de la résistance thermique pour des TBHs.

Dans le cadre de collaboration avec le laboratoire IMS à Bordeaux, des simulations électro-thermiques en 3D réalisées à l'aide de TCAD ont été réalisées pour obtenir la résistance thermique caractéristique de nos structures. Deux structures classiques avec un émetteur en haut de structure ont été simulées avec deux épaisseurs de sous-collecteur différentes, 150nm et 15nm ; elles ont été comparées avec une structure inversée dite à collecteur métallique faisant l'objet de ces travaux. Les transistors à structure directe ont été réalisés au sein du laboratoire Alcatel-Thales III-V Lab et l'empilement des couches est présenté sur le tableau 2-3 ci-dessous.

Matériau	Nature	Epaisseur (nm)
InGaAs	Contact d'émetteur CE	100
InP	et Emetteur	220
InGaAs	Base	30
InP	Espaceur	200
InGaAs	Collecteur	150/15
InP	Sous-collecteur	350
InGaAs	Sous-collecteur	10
	Couche d'arrêt	

Tableau 2-3 : Structure épitaxiale de TBDH InP/InGaAs (réalisation III-V Lab)

Des réductions notables de la résistance thermique ont été observées, de l'ordre de 70% à 80% comme le montre la figure 2-11 ci-après pour différents types de substrat hôte entre une structure à sous-collecteur épais et une structure à collecteur métallique [15].

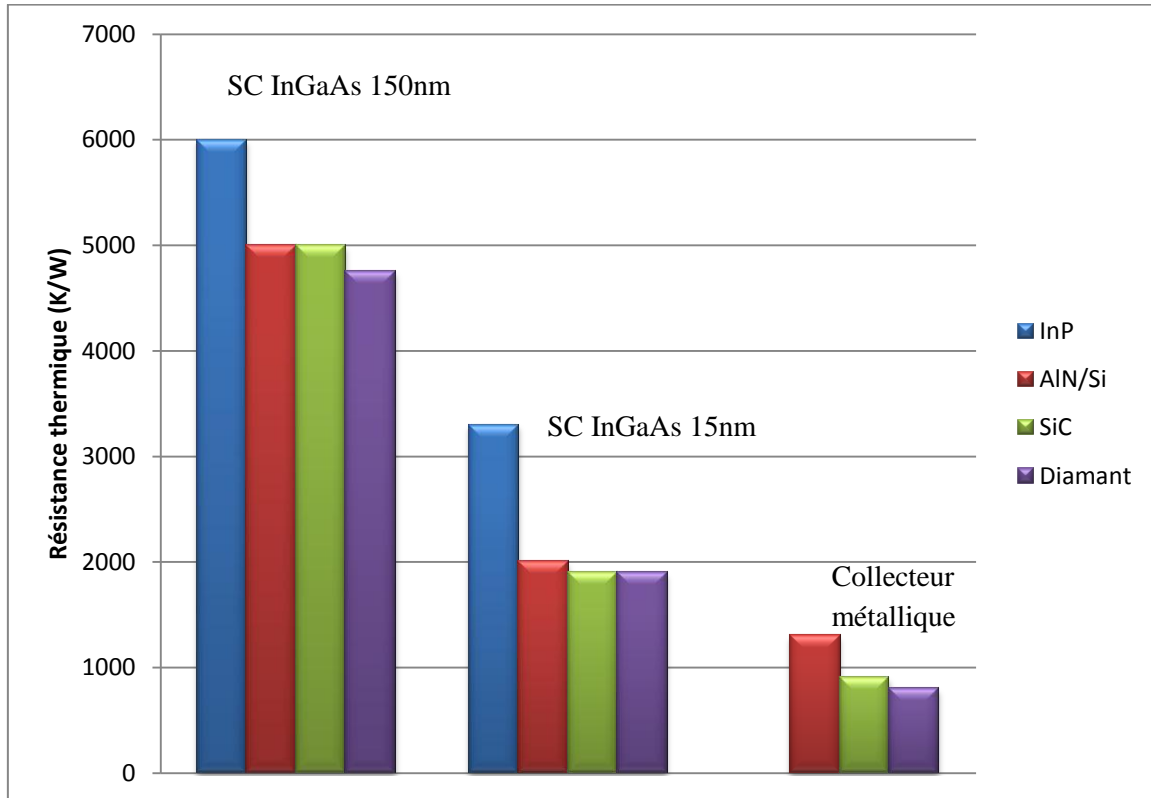


Figure 2-11 : Résistance thermique simulée de TBHs à base d'InP [15]

Ces simulations montrent clairement l'intérêt de l'utilisation de collecteur à structure métallique pour réduire considérablement la résistance thermique des transistors bipolaires. En utilisant un substrat hôte à haute conductivité thermique tels que le diamant, le nitrure d'aluminium AlN, le carbure de silicium SiC ou encore le silicium, il est possible de retrouver une structure dite à collecteur métallique grâce à la technique du report. En effet, cela nécessite la croissance d'une structure épitaxiale en configuration collecteur up afin d'avoir après report des couches actives une structure classique avec émetteur en haut de structure. De plus, cette structure ainsi épitaxiée ne nécessite plus un sous-collecteur souvent en InGaAs thermiquement pauvre et assez épais ; ce qui va dans le sens d'une réduction de la résistance thermique des transistors si bien réalisés. Le résultat des simulations, bien que confirmant que la contribution majeure à la résistance thermique provient du sous-collecteur (environ 60% de réduction de R_{th} pour une réduction de son épaisseur d'un facteur 10), montre que l'apport du substrat originel en InP n'est pas négligeable même si sa conductivité thermique est bien supérieure à celle de l'InGaAs par exemple. Le remplacer par des substrats hôtes avec des meilleures conductivités thermiques permettrait de réduire davantage la valeur de R_{th} ; le report des couches actives de TBHs sur de nouveaux substrats trouve ici toute son importance.

L'idée d'une structure alternative reportée sans couche de sous-collecteur est donc justifiée au vue de l'amélioration considérable de la résistance thermique menant à la limitation des effets d'auto-échauffement dans les transistors bipolaires à base d'InP que ce soit sur Si, SiC, AlN ou encore sur du diamant.

II-2/- Principe

Les TBHs à base d'InP initialement réalisés au sein du laboratoire présentaient une structure de couches classique, tous les éléments étant épitaxiés en accord de maille les uns sur les autres comme présenté sur la figure 2-12-a). Cette structure faisait essentiellement appel à deux matériaux semi-conducteurs que sont l'InGaAs et le GaAsSb tous deux thermiquement pauvres (Cf 1^{ère} partie). Pour reporter ces couches actives de transistor sur un autre substrat avant la réalisation technologique des dispositifs, une structure épitaxiée en inverse est requise. En effet, pour retrouver un procédé de fabrication de TBH classique avec un émetteur en haut de structure, la croissance des couches actives doit se faire collecteur-up (figure 2-12-b)). Cela possède l'avantage de déboucher sur une structure de couches beaucoup plus simple, un sous collecteur n'étant plus nécessaire. Le principe de report (Cf page 53) consistera dès lors à un transfert des couches actives de TBHs sur un nouveau substrat hôte évacuant mieux la chaleur tels que le diamant, le nitrure d'aluminium AlN ou encore le silicium. Le choix du substrat hôte sera étudié plus en détail dans la troisième sous-partie de ce paragraphe.

Contact Emetteur	InGaAs
	InP
Emetteur	InP
Base	GaAsSb
Collecteur	InP
Sous-collecteur	InP
	InGaAs
	InP
	InGaAs
Buffer	InP
Substrat	InP

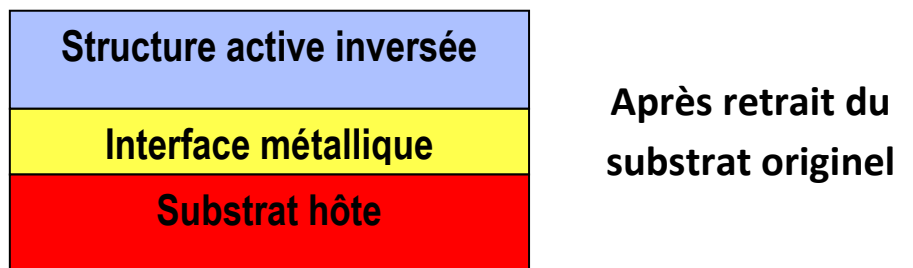
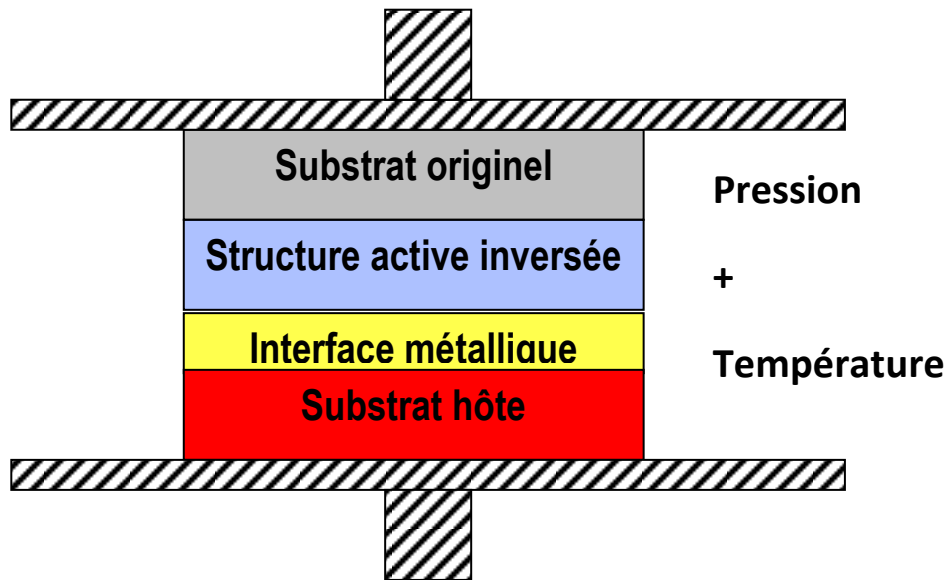
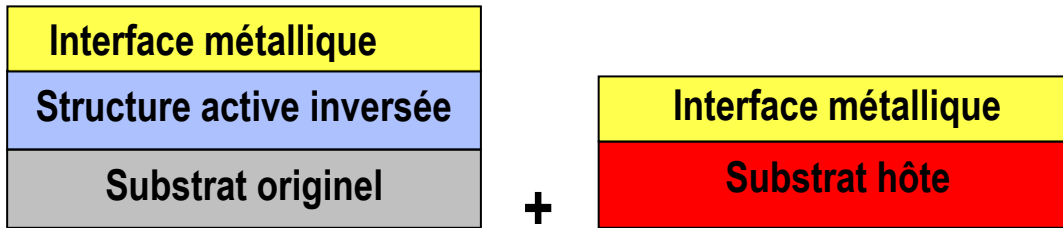
a)

Collecteur	InP
Base	GaAsSb
Emetteur	InP
Contact Emetteur	InP
	InGaAs
Buffer	InP
Substrat	InP

b)

Figure 2-12 : Structure épitaxiale de TBDH InP/GaAsSb a) classique et b) inversée

Principe schématisé d'un report de couches actives



II-3/- Possibles substrats hôtes

Comme nous venons de le stipuler dans le paragraphe précédent, plusieurs substrats sont susceptibles d'être utilisés en vue d'un report des couches actives de nos TBHs pour améliorer la dissipation thermique. Selon la méthode de collage utilisée et les caractéristiques du substrat, le procédé de fabrication technologique des composants submicroniques pourra être simplifié. Parmi ces substrats, nous pouvons citer le diamant, l'AlN, le SiC mais également le Si.

Le diamant est connu pour sa valeur de conductivité thermique exceptionnelle, la meilleure parmi tous les matériaux utilisés en microélectronique ; des valeurs d'environ 1800W/K.m ont été avancées dans la littérature [15]. Cela en fait de loin un candidat de choix en tant que conducteur de chaleur, et réduire ainsi l'auto-échauffement constaté dans les transistors bipolaires lors de fonctionnement à très hautes densités de courant [16]. Pour une utilisation en tant que substrat de composants électroniques destinés à la haute fréquence, le diamant est un isolant électrique remarquable ; ce qui est indispensable pour la caractérisation en fréquence des transistors ainsi réalisés.

Le nitrure d'aluminium AlN est également un isolant électrique performant pour des applications HF grâce à une valeur de résistivité électrique élevée. Il a également de bonne propriété thermique en ce qui concerne la conductivité thermique, avec une valeur près de trois fois supérieure à celle de l'InP originel. Ces propriétés en font tout comme le diamant un candidat de choix en tant que substrat hôte de report de couches actives de TBHs.

Enfin, le silicium et le carbure de silicium restent également des substrats hôtes susceptibles de convenir pour le report des couches actives. En effet, leurs conductivités thermiques sont nettement meilleures que le phosphore d'indium et ils sont tous deux largement utilisés en nanofabrication. Néanmoins, pour des raisons évidentes d'isolation, il est nécessaire d'obtenir une couche supplémentaire d'isolation sur le carbure de silicium, ce qui ne va pas dans le sens d'une meilleure évacuation thermique. Toutefois, le Si est aujourd'hui disponible sous forme de substrat pour la microélectronique avec des résistivités électriques très élevées obtenues par oxydation thermique permettant son utilisation en tant qu'isolant électrique des plots de contact des transistors ainsi réalisés.

Après avoir porté notre attention sur les motivations de ce travail en vue de l'amélioration de la dissipation thermique des transistors lors de leur fonctionnement à très haute densité de courant, nous avons schématisé le principe du report de couches actives de transistors bipolaires. Les différents substrats possibles ont été passés en revue dans cet objectif ; dans ce qui suit, nous allons voir que la technique de report utilisée, de même que les paramètres nécessaires en vue d'une bonne qualité à l'interface du collage nous ont guidés dans le choix du substrat hôte final. Les caractéristiques des différents substrats hôtes possibles seront étudiées plus en détail. Ainsi, après avoir présenté l'outil d'assemblage utilisé dans le cadre de ces travaux et les différentes méthodes de collage possibles, nous allons discuter du choix du substrat hôte et des paramètres de thermo-compression à travers divers essais.

III/- Méthodes de thermo-compression

Le phosphore d'indium InP est un matériau avec des propriétés thermiques moins élevées que certains semi-conducteurs ou céramiques (AlN, SiC, Si ou encore diamant) disponibles pour la microélectronique ; l'idée de le remplacer par un de ces quatre matériaux en utilisant une technique de

report est donc justifiée. Diverses techniques peuvent s'offrir à nous dans cet objectif ; au sein de notre institut, nous disposons d'une machine de report Substrate Bonder SB6e acquise récemment et une expérience sur la machine avait déjà été établie précédemment. Après une brève description de cet outil et une revue des différentes techniques de report possibles, nous allons particulièrement nous attarder sur la technique choisie pour le report de couches actives en vue de l'optimisation de la dissipation thermique dans les transistors bipolaires à base d'InP.

III-1/- Le « Substrate Bonder » et les différentes techniques de report possibles

Le Substrate Bonder 6 est un matériel de haute précision du laboratoire Suss Microtec destiné à la réalisation de report de matériaux microélectronique de diverses natures. Il est doté d'un équipement de transport d'échantillons de haute qualité et d'un contrôle semi-automatique par ordinateur (software + hardware) pour la manipulation et permet la création d'une connexion temporaire ou permanente entre deux (ou plus) substrats grâce à une force et une chaleur. Son utilisation fait appel à certaines difficultés d'ordre pratique pour la formation d'un collage stable et solide notamment via la préparation avant collage ; les surfaces doivent être propres pour éviter la création de vides au niveau du joint de collage.

La chaleur nécessaire au procédé technologique de collage dans le SB6 est générée par des éléments chauffants et des températures jusqu'à 550°C sont possibles ; un thermocouple présent sur ces derniers permet de contrôler la température. Les deux éléments chauffants haut et bas sont contrôlés indépendamment et un système de refroidissement est placé sur l'élément bas pour réduire le temps nécessaire au refroidissement de l'ensemble après collage. Ces éléments chauffants sont en céramique et acier inoxydable pour une meilleure durée de vie.

L'équipement de transport des échantillons possède un support pour chaque taille de substrat, de même que trois espaceurs et trois sabots de fixation ; cet ensemble permet ainsi une bonne tenue de l'empilement destiné au collage. En effet, pour un résultat de collage optimum, l'atout principal réside dans le choix de la pression et du support utilisé. Pour une meilleure uniformité, une feuille de graphite est rajoutée à l'ensemble ainsi constituée.

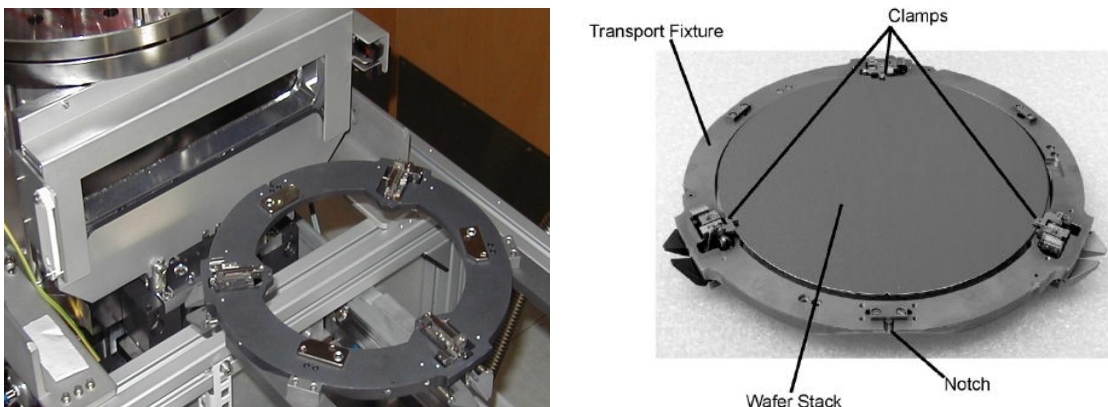


Figure 2-13 : Description de l'outil d'assemblage du SB6e

Différentes méthodes de collage sont possibles grâce au « Substrate Bonder » selon la température, la force exercée et le joint de collage utilisé ou pas. Il s'agit de collages dit Eutectique, Anodique, Adhésif ou encore par thermo-compression (cf Annexe SB6e); dans les quatre cas, le procédé nécessite une température, une force (ou pression) et un support de bonne qualité.

Le collage par eutectique est un procédé d'assemblage de deux substrats de diverses natures grâce à la formation d'une interface ou joint par des phénomènes de diffusion. Cette technique utilise la phase de fusion liquide de métaux dans la plupart des cas jusqu'à ce que l'alliage eutectique entre les deux métaux concernés se forme [17] ; le report nécessite alors d'utiliser des métaux avec des températures de fusion les plus basses possibles. Des premiers travaux ont été publiés dans la littérature [18] sur les techniques de collage eutectique en utilisant l'indium par exemple pour former un joint avec l'or. En effet, le collage eutectique nécessite en plus de l'or, un deuxième métal capable de subir des phénomènes de fusion et de réagir avec l'or formant ainsi un joint d'étanchéité entre les deux surfaces à coller. Dans cet exemple, à la température de fusion de l'indium soit environ 157°C [19] des alliages d'or et d'indium sont formés et permettent un collage effectif des surfaces en regard. Selon les proportions d'Indium et d'Or utilisées, la qualité du joint de même que sa stabilité dans le temps pourront s'améliorer. Simic et al.[20] ont montré qu'il était même possible de créer des alliages Au/In à température ambiante uniquement en jouant sur ces proportions. D'autres alliages eutectiques sont possibles et ont fait l'objet de diverses études ; c'est le cas par exemple de l'alliage Au/Sn [21] ou Au/Si mais également Au/Ge. Leurs températures de fusion respectives sont 280, 363 et 361°C. Ces températures, assez élevées comparées à celle nécessaire pour l'Indium, montrent l'intérêt de l'utilisation de l'alliage Au/In pour le collage de substrat délicat nécessitant un procédé de collage basse température. Une autre particularité de l'indium reconnue demeure en ses propriétés adhésives excellentes sur la plupart des métaux et non métaux [22]. Néanmoins, suite à des procédés de collage très longs, l'indium est sujet à une fatigue thermique [23] et des déformations liées au collage peuvent apparaître. Selon le type d'applications, ces déformations ont été étudiées [24] et dépendent des conditions de collage utilisées c'est-à-dire la température et la pression d'où l'intérêt de mener une étude en température et en pression.

Une autre technique possible existant dans la littérature est le collage anodique. Elle a été démontrée depuis 1969 [25] et est une technique de collage de deux substrats très largement utilisée dans des applications micro-systèmes sur silicium. Elle permet le collage de substrats Si sur un autre substrat de Si ou de verre à haute température grâce à un champ électrostatique et résulte sur la création d'une interface de collage solide. Le collage devient effectif une fois la tension appliquée entre les deux substrats à coller ; plus la température sera élevée et plus le courant résultant y sera grand, causant une interface de meilleure qualité [26]. Néanmoins, cela nécessite des temps de collage assez longs d'une heure à quelques heures; c'est pourquoi afin de réduire ce temps pour des composants électroniques ne supportant pas de très haute température sur une longue durée, des travaux ont été réalisés et portent sur l'utilisation d'une tension pulsée [27]. Cette technique a permis de réduire les temps de collage d'environ 30%. L'utilisation principale du collage anodique réside dans le packaging de micro-actionneurs et autres systèmes MEMS mais également dans des systèmes micro fluidiques [28].

La troisième technique de report également possible grâce au SB6e est le report par une technique adhésive. Elle consiste comme son nom l'indique au collage de deux substrats en utilisant une interface non métallique de type adhésive. Les premières réalisations pour cette technique ont commencé suite à l'apparition de matériaux adhésifs préparés synthétiquement [29] comme les résines ou polymères. Le développement de ce type de matériaux en vue de leur utilisation en tant qu'interface de collage s'explique par le fait que la plupart d'entre eux adhère très facilement aux matériaux

organiques et inorganiques. Des collages adhésifs utilisant du BCB ont d'ailleurs fait l'objet de nombreux travaux à travers le monde et plus particulièrement au sein du laboratoire [30]. Les principaux avantages de cette technique sont l'utilisation de température de collage élevée, dès lors que la plupart des adhésifs possibles ne sont pas affectés par la température, mais également la possibilité de reporter de grandes surfaces avec des qualités de report convenables. L'inconvénient majeur de cette technique concerne malheureusement la durée de vie de l'interface de collage ainsi réalisé ; en effet, la plupart des polymères utilisés tels que le BenzoCycloButène BCB sont sujets à un décollement dans le temps après plusieurs étapes technologiques. De même, ces polymères sont également très pauvres en termes de conduction thermique (conductivité thermique égale à 0.29 W/K.m [31]) et ne sont donc pas utilisables pour notre application en vue de l'amélioration de la résistance thermique globale de nos dispositifs. Enfin, une équipe de l'université de Cincinnati a démontré une technique de report appelé UV adhésif à température ambiante en utilisant un masque de résine UV [32]. Cette technique permet l'utilisation du report pour des puces biologiques à basse température et des temps de collage très courts sont possibles. Son application principale demeure dans les structures micro fluidiques pour des applications BioMEMS.

La dernière technique de report, très largement utilisée en micro et nano technologies, est le report par thermo-compression. Il s'agit du collage de deux substrats en utilisant une interface métallique, habituellement de l'or. C'est une technique réalisable à basse température (100-350°C) nécessitant une pression ou force. C'est grâce à cette force exercée de même que la fusion de l'or sous l'effet de la température que se forme le joint métallique entre les deux surfaces en regard. L'or est largement utilisé du fait de sa bonne teneur à l'oxydation mais également parce que c'est un très bon conducteur thermique. Néanmoins, afin de garantir un collage effectif entre deux substrats, il est indispensable de procéder à un traitement de nettoyage avant la mise en regard des échantillons à coller pour éviter ainsi l'emprisonnement de poussières ou résidus pouvant provoquer un défaut de collage. Cette technique peut être envisagée avec des substrats de divers types semi-conducteurs, céramiques ou pour reporter des composants électroniques déjà réalisés. Plusieurs expériences sur ce type de report ont été reportées dans la littérature en ce qui concerne les micro et nano technologies. En guise d'exemple, un groupe de chercheurs de l'université de Huazhong en Chine ont utilisés cette technique pour reporter des nanotubes de carbone sur un substrat de silicium [33].

De part la description de ces quatre principales techniques de report, il apparaît que :

- Le collage eutectique, selon l'alliage métallique utilisé, permet le report de deux substrats à des températures relativement basses notamment pour le couple Au/In
- Le collage anodique est plus adéquat lorsqu'il s'agit de collage entre un substrat de silicium par exemple et du verre
- Le collage adhésif à base de polymères s'utilise dans le cadre d'applications biologiques et/ou MEMS ; de plus les polymères utilisés sont de très mauvais conducteurs
- Le collage par thermo-compression Au-Au permet de coller deux substrats de même nature ou différents à basse température et peut être approprié à plusieurs applications en microélectronique

Dans le but d'un report de couches actives en vue de l'amélioration de la dissipation thermique, le collage eutectique de même que la technique dite de thermo-compression peuvent être utilisés. Le SB6e disponible au sein de notre laboratoire permet des méthodes de thermo-compression et une expertise sur ce type de collage existe. C'est pourquoi, nous avons choisi d'utiliser cette méthode dans la cadre de la réalisation de report de couches actives de TBHs sur substrat à haute conductivité thermique.

III-2/- Transfert de substrat dans les transistors bipolaires à hétérojonctions

Le transfert de substrat dans la technologie bipolaire a déjà été étudié à travers quelques travaux mais les techniques diffèrent de notre approche et les motivations également.

Déjà à la fin des années 90, l'équipe du professeur Rodwell avait proposé des TBHs à base d'InGaAs avec une technologie de transfert de substrat [34]. Leur but était de réaliser des amplificateurs large bande (80GHz) à base de circuits intégrés grâce à des transistors bipolaires. Cependant, pour atteindre des largeurs de bande conséquentes, le principal facteur de mérite demeure la fréquence maximale d'oscillation F_{max} . C'est pourquoi, afin d'augmenter la valeur de cette dernière, des efforts technologiques ont été entrepris. C'est ainsi qu'ils ont avancé l'idée d'une technologie dite de transfert de substrat dans le but d'améliorer la fréquence maximale d'oscillation F_{max} des transistors bipolaires ; le transfert de substrat permet, dans leur cas de figure, de reporter le contact de collecteur sur la face arrière du substrat hôte par eutectique et de s'affranchir ainsi des limites posées par les dimensions latérales des transistors (figure 2-14).

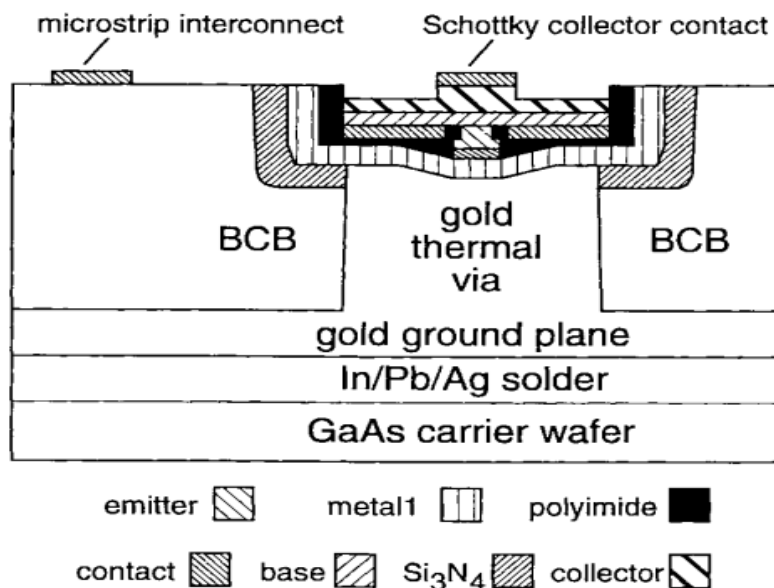


Figure 2-14 : Représentation schématique du procédé de transfert de substrat [34]

Cela permet le contrôle de la jonction base-collecteur des TBHs et rend possible une minimisation de la capacité Base-collecteur et donc l'augmentation de F_{max} . Dans les premiers travaux liés à cette technologie, le collecteur était reporté sur un substrat en GaAs grâce à une interface métallique d'or et d'un alliage In/Pb/Ag avec une conductivité thermique élevée [35]. Plus tard, ils ont reporté des TBHs InGaAs/InP avec un $F_{max} = 425\text{GHz}$ [36] avec cette même technologie de transfert de substrat.

Partant des travaux précédents, une équipe de chercheurs de l'université de Duisburg en Allemagne ont tenté de reporter un TBH InP/InGaAs et ont obtenu une fréquence maximale d'oscillation F_{max} de 110GHz sans optimisation de la structure épitaxiale [37]. Leur approche consiste quant à elle à venir reporter les contacts d'émetteur, de base ainsi que les accès pour les mesures RF sur un substrat

hôte de Silicium en protégeant la jonction émetteur-base par du BCB et du polyimide. Une fois le report effectué et le substrat originel retiré, le contact de collecteur est directement déposé par lithographie optique. Cette technique comme dans les exemples précédents permet de réduire la capacité de la jonction base-collecteur. Néanmoins, du fait des polymères utilisés, les résultats montraient une dégradation notable des caractéristiques statiques des composants reportés.

Enfin, plus récemment, de nombreuses études ont été présentées par Kraemer et son équipe au FBI à Berlin. Ils ont reporté des DTBH InP/InGaAs sur un substrat hôte d'AlN par thermo-compression et ont atteint des performances hyper fréquentielles remarquables concernant le couple F_t/F_{max} avec des valeurs supérieures à 400GHz [38,39]. La technique consiste en la réalisation des contacts d'émetteur et de base en face avant en technologie conventionnelle suivie du report de la structure face arrière sur le substrat hôte par thermo-compression grâce à une interface d'or et retrait du substrat originel par voie humide. Pour finir le procédé technologique de transfert, le contact de collecteur est déposé par lithographie optique par alignement en face arrière. Cette technologie permet de s'affranchir de la partie extrinsèque de la jonction base collecteur ainsi que des éléments parasites qui en découlent ; ce qui conduit à une amélioration non moins négligeable de F_{max} supérieure à 30%. En parallèle aux transistors, des éléments passifs tels que des inductances et des capacités ont permis de réaliser des amplificateurs à large bande à une fréquence de coupure de 70GHz.

Néanmoins, même si ces techniques de transfert de substrat permettent l'amélioration des facteurs de mérite du transistor et plus particulièrement de la fréquence maximale d'oscillation F_{max} , il n'en demeure pas moins que la technologie utilisée reste très complexe. En effet, ce report de TBH par thermo-compression souffre d'un manque de rendement de fabrication technologique car difficile à mettre en œuvre pour des transistors submicroniques. C'est pourquoi, l'approche que nous avons choisi d'exploiter semble plus facile à mettre en œuvre ; il s'agit du report des couches actives en structure collecteur-up puis de réaliser la fabrication des composants après report en technologie standard avec l'émetteur en haut de structure. Le but de cette approche est de s'affranchir du substrat originel d'InP et de le remplacer par un substrat à plus haute conductivité thermique pour améliorer la dissipation thermique dans les transistors bipolaires.

III-3/- Choix du substrat hôte

III-3-1/- Problématiques et caractéristiques nécessaires

En vue d'un choix convenable de substrat pouvant servir au report de nos couches actives, plusieurs éléments doivent être pris en compte ; cela nous positionne donc avec essentiellement de types de contraintes. Tout d'abord, le matériau choisi devra posséder de bonnes propriétés thermiques à savoir une valeur de conductivité thermique élevée. Face à cette contrainte thermique et comme nous l'avons relevé auparavant dans ce chapitre, le diamant est de loin le matériau le plus adapté ; en effet il a une valeur de conductivité thermique largement supérieure à celle de la plupart des matériaux semi-conducteurs disponibles pour la microélectronique. Néanmoins, le nitrure d'aluminium et le silicium restent de bons candidats pour notre report par thermo-compression, de même que le carbure de silicium comme le montre les valeurs représentées sur le tableau 2-4 ci-après. Pour des applications « circuits RF », le carbure de silicium reste le meilleur choix. Concernant les applications « low cost », le silicium et le nitrure d'aluminium sont les meilleurs candidats. Enfin, en ce qui concerne le diamant, sa difficulté de procuration et son coût très élevé en font un candidat inenvisageable.

Ainsi, dans le cadre des applications visées durant ces travaux et du fait du faible coût envisagé pour nos dispositifs, il apparaît que le silicium et le nitrure d'aluminium soient les deux substrats de choix envisageables.

Matériaux	Diamant	InP	SiC	Si	AlN
Conductivité thermique (W/K.m)	1800	68	190	130	170

Tableau 2-4 : Conductivité thermique de substrats hôtes possibles

Par ailleurs, la thermo-compression à haute température de deux substrats engendre des contraintes thermomécaniques attribuables aux paramètres du report mais également aux différences de coefficient de dilatation thermique entre les matériaux. Ce coefficient traduit la capacité d'un matériau à se dilater sous l'effet de la chaleur présente lors du report dans le « Substrate Bonder ».

L'application d'une pression, nécessaire pour qu'un collage intime se fasse, entraîne une déformation à l'interface entre les deux substrats à lier. La force exercée par l'outil de pression n'étant pas la même sur l'ensemble de la surface à coller, on assiste à la présence d'une force plus importante au centre du sandwich réalisé. Cela entraîne une courbure de l'ensemble de l'échantillon depuis le centre que l'on peut évaluer en mesurant les épaisseurs de l'empilement avant et après le report ; la différence entre ces deux épaisseurs permet d'obtenir la valeur de cette déformation appelée flèche ou rayon de courbure. Cette première déformation est donc d'origine mécanique et est représentée schématiquement sur la figure 2-15 ci-dessous.

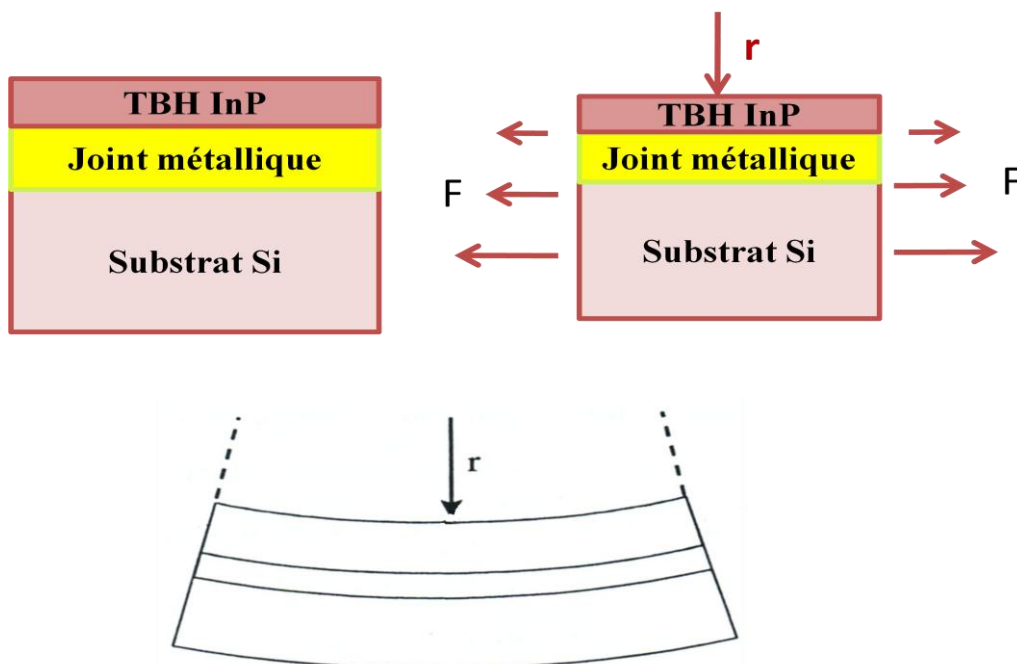


Figure 2-15 : Description d'une déformation mécanique due à la thermo-compression

En effet, lors du collage de deux matériaux différents, il faut veiller à ce que leurs coefficients de dilatation thermique soient les plus proches possibles pour éviter des problèmes lors du collage. Evidemment, le report par thermo-compression fait intervenir une déformation associée au collage (pression) comme nous l'avons expliqué précédemment mais également des contraintes dues à la différence des coefficients de dilatation thermique entre les deux matériaux en regard. Si sous l'effet de la température la dilatation (ou expansion) des deux substrats et du joint de collage ne se fait pas de la même manière, des déformations peuvent apparaître à l'interface entre les deux couches d'or ce qui a pour conséquence une dégradation de la qualité du report (solidité du joint métallique de collage).

Des analyses ont été faites à ce propos en s'appuyant sur une modélisation bidimensionnelle et des simulations 3D d'empilement destiné au report à haute température [40]; elles ont entre autres montré que les déformations observées sont directement liées aux coefficients de dilatation thermique des matériaux composant l'empilement final. Ce critère doit donc être pris en compte pour le choix du substrat hôte dans le but d'obtenir une solidité du joint métallique de collage. L'InP possède un coefficient de dilatation thermique présenté dans le tableau 2-5 très proche de celui de l'AlN, ce qui en fait un très bon choix comme substrat hôte en vue du report des couches actives par thermo-compression. Le diamant possède quant à lui la valeur la plus éloignée de celle du substrat initial en InP.

De plus, sous l'effet de la température indispensable pour la création d'un joint solide à l'interface entre les deux couches d'or, on assiste à une deuxième déformation d'origine thermique cette fois-ci. Cette déformation intervient dès lors que les matériaux subissent une modification de leurs propriétés du fait de l'augmentation de la température. C'est-à-dire que la température participe à la déformation de la plupart des matériaux par l'intermédiaire de certaines caractéristiques physiques telles que le module de Young par exemple [40].

Matériaux	InP	AlN	Si	Diamant	SiC
Coefficient de dilatation thermique (*10 ⁻⁶ /°C)	4.8	5	3.2	2.5	3.8

Tableau 2-5 : Coefficients de dilatation thermique de différents semi-conducteurs

Les TBHs qui seront par la suite réalisés technologiquement sont destinés à des applications fréquentielles et passeront donc par des mesures en hyper fréquences. Pour se faire, les substrats utilisés doivent être des isolants électriques très performants afin d'assurer l'isolation des plots de contact Emetteur Base et Collecteur des transistors bipolaires. Dans ce contexte, le nitrure d'aluminium AlN et le diamant constituent des matériaux adéquats ; leurs valeurs de résistivités électriques respectives sont de 10¹³ et 10¹² Ω.cm. Il en est de même pour le silicium à haute résistivité électrique disponible avec des valeurs > 10⁸ Ω.cm. Ces trois matériaux, sur ce critère, seront un très bon choix en tant que substrat hôte.

Enfin, le dernier critère indispensable pour le choix du substrat hôte est un critère purement économique. En effet, dans le cadre du projet concerné par ces travaux de thèse, le choix du substrat hôte doit prendre en compte un faible budget. Un substrat moins onéreux et satisfaisant également aux critères précédents serait un excellent compromis.

Les tableaux récapitulatifs que nous venons de voir permettent de conclure que les deux substrats pouvant parfaitement convenir au vue du cahier des charges qui nous est donné sont le nitrure d'aluminium AlN mais également le silicium à haute résistivité électrique.

III-3-2/- Caractéristiques du nitrure d'aluminium AlN

Grâce aux nouvelles techniques de fabrication désormais disponibles, le nitrure d'aluminium a fait son apparition sur le marché de la microélectronique. Son succès est dû à sa conductivité thermique très élevée, une des meilleures parmi tous les matériaux utilisables comme substrat mais également à son coût car pas du tout onéreux. Seule sa conductivité thermique ne serait une justification suffisante à l'utilisation de l'AlN ; d'autres propriétés nous ont tournés vers ce substrat. L'AlN est un matériau très solide et dense. Son coefficient d'expansion thermique est très proche de celui de l'InP, ce qui améliore la conduction thermique globale du collage évitant ainsi des phénomènes liés au stress pendant la phase de collage de l'empilement concerné. A température ambiante, l'AlN possède une résistivité électrique supérieure à $10^{13} \Omega \cdot \text{cm}$ [41] ce qui lui confère de bonnes propriétés électriques en tant que substrat pour la réalisation de composants destinés à de très hautes fréquences. Elle est également résistante à la plupart des acides utilisés en nano fabrication, et dispose entre autres d'une bonne résistance à la flexion et à la température. Ces critères énoncés sont d'une grande importance pour la réalisation d'un collage de bonne qualité et à haute caractéristique thermique c'est-à-dire sans défauts pouvant être néfaste à la réalisation technologique de dispositifs submicroniques.

III-3-3/- Caractéristiques du Silicium

Comme nous l'avons vu dans la première partie de ce paragraphe, le silicium en dépit d'un coefficient de dilatation thermique pas très proche de celui de l'InP, peut néanmoins être un très bon candidat pour le report de couches actives de TBH en vue de la dissipation thermique. Cette différence de coefficient d'expansion thermique a pour conséquence lors du collage d'entraîner des déformations d'origine thermomécaniques de nos échantillons. Cela pourra être réduit notamment en utilisant un processus de collage à basse température. Par ailleurs, le silicium a l'avantage d'être pas cher, disponible en très grande quantité et bien connu pour la réalisation technologique de dispositifs microélectroniques. Son utilisation dans le cadre du report des couches épitaxiées ne serait donc pas anodine et peut amener à des résultats de collage d'une qualité satisfaisante c'est-à-dire avec une interface sans défauts (surface plane).

III-4/- Thermo-compression de couches actives de TBHs

III-4-1/- Report de couches actives sur AlN

Forts des caractéristiques du nitrure d'aluminium énoncées précédemment, nous avons entrepris des travaux d'essais de collage de couches actives de TBHs sur un substrat hôte d'AlN de taille deux pouces. Afin de trouver les paramètres optimums nécessaires pour la réalisation d'un collage de très bonne qualité, des études ont été menées sur la température et la pression (force résultante). En effet, le choix du substrat hôte seul n'est pas un critère suffisant pour l'obtention d'un report de couches actives convenable.

Avant ces travaux de thèse, l'état des lieux du report par thermo-compression Au/Au à l'IEMN consiste en un stage de master effectué en 2008 au sein de notre équipe pour le report de couches actives de TBHs. D'autres travaux ont également été effectués mais concernaient le collage de microsysteme par le biais de polymères. Les paramètres de pression et température ont été étudiés et optimisés auparavant pour ces applications. Les valeurs de température étaient de 200°C pour le report de TBHs à une pression de 5 bars. C'est ainsi qu'ont débuté ces travaux sur le report de couches actives de TBHs sur substrat hôte d'AlN partant de ces premiers paramètres.

Cependant, en raison des applications visées c'est-à-dire le transfert de la technologie de report pour la réalisation de transistors aux dimensions submicroniques, un plan de manipulation a été dressé en prenant en compte les contraintes qui s'imposent à nous. Tout d'abord, les contraintes en température sont imposées d'une part par le procédé de fabrication de TBHs ; en effet, les transistors devront subir un à plusieurs recuits de contact et/ou dû à la lithographie jusqu'à 200°C mais pour conserver la qualité des couches épitaxiées, des températures trop élevées ne doivent pas être utilisées (< 400°C). D'autre part, l'augmentation de la température lors du report permet d'améliorer la qualité du collage. De plus, du fait de l'interface métallique nécessaire pour la thermo-compression, il est indispensable de limiter la montée en température et éviter des problèmes de diffusion précoce de la couche d'or. En conséquence, la limite inférieure en température fixée est de 150°C, température en deçà de laquelle aucun collage n'a été effectif. La limite supérieure quant à elle a été fixée à 300°C.

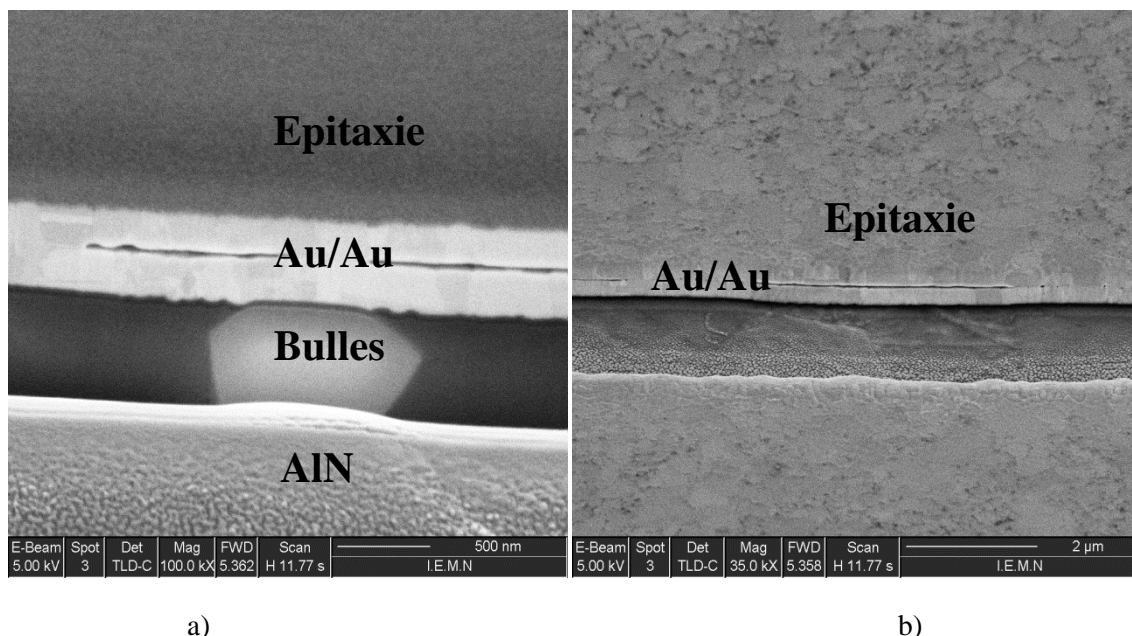
Par ailleurs, concernant les contraintes en pression, il apparaît clairement qu'une pression élevée permet une meilleure qualité d'interface de collage. Néanmoins, une pression relativement basse, permet de limiter l'effet du rayon de courbure sous l'effet de la pression pouvant endommager la reproductibilité technologique des TBHs. Nous avons également remarqué sous forme d'essais préliminaires qu'une pression supérieure à 5 bars dégradait entièrement le collage, voire le matériel lui-même. De plus, aucun collage n'a été possible avec une pression inférieure à 1 bar. C'est pourquoi ces deux valeurs ont été choisies comme limites dans le cadre de nos travaux sur la thermo-compression.

Au vue de la technique de report choisie, le contact entre le substrat hôte d'AlN et les couches actives de TBHs épitaxiés sur InP nécessite l'utilisation d'un joint métallique entre les deux échantillons. La technique de thermo-compression habituellement utilisée fait appel à une couche d'or sur chacun des substrats à coller. Toutefois, afin de permettre une bonne tenue de la couche d'or sur les couches semi-conductrices, il est nécessaire d'utiliser une couche d'accroche typiquement du titane.

Dans un premier temps, les essais ont porté sur la variation de la température en gardant une pression de thermo-compression standard fixée à 2bar avec un joint métallique composé de titane et d'or sur chaque échantillon. La température de thermo-compression maximale a été fixée à 300°C pour le support (température de consigne) afin de développer une technique de report à relativement basse température; ainsi nous avons fait varier ce paramètre de 150°C à 300°C par pas de 50°C. Pour ces essais, nous avons utilisé des couches actives de test et aucun composant fini n'a été réalisé.

Les premiers essais effectifs sur un substrat hôte d'AlN de deux pouces pour la future réalisation de transistors bipolaires reportés n'ont malheureusement pas été satisfaisants. En effet, lors de tous les essais, on assistait à la présence de bulles de gaz emprisonnées, probablement de l'air, se traduisant par l'absence de collage effective des couches actives à plusieurs endroits à l'interface entre les deux couches de métal sur le substrat hôte de nitrure d'aluminium et cela quelle que soit la température de thermo-compression. Comme cela apparaît sur la figure 2-16-b)- représentant une coupe transversale d'un échantillon reporté, on observe un vide prononcé à l'interface Métal/Métal de notre collage ; ce qui pourrait être néfaste pour la suite de la réalisation des différentes étapes technologiques notamment lors de la gravure du joint de collage par voie humide. En effet, la qualité de l'interface de collage apparaît très mauvaise et il est de ce fait impossible d'envisager la suite du procédé technologique dans ces conditions.

La figure 2-16-a)- ci-après démontre quant à elle la présence de bulles de gaz aux endroits délimitant les défauts d'interface traduits par des zones avec absence de collage effective entre les deux échantillons et une légère déformation (contrainte) au niveau du joint de collage. Ces deux images sont une illustration des défauts de collage observés lors de nos premiers essais sur AlN ; avec une telle qualité d'interface métal/métal et un collage imparfait sur l'ensemble du joint métallique, il est impossible de poursuivre dans de telles conditions les différentes étapes technologiques nécessaires à la réalisation de transistors bipolaires reportés.



Figures 2-16 : a) et b) Coupe transversale FIB d'un report de couches actives de TBH sur AlN

Pour pallier à ce problème qu'est la présence de bulles à l'interface du collage, nous avons fait des essais de dégazage de nos échantillons à haute température afin d'éliminer ces bulles de gaz et de réaliser un collage homogène dans un bâti sous ultra vide afin d'éviter toute contamination externe. Cela n'a eu aucune conséquence sur les résultats et n'a pas abouti à l'amélioration des caractéristiques

du report de couches actives de TBH sur un substrat de nitrure d'aluminium. En effet, la caractérisation d'un substrat d'AlN par microscopie à force atomique AFM présenté sur la figure 2-17 a montré une rugosité du substrat d'AlN importante de plusieurs microns, et néfaste pour la réalisation de circuits électroniques.

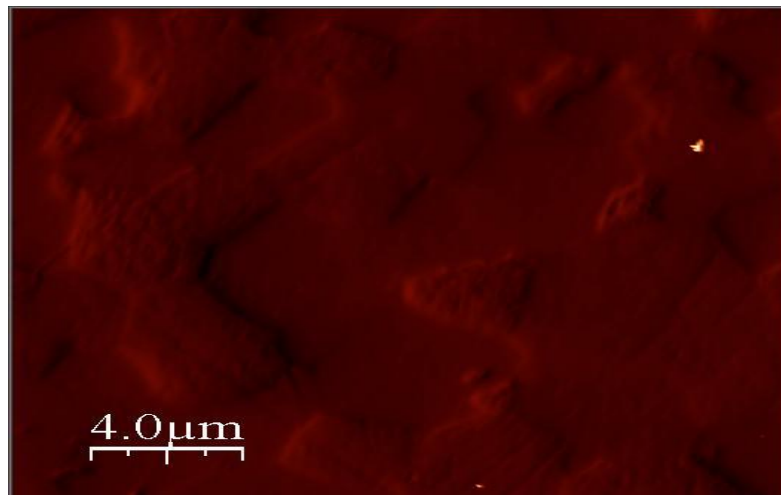


Figure 2-17 : Image AFM d'un substrat d'AlN montrant la présence de rugosités en surface

En effet, du fait des méthodes de fabrication du substrat d'AlN par frittage, les grains obtenus sont prononcés se traduisant par une rugosité élevée malgré une étape de polissage après fabrication. Cela constitue une faiblesse de taille pour l'utilisation de l'AlN en tant que substrat hôte de la thermo-compression.

En utilisant les mêmes paramètres de thermo-compression que précédemment (pression de 2 bars et température de 200°C), nous avons effectué le même type de report mais cette fois sur un substrat hôte de Phosphure d'Indium afin de vérifier l'impact du substrat d'AlN sur la qualité du report. Le report ainsi réalisé a été observé au FIB en coupe transversale présenté sur la figure 2-18. Nous pouvons constater une excellente qualité de report avec un contact parfait entre les deux surfaces en regard. Aucun défaut n'est présent à l'interface Métal/Métal du joint de collage ce qui pousse à conclure que les défauts observés sur les essais antérieurs seraient la signature du substrat hôte d'AlN.

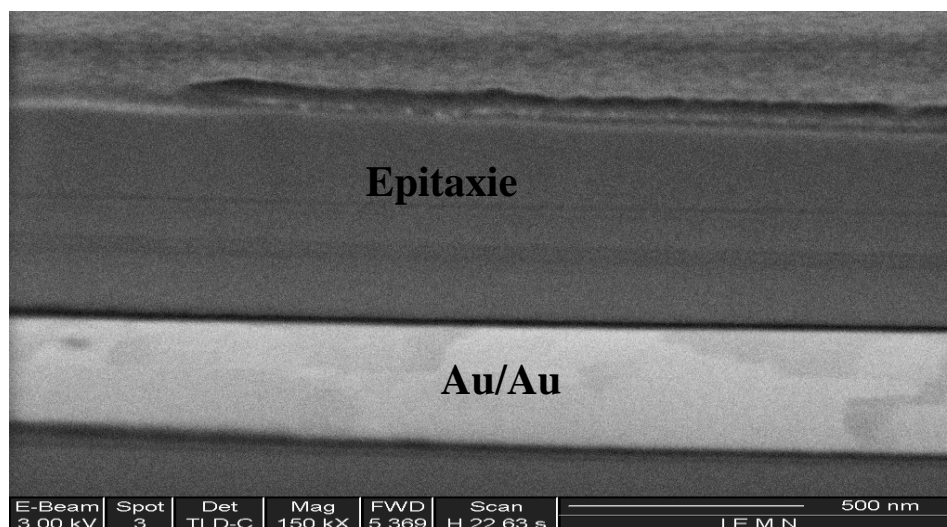


Figure 2-18 : Représentation d'une coupe transversale d'un report de couches actives sur InP

La qualité de report obtenu lors de nos premiers essais du fait des bulles d'air à l'interface provient donc bien de la rugosité de l'AlN. En effet, l'InP semi-isolant utilisé en tant que substrat hôte lors du report présenté figure 2-18 possède quant à lui la caractéristique d'avoir une rugosité extrêmement faible comparée aux valeurs du substrat d'AlN. Dans ce cas précis, le joint métallique de collage est homogène, sans imperfections entre les deux couches de métal, et montre bien l'intérêt d'avoir un substrat hôte le moins rugueux possible en vue d'une bonne qualité de thermo-compression.

L'achat de substrat avec des rugosités plus faibles a été très difficile notamment en changeant de fournisseurs; malheureusement, l'amélioration de cette valeur de rugosité semble présenter des limites. C'est pourquoi, l'étude du report de couches actives sur AlN a été abandonnée dans l'optique de trouver un substrat de meilleure qualité de surface avec des caractéristiques thermiques proches.

Face à ce problème concernant la rugosité considérable du substrat hôte d'AlN, une solution peut néanmoins être l'utilisation d'une technique de report appropriée à des substrats rugueux. C'est le cas du report par brasure eutectique en utilisant un alliage d'or et d'indium. L'étape de fusion nécessaire pour obtenir un contact intime entre les deux substrats à coller fait intervenir une phase liquide (« mouillage ») de l'alliage; cela permettrait l'insertion du métal au sein des rugosités pendant l'étape de fusion pour obtenir ainsi une meilleure qualité d'interface de collage. Malheureusement, la machine de brasure nécessaire pour cette technique a été acquise très tard au laboratoire. C'est pourquoi, nous avons envisagé une solution alternative à l'AlN ; il s'agit d'utiliser un substrat hôte de silicium.

III-4-2/- Report de couches actives de TBHs sur Silicium

Nous avons alors démarré des études de report de couches actives de TBH sur un substrat hôte de Si. Les études portent sur des couches actives de transistors bipolaires à structure standard en gardant les mêmes conditions de collage que précédemment avec le nitrure d'aluminium (200°C/2bars).

Grâce à une observation au FIB des échantillons en section transversale ainsi reportés, une bonne qualité de collage a pu être obtenue comme le montre la figure 2-19 ci-après qui représente un collage sur Si. On peut noter une absence totale de défauts pouvant être liés au processus de collage des couches actives et un contact parfait à l'interface métal/métal du joint de collage. Cela nous a permis de conforter notre choix du silicium en tant que substrat hôte de la thermo-compression.

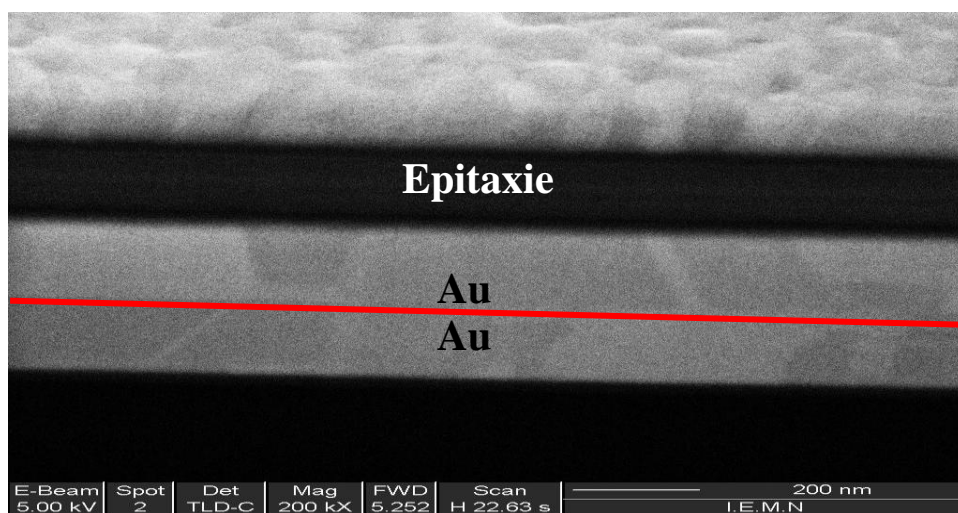


Figure 2-19 : Représentation d'une coupe transversale d'un report de couches actives sur Si

Par ailleurs, les caractéristiques du silicium restent tout de même intéressantes, notamment en ce qui concerne la conduction thermique et le faible coût. Pour son utilisation pour composants destinés à la haute fréquence, il faut assurer son isolation électrique ; nous avons donc choisi des substrats silicium avec de hautes valeurs de résistivités électriques $>10^8 \Omega \cdot \text{cm}$. D'ailleurs, des travaux de simulation ont été réalisés au laboratoire d'Intégration du Matériau au Système IMS à Bordeaux dans le cadre du projet lié à cette thèse et ont conclu à une amélioration de la résistance thermique comparable pour l'AlN et le Silicium et même les substrats de SiC et de Diamant par rapport à celle du substrat originel d'InP [15]. Ce qui a eu pour but de justifier et renforcer le choix du Silicium comme substrat hôte pour le report de couches actives de TBHs. La figure 2-20 retrace en guise d'illustration les résultats de simulation sous TCAD réalisés sur des DTBHs submicroniques à base d'InP avec une base en InGaAs réalisés au sein du GIE III-V Lab Alcatel Thalès, dont les structures avaient été présentées précédemment, pour différents substrats hôtes et trois différentes longueurs d'émetteur.

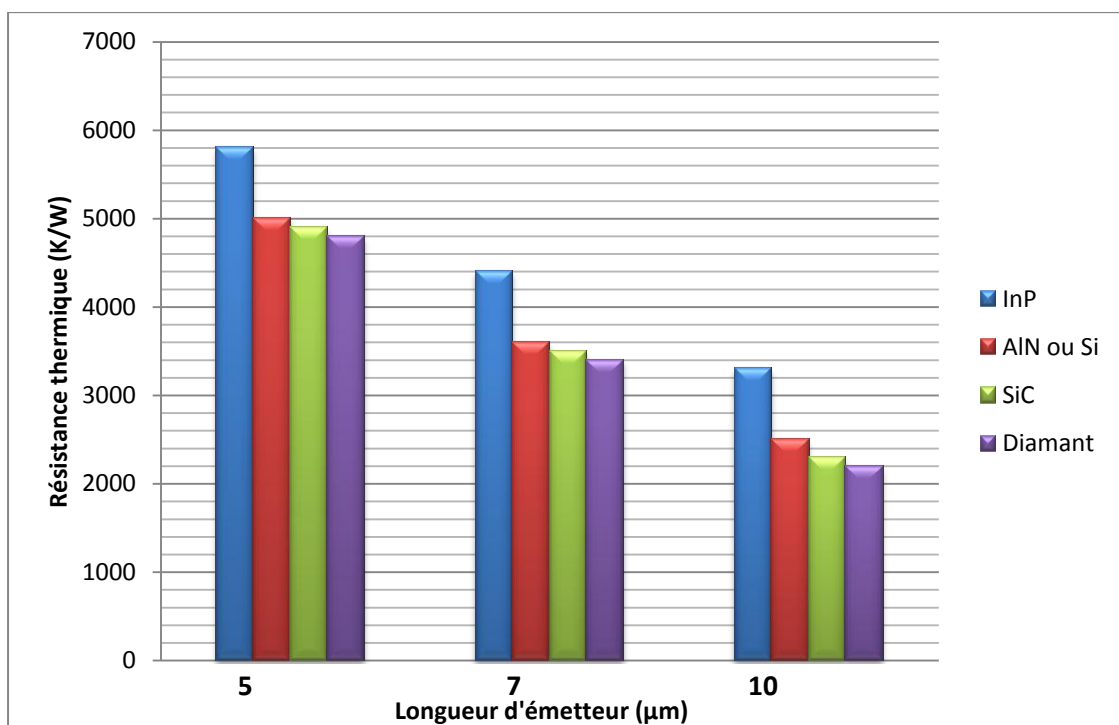


Figure 2-20 : Résistance thermique de divers substrats hôtes possibles de DTBH InP/InGaAs

Toutefois, le principal problème que pourrait néanmoins engendrer le report des couches actives sur un substrat hôte de silicium serait lié à la différence de coefficient de dilatation thermique entre les deux substrats. En effet, sa valeur est éloignée de celle de l'InP et pourrait provoquer de fortes contraintes mécaniques (déformation du système) dues à la température et à la pression comme nous l'avons vu dans les paragraphes précédents ; ce qui aurait un effet néfaste pour la réalisation de dispositifs submicroniques et pourrait limiter éventuellement la reproductibilité de la technologie de fabrication. Toutefois, ces contraintes peuvent être limitées en utilisant une température de collage peu élevée d'où l'intérêt entre autres de développer un procédé de report à relativement basse température; bien entendu plus la température sera basse moins le système final sera contraint. De plus, grâce à un bon contrôle de la variation de la température lors des étapes de montée et de descente en température ainsi que de la phase de refroidissement du système choisi lors du report par thermo-compression, ce phénomène pourrait également être minimisé. Nous présentons sur la figure 2-21 une reproduction de la phase de collage en montrant la phase de refroidissement qui dure 4h30 dans le cas de notre étude

pour une durée de collage de 1h30. Ce cycle de refroidissement jusqu'à la température ambiante permet d'avoir des contraintes thermiques minimales lors de la thermo-compression à 200°C.

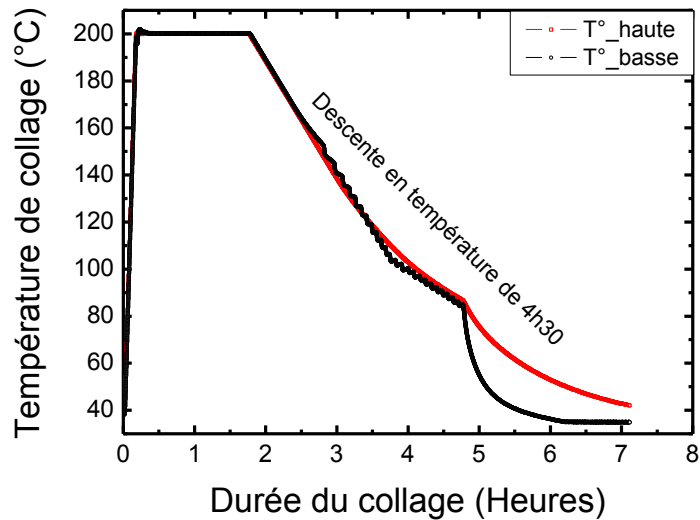


Figure 2-21 : Schéma d'un cycle de température lors d'un report par thermo-compression

III-4-3/- Choix du couple Pression/Température pour le report de TBHs sur Silicium HR

Afin de trouver le bon compromis concernant le couple pression/température pour la réalisation d'un collage effectif, nous avons commencé par une variation en température. La réalisation de TBHs reportés sur Si a d'abord concerné des transistors de type JUMBO $100 \times 100 \mu\text{m}^2$ avec une pression de thermo-compression initiale fixée à 2bars et un empilement métallique initial constitué de titane et d'or. La température a été variée de 150 à 300°C, et les jonctions ainsi obtenues ont été caractérisées électriquement. La figure 2-22 montre l'évolution du courant en fonction de la tension pour une jonction émetteur-base à différentes températures. A 300°C, toutes les jonctions étaient court-circuitées et n'ont donc pas pu être mesurées.

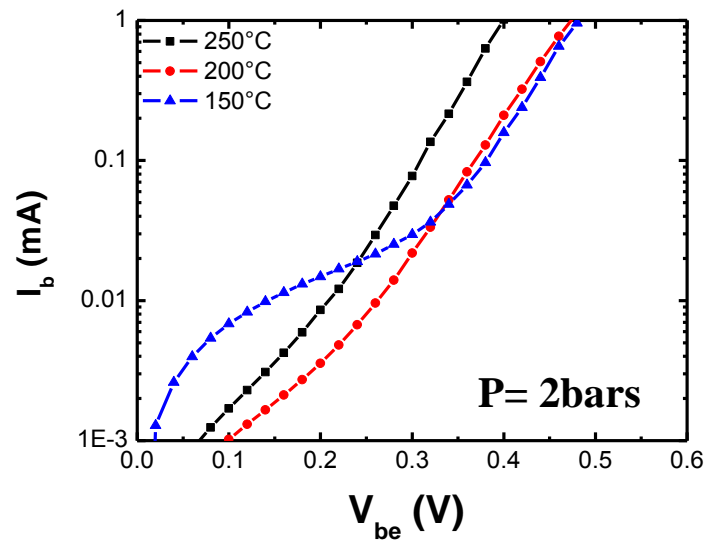


Figure 2-22 : Evolution du courant de base en fonction de la tension émetteur-base V_{be} en direct

Ces caractéristiques électriques montrent qu'une température de collage trop basse à 150°C entraînait des fuites de courant importantes, empêchant les transistors de fonctionner de façon optimale. De même on constate que le comportement des jonctions est meilleur pour une température de 200°C par rapport à une température de 250°C, impliquant encore quelques fuites en courant I_b . En effet, des chercheurs de l'université de Singapour [42] ont montré la dépendance en température de la qualité d'un collage par thermo-compression Au/Au du fait du comportement du joint métallique avec la température. Il existe donc une température critique en dessous de laquelle le joint métallique de collage présentera une solidité faible, voire une absence de contact effectif à l'interface entre les deux substrats à coller. Dans le cas présent de nos essais, cette température semble être atteinte aux alentours de 150°C, ce qui explique la mauvaise qualité des caractéristiques électriques des diverses jonctions à cette température. Même s'ils ont démontré que la solidité du joint métallique augmentait avec la température, il existe une limite à la montée en température selon le procédé technologique utilisé après collage. Dans le cas du report de couches actives de TBHs qui concerne ces travaux, la mauvaise qualité des jonctions au-delà de 250°C pourrait provenir de phénomènes de diffusion du métal à travers nos couches actives à température élevée. C'est pourquoi dans un second temps, pour déterminer le couple pression/température adéquat en vue d'une bonne qualité de collage, nous avons choisi une température de 200°C et fait varier la pression de collage de 1 bar à 5 bars.

Pour une pression de 5 bars, toutes les jonctions étaient court-circuitées ce qui démontre que cette pression n'est pas convenable pour notre application de thermo-compression à 200°C. De même, pour des pressions inférieures à 2bars, on assiste à une absence totale de collage entre les deux surfaces en regard ; ce qui veut dire que la force résultante à 1 bar n'est pas suffisante pour créer un contact permanent à l'interface entre les deux couches d'or. Deux autres valeurs de pression à 2 bars et 3 bars ont également été testées ; les résultats électriques résultant de ces essais sont présentées sur la figure 2-23 qui représente la caractéristique $I(V)$ de jonctions EB pour des transistors JUMBO de $100 \times 100 \mu\text{m}^2$.

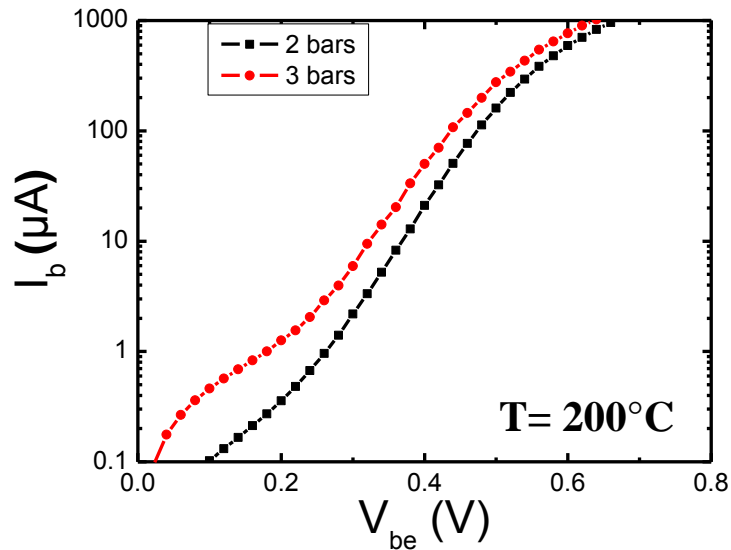


Figure 2-23 : Courbes $I_b(V_{be})$ en direct de JUMBO $100 \times 100 \mu\text{m}^2$ reportés sur Si en fonction de la pression de thermo-compression utilisée à 200°C

Ces études nous ont permis de conclure sur un choix d'une pression de collage à 2 bars afin d'obtenir les meilleures caractéristiques électriques pour nos composants; le couple Pression/Température retenu pour l'ensemble des travaux concernant cette thèse est donc une température de 200°C combinée à une pression de thermo-compression de 2 bars pour les raisons évoquées précédemment. Les essais de thermo-compression les plus significatifs réalisés pour le choix de ce couple Pression/Température sont présentés sur le tableau 2-6.

Température	Pression	Résultats
150°C	2 bars	Courants de fuite élevées, qualité des jonctions fortement dégradée
200°C	2 bars	Jonction quasi-idéale, fuites de courant négligeables
250°C	2 bars	Jonction quasi-idéale, fuites de courant faibles
300°C	2 bars	Qualité des jonctions dégradée, diffusion du métal dans le SC
200°C	1 bar	Absence de collage des échantillons
200°C	3 bars	Jonction quasi-idéale, fuites de courant faibles
200°C	5 bars	Absence de collage des échantillons et risque de cc

Tableau 2-6 : Récapitulatif sur l'étude du couple Pression/Température en vue de la thermo-compression Au/Au des couches actives de TBHs sur un substrat de silicium

Le tableau 2-6 nous permet de conclure quant à la faisabilité du procédé de thermo-compression de couches actives de TBHs grâce à une interface métallique. Cependant, les résultats électriques des jonctions obtenus selon les paramètres de pression et de température du collage montrent clairement des faiblesses. Malgré la bonne marche de certaines jonctions, il apparaît un problème récurrent de fuites de courant parfois importantes même avec un bon compromis pression/température de 2bars/200°C. Ainsi, afin d'obtenir une bonne qualité de report avec une bonne caractéristique thermique et un bon comportement électrique, l'empilement métallique nécessaire pour le joint de collage doit également être considéré. Cela est d'autant plus important que la dégradation des jonctions observée au préalable se traduisait par des courants de fuite non négligeables provenant probablement de la diffusion de l'or à travers les semi-conducteurs.

Des transistors dits JUMBO de surface $100 \times 100 \mu\text{m}^2$ ont d'abord été réalisés avec un empilement métallique en titane et or utilisé lors des essais précédents en vue de vérifier le bon fonctionnement des caractéristiques électriques et de la bonne tenue du joint métallique de collage. Les caractéristiques électriques des jonctions EB et BC montraient très souvent des courts-circuits sur l'ensemble de l'échantillon ainsi reporté empêchant un fonctionnement statique correct des dispositifs ; cela s'explique par la présence de fuites considérables tant sur le courant de base que sur le courant de collecteur comme nous l'avons remarqué précédemment. Avec des valeurs de courant relativement faibles, notamment pour le collecteur, il était impossible de commander les transistors ainsi reportés afin de visualiser les réseaux $I_c(V_{ce})$ et conclure quant à la bonne marche du procédé de thermo-compression sur nos composants. En effet, des observations au microscope optique de tout ou partie des transistors ont révélé une diffusion très importante de l'or à travers les couches semi-conductrices se traduisant par des tâches jaunâtres d'or sur les couches d'épitaxie comme on peut le voir sur la figure 2-24 qui représente des jonctions Emetteur Base, Base Collecteur et Collecteur Emetteur. Ces tâches sont la signature de la diffusion de l'or à travers le semi-conducteur sous l'effet de la température et de la pression appliquées.

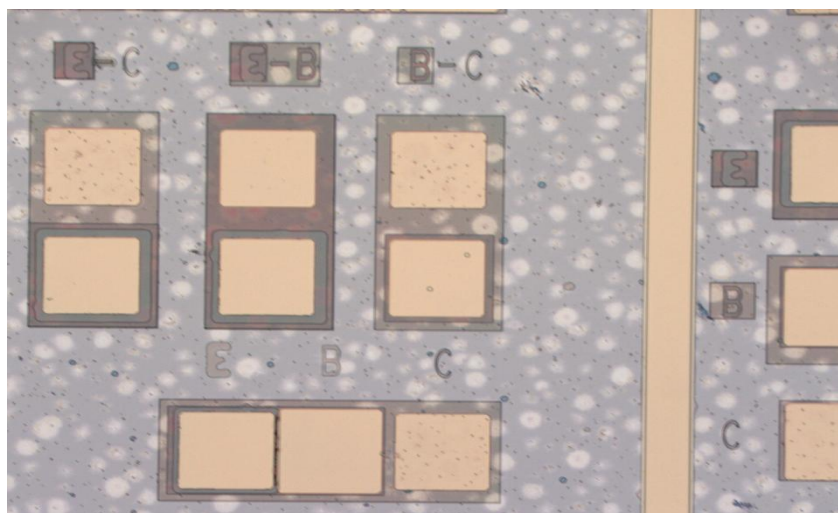


Figure 2-24 : Observation au microscope optique de diverses jonctions de TBHs reportés sur Si avec une métallisation en Ti/Au

Des solutions ont donc été envisagées afin d'empêcher cette diffusion de l'or probablement due à l'effet combiné de la température de collage mais également de la pression exercée.

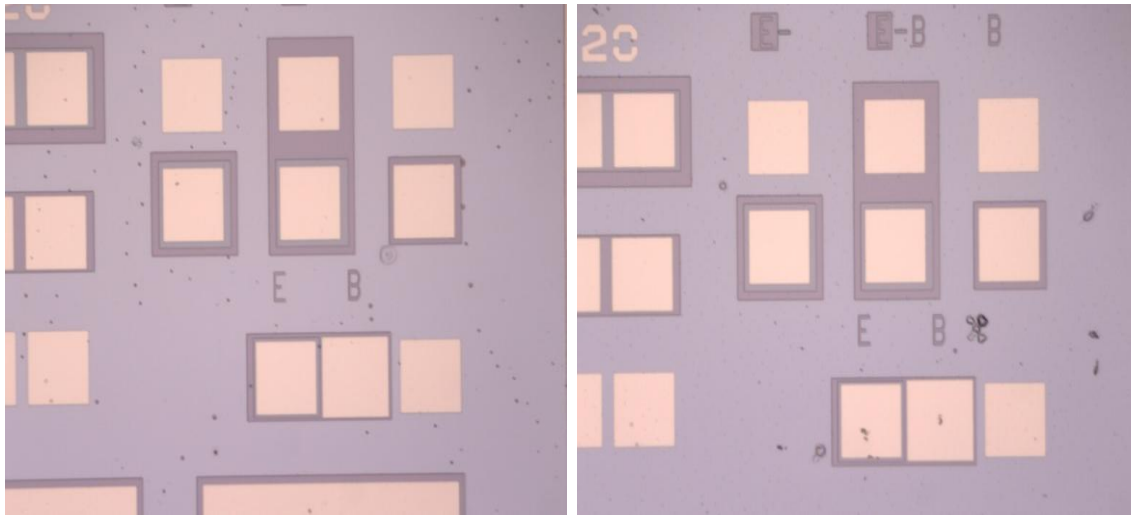
Le titane est bien entendu reconnu pour ses excellentes qualités d'accroche. Néanmoins, il reste une mauvaise barrière à la diffusion de l'or comme l'ont prouvé les essais précédents. C'est pourquoi, dans un premier temps, nous avons choisi de lui associer une barrière en platine qui lui est thermiquement stable. Malheureusement, les reports effectués continuaient de montrer une diffusion importante de l'or à travers le semi-conducteur ; ce qui veut dire que le platine ne constitue pas une barrière effective lorsqu'il est associé au titane.

La deuxième approche a donc été d'utiliser une couche métallique réfractaire, thermiquement stable et résistante aux variations de température telle que le Molybdène, pouvant également servir de couche d'accroche sur les semi-conducteurs en remplacement du titane préalable. Cela a considérablement diminué les phénomènes de diffusion du métal observés précédemment après collage et amélioré les caractéristiques électriques des diverses jonctions et des transistors eux-mêmes et cela quelle que soit l'épaisseur de molybdène utilisée. Néanmoins, des court-circuits notamment au niveau de la jonction Base collecteur persistaient encore prouvant que le molybdène à lui tout seul ne pouvait empêcher une diffusion même minime de l'or à travers les couches actives de transistors bipolaires. En effet, des études ont été menées à ce propos et ont montré que malgré l'utilisation d'une couche de molybdène même épaisse, on pouvait tout de même assister à des diffusions de la couche d'or à travers les semi-conducteurs III-V.

Pour que la couche réfractaire de Molybdène soit efficace, il faut lui associer une deuxième couche pouvant servir de véritable barrière à la diffusion de l'or comme le platine ou le palladium ; le platine a donc été associé au molybdène dans la suite de nos travaux pour constituer l'empilement métallique final constitué donc de Molybdène/Platine/Or sur les couches semi-conductrices. Cela a considérablement amélioré la qualité de la surface après collage confirmée par contrôle optique. En effet, l'observation de l'état de la surface des essais avec et sans platine au microscope optique (figures 2-25) ainsi que les caractéristiques électriques des jonctions obtenues ont montré l'impact du platine en tant que barrière de diffusion et la solidité d'une couche réfractaire de molybdène. Sur la figure 2-25-a), on peut observer encore quelques traces d'or (petits points) sur la structure épitaxiale après report dues à des phénomènes de diffusion même minimes du métal à travers les semi-conducteurs ; cela a été confirmé par la caractérisation électrique des jonctions qui présentent encore quelques fuites notamment au niveau de la jonction base/collecteur pour les essais sans utilisation du platine.

Pour les reports réalisés avec une couche barrière en platine, l'ensemble des composants étaient opérationnels ; ce qui a été confirmé par contrôle optique mais également par mesures I(V). Néanmoins, d'autres moyens de caractérisation auraient pu permettre une analyse plus poussée de la qualité du joint de collage ; c'est le cas par exemple de l'analyse physico-chimique. Mais, par manque de temps mais surtout de voies exploratrices, nous avons choisi de conserver ces paramètres de report dans le cadre de ces travaux de thèse et de les adapter à la réalisation de transistors submicroniques. En réalité, le but principal de la thèse est de démontrer la faisabilité d'une technologie de transfert de substrat de TBHs en vue de la réduction de la résistance thermique.

Cependant, d'autres investigations ont été réalisées et seront présentées dans la suite ; cela a en effet permis de confirmer le choix du couple pression/température tant d'un point de vue des contraintes thermiques que mécaniques.



a)

b)

Figures 2-25 : Vues au microscope optique de jonctions a) sans platine b) avec platine

Métallisation	Épaisseur métal (Å)	Température Collage (°C)	Pression Collage (bar)	Résultats
Mo/Au	250/2500	200	2	Jonctions BC court-circuitées
Mo/Au	250/2500	200	5	Jonctions court-circuitées
Mo/Au	500/2500	200	2	$\eta_{EB} = 1.27$ beaucoup de cc
Mo/Au	500/2500	150	2	Jonctions BC court-circuitées
Mo/Au	250/2500	200	2	Diodes opérationnelles
Mo/Pt/Au	250/400/2500	200	3	Diodes opérationnelles
Mo/Pt/Au	250/400/2500	250	3	Diodes opérationnelles
Mo/Pt/Au	250/400/2500	200	2	Diodes opérationnelles
Mo/Pt/Au	250/400/2500	150	2	Diodes opérationnelles
Mo/Pt/Au	250/400/2500	250	2	Diodes opérationnelles

Tableau 2-7 : Récapitulatif des essais réalisés sur les épaisseurs des couches métalliques du joint de collage

Le tableau 2-7 précédent présente les essais les plus significatifs que l'on ait faits concernant le joint métallique de collage. Il nous permet de retenir plusieurs conclusions sur les différents résultats électriques obtenus sur la jonction émetteur-base notamment.

D'abord, l'utilisation du molybdène métal réfractaire en remplacement au titane ne permet pas d'obtenir l'effet de solidité thermique souhaité. En effet, son utilisation à une température de 200°C génère des court-circuits sur l'ensemble de nos jonctions ; c'est pourquoi aucune caractéristique statique n'a pu être déterminée avec un empilement Mo/Au. En augmentant, l'épaisseur de molybdène utilisé, on réduit le risque de court-circuit des jonctions mais pas assez ni de façon reproductible sur un échantillon complet avec parfois des coefficients d'idéalité avoisinant 5. La diffusion de l'or à travers les couches semi-conductrices du fait de la température persiste, indépendamment de la pression de collage employée. La thermo-compression grâce à une interface métallique nécessite ainsi non seulement un métal réfractaire thermiquement stable mais également une barrière empêchant cette diffusion de l'or. Nous avons alors choisi une barrière en platine qui a amélioré l'état de la surface comme nous l'avons observé précédemment.

D'un point de vue électrique, l'effet du platine est tout à fait visible lorsqu'on étudie les caractéristiques statiques des jonctions du TBH ; les composants sont fonctionnels. L'épaisseur de platine a été choisie épaisse de façon à renforcer son effet en tant que barrière de la diffusion de l'or à travers les couches actives. Les résultats électriques obtenus en fonction de la température et de la pression de collage montrent des caractéristiques meilleures pour une température de 250°C. Ceux obtenus pour une température de 300°C n'ont pas été présentés dans ce tableau pour cause de court-circuits. A une température de 150°C, le coefficient d'idéalité de la jonction émetteur-base est de 1.7 pour une pression de 2bar. Néanmoins, cette valeur comporte quelques réserves dès lors que la thermo-compression à 150°C n'était pas toujours reproductible. En effet, comme nous l'avons abordé précédemment, aux faibles températures de collage (150°C), on assiste souvent à des défauts voir des absences de collage intime entre les deux surfaces en regard, ce qui n'est pas compatible avec une technologie de fabrication de transistors aux dimensions submicroniques. Pour obtenir de bons rendements de fabrication, il est nécessaire d'avoir un procédé de collage optimal et reproductible. C'est pourquoi la température de 150°C a été abandonnée pour des températures plus élevées. Toutefois, même si les meilleures caractéristiques électriques sont obtenues à 250°C, les coefficients d'idéalité de la jonction émetteur-base pour une température de 200°C restent admissibles. C'est pourquoi, nous avons finalement opté pour une température de thermo-compression de 200°C afin de privilégier un report à relativement basse température et éviter des diffusions même minimales de l'or lors de la réalisation de transistors submicroniques. Enfin, la pression a été conservée à 2 bars puisque cela correspond, quelque soit la température, aux meilleurs résultats électriques obtenus.

Pour confirmer notre choix, nous avons également mesuré le rayon de courbure de l'ensemble TBH ainsi collé sur un substrat hôte de silicium. Plusieurs essais ont été nécessaires afin d'étudier son influence en fonction des paramètres de thermo-compression que sont la pression et la température. Nous devons rappeler en effet que du fait de la différence de coefficient de dilatation thermique entre le silicium et l'InP, des contraintes thermo-mécaniques sont à l'origine de cette déformation. Pour un procédé technologique reproductible, il convient donc de minimiser cette courbure. Nous présentons sur la figure 2-26 la flèche en fonction de la température pour une pression de 2 bars et figure 2-27 nous montrant son évolution en fonction de la pression pour une température de 200°C.

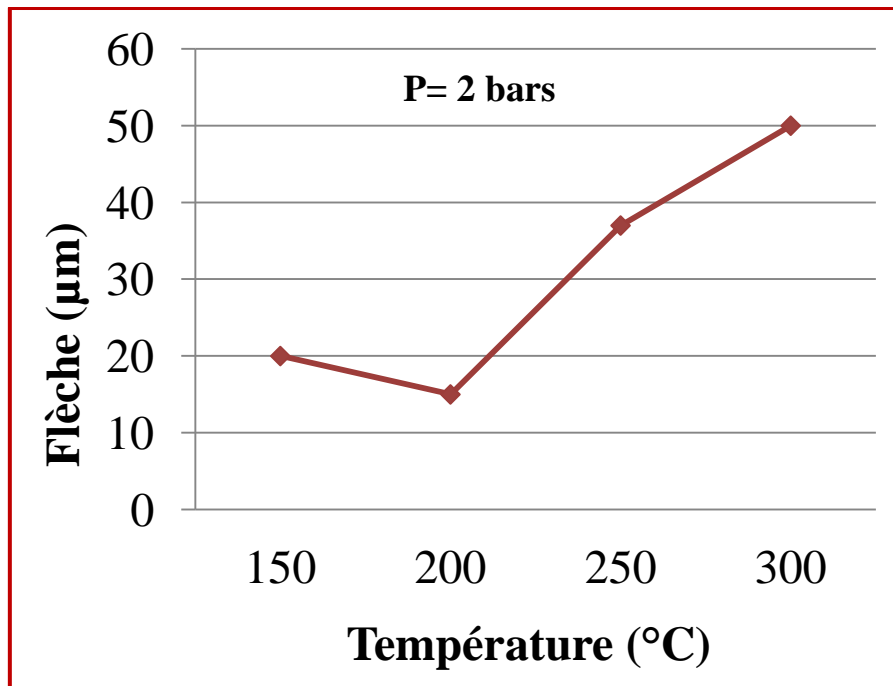


Figure 2-26 : Flèche en fonction de la température de thermo-compression

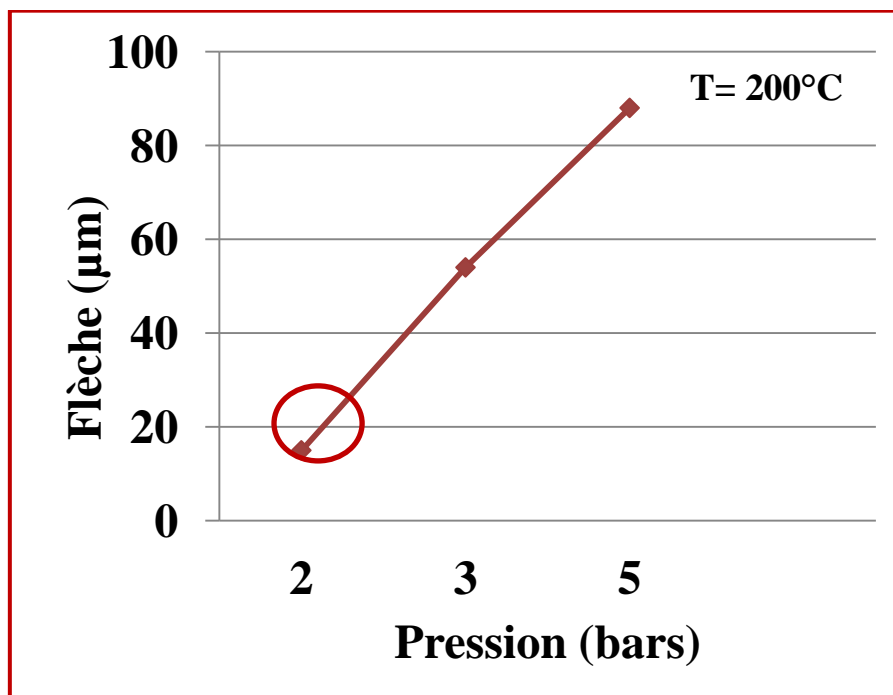


Figure 2-27 : Flèche en fonction de la pression de thermo-compression

Nous remarquons donc que la flèche minimale est obtenue pour une température de 200°C, ce qui va dans le sens de notre choix précédent. De plus, en fixant la température à 200°C et en faisant varier la pression, nous remarquons que sa valeur augmente avec l'augmentation de la pression ; ce qui confirme que les contraintes sont minimisées en réduisant la pression de thermo-compression. En

réalité, la flèche minimale est également obtenue pour une pression de 2 bars. Ces deux remarques tendent à confirmer notre choix pour le couple pression/température (2bars/200°C) choisi précédemment lorsqu'on veut minimiser d'une part la diffusion de l'or à travers les semi-conducteurs mais également pour minimiser l'effet des contraintes thermo-mécaniques sur la qualité du collage et de la reproductibilité technologique du procédé.

Ainsi, le choix du couple Pression/Température pour le report de couches actives de TBHs sur un substrat de Si fut très délicat et a nécessité bon nombre d'essais de collage. Néanmoins, cela nous a permis de tirer des conclusions sur à la fois le couple optimal Pression/Température mais également l'empilement métallique le plus judicieux dans notre contexte technologique.

Par ailleurs, en guise de comparaison, des paramètres de collage de nanotubes de carbone par thermo-compression Ni/Cu/Ni ont été avancés dans la littérature avec une température de 150°C et une pression de 1MPa soit l'équivalent de 10 bars [33]. Cette plus faible température, par rapport à notre valeur à 200°C a sûrement été compensée par la forte pression collage, inenvisageable dans le cadre de notre application pour des problèmes de reproductibilité discutés préalablement. L'épaisseur de l'empilement métallique totale était dans cet exemple de 4200Å, ce qui est comparable à nos épaisseurs.

Nous avons alors entamé la réalisation de premiers transistors pour validation du procédé final de report dont les résultats sont présentés dans le paragraphe suivant.

III-4-4/- Premiers résultats obtenus sur DTBHs InP/GaAsSb 100x100µm² reportés sur Si

Afin de confirmer la faisabilité du report de couches actives de TBHs InP/GaAsSb sur un substrat à haute conductivité thermique, nous avons effectué des mesures statiques préalables sur des jonctions de surface 100x100µm². Les paramètres de thermo-compression utilisés dans ce contexte sont ceux obtenus après optimisation de toutes les étapes décrites précédemment ; il s'agit d'une thermo-compression à 200°C avec une pression de 2bars. L'empilement métallique utilisé sur les couches actives est composé de Mo/Pt/Au avec des épaisseurs respectives de 250/400/2500 Angstrom ; sur le substrat hôte de silicium, nous avons déposé 2000Angstrom d'or précédé d'une fine couche de titane de 200Angstrom pour l'accroche sur Si. Un schéma en coupe de la structure comprenant les métallisations d'émetteur et de base ainsi que le joint métallique de collage ainsi obtenu est présenté sur la figure 2-28. Cette figure montre également l'homogénéité du joint de collage.

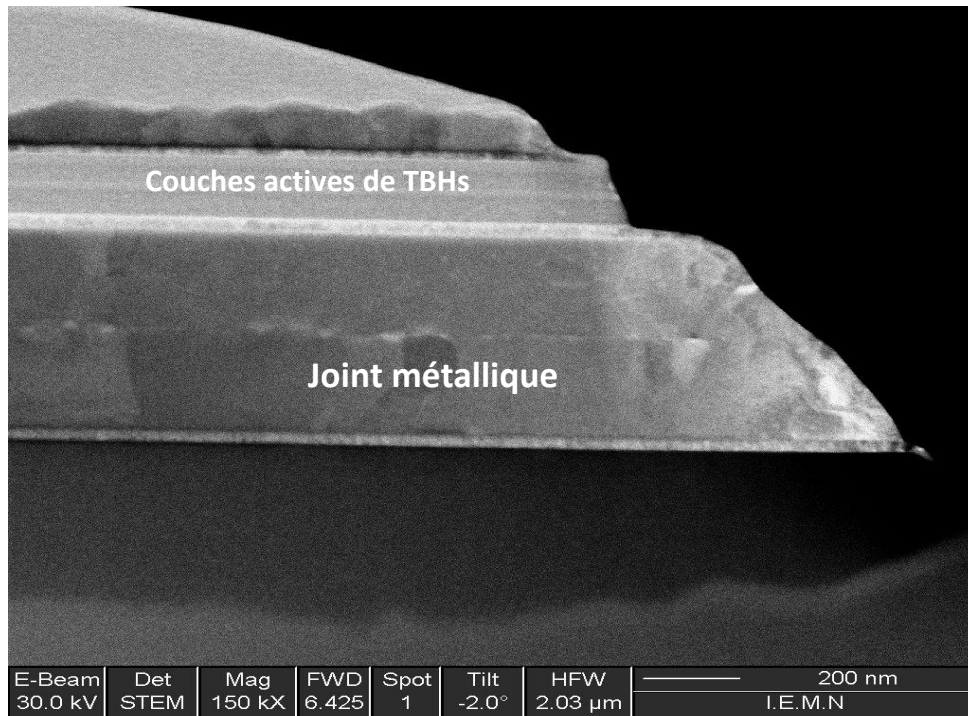


Figure 2-28 : Sections FIB de jonctions de TBHs reporté sur Si HR

Les premiers résultats statiques sont présentés sur les figures 2-29 et 2-30 pour confirmer la bonne marche de notre procédé technologique sur des transistors JUMBO. Nous reportons ainsi la courbe de Gummel (figure 2-29) des dits transistors de même que les caractéristiques de sortie (figure 2-30).

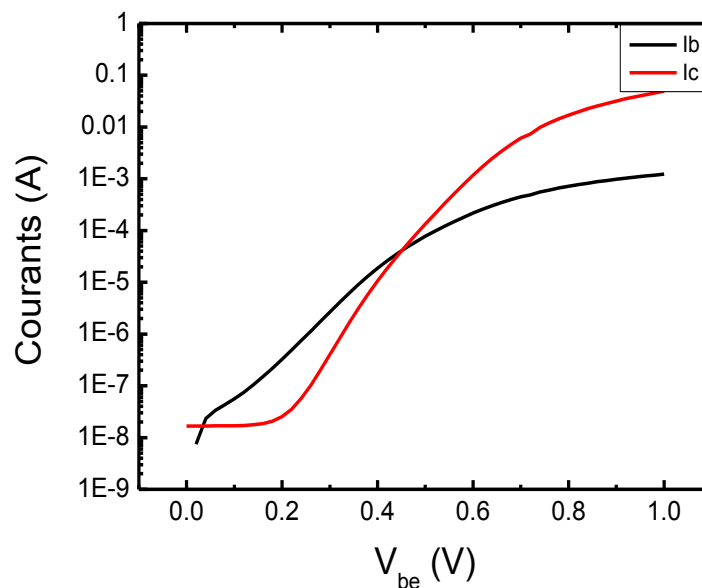


Figure 2-29 : Courbe de Gummel d'un DTBH reporté sur Si

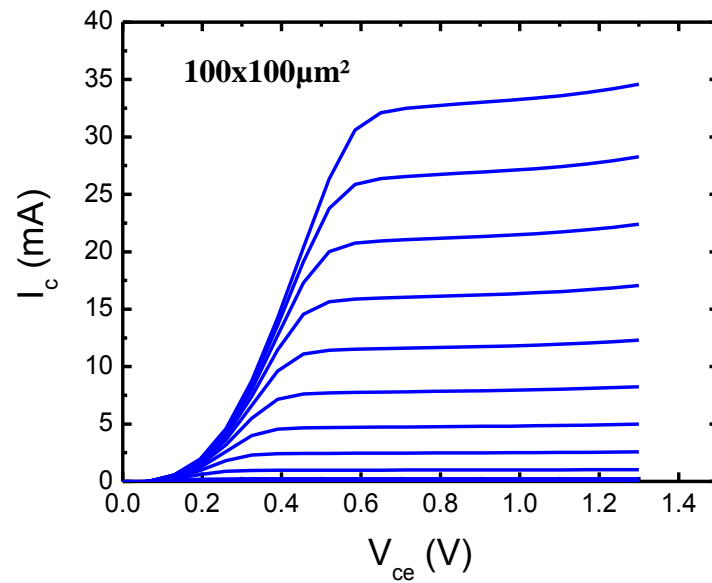


Figure 2-30 : Réseaux de sortie d'un DTBH reporté sur Si

Ces résultats constituent une caractéristique d'ensemble sur le report de couches actives de TBHs. Ils permettent, outre la validation du procédé technologique relatif à la thermo-compression, de conclure quant à la bonne marche des dispositifs ainsi réalisés. Les jonctions émetteur-base et base-collecteur affichent des coefficients d'idéalité respectifs de 1.5 et 1.34 et le gain en courant statique béta obtenu sur ces structures de test avoisine 30. De plus, nous n'avons remarqué aucune dégradation des caractéristiques statiques pouvant être attribuables au procédé de thermo-compression. Cela nous a permis d'envisager le transfert de la démarche technologique finale adoptée sur des transistors submicroniques destinés à la haute fréquence dont nous allons parler au prochain chapitre.

IV/- Conclusions

Ce chapitre portait sur l'étude de l'auto-échauffement dans les transistors bipolaires et du principe du report. Après avoir posé la problématique concernant la limitation thermique des dispositifs submicroniques lorsqu'ils sont assujettis à de fortes températures, nous avons détaillé nos motivations en vue d'un report des couches actives des TBHs.

Les différentes techniques de transfert de substrat ont ensuite été détaillées afin de trouver la solution adéquate pour les structures épitaxiales en vue de l'amélioration de la dissipation thermique. La méthode choisie dite de thermo-compression grâce à une interface métallique d'or a été décrite et les différents paramètres nécessaires pour la réalisation d'un collage de bonne qualité ont été étudiés. Cela a fait l'objet de nombreux essais et les résultats finaux obtenus sur nos couches de TBHs ont été satisfaisants ; ce qui a été confirmé par des premiers reports effectifs sur substrat à haute résistivité thermique de silicium avec des caractéristiques électriques des jonctions.

Nous avons donc démontré la faisabilité d'une technique de transfert de substrat de couches actives de transistors bipolaires à relativement basse température de 200°C qui a été appliquée à des dispositifs submicroniques dont la technologie de fabrication et les optimisations développées sont présentées dans le prochain chapitre.

Références bibliographiques

- [1] V.Jain, E.Lobisser, A.Baraskar, B.J. Thibeault, M.J.W. Rodwell, M.Urteaga, D.Loubychev, A.Snyder, Wu Ying, J.M. Fastenau, A.W.K.Liu, “InGaAs/InP DHBTs demonstrating simultaneous $f\tau/f_{max} \sim 460/850\text{GHz}$ in a refractory emitter process”, Compound Semiconductor Week and 23rd International Conference on Indium Phosphide and Related Materials, (CSW/IPRM), 2011
- [2] M.Urteaga, R.Pierson, P.Rowell, V.Jain, E.Lobisser, M.J.W. Rodwell, “130nm InP DHBTs with $f_t > 0.52\text{THz}$ and $f_{max} > 1.1\text{THz}$ ”, 69th Annual Device Research Conference (DRC), 2011
- [3] W.Snodgrass, W.Hafez, N.Harff and M.Feng, “Pseudomorphic InP/InGaAs HBT experimentally demonstrating $f_t = 765\text{GHz}$ at 25°C and 845GHz at -55°C ”, IEEE proceedings of IEDM, pp.1-4, 2006
- [4] C. J. Li, T. Hussain, D.A. Hitko, P.M. Asbeck, M. Sokolich, “Characterization and modeling of thermal effects in sub-micron InP DHBTs”, IEEE Compound Semiconductor Integrated Circuit Symposium, 2005
- [5] Virginie Nodjiadjim, “TBH submicronique InP/InGaAs pour circuits numériques ou mixtes ultra-rapides », Thèse de doctorat de l’université de Lille 1, 2009
- [6] Gilles Koné, « Caractérisation des effets thermiques et des mécanismes de défaillance spécifiques aux transistors bipolaires submicroniques sur substrat InP dédiés aux transmissions optiques Ethernet à 112 Gb/s », Thèse de doctorat de l’université de Bordeaux 1, 2011
- [7] Benoît Barbalat, “Technologie et physique de TBHs Si/SiGeC auto-alignés très hautes fréquences”, Thèse de doctorat de l’université Paris-Sud XI, 2006
- [8] J.Li, D.Hitko, M.Sokolich, P.Asbeck, « Experimental method to thermally deembed pads from Rth measurements”, IEEE Transactions on Electron devices, vol.53, 2006
- [9] M.Rodwell, E. Lind, Z.Griffith, S.R.Bank, A.M. Crook, U.Singiseti, M. Wistey, G.Burek, A.C.Gossard, “Frequency Limits of InP-based Integrated Circuits”,
- [10] F.F. Oettinger, D.L. Blackburn, S.Rubin, “Thermal characterization of power transistors”, IEEE Transactions on Electron Devices, Vol.23, 1976
- [11] D.E. Dawson, A.K. Gupta, M.L.Salib, “CW measurement of HBT thermal resistance”, IEEE Transactions on Electron Devices, Vol.39, 1992
- [12] J.-S. Rieh, D. Greenberg, B. Jagannathan, G. Freeman, S. Subbanna, “Measurement and modeling of thermal resistance of high speed SiGe HBTs”, Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2001
- [13] W.Liu, H.Chau, E.Beam, “Thermal properties and thermal instabilities of InP based HBT”, IEEE Transactions on electron devices, 1996
- [14] M.Dahlström, Z.Griffith, Y.Kim, M.J.Rodwell, “High current density and high power density operation of ultra high speed InP DHBTs”
- [15] B. Grandchamp, V. Nodjiadjim, M. Zaknoute, G. A. Koné, C. Hainaut, J. Godin, M. Riet, T. Zimmer and C. Maneux, “Trends in Submicrometer InP-Based HBT Architecture Targeting Thermal Management”, IEEE Transactions on Electron Devices, Vol. 58, August 2011
- [16] Patrice Souverain, “Optimisation du comportement thermique des TBHs HF de puissance », Thèse de doctorat de l’université de Toulouse Paul Sabatier, 1996
- [17] P.Souverain, A.Cazarré, T.Camps, M.S.Faleh, J.Taselli, A.Marty and J.P.Bailbé, “Influence of thermal phenomena on the RF behavior of power HBTs and optimization”, Proceedings for the 21st International Conference on Microelectronics, MIEL 1997

- [18] G.S.Matijasevic, C.Y.Wang, C.C.Lee, "Void free bonding of large silicon dice using gold-tin alloys", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol.13 , 1989
- [19] C.C.Lee,C.Y.Wang,G.Matijasevic, "Au-In bonding below the eutectic temperature", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol.16 , 1993
- [20] U.Hochuli,P.Haldemann, "Indium Sealing Techniques", Review of Scientific Instruments, Vol.43 ,1972
- [21] V.Simic and Z.Marinkovic, "Thin film interdiffusion of Au and In at room temperature", Thin solid films, vol.41, 1976
- [22] G.S.Matijasevic, C.Y.Wang, C.C.Lee, "Void free bonding of large silicon dice using gold-tin alloys", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol.13 , 1990
- [23] K.Shimizu, T.Nakanishi, K.Karasawa, K.Hashimoto and K.Niwa, "Solder joint reliability of Indium-alloy interconnection", Journal of Electronic Materials, vol.14, 1995
- [24] D.Olsen and H.Berg, "Properties of die bond alloys relating to thermal fatigue", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol.2 , 1979
- [25] R.Darveaux and I.Turlik, "Shear deformation of indium solder joints", IEEE Transactions on Components, Hybrids, and Manufacturing Technology, Vol.13 , 1990
- [26] G.Wallis, P.R.Mallory, D.I.Pomerantz, "Field assisted glass-metal sealing", Journal of Applied Physics, vol.40, 1969
- [27] W.Jun, X.Hong, F.Lan, « Low temperature Si-to-Glass Anodic bonding », Singapore Institute of Manufacturing Technology Technical report, 2002
- [28] T.Lee, I.Hsing, and C.Liaw, "An improved anodic bonding process using pulsed voltage technique", Journal of MEMS, vol.9, 2000
- [29] Carissa D.Tudryn, "Characterization of anodic bonding", Engineering thesis, 2003
- [30] S.Seonho, N.Rolland, P-A.Rolland, "Bonding and glass wet etching for millimeter wave applications", Solid-State Sensors, Actuators and Microsystems International Conference, 2007
- [31] W.Brockmann, P.Ludwig Geis, J.Klingen and B.Schröder, "Adhesive bonding as a joining technique", 2009
- [32] J.Han, S.Lee, A.Puntambekar, S.Murugesan, J-W.Choi, G.Beaucage and C.Ahn, "UV adhesive bonding techniques in room temperature for plastic lab-on-a-chips", 7th International conference on miniaturized chemical and biochemical analysis systems, 2003
- [33] M.X.Chen, X.H.Song, Z.Y.Gan and S.Liu, "Low temperature thermo-compression bonding between aligned carbon nanotubes and metalized substrate", IOP Nanotechnology, vol.22, 2011
- [34] B.Agarwal, Q.Lee, D.Mensa, R.Pullela, J.Guthrie and M.J.Rodwell, "80GHz distributed amplifiers with transferred substrate HBTs", IEEE Transactions on Microwave Theory and techniques, vol.46, 1998
- [35] Eric Bastow, "The value of InPb solders", OnBoard Technology, pp.48-51, 2009
- [36] R.Pullela, Q.Lee, B.Agarwal, D.Mensa, J.Guthrie, L. Samoska, M. Rodwell, "A >400 GHz fmax transferred-substrate HBT integrated circuit technology", Device Research Conference Digest, 1999
- [37] S.Topaloglu, J.Driesen, A.Poloczek and F.J.Tegude, "Fabrication of transferred substrate technology HBT with simple technology", International Conference on Indium Phosphide and Related Materials IPRM, 2005

- [38] T.Kraemer, M.Rudolph, F.Schmueckle, J.Wuerfl and G.Traenkle, “InP DHBT process in transferred substrate technology with f_T and f_{max} over 400GHz”, IEEE Transactions on Electron devices, vol.56, 2009
- [39] T.Kraemer, C.Meliani, F.J.Schmueckle, J.Wuerfl, G.Traenkle, “Traveling wave amplifiers in transferred substrate InP DHBTs”, IEEE Transactions on Microwave Theory and Technique, vol.57, 2009
- [40] Young module
- [41] J.Lepagnol et D.Brunner, “Le nitrure d’aluminium AlN, principales propriétés et applications en électronique”
- [42] X.F.Ang, G.G.Zhang, J.Wei, Z.Chen, and C.C.Wong, “Temperature and pressure dependence in thermocompression gold stud bonding”, Thin Solid Films, vol.504, 2006

Chapitre III :

Fabrication technologique de TBHs submicroniques pour la transmission optique à 112Gb/s

Aujourd'hui, l'utilisation de la fibre optique pour la transmission de données avec des signaux à très haut débit nécessite le développement de circuits électroniques ultra-rapides. Pour la nouvelle génération Ethernet à 112Gb/s, des premiers circuits ont déjà été démontrés ; le transistor bipolaire à base d'InP est en effet un très bon candidat pour la réalisation de circuits très performants dans ce contexte. Pour réaliser des composants électroniques capables de supporter des débits de 112Gb/s, les transistors doivent fonctionner à des fréquences de coupure de l'ordre de 3 fois cette valeur soit de 300GHz [1]. En effet, en réponse à cet appétit grandissant dans la quête des hautes performances fréquentielles, la fabrication technologique de transistors bipolaires a connu nombre d'améliorations ces dernières années et des fréquences de coupure F_t et F_{max} atteignant 500GHz ont été démontrées [2]. Néanmoins, pour atteindre ces performances élevées, les TBHs doivent fonctionner à de très hautes densités de courant (Cf chapitre 2) induisant des limitations du fait de l'auto-échauffement des composants. Dans le cadre de ces travaux de thèse, l'objectif est de démontrer la faisabilité d'un procédé de fabrication technologique de transistors bipolaires reportés en vue de la dissipation thermique ; ces transistors devront fonctionner pour des futures applications dans la gamme de fréquence autour de 300GHz tout en limitant l'effet du phénomène d'auto-échauffement lors de leur fonctionnement. Les efforts fournis pour atteindre ces objectifs ne sont donc pas orientés vers la poussée accrue des composants aux très hautes fréquences mais plutôt vers l'amélioration du comportement thermique des transistors bipolaires.

Dans ce chapitre, nous allons discuter de la structure de couches utilisée ainsi que de la fabrication technologique des transistors bipolaires submicroniques, indispensables pour la réalisation de circuits de transmission optique à 112Gb/s. Nous allons tout d'abord présenter le contexte scientifique qui a poussé au choix de la structure épitaxiale. Ensuite, nous détaillerons les différentes étapes de la fabrication technologique de composants submicroniques sur structure de TBH classique émetteur-up et inversée collecteur-up. Enfin, nous aborderons les différents développements technologiques qui ont mené aux composants finaux ainsi obtenus.

I/- Epitaxie de structure de DTBH à base d'InP classique et inversée collecteur-up en vue de l'amélioration de la dissipation thermique

La fabrication technologique de dispositifs submicroniques destinés à la haute fréquence commence tout d'abord par le choix de la structure épitaxiale ; ce choix est d'autant plus important que des paramètres tels que l'épaisseur des couches, leur dopage ou encore la qualité des couches épitaxiales influencent directement les différents facteurs de mérite du TBH. Il s'agit non seulement du gain en courant statique mais également des fréquences de coupure des transistors ainsi réalisés. Nous avons donc porté une attention particulière à notre structure finale dont le descriptif détaillé est présenté dans ce qui suit.

I-1/- Structures épitaxiales

Dans le cadre de ces travaux de thèse, nous avons établi un cahier de charges pour la croissance épitaxiale de couches actives de TBHs à base d'InP, capables de fonctionner avec des fréquences de coupure de l'ordre de 300GHz. L'ensemble des couches utilisées pour la réalisation des dispositifs submicroniques ont été obtenues par épitaxie par jet moléculaire MBE et développées au sein du laboratoire [Collaboration équipe EPIPHY]. Comme nous l'avons vu dans le chapitre précédent, le report de couches actives de TBHs nécessite l'utilisation d'une structure épitaxiale en inverse collecteur-up. Cela a abouti à l'obtention d'une structure de couches inversée ayant des bonnes qualités de croissance en vue de la réalisation de dispositifs submicroniques ultra-performants.

La structure reportée découle d'une structure classique émetteur-up présentée tableau 3-1 en opérant simplement une inversion des couches d'émetteur et de collecteur mais également pour la suppression de la couche de sous-collecteur pour des raisons abordées plus tard dans ce chapitre.

Contact Emet.	In_{0,53}Ga_{0,47}As	n+ 3e19	200Å
Contact Emet.	InP	n+ 3e19	1000Å
Emetteur	InP	n- 5e17	50Å
Emetteur	Al : 0% AlInP Al : 15%	n- 5e17	150Å
Base	Ga_{0,51}As_{0,49}Sb	p+ 4e19	200 Å
Collecteur	InP	n- 7e16	1000Å
Sous Collecteur	InP	n+ 3e19	100Å
	In_{0,53}Ga_{0,47}As	n+ 3e19	200Å
	InP	n+ 3e19	3000 Å
	In_{0,53}Ga_{0,47}As (Etch stop)	NID	200Å
Buffer	InP	Non dopé	200Å
Substrat	InP	Semi-Isolant	350µm

Tableau 3-1 : Structure épitaxiale de DTBH InP/GaAsSb classique

Le tableau 3-2 présente la structure adoptée avec les épaisseurs des différents matériaux semi-conducteurs qui la composent.

Couche	Matériau	Dopage (cm ⁻³)	Epaisseur
Collecteur	InP	n- 7e16	1000Å
Base	Ga _{0.51} As _{0.49} Sb	p+ 4e19	200 Å
Emetteur	Al : 15 % AlInP Al : 0 %	n- 5e17	150 Å
Emetteur	InP	n- 5e17	50Å
Contact Emet.	InP	n+ 3e19	1000Å
	In _{0,53} Ga _{0,47} As	n+ 3e19	200Å
Buffer	InP	Non dopé	
Substrat	InP	Semi- isolant	350µm

Tableau 3-2 : Structure épitaxiale de DTBH InP/GaAsSb inversée

I-2/- Descriptif de la structure épitaxiale

La structure épitaxiale inversée présentée sur le tableau 3-2 possède l'avantage d'être largement simplifiée par rapport à une structure de couches classique (cf chap.2) ; en effet, chaque matériau semi-conducteur peut directement être réalisé en accord de maille sur le suivant et sur le substrat InP et il n'est pas nécessaire d'avoir des couches d'arrêt et/ou de sous-collecteur.

I-2-1/- L'émetteur et l'hétérojonction émetteur-base

L'émetteur composite en AlInP est d'une épaisseur de 15nm précédé d'une couche très fine d'InP de 5nm, en accord de maille sur le substrat. Il est dopé faiblement au silicium grâce à l'utilisation d'une hétérojonction émetteur-base. Ce faible dopage va permettre une désertion totale des porteurs aux faibles tensions afin de minimiser la capacité émetteur-base. L'incorporation graduelle d'aluminium permet d'obtenir une couche d'Al_{0.15}In_{0.85}P à l'interface émetteur-base. Cela permet de réduire la discontinuité de bande de conduction à cette interface en vue de l'augmentation du gain statique en courant. En effet, l'équipe de M.Feng de l'Université de l'Illinois UIUC a récemment démontré l'amélioration de ces deux facteurs de mérite pour des TBHs InP/GaAsSb avec incorporation d'Aluminium dans l'émetteur [3].

Par ailleurs, pour obtenir des résistivités de contact de la couche d'émetteur les plus faibles possibles, et ainsi minimiser la résistance totale d'émetteur, la couche de contact est fortement dopée à 3.10¹⁹cm⁻³. Nous avons choisi InGaAs car son énergie de bande interdite est plus faible que celle de

l'InP (cf figure 3-1) [4]. Comme nous l'avons souligné dans le chapitre II, l'InP possède une conductivité thermique supérieure à celle de la plupart des matériaux III-V, notamment InGaAs ; c'est pourquoi, la couche de contact en InP est plus épaisse que l'InGaAs, dans le but de l'amélioration de la résistance thermique globale des transistors.

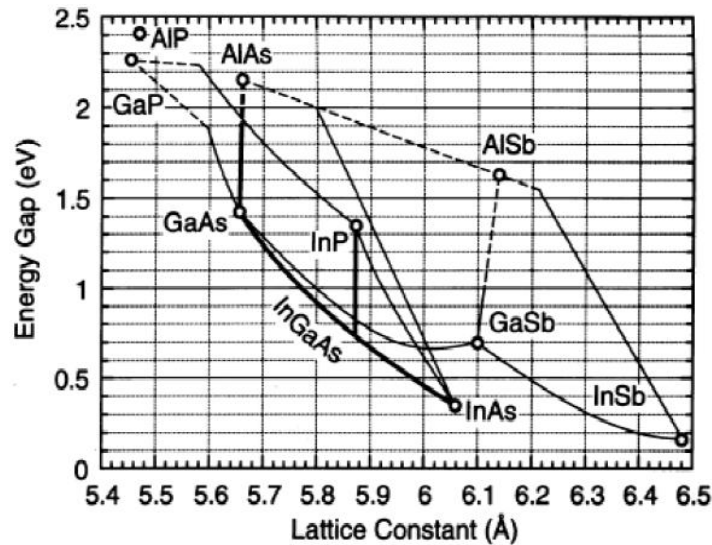


Figure 3-1 : Paramètres de maille et énergie de bande interdite de différents S-C

I-2-2/- La base et l'intérêt de l'utilisation d'une hétérojonction base-collecteur

La base a été choisie en GaAsSb pour la réalisation de TBH à double hétérojonction avec une hétérojonction base-collecteur de type II pour simplifier l'implémentation des porteurs dans le collecteur grâce à la suppression de la discontinuité de la bande de conduction. Des précédentes études à ce sujet ont déjà été réalisées notamment par l'équipe de C.Bolognesi à l'ETH Zurich. Ils ont montré l'intérêt de l'utilisation d'une hétérojonction BC GaAsSb/InP dans les DTBHs pour l'obtention d'une tension de claquage plus élevée qu'avec les DHBTs InGaAs/InP grâce au collecteur en InP [5]. Les résultats obtenus par son équipe ont ouvert la voie aux transistors bipolaires à base d'Antimoine. Comme nous pouvons le voir sur la figure 3-2 ci-après, la grande discontinuité de bande de valence de l'hétérojonction GaAsSb/InP (0.78eV) empêche la région de base de s'étendre dans la zone du collecteur [6] ; de plus, la bande de conduction de la base en GaAsSb permet une injection facile des électrons de la base vers le collecteur ce qui n'est pas le cas pour une structure InGaAs/InP. Ainsi, l'utilisation d'une base en GaAsSb dans les DTBHs en InP facilite l'implémentation des électrons à haute densité de courant et autorise des tensions de claquage élevées grâce au collecteur en InP [7].

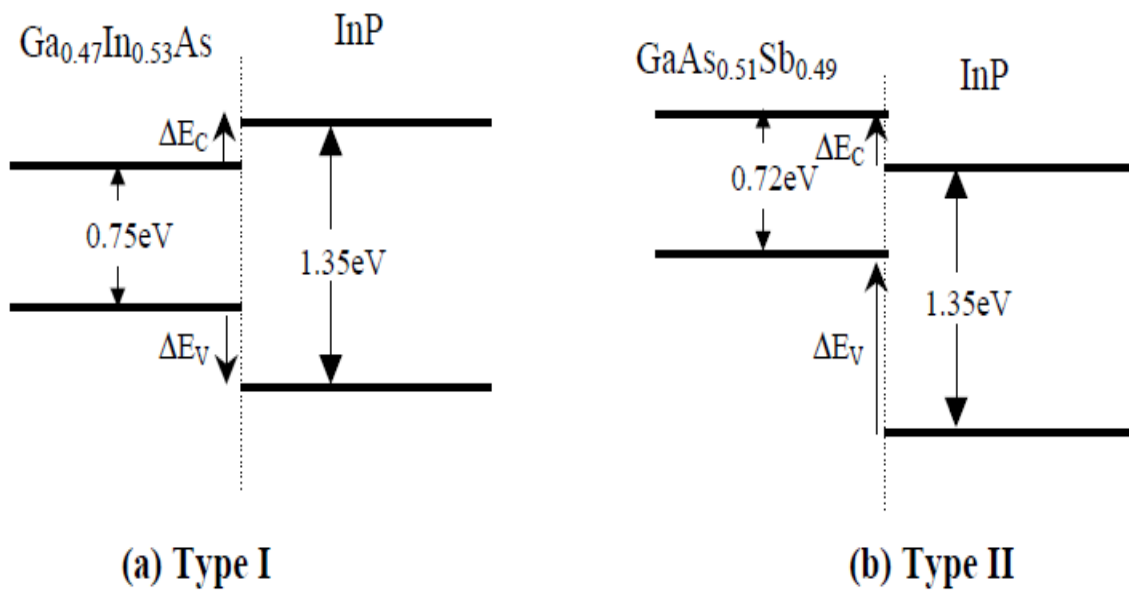


Figure 3-2 : Alignement de bandes dans les DTBHs a) type I ; b) type II

Même si des efforts ont été entrepris pour l'amélioration des tensions de claquage des DTBHs InP/InGaAs par le laboratoire III-V Lab [8], nous avons décidé d'opter pour la réalisation de TBHs submicroniques à base GaAsSb. De plus, des travaux initiaux ont déjà été menés au sein de notre laboratoire sur la croissance de couches actives à base GaAsSb pour la réalisation de TBHs [9].

Par ailleurs, la base en GaAsSb est dopée au carbone en opposition au béryllium qui a l'inconvénient de diffuser dans les couches voisines et donc limiter la durée de vie des composants [10]. Le béryllium a été utilisé très tôt dans les hétérostructures III-V en tant que dopant de type p ; cela a débouché sur des premiers succès pour les semi-conducteurs tels que le GaAs et le GaSb. C'est pourquoi il a naturellement été introduit en tant que dopant pour les structures à base de GaAsSb car résultant de l'alliage de ces deux semi-conducteurs précédents [11]. Des concentrations de trous supérieures à 10^{20}cm^{-3} ont été rapportées dans la littérature [12] permettant des valeurs de résistivité de contact assez faibles.

Le GaAsSb permet également d'accéder à des dopages de la base élevés grâce au carbone [13,14] indispensable pour la montée en fréquence des dispositifs submicroniques, tout en gardant une épaisseur de couche faible. Cela se traduit par l'obtention simultanée d'un faible temps de transit dans la base et d'une résistance convenable [15]. En effet, la fréquence maximale d'oscillation F_{max} est inversement proportionnelle à $\sqrt{R_b}$, la résistance de la couche de base ; une augmentation de la fréquence passera donc par une minimisation de cette résistance grâce à l'augmentation de la concentration des trous. Nous avons utilisé un dopage de base au béryllium d'une part et au carbone d'autre part. Toutefois, les couches concernées ici dont les résultats sont présentés au chapitre suivant ont toutes utilisées des dopages de la base au carbone.

Enfin, la mobilité des trous de la base est plus faible pour le GaAsSb par rapport à l'InGaAs de même que l'énergie de bande de valence ΔE_v est plus élevée pour le GaAsSb. Cela a pour

conséquence immédiate la présence d'un courant de trous injecté dans l'émetteur plus faible, c'est-à-dire un blocage des trous dans la base comme illustré sur la figure 3-3 ci-contre.

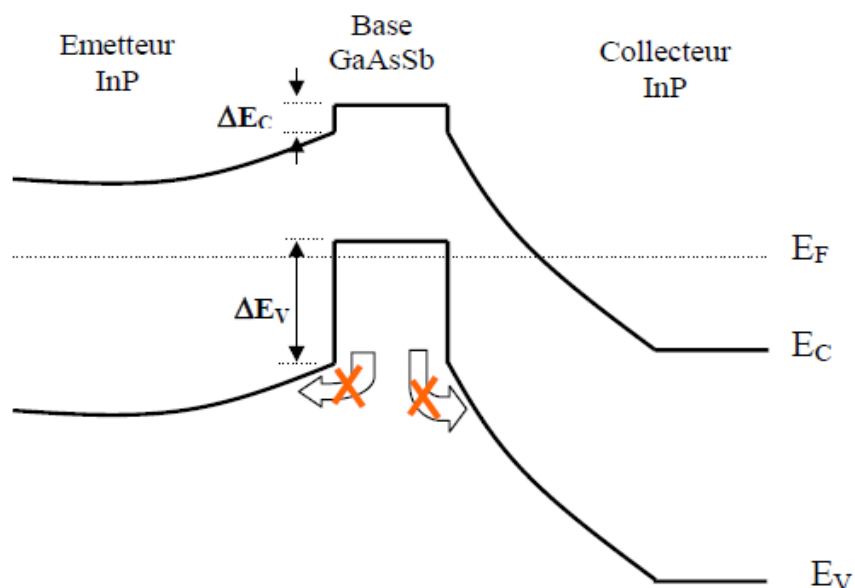


Figure 3-3 : Hétérojonctions E/B et B/C InP/GaAsSb traduisant le blocage des trous dans la base

Malgré ces avantages considérables pour obtenir des dispositifs électroniques ultra-performants, le GaAsSb possède toutefois des inconvénients pour son utilisation dans la base des DTBHs à base d'InP notamment des difficultés lors de l'épitaxie comme pour la plupart des matériaux alliages antimoniés mais également un phénomène Early très précoce. Dans ce contexte, des améliorations ont été proposées dans la littérature [16] mais n'ont pas été étudiées dans le cadre de cette thèse.

Pour les transistors bipolaires, le temps de transit dans la base est proportionnel par approximation au carré de l'épaisseur de la couche de base. C'est pourquoi, pour la structure épitaxiale concernée, nous l'avons choisie assez fine de 20nm avec une proportion en Antimoine de 49% en accord de maille sur l'InP. Pour compenser la réduction drastique de l'épaisseur, la couche a été dopée très fortement au carbone, ce qui permet de conserver un gain en courant statique satisfaisant, de même qu'une résistance de couche convenable.

I-2-3/- Limitations des TBHs à double hétérojonction : utilisation d'émetteurs composites

En régime de forte injection, les DTBHs de type I InP/InGaAs avec un collecteur en InP voient leurs performances se dégrader du fait d'un phénomène de blocage du courant à l'interface Base-Collecteur de ces composants ; malgré les efforts fournis pour réduire ce blocage par l'utilisation par exemple de collecteurs composites [17], ce phénomène pénalise la montée en fréquence des dispositifs. C'est pourquoi, une filière alternative de DTBH de type II InP/GaAsSb a été développée avec un alignement de bande de type II à l'interface Base/Collecteur des TBHs. En effet, l'offset de bande de conduction ainsi obtenu sur cette structure permet d'éliminer ce blocage entraînant une injection rapide des électrons de la base vers le collecteur. Afin d'atteindre des performances fréquentielles à l'état de l'art tout en gardant un niveau du gain en courant statique acceptable, des

améliorations sont nécessaires à l'hétérojonction Base/Collecteur. Pour les transistors InP/GaAsSb qui nous concernent, la résolution de ce phénomène de blocage de courant provoque des problèmes supplémentaires à l'interface Emetteur/Base du fait de la large discontinuité de bande de conduction à cette interface. La solution à ce problème passe par la réduction voire la suppression de l'hétérojonction de type-II à l'interface émetteur-base ; ce qui a pour but de permettre une injection d'électrons chauds dans le collecteur pour améliorer le gain en courant statique et la vitesse des électrons dans la base, donc les fréquences de coupure [18]. D'autres explications de ce phénomène ont été avancées dans la littérature [19] ; des travaux antérieurs ont d'ailleurs été menés à ce sujet dans notre équipe [20]. L'incorporation d'aluminium jusqu'à 30% dans l'émetteur en InP a permis des améliorations du gain statique en courant jusqu'à 6 fois pour des structures classiques émetteur-up avec 20 à 25 % d'aluminium (cf figure 3-4).

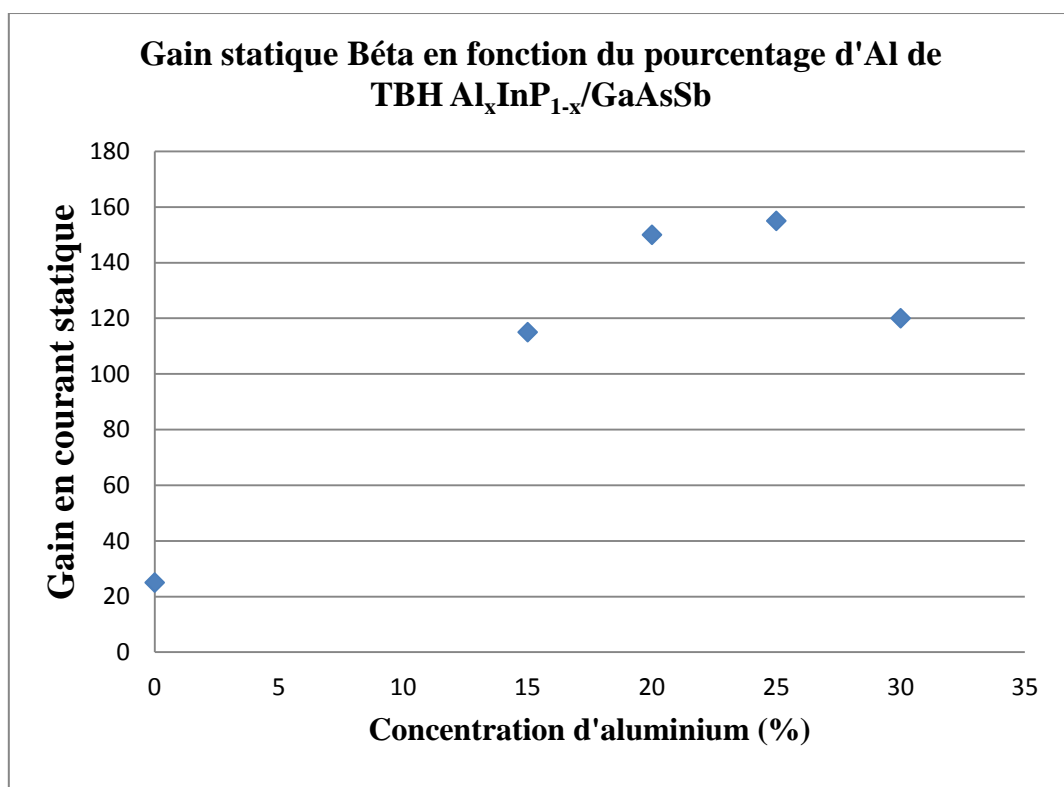


Figure 3-4 : Gain en courant statique selon le taux d'incorporation d'aluminium dans l'émetteur InP [20]

Néanmoins, nous avons choisi de garder ce taux à 15% sur cette structure afin d'éviter d'induire des contraintes trop importantes dues à la différence de paramètre de maille avec le substrat InP (cf figure 3-1). De plus, l'incorporation d'aluminium de 15% dans l'InP entraîne une augmentation du gain statique en courant d'un facteur 4 ou 5 (figure 3-4). Il a également été démontré l'amélioration du coefficient d'idéalité des jonctions émetteur-base de TBHs grâce à l'incorporation d'aluminium [20]. Ce point sera discuté ultérieurement dans le chapitre 4 concernant les transistors reportés réalisés dans le cadre de cette thèse.

D'autres voies pour la suppression de l'hétérojonction de type-II à l'interface Emetteur/Base des DTBHs InP/GaAsSb ont également été publiées dans la littérature. L'utilisation d'un émetteur composite en GaInP dans la structure de ces derniers transistors a permis d'éliminer ce phénomène

malgré le désaccord de maille induit lors de la croissance [21]. Cela a conduit à une amélioration du gain statique en courant passant de 166 avec une structure à émetteur classique à 338 avec cette structure à émetteur composite. Ces études montrent une fois de plus l'intérêt de l'utilisation de structure TBH à émetteur composite afin de supprimer le type-II de la bande de conduction à l'hétérojonction émetteur-base ; les phénomènes de recombinaison en surface de la base intrinsèque sont effectivement supprimés dans ce cas sur une large plage de fonctionnement, ce qui tend à réduire le courant de base final et d'augmenter ainsi le gain en courant statique malgré la réduction drastique de la taille des composants en vue d'obtenir des performances fréquentielles élevées [22].

C'est pourquoi, la nouvelle structure épitaxiale de DTBH que nous avons adopté utilise un émetteur composite en vue de réduire la discontinuité du type-II présent à l'hétérojonction Emetteur-Base. Cela nous permettra d'obtenir des gains en courant statique élevés et d'avoir des performances fréquentielles comparables à celles obtenues sur des structures à simple hétérojonction.

I-2-4/- Le collecteur de la structure épitaxiale

Le collecteur de la structure finale est donc en InP pour des raisons évoquées précédemment d'accord de maille directement sur GaAsSb mais surtout parce qu'elle permet l'obtention de tension de claquage élevée ; elle est faiblement dopée au silicium afin de permettre l'extension rapide de la zone de charge d'espace et de minimiser ainsi la capacité base-collecteur. L'épaisseur totale du collecteur est de 100nm ; puisque le temps de transit dans le collecteur est proportionnel à son épaisseur, elle doit rester fine dans le but d'une montée en fréquence des dispositifs à réaliser.

Enfin, l'absence de couches de sous-collecteur s'explique par le fait que cette structure viendra directement être reportée sur le substrat hôte grâce à une interface métallique par thermo-compression comme nous l'avons détaillé dans le chapitre précédent. Le contact de collecteur se fera donc directement sur le joint métallique de collage composé de Molybdène, de platine et d'or. Cela a l'avantage de favoriser considérablement une meilleure évacuation de la chaleur dans les dispositifs submicroniques car le sous-collecteur est d'habitude assez épais. De plus, les métaux tels que l'or ont des conductivités thermiques bien meilleures que l'InP ou les autres matériaux semi-conducteurs III-V, ce qui contribue également à faciliter la dissipation thermique.

Avec cette structure de couches finale de TBHs épitaxiée en inverse, nous avons effectué le report de couches actives sur un substrat de silicium à haute résistivité thermique comme représenté figure 3-5. Après retrait par voie humide du substrat originel d'InP dans une solution d'acide chlorhydrique, nous avons entrepris la réalisation technologique de transistors submicroniques avec une configuration dorénavant émetteur up habituelle. Les différentes étapes de ce travail vont être présentées dans ce qui suit.

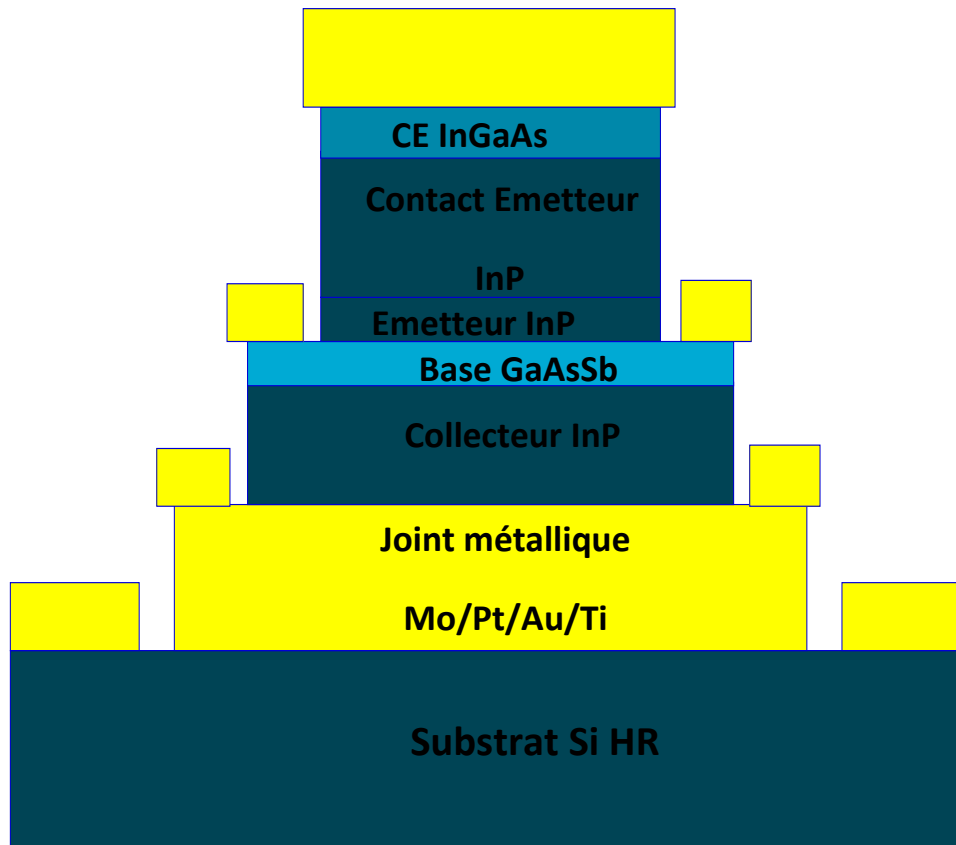


Figure 3-5 : Vue schématique d'un DTBH InP/GaAsSb reporté sur Si

II/- Fabrication technologique de transistors bipolaires submicroniques

Les transistors bipolaires à hétérojonctions qui font l'objet de cette thèse ont été étudiés à travers de nombreux travaux en vue de la réalisation de dispositifs submicroniques. La structure à double hétérojonction InP/GaAsSb pour laquelle nous avons opté possède un avantage certain pour la réalisation de dispositifs ultra-rapides dont les applications ont été énoncées au début de ce chapitre. L'obtention de fréquences de coupure de plus en plus élevées est possible et cela passe tout d'abord par la structure épitaxiale choisie mais également par le procédé de fabrication technologique utilisé. L'optimisation de l'empilement des couches épitaxiées détaillé au paragraphe précédent a pour but de réduire les différents paramètres intrinsèques compris dans le temps de transit global des dispositifs. L'accroissement des performances des transistors nécessite également l'optimisation des différentes étapes technologiques lors de la fabrication.

Pour la structure reportée qui nous concerne, plusieurs voies d'amélioration ont été mises à l'étude ; de la géométrie des transistors aux différents contacts ohmiques en passant par une réduction considérable de la taille des dispositifs. Une technologie de fabrication entièrement auto-alignée existe déjà au sein du laboratoire sur une structure classique émetteur-up et a montré la réalisation de transistors bipolaires avec différents types de matériaux à base d'antimoine avec des fréquences de coupure de 50GHz [23] sur structures innovantes AlInAsSb/GaInSb/AlInAsSb dans le cadre de la thèse de E.Mairiaux mais également sur structures InP/GaAsSb qui concernent cette thèse [24]. Nous

sommes alors partis de cette technique auparavant utilisée pour la réalisation de dispositifs submicroniques en l'adaptant sur des structures reportés sur silicium.

La technologie choisie est une technologie entièrement auto-alignée avec une connexion des différents contacts par ponts à air en vue de la réalisation de DTBH InP/GaAsSb précédemment reportés sur un substrat hôte en vue de la dissipation thermique. Dans ce contexte, nous allons tout d'abord présenter dans cette partie la lithographie électronique indispensable pour la définition des différents contacts de TBHs ultra-rapides. Nous allons ensuite nous intéresser aux empilements métalliques étudiés pour chaque contact Emetteur, Base et Collecteur constituant notre transistor final. En effet, l'amélioration des performances fréquentielles des composants passe par les caractéristiques des contacts ohmiques comme nous allons le voir dans ce qui suit. La gravure chimique des différents semi-conducteurs sera par la suite étudiée. Cette étape sera d'autant plus critique que la structure inversée utilisée dans le cadre de ces travaux n'a jamais fait l'objet d'essais de gravure chimique ; même si les semi-conducteurs présents restent identiques, la croissance inversée pourrait engendrer des comportements différents des matériaux lors de la gravure du fait de la structure cristallographique de l'empilement de couche. Nous allons également discuter de la réalisation du contact de collecteur pour notre structure inversée sans couche de sous-collecteur et des solutions apportées aux problèmes rencontrés pour la définition de ce contact directement sur le joint de collage métallique. Enfin, la technique de connexion des trois électrodes par pont à air sera abordée juste après ; pour le contact de base, nous comparerons les techniques dites à pont de base ou à plot de base avant de faire notre choix pour le développement des briques technologiques permettant d'atteindre nos objectifs.

II-1/- Lithographie électronique

La première étape en vue de l'élaboration de ces dispositifs repose sur la réalisation du premier contact ohmique, à savoir celui d'émetteur. Afin d'atteindre des largeurs d'émetteur avec des dimensions critiques, l'utilisation de la lithographie électronique est indispensable ; de plus, pour notre technologie entièrement auto-alignée, la réalisation du contact de base nécessite un alignement par rapport au contact d'émetteur sur des dimensions de l'ordre de 0.25 à 0.5 μ m selon le masquage utilisé, difficilement possible par lithographie optique. C'est pourquoi l'ensemble des contacts d'émetteur, de base et de collecteur ont été réalisés par lithographie électronique. Au sein de notre institut, nous disposons d'un masqueur électronique de nouvelle génération ultra performant EBPG5000+ permettant la réalisation de motifs submicroniques avec des précisions d'alignement remarquables jusqu'à 10nm entre deux niveaux et un faisceau avec une tension d'accélération standard de 100kV pouvant être modifié à des valeurs plus basses. Pour réaliser les ouvertures nécessaires pour les contacts ohmiques des différentes électrodes, on utilise deux couches de résines électro-sensibles de type polymères standard Poly Méthyl MéthAcrylate PMMA ; grâce au masque défini, les zones souhaitées seront exposées par le faisceau d'électrons accélérés, les chaînes de polymères seront détruites et les ouvertures sont réalisées grâce à la dissolution de ces chaînes dans une solution de MIBK et d'alcool IPA [23].

II-2/- Réalisation des contacts ohmiques

Suite à ce procédé, les endroits à métalliser sont directement définis par les ouvertures ainsi obtenues. Les dépôts métalliques se font par évaporation sous vide de couches d'or possédant une faible résistivité électrique pour les différents contacts. Afin de permettre une bonne adhérence de la couche d'or sur les semi-conducteurs, on incorpore entre ces dernières une fine couche de titane ; de

plus, pour éviter des phénomènes de diffusion du métal à travers les couches actives, on insère entre le titane et l'or une couche de platine. L'empilement ainsi obtenu pour les différents contacts ohmiques est composé de Ti/Pt/Au et permet l'obtention de bonnes caractéristiques électriques de nos contacts (cf partie sur TLM) ; après les dépôts métalliques, les contacts sont obtenus en enlevant la couverture de résine restante par la technique du lift-off dans des solutions de Remover classiques disponibles sur le marché de la nanofabrication.

La réalisation de contacts ohmiques avec de bonnes caractéristiques trouve toute son importance dans notre but d'améliorer les fréquences de coupure de nos TBHs. En effet, c'est grâce à ce contact ohmique qu'on peut réduire la résistance de base par exemple et donc accroître F_{max} car

$$F_{max} = \sqrt{\frac{Ft}{8\pi R_B C_{BC}}}$$

De même, les différentes résistances de contact des trois électrodes participent aux résistances globales d'émetteur, de base et de collecteur ; c'est pourquoi, nous devons les minimiser en vue d'augmenter les facteurs de mérite des transistors notamment la fréquence de transition F_t par le biais de R_c et R_e . La fréquence de transition s'écrit en effet :

$$\frac{1}{2\pi Ft} = \tau_b + \tau_c + r_E \cdot (C_{BE} + C_{BC}) + C_{BC} \cdot (R_E + R_C)$$

Cela est d'autant plus vrai pour la réalisation de dispositifs submicroniques résultant de la réduction drastique de la taille des composants et débouchant sur des effets limitatifs supplémentaires.

D'autres essais sur les contacts ohmiques n-InGaAs et p-GaAsSb avaient précédemment été réalisés afin d'obtenir des caractéristiques de couches après optimisation en vue d'une amélioration des performances fréquentielles. Pour le contact ohmique d'émetteur en n-InGaAs, pour lequel la couche de contact est très fortement dopée, nous avons réalisé des améliorations en réduisant la proportion de gallium afin de tendre vers l'InAs. Il a en effet été démontré que l'InAs possédait une faible bande interdite [22] ce qui conférait aux transistors ainsi réalisés des contacts d'émetteur de très bonne qualité. Sur ce matériau, nous avons mesuré des valeurs de résistivités et de résistances de couches très convenables que nous avons relevé sur un tableau en guise de comparaison avec les valeurs finalement obtenues pour un empilement Ti/Pt/Au (Cf partie sur TLM).

De plus, en ce qui concerne le contact de base, les dernières modifications nous ont également conduit sur un empilement métallique classique en Ti/Pt/Au. Néanmoins, des travaux précédents visant l'amélioration des caractéristiques de couche notamment pour la réduction de la résistance globale de base ont été réalisés. Dans ces études, l'empilement considéré était en Pd/Ti/Pd/Au ; des résultats avaient été présentés auparavant dans la littérature et affichaient des résistivités faibles pour les contacts p-GaAsSb basés sur l'utilisation du palladium [25] de l'ordre de $6 \text{ à } 8 \cdot 10^{-9} \Omega \cdot \text{cm}^2$. C'est pourquoi, nous avons choisi cette voie d'amélioration afin de réduire la résistance de base et d'améliorer par la suite la fréquence maximale d'oscillation de nos dispositifs submicroniques. Malheureusement, cet empilement était sujet à des problèmes d'adhérence du palladium sur la couche de base et on assistait du coup à des décollements du contact de base à divers endroits de nos échantillons. Face à ce désagrément provoquant un rendement de fabrication assez faible de nos dispositifs, nous avons conservé un empilement métallique classique pour le contact de base en Ti/Pt/Au. Dans la littérature, une comparaison entre les contacts ohmiques à base de platine et de palladium avait été réalisée par les mêmes chercheurs que précédemment et ils ont reportés des valeurs

de résistivités supérieures d'un facteur 10 à 15 entre un empilement à base de palladium et d'or et une structure classique Ti/Pt/Au sans prétraitement.

Il est à noter que l'ensemble de nos contacts ohmiques ont été déposés sans traitement préalable hormis une étape de nettoyage de la surface grâce à un etching physique d'argon. De même, nos contacts n'ont subi aucun recuit d'activation après dépôt métallique et lift-off.

Les mesures TLM Transmission Line Measurement sont réalisées dans le but de déterminer la qualité des différents contacts (pour les trois électrodes) mais également de l'épitaxie des couches actives de TBHs. Elles peuvent être réalisées en cours de fabrication ou à la fin. Ces mesures sont réalisées par caractérisation électrique par la technique des « 4 pointes » grâce à un ensemble d'électrodes (6 dans notre cas) de largeur W valant $100\mu\text{m}$ et séparées par une distance inter-électrode variable L . Sur le masque utilisé dans notre technologie, les distances sont respectivement de 5, 10, 15, 20 et $25\mu\text{m}$ comme indiqué sur la figure 3-6. Contrairement à la technique dite « deux pointes », elle permet de supprimer l'effet des résistances parasites.

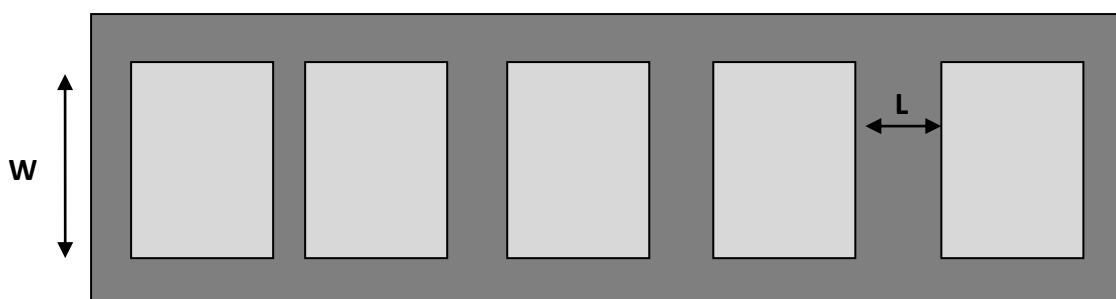


Figure 3-6 : Représentation schématique d'une échelle de résistance pour mesures TLM

Les mesures sous pointes ainsi réalisées permettent de représenter l'évolution de la résistance en fonction de la longueur inter-électrode ; c'est une fonction linéaire dont l'équation est donnée par la formule :

$$R(L) = 2 \times R_{\text{contact}} + R_{\text{couche}} \times \frac{L}{W}$$

La droite ainsi obtenue permet d'extraire des paramètres importants que sont la les résistances de couche également appelée la résistance par carrée et de contact pour chaque électrode Emetteur, Base et Collecteur comme nous pouvons le constater sur la figure 3-7 représentant les valeurs de résistances mesurées pour différentes distances inter-électrodes.

R_{couche} est donnée par la pente de la droite et R_{contact} par l'ordonnée à l'origine. Enfin, grâce à la longueur de transfert L_T , il est possible d'en déduire la résistivité de contact de la couche ρ tel que :

$$\rho = L_T^2 \times R_{\text{couche}}$$

En effet, la longueur de transfert s'obtient en extrapolant la longueur pour une valeur de résistance nulle ; sa formule s'écrit :

$$L_T = R_{\text{contact}} \times \frac{W}{R_{\text{couche}}}$$

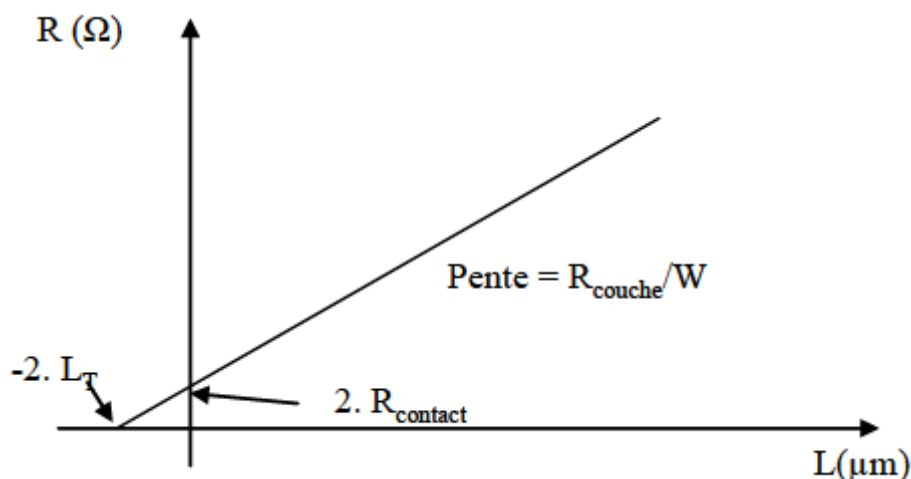


Figure 3-7 : Résistance en fonction de la distance inter-électrode

L'ensemble de nos contacts ohmiques ont été directement déposés sur les semi-conducteurs sans traitement de surface particulier au préalable. On opère seulement un nettoyage par plasma d'argon dans le bâti d'évaporation des métaux comme nous l'avons fait remarquer précédemment. Néanmoins, des valeurs de résistivités de contact et de couches satisfaisantes ont été obtenues pour les trois différentes électrodes, comparables à la plupart des réalisations sur ces types de contact à la fois pour n-InGaAs et p-GaAsSb. Les valeurs ainsi déduites de nos caractérisations électriques sont présentées dans le tableau 3-3.

Nature Couche	Emetteur Contact en InGaAs Epaisseur 20nm Dopage n+ 3.10^{19}cm^{-3}	Base Contact en GaAsSb Epaisseur 20nm Dopage p+ 4.10^{19}cm^{-3}
Résistance de couche (Ω/\square)	40.58	2000-4000
Résistivité de contact ($\Omega \cdot \text{cm}^2$)	$1.35 \cdot 10^{-7}$	$2.63 \cdot 10^{-6}$

Tableau 3-3 : Caractéristiques électriques des différents contacts ohmiques

Après cette première caractérisation pour s'assurer de la bonne qualité de la structure épitaxiale, les transistors submicroniques seront caractérisés par mesures statiques, hyperfréquences mais également thermiques en vue d'en déduire les différents facteurs de mérite (Cf chap4).

Enfin, pour obtenir la structure finale de chaque mesa, il est nécessaire de procéder à la gravure des matériaux semi-conducteurs qui le composent.

II-3/- Gravures chimiques et profils de gravure

Comme nous l'avons souligné en introduction à cette partie du chapitre, les caractéristiques des transistors bipolaires sont étroitement liées à la technologie de fabrication utilisée. L'obtention de hautes fréquences passe en effet par la réduction des dimensions latérales des dispositifs ; son contrôle se fait non seulement lors de la définition des contacts par la lithographie électronique mais également par le procédé de gravure utilisée afin d'identifier les mesas de nos structures (contact ohmique+ semi-conducteur concerné). C'est pourquoi, la gravure de l'ensemble des couches épitaxiales des DTBHs présente un fort intérêt en vue de l'obtention d'un comportement adéquat aux hautes fréquences.

Il existe deux types de gravure habituellement utilisés pour la gravure des semi-conducteurs : il s'agit de gravures dite anisotropes, c'est-à-dire dont le profil ne dépend pas de l'orientation cristallographique du semi-conducteur, et de gravures isotropes avec des flancs provenant des caractéristiques physiques des matériaux tels que l'orientation cristallographique. Les gravures isotropes par voie humide, d'ordre purement chimique pour la plupart, résultent de l'interaction dans une solution d'attaque chimique de certains composés chimiques avec le matériau à graver. Ces gravures peuvent être de plusieurs types selon la composition des solutions en question ; on peut citer par exemple une réaction de type oxydoréduction faisant intervenir un agent « oxydant » capable de capter un électron tel que le peroxyde d'hydrogène H_2O_2 et un agent « réducteur » capable lui d'en céder un. Il existe également des solutions résultant du mélange de deux acides ou d'un acide et d'une base pour la plupart des attaques, souvent combiné d'un agent diluant supplémentaire afin d'estomper l'agressivité des solutions utilisées et permettre ainsi un meilleur contrôle des profils de gravure. Compte-tenu des caractéristiques énoncées ci-devant et de notre technologie d'auto-alignement utilisée, il convient dans le cadre de ce travail d'utiliser une gravure par voie humide ; en effet, l'auto-alignement du contact de base directement sur celui d'émetteur nécessite une profondeur de sous-gravure du mesa d'émetteur afin d'éviter toute présence de court-circuit.

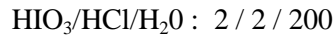
Le principal paramètre pouvant affecter la vitesse de gravure est tout d'abord la proportion de chacun des constituants de la solution réalisée ; cela va de soi que les réactions chimiques qui ont lieu lors de la gravure dépendent de la quantité de porteurs en jeu. Les autres paramètres qui ont un effet sur la vitesse de gravure sont le dopage du matériau à graver et son type mais également la qualité de l'état de surface (surface contaminée ou non).

Dans ce paragraphe, nous allons présenter les différentes solutions d'attaque utilisées pour l'obtention d'une bonne définition des mesas grâce à une technique de gravure humide sélective entre les différents semi-conducteurs. Nous allons également montrer les proportions utilisées en vue de la limitation des phénomènes de sous-gravure particulièrement lors de la gravure du mesa d'émetteur.

Pour obtenir des gravures par voie humide sélectives, il est nécessaire d'utiliser des solutions capables de graver de façon préférentielle un matériau plutôt qu'un autre, c'est-à-dire une solution qui n'attaquera pas la ou les couches de semi-conducteurs présents en-dessous du matériau à graver. Pour les structures InP/GaAsSb qui nous concernent, il existe des solutions d'attaques sélectives entre ces matériaux : à la fois pour l'interface InP/InGaAs et celle InP/GaAsSb. Il s'agit de solutions existantes pour la gravure de composés arséniés et antimoniés : l'acide ortho-phosphorique H_3PO_4 , l'acide chlorhydrique HCl et le peroxyde d'hydrogène H_2O_2 [26].

La gravure du GaAsSb et celle de l'InGaAs se font toutes deux dans une solution H_3PO_4/H_2O_2 diluée dans de l'eau. Celle de l'InP est obtenue grâce à une solution de HCl/ H_3PO_4 .

L'intérêt des solutions d'attaque utilisées est de permettre une gravure chimique sélective entre les différents matériaux et donc de s'arrêter à l'interface entre chaque semi-conducteur. Néanmoins, nous avons introduit des étapes de gravure rapide aux différentes interfaces afin de supprimer les éventuels alliages qui pourraient se former entre les semi-conducteurs. Cette étape se fait grâce à l'utilisation d'un mélange d'acide chlorhydrique et d'acide iodique HIO_3 ; ce mélange permet la gravure chimique de l'InGaAs, du GaAsSb, de l'InP mais également des différents alliages résultant du mélange de composés arséniés avec des composés phosphorés [27]. L'avantage de cette solution est l'obtention possible de vitesse de gravure très faible et sans sous-gravure grâce à une composition en acides diluée dans une grande proportion d'eau. Celle utilisée dans le cadre de nos travaux a une proportion qui est la suivante :



Par ailleurs, pour le bon contrôle de la sous-gravure lors de la gravure chimique des semi-conducteurs, il faut prendre en compte leur comportement cristallographique. En effet, il existe des gravures chimiques isotropes, c'est-à-dire ne dépendant pas de l'orientation cristallographique du semi-conducteur gravé ; néanmoins il existe des gravures chimiques anisotropes, les plus nombreuses, qui elles dépendent de l'orientation cristallographique. C'est le cas par exemple du matériau InP présent à la fois sur l'émetteur et sur le collecteur de notre structure épitaxiale. Il est donc important de considérer des flancs de gravure pouvant permettre l'auto-alignement du contact de base directement sur celui d'émetteur, ce qui nécessite un profil de sous-gravure de l'InP rentrant. Pour l'InP, selon l'orientation cristallographique, différents flancs peuvent être obtenus comme présenté figure 3-8.

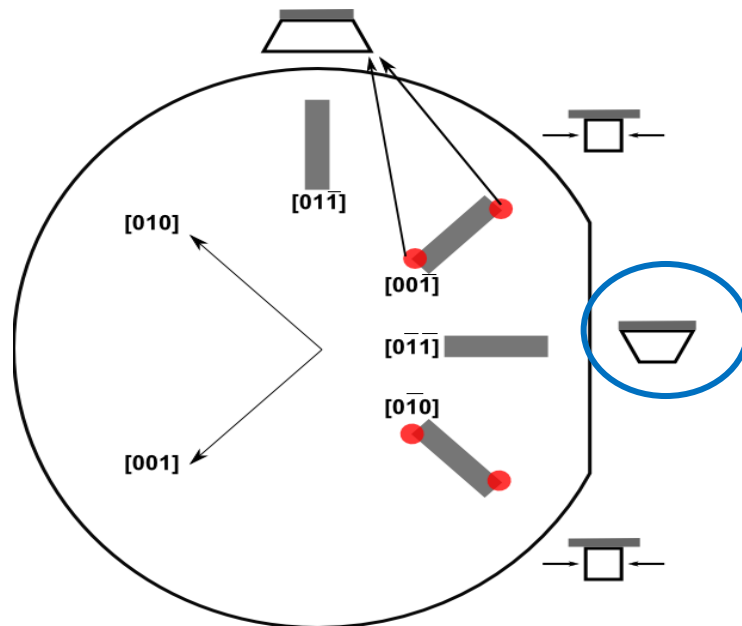


Figure 3-8 : Flancs de gravure de l'InP selon la direction cristallographique

En effet, la figure 3-8 nous montre clairement qu'une orientation des transistors bipolaires perpendiculairement au grand méplat dans la direction $[011]$ est donc favorable au contrôle de la sous-gravure de l'émetteur en InP grâce à des flancs de gravure rentrant. Mais cette configuration qui est valable pour des couches épitaxiées en configuration standard émetteur-up, ne le sera plus dans le cas d'une structure épitaxiée en inverse puis reportée. Toutefois, on conçoit que cette structure inversée résulte d'un point de vue schématique de la translation d'une structure directe par rotation avec un angle de 180° comme dessiné sur la figure 3-9; ce qui veut dire que pour obtenir les profils de sous-

gravure de l'InP correspondant à des pieds d'émetteur rentrant selon leur orientation cristallographique, les transistors bipolaires reportés doivent être orientés parallèlement au grand méplat.

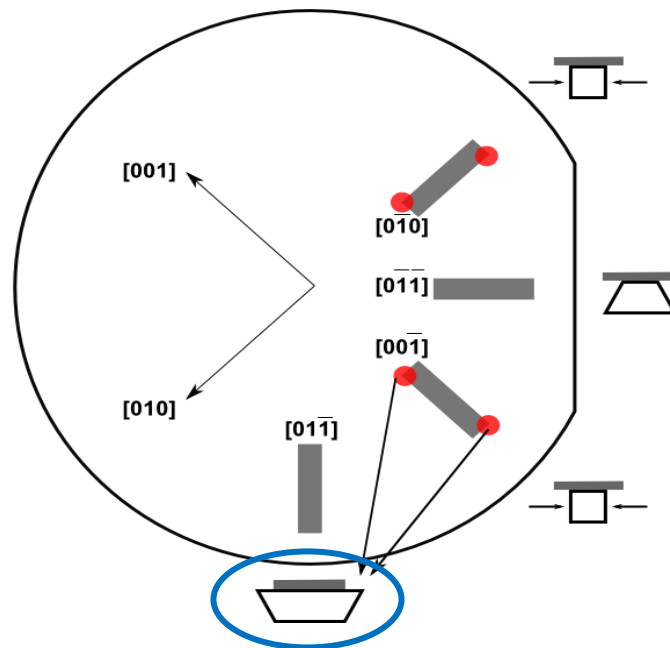
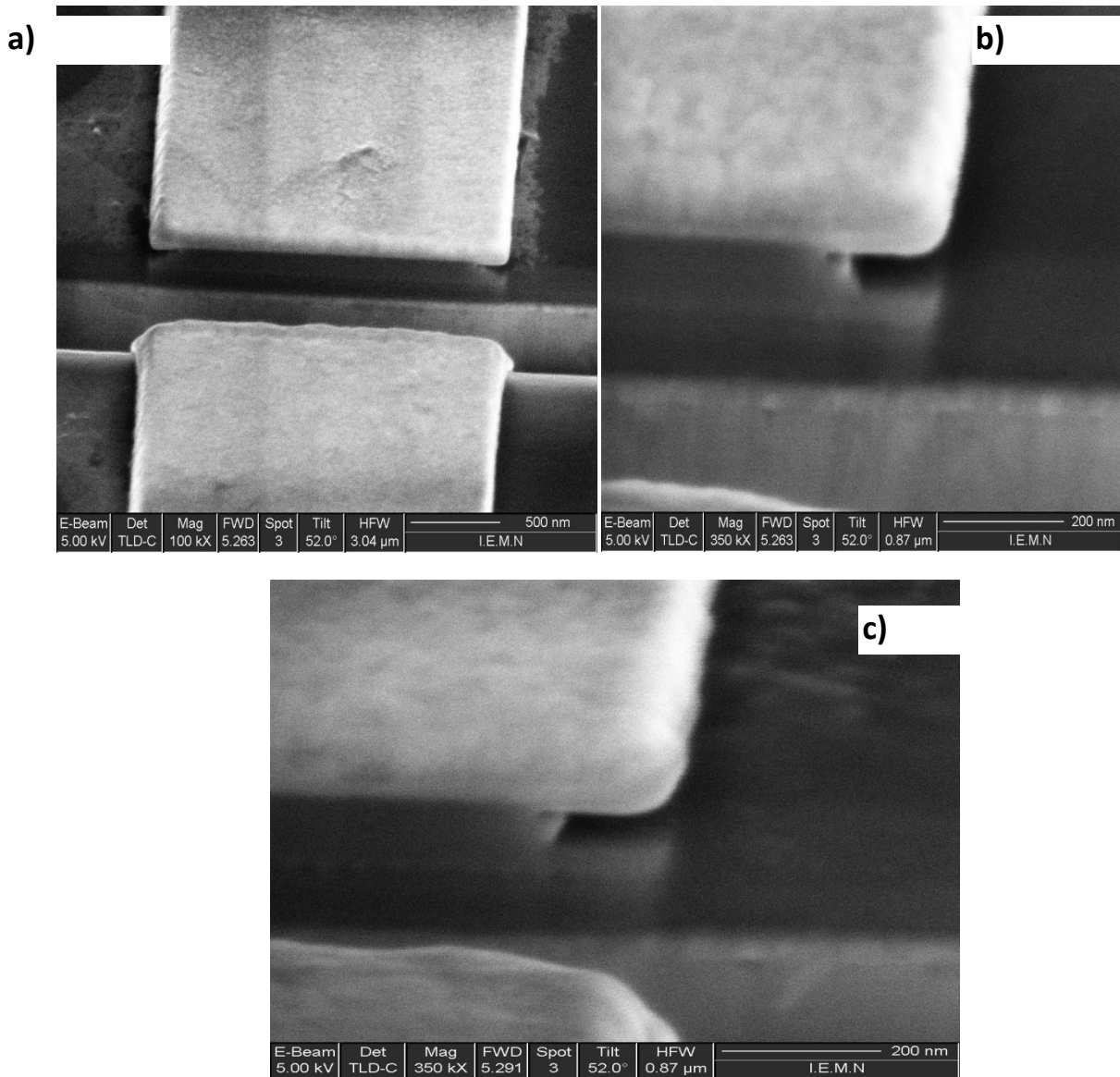


Figure 3-9 : Flancs de gravure de l'InP sur structure inversée selon la direction cristallographique

Des essais de gravure ont été réalisés sur des échantillons test avec les trois configurations : parallèlement au grand méplat, perpendiculairement et également à 45° afin de confirmer les remarques précédentes. Les différents échantillons ont été coupés en section transversale au FIB et observés au microscope électronique afin d'en tirer les conclusions pratiques sur l'effet de la croissance inversée sur nos profils de gravure selon la direction cristallographique choisie.

Les figures 3-10 représentent la coupe transversale de ces différents échantillons ; sur l'image a), la gravure de l'InP se fait avec des flancs sortant pour une orientation perpendiculaire au grand méplat. L'image b) quant à elle montre un profil plus ou moins droit, à peine sortant et constitue une orientation à 45° par rapport au grand méplat. Enfin, nous constatons qu'une orientation parallèlement au grand méplat permet, comme le montre la figure c), d'obtenir un profil rentrant des flancs de gravure de l'InP.



Figures 3-10 : Coupe transversale de mesa d'émetteur selon trois directions cristallographiques : a) perpendiculairement b)- à 45° c)- parallèlement au grand méplat

Ces images nous ont permis de confirmer les propriétés théoriques extraites du comportement de l'InP par croissance épitaxiale standard en parallèle avec le comportement lors de la gravure chimique sur structure HBT inversée (cf figures 3-8 et 3-9). Les observations faites au microscope pour les différentes orientations confirment ce qui a précédemment été affirmées et nous ont permis d'avoir les flancs adéquats pour permettre l'auto-alignement de la base directement sur l'émetteur avec un degré de sous-gravure d'émetteur acceptable. Après confirmation de l'effet de l'orientation cristallographique sur nos flancs de gravure, l'ensemble des transistors bipolaires reportés sont dorénavant orientés parallèlement au grand méplat sur structure reportée et perpendiculairement sur structure standard émetteur-up.

II-4/- Techniques de Connexion des TBHs

Après la définition des trois contacts de chacun de nos transistors à savoir les contacts d'émetteur, de base et de collecteur, nous devons assurer la connexion de ces contacts avec des accès afin de pouvoir les utiliser pour une série de mesures par exemple. Ces accès servent à la connexion des plots de contact du transistor et constituent son environnement extérieur, c'est-à-dire qu'ils sont réalisés de façon indépendante et seront reliés aux composants par des plots métalliques. La technologie de connexion des différentes électrodes du TBH utilisée est une connexion par « vias » en venant directement créer des ouvertures sur lesquelles le métal d'interconnexion viendra se poser. Cette méthode est d'autant plus simple lorsqu'on est en présence de composants à largeur d'émetteur supérieure ou égale au micron mais peut présenter des difficultés lorsqu'il s'agit de transistors aux dimensions inférieures. Cela justifie d'ailleurs l'utilisation de la lithographie électronique pour l'ouverture des contacts avec les degrés de précision nécessaires. Cependant, une autre technique dite par arasement est également possible pour la connexion des TBHs mais nous n'allons pas aborder ce dernier thème dans ce qui suit.

La technique générale de connexion de TBH par « vias » repose sur un principe simple comprenant quatre principales étapes mais dont la mise en œuvre peut néanmoins provoquer quelques difficultés. Tout d'abord, l'utilisation d'une première résine est nécessaire pour la définition des motifs d'ouverture des différentes électrodes qui vont servir de contact des plots. Cette résine utilisée pour définir ces ouvertures servira ensuite à la réalisation des accès coplanaires en tant que support pour venir connecter les plots de contact entre eux (ouverture des accès). Après la définition des ouvertures et celle du support des ponts à air de connexion par lithographie (enduction de résine, exposition des deux niveaux de masquage puis développement des motifs), une étape de fluage de la résine doit ensuite être entreprise ; le fluage consiste en un recuit à une température suffisante afin d'arrondir les angles des motifs précédemment définis et éviter une cassure de la structure des ponts à air due à des flancs trop droits.

L'épaisseur de cette première couche de résine doit se faisant être choisie de telle sorte à pouvoir recouvrir la hauteur globale de l'ensemble des couches de semi-conducteurs, mais également pour que la résine puisse supporter l'empilement métallique de connexion nécessaire pour la réalisation des ponts à air.

L'étape suivante consiste en la réalisation du motif du métal d'interconnexion grâce à un procédé de lithographie classique : définition des accès coplanaires puis métallisation de l'empilement des ponts à air et enfin lift-off dans une solution de Remover standard pour éliminer le support de pont. Cette étape de lithographie pour les accès de connexion ne sera possible qu'en utilisant une résine capable d'être dissoute de façon sélective par rapport à celle utilisée pour la définition des ouvertures de « vias ». En effet, la succession des deux étapes en vue de la réalisation du métal d'interconnexion nécessite en somme deux niveaux de lithographie distincts ; de ce fait, il faut pouvoir développer le niveau de la structure des accès coplanaires sans endommager la résine définissant le support des ponts à air. C'est là où réside toute la difficulté de la réalisation d'une technique par ponts à air. Une autre difficulté liée à cette technique concerne la réalisation de dispositifs submicroniques, pour des largeurs d'émetteur inférieures au micron comme cela peut être le cas lors de la réalisation de nos TBHs reportés. En effet, l'ouverture des électrodes notamment celle de l'émetteur aux dimensions submicroniques peut être délicate ; néanmoins, l'utilisation de la lithographie électronique permet des ouvertures fiables jusqu'à 200nm et son emploi est dès lors justifier dans notre approche. La technique globale de connexion a été schématisée sur la figure 3-11 ci-après.

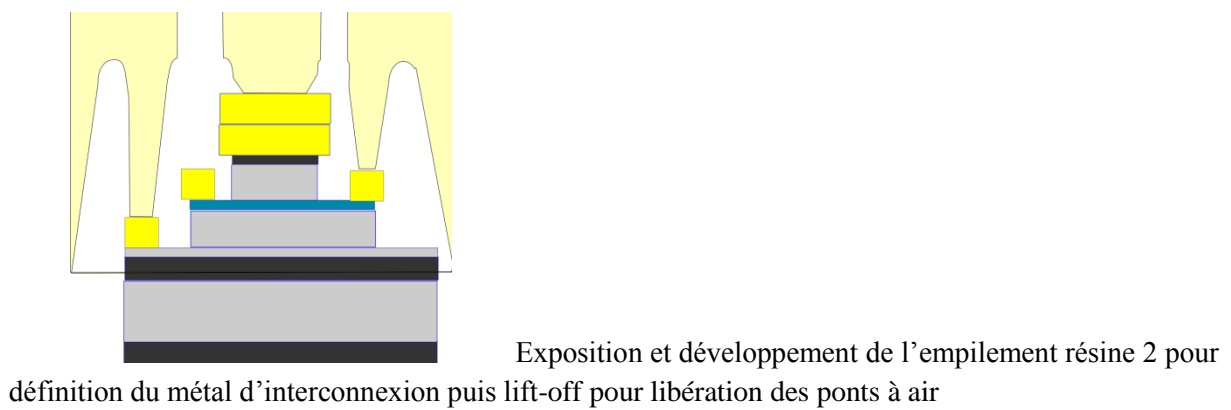
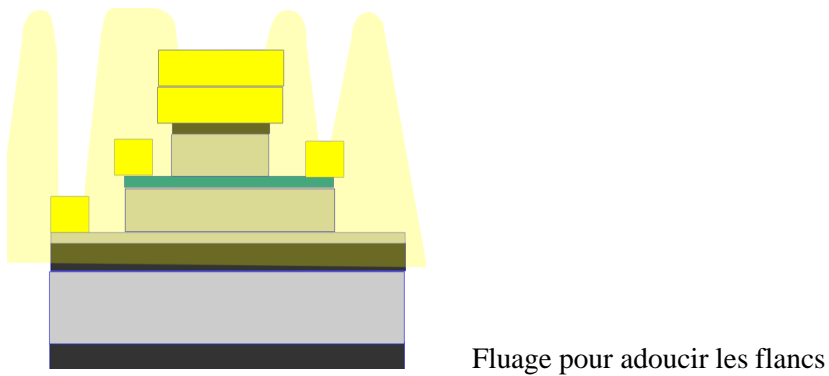
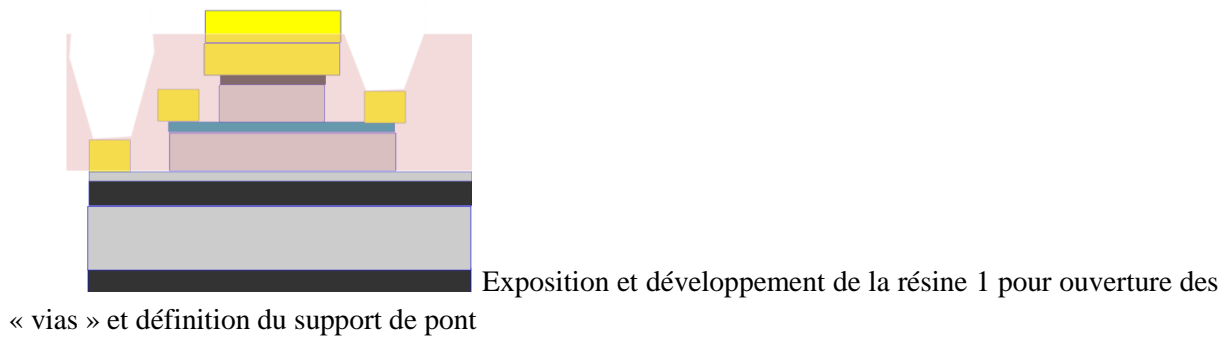
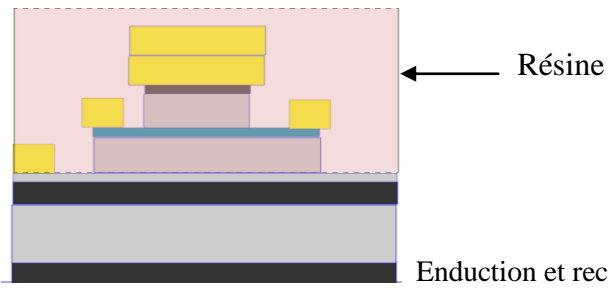

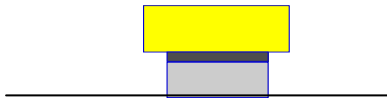
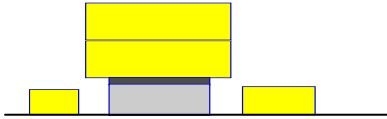
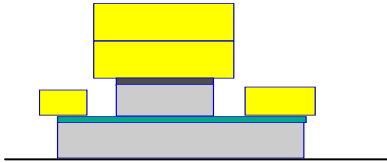
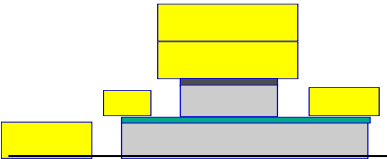


Figure 3-11 : Récapitulatif de l'enchaînement pour la connexion par « vias »

II-5/- Récapitulatif des différentes étapes technologiques

Le tableau 3-4 décrit l'enchaînement technologique nécessaire pour la réalisation de transistors bipolaires chronologiquement en utilisant les briques technologiques précédemment détaillées. La première étape est le dépôt du contact métallique d'émetteur. Il s'en suit la gravure humide des couches d'émetteur en utilisant ce contact comme masque pour la gravure. Ensuite, le contact métallique de base est déposé par auto-alignement sur celui de l'émetteur et est également utilisée comme masque pour la gravure des couches semi-conductrices de base et de collecteur. Puis, le contact de collecteur est déposé et les couches de sous-collecteur et d'arrêt (etch stop) sont gravées afin de procéder à l'isolation électrique des transistors. Enfin, la dernière étape consiste en la réalisation des connexions des TBHs par « vias ».

<p>1. Contact ohmique d'émetteur</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Dépôt métallique</i> • <i>Lift-off</i> 	
<p>2. Gravure du mesa d'émetteur</p> <ul style="list-style-type: none"> • <i>Gravure humide InGaAs</i> • <i>Gravure humide InP</i> 	
<p>3. Contact ohmique de base</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Dépôt métallique</i> • <i>Lift-off</i> 	
<p>4. Gravure de la base et du collecteur</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Gravure humide GaAsSb</i> • <i>Gravure humide InP</i> 	
<p>5. Contact ohmique de collecteur</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Dépôt métallique</i> • <i>Lift-off</i> 	

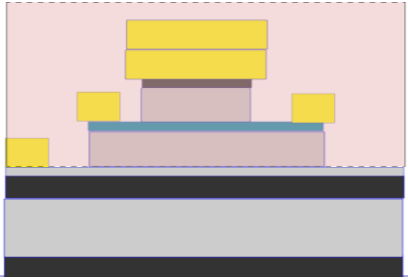
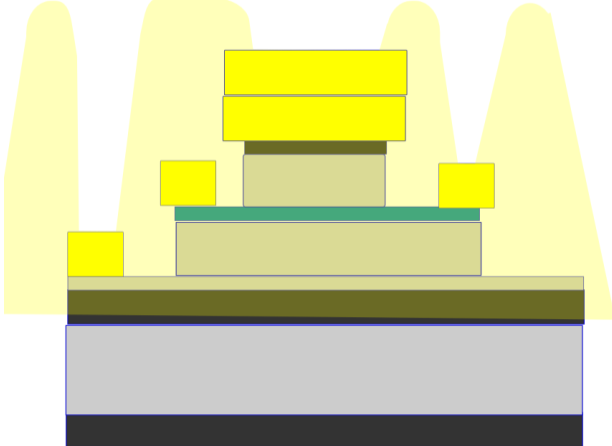
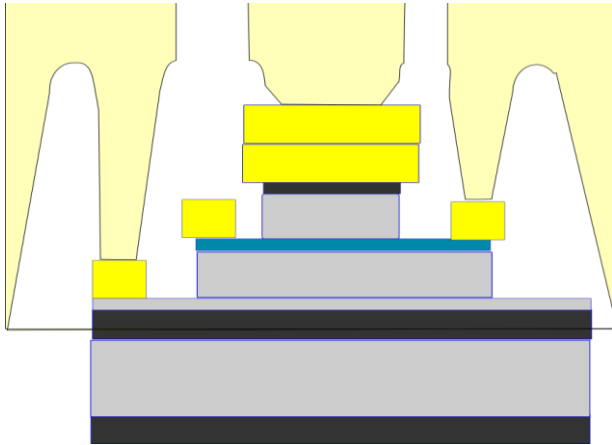
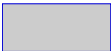



<p>6. Isolation électrique</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Gravure humide du sous-collecteur (InP et InGaAs)</i> • <i>Gravure humide couche d'arrêt InGaAs</i> 	
<p>7. Ouverture des vias et support de pont</p> <ul style="list-style-type: none"> • <i>Lithographie électronique des deux niveaux</i> • <i>Fluage de la résine pour adoucir les flancs</i> 	
<p>8. Connexion par ponts à air</p> <ul style="list-style-type: none"> • <i>Lithographie électronique</i> • <i>Dépôt métallique</i> • <i>Lift-off</i> 	
<p>  InP  Métal </p>	<p>  GaAsSb  InGaAs </p>

Tableau 3-4 : Récapitulatif des étapes technologiques de fabrication de TBHs

III/- Applications pour la réalisation de TBHs InP/GaAsSb classiques

La structure épitaxiale des transistors bipolaires classiques émetteur-up a été donnée au début de ce chapitre (Cf Tableau 3-1). Comme nous l'avons souligné précédemment, la seule différence entre une structure de TBH classique par rapport à une structure inversée réside en la présence du sous-collecteur. Il est constitué d'un contact en InGaAs très dopé à $3.10^{19} \text{ cm}^{-3}$ de 20nm mais également d'une couche d'InP assez épais de 300nm qui n'encourage pas l'amélioration de l'évacuation de la chaleur, même si les couches de semi-conducteurs en InGaAs thermiquement plus pauvres sont gardées assez fines. Enfin, une couche d'arrêt en InGaAs est nécessaire afin de pouvoir arrêter naturellement la gravure entre l'InP de sous-collecteur et le substrat originel en InP également. L'épaisseur totale du sous-collecteur est choisie élevée dans le but de minimiser la résistance de couche du contact de collecteur.

Comme nous venons de le voir précédemment, la réalisation de TBHs repose sur une succession d'étapes de lithographie électronique et de gravures chimiques dont le procédé a été décrit tableau 3-4. Ce sont donc ces différentes étapes qui ont été appliquées pour la fabrication technologique des transistors faisant l'objet de ce paragraphe.

III-1/- Définition du contact d'émetteur et gravure du mesa

Dans le cadre de ces travaux, l'ensemble des contacts ohmiques d'émetteur, de base et de collecteur a été réalisé par évaporation d'un empilement métallique Ti/Pt/Au pour des raisons évoquées en début de chapitre.

Le contact ohmique d'émetteur, dans le cas des structures classiques émetteur-up, a été déposé perpendiculairement au grand méplat afin de permettre des flancs rentrant de l'InP lors de la gravure humide. Comme nous l'avons vu dans la deuxième partie de ce chapitre, la gravure des semi-conducteurs se fait par des solutions d'acides dont les composés ont été donnés pour chaque type de semi-conducteur. Selon la vitesse de gravure souhaitée, ces solutions sont diluées dans l'eau afin de permettre un bon contrôle de la sous-gravure. Concernant l'émetteur, l'auto-alignement du contact de base sur ce dernier nous oblige à obtenir une sous-gravure du matériau d'émetteur mais celui-ci doit également être minimisé pour la réduction de la résistance d'émetteur et de base. En effet, cette résistance a un impact sur l'accroissement des performances fréquentielles des transistors réalisés.

L'émetteur en InGaAs a été gravé avec une proportion en acides $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2$ de 5/1 diluée dans 200ml d'eau. Cette proportion nous a permis de minimiser la profondeur de sous-gravure du contact d'émetteur avec une valeur de 40nm, suffisante pour l'auto-alignement du contact de base. L'émetteur en InP a été gravé par l'intermédiaire d'une solution de $\text{HCl}/\text{H}_3\text{PO}_4$; la proportion utilisée (1/3) résulte sur une vitesse de gravure de 100nm/min et une sous-gravure totale de l'émetteur de 65nm. Les profils de gravure obtenus sont représentés sur la figure 3-12.

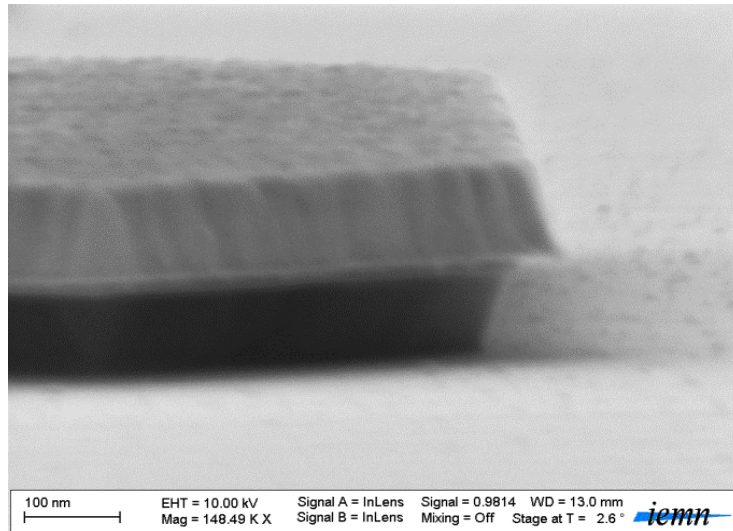


Figure 3-12 : Profils de gravure de l'émetteur InGaAs/InP de DTBHs InP/GaAsSb

III-2/- Définition du contact de base et gravure de la base et du collecteur

Tout comme l'émetteur en InGaAs, la base en GaAsSb est gravée grâce à une solution H_3PO_4/H_2O_2 mais avec une concentration de peroxyde d'hydrogène deux fois plus importante (5/2). La vitesse de gravure obtenue est alors de 20nm/min, avec des profondeurs de sous-gravure de la base très faibles de l'ordre 50nm comme représenté sur la figure 3-13. En effet, la gravure de la base en GaAsSb a déjà fait l'objet d'études préalables et ne pose pas de problème particulier de contrôle de la sous-gravure.

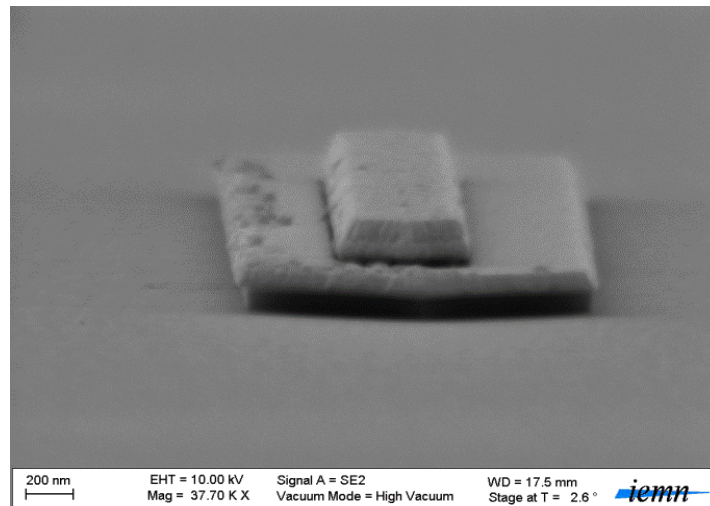


Figure 3-13 : Profil de gravure de la base GaAsSb et du collecteur InP de TBDHs InP/GaAsSb

III-3/- Définition du contact de collecteur et isolation du transistor

Le contact ohmique de collecteur des transistors est obtenu par évaporation sous vide d'une couche métallique en Ti/Pt/Au comme pour les deux autres électrodes. Il s'en suit une étape de gravure chimique des couches de sous-collecteur et de la couche d'arrêt. Les solutions d'acide utilisées pour l'InP et l'InGaAs sont les mêmes que précédemment et le profil obtenu est présenté sur la figure 3-14.

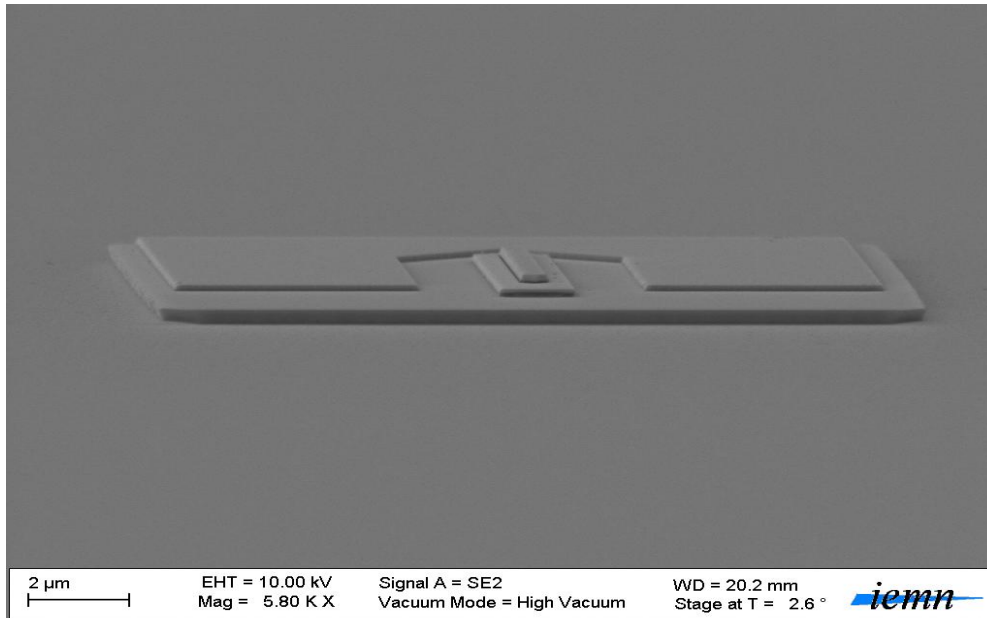


Figure 3-14 : TBH non reporté avec ses trois contacts Emetteur Base et Collecteur avant la réalisation des connexions

Ainsi, une fois les trois électrodes réalisées, la connexion des transistors est réalisée grâce à la technique des ponts à air décrite plus haut. Cette technique a nécessité des optimisations considérables afin de l'adapter à notre technologie de transistors reportés. C'est pourquoi, cette partie sera discutée au prochain paragraphe qui concerne la fabrication de transistors bipolaires reportés sur silicium.

IV/- Optimisations technologiques et adaptation à la technologie reportée

Partant des différentes briques technologiques utilisées pour la fabrication de transistors bipolaires avec une structure émetteur-up, des optimisations ont été entreprises pour la structure inversée. La différence majeure demeure dans la définition du contact de collecteur et l'absence de couches semi-conductrices de sous-collecteur sur la structure inversée. De plus l'orientation cristallographique adoptée pour cette technologie est une orientation parallèle au grand méplat permettant l'obtention de flancs d'InP rentrants.

Les contacts ohmiques sont réalisés avec le même empilement métallique en Ti/Pt/Au comme pour la technologie classique et les solutions d'acides ont été conservées mais avec des proportions parfois différentes selon le semi-conducteur à graver.

L'enchaînement technologique est ainsi le même que décrit tableau 3-4.

IV-1/- Etude sur la gravure de l'émetteur

En utilisant les proportions d'acides précédemment utilisées sur une structure DHBT non reportée, nous avons obtenu des vitesses de gravure relativement différentes et plus élevées sur nos structures épitaxiées en inverse comme nous le présentons sur le tableau 3-5.

Vitesse de gravure approximative en Å/mn pour différents rapports H ₂ O ₂ /H ₃ PO ₄ dilués dans 200ml d'eauDI		
Rapport de volume H ₂ O ₂ /H ₃ PO ₄	InGaAs	GaAsSb (base)
1/5	600	100
2/5	1200	200

Tableau 3-5 : Variation de la vitesse de gravure selon la proportion d'acides utilisés

Nous avons donc fait varier la proportion de ces deux acides afin de déterminer une vitesse de gravure combinée à une sous-gravure adéquate sur cette couche épitaxiée en inverse. Pour une proportion d'acides 1/5 habituellement utilisée, nous avons noté des profondeurs de sous-gravure relativement importantes pouvant atteindre 200nm pour le mesa d'émetteur tout en gardant une vitesse de gravure pas assez élevée. Cela est sûrement dû au comportement différent de cette structure en présence de la solution d'attaque, les éléments chimiques relevant de cette réaction modifient alors la vitesse de gravure latérale à l'origine de la sous-gravure d'émetteur. C'est pourquoi, pour permettre la réalisation de dispositifs avec des largeurs d'émetteur inférieures au micron, cette valeur de sous-gravure doit être prise la plus faible possible tout en permettant l'auto-alignement du contact de base. Avec une proportion en volume d'acides 2/5, nous sommes parvenus à des sous-gravures d'émetteur acceptables dans cette optique. Nous montrons sur la figure 3-15 qui suit l'évolution de cette sous-gravure d'émetteur en fonction du temps de gravure de la couche d'émetteur en InGaAs pour la proportion finalement choisie de 2/5, H₂O₂/H₃PO₄ diluée dans 200mL d'eau DI. Cette figure montre bien que le compromis nécessaire à l'obtention d'une sous-gravure satisfaisante est une vitesse de gravure d'environ 600 Angstrom/minute ; ce qui résulte en une sous-gravure de l'émetteur de l'ordre de 70nm, permettant ainsi l'auto-alignement du contact de base sur celui d'émetteur.

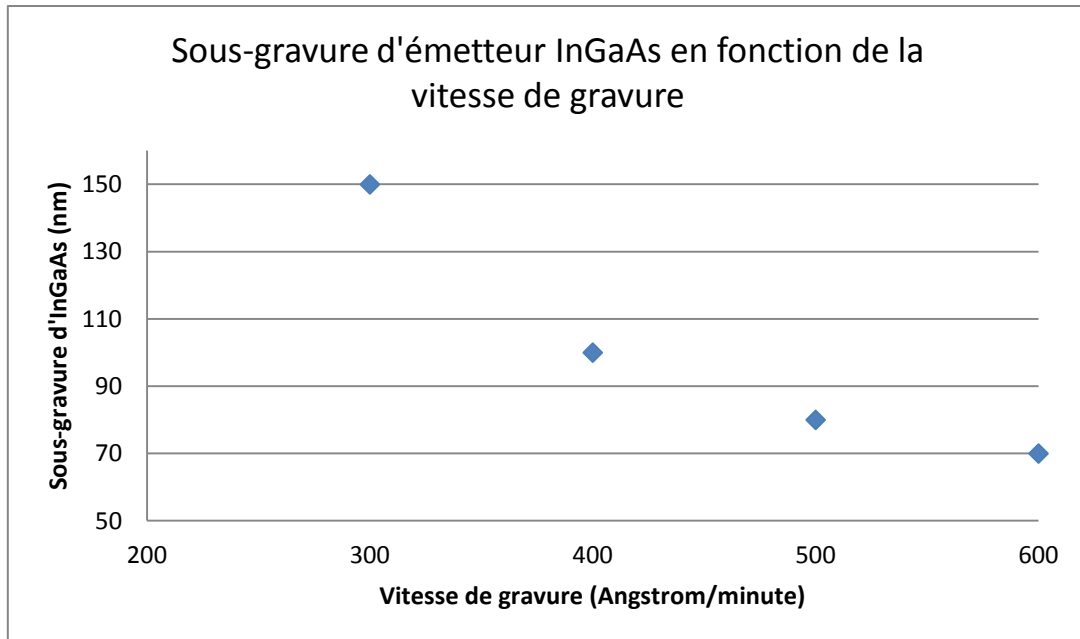


Figure 3-15 : Sous-gravure de l'émetteur en InGaAs en fonction de la vitesse de gravure dans la solution H_2O_2/H_3PO_4 : 2/5

Pour la gravure de l'InP, un mélange composé d'acide ortho-phosphorique et d'acide chlorhydrique HCl est utilisé ; pour les structures HBT standard non reportées, la proportion était de 1/5 pour HCl/ H_3PO_4 . Avec cette proportion entre les deux acides, la gravure de l'InP nécessaire pour la définition du mesa général d'émetteur prenait un temps plus long, ce qui résultait sur un caractère d'autant plus prononcé de la sous-gravure total d'émetteur. C'est pourquoi, dans le cadre de la structure inversée, nous avons opté pour une solution d'attaque plus concentrée pour obtenir des temps plus courts et limiter ainsi des phénomènes de sous-gravure supplémentaires ; la proportion choisie est de 1/3 et les vitesses de gravure obtenues de l'ordre de 2000Angstrom/minute pour l'InP. La figure 3-16 qui suit présente le profil de gravure de l'ensemble du méssa d'émetteur constitué d'une couche d'InGaAs et d'une couche d'émetteur. La sous-gravure globale est de l'ordre de 90nm pour ces TBDHs InP/GaAsSb reportés sur Si.

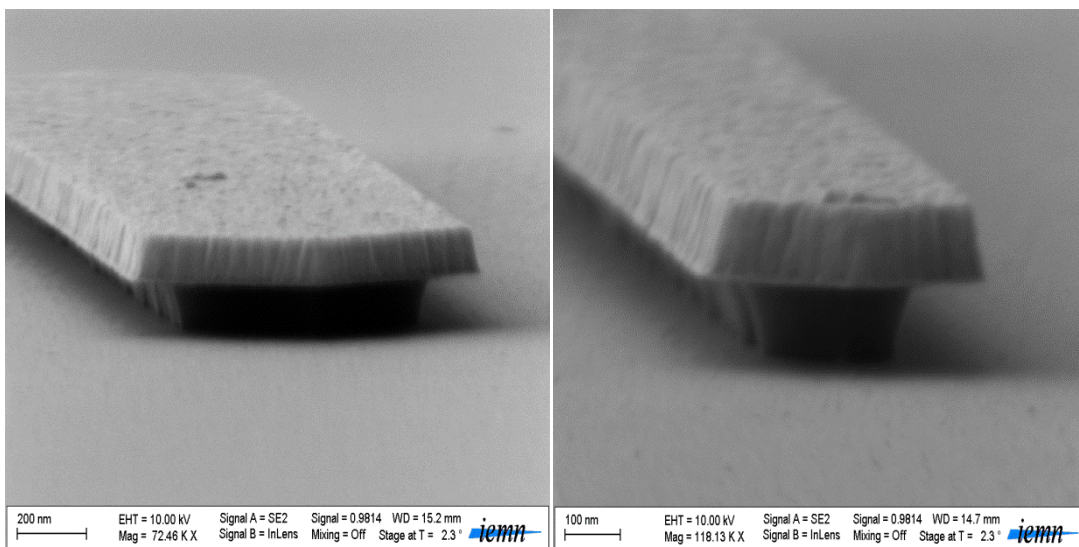
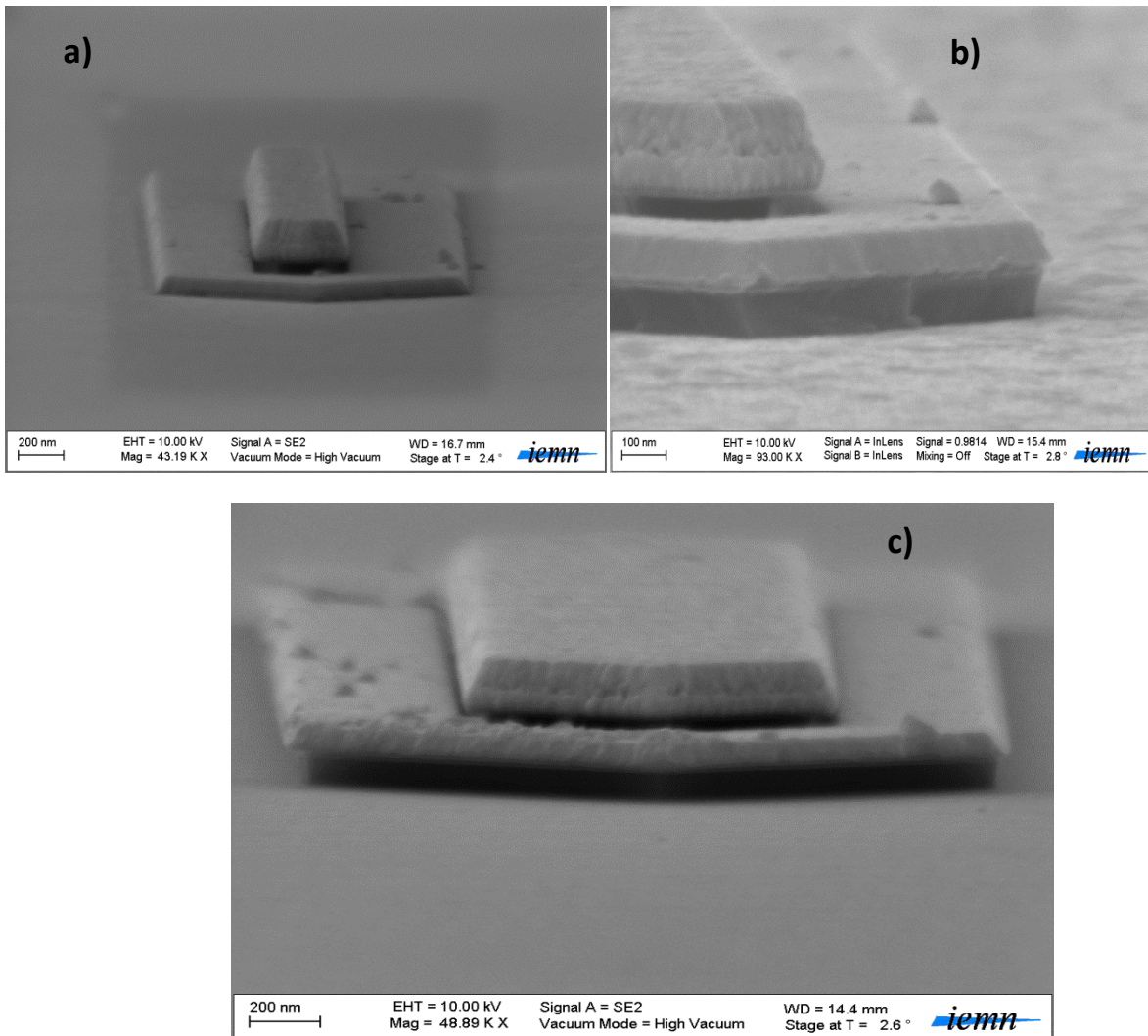


Figure 3-16 : Observation MEB du mesa d'émetteur après gravure InP et InGaAs

IV-2/- Gravure de la base et du collecteur

La gravure de la base en GaAsSb quant à elle ne pose pas de problème particulier de contrôle de la sous-gravure avec les solutions d'acide utilisées. Des sous-gravures de la base de l'ordre de 30 à 60nm ont été obtenues ; ce qui est convenable pour notre application sur des dispositifs submicroniques. Les images ci-après (figure 3-17) ont été obtenues au MEB et montrent les profils de gravure finalement obtenus pour l'émetteur et la base.



Figures 3-17 : a)- Métal de base déposé par auto-alignement sur l'émetteur ; b), c)- profil de gravure de la base GaAsSb et du collecteur InP

Au début de cette sous-partie, nous avons cité les principaux facteurs pouvant influencer la gravure. Parmi ceux-là, un paramètre important était la qualité de l'état de surface des matériaux à graver. En effet, en plus de l'utilisation de l'acide iodique pour les gravures des différents alliages aux interfaces entre les matériaux, une autre voie d'optimisation nous a permis d'avoir un bon contrôle des vitesses de gravure ; il s'agit de la décontamination de la surface avant chaque gravure humide. En effet, la principale source d'une contamination probable de la surface des semi-conducteurs à graver est leur oxydation par l'oxygène de l'air. En plus d'avoir une rugosité de surface importante, il a été

reporté que la plupart des matériaux III-V sont également sujets à une oxydation en surface au contact de l'air ; c'est le cas de nos échantillons lors du procédé technologique de fabrication des transistors suite aux étapes d'enduction de résine, de préparation d'échantillon avant dépôt métallique, etc. C'est pourquoi nous avons inséré cette étape importante de décontamination de la surface avant chaque gravure. Pour se faire, des solutions d'attaque adaptées à l'élimination d'oxyde en surface doivent être utilisées ; l'acide chlorhydrique, l'acide sulfurique ou encore l'ammoniaque très dilués dans de l'eau sont très connues. Néanmoins, l'acide chlorhydrique dilué avec de l'eau est susceptible d'agir avec certains de nos semi-conducteurs tels que l'InP et ne conviendrait pas dans notre cas. Nous nous sommes alors tournés vers l'acide sulfurique H_2SO_4 dans une grande proportion d'eau avec un rapport acide/eau de 1/40 ; un temps de désoxydation d'une minute semblait suffisant et nous a ainsi permis une gravure de nos différents semi-conducteurs directement après décontamination de la surface.

Après les étapes de lithographie et de gravures successives des couches de contact d'émetteur et de base, la réalisation du contact de collecteur doit être faite. Pour des raisons évoquées plus tôt dans ce chapitre, ce contact métallique sera directement obtenu en utilisant le joint de collage grâce à une étape de lithographie puis de gravure.

IV-3/- Définition du contact de collecteur

Comme stipulé précédemment, après la définition des contacts d'émetteur et de base, l'enchaînement technologique permettant la réalisation de TBHs nous mène maintenant vers la réalisation du contact ohmique de collecteur. Dans le chapitre 2 concernant la technique de report de substrat, nous savons que la méthode de thermo-compression employée nécessitait l'utilisation d'une structure épitaxiale dont le descriptif a été donné au début de ce chapitre. Cette structure ne comportant pas de couches de sous-collecteur habituellement utilisées pour la définition du contact de collecteur des TBHs, le contact de collecteur des transistors reportés se fait grâce à l'utilisation du joint métallique de collage dont la composition en Mo/Pt/Au//Au/Ti est montré figure 3-18.

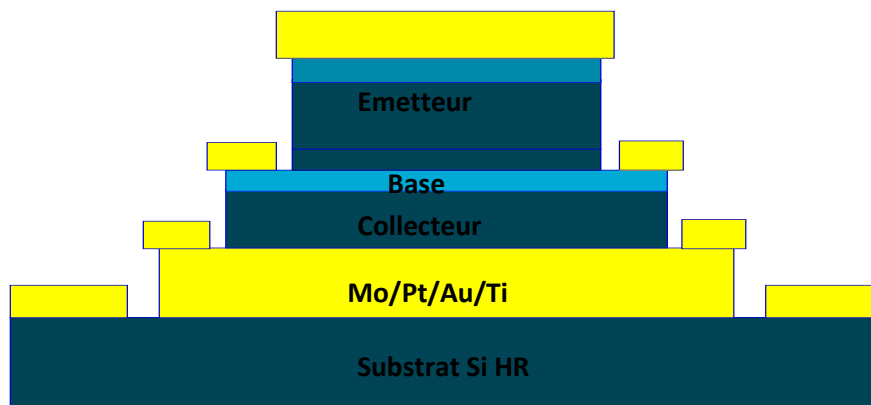


Figure 3-18 : Rappel de la structure schématique de DTBH reporté sur Si

La définition du contact métallique de collecteur se fera alors grâce à un niveau de lithographie qui sera également utilisé pour déterminer le motif nécessaire pour la gravure du joint de collage en Mo/Pt/Au/Ti. L'utilisation de solutions chimiques pour la gravure de l'empilement métallique concerné a donc été envisagée ; le molybdène est habituellement gravé par le peroxyde d'hydrogène H_2O_2 , l'or par des solutions à base d'iode et de potassium, le titane par de l'acide fluoridrique [28].

Cependant, bien que largement maîtrisée, la gravure des métaux et/ou alliages métalliques peut engendrer des difficultés lorsqu'il s'agit de la gravure de métaux dits nobles tels que le platine Pt. En effet, d'après la littérature [29], la gravure de ce type de métaux par voie chimique purement humide n'est possible que par l'utilisation de solutions d'acide violentes voire dangereuses telles que la solution d'eau régale qui est un mélange d'acide nitrique et d'acide chlorhydrique ($\text{HNO}_3 / \text{HCl}$). La gravure humide du joint métallique de collage passera alors par l'utilisation de l'eau régale. Les efforts fournis vers cette voie ont confirmé la violence de cette solution d'attaque, les différentes résines utilisées pour la définition du contact de collecteur étant incapables de tenir dans cette dernière solution. En effet, lors de l'étape de gravure humide des différents métaux dans l'eau régale, on assistait immédiatement après incorporation de l'échantillon à un décollement de l'empilement métallique totale ; ce qui pose évidemment un problème majeure en vue de la réalisation du contact ohmique de collecteur pour nos TBHs reportés. Aucune solution face à cet inconvénient n'est alors envisageable en conservant une technique de gravure humide pour le joint métallique de collage.

Pour palier à ce problème, il a fallu entreprendre une nouvelle technique de gravure de l'interface métallique pour la définition du contact de collecteur. De ce fait, nous avons choisi une technique de gravure sèche par plasma grâce à un usineur ionique PLASSYS MU350. La technique repose sur l'utilisation d'ions Ar^+ extraits d'un plasma ; ces ions sont accélérés de façon à ce qu'ils viennent pulvériser la surface de l'échantillon, arrachant les molécules ou atomes des couches non protégés par la résine. Il en résulte une attaque des matériaux à graver sans toutefois provoquer de phénomènes de sous-gravure ; en effet, cette méthode possède l'avantage de permettre des gravures fortement anisotropes. Néanmoins, la gravure par usineur ne dispose pas d'une bonne sélectivité de gravure entre la plupart des matériaux vu qu'il s'agit d'une gravure purement physique.

Le plasma d'Argon utilisé dans notre cas possède un débit de 5.3sccm ; la source RF utilisée est alimentée par un générateur de puissance de 500W. Ce bâti de gravure permet la gravure de différents métaux avec des vitesses de gravure variables selon le matériau en question avec des angles de gravure pouvant être choisis entre 0 et 90° ; les vitesses optimales étant obtenues pour un angle de gravure à 90°, c'est-à-dire en plaçant l'échantillon parallèlement à la source du plasma. Ainsi, nous avons pu obtenir pour le molybdène et le platine une vitesse de gravure de 10nm par minute; l'or (déposé par évaporation) est gravé à une vitesse de 40nm par minute, ce pour un angle de 90°.

Cette technique, même si facilement réalisable, endommage malheureusement la plupart des résines utilisées et permet parfois la gravure totale de l'ensemble de la couche de résine employée; son utilisation nécessite donc une résine dotée d'une bonne tenue aux gravures physiques. Cette technique par gravure sèche permet également d'éviter l'utilisation de solutions chimiques pouvant s'infiltrer à l'interface Au/Au du joint de collage pendant la gravure humide et provoquer ainsi des défauts lors de la fabrication technologique et la mise en œuvre du contact métallique de collecteur. C'est pourquoi, dans un souci de protection des composants et de reproductibilité technologique, nous avons choisi d'utiliser la gravure sèche pas uniquement pour le platine mais également pour le Molybdène et l'or jusqu'à traverser l'interface entre les deux couches d'or du joint de collage et éviter ainsi les problèmes d'infiltration. Cela est d'autant plus important que cette technique de gravure ne possède pas de sélectivité élevée comme nous l'avons souligné précédemment. Dans ces conditions et avec les paramètres donnés ci-dessus, nous avons gravé environ 350nm de notre empilement métallique total dont l'épaisseur était de 535nm; le temps de gravure est de 12min. Ce temps a été choisi le plus court possible une fois que nous avons franchi l'interface Au/Au du joint de collage afin de limiter l'endommagement de la résine de protection du fait du plasma d'argon combiné à la puissance du générateur. Un autre intérêt de cette technique de gravure demeure en l'obtention de profils de gravure

abrupts grâce à un plasma purement physique, évitant ainsi la présence de sous-gravure du joint pouvant atteindre les couches semi-conductrices protégées par la résine lors de la gravure.

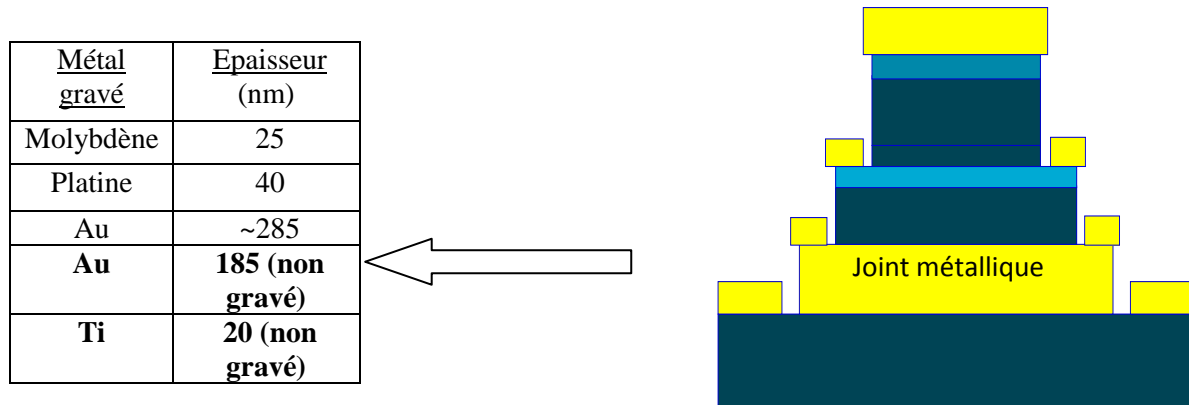
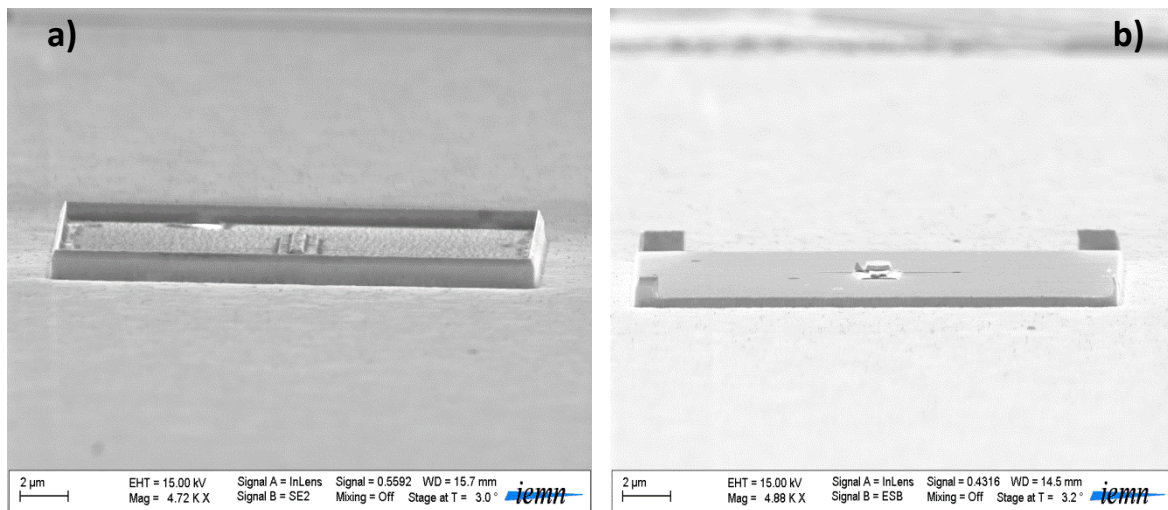


Tableau 3-6 : Rappel de l'empilement du joint de collage : métaux non gravés

Comme nous pouvons le remarquer sur le tableau 3-6 qui précède, il reste après l'étape de gravure sèche par plasma deux nouvelles couches de métal à graver : environ 200nm d'une couche d'or et une fine couche de titane de 20nm. La gravure du restant d'or et de titane se fait alors grâce à une nouvelle étape de lithographie et de gravure par voie humide. La gravure de l'or est réalisée dans un bain de KI/I₂ très dilué dans de l'eau avec les proportions suivantes : 100g d'iodure de potassium (KI) et 30g de di-iodure dans 400ml d'eau. La vitesse de gravure ainsi obtenue est de 400nm/min. Cependant, pour éviter les phénomènes de sous-gravures importantes, des étapes de rinçage dans l'eau sont effectuées toutes les dix secondes. Quant au titane, sa gravure est réalisée dans une solution de BOE (Buffered Oxide etch) composé d'un mélange de fluorure d'ammonium et d'acide fluorhydrique en proportion 7 : 1. La vitesse de gravure est alors de 4nm/s. Ainsi, la gravure du restant du joint métallique permet d'obtenir l'isolation des dispositifs par l'apparition du substrat hôte de silicium à meilleure conductivité thermique.

La gravure sèche du joint de collage a néanmoins présenté des difficultés supplémentaires lors de la fabrication des dispositifs ; en effet, après gravure sèche et nettoyage de la résine, nous avons remarqué la présence d'un « alliage » formé autour du motif délimitant le contact métallique de collecteur sous forme d'un mur probablement dû à des interactions entre les différents matériaux présents lors de la gravure dans le bâti (figure 3-19-a). Pour pallier à ce problème mais également pour améliorer la propreté de l'état de surface des échantillons, nous avons rajouté des étapes supplémentaires de nettoyage grâce à une combinaison de gravure physique par plasma d'argon et la prolongation du nettoyage des résidus restants dans des solutions de type Remover chauffé à la température de 70°C. Cela a abouti, comme on peut le voir sur la figure 3-19-b), à une amélioration considérable de l'état de surface des composants. En effet, avant la réalisation des connexions des différentes électrodes, il est indispensable d'obtenir une surface relativement propre et éviter des problèmes de court-circuits des électrodes par exemple.



Figures 3-19 : Illustration de la gravure sèche du joint de collage et des problèmes rencontrés

A la suite des efforts réalisés pour l'obtention d'une propreté de surface irréprochable, l'étude de la réalisation des connexions pour les trois électrodes a été entreprise. Plusieurs techniques sont possibles selon la taille critique des composants et de la reproductibilité technologique souhaitée. Nous allons également voir que les problèmes rencontrés liés à la définition du contact de collecteur notamment la présence d'un mur tout autour du métal de contact ne nous seront pas préjudiciables pour la réalisation des connexions de nos transistors bipolaires.

IV-4/- Technique des ponts à air pour DTBHs InP/GaAsSb reportés

Pour la connexion de nos TBHs, nous avons choisi d'effectuer des connexions avec ouverture de « vias » et dépôt d'une couche métallique d'interconnexion par la technique de ponts à air. Comme nous l'avons souligné dans ce qui précède, la mise en œuvre de cette technique nécessite l'utilisation de deux niveaux de lithographie. Les résines déposées successivement doivent être distinctes pour des raisons avancées précédemment : Niveau de Résine 1 pour l'ouverture des « vias » et sur laquelle seront déposées les supports de ponts et Niveau de Résine 2 pour le dépôt des ponts à air. Pour se faire, il existe deux principales conditions auxquelles il faudra satisfaire :

- D'un premier côté, vu que les deux niveaux de lithographie seront réalisées l'une après l'autre (Niveau de Résine 1 puis Niveau de Résine 2), la (les) solution (s) utilisée (s) pour développer le niveau de résine 2 ne doit pas endommager le premier niveau de résine 1 lors du développement pour le dépôt des ponts à air. Autrement, on assisterait à une dissolution partielle ou totale du support de pont comme c'est le cas sur l'image de la figure 3-20 ci-contre.

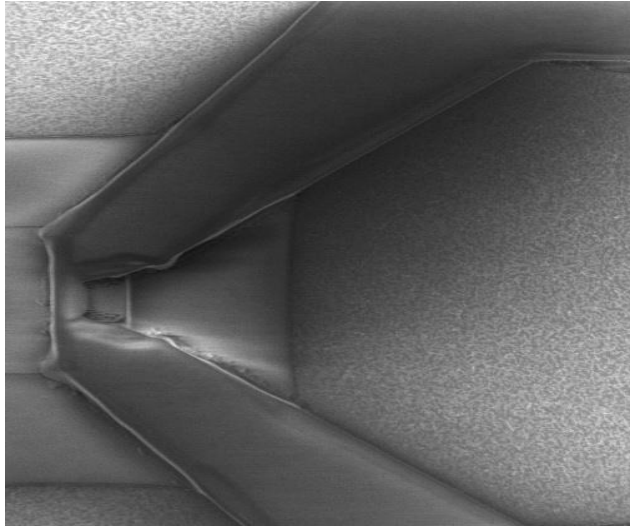


Figure 3-20 : Image traduisant le début de la dissolution de la résine 1 pendant la révélation de la résine 2

- D'un autre côté, du fait de l'épaisseur de métal nécessaire pour la structure des ponts à air environ 600 à 800nm, il est nécessaire d'avoir une différence d'épaisseur suffisante entre le niveau de métallisation des accès (Niveau de Résine 2) et le niveau de suspension du haut des ponts à air (Niveau de Résine 1).

Afin de respecter ces deux conditions sine qua none pour l'obtention de ponts à air solides, plusieurs essais ont été réalisés pour trouver le couple de résines pouvant convenir. Les études ont d'abord porté sur le choix de l'empilement de résine 1 et de la température de fluage (recuit) nécessaire pour l'obtention de flancs adoucis. Puis nous nous sommes tournés vers le choix de l'empilement de résine 2 en vue de la définition de la structure des ponts à air. Les résultats finaux obtenus après ces divers essais seront présentés enfin, de même que les paramètres qui ont permis d'y arriver.

IV-4-1/- Niveau de résine 1 pour ouverture des « vias » et support de pont

L'empilement de résine 1, qui sert à définir les ouvertures des différents contacts ohmiques du transistor bipolaire, doit pouvoir permettre l'enduction de l'ensemble de la structure obtenue à cette étape jusqu'au métal d'émetteur. Il s'agit pour notre cas de TBHs reportés d'une épaisseur totale d'environ 9750Å. Pour recouvrir suffisamment l'ensemble de la structure, nous avons prévu une marge de 2000Å supplémentaires afin d'être sûre de couvrir la structure sur l'ensemble de nos échantillons. Ainsi, une résine permettant des épaisseurs de 1.2µm environ serait nécessaire en vue de la réalisation du niveau de support de pont et définition des ouvertures de « vias ».

Pour les TBHs submicroniques qui nous concernent, l'utilisation de la lithographie électronique a été justifiée précédemment. Pour des ouvertures de l'ordre de 200nm sur le contact d'émetteur, il est nécessaire d'employer des résolutions relativement faibles au masqueur électronique ; cela est possible avec des résines à haute résolution telle que le PMMA 950 K disponible au sein du laboratoire. De plus, pour éviter que l'empilement de résine 1 n'interagisse avec celui du niveau de résine 2, ce dernier doit posséder une sensibilité faible ; ce qui est le cas de la PMMA 950K.

Tous les critères étant réunis pour permettre le choix de l'empilement de Résine1, nous avons commencé nos travaux par l'utilisation d'une monocouche de la résine polymère 950 K diluée dans un solvant anisole dans des proportions offrant les épaisseurs attendues grâce au dépôt de deux couches

successives de résine. La figure 3-21 montre l'ouverture des vias pour un transistor submicronique après révélation du niveau de Résine 1.

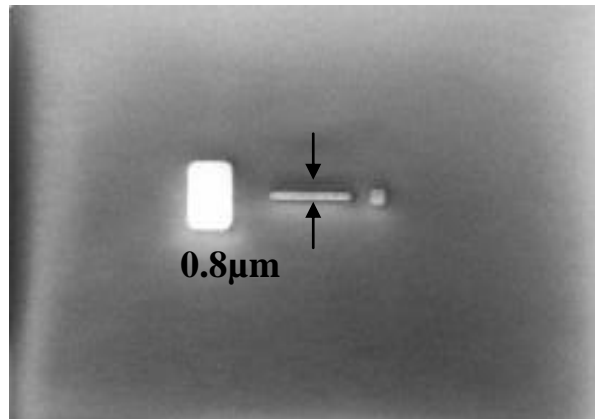


Figure 3-21 : Ouverture des vias de TBH InP/GaAsSb reporté $0.8 \times 8 \mu\text{m}^2$

Du fait des flancs de résine rectilignes, il est nécessaire après révélation des motifs de procéder à un fluage de la résine par recuit thermique. Ce fluage permet d'obtenir des profils plus arrondis sur les bords des motifs, et ainsi assurer un bon passage de l'empilement métallique des ponts à air. La variation de la température et du temps de recuit après développement des motifs nous a amenés à la température de 160°C pendant 2min ; cela a permis l'obtention de profils arrondis pour adoucir les flancs des motifs ainsi réalisés comme cela est le cas sur la figure 3-22.

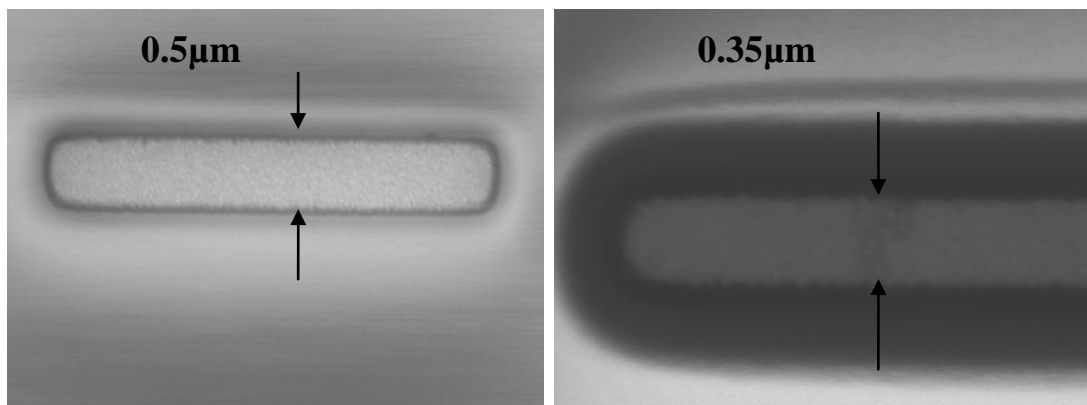


Figure 3-22 : Vias d'émetteur après fluage de largeur $0.5 \mu\text{m}$ (a) et $0.35 \mu\text{m}$ (b)

IV-4-2/- Niveau de résine 2 pour métallisation des accès : structure des ponts à air

La PMMA 950K utilisée pour le niveau précédent ayant une sensibilité faible, la condition pour que les deux niveaux de résines 1 et 2 n'interagissent pas entre eux est de solliciter un empilement de résine 2 possédant une sensibilité supérieure à celle de la résine 1. Cela afin d'éviter, lors de la réalisation du niveau de métallisation des accès par l'empilement de résine 2, une dissolution de la résine 1 préalablement déposée comme nous l'avons expliqué en début de cette partie. Des études similaires ont déjà été réalisées au sein de notre groupe sur la différence de sensibilité des polymères et copolymères de résine MAA selon la solution de révélation utilisée dans le cadre de la thèse de E.Mairiaux. Nous avons donc choisi le copolymère PMMA/MAA (33%) qui sera dissoute dans une solution de méthanol et d'alcool isopropyle IPA qui n'altère normalement pas la résine PMMA 950K.

Il permet l'obtention d'épaisseur de résine de $2\mu\text{m}$, indispensable pour le deuxième critère nécessaire pour la réalisation des ponts à air donné précédemment : à savoir une épaisseur de l'empilement de résine 2 supérieure à celle de la résine 1 dont l'épaisseur est de $1.2\mu\text{m}$.

Malheureusement, les observations faites lors de nos essais n'ont pas abouti au même résultat. Le comportement des différentes résines sur nos structures DTBHs reportés ne permettait pas une révélation du copolymère sans affecter le niveau de résine 1 en PMMA; ce qui s'est traduit par un échec de ce couple de résine. En effet, après l'étape de révélation de la résine 2 dans la solution de méthanol/IPA, les ouvertures des différents contacts n'apparaissaient pas ce qui empêche une possible connexion des TBHs par ponts à air comme nous l'illustrons par la figure 3-23 qui représente l'un de ces essais infructueux.

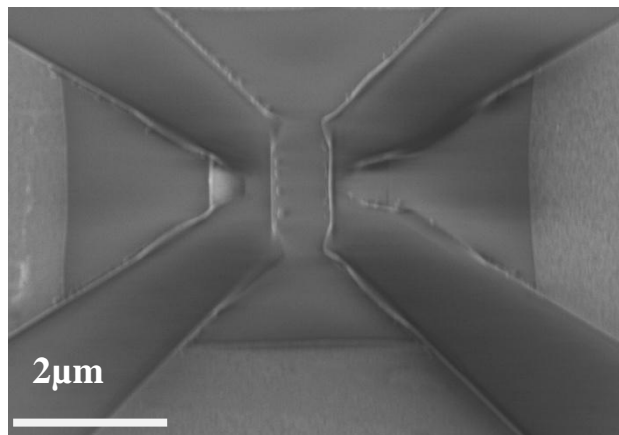


Figure 3-23 : Vue de la résine 2 après révélation sans apparition des contacts

Face à ce problème, l'utilisation d'une nouvelle résine pour le niveau de support de pont a été sérieusement engagée en jouant cette fois-ci non seulement sur la sensibilité des résines mais également et surtout sur les solutions de révélation utilisées. En conservant la résine 2 précédente en copolymère PMMA/MAA 33%, nous avons réalisé des essais avec une résine 1 en PMGI ; cette résine a l'avantage de ne pas être dissoute dans des solutions à base d'alcool isopropylique IPA et/ou de méthyl isobutyl cétone MIBK habituellement fournie pour la révélation de polymères et copolymères PMMA/MAA. Ce qui est un avantage non moins négligeable dès lors qu'il existera une sélectivité de révélation entre les deux résines. Cet essai a débouché sur l'apparition des métallisations de contact pour les connexions des TBHs et peut permettre d'envisager la métallisation des accès. Néanmoins, les résultats obtenus observés grâce au MEB ont révélé, comme le montre la figure 3-24, la présence de craquelures de la résine 2, ce qui est néfaste pour un procédé lift-off qui nous concerne. En effet, ces craquelures se traduisent par des liaisons entre motifs délimités et pourrait provoquer par suite de la métallisation des court-circuits au niveau des connexions des transistors ainsi réalisés. Aucun risque n'a donc été pris à ce propos et de nouvelles alternatives ont été envisagées.

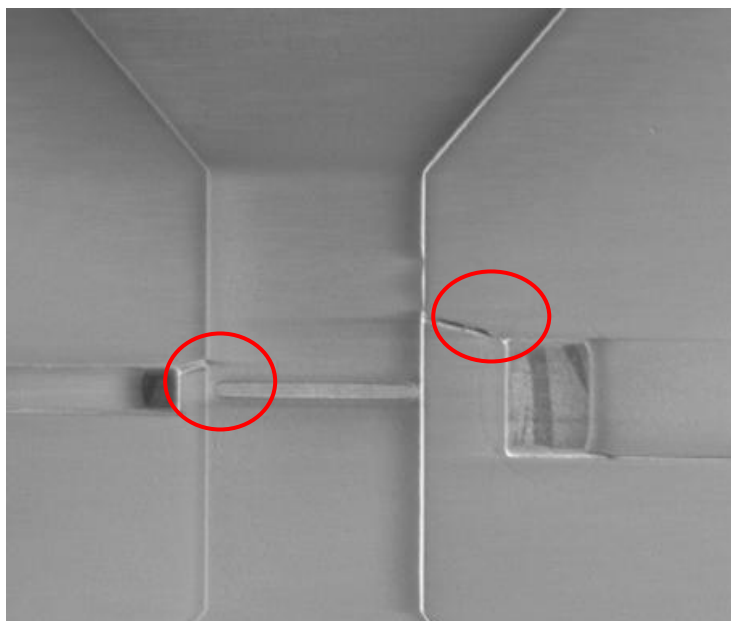


Figure 3-24 : Craquelures de l'empilement de résine 2 copo PMMA/MAA après révélation dans MIBK/IPA

IV-4-3/- Procédé technologique des ponts à air après optimisation

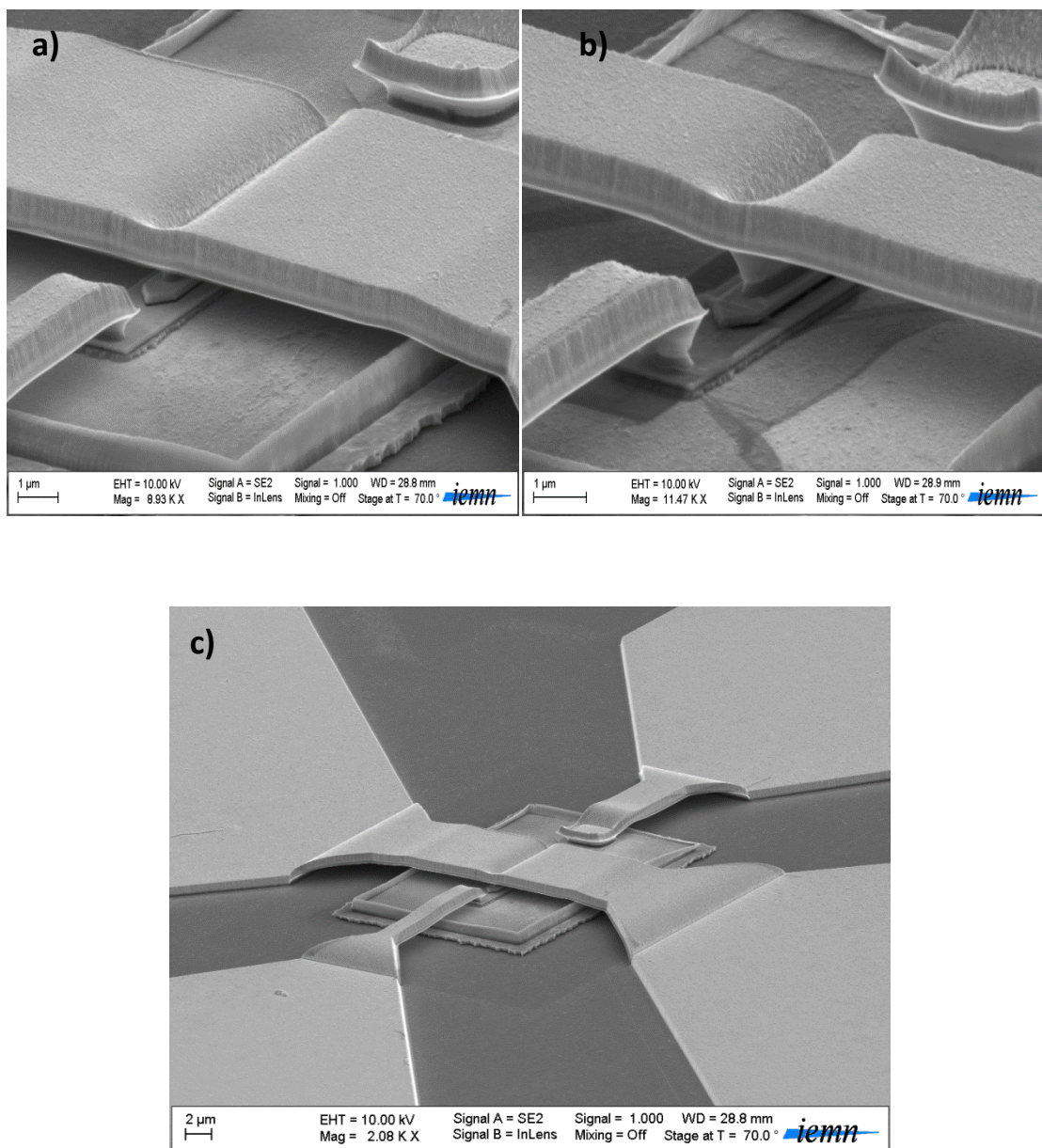
Plusieurs essais ont été nécessaires pour l'obtention d'un couple de résine convenable dans le cadre de nos besoins. Néanmoins, nous allons par la suite donner les paramètres ainsi que les résines utilisées ayant permis la réalisation des ponts à air dans le cadre de ce travail de thèse.

Une nouvelle résine électronique positive a été utilisée dans le cadre de ces études ; il s'agit de la ZEP520A, une résine à haute résolution et possédant une sensibilité supérieure au PMMA et qui a été testée auparavant au sein de notre équipe [30]. Le développeur de cette résine est une solution appelée Xylène ; il s'est avéré être également un développeur de la résine PMMA avec une vitesse inférieure néanmoins. Par ailleurs, le copolymère PMMA/MAA précédemment utilisé en tant que résine 2 est révélé dans une solution de méthanol diluée avec de l'alcool. Après vérification, nous avons confirmé que ce mélange n'attaquait pas la ZEP520, ce qui est, comme nous l'avons précédemment remarqué, une condition essentielle afin que les résines 1 et 2 n'interagissent pas. La nouvelle résine finalement choisie pour la réalisation du niveau d'ouverture des « vias » et de support de pont est la ZEP520A.

Pour la résine du niveau de métallisation des accès (empilement de résine 2), nous devons procéder à une technique de lift-off après dépôt de l'empilement métallique considéré. Dans cette optique, la meilleure solution pour l'empilement de résine 2 est d'utiliser une bicouche de résine (2 couches de résine) afin d'obtenir après révélation un profil de résine dite en casquette ; cela permet un lift-off aisé, pour éviter des problèmes supplémentaires provenant de cette étape technologique critique.

Le copolymère PMMA/MAA (ARP 33%) a été conservé en tant que première couche de l'empilement de résine 2 avec une épaisseur de $2\mu\text{m}$ et sera développé comme nous l'avons vu dans une solution de méthanol et d'alcool IPA. La casquette a été réalisée grâce à une couche de PMMA diluée dans un solvant anisole permettant l'obtention d'épaisseur fine de l'ordre de 3000Å . Pour éviter toutes interactions lors du développement avec la couche inférieure de résine 1 en ZEP520 mais

également la couche de copolymère en dessous, nous avons choisi volontairement de développer la PMMA dans une solution de Xylène. En effet, nous avons remarqué après plusieurs essais une sélectivité de révélation entre le copolymère et le PMMA lorsque cette dernière est développée dans le Xylène, le développeur de la ZEP520A. Les empilements que nous venons de définir sont ceux pour lesquels nous avons opté à la suite de nombreux autres essais. Cela a permis la réalisation finale des connexions de nos TBHs sur structure inversée reportés sur Silicium présentés figure 3-25. Les nombreux tests nécessaires à l'obtention de l'empilement de résine approprié montrent toute la difficulté de la fabrication technologique de ponts à air pour la connexion des transistors. C'est en effet l'une des étapes critiques de l'ensemble de notre procédé technologique après celle de la définition du contact de collecteur.



Figures 3-25 : TBHs reportés sur silicium avec connexions des « vias » par pont à air

IV-5/- Optimisations envisageables pour la connexion du contact de base

Dans le cadre de ces précédents travaux, la connexion de la base a été réalisée par la réalisation d'ouverture directement sur le contact métallique de base en même temps que celle d'émetteur et de collecteur; c'est la technique de connexion par « vias » dont nous avons parlé au début de cette partie. Les largeurs du contact de base étant choisies les plus faibles possibles pour une montée en fréquence, cela nécessite l'utilisation de la lithographie électronique. De plus, la réalisation des ouvertures par « vias » peut présenter quelques difficultés lorsqu'il s'agit de réaliser des transistors submicroniques avec des largeurs du contact d'émetteur inférieures à $0.35\mu\text{m}$.

Une autre technique de connexion de la base consiste à utiliser un pont de connexion déporté sur un plot isolé ; elle a fait l'objet de travaux déjà publiés dans la littérature mais également au sein du laboratoire [31,32]. Cette technique permet de définir des plots de contact de la base sans avoir la contrainte due aux largeurs critiques des transistors. En effet, en isolant le contact de base en dehors de la partie intrinsèque du transistor, cela permet de diminuer la surface de la jonction base-collecteur mise en jeu et donc la capacité qui en découle, ce qui augmente les performances fréquentielles des dispositifs ainsi réalisés. La fréquence de transition de même que la fréquence maximale d'oscillation sont, comme le rappellent les formules vues au chapitre 1, inversement proportionnelles à cette capacité. Elle demeure alors un paramètre important en vue de la montée en fréquence des transistors bipolaires. Le métal d'interconnexion permet de relier le transistor intrinsèque au plot de base ainsi déporté comme représenté sur la figure 3-26. Pour finir, une gravure humide des semi-conducteurs en-dessous du pont permet de laisser uniquement le métal et isoler le transistor ; dans ce cas les contacts d'émetteur et de collecteur sont définis par la technique de « vias » décrite précédemment.

Néanmoins, cette technique a pour principal inconvénient son faible rendement car le pont de connexion est difficilement réalisable d'un point de vue technologique. En effet, la gravure des semi-conducteurs sous le micro- pont métallique est très complexe ; la gravure se fait par voie humide dans des solutions d'acide que nous avons mentionnées auparavant. Lors de la gravure des matériaux présents sous le pont, on assiste également à la gravure des semi-conducteurs du transistor intrinsèque ; ce qui tend à réduire la surface active des dispositifs et donc réduire les performances des transistors [33]. Le contrôle de cette gravure est donc une difficulté supplémentaire pour une technique de connexion à plot de base. De plus, le rail métallique est réalisé de telle sorte qu'il soit assez fin pour venir connecter la base. De ce fait, nous pouvons également constater des ruptures brutales du pont lors de la gravure des semi-conducteurs. Ainsi, même si cette technique de connexion de la base permet d'accroître à la fois F_t et F_{max} , la difficulté de sa mise en œuvre technologique et le rendement de fabrication qui en découle nous ont fait choisir une connexion de la base par « vias » et ponts à air.

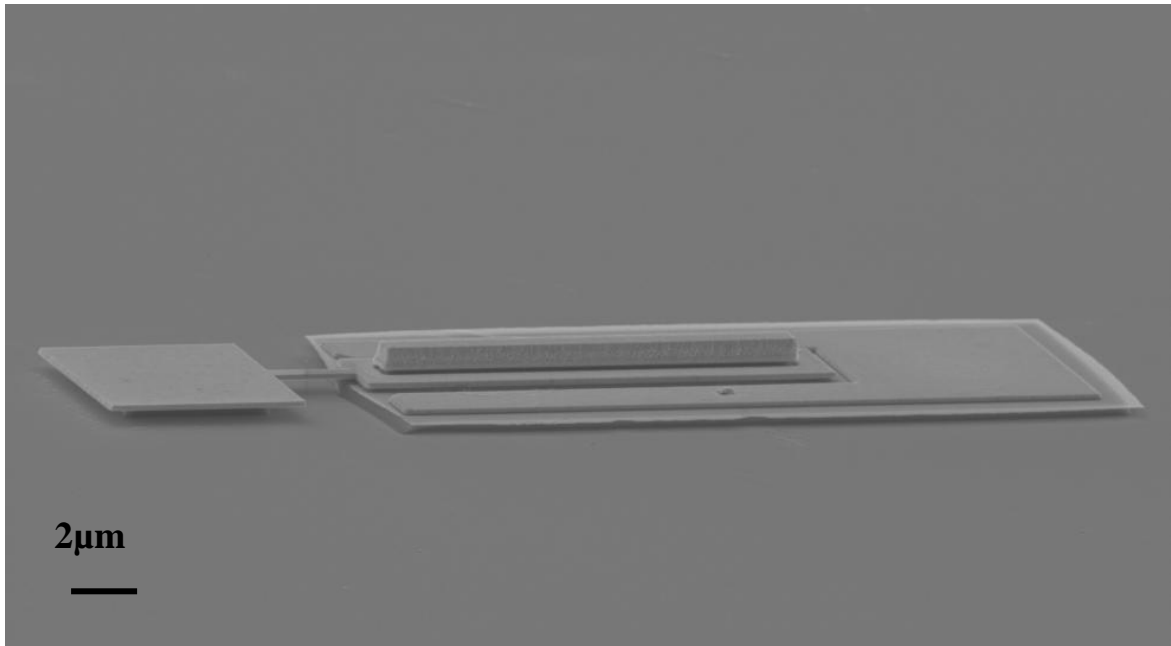


Figure 3-26 : Représentations d'une connexion de contact de la base par pont

Une fois la réalisation des connexions par ponts à air achevée, les transistors submicroniques ainsi réalisés sont disponibles pour une succession de mesures électriques dans un premier temps afin de vérifier la qualité des couches actives d'épitaxie de même que la bonne marche des différentes jonctions qui le caractérisent.

Conclusion

Le procédé de fabrication technologique de transistors bipolaires submicroniques a été démontré à travers ce chapitre. Du fait de la structure inversée propre aux TBHs reportés, l'ensemble des étapes de la réalisation a été adapté. Des difficultés spécifiques rencontrées ont poussé au développement et à l'optimisation de chaque brique technologique présente lors de la fabrication des dispositifs à base d'InP reportés sur silicium.

Nous avons dans un premier temps adapté les solutions de gravure classiques à notre structure épitaxiale inversée tout en gardant des sous-gravures d'émetteur et de base convenables inférieures à 100nm. De même les profils de gravure pour TBHs reportés ont été étudiés afin de permettre des flancs d'émetteur rentrant indispensables pour l'auto-alignement du contact de base sur celui d'émetteur.

La réalisation du contact de collecteur sur structure reportée a fait l'objet d'études poussées. Cette étape est d'autant plus importante qu'elle permet l'isolation des composants en atteignant le substrat hôte de silicium. Malgré les difficultés rencontrées lors de sa mise en œuvre, nous avons finalement réussi à définir ce contact de collecteur grâce à la gravure du joint métallique de collage.

Une fois cette étape achevée, nous avons enfin procédé à la connexion des TBHs grâce à la technique des « vias » et des ponts à air. Cela a nécessité l'optimisation de l'empilement de résine utilisé lors de la réalisation de l'ouverture des « vias » (et de support des ponts) mais également pour la connexion par rail métallique des différents contacts ohmiques. C'est une étape qui a fait l'objet de nombreux essais dès lors qu'elle a fait intervenir une nouvelle résine peu connue au sein du laboratoire.

Afin de montrer l'intérêt du report de couches actives, nous avons procédé à la réalisation de TBHs reportés sur substrat à haute conductivité thermique. Une technologie pour TBHs non reportés a également été démontrée à travers ce chapitre. Les caractérisations tant thermiques qu'électriques ou encore hyperfréquences de ces transistors reportés seront présentés dans le chapitre suivant.

Références bibliographiques

- [1] F. Brunner, S. Weeke, M. Zorn, M. Weyers, “Growth monitoring of GaAsSb:C/InP heterostructures with reflectance anisotropy spectroscopy”, *Journal of Crystal Growth*, Vol. 272, pp. 111–117, 2004
- [2] M. Urteaga, R. Pierson, P. Rowell, V. Jain, E. Lobisser, M. J. W. Rodwell, “130nm InP DHBTs with $f_t > 0.52\text{THz}$ and $f_{\text{max}} > 1.1\text{THz}$ ”, 69th Annual Device Research Conference (DRC), 2011
- [3] K. Y. (Donald) Cheng, C. C. Liao, H. Xu, K. Y. (Norman) Cheng, M. Feng, “Hot electron injection effect on the microwave performance of type-I/II AlInP/GaAsSb/InP double-heterojunction bipolar transistors”, *Applied Physics Letters*, vol. 98, 2011
- [4] I. Vurgaftman, J. R. Meyer, L. R. Ram-Mohan, “Band parameters for III-V compounds semiconductors and their alloys”, *Journal of Applied Physics*, vol. 89, 2001
- [5] N. Matine, M. W. Dvorak, X. G. Xu, S. P. Watkins, C. R. Bolognesi, “InP/GaAsSb/InP DHBT with high cut-off frequencies and breakdown voltages”, 11th International Conference on Indium Phosphide and Related Materials IPRM, 1999
- [6] Gilles Koné, « Caractérisation des effets thermiques et des mécanismes de défaillance spécifiques aux transistors bipolaires submicroniques sur substrat InP dédiés aux transmissions optiques Ethernet à 112 Gb/s », Thèse de doctorat de l’université de Bordeaux 1, 2011
- [7] C. R. Bolognesi, M. W. Dvorak, O. Pitts, S. P. Watkins, T. W. MacElwee, « Investigation of high-current effects in staggered lineup InP/GaAsSb/InP heterostructure bipolar transistors: temperature characterization and comparison to conventional type-I HBTs and DHBTs », International Electron Devices Meeting, 2001. IEDM '01
- [8] V. Nodjiadjim, M. Riet, A. Scavennec, P. Berdager, J. L. Gentner, J. Godin, P. Bove, M. Lijadi, « Comparative collector design in InGaAs and GaAsSb based InP DHBTs », 20th International Conference on Indium Phosphide and Related Materials, 2008
- [9] D. Vignaud, D. A. Yarekha, J. F. Lampin, M. Zaknounge, S. Godey, F. Mollot, « Electron lifetime measurements of heavily C-doped InGaAs and GaAsSb as a function of the doping density », *Applied Physics Letters* Vol. 90, 2007
- [10] R. Bhat, W. P. Hong, C. Caneau, M. A. Koza, C. K. Nguyen, S. Goswami, « InP/GaAsSb/InP and InP/GaAsSb/InGaAsP DHBT with a carbon-doped base grown by organometallic vapor deposition », *Applied Physics Letters*, vol. 68, 1996
- [11] K. G. Merkel, V. M. Bright, C. L. A. Cerny, F. L. Schuermeyer, J. S. Solomon, R. A. Kaspi, « Beryllium ion implantation in GaAsSb epilayers on InP », *Journal of Applied Physics* Vol. 79, 1996
- [12] Han-Chao Gao, Wen-Xin Wang, Zhong-Wei Jiang, Jian Liu, Cheng-Liang Yang, Dian-Zhong Wu, Jun-Ming Zhou, Hong Chen, “Growth, Antimony Incorporation Behaviour and Beryllium Doping of GaAs_{1-y}Sb_y Grown on GaAs by Molecular Beam Epitaxy”, *Chinese Physics Letters*, Vol. 25, 2008
- [13] S. P. Watkins, O. J. Pitts, C. Dale, X. G. Xu, M. W. Dvorak, N. Matine, C. R. Bolognesi, “Heavily carbon-doped GaAsSb grown on InP for HBT Applications”, *Journal of Crystal Growth*, vol. 221, 2000

- [14] B. T. McDermott, E. R. Gertner, S. Pittman, C. W. Seabury, M. F. Chang, « Growth and doping of GaAsSb via metalorganic chemical vapor deposition for InP heterojunction bipolar transistors », Applied Physics Letters, Vol.68, 1996
- [15] S. Neumann, W. Prost, F.-J. Tegude, “Growth of highly p-type doped GaAsSb:C for HBT application”, International Conference on Indium Phosphide and Related Materials IPRM, 2003
- [16] C.R. Bolognesi, M.W. Dvorak, O. Pitts, S.P. Watkins, T.W. MacElwee, “Investigation of high-current effects in staggered lineup InP/GaAsSb/InP heterostructure bipolar transistors: temperature characterization and comparison to conventional type-I HBTs and DHBTs”, International Electron Devices Meeting, 2001
- [17] A. Feyngenson, R.A. Hamm, P.R. Smith, M.R. Pinto, R.K. Montgomery, R.D. Yadavish, H. Temkin, “A 144GHz InP/InGaAs composite collector HBT”, International Electron Devices Meeting, 1992.
- [18] K. Y. (Donald) Cheng, H. Xu, M. E. Stuenkel, E. W. Iverson, C. C. Liao, K. W. Yang, M. Feng, K. Y. (Norman) Cheng, « Base charge accumulation and push-out effects on nonlinearity of Type-I InP/InGaAs/InP and Type-I/II AlInP/GaAsSb/InP double heterojunction bipolar transistors », Journal of Applied Physics Vol.110, 2011
- [19] H. Xu, E.W. Iverson, K.Y. Cheng and M. Feng, “Physical origins of nonlinearity in InP DHBTs”, Applied Physics Letters, Vol.100, 2012
- [20] M. Zaknune, H. Colder, D.A. Yarekha, G. Dambrine, F. Mollot, « Current gain enhancement in GaAsSb/InP - DHBT type grown by MBE with a graded composition AlInP emitter », 20th International Conference on Indium Phosphide and Related Materials, 2008
- [21] H.G. Liu, O. Ostinelli, Y.P. Zeng, C.R. Bolognesi, « High-Current-Gain InP/GaInP/GaAsSb/InP DHBTs With $f_T = 436$ GHz », IEEE Electron Device Letters, Vol. 28, 2007
- [22] H.G. Liu, O. Ostinelli, Y.P. Zeng, C.R. Bolognesi, « Emitter-Size Effects and Ultimate Scalability of InP:GaInP/GaAsSb/InP DHBTs », IEEE Electron Device Letters, Vol.29, 2008
- [23] Estelle Mairiaux, « Développement d’une nouvelle filière de TBH AlIn(As)Sb/GaInSb en vue d’applications térahertz », Thèse de doctorat de l’université de Lille1, 2010
- [24] H. Maher, V. Delmouly, U. Rouchy, M. Renvoise, P. Frijlink, D. Smith, M. Zaknune, D. Ducatteau, V. Avramovic, A. Scavennec, J. Godin, M. Riet, C. Maneux, B. Ardouin, « A 300 GHz InP/GaAsSb/InP HBT for high data rate applications », 2011 Compound Semiconductor Week (CSW) and 23rd International Conference on Indium Phosphide and Related Materials (IPRM)
- [25] J. H. Jang, H. K. Cho, J. W. Bae, I. Adesida and N. Pan, “Comparative Studies on Low-Resistance Pd-Based Ohmic Contacts on p-GaAsSb”, Journal of The Electrochemical Society, vol. 154, 2007
- [26] “Standard Operating Procedures (SOP) for wet etching”
- [27] M. Zaknune, O. Schuler, F. Mollot, D. Theron, Y. Crosnier, « Nonselective wet chemical etching of GaAs and AlGaInP for device applications », Journal of Vacuum Science & Technology B, Vol. 16, 1998
- [28] Pierre Renard, “Les gravures chimiques”, LETI/DMITEC/STMC/MC/2000
- [29] K. Williams, K. Gupta and M. Wasilik, “Etch rates for micromachining processing-Part II”, Journal of MEMS, vol.12, 2003
- [30] A. Gusman, S. Chandu and F. Yaghmaie, “ZEP520A- New resist for Electron Beam Lithography”

- [31] S.Tadayon, G.Metze, A. Cornfeld, K. Pande, H. Huang, B.Tadayon, « Application of micro-airbridge isolation in high speed HBT fabrication », Electronics Letters, Vol.29, 1993
- [32] M. W. Dvorak, N. Matine, C. R. Bolognesi, X. G. Xu, S. P.Watkins, « Design and performance of InP/GaAsSb/InP double heterojunction bipolar transistors », Journal of Vacuum Science & Technology A, Vol.18, 2000
- [33] Benjamin F. Chu-Kung, Shyh-Chiang Shen, Walid Hafez, and Milton Feng, “Process and Performance Improvements to Type-II GaAsSb/InP DHBTs”, GAASMANTECH Conference, 2005

Chapitre IV :

Caractérisations électrique et thermo-électrique de TBHs submicroniques

Les précédents chapitres de cette thèse ont porté sur le développement d'une technique de report de couches actives de transistors bipolaires et la mise en œuvre d'une technologie de fabrication de dispositifs submicroniques. Il s'agissait de mettre en œuvre un procédé technologique permettant d'obtenir des transistors bipolaires reportés sur substrat à haute conductivité thermique ; le but est d'atteindre des valeurs de F_t et F_{max} de l'ordre de 300GHz tout en démontrant l'importance du report des couches actives dans l'amélioration de la dissipation thermique dans les TBHs. L'essentiel des efforts ont donc été entrepris dans cette optique et non dans la réduction drastique des dimensions pour l'obtention de fréquences de coupure à l'état de l'art.

Ainsi, nous allons tout d'abord consacrer la première partie de ce chapitre aux caractéristiques statiques des TBHs de la filière InP/GaAsSb. Ensuite, nous allons présenter les résultats de caractérisation hyperfréquence obtenus sur ces dispositifs. Enfin, les mesures thermiques vont être abordées avec notamment l'extraction de la résistance thermique des TBHs ainsi reportés. Les transistors seront par la suite comparés d'un point de vue thermique à des composants non reportés de mêmes dimensions pour une filière industrielle InP/GaAsSb mais également InP/InGaAs. Afin de valider l'ensemble de nos données expérimentales concernant la résistance thermique, les valeurs extraites des mesures seront comparées aux simulations électrothermiques présentées chapitre 2.

I/- Caractéristiques statiques dans le TBH

Les caractéristiques statiques des transistors bipolaires permettent de conclure quant au bon fonctionnement des dispositifs mais également d'évaluer la qualité de la structure de couche employée. En effet, de nombreux paramètres peuvent en être extraits, la plupart liés à la structure épitaxiale concernée. Dans cette partie, nous allons présenter uniquement les caractéristiques de TBHs submicroniques InP/GaAsSb reportés sur Si qui ont fait l'objet du chapitre 3. Le tableau 4-1 qui suit rappelle la composition de la structure utilisée. Il s'agit d'une structure inversée collecteur up mais le report permet de retrouver une structure de TBH standard avec l'émetteur en haut. Il est également à noter l'absence de couche de sous-collecteur pour des raisons précédemment évoquées de même que la présence d'un joint métallique de collage dû au report des couches épitaxiales.

	Matériau	Dopage (cm ⁻³)	Epaisseur (Å)
Contact Emetteur	InGaAs	Si : 3x10 ¹⁹	200
	InP		1000
Emetteur	AlInP	Si : 5x10 ¹⁷	150
	InP		50
Base	GaAsSb	C : 4x10 ¹⁹	200
Collecteur	InP	Si : 7x10 ¹⁶	1000
Joint de collage	Mo/Pt/Au/Ti	Aucun	5350

Tableau 4-1 : Structure épitaxiale inversée pour DTBHs reportés

I-1/- Courbes de Gummel

Nous allons montrer dans cette partie les caractéristiques de Gummel de TBDH InP/GaAsSb reportés sur Si. La courbe de Gummel représente l'évolution du logarithme des courants de base et de collecteur en fonction de la tension émetteur-base V_{be} . La figure 4-1 présente cette caractéristique pour un TBDH avec une largeur du contact d'émetteur effectif de 0.8 μ m et une longueur de 6 μ m (0.8x6 μ m²).

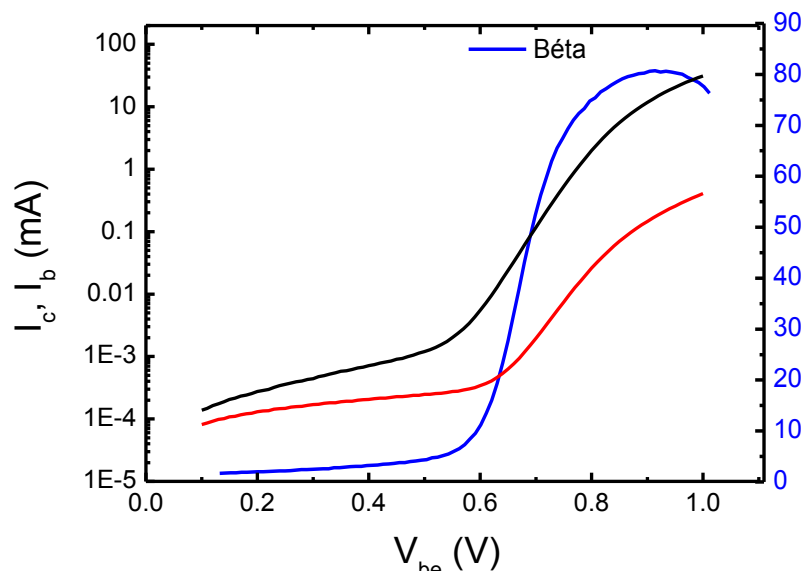


Figure 4-1 : Courbe de Gummel d'un DTBH InP/GaAsSb reporté sur Si

Sur notre structure, nous avons mesuré des coefficients d'idéalité très proches de 1 (1.15 et 1.3 respectivement pour les jonctions émetteur-base et base-collecteur). Il a été démontré par Liu et al. [1] que les TBHs à hétérojonction abrupte, comme c'est le cas des DTBH InP/GaAsSb, avaient des coefficients unitaires car les mécanismes de recombinaison dans les zones quasi-neutres prédominent. Cela traduit un comportement idéal des courants de base et de collecteur et de l'efficacité d'injection des différents porteurs. En effet, pour la structure InP/GaAsSb, la différence des affinités électroniques entre ces deux matériaux introduit des discontinuités de bandes. Ainsi, la discontinuité observée en bande de valence constitue une barrière au passage des trous de la base vers l'émetteur, ce qui augmente l'efficacité d'injection. En régime de faible injection ($V_{be} < 300\text{mV}$), nous observons des fuites en courant relativement basses avec des valeurs de courant inférieures à 10^{-4}mA . Aux tensions intermédiaires, l'écart entre les courbes d' I_c et I_b permet de déterminer le gain en courant statique Béta. Aux tensions supérieures à 800mV , l'effet des résistances série apparaît. Sur ce transistor, bien que les courants de base et de collecteur augmentent de manière importante, l'effet de ces résistances est somme toute modéré. Enfin, à partir d'une tension de 900mV , les effets de saturation des courants surviennent et le gain statique Béta commence à chuter. C'est le début des effets liés au régime de forte polarisation des jonctions. Ainsi, les premières mesures statiques réalisées sur nos structures confirment en partie l'intérêt de l'utilisation d'une double hétérojonction pour nos TBHs. De plus, nous n'avons observé aucune dégradation des caractéristiques de Gummel pouvant être attribuable au report de couches actives avant la réalisation technologique des transistors. Ce qui prouve la bonne tenue du collage après l'ensemble des étapes de fabrication des composants.

Par ailleurs, nous devons également constater l'absence du phénomène de croisement entre les deux courbes de courant habituellement observé pour les DTBH InP/GaAsSb. L'explication provient de l'utilisation dans nos structures d'un émetteur composite en AlInP [2]. En effet, la présence d'aluminium, qui permet par ailleurs d'améliorer le gain en courant statique des transistors, élimine ce croisement. Cela a été confirmé comme nous le remarquons figure 4-2 par la mesure de Gummel sur DTBH avec une structure épitaxiale similaire à émetteur simple en InP.

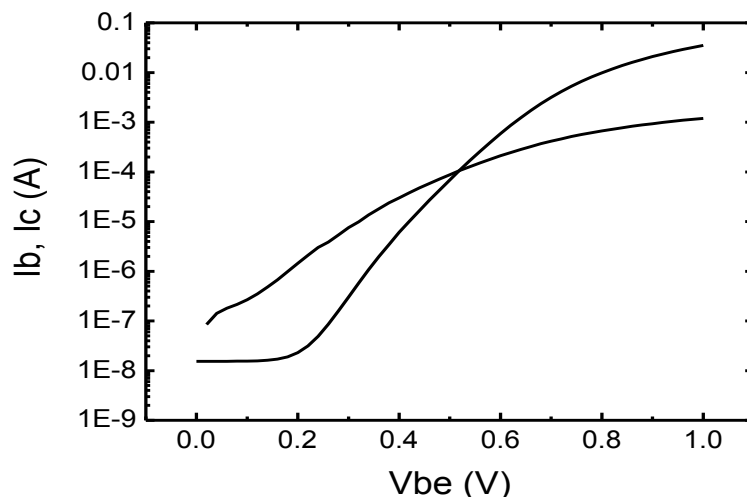


Figure 4-2 : Courbe de Gummel d'un DTBH InP/GaAsSb reporté sur Si avec émetteur non composite en InP

La courbe de Gummel nous renseigne donc sur la qualité de l'épitaxie des couches et éventuellement de la technologie des composants. La quasi-idéalité du courant de base observé traduit

des phénomènes de recombinaison aux hétérojonctions très faibles. La plage de fonctionnement idéal du transistor mesuré s'étend de 500mV à 900mV, lorsque tous les effets parasites et/ou néfastes sont inexistants ou presque. L'effet des résistances série, comme nous l'avons vu plus haut, reste relativement faible. Cependant, la figure 4-1 ne permet pas de visualiser entièrement le phénomène de saturation des courants en régime de forte injection pour une tension émetteur-base supérieure à 1V. Nous observons cependant l'augmentation des courants de base et de collecteur à partir d'une tension V_{be} de 0.5V et les DTBHs mesurés présentent un maximum de gain statique en courant approchant 100 pour une tension V_{be} de 0.9V. Le gain chute ensuite progressivement à partir de tensions supérieures à 1V dû au régime de forte injection des porteurs. Cette valeur du gain est d'autant plus importante qu'elle justifie le choix d'un émetteur composite en AlInP décrit au chapitre 3. Effectivement, avec une proportion d'aluminium de 15%, l'amélioration du gain Béta est suffisante tout en gardant une bonne efficacité d'injection (Cf paragraphe précédent). Cela va dans le sens des travaux précédemment réalisés au sein de notre équipe sur des hétérostructures AlInP/GaAsSb.

I-2/- Caractéristiques $I_c(V_{ce})$

Les caractéristiques de sortie $I_c(V_{ce})$ d'un DTBH $0.8 \times 6 \mu\text{m}^2$ reporté sur Si sont présentées figure 4-3 pour différentes valeurs du courant de base I_b . L'intérêt de ces caractéristiques est de permettre l'extraction de paramètres déterminants sur le fonctionnement en régime statique de nos dispositifs ainsi réalisés.

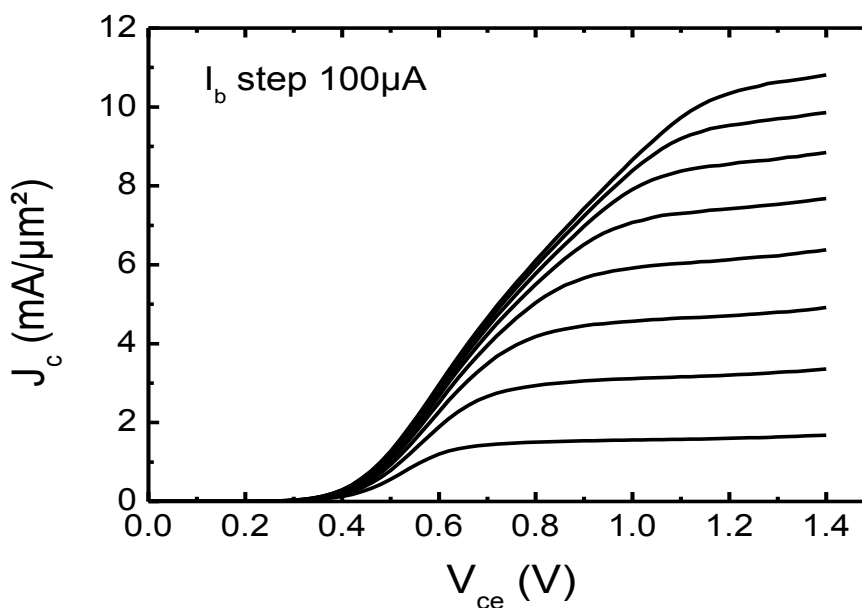


Figure 4-3 : Caractéristiques $I_c(V_{ce})$ de DTBH $0.8 \times 6 \mu\text{m}^2$ InP/GaAsSb reporté sur Si dont la courbe de Gummel a été présentée précédemment

Cette caractéristique de sortie permet d'évaluer à nouveau la valeur du gain en courant. Elle nous informe également quant à la tension de décalage du transistor pour laquelle $I_c=0$; il s'agit de la

tension de seuil du transistor V_{Δ} qui vaut approximativement 300mV pour les TBHs concernés. Cette valeur permet l'utilisation du TBH sur une large plage de fonctionnement. Sur cette courbe, on observe des fortes pentes des caractéristiques qui traduisent un effet important des résistances séries sur ce composant. En effet, comme nous l'avons vu au chapitre 1, la pente des tensions de saturation est donnée par : $\frac{1}{R_E+R_C}$

Ainsi, une faible pente correspond à des résistances série d'émetteur et de collecteur élevées sur ce TBH probablement due à une mauvaise qualité des contacts ohmiques d'émetteur et de collecteur. Par ailleurs, la diminution de cette pente constatée aux fortes tensions de polarisation traduit le blocage des porteurs à la jonction base-collecteur des DTBHs dû au type II de l'hétérojonction GaAsSb/InP [3]. En effet, pour des tensions V_{ce} très importantes, la jonction base-collecteur est fortement polarisée en inverse et provoque l'apparition d'effets limitatifs sur le fonctionnement statique du TBH ; ce qui peut affecter également son fonctionnement hyperfréquence. L'écart entre les courbes donne une valeur du gain statique en courant avoisinant 85 comme observée sur les courbes de Gummel. Enfin, la tension de saturation est d'environ 1.1V et correspond à la tension au-delà de laquelle le TBH est en régime de fonctionnement normal.

En revanche, cette caractéristique montre l'absence d'une conductance de sortie négative en régime de forte injection qui traduit des effets thermiques négligeables voir inexistantes sur nos structures reportées. Cela montre l'intérêt du report des couches actives pour l'amélioration de la dissipation thermique des TBHs mais également l'importance de la minimisation des épaisseurs de couches de contact en InGaAs dont la conductivité thermique est très faible par rapport à l'InP par exemple. Ces deux points seront par la suite confirmés par des mesures électrothermiques plus loin dans ce chapitre. De même, le courant I_c ne subit pas une forte hausse aux niveaux d'injection les plus élevés. De ce fait, on n'assiste pas à un phénomène Early précoce sur nos structures reportées. En effet, le fort dopage de base utilisé tend à réduire l'apparition de ce phénomène néfaste pour la montée en fréquence de nos transistors. De plus, l'utilisation d'un collecteur en InP faiblement dopé nous permet de limiter l'apparition d'un claquage précoce de nos dispositifs en fonctionnement normal, tout en conservant une épaisseur de collecteur faible pour la montée en fréquence des transistors. Enfin, aux tensions de polarisation jusque 1.6V, les phénomènes d'avalanche sont inexistantes.

Ainsi, les premiers résultats de caractérisation statique des dispositifs réalisés montrent tout d'abord la faisabilité de la technologie de report de couches actives que nous avons développée. Les paramètres significatifs que nous avons tirés de ces résultats permettent en outre de confirmer la pertinence de notre choix de structure épitaxiale discutée au chapitre 3. Le tableau 4-2 ci-après récapitule les principaux paramètres extraits.

Les caractéristiques obtenues résultent donc de nombreux compromis technologiques en termes d'épitaxie suite à des travaux menés précédemment dans notre équipe en collaboration avec le groupe EPIPHY du laboratoire. En effet, comme nous l'avons discuté au chapitre 3, les dopages ainsi que les épaisseurs des différentes couches (notamment de base) ont une influence directe sur le gain en courant statique par exemple.

Gain maximum en courant statique	~100
Tension de décalage V_{Δ}	300mV
Tension de saturation	1.1V
Tension de claquage	> 2V

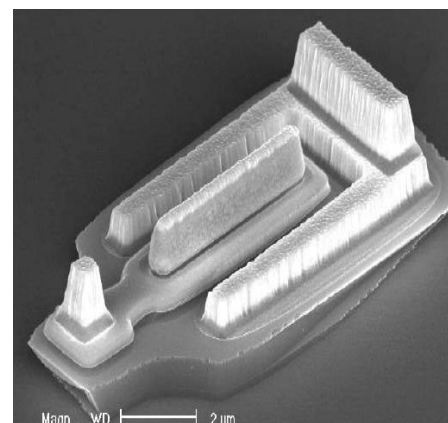
Tableau 4-2 : Paramètres déterminant de DTBH $0.8 \times 6 \mu\text{m}^2$ InP/GaAsSb reportés sur Si

II/- Caractéristiques dynamiques de DTBHs InP/GaAsSb submicroniques

Le paragraphe précédent a montré la faisabilité de notre technologie de transfert de couches actives par une série de caractérisations statiques. Afin d'étudier le comportement dynamique des transistors submicroniques, nous avons effectué des mesures en hyperfréquences grâce à un analyseur de réseau Agilent sur une plage fréquentielle de 250MHz à 50GHz. Les performances de nos DTBH InP/GaAsSb sont ensuite comparées à celles obtenues sur une structure épitaxiale similaire non reportée. Pour positionner nos transistors par rapport aux réalisations actuelles, nos performances seront ensuite comparées à celles obtenues sur TBHs de structure identique réalisés au sein de la fonderie OMMIC. Les transistors que nous avons mesurés ont des dimensions d'émetteur proches de celles de nos composants. La structure appelée G2 OMMIC est présentée sur le tableau 4-3.

	Matériau	Type de dopage	Epaisseur (Å)
Contact Emetteur	InGaAs	N++	1100
Emetteur	InP	N++	800
Emetteur	InP	N	400
Base	GaAsSb	P++	250
Collecteur	InP	N-	1300
Collecteur	InP	N+	100
Contact collecteur	InGaAs	N++	500
Sous-collecteur	InP	N++	300
Etch stop	InGaAs	NID	100

Tableau 4-3: DTBH InP/GaAsSb G2 OMMIC



G2 OMMIC TBH $0.65 \times 7 \mu\text{m}^2$

II-1/- Méthode de mesure hyperfréquence

Les mesures hyperfréquences sont réalisées sur nos composants afin d'évaluer leurs performances dynamiques. Elles permettent également de trouver des voies de développement des composants pour l'obtention de fréquences de coupure remarquables. C'est pourquoi, ces mesures hyperfréquences présentent un intérêt important et ont été étudiées avec une attention particulière. La compréhension de ces mesures repose sur la théorie des quadripôles bien connue [4] grâce à la représentation de paramètres impédances Z , admittances Y ou hybrides H . Des méthodes de transformations existent permettant de passer d'une matrice à une autre.

Cependant, du fait des capacités et inductances parasites entourant le dispositif à mesurer, il est très difficile d'envisager des représentations matricielles en impédances ou admittances. En effet, ces éléments parasites de même que les lignes reliant les composants aux appareils de mesure provoquent des oscillations pouvant induire des erreurs lors des mesures. Ainsi, pour les mesures hyperfréquences de nos composants nous avons opté pour une représentation en paramètres S présentée figure 4-4 plus simple et plus pratique démontrée par Kurokawa [5].

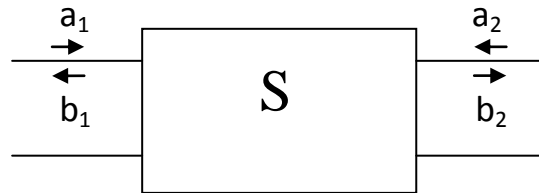


Figure 4-4 : Représentation schématiques des ondes incidentes et réfléchies d'une matrice S

Ce sont ces paramètres S qui seront mesurés par l'analyseur de réseau vectoriel et qui permettront par la suite d'extraire les caractéristiques dynamiques de nos composants sous test. L'analyseur de réseau est relié à la fois à l'entrée et à la sortie du dispositif.

Afin de déterminer les plans de référence pour la mesure, il est indispensable de réaliser une étape de calibrage des appareils de mesure. Cela permet de s'affranchir des erreurs de mesure dues aux accès coplanaires. La méthode de calibrage utilisée est appelée LRRM : Line-Reflect-Reflect-Match et les termes d'erreur extraits permettront de corriger les mesures sous pointes ainsi réalisées. Enfin, pour enlever l'effet des accès coplanaires sur nos mesures et considérer ainsi que le dispositif sous test, une correction sur les paramètres S doit être faite. Dans le cadre de nos DTBHs, nous avons utilisé une correction combinée circuit-ouvert, court-circuit. Il s'agit dans un premier temps de soustraire l'admittance d'un circuit ouvert Y_{co} à l'admittance totale Y_{tot} mesurée pour obtenir l'admittance du dispositif sous test intermédiaire Y_{int} ; cette admittance totale sera transformée en impédance intermédiaire Z_{int} . Cette première soustraction permet de retirer l'effet des capacités parasites majoritairement. Ensuite, pour s'affranchir des impédances séries des accès, il faut soustraire à l'impédance intermédiaire Z_{int} l'impédance d'un court-circuit Z_{cc} . On obtient alors l'impédance finale du dispositif sous test sans l'influence des accès coplanaires Z_{dst} . Une transformation en paramètres S permet d'obtenir la matrice S finale dépossédée de tous les éléments parasites S_{dst} . Les motifs de court-circuit et de circuit ouvert doivent cependant être identiques à ceux des accès coplanaires du dispositif sous test.

$$[S_{tot}] \longrightarrow [Y_{tot}] \longrightarrow [Y_{int}] \longrightarrow [Z_{int}] \longrightarrow [Z_{dst}] \longrightarrow [S_{dst}]$$

II-2/- Facteurs de mérite dynamiques de DTBHs InP/GaAsSb

La mesure des paramètres S des TBHs permettent de déterminer le gain dynamique en courant H_{21} ainsi que le gain unilatéral de Mason U dont les expressions sont données au chapitre 1. Nous présentons figure 4-5 l'évolution de ces caractéristiques dynamiques en fonction de la fréquence pour un TBH $0.8 \times 6 \mu\text{m}^2$ reportés sur Si. Les fréquences de coupure F_t et F_{max} de transistors bipolaires sont extraites par l'extrapolation des gains à partir de la pente théorique à -20dB/décade .

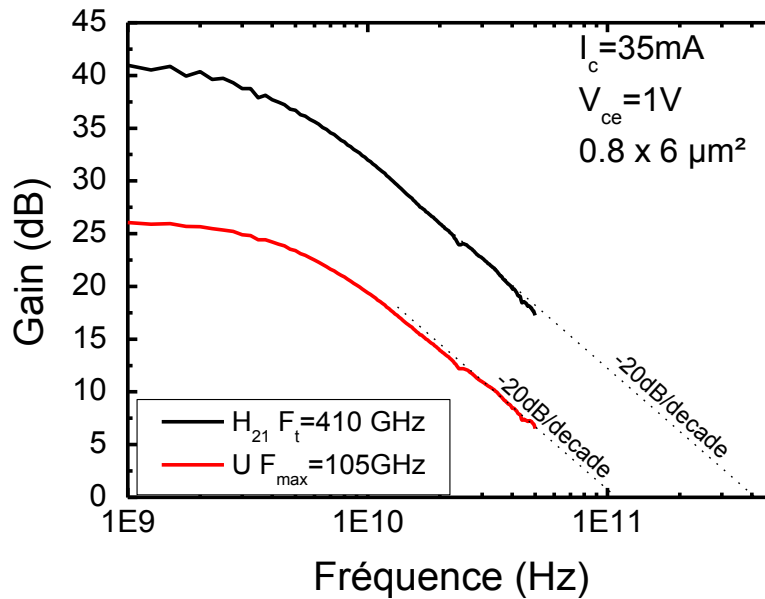


Figure 4-5 : Evolution fréquentielle des gains en puissance U et en courant H_{21} pour un TBH InP/GaAsSb $0.8 \times 6 \mu\text{m}^2$ reporté sur Si

La figure 4-5 nous permet d'extraire une fréquence de transition F_t de 400GHz pour des transistors de surface effective $4.8 \mu\text{m}^2$. Cette valeur correspond au cahier des charges fixé pour nos TBHs submicroniques soit une fréquence de transition dans la gamme autour de 300GHz. En revanche, la fréquence maximale d'oscillation est relativement basse d'environ 105GHz. La fréquence

maximale d'oscillation F_{max} s'écrit :
$$F_{\text{max}} = \sqrt{\frac{F_t}{8\pi R_B C_{BC}}}$$
. Le principal paramètre influençant F_{max} est alors le produit $R_B C_{BC}$ où R_B est la résistance totale de base et C_{BC} la capacité de la jonction base-collecteur.

Concernant la résistance de base, dans notre procédé technologique, le contact de base est déposé par auto-alignement sur celui d'émetteur comme nous l'avons vu au chapitre 3. De ce fait, la distance émetteur-base correspond à la profondeur de sous-gravure à cette jonction, ce qui réduit la résistance extrinsèque de base R_{Bext} . Les autres composants de la résistance totale de base sont donc la résistance de base intrinsèque et la résistance de contact de base. Ces deux paramètres dépendent fortement des dimensions géométriques du transistor à savoir la largeur et la longueur du contact d'émetteur et la sous-gravure de la jonction émetteur-base. Néanmoins, leurs valeurs dépendent également de la résistance de couche du contact de base. Pour les transistors mesurés ici, le contact de base est réalisé en Ti/Pt/Au (Cf Chapitre 3); les résistivités de contact, quoique satisfaisantes, sont toutefois

supérieures à celles obtenues sur des contacts Pd/Mo/Pd/Au d'un facteur proche de 100 avec des valeurs de l'ordre de $2.6 \times 10^{-8} \Omega/\text{cm}^2$. Cela justifierait en partie l'augmentation de la résistance de base totale. De plus, la taille du contact de base n'a pas été minimisée pour la réduction de la résistance de contact avec des dimensions de $0.9 \times 1.9 \mu\text{m}^2$ pour les transistors bipolaires de largeur $0.8 \mu\text{m}$.

Concernant la capacité base-collecteur, le contact de base est défini directement sur la métallisation de base par le biais d'un plot dont la dimension n'a pas été optimisée. Cela ne va pas dans le sens d'une optimisation de la surface base-collecteur et donc de cette même capacité. Pour minimiser cette capacité, le plot de base doit être isolé de la partie intrinsèque du transistor en utilisant une connexion du contact de base par pont comme nous l'avons expliqué dans le chapitre 3. Malheureusement, cette méthode comporte un risque en termes de reproductibilité technologique et n'avait pas été employée dans le cadre de nos travaux.

Ainsi, cette faible valeur de la fréquence maximale peut être attribuée à l'augmentation du produit $R_B C_{BC}$ par l'intermédiaire de facteurs géométriques et technologiques avancés précédemment. Son origine est liée à la fois à R_B mais également à C_{BC} . C'est pourquoi, dans le cadre d'une optimisation de cette fréquence, ces deux paramètres doivent être reconsidérés pour obtenir des fréquences de coupure F_t/F_{max} de 300GHz dans le cadre de notre cahier des charges pour TBHs reportés sur Si.

Tableau 4-4, nous présentons les fréquences de coupure obtenues sur nos composants reportés et sur la structure G2 OMMIC de surface effective comparable ($4.55 \mu\text{m}^2$). Les fréquences de transition obtenues pour les deux structures sont très similaires aux conditions de polarisation proches. En effet, les épaisseurs et les matériaux constituant les deux hétérojonctions sont pratiquement les mêmes, même si la technologie de fabrication des TBH diffère dans les deux cas. Néanmoins, cela permet une comparaison de premier ordre entre les résultats obtenus sur structures inversée et directe. A l'inverse, nous constatons une différence prononcée en termes de fréquence maximale d'oscillation à ces mêmes conditions de polarisation des TBHs. Cela est dû à l'optimisation du procédé technologique de réalisation du contact de base pour la structure DTBH G2 OMMIC par la diminution de la largeur du contact de base.

<u>DTBH reporté</u> <u>$0.8 \times 6 \mu\text{m}^2$</u>	<u>G2 OMMIC</u> <u>$0.65 \times 7 \mu\text{m}^2$</u>
Vce= 1.4V Ic= 36mA	Vce= 1.2V Ic= 30mA
Ft = 369GHz	Ft = 340GHz
Fmax = 155GHz	Fmax = 275GHz

Tableau 4-4 : Fréquences de coupure F_t et F_{max} de DTBH InP/GaAsSb

II-3/- Influence des conditions de polarisation

Afin d'évaluer l'influence des conditions de polarisation sur les performances fréquentielles des TBHs reportés, nous avons représenté figure 4-6 l'évolution des fréquences de coupure F_t et F_{max} en fonction du courant de collecteur pour différentes valeurs de la tension collecteur-émetteur à une tension V_{be} fixée pour un nouveau TBH reporté. On constate une augmentation respective des fréquences F_t et F_{max} de 9 et 18% lorsqu'on passe de $V_{ce}=1V$ à $1.4V$ pour un courant de collecteur de $20mA$ par exemple soit une amélioration deux fois plus importantes pour F_{max} . Une forte polarisation V_{ce} améliore donc ces deux facteurs de mérite mais il faut noter une tendance à la saturation aux très fortes polarisations due aux effets limitatifs en régime de forte injection (Cf Chapitre 1). Sur ces courbes, on observe également un décalage du maximum de fréquences vers les forts courants de collecteur. Ce phénomène traduit une limitation des performances fréquentielles de nos transistors en régime de forte injection. Comme nous l'avons vu plus tôt, l'un des principaux phénomènes limitatifs des transistors bipolaires est l'effet Kirk [6] illustré sur cette figure par ce décalage du maximum de fréquence vers les densités de courant de collecteur plus élevées.

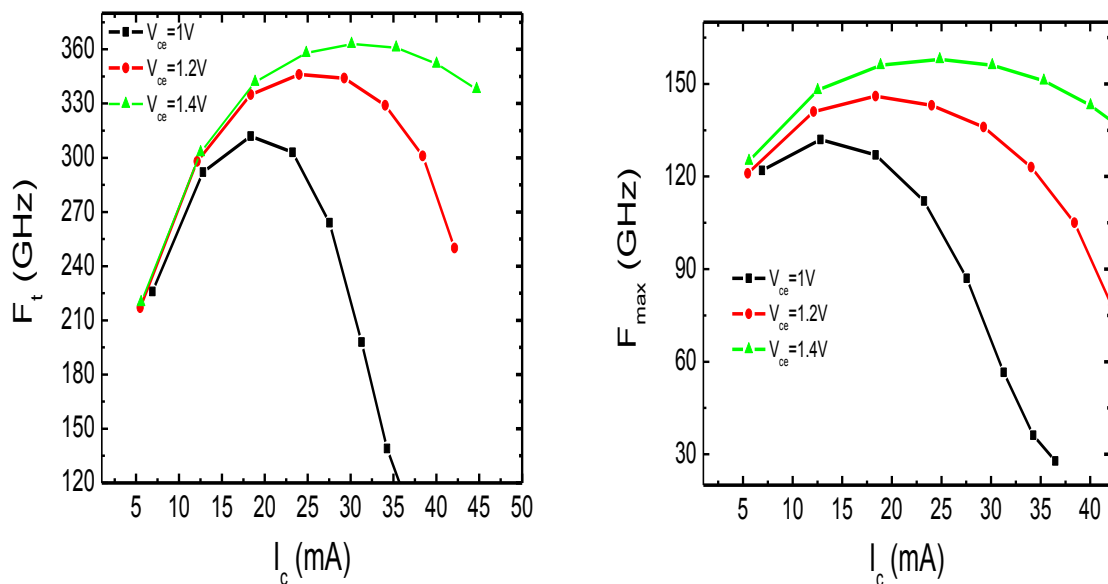


Figure 4-6 : Influence de la tension de polarisation sur F_t et F_{max} pour un TBH $0.8 \times 6 \mu m^2$

Pour des polarisations émetteur-collecteur supérieures à $1.8V$, nous avons remarqué lors des mesures une chute des fréquences du transistor et plus particulièrement de la fréquence de transition F_t . Cela peut s'expliquer par l'introduction dans le collecteur des électrons avec des vitesses très élevées, augmentant leur temps de transit dans le collecteur. Ce phénomène apparaît déjà à $V_{ce}=1.6V$.

Ainsi, le couple F_t , F_{max} optimal a été obtenu dans cette étude pour une tension de polarisation de $1.4V$ avec $F_t = 369GHz$ et $F_{max} = 155GHz$. Ces résultats sont somme toute très encourageants car découlant de nos premières réalisations technologiques. Ils confirment le bon fonctionnement de nos TBHs et la faisabilité de la technologie de transfert de substrat mise au point.

II-4/- Influence des paramètres géométriques d'émetteur sur les performances fréquentielles

Comme nous l'avons démontré précédemment, l'amélioration des performances fréquentielles des TBHs passe par une optimisation de la structure épitaxiale utilisée grâce à la réduction des épaisseurs de couches. De plus, il est également indispensable de réduire les dimensions géométriques des dispositifs à savoir la largeur et la longueur du contact d'émetteur notamment par un bon contrôle de la sous-gravure des matériaux.

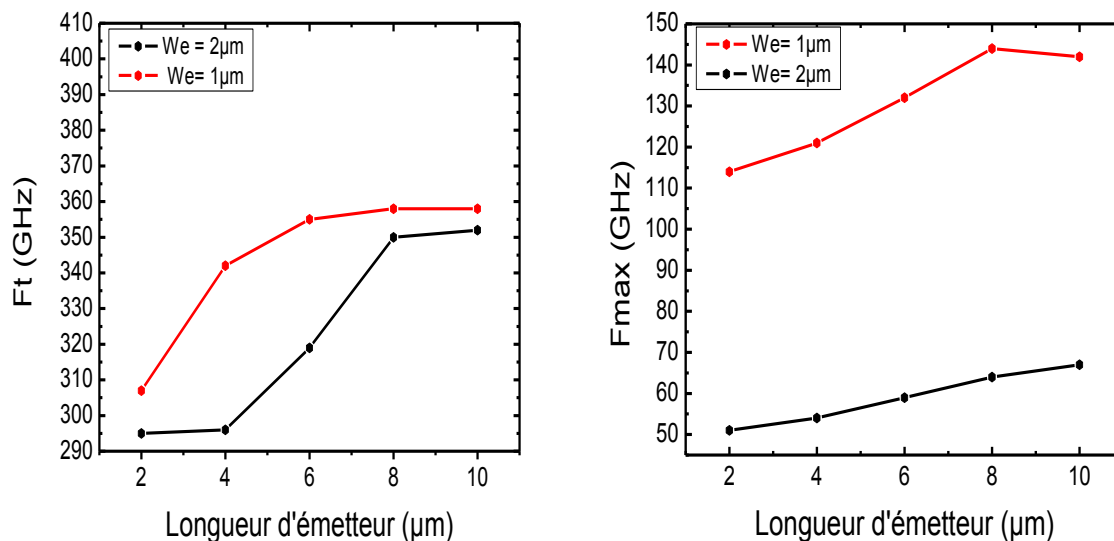


Figure 4-7 : Influence des dimensions d'émetteur sur les fréquences de transition

La figure 4-7 représente l'influence des dimensions d'émetteur sur les performances fréquentielles de TBHs reportés. Concernant la fréquence de transition, son évolution en fonction de la longueur d'émetteur comprend une phase ascendante puis une phase de saturation au-delà d'une longueur d'émetteur de $8 \mu\text{m}$. Cette observation est valable pour les deux largeurs étudiées de 1 et $2 \mu\text{m}$. néanmoins, l'amélioration observée lorsqu'on divise la largeur d'émetteur par 2 n'est que de 3% pour une longueur de $2 \mu\text{m}$ et est $< 2\%$ pour une longueur de $10 \mu\text{m}$. Ces valeurs traduisent un comportement assez stable de cette fréquence par rapport à la largeur d'émetteur. En effet, la fréquence de transition est principalement dépendante des différents temps de traversée de la structure par le biais des épaisseurs entre autres et n'est que peu ou pas affectée par la largeur du contact d'émetteur.

En revanche, tel n'a pas été le cas pour la fréquence maximale d'oscillation F_{max} . En effet, sa valeur, comme nous pouvons le remarquer figure 4-7, double lorsque la largeur d'émetteur est divisée par 2. En effet, d'après la formule de F_{max} rappelée plus haut, nous pouvons justifier cette augmentation par la diminution de la résistance de base par le biais de la résistance de base intrinsèque notamment. Cette résistance dépend bien entendu des dimensions d'émetteur, à savoir la longueur et la largeur du contact d'émetteur. C'est pourquoi, la réduction de la largeur du contact d'émetteur est un point important pour l'amélioration des fréquences de coupure des transistors. Par ailleurs, nous observons également une augmentation de cette fréquence avec la longueur d'émetteur. La résistance

de base intrinsèque étant inversement proportionnelle à la longueur d'émetteur, son augmentation permet de diminuer la résistance de base totale et donc d'augmenter F_{max} . Néanmoins, il existe une limite à l'augmentation de la longueur d'émetteur du fait de la saturation voire la diminution de la fréquence de transition F_t observée pour les transistors plus longs. Les composants ayant démontré les meilleures performances avec cette technologie reportée ont une largeur d'émetteur de $1\mu m$ et une longueur de 6 et $8\mu m$.

II-5/- Méthode d'extraction du modèle petit signal

II-5-1/- Descriptif du modèle

Les TBHs actuels fonctionnent dans la gamme submillimétrique afin de permettre la réalisation de circuits électroniques ultra performants pour des applications très diverses. La conception et la simulation de ces circuits est impossible sans une étape préalable de modélisation des composants. Cette modélisation permet de voir le comportement des transistors par l'intermédiaire d'éléments tels que les résistances, capacités et inductances, ou encore des sources de courant et de tension. Plusieurs modèles sont disponibles pour étudier le comportement des transistors bipolaires et sont tous décrits dans la littérature. Il s'agit du modèle d'Ebers-Moll [7], de Gummel-Poon [8] ou encore le modèle HICUM [9](High Current Model) ; chaque modèle présente ses avantages et ses inconvénients et sera approprié selon les caractéristiques du transistor concerné. Par exemple, le modèle HICUM est utilisé pour obtenir les tensions d'Early, voir les effets de l'auto-échauffement et du substrat.

Néanmoins, une façon plus simple de modéliser nos TBHs peut être utilisée en utilisant un schéma équivalent petit signal basé sur la méthode de Hawkins [10] et développée dans le cadre de plusieurs thèses au sein du laboratoire [11], [12]. Ce schéma équivalent repose sur l'extraction des paramètres extrinsèques et intrinsèques des composants. Il existe deux structures différentes l'un appelé en « π » et l'autre en « T ». Ce dernier schéma présenté figure 4-8 est celui que nous avons utilisé pour l'extraction des paramètres petit signal de nos TBHs InP/GaAsSb reportés sur Si. Il est en effet plus représentatif du fonctionnement des transistors bipolaires.

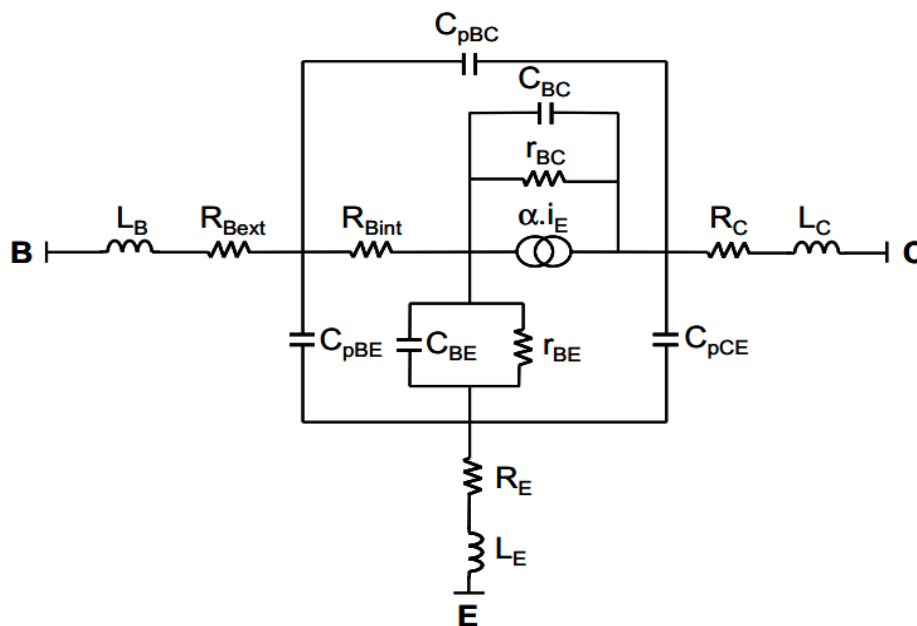


Figure 4-8 : Représentation schématique petit signal d'un TBH émetteur commun [11]

II-5-2/- Extraction des éléments localisés à température ambiante

Selon les conditions de polarisation choisies, la mesure des paramètres S des composants sous test permet l'extraction des différents éléments du schéma équivalent : résistances, inductances et capacités. Ces mesures sont effectuées sur une plage de fréquence allant de 250MHz à 67GHz et seront comparées aux valeurs simulées grâce au schéma équivalent. La méthodologie d'extraction repose sur deux principales étapes. Dans un premier temps, cela consiste à s'affranchir de la contribution des éléments extrinsèques au TBH ; il s'agit là principalement de capacités parasites de plot aux diverses jonctions C_{pBE} , C_{pBC} et C_{pCE} mais également des résistances d'accès et inductances séries associées R_{Bext} , R_E , R_C , L_b , L_e et L_c du schéma équivalent. Dans un second temps, on vient déterminer les éléments intrinsèques au composant. Cela consiste à retirer les éléments extrinsèques précédemment calculés aux paramètres petit signal du TBH. Les formules de calcul utilisées sont présentées dans [11,12]. La description détaillée de la méthodologie ainsi que les conditions de polarisation employées pour chaque paramètre sont présentées sur la figure 4-9 ci-après.

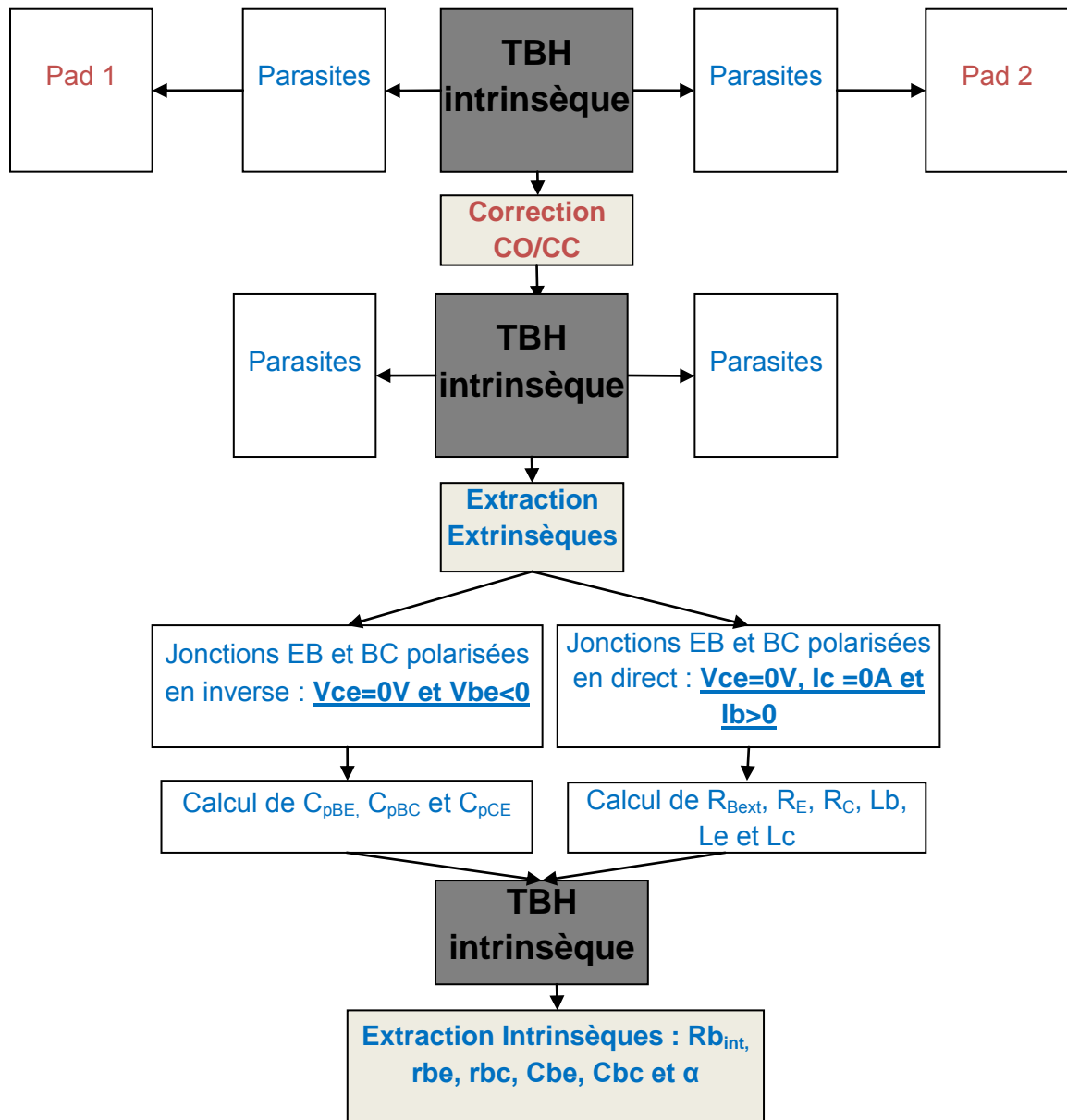


Figure 4-9 : Descriptif de l'extraction des éléments localisés

La détermination des capacités parasites extrinsèques nécessite de polariser les jonctions émetteur-base et base-collecteur en inverse comme décrit sur la figure 4-9. Le collecteur est court-circuité ($V_{ce}=0V$) et la tension émetteur-base V_{be} est négative. Ainsi, tous les courants sont nuls, et il n'y a pas d'effet transistor. Dans cette configuration, les résistances sont négligées et cela permet de déterminer les différentes capacités de transition et de plot du schéma équivalent grâce aux parties imaginaires des admittances. On peut alors extraire les capacités de plot par extrapolation en traçant ces parties imaginaires en fonction de $1/V_{be}$. La méthode que nous avons choisie trace les parties imaginaires en fonction de $\frac{1}{\left(1 + \frac{V_{be}}{V_{\phi}}\right)^{0.5}}$ où V_{ϕ} est la tension correspondante à la hauteur de barrière des jonctions abruptes correspondantes. Pour l'hétérojonction InP/GaAsSb, sa valeur est de 240mV. En effet, la variation des capacités est linéaire en fonction de ce terme. L'ordonnée à l'origine des courbes obtenues donnent alors les capacités plot de notre schéma équivalent.

Le tracé des parties réelles des paramètres Z obtenues lorsque les jonctions sont polarisées toutes deux en direct nous permet d'extraire les différents éléments séries du TBH. Lorsque les jonctions émetteur-base et base-collecteur sont polarisées en direct, le transistor est en régime de saturation et ne fonctionne pas en mode transistor. En régime de forte injection, les capacités sont alors court-circuitées et on se retrouve uniquement avec les éléments séries sur le schéma équivalent. Ainsi, on peut tracer pour les hautes fréquences ces différents éléments série du TBH (résistances). Lorsqu'on trace ces valeurs en fonction de la fréquence, cela ne permet pas une extraction précise des résistances. En effet, les résistances sont proportionnelles à l'inverse du courant ; c'est pourquoi, il faut tracer leur évolution en fonction de l'inverse du courant et les résistances séries sont alors obtenues par extrapolation. Pour obtenir la résistance d'émetteur, il convient de mettre le collecteur en circuit-ouvert et de conserver uniquement la jonction émetteur-base polarisée en direct.

Toujours en régime de forte injection, la partie imaginaire des paramètres Z permet de calculer les différentes inductances parasites en fonction de la fréquence. Pour bien visualiser leurs effets, il est indispensable de se mettre en hautes fréquences et de tracer leur évolution en fonction de l'inverse du courant comme pour les résistances séries.

Ainsi, le développement d'un modèle petit signal pour les TBHs permet l'extraction de tous les éléments extrinsèques dont les effets seront retranchés aux paramètres S mesurés. Cela permet d'obtenir une matrice résultante propre au TBH qui est donc purement intrinsèque. La dernière étape de la méthode d'extraction permet de déduire les éléments intrinsèques au TBH comme décrit précédemment figure 4-9. Le schéma équivalent du TBH final équivaut alors à celui représenté sur la figure 4-8 dépourvu de sa partie extrinsèque. Les éléments extraits pour ces transistors sont ensuite utilisés pour calculer les paramètres intrinsèques du DTBH concerné.

II-5-3/- Temps de transit des porteurs dans la structure

L'étude de l'évolution du temps de transit total de nos structures est possible grâce à la fréquence de transition F_t . Cette étude permet d'extraire le temps de transit base-collecteur mais également d'évaluer la contribution de chaque jonction au temps de transit total. Pour cela, nous devons utiliser les valeurs des éléments localisés extraites de notre modèle et la formule générale du temps de transit total énoncée au chapitre 1 telle que :

$$\tau_{ec} = \frac{1}{2.\pi.F_t} = \frac{kT}{q.I_c} (C_{BE} + C_{BC}) + (R_E + R_C)C_{BC} + \tau_F$$

En effet, l'expression de τ_{ec} en fonction du courant de collecteur ci-devant peut être représentée graphiquement et permettra de calculer τ_f . Nous traçons ainsi sur la figure 4-10 l'évolution de τ_{ec} en fonction de l'inverse du courant de collecteur I_c . Cette courbe présente deux zones bien distinctes délimitées par un courant optimum I_c pour lequel le temps de transit total est le plus faible et correspond à $\tau_{ec,min}$. Au-delà de cette valeur du courant (30mA), le transistor est en régime de forte injection.

Dans la zone linéaire, l'expression du temps de transit donnée précédemment montre que l'on peut extraire la pente à moyenne injection telle que $\frac{kT}{q} (C_{BE} + C_{BC})$. L'ordonnée à l'origine de la courbe obtenue est quant à elle donnée par $(R_E + R_C)C_{BC} + \tau_F$.

R_E , R_C et C_{BC} doivent être extraites des paramètres S grâce au schéma équivalent petit signal des TBHs, permettant de déduire de cette courbe le temps de transit base-collecteur τ_f . Pour se faire, il faut considérer que la fréquence de transition maximale est atteinte lorsque $\tau_{ec} = \tau_{ec,min}$. L'écart observé entre $\tau_{ec,min}$ et τ_{ec} théorique est noté $\Delta\tau$.

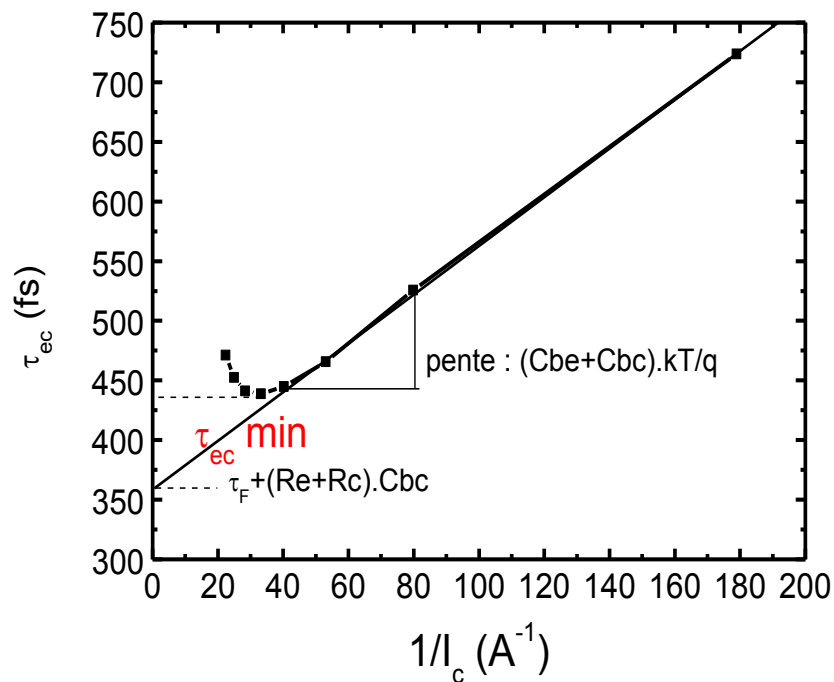


Figure 4-10 : Evolution du temps de transit total d'un DTBH InP/GaAsSb de $0.8 \times 6\mu m^2$

La décomposition du temps de transit total des porteurs dans le TBH permet d'étudier les variations des performances dynamiques en fonction de plusieurs paramètres. Les deux paramètres influençant le plus ce temps sont $(R_E + R_C)C_{BC}$ et τ_F . τ_F représente en effet le temps de transit de la partie idéale du TBH. Les effets parasites représentés par le produit $(R_E + R_C)C_{BC}$ constituent également un facteur limitatif pour la montée en fréquence des transistors. L'optimisation de la structure des TBHs devra donc reconsidérer les résistances série d'émetteur et de collecteur, qui constituent une limite à la minimisation du temps de transit total même si les dopages plus élevés

utilisés permettent de réduire R_E et donc d'améliorer la fréquence de transition. De plus, la minimisation de la capacité base-collecteur permettra d'atteindre de meilleures fréquences de transition pour nos TBHs reportés. Par ailleurs, la réduction de cette capacité a également l'avantage d'améliorer considérablement la fréquence maximale d'oscillation des transistors.

Parallèlement, le deuxième effet parasite influençant le temps de transit total est $\frac{kT}{q.I_{copt}} (C_{BE} + C_{BC})$ d'où l'intérêt de travailler à des densités de courant de collecteur plus élevées. Néanmoins, la diminution des capacités permet d'obtenir des temps de transit plus faibles, ce qui va dans le sens de la diminution du temps de transit total.

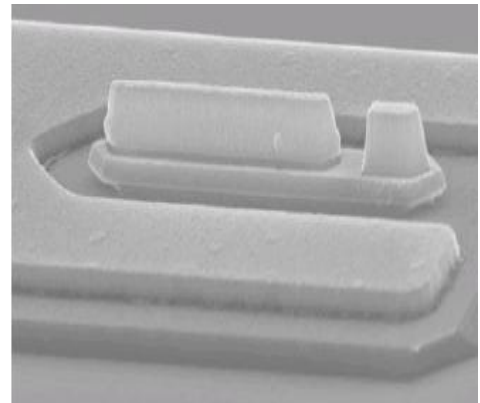
Ainsi, l'optimisation future des performances des transistors de cette structure devra passer par la minimisation des différentes résistances d'accès, qui ont un impact prononcé de même que les capacités de jonction. Cela permettra d'améliorer non seulement la fréquence de transition F_t par le biais des temps de transit, mais également la fréquence maximale F_{max} , très tributaire de la résistance de base totale. En effet, l'utilisation d'une base fine permet de diminuer les temps de transit et le fort dopage de base tend à réduire la résistance de base. Néanmoins, cette réduction n'est pas suffisante pour l'obtention de meilleures performances fréquentielles. La résistance du contact de base devra alors être reconsidérée en utilisant un empilement métallique permettant d'obtenir une plus faible résistivité de contact notamment à base de palladium.

En travaillant à de forts niveaux de courant et avec l'amélioration des différentes résistances d'accès, cette technologie pourra permettre la réalisation de transistors reportés sur Si avec des performances fréquentielles bien meilleures.

III/- Caractérisation thermique de TBHs submicroniques

Les caractérisations tant statiques que fréquentielles réalisées sur nos TBHs reportés sur Si ont montré des facteurs de mérite satisfaisants, c'est-à-dire un gain statique en courant de près de 100 et des fréquences de coupure dans la gamme entre 150 et 400GHz. Les TBHs qui atteignent ces fréquences fonctionnent à des densités de courant de l'ordre de 500kA/cm² pour les largeurs d'émetteur de 0.8µm. Pour les transistors bipolaires, un fonctionnement à ces hautes densités de courant est souvent synonyme d'auto-échauffement dans les dispositifs. L'objectif de ces travaux de thèse était donc de permettre la réalisation technologique de TBHs submicroniques reportés sur un substrat à haute conductivité thermique pour limiter l'effet d'auto-échauffement. Cela a déjà été constaté notamment lors des mesures statiques pour la caractéristique $I_c(V_{ce})$. Néanmoins, afin de consolider ces observations et confirmer l'effet du report sur la dissipation thermique, nous avons extrait des mesures thermiques la valeur de la résistance thermique de nos TBHs reportés. Cette valeur sera ensuite comparée à celle obtenue sur une structure DTBH identique non reportée, sur la structure G2OMMIC ainsi que sur une nouvelle filière industrielle de DTBH à base en InGaAs que nous allons par la suite appeler G2 III-V Lab. Cette dernière structure de TBH est le fruit d'une collaboration avec le III-V Lab dans le cadre du projet ROBUST. Leurs TBHs sont réalisés en technologie entièrement auto-alignée tout comme nos TBHs. Leur structure épitaxiale est donnée sur le tableau 4-5 ci-après.

	Matériau	Type de dopage	Epaisseur (Angstrom)
Contact Emetteur	InGaAs	N+	
Emetteur	InP	N+	400
		N-	
Base	InGaAs	P+	280
Espaceur	InGaAs	NID	300
Plan de dopage	InP	N+	200
Collecteur	InP	N-	1300
		N+	
Sous-collecteur	InGaAs	N+	1500
	InP	N+	



G2 III-V Lab TBH 0.7x7 μ m²

Tableau 4-5 : Structure DTBH InP/InGaAs G2 III-V Lab

III-1/- Mise en œuvre de la procédure de mesure thermique

L'étude de l'effet de la température sur le fonctionnement de TBH nécessite la réalisation de mesures thermiques tant statiques qu'hyperfréquences. Pour cela, nous disposons au sein de la centrale de caractérisation de l'IEMN d'un banc thermique relié à un analyseur de réseau fonctionnant dans la gamme 0-50GHz. Le système de chauffage utilisé est refroidi par air comprimé pour réguler précisément la température mesurée par un thermocouple. Les pointes de caractérisation utilisées peuvent supporter de hautes températures durant les mesures. Le banc de mesures est présenté sur la figure 4-11 ci-après.

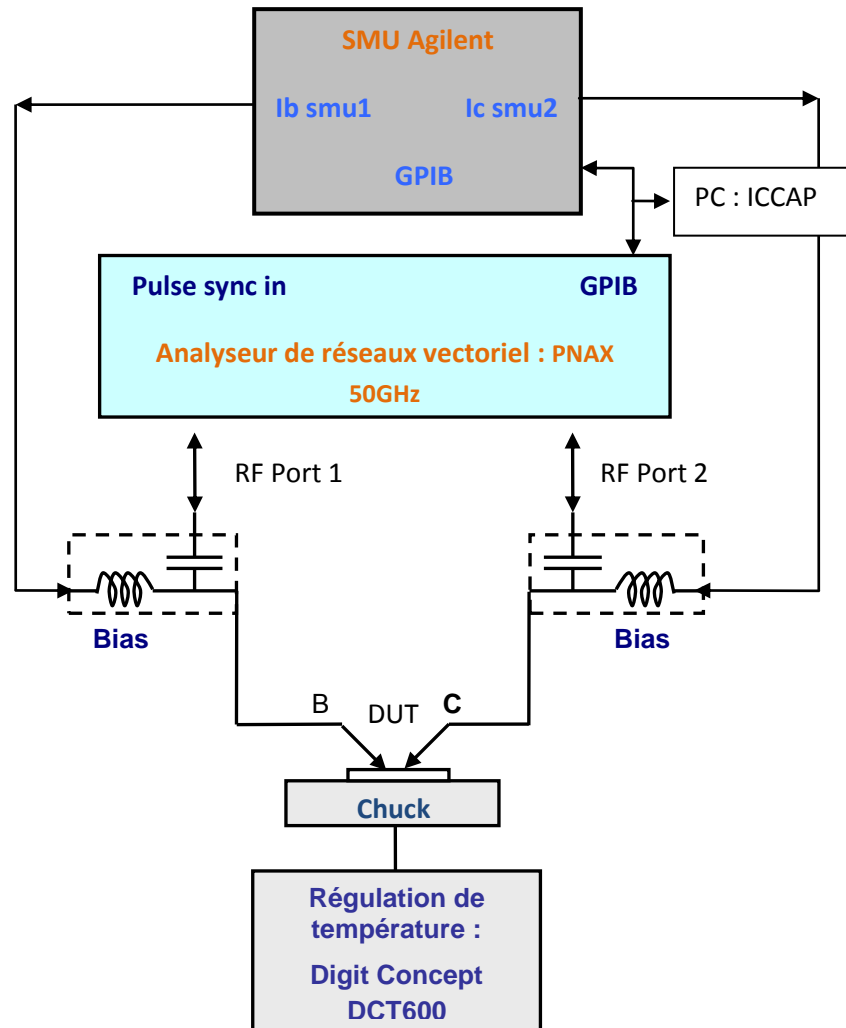


Figure 4-11: Description du banc de mesures thermiques

Dans le cadre de nos mesures, la plage de température exploitée est de 30°C à 80°C. Cette limitation en température est justifiée du fait des caractéristiques propres aux pointes utilisées pour ces mesures. En effet, les pointes ZPROBE que nous avons employées ont une forme « descendante » (cf figure 4-12) ce qui leur permet d'évacuer mieux la chaleur contrairement à des pointes RF classiques. Ces pointes possèdent une limite d'utilisation à 200°C lorsque la température environnante atteint 85°C. De plus, nous voulons éviter les effets néfastes liés à la dilatation des accès coplanaires, d'où une température de mesure limitée à 80°C. Cette valeur est toutefois suffisante afin d'observer l'influence de la température sur le fonctionnement de nos TBHs.

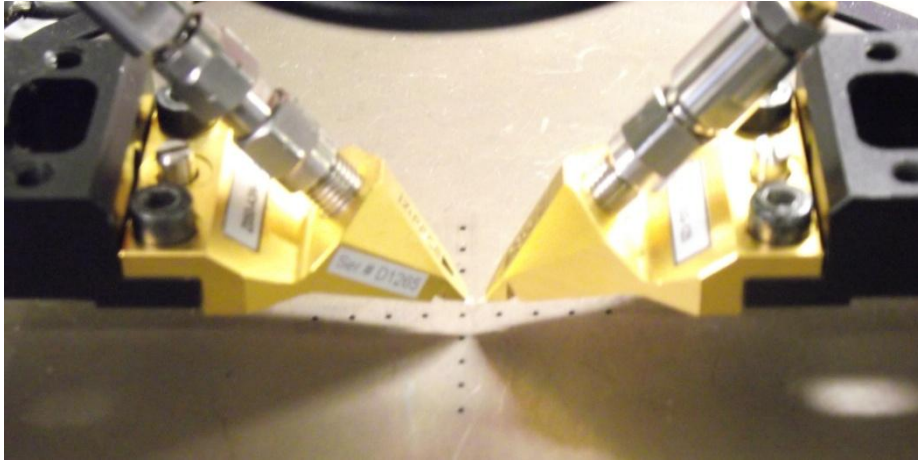


Figure 4-12 : Photographie d'une pointe ZPROBE destinée aux mesures thermiques

Ce banc de mesures nous permet dans un premier temps d'obtenir les caractéristiques statiques de nos TBHs. Ces caractéristiques serviront à déterminer l'influence de la température sur le gain statique en courant Béta, les résistances statiques d'émetteur et de base et d'extraire la résistance thermique des transistors. Ce dernier point sera détaillé dans la suite du chapitre. Outre les mesures statiques, des caractérisations hyperfréquences en température seront réalisées afin d'extraire les facteurs de mérite dynamiques et d'évaluer leur variation en fonction de la température.

III-2/- Evolution des paramètres statiques en fonction de la température

Comme nous l'avons souligné dans le chapitre 2, la mobilité des porteurs libres (trous et électrons) dans le silicium dépend de la température. C'est le cas également des différents matériaux semi-conducteurs constituant notre structure épitaxiale. En effet, la mobilité est reliée à la température selon les relations empiriques démontrées dans la littérature sous plusieurs formes selon les systèmes de matériaux concernés. Pour les hétérostructures qui nous concernent, Takeda et al [13] ont montré une réduction de la mobilité des électrons lorsque la température augmente. L'InP peu dopé connaît par ailleurs une variation de la mobilité des électrons d'environ 50% lorsqu'on passe de 20°C à 200°C.

Nous traçons donc figure 4-13 l'évolution des courants de collecteur et de base en fonction de V_{be} pour différentes températures de mesures. Ainsi, nous observons pour ces deux courants une augmentation de leur valeur lorsque la température augmente, ce qui concorde avec l'expression précédente. Notons que, contrairement au courant de base, l'augmentation du courant de collecteur avec la température est moins importante lorsqu'on entre en régime de forte injection (i.e. $V_{be} > 0.9V$). De plus, les courbes de Gummel tendent vers un comportement non parallèle (pentes des courants moins fortes également) lorsque la température augmente, ce qui est un signe de la dégradation du coefficient d'idéalité de la base et du collecteur. On remarque cependant des non idéalités du courant de base. En effet, les courants non idéaux qui correspondent à des mécanismes indépendants de la température tels que les recombinaisons, l'effet tunnel, etc, sont visibles aux températures élevées alors qu'ils ne le sont pas à température ambiante. En revanche, les courants de fuite de la base et du collecteur en régime de basse injection varient peu avec la température (quelques centaines de nA).

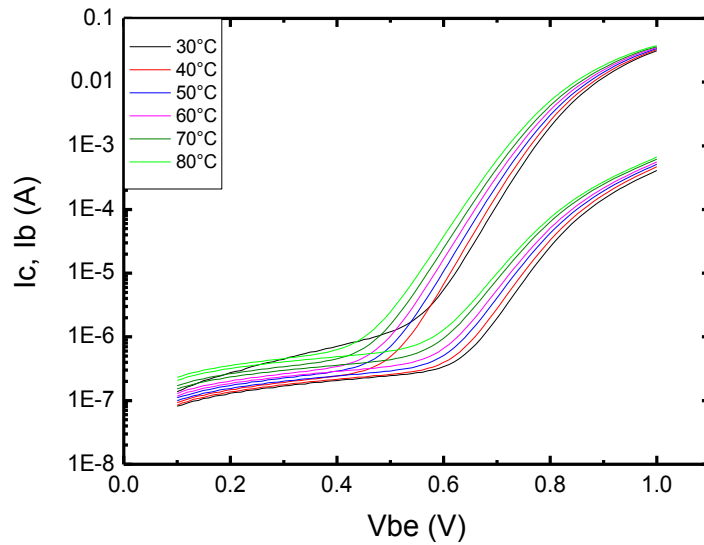


Figure 4-13 : Evolution en température de courbes de Gummel d'un DTBH $0.8 \times 6 \mu\text{m}^2$

Néanmoins, pour étudier le comportement statique du transistor en fonction de la température, il convient de raisonner à courant constant en regardant l'évolution du gain en courant statique. En effet, du fait de la dépendance en température des courants de base et de collecteur que nous venons d'observer, le gain en courant statique Béta dépend également de la température.

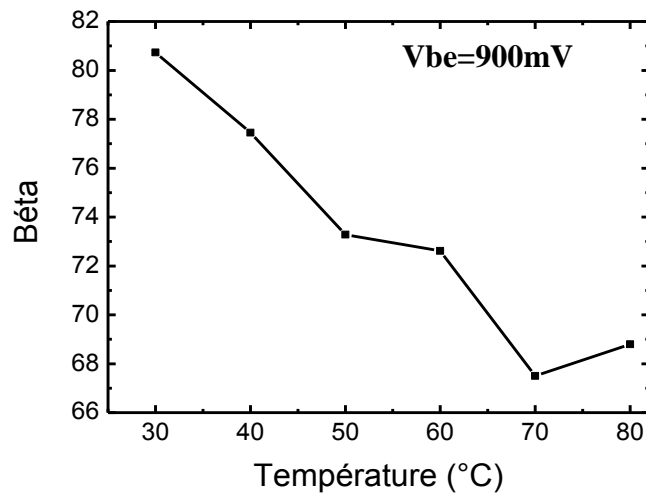


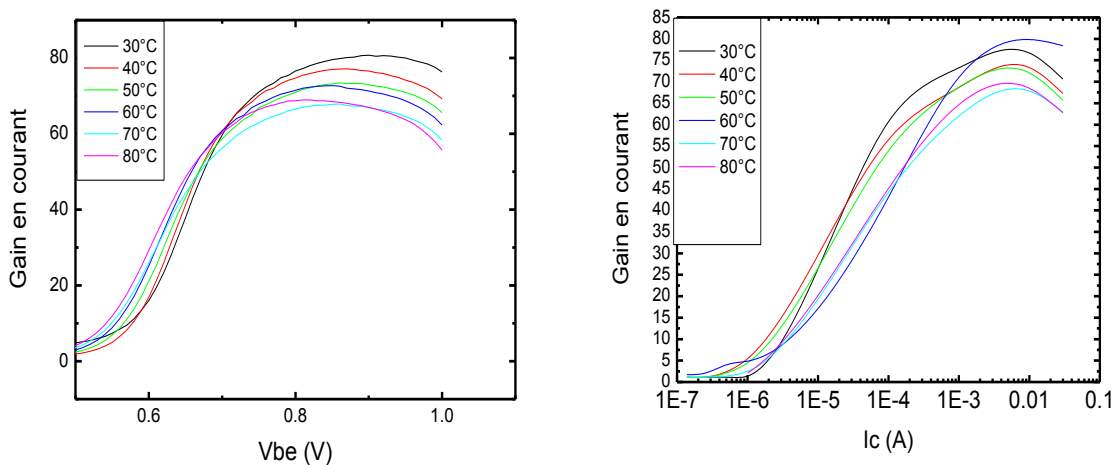
Figure 4-14 : Evolution du gain statique en fonction de la température pour TBH reporté

Cette dépendance en fonction de la température pour les TBHs InP/GaAsSb a été étudiée par Wang et al. du NTU de Singapour [14]. Dans leurs travaux, ils montrent une sensibilité à la température plus prononcée pour les structures InP/GaAsSb que celles InP/InGaAs. Selon ces mêmes chercheurs, le gain statique en courant augmenterait avec l'élévation de la température. Néanmoins,

nous remarquons en ce qui nous concerne sur la figure 4-14 une baisse de sa valeur de 16% lorsqu'on passe de 30°C à 80°C. Ces résultats ne sont pas en accord avec les travaux cités précédemment mais peuvent s'expliquer du fait de la variation observée sur les courants de base et de collecteur. C'est ce que confirment des travaux précédemment réalisés par Barbalat sur des TBHs de la filière SiGe en se basant sur une expression du gain en courant en fonction de la température tirée de [15]. Selon cette expression, on assiste bien à une diminution du gain en courant statique lorsque la température augmente. En effet, le courant de base étant plus affecté par la température que celui de collecteur, son augmentation plus importante avec l'élévation de température entraîne une chute du gain. Le courant de collecteur connaît une augmentation plus modérée.

L'origine de la dégradation du courant de base ne peut ainsi donc pas être attribuée uniquement à la température. Il s'agit là de la manifestation de phénomènes supplémentaires liés au comportement de la base avec la température. La base de nos transistors est volontairement choisie très fine (20nm) pour l'obtention de fréquences élevées. Du fait de sa faible épaisseur et du dopage très élevée de la couche, l'augmentation de la température se traduit par une dégradation plus prononcée de la qualité de la jonction émetteur-base par le biais de phénomènes de diffusion et/ou de recombinaison. Ce sont ces dégradations qu'on observe sur le courant de base, limitant ainsi le gain en courant à température élevée.

Nous présentons sur la figure 4-15 l'évolution du gain statique en courant pour différentes températures de mesure d'abord en fonction de la tension émetteur-base mais également en fonction du courant de collecteur I_c . En effet, le maximum du gain en courant Béta intervient pour un V_{be} plus faible lorsque la température augmente.



a)- Evolution en fonction de V_{be} ($I_c=10mA$) b)- Evolution en fonction de I_c

Figures 4-15 : Evolution en température du gain en courant Béta

Par ailleurs, cette dégradation est comparable à celle observée sur des structures de TBHs voisines de dimensions similaires à base d'InP. C'est le cas notamment de la structure G2 III-V Lab donnée plus haut. En effet, sur des TBHs de largeur $0.7\mu m$ InP/InGaAs, nous constatons figure 4-16

une chute du gain en courant de 17% lorsqu'on passe d'une température de 30°C à 80°C. Ces transistors ont été réalisés en technologie auto-alignée et ont été mesurés dans les mêmes conditions que nos TBHs reportés. Toutefois, contrairement à ce que nous avons observé sur les courbes de Gummel des transistors reportés, les courants de fuite de G2 III-V Lab sont considérablement dépendant de la température, ce qui révèle des mécanismes de dégradation supplémentaires.

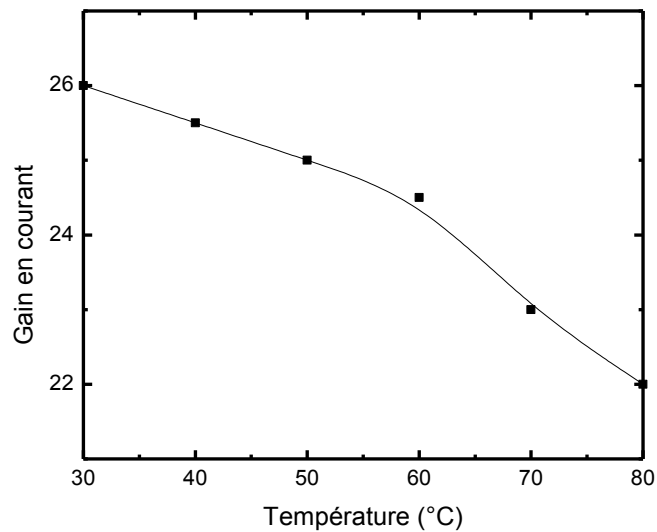
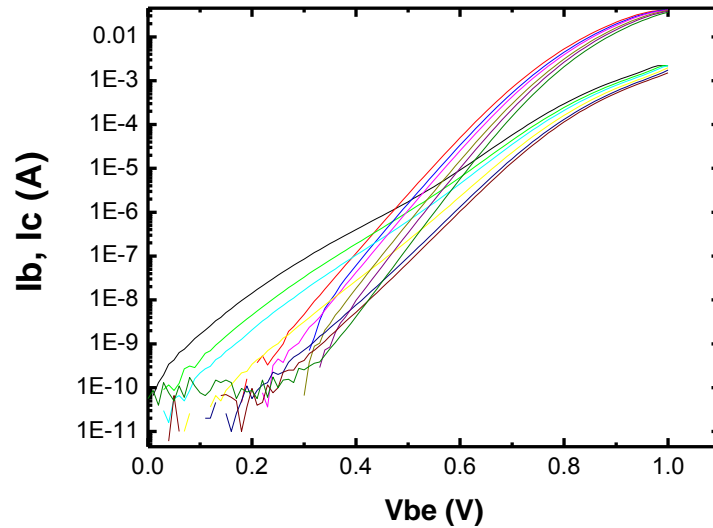


Figure 4-16 : Courants I_c , I_b et évolution du gain en courant en fonction de la température pour un TBH de largeur $0.7\mu\text{m}$ G2 III-V Lab

III-3/- Evolution des paramètres dynamiques en fonction de la température

III-3-1/- Evolution des fréquences de coupure Ft et Fmax

Les paragraphes précédents ont porté sur l'étude de l'influence de la température sur les caractéristiques statiques de TBHs ; on note ainsi une dégradation de ses différentes figures de mérite lorsque la température augmente. Cette dégradation a pour effet la limitation des performances dynamiques des transistors par le biais des temps de transit. Les fréquences de coupure, dont les expressions sont rappelées ci-dessous, vont être étudiées sous l'effet de la température:

$$\frac{1}{2\pi Ft} = \tau_F + r_E \cdot (C_{BE} + C_{BC}) + C_{BC} \cdot (R_E + R_C)$$

Et

$$Fmax = \sqrt{\frac{Ft}{8\pi R_B C_{BC}}}$$

Ainsi, la dégradation possible de la fréquence de transition Ft sous l'effet de la température peut s'expliquer d'une part du fait de l'augmentation des différents temps de transit à cause de la diminution de la mobilité des porteurs donc de leurs vitesses à travers le transistor. D'autre part, l'augmentation possible des éléments parasites R x C entraîne une chute de Ft. Toutefois, du fait de la dégradation très faible des résistances série que nous avons observé précédemment, l'augmentation des produits R x C serait tributaire de l'augmentation des différentes capacités de jonction avec l'élévation de la température. Enfin, l'évolution de la résistance dynamique d'émetteur en fonction de la température est également un facteur de dégradation de cette fréquence de coupure.

Par ailleurs, la fréquence maximale d'oscillation Fmax étant reliée à Ft, elle connaît également une dégradation avec l'élévation de la température du fait de la chute de la fréquence de transition d'une part. D'autre part, sa valeur est fortement dépendante du produit $R_B \times C_{BC}$.

La figure 4-17 représente les fréquences de coupure Ft et Fmax en fonction de la température de mesure pour des transistors de largeur d'émetteur 0.8µm. Nous observons à la fois une dégradation pour ces deux fréquences sous l'effet de la température quelque soit la longueur d'émetteur (6 ou 8µm) confirmant les résultats statiques précédents.

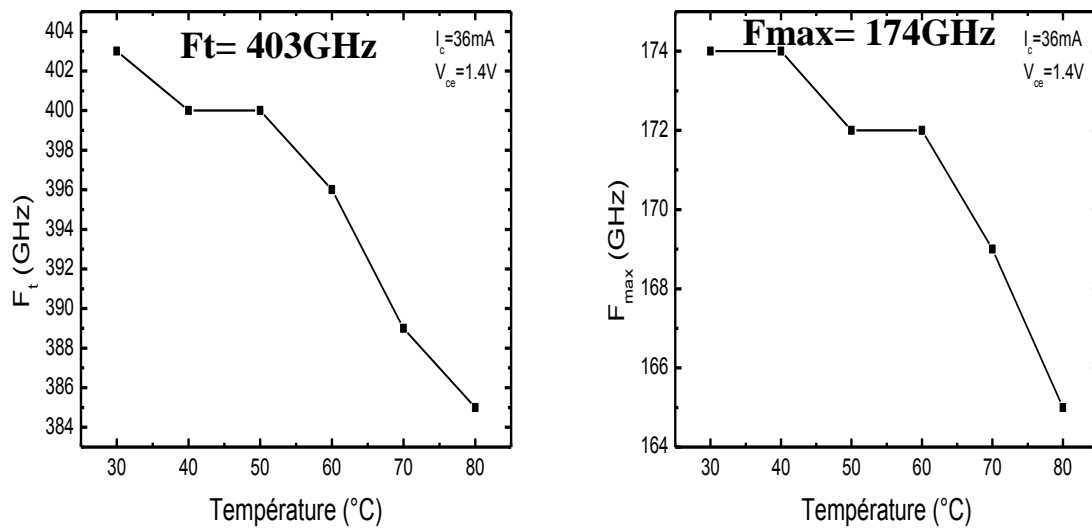


Figure 4-17 : Evolution de Ft et Fmax en fonction de la température

L'évolution de la fréquence de transition avec le courant de collecteur I_c est représentée sur la figure 4-18 pour quatre températures de mesures. La tension de polarisation V_{ce} a été choisie à 1.4V et le pic de fréquence est obtenue pour $I_c=33\text{mA}$ pour des TBHs reportés InP/GaAsSb de surface d'émetteur effective $0.8 \times 6 \mu\text{m}^2$. Les fréquences de coupure ont été extraites à 30GHz, permettant d'obtenir la pente théorique à -20dB/décade.

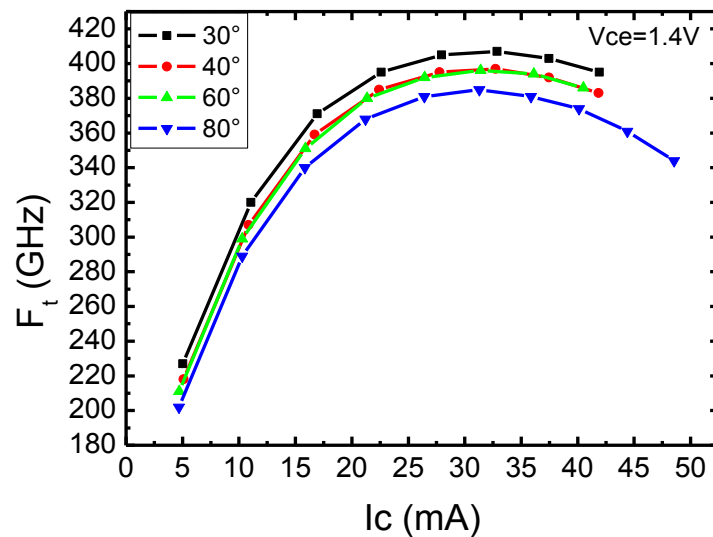


Figure 4-18 : Evolution de Ft en fonction de Ic pour différentes températures

La chute de F_t observée est de 22GHz pour des valeurs du courant de collecteur de 33mA soit une dégradation de 5.4%. Néanmoins, cette dégradation est relativement faible par rapport aux valeurs reportées dans la littérature pour des TBHs InP de dimensions submicroniques [16]. C'est d'ailleurs le

cas des transistors de la structure III-V Lab que nous avons caractérisés en température ; la dégradation observée pour la fréquence de transition est deux fois plus élevée de l'ordre de 11%. Les chutes plus faibles observées sur nos composants reportés tendent à montrer l'impact de l'utilisation d'un substrat à haute conductivité thermique pour l'amélioration de la dissipation thermique de TBHs InP. Nous présentons figure 4-19 l'évolution des fréquences de coupure en fonction de la température pour un TBH de cette génération (G2 III-V Lab) de largeur $0.5\mu\text{m}$.

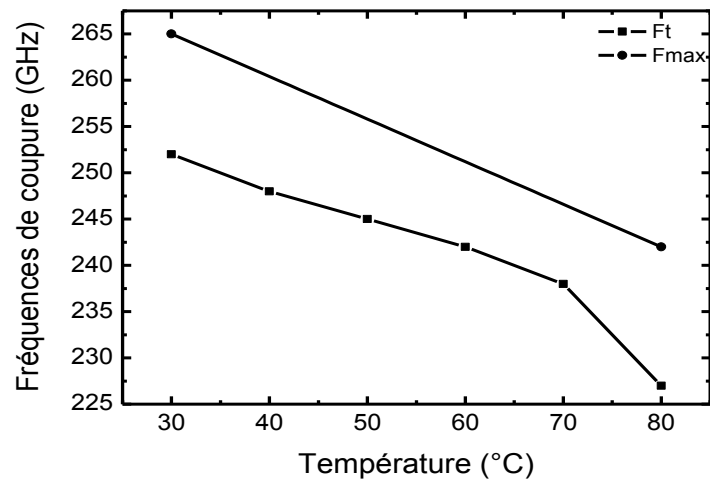


Figure 4-19 : Evolution des fréquences de coupure en fonction de la température sur G2 III-V Lab

On observe également sur la figure 4-17 une dégradation de Fmax sous l'effet de la température due à la chute de la fréquence de transition Ft. Néanmoins, la diminution de Fmax est plus faible par rapport à celle observée pour Ft. En effet, la fréquence maximale diminue de 9GHz lorsqu'on passe de 30°C à 80°C , soit une baisse relative de 5%. Ainsi, les chutes respectives de Ft et Fmax s'expliquent strictement par la dépendance quadratique entre ces fréquences (cf. équation précédente) si on suppose que l'évolution en température de $R_B \times C_{BC}$ est négligeable.

Cependant, même si nous venons de voir précédemment que les résistances d'accès variaient peu avec la température, il est indispensable d'évaluer le comportement des capacités en fonction de la température. En effet, ce sont ces capacités qui jouent un rôle prépondérant sur les performances dynamiques de nos TBHs reportés.

III-3-2/- Etude du temps de transit total sous l'effet de la température

L'évolution du temps de transit total en fonction de la température permet d'étudier les variations observées précédemment sur les performances dynamiques. Nous traçons ainsi figure 4-20 cette évolution en fonction de l'inverse du courant de collecteur pour quatre différentes températures de mesure sur un TBH reporté $0.8 \times 6\mu\text{m}^2$.

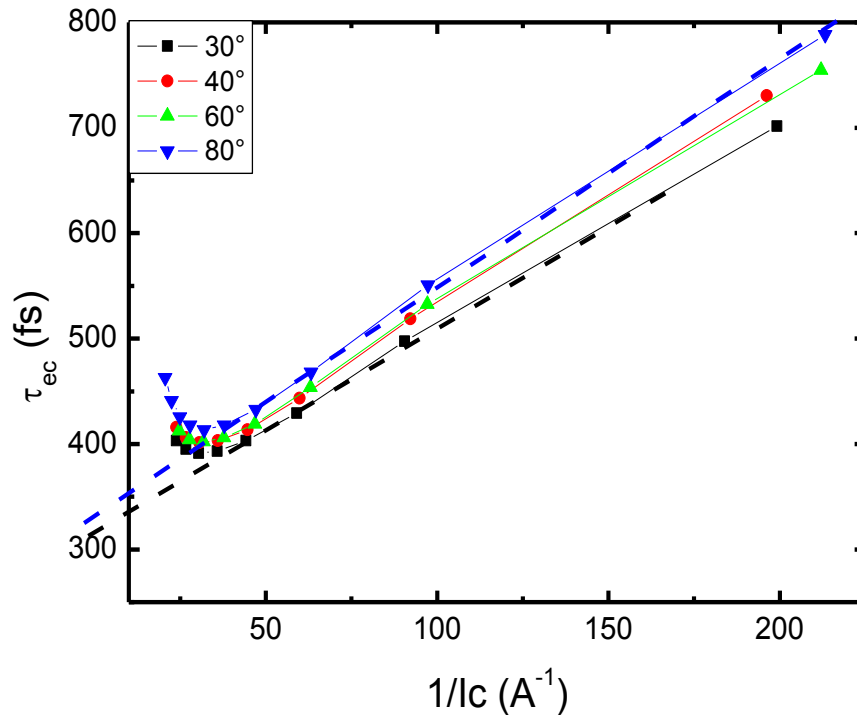


Figure 4-20 : Evolution de τ_{ec} en fonction de $1/Ic$ à différentes températures sur $0.8 \times 6 \mu m^2$ DTBH

Cette courbe montre alors une dégradation de la valeur de τ_{ecmin} en fonction de la température synonyme de la chute de Ft mais également de la somme $\tau_F + (R_E + R_C) \cdot C_{BC}$. L'augmentation observée pour ce dernier est de 3.7% lorsqu'on passe de 30°C à 80°C. La pente $(C_{BE} + C_{BC}) \cdot kT/q$ extraite dans la zone linéaire évolue quant à elle de 9% avec l'élévation de la température.

Comme nous l'avons remarqué à température ambiante, les valeurs relevées sur la figure 4-23 montrent l'importance de l'influence de τ_F et $(R_E + R_C) \cdot C_{BC}$ qui constituent la principale contribution au temps de transit total quelque soit la température de mesure. Cela met en évidence l'intérêt de réduire les résistances d'accès pour l'obtention de meilleures performances mais également de la réduction des épaisseurs de couches pour minimiser les temps de traversée des différentes zones de notre structure. En effet, la dégradation des propriétés de transport à hautes températures tend à augmenter τ_F même si l'augmentation observée est relativement faible sur nos transistors reportés.

Ainsi, la limitation des transistors reportés à haute température provient essentiellement du temps de transit des porteurs τ_F . Cependant, les mesures que nous avons effectuées ne nous renseignent que sur le temps de transit global des porteurs. Elles ne permettent pas d'évaluer la contribution des différentes zones du TBH et leur influence avec la température. Nous ne pouvons donc pas identifier clairement le temps de transit à l'impact dominant entre l'émetteur, la base et les jonctions émetteur-base et base-collecteur. Cela est en outre possible en utilisant des logiciels de simulation et/ou de modélisation.

III-4/- Détermination de la résistance thermique de DTBHs submicroniques

III-4-1/- Extraction sur TBHs InP/GaAsSb reportés sur Si

Comme nous l'avons exposé au chapitre 2 de cette thèse, il est nécessaire de représenter un modèle thermique du TBH afin de déterminer son comportement thermique. Pour se faire, la grandeur à prendre en compte sera la résistance thermique des composants réalisés. Tous les composants submicroniques sont sujets à une élévation de la température lors de leur fonctionnement. Pour lutter contre ce phénomène d'auto-échauffement dans nos dispositifs, nous avons fabriqués des TBHs par une technique de transfert de couches actives sur un substrat à haute conductivité thermique. Le but est d'améliorer la dissipation thermique grâce à la réduction de la résistance thermique globale. Ainsi, pour mettre en valeur l'intérêt du report des couches actives, nous avons réalisé des mesures thermiques en régime continu afin d'extraire la valeur de la résistance thermique. La méthode utilisée a été décrite au chapitre 2. La première étape consiste à mesurer la tension émetteur-base V_{be} pour différentes valeurs de température de jonctions comme représenté figure 4-21 pour différents courants de collecteur I_c , afin de déterminer le coefficient thermoélectrique Φ tel que $\Delta V_{be} = \Phi \times \Delta T$.

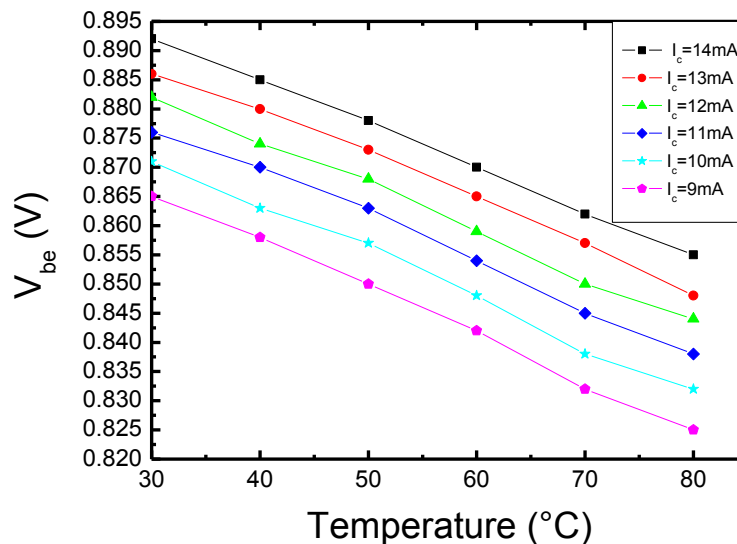


Figure 4-21 : Evolution de la tension V_{be} avec la température pour TBH reporté sur Si pour différentes valeurs de I_c

Une fois le coefficient thermoélectrique déterminé pour un courant de collecteur donné, il convient de déterminer l'évolution de V_{be} pour différentes valeurs de la tension V_{ce} tel que représenté figure 4-22. Ainsi, nous pouvons déduire la valeur de la résistance thermique grâce à la formule suivante:

$$R_{th} = \frac{\Delta V_{be}}{\Delta V_{ce} \times I_c \times \Phi}$$

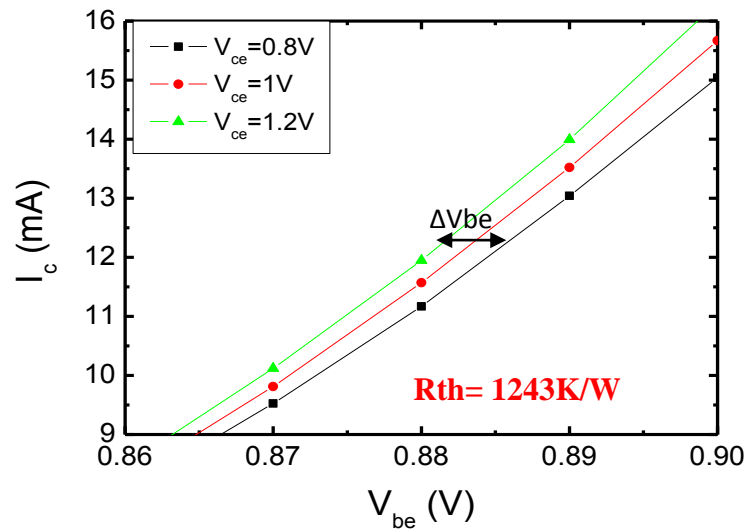


Figure 4-22 : Evolution de I_c en fonction de V_{be} pour différentes V_{ce} (TBH $0.8 \times 6 \mu\text{m}^2$ reporté)

Nous obtenons donc une valeur de résistance thermique moyenne pour les différents courants de collecteur en régime de moyenne injection de $R_{th} = 1243 \text{ K/W}$, proche des valeurs obtenues en simulation 3D électrothermiques réalisées à l'IMS de Bordeaux dans le cadre du projet ROBUST. En effet, sur des structures de DTBH à géométrie semblable, c'est-à-dire sans sous-collecteur et donc à collecteur métallique, les valeurs de résistance thermique étaient inférieures ou égales à 1500 K/W selon le type de substrat utilisé. Pour un report de couches actives sur un substrat en silicium, la valeur de la résistance thermique extraite des simulations est de 1350 K/W comme présenté sur la figure 4-23, soit un écart relatif de 8% par rapport au résultat expérimental.

Nous avons comparé ces valeurs avec celles obtenues pour une structure similaire InP/GaAsSb non reportée de la filière G2 OMMIC avec un sous-collecteur fin de 30nm et pour une structure de DTBH avec une base en InGaAs de la filière III-V Lab avec un sous-collecteur de 150nm et 15nm. Nous avons choisi des composants aux géométries et dimensions très proches. Les résistances thermiques extraites des mesures réalisées sont présentées sur le tableau 4-6 ci-après.

	Largeur d'émetteur (μm)	Longueur d'émetteur (μm)	Epaisseur sous-collecteur (nm)	Résistance thermique mesurée (K/W)
G2 OMMIC	0.7	~7	30	3429
TBH III-VLab	0.7	7	150	4317
TBH III-VLab	0.7	7	15	2400
TBH reporté sur Si	0.8	6	Aucun	1243

Tableau 4-6 : Comparaison des résistances thermiques de DTBHs selon la filière

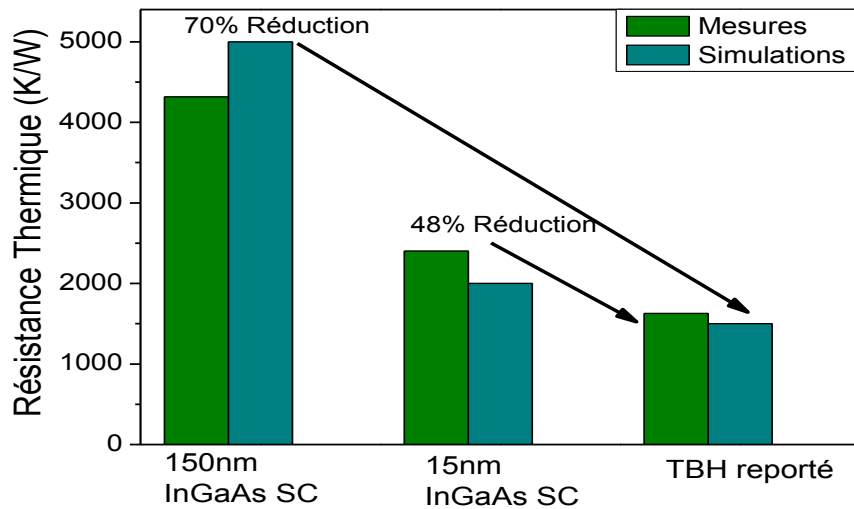


Figure 4-23 : Résistances thermiques expérimentales et simulées de DTBH pour différentes technologies [17]

Nous constatons pour les DTBH InP/GaAsSb une réduction de la résistance thermique de 48% entre une structure standard à collecteur fin et une structure reportée à collecteur métallique. Cette réduction conduit donc à une amélioration de la dissipation thermique d'un facteur proche de 2 pour des transistors aux dimensions comparables. Cet écart est d'autant plus important entre une structure à sous-collecteur épais de 150nm et notre technologie reportée sur substrat à hôte conductivité thermique (amélioration de 70%). Ces résultats montrent clairement l'intérêt du report des couches actives sur substrat à haute conductivité thermique pour l'amélioration de la dissipation thermique de TBHs. Ils constituent également l'un des premiers résultats sur cette technologie pour des transistors submicroniques de la filière InP/GaAsSb sur un substrat hôte de silicium. En effet, des travaux ont été publiés récemment utilisant en partie cette technologie de transfert de substrat [18] pour la réduction de l'auto-échauffement dans les TBHs. Ils ont utilisé un substrat hôte de SiC sur lequel la dissipation thermique est meilleure que celle obtenue sur silicium (écart relatif de 30% sur les valeurs simulées). Nos résultats valident non seulement notre technologie de report par rapport à celles existant dans la littérature [19,20] mais ils montrent également l'intérêt du report de couches actives de TBHs sur silicium à haute conductivité thermique. Ils ouvrent ainsi la voie à l'amélioration de la dissipation thermique pour d'autres générations de composants, par exemple à forte puissance souvent sujets à des limitations de leurs performances du fait de l'auto-échauffement [21]. Enfin, les résistances thermiques mesurées sont proches de celles obtenues par simulations électrothermiques, ce qui confirme la fiabilité des valeurs que nous avons extraites des caractérisations thermiques.

Nous allons maintenant nous intéresser à l'influence des différents paramètres géométriques sur la résistance thermique de TBHs.

III-4-2/- Influence des dimensions d'émetteur

La figure 4-24 représente l'évolution de la résistance thermique pour différentes valeurs de la longueur L_e du contact d'émetteur de largeur $2\mu\text{m}$ et de largeur $0.8\mu\text{m}$. Nous constatons une évolution décroissante de sa valeur lorsque L_e augmente. Cela laisse à penser que les transistors les plus longs dissipent mieux la chaleur. Cependant, l'auto-échauffement des transistors dépend de leur environnement : il faut tenir compte de la résistance thermique mais également de la source de chaleur

dissipée. Cette dernière étant rapportée à la surface mise en jeu lors de l'évacuation, il convient de considérer pour nos composants le produit de la résistance thermique par la surface effective d'émetteur. En effet, la résistance thermique constitue le thermomètre du TBH par l'évaluation de la quantité de chaleur évacuée ; cependant, elle ne dépend que de l'environnement du composant.

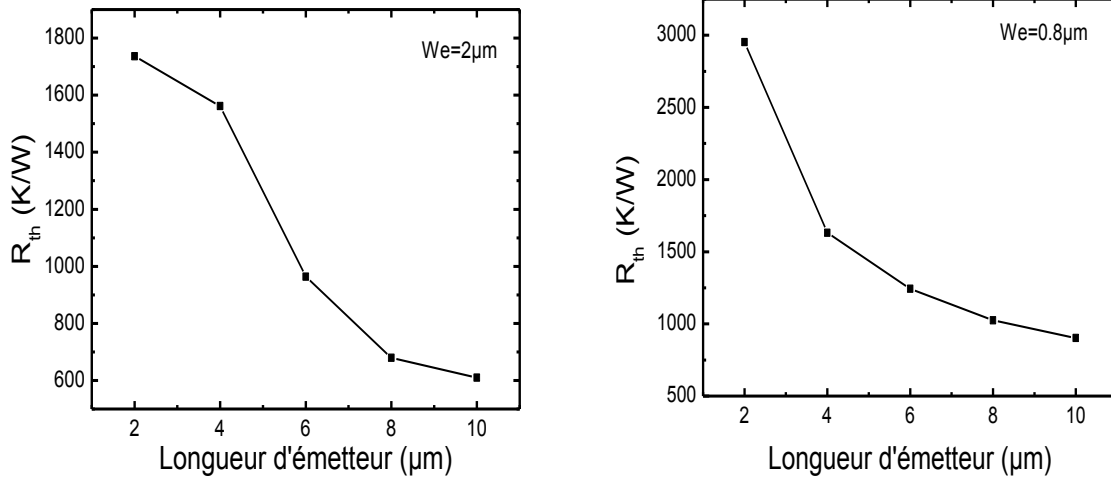


Figure 4-24 : Evolution de la résistance thermique en fonction de la longueur d'émetteur

Ainsi, lorsqu'on trace sur la figure 4-25 l'évolution de cette grandeur en fonction de la longueur d'émetteur, nous observons que les transistors les plus courts sont moins sujets à l'auto-échauffement. Ceux plus longs ont effectivement plus de difficultés à évacuer correctement la chaleur même si leur résistance thermique est plus faible du fait de leur grand volume disponible pour l'évacuation. En effet, l'auto-échauffement des TBHs dépend non seulement de la résistance thermique mais également du volume de substrat disponible pour l'évacuation de la chaleur.

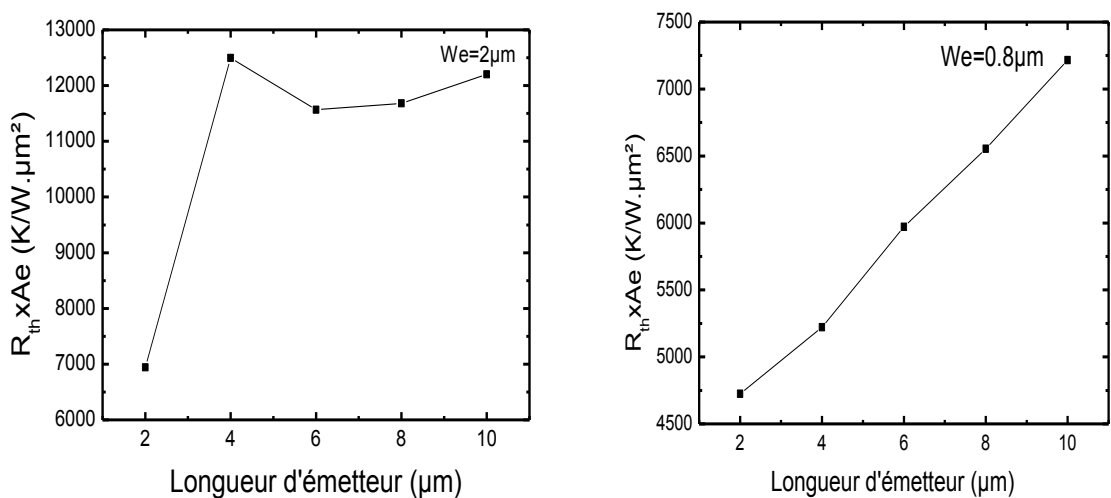


Figure 4-25 : Evolution de la dissipation de chaleur en fonction de la longueur d'émetteur

En tenant compte du tracé de ces deux courbes, nous pouvons conclure sur l'influence de la longueur d'émetteur sur l'auto-échauffement dans les TBHs. Pour une largeur d'émetteur donnée, les composants les plus courts sont les moins touchés par ce phénomène car la dissipation de chaleur s'opère mieux. Néanmoins, l'augmentation de la dissipation de chaleur sature avec l'augmentation de la longueur d'émetteur pour $We=2\mu\text{m}$. Au-delà de $8\mu\text{m}$ de longueur d'émetteur, on n'accroît plus sensiblement la dissipation thermique. Ainsi, si on souhaite optimiser les dimensions du transistor, il est déconseillé dans le cadre de nos composants avec une largeur d'émetteur de $2\mu\text{m}$, de réduire la longueur d'émetteur en dessous de $8\mu\text{m}$ pour ne pas limiter la dissipation de chaleur. Cependant, les valeurs élevées de R_{th} obtenues sur les composants de longueur $2\mu\text{m}$ nous empêche de favoriser ces derniers pour réduire l'amélioration de l'auto-échauffement même si leur densité de source de chaleur est plus faible. Cela a d'ailleurs été confirmé par des performances fréquentielles plus faibles comparées aux autres longueurs d'émetteur comme mentionnée tableau 4-7.

	Longueur d'émetteur (μm)	2	4	6	8	10
Largeur d'émetteur $0.8\mu\text{m}$	Ft (GHz)	295	342	355	355	358
	Fmax (GHz)	114	121	132	146	122
	Jc ($\text{mA}/\mu\text{m}^2$)	7	7	6.35	6	6

Tableau 4-7 : Paramètres dynamiques de TBHs reportés en fonction de L_e

En effet, nous observons sur ce tableau une diminution importante des fréquences de coupure pour des mêmes densités de courant pour une longueur $< 4\mu\text{m}$. Cette diminution des fréquences proviendrait donc de l'auto-échauffement, dès lors que les résistances d'accès sont améliorées avec l'augmentation de la longueur d'émetteur.

Par ailleurs, les figures 4-24 et 4-25 nous renseignent également sur l'influence de la largeur d'émetteur sur la résistance thermique globale des TBHs reportés. Les valeurs extraites des mesures n'évoluent pratiquement pas selon la largeur d'émetteur. Néanmoins, pour diminuer au mieux l'auto-échauffement des transistors, il convient d'utiliser des largeurs d'émetteur plus petites. Cela permet de réduire la source de chaleur grâce à la diminution de la surface disponible pour l'évacuation de la chaleur (sans changer le volume disponible). En effet, le produit $R_{th} \times A_e$ présenté figure 4-25 est fortement amélioré pour les largeurs d'émetteur de $0.8\mu\text{m}$.

Conclusion

Ce chapitre portait sur la caractérisation de TBHs InP/GaAsSb reportés sur un substrat hôte de silicium à haute conductivité thermique pour la réduction de l'auto-échauffement dans les dispositifs. Les performances statiques, dynamiques et thermiques obtenues sur nos composants montrent non seulement la faisabilité de notre technologie de report mais également l'intérêt du report de couches actives de TBHs. Les gains statiques en courant obtenus grâce à l'optimisation de la structure épitaxiale sont très satisfaisants. Les fréquences de transition élevées rentrent dans le cahier des charges précédemment fixé et sont comparables à celles obtenues sur structures aux dimensions d'émetteur similaires comme nous avons discuté auparavant. Cela ouvre la voie à une nouvelle technologie de transfert de substrat démontrée dans le cadre de cette thèse et des optimisations futures pourraient permettre l'obtention de fréquences supérieures par la réduction des largeurs d'émetteur. Néanmoins, les fréquences maximales d'oscillation obtenues sur nos structures sont relativement basses et nécessite une optimisation. Le modèle petit signal utilisé pour l'extraction des paramètres du schéma équivalent final nous permet d'envisager des axes d'optimisation. En effet, F_{max} étant directement proportionnelle à F_t , son augmentation passe par l'augmentation de F_t mais également par la minimisation du produit $R_{Bx}C_{BC}$. Concernant ce dernier produit, la résistance de base globale de nos transistors reportés s'avère élevée. C'est pourquoi l'amélioration de F_{max} ne peut se faire qu'en réduisant cette valeur ; cette dernière est en grande partie dépendante de paramètres technologiques grâce notamment à la réduction de la résistance du contact de base et de la largeur de ce contact. De plus, la capacité base-collecteur devra également être reconsidérée. En effet, du fait de l'épaisseur de collecteur minimisée pour l'obtention d'une fréquence de transition élevée, sa valeur reste élevée. Ainsi, dans les travaux à venir, nous allons principalement nous focaliser sur cet aspect afin d'obtenir un couple F_t/F_{max} dans la gamme submillimétrique à 300GHz pour la réalisation de circuits destinés à la transmission optique à 112Gb/s.

Par ailleurs, l'extraction des paramètres extrinsèques et intrinsèques des transistors bipolaires que nous avons réalisés s'est avérée délicate en particulier en ce qui concerne la résistance de collecteur. C'est pourquoi, il a été difficile d'évaluer précisément l'impact des différents éléments parasites sur les résultats hyperfréquences obtenus sur TBHs reportés.

L'analyse en température des DTBHs InP/GaAsSb reportés sur Si permet de connaître l'influence de la température sur les performances statiques et dynamiques de nos composants. L'augmentation de la mobilité des porteurs libres avec la température entraîne l'augmentation des différents courants des TBHs. La dégradation prononcée du courant de base provoque en outre une baisse du gain en courant statique avec la température. Cette chute est cependant très modérée et n'empêche pas d'obtenir des valeurs satisfaisantes de gain à température élevée. De plus, nous avons remarqué une stabilité des transistors sur une majeure partie de la plaque après ces mesures en températures.

Nous avons également observé une baisse négligeable sur les différentes fréquences de transition des TBHs mesurés. En effet, les résistances séries ne varient que très peu avec la température, cette chute est imputable à l'augmentation des capacités avec la montée de la température mais aussi du temps de transit base-collecteur. Néanmoins, l'impact de la température sur les performances dynamiques des transistors reportés est très modéré, ce qui montre l'intérêt du report de couches actives pour l'amélioration de la dissipation thermique de TBHs InP. De plus, la réduction de la longueur d'émetteur permet de diminuer l'auto-échauffement à quantité de chaleur constante. En effet, l'obtention de fréquences de coupure de plus en plus élevées n'est possible qu'en tenant compte du phénomène d'auto-échauffement dans les dispositifs et l'amélioration de la dissipation thermique des TBHs InP apparaît comme un point clé pour la montée en fréquences des transistors.

Ainsi, afin d'évaluer le comportement thermique des transistors ainsi obtenus, nous avons effectué l'extraction des résistances thermiques qui y sont associées. Les mesures nous ont permis d'extraire des valeurs très faibles de résistances thermiques de 1250 à 600K/W (pour les transistors de longueur d'émetteur de 10 μ m) traduisant un impact très faible d'élévation de température dans nos dispositifs. Cela est d'autant plus remarquable, que ces valeurs représentent une réduction de la résistance thermique de 70% et 48% respectivement pour des DTBHs InP d'épaisseur de sous-collecteur respectives de 150nm et 15nm.

Il est également intéressant d'évaluer le rendement technologique de notre procédé de thermo-compression sur TBHs InP/GaAsSb reportés sur Si. En effet, des mesures complémentaires sur l'ensemble de la plaque conduiraient à une estimation de cette rentabilité, qui est un paramètre indispensable dès lors qu'il s'agit de la réalisation de circuits électroniques ultra-performants.

Enfin, ces résultats sont les premiers obtenus sur des TBHs InP/GaAsSb et prouvent l'impact de l'amélioration de la dissipation thermique avec l'utilisation d'un substrat hôte à haute conductivité thermique qui était le but principal de ces travaux de thèse.

Références bibliographiques

- [1] W.Liu, D.Costa, J.Harris, “Current gain of graded AlGaAs/GaAs HBTs with and without a base quasi-electric field”, IEEE Transactions on Electron Devices, vol.39, 1992
- [2] M.Zaknour, H.Colder, D.A Yarekha, G.Dambrine, F. Mollot, “Current gain enhancement in GaAsSb/InP - DHBT type grown by MBE with a graded composition AlInP emitter”, 20th International Conference on Indium Phosphide and Related Materials, IPRM 2008
- [3] C.Bolognesi, N.Matine, M.Dvorak, P.Yeo and S.Watkins, “InP/GaAsSb/InP double HBTs: A new alternative for InP-based DHBTs”, IEEE Transaction on Electron devices, vol.48, 2001
- [4] N.Zerounian, « Etude expérimentale et modélisation de composants micro-ondes bipolaires et à effet de de champ SiGe », Thèse de doctorat de l’université Paris XI, 2000
- [5] K.Kurokawa, “ Power Waves and the Scattering Matrix”, IEEE Transactions On Microwave Theory And Techniques, 1965
- [6] C.T.Kirk, “A theory of transistor cut-off frequency f_t fall-off at high current densities”, IRE Transactions on Electron Devices, vol.9, pp. 164-174, 1962
- [7] Ebers and Moll, “Large-Signal Behavior of Junction Transistors”, 1954
- [8] H. K. Gummel and H. C. Poon, "An integral charge control model of bipolar transistors", Bell Syst. Tech. J., vol. 49, pp. 827–852, May–June 1970
- [9] HICUM Model
- [10] R.J. Hawkins, “Limitations of Nielsen's and related noise equations applied to microwave bipolar transistors, and a new expression for the frequency and current dependent noise figure” Solid-State Electronics, Vol. 20, Pages 191–196, 1977
- [11] Boris GEYNET, « Développement et étude de TBH Si/SiGe :C pour les technologies BiCMOS millimétriques », Thèse de doctorat de l’université de Lille 1, 2008
- [12] Nicolas Waldoff , « Caractérisations et modélisations des technologies CMOS et BiCMOS de dernières générations jusque 220GHz », Thèse de doctorat de l’université de Lille 1, 2009
- [13] Yoshikazu Takeda and Akio Sasaki, “Calculated Electron Mobility of Two-Dimensional Electrons in AlInAs/InGaAs and InP/InGaAs Single Heterostructures”, Jpn. J. Appl. Phys. Vol.24, pp. 1307-1311, 1985
- [14] H.Wang, Y. Tian, “Analytical studies on temperature dependence of DC characteristics of InP/GaAsSb double heterojunction bipolar transistors”, International Conference on Indium Phosphide & Related Materials (IPRM), 2010
- [15] P.Ashburn, A.Nouailhat, M.D.Hashim, G.J.Parker, M.Mouis and D.J.Robbins, “Temperature dependence of the current gain of Si/SiGe heterojunction and Si homojunction bipolar transistors”, IEEE European Solid state Device Research Conference, pp.477-480, 1994
- [16] J. C. Li, T. Hussain, D. A. Hitko, P. M. Asbeck and M. Sokolich, “Characterization and modeling of thermal effects in submicron InP DHBTs”, Compound Semiconductor Integrated Circuits Symposium CSICS, 2005
- [17] Brice Grandchamp, V.Nodjiadjim, M.Zaknour, G.Koné, C.Hainaut, J.Godin, M.Riet, T.Zimmer and C.Maneux, “Trends in submicrometer InP-based HBT architecture targeting thermal management”, IEEE transactions on electron devices, vol.58, NO.8, August 2011
- [18] D.S.Scott, C.Monier, S.Wang, V.Radisic, P.Nguyen, A. Cavus, W.R. Deal and A. Gutierrez-Aitken, “InP HBT transferred to higher thermal conductivity substrate” , IEEE Trans.on Electron devices, vol.33, NO.4, April 2012
- [19] Q.Lee, B.Agarwal, D.Mensa, R.Pullela, J.Guthrie, L.Samoska and M.J.W.Rodwell, “A $> 400\text{GHz } f_{\text{max}}$ Transferred-substrate heterojunction bipolar transistor IC technology”, IEEE Electron device letters, vol.18, NO.5, May 1997

- [20] Tomas Kraemer, M.R., F.S., J.W. and G.T., “InP DHBT process in transferred-substrate technology with F_t and F_{max} over 400GHz”, IEEE transactions on electron devices, vol.56, NO.9, September 2009
- [21] Amina Tachafine, « Contribution à l'étude des transistors bipolaires à hétérojonction pour la réalisation d'amplificateurs monolithiques de forte puissance en bande X », Thèse de doctorat de l'université de Lille 1, 1994

Conclusion générale

La thèse présentée dans ce manuscrit s'insère dans le cadre du projet ANR ROBUST portant sur l'optimisation fiabilisée de transistors bipolaires à hétérojonctions submicroniques de la filière InP en vue de la conception robuste des circuits de transmission optiques à 112Gb/s. Ce projet et donc cette thèse est le fruit d'une collaboration entre l'IMS de Bordeaux, Alcatel-Thalès III-V Lab, OMMIC et une start-up XMOD à Bordeaux.

Le contexte de ce projet reposait sur le besoin de développer des circuits intégrés destinés à la nouvelle génération Ethernet 112Gb/s en utilisant la technologie bipolaire InP. En effet, pour ces applications, la durée de vie des circuits doit connaître des taux d'échec les plus faibles possibles. C'est pourquoi, l'intérêt majeur de ce projet était la gestion thermique des TBHs InP submicroniques afin d'améliorer la durée de vie des circuits et donc leur fiabilité. Ainsi, concernant ces travaux de thèse, l'objectif était la démonstration d'une nouvelle architecture de TBHs en utilisant un nouveau substrat hôte à haute conductivité thermique.

Après avoir passé en revue le principe de fonctionnement du TBH, nous avons présenté l'état de l'art sur les différentes filières concurrentes et sur la filière InP/GaAsSb qui concerne cette thèse. Nous avons ainsi justifié le choix des matériaux pour les applications submillimétriques visées. En effet, pour des applications en transmissions optiques de la nouvelle génération Ethernet à 112Gb/s, les TBHs à base d'InP constituent les meilleurs candidats avec ceux de la filière SiGe. Cependant ces derniers souffrent d'une moins bonne excursion en tension.

Dans un premier temps, nous nous sommes intéressés à l'étude de l'auto-échauffement dans les TBHs qui est un phénomène limitatif pour la montée en fréquence des dispositifs. Nous avons étudié l'origine de ces phénomènes et proposé une nouvelle architecture de transistors capables de minimiser ce phénomène en introduisant l'idée du report de couches actives de TBHs. En effet, d'autres techniques avaient déjà été avancées dans la littérature mais proposaient un report du transistor ayant déjà subi l'ensemble des étapes technologiques. L'originalité de notre méthode repose donc sur le report des couches actives avant fabrication du transistor directement sur le substrat hôte. Ainsi, nous avons dressé un état des lieux des différentes techniques de report existantes avant de choisir la méthode appropriée pour les objectifs fixés préalablement. Nous avons finalement opté pour une méthode dite de thermo-compression Au/Au à faible température de 200°C qui a nécessité bon nombre d'optimisations pour un report des couches fiables. D'abord, les paramètres de collage (pression et température) ont été optimisés pour obtenir un bon fonctionnement des différentes jonctions tout en limitant le budget thermique. D'un autre côté, des phénomènes de diffusion à l'interface métallique de collage nous ont poussés à des efforts supplémentaires ; cela a conduit à l'utilisation d'un nouvel empilement métallique thermiquement stable grâce à la combinaison d'une couche réfractaire de molybdène et d'une barrière à la diffusion de l'or à travers les couches actives en platine. Enfin, du fait des difficultés rencontrées avec l'utilisation du substrat hôte d'AlN et des différentes techniques de report s'offrant à nous au sein du laboratoire, nous avons finalement choisi un substrat hôte de silicium à haute conductivité thermique de 130W/K.m. Ainsi, une fois la méthode de report des couches actives choisie et après les diverses optimisations, nous sommes parvenus à un procédé de report dédié à la réalisation de TBHs submicroniques pour l'amélioration de la dissipation thermique.

Dans le troisième chapitre, l'objectif était la réalisation d'un procédé de fabrication technologique de TBHs submicroniques de la filière InP/GaAsSb : d'une part, sur structure conventionnelle avec une

configuration Emetteur-up et d'autre part sur structure reportée précédente. Dans ce contexte, le premier volet intéressant pour l'obtention des objectifs fixés repose sur le choix de la structure épitaxiale. Il s'agissait là de concevoir la structure adéquate d'un point de vue matériaux (épaisseurs et dopages) pour atteindre les fréquences fixées par le cahier des charges pour les applications Ethernet à 112Gb/s. Ensuite, le choix des empilements métalliques pour la réalisation des contacts ohmiques n'a pas nécessité d'efforts supplémentaires. Un empilement classique en Ti/Pt/Au a été utilisé donnant des valeurs de résistivités somme toute satisfaisantes même si des améliorations pourraient être envisagées dans le but de minimiser les différentes résistances de couches et donc la fréquence maximale d'oscillation. En revanche, la gravure chimique des différents matériaux semi-conducteurs constituant notre structure a nécessité une étude sur la structure reportée. De plus, les différentes solutions de gravure ont été adaptées à cette nouvelle structure et les temps de gravure optimisés pour minimiser les phénomènes de sous-gravure pouvant être néfastes à la montée en fréquence des transistors.

Le point le plus critique demeure toutefois la définition et la réalisation du contact de collecteur sur structure reportée. Du fait de l'absence de couche de sous-collecteur, cette étape débouchant sur l'isolation des composants est très délicate et nécessite un état de surface irréprochable pour la connexion ultérieure des TBHs. Ce contact étant en effet défini par l'empilement métallique de la thermo-compression, sa réalisation passe par la gravure de l'ensemble métallique en Mo/Pt/Au/Ti. La gravure du platine par voie chimique s'est avérée délicate car employant des solutions chimiques violentes incompatibles avec notre technologie de fabrication. Des solutions ont donc été identifiées afin de réaliser le contact de collecteur grâce à une technique de gravure sèche en utilisant un usineur ionique. Néanmoins, cette étape de gravure n'était pas suffisante à elle toute seule car nous avons assisté à l'apparition d'un alliage métallique dû aux résidus des différents matériaux gravés. Cela a été problématique pour obtenir une surface propre après gravure. Ainsi, nous avons rajouté des étapes supplémentaires de nettoyage de la surface grâce à une combinaison gravure sèche/ gravure humide avec l'utilisation d'un plasma d'argon mais également des bains dans une solution classique de remover chauffé à 70°C. Seulement avec cette reconsidération des étapes de nettoyage, nous avons finalement obtenu des surfaces propres permettant de passer à l'étape suivante de connexion des TBHs.

Cette étape de connexion a, à son tour, fait l'objet d'une étude pour la réalisation des connexions par la technique de ponts à air. Notamment, les deux étapes de lithographie nécessaires ont été possibles grâce à l'optimisation des différents empilements de résine et de redéfinition du masquage utilisé. Plusieurs résines électroniques ont été étudiées concernant leurs sensibilités et leurs solubilités afin d'obtenir la structure des ponts et la réalisation de l'interconnexion métallique des TBHs.

Nous avons donc réussi la réalisation d'une nouvelle architecture de TBHs reportés sur un substrat hôte de silicium à haute conductivité thermique. Ce travail constitue l'un des premiers dans ce contexte en France et l'une des principales à travers le monde ; cette nouvelle technique pourra être employée par les autres technologies de composants selon les applications visées. Par conséquent, l'objectif premier qui était le nôtre a été atteint avec des composants fonctionnels fabriqués à partir de couches actives de TBHs reportées. Cela a nécessité comme nous venons de le voir plusieurs axes d'optimisation et d'adaptation par rapport à la technologie sur structure conventionnelle également présentée dans le cadre de ces travaux.

Le quatrième chapitre de cette thèse concernait la caractérisation électrique de transistors bipolaires de la filière InP/GaAsSb reportés sur silicium mais également conventionnels avec une structure émetteur-up réalisés par OMMIC. Dans un premier temps, il s'agissait de démontrer les performances statiques et hyperfréquences obtenues sur nos transistors reportés et de les comparer aux

résultats de TBHs non reportés. L'optimisation de notre structure de couche tant d'un point de vue des épaisseurs que des dopages a permis l'obtention de bonnes caractéristiques statiques sur les différentes jonctions et la minimisation des différents temps de transit. L'utilisation d'un émetteur composite en AlInP a par conséquent permis de combiner ces caractéristiques à un gain statique en courant élevé de 100 sur nos structures reportés. Les fréquences de coupure obtenues sont celles fixées par le cahier des charges soit aux alentours de 300 GHz, avec des fréquences optimales de 403 GHz et 175 GHz pour la fréquence de transition F_t et la fréquence maximale d'oscillation F_{max} respectivement obtenues sur un transistor reporté aux dimensions $0.8 \times 6 \mu\text{m}^2$.

Nous avons ensuite réalisé une étude en température afin de cibler des voies de dégradation possible des composants. Ainsi, l'augmentation de la température de 30 à 80°C lors des mesures électriques a révélé la chute de l'ensemble des facteurs de mérite des transistors sous l'effet de la température. Toutefois, cette chute est très modérée en particulier pour le gain en courant et la fréquence de transition. La chute de β observée proviendrait de la dégradation des propriétés de transport dans les matériaux avec l'élévation de la température. Nous avons en outre remarqué que les dégradations des fréquences de coupure étaient moins prononcées que celles observées sur structure TBH conventionnelle ; ce qui constitue un bon point pour la fiabilité des transistors reportés.

Enfin, le comportement thermique des TBHs a été étudié grâce à une méthode d'extraction de la résistance thermique. C'est cette résistance qui permet en effet d'évaluer l'auto-échauffement dans le TBH. Les calculs ont été effectués sur les deux architectures de composants afin de conclure quant à l'impact du report de couches actives sur l'amélioration de leur comportement thermique. Ainsi, nous avons relevé une amélioration de sa valeur de 70% entre une structure reportée de la filière GaAsSb/InP et une structure non reportée de la filière InP/InGaAs avec un collecteur d'épaisseur 150nm du III-V Lab. L'amélioration est 48% pour un sous-collecteur en InGaAs de 15nm de cette même structure. Cette amélioration considérable de la résistance thermique prouve en effet l'impact du report pour réduire significativement l'auto-échauffement dans les TBHs. De même, nous avons obtenu une réduction de la résistance thermique de 64% entre les TBHs de la filière InP/GaAsSb non reportés et ceux reportés sur silicium. Ainsi, ce résultat constitue l'un des premiers démontrés sur TBHs de la filière InP/GaAsSb reportés par thermo-compression sur un substrat hôte de silicium en France et à travers le monde. Il confirme alors l'intérêt de ces travaux de thèse pour la réalisation de TBHs de la filière InP avec une optimisation orientée vers la fiabilité, en l'occurrence la limitation du phénomène d'auto-échauffement. De plus, nous avons étudié l'influence des dimensions d'émetteur sur la valeur de la résistance thermique, ce qui a permis de cibler les tailles optimales en termes de largeur et longueur d'émetteur en réduisant efficacement l'auto-échauffement dans les transistors reportés.

Même si l'ensemble des objectifs fixés dans le cadre de ces travaux de thèse ont été atteints, des axes d'optimisation peuvent être avancés pour l'accroissement des performances d'une part, particulièrement F_{max} , mais également concernant le report de couches actives de TBHs.

Nous avons vu lors du quatrième chapitre que la fréquence maximale d'oscillation a été en partie pénalisée par la résistance de base R_B . Pour l'accroissement des performances fréquentielles, il faut alors tenter de réduire significativement la valeur de cette résistance. Cela est possible en réduisant la taille de la fenêtre de contact de base davantage, mais également en utilisant un empilement métallique pour ce contact permettant des résistivités plus faibles, à base de palladium par exemple. Ce dernier point a déjà fait l'objet d'études préalables qui ont permis d'améliorer les résistivités de 5 à 10 fois par rapport à un empilement classique en Ti/Pt/Au. De même, une autre voie d'amélioration technologique est la réalisation du contact de base en utilisant un plot de contact complètement déporté

en dehors de la partie intrinsèque du TBH grâce à une connexion de la base par pont. Cette technique permet alors la minimisation de C_{BC} et nous enlève la contrainte de la taille du contact de base. Elle a déjà été utilisée dans la littérature sur les TBHs de notre filière et démontré des fréquences maximales d'oscillation de 500GHz pour des largeurs d'émetteurs inférieures à $0.5\mu\text{m}$. Cependant, même si cette technique permet d'améliorer notablement F_{max} , elle possède l'inconvénient d'être difficilement réalisable, ce qui tend à réduire les rendements de fabrication. Ainsi, dans les objectifs fixés pour ces travaux, une diminution de la surface du contact de base entraînerait une première amélioration de cette fréquence.

En ce qui concerne le report de couches actives, le substrat hôte d'AlN à faible coût pourrait être utilisé néanmoins. Pour se faire, une technique de report adéquate doit être choisie permettant de combler la rugosité importante du substrat d'AlN. Il s'agit du report par brasure en utilisant des alliages à base d'indium et d'or, réalisable à basse température supérieure à la température de fusion de l'indium à 155°C . La brasure pourra être possible avec une machine nouvellement acquise au laboratoire, et des premiers essais concluant ont déjà été réalisés pour le dépôt des couches d'indium ; cette technique pourra être étudiée car l'AlN possède une meilleure conductivité thermique que le silicium et a également l'avantage d'avoir un coefficient de dilatation thermique très proche de l'InP. Cette dernière caractéristique est en effet très importante lorsqu'il s'agit de coller deux matériaux différents sous l'effet de la température afin d'éviter l'apparition de contraintes thermomécaniques dues au collage.

Enfin, du fait du substrat de silicium finalement utilisé dans le cadre de ces travaux de thèse par défaut, nous pouvons également envisager de nouvelles applications concernant la technique de report de couches actives démontrée ici. Il s'agit de l'intégration de semi-conducteurs composés sur une technologie Silicium. Cela permet de bénéficier à la fois des propriétés du silicium telles que une densité d'intégration élevée, et de celles des semi-conducteurs composés qui eux possèdent de meilleures mobilités électroniques (InP par exemple), de fortes tensions de claquage et des fréquences de coupure élevées de l'ordre du THz. Ce type d'intégration est déjà démontré dans la littérature avec des premiers résultats concernant l'intégration de TBH InP sur une technologie Si CMOS. Ces travaux, financés par la DARPA dans le cadre de projets ambitieux tels que COSMOS et plus récemment DAHI, permettront d'envisager l'intégration sur une même puce de Si de technologie à base de semi-conducteurs composés (TBH InP, HEMT InP, FET GaN) avec une technologie CMOS. Cela tendra également à réduire les coûts de fabrication des circuits entre autres.

Annexe 1: Basic requirements for the different bond types

- Anodic bonding (Temperature, low force and high voltage)
- Glass frit bonding * (Temperature, force, very good plates)
- Eutectic bonding * (Temperature, force, very good plates)
- Direct bonding (Temperature, force, critical to particles)
- Adhesive bonding * (Temperature, force, very good plates)

* Thermocompression Bond Process

Anodic Bonding

- Bond Voltage; (-500 to -600) V for bond initiation(-800 to -1200) for bonding
- Peak Current: 15 m Amps
- Bond temp: 300°-400°C
- Chamber Pressure: Lower than 1E-3 mBar
- Tool Pressure: 2KN (Not critical)
- Bond Completion: When current decays to < 10%/15%/20% of peak current
- Load/Unload: ~100°C/~100°C
- Wafer material: Si and Borosilicate glass (PYREX)
- Alignment up to 1µm possible with laser pre bond
- Creates Sodium during the process

Glass frit Bonding /application

- Bond temp/time:430-450°C/10min
- Bond Force: 3.3kN - 5.5kN
- Load/Unload: ~250°C/100°C

- Requires a very good pressure and temperature uniformity
- The parallelism of the sandwich and pressure plate is important
- Chamber atmosphere: UHP nitrogen, either vacuum, low pressure(500mbar) or overpressure (2000 mbar)

Glass frit Bonding /general

- The bond layer can be printed on the wafer
- It is in use to seal devices

Eutectic Bonding Scenarios

Eutectic alloy seals can be performed by diffusion reactions or melting of alloy layers.

Diffusion Reaction followed by melting of eutectic

- Start with Material A on the cap and Material B on the device wafer
- Until the two layers mix via diffusion to achieve the eutectic composition the metal will not melt and planarize.
- After melting the diffusion rate will increase and the final interface composition which may have a higher melting point.

Melting of Alloy Layer

- Deposit or plate eutectic alloy onto one or both of the substrates
- Press substrates together and heat. The alloy layer melts immediately at the eutectic temperature and fuses the interface.
- Additional diffusion can be used to drive the reaction to a non-eutectic composition for increased thermal stability.

Bond

- Chamber atmosphere: Purge with forming gas (5% H₂/N₂) followed by 1.00E-4 mbar vacuum during bonding
- A 5" wafer on 5" fixture was used for mechanical support of the 2" pair in the bonder
- Bond temp/bond pressure/time:
- 270°C-305°C /3-6KN/ 10-20 min
- Load/Unload: ~40°C/90°C

Eutectic Type	Eutectic Composition	Eutectic Temp.	Suggested Bond Temperature
Au-In	0.6/99.4 wt%	156⁰C	160-200C
Cu-Sn	5/95 wt%	231⁰C	180C-250C
Au-Sn	80/20 wt%	280⁰C	270-305C
Au-Ge	28/72 wt%	361⁰C	370-380C
Au-Si	97.1/2.9 wt%	363⁰C	377-400C
Al-Ge	49/51 wt%	419⁰C	425-435C

Fusion Bonding Scenarios

Fusion or Direct bonding will bond two wafers together based on their surface condition. To achieve this surface must be very flat and clean.

A particle creates a defect with at least ten times the size of the particle.

Wafer cleaning in CL 200:

- Megasonic DI water clean of both wafers
- Clean Scans: 4/2 scans
- Drying: 2500 rpm for 70 sec followed by unload

Plasma Activation of wafers in NP 200

- Gas: N₂ or O₂
- Scans: 1/2
- Power: 200-300 Watt with an electrode gap of 300um

Bonding

- Start of the bond in the bond chamber (alignment : flat to flat or with markings)
- Annealing of wafers in the SB or in an Oven

Total Steps (12)	1	2	3	4	5	6	7	8	9	10	11	12
Top Temp (°C)	30.0	30.0	30.0	30.0	30.0	30.0	30.0	30.0	300	300	100	100
Bottom Temp (°C)	30.0	30.0	30.0	30.0	30.0	30.0	30.0	30.0	300	300	100	100
Chamber Press (mBar)	Purge	Purge	1.00E-4	1.00E-4	1.00E-4	1.00E-4	5.00E-4	5.00E-4	5.00E-4	5.00E-4	Purge	Purge
Tool Press (mBar)	0	0	0	0	0	0	0	0	5000	5000	0	0
Voltage (V)	0	0	0	0	0	0	0	0	0	0	0	0
Log Data (Seconds)	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Wait			05:00 mm:ss WAIT		03:00 mm:ss WAIT		01:00 mm:ss WAIT			02:00 hh:mm WAIT		
AlarmTime <mm>	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	03:30	02:30	00:30
Action												

Center pin bond initiation at step 2 (at this point, the center pin from top tool should be in contact with the wafers and compressed 200-500um)

Adhesive Bonding Basics

When we talk about adhesive bonding, we talk basically about gluing two wafer together. The following scenario is for a common BCB bond.

Adhesive bonding – Materials :

- Epoxies, UV-Epoxies
- Phositive, negative photoresist
- BCB (Benzocyclobutene)
- PMMA (Polymethylacrylate)
- PMDS (Polydimethylsiloxane)
- Polyimides
- Waxes
- SU8
-

Adhesive Bonding Scenario

Wafer preparation

- Adhesion promoter coating on both wafers is recommended before application of the BCB material
- Adhesion Promoter: Dow AP3000 coated on both wafers
- Dispense speed: 50rpm / Spin Dry: 3000rpm

Wafer coating with BCB

- BCB material – Dow Chemical Cyclotene 3022-35. This is the most common non-photo sensitive BCB in use.
- Spin speed: 2200 rpm will yield around 1.5 um thickness. The actual thickness would depend on type of BCB used.
- Pre-bake of BCB and Adhesion promoter at 100°C for 180 secs
- Edge bead removal (~3mm) recommended

BCB Bonding Recipe

- Chamber Pressure: $<1e10^{-3}$ bar
- Temperature: Soft-bake at 190°C for 5-10min.
- Use of spacers recommended during softbake to ensure proper outgassing of BCB before contacting.
- Final cure at 320°C-330C/2.2 -4.4kN/10minutes.
- After initial bake of wafers in separation with spacers, the temperature and force can be ramped up in two steps to improve BCB uniformity
 - Step 1: Temp to 250C, Force to 2.2KN in 6 minutes
 - Hold at 250C for 2 minutes
 - Step 2: Temp to 320C, Force to 4.4KN in 6 minutes
 - Hold at 320C for 8 minutes
- For BCB Bonding, partial curing takes place at the bake temp, final curing occurs at temperatures above 220. So you can bond BCB even at 250C but it will take longer (around 1 hour).

DO NOT GO ABOVE 350°C for a BCB Bond recipe (close to TG for BCB)

Comment: BCB bonding Recipe: Wafers baked with spacers separation at 190C for 5 minutes followed by temp ramp-up to 320C. Final BCB Bonding at 320C/8 minutes

Total Steps (15)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Top Temp (°C)	100	100	100	190	190	190	190	190	250	250	320	320	100	100	100
Bottom Temp (°C)	100	100	100	190	190	190	190	190	250	250	320	320	100	100	100
Chamber Press (mBar)	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	1.00E-4	Purge	Purge	Purge
Tool Press (mBar)	0	0	0	0	0	0	0	0	1000	1000	2000	2000	2000	0	0
Voltage (V)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Log Data (Seconds)	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Wait					05:00 mm:ss WAIT		00:05 mm:ss WAIT				02:00 mm:ss WAIT		08:00 mm:ss WAIT		00:30 mm:ss WAIT
AlarmTime (mm)	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30	00:30
Action	DO IT	CONTACT 1540 µm				SPACERS OUT		DOWN							UP

Annexe 2 : Process TBHs petites dimensions

I- Report par thermo-compression de la structure épitaxiée

- Nettoyage de la surface : Acétone/Alcool iso IPA
- Métallisation: Etching Ar 150eV pendant 2min30 puis dépôt par évaporation sous vide d'une couche d'or de 2000Angstrom sur le substrat de Silicium HR 2 pouces et Etching Ar 150eV pendant 1min30 puis dépôt d'un empilement métallique Mo/Pt/Au : 250/400/2500Angstrom sur un quart de couches épitaxié en inverse.
- Mise en contact des deux échantillons immédiatement après métallisation
- Thermo-compression dans le SB6e à 560mbar (2bar) 200°C pendant 1h30
- Mesure de la flèche du collage pour évaluer la courbure de l'échantillon
- Retrait du substrat originel d'InP dans HCl/H₂O : 2/1 pendant 1h10 (Changer la solution au bout d'une demi-heure)
- Avant l'écriture du niveau du contact d'Emetteur, il faut veiller à bien orienter les transistors parallèlement au grand méplat du substrat d'InP
- Gravure Interface dans HIO₃ pendant 5s avant de démarrer la techno pour être sûr qu'il n'y ait plus de matériaux phosphoré et qu'on est bien sur InGaAs
- Mouillage de la surface avec H₂SO₄ pendant 30s

II- Niveau de contact d'Emetteur

- Désoxydation de la surface : dans NH₄OH ou H₂SO₄ pendant 1min puis rinçage à l'EDI
- Déshydratation échantillon sur plaque chauffante à 200°C pendant 5min
- Résinage pour un profil casquette très précis :

Résine	Paramètres d'enduction	Recuit	Epaisseur
PMGI SF11 diluée	CF 1700/3000/20	200°C- 5min	1750Angstrom
PMMA 950K 4%	CF 3500/1000/12	200°C- 5min	1400Angstrom

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 10nm
Fichier de correction : pmma-copo-gaas-z648-coef5.pec
Dose : 225µC/cm ² et courant : 10nA
Fichier Ecriture b028: contacte_02.gpf

- Développement des motifs :

Résine	Solvant	Durée
PMMA 950K 4%	MIBK/IPA : 1/1 puis rinçage IPA 1min	1min20
PMGI SF11 diluée	MIF726	12s

- Observation au microscope optique puis au MEB pour vérification de l'ouverture de la résine sur motifs à dimensions critiques
- Métallisation pour le contact : Etching Ar 150eV pendant 2min30 puis dépôt par évaporation sous vide d'un empilement Ti/Pt/Au : 100/100/800Angstrom
- Lift-off échantillon dans Remover PG à 70°C puis rinçage Acétone/Alcool
- Mesure au profilomètre de l'épaisseur effective de métal déposé
- Observation au MEB pour vérification et validation de l'étape

III- Niveau de Mesa d'Emetteur pour protection TLM

- Déshydratation échantillon sur plaque chauffante à 200°C pendant 5min
- Résinage monocouche

Résine	Paramètres d'enduction	Recuit	Epaisseur
HMDS	CF 3000/1000/20	-	Pour l'adhérence
SAL 601	CF 1500/1000/15	105°C- 3min	6700Angstrom

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 20nm
Fichier de correction : SAL601-inp.pec
Dose : 4 μ C/cm ² et courant : 300pA
Fichier Ecriture b028: mesaem_03.gpf

- Recuit post-insolation à faire pour stabiliser la résine : 115°C- 3min
- Développement des motifs :

Résine	Solvant	Durée
SAL 601	MIF726	1min30

- Gravure humide des couches de contact d'émetteur en InGaAs /InP et d'Emetteur en InP
- Avant de commencer la gravure faire une première étape de désoxydation de la surface avec une solution d'acide sulfurique : H₂O/H₂SO₄ : 200/5 pendant une minute
- Graver les matériaux un par un progressivement en faisant des étapes intermédiaires d'observation au MEB pour être sûr d'être sur le matériau suivant même si les gravures sont sélectives.
- Bien observer et contrôler la sous-gravure de l'émetteur !

Matériau/Epaisseur	Solution	Temps de gravure
InGaAs (200Angstrom)	H ₃ PO ₄ /H ₂ O ₂ /H ₂ O : 5/2/200mL	20s
Interface As/P	HIO ₃ /HCl/H ₂ O : 2/2/200mL	10s
InP (1000Angstrom)	HCl/H ₃ PO ₄ : 50/150mL	24s

- Observation au MEB du profil de gravure pour vérification avant d'enlever la résine
- **Mettre une sécurité sur les temps de gravure**
- Nettoyage de la résine si OK dans Remover PG 80°C – 30min
- Mesure de l'épaisseur de matériaux gravée au profilomètre et confirmation au MEB pour validation de l'étape

IV- Niveau du contact de Base

- Déshydratation échantillon sur plaque chauffante à 200°C pendant 5min
- Résinage pour un profil en casquette:

Résine	Paramètres d'enduction	Recuit	Epaisseur
CopoEL 10 (17.5)	CF 2250/1000/12	170°C- 5min	6400Angstrom
PMMA 950K 4%	CF 3500/1000/12	170°C- 5min	1500Angstrom

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 20nm
Fichier de correction : pmma-copo-gaas-z648-coef5.pec
Dose : 225µC/cm ² et courant : 20nA
Fichier Ecriture b028: contactb_04.gpf

- Développement des motifs :

Résine	Solvant	Durée
PMMA 950K 4% et CopoEL 10(17.5)	MIBK/IPA : 1/1	1min30
Rinçage	IPA	1min15

- Observation au microscope optique puis au MEB pour vérification de l'ouverture de la résine sur motifs à dimensions critiques
- Métallisation pour le contact : Etching Ar 150eV pendant 2min puis dépôt par évaporation sous vide d'un empilement Ti/Pt/Au : 100/100/650Angstrom
- Lift-off échantillon dans Remover PG à 70°C puis rinçage Acétone/Alcool
- Mesure au profilomètre de l'épaisseur effective de métal déposé
- Observation au MEB pour vérification et validation de l'étape

V- Niveau de Mesa Base/Collecteur

- Déshydratation échantillon sur plaque chauffante à 170°C pendant 10min
- Résinage monocouche

Résine	Paramètres d'enduction	Recuit	Epaisseur
HMDS	CF 3000/1000/20	-	-
ZEP520 A	CF 1500/1000/8	160°C- 3min	6400Angstrom

- Ecriture au nanomasqueur EBPG5000+ (les deux fichiers à faire en même temps sous cats pour avoir une bonne correction de proximité et éviter les effets aux bords du motif proche qui empêchent une révélation homogène de la résine lors de cette étape)

Tension : 100kV	Tension : 100kV
Résolution : 10nm	Résolution : 25nm
Fichier de correction : prox void	Fichier de correction : sans
Dose : 140µC/cm ² et courant : 2nA	Dose : 200µC/cm ² et courant : 40nA
Fichier Ecriture b028: mesabaseproche_09.gpf	Fichier Ecriture b028: mesabaseloin_05.gpf

- Développement des motifs :

Résine	Solvant	Durée
ZEP520 A	ZDEN 50	40s

- Gravure humide des couches de contact de base en GaAsSb et de collecteur en InP
- Avant de commencer la gravure faire une première étape de désoxydation de la surface avec une solution d'acide sulfurique : H_2O/H_2SO_4 : 200/5 pendant une minute
- Graver les matériaux un par un progressivement en faisant des étapes intermédiaires d'observation au MEB pour être sûr d'être sur le matériau suivant même si les gravures sont sélectives.

Matériau/Épaisseur	Solution	Temps de gravure
GaAsSb (200Å)	$H_3PO_4/H_2O_2/H_2O$: 5/2/200mL	1min 20
Interface As/P	$HIO_3/HCl/H_2O$: 2/2/200mL	10s
InP (1000Å)	HCl/H_3PO_4 : 50/150mL	40s

- Observation au MEB entre les deux gravures pour confirmation épaisseur base dans un premier temps
- Observation au MEB de l'état de la surface et de l'épaisseur obtenue après gravure pour vérification avant d'enlever la résine
- **Enlever la résine si OK dans ZDMAC 1h à l'ambient puis à 50°C pendant 1h**
- Mesure de l'épaisseur de matériaux effectivement gravée au profilomètre et confirmation au MEB pour validation de l'étape.

VI- Gravure du joint de collage

- Résinage pour joint de collage 1^{ère} partie

Résine	Paramètres d'enduction	Recuit	Épaisseur
HMDS	CF 3000/1000/20	-	Pour l'adhérence
Nlof 2020 diluée	CF 1500/1000/12	110°C- 1min30	1µm

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 20nm
Fichier de correction : momo100_z648.pec
Dose : 45µC/cm ² et courant : 2nA
Fichier Ecriture b028: jointMo_6.gpf

- Recuit post-insolation 110°C pendant 1m30s
- Révélation dans MIF726 pendant 1min puis rinçage EDI
- Observation microscope optique pour vérification

Gravure du joint

Utilisation d'une technique de gravure sèche dans l'usineur ionique avec les paramètres de la machine pré-réglés

- Gravure de Mo/Pt/Au pendant 12min : épaisseur gravée 3000Angstroms
- Nettoyage au plasma O2 standard (150W/ 100mT) d'une partie de la résine pendant 4min puis etching 150eV pendant 4min
- Nettoyage au Remover à 80°C pendant 1h

- Résinage pour joint de collage 2^{ème} partie (**gravure humide Or et Titane**)

Résine	Paramètres d'enduction	Recuit	Epaisseur
HMDS	CF 3000/1000/20	-	Pour l'adhérence
Nlof 2020 diluée	CF 1500/1000/12	110°C- 1min30	1µm

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 20nm
Fichier de correction : momo100_z648.pec
Dose : 45µC/cm ² et courant : 2nA
Fichier Ecriture b028: jointAu_7.gpf

- Recuit post-insolation 110°C pendant 1m30s
- Révélation dans MIF726 pendant 1min puis rinçage EDI
- Observation microscope optique pour vérification
- Gravure de l'épaisseur d'or restante dans Attaque or pure KI/I2 pendant 30s
- Rinçage EDI
- Gravure de la couche de Titane dans HF 5% (ou BOE) pendant 5s

- Rinçage EDI
- Nettoyage de la plaque dans Removeur à 70°C
- Observation au microscope optique puis au MEB pour confirmation de l'étape
- Mesure de l'épaisseur exacte de métal gravé et de la hauteur des composants

VII- Réalisation du support de ponts pour accès

- Nettoyage de la surface : Acétone/Alcool iso IPA
- Résinage monocouche

Résine	Paramètres d'enduction	Recuit	Epaisseur
ZEP520_DHBT_UI	CF 1400/1000/12 (2 dépôts)	180°C- 3min	11600Angstrom

- Ecriture au nanomasqueur EBPG5000+ des niveaux d'ouverture de vias et de dégagement final

Tension : 100kV	Tension : 100kV
Résolution : 10nm	Résolution : 40nm
Fichier de correction : momo100_z648.pec	Fichier de correction : momo100_z648.pec
Dose : 150µC/cm² et courant : 2nA	Dose : 180µC/cm² et courant : 100nA
Fichier Ecriture b028: viasfins_40.gpf	Fichier Ecriture b028: degagementfinal_37.gpf

- Développement des motifs :

Résine	Solvant	Durée
ZEP 520	ZEDN50 avec agitation Puis rinçage dans l'eau avec jet	1m10s

- **Observation au microscope optique puis électronique pour vérification des ouvertures des dimensions critiques**
- Fluage de la résine à 160°C pendant 1m30s pour DHBT_UI
- Observation du fluage au MEB pour confirmation

VIII- Réalisation des accès pour connexion des TBHs

- Nettoyage de la surface : Acétone/Alcool iso IPA
- Résinage bicouche pour profil en casquette

Résine	Paramètres d'enduction	Recuit	Epaisseur
Copo ARP 33% 2µm	CF 2100/1000/12	120°C- 2min	2.04µm
PMMA 50K 5%	C0 1200/1000/12 (2 dépôts)	130°C- 2min	3300Angstrom

- Ecriture au nanomasqueur EBPG5000+

Tension : 100kV
Résolution : 20nm
Fichier de correction : momo100_z648
Dose : 220µC/cm ² et courant : 35nA
Fichier Ecriture b028: acceschange_38.gpf

- Développement des motifs :

Résine	Solvant	Durée
PMMA 50K 5%	ZEDN50	2min puis rinçage EDI par jet
ARP PMMA	Méthanol/ IPA (1/3)	1min puis rinçage EDI par jet

- Observation au microscope optique entre les deux révélations pour vérification
- Confirmation du profil casquette au MEB et confirmation de l'étape
- Demande de métallisation pour les accès :

- **Etching Ar 200eV pendant 2min**
- **Dépôt Ti/Au : 2000/6000Angstrom**

- Lift-off du niveau de métallisation d'accès dans Remover à 70°C pendant 1h
- Vérification de l'étape au microscope optique puis électronique
- Confirmation et validation process avec mesure de jonctions sous pointes...
- Caractérisation hyper...

