

N° d'ordre : 41109

**UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE 1**

Ecole doctorale : Sciences Pour l'Ingénieur

## **THÈSE**

pour d'obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE LILLE 1**

Spécialité : Micro et Nanotechnologies, Acoustique et Télécommunications

---

# **Contribution à l'étude et à la réalisation de systèmes de communication inter puces à très haut débit en gamme millimétrique**

---

Présentée et soutenue publiquement par

**Samuel FOULON**

le 24 mai 2013 devant le jury d'examen :

Directeur de thèse	NATHALIE ROLLAND	Professeur, Université Lille 1, IEMN
Co-directeur	CHRISTOPHE LOYEZ	Chargé de recherche, CNRS, IEMN
Encadrant industriel	SEBASTIEN PRUVOST	Ingénieur, STMicroelectronics, Crolles
Président	GILLES DAMBRINE	Professeur, Université Lille 1, IEMN
Rapporteur	GENEVIEVE BAUDOIN	Professeur, Université Paris Est, ESIEE
Rapporteur	RAYMOND QUERE	Professeur, Université Limoge, XLIM
Examineur	PIET WAMBACQ	Professeur, Université Bruxelles, IMEC
Examineur	PIERRE VINCENT	Ingénieur, CEA-Leti, Grenoble
Invité	DENIS PACHE	Ingénieur, STMicroelectronics, Crolles



## Remerciements

---

---

Je tiens tout d'abord à remercier mes encadrants : Sébastien Pruvost pour la confiance que tu m'as accordée en me proposant ce sujet de thèse, pour tous tes conseils en matière de design et pour avoir supporté les deadlines un peu serrées (après quelques nuits de layout, ça l'a toujours fait!) ; Nathalie Rolland pour avoir assuré la direction, le suivi et le bon déroulement de ma thèse ; et Christophe Loyez pour les précieuses discussions matinales sur les systèmes de communication, ta disponibilité et ton soutien lors des mesures des circuits. Je tiens aussi à remercier particulièrement Denis Pache, toujours prêt à m'accorder du temps pour répondre à mes questions d'électronique. Je salue ta jovialité et ta grande compétence technique !

Mes remerciements vont également à Geneviève Baudoin et Raymond Quéré pour avoir accepté d'être les rapporteurs de ma thèse, Pierre Vincent et Piet Wambacq pour avoir examiné mon travail et Gilles Dambrine pour avoir présidé le jury.

Un grand merci à l'équipe caractérisation de l'IEMN dirigée par Damien Ducatteau : Sylvie Lepilliet et Vanessa Avramovic qui m'ont beaucoup appris sur la caractérisation en gamme millimétrique, loin d'être évidente, et avec qui de nombreux problèmes liés aux bancs de mesures ont été résolus.

Merci aussi à Caroline Arnaud pour m'avoir permis d'emprunter de nombreuses pointes et coupleurs à ST avant chaque campagne de mesures à l'IEMN. Et merci à Marcel Coly et Julien Morelle pour nous avoir épaulé lors d'une semaine de mesures à ST.

Je remercie Stéphane Le Tual pour avoir dirigé mon CV de stagiaire vers les bonnes personnes et pour son œil avisé à propos de la caractérisation multi-gigabits.

Merci à Andreia Cathelin pour ses conseils pertinents lors de la soumission des papiers.

Je remercie Hervé Legall avec qui j'ai pu avoir de nombreuses discussions à propos de la testabilité industrielle des circuits.

Merci également à Pascale Maillet-Contoz, côté ST, et à Claudie Flament, côté IEMN, pour m'avoir aidé dans les démarches administratives lors de mes déplacements.

Je remercie aussi l'ensemble des personnes de l'équipe CSAM de l'IRCICA qui m'ont accueilli dans le Nord durant les 5 premiers mois de ma thèse : Charles Anssens, Thomas Avilès, Alexandre Beck, Ahmed Ben-Abdeslam, Benoit Bensahla-Tani (pour les discussions autour d'une Angelus !), Alexandre Boé, Yoan Bourlier, Guillaume Desruelles, Omar El-Jouaidi, Redha Kassi (Ce midi, piscine ??), Aymeric Pastre (le nordiste sigeanais), Tristan Sarrazin (pour le coup de mains sur les antennes).

Je remercie l'ensemble des personnes que j'ai pu côtoyer de près ou de loin à ST Crolles qui ont pu m'aider techniquement ou contribuer à créer un environnement de travail plus qu'agréable : Eric André, Christophe Arricastres (« il vaut mieux être locataire ! »), Malal Bathily, Frédéric Bailleul, Nicole Bertholet, Jean-Pierre Blanc, Mounir Bouleznakher, Renald Boulestin (A quand une sortie vélo ?), Laurent Chabert, David Chamla, Fulvien

Colmagro, Christian Corre, Thomas Coulot, Sébastien Dedieu, Thierry Di Gilio, Frédéric Duez, Frederic Freton, Luc Garcia, Patrice Garcia, Christophe Garnier, Frédéric Hasbani, Marc Houdebine, Jae-Sik Jang, Julien Kieffer, Sébastien Lefèbvre, Franck Montaudon, Eoin Ohannaidh, Frédéric Paillardet, Raphaël Paulin, Bruno Pellat, Vincent Pinon, Gérald Provins, Laurence Moquillon, Stéphane Razafimandimby, Eric Remond, Fabien Robert, Florence Rodriguez, Emmanuel Rouat, Jocelyn Roux, Florent Sibille, Mathilde Sié, Hani Sherry, Thomas Souvignet (« l'insecte ! »), Séverin Trochut, Sarah Verhaeren. Sans oublier les personnes avec qui de nombreux Rooibos ont été bus : Laurent Bastères (« courir permet de manger plus de desserts »), Benoit Butaye, Valérie Danelon, Julien Goulier (« Alors, elle avance cette thèse? »), Bruno Grelaud (le coach du trail, « un petit tour dans les coteaux, sans forcer !?! »), Christophe Grundrich (« le Sappey, the place to be ! »), Thierry Lapergue, Thomas Quemerai, Philipp Ritter (« le VTT, c'est zuper ! »).

Enfin je remercie Thierry Divel pour m'avoir intégré dans son service, et pour m'avoir laissé un peu de temps pour finaliser le manuscrit et préparer la soutenance.

Je remercie mes parents qui m'ont toujours soutenu dans mes choix. Une pensée aussi pour mes frères et mes amis qui m'ont supporté surtout durant la période de rédaction.

Et enfin, un grand merci à mon moineau qui m'a encouragé et supporté tout au long de la thèse et surtout lors de la rédaction où quelques soirées et week-ends ont été sabotés, nous allons maintenant pouvoir nous rattraper...

# Sommaire

---

---

<b>REMERCIEMENTS.....</b>	<b>3</b>
<b>INTRODUCTION GENERALE.....</b>	<b>9</b>
<b>CHAPITRE I : CONTEXTE ET ARCHITECTURE PROPOSEE .....</b>	<b>11</b>
<b>I.1 Introduction.....</b>	<b>11</b>
<b>I.2 Problématique .....</b>	<b>12</b>
I.2.1 Liaisons inter-puces haut débit .....	12
I.2.2 Test des puces sans contact.....	13
I.2.3 Conclusion .....	15
<b>I.3 Communication inter puce.....</b>	<b>16</b>
I.3.1 Couplage capacitif .....	16
I.3.2 Couplage inductif.....	17
I.3.3 Couplage électromagnétique.....	18
I.3.4 Conclusion .....	20
<b>I.4 Architecture.....</b>	<b>21</b>
I.4.1 Choix de la modulation.....	21
I.4.1.1 Principe de la modulation .....	21
I.4.1.2 Architecture à transmission d'OL.....	23
I.4.1.2.1 Self-hétérodyne .....	23
I.4.1.2.2 Self-homodyne .....	24
I.4.1.3 Conclusion sur le choix de la modulation .....	27
I.4.2 Choix de la bande de fréquence .....	27
I.4.3 Présentation du système de communication OOK.....	28
I.4.4 Bilan de liaison et estimation des performances des blocs constituant le système d'émission-réception haut débit en gamme de fréquence millimétrique.....	29
<b>I.5 Conclusion .....</b>	<b>31</b>
<b>CHAPITRE II : COMPOSANTS ACTIFS ET PASSIFS DE LA TECHNOLOGIE ET METHODOLOGIE DE CONCEPTION .....</b>	<b>33</b>
<b>II.1 Choix de la technologie.....</b>	<b>33</b>
<b>II.2 Technologie BiCMOS 0.13µm SiGe :C .....</b>	<b>35</b>
II.2.1 Présentation de la technologie .....	35
II.2.2 Performances des transistors bipolaires .....	36
II.2.2.1 Caractéristique statiques .....	36
II.2.2.2 Caractéristique petit signal .....	37
II.2.3 Composants passifs.....	38
II.2.3.1 Plots .....	39
II.2.3.2 Lignes de transmission .....	40
II.2.3.3 Capacité .....	41

II.2.3.3.1	Capacité MOM .....	41
II.2.3.3.2	Capacité MIM .....	42
II.2.3.4	Inductance .....	44
II.2.3.5	Balun .....	45
II.2.3.5.1	Principe .....	45
II.2.3.5.2	Conception .....	46
II.2.3.5.3	Mesure .....	48
<b>II.3</b>	<b>Méthodologie de conception .....</b>	<b>50</b>
II.3.1	Topologie simple et différentielle .....	50
II.3.2	Adaptation d'impédance en gamme de fréquences millimétriques : deux méthodologies .....	51
<b>II.4</b>	<b>Conclusion .....</b>	<b>52</b>
 <b>CHAPITRE III : CONCEPTION DES BLOCS DU SYSTEME .....</b>		<b>53</b>
<b>III.1</b>	<b>Spécification du système de communication puce à puce .....</b>	<b>53</b>
III.1.1	Présentation de la chaîne d'émission-réception OOK .....	53
III.1.2	Bilan de liaison et estimation des performances du système .....	54
<b>III.2</b>	<b>Conception du récepteur .....</b>	<b>55</b>
III.2.1	Conception du démodulateur 60GHz et 140GHz .....	55
III.2.1.1	Choix de la topologie .....	55
III.2.1.2	Implémentation du modulateur 60GHz .....	57
III.2.1.3	Mesures du démodulateur 60GHz .....	59
III.2.1.4	Analyse du gain dissymétrique entre les deux sorties du démodulateur ....	62
III.2.1.5	Implémentation du démodulateur 140GHz .....	64
III.2.2	Conception du LNA .....	66
III.2.2.1	Choix de la topologie .....	67
III.2.2.2	Implémentation du LNA .....	68
III.2.2.3	Etude de la stabilité du 1 <sup>er</sup> étage du LNA .....	69
III.2.2.4	Performances du LNA .....	70
<b>III.3</b>	<b>Conception de l'émetteur .....</b>	<b>73</b>
III.3.1	Conception de l'oscillateur à modulation interne .....	73
III.3.1.1	Etude des différentes topologies d'oscillateur .....	73
III.3.1.1.1	Généralité sur les oscillateurs LC .....	73
III.3.1.1.2	Oscillateur cross-couplé .....	74
III.3.1.1.3	Oscillateur Colpitts .....	76
III.3.1.2	Etude de la modulation interne .....	78
III.3.1.3	Implémentation .....	80
III.3.1.4	Caractérisation expérimentale de l'oscillateur .....	82
III.3.1.4.1	Mesures en mode oscillations continues .....	82
III.3.1.4.2	Mesure en mode modulation interne .....	86
III.3.1.5	Oscillateur recentré .....	86
III.3.2	Conception du modulateur .....	88
III.3.2.1	Choix de l'architecture .....	88
III.3.2.2	Implémentation .....	91
III.3.3	Conception de l'amplificateur de puissance .....	92
III.3.3.1	Choix de l'architecture .....	92

III.3.3.2	Implémentation .....	92
<b>III.4</b>	<b>Conclusion .....</b>	<b>95</b>
 <b>CHAPITRE IV : CONCEPTION ET CARACTERISATION DU DEMONSTRATEUR.....</b>		<b>97</b>
<b>IV.1</b>	<b>Implémentation et caractérisation des antennes .....</b>	<b>97</b>
IV.1.1	Conception de l'antenne à 140GHz .....	97
IV.1.2	Antenne intégrée dans le "seal-ring" .....	99
IV.1.3	Mesure des antennes .....	99
<b>IV.2</b>	<b>Conception et caractérisation de l'émetteur.....</b>	<b>102</b>
<b>IV.3</b>	<b>Conception du récepteur .....</b>	<b>105</b>
IV.3.1	Récepteur n'incluant pas l'amplificateur faible bruit .....	105
IV.3.2	Récepteur complet incluant l'amplificateur faible bruit .....	105
<b>IV.4</b>	<b>Caractérisation du démonstrateur .....</b>	<b>107</b>
IV.4.1	Démonstrateur n'incluant pas de LNA .....	107
IV.4.1.1	Implémentation du démonstrateur .....	107
IV.4.1.2	Caractérisation du démonstrateur .....	107
IV.4.1.2.1	Caractérisation de la bande-passante .....	108
IV.4.1.2.2	Emission et réception de données en modulation OOK .....	109
IV.4.1.2.3	Self-hétérodyne .....	111
IV.4.1.3	Résumé des performances du démonstrateur n'incluant pas de LNA.....	114
IV.4.2	Démonstrateur incluant l'amplificateur faible bruit .....	115
IV.4.2.1	Emission et réception de données en modulation OOK.....	116
IV.4.2.2	Caractérisation de la bande passante .....	117
<b>IV.5</b>	<b>Conclusion .....</b>	<b>119</b>
 <b>CONCLUSION GENERALE .....</b>		<b>121</b>
<b>CONTRIBUTIONS SCIENTIFIQUES.....</b>		<b>123</b>
<b>ANNEXES .....</b>		<b>125</b>
 <b>Annexe 1 : Mesure de la qualité des transmissions.....</b>		<b>125</b>
Evaluation du taux d'erreur par bit :	.....	125
Evaluation du facteur de qualité :	.....	126
Evaluation de l'EVM :	.....	128
 <b>Annexe 2 : Etude théorique de la topologie self-homodyne .....</b>		<b>130</b>
 <b>TABLE DES ACRONYMES .....</b>		<b>133</b>
<b>REFERENCES .....</b>		<b>134</b>
<b>TABLE DES FIGURES.....</b>		<b>139</b>
<b>Liste des tableaux.....</b>		<b>143</b>
<b>RESUME ET ABSTRACT.....</b>		<b>144</b>





## Introduction générale

---

---

L'industrie des semi-conducteurs, plus spécifiquement les semiconducteurs sur substrat Silicium, a connu des avancées considérables ces dix dernières années. Les nœuds technologiques ont été divisés par dix, passant ainsi de 130nm pour les technologies de la fin des années 2000 pour atteindre aujourd'hui 14nm alors que le 10nm est pour demain ! Les performances des transistors en termes de vitesse et de consommation sont inversement proportionnelles à la taille du transistor. Ce bond invraisemblable, a donc favorisé la montée en fréquence des composants actifs qui ont également vu leurs performances exploser laissant ainsi la possibilité d'envisager des fréquences de travail au-delà de 100GHz (DOT FIVE THz project); fréquences jusqu'alors réservées aux industries des semiconducteurs III-V. Ces perspectives de performances, ont entraîné de nombreux travaux de recherches sur diverses thématiques. De nombreux travaux ont été menés sur les systèmes de communication à 60GHz, bande phare désormais investiguée par les industriels pour développer le « Wifi » de demain. Les travaux de recherche s'orientent aujourd'hui sur des applications d'imagerie ou radar bien au-delà de 100GHz. Pourquoi s'acharne-t-on à essayer de pousser toujours plus haut les investigations et surtout qu'a-t-on à gagner à travailler à haute fréquence ? La montée en fréquence présente en effet deux principaux intérêts : la réduction de la taille des éléments utilisés ainsi que l'augmentation naturelle de la bande passante. D'une part, l'augmentation de la fréquence de la porteuse permet de diminuer la surface occupée par le circuit grâce à la réduction des composants passifs (par ex. lignes de transmission, inductances et capacités) utilisés pour les adaptations d'impédance. De plus, la taille des antennes est généralement égale à la moitié de la longueur d'onde guidée, c'est-à-dire inférieure à 0.7mm sur silicium pour des fréquences supérieures à 100GHz : l'intégration complète du système avec son antenne devient dès lors envisageable. Cet avantage permet de relâcher complètement les contraintes d'assemblage et contribue à la diminution des coûts de fabrication d'un système. D'autre part, le principal critère déterminant l'efficacité des antennes et des réseaux d'adaptations d'un système d'émission-réception est le ratio de la bande passante sur la fréquence de fonctionnement. Ainsi, la montée en fréquence des systèmes de communication permet une augmentation du transfert d'informations par le biais d'une bande passante naturellement plus large. Cependant les pertes en espace libre augmentent avec la fréquence, avec des pics d'absorption à des fréquences caractéristiques 60GHz, 120GHz, mais qui est un intérêt pour la réutilisation des bandes spectrales à proximité.

L'étude et la réalisation d'un système de communication à des fréquences supérieures à 100GHz est un réel challenge scientifique compte tenu du très faible nombre de travaux réalisés à ces fréquences au début de cette thèse. Fort de l'expérience du laboratoire IEMN dans les systèmes (réseau ad hoc, systèmes large bande pulsés, ...) et dans la caractérisation de la bande de fréquences millimétriques (des systèmes autour de 60GHz, des dispositifs actifs et passifs jusque 220GHz, voire au-delà), l'objectif de cette thèse est de pousser plus loin les investigations afin de réaliser un système de communication puce à puce en gamme de fréquences millimétriques (supérieures à 100GHz) dont l'espacement serait de l'ordre de quelques millimètres, qui permettrait de supplanter les connexions filaires et de réaliser une solution de test sans contact dès la sortie de production et sans mise en boîtier de fonctions MMIC complexes.

Pour atteindre cet objectif, nous avons commencé par une première étude des systèmes de communications existants en gamme de fréquences millimétriques. Au début de la thèse, peu de systèmes fonctionnant à des fréquences supérieures à 77GHz (fréquences allouées pour les applications de radar automobile) avaient été publiés et aucun système n'était complètement intégré. En parallèle, une étude des topologies les plus adaptées à un système de communication en gamme de fréquence millimétrique a été menée. La principale contrainte des systèmes fonctionnant à des fréquences supérieures à 60GHz est la conception d'un oscillateur local ayant un bruit de phase permettant la bonne réception des signaux ; en réception, l'intégration du système de synchronisation de la porteuse (PLL) présente également un challenge du fait de la forte consommation de cette fonction. L'expérience de l'IEMN sur les architectures à annulation de bruit de phase dites « self-hétérodyne » [27][28] a été un atout majeur pour cette première phase qui sera présentée dans le premier chapitre.

Les choix et les performances de la technologie BiCMOS SiGe :C 0.13 $\mu$ m retenue pour ces travaux seront expliqués dans le deuxième chapitre. Ensuite la méthodologie de conception qui a été adoptée, consistant à privilégier les architectures différentielles et la réalisation des adaptations d'impédance par des éléments localisés (capacités, inductances, balun) sera présentée. Cette méthodologie est très utilisée dans la conception des circuits radiofréquences, plus « basses fréquences », destinées à la téléphonie mobile par exemple, mais elle fait nettement moins l'unanimité pour les circuits micro-ondes et millimétriques où les architectures de circuits simples et les adaptations d'impédance par des lignes de transmissions restent encore grandement privilégiées.

Le troisième chapitre détaillera la conception de l'ensemble des éléments réalisés et leur caractérisation. Dans une première partie, les spécifications systèmes d'une communication puce à puce permettant de déterminer le cahier des charges des différents blocs constituant la chaîne d'émission et réception seront présentées. Dans une seconde partie, la conception des différents blocs constituant le récepteur sera décrite. Tout d'abord la conception d'un démodulateur OOK à 60GHz sera étudiée afin de valider la topologie originale retenue et faciliter la caractérisation, compte tenu des difficultés des mesures en bande D (110-170GHz). Suite aux résultats expérimentaux obtenus, conformément à ceux de simulations pour cette topologie, la conception et les résultats de simulations de cette fonction à 140 GHz seront détaillés. Ensuite la conception et l'implémentation de l'amplificateur faible bruit (LNA) utilisé par la suite dans la chaîne de réception seront présentées. Dans une troisième partie, la conception, l'implémentation et la caractérisation des différentes parties de l'émetteur seront expliquées. Tout d'abord un oscillateur à modulation interne sera étudié. Ensuite, la solution d'un oscillateur à modulation externe associé à un modulateur sera présentée. Dans une dernière partie, la conception et l'implémentation de l'amplificateur de moyenne puissance permettant d'obtenir la puissance de sortie désirée pour une communication puce à puce seront détaillées.

Le quatrième chapitre est dédié à la conception et la caractérisation des deux démonstrateurs complets qui ont donné lieu à une transmission de données à des débits atteignant 14Gbps à une distance de 0.6mm. Pour effectuer cette communication puce à puce, dans une première partie, des antennes dipôles permettant d'obtenir des systèmes complètement intégrés de très faible encombrement ont été conçues et caractérisées. Après la caractérisation de ces antennes seules en réflexion et en transmission, la conception et la caractérisation de l'émetteur complet et du récepteur complet seront présentées. Le chapitre se terminera par la présentation des résultats expérimentaux de liaisons puce à puce à 140GHz.

# Chapitre I : Contexte et architecture proposée

---

## I.1 Introduction

La loi de Moore est une loi dictée dans les années 1970 selon laquelle le nombre de transistors des microprocesseurs double tous les deux ans. Cette prédiction aura aussi pu exalter à certains moments le marché des semi-conducteurs afin que cette loi reste satisfaite. Néanmoins, ces dernières années, l'évolution des nœuds technologiques ainsi que la vitesse de calcul des processeurs ne suit plus la prédiction de cette loi. Pour augmenter les performances en termes de vitesse de calcul, les fabricants ont désormais recours à la mise en parallèle comme l'utilisation de plusieurs cœurs et l'intégration de plus en plus poussée de fonctions supplémentaires. Ainsi les transferts de données intra-puces avoisinent désormais le Tb/s [1]. Ceci nécessite une augmentation en conséquence des données transmises entre les puces afin de ne pas limiter les performances globales des systèmes. Comme illustré Figure I-1, les débits de données des entrées sorties des puces avoisinent aujourd'hui les 20Gbps et l'ITRS (International Technology Roadmap for Semiconductors) prévoit ainsi une augmentation exponentielle des débits de données des entrée-sorties des puces.

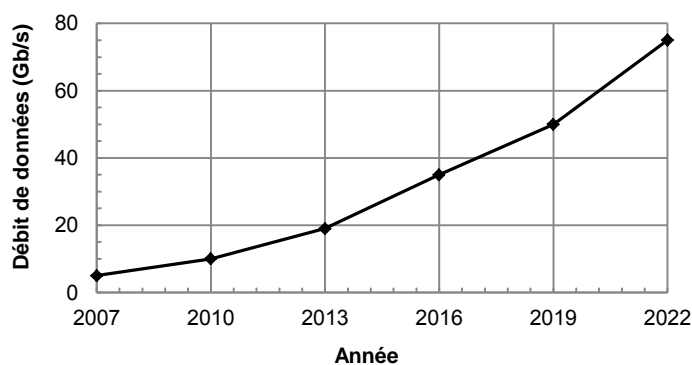


Figure I-1 : Projections de l'ITRS de l'évolution des débits de données de l'ensemble des entrée-sorties des puces

La première partie de ce chapitre présentera la problématique des liaisons inter-puces haut débit sans fil et du test sans contact de puces. Les différents systèmes de communication sans fil existants pour ce type de liaison seront étudiés dans la seconde partie. Enfin, une étude des architectures les plus adaptées à un système de communication très haut débit sera effectuée, elle permettra de fixer les premières caractéristiques du système qui sera réalisé au cours de ces travaux de recherche.

## I.2 Problématique

Pour répondre aux besoins croissants de débits de données, les travaux de recherches ont porté sur l'étude et le développement de systèmes de communication sans fils très haut débit permettant :

- D'améliorer voire supplanter les liaisons filaires pour des communications courtes distances : limitation des transitions (puce-board-puce), débit de données accru, coût d'implémentation inférieur, système plus flexible et reconfigurable.
- De tester des puces en sortie de productions sans contact : gain de rapidité, plus de problème de « pose de pointes » et reconfiguration optimale.

### I.2.1 Liaisons inter-puces haut débit

Afin d'illustrer le phénomène de limitation du débit des entrées sorties ( $N_{IO}$ ), le produit  $N_{IO} \times BP$  ( $BP$  la bande passante d'entrée/sortie) peut être introduit. Ainsi pour accroître la vitesse de transfert de données entre puce, le nombre d'entrée-sorties des puces  $N_{IO}$  doit augmenter ainsi que la bande passante  $BP$  de chacune. Cependant, des critères vont limiter le nombre d'entrée sortie  $N_{IO}$  tels que la mise en boîtier, la taille des plots difficilement réductibles (actuellement de l'ordre de  $40 \times 40 \mu m^2$  pour les derniers processeurs destinés à la téléphonie mobile), les connexions de la puce au sein du boîtier. Aujourd'hui, les puces les plus complexes ont jusqu'à 1000 plots sur  $1 cm^2$  : les deux tiers sont des alimentations DC et des masses, le tiers restant est utilisé pour recevoir et transmettre les données. Par ailleurs le débit de données de chaque entrée-sortie est limité par la bande passante du canal. Ce canal est notamment détérioré par les transitions (puce-boîtier-PCB...) et les contraintes de routage des pistes PCB. Les connexions agissent comme des filtres et pour compenser les pertes à certaines fréquences, des circuits complexes d'égalisations sont utilisés au détriment de la consommation [5]-[7]. Le routage des pistes PCB est aussi de plus en plus complexe pour égaliser les temps de parcours le long des bus parallèles, comme illustré Figure I-2.

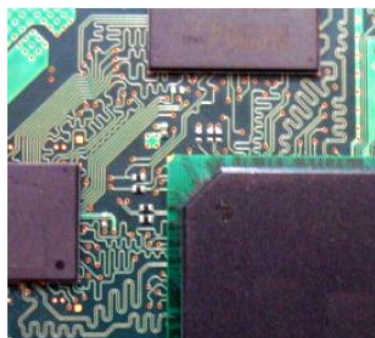
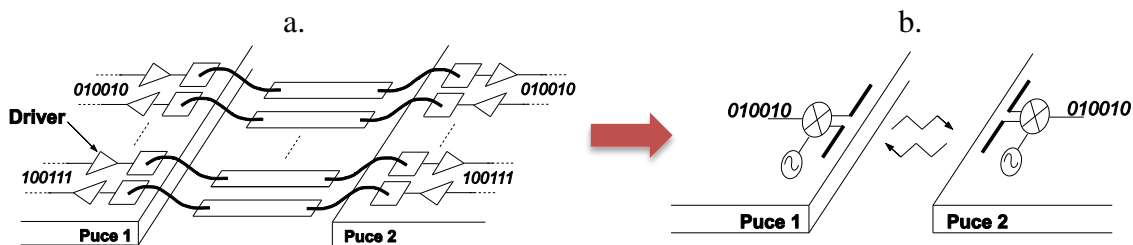


Figure I-2 : Exemple d'égalisation des pistes PCB entre puces

En plus de l'accroissement des débits de données, le rendement énergétique des communications inter-puce devient un critère de plus en plus important. Il répond autant à une exigence technique réelle qu'à une prise de conscience collective et une obligation légale

qui participent à la tendance actuelle et à venir de diminuer de la consommation des circuits intégrés. Ce dernier point est en contradiction avec l'augmentation des débits de données qui nécessitent des adaptations d'impédance large bande et des grandes vitesses de commutations. L'ITRS fixe un objectif de consommation des entrée-sorties à 0,5mW/Gb/s soit 0.5pJ/bit pour 2015.

Avec l'émergence des circuits en gamme de fréquences millimétriques, un système de communication puce à puce sans fil totalement intégré est envisageable. Un tel système pourrait remplacer plusieurs entrée-sorties, comme les schémas Figure I-3 l'illustrent et offrir un débit de données accru pour une consommation réduite en supprimant les contraintes de bande passante liées aux transitions. Les coûts de mise en boîtier et de routage des cartes PCB seraient alors diminués. Un système de communication sans fil permettrait aussi une plus grande flexibilité et l'obtention de systèmes reconfigurables. Une étude [8] démontre que le réseau de communication d'un système sur puce (SoC) serait amélioré par l'utilisation de concentrateurs (hubs) sans fil. Le gain serait significatif sur la diminution des temps de latences pour des distances supérieures à 1cm.



Plusieurs défis sont néanmoins à relever avant l'émergence de système de communication inter-puce sans fil. En premier lieu, l'intégration des antennes sur substrat silicium. En deuxième lieu, la cohabitation de plusieurs systèmes de communication sur une même puce ou dans l'environnement proche.

## I.2.2 Test des puces sans contact

Malgré les marges de conception prises par les équipes d'industrialisation des produits/puces, certaines puces seront finalement défectueuses à la sortie de la chaîne de fabrication. Les poussières en salle blanche, les déviations des procédés de fabrication ou encore les marges insuffisantes de conception dans certaines conditions, vont amener une étape de tri obligatoire à la sortie de la fabrication des puces. Ce test des puces est une étape primordiale lors de l'industrialisation, il permet d'assurer la fonctionnalité de toute la puce. Pour cela, deux étapes de test sont effectuées par les ATE (Automatic Test Equipment). Le premier test est réalisé directement sur wafer à la sortie de la chaîne de fabrication directement en salle blanche sous atmosphère contrôlée. Une carte à pointes munie de milliers de pointes se pose sur chaque puce pour l'alimenter, puis pour envoyer et recevoir les vecteurs tests sur les entrées sorties. Cette opération dure environ une seconde par puce, et permet d'éviter la mise en boîtier des puces défectueuses. Un second test, appelé test final, est

effectué après la découpe et la mise en boîtier des puces. Des tests plus poussés de vérification de spécifications peuvent ensuite être réalisés sur un échantillon représentatif des puces fabriquées.

Les puces ont une densité de transistors de plus en plus élevée et le coût d'un transistor est de plus en plus faible, mais le coût de test par transistor reste quant à lui quasi constant [4]. Les puces qui ont aujourd'hui jusqu'à 1000 entrée-sorties sur 1cm<sup>2</sup> requièrent des cartes à pointes (Figure I-4a) de plus en plus complexes et onéreuses (coût supérieur à 20 000\$ par carte à pointe). De plus ces cartes sont spécifiques à chaque circuit. D'autre part, la procédure de test ne peut être parallélisée avec cette méthode, c'est pourquoi les temps de test interviennent de manière significative sur le coût de production. Enfin, les pointes s'usent à chaque pose. Les deux principales causes de cette usure sont :

- la forte pression exercée par la station (~10N) pour que toutes les pointes soient en contact avec les plots
- le nettoyage abrasif régulier des pointes pour enlever les petits débris d'aluminium provenant de leurs empreintes dans la métallisation des plots.

Leur durée de vie est de l'ordre de 100 000 poses avant changement. La méthode de test actuelle atteint donc ses limites et une méthode de test sans contact pourrait palier à ces problèmes et accélérer les procédures de test.

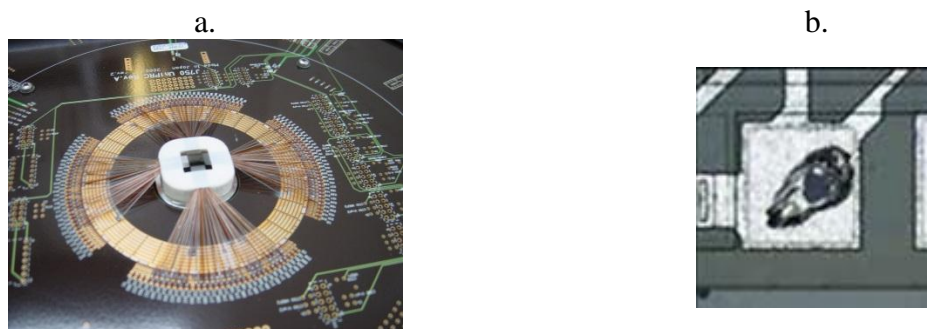
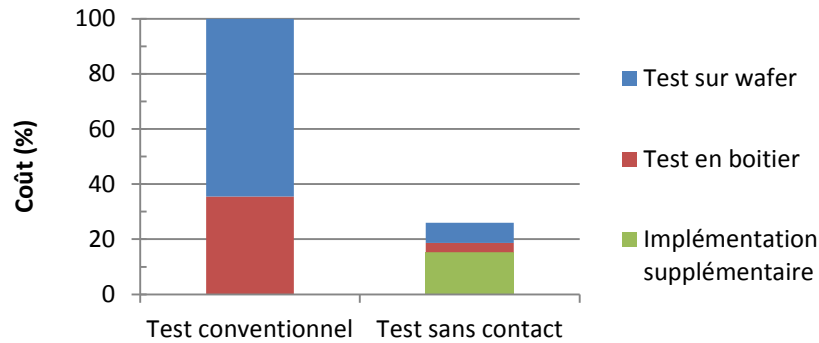


Figure I-4 : a. Carte à pointe pour le test de puce sur wafer ; b. Plot abimé suite au posé d'une pointe de test.

Une étude comparative [9] évaluant les coûts du test sans contact des puces par rapport au test conventionnel, est présentée Figure I-5. Le test sans contact réduirait de près de 75% le coût total du test. Le test sur wafer est l'étape représentant la plus grosse économie réalisée. En effet, la carte à pointe serait remplacée par une puce effectuant l'interface entre la wafer et les signaux de test émis par l'ATE. Cette puce n'aurait pas de contrainte mécanique et donc une durée de vie accrue par rapport aux cartes à pointes. Elle pourrait aussi s'adapter à toutes les topologies de puces à tester. De plus l'opération de test en parallèle pourrait même être envisagée, le temps test serait alors diminué d'autant. Le coût du test final, effectué lorsque la puce est en boîtier, serait aussi réduit. En effet le dispositif de test sans fil permettrait d'envoyer et récupérer les vecteurs de test au cœur de la puce, ce qui aurait notamment un grand intérêt lors de l'assemblage de puce complexe de type SIP (System In Package).



**Figure I-5 : Comparaison du coût des étapes de test entre la méthode conventionnelle (référence) et la méthode sans contact.**

La pose des pointes dégrade également les plots (Figure I-4b), et cela augmente les risques de mauvais assemblage (collage défectueux des fils d'or) lors de l'opération de mise en boîtier ou entraîne la nécessité de prévoir un deuxième plot dédié au test de tri. Le test sans contact est une méthode non intrusive qui permettrait d'augmenter les rendements de production de puces conformes.

Par ailleurs la pose des pointes DC pourrait être remplacée par une alimentation par induction [10]. Deux inductances de tailles différentes sont alors implémentées, la plus grande est utilisée pour transférer l'énergie pour alimenter le circuit et la seconde, plus petite, est utilisée pour communiquer par couplage inductif (ce procédé sera développé dans la partie suivante (I.3.2)).

### **I.2.3 Conclusion**

Un même système de communication courtes distances totalement intégré pourrait adresser les deux applications qui viennent d'être présentées. En effet, pour les deux applications, la solution à développer doit-être :

- Complètement intégrée
- Compact pour minimiser les coûts silicium
- A très haut-débit de données

Les deux systèmes se différencient au niveau de la consommation : pour la communication puce-puce, le système doit être basse consommation alors que cette contrainte peut être relâchée pour le test des puces sur wafer.

## I.3 Communication inter puce

Différentes solutions de communication sans fil pour des transferts de données puce à puce de courtes portées ont déjà été développées. Des travaux ont été effectués dans le domaine optique et dans le domaine électromagnétique. Dans cette partie, les solutions électromagnétiques seront détaillées. Elles ont été regroupées selon le couplage utilisé entre l'émetteur et le récepteur :

- Couplage capacitif
- Couplage inductif
- Couplage électromagnétique

Pour chaque procédé, le principe de fonctionnement est expliqué brièvement et les travaux les plus pertinents sont comparés.

### I.3.1 Couplage capacitif

Les solutions par couplage capacitif utilisent le champ électrique existant entre deux plaques métalliques pour transmettre l'information. Ces deux plaques, représentant une capacité  $C_C$ , sont sur deux puces différentes et doivent être réalisées dans la couche métallique la plus élevée de l'empilement de métaux de la technologie afin de limiter la capacité  $C_{SUB}$  avec le substrat, comme illustré Figure I-6b. Soit  $V_T$  et  $V_R$  les tensions respectivement à la sortie du transmetteur et à l'entrée du récepteur. La tension  $V_R$  s'exprime alors :

$$V_R = V_T \frac{C_C}{C_C + C_{SUB}} \quad (\text{I-1})$$

Les pertes en dB du canal de propagation s'expriment :

$$L_{dB} = 20 \log \left( \frac{h_{SUB}}{h_C + h_{SUB}} \right) \quad (\text{I-2})$$

Avec  $h_{SUB}$  la hauteur entre l'électrode et le substrat et  $h_C$  la distance de communication. Pour les technologies Silicium les plus favorables à cette application,  $h_{SUB}$  est d'environ  $10\mu\text{m}$ . En première approximation, les pertes  $L_{dB}$  sont de -10dB à  $100\mu\text{m}$  et de -40dB à 1mm, ce qui est considérable. A titre de comparaison, les pertes en espace libre pour un couplage électromagnétique sont de 15dB à 140GHz pour une distance de 1mm. Pour compenser ces pertes, la solution peut consister à augmenter la tension  $V_T$ , mais les composants actifs des technologies actuelles acceptent des tensions maximales de fonctionnement de plus en plus faible.



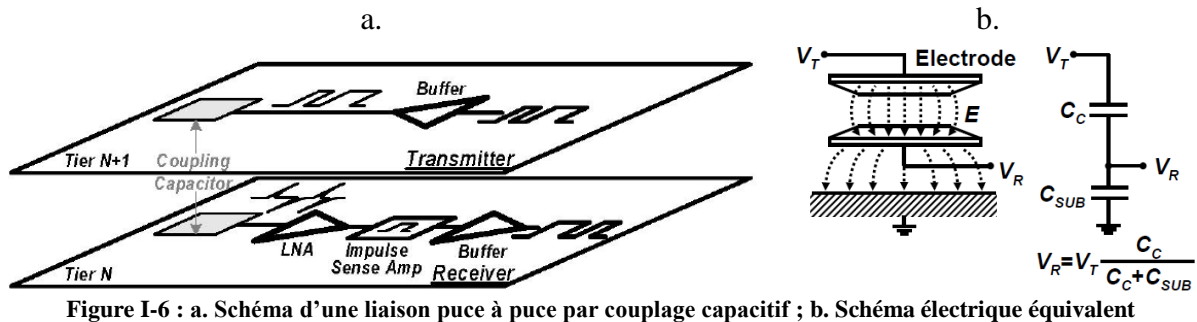


Figure I-6 : a. Schéma d'une liaison puce à puce par couplage capacitif ; b. Schéma électrique équivalent

Une comparaison des travaux existant est réalisée dans le Tableau I-1. Le système de communication [14] atteint un débit de données de 15Gb/s pour une consommation de 0.47pJ/bit et une distance de communication de 4µm.

Référence	[11]	[12]	[13]	[14]
Année	2007	2008	2010	2010
Fréquence porteuse	25GHz	BB	BB	BB
Modulation	ASK	Pulsé	NRZ	NRZ
Débit de données	11Gbps	2.46Gbps	1Gbps	15Gbps
Distance de communication	3µm	<1µm	4µm	4µm
Consommation DC	4.3mW	0.37mW	2mW	7mW
Efficacité énergétique	0.39pJ/bit	0.15pJ/bit	2pJ/bit	0.47pJ/bit
Surface silicium	0.021mm <sup>2</sup>	0.002mm <sup>2</sup>	0.006mm <sup>2</sup>	0.006mm <sup>2</sup>
Technologie	CMOS 0.18µm	CMOS 0.13µm	CMOS 90nm	CMOS 65nm

Tableau I-1 : Comparaison des systèmes de communication puce-à-puce par couplage capacitif

Les systèmes de communication par couplage capacitif sont limités à la configuration où les deux puces sont superposées et très peu éloignées. Etant donné les très courtes distances de communication mise en jeu, ces systèmes nécessitent aussi un alignement précis des deux plaques métalliques [11]. L'utilisation d'une telle liaison est donc très restrictive.

### I.3.2 Couplage inductif

Largement développées dans les systèmes RFID, les solutions par couplage inductif utilisent le champ magnétique entre deux inductances pour transmettre l'information, (cf. Figure I-7). Cette solution peut s'apparenter à un transformateur où chaque inductance est sur une puce distincte. La distance va faire varier la valeur de l'inductance mutuelle et le transfert d'énergie entre les deux spires du transformateur diminuera.

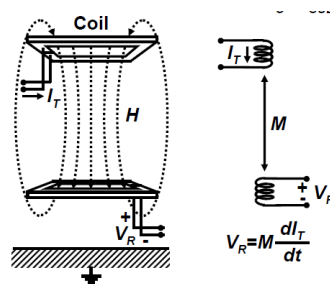


Figure I-7 : Schéma simplifié d'une liaison puce à puce par couplage inductif

Le tableau présente une comparaison des systèmes de communication utilisant ce principe. Un système [16] atteint un débit de données de 11Gb/s pour consommation de 1.4pJ/b et une surface active de 0.015mm<sup>2</sup>. La distance de communication est de 15µm.

Référence	[16]	[17]
Fréquence porteuse	BB	BB
Modulation	Pulsé	Pulsé
Débit de données	11Gbps	12Gbps
Distance de communication	0.015mm	1mm
Surface de l'inductance	0.03mm <sup>2</sup>	15mm <sup>2</sup>
Consommation DC	15mW	NC
Efficacité énergétique	1.4pJ/bit	NC
Surface silicium	0.3mm <sup>2</sup>	0.23mm <sup>2</sup>
Technologie	CMOS 0.18µm	CMOS 90nm

Tableau I-2 : Comparaison des systèmes de communication puce-à-puce par couplage inductif

Cette fois-ci la qualité de la transmission est dépendante du courant traversant les inductances. Les limitations en tension des nouvelles technologies silicium n'est donc plus un frein à cette solution. En revanche, cette solution est une nouvelle fois réservée à la communication entre deux puces l'une sur l'autre et les distances mises en jeu sont de l'ordre de la dizaine de µm. L'alignement des puces doit aussi être précis [11], à titre d'exemple, un désalignement de 15µm entre les 2 inductances provoquent une dégradation de rapport signal sur bruit de plus de 10dB.

### I.3.3 Couplage électromagnétique

Contrairement aux solutions précédentes, les solutions par couplage électromagnétique fonctionnent au-delà de la limite du champ proche, c'est-à-dire pour des distances supérieures à la moitié de la longueur d'onde. Le principal défi réside désormais dans l'utilisation d'une antenne compacte et efficace. Les antennes externes présentent une bonne efficacité, en revanche leur implémentation peut s'avérer coûteuse et peu adaptée à une production de masse. Un exemple de réalisation d'une antenne à l'aide d'un bonding a

démontré d'excellents résultats électriques [18]. Néanmoins la maîtrise de la longueur du bonding ainsi que son orientation dans l'espace vont venir modifier son diagramme de rayonnement. Les antennes intégrées réduisent les coûts d'assemblage et ne nécessitent pas de connexion vers l'extérieur de la puce, elles seraient donc plus adaptées à la communication puce à puce. Intéressons-nous aux performances du substrat Silicium, base de l'antenne intégrée. Il existe deux grandes catégories de substrat semi-conducteur : les substrats III-V, les substrats Silicium. Ces substrats possèdent une permittivité élevée et une résistivité variable selon leur dopage (pureté) ce qui sont des paramètres importants pour la réalisation d'antennes intégrées. Concernant le substrat de type silicium, soit la résistivité est faible pour les applications bulk (semiconducteur sur Silicium massif) classique ou elle est élevée pour les applications Silicium sur Isolant (SOI : Silicon On Insulator). Ainsi les résistivités des substrats Silicium existants vont de quelques dizaines d'Ohms centimètres à plusieurs centaines voire de l'ordre du kilo Ohms centimètres. L'antenne réalisée dans le cadre de la thèse dont la réalisation est détaillée dans le chapitre IV, partie IV.1, a une faible efficacité en raison de la permittivité élevée du substrat silicium ( $\epsilon_r=11.7$ ) et de la faible résistivité ( $10\Omega.cm$ ) et de la faible hauteur de  $SiO_2$ .

Pour pallier à la faible efficacité des antennes sur substrat silicium, des travaux de recherche [18][22] proposent l'utilisation d'un fil d'or, utilisé normalement pour connecter les entrée-sorties de la puce à son boîtier, comme élément rayonnant (Figure I-8). Ces antennes offrent un gain proche de 0dBi sans augmenter les coûts d'implémentation car elles utilisent les techniques standards de mise en boîtier. Cependant, la reproductibilité de cette opération n'est pas assurée pour une production de masse ; la longueur du fil peut varier et par conséquent désadapter l'antenne. D'autre part l'utilisation de ces fils d'or pour la mise en boîtier tend à être minimisée au profit des techniques de collage direct de la puce sur la carte PCB (flip-chip).



Figure I-8 : Photographie de l'utilisation des fils de bonding comme élément rayonnant dans : a. [18] ; b. [22]

Une comparaison des systèmes destinés à la communication puce à puce présentant les débits de données les plus élevés est présentée dans le tableau I-3. La plupart des systèmes utilise une modulation OOK ou ASK, c'est-à-dire une modulation simple ne nécessitant pas de système de synchronisation dans le récepteur (ce point sera détaillé dans la suite de ce chapitre). Le seul système basé sur une modulation QPSK [17] est le système présentant la plus haute consommation qui s'explique par une linéarité supérieure nécessaire et par le système de récupération de la porteuse.

Référence	[17]	[18]	[20]	[21]	[22]	[23]
Fréquence porteuse	60GHz	43GHz	60GHz	60GHz	135GHz	56GHz
Type d'antenne	Cornet	Bonding	Intégrée	Sur résine	Cornet	Sur résine
Gain d'antenne	25dBi	-1.4 dBi	2dBi	6.1dBi	25dBi	0dBi
Modulation	QPSK	ASK	OOK	OOK	ASK	ASK
Débit de données	4Gbps	6Gbps	2Gbps	3.3Gbps	<b>10Gbps</b>	<b>11Gbps</b>
Distance de communication	100cm	4cm	30cm	2cm	10cm	1.4cm
Consommation DC	308mW (138+170)	117mW (57+60)	<b>32mW</b> (26+6)	286mW (183+103)	98mW (18+80)	<b>70mW</b> (29+41)
Efficacité énergétique	77pJ/bit	19.5pJ/bit	16pJ/bit	87 pJ/bit	9.8pJ/bit	<b>6.4pJ/bit</b>
Surface silicium	6.875mm <sup>2</sup>	0.23mm <sup>2</sup>	0.45mm <sup>2</sup>	1.11mm <sup>2</sup> 0.43+0.68	2mm <sup>2</sup> 0.32+1.68	0.11 mm <sup>2</sup> 0.06+0.07
Technologie	CMOS 90nm	BiCMOS 0.18µm	CMOS 90nm	CMOS 90nm	CMOS 40nm	CMOS 40nm
Tension d'alimentation	1.2V	1.5V	1.2V	1.2V	1.1V	1.1V

Tableau I-3 : Comparaison des systèmes de communication puce-à-puce par couplage électromagnétique

Le système de communication [23] est le plus pertinent avec : un débit de données de 11Gbps pour une efficacité énergétique de 6.4pJ/bit, une distance de communication de 14mm et une surface silicium de 0.11mm<sup>2</sup>. Ce système utilise un fil d'or comme élément rayonnant comme cela a déjà été évoqué. Il a aussi été implémenté avec une antenne dipôle externe réalisée sur un substrat plastique [24]. Ce substrat est utilisé comme guide d'onde entre l'émetteur et le récepteur : une communication en duplex avec deux porteuses (57GHz et 80GHz) a alors été établie avec un débit de données de 12.5Gbps dans chaque sens sur une distance de 12cm. La même performance a aussi été réalisée avec cette fois deux pistes en cuivre sur une carte PCB [25]. Cette solution fonctionne avec différents supports de transmission, mais elle n'est pas totalement intégrée.

### I.3.4 Conclusion

Les systèmes de communication utilisant le couplage capacitif ou le couplage inductif pour transmettre les informations présentent des performances remarquables : très haut débit de données, efficacité énergétique très basse (<1pJ/bit) et surface silicium minimale. Leur point faible est leur très courte distance de communication, elle est de l'ordre de 50µm avec un couplage inductif et elle ne dépasse pas 4µm avec un couplage capacitif. Cette courte portée cantonne ces deux technologies à des communications où les puces sont superposées les unes sur les autres. Elles présentent un grand intérêt pour l'assemblage 3D.

En revanche, pour des communications destinées à des puces en vis-à-vis sur un même plan, ou pour des systèmes en boîtier complexe de type SiP (System in Package), seul un système de communication basé sur un couplage électromagnétique est à même de proposer des solutions permettant de remplacer les connexions filaires actuelles.

## I.4 Architecture

Pour répondre aux besoins des deux applications, ces travaux de recherches se sont orientés vers la conception et la réalisation d'un système de communication basse consommation présentant un haut débit de donnée (quelques gigabits/s) complètement intégré et compact. Dans un premier temps, les différents types architectures permettant une communication courte distance et garantissant une basse consommation ont été étudiées. Tout d'abord les différents types de modulations existants seront présentés, ensuite la pertinence des architectures à transmission de porteuse sera étudiée. Suite à cette discussion, l'architecture retenue pour la démonstration sera présentée et le choix de la fréquence d'émission sera discuté. Un bilan de liaison du système attendu sera effectué et servira de base aux circuits réalisés qui seront présentés dans les autres chapitres de ce manuscrit.

Dans tous les systèmes de communication sans fil, une onde est transmise à une fréquence ou sur une bande fréquence donnée. Afin de transporter de l'information et surtout de la récupérer de façon cohérente, un standard de communication est défini afin de filtrer les bandes non désirées et récupérer uniquement les informations voulues.

### I.4.1 Choix de la modulation

#### I.4.1.1 Principe de la modulation

La modulation a pour but d'adapter le signal contenant l'information au canal de transmission. Cette opération consiste à modifier un ou plusieurs paramètres d'une onde porteuse sinusoïdale qui peut s'écrire :

$$S = A \cos(2\pi f_{OL}t + \phi) \quad (I-3)$$

Les trois paramètres sont modifiables : l'amplitude  $A$ , la fréquence  $f_{OL}$  et la phase  $\phi$ . Autant de modulations sont alors possibles. Les modulations de fréquence sont peu utilisées aujourd'hui par leur manque d'efficacité spectrale. En jouant sur la phase ou l'amplitude de  $S$ , il est possible d'obtenir au moins 2 états différents du signal, ces états correspondent alors à une ou plusieurs informations binaires. Généralement, la modulation de phase est décomposée en deux modulations d'amplitude effectuées en quadrature de phase. Les différents états du signal  $S$  sont obtenus par un modulateur IQ, présenté Figure I-9a. La trame binaire  $I$  module la porteuse à la fréquence  $f_{OL}$  en phase et la trame binaire  $Q$  module cette porteuse en quadrature, c'est-à-dire déphasé de  $90^\circ$ . Selon l'amplitude de  $I$  et de  $Q$ , tous les états d'amplitude et de phase peuvent être obtenus.

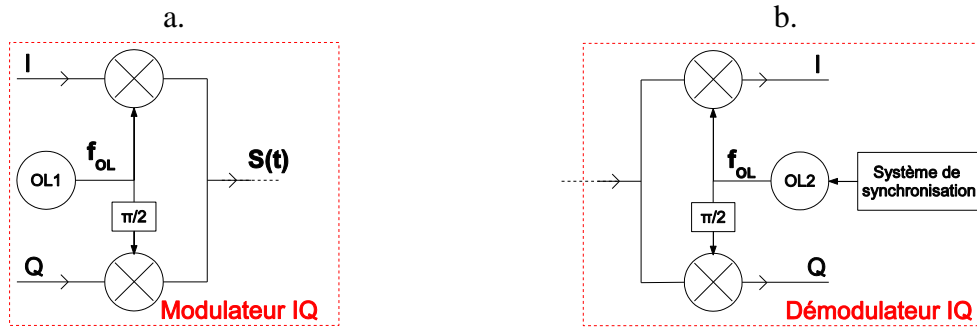


Figure I-9 : Schéma d'un modulateur (a) et d'un démodulateur (b) IQ.

La Figure I-10 résume les constellations des modulations les plus usitées. Les modulations OOK et BPSK sont des cas particuliers où Q est toujours nul. La modulation OOK est une modulation d'amplitude uniquement, les modulations BPSK, QPSK et 8-PSK sont des modulations de phase, et la modulation 16-QAM est une modulation de phase et d'amplitude où 4 informations binaires sont codées sur un symbole. Plus une modulation a d'états différents, plus le nombre d'information par symbole est grand, et donc plus son occupation spectrale sera étroite pour un débit de données constant. Ainsi pour transmettre un débit de données de 10Gbits/s, une modulation OOK occupe 20GHz de bande passante, alors qu'une modulation 16-QAM a besoin de seulement 5GHz. En contrepartie, plus les états différents de la modulation sont proches, plus ils sont difficiles à distinguer, et donc plus le système requiert un rapport signal à bruit élevé ainsi qu'un fonctionnement linéaire. Le Tableau I-4 propose de comparer l'efficacité spectrale et le rapport signal sur bruit minimum requis pour assurer un taux d'erreur par bit (TEB) de  $10^{-6}$ , soit un bit erroné sur un million.

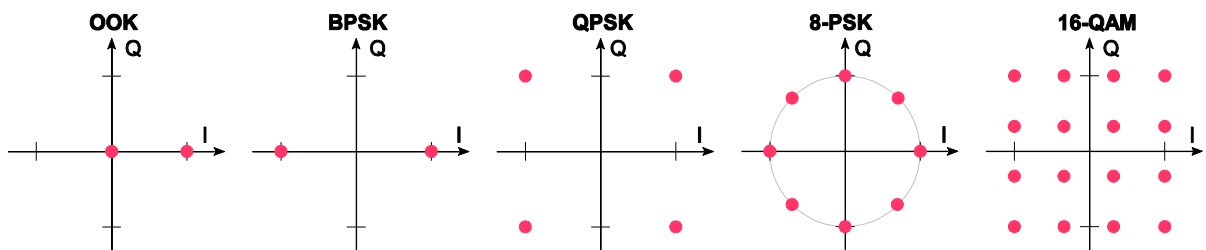


Figure I-10 : Constellations des modulations les plus usitées

Modulation	OOK	BPSK	QPSK	8-PSK	16-QAM
Efficacité spectrale en bits/s/Hz	0.5	0.5	1	1.5	2
S/B pour TEB= $10^{-6}$	14.2dB	12dB	13.7dB	18.9dB	20.7dB

Tableau I-4 : Efficacité spectrale et signal sur bruit minimum pour un BER de  $10^{-6}$  des modulations les plus usitées

La démodulation s'effectue comme la modulation, c'est-à-dire par la multiplication du signal reçu par une sinusoïde ayant la même fréquence et la phase que le signal ayant servi à la modulation, un démodulateur IQ est présenté sur la Figure I-9b. Un filtrage passe bas est ensuite nécessaire pour supprimer les fréquences non désirées. Seule la modulation OOK peut être démodulée par une simple détection d'enveloppe. La plupart des modulations nécessitent un système de synchronisation de l'oscillateur local sur la porteuse. Plusieurs techniques de récupération de porteuse existent, notamment en utilisant une boucle de Costas ou en utilisant un opérateur quadratique et une boucle à verrouillage de phase (PLL : Phased Locked Loop).

### I.4.1.2 Architecture à transmission d'OL

Les systèmes de communication conventionnels utilisant une modulation de phase requièrent l'utilisation d'un système de synchronisation de l'oscillateur local sur la fréquence du signal reçu. Ces systèmes de synchronisation le plus souvent à base de PLL sont complexes à mettre en œuvre aux fréquences millimétriques et sont énergivores. Une architecture basée sur la transmission de la porteuse, ajoutée au signal RF contenant l'information, permet de s'affranchir de l'utilisation d'une fréquence de mélange en gamme de fréquence millimétrique et d'un système de synchronisation en réception.

#### I.4.1.2.1 Self-hétérodyne

Les systèmes dit « self-hétérodyne » permettent de s'affranchir du bruit de phase de l'oscillateur local en émettant à la fois le signal RF ainsi que la porteuse. La porteuse émise est effectivement fortement corrélée en phase avec le signal RF contenant l'information. Ainsi, à la réception, la multiplication de ces deux signaux permet de retrouver un signal à la fréquence  $f_{IF}$  dépourvu du bruit de phase de la porteuse. Ce signal OL est soit additionné au signal RF par un coupleur [26], soit issu des pertes d'isolation du mélangeur [27]. Leur intérêt réside avant tout en gamme de fréquences millimétriques où d'une part les PLL sont complexes à mettre en œuvre et représentent une grande partie de l'énergie consommée, et d'autre part jusqu'ici, la bande spectrale autorisée est large. L'architecture d'un système self-hétérodyne est présentée Figure I-11.

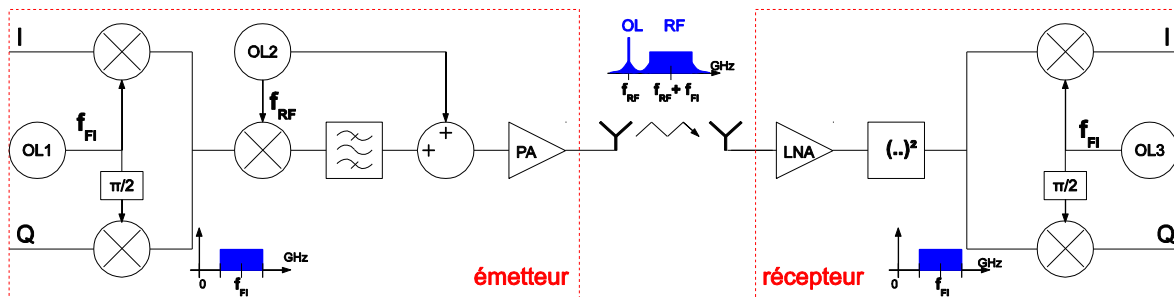


Figure I-11 : Architecture self-hétérodyne

Les explications suivantes sont basées sur une modulation QPSK, mais elles sont aussi valables pour toutes les modulations en quadrature de phase. Les données I et Q sont d'abord modulées à la fréquence intermédiaire  $f_{IF}$ . Le signal  $S_1$  peut s'écrire :

$$S_1 = A \cos(2\pi f_{IF}t + \phi_{IF} + \phi_{k,T}) \quad (I-4)$$

Avec  $\phi_{IF}$  le bruit de phase de l'oscillateur  $OL_1$  et  $A$  l'amplitude de  $S_1$ .  $\phi_{k,T}$  la phase de la modulation quadratique définit pour une modulation QPSK par :  $k=\pi/4$

$$\phi_{k,T} = \frac{\pi}{4} + \frac{\pi}{2}k \quad (I-5)$$

Avec  $k$  pouvant prendre les valeurs (0 ; 1 ; 2 ; 3) au rythme du temps symbole  $T$  selon les états des bits d'entrée  $I$  et  $Q$ .  $S_2$  s'exprime alors :

$$S_2 = A \cos(2\pi(f_{RF} + f_{IF})t + \phi_{RF} + \phi_{IF} + \phi_{k,T}) + A \cos(2\pi(f_{RF} - f_{IF})t + \phi_{RF} + \phi_{IF} + \phi_{k,T}) \quad (I-6)$$

Avec  $\phi_{RF}$  le bruit de phase de l'oscillateur  $OL_2$ . Le signal image est alors filtré et la porteuse à la fréquence  $f_{RF}$  est additionnée. Le signal reçu s'exprime alors :

$$S_3 = RF + SC = A' \cos(2\pi(f_{RF} + f_{IF})t + \phi_{RF} + \phi_{IF} + \phi_{k,T} + \phi_0) + B' \cos(2\pi f_{RF}t + \phi_{RF}) \quad (I-7)$$

Les deux composantes du signal émis n'ont pas la même fréquence. Leurs vitesses de phase seront alors différentes sur le parcours entre l'émetteur et le récepteur situé à une distance  $d$ . Un déphasage  $\phi_0$  existera donc entre ces deux composantes. Ce déphasage s'exprime :

$$\phi_0 = 2\pi\Delta f \frac{d}{C} \quad (I-8)$$

Avec  $C$  la célérité de la lumière et  $\Delta f$  la différence de fréquence entre les deux composantes, soit ici,  $f_{IF}$ . Le signal reçu subit alors une détection quadratique. Après filtrage passe bas, le signal  $S_4$  s'écrit :

$$S_4 = S_3^2 = A' B' \cos(2\pi f_{IF}t + \phi_{IF} + \phi_{k,T} + \phi_0) \quad (I-9)$$

La contribution du bruit de phase  $\phi_{RF}$  de l'oscillateur  $OL_2$  n'a pas d'influence sur le signal  $S_4$ . Les données  $I$  et  $Q$  sont alors obtenues après une démodulation IQ classique.

Le bruit de phase des oscillateurs évolue en fonction du carré de la fréquence, ce type d'architecture qui permet de s'affranchir du bruit de phase du deuxième oscillateur ( $OL_2$  sur la Figure I-11), présente donc un grand intérêt en gamme de fréquence millimétrique. En revanche, il est nécessaire d'effectuer la démodulation IQ en phase avec le signal reçu à la fréquence  $f_{IF}$ . Pour cela un système de synchronisation est requis.

En partant du principe de la transmission de la fréquence de l'oscillateur local, une nouvelle architecture a été développée durant ces travaux de recherche. Elle permet d'une part de palier tout besoin de système de synchronisation et d'autre part de réduire la large occupation spectrale due à la transmission de l'OL en dehors de la bande fréquentielle utilisée par les données.

#### I.4.1.2.2 Self-homodyne

Pour s'affranchir de tout système de synchronisation, une nouvelle architecture a été développée. L'intérêt de transmettre la porteuse est grand afin de limiter les problèmes de réalisation de systèmes de synchronisations. Cette architecture, nommé « self-homodyne », est basée sur la transmission dans deux canaux de propagation distincts respectivement de la porteuse OL et des informations RF. Ceci est rendu possible en tirant profit de l'isolation



entre la polarisation verticale et horizontale de deux antennes pour transmettre, de manière indépendante, la porteuse  $S_{OL}$  et le signal utile  $S_{RF}$ . La topologie est décrite Figure I-12.

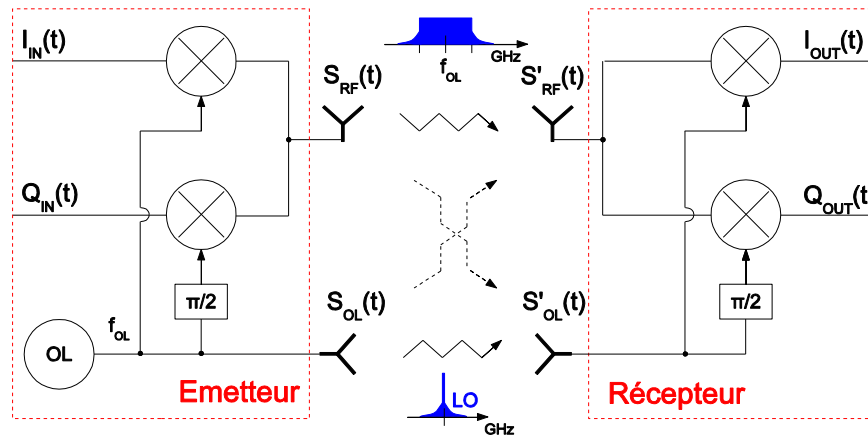


Figure I-12 : Architecture self-homodyne simplifiée

L'émetteur est constitué d'un modulateur IQ classique. Les données I et Q sont directement transposées autour de la fréquence d'émission  $f_{OL}$ . Contrairement à un système conventionnel, la porteuse est émise sur la polarisation orthogonale du signal  $S_{RF}$ . Le récepteur possède lui aussi deux antennes dont les polarisations sont orthogonales. Le signal  $S'_{RF}$  peut alors être directement démodulé par  $S'_{LO}$ , car ces deux signaux sont corrélés et parfaitement en phase.

Cette topologie fonctionne grâce à l'isolation qu'il existe entre deux polarisations orthogonales d'ondes. C'est le cas notamment sur des dipôles, doublet, antennes patch pour lesquelles le rayonnement dans le plan perpendiculaire au doublet est nul. Elle est donc adaptée pour des communications courtes portées où il est possible de prédire l'orientation du récepteur par rapport à l'émetteur. D'autre part, nous avons mené une étude, présentée en annexe, afin de quantifier la dégradation de l'EVM en fonction de l'isolation des canaux de transmission orthogonaux. En effet, un désalignement entre les deux antennes va entraîner la réception des deux signaux  $S_{RF}$  et  $S_{OL}$ . Cette imperfection va se traduire par une dégradation de l'isolation entre les antennes. Ainsi l'expérimentation de ce tilt montre qu'il est relativement facile d'obtenir une isolation entre les antennes d'au moins 15dB ce qui implique un EVM de l'ordre de 3.2%. L'annexe 2 présente une démonstration analytique de la dégradation de l'EVM en fonction de l'isolation entre les deux canaux de propagation orthogonaux.

Les deux antennes peuvent, par exemple, être deux antennes dipôles perpendiculaires. Celles-ci peuvent être intégrées et placées dans un angle d'une puce afin de minimiser l'encombrement. Il est aussi possible de réaliser cette polarisation orthogonale avec une seule antenne patch en utilisant chaque polarisation indépendamment. Le système fonctionnerait alors avec une seule antenne. Des mesures de l'isolation entre les deux polarisations ont été réalisées avec deux antennes patches à 10GHz. A 40cm, l'isolation est de 20dB. Bien qu'il faille étudier de manière plus approfondie les antennes en gamme de fréquences millimétriques, ces résultats valident la faisabilité d'un tel système.

Si l'on observe le spectre total de sortie d'émission, une forte partie de l'énergie de se trouve concentrée au niveau de la fréquence de l'OL. Ceci provient du fait que le signal OL

côté réception doit être suffisamment élevé pour permettre la démodulation. Les gabarits spectraux ne sont alors plus respectés. Afin de conserver les avantages de cette architecture, il faut impérativement pallier à ce problème rédhibitoire.

Une amélioration a donc été apportée afin de rendre cette topologie conforme aux normes spectrales. Le principe est de répartir l'énergie de la porteuse sur une large partie du spectre, ceci est réalisé en modulant en phase la porteuse au rythme de données aléatoires. La nouvelle architecture est détaillée sur la Figure I-13.

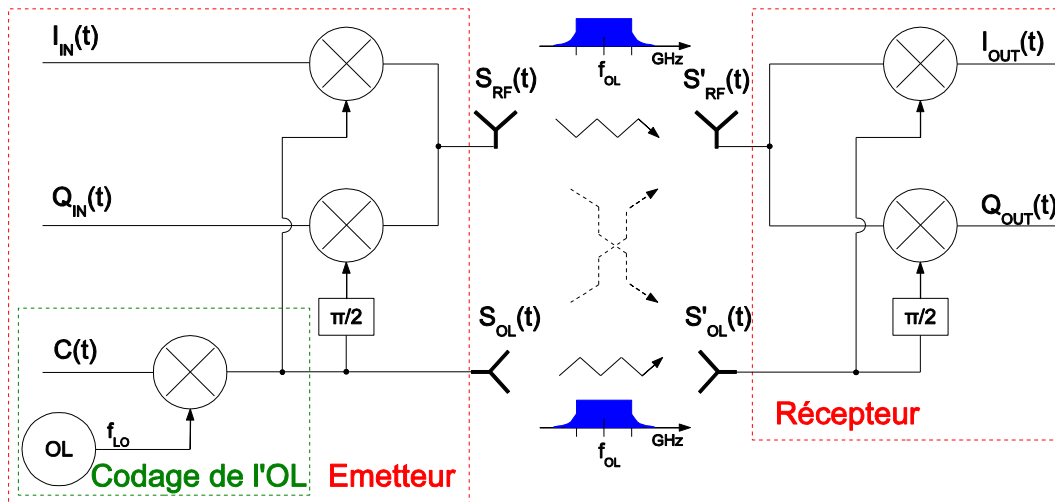


Figure I-13 : Architecture self-homodyne simplifiée avec le codage de l'OL

$C(t)$  représente une trame de données aléatoires ayant un temps symbole plus grand ou égal au temps symbole de  $I_{IN}(t)$  et  $Q_{IN}(t)$ . Plus le débit de données  $C(t)$  est élevé est plus l'énergie du signal  $S_{OL}(t)$  sera répartie sur le spectre. Le cas optimum est lorsque  $C(t)$  à le même temps symbole que  $I_{IN}(t)$  et  $Q_{IN}(t)$ , les deux spectres des signaux  $S_{OL}(t)$  et  $S_{RF}(t)$  sont alors identiques.

Une particularité tout à fait intéressante (qui n'a pas été exploité ici), puisque pour créer  $C(t)$  dans ce cas, il est possible d'utiliser directement l'une des entrées  $I_{IN}(t)$  ou  $Q_{IN}(t)$ . En réception,  $S'_{RF}(t)$  et  $S'_{OL}(t)$  sont toujours corrélées, et la démodulation peut se faire directement comme précédemment. Ce codage de l'OL permet de respecter n'importe quel gabarit spectral et peut aussi être vu comme un moyen de cryptage des données. En effet, le signal  $S_{RF}(t)$  est complètement crypté, il ne peut être décodé que par le signal  $S_{OL}(t)$ .

Une telle architecture présente beaucoup d'avantages : conversion directe, possibilité d'effectuer une modulation IQ, absence d'oscillateur au niveau du récepteur, possibilité d'utiliser un oscillateur à l'émission avec des contraintes relâchées au niveau de la stabilité et du bruit de phase. Le point limitant de cette architecture est l'obtention de deux polarisations distinctes du champ électrique. Ceci peut être réalisé, par exemple, avec deux antennes dipôles. Il est aussi possible de n'utiliser qu'un seul élément rayonnant en excitant deux polarisations croisées d'une antenne patch par exemple.

Cette nouvelle topologie a fait l'objet d'un dépôt de brevet.

Pour le système visé, les antennes seront intégrées à la puce et la surface silicium occupée par l'ensemble du système est un paramètre à minimiser. Ainsi, l'implémentation de deux antennes dipôles ou une antenne patch dans l'émetteur et le récepteur est à éviter.

### I.4.1.3 Conclusion sur le choix de la modulation

Afin de minimiser la surface silicium et la consommation du système de communication, une modulation OOK a été retenue.

## I.4.2 Choix de la bande de fréquence

Cinq raisons ont guidées le choix de centrer le système de communication autour de 140GHz.

► Tout d'abord, la modulation OOK présente une faible efficacité spectrale, 0.5bit/s/Hz. L'objectif étant d'atteindre des débits de données de l'ordre de 10Gbits/s, la bande passante doit donc être d'au moins 20GHz. D'autre part, la conception d'un système de communication et des antennes est d'autant plus aisée que le ratio de la bande passante sur la fréquence porteuse est faible. En effet, moins les adaptations d'impédance sont considérées larges bandes, plus elles seront simples à mettre en œuvre et moins elles présenteront de pertes. Obtenir 20GHz de bande passante à 140GHz représente un ratio de 14%.

► Deuxièmement, la taille des antennes couramment utilisées correspond à la longueur d'onde guidée divisée par deux. Sur silicium, des antennes centrées à 10GHz, 60GHz et 140GHz mesurent respectivement 7.1mm, 1.2mm et 0.5mm. D'autre part, la même règle s'applique sur les réseaux d'adaptation d'impédance du circuit : lignes de transmission, inductances et capacités. Donc plus la fréquence de communication sera élevée plus la surface silicium des antennes et du circuit sera minimisée.

► Troisièmement, les pertes en espace libre sont définies par l'équation de Friis qui s'écrit :

$$L_{dB} = 20 \log \frac{\lambda}{4\pi D} \quad (I-10)$$

Avec  $\lambda$  la longueur d'onde et  $D$  la distance entre les 2 antennes. Les pertes en espace libre sont tracées sur la Figure I-14 en fonction de la distance pour les fréquences 60, 80 et 140GHz. A 140GHz, les pertes sont environ de 5dB de plus qu'à 80GHz et de 7dB de plus qu'à 60GHz. La forte atténuation du signal à cette fréquence permet d'envisager une réutilisation de la bande de fréquence à proximité.

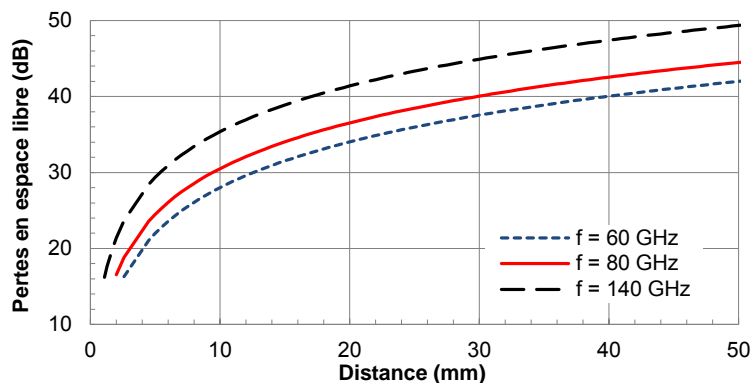


Figure I-14 : Pertes en espace libre du canal de transmission

► Quatrièmement, la bande-D, 110-170GHz, n'est pas règlementée à l'heure actuelle.

► Enfin, la dernière raison qui a conduit à se positionner à 140GHz, et non à 120GHz, concerne les bancs de mesures disponibles à l'IEMN. En effet, l'équipe de caractérisation possède un banc de paramètres-S "Agilent Technologie XF" couvrant la plage 0-110GHz et un banc de paramètres-S bande G couvrant la plage 130-220GHz. De ce fait, la bande de fréquence 105-135GHz est à éviter.

### I.4.3 Présentation du système de communication OOK

La modulation OOK a été retenue pour ce système de communication pour les nombreux avantages qu'elle offre : système de synchronisation et oscillateur local en réception non nécessaires, modulation simple à mettre en œuvre, contraintes relâchées sur le bruit de phase de l'oscillateur d'émission, contraintes de linéarité relâchées. Tous ces avantages contribuent à diminuer la consommation du circuit.

L'architecture OOK est présentée Figure I-15. Afin de réduire la consommation du transmetteur, un oscillateur à modulation interne est utilisé. Ainsi, la consommation de ce bloc est divisée par deux par rapport un ensemble constitué d'un oscillateur et d'un mélangeur réalisant la même fonction. En effet, lorsqu'un bit d'entrée est à l'état '0', la consommation est nulle.

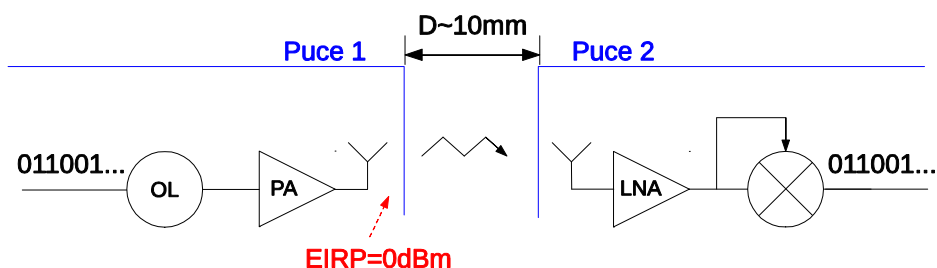


Figure I-15 : Architecture OOK du système de communication puce-à-puce proposé

#### I.4.4 Bilan de liaison et estimation des performances des blocs constituant le système d'émission-réception haut débit en gamme de fréquence millimétrique.

Les simulations et mesures d'une antenne dipôle à 79GHz, réalisée dans la même technologie BiCMOS, présentent un gain de -6,8dBi [29]. D'autre part, au regard des performances des amplificateurs de puissances déjà réalisés, une puissance isotrope rayonnée équivalente (EIRP) de 0dBm en sortie d'émetteur peut être envisagée.

D'autre part, les performances visées pour le récepteur, au regard des récepteurs aux fréquences millimétriques déjà publiés, sont un facteur de bruit inférieur à 10dB et un gain supérieur à 25dB. Ces performances peuvent être obtenues pour des spécifications pour les différentes parties du récepteur de la façon suivante (cf. Tableau I-5) :

	LNA	Démodulateur	Récepteur
Gain	25dB	0dB	25dB
Facteur de bruit	9dB	20dB	9.2dB

Tableau I-5 : Tableau des performances visées du récepteur

Le taux d'erreurs par bit (BER : Bit Error Rate) en fonction du rapport signal sur bruit par bit ( $E_b/N_0$ ) est donné pour une modulation OOK par [30]:

$$\text{BER} = \frac{1}{2} \exp\left(-\frac{E_b}{2N_0}\right) + \frac{1}{4} \operatorname{erfc}\left(\sqrt{\frac{E_b}{2N_0}}\right) \quad (\text{I-11})$$

Et le rapport signal sur bruit par bit en sortie du récepteur est obtenu par :

$$\frac{E_b}{N_0} = 2\text{SNR}_{\text{OUT}} = 2(\text{EIRP} + L_{\text{dB}} + G_a - F_r - 10 \log(P_{\text{TH}}) - 10 \log(B)) \quad (\text{I-12})$$

Avec  $L_{\text{dB}}$  les pertes en espace libre définies par l'équation (I-10),  $G_a$  le gain de l'antenne (ici -7dBi),  $F_r$  le facteur de bruit du récepteur (ici 10dB),  $P_{\text{TH}}$  le bruit thermique (ici -173dBm) et  $B$  la bande passante.

A l'aide des équations (I-11) et (I-12), le BER du système en fonction de la distance de communication et du débit de données est estimé et déterminé Figure I-16. Une marge de 6dB a été ajoutée au rapport signal sur bruit afin d'être plus proche de la réalité car beaucoup de facteurs ne sont pas pris en compte dans l'équation du bilan de liaison : perturbations électromagnétiques de systèmes à proximité, humidité de l'air, multi-trajets, linéarité...

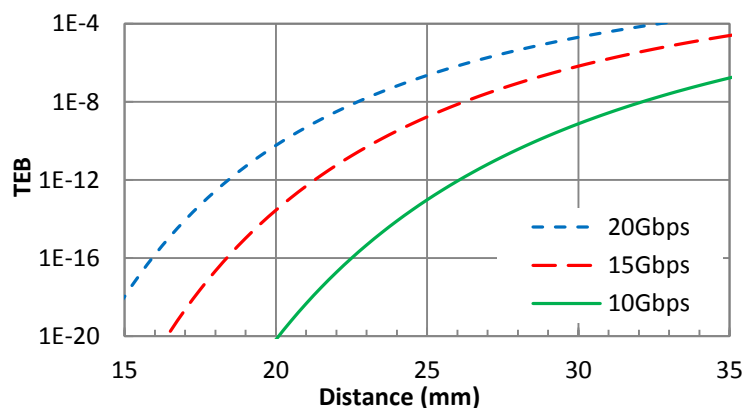


Figure I-16 : Estimation du BER du système en fonction de la distance de communication et pour différents débits de données

Du fait que ce lien puce-à-puce ne nécessite pas de système de correction d'erreurs, souvent très lourd à mettre en place, la communication devra se faire sans erreur. Ceci est considéré être le cas lorsque le taux d'erreur par bit est inférieur à  $10^{-12}$  (1 erreur pour 1000 milliards de bits). Ce taux d'erreur est atteint en modulation OOK lorsque le rapport signal à bruit en sortie du récepteur est de 17dB. Et d'après la Figure I-16, le système devrait avoir une distance de communication supérieure à 10mm avec un débit supérieur à 10Gbps en respectant un  $BER < 10^{-12}$ .

D'autre part, pour que ce système soit compétitif, il doit avoir une énergie par bit inférieure à 6.7pJ/bit [23][22]. Ceci autorise une consommation maximale du circuit de 67mW pour un débit de 10Gbps et 134mW pour un débit de 20Gbps.

## I.5 Conclusion

Ce chapitre a détaillé le besoin actuel et futur de systèmes de communication puce à puce de courtes portées pour :

- améliorer voire supplanter les connexions filaires actuelles : débit de données accru, coût d'implémentation inférieur et système potentiellement reconfigurable.
- remplacer les cartes à pointes nécessaires au test des puces sur wafer en sortie de productions. Un test sans contact permettrait une plus grande rapidité de mesure, de résoudre le problème du posé des pointes et une reconfiguration optimale.

Actuellement, les systèmes de communications puce à puce sans fil font l'objet de nombreux travaux de recherche avec trois différentes approches. Les couplages capacitif et inductif entre l'émetteur et le récepteur ont été écartés à cause de la trop faible distance de communication qu'ils offrent. Le choix s'est alors porté sur un système radiofréquence conventionnelle utilisant des antennes pour effectuer un couplage électromagnétique.

Une architecture de communication simple à modulation OOK a été retenue et les différents blocs du système complet ont été dimensionnés. La conception et la réalisation des blocs de l'émetteur et du récepteur seront expliquées dans les autres chapitres. Le circuit devra répondre au cahier des charges suivant : portée  $\geq 10$  mm, débit  $> 10$  Gb/s avec un BER  $10^{-12}$  et une consommation énergétique inférieure à 100 mW.

Par ailleurs une topologie self-homodyne a été étudiée et validée expérimentalement. Elle n'a pas été retenue pour la suite des travaux de recherche car elle a été jugée non pertinente pour l'objectif fixé de minimisation de la surface silicium du circuit. Elle a cependant donné lieu à un dépôt de brevet.





## Chapitre II : Composants actifs et passifs de la technologie et méthodologie de conception

---

---

La première partie de ce chapitre présentera la technologie BiCMOS SiGe :C 0.13 $\mu$ m retenue pour la conception du démonstrateur. Dans un premier temps, le choix de la technologie sera justifié. Ensuite les performances des transistors bipolaires seront présentées en s'appuyant sur des simulations et des mesures. Enfin, les composants passifs utilisés lors de la conception des circuits du démonstrateur seront détaillés. Pour les besoins de la conception de circuit en gamme de fréquences millimétriques, des composants non proposés dans les librairies de la technologie ont dû être conçus, simulés et caractérisés : capacités MIM et MOM, inductances et transformateurs.

La deuxième partie de ce chapitre présentera la méthodologie de conception développée durant ces travaux de recherche. Différents choix retenus pour la conception des circuits seront expliqués : privilégier les topologies de circuits différentielles et réaliser les adaptations d'impédance par des éléments localisés. Ce dernier choix a notamment permis l'implémentation de circuits compacts.

### II.1 Choix de la technologie

La communication puce à puce très haut débit est avant tout destinée à une intégration dans des circuits digitaux performants exigeants d'importants débits de données. Un tel système doit donc, à terme, être réalisé en technologie CMOS avancée. Cependant dans une phase de recherche et d'étude de faisabilité, la technologie 0.13 $\mu$ m bipolaire à hétérojonction (TBH) en Silicium Germanium (SiGe) a été retenue pour la réalisation d'un premier circuit. La motivation première de ce choix technologique est la plus grande accessibilité au silicium (MPW) permettant ainsi d'envoyer un plus grand nombre de contribution durant ces travaux de thèse.

Pour un même nœud technologique, les technologies BiCMOS présentent des performances nettement supérieures aux technologies CMOS. L'avantage d'intégrer le transistor bipolaire dans un nœud technologique avancé est de bénéficier de la lithographie des transistors MOS pour les transistors bipolaires. La structure verticale des transistors bipolaires par rapport à la structure horizontale des transistors MOS explique en grande partie cette différence de performances. Cette verticalité permet d'obtenir une zone active (la base pour le transistor bipolaire et le canal pour le transistor MOS) bien plus fine que la longueur minimale du canal définissant le nœud technologique. De plus, l'uniformité du dopage de cette zone est mieux contrôlée, il est ainsi possible de la doper davantage. Il en résulte que les

porteurs de charges transitent beaucoup plus vite dans la base des transistors bipolaires que dans le canal des transistors MOS. Ainsi, pour un même nœud technologique, la filière BiCMOS présente des transistors bipolaires fonctionnant à des fréquences nettement supérieures aux transistors de cette même filière CMOS [31] comme illustré Figure II-1a. A titre d'exemple, le transistor bipolaire de la technologie 0.13 $\mu\text{m}$  SiGe possède une fréquence de transition de l'ordre de 230GHz, soit la même que le transistor MOS de la technologie CMOS 45nm.

Par ailleurs, les tensions de claquage, correspondant à la tension maximale supportée par le composant avant claquage (généralement par effet avalanche), sont nettement plus élevées pour le transistor bipolaire (~1.6V pour cette technologie) que pour le transistor MOS à  $f_T$  équivalent (~1V pour la technologie 45nm). Une tension d'alimentation élevée est un avantage, notamment pour les amplificateurs de puissance où l'excursion en tension maximale en sortie est un paramètre important pour le niveau de puissance de sortie.

Malgré les coûts supplémentaires engendrés par le développement et le nombre de masque d'un transistor bipolaire dans une technologie CMOS, une technologie BiCMOS reste moins coûteuse qu'une technologie CMOS à performance équivalente. En effet, une étude menée par IBM [32] compare le coût des nœuds technologiques des différentes filières normalisé au coût de la technologie CMOS 0.25 $\mu\text{m}$  (cf. Figure II-1b).

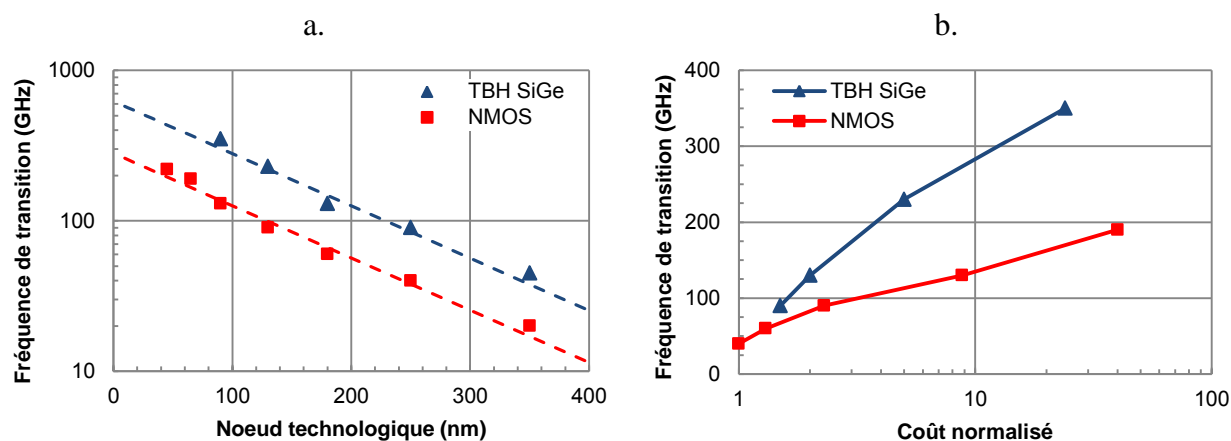


Figure II-1 : Comparaison des filières CMOS et BiCMOS : a. Fréquence de transition en fonction des nœuds technologiques ; b. Fréquence de transition en fonction du coût normalisé des nœuds technologiques

Les démonstrateurs seront donc développés dans la technologie 0.13 $\mu\text{m}$  BiCMOS SiGe :C qui présente des performances équivalentes en terme de vitesse à des technologies CMOS avancés pour un coût moindre. Une étude réalisée dans le chapitre IV permettra de valider la portabilité du système en technologie CMOS avancée.

## II.2 Technologie BiCMOS 0.13µm SiGe :C

Ce paragraphe présente les performances des transistors et des éléments passifs de la technologie 0.13µm BiCMOS SiGe :C.

### II.2.1 Présentation de la technologie

La technologie 0.13µm BiCMOS est dédiée aux applications hautes fréquences. Les transistors bipolaires à hétérojonction possèdent des fréquences de transitions de l'ordre de 230GHz et des fréquences maximales d'oscillation de 280GHz. Les performances de ces transistors sont détaillées dans le paragraphe suivant. Cette technologie, dite BiCMOS, possède donc aussi des transistors MOS. Ceux-ci ont certes des performances en hautes fréquences moindres par rapport aux transistors bipolaires, mais ils se révèlent très utiles pour les fonctions basses fréquences comme la polarisation des circuits (miroir de courant par exemple). Evidemment, cette technologie permet aussi une co-intégration des parties analogiques et radiofréquences avec des fonctions numériques.

D'autre part, cette technologie est proposée avec deux empilements de métaux différents : avec ou sans l'option « MW ». La technologie BiCMOS9MW, dédiée aux applications millimétriques, a deux couches de métaux de 3µm d'épaisseur. Cela permet de minimiser les pertes et d'augmenter le facteur de qualité des lignes de propagation et des éléments passifs comme les inductances, les capacités MOM (Métal Oxyde Métal) et les transformateurs. La Figure II-2 compare l'empilement des métaux de la technologie CMOS 45nm et de cette technologie sans et avec l'option « MW ».

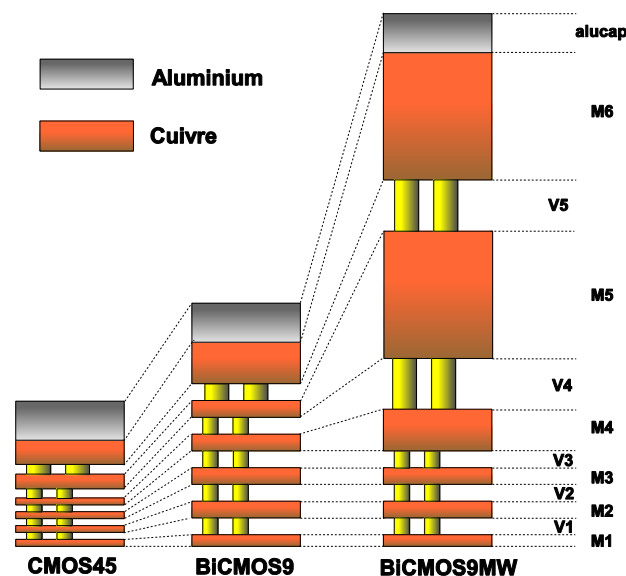


Figure II-2 : Comparaison de l'empilement des métaux de la technologie CMOS 45nm et de la technologie BiCMOS 0.13µm sans et avec l'option « MW ».

Cette technologie possède aussi des capacités MIM (Métal Isolant Métal) de densité de  $2\text{fF}/\mu\text{m}^2$ . Ceci permet entre autre de réaliser une partie du découplage en interne. Enfin, des résistances poly-silicium sont disponibles avec des résistivités différentes selon les dopages.

## II.2.2 Performances des transistors bipolaires

Cette partie a pour objectif de présenter brièvement les caractéristiques statiques et dynamiques des transistors bipolaires de la technologie BiCMOS  $0.13\mu\text{m}$ . Un motif de transistor a notamment été caractérisé afin de confronter les résultats de simulation à la mesure. Ce transistor a une longueur d'émetteur de  $2\mu\text{m}$  et une configuration CBEBC. Il est utilisé dans les deux premiers étages du LNA dont la conception est détaillée dans le chapitre III.

### II.2.2.1 Caractéristique statiques

Les caractéristiques statiques des transistors permettent de déterminer les polarisations des circuits et d'assurer le fonctionnement du transistor dans la zone désirée (saturée ou linéaire). La Figure II-3 présente les résultats simulés et mesurés du transistor bipolaire. Les simulations ont été effectuées avec le modèle Hicup où notamment l'auto-échauffement des transistors est modélisé. Les mesures confirment la fidélité du modèle par rapport à la réalité. Un léger décalage est tout de même observable. Pour obtenir une meilleure correspondance entre la mesure et la simulation il faudrait mesurer davantage de motifs de transistor et en faire la moyenne.

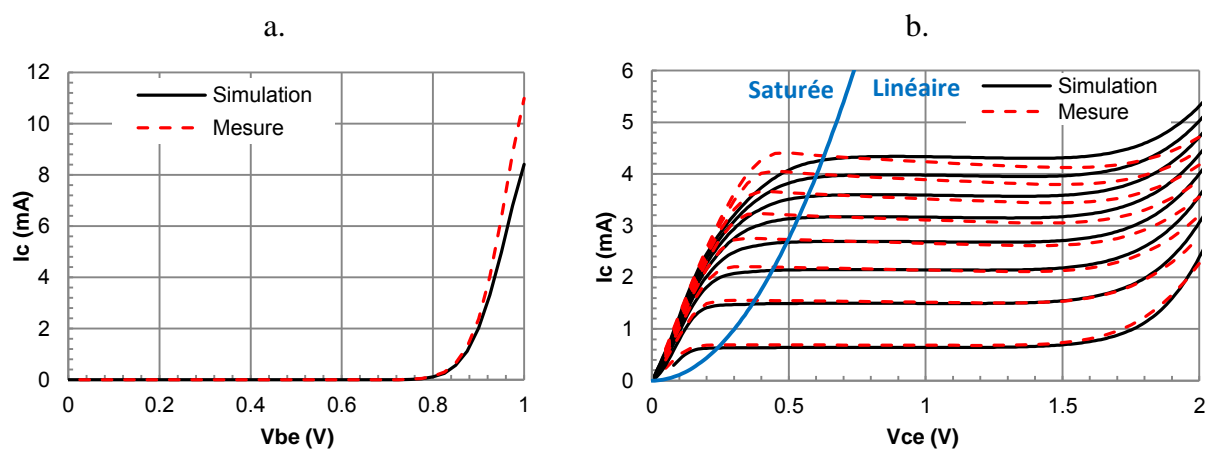


Figure II-3 : Caractéristiques statiques d'un transistor bipolaire avec  $L_e=2\mu\text{m}$  : a.  $I_c$  en fonction de  $V_{be}$  pour  $V_{cb}=0$  ; b.  $I_c$  en fonction de  $V_{ce}$  pour différentes valeurs de  $I_b$ .

### II.2.2.2 Caractéristique petit signal

Les fréquences de transitions et fréquences maximales d'oscillations annoncées de 230GHz et 280GHz dépendent d'une part de la topologie et du courant de polarisation des transistors, et d'autre part ce sont les performances maximales intrinsèques aux transistors, elles sont obtenues sans tenir compte des capacités et des résistances parasites liées aux accès.

La fréquence de transition des transistors est la fréquence à laquelle le gain en courant  $\beta$  est égal à 1.  $\beta$  est une fonction du 1<sup>er</sup> ordre en fonction de la fréquence :

$$\beta(\omega) = \frac{\beta_0}{1 + j \frac{\omega}{\omega_\beta} \beta_0} \quad (\text{II-1})$$

Avec 
$$\omega_\beta = \frac{1}{r_{be}(C_{be} + C_{bc})} \quad \text{et} \quad \beta_0 = g_m r_{be} \quad (\text{II-2})$$

La fréquence de transition  $F_T$  est alors obtenue en extrapolant le gain en courant dans la zone de pente -20dB/décade. En pratique, l'extrapolation s'effectue à des fréquences relativement basses (de 1 à 10GHz par exemple) afin de minimiser les effets inductifs et capacitifs parasites des accès ainsi que les imprécisions de mesures en hautes fréquences.

La fréquence maximale d'oscillation  $F_{max}$  est la fréquence où le gain en tension  $U$  (Gain unilatéral de Mason) est égal à 1. En pratique,  $F_{max}$  est déterminée de la même façon que  $F_T$  en extrapolant  $U$  dans la zone de pente -20dB/décade.

La Figure II-4 présente l'évolution de la fréquence de transition et de la fréquence maximale d'oscillation du transistor de longueur d'émetteur  $2\mu\text{m}$  en fonction du courant de polarisation  $I_C$ . La simulation a été effectuée avec le modèle HiCUM et avec la prise en compte des parasites liés aux accès du transistor. La mesure a été obtenue à partir des paramètres  $S$  issus du banc XF (0-110GHz) et en épluchant avec un motif through [33].  $F_T$  et  $F_{max}$  augmentent en fonction de  $I_C$  et donc de  $g_m$ . Ensuite, en régime de forte injection,  $F_T$  et  $F_{max}$  diminuent rapidement en fonction de l'augmentation de la résistance du collecteur liée à la forte injection. Le régime de forte injection, pour  $I_C$  supérieur à 4mA sur la Figure II-4a, est caractérisé par une diminution de  $\beta$  due à l'effet Kirk ; ce dernier consiste en l'élargissement de la zone de base. La fréquence de transition maximale est obtenue pour une densité de courant égale à 1.5mA par  $\mu\text{m}$  de longueur d'émetteur. La largeur de l'émetteur est fixé par la technologie à  $0.27\mu\text{m}$ . Sur la Figure II-4a, la fréquence de transition évolue peu pour un courant  $I_C$  compris entre 1 et 3mA. Dans la pratique, les transistors sont souvent polarisés en deçà du pic de  $F_T$ , car sans diminution significative de la fréquence de transition, la consommation est réduite et la linéarité peut en être améliorée. En effet, la linéarité d'un dispositif peut être dégradée si le transistor est polarisé à la limite de la zone de forte injection.

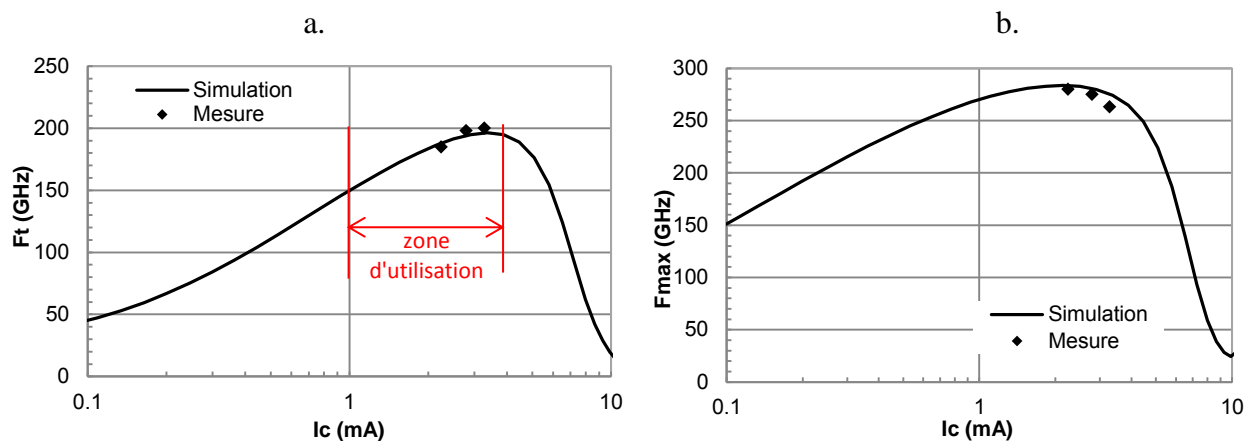


Figure II-4 : Caractéristique petit signal d'un transistor bipolaire ( $L_e=2\mu\text{m}$ ) avec ses accès : a. fréquence de transition ; b. fréquence maximale d'oscillation

Une autre caractéristique importante des transistors à prendre en compte lors de la conception de circuit est le facteur de bruit. Seul le facteur de bruit sous  $50\Omega$  ( $NF_{50}$ ) a été mesuré, les résultats sont présentés Figure II-5. L'allure chaotique du  $NF_{50}$  mesuré provient des variations d'impédance de la source de bruit. Le facteur de bruit minimal  $NF_{MIN}$  est obtenu pour une impédance d'entrée optimale  $Z_{opt}$ .  $NF_{MIN}$  peut être obtenu en mesure dans le cas où  $Z_{opt}=50\Omega$  ou par l'utilisation d'un tuner d'impédance.

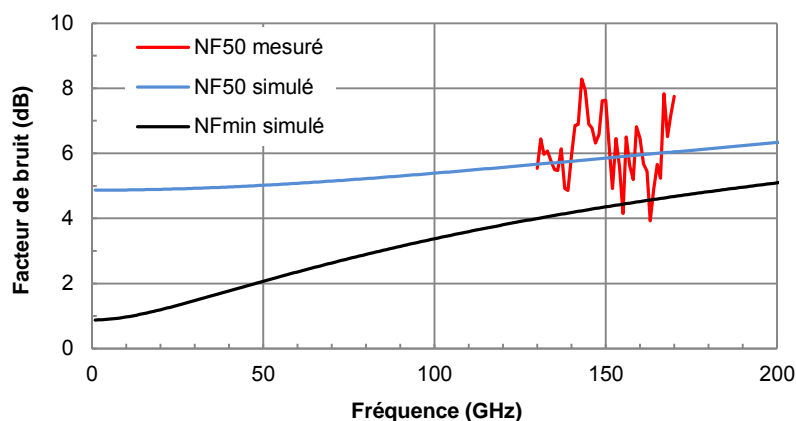


Figure II-5 : Facteur de bruit simulé et mesuré d'un transistor ( $L_e=2\mu\text{m}$ )

Cette partie a permis de valider les modèles statiques et dynamiques du transistor bipolaire en les confrontant à quelques caractérisations expérimentales. Une bonne corrélation entre la mesure et la simulation a été obtenue.

### II.2.3 Composants passifs

Dans la technologie, plusieurs composants discrets sont disponibles, notamment des capacités MIM et des résistances. Avec l'empilement de métaux de la technologie, il est possible de réaliser d'autres composants : capacités MOM, inductances et lignes de transmission. Une modélisation fidèle de ces composants est essentielle. Cette partie présente chaque type de composant utilisé. Pour chacun, une simulation électromagnétique réalisée

sous ADS Momentum et une simulation d'un réseau équivalent issu d'un programme développé en interne à ST sont effectuées. Ces résultats sont confrontés à la mesure, lorsque cela a été possible. Le programme, développé en interne, a été amélioré durant ces travaux de thèse.

### II.2.3.1 Plots

Les plots sont nécessaires pour effectuer la mesure du circuit ou pour réaliser la connexion de la puce avec les éléments extérieurs. Un plot RF est un composant à part entière qu'il ne faut pas négliger. Au premier ordre, ce plot représente une capacité équivalente parallèle  $C_P$  qui dépend de l'empilement de métaux et de sa taille. En minimisant la taille du plot à  $50 \times 50 \mu\text{m}$  la capacité parallèle  $C_P$  est de  $20\text{fF}$ , soit une résistance équivalente de  $56\Omega$  à  $140\text{GHz}$ .

Les plots RF utilisés ont un espacement de  $100\mu\text{m}$ . Le plot signal est constitué d'alucap et de M6, le plan de masse, situé en dessous, est constitué d'un empilement de M1 et M2 comme illustré sur la Figure II-6. Ce plan de masse augmente la valeur capacité  $C_P$  du plot d'environ  $6\text{fF}$  par rapport à une absence de plan de masse sous le plot signal. Mais il permet d'augmenter le facteur de qualité, en réduisant les pertes dans le substrat. Les inductances et résistances séries sur le schéma électrique équivalent modélisent la circulation du courant dans le plot signal et dans la masse.

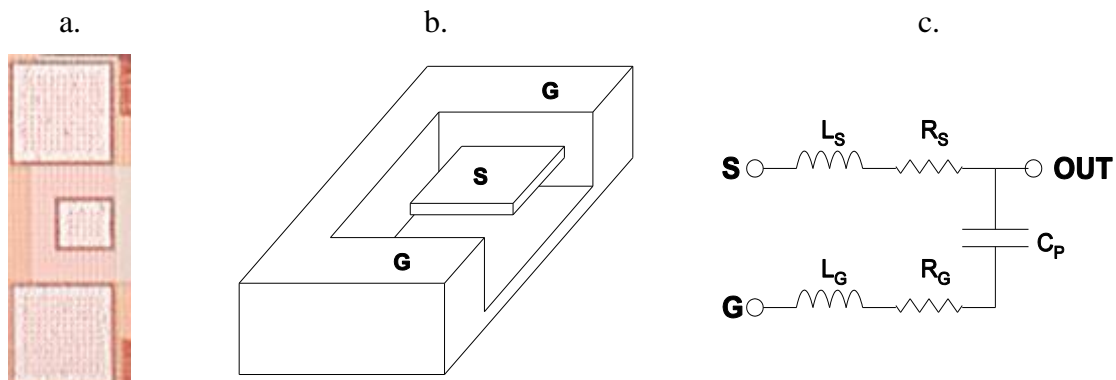


Figure II-6 : Plot RF : a. Microphotographie ; b. Perspective ; c. Schéma électrique équivalent

L'évolution de la valeur de la capacité du plot en fonction de la fréquence a été mesurée et simulée, les résultats sont présentés sur la Figure II-7. La mesure large bande a été effectuée à l'aide de l'analyseur de réseaux vectoriel XF pour la bande  $0 - 110\text{GHz}$  et d'un analyseur vectoriel en bande G  $125-220\text{GHz}$ . Pour chaque mesure, une correction pointe en l'air et short (court-circuit) est effectuée. La mesure est confrontée à la simulation électromagnétique et à la simulation du réseau équivalent calculé. En basse fréquence, les erreurs entre les valeurs de capacités issues de la simulation Momentum et du programme par rapport à la mesure sont respectivement de  $3\%$  et  $2\%$ . Les 3 courbes sont donc très proches compte tenu de la difficulté de réaliser une mesure de capacité de très faible valeur.

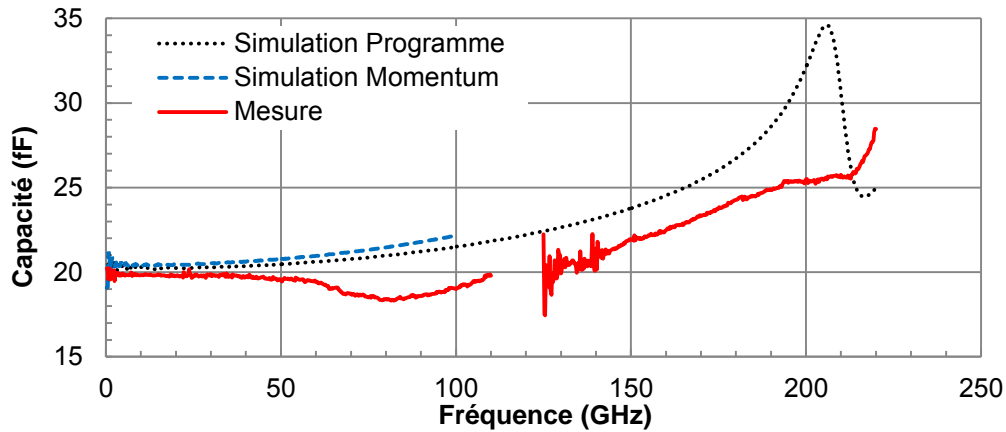


Figure II-7 : Capacité du plot RF en fonction de la fréquence

Lors de la conception d'un circuit, les plots RF seront pris en compte dans le réseau d'adaptation étant donné la forte influence d'une capacité parallèle de 20fF à 140GHz.

### II.2.3.2 Lignes de transmission

Deux types de lignes existent en gamme de fréquence millimétrique : les lignes micro-ruban et les lignes coplanaires. Une étude comparative des structures de propagation dans cette technologie a été effectuée durant des travaux de thèse précédemment menés [33]. Les structures coplanaires ont été écartées à cause des pertes engendrées dans le substrat et de la complexité à réaliser des ponts équipotentiels entre les deux plans de masse. La structure retenue, minimisant les pertes, est une ligne micro-ruban avec des murs de part et d'autre, appelée TFMS (Thin Film Micro Strip), sa configuration est illustrée Figure II-8a. Dans cet exemple, le ruban est réalisé en M6. Les murs sont constitués de l'empilement de tous les métaux, de M1 à M6 et le plan de masse de M1 et M2.

Une ligne micro-ruban peut être modélisée par une suite de cellules élémentaires afin de décrire la propagation du signal. En général, une ligne est discrétisée en une vingtaine de cellules par longueur d'onde. Une cellule est composée d'une inductance  $L_g/N$  et d'une résistance  $R_g/N$  séries représentant un tronçon du ruban, d'une capacité  $C/N$  et d'une conductance  $G/N$  parallèles représentant les pertes dans l'oxyde entre le ruban, le plan de masse et les murs. Les équations des télégraphistes permettent ensuite d'exprimer la tension et le courant en tout point de la ligne de transmission.

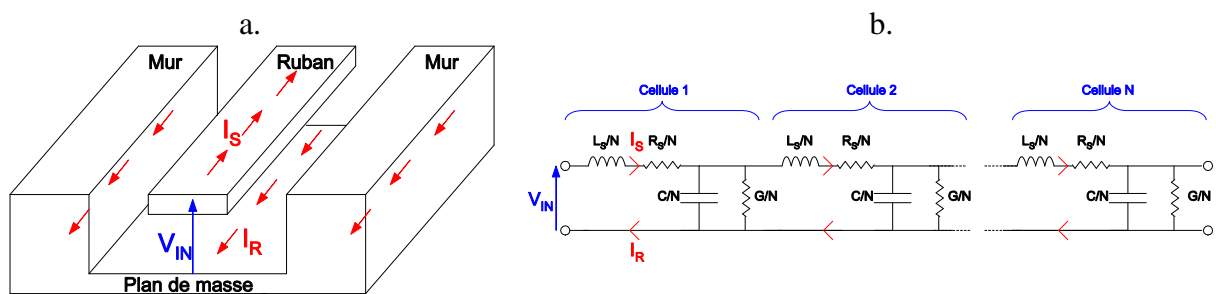


Figure II-8 : Représentation d'une ligne micro-ruban avec la circulation du courant : a. Vue en perspective ; b. Schéma électrique équivalent



Pour une telle ligne micro-ruban, le retour du courant  $I_R$ , circulant dans le sens opposé au courant  $I_S$  dans le ruban, s'effectue principalement dans le plan de masse sous le ruban et une faible partie du courant circule dans les murs. Cependant la résistivité des murs étant nettement inférieure au plan de masse, le courant  $I_R$  n'est pas exclusivement cantonné sous le ruban. Lorsque la ligne micro-ruban présente des changements de direction, le chemin de retour du courant peut alors être différent et modifier ainsi les valeurs d'inductances  $L_S/N$ , dépendante de la valeur de l'inductance mutuelle avec le plan de masse est prise en compte. L'impédance caractéristique de la ligne en serait alors modifiée.

### II.2.3.3 Capacité

#### II.2.3.3.1 Capacité MOM

Les capacités MOM (Métal Oxyde Métal) sont des capacités inter digitées réalisées simplement en utilisant une connexion spécifique des métaux disponibles dans la technologie utilisée. Généralement elle est réalisée à l'aide des métaux les plus épais (M5 et M6) pour augmenter leur densité et le facteur de qualité. Un exemple de capacité MOM réalisée en M5 et M6 avec 5 doigts d'une longueur de  $15\mu\text{m}$  est représenté Figure II-9 (vue en coupe et schéma électrique équivalent). Cette capacité de 35fF est utilisée pour réaliser le circuit d'accord de l'oscillateur 140GHz présenté dans le chapitre III.

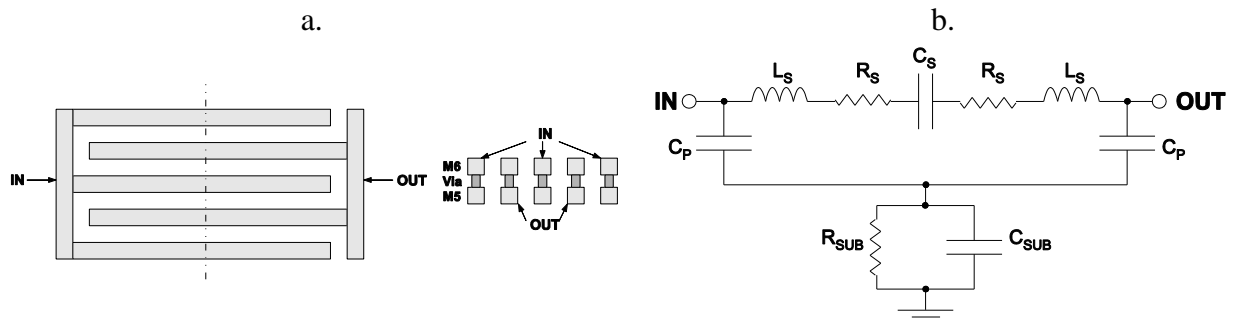


Figure II-9 : a. Vue en coupe d'une capacité MOM ; b. Schéma électrique équivalent

La capacité MOM de 35fF a été simulée sous Momentum et calculée par le programme développé en interne, les résultats sont présentés Figure II-10. Le coefficient de qualité de la capacité est définie par :

$$Q = \frac{1}{RC\omega} \quad (\text{II-3})$$

Avec C la valeur de la capacité mesurée, directement extraite de la partie imaginaire de l'impédance d'entrée et R sa partie réelle. L'estimation de la valeur de la capacité et du facteur de qualité par le programme est très proche des valeurs simulées issues de Momentum. Le facteur de qualité est relativement plus faible autour de 10GHz, ce qui correspond à la fréquence de résonance du substrat.

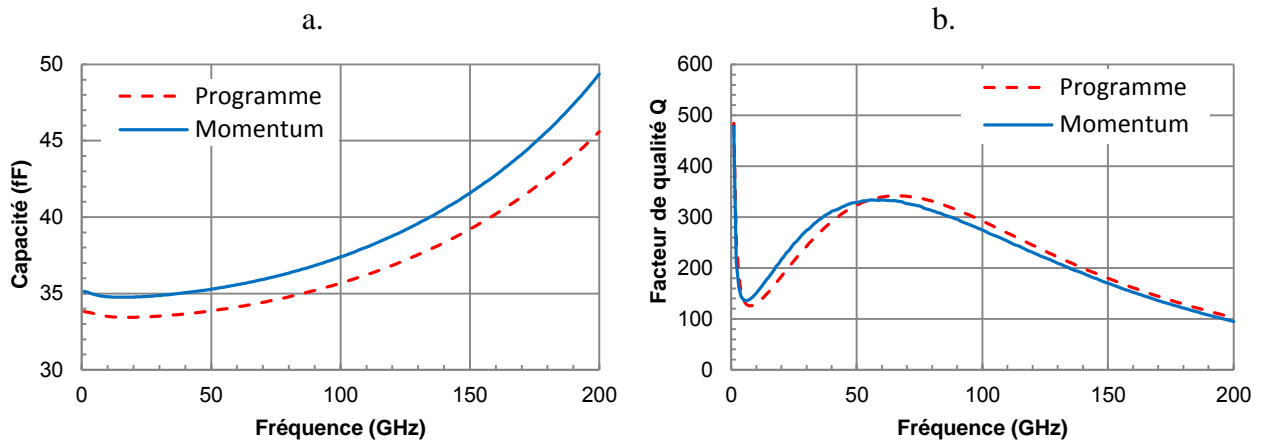


Figure II-10 : Comparaison des simulations d'une capacité MOM sous Momentum et sous le programme interne en fonction de la fréquence : a. Valeur de la capacité ; b. Facteur de qualité

Les capacités MOM permettent d'obtenir de très faibles valeurs, entre 10 et 100fF, avec de très bon facteur de qualité. Elles seront donc souvent utilisées pour réaliser des adaptations d'impédance à 140GHz.

### II.2.3.3.2 Capacité MIM

La technologie BiCMOS 0.13 $\mu\text{m}$  possède des capacités MIM (Métal Isolant Métal). Deux couches conductrices séparées d'un isolant de qualité sont ajoutées entre l'alucap et la couche de métal la plus haute M6. La densité capacitive est d'environ 2fF/ $\mu\text{m}$ , ce qui offre la possibilité d'effectuer une partie du découplage sur le silicium. Les capacités MIM sont constituées de deux couches conductrices, présentant chacune une inductance parasite  $L_{\text{TOP}}$  et  $L_{\text{BOT}}$ , séparées d'un isolant, le schéma électrique simplifié est présenté Figure II-11.

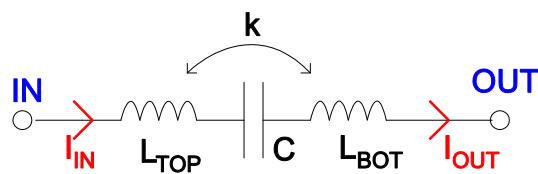


Figure II-11 : Schéma électrique simplifié d'une capacité MIM

Les 2 inductances parasites  $L_{\text{TOP}}$  et  $L_{\text{BOT}}$  ont un coefficient de couplage  $k$ . Ce coefficient de couplage est différent selon le sens de circulation du courant dans les couches conductrices. Ainsi, 3 configurations de capacités sont réalisables, les entrées-sorties peuvent être opposées, perpendiculaires ou parallèles. Le coefficient de couplage  $k$  est alors différent pour les 3 configurations présentées Figure II-12.

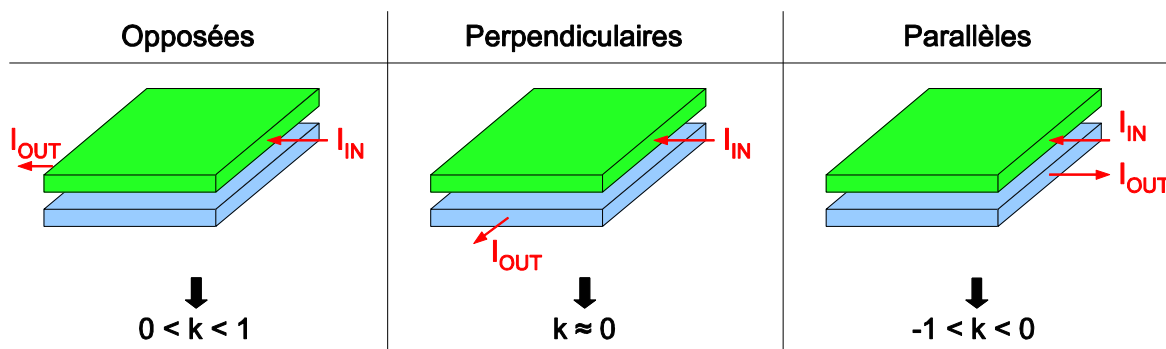


Figure II-12 : Schéma des 3 différentes configurations des entrées-sorties : opposées, perpendiculaires et parallèles

Une capacité de  $12\mu\text{m}$  sur  $12\mu\text{m}$  a été calculée par le programme et simulée en fonction de la fréquence pour les 3 configurations d'entrée-sortie, les résultats sont présentés Figure II-13. Les fréquences de résonance de la capacité MIM en configuration d'entrée-sortie opposées, perpendiculaires et parallèles sont respectivement 144, 167 et 215GHz. Petite remarque importante sur le choix de connexion de la capacité, le facteur de qualité présenté Figure II-13a devient négatif à partir de 150GHz pour les capacités MIM de type opposé et perpendiculaire ; la structure se comporte alors comme une inductance. Seule la capacité MIM de type parallèle se comporte comme une capacité sur toute la gamme de fréquence envisagée, malgré une résonance autour de 220GHz. L'influence de la configuration des entrée-sorties est donc non négligeable en gamme de fréquences millimétriques. Lors de la conception du démonstrateur, la configuration parallèle des entrées-sorties des capacités MIM découplant les hautes fréquences au plus proche du circuit a été privilégiée.

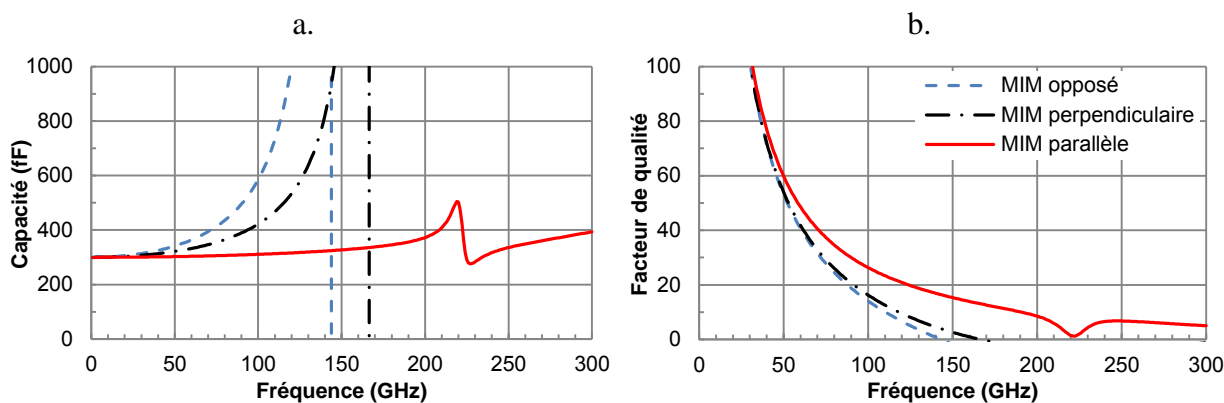


Figure II-13: Simulations issues du programme interne de 3 capacités MIM de même valeur, 300fF, et de configurations différentes : a. Valeur de la capacité ; b. Facteur de qualité

### II.2.3.4 Inductance

Il y a de nombreuses façons de réaliser une inductance intégrée. Un exemple de layout d'une inductance de faible valeur est montré sur la Figure II-14 ainsi que son schéma électrique équivalent. Cette inductance de 42pH a été utilisée comme inductance de charge dans l'oscillateur à 140GHz décrit dans le chapitre III. Elle est réalisée en métal 6 et l'entrée est en métal 5. Elle est placée sur un plan "patterné" réalisé par des morceaux d'active dans un caisson dopé N perpendiculaire au tronçon de l'inductance. Ce plan "patterné" permet d'une part d'éviter la formation d'un courant de Foucault dans le caisson qui diminuerait la valeur de l'inductance par l'effet mutuelle et augmenterait les pertes résistives, et d'autre part de contrôler la circulation du courant de retour. Le plan "patterné" permet de contrôler le chemin que parcourt le courant dans les capacités  $C_P$  comme illustré sur le schéma Figure II-14b. Ce type de plan "patterné" est aussi utilisé sous les transformateurs et les baluns.

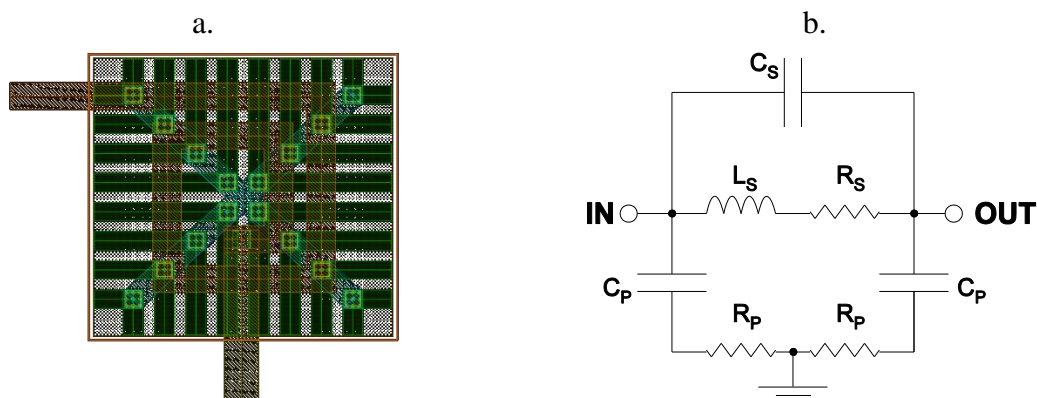


Figure II-14 : a. Layout d'une inductance ; b. Schéma électrique équivalent

Le facteur de qualité d'une inductance est défini par :

$$Q = \frac{L\omega}{R} \quad (\text{II-4})$$

Avec  $L$  la valeur de l'inductance et  $R$  sa partie réelle. Le facteur de qualité est donc maximisé lorsque la résistance série  $R_S$  et les capacités  $C_S$  et  $C_P$  sont minimisées. Il faut donc trouver le compromis entre la largeur de la piste et l'empilement des métaux afin de diminuer la résistivité de l'inductance sans augmenter les capacités  $C_P$  et  $C_S$ . Un autre paramètre pour améliorer le facteur de qualité consiste à maximiser les mutuelles positives entre les tronçons de l'inductance en augmentant par exemple son nombre de tour.

L'inductance montrée ci-dessus a été simulée sous Momentum ainsi qu'avec le programme ST, les résultats sont présentés sur la Figure II-15. La valeur de l'inductance est de 42pH, et son coefficient de qualité de 19 à 140GHz ce qui est comparable aux valeurs obtenues pour des inductances à plus basse fréquence. Une nouvelle fois, le programme montre une bonne fidélité à la simulation Momentum avec une différence moyenne sur la valeur de l'inductance inférieure à 3% sur toute la plage de fréquence.

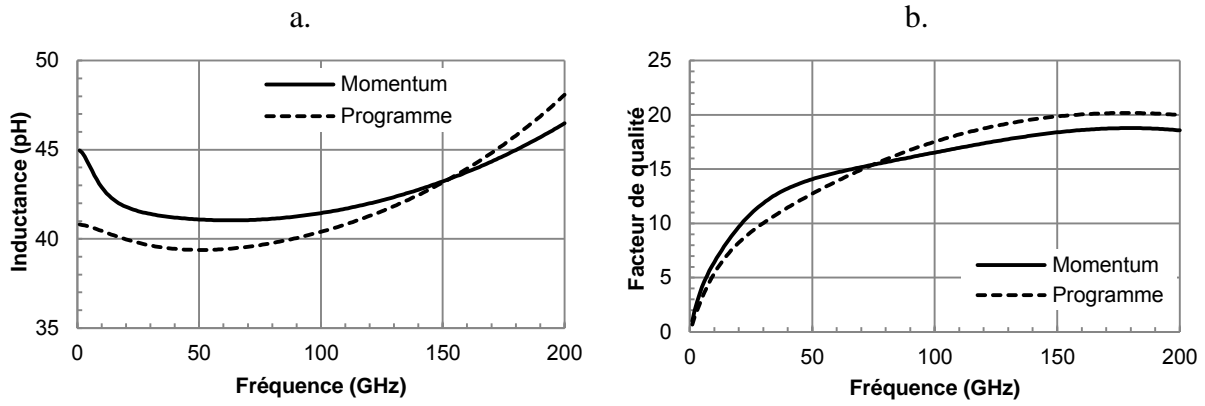


Figure II-15 : Comparaison des simulations d'une inductance sous Momentum et sous le programme interne en fonction de la fréquence : a. Valeur de l'inductance ; b. Facteur de qualité

## II.2.3.5 Balun

### II.2.3.5.1 Principe

Un balun de l'anglais "BALanced UNbalanced" est un composant passif qui permet de transformer un signal différentiel (équilibré) en un signal simple (déséquilibré). Il est composé de deux inductances, notées  $L_P$  et  $L_S$  sur la Figure II-16. Ces inductances sont liées par un coefficient de couplage  $k$  compris entre 0 et 1. L'inductance mutuelle  $M$  s'exprime alors :

$$M = k\sqrt{L_P L_S} \quad (\text{II-5})$$

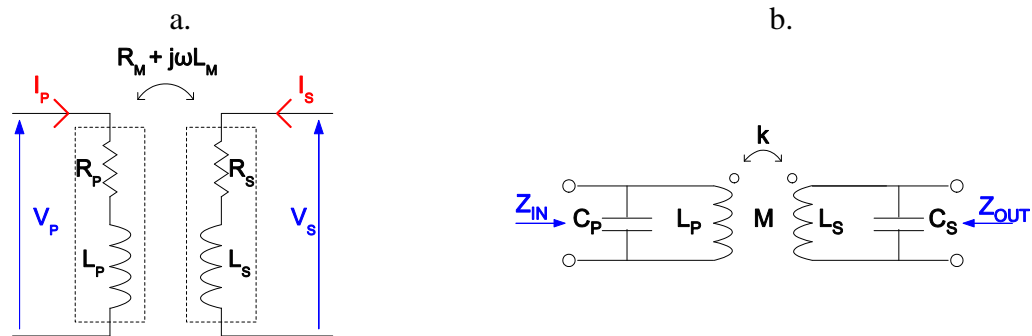


Figure II-16 : a. Schéma électrique d'un balun ; b. Schéma électrique simplifié d'un balun avec des capacités d'accord

La matrice impédance  $Z$  qui lie les tensions et les courants d'entrée et de sortie est définie par :

$$\begin{bmatrix} V_P \\ V_S \end{bmatrix} = \begin{bmatrix} R_P + j\omega L_P & j\omega M \\ j\omega M & R_S + j\omega L_S \end{bmatrix} \begin{bmatrix} I_P \\ I_S \end{bmatrix} \quad (\text{II-6})$$

Les pertes d'insertion minimum ( $PI_m$ ) sont définies comme le rapport de puissance de sortie sur la puissance d'entrée lorsque la sortie et l'entrée sont adaptées :

$$PI_m = 1 + 2 \left( x - \sqrt{x^2 + x} \right) \quad (\text{II-7})$$

Avec 
$$x = \frac{\text{Re}(Z_{11})\text{Re}(Z_{22}) - \text{Re}(Z_{12})^2}{\text{Im}(Z_{12})^2 + \text{Re}(Z_{12})^2} = \frac{1}{k^2 Q_P Q_S + 1} \quad (\text{II-8})$$

Et 
$$Q_P = \frac{\text{Im}(Z_{11})}{\text{Re}(Z_{11})} = \frac{L_P \omega}{R_P} \quad Q_S = \frac{\text{Im}(Z_{22})}{\text{Re}(Z_{22})} = \frac{L_S \omega}{R_S} \quad (\text{II-9})$$

$Q_P$  et  $Q_S$  sont respectivement le facteur de qualité de  $L_P$  et  $L_S$ . Le transfert de la puissance d'entrée vers la sortie est optimal lorsque le coefficient  $x$  est minimisé, et donc  $k$ ,  $Q_P$  et  $Q_S$  doivent être maximisés.

Pour adapter les impédances du balun aux impédances de charge, des capacités d'accord en parallèles sont souvent nécessaires, comme illustré Figure II-16b. Ce degré de liberté permet de couvrir une large gamme d'impédance. Un balun peut donc aussi être utilisé comme transformateur d'impédances avec l'entrée et la sortie différentielles. L'adaptation inter-étage du LNA présenté dans le chapitre III est effectué par le biais de transformateur de ce type. Cette méthode d'adaptation d'impédance offre l'avantage d'être relativement large bande.

### II.2.3.5.2 Conception

Le balun a plusieurs degrés de liberté : la forme, la taille... L'optimisation de ces paramètres est essentielle en fonction de l'épaisseur des couches de métallisation de la technologie, du rapport de transformation d'impédances souhaité et de la fréquence d'utilisation. L'optimisation d'un balun est donc complexe.

Deux principaux types de balun sont réalisables, comme illustrés sur la Figure II-17 : les deux inductances sont entrelacées en utilisant uniquement la couche métallique la plus haute (type 1) ou les deux inductances sont superposées en utilisant les deux couches de métaux les plus hautes (type 2). Le type 1 est plus couramment utilisé car les technologies possèdent généralement qu'une seule couche de métal épais ; coefficient de qualité moindre pour le secondaire. La technologie utilisée pour ces travaux de thèse possède 3 couches de métal épais, les deux plus hautes ont une épaisseur  $3\mu\text{m}$ . Il est donc possible de réaliser des baluns de type 2. Les deux inductances  $L_P$  et  $L_S$  sont plus proches l'une de l'autre ce qui implique un coefficient de couplage  $k$  plus élevé, de l'ordre de 0.7 à 0.9, par rapport aux

baluns de type 1 dont  $k$  est compris entre 0.4 et 0.6 [34]. Lorsque  $k$  est proche de 1, le rapport de transformation est meilleur. Par ailleurs, les baluns de type 1 ont les deux inductances  $L_P$  et  $L_S$  du même ordre de grandeur impliquant un rapport d'impédance à peu près équivalent entre l'entrée et la sortie. Les inductances du balun de type 2 sont, quant à elles, dissymétriques en fonction de leur espacement : il est ainsi possible d'obtenir une transformation d'impédance plus importante qu'avec un balun de type 1. Pour résumer, il faut sélectionner le type de balun en fonction de l'empilement de métaux de la technologie (nombre de couches de métal épais), et du rapport d'impédance souhaité.

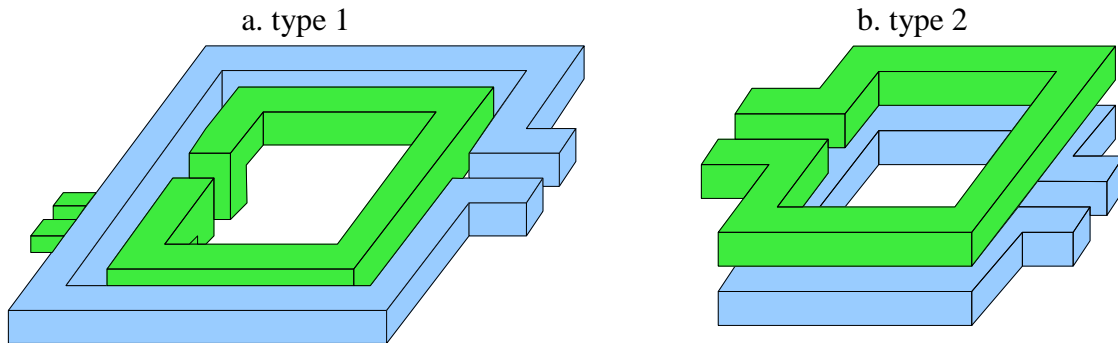


Figure II-17 : a. Balun avec les 2 inductances entrelacées ; b. Balun avec les 2 inductances superposées

Une fois la forme du balun déterminée, la taille des inductances doit être optimisée en fonction de la fréquence de travail et des impédances d'entrée et de sortie. La Figure II-18 présente les pertes d'un balun de type 2 dont la fréquence centrale est de 60GHz. La valeur de l'inductance est proportionnelle au périmètre du balun. Les inductances  $L_P$  et  $L_S$  ont à peu près la même valeur. Pour chaque valeur d'inductance, les capacités d'accord sont calculées afin que l'entrée et la sortie aient la bonne impédance. Pour ce balun, l'inductance a été fixée à 80pH. Il a été utilisé en entrée du démodulateur OOK à 60GHz dont la conception est détaillée dans le chapitre III.

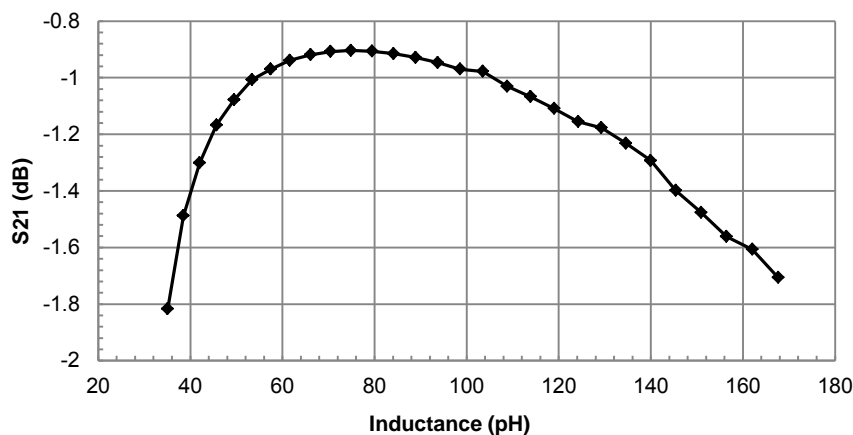


Figure II-18 : Pertes du balun à 60GHz en fonction de l'inductance  $L_S$ .

### II.2.3.5.3 Mesure

Les baluns réalisés ne sont pas nécessairement adaptés sur une impédance d'entrée et de sortie de  $50\Omega$ . La mesure des paramètres S ne permet pas d'obtenir directement les performances réelles du balun utilisé dans le circuit. Ainsi, pour s'assurer que le modèle de simulation correspond à la réalité, la méthode consiste à comparer les valeurs simulées et mesurées des inductances  $L_P$  et  $L_S$ , des résistances séries  $R_P$  et  $R_S$  et de l'inductance mutuelle  $M$  du schéma électrique équivalent du balun (présenté Figure II-16) avec son environnement de mesure (plot, retour de masse ...).

Pour le balun d'entrée du démodulateur OOK à 60GHz, les inductances mesurées sont de très faibles valeurs ( $\sim 100\text{pH}$ ) ; il est donc primordial de prendre en compte en simulation le retour dans la structure de test du courant à la masse. Le layout du motif de mesure est présenté Figure II-19. Ainsi les mesures et les simulations présentées Figure II-20-22 sont celles de la structure complète avec les plots.

Les valeurs des composants équivalents sont extraites de la matrice impédance  $Z$  par les équations suivantes :

$$R_P = \text{Re}(Z_{11}) \qquad R_S = \text{Re}(Z_{22}) \qquad \text{(II-10)}$$

$$L_P = \frac{\text{Im}(Z_{11})}{2\pi f} \qquad L_S = \frac{\text{Im}(Z_{22})}{2\pi f} \qquad \text{(II-11)}$$

$$L_M = \frac{\text{Im}(Z_{21})}{2\pi f} \qquad \text{(II-12)}$$

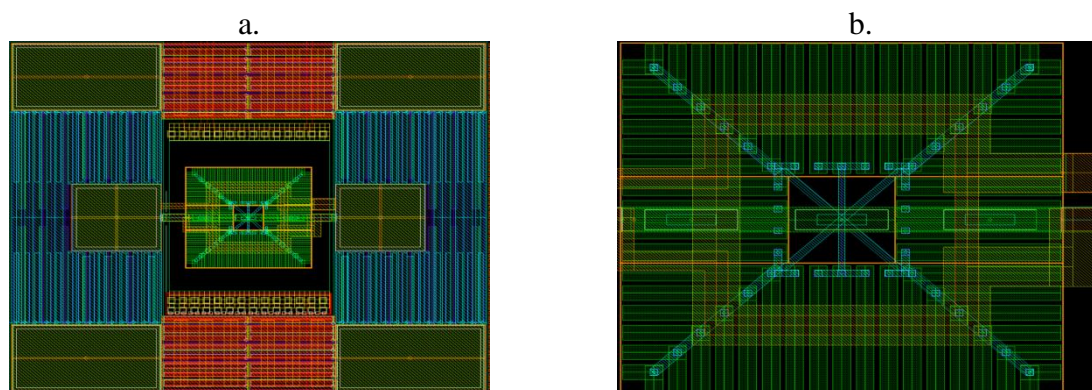


Figure II-19 : a. Structure de test du balun ; b. Balun avec son plan patterné



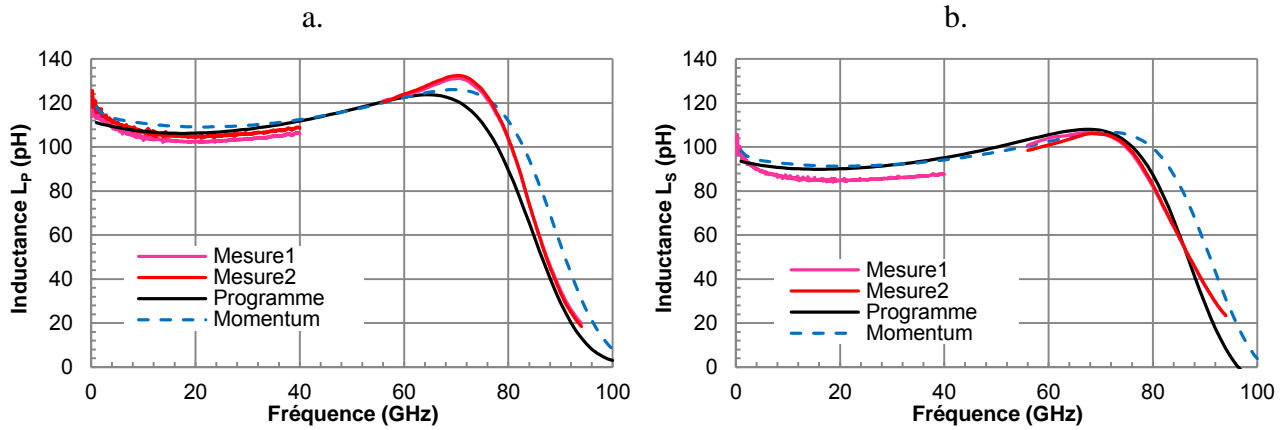


Figure II-20 : Inductance du balun en fonction de la fréquence : a. Circuit primaire ; b. Circuit secondaire

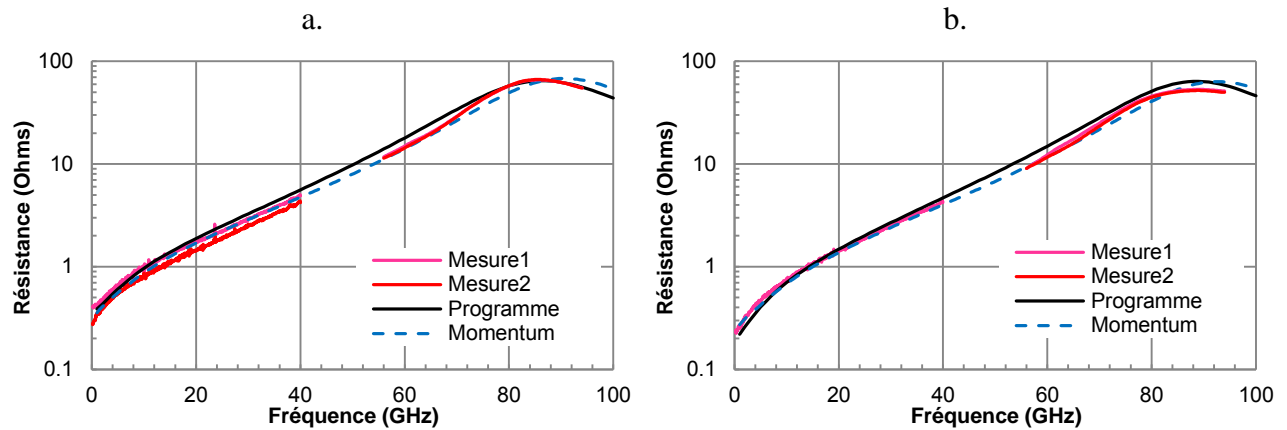


Figure II-21 : Résistance série du balun en fonction de la fréquence : a. Circuit primaire ; b. Circuit secondaire

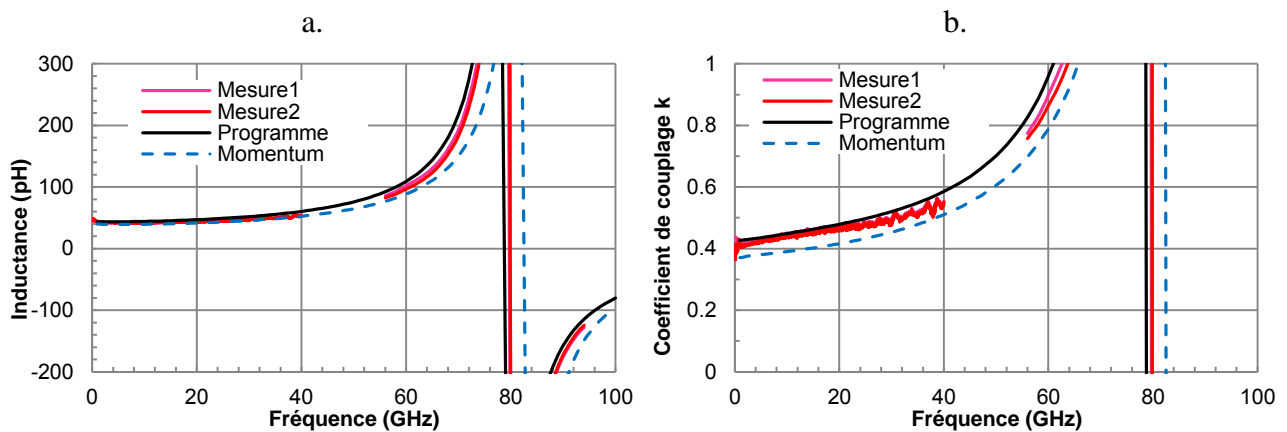


Figure II-22 : a. Inductance mutuelle du balun ; b. Coefficient de couplage k

Les mesures de 2 structures de balun attestent que les simulations de Momentum et du programme développé en interne sont fidèles à la réalité. Ainsi, les simulations des paramètres S avec les impédances d'entrée et de sortie du circuit sont justes, le balun présente une perte à 1 dB sur la plage de fréquences de 54 à 65GHz.

## II.3 Méthodologie de conception

### II.3.1 Topologie simple et différentielle

Chaque bloc de la chaîne d'émission réception peut-être conçu à partir d'une architecture simple ou différentielle. Les topologies simples sont souvent privilégiées car plus simple à concevoir à ces fréquences. De plus il n'y a pas de contraintes liées à une symétrie des composants. En revanche, en analogique basse fréquence, les topologies différentielles font l'unanimité pour leur réjection de bruit de mode commun.

Lors de la conception d'un étage d'amplification de type émetteur commun simple comme représenté Figure II-23a, des capacités de découplage,  $C_{D1}$  et  $C_{D2}$ , sont utilisées pour créer un nœud froid en hautes fréquences à l'extrémité de la ligne micro-ruban ou de l'inductance,  $L_{P1}$  et  $L_{P2}$ . Ces capacités de découplage sont reliées au plan de masse afin qu'elles soient au même potentiel que l'émetteur du transistor  $Q_1$ . Hors ce plan de masse n'est pas parfait, il présente, entre autre, une inductance non négligeable comme représentée en rouge Figure II-23b. Celle-ci peut alors changer complètement la valeur de l'adaptation recherchée.

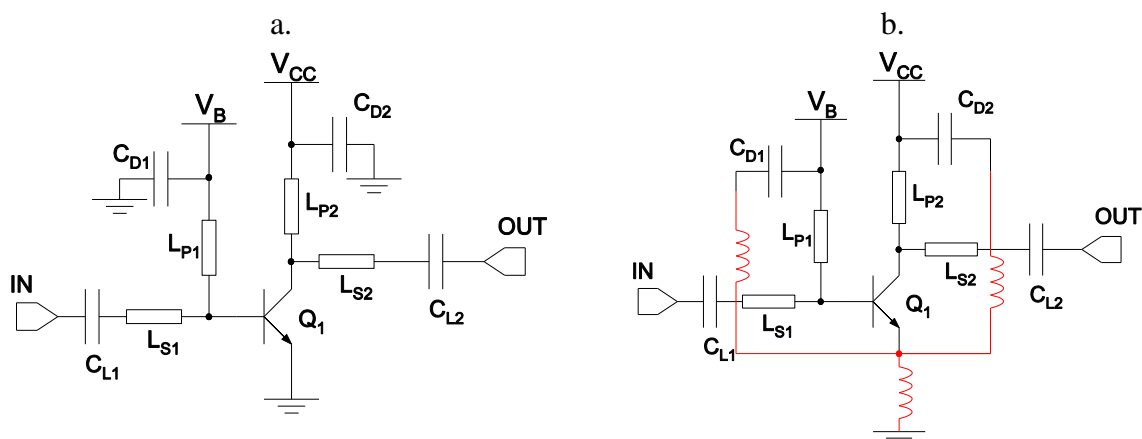


Figure II-23 : Exemple d'un amplificateur émetteur commun simple avec son réseau d'adaptation : a. avec des masses parfaites ; b. avec les retours de masses réels.

Dans une architecture différentielle, une masse virtuelle est naturellement présente au nœud A, B et C, comme illustré Figure II-24. De cette manière, les capacités de découplage précédemment utilisées ne sont pas nécessaires. Le courant circule alors dans une boucle locale bien connu, aucun éléments parasites liés au plan de masse ne viendra modifier la valeur des inductances ou des lignes micro-ruban  $L_{P1}$  et  $L_{P2}$ . Pour cette raison, lors de la conception des blocs du démonstrateur, la topologie différentielle sera toujours privilégiée.

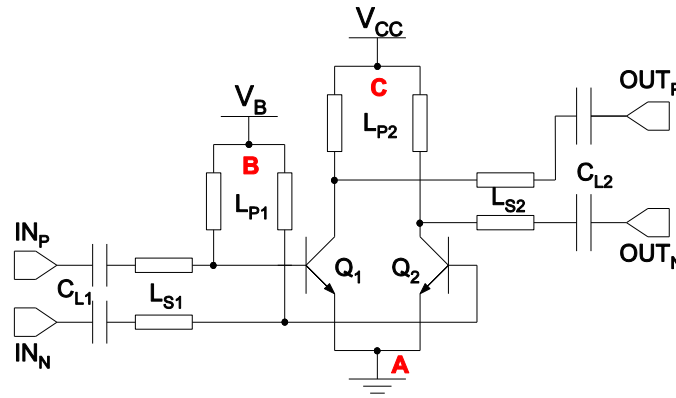


Figure II-24 : Exemple d'un amplificateur émetteur commun différentiel avec son réseau d'adaptation

### II.3.2 Adaptation d'impédance en gamme de fréquences millimétriques : deux méthodologies

Deux solutions existent pour effectuer une adaptation d'impédance lors de la conception d'un circuit millimétrique : la première consiste à utiliser des éléments distribués, c'est-à-dire des lignes de transmission pour réaliser des stubs par exemple, la seconde consiste à utiliser des éléments localisés, à savoir des capacités, des inductances et des transformateurs. Les avantages et inconvénients de ces deux méthodes sont résumés dans le Tableau II-1, et elles sont commentées dans les deux paragraphes suivants.

Mode d'adaptation	Surface silicium	Maîtrise du courant de retour	Facteur de qualité	Isolation entre les éléments	Simplicité de dimensionnement
<b>Distribué</b>	--	--	-	+	+
<b>Localisé</b>	++	++	+	-	-

Tableau II-1 : Tableau comparatif des solutions d'adaptation d'impédance

L'adaptation d'impédance avec des éléments distribués est très utilisée dans la conception des circuits microondes intégrés ou non. Elle présente l'avantage d'être relativement simple à réaliser. Un modèle est d'abord élaboré à partir de caractérisation de lignes de longueurs différentes. Ensuite, ce modèle peut être utilisé en simulation pour réaliser des stubs en ajustant l'impédance caractéristique et la longueur de la ligne utilisée. Cette méthodologie de conception est souvent appliquée car elle ne requiert pas nécessairement de simulation électromagnétique lors de la conception du circuit. D'autre part, en utilisant des lignes microstrips de type TFMS (cf. paragraphe II.232), les murs de blindage assurent une isolation électrique entre les différentes lignes. En revanche, ces lignes d'adaptation ne permettent pas la conception d'un circuit compact et elles nécessitent de porter une attention particulière sur les retours de masse comme explicité dans le paragraphe précédent. Hors ce chemin peut être différent dans de nombreuses situations. Par exemple, pour minimiser la surface silicium d'une longue ligne de propagation, la ligne peut être repliée en méandre, le chemin de retour du courant se trouve alors modifié. Dans le cas d'une structure différentielle, comme présentés Figure II-24, si  $L_{P2}$  est une ligne micro-ruban, il n'y

aura pas de courant de retour dans le plan de masse, car le point C est un point froid en tension. Les caractéristiques de la ligne micro-ruban  $L_{P2}$  seront alors différentes de son utilisation dans une topologie simple par exemple. Pour pallier à ce problème, il faut utiliser un modèle de ligne différentielle où le retour de courant est correctement pris en compte.

La seconde méthode consiste à utiliser des éléments localisés pour obtenir l'impédance souhaitée. Elle permet d'obtenir des circuits beaucoup plus compacts que la méthode précédente. Elle offre un degré de liberté supplémentaire dans le choix des inductances, qui en contrepartie nécessite de bien maîtriser leur dimensionnement. De plus, il faut prendre en compte en simulation les interactions entre composants dont la proximité est accrue par la compacité du circuit et l'isolation réduite. L'avantage de cette méthode d'adaptation réside dans la maîtrise du chemin de retour du courant à la masse. En effet, les composants localisés ne nécessitent pas forcément de plan de masse uniforme comme les lignes micro-ruban.

Par ailleurs, les transistors ont des impédances d'entrée très faibles à 140GHz. Pour une adaptation d'impédance par des lignes micro-ruban, il est alors nécessaire d'obtenir des impédances caractéristiques très faibles (inférieure à  $50\Omega$ ) avec une partie imaginaire. Cette contrainte peut-être difficile à résoudre, alors qu'avec une adaptation d'impédance localisée, il est plus aisé d'obtenir les impédances souhaitées.

## II.4 Conclusion

La technologie BiCMOS  $0.13\mu\text{m}$  a été retenue pour la conception du système de communication puce à puce en gamme de fréquences millimétriques. Cette technologie a des performances comparables aux technologies CMOS avancés (nœud technologique 45nm et inférieur) et a l'avantage d'être plus mature et accessible offrant ainsi la possibilité de réaliser un plus grand nombre de circuits aux cours de ces travaux de recherches.

Les composants passifs, utilisés lors de la conception des circuits, sont nombreux : capacités MIM et MOM, lignes micro-ruban, inductances et transformateurs. Le logiciel Agilent Momentum et le programme de calcul de réseaux équivalents développé en interne permettent de les simuler jusqu'aux fréquences millimétriques souhaitées. Des motifs de composants passifs ont été implémentés et caractérisés lors de ces travaux de recherches : les modèles simulés sont fidèles à la mesure. Ces deux outils offrent la possibilité de simuler non seulement un composant unique mais aussi tout un ensemble de composants avec leurs interactions électromagnétiques. Etant donné les résultats similaires entre eux deux et la rapidité de calcul du programme interne, ce dernier a été privilégié lors de la conception des circuits présentés dans le chapitre suivant.

Enfin, une méthodologie de conception a été adoptée suite à plusieurs réflexions. Ainsi pour la conception des différents éléments du démonstrateur, les topologies différentielles seront privilégiées et les adaptations d'impédances s'effectueront par des éléments localisés (inductances, capacités).

## Chapitre III : Conception des blocs du système

La topologie du système de communication ainsi qu'une première spécification des performances des fonctions du système ont été présentées dans le premier chapitre. Le système de communication est à modulation OOK dont la démodulation est réalisée par une détection d'enveloppe. Dans ce chapitre, la conception de chaque fonction composant la chaîne d'émission-réception sera détaillée.

La première partie de ce chapitre présente les spécifications du démonstrateur ainsi que les performances de chaque fonction en s'appuyant sur le bilan de liaison réalisé dans le premier chapitre. La conception des éléments du récepteur composé d'un démodulateur et d'un amplificateur faible bruit est expliquée dans la seconde partie. Enfin, la troisième partie de ce chapitre est consacrée à la conception et à la réalisation d'un oscillateur 140GHz à modulation interne, d'un modulateur haut débit et d'un amplificateur de puissance composant l'émetteur.

### III.1 Spécification du système de communication puce à puce

#### III.1.1 Présentation de la chaîne d'émission-réception OOK

La Figure III-1 présente la vue schématique de l'ensemble de la chaîne d'émission-réception du système de communication. Comme expliqué dans le chapitre I, l'émetteur est constitué d'un oscillateur à modulation interne afin de minimiser la consommation. En effet, l'oscillateur est éteint lors de la transmission d'un état logique "0". Les probabilités de l'état logique "1" et "0" étant généralement égales, la consommation de l'oscillateur est divisée par 2. Ce type de modulation présente d'autant plus d'intérêt dans les systèmes de communication impulsions où le nombre d'états "0" est plus important que le nombre d'états "1". Néanmoins, pour la topologie retenue le débit de données sera limité par le temps de démarrage de l'oscillateur (dans notre cas à la centaine de Mbits/s). Ce point sera détaillé dans la suite de ce chapitre dans la partie conception de l'oscillateur.

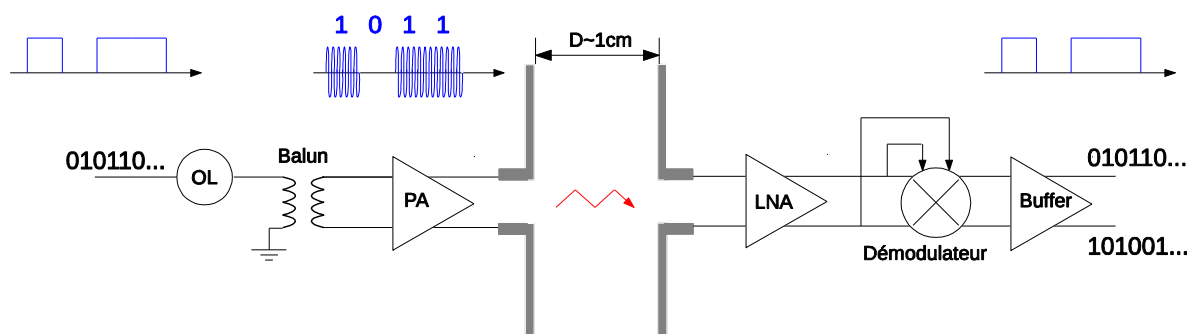


Figure III-1 : 1<sup>ère</sup> architecture proposée pour le système de communication puce à puce

Dans le but d'atteindre des débits de données bien supérieurs, de l'ordre de 20Gbits/s, cette architecture a évolué vers une topologie à modulation externe. Un mélangeur a été ajouté dans le récepteur afin de laisser l'oscillateur en fonctionnement continu. La Figure III-2 présente l'architecture finale du système de communication puce à puce qui a été conçu.

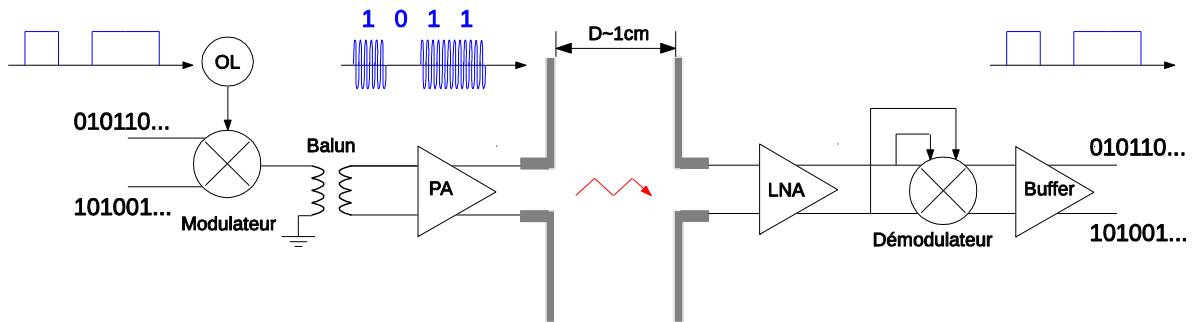


Figure III-2 : Architecture finale retenue pour la conception du système de communication puce à puce

Une architecture différentielle est privilégiée pour chaque bloc composant cette chaîne pour les raisons expliquées dans le chapitre II. Dans l'émetteur, une conversion d'un signal simple (non équilibré) vers un signal différentiel (équilibré) est requise car il n'est pas possible de concevoir un modulateur OOK dont la sortie est différentielle. En effet, une modulation OOK n'émet pas de signal pour la transmission d'un état "0", il n'y a donc pas de courant en sortie, ce qui n'est pas réalisable en différentiel avec un mélangeur simple ou double conventionnel. Ainsi un balun a été conçu pour convertir le signal simple (déséquilibré) à la sortie du mélangeur en un signal différentiel (équilibré) à l'entrée de l'amplificateur de puissance. Ce balun apparaît sur la Figure III-2 entre le mélangeur et l'amplificateur de puissance (PA) côté émission.

### III.1.2 Bilan de liaison et estimation des performances du système

Le gain estimé d'une antenne intégrée dans cette technologie est de l'ordre de -6dBi avec une efficacité d'environ 10% (cf. la conception de l'antenne détaillée dans le chapitre IV). Le Tableau III-1 présente une estimation des spécifications des performances des blocs de l'émetteur et du récepteur. L'estimation des blocs de l'émetteur est établie pour atteindre une puissance rayonnée de l'ordre de 0dBm. Pour les blocs du récepteur, l'objectif est d'obtenir un rapport signal sur bruit en sortie de 17dB, qui correspond pour une modulation OOK et une distance de communication supérieure à 1cm à un taux d'erreur par bit inférieur à  $10^{-12}$  (1 erreur pour 1000 milliards de bit).

Emetteur		Récepteur	
Circuit	Caractéristiques	Circuit	Caractéristiques
Oscillateur	Fréquence d'oscillation : 140GHz Puissance de sortie : 0dBm	LNA	Gain > 25dB NF < 9dB
Mélangeur	Gain > 0dB	Mélangeur + Buffer	Gain ~ 0dB NF < 20dB
Amplificateur de puissance	Gain : 7dB OP1dB > 6dBm		

Tableau III-1 : Performances estimées des blocs de la chaîne d'émission-réception

La consommation de l'ensemble ne devra pas dépasser 100mW afin de viser une efficacité meilleure que 5pJ/bit. Un soin particulier sera apporté pour que chaque bloc ait une consommation minimale. Afin d'obtenir un débit de données de 20Gbits/s en modulation OOK la bande passante RF des différents blocs, mélangeurs et amplificateurs devra être supérieure à 20GHz. Dans la suite de ce chapitre, la conception de cette chaîne sera décrite en détail.

## III.2 Conception du récepteur

Le récepteur est composé d'un amplificateur faible bruit (LNA) et d'un démodulateur. Cette partie commencera par détailler la conception du démodulateur qui a été le premier bloc réalisé lors de ces travaux de recherche. Deux versions ont été conçues : une première version à 60GHz afin de valider l'architecture retenue et d'appréhender les techniques de conception en gamme de fréquences millimétriques, et une seconde à 140GHz en vue de l'intégration dans le récepteur. La conception du LNA à 140GHz sera ensuite expliquée.

### III.2.1 Conception du démodulateur 60GHz et 140GHz

#### III.2.1.1 Choix de la topologie

Il existe 2 méthodes pour démoduler un signal OOK : la détection synchrone et la détection asynchrone. La détection synchrone consiste à démoduler le signal reçu en utilisant un mélangeur et un oscillateur local synchronisé sur la fréquence de la porteuse. La détection asynchrone quant à elle, consiste en une détection d'enveloppe du signal reçu sans nécessiter de synthèse de fréquence. Cette fonction est généralement accomplie par une diode ou un transistor en limite de conduction suivi d'un filtre passe bas. Le temps de montée des diodes est généralement rédhibitoire aux applications multi-gigabits. C'est pourquoi la détection d'enveloppe par un transistor en limite de conduction est privilégiée en gamme de fréquence millimétrique [36][38]. La détection asynchrone a l'avantage de réduire la complexité du circuit de réception ainsi que sa consommation. En revanche, un système de détection asynchrone présente généralement un faible gain de conversion et un facteur de bruit plus important qu'un système de détection synchrone utilisant un oscillateur local. La sensibilité d'un récepteur asynchrone est donc moindre. Enfin, le détecteur ne permet pas de discriminer les signaux en fréquence, il démodule donc tous les signaux qui sont dans la bande passante du récepteur, ce dernier point peut être limitant. Le Tableau III-2 résume les avantages et inconvénients de ces deux méthodes de démodulation.

Type de détection	Sensibilité	Gain	Basse consommation	Multicanaux
Synchrone	+	+	-	+
Asynchrone	-	-	++	--

Tableau III-2 : Comparaison des 2 méthodes de démodulation d'un signal OOK

Afin de limiter la consommation énergétique de l'ensemble du système de communication, c'est la détection asynchrone qui a été retenue pour ce système. Pour améliorer le gain et la sensibilité d'un détecteur d'enveloppe, une nouvelle architecture est proposée. Cette détection est réalisée à partir d'un mélangeur équilibré de Gilbert double

cellule. Cette topologie est couramment utilisée comme mélangeur différentiel pour tout type de modulation du fait de sa grande réjection aux bruits de mode commun. Dans la littérature, celle-ci n'a jamais été utilisée en tant que détecteur d'enveloppe. Pour détourner le mélangeur de son utilisation classique, le même signal alimente les 2 entrées OL et RF de celui-ci comme sur le schéma de la Figure III-3.

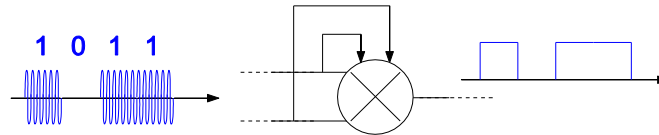


Figure III-3 : Schéma de principe du démodulateur

La cellule de Gilbert, présentée sur la Figure III-4, peut être utilisée comme mélangeur ou multiplieur : la différence de fonctionnement dépend de la puissance du signal transisant dans les transistors de l'étage supérieur  $Q_{1-4}$ . Dans une chaîne d'émission-réception, elle est généralement utilisée en tant que mélangeur.

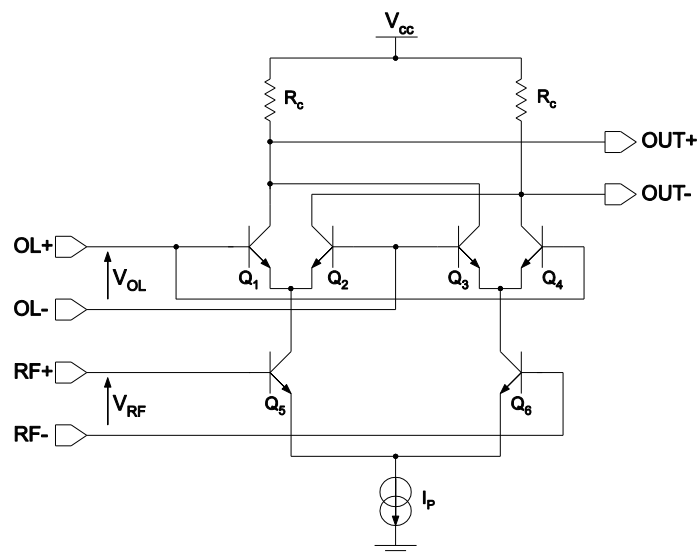


Figure III-4 : Schéma de la cellule de Gilbert

En fonctionnement mélangeur, les 4 transistors de l'étage supérieur  $Q_{1-4}$  fonctionnent comme des interrupteurs afin d'aiguiller le courant alternativement dans les charges  $R_c$  au rythme du signal de pompe de fréquence OL. La tension  $V_{OL}$  aux bornes des transistors de l'étage supérieur vérifie alors  $V_{OL} \gg 2V_T$  avec  $V_T$  la tension de seuil des transistors, et  $V_T \sim 25mV$ . Soit sous  $50\Omega$ , cette condition devient  $P_{OL} \gg -16dBm$ . Généralement, l'oscillateur local fournit au mélangeur une puissance entre  $-10dBm$  et  $0dBm$  afin d'être certain que cette condition soit vérifiée quelle que soit l'impédance. Le gain de la cellule de Gilbert dépend alors uniquement de la puissance RF sur la base des transistors de l'étage inférieur  $Q_{5,6}$  encore appelé transconducteur ; la tension de sortie est donc défini par :

$$V_{OUT} = -2R_C I_P \tanh\left(\frac{V_{RF}}{2V_T}\right) \quad (III-1)$$

En fonctionnement multiplieur, le gain de la cellule de Gilbert dépend alors de la puissance injectée sur les bases des transistors de l'étage supérieur et inférieur. Cette fois-ci



la tension  $V_{OL}$  est du même ordre de grandeur que  $V_T$ . Si les signaux RF et OL sont en phase, la tension de sortie est alors définie par l'équation (III-2) :

$$V_{OUT} = -2R_C I_P \tanh\left(\frac{V_{OL}}{2V_T}\right) \tanh\left(\frac{V_{RF}}{2V_T}\right) \quad (\text{III-2})$$

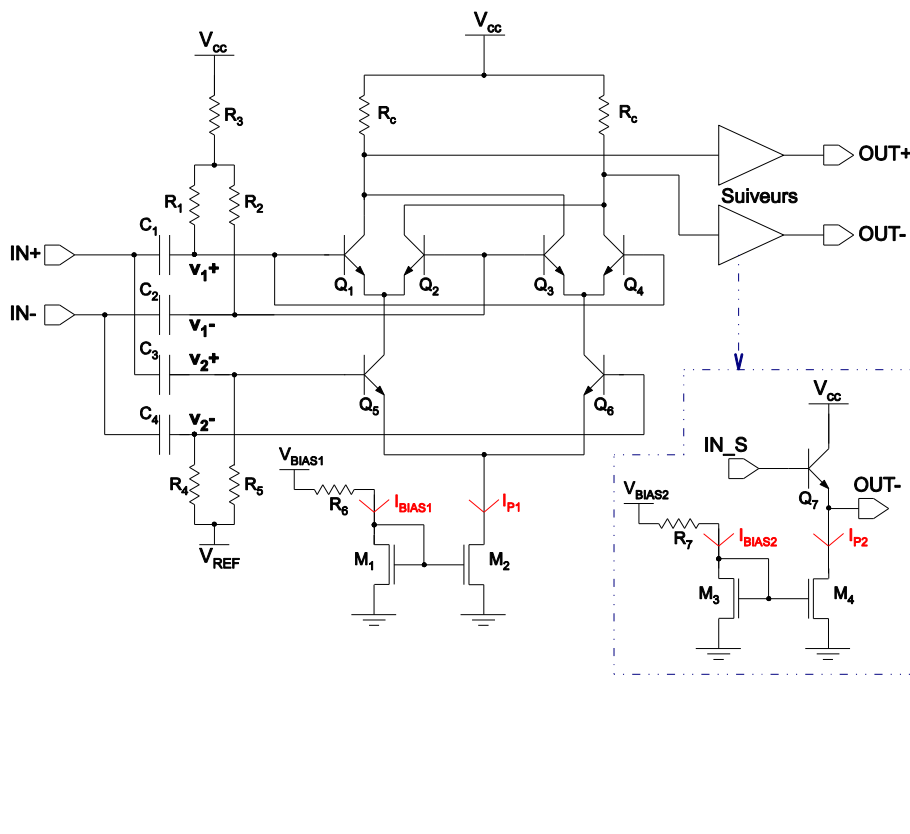
Pour utiliser la cellule de Gilbert comme détecteur d'enveloppe, le signal RF reçu de faible puissance ( $<-16\text{dBm}$ ) est aussi injecté sur la base des 4 transistors supérieurs, comme illustré Figure III-4, elle fonctionne alors en multiplieur car  $V_{OL}=V_{RF}\ll 2V_T$ , l'équation (III-2) devient :

$$V_{OUT} = -2R_C I_P V_{RF}^2 \quad (\text{III-3})$$

La cellule de Gilbert joue alors son rôle de détecteur d'enveloppe actif et permet donc de démoduler un signal OOK.

### III.2.1.2 Implémentation du modulateur 60GHz

Afin de valider le principe de démodulation par détection active en utilisant une cellule de Gilbert, cette fonction a d'abord été implémentée à 60GHz. Le schéma électrique avec la valeur des composants utilisés sont présentés Figure III-5.



Valeur des composants :  
 $Le(Q_{1-4}) = 3\mu\text{m}$   
 $Le(Q_{5-6}) = 3\mu\text{m}$   
 $Le(Q_7) = 4\mu\text{m}$   
 $M_1 = 2 \times 10 \times 0.25\mu\text{m}$   
 $M_2 = 10 \times M_1$   
 $M_3 = 1 \times 4 \times 0.25\mu\text{m}$   
 $M_4 = 4 \times M_1$   
 $R_C = 450\Omega$   
 $R_{1-2} = 11\text{K}\Omega$   
 $R_3 = 23 \times 11\text{K}\Omega$   
 $R_5 = 11\text{K}\Omega$   
 $R_6 = 1\text{K}\Omega$   
 $R_7 = 1\text{K}\Omega$   
 $C_{1-4} = 420\text{fF}$

Valeurs des polarisations :  
 $I_{BIAS1} = 300\mu\text{A}$   
 $I_{P1} = 2.8\text{mA}$   
 $I_{BIAS2} = 300\mu\text{A}$   
 $I_{P2} = 1.2\text{mA}$   
 $V_{CC} = 2.5\text{V}$   
 $V_{REF} = 1.1\text{V}$   
 $V_{BIAS1} = 0.8\text{V}$   
 $V_{BIAS2} = 1.3\text{V}$

Figure III-5 : Schéma électrique et valeur des composants du démodulateur 60GHz.

L'utilisation d'un LNA permet de fixer le facteur de bruit quelle que soit la distance de transmission. En effet, le facteur de bruit est directement lié aux pertes donc directement de la distance de communication qui fixe les pertes. Cependant, le bilan énergétique global s'en trouve alourdi. Pour les distances très courtes, l'usage d'un LNA sera à éviter puisque les faibles pertes de conversion du démodulateur tolèrent un facteur de bruit plus élevé. La conception du démodulateur a donc été orientée en priorité sur sa sensibilité afin d'obtenir un fonctionnement avec une puissance d'entrée la plus faible possible.

Pour rappel, le signal d'entrée sur l'étage supérieur et inférieur de la cellule de Gilbert est le même. Par conséquent, pour obtenir le maximum de gain, la phase des signaux sur la base des transistors doit être la même à chaque instant. En effet, si  $\varphi$  est l'erreur de phase entre les signaux  $V_1$  et  $V_2$ , et  $D$  la différence de longueur de chemin entre les signaux  $V_1$  et  $V_2$ , la tension de sortie s'exprime alors :

$$V_{OUT} = -2R_C I_P V_{IN}^2 \cos(\varphi) = -2R_C I_P V_{IN}^2 \cos\left(\frac{2\pi D}{\lambda_g}\right) \quad (III-4)$$

Avec  $\lambda_g$  la longueur d'onde guidée dans le silicium. Ainsi, une adaptation indépendante pour chacun des étages de démodulateur (RF et OL) engendrerait un déphasage entre les deux étages (RF et OL) et donc des pertes comme le montre l'équation (III-5). De plus, la longueur des accès doit être identique sur chaque transistor ; à 60GHz, l'écart de phase d'une ligne sur silicium est  $0.15^\circ/\mu\text{m}$ . L'adaptation d'impédance est donc commune aux deux étages.

Afin d'augmenter la sensibilité du démodulateur, un étage amplificateur à base d'une paire différentielle a été ajouté à l'entrée du mélangeur.

Pour caractériser la bande passante du mélangeur, deux signaux sinusoïdaux de même puissance sont injectées en entrée, le premier à une fréquence fixe  $f_1$  de 60GHz, et un deuxième à une fréquence variable  $f_2$  comprise entre 50GHz à 70GHz. La linéarité du mélangeur est obtenue en injectant en entrée deux signaux sinusoïdaux de fréquences fixes, 60 et 61GHz, de puissance variable. La Figure III-6 présente le gain et le facteur de bruit double bande latérale (NFdsb) simulés en fonction de la puissance d'entrée pour deux signaux d'entrée aux fréquences 60 et 61GHz de puissance identique, notée  $P$ . La puissance d'entrée  $P_{in}$  sur le graphique représente la moitié de la puissance  $P$ . Pour  $P_{in}$  égale à -28dBm, le gain est de 9.7dB et le NFdsb de 10dB.

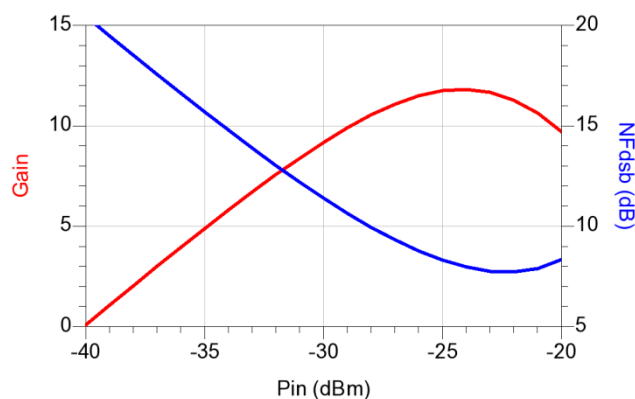


Figure III-6 : Simulation du gain et de la figure de bruit double bande (NFdsb) du démodulateur en fonction la puissance d'entrée  $P_{in}$

### III.2.1.3 Mesures du démodulateur 60GHz

Pour caractériser le circuit, deux signaux aux fréquences  $f_1$  et  $f_2$  doivent être sommés à l'entrée du mélangeur, comme explicité précédemment. Cette opération peut être réalisée soit en utilisant un coupleur externe en bande V, soit en intégrant directement le coupleur sur silicium. L'option retenue a été d'implémenter sur silicium un coupleur de Wilkinson suivi d'un balun pour obtenir un signal différentiel en entrée de la paire différentielle (Figure III-7). Ainsi, la caractérisation s'effectuera en injectant en  $IN_1$  le signal généré par un synthétiseur 0-67GHz, et en  $IN_2$  le signal issu d'un analyseur de réseaux vectoriels. Ces deux sources pourront donc être pilotées indépendamment en fréquence et en puissance.

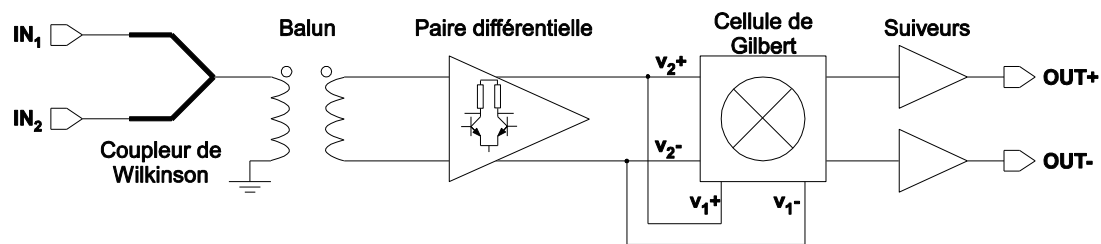


Figure III-7 : Schéma du démodulateur et des blocs permettant sa caractérisation

La Figure III-8 présente le layout du démodulateur avec les éléments passifs ajoutés pour sa caractérisation. Le cœur du circuit n'occupe que  $0.05\text{mm}^2$  de surface silicium. Les éléments passifs, coupleur et balun, ont été caractérisés seuls afin de connaître les puissances effectives injectées à l'entrée de la paire différentielle.

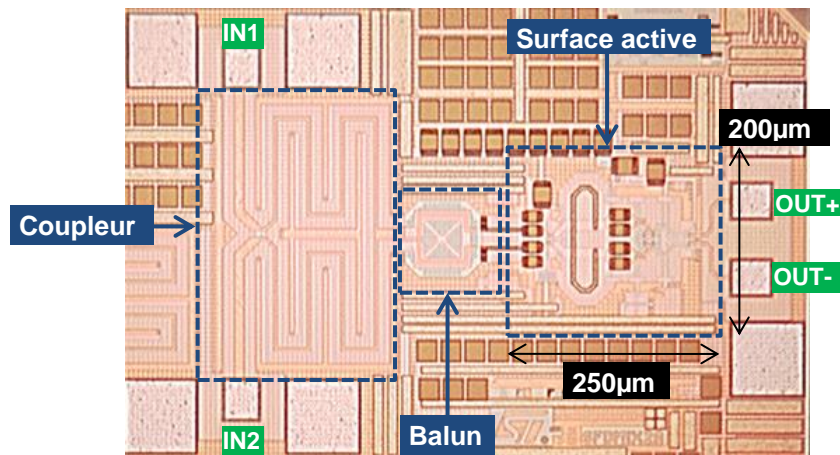


Figure III-8 : Microphotographie du démodulateur à 60GHz

Le gain du démodulateur en fonction de la puissance d'entrée est présenté sur la Figure III-9a pour deux signaux sinusoïdaux aux fréquences 60 et 61GHz. La bande passante du démodulateur, présentée sur la Figure III-9b, est obtenue pour une puissance d'entrée de  $-28\text{dBm}$ . Les résultats d'une rétro-simulation, présentés sur la Figure III-9, sont cohérents aux mesures réalisées. La caractérisation en bruit de ce circuit s'est avérée complexe à réaliser, le facteur de bruit n'a donc pas pu être mesuré.

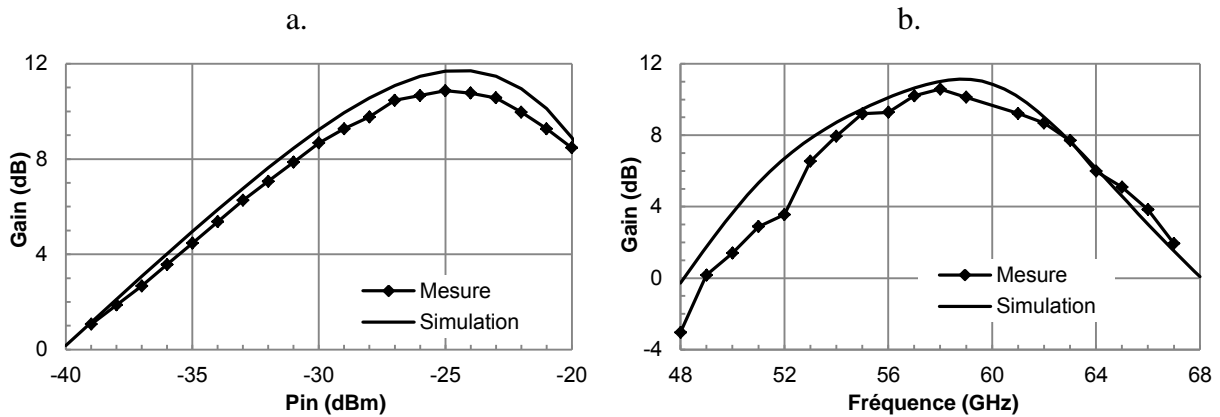


Figure III-9 : Comparaison mesure et simulation du gain du démodulateur : a. en fonction de la puissance d'entrée, avec deux tons à fréquences fixes 60GHz et 61GHz ; b. en fonction de la fréquence, pour  $P_{in} = -28\text{dBm}$ .

Pour valider le fonctionnement du démodulateur en détection d'enveloppe, un signal 60GHz modulé OOK (en tout ou rien) a été injecté en entrée du circuit. Ce signal est issu d'un mélangeur sous-harmonique associé (Millitech MXP-15-R) à un synthétiseur 30GHz et à un générateur de séquences binaires pseudo-aléatoires (Tektronix AWG7102). Le banc de mesure est décrit Figure III-10.

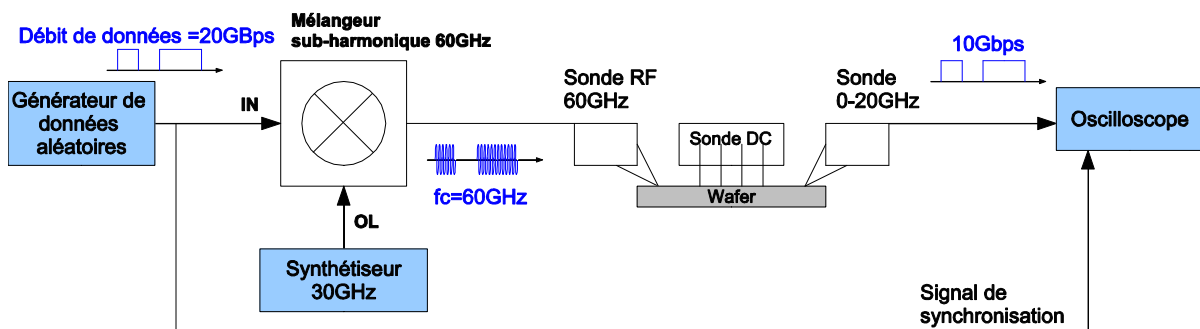


Figure III-10 : Banc de mesure du circuit en mode démodulation

L'oscilloscope connecté en sortie du démodulateur permet de visualiser les données en bande de base. Le diagramme de l'œil du signal de sortie permet d'apprécier qualitativement les performances du démodulateur. Une démodulation a été réalisée jusqu'à un débit de données de 10Gbps. La Figure III-11 présente la capture d'écran du diagramme de l'œil du signal d'entrée et du signal de sortie. L'ouverture du diagramme de l'œil permet de valider qualitativement les performances du système. Les quelques signaux parasites observés (visible à l'intérieur de l'ouverture de l'œil du signal de référence et du signal de sortie) sont dus au dispositif expérimental et non au système étudié.

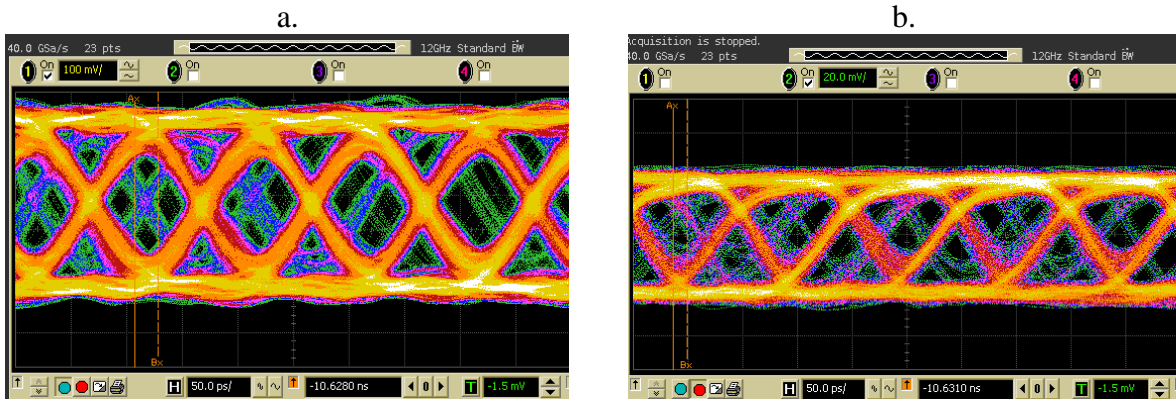


Figure III-11 : Diagramme de l'œil du démodulateur à 10Gbits/s : a. Signal de référence b. Signal de sortie

Afin de confirmer que le démodulateur ne dégrade que très peu la qualité de la réception, les facteurs de qualité du signal source et du signal de sortie ont été relevés en fonction du débit de données, les résultats sont présentés sur la Figure III-12. Le facteur de qualité  $Q$  d'une transmission permet de juger objectivement la dégradation d'un signal. Il est défini par :

$$Q = \frac{\mu_1 - \mu_0}{\sqrt{|\sigma_1^2 - \sigma_0^2|}} \quad (\text{III-6})$$

Où  $\mu_i$  et  $\sigma_i$  représente respectivement l'écart moyen et l'écart type des distributions gaussiennes des niveaux logiques « 0 » et « 1 ».

Le facteur de qualité de la référence diminue en fonction du débit de données, comme présenté sur la Figure III-12. Le facteur de qualité du signal de sortie suit alors cette même tendance. Ce graphique prouve donc que la démodulation est correcte jusqu'à 10Gbits/s. Par ailleurs, le facteur de qualité d'une transmission est corrélé aux taux d'erreur par bit (BER) [37]. Ce point est détaillé dans l'annexe 1. Un facteur de qualité de 6.1 correspond à un BER de  $10^{-9}$ , par conséquent, le démodulateur présente un BER inférieur à  $10^{-9}$  pour un débit de données de 8Gbits/s.

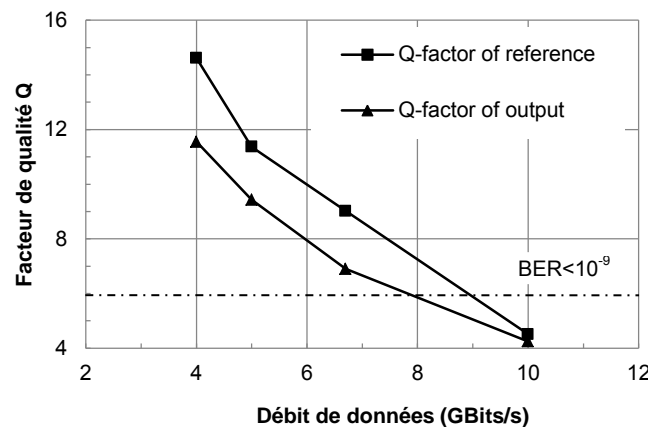


Figure III-12 : Facteur de qualité du signal de référence et de la sortie du démodulateur en fonction du débit de données

Le Tableau III-3 présente un récapitulatif des performances du démodulateur réalisé ainsi qu'une comparaison aux circuits similaires déjà publiés. Le circuit réalisé présente une plus grande sensibilité, car il fonctionne pour une puissance d'entrée de -28dBm. De plus, il a été testé à des débits deux fois plus importants. D'autre part, ce circuit est le plus compact car il utilise une surface silicium de 0.05 mm<sup>2</sup> et il présente une meilleure efficacité par bit.

Référence	[38]	[39]	Ce travail
Technologie	90 nm CMOS	130 nm CMOS	130nm SiGe:C
Puissance d'entrée (dBm)	-16	-16	-28
Gain (dB)	10	13.6	9.7
Puissance consommée (mW)	28.7	14.7	21
Débit de données (Gbps)	3.5	5	10
Energie/bit (pJ/bit)	8.2	2.9	2.1
Surface (mm <sup>2</sup> )	0.13*	0.12*	0.05

\*: estimation graphique

Tableau III-3 : Comparaison des performances des démodulateurs OOK à 60GHz

### III.2.1.4 Analyse du gain dissymétrique entre les deux sorties du démodulateur

En simulation, un écart de gain est visible entre les deux voies de sorties OUT+ et OUT-. Cet écart a aussi été constaté lors de caractérisation expérimentale du démodulateur. Les résultats de la différence de gain entre les deux voies sorties sont présentés sur la Figure III-13.

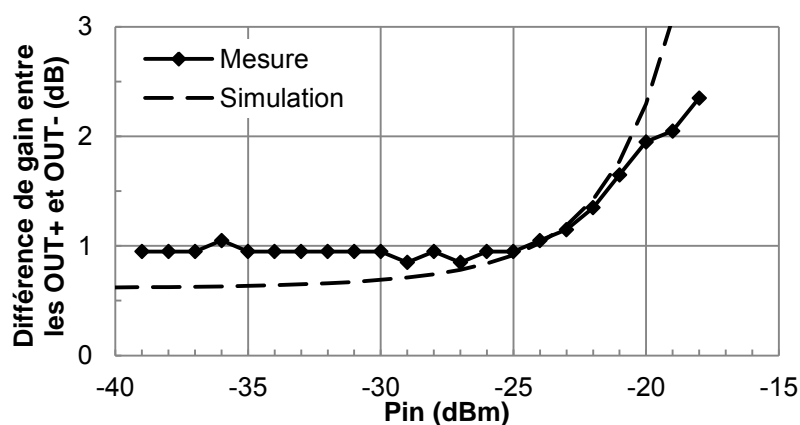


Figure III-13 : Différence de gain entre les voies OUT+ et OUT- du démodulateur obtenue en simulation et en mesure

L'utilisation de la cellule de Gilbert en tant que détecteur d'enveloppe explique l'écart de gain obtenu entre les 2 voies OUT+ et OUT-. Afin de bien comprendre, une démonstration analytique du fonctionnement est nécessaire : soient A et B les amplitudes des 2 sinusoïdes

injectées en entrée (RF voie 1 et OL voie 2), et  $\omega_1$  et  $\omega_2$  leurs pulsations respectives. En reprenant les notations du schéma électrique de cellule de Gilbert présenté Figure III-5, les tensions d'entrées sur les bases des transistors peuvent s'exprimer :

$$\begin{cases} V_1^+(t) = V_2^+(t) = A \cdot \cos(\omega_1 \cdot t) + B \cdot \cos(\omega_2 \cdot t) \\ V_1^-(t) = V_2^-(t) = -A \cdot \cos(\omega_1 \cdot t) - B \cdot \cos(\omega_2 \cdot t) \end{cases} \quad (\text{III-7})$$

En petit signal, la cellule de Gilbert fonctionne en multiplieur comme expliqué dans le paragraphe III.2.1.1. Sans tenir compte du gain de la cellule de Gilbert (ou en considérant un gain normalisé ; égal sur les deux sorties), les signaux de sortie sont alors :

$$\begin{cases} \text{OUT}^+(t) = V_1^+(t) \cdot V_2^+(t) + V_1^-(t) \cdot V_2^-(t) \\ \text{OUT}^-(t) = V_1^+(t) \cdot V_2^-(t) + V_1^-(t) \cdot V_2^+(t) \end{cases} \quad (\text{III-8})$$

$$\text{Soit :} \quad \begin{cases} \text{OUT}^+(t) = (A^2 + B^2) + 2 \cdot A \cdot B \cdot \cos((\omega_1 - \omega_2) \cdot t) \\ \text{OUT}^-(t) = -(A^2 + B^2) - 2 \cdot A \cdot B \cdot \cos((\omega_1 - \omega_2) \cdot t) \end{cases} \quad (\text{III-9})$$

Une composante continue ( $A^2 + B^2$ ) se retrouve donc additionnée au signal utile en sortie ; cette constante est complètement indépendante de la pulsation et apparait dans ce cas du fait que les deux signaux d'entrées sont identiques. Celle-ci est positive sur la voie  $\text{OUT}^+(t)$  et négative sur la voie  $\text{OUT}^-(t)$ . Cette différence de tension entre les voies se répercute par une différence de courant de polarisation entre les couples de transistors ( $Q_1, Q_3$ ) et ( $Q_2, Q_4$ ), et donc une différence de transconductance  $g_m$  entre ces transistors. Or le gain de la cellule de Gilbert est dépendant du courant de polarisation comme cela est exprimé par l'équation (III-2) qui est rappelée ici :

$$V_{\text{OUT}} = -2R_C I_P \tanh\left(\frac{V_{\text{OL}}}{2V_T}\right) \tanh\left(\frac{V_{\text{RF}}}{2V_T}\right) \quad (\text{III-10})$$

Le gain des voies  $\text{OUT}^+(t)$  et  $\text{OUT}^-(t)$  est par conséquent différent. De plus, la différence de gain entre les voies augmente avec la puissance d'entrée. Cette différence de gain entre les deux voies de sorties se retrouve aussi lors d'une démodulation d'un signal OOK. Soit en entrée les signaux :

$$\begin{cases} V_1^+(t) = V_2^+(t) = I(t) \cdot \cos(\omega_{\text{OL}} \cdot t) \\ V_1^-(t) = V_2^-(t) = -I(t) \cdot \cos(\omega_{\text{OL}} \cdot t) \end{cases} \quad (\text{III-11})$$

Avec  $I(t)$  le train binaire de données pouvant prendre la valeur de l'état bas et de l'état haut. Les signaux de sorties s'écrivent alors :

$$\begin{cases} \text{OUT}^+(t) = I(t)^2 \\ \text{OUT}^-(t) = -I(t)^2 \end{cases} \quad (\text{III-12})$$

Lorsque  $I(t)$  est à l'état haut, le même phénomène de différence de gain sur les 2 voies de sortie se reproduit. Ce problème est peu marqué pour de faibles puissances d'entrée, mais il deviendrait une limitation à l'utilisation de cette architecture pour des puissances plus importantes car cette différence entre les 2 voies de sortie déséquilibre le fonctionnement différentiel des blocs suivants.

Après avoir validé l'utilisation de la cellule de Gilbert comme détecteur d'enveloppe à 60GHz, le démodulateur à 140GHz a été réalisé en se basant sur la même topologie afin d'obtenir une bande passante supérieure et assurer ainsi des débits de transmissions tendant vers 20Gbps.

### III.2.1.5 Implémentation du démodulateur 140GHz

Dans un deuxième temps, le démodulateur a été réalisé à 140GHz. Afin d'améliorer les performances en termes de gain et de facteur de bruit, un balun 3 ports a été utilisé en entrée. Son avantage est double : d'une part il permet tout d'abord d'ajuster indépendamment la phase des signaux  $V_1$  et  $V_2$  afin que les bases des transistors des deux étages d'entrée soient excitées en phase ; d'autre part il assure le découplage entre les deux étages du mélangeur, remplaçant ainsi les capacités de découplage. Le schéma électrique du démodulateur 140GHz est présenté Figure III-14. Les valeurs des transistors (longueur d'émetteur de  $3\mu\text{m}$ ) et dimensions des interconnexions et composants passifs sont identiques à la cellule de Gilbert à 60GHz (cf. Figure III-5). Les adaptations d'impédance en entrée sont réalisées par le balun 3 ports et des capacités d'accord parallèles ( $C_{A1}$ ,  $C_{A2}$ ,  $C_{A3}$ ).



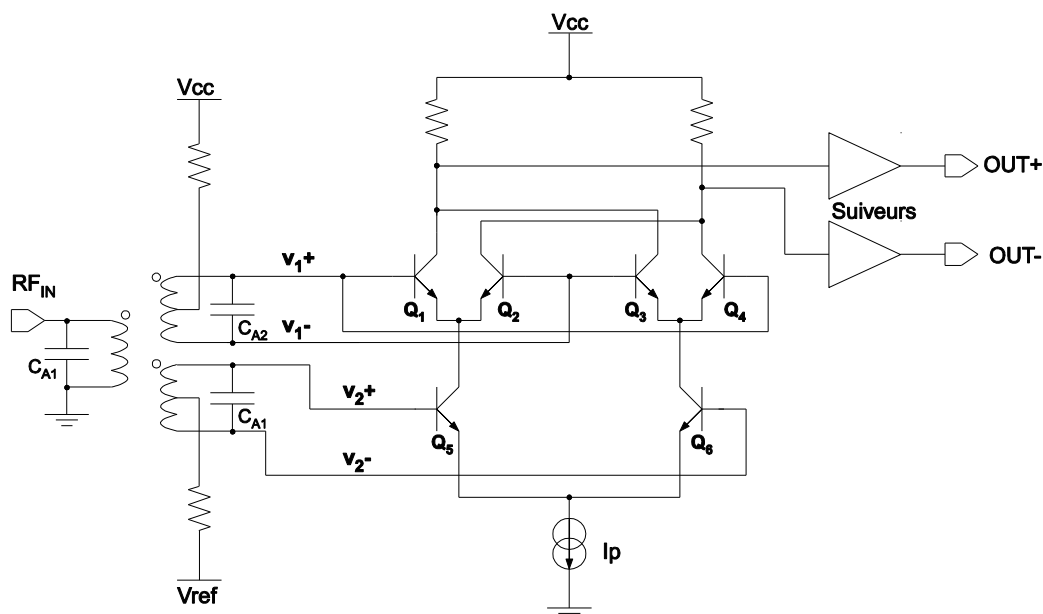


Figure III-14 : Schéma électrique simplifié du démodulateur 140GHz

Le gain en courant des transistors décroît en suivant une pente de -20dB par décade de fréquence, les transistors ont des performances moindres à 140GHz qu'à 60GHz. Le gain de la cellule de Gilbert à 140GHz est donc inférieur à celui du démodulateur à 60GHz. De plus, le facteur de bruit est nettement plus élevé que précédemment.

Le gain du démodulateur en fonction de la puissance d'entrée est représenté sur la Figure III-15a pour deux signaux de fréquences 140 et 141GHz. Un gain maximum de 1dB est obtenu pour une puissance d'entrée de -15dBm, pour un facteur de bruit de 24dB. La bande passante à -3dB du démodulateur est de l'ordre de 20GHz, représentée Figure III-15b, obtenue par une puissance d'entrée de -17dBm. Le circuit consomme 16mW sous 2.5V.

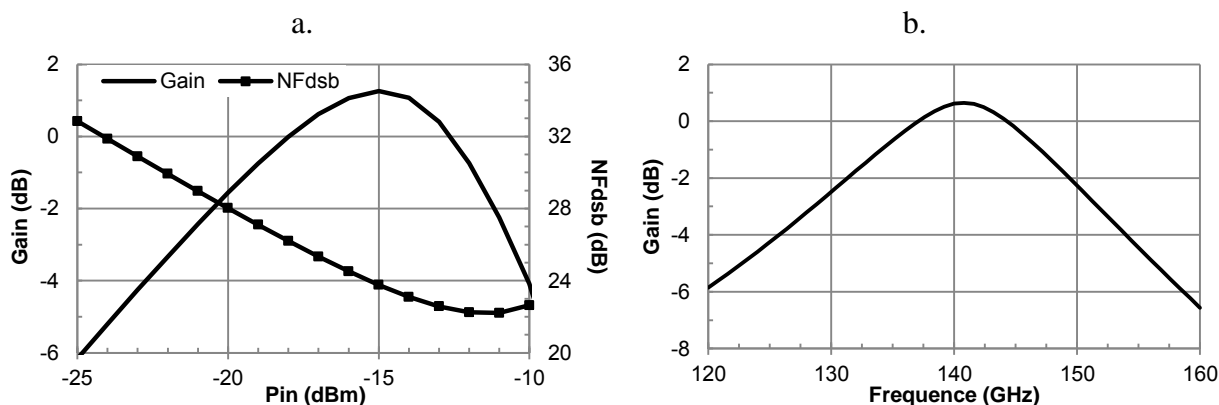
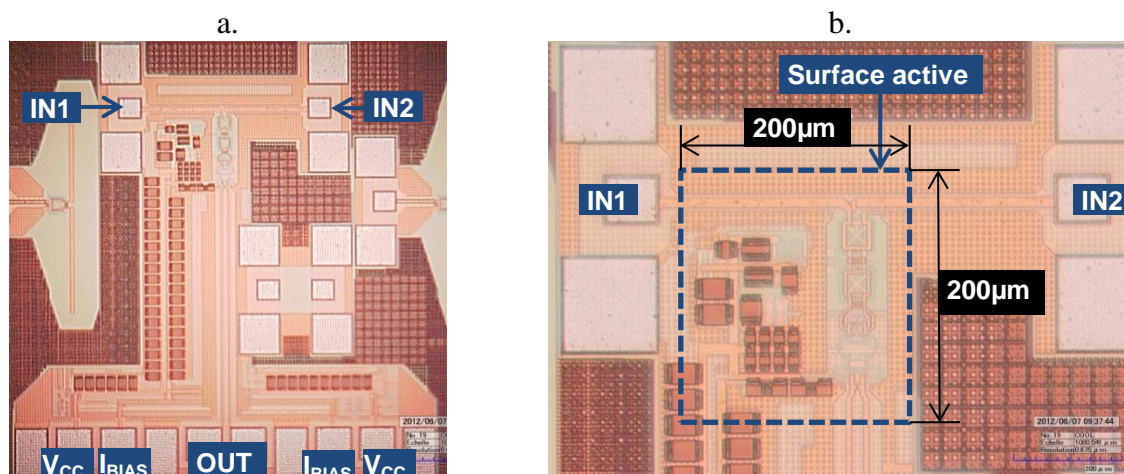


Figure III-15 : Simulation du gain et du facteur de bruit du démodulateur 140GHz : a. en fonction de la puissance d'entrée, b. en fonction de la fréquence

La Figure III-16 présente la microphotographie du démodulateur réalisé. La surface active du circuit est de 0.04mm<sup>2</sup>. Tout comme pour le démodulateur à 60GHz, et pour des

raisons de test, un coupleur a été ajouté en entrée du démodulateur pour permettre la somme des 2 signaux LO+RF à l'entrée du démodulateur afin de caractériser le circuit. A 60GHz, un coupleur de Wilkinson avait été utilisé en additionneur, cette fois-ci, cette fonction est réalisée par un balun 3 ports présentant des performances équivalentes au coupleur de Wilkinson précédemment réalisé à 60GHz, à savoir environ 4dB de pertes par voie. L'avantage du balun trois ports est de minimiser la surface silicium occupée par rapport au coupleur de Wilkinson.



Pour caractériser le démodulateur à 140GHz, il est nécessaire d'avoir une source en bande G. Avec l'ajout du balun 3 ports, il était prévu de combiner les signaux des têtes millimétriques de l'analyseur de réseau en bande G. Malheureusement, la puissance disponible dans le plan des pointes est inférieure à ce qui avait été estimé (-27dBm maxi disponible) et il n'a donc pas été possible de caractériser le démodulateur.

Cependant, ce démodulateur a été implémenté dans la chaîne d'émission-réception complète qui a pu être entièrement caractérisée. Ces mesures sont présentées dans le chapitre IV, partie IV.4.1.2, et attestent du bon fonctionnement du démodulateur.

Pour augmenter la sensibilité de la chaîne de réception, il est nécessaire d'ajouter un amplificateur faible bruit (LNA) afin de diminuer l'influence du bruit de ce démodulateur sur le facteur de bruit global du récepteur.

### III.2.2 Conception du LNA

L'amplificateur faible bruit est l'élément clé déterminant les performances globales d'un récepteur. En effet, le LNA étant le premier bloc de la chaîne de réception, d'après la formule de Friis, il a le plus d'influence sur le facteur de bruit total. D'autre part, plus le LNA aura de gain, plus le récepteur aura de sensibilité au signal reçu; la linéarité n'étant pas ici un critère important aux vues des puissances mises en jeu. Ainsi dans le bilan de liaison, le LNA devient déterminant dans la distance de communication du système. D'après le bilan réalisé au début de ce chapitre (paragraphe III.1.2), les performances visées pour le LNA sont : un gain supérieur à 25dB et un facteur de bruit inférieur à 9dB.

### III.2.2.1 Choix de la topologie

La topologie du LNA découlera des performances des transistors de la technologie SiGe :C BiCMOS 0.13 $\mu\text{m}$  à la fréquence souhaitée. La Figure III-17 présente le maximum de gain disponible (MAG) et le facteur de bruit (NF) d'un transistor bipolaire à 140GHz en fonction de la longueur d'émetteur pour une configuration CBEBC. Le MAG maximum est d'environ 4.55 dB obtenu pour une longueur d'émetteur comprise entre 2 $\mu\text{m}$  et 6 $\mu\text{m}$ . Pour ces développements, le facteur de bruit augmente, quant à lui, en fonction de la longueur d'émetteur et est compris entre 4.2 et 5.2dB.

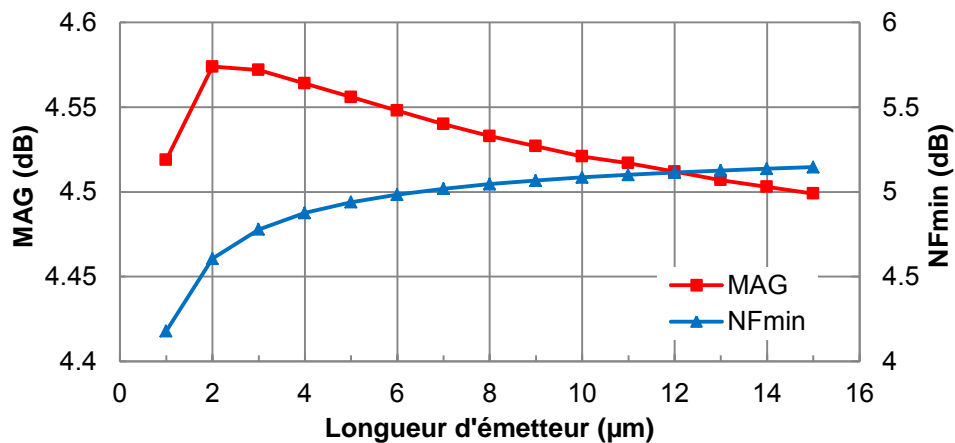


Figure III-17 : MAG et NFmin à 140GHz en fonction de la longueur d'émetteur

Les réseaux d'adaptions d'entrée et de sortie d'un étage d'amplification présentent généralement des pertes de l'ordre de 1dB chacun. Cela implique qu'un étage émetteur commun adapté sur 50 $\Omega$  présentera un gain maximum d'environ 2.5dB à 140GHz dans cette technologie. Une structure cascode permet d'augmenter significativement le gain d'un étage d'amplification. Le MAG des transistors est limité avant tout par la capacité  $C_{BC}$  en haute fréquence dont son effet est multiplié par l'effet Miller. Une structure cascode permet de s'affranchir de son influence car le gain en tension de l'étage émetteur-commun est proche de l'unité, l'effet Miller est ainsi minimisé.

La simulation d'un étage d'amplification différentiel cascode a été effectuée afin d'estimer les performances d'une telle architecture. Les transistors utilisés pour la simulation ont une longueur d'émetteur de 2 $\mu\text{m}$  car, d'après la Figure III-17, c'est la longueur qui présente le meilleur compromis entre le gain, le facteur de bruit et la consommation. Les transistors sont polarisés avec un courant  $I_p$  de 2mA. La Figure III-18b présente l'évolution du MAG et du NFmin de l'étage d'amplification à 140GHz en fonction de la tension de polarisation des bases communes du cascode  $V_{cas}$ . Les transistors  $Q_{1-4}$  fonctionnent en zone active pour une tension  $V_{CAS}$  supérieure à 1.6V. Un étage cascode différentiel peut présenter un MAG de 13.5dB et un  $NF_{min}$  de 7.7dB pour une tension  $V_{cas}$  de 2.1V. Un étage cascode non différentiel présenterait un gain maximum de 10.5dB, soit 6dB de plus qu'un étage d'amplification en émetteur commun à 140GHz.

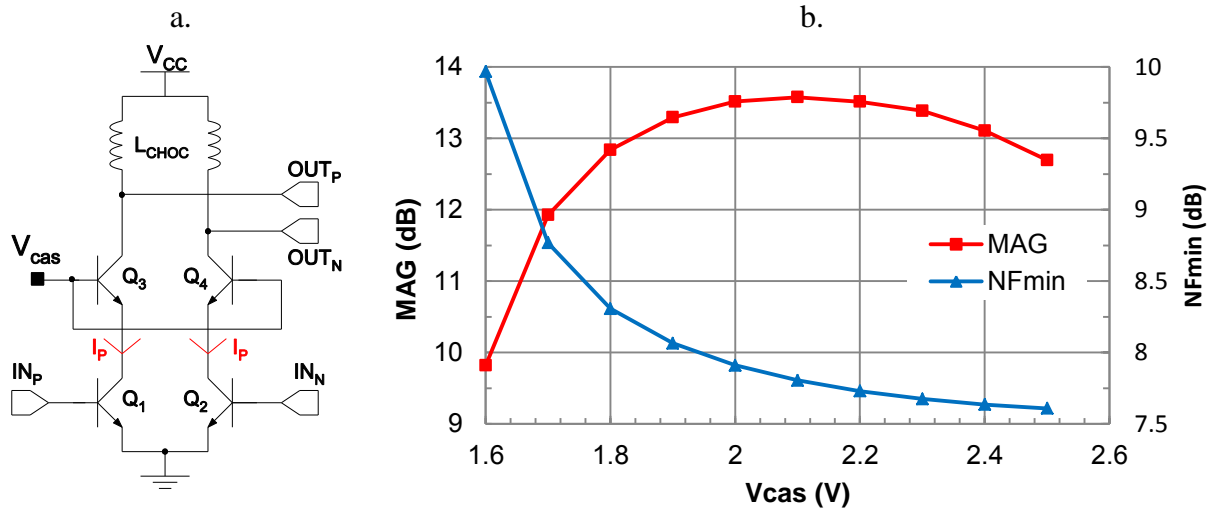


Figure III-18 : a. Schématique d'un étage d'amplification différentiel cascode b.MAG et NFmin d'un étage différentiel cascode en fonction de la tension  $V_{cas}$ .

Une topologie cascode a donc été retenue pour la conception du LNA et afin, afin d'obtenir un gain total supérieur à 25dB, il sera composé de 3 étages.

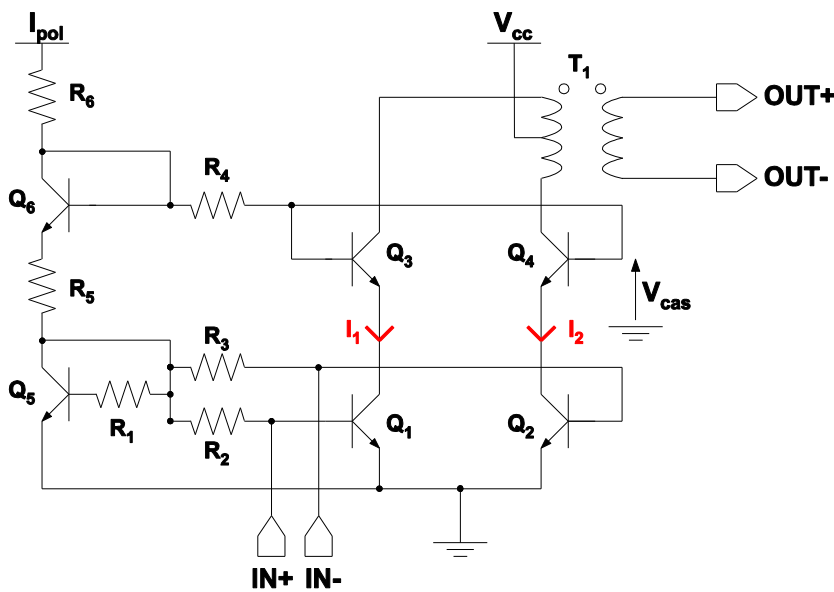
L'implémentation sur silicium est une étape déterminante dans les performances final du LNA ; les réseaux d'adaptation inter-étages ajoutent des pertes qui viennent modifier les performances global du LNA.

### III.2.2.2 Implémentation du LNA

En s'appuyant sur les résultats de simulation de la Figure III-17, la longueur d'émetteur des transistors des deux premiers étages du LNA a été fixée à  $2\mu\text{m}$  et le courant de polarisation à 2mA afin de maximiser le gain à 140GHz et de minimiser le bruit. Les deux premiers étages du LNA sont identiques car le point de compression des deux premiers étages ne sera pas atteint avec les puissances d'entrées mise en jeu. Le schéma électrique des deux premiers étages du LNA avec la valeur des composants est présenté Figure III-19.

Le courant de polarisation de l'étage est fixé directement par le courant de base des transistors  $Q_1$  et  $Q_2$  via le transistor  $Q_5$  monté en diode et les résistances  $R_1, R_2$  et  $R_3$ . Afin de limiter la consommation de la branche de polarisation, la longueur d'émetteur de  $Q_5$  est deux fois plus petite que la longueur d'émetteur de  $Q_1$  et  $Q_2$ . Donc pour obtenir  $I_1=I_2=2I_{pol}$ , les valeurs des résistances sont fixées telles que  $R_1=2R_2=2R_3$ .

Chaque étage du LNA possède son propre réseau de polarisation. Le transistor  $Q_5$  est au plus proche des transistors  $Q_1$  et  $Q_2$ , il partage ainsi le même environnement : les émetteurs ont la même tension quelle que soit la résistance série de la ligne d'accès du GND, et ces 3 transistors fonctionnent à la même température. De cette façon, le courant de polarisation est très peu dépendant des variations technologiques et de la température de la structure.

Figure III-19 : Schéma électrique et valeur des composants du 1<sup>er</sup> et 2<sup>ème</sup> étages du LNA

Valeur des composants :

$Le(Q_1, Q_2) = 2\mu\text{m}$   
 $R_1 = 2 \cdot R_2 = 2 \cdot R_3 = 750\Omega$   
 $R_4 = 1\text{K}\Omega$   
 $R_5 = 250\Omega$   
 $R_6 = 620\Omega$

Valeurs des courants :

$I_1 = I_2 = 2\text{mA}$   
 $I_{POL} = 1\text{mA}$

Valeurs des tensions :

$V_{cc} = 2.5\text{V}$   
 $V_{cas} = 2\text{V}$

Les deux premiers étages sont identiques et sont optimisés pour obtenir un bruit minimum. Le 3<sup>ème</sup> étage est composé de transistors dont la longueur d'émetteur est de  $3\mu\text{m}$ , avec un courant  $I_1$  et  $I_2$  de  $3\text{mA}$ , afin d'optimiser le gain et la linéarité du LNA.

Avant de déterminer les réseaux d'adaptation, la stabilité de chaque étage doit être étudiée.

### III.2.2.3 Etude de la stabilité du 1<sup>er</sup> étage du LNA

Un amplificateur est inconditionnellement stable quelles que soient les impédances présentées en entrée et en sortie si la partie réelle des impédances d'entrée et de sortie de l'amplificateur sont positives à toutes les fréquences en mode commun et en mode différentiel. Le mode différentiel, n'a pas posé spécialement de problème pour tous les étages de ce LNA. En mode commun, les impédances d'entrée et de sortie peuvent plus souvent être négatives à certaines fréquences du fait de la dépendance aux accès DC. Pour cet amplificateur la partie réelle de l'impédance de sortie est bien positive à toutes les fréquences en mode différentiel, mais des zones d'instabilités potentielles sont visibles figIII-21 en mode commun, à la fois en parties imaginaires et réelles. Ces zones d'instabilités potentielles se situent pour des fréquences inférieures à  $20\text{GHz}$ , et sont dépendantes du découplage de l'alimentation. La Figure III-20 montre la partie réelle de l'impédance d'entrée en mode commun d'un étage d'amplification simulée pour différentes configurations du découplage de l'alimentation  $V_{CC}$ .

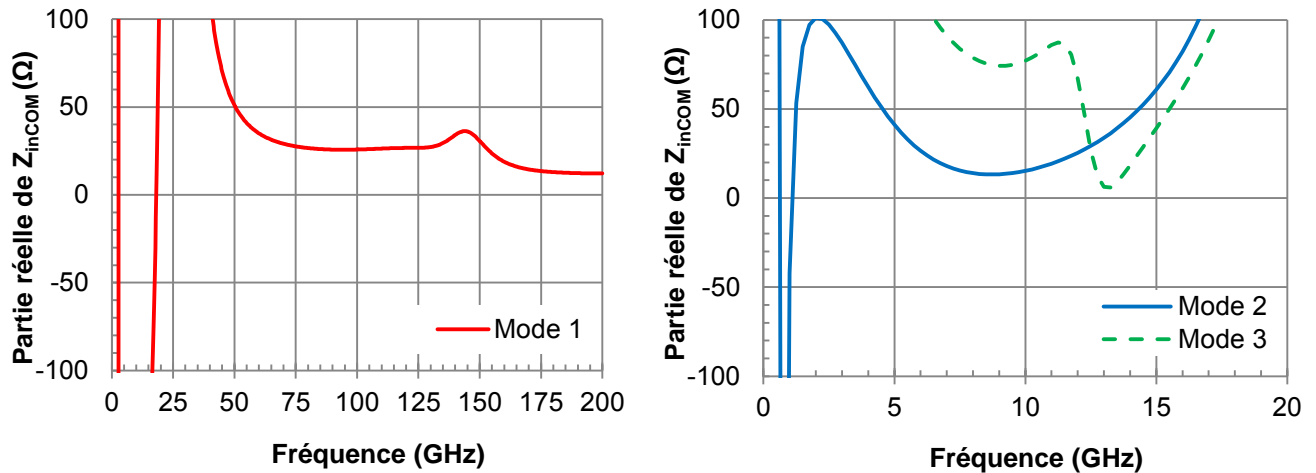


Figure III-20 : Partie réelle de l'impédance d'entrée en mode commun  $Z_{inCOM}$  du 1<sup>er</sup> étage du LNA

Le mode 1 correspond à la simulation du 1<sup>er</sup> étage du LNA sans capacité de découplage entre le GND et l'alimentation Vcc. L'étage est potentiellement instable pour des fréquences inférieures à 20GHz. Le mode 2 est simulé avec 2.4pF de capacités de découplage au plus proche du circuit. La zone d'instabilité est alors décalée à des fréquences inférieures à 1GHz. Le mode 3 est simulé avec les capacités de découplages du mode 2 et des capacités ajoutées tout au long des accès Vcc et GND sur la puce.

Compte tenu de ces résultats, chaque étage du LNA sera découplé au plus près du circuit actif par des capacités dont la valeur totale sera de 2.4pF. De plus les lignes d'alimentation sur silicium seront découplées du plot au circuit assurant la stabilité inconditionnelle du LNA.

#### III.2.2.4 Performances du LNA

La Figure III-21 présente les performances simulées du LNA 3 étages. Ces résultats sont obtenus après extractions électromagnétiques des éléments parasites provenant des interconnexions entre les composants. Le gain à 140GHz du LNA est de 27dB et sa bande passante à -3dB est de 24GHz (de 131GHz à 155GHz). Le point de compression à 1dB est atteint pour une puissance d'entrée de -26.4dBm, la puissance de sortie est alors de -0.4dBm. D'après le bilan de liaison, la puissance d'entrée est comprise entre -50dBm et -30dBm, le LNA fonctionnera donc toujours dans sa zone linéaire. Le LNA 3 étages consomme 35mW sous une tension de 2.5V.

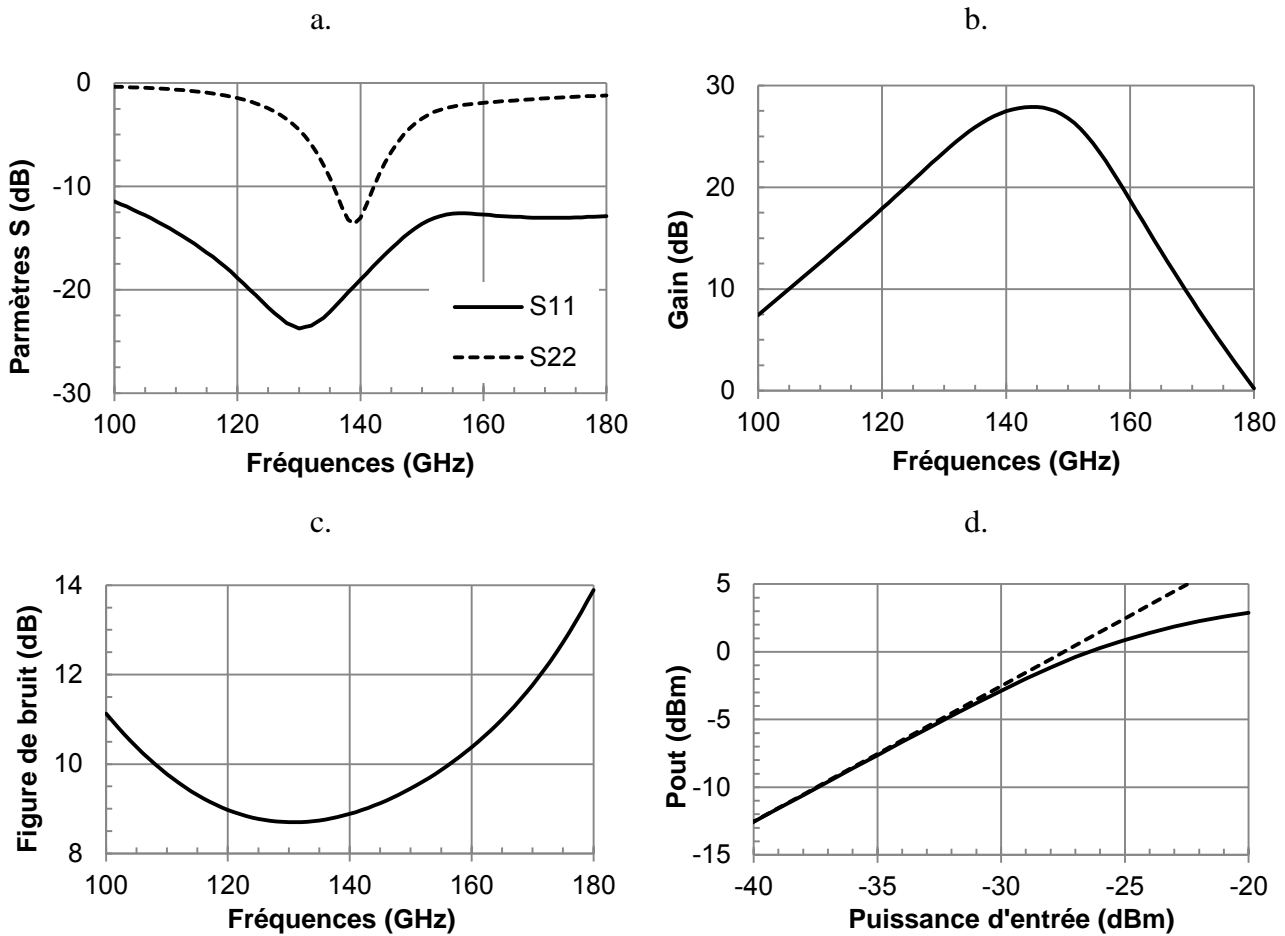


Figure III-21 : Performances simulées du LNA 3 étages : a. Paramètres S11 et S22 ; b. Gain ; c. Figure de bruit ; d. Puissance de sortie

L'équipement actuel ne permettant pas d'effectuer des mesures différentielles en bande G, le LNA sera donc caractérisé avec des pointes GSG et un balun (cf. Figure III-22) en entrée se chargera de convertir le signal simple en signal différentiel. La Figure III-23 présente la microphotographie du LNA implémenté sur silicium. La surface active occupée par le LNA est de  $0.052\text{mm}^2$ . Les trois baluns permettant l'adaptation inter-étage occupent la majeure partie de la surface. L'interaction électromagnétique de ces 3 baluns a été étudiée en simulation et cette interaction n'a pas une grosse influence sur les adaptations et le gain du LNA.

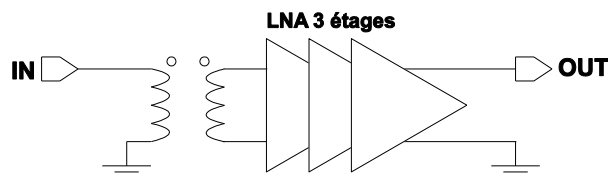


Figure III-22 : Configuration du LNA 3 étages

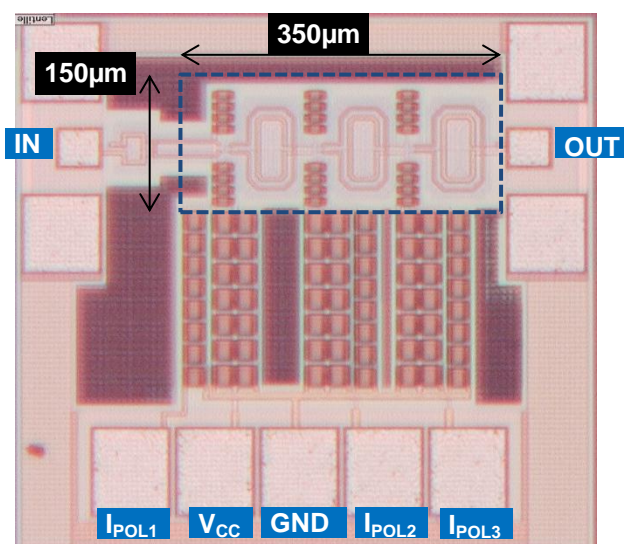


Figure III-23 : Microphotographie du LNA

Le Tableau III-4 récapitule les performances des LNA dont les fréquences de fonctionnement sont comprises entre 120GHz et 160GHz. Les LNA les plus performants dans cette gamme de fréquences sont basés sur une topologie cascode. Comme cela a été précédemment expliqué, un montage cascode permet d'obtenir d'avantage de gain même en travaillant relativement proche de la fréquence de transition des transistors de la technologie. D'autre part, les topologies simples (déséquilibrées) sont globalement choisies au détriment des topologies différentielles (équilibrées). A consommation constante, les topologies simples présentent un facteur de bruit inférieur aux topologies différentielles, malgré les avantages de ces dernières comme la réjection du bruit de mode commun et des interférences. De ce fait pour une consommation équivalente au LNA [43], ce travail présente un facteur de bruit (NF) supérieur (1dB). Toutefois, le LNA qui a été réalisé est à l'état de l'art en termes de compromis gain, consommation et surface silicium utilisée. Ce dernier point est notamment dû aux adaptations d'impédance par des éléments localisés.

Référence	[41]	[42]	[43]	[44]	[45]	Ce travail
Technologie	0.1µm HEMTs	0.13µm SiGe	0.13µm SiGe	0.13µm SiGe	0.13µm SiGe	0.13µm SiGe
Fréquence (GHz)	125	120	130	160	122	140
Topologie	5 EC, S	2 CC, S	4 CC, S	3 CC, D	2 CC, S	3 CC, D
Tension d'alimentation (V)	1.5	3.3	1.5	3.3	3.3	2.5
Gain (dB)	19.5	24	17.5	<b>27</b>	22	<b>27</b>
Bande passante à 3dB (GHz)	15	<b>24</b>	<b>25</b>	8	23	<b>24</b>
P <sub>1dB</sub> (dBm)	2.8	4	-	-	-	-0.4
P <sub>SAT</sub> (dBm)	5.5	-	-	-	-	3
NF (dB)	<b>4.9</b>	7.2	7.7	7.8	9.6	8.8
Puissance consommée (mW)	120	40	<b>31.5</b>	59	50	<b>35</b>
Surface (mm <sup>2</sup> )	1x2	-	0.4x0.9	<b>0.2x0.4</b>	0.45x0.65	<b>0.15x0.35</b>

EC : Emetteur commun, CC : Cascode, S : Single-ended, D : Différentielle

Tableau III-4 : Comparaison de performances du LNA à l'état de l'art des amplificateurs travaillant à des fréquences comprises entre 120GHz et 160GHz.



### III.3 Conception de l'émetteur

L'émetteur est composé de 3 éléments distincts : un oscillateur, un modulateur et un amplificateur de puissance. Cette partie commencera par détailler la conception et la caractérisation expérimentale de l'oscillateur. La modulation interne n'a pas permis d'atteindre des débits de données souhaités de plusieurs gigabits par seconde. Un modulateur a donc été conçu pour augmenter le débit de données du transmetteur. Enfin la conception de l'amplificateur de puissance sera détaillée.

#### III.3.1 Conception de l'oscillateur à modulation interne

Cette partie commence par une étude des différentes topologies d'oscillateur LC. Cette étude a permis de déterminer la topologie la plus appropriée à la technologie. Ensuite, une étude non-exhaustive présentera la méthode choisie pour moduler l'oscillateur. Enfin, cette partie s'achèvera par l'implémentation de la solution retenue sur silicium et la caractérisation de l'oscillateur.

##### III.3.1.1 Etude des différentes topologies d'oscillateur

###### III.3.1.1.1 Généralité sur les oscillateurs LC

Un oscillateur harmonique LC est composé de deux parties : un circuit actif d'amplification et un circuit d'accord encore appelé résonateur, comme présenté Figure III-24a. Le schéma équivalent du résonateur de la Figure III-24b est composé d'une capacité et d'une inductance en parallèle. La résistance  $R_P$ , sur la Figure III-24b, représente les pertes résistives du circuit LC. Ainsi, un oscillateur est un circuit à contre-réaction dont le circuit actif compense les pertes engendrées par la résistance  $R_P$  dans le circuit d'accord. Le circuit actif joue donc le rôle de résistance négative de valeur  $-R_P$  [46].



Figure III-24 : a. Vue un port d'un oscillateur ; b. Résonateur RLC

Il existe différentes façons de générer une résistance négative. A des fréquences d'oscillation proches des fréquences de transition des transistors de la technologie, l'aptitude du circuit actif à fournir une résistance négative suffisamment importante pour entretenir les oscillations devient le facteur limitant. Ainsi, l'étude des topologies d'oscillateurs cross-couplé et Colpitts, les plus souvent utilisées en fréquence millimétrique a été menée, en se basant sur ce critère (aptitude à créer une résistance négative), pour déterminer l'architecture la plus adaptée à la réalisation d'un oscillateur en technologie BiCMOS 0.13 $\mu\text{m}$ .

## III.3.1.1.2 Oscillateur cross-couplé

L'architecture d'oscillateur cross-couplé est très utilisée en technologie Silicium, tout particulièrement en technologie CMOS [47][48]. Sa topologie différentielle en fait son principal atout. Le schéma électrique est présenté sur la Figure III-25, il est composé d'une paire de transistors croisés réalisant la résistance négative et d'un circuit LC d'accord.

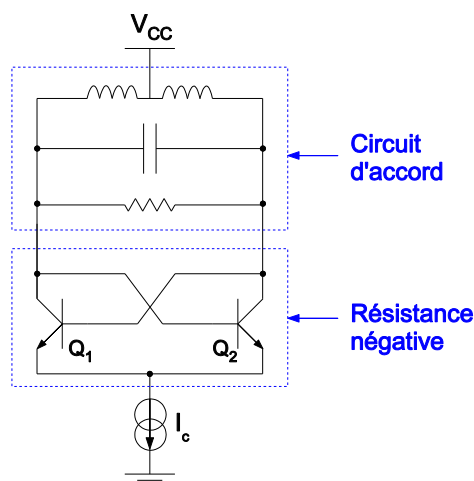


Figure III-25 : Schéma d'un oscillateur cross-couplé

En basses fréquences, la résistance négative est définie par  $R_{in} = -2/g_m$  [46]. En revanche, en se rapprochant de la fréquence de transition  $f_T$  des transistors, la résistance négative diminue fortement à cause des éléments parasites du transistor qui ne sont plus négligeables, notamment la capacité base-émetteur  $C_{\Pi}$  et la résistance de base  $R_B$ .

La fréquence maximale d'oscillation  $f_{MAX OSC}$  est définie comme étant la plus haute fréquence pour laquelle la paire différentielle à couplage croisé, présentée sur la Figure III-26a, est capable de fournir une résistance négative. À  $f_{MAX OSC}$ , la partie réelle de l'admittance d'entrée est égale à zéro. La fréquence  $f_{MAX OSC}$  peut être approximée [46][49] par :

$$f_{MAX OSC} \approx f_T \sqrt{\frac{1}{g_m R_B}} \quad (\text{III-13})$$

Avec  $g_m$  la transconductance des transistors. Ainsi,  $f_{MAX OSC}$  ne coïncide pas avec le maximum de  $f_T$ . Une simulation AC permet de déterminer  $f_{MAX OSC}$  en technologie SiGe:C 0.13 $\mu\text{m}$  BiCMOS. La Figure III-26b présente l'évolution de  $f_{MAX OSC}$  en fonction de la longueur d'émetteur pour trois configurations de transistors : 1, 2 et 3 doigts d'émetteurs. A chaque configuration de transistor (longueur et nombre de doigts d'émetteur), un balayage en courant  $I_C$  a été effectué afin de trouver la polarisation optimale permettant de maximiser la fréquence  $f_{MAX OSC}$ . Le courant  $I_C$  optimal est alors environ égal à 1mA/ $\mu\text{m}$ .

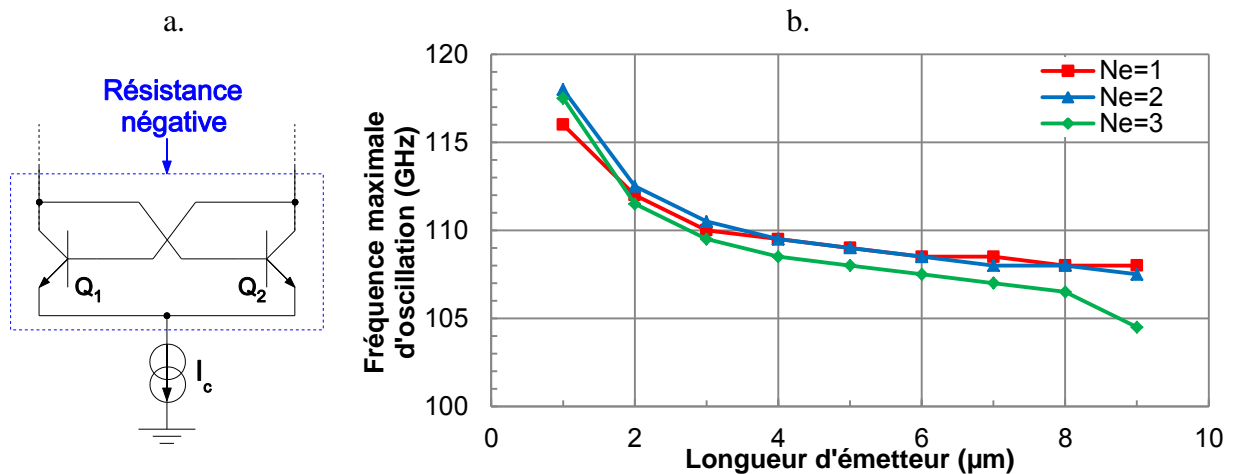


Figure III-26 : a. Schéma électrique de la résistance négative d'un oscillateur cross-couplé b. Fréquence maximale d'oscillation d'une architecture cross-couplé en fonction de la longueur de l'émetteur.

La fréquence maximale d'oscillation  $f_{\text{MAX OSC}}$  décroît en fonction de la longueur d'émetteur suivant un compromis entre la résistance de base  $R_B$ , la capacité base-émetteur  $C_{\Pi}$  et la transconductance  $g_m$ . Le nombre de doigt d'émetteur du transistor a, quant à lui, peu d'influence sur  $f_{\text{MAX OSC}}$ .

La topologie d'oscillateur cross-couplé classique implémentée en technologie SiGe:C  $0.13\mu\text{m}$  BiCMOS présente une fréquence maximale d'oscillation de 118GHz. Cette limitation est due aux paramètres intrinsèques du transistor bipolaire. Cette topologie est plus adaptée aux technologies CMOS [49] où les capacités grille-sources et les résistances de grilles sont plus faibles. Les paramètres extrinsèques dus aux connections des transistors vont venir limiter la fréquence maximale de fonctionnement, ils n'ont pas été pris en compte dans cette étude. C'est pourquoi, une marge supplémentaire doit être prise lors du choix de la topologie.

Cependant il est possible de modifier la topologie l'oscillateur cross-couplé afin de diminuer l'influence de la capacité  $C_{\Pi}$ , et ainsi augmenter la fréquence maximale d'oscillation [46], comme sur le schéma électrique présenté Figure III-27a. En ajoutant une capacité  $C_S$  en série avec la capacité intrinsèque  $C_{\Pi}$ , et une résistance  $R_S$  de forte valeur (ici  $5\text{K}\Omega$ ) pour polariser les bases des transistors  $Q_1$  et  $Q_2$ , la fréquence maximale de la topologie peut atteindre 144GHz.

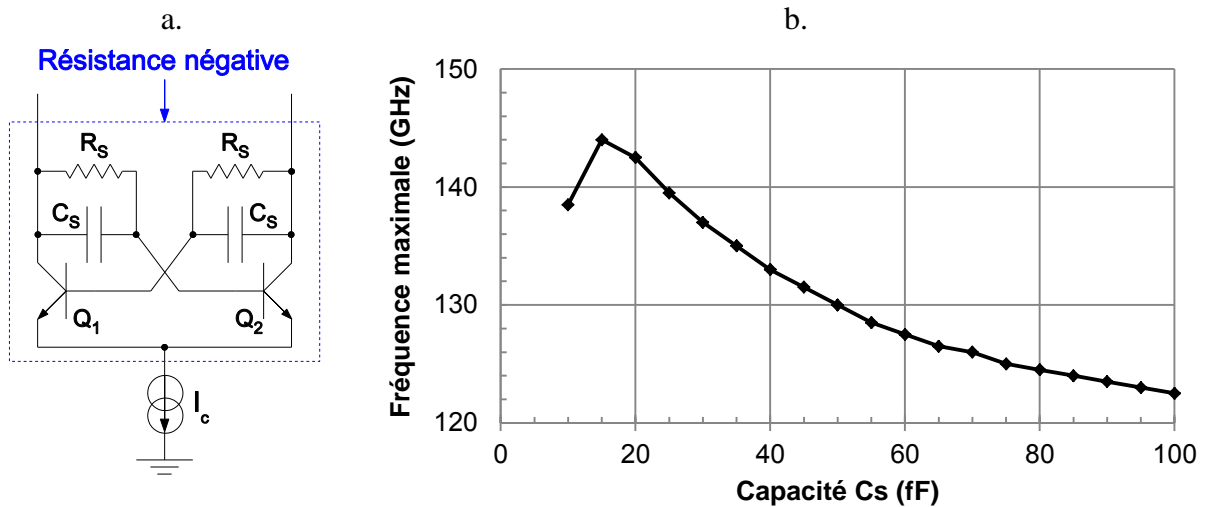


Figure III-27 : a. Schéma de l'architecture cross-couplée modifiée ; b. Fréquence maximale d'oscillation en fonction de la capacité série  $C_S$  de l'architecture cross-couplée modifiée avec  $L_E(Q_1, Q_2) = 2\mu\text{m}$ .

La Figure III-27 b. présente l'évolution de la fréquence maximale d'oscillation de la topologie cross-couplée en fonction de la valeur de la capacité série  $C_S$ . La longueur d'émetteur  $L_E$  des transistors  $Q_1$  et  $Q_2$  est de  $2\mu\text{m}$ . La fréquence maximale d'oscillation de 144GHz est atteinte pour une capacité série  $C_S$  de 15fF.

### III.3.1.1.3 Oscillateur Colpitts

L'architecture d'oscillateur Colpitts est davantage utilisée en technologie BiCMOS car elle requiert un gain en courant plus important que l'architecture cross-couplée. Elle peut être simple ou différentielle comme illustrée sur la Figure III-28. Le circuit d'accord permettant d'ajuster la fréquence d'oscillation est composée de l'inductance  $L$  et des capacités  $C_1$  et  $C_2$ .

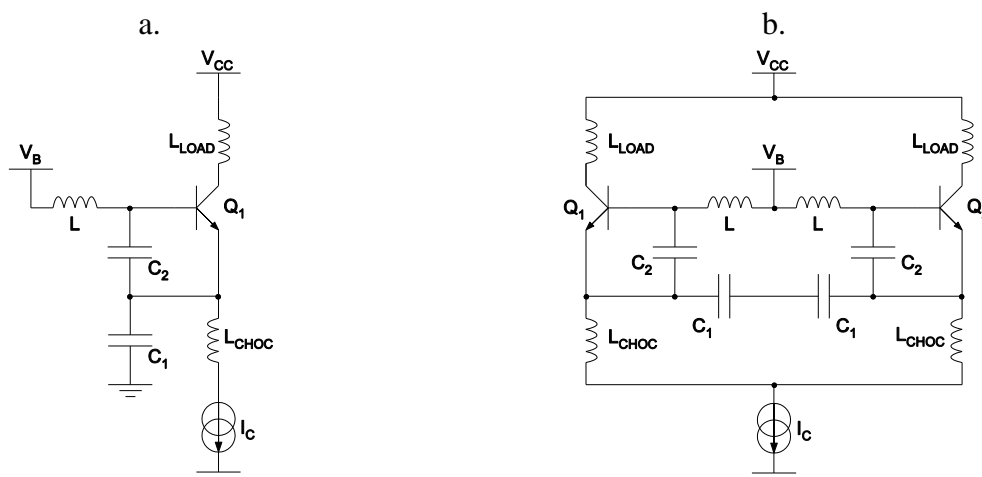


Figure III-28 : Schéma de l'oscillateur Colpitts : a. topologie simple ; b. topologie différentielle

Cette architecture peut être vue comme étant composée d'une part, d'une résistance négative constituée du transistor  $Q_1$  et des 2 capacités  $C_1$  et  $C_2$ , et d'autre part, d'une

inductance  $L$  permettant d'ajuster la fréquence d'oscillation. La fréquence d'oscillation et la résistance négative de cette topologie sont définies au premier ordre par les équations suivantes :

$$f_{osc} = \frac{1}{2\pi \sqrt{L \frac{C_1 C_2}{C_1 + C_2}}} \quad (\text{III-14})$$

$$R_{IN} = -\frac{g_M}{\omega^2 C_1 C_2} - \frac{j(C_1 + C_2)}{\omega C_1 C_2} \quad (\text{III-15})$$

Avec  $g_M$ , la transconductance du transistor  $Q_1$ . Pour des fréquences d'oscillation de l'ordre de grandeur de la fréquence  $f_T$  des transistors, les éléments parasites de transistors, notamment l'influence de la capacité intrinsèque  $C_{BC}$ , modifient  $f_{OSC}$  et  $R_{IN}$ . Une simulation est alors nécessaire pour déterminer précisément leurs valeurs.

Comme précédemment, la détermination de la fréquence maximale d'oscillation permet de déterminer les performances de la topologie et ces limites de fonctionnement. Elle est obtenue lorsque la résistance négative est quasi nulle. Elle est maximale lorsque la capacité  $C_2$  est la plus petite. La valeur de capacité  $C_2$  la plus petite réalisable est donc uniquement la capacité intrinsèque  $C_{\pi}$  du transistor  $Q_1$  comme illustrée sur le schéma de la Figure III-29a. Le transistor choisi possède 2 doigts d'émetteur de longueur  $3\mu\text{m}$ . Le courant de polarisation ( $I_P=6\text{mA}$ ) maximise la fréquence d'oscillation.

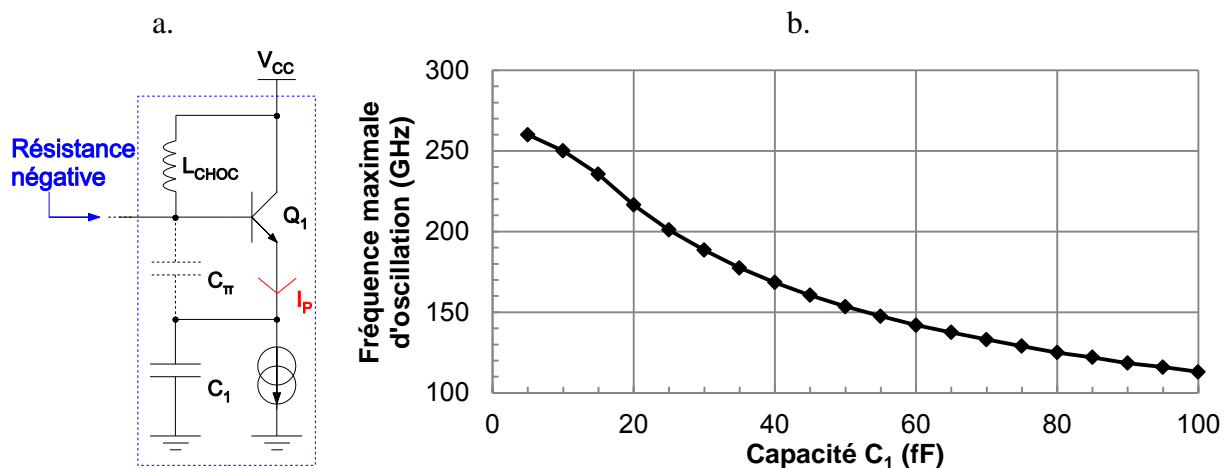


Figure III-29 : a. Schéma de la résistance négative de l'oscillateur Colpitts ; b. Fréquences maximales d'oscillation simulées en fonction de la capacité  $C_1$  pour  $Q_1$  ( $L_e=3\mu\text{m}$  et  $N_e=2$ )

En s'appuyant sur la Figure III-29b, la fréquence maximale d'oscillation est obtenue pour une capacité  $C_1$  minimale. Contrairement à l'architecture de l'oscillateur cross-couplé qui était limité à des fréquences d'oscillation inférieure à 140GHz dans cette technologie, la topologie Colpitts offre la possibilité de monter à des fréquences proches de  $f_T$  et  $f_{max}$ . Pour cette raison cette architecture a été retenue pour la réalisation du démonstrateur à 140GHz.

### III.3.1.2 Etude de la modulation interne

La solution la plus simple pour effectuer une modulation OOK est de commander le démarrage de l'oscillateur au rythme des données. Cette solution est souvent utilisée pour la génération de signaux impulsionnels. L'avantage est que l'oscillateur ne consomme pas lors de la transmission d'un '0', soit la moitié du temps pour une trame conventionnelle à rapport cyclique 1/2, l'efficacité énergétique d'un oscillateur à modulation interne est alors multipliée par 2.

Afin de déterminer la faisabilité d'un oscillateur à modulation interne, une étude préliminaire a été effectuée. Elle s'appuie sur les simulations de chaque topologie avec les transistors bipolaires du design kit en modèle Hicup L2 et des éléments passifs idéaux. Les trois méthodes de modulation étudiées sont basées sur une architecture d'oscillateur Colpitts dont la fréquence d'oscillation a été ajustée à 140GHz. Cette étude, non exhaustive, permet de faire un premier choix rapide de la topologie avant de passer à la conception des composants passifs et à la prise en compte de tous les éléments parasites.

Tout d'abord, l'étude s'est portée sur la régulation d'une architecture simple (non-équilibrée). Ensuite, privilégiant les architectures différentielles pour la conception du démonstrateur pour les raisons exposées la partie II.3.1, la solution retenue a été testée en différentielle.

Pour commander le démarrage et l'arrêt de l'oscillateur, deux solutions ont été envisagées :

- Contrôler directement la source de courant par l'intermédiaire de sa diode de commande  $M_1$ , le schéma électrique de cette première solution est présenté Figure III-30.
- Commander le courant dans la branche principale par l'intermédiaire d'un transistor bipolaire  $Q_2$  jouant le rôle d'interrupteur entre l'émetteur du transistor  $Q_1$  et la source de courant, le schéma électrique de cette seconde solution est présenté Figure III-31.

La première solution a rapidement été écartée par son manque de rapidité. Comme présenté Figure III-30b, l'arrêt du courant  $I_{CMD}$  dans la diode de commande  $M_1$  du miroir de courant n'entraîne pas l'arrêt immédiat du courant de polarisation de l'oscillateur. En effet, le temps de réponse est long en raison de la forte capacité de grille du transistor  $M_2$ .

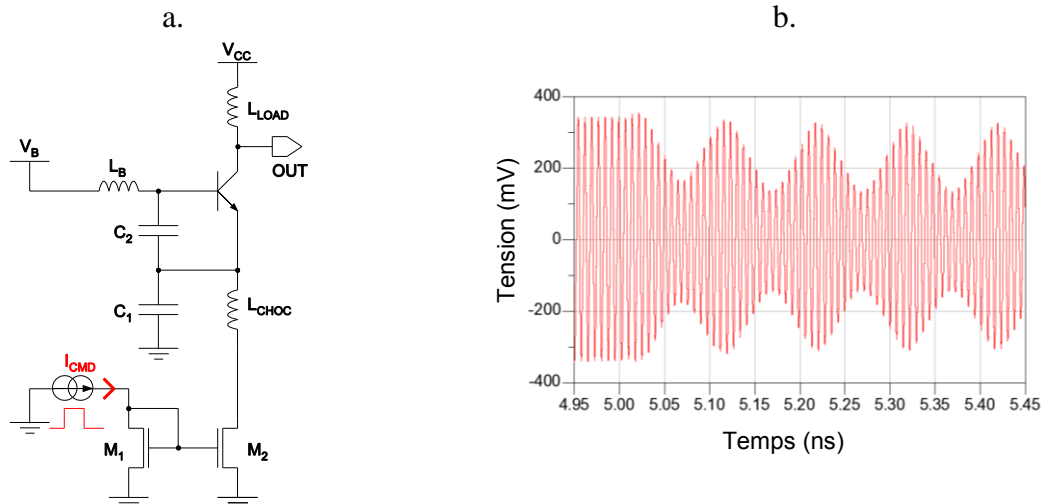


Figure III-30 : 1<sup>ère</sup> solution, modulation de la source de courant de l'oscillateur : a. schéma électrique ; b. simulation de l'architecture à un débit de données de 20Gbps.

La seconde solution, présentée Figure III-31, permet de laisser la source de courant allumée, la grille du transistor  $M_2$  voit toujours la même tension. Cette fois-ci, l'arrêt de l'oscillateur est rapide. Cette solution permet une modulation interne de l'oscillateur jusqu'à 20Gbps. En revanche, elle nécessite une commande  $V_{CMD}$  avec un front raide et capable de fournir un appel de courant important au transistor bipolaire  $Q_2$ . En simulation, l'appel de courant aide au démarrage rapide de l'oscillateur et les éléments limitant l'excursion de cet appel de courant limitent la rapidité de démarrage. Ainsi, il sera nécessaire de redresser les fronts de la commande  $V_{CMD}$  au plus proche de la base du transistor  $Q_2$ .

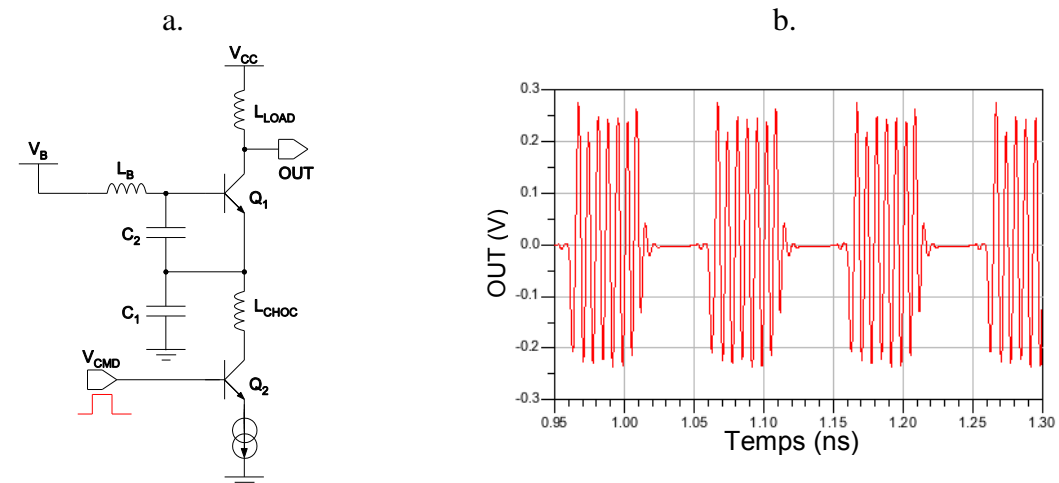


Figure III-31 : 2<sup>ème</sup> solution, modulation par interruption du passage du courant de l'oscillateur : a. schéma électrique ; b. simulation de l'architecture à un débit de données de 20Gbps.

La 2<sup>ème</sup> solution a donc été testée avec la topologie d'oscillateur Colpitts différentiel. Le schéma électrique de l'oscillateur est présenté Figure III-32a. Les simulations de cette topologie ont mis en évidence un temps de démarrage important. La Figure III-32b présente la tension des deux branches de sortie  $OUT_P$  et  $OUT_N$  lors de l'allumage de l'oscillateur.

Ainsi, lors du passage du courant dans les transistors  $Q_1$  et  $Q_2$ , les deux branches de l'oscillateur démarrent, dans un premier, en phase. En effet, lors de la commutation, les deux branches voient le même appel de courant et ont les mêmes tensions. Après deux périodes, les branches  $OUT_P$  et  $OUT_N$  s'équilibrent et commencent alors un fonctionnement différentiel. Le bénéfice de l'appel de courant lors de la commutation des transistors  $Q_3$  et  $Q_4$  qui réduisait le temps d'établissement de l'oscillateur de la topologie simple précédente est perdu.

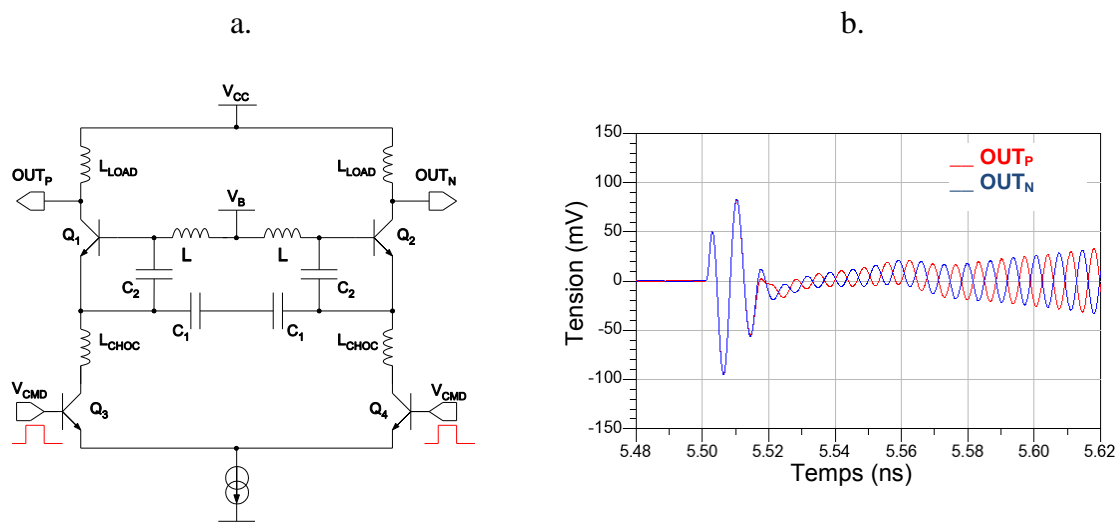


Figure III-32 : 2<sup>ème</sup> solution, architecture différentielle, modulation par interruption du passage du courant dans chaque branche de l'oscillateur : a. schéma électrique ; b. simulation du passage d'un état "0" à un état "1".

Pour forcer l'oscillateur à démarrer en différentiel, un retard a été ajouté entre les signaux de commande  $V_{CMD}$  des transistors  $Q_3$  et  $Q_4$ . L'objectif était ainsi de créer artificiellement la différence de tension entre les deux branches permettant d'éviter un démarrage en phase. Il s'est avéré que cette artifice ne résolvait pas le problème et ce, quel que soit le retard entre les deux tensions de commande. Cette topologie d'oscillateur Colpitts différentiel a donc été abandonnée à cause de son temps de démarrage rédhibitoire à une modulation interne multi-gigabit.

En raison des résultats de cette étude préliminaire, la topologie de l'oscillateur Colpitts sera simple (single), et la modulation interne sera effectuée par un commutateur placé entre l'inductance  $L_{CHOC}$  et la source de courant, comme présentée Figure III-31a.

### III.3.1.3 Implémentation

Le schéma électrique de la topologie de l'oscillateur Colpitts simple à modulation interne est présentée Figure III-33.



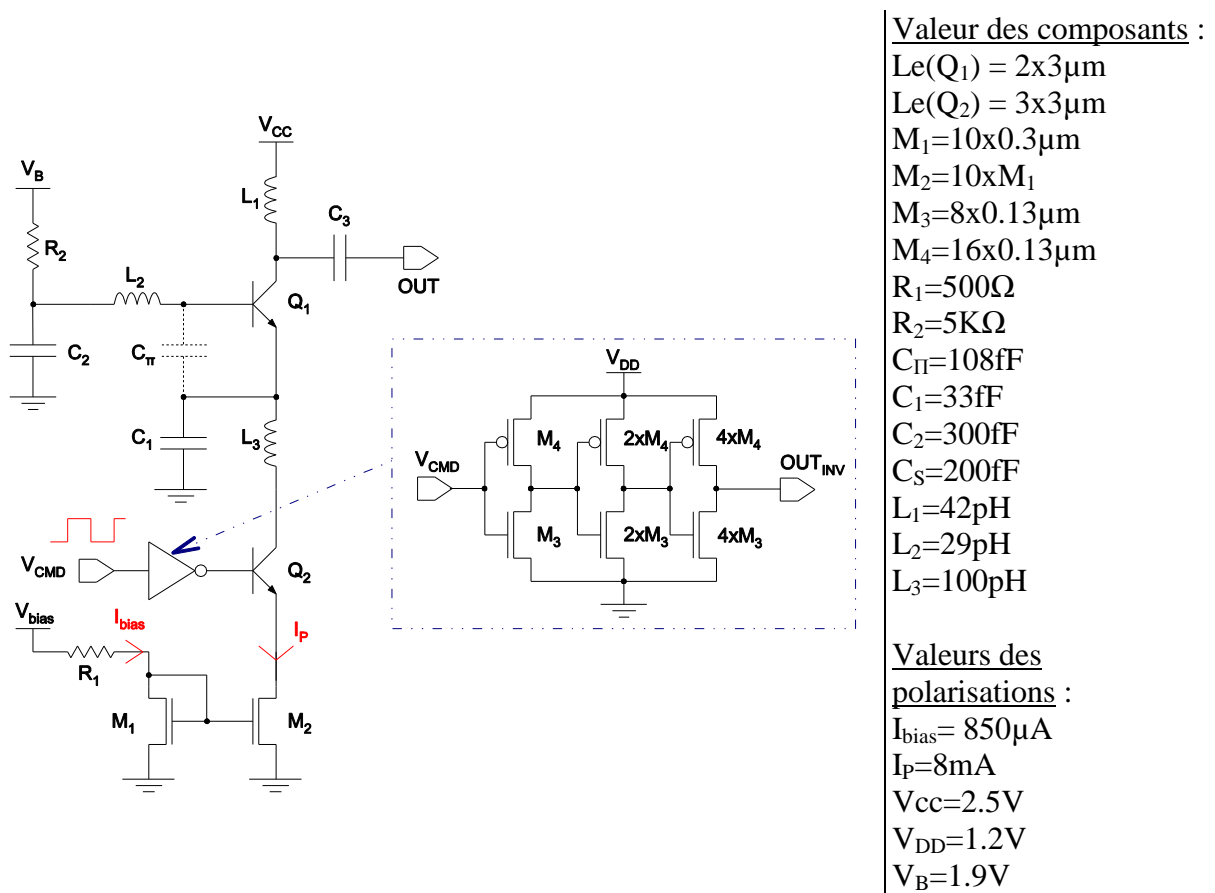


Figure III-33 : Schéma électrique et valeur des composants de l'oscillateur Colpitts à modulation interne.

Afin d'obtenir une puissance de sortie de l'ordre de 0dBm, le courant de polarisation  $I_P$  a été fixé à 8mA. La configuration du transistor  $Q_1$  a alors été choisie afin qu'il fonctionne proche de sa fréquence de transition  $f_T$  avec une résistance de base limitée ( $Le=3\mu\text{m}$  ;  $Ne=2$ ). La capacité  $C_{\Pi}$  est de 108fF dans cette configuration, il n'est donc pas nécessaire d'ajouter une capacité en parallèle pour que le circuit d'accord  $L_2$ ,  $C_{\Pi}$  et  $C_1$  résonne à 140GHz de fréquence d'oscillation. Les valeurs de  $L_2$  et  $C_1$  sont alors respectivement de 42pH et 33fF. Une capacité  $C_{\Pi}$  plus élevée entraînerait une diminution de  $L_2$  et  $C_1$  qui ont déjà de faibles valeurs.

Une attention particulière a été portée à la conception de l'inverseur MOS dont l'objectif est de remettre en forme le signal de commande carré (signal externe)  $V_{\text{CMD}}$  dont les temps de montée et de descente seront filtrés par le réseau d'interconnexions et seront donc moins raides à l'entrée du circuit.

L'inverseur MOS est placé au plus proche de la base du transistor  $Q_2$  afin de limiter les effets inductifs et capacitifs de la ligne d'accès. Cet inverseur est composé de 3 étages d'inverseur MOS dont la largeur de grille est de plus en plus importante, un rapport 3 a été choisi. Ainsi le dernier étage est capable de fournir un fort courant dans un délai court. La tension d'alimentation des inverseurs MOS est de 1.2V pour respecter la tension maximale autorisée par la technologie.

La Figure III-34 présente une microphotographie de l'oscillateur implémenté sur silicium, la partie active du circuit n'occupe que  $0.015\text{mm}^2$ . La distance minimale entre les

plots est imposée par le banc de test. La distance entre la sortie 140GHz de l'oscillateur et le plot OUT a été minimisée afin de limiter les pertes. En revanche, la ligne d'accès de la commande  $V_{CMD}$  où les données sont injectées à plus basse fréquence est plus longue, mais comme expliqué précédemment, l'inverseur MOS redresse les fronts au plus près du circuit.

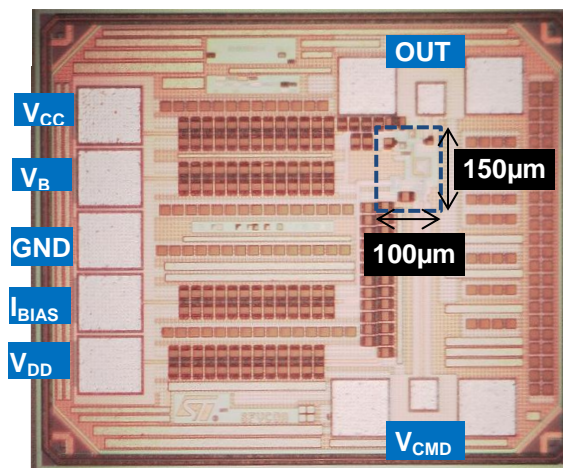


Figure III-34 : Microphotographie de l'oscillateur à modulation interne, la partie active est situé dans le rectangle en pointillé.

### III.3.1.4 Caractérisation expérimentale de l'oscillateur

La caractérisation de l'oscillateur se décompose en deux parties distinctes : mesures en mode oscillation continu et mesures en mode modulation interne où une séquence binaire pseudo aléatoire allume et éteint l'oscillateur au rythme des données.

#### III.3.1.4.1 Mesures en mode oscillations continues

Dans cette sous-partie, le banc de mesure et les résultats bruts seront tout d'abord présentés. Ensuite, une analyse des résultats de mesures confrontés aux résultats de simulations sera effectuée. Cette analyse a permis d'affiner le modèle de simulation de l'oscillateur en mettant en évidence des couplages non pris en compte lors de la conception.

### III.3.1.4.1.1 Résultats bruts des mesures de l'oscillateur

La fréquence d'oscillation du circuit a été mesurée à l'aide d'un analyseur de spectre (Rhode&Schwartz FSU 20Hz-67GHz) couplé à un mélangeur sous-harmonique externe de rang 12 (SAM170, 110-170GHz). Ce dernier reçoit l'OL de l'analyseur de spectre et transpose le signal de la bande D à la bande 0 – 12GHz. La fréquence de fonctionnement de l'oscillateur est de 131.2GHz contrairement à la fréquence visée lors de la conception de 140GHz. Ce décalage provient entre autre d'une mauvaise extraction des parasites des accès aux transistors. Ce point sera détaillé dans la partie suivante.

Sur la capture d'écran Figure III-35 la puissance affichée sur le spectre ne correspond pas à la puissance réelle, en effet un atténuateur a été utilisé en amont du mélangeur externe pour des questions de linéarité et de non dépassement de la puissance d'entrée admise (ICP1 mélangeur de -3dBm). La puissance réelle a été relevée à l'aide d'un bolomètre (Powermeter Erickson PM4) qui fournit une puissance de sortie beaucoup plus juste qu'un analyseur de spectre. La puissance de sortie de l'oscillateur est de -0.5dBm, et cette valeur est proche de la puissance visée de 0dBm lors de la conception.

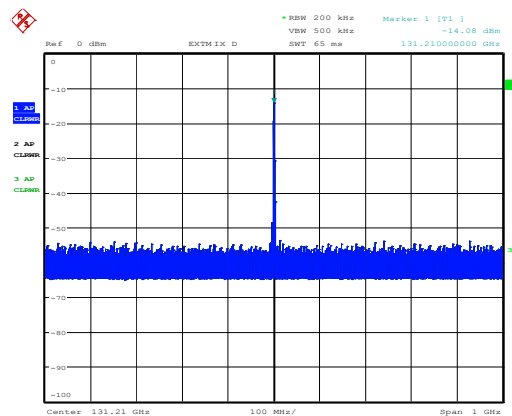


Figure III-35 : Spectre de sortie, fréquence d'oscillation 131.2GHz, puissance de sortie 0dBm.

### III.3.1.4.1.2 Analyse des résultats de mesures

La fréquence d'oscillation du circuit est en deçà de la fréquence de 140GHz visée. Une extraction plus fine des capacités parasites des accès au transistor a été effectuée en simulation et a permis d'abaisser la fréquence d'oscillation à 136GHz. La meilleure prise en compte des accès au transistor  $Q_1$  ne permet pas d'expliquer entièrement la fréquence réelle d'oscillation de 131.2GHz.

D'autre part, la capacité  $C_{BC}$  influe fortement sur la fréquence d'oscillation de cette architecture. En effet, par effet Miller, la capacité  $C_{BC}$  revient à ajouter en parallèle à la capacité  $C_{\Pi}$  une capacité  $C_M$  égale à  $C_{BC}(1+A_v)$  avec  $A_v$  le gain en tension du transistor  $Q_1$ . En approximation du 1<sup>er</sup> ordre,  $A_v$  est environ égale à 6, ce qui confirme l'importance de  $C_{BC}$ .

L'influence de la capacité  $C_{BC}$  sur la fréquence d'oscillation a été simulée en ajoutant une capacité  $C_{BC}'$  entre la base et le collecteur du transistor  $Q_1$ , les résultats sont reportés sur la Figure III-36. Une variation de 6fF de la capacité  $C_{BC}$  engendre un décalage de 8GHz sur la fréquence d'oscillation.

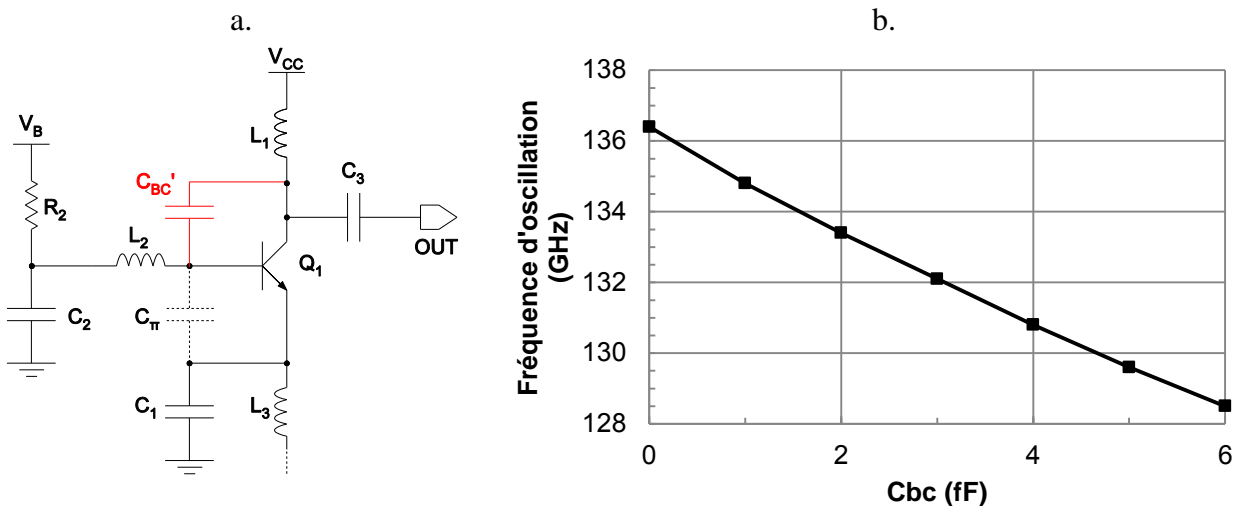


Figure III-36 : a. Schéma simplifié de l'oscillateur Colpitts avec l'ajout de la capacité  $C_{BC}'$  ; b. Simulation de la fréquence d'oscillation en fonction de la capacité  $C_{BC}$ .

Après analyse du layout, les deux inductances  $L_1$  et  $L_2$  sont très proches l'une de l'autre. En simulation, le couplage capacitif entre ces deux inductances a bien été pris en compte. En revanche, le couplage capacitif entre les deux plans patternés de ces inductances n'a pas été pris en compte lors de l'extraction des couplages de toute la structure. Au regard de leur proximité, une capacité d'environ 3fF les relie à travers le substrat. Celle-ci a été ajoutée dans le modèle de simulation enfin d'être au plus proche de la réalité.

L'implémentation d'une capacité  $C_1$  variable, par le biais d'une varicap par exemple, aurait permis d'obtenir un oscillateur contrôlé en tension (VCO : Voltage Controlled Oscillator). Toutefois, il est possible de faire varier la fréquence d'oscillation en jouant sur la tension de base  $V_B$  ou la tension d'alimentation  $V_{CC}$ . En effet, la capacité  $C_{BC}$  intrinsèque au transistor  $Q_1$  est dépendante de la valeur de la tension  $V_{CB}$  [40], suivant l'équation :

$$C_{BC} = \frac{C_{JC}}{\sqrt{1 + \frac{V_{CB}}{V_{JC}}}} \quad (\text{III-16})$$

Où  $C_{JC}$  est la capacité intrinsèque de la jonction base-collecteur et  $V_{JC}$  la barrière de potentielle de la jonction. Ainsi, une variation de la tension  $V_{CB}$  influence la fréquence de fonctionnement de l'oscillateur. La variation de la fréquence d'oscillation en fonction de la tension de base  $V_B$  et de la tension d'alimentation  $V_{CC}$  obtenue en mesure et en simulation sont reportés sur la Figure III-37. Un écart entre les résultats de simulations et la mesure est observable. En effet, la variation de la tension  $V_B$  de 1.9V à 2V, par exemple, entraîne une variation de la fréquence d'oscillation de 2GHz, alors qu'en simulation, la variation est

seulement de 0.1GHz. Néanmoins, une seule mesure de ce type a été effectuée, une réserve est donc émise sur la précision de celle-ci. Cette allure aurait mérité d'être confirmée par une nouvelle série de mesures sur plusieurs échantillons. Par ailleurs, le même type de mesures a été effectué à l'issue d'une autre campagne de caractérisation dont les résultats sont présentés dans la sous-partie III.3.1.5 : les résultats obtenus en mesure correspondent cette fois-ci aux résultats de simulation confirmant ainsi la réserve émise sur les mesures présentées ci-dessous.

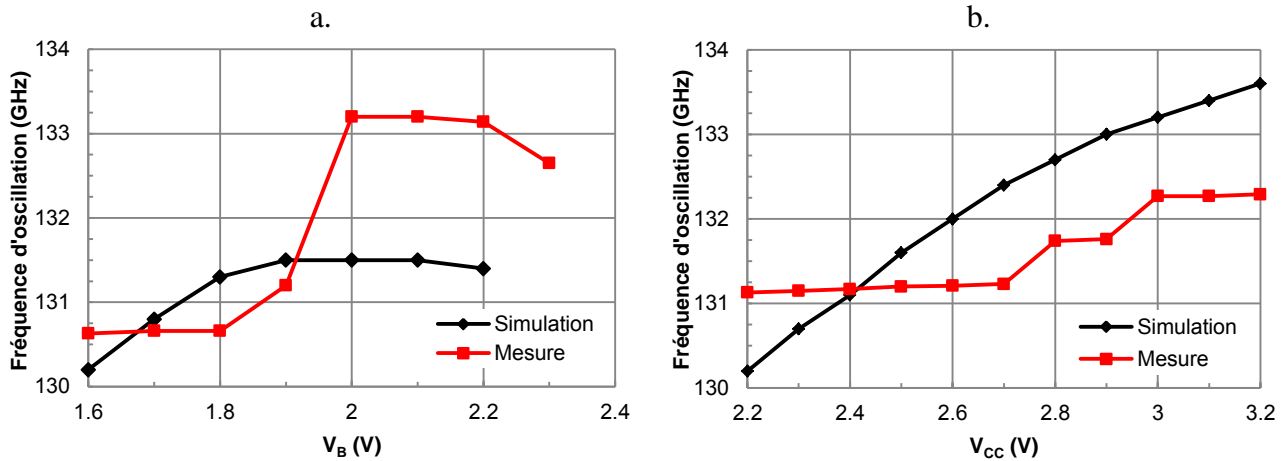


Figure III-37 : Variation de la fréquence d'oscillation : a. en fonction de  $V_B$  pour  $V_{CC}=2.5V$ ; b. en fonction de  $V_{CC}$  pour  $V_B=1.9V$

Une augmentation de la tension de base  $V_B$  implique une réduction de l'excursion maximale de la tension de sortie, et se traduit donc par une diminution de la puissance de sortie. De même une augmentation de la tension d'alimentation  $V_{CC}$  augmente la puissance de sortie. Ces variations de puissances en fonction des tensions  $V_B$  et  $V_{CC}$  ont été mesurées à deux instants différents et reportées sur la Figure III-38. La variation de la puissance en fonction de la tension  $V_B$  a été effectuée avec le bolomètre alors que la variation de la puissance en fonction de la tension  $V_{CC}$  a été relevée directement avec l'analyseur de spectre. La mesure de la puissance par le bolomètre est très précise et, les valeurs mesurées sont très proches des valeurs simulées, validant ainsi le modèle de simulation corrigée. En revanche, la puissance relevée à l'analyseur de spectre est plus approximative et les relevés de la Figure III-38b sont moins exploitables même si l'écart entre la simulation et la mesure reste toutefois relativement faible, inférieur à 1dB.

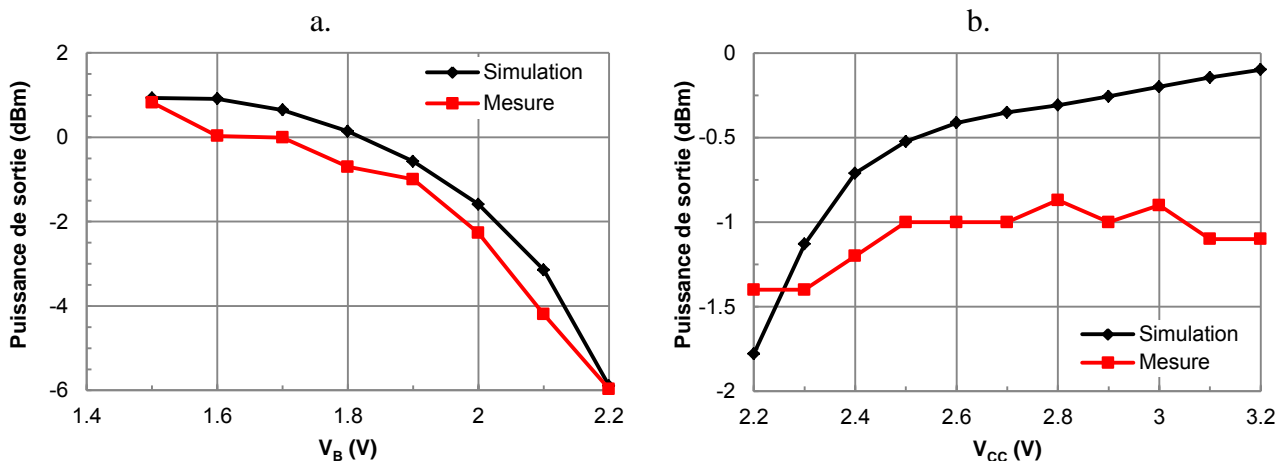


Figure III-38 : Variation de la puissance de sortie : a. en fonction de  $V_B$  pour  $V_{CC}=2.5V$  (mesures réalisées avec le bolomètre) b. en fonction de  $V_{CC}$  pour  $V_B=1.9V$  (mesures réalisées avec l'analyseur de spectre)

### III.3.1.4.2 Mesure en mode modulation interne

Afin de tester l'oscillateur en mode modulation, un générateur de données aléatoires (AWG7102 Tektronix) est connecté à l'entrée  $V_{CMD}$  de l'oscillateur. Il fournit un train binaire pseudo-aléatoire dont l'amplitude varie entre 0 et 1V. A la sortie OUT de l'oscillateur, un mélangeur externe (précédemment utilisé par l'analyseur de spectre) est utilisé pour descendre la fréquence de la porteuse de 131.2GHz à 8GHz. Ceci permet de rendre le signal de sortie observable par l'oscillateur à temps continu dont la bande passante est de 12GHz. Les signaux visualisés à l'oscilloscope sont présentés sur la Figure III-39, en vert, le signal d'entrée issu du générateur de données et, en jaune, le signal modulé de sortie. La modulation avec un débit de données de 125Mbits/s fonctionne correctement. En revanche, un décrochage se produit dès 375Mbits/s où l'oscillateur ne réussit plus à démarrer assez rapidement. Ce décrochage peut avoir deux causes. Premièrement, il peut provenir de la mauvaise adaptation d'impédance sur la ligne d'accès de la commande  $V_{CMD}$ . En effet, pour garantir une bonne adaptation, une résistance de 50 $\Omega$  aurait dû être ajoutée au plus près des grilles des transistors de l'inverseur. Ainsi, cette résistance permettrait d'éviter tout phénomène de rebond sur la tension de commande  $V_{CMD}$ . Deuxièmement, ce décrochage peut être dû au temps d'établissement trop long de l'oscillateur dû à un courant trop faible apporté par les inverseurs à la base du transistor  $Q_2$ . Enfin, une modélisation plus précise de la ligne d'alimentation  $V_{CC}$  et du retour de masse permettrait de comprendre son influence.



Figure III-39 : Captures d'écran des signaux d'entrée et de sortie de l'oscillateur : a. à 125Mbits/s ; b. à 375Mbits/s

Ces résultats ne permettent pas d'envisager une modulation interne à l'oscillateur pour atteindre les débits d'une dizaine de Gbits/s escomptés, une autre architecture a donc été envisagée. Pour cette raison, un modulateur (up-mixer) a été conçu afin de laisser l'oscillateur fonctionner en continu.

### III.3.1.5 Oscillateur recentré

Pour la conception du transmetteur complet, l'oscillateur précédent a été recentré à 140GHz en diminuant la valeur de la capacité  $C_1$  qui vaut désormais 27fF. Cet oscillateur n'a pas été de nouveau implémenté seul. Les mesures qui suivent ont donc été réalisées sur le transmetteur complet décrit dans le chapitre IV : le modulateur a été mis en mode continu (allumé en permanence). La puissance est obtenue en sortie de l'amplificateur de puissance.

La fréquence mesurée de l'oscillateur recentré est maintenant de 142GHz ; le spectre de sortie obtenu est présenté Figure III-40. La puissance de la raie centrale obtenue en sortie de l'amplificateur de puissance est de 3dBm après retranchement des pertes liées au banc de mesure.

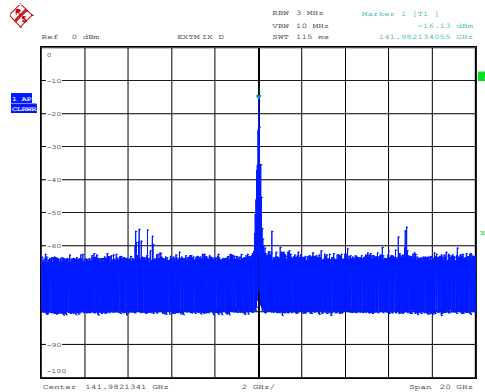


Figure III-40 : Spectre de sortie du transmetteur en mode allumé en continue. Fréquence d'oscillation 142GHz, puissance de sortie 3dBm (derrière l'amplificateur de puissance).

La variation de la fréquence d'oscillation en fonction de la tension de base  $V_B$  et la tension d'alimentation  $V_{CC}$  ont été mesurées et les résultats sont reportés Figure III-41 avec les résultats obtenus en simulation. Pour ce circuit, la tension  $V_B$  a été fixée à 1.9V par un pont diviseur de tension basé sur la tension  $V_{CC}$ . Une commande externe était néanmoins possible afin d'ajuster  $V_B$  si besoin, ce qui a permis d'obtenir les points de mesures de la Figure III-41b. Lors du relevé de la fréquence d'oscillation en fonction de la tension  $V_{CC}$ , la tension  $V_B$  variait proportionnellement à  $V_{CC}$  selon un rapport 0.76 du pont diviseur de tension. Cela explique une plage de fréquence d'oscillation plus réduite par rapport au circuit précédent de l'oscillateur implémenté seul sur silicium où  $V_B$  était fixé par une alimentation externe. Il est important de noter, sur les résultats obtenus, la faible erreur entre les mesures et la simulation. Le modèle de simulation incluant les extractions de parasites des interconnexions de l'ensemble des composants est donc fidèle à la mesure.

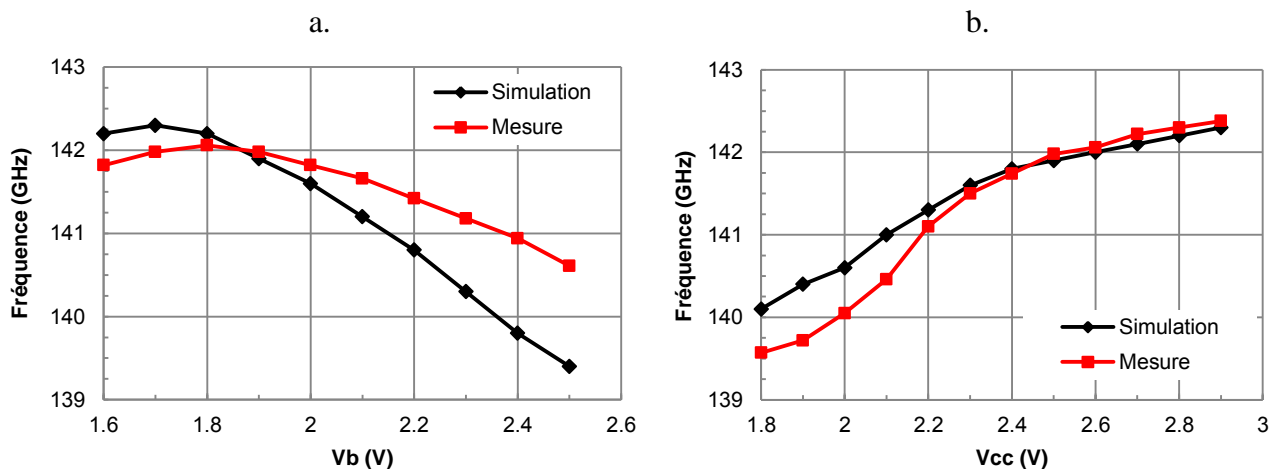


Figure III-41 : Variation de la fréquence de l'oscillateur recentré : a. en fonction de  $V_B$  pour  $V_{CC}=2.5V$ ; b. en fonction de  $V_{CC}$  pour  $V_B=1.9V$

Une comparaison des performances de l'oscillateur réalisé à d'autres travaux dont la fréquence de fonctionnement est comprise entre 110GHz et 160GHz et dont la puissance de sortie est supérieure à -10dBm est reportée dans le Tableau III-5. Cet oscillateur présente le meilleur rendement qui est défini comme le rapport de la puissance de sortie sur la puissance consommée. Les mesures de bruit de phase n'ayant pas été réalisées, ce critère n'a pas été ajouté dans le tableau. L'oscillateur réalisé n'a d'ailleurs pas été optimisé sur ce critère, car le bruit de phase ne dégrade pas le taux d'erreur par bit d'une démodulation OOK non-cohérente (cf. partie I.3).

Référence	[51]	[52]	[53]	Ce travail
Technologie	0.13 $\mu$ m CMOS	0.25 $\mu$ m SiGe	0.13 $\mu$ m SiGe	0.13 $\mu$ m SiGe
Fréquence d'oscillation (GHz)	121	115.5	122	142
Topologie	Ring	Colpitts	Cross-couplé	Colpitts
Tension d'alimentation (V)	1.28	3	3.3	2.5
Puissance de sortie (dBm)	-3.5	-6.6	<b>2</b>	<b>-1</b>
Plage de fréquences (GHz)	-	1.6	16	1.5
Puissance consommée (mW)	21	30.3	132	<b>20</b>
Surface sans les plots (mm <sup>2</sup> )	0.1x0.25	0.15x0.15	0.25x0.25	0.1x0.15

Tableau III-5 : Comparaison de performances de l'oscillateur aux oscillateurs dont la fréquence de fonctionnement est comprise entre 100 et 200GHz et ayant une puissance de sortie supérieure à -10dBm.

La modulation interne à l'oscillateur ne permet pas d'effectuer une modulation multi-gigabits. De ce fait, un modulateur a été conçu pour atteindre les débits de données escomptés en laissant l'oscillateur fonctionner en continu.

### III.3.2 Conception du modulateur

#### III.3.2.1 Choix de l'architecture

Pour rappel, le système d'émission du démonstrateur est basé sur la Figure III-42. L'oscillateur fonctionne en continu et il est directement connecté à un modulateur. Pour éviter le phénomène de pulling, c'est-à-dire une variation de la fréquence d'oscillation engendrée par une variation de l'impédance de sortie, la charge de l'oscillateur ne doit pas changer en fonction de la modulation. A titre d'illustration, un simple interrupteur ne peut pas garantir une impédance constante pour chacun des modes ouvert et fermé.



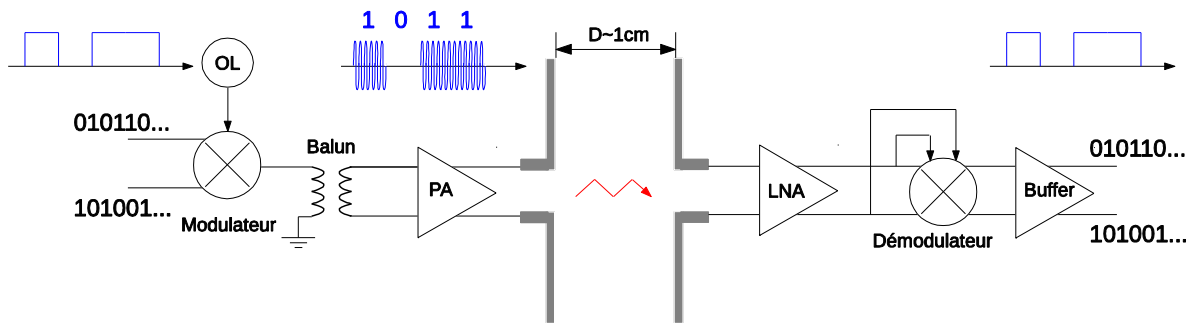


Figure III-42 : Synoptique de l'architecture du démonstrateur (rappel)

Une topologie pour laquelle la charge de l'oscillateur reste constante quel que soit la modulation doit être adoptée. Plusieurs solutions semblent envisageables et reposent sur le choix de la topologie du mélangeur. La connexion de la sortie de l'oscillateur à l'entrée du mélangeur doit donc se faire à un endroit où le fonctionnement du mélangeur ne va pas induire de modification d'impédance pour l'oscillateur.

La solution envisagée est donc de connecter la sortie de l'oscillateur directement sur le transconducteur  $Q_3$  du mélangeur, comme illustré les schémas électrique de la Figure III-43. Le courant dans ce transistor étant constant quel que soit la modulation, l'impédance sera donc constante au court du temps. Les transistors  $Q_1$  et  $Q_2$  de l'étage supérieur, étage dit de « switch », sont pilotés par les données entrantes. Ainsi les entrées  $IN+$  et  $IN-$  sont connectés au générateur de données aléatoires en différentiel. Cette technique de modulation OOK est couramment utilisée pour les systèmes de communication multi-gigabits [21] et [23], soit en utilisant un mélangeur simple, ou un mélangeur double. Un mélangeur simple a été retenu car l'oscillateur n'est pas différentiel. Dans le cas d'un mélangeur double (cf. Figure III-18), un balun aurait dû être ajouté pour générer une sortie différentielle connectée alors aux entrées habituellement dénommées  $RF+$  et  $RF-$  des bases des transconducteurs du mélangeur.

Les tensions aux collecteurs des transistors  $Q_1$  et  $Q_2$  sont complémentaires. En fonctionnement, un état logique "1" implique que tout le courant  $I_P$  passe dans le transistor  $Q_2$  et un état logique "0" implique que tout le courant passe dans le transistor  $Q_1$ . Ainsi, les tensions aux collecteurs de  $Q_1$  et  $Q_2$  ne sont pas déphasées l'une par rapport à l'autre à chaque instant, l'une varie au rythme de l'oscillateur local lorsque l'autre reste constante et égale à  $V_{CC}$ . La sortie du mélangeur n'est donc pas différentielle. L'amplificateur de puissance étant basé sur une architecture différentielle, un balun assure la conversion en différentiel.

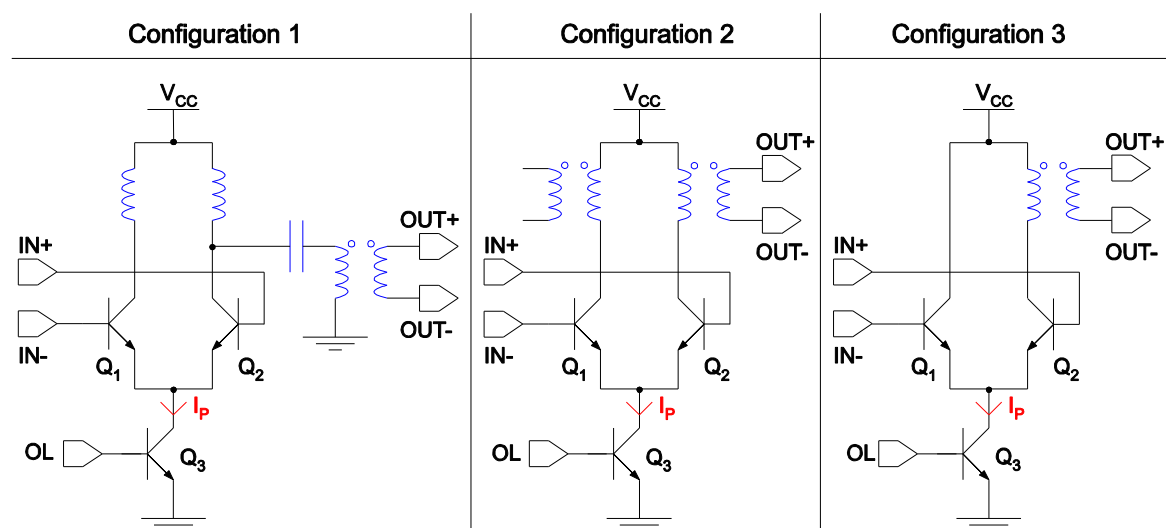


Figure III-43 : Les 3 différentes configurations du mélangeur envisagées

Les 3 différentes topologies du mélangeur présentées Figure III-43 sont détaillées dans le paragraphe suivant, ainsi que les avantages et les inconvénients :

**Configuration 1 :** Le mélangeur est chargé par deux charges identiques symbolisées par deux inductances sur les 2 voies en sortie de collecteur des transistors  $Q_1$  et  $Q_2$ . Une des voies est ensuite connectée à un balun pour récupérer l'information en différentiel  $OUT+$   $OUT-$ .

Avantage → L'adaptation d'impédance peut alors être effectuée en deux étapes, elle peut donc être plus large bande.

Inconvénient → 2 réseaux d'adaptation présentent des pertes supplémentaires et en pratique, cette adaptation d'impédance est moins large bande qu'un balun seul.

**Configuration 2 :** Le mélangeur est directement chargé par 2 baluns indépendants.

Avantage → Les 2 transistors  $Q_1$  et  $Q_2$  sont chargés de la même manière. Un balun permet une adaptation large bande.

Inconvénient → Les 2 baluns occupent de la place sur le silicium et des interactions électromagnétiques entre eux sont à prendre en compte.

**Configuration 3 :** Le mélangeur n'est chargé par un balun que sur une voie. L'autre voie est directement reliée à l'alimentation.

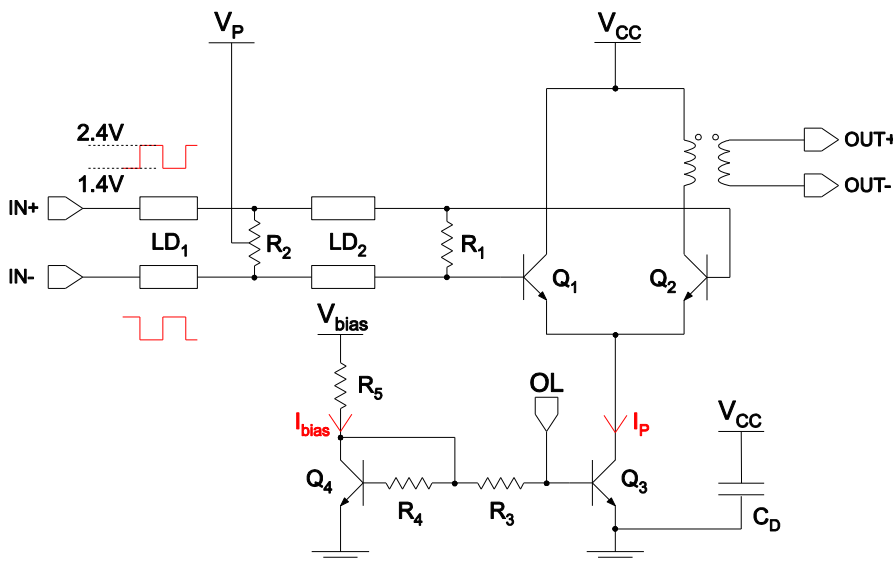
Avantage → Cette solution est la plus compacte et permet une adaptation large bande.

Inconvénient → Pas de charge sur une voie du mélangeur peut engendrer un déséquilibre se traduisant par une variation d'impédance d'entrée OL. Une vigilance particulière devra être portée sur le découplage du chemin de retour du courant entre l'alimentation et l'émetteur du transistor  $Q_3$

La configuration 3 a été retenue pour l'encombrement réduit qu'elle offre et sa possibilité d'être plus large bande que la configuration 1. En contrepartie, une attention particulière sera portée sur le découplage de l'alimentation VCC et le GND au plus proche de la sortie du balun et de l'émetteur de transistor  $Q_3$ . En effet, ce chemin est celui du retour du courant HF du fait que la topologie du mélangeur ne soit pas différentielle. De plus, comme

le collecteur du transistor  $Q_1$  est directement relié à  $V_{CC}$ , il faut s'assurer que  $V_{CC}$  reste un nœud froid sous peine de ne pas obtenir un "0" en sortie  $OUT+$  et  $OUT-$ .

### III.3.2.2 Implémentation



#### Valeur des composants :

$Le(Q_1, Q_2, Q_3) = 4\mu m$

$Le(Q_4) = 1\mu m$

$R_1 = 100\Omega$

$R_2 = 1K\Omega$

$R_3 = 2 \times 2K\Omega$

$R_4 = 3 \times 2K\Omega$

$R_5 = 1K\Omega$

$C_D = 550fF$

$LD_1 = LD_2 =$  Lignes

Différentielles  $50\Omega$

#### Valeurs des courants :

$I_{bias} = 1mA$

$I_P = 4mA$

#### Valeurs des tensions :

$V_{CC} = 2.5V$

$V_P = 1.9V$

$V_{bias} = 1.93V$

Figure III-44 : Schéma électrique et valeur des composants du mélangeur.

La résistance  $R_1$  permet de charger les lignes différentielles  $LD_1$  et  $LD_2$  connectées à la sortie du générateur de données à  $100\Omega$  au plus près des bases des transistors. Ainsi la charge en bout de ligne est parfaitement contrôlée et assure donc une bonne adaptation du générateur jusqu'aux bases des transistors.

Afin de laisser un maximum de dynamique en tension ( $0.5V$ ) sur les collecteurs des transistors  $Q_1$  et  $Q_2$ , la polarisation du mélangeur est faite directement sur la base du transistor  $Q_3$ . L'émetteur du transistor  $Q_4$ , monté en diode, est 4 fois plus petit que le transistor  $Q_3$  afin de réduire la consommation de la branche de polarisation par l'intermédiaire du courant  $I_{bias}$ . Pour obtenir  $I_P$  égale  $4 \cdot I_{bias}$ , la résistance  $R_3$  doit être égale à  $4 \cdot R_4$ . En pratique, les valeurs des éléments parasites des transistors ne sont pas exactement proportionnelles à la longueur de l'émetteur. Cette différence est alors compensée en ajustant le rapport des résistances  $R_3$  et  $R_4$ , d'où  $2 \cdot R_3 = 3 \cdot R_4$ . Les transistors  $Q_1$  et  $Q_2$  sont polarisés via la résistance  $R_2$  à la tension  $V_P$ .

Une attention particulière a été portée à la conception de la capacité  $C_D$  qui permet le retour du courant lorsque le transistor  $Q_1$  est passant. Cette capacité de  $550fF$  est du type 3, c'est-à-dire que le sens du courant est opposé dans les deux plaques métalliques. Ceci permet d'avoir une fréquence de résonance de  $170GHz$  comme cela a été expliqué dans le chapitre II.

Le modulateur OOK n'a pas été implémenté en élément unique sur silicium. Il n'a donc pas pu être caractérisé. La fonctionnalité a toutefois été vérifiée lors de la caractérisation du transmetteur complet.

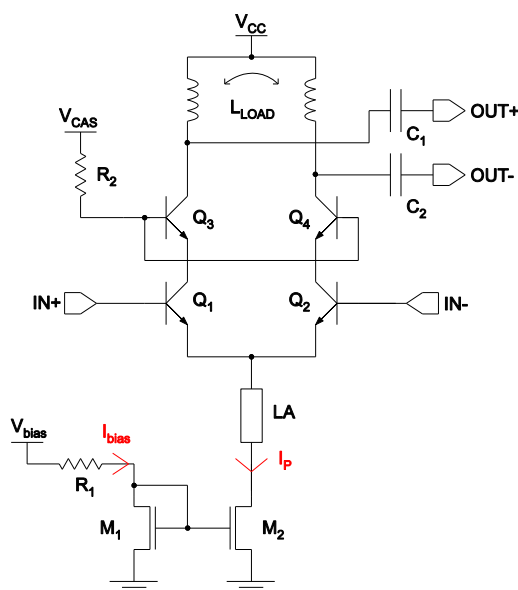
### III.3.3 Conception de l'amplificateur de puissance

#### III.3.3.1 Choix de l'architecture

La topologie du LNA (Partie III.2.2.) est cascode différentielle. Pour rappel, un montage cascode permet d'obtenir davantage de gain qu'un montage émetteur commun même à des fréquences proches de la fréquence de transition de la technologie. La raison principale de ce gain est l'annulation de l'effet Miller sur la capacité base-collecteur du transistor d'entrée.

#### III.3.3.2 Implémentation

Le schéma électrique de l'amplificateur de puissance est présenté Figure III-45. La taille des transistors et la polarisation ont été déterminées afin d'obtenir un point de compression à  $-1\text{dB}$  en sortie  $OP_{1\text{dB}}$  égale à  $6\text{dBm}$ . La charge est une inductance différentielle  $L_{\text{LOAD}}$ . Ce type d'inductance, composée de deux rubans de métal 6 parallèles côte à côte, permet d'obtenir une circulation localisée du courant et d'éviter ainsi des problèmes liés aux retours de masse mal maîtrisés.



#### Valeur des composants :

$L_e(Q_1, Q_2, Q_3, Q_4) = 7\mu\text{m}$

$M_1 = 8 \times (10 \times 0.3\mu\text{m})$

$M_2 = 10 \times M_1$

$R_1 = 500\Omega$

$R_2 = 1\text{K}\Omega$

$C_1, C_2 = 19\text{fF}$

$L_{\text{LOAD}} = 30\text{pH}$

$LA = \text{Ligne d'accès} = 48\text{pH}$

#### Valeurs des courants :

$I_{\text{bias}} = 1.6\text{mA}$

$I_p = 15\text{mA}$

#### Valeurs des tensions :

$V_{\text{CC}} = 2.5\text{V}$

$V_{\text{CAS}} = 1.9\text{V}$

$V_{\text{BIAS}} = 1.2\text{V}$

Figure III-45 : Schéma électrique et valeurs des composants de l'amplificateur de puissance

L'adaptation en entrée est effectuée par le balun de sortie du mélangeur précédemment décrit.

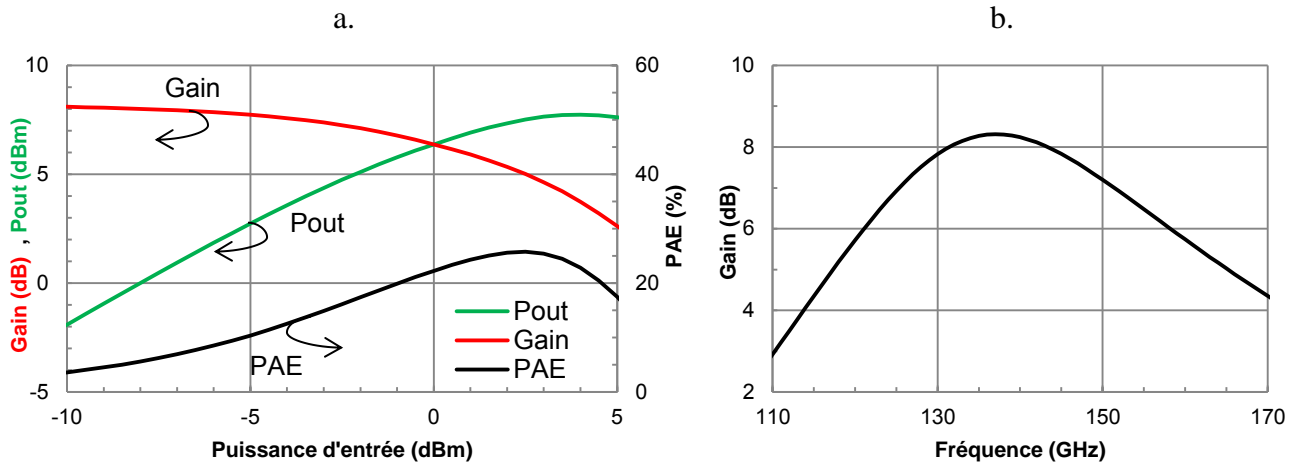


Figure III-46 : a. Puissance de sortie (Pout), gain et efficacité en puissance ajoutée (PAE) simulés de l'amplificateur de puissance en fonction de la puissance d'entrée ; b. Gain (S21) du PA en fonction de la fréquence

L'amplificateur de puissance a été uniquement implémenté dans la chaîne de transmetteur. Les simulations sont présentées Figure III-46. L'amplificateur de puissance présente un gain de 8.2dB et une bande passante à -3dB de 45GHz (de 118GHz à 163GHz). La surface occupée sur le silicium est de 0.020mm<sup>2</sup>. La microphotographie du PA implémenté sur silicium est présentée Figure III-47 ; l'inductance différentielle en coude se détache clairement du reste du circuit. Pour ce circuit, la circulation du courant est parfaitement contrôlée par l'absence de plan de masse.

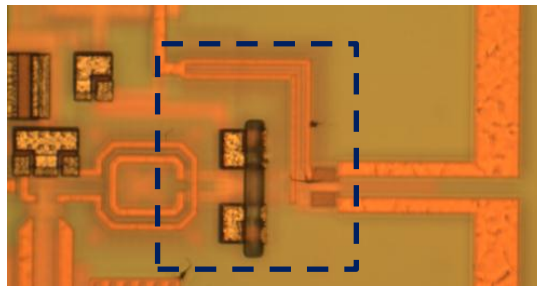


Figure III-47 : Microphotographie du PA, la zone entourée représente la partie active du circuit, à droite l'antenne, à gauche le balun 2ports réalisant la liaison avec l'up-mixer.

Les performances de l'amplificateur sont reportées dans le Tableau III-6 où elles sont comparées à l'état de l'art des amplificateurs fonctionnant à une fréquence supérieure à 130GHz. L'efficacité en puissance ajoutée (PAE) de 25% est nettement supérieure à l'état de l'art. Même si la PAE prend en compte la puissance d'entrée dans le calcul du rendement, il est toutefois à comparer avec précaution, car l'amplificateur présenté n'est constitué que d'un seul étage et a donc un gain inférieur par rapport aux amplificateurs répertoriés.

Les performances obtenues de l'amplificateur de puissance correspondent au cahier des charges fixées au début de ce chapitre. Pour rappel, l'objectif était d'obtenir un gain de 6dB et un point de compression en sortie de 6dBm.

Référence	[54]	[55]	[56]	Ce travail
Technologie	65nm CMOS	0.1µm mHEMT	0.13µm SiGe	0.13µm SiGe
Fréquence (GHz)	150	144	130	140
Topologie	3 SC	3 EC	3 CC	1 CC
Tension d'alimentation (V)	1.1	1.4	2	2.5
Gain (dB)	8.2	10	<b>24.3</b>	8.2
Bande passante à 3dB (GHz)	27	14.5	20	<b>45</b>
P <sub>1dB</sub> (dBm)	1.5	11.4	6	5.1
P <sub>SAT</sub> (dBm)	6.3	-	7.7	7.7
PAE (%)	8.4	10	6.8	<b>25</b>
Puissance consommée (mW)	25.5	162	84	35
Surface (mm <sup>2</sup> )	0.4x0.4	1x2.25	0.43x0.7	<b>0.13x0.15</b>

SC : Source commune, EC : Emetteur commun, CC : Cascode

Tableau III-6 : Comparaison des performances de l'amplificateur de puissance à l'état de l'art

### III.4 Conclusion

Dans ce chapitre, la conception de tous les blocs de la chaîne d'émission et de réception a été décrite. L'oscillateur à 140GHz et le démodulateur 60GHz ont été implémentés indépendamment sur silicium et de ce fait caractérisés complètement. Les performances simulées et mesurées (lorsque cela a été possible) des circuits réalisés sont récapitulées dans le Tableau III-7.

Émetteur			
Circuit	Performances simulées	Performances mesurées	Puissance consommée
Oscillateur	$F_{OSC} : 140GHz$ $P_{OUT} : 0dBm$	$F_{OSC} : 131.2GHz$ et $142GHz^*$ $P_{OUT} : -1dBm$	20mW
Modulateur	Gain > 0dB	NC	10mW
Amplificateur de puissance	Gain : 8.2dB $OP_{1dB} > 5.1dBm$	NC	35mW

Récepteur			
Circuit	Performances simulées	Performances mesurées	Puissance consommée
LNA	Gain : 27dB NF : 8.7dB	NC	35mW
Démodulateur 60GHz	Gain : 10.5dB NF : 8dB	Gain : 9.7dB	21mW
Démodulateur 140GHz	Gain : 1dB NF : 22dB	NC	14mW

Tableau III-7 : Récapitulatif des performances de chaque bloc réalisé  
\*résultat obtenu pour le 2<sup>ème</sup> circuit implémenté ; NC : non caractérisé

Les fonctions ainsi obtenues ont permis de réaliser le démonstrateur complet présenté dans le chapitre suivant. La fonctionnalité des éléments de bases qui n'ont pas pu être caractérisés séparément (modulateur, amplificateur de puissance et démodulateur 140GHz) a pu être vérifiée lors de la caractérisation du système complet. La fonctionnalité globale atteste de la fonctionnalité des sous-éléments composants ce système.

La méthodologie de conception utilisée, à savoir d'effectuer les adaptations d'impédances par des éléments localisés, a permis de concevoir des circuits très compacts. Les performances atteintes par chacun des circuits sont prometteuses pour le système complet et les débits de données escomptées (supérieures à 10Gbps) devraient être atteints.





# Chapitre IV : Conception et caractérisation du démonstrateur

---

---

La première partie de ce chapitre traitera de la conception et de la caractérisation de l'antenne qui est un élément clé dans le fonctionnement du démonstrateur. Ensuite la conception de l'émetteur et du récepteur sera présentée. Seul l'émetteur a fait l'objet d'une caractérisation indépendante. Le récepteur n'a pas pu être caractérisé faute de sources disponibles en bande G à ST et à l'IEMN. La problématique est la même que celle rencontrée lors de la caractérisation du démodulateur 140GHz évoquée dans le chapitre précédent. Deux versions du récepteur ont été réalisées à trois mois d'intervalles : une première version sans LNA et une seconde intègre un LNA 3 étages. Ces deux versions ont donné lieu à la caractérisation de deux démonstrateurs complets détaillés dans la dernière partie de ce chapitre. La première version a été utilisée pour une communication en modulation OOK et une communication en modulation self-hétérodyne via un modulateur et un démodulateur QPSK externe.

## IV.1 Implémentation et caractérisation des antennes

L'antenne était nécessaire à la démonstration finale du système de communication réalisée. La conception de l'antenne n'était pas le sujet principal de ces travaux de recherches, elle n'a donc pas fait l'objet d'une recherche bibliographique approfondie supplémentaire ni d'une optimisation poussée.

### IV.1.1 Conception de l'antenne à 140GHz

Comme énoncé dans le chapitre I, le système de communication doit être totalement intégré et compact. Les antennes dipôles présentent un facteur de forme favorable à ces contraintes : composées uniquement de 2 brins droits dont la longueur correspond à la moitié de la longueur d'onde guidée, elles sont facilement intégrables sur les bords d'un circuit.

Des réalisations d'antenne dipôle ont déjà été effectuées en technologie BiCMOS 0.13 $\mu$ m à 79GHz [29]. Les performances de ces antennes sont relativement faibles à cause de la haute permittivité relative ( $\epsilon_r=11.7$ ) et la basse résistivité ( $\rho\approx 10\Omega.cm$ ) du substrat silicium. De ce fait, ces antennes dipôles présentent un gain autour de -7dBi.

L'antenne est réalisé dans la couche de cuivre la plus éloignée du substrat. Une vue en coupe simplifiée de l'empilement des matériaux de la technologie BiCMOS 0.13 $\mu$ m est présentée sur la Figure IV-1a. L'antenne est visible sur la microphotographie de la Figure IV-1b. La longueur entre les deux extrémités est de 500 $\mu$ m. La largeur des brins permet d'ajuster l'impédance de l'antenne (ici à 50 $\Omega$ ). Afin de respecter les densités de métaux

imposées par la technologie, des carrés de métaux flottant (dummies) dans toutes les couches de la technologie ont été ajoutés autour de l'antenne. Une zone d'exclusion a tout de même été respectée afin de minimiser les perturbations de ces carrés de métaux sur le rayonnement électromagnétique. La surface totale de l'antenne incluant la zone d'exclusion est de  $0.1\text{mm}^2$ .

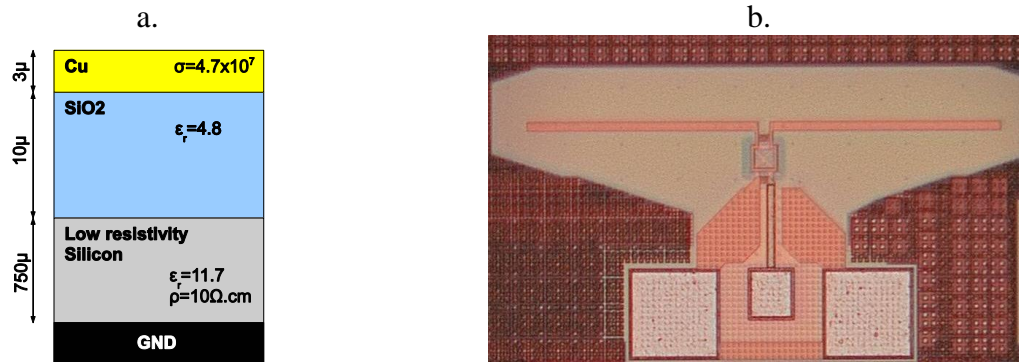


Figure IV-1 : a. Vue en coupe simplifiée de la technologie BiCMOS 0.13µm ; b. microphotographie de l'antenne dipôle 140GHz

La sortie de l'amplificateur de puissance et l'entrée du LNA sont différentielles, l'utilisation d'un balun ne sera donc pas requise pour fournir l'excitation différentielle nécessaire à l'antenne dipôle. En revanche, un balun a été ajouté pour la caractérisation de l'antenne seule car l'analyseur de réseaux bande G ne fonctionne pas avec des signaux équilibrés.

La Figure IV-2 présente les résultats de simulation Momentum de l'antenne seule et avec le balun. L'antenne présente une adaptation meilleure que -10dB de 34GHz centrée autour de 140GHz. La simulation du paramètre de réflexion de l'antenne laisse apparaître un pôle supplémentaire induit par le balun autour de la fréquence 115GHz. Le gain de l'antenne n'est pas affecté par ce pôle, les pertes du balun impliquent un écart de 1 dB entre les deux configurations. L'antenne seule présente un gain de -6dBi à 140GHz et une bande passante à -3dB de 20GHz, ce qui répond aux exigences d'une application multi-gigabits.

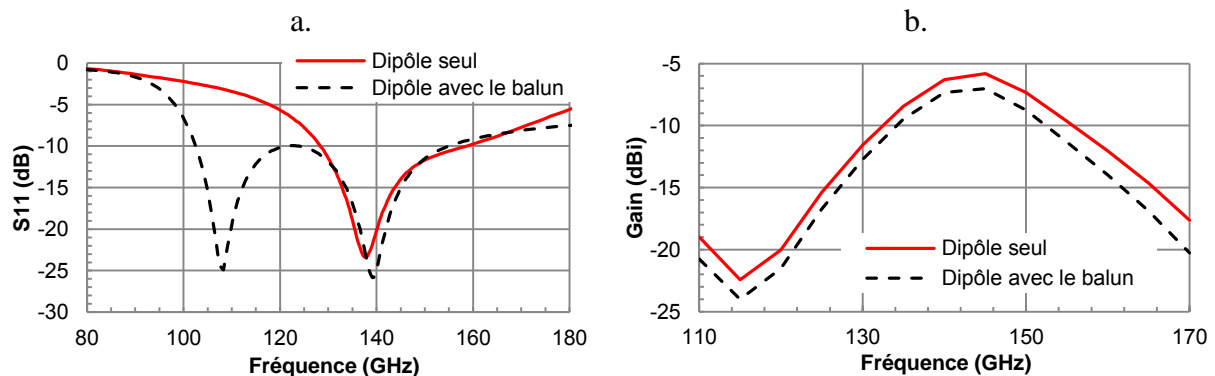


Figure IV-2 : Simulation Momentum de l'antenne dipôle : a. S11 ; b. Gain

Pour la suite, l'antenne sera utilisée uniquement en configuration différentielle. Les caractéristiques de la courbe rouge représentent donc les performances de l'antenne qui sera implémentée au sein du démonstrateur (le balun n'étant alors pas nécessaire).

### IV.1.2 Antenne intégrée dans le “seal-ring”

Afin de minimiser la surface silicium de l’antenne, une antenne a été implémentée dans le “seal-ring” (anneau de bordure de puce) de la puce. Cet anneau est un mur bordant la puce constitué de l’empilement de tous les métaux de la technologie. Ce mur protège le circuit lors de la découpe du wafer des éclats et des phénomènes d’arrachement provoqués par le passage de la scie. Pour implémenter l’antenne, le seal-ring a été ouvert de chaque côté sur une courte longueur (50 $\mu$ m). Les éléments rayonnants sont, contrairement à précédemment, composés de l’empilement de tous les métaux de la technologie. Ces changements influent très peu les performances de l’antenne re-simulée.

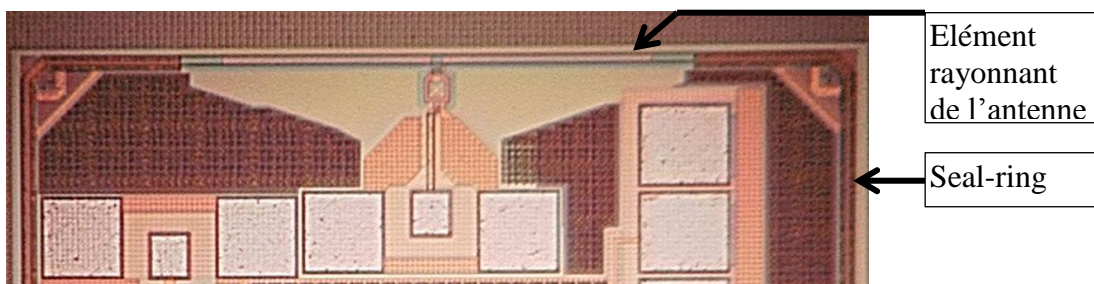


Figure IV-3 : Microphotographie d'une antenne implémentée dans le seal-ring d'une puce

La surface de cette antenne sur le silicium est divisée par deux par rapport à la configuration précédente car la moitié de la zone d'exclusion a été supprimée. Des découpes ont été réalisées durant les travaux de thèse, et l'antenne est restée intacte. Ce test ne prouve pas complètement l'utilisation de cette technique à grande échelle, une étude plus complète de reproductibilité devra être considérée. Néanmoins, dans certains cas comme dans le cas du test de puce sans contact, l'antenne pourrait être considérée comme sacrificielle et utilisable uniquement lors du premier tri de puce, sa présence ou non après l'assemblage ne serait pas importante.

### IV.1.3 Mesure des antennes

Les mesures de diagramme de rayonnement d'une antenne requièrent une chambre anéchoïque. Celles-ci sont peu accessibles et les campagnes de mesures souvent longues à mettre en place. Néanmoins, pour avoir une idée des performances de l'antenne en configuration réelle, une caractérisation en transmission (paramètre S21) a été retenue. Cette mesure a été réalisée pour différentes distances. La Figure IV-4 montre la configuration des antennes qui ont été implémentées sur silicium. Les distances couvertes par ces différentes configurations sont reportées dans le Tableau IV-1. L'antenne 4 est située dans le seal-ring de la puce.

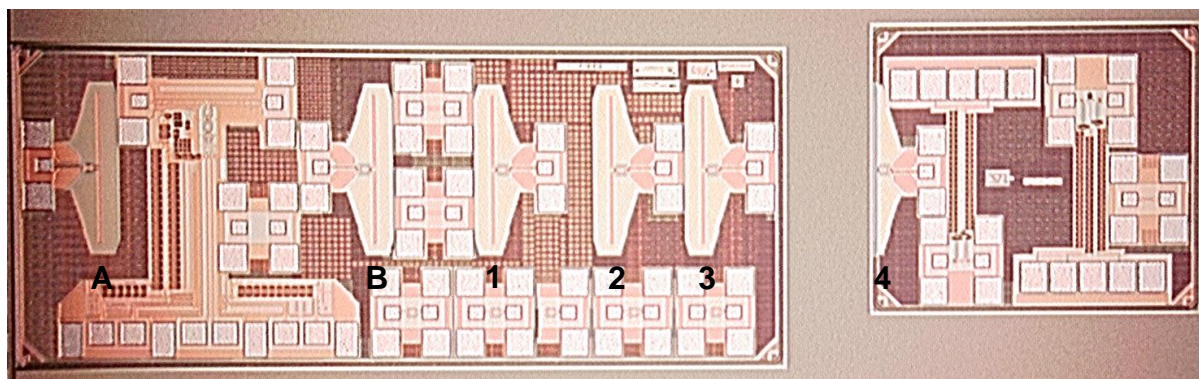


Figure IV-4 : Configuration des antennes sur le silicium pour la caractérisation en transmission

Configuration	Distance	Configuration	Distance
B-1	0.4mm	A-1	1.3mm
B-2	0.8mm	A-2	1.7mm
B-3	1.1mm	A-3	2mm
B-4	1.7mm	A-4	2.6mm

Tableau IV-1 : Récapitulatif des distances entre les antennes couvertes par toutes les configurations

Le paramètre de réflexion mesuré est confronté à la simulation Momentum comme illustré Figure IV-5. La mesure a été effectuée en deux temps, en utilisant dans un premier temps le banc XF 0-110GHz et ensuite le banc bande G 130-220GHz ; elle valide les simulations effectuées.

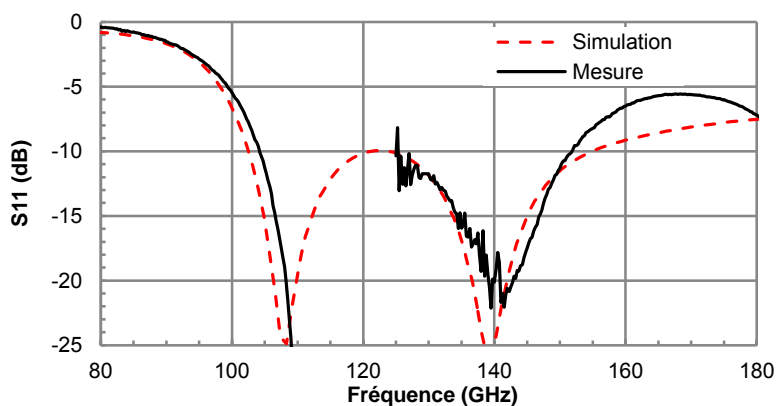


Figure IV-5 : Paramètre S11 mesuré et simulé de l'antenne

Le paramètre S21 mesuré des antennes pour toutes les configurations correspondant à différentes distances est présenté Figure IV-6. Ces mesures sont à prendre avec précautions. En effet, beaucoup de paramètre perturbent le rayonnement des antennes. Puisque l'environnement des antennes sur silicium est très hétérogène. Pour des raisons d'optimisation de la surface silicium, des motifs de test se retrouvent entre les antennes. D'autre part, les pointes de test perturbent aussi le rayonnement des antennes.

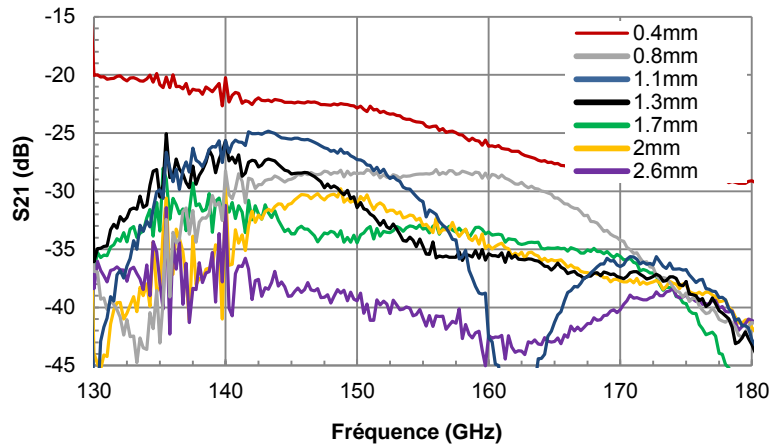


Figure IV-6 : Paramètre S21 mesuré des antennes pour toutes les distances

Le Tableau IV-2 récapitule les valeurs des pertes mesurées entre les antennes à 140GHz pour toutes les distances. Pour comparaison, les pertes estimées par calcul ont été ajoutées. Elles sont obtenues en additionnant les pertes en espaces libres à 140GHz (PL) à deux fois les gains simulés des antennes ( $G_{\text{antenne}}$ ), à savoir -7dBi. Cette estimation par calcul des pertes correspond à peu près aux pertes mesurées. Pour certaines distances, l'erreur entre la valeur du S21 mesurée et calculée est plus importante à cause d'une part de l'incertitude de mesure et d'autre part, les motifs d'antennes n'ont pas tous le même environnement (antenne à proximité de motifs de test avec un plan de masse important).

Distance	Pertes en espace libre (PL)	S21 calculé : $PL+2 \cdot G_{\text{antenne}}$	S21 mesuré à 140GHz	Erreur entre la mesure et la simulation
0.4mm	-7.4dB	-21.4dB	-22dB	7%
0.8mm	-13.4dB	-27.4dB	-28dB	7%
1.1mm	-16.2dB	-30.2dB	-26dB	38%
1.3mm	-17.6dB	-31.6dB	-27dB	41%
1.7mm	-20dB	-34dB	-32dB	20%
2mm	-21.4dB	-35.4dB	-35dB	4%
2.6mm	-23.7dB	-37.7dB	-37dB	8%

Tableau IV-2 : Récapitulatif des pertes mesurées (S21) à 140GHz et comparaison avec les pertes calculées

Les mesures en transmission (S21) des antennes confirment leur fonctionnalité pour le démonstrateur final.

## IV.2 Conception et caractérisation de l'émetteur

La chaîne d'émission est présentée dans le chapitre précédent, III.1. L'émetteur est constitué de l'oscillateur Colpitts centré à 142GHz, d'un mélangeur (up-mixer) et d'un amplificateur de puissance (PA). Le schéma électrique complet est présenté Figure IV-7.

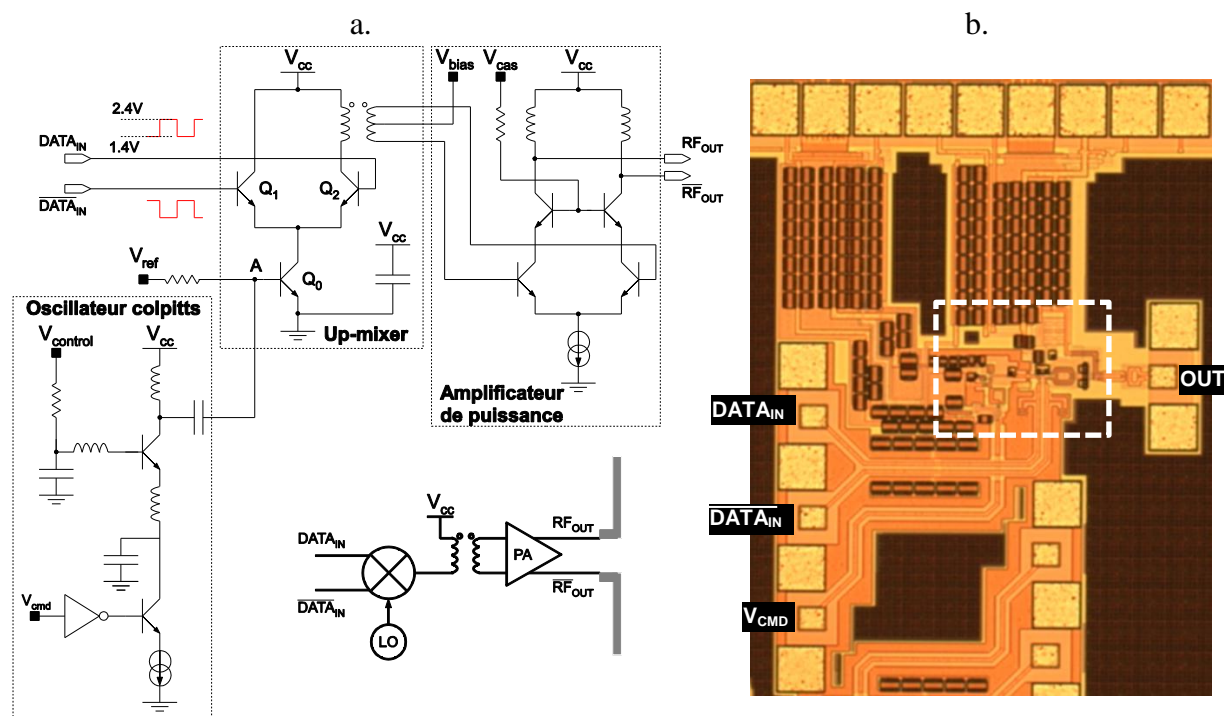


Figure IV-7 : a. Schéma électrique de l'émetteur ; b. Microphotographie de l'émetteur

Dans un souci de caractérisation complète de l'émetteur, deux versions ont été réalisées : la première version comporte une antenne en sortie du PA et la seconde un balun associé à un plot en sortie, permettant le posé d'une pointe hyperfréquence directement en sortie de PA. La microphotographie du second émetteur est présentée Figure IV-7b. Le cœur du circuit est symbolisé par le carré en pointillés dont la surface est de  $0.07\text{mm}^2$ . Huit plots DC dont deux plots de masse sont nécessaires à la polarisation l'émetteur. Ces plots offrent des degrés de liberté supplémentaires pour caractériser le circuit et ainsi aider à la compréhension de problèmes éventuels. L'implémentation interne des sources de courant et de tension pourra permettre ultérieurement de limiter les inductances et les interférences parasites du circuit. Par ailleurs, trois plots destinés aux différents signaux se situent en bas à gauche du circuit. L'oscillateur est en fonctionnement continu lorsque le plot  $V_{\text{CMD}}$  (en bas à gauche) n'est pas connecté, les données sont alors injectées par une pointe RF différentielle GSGSG via les plots  $\text{DATA}_{\text{IN}}$  et  $/\text{DATA}_{\text{IN}}$ . En posant la pointe RF sur les plots  $/\text{DATA}_{\text{IN}}$  et  $V_{\text{CMD}}$  ( $\text{DATA}_{\text{IN}}$  est alors en l'air), il est possible de moduler directement l'oscillateur en injectant une séquence pseudo-aléatoire sur le plot  $V_{\text{CMD}}$  et mettant le plot  $/\text{DATA}_{\text{IN}}$  à la masse.

Une caractérisation de la puissance de sortie de l'émetteur a été effectuée avec l'analyseur de spectre. Les entrées  $\text{DATA}_{\text{IN}}$  et  $/\text{DATA}_{\text{IN}}$  ont été mise respectivement à 2.4V et 1.4V en continu afin de rendre le modulateur passant. La tension  $V_{\text{contrôle}}$  correspond à la tension de base de l'oscillateur Colpitts. Les mesures de la puissance de sortie en fonction de la tension  $V_{\text{contrôle}}$  sont reportées sur la Figure IV-8. Pour une excursion de 0.9V, la fréquence

d'oscillation varie de 140.6GHz à 142.1GHz, soit une sensibilité  $K_{VCO}$  égale à 1.7GHz/V. Cette variation ne représente que 1% de la fréquence d'oscillation. Par ailleurs, lorsque la tension  $V_{contrôle}$  augmente, la puissance de sortie de l'oscillateur diminue et donc la puissance en sortie de l'amplificateur diminue. Ce phénomène est visible sur la Figure IV-8b. Toutefois, les relevés de puissance sont peu précis car ils sont effectués à partir de l'analyseur de spectre, ceci explique les variations non uniformes. La tension  $V_{contrôle}$  étant fixée à 1.9V en interne lorsqu'aucune tension n'est imposée sur ce plot, la puissance de sortie émise par l'émetteur est donc d'environ 4dBm.

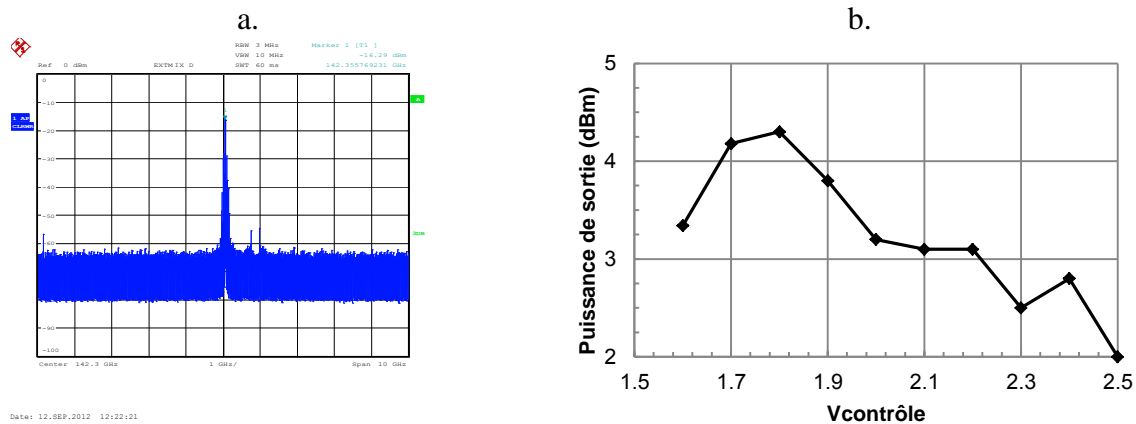


Figure IV-8 : a. Spectre de sortie de l'émetteur en mode émission continu ; b. Puissance de sortie de l'émetteur en fonction de la tension  $V_{contrôle}$

La bande passante de l'émetteur a été caractérisée en injectant à l'entrée différentielle un signal sinusoïdal à la fréquence  $f_{FI}$  issu d'un synthétiseur de fréquence. Des harmoniques sont alors obtenues aux fréquences  $f_{RF}+kf_{FI}$  avec  $f_{RF}$  la fréquence de l'oscillateur local (ici 142GHz) et  $k$  un nombre entier relatif. Le spectre du signal de sortie de l'émetteur considérant un signal sinusoïdal à 5GHz est présenté Figure IV-9a. Des raies parasites de faibles puissances se retrouvent dans le spectre observé. Les raies proviennent du produit d'intermodulation du signal utile avec la fréquence de l'oscillateur du mélangeur sous-harmonique de rang 12 utilisé pour abaisser le signal mesuré dans la bande 0-12GHz mesurable de l'analyseur de spectre. La bande passante de l'émetteur complet, présentée Figure IV-9b, est obtenue en balayant la fréquence  $f_{FI}$  de 1 à 20GHz et en relevant la puissance des harmoniques basses et hautes de rang 1 ( $k=1$ ). La bande passante à -3dB de l'émetteur est ainsi déterminée expérimentalement et est égale à 32GHz. Cette valeur est très confortable pour le démonstrateur complet.

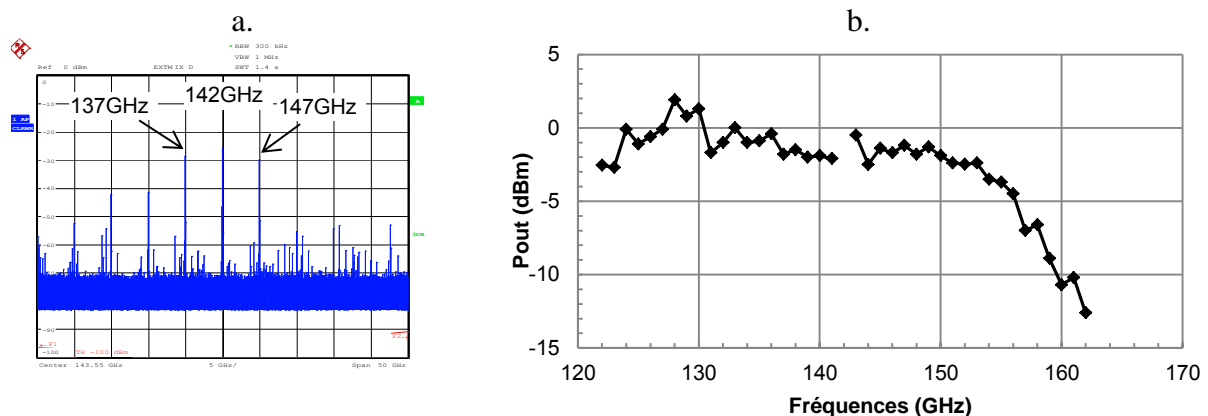


Figure IV-9 : a. Spectre de sortie d'un signal sinusoïdale à 5GHz modulé à 142GHz ; b. Bande passante du transmetteur

En effet, la large bande passante de l'émetteur permet d'envisager l'émission d'un signal OOK modulé à un débit d'au moins 15Gbps. Pour vérifier expérimentalement que la bande passante de l'émetteur permet l'émission d'un signal OOK multi-gigabits, une séquence binaire pseudo-aléatoire est injectée en entrée. Le spectre de sortie est observé à l'analyseur de spectre. La Figure IV-10 présente le spectre d'un signal OOK modulé à un débit de donnée  $D$  autour de la fréquence porteuse  $f$ . Ainsi, l'énergie est répartie dans des lobes de largeur spectrale  $2xD$  et l'énergie est nulle aux fréquences  $f-k.D$  avec  $k$  entier. 90% de l'énergie est comprise dans le lobe principal de largeur  $2D$ . Une raie de forte puissance est présente à la fréquence  $f$  de la porteuse.

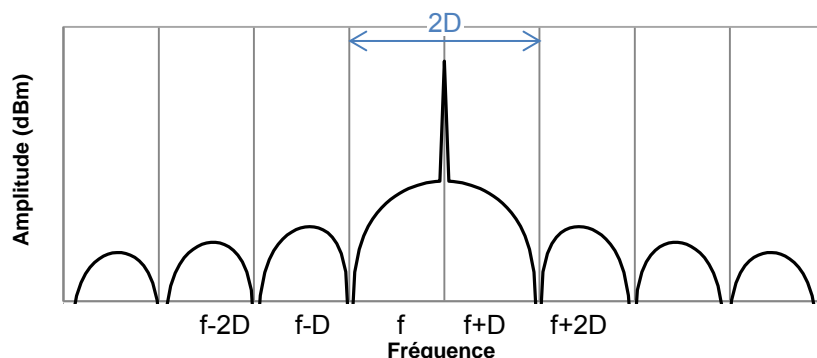


Figure IV-10 : Spectre théorique d'un signal OOK modulé à un débit de données  $D$  autour de la fréquence porteuse  $f$

La Figure IV-11 présente le spectre du signal de sortie de l'émetteur pour des débits de données de 5Gbps et 10Gbps. Pour le premier spectre à 5Gbps, les lobes secondaires sont bien visibles alors qu'ils ne sont plus visibles sur le spectre à 10Gbps contraint par la bande passante de l'émetteur.

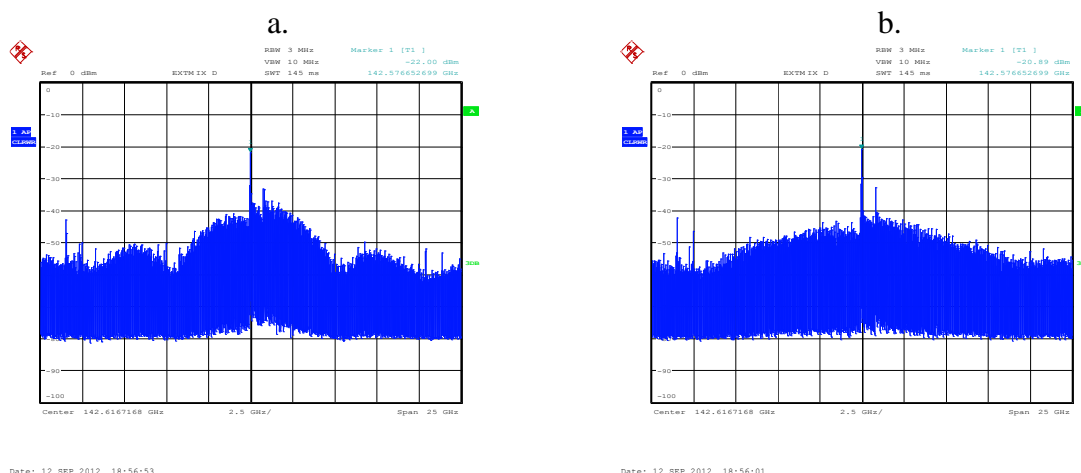


Figure IV-11 : Spectre de sortie du transmetteur de la modulation OOK: a. à 5Gbps ; b. à 10Gbps

D'après les mesures présentées Figure IV-11, l'émetteur peut être considéré comme fonctionnel tant au niveau de la puissance délivrée en sortie, autour de 4dBm, qu'au niveau de la largeur de bande passante, 32GHz. Ces caractéristiques permettent d'envisager une démonstration de communication entre l'émetteur et le récepteur jusqu'à un débit de données d'au moins 15Gbps, afin d'effectuer une validation système du récepteur réalisé.



## IV.3 Conception du récepteur

Lors de l'implémentation de l'émetteur complet, l'amplificateur faible bruit n'avait pas encore été conçu. Une première version du récepteur a cependant été implémentée sur la même contribution sans amplificateur. Celle-ci permet d'une part d'effectuer une validation de l'émetteur en communication et d'autre part d'évaluer expérimentalement la fonctionnalité du démodulateur 140GHz qui, pour rappel, n'avait pas pu être caractérisée. Une deuxième version du récepteur, cette fois-ci incluant le LNA, a été implémentée par la suite sur une nouvelle contribution silicium. Cette partie décrit l'implémentation des deux versions du récepteur.

### IV.3.1 Récepteur n'incluant pas l'amplificateur faible bruit

La première version du récepteur, dont le schéma électrique et la microphotographie sont présentés Figure IV-12, a été implémentée sans l'amplificateur faible bruit. Il est donc composé uniquement par l'antenne et le démodulateur opérant à 140GHz. Le circuit actif occupe une surface de  $0.04\text{mm}^2$  et la consommation DC est de 14mW. Les performances obtenues pour ce récepteur correspondent à un gain égal à 1dB et un facteur de bruit de 22dB, ce dernier étant très limitant pour une validation système. Ces performances sont davantage détaillées dans la partie III.2.1 concernant la conception du démodulateur.

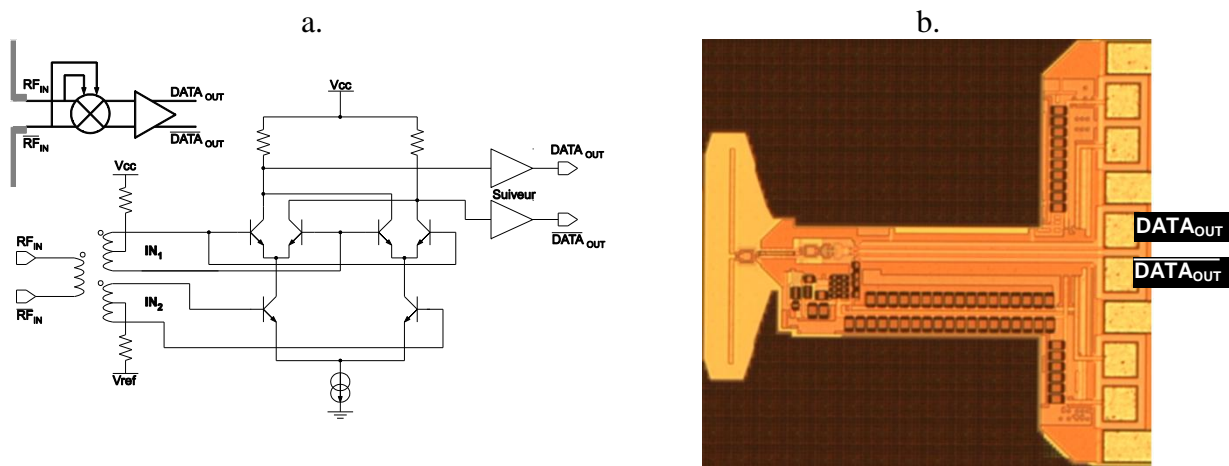


Figure IV-12 : Schéma électrique du récepteur sans le LNA ; b. Microphotographie du récepteur

Pour les mêmes problématiques que celles relatives au démodulateur seul, le récepteur n'a pas pu être caractérisé. En revanche la fonctionnalité et la bande passante du récepteur ont été mesurées par le biais de l'émetteur. Ceci sera détaillé dans la partie suivante concernant la caractérisation du démonstrateur complet.

### IV.3.2 Récepteur complet incluant l'amplificateur faible bruit

Le schéma électrique du récepteur composé de l'amplificateur faible bruit et du démodulateur est présenté par la Figure IV-13. Dans un souci de compacité du schéma électrique, seul un étage composant l'amplificateur parmi 3 a été représenté. L'adaptation

entre la sortie du deuxième étage du LNA et l'entrée du démodulateur n'a pas fait l'objet d'une conception conjointe. Ainsi, le balun de sortie du LNA et le balun 3 ports du démodulateur présentent tous deux une impédance de  $50\Omega$ . Il aurait été plus judicieux de n'utiliser qu'un seul balun pour minimiser les pertes du réseau d'adaptation, mais cela aurait requis la conception d'un balun trois ports ayant des impédances d'entrée très contraignantes.

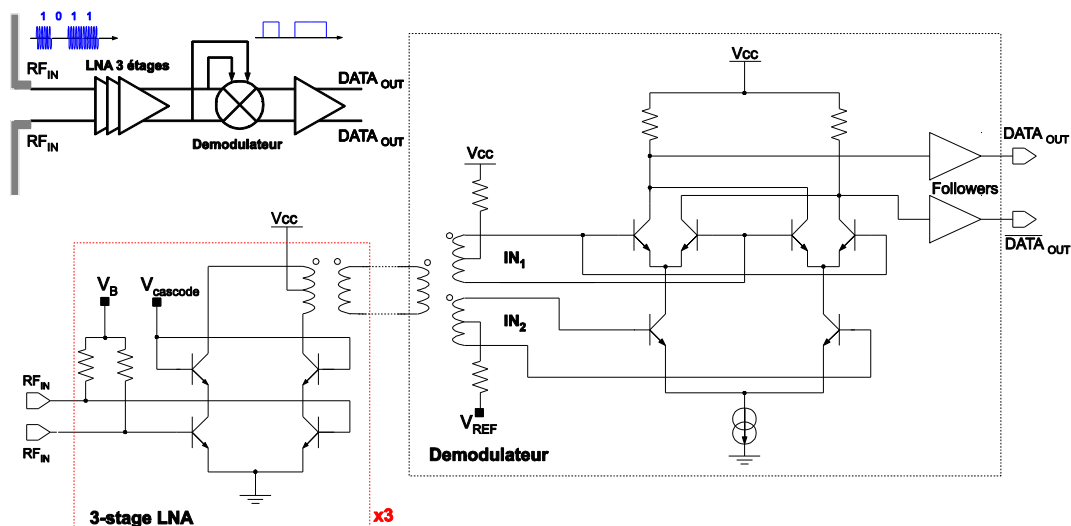


Figure IV-13 : Schéma électrique du récepteur avec le LNA

La microphotographie de l'implémentation du récepteur sur silicium est présentée Figure IV-14. La surface occupée par le circuit actif est de  $0.08\text{mm}^2$ . Contrairement à la première version, la configuration du plot de sortie est GSGSG ; les pointes de ce type ont une bande passante plus élevée que les pointes GSSG ( $40\text{GHz}$  contre  $15\text{GHz}$ ). De même que précédemment, cette version du récepteur n'a pas été caractérisée seule, mais ses performances ont été vérifiées à l'aide du transmetteur et seront détaillées dans la partie suivante.

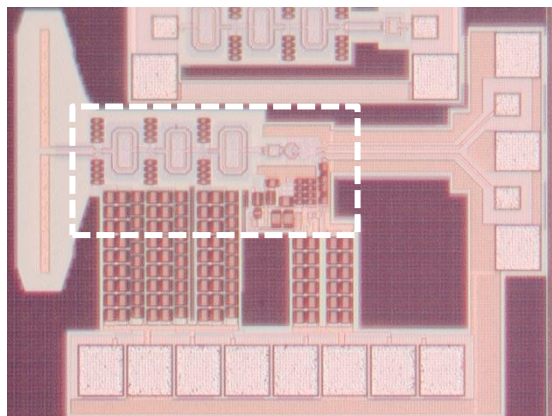


Figure IV-14 : Microphotographie du récepteur avec le LNA

## IV.4 Caractérisation du démonstrateur

Ce paragraphe est consacré à la caractérisation des deux démonstrateurs réalisés incluant ou non l'amplificateur faible bruit. Le premier démonstrateur a fait l'objet d'une démonstration de communication dans une configuration associée à la modulation OOK mais également dans une configuration dite « self-hétérodyne ». Le nombre de mesures sur le second démonstrateur a été limité par la présence d'oscillations qui sera explicitée à la fin de ce paragraphe.

### IV.4.1 Démonstrateur n'incluant pas de LNA

#### IV.4.1.1 Implémentation du démonstrateur

L'émetteur ainsi que le récepteur n'incluant pas l'amplificateur faible bruit ont été implémentés dans un même champ avec un espacement de  $600\mu\text{m}$  entre les antennes d'émission et de réception. La disposition des circuits sur silicium est présentée sur la microphotographie de la Figure IV-15. Les données d'entrées sont injectées à gauche et les données en sortie du récepteur sont récupérées sur le plot GSSGSSG à droite. Une antenne seule dont la sortie est connectée à un plot est située entre l'émetteur et le récepteur. Cette antenne a été implémentée afin de permettre d'effectuer une caractérisation complète de l'émetteur après un temps de vol très court. La distance minimale considérée entre les deux antennes est d'environ  $300\mu\text{m}$ .

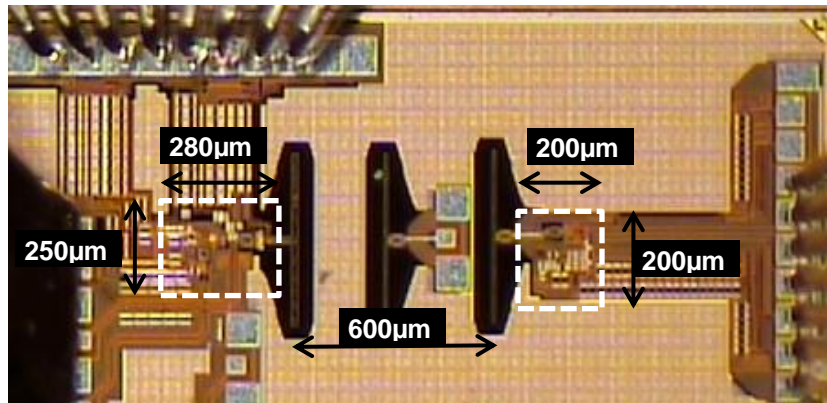


Figure IV-15 : Microphotographie de l'émetteur et du récepteur sans LNA

#### IV.4.1.2 Caractérisation du démonstrateur

Les trois sous-parties qui suivent présentent la caractérisation de la bande passante de l'émetteur-récepteur, la démonstration d'une communication sur la base d'une modulation OOK et enfin la démonstration d'une communication en adoptant une configuration self-hétérodyne associée à une modulation QPSK.

#### IV.4.1.2.1 Caractérisation de la bande-passante

Tout d’abord la bande passante de l’ensemble émetteur-antennes-récepteur est caractérisée en injectant un signal sinusoïdal issu d’un synthétiseur. Le signal de sortie est observé sur un analyseur de spectre. Pour chaque entrée-sortie RF, des filtres de découplages (DC-blocks) large bande (15kHz-26GHz) sont ajoutés afin d’isoler la polarisation interne du circuit. La configuration de la mesure est détaillée par la Figure IV-16.

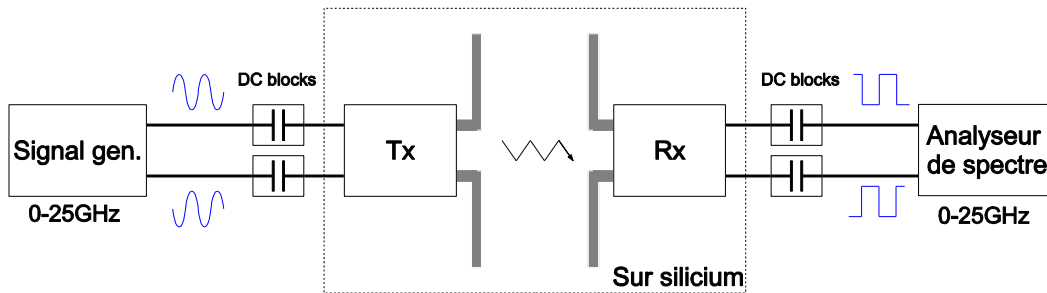


Figure IV-16 : Banc de mesure de la bande passante du démonstrateur complet

Lorsqu’un signal de fréquence  $f_{IN}$  est injecté en entrée, le spectre du signal de sortie est composé de raies à la fréquence  $nf_{IN}$  avec  $n$ , entier égal ou supérieur à 1. La bande passante est alors obtenue en opérant un balayage entre 1 et 20GHz de la fréquence  $f_{IN}$  et en relevant sur l’analyseur de spectre la puissance de la première raie obtenue connaissant la valeur de la puissance d’entrée pour chaque point de fréquence. L’évolution du gain de conversion de l’émetteur global en fonction de la fréquence  $f_{IN}$  est décrite Figure IV-17. Ainsi une bande passante à -3dB de 16GHz a été mesurée, cependant le gain de conversion n’est pas constant sur toute cette plage fréquence. Une diminution du gain peut être observée entre 3 et 4GHz : ceci est dû au défaut de calibrage de la pointe GSSGSSG de sortie qui ne peut être effectué en configuration différentielle à cause de sa disposition particulière. Ainsi, les pertes de cette pointe ont été obtenues en caractérisant chaque voie indépendamment mais une telle caractérisation ne permet pas de détecter un couplage parasite entre les deux voies, ce qui peut expliquer la baisse du gain de conversion constatée. Toutefois, cette évolution fréquentielle reste tout à fait compatible avec une démonstration de communication jusqu’à un débit de données d’au moins 15Gbps.

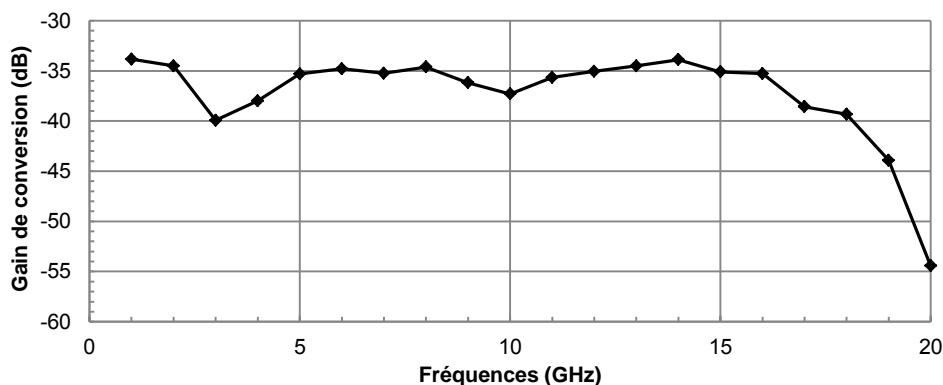


Figure IV-17 : Gain de conversion du démonstrateur complet en fonction de la fréquence

#### IV.4.1.2.2 Emission et réception de données en modulation OOK

Cette démonstration a été effectuée dans un premier temps sur le même silicium. Le signal d'entrée est issu d'un générateur de séquence binaire pseudo aléatoire PRBS (Pseudo-Random Binary Sequence) et le signal de sortie est visualisé à l'aide d'un oscilloscope large bande en temps continu. La Figure IV-18 décrit le banc de mesure.

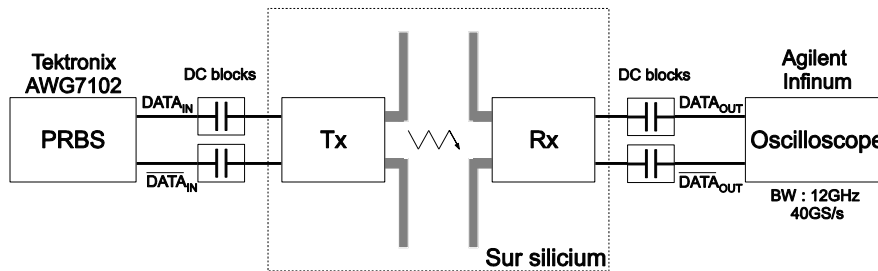


Figure IV-18 : Banc de mesure du circuit en modulation OOK

Le diagramme de l'œil des données reçues est observé en augmentant suffisamment la persistance de l'oscilloscope. La Figure IV-19 présente les diagrammes de l'œil obtenus à 10Gbps et à 14Gbps.

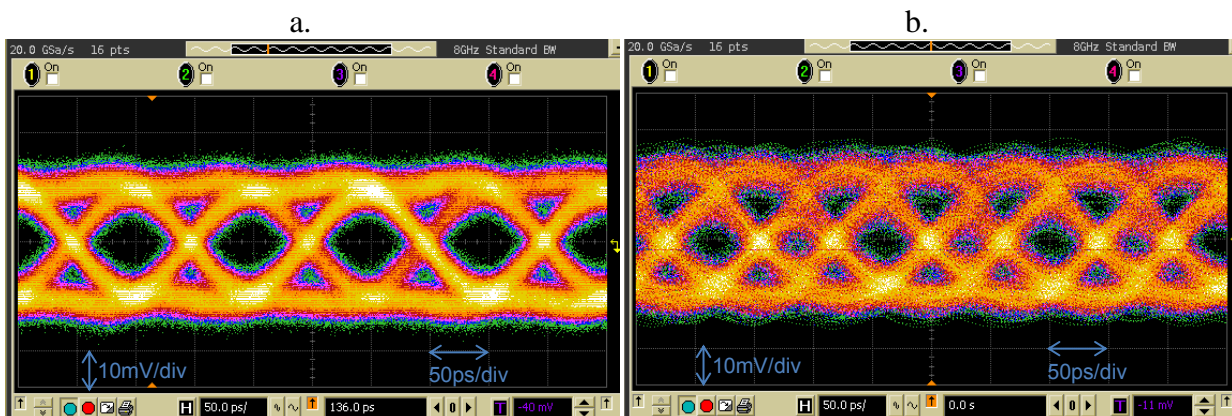


Figure IV-19 : Diagrammes de l'œil du signal en sortie du récepteur : a. à 10Gbps ; B. à 14Gbps

Le générateur de données aléatoires AWG 7102 possède deux sorties différentielles indépendantes pouvant fournir chacune une séquence de données aléatoires jusqu'à 10Gbps. Il possède aussi une sortie différentielle appelée "interleave" qui par l'entrelacement des deux sorties précédentes permet d'atteindre un débit de données jusqu'à 20Gbps. Cette sortie entrelacée est donc utilisée pour générer les séquences de données supérieures à 10Gbps. L'appareil effectue la somme de deux signaux à 10Gbps pour obtenir une séquence à 20Gbps. Cette méthode présente un problème d'erreur de phase qu'il n'a pas été possible de corriger entre les deux voies sur l'appareil. Celle-ci est visible sur le diagramme de l'œil à 14Gbps de la Figure IV-19 où il est possible de distinguer deux temps symboles différents. Un déphasage différent de 180° entre les deux voies à 7Gbps constituant la séquence binaire à 14Gbps est à déplorer.

La qualité du signal reçu est appréciée en évaluant l'ouverture de l'œil. Plus l'œil est ouvert, plus l'état "0" est dissociable de l'état "1" et donc moins il y a d'erreur par bit en réception. L'annexe 2 présente la méthode d'évaluation du facteur de qualité d'un diagramme de l'œil et le BER correspondant. Le facteur de qualité à 10Gbps et à 14Gbps est respectivement de 4,7 et de 3,2, ce qui correspond un BER respectivement de  $10^{-6}$  et  $10^{-4}$ . Le facteur de qualité en fonction du débit de données est représenté sur la Figure IV-20.

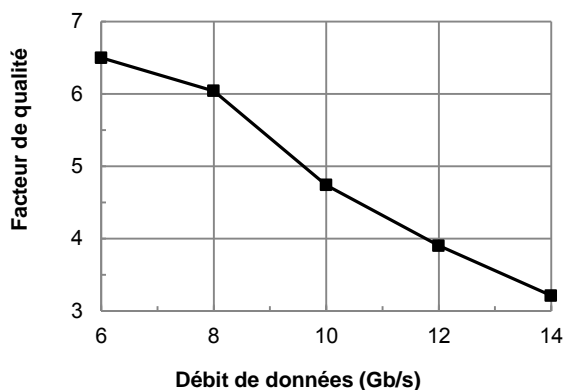


Figure IV-20 : Facteur de qualité du signal reçu en fonction du débit de données

Le wafer a été découpé en deux parties afin de séparer l'émetteur et le récepteur. Faire la démonstration avec deux demi-wafer facilite la manipulation de l'ensemble et le posé des pointes. Le circuit découpé est présenté Figure IV-21. La distance entre les deux demi-wafer est ajustée manuellement directement sur le banc de mesure. La manœuvre est délicate et très peu précise. La distance maximale pour laquelle une communication a été établie est de 0,9mm. Pour des distances supérieures, la puissance du signal reçu est inférieure au bruit expérimental. En effet, la sensibilité du récepteur sans le LNA se dégrade rapidement lorsque la distance de transmission augmente et devient insuffisante. Le diagramme de l'œil du signal de sortie à un débit de données de 10Gbps obtenu avec un écartement de 0,9mm est présenté Figure IV-22. Le facteur de qualité est de 4,5, contre 4,7 dans la configuration précédente. L'amplitude du signal reçu est deux fois plus faible que précédemment, soit 10mV. La faible sensibilité du récepteur ne permet pas d'allonger la distance de communication.

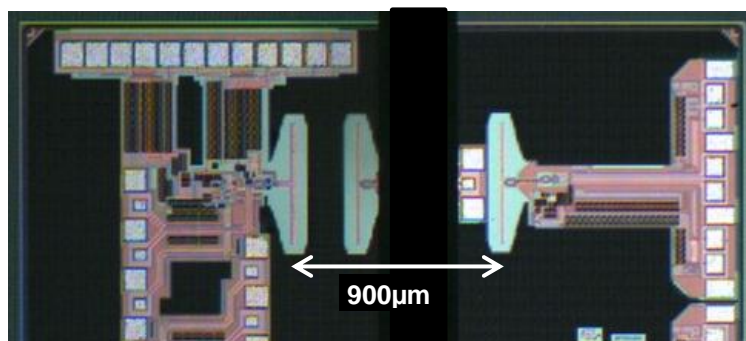


Figure IV-21 : Microphotographie du circuit découpé

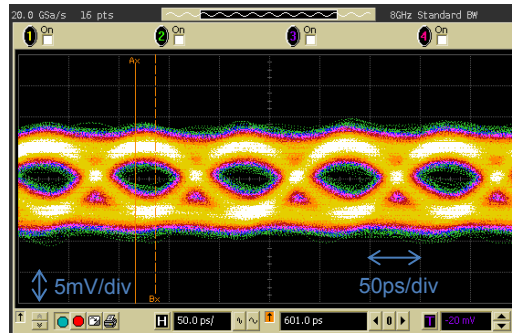


Figure IV-22 : Diagramme de l'œil du signal de sortie à 10Gbps pour un écartement de 0.9mm

Pour augmenter la distance de communication, l'ajout d'un LNA est nécessaire. Toutefois, la caractérisation en transmission de données de cette première version du démonstrateur est concluante. Un débit de données de 14Gbps a été atteint jusqu'à une distance de 0.9mm car la sensibilité du récepteur était suffisante. Ces performances à l'état de l'art ont permis d'envisager l'utilisation du démonstrateur pour effectuer une communication dans une configuration self-hétérodyne utilisant une modulation QPSK.

#### IV.4.1.2.3 Self-hétérodyne

Ce paragraphe propose de détailler le principe de la topologie self-hétérodyne ainsi que les performances obtenues expérimentalement.

##### IV.4.1.2.3.1 Principe

Le schéma de principe de la mesure est présenté Figure IV-23. Un signal modulé de fréquence  $f_{FI}$  est injecté en entrée du transmetteur au lieu de la séquence de données aléatoires bande de base précédente. Le signal  $S_1$  peut alors s'écrire :

$$S_1 = A \cos(2\pi f_{FI}t + \phi_{FI} + \phi_{k,T}) \quad (IV-1)$$

Où  $A$  est l'amplitude du signal modulé,  $f_{FI}$  et  $\phi_{FI}$  sont respectivement la fréquence et le bruit de phase de OL1 et  $\phi_{k,T}$  les états de phase de la modulation QPSK. La fréquence  $f_{FI}$  doit être supérieure à la moitié de la fréquence symbole. Pour la configuration testée, la fréquence  $f_{FI}$  est de 5GHz pour un débit de données de 10Gbps.

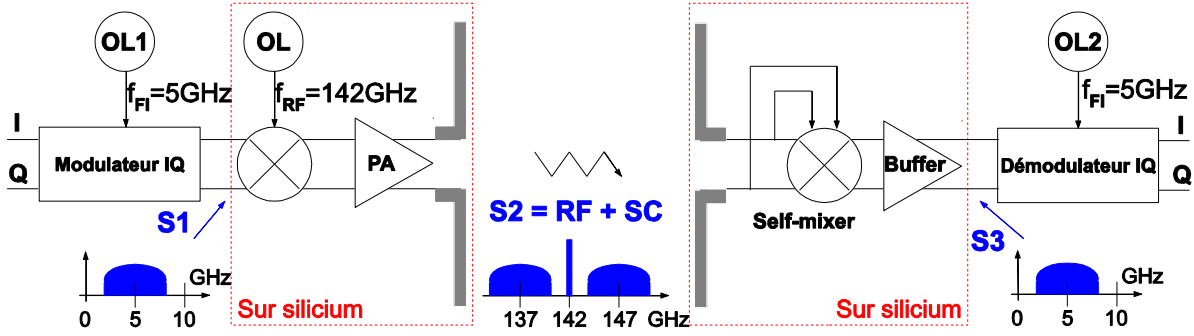


Figure IV-23 : Schéma de l'architecture self-hétérodyne

Le signal  $S_1$  vient ensuite moduler l'amplitude de la porteuse  $OL$  à la fréquence  $f_{RF}$  de 142GHz. La fuite de l'oscillateur local  $OL$  à travers le mélangeur de fréquence haute permet d'ajouter un signal  $SC$  de fréquence  $f_{OL}$  au signal  $RF$  conventionnel. Le signal  $S_2$  émis s'écrit alors :

$$S_2 = RF + SC = A' \cos(2\pi(f_{RF} + f_{FI})t + \phi_{RF} + \phi_{FI} + \phi_{k,T}) + A' \cos(2\pi(f_{RF} - f_{FI})t + \phi_{RF} - \phi_{FI} - \phi_{k,T}) + B \cos(2\pi f_{RF}t + \phi_{RF}) \quad (IV-2)$$

Où  $B$  est l'amplitude de la fuite de l' $OL$  et  $\phi_{RF}$  le bruit de phase de l'oscillateur  $OL$ . Comme le bruit de phase des oscillateurs croît avec le carré de la fréquence, le bruit de phase  $\phi_{FI}$  du signal de fréquence intermédiaire est plus faible que le bruit de phase des signaux millimétriques. Les signaux  $RF$  et  $SC$  sont donc corrélés en phase. Le signal  $S_2$  correspond au signal  $S_2$  après propagation dont les pertes sont notées  $L$ . En conséquence, chaque contribution  $RF$  et  $SC$  du signal reçu conservent les mêmes propriétés en termes de bruit de phase puisque la corrélation de phase n'est pas affectée par la propagation. Le battement de fréquences opéré entre ces deux signaux est obtenu par détection quadratique. Cette détection est effectuée par le mélangeur dont les accès  $RF$  et  $OL$  sont alimentés par les mêmes signaux (topologie self-mixer). Après avoir appliqué un filtrage passe-bas, l'expression du signal issu de cette détection est la suivante :

$$S_3 = S_2'^2 = L.B.A(\cos(2\pi f_{FI}t + \phi_{FI} + \phi_{k,T} + \phi_0) + \cos(2\pi f_{FI}t + \phi_{FI} + \phi_{k,T} - \phi_0)) \quad (IV-3)$$

Le signal  $FI$  modulé est bien retrouvé sans aucune contribution du bruit de phase millimétrique. Bien entendu, l'expression du bruit thermique est volontairement omise dans cette description théorique du système self-hétérodyne. Chaque contribution du signal  $S_2$  est émis à sa propre fréquence et donc la propagation n'étant pas rigoureusement la même, ceci induit notamment une différence de phase  $\phi_0$  entre chaque contribution. Cette différence de phase s'exprime alors :

$$\phi_0 = 2\pi f_{FI} \tau = 2\pi f_{FI} \frac{d}{c} \quad (IV-4)$$

Où  $\tau$  est le temps de vol de l'onde,  $d$  la distance entre les 2 antennes et  $c$  la célérité de la lumière. Une limitation de ce système est l'interférence destructive qui peut se produire



lors de la détection quadratique. En effet,  $\phi_0$  évolue en fonction de la distance de transmission et lorsque  $\phi_0$  est égal à  $\pi/2$  modulo  $\pi$ , il y a interférence destructive entre les deux contributions. D'après l'équation IV-3, l'annulation du signal  $S_3$  est constatée, ce phénomène est typique de l'interférence destructive. Dans le cas de figure adopté, cette interférence intervient, à une fréquence  $f_0$  de 5GHz, aux distances égales à  $(1.5+3n)$  cm entre les 2 antennes, avec  $n$ , un entier naturel. Ce problème n'interviendra donc pas ici car les distances considérées sont bien inférieures à 1.5cm. Pour interdire cette interférence, il est nécessaire de filtrer l'une des contributions à la fréquence  $f_{RF}-f_{FI}$  ou encore à la fréquence  $f_{RF}+f_{FI}$ , ce qui dégraderait la compacité du système.

Les signaux de données I et Q peuvent alors être restitués en sortie après une démodulation externe du signal  $S_3$ . Cette analyse théorique montre que le bruit de phase  $\phi_{RF}$  de l'oscillateur libre OL ne dégrade pas le signal reçu.

#### IV.4.1.2.3.2 Mesures

La forme d'onde spécifique S1 a été obtenue par le générateur de données AWG 7102 qui jouait un fichier de points dédiés provenant du logiciel ADS. Une première caractérisation a été effectuée sur l'émetteur seul dont la sortie de l'amplificateur de puissance est connectée à un plot RF. Le spectre du signal  $S_2$  en sortie a été observé à l'aide de l'analyseur de spectre large bande et du mélangeur externe. Le spectre du signal de sortie obtenu avec un débit de données de 10Gbps est présenté Figure IV-24. La porteuse à 142GHz est distincte des 2 contributions centrées à 137GHz et 147GHz.

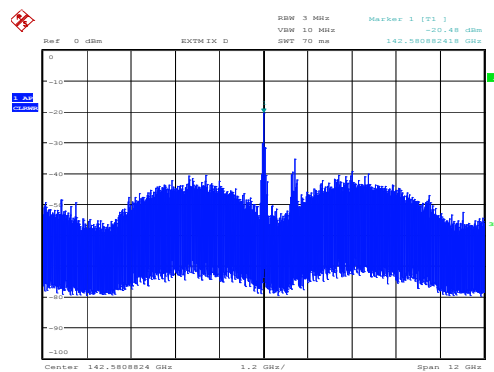


Figure IV-24 : Spectre du signal de sortie  $S_2$  de la transmission self-hétérodyne

La démodulation du signal  $S_3$  en réception a été effectuée par l'oscilloscope large bande (Agilent Infiniium DSO81204A) couplé au logiciel d'Agilent 89600. Les diagrammes de constellations obtenus pour des débits de données de 5 et 10Gbps, sont présentés Figure IV-25. Ils permettent d'apporter une première appréciation sur la qualité du signal. Notamment, on distingue clairement les quatre états de la constellation. Surtout, aucune déviation angulaire (croissant de lune) typique de l'impact du bruit de phase n'est relevée. Ces premiers résultats expérimentaux permettent, à ce stade, de valider le comportement self-hétérodyne de la topologie adoptée puisque l'annulation du bruit de phase est ainsi mise en évidence. Afin de quantifier la qualité du lien RF millimétrique, l'EVM (Error Vector

Magnitude) de signal reçu est mesuré en fonction du débit de données. Les résultats sont présentés Figure IV-26. L'EVM constitue une figure de mérite des systèmes RF et peut être mis en concordance avec une autre figure de mérite plus générale, qui est le BER (cf. Annexe 2). Ainsi, pour les débits de données de 5 et 10Gbps pour lesquels les EVMs sont respectivement de 17% et 27%, les taux d'erreur par bit correspondant sont respectivement inférieurs à  $10^{-9}$  et  $10^{-4}$ .

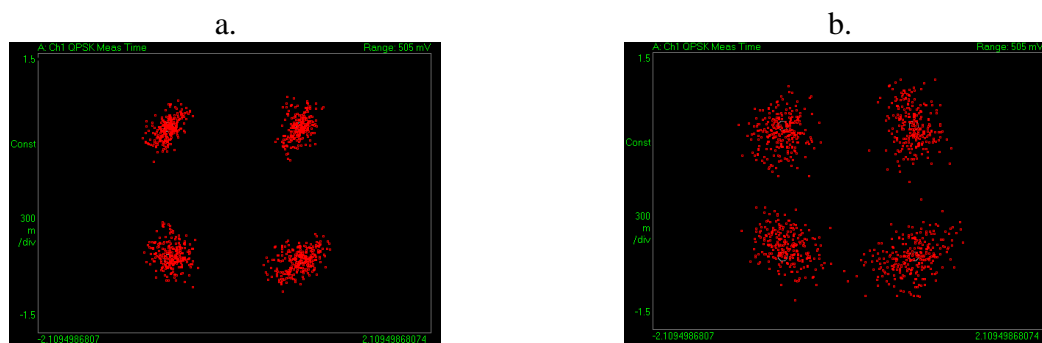


Figure IV-25 : Diagramme de constellation du signal de sortie démodulé : a. à 5Gbps ; b. à 10Gbps

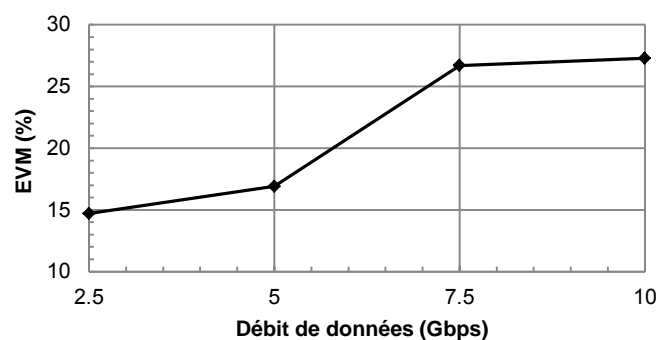


Figure IV-26 : EVM du signal de sortie en fonction du débit de données

#### IV.4.1.3 Résumé des performances du démonstrateur n'incluant pas de LNA

Le tableau IV-2 synthétise les performances du transmetteur et du récepteur n'incluant pas le LNA. La consommation de l'ensemble du démonstrateur est de 80mW et la surface du circuit incluant les antennes est égale à 0.31mm<sup>2</sup>.

Transmetteur		Récepteur	
Surface silicium	0.07mm <sup>2</sup>	Surface silicium	0.04mm <sup>2</sup>
Surface silicium avec antenne	0.17mm <sup>2</sup>	Surface silicium avec antenne	0.14mm <sup>2</sup>
Tension d'alimentation	2.5V	Tension d'alimentation	2.5V
Consommation DC	66mW	Consommation DC	14mW
P <sub>1dB</sub> en sortie	6dBm	Gain de conversion	1dB
Puissance de saturation	8.7dBm	Facteur de bruit	22dB

Tableau IV-3 : Récapitulatif des performances du transmetteur et du récepteur

Une comparaison des performances des systèmes de communication puce à puce sans-fil les plus pertinents en termes de débit de données (>6Gbps), distance de communication (>0.5mm) et de consommation (<150mW) est effectuée dans le tableau IV-3. Parmi les solutions répertoriées, seul un système utilise un couplage inductif pour communiquer alors que les autres systèmes sont basés sur un couplage électromagnétique. Ce travail de thèse est le seul présentant un système totalement intégré, les autres solutions utilisent soit un fil de bonding, soit une antenne ou une inductance réalisée sur un substrat rapporté. Cet avantage confère à notre système un faible coût d'implémentation, d'autant que le système incluant les antennes est très compact. En contrepartie, il souffre d'une distance de communication plus courte due à l'efficacité réduite des antennes. D'autre part, le système réalisé présente la meilleure efficacité énergétique qui est de 5,7pJ/bit.

	[19]	[17]	[25]	Ce travail
Fréquence porteuse	43GHz	Baseband	57 & 80GHz	142GHz
Modulation	ASK	Pulse	ASK	<b>OOK&amp;QPSK</b>
Couplage	Antenne	Inductive	Antenne	Antenne
Type d'antenne	Fil de bonding	Sur plastique	Sur résine	<b>Sur silicium</b>
Surface du circuit sans antenne	0.62 mm <sup>2</sup>	0.23 mm <sup>2</sup>	0.42 mm <sup>2</sup>	<b>0.11 mm<sup>2</sup></b>
Surface du circuit avec antenne	20mm <sup>2</sup> *	15.2mm <sup>2</sup>	50mm <sup>2</sup> *	<b>0.31mm<sup>2</sup></b>
Débit de données	6Gb/s	12Gb/s	<b>20Gb/s</b>	14Gb/s
Distance de communication	<b>40mm</b>	1mm	14mm	0.6mm
Consommation DC	117mW	NC	137mW	<b>80mW</b>
Efficacité énergétique par bit	19.5pJ/b	NC	6.9pJ/b	<b>5.7pJ/b</b>
Technologie	0.18μm BiCMOS	90nm CMOS	40nm CMOS	0.13μm BiCMOS

Tableau IV-4 : Comparaison des performances des systèmes de communication puce à puce les plus pertinents

#### IV.4.2 Démonstrateur incluant l'amplificateur faible bruit

De même que pour la première version, le démonstrateur incluant le LNA présenté Figure IV-27 est composé de l'émetteur et du récepteur sur le même silicium. L'écartement entre les deux antennes est de 600μm. Le wafer a ensuite été découpé entre les deux antennes afin pouvoir augmenter la distance de communication entre l'émetteur et le récepteur.

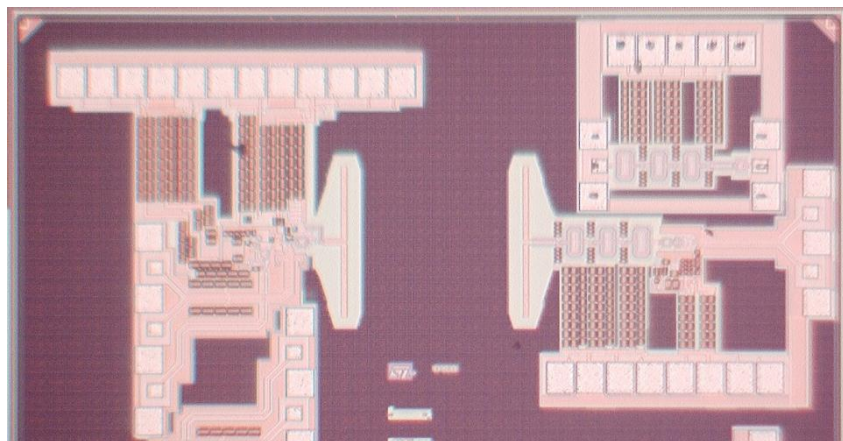


Figure IV-27 : Microphotographie du démonstrateur avec le LNA

Les deux sous-paragraphes suivants décrivent les caractéristiques de transmission de données et la caractérisation de la bande-passante du démonstrateur. La campagne de mesure s'est déroulée dans cet ordre. Les conclusions tirées de la caractérisation de la bande passante du transmetteur n'ont pas pu être exploitées dans le temps imparti pour améliorer la qualité de l'émission-réception de données.

#### IV.4.2.1 Emission et réception de données en modulation OOK

Le banc de mesure utilisé lors de cette manipulation est identique au banc de mesure de la Figure IV-18 précédemment décrit. Les diagrammes de l'œil du signal reçus sont présentés Figure IV-28 dans le cas où l'émetteur et le récepteur sont sur le même silicium. L'amplitude du signal de sortie est de 150mV, contrairement au premier démonstrateur où l'amplitude était de 15mV. Ainsi, le LNA améliore la dynamique du récepteur par rapport à la précédente version. La distance de communication devrait donc être supérieure à la précédente version.

Dans cette configuration, la dissymétrie de gain entre les deux voies P et N du démodulateur est visible. Ce problème a été expliqué dans la partie III.2 lors de la conception de démodulateur. Pour rappel, le démodulateur effectue une autocorrélation du signal modulé. De par sa conception, un offset en tension différent sur les voies de sortie P et N se crée et engendre une différence de gain qui est fonction de la puissance d'entrée. Ainsi, les points de croisement visibles lors des changements d'états sur les diagrammes de l'œil de la Figure IV-28 sont proches du niveau bas. L'augmentation de la puissance à l'entrée du démodulateur peut expliquer ce phénomène qui n'était pas visible lors de la caractérisation du premier démonstrateur (sans le LNA) où les points de croisement étaient centrés entre l'état haut et l'état bas.

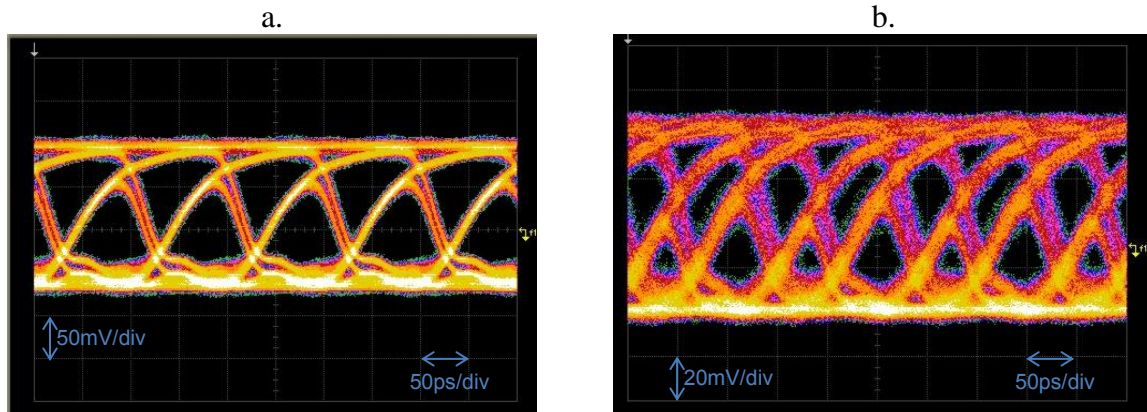


Figure IV-28 : Diagrammes de l'œil du démonstrateur avec le LNA sur le même wafer (600µm): a. à 10Gbps ; b. à 14Gbps

Une caractérisation a ensuite été effectuée en séparant les deux demi-wafers afin d'augmenter la distance de communication entre l'émetteur et le récepteur. La Figure IV-29 présente les diagrammes de l'œil du signal démodulé obtenus pour une distance de 0.9mm et 1.3mm pour des débits de données respectivement de 8Gbps et 5Gbps. Le débit de données a été ajusté en fonction de la qualité du signal reçu. Sur les diagrammes de l'œil obtenus, des oscillations sont visibles lors de l'état bas des symboles démodulés.

La cause de ce phénomène n'a pas été trouvée lors de ces mesures. Tout d'abord le canal de transmission a été mis en doute, ainsi que des perturbations liées à l'environnement de mesure. La caractérisation de la bande passante du démonstrateur complet qui a suivi ces mesures a permis d'éliminer ces hypothèses. Des oscillations proviennent du circuit LNA puisque les autres fonctions sont identiques à la première version du démonstrateur.

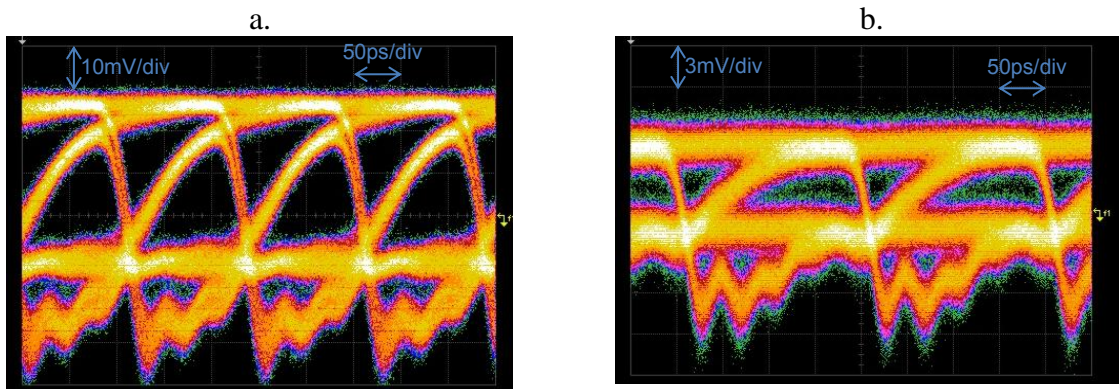


Figure IV-29 : Diagrammes de l'œil avec un écartement de 0.9mm à 8Gbps (a.) et 1.3mm à 5Gbps (b)

#### IV.4.2.2 Caractérisation de la bande passante

La bande passante du démonstrateur avec le LNA a été caractérisée directement à l'aide d'un analyseur de réseaux. Cette mesure est beaucoup plus rapide et précise que la méthode employée précédemment concernant le démonstrateur sans LNA où la bande passante a été obtenue manuellement à l'aide d'un synthétiseur et d'un analyseur de spectre. L'analyseur de réseau n'avait pas pu être utilisé pour ce premier démonstrateur à cause de

l'impossibilité de réaliser le calibrage de l'analyseur vectoriel avec une pointe GSSG du côté récepteur et GSGSG du côté émetteur.

Les résultats de cette mesure sont présentés Figure IV-30. Pour une puissance d'entrée de -1dBm, le gain diminue fortement autour de 10GHz avant de remonter autour de 15GHz. Pour une puissance d'entrée de -10dBm, ce phénomène ne se produit pas, le gain reste plat du DC à 26GHz, la bande passante à -3dB est alors de 27GHz.

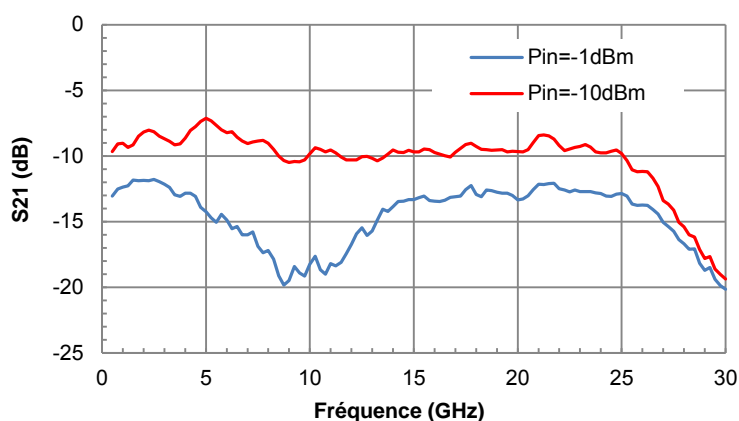


Figure IV-30 : Fonction de transfert de l'ensemble du démonstrateur complet avec le LNA

Des oscillations dans un bloc de la chaîne d'émission-réception peuvent être la cause de ce phénomène. Celles-ci ne démarreraient qu'à partir d'un certain niveau de puissance. Comme aucun problème n'avait été détecté avec le premier démonstrateur, le LNA pourrait osciller. La caractérisation du LNA seul n'avait pas mis en évidence de problème de ce type excepté un maximum de gain obtenu à 120GHz au lieu de 140GHz. Cependant les impédances présentées sont différentes : pour la caractérisation du LNA seul, une impédance de  $50\Omega$  était ramenée en entrée et en sortie par les pointes RF ; pour le récepteur complet, l'impédance d'entrée du LNA est l'antenne, et l'impédance de sortie correspond à l'impédance d'entrée du démodulateur 140GHz. Ces différentes impédances peuvent expliquer l'apparition des oscillations.

Dans le temps imparti, il n'a pas été possible d'effectuer une nouvelle caractérisation en émission-réception de données. Une diminution de la puissance d'entrée aurait peut-être permis d'améliorer les résultats obtenus.

## IV.5 Conclusion

Les antennes dipôles réalisées n'ont pas fait l'objet d'une optimisation poussée, cependant elles sont compactes (surface silicium occupée de  $0.1\text{mm}^2$ ) et large bande, ce qui correspond aux besoins d'un système de communication puce à puce très haut débit. Ces antennes ont été implémentées dans les deux versions des démonstrateurs réalisés.

Le premier démonstrateur n'incluant pas l'amplificateur faible bruit a permis d'effectuer une émission-réception de données en modulation OOK jusqu'à 14Gbps à une distance de 0.6mm. Ces performances sont à l'état de l'art, non seulement pour le débit de données et l'efficacité énergétique de 5.7pJ/bit mais aussi car c'est le premier démonstrateur de ce type complètement intégré avec une surface silicium occupée de  $0.31\text{mm}^2$ . De plus, ce démonstrateur a été utilisé comme support à une émission-réception de données en modulation QPSK self-hétérodyne. Les résultats de cette manipulation ont été concluants puisqu'un débit de 10Gbps a été atteint avec un EVM de 27%, ce qui correspond à un taux d'erreur par bit de  $10^{-4}$ .

Le deuxième démonstrateur incluant l'amplificateur faible bruit n'a pas permis d'allonger la distance de communication comme cela avait été espéré puisque le circuit LNA possède une oscillation parasite. Les investigations de la cause de ces oscillations n'ont pas pu être conduites à leurs termes en raison du temps imparti de ces travaux de thèse.

Les caractérisations décrites dans ce dernier chapitre sont l'aboutissement de ces travaux de recherche et les performances du premier démonstrateur réalisé confirment d'une part la faisabilité d'un système de communication puce à puce sans fil très haut débit et d'autre part la perspective d'implémenter ce type de circuit pour tester les puces sans contact.





## Conclusion générale

---

---

Ce manuscrit présente les principaux résultats qui ont été obtenus durant ces travaux de recherche. Le premier chapitre a exposé les enjeux du développement d'un système de communication puce à puce sans fil de courte portée à savoir, d'une part les liaisons radiofréquences très haut débit comme alternative aux liaisons filaires conventionnelles ; d'autre part, le test des puces sur wafer sans contact. Par ailleurs, après une étude système, les grandes lignes du démonstrateur réalisé durant cette thèse ont été définies. Le deuxième chapitre a présenté les performances de la technologie BiCMOS SiGe :C 0.13 $\mu$ m retenue. Ensuite la méthodologie de conception, consistant à privilégier les architectures différentielles et la réalisation des adaptations d'impédance par des éléments localisés (capacités, inductances, balun), a été décrite et justifiée. Elle a permis d'obtenir des circuits plus compacts durant cette étude. Le troisième chapitre fait l'objet de la conception des éléments de la chaîne d'émission-réception. Chaque circuit a été optimisé pour répondre au cahier des charges d'une communication puce à puce haut débit faible consommation et compact. Une nouvelle architecture de démodulateur OOK basée sur une cellule de Gilbert a été proposée. Elle a donné d'excellents résultats à 60 et 140 GHz permettant une démodulation de signaux haut débit (14 Gbps). Une solution d'oscillateur Colpitts à modulation interne a été conçue. Elle permet de réaliser des communications ayant un débit limité à 200Mbps mais elle présente l'intérêt de réduire par deux la consommation de l'émetteur par rapport à une solution à modulation externe. Pour augmenter les débits de données, une solution d'oscillateur associé à un mélangeur simple différentiel a été développée permettant des modulations très haut débit. Le chapitre IV a présenté la réalisation et la caractérisation des antennes dipôles à 140GHz et deux versions du démonstrateur incluant ou non un amplificateur faible bruit.

La caractérisation du premier démonstrateur a été très concluante puisque une émission-réception de données jusqu'à 14Gbps a été effectuée à une distance de 0.6mm pour une consommation totale de 5.7pJ/bit et une surface silicium incluant les deux antennes de 0.31mm<sup>2</sup>. Fort du bon fonctionnement du système, une démonstration en modulation QPSK de type « self-hétérodyne » a été réussie avec un EVM de 27% à 10Gbps. Ces résultats à l'état de l'art en termes de compacité, de niveau d'intégration et d'efficacité énergétique constituent l'aboutissement de ces travaux de recherches. Ils ont fait appel à de nombreux domaines d'expertises : systèmes de communication, conception et caractérisation millimétrique. Un apport scientifique a été effectué dans ces trois domaines. Un brevet a été déposé concernant une architecture dite « self-homodyne » suite aux résultats de l'étude système. Ensuite, une méthodologie de conception originale en fréquence millimétrique a été développée et nous avons démontré qu'elle contribue à l'obtention de circuits compacts et larges bandes. Enfin, la caractérisation de circuits complets à 140GHz n'avait jamais été

effectuée à l'IEMN et a donné lieu à la mise en place de nouvelle caractérisation. Enfin, deux applications peuvent être directement adressées par ces travaux :

- le transfert de données haut-débit inter-puces pour des communications courtes distances afin d'améliorer voir supplanter les liaisons filaires dont les débits de données sont habituellement limitées par toutes les interconnexions reliant les systèmes entre eux (transitions puce-board-puce, intégrité du signal perdue, ...)
- le test des puces sans contact sur wafer en sortie de production, aujourd'hui effectué par des cartes pointes onéreuses et d'une durée de vie limitée suite à l'usure due aux posés. Ainsi, le test sans contact vise à améliorer le rendement, augmenter la rapidité du test et limiter les coûts liés aux remplacements des cartes à pointes.

La poursuite de ces travaux de recherche pourrait prendre différentes directions. Par exemple il est possible d'améliorer la distance de communication en incluant un LNA (sans oscillations parasites). Par ailleurs, en vue de la mise en place d'une démonstration complète sans pointe, l'intégration des polarisations ainsi que la réalisation d'une carte pour le montage du circuit pourraient être l'étape suivante de ces travaux de recherche.

Par ailleurs, un système de communication inter-puces très haut débit a pour vocation une intégration avec des circuits digitaux complexes et donc réalisés en filière CMOS. Ainsi, une intégration du circuit dans une technologie CMOS submicronique permettrait de valider le système. A première vue, rien ne devrait limiter le portage de ce circuit dans cette filière. Le point qui semblait le plus limitant était les antennes étant donné l'empilement des métaux beaucoup moins épais. Cependant, une simulation de celle-ci dans une technologie CMOS 45nm a levé ce doute car des performances comparables aux résultats en BiCMOS ont été obtenues. Enfin, une étude pourrait être menée afin de caractériser l'immunité du système en faisant une démonstration de deux (voir plus) systèmes fonctionnant en même temps dans un environnement restreint. L'influence d'un tel système sur le fonctionnement de circuits numériques sur la même puce pourrait aussi être étudiée.

## **Contributions scientifiques**

---

---

### **Brevet :**

S. Foulon, C. Loyez, S. Pruvost, N. Rolland, "Self-homodyne architecture", FR20110054998, US2012314813

### **Conférences internationales :**

S. Foulon; S. Pruvost; C. Loyez; N. Rolland; V. Avramovic, "A 10GBits/s 2.1pJ/bit OOK demodulator at 60GHz for chip-to-chip wireless communication," *Radio and Wireless Symposium (RWS), 2012 IEEE* , pp.291,294, 15-18 Jan. 2012

S. Foulon; S. Pruvost; D. Pache; C. Loyez; N. Rolland; S. Lepilliet, "A 140 GHz BiCMOS transceiver for UWB interchip communications" *International Symposium on Signal, Image, Video and Communications (ISIVC), 2012 IEEE*, 4-6 Jul. 2012

S. Foulon; S. Pruvost; D. Pache; C. Loyez; N. Rolland, " A 142GHz fully integrated wireless chip to chip communication system for high data rate operation " *ESSCIRC, 2013 Proceedings of the* , 16-20 Sept. 2013

### **Conférence nationale :**

S. Foulon, S. Pruvost, C. Loyez, N. Rolland, "Systèmes radiofréquences avancés pour communication inter-puces multi-gigabits à 60GHz" - *17èmes Journées Nationales Microondes 18-19-20 Mai 2011 – BREST*

### **Workshop :**

S. Foulon; S. Pruvost; C. Loyez; N. Rolland, "High data rate contactless wafer testing using mmW solution" *DFT WORKSHOP on A/MS & RF Devices*, 24th October 2012

### **Papiers en soumission :**

S. Foulon; S. Pruvost; D. Pache; C. Loyez; N. Rolland, " Versatile 142GHz multi-gigabits/s chip to chip communication system: OOK and QPSK self-heterodyne modulation," *Electron Device Letters*



### Annexe 1 : Mesure de la qualité des transmissions

#### Evaluation du taux d'erreur par bit :

La méthode la plus fiable pour évaluer la qualité d'une transmission consiste à effectuer le rapport entre le nombre d'erreurs sur la quantité de données reçues. Ce rapport est appelé taux d'erreur par bit (BER en anglais pour Bit Error Ratio). Ainsi un BER de  $10^{-6}$ , par exemple, signifie qu'il y a une erreur sur un million de bits corrects.

Dans le cas où le bruit du canal de transmission est un bruit blanc gaussien (densité spectrale de bruit constante à toutes les fréquences), le rapport signal sur bruit (SNR) peut être utilisé pour prédire le BER. En effet, lorsque le SNR est faible, les probabilités d'erreur augmentent. Ainsi une relation lie le BER et le SNR (noté ici  $E_S/N_0$ , énergie par symbole sur la densité spectrale de bruit) en fonction de la modulation [57] :

$$\text{BER} = \frac{\left(1 - \frac{1}{L}\right)}{\log_2 L} \operatorname{erfc} \left( \sqrt{\left(\frac{3 \log_2 L}{L^2 - 1}\right) \frac{2E_S}{N_0 \log_2 M}} \right) \quad (\text{A1-1})$$

Avec L est le nombre de niveau de chaque dimension de la modulation donnée et M est son nombre d'états. Les différentes valeurs de L et de M des modulations les plus usitées sont recensées dans le tableau suivant.

Modulation	L	M
BPSK	2	2
QPSK	2	4
16-QAM	4	16

Tableau A1-1 : Valeurs de L et de M des modulations les plus usitées

Le BER pour une modulation OOK est donné par :

$$\text{BER} = \frac{1}{2} \exp\left(-\frac{E_S}{2N_0}\right) + \frac{1}{4} \operatorname{erfc} \left( \sqrt{\frac{E_S}{2N_0}} \right) \quad (\text{A1-2})$$

Le BER pour les modulations les plus usitées en fonction du SNR, ou encore du rapport de l'énergie par symbole sur la densité spectrale de bruit  $E_S/N_0$  est présenté Figure A1.1. Ainsi, pour un BER donné, plus un symbole représente de données, donc plus la modulation est complexe, plus le SNR doit être important. Pour un BER inférieure à  $10^{-9}$ , le SNR d'une modulation BPSK doit être supérieur à 12dB, et pour une modulation 16-QAM, le SNR doit être supérieur à 22dB.

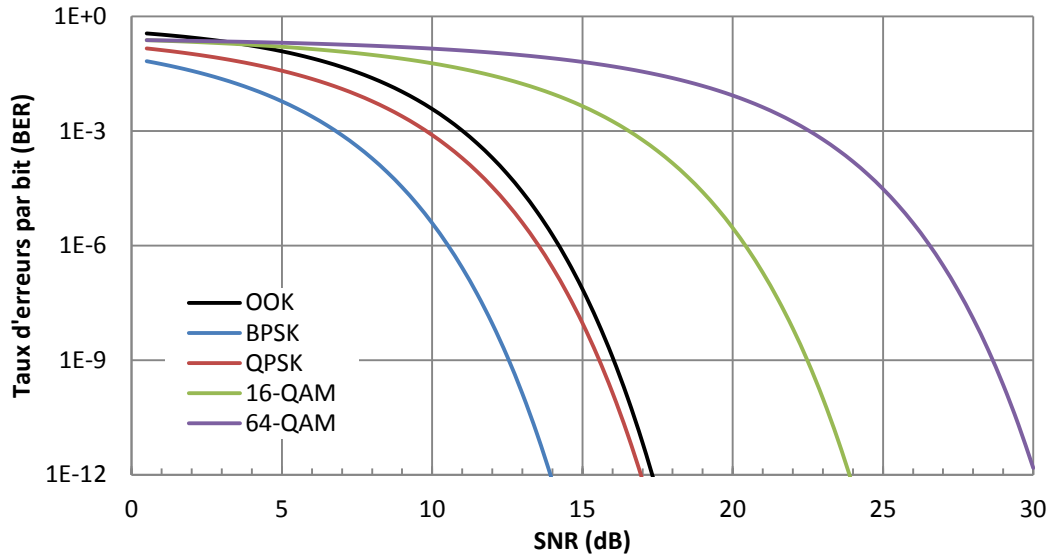


Figure A1-1 : Taux d'erreur par bit (BER) en fonction du SNR pour les modulations les plus utilisées

En caractérisation expérimentale, l'évaluation du BER s'effectue à l'aide d'un BER testeur. Un BER testeur compte simplement les bits erronés reçus par rapport aux bits de la référence. Cet appareil nécessite des niveaux de tensions d'entrée relativement élevées (de l'ordre du volt) pour fonctionner, ce qui n'est pas toujours le cas.

### Evaluation du facteur de qualité :

Le facteur de qualité  $Q$  d'une transmission permet de juger objectivement la dégradation d'un signal. Sa mesure s'effectue directement à partir d'un diagramme de l'œil obtenu à partir d'un oscilloscope. Il est ainsi facilement mesurable. Il est défini par :

$$Q = \frac{\mu_1 - \mu_0}{\sqrt{|\sigma_1^2 - \sigma_0^2|}} \quad (\text{A1-3})$$

Où  $\mu_i$  et  $\sigma_i$  représente respectivement l'écart moyen et l'écart type des distributions gaussiennes des niveaux logiques « 0 » et « 1 ». Ces différents paramètres sont présentés sur la Figure A1.2.

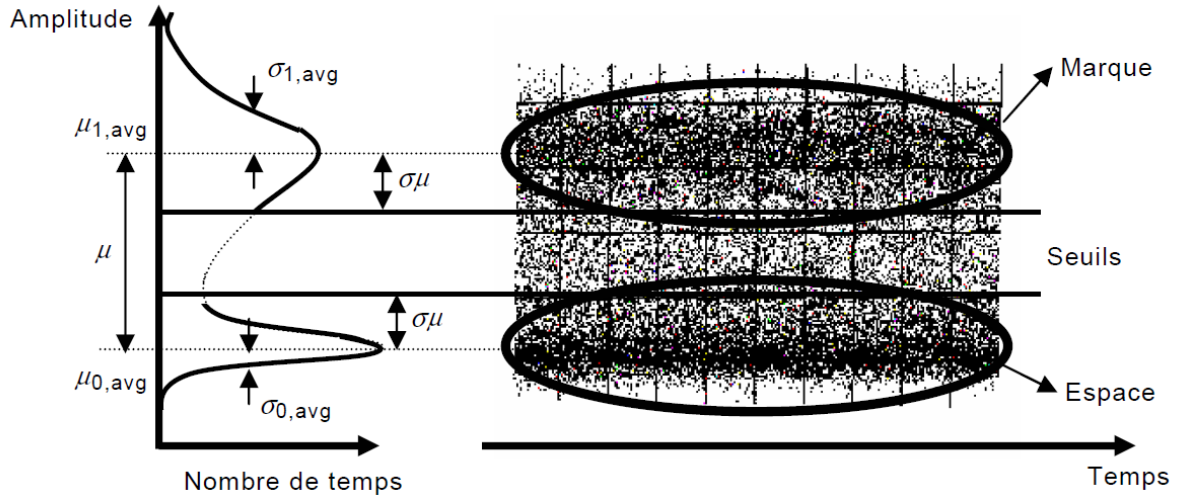


Figure A1-2 : Représentation de la mesure du facteur de qualité

A partir de l'évaluation du facteur de qualité, des travaux [37] ont montré qu'il est possible d'approximer le BER de la transmission par l'équation :

$$\text{BER} = \frac{1}{\sqrt{2\pi Q}} e^{-\frac{Q^2}{2}} \quad (\text{A1-4})$$

La figure A1-3 présente l'évolution du BER en fonction du facteur de qualité. Un facteur de qualité supérieur à 6 permet d'obtenir un BER inférieur à  $10^{-9}$ . Cette évaluation du BER par le facteur de qualité est valable quelle que soit la modulation.

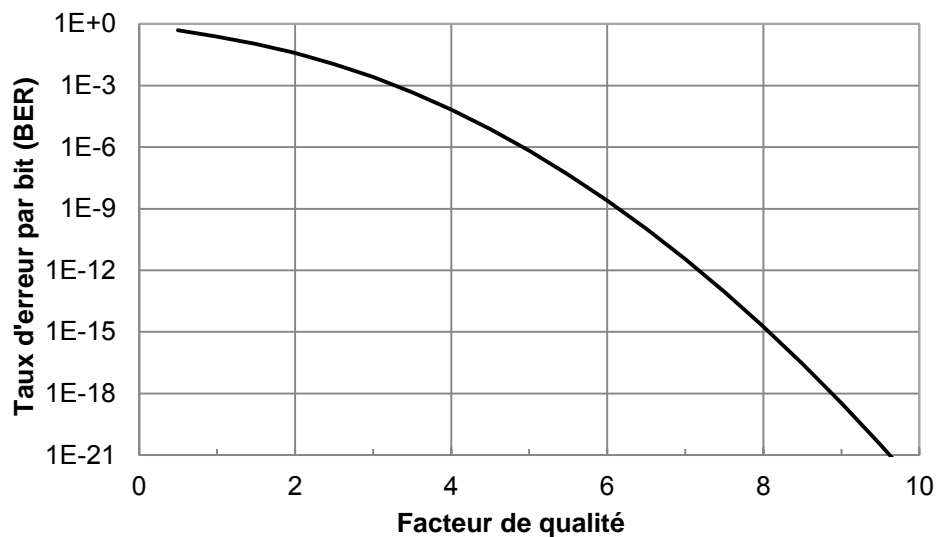


Figure A1-3 : BER en fonction du facteur de qualité d'une transmission

**Evaluation de l'EVM :**

L'EVM (Error Vector Magnitude) est très souvent utilisé en mesure pour déterminer la qualité d'un diagramme de constellation. La figure A1-4 présente une représentation de l'évaluation de l'EVM. Le vecteur erreur  $\vec{E}$  est déterminé par la différence entre le point de la constellation mesuré (vecteur  $\vec{S}$ ) et le point de la constellation idéale (vecteur  $\vec{R}$ ).

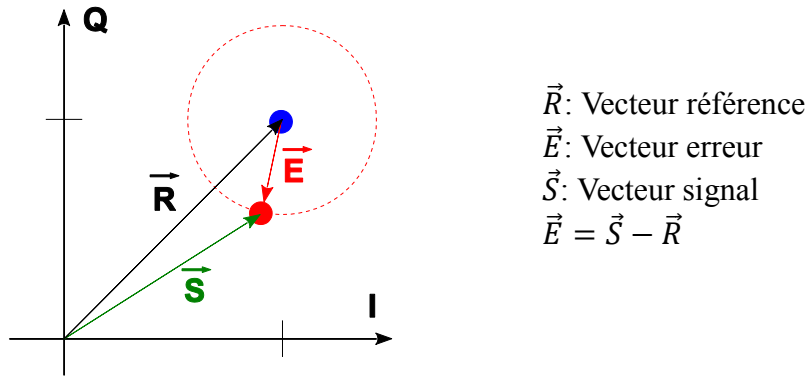


Figure A1-4 : Représentation de la mesure de l'EVM

L'EVM est alors défini comme étant le rapport du module du vecteur erreur  $E$  sur le module du vecteur référence  $R$  :

$$EVM_{RMS} = \frac{|\vec{E}|}{|\vec{R}|} \quad (\text{A1-5})$$

L'EVM peut être exprimé en pourcentage ou en dB, la relation entre ces deux unités est la suivante :

$$EVM_{RMS,dB} = 20 \cdot \log\left(\frac{EVM_{RMS,\%}}{100}\right) \quad (\text{A1-6})$$

L'EVM est finalement une méthode d'évaluation du SNR d'une communication. Ainsi, si l'EVM est évalué sur un très grand nombre de symboles, il peut être approximé par [58]:

$$EVM_{RMS} \approx \sqrt{\frac{1}{SNR}} = \sqrt{\frac{N_0}{E_S}} \quad (\text{A1-7})$$

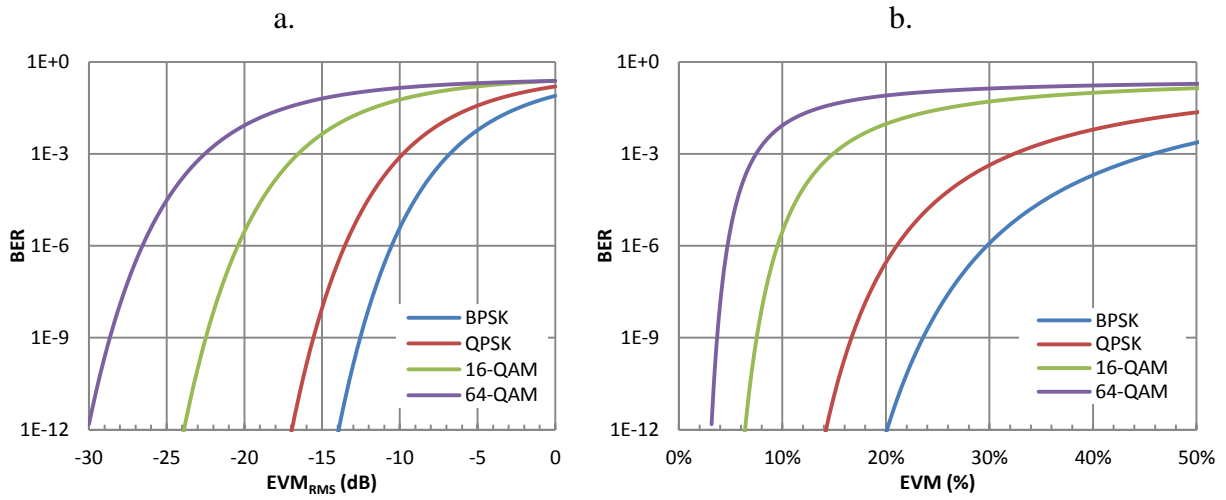
Ainsi en combinant les équations (A1-7) et (A1-1), le BER peut être approximé par [60]:

$$\text{BER} \approx \frac{\left(1 - \frac{1}{L}\right)}{\log_2 L} \operatorname{erfc}\left(\sqrt{\left(\frac{3 \log_2 L}{L^2 - 1}\right) \frac{1}{EVM_{RMS}^2 \log_2 M}}\right) \quad (\text{A1-8})$$

Avec  $L$  est le nombre de niveaux de chaque dimension de la modulation et  $M$  est le nombre d'états de la modulation. Cette relation est très pratique lors de la caractérisation expérimentale de circuit, car la mesure de l'EVM est très facile à effectuer par rapport à une



mesure de BER. La Figure A1-5 présente la variation du BER en fonction de l'EVM exprimé en pourcentage et en dB pour les modulations les plus usitées.



## Annexe 2 : Etude théorique de la topologie self-homodyne

La topologie self-homodyne a été présentée dans le chapitre I, partie I.4.1.2. Cette topologie permet d'effectuer une communication en utilisant un oscillateur libre en émission, et sans nécessité d'oscillateur en réception ni de système de synchronisation de la porteuse. Pour rappel, le schéma de la topologie est présenté Figure A2-1. En émission, le système est composé d'un modulateur IQ conventionnel dont le signal de sortie est noté  $S_{RF}$  et d'un oscillateur libre à la fréquence  $f_{OL}$ . L'émetteur possède deux antennes dont les polarisations sont orthogonales : sur la première, le signal  $S_{RF}$  est émis ; sur la seconde le signal  $S_{OL}$  de l'oscillateur local est émis. Le récepteur est alors aussi composé de deux antennes orthogonales recevant les signaux  $S'_{RF}$  et  $S'_{OL}$ .  $S'_{OL}$  sert de signal de pompe pour démoduler le signal  $S'_{RF}$  contenant les informations  $I_{OUT}$  et  $Q_{OUT}$  désirées.

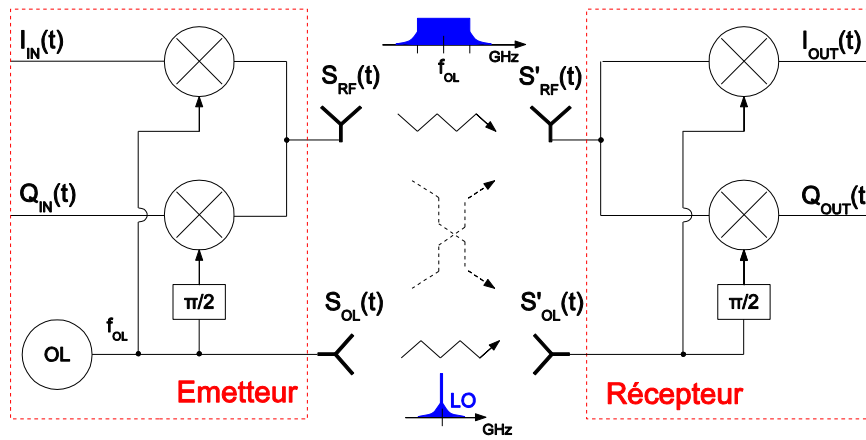


Figure A2-1 : Schéma de l'architecture self-homodyne

L'étude analytique qui suit a pour objectif d'étudier la dégradation de l'EVM du signal reçu en fonction de l'isolation entre les 2 canaux de transmission orthogonaux utilisés. En effet, lors de la réception, le signal  $S'_{RF}$  peut être pollué par le signal  $S_{OL}$  et le signal  $S'_{OL}$  par le signal  $S_{RF}$ , pollution représentée par les flèches en pointillés sur la figure A2-1.

Les signaux  $S_{RF}(t)$  et  $S_{OL}(t)$  émis, l'un par une antenne dont la polarisation est horizontale et l'autre par une antenne dont la polarisation est verticale, peuvent s'écrire :

$$S_{RF}(t) = I(t) \cdot \cos(\omega_{OL} \cdot t) - Q(t) \cdot \sin(\omega_{OL} \cdot t) \quad (\text{A2-1})$$

$$S_{OL}(t) = k \cdot \cos(\omega_{OL} \cdot t) \quad (\text{A2-2})$$

Avec  $I(t)$  et  $Q(t)$  l'information provenant d'un train binaire NRZ, dont valant 1 ou -1.  $k$  est l'amplitude du signal de pompe OL et  $\omega_{LO}$  est la pulsation de OL.

Soit  $L$ , l'isolation de  $S_{OL}$  sur  $S'_{RF}$  et de  $S_{RF}$  sur  $S'_{OL}$ .  $L$  représente donc les imperfections de la polarisation des antennes. Les signaux  $S'_{RF}$  et  $S'_{OL}$  peuvent alors s'écrire :

$$S'_{RF}(t) = S_{RF}(t) + S_{OL}(t) \cdot L = (I(t) + L \cdot k) \cdot \cos(\omega_{OL} \cdot t) - Q(t) \cdot \sin(\omega_{OL} \cdot t) \quad (\text{A2-3})$$

$$S'_{OL}(t) = S_{OL}(t) + L \cdot S_{RF}(t) = (I(t) \cdot L + k) \cdot \cos(\omega_{OL} \cdot t) - L \cdot Q(t) \cdot \sin(\omega_{OL} \cdot t) \quad (\text{A2-4})$$

Pour des raisons de simplifications des expressions, les pertes en espace libre du canal n'ont pas été prises en compte. Leur ajout ne change rien à la dégradation du signal reçu par la pollution mutuelle des deux polarisations qui est étudiée ici.

Le signal  $I_{OUT}(t)$  obtenu en sortie du démodulateur IQ s'écrit :

$$\begin{aligned} I_{OUT}(t) &= S'_{RF}(t) \cdot S'_{OL}(t) \\ &= (I(t) + L \cdot k) \cdot (I(t) \cdot L + k) \cdot \cos^2(\omega_{OL} \cdot t) + L \cdot Q^2(t) \cdot \sin^2(\omega_{OL} \cdot t) \\ &\quad - [Q(t) \cdot (I(t) \cdot L + k) + (I(t) + L \cdot k) \cdot L \cdot Q(t)] \cdot \sin(\omega_{OL} \cdot t) \cdot \cos(\omega_{OL} \cdot t) \end{aligned} \quad (A2-5)$$

Après un filtrage passe bas, le signal  $I_{OUT}(t)$  peut s'écrire :

$$I_{OUT}(t) = \frac{1}{2} \cdot k \cdot I(t) \cdot (1 + L^2) + \frac{1}{2} \cdot L \cdot (I^2(t) + Q^2(t) + k^2) \quad (A2-6)$$

Ou encore :

$$I_{OUT}(t) = \frac{1}{2} \cdot k \cdot I(t) \cdot (1 + L^2) + \mathit{offset} \quad (A2-7)$$

Avec 
$$\mathit{offset} = \frac{1}{2} \cdot L(2 \cdot I^2(t) + k^2) \quad (A2-8)$$

De cette manière, l'information  $I(t)$  est obtenue : le premier terme et le second terme, noté *offset*, représente une composante continue qui diminue en fonction de l'isolation des canaux  $L$ . De la même façon que pour le calcul de  $I_{OUT}(t)$ ,  $Q_{OUT}(t)$  peut s'écrire :

$$Q_{OUT}(t) = \frac{1}{2} \cdot k \cdot Q(t) \cdot (1 - L^2) \quad (A2-9)$$

Cette fois-ci,  $Q_{OUT}(t)$  n'a pas de composante continue. D'après l'annexe 1 et l'expression de l'EVM définie par l'équation (A1-5), l'EVM d'une modulation QPSK s'écrit :

$$EVM_{RMS} = \frac{\sqrt{(I_{out}(t) - I_0(t))^2 + (Q_{out}(t) - Q_0(t))^2}}{|\vec{R}|} \quad (A2-10)$$

Le vecteur référence noté  $R$  s'écrivant dans ce cas :

$$\vec{R} = \begin{cases} I_0(t) = \frac{1}{2} \cdot k \cdot I(t) \\ Q_0(t) = \frac{1}{2} \cdot k \cdot Q(t) \end{cases} \quad (A2-11)$$

L'EVM peut donc s'écrire en combinant les équations (A2-7) et (A2-9) :

$$EVM_{RMS} = \frac{\sqrt{(I_0(t) \cdot L^2)^2 + (Q_0(t) \cdot L^2)^2}}{\sqrt{I_0^2(t) + Q_0^2(t)}} \quad (A2-12)$$

En remarquant que  $I_0^2(t)=Q_0^2(t)$ , l'expression de l'EVM devient :

$$EVM_{RMS} = L^2 \quad (A2-13)$$

La figure A2-1 présente l'évolution des amplitudes des signaux  $I_{OUT}$  et  $Q_{OUT}$  en sortie du récepteur en fonction de l'isolation entre les 2 canaux de propagation orthogonaux. Pour  $I_{OUT}$ , la composante continue définie par l'équation A2-8 a été supprimée. En effet, il est simple de la filtrer en réception. Son amplitude est toutefois aussi présentée sur la figure. Ainsi, lorsque l'isolation est parfaite (de l'ordre de -30dB),  $I_{OUT}$  et  $Q_{OUT}$  sont égale à 1. Lorsque l'isolation diminue, le signal  $I_{OUT}$  augmente alors que  $Q_{OUT}$  diminue jusqu'à s'annuler. Le signal reçu lorsqu'il n'y a plus d'isolation (0dB) devient similaire à une modulation BPSK : il n'y a plus qu'une composante I.

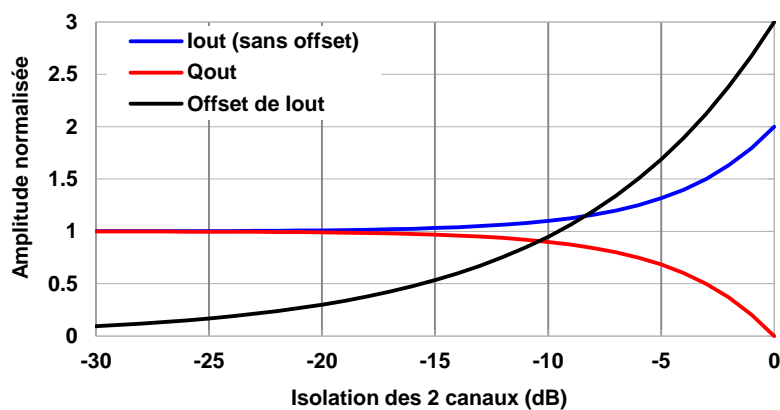


Figure A2-2 : Amplitudes normalisées des signaux de sorties Iout et Qout en fonction de l'isolation entre les 2 canaux de propagation orthogonaux

La figure A2-2 présente l'évolution de l'EVM en fonction de l'isolation entre les 2 canaux orthogonaux. Ainsi, pour une isolation supérieure à 10dB, l'EVM est inférieur à 10%. Une caractérisation expérimentale de l'isolation entre les deux polarisations d'une antenne patch a montré qu'il était assez simple d'obtenir une isolation de l'ordre de 20dB, prouvant donc la viabilité de l'architecture self-homodyne.

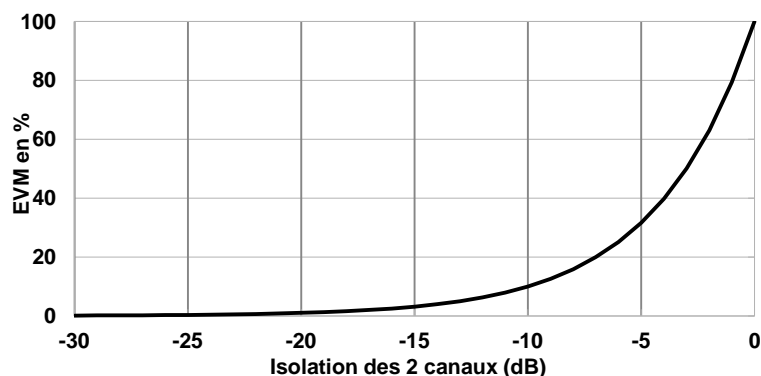


Figure A2-3 : EVM en fonction de l'isolation entre les 2 canaux de propagation orthogonaux

## Table des acronymes

---

---

BER : Bit Error Rate

BiCMOS : Bipolar-CMOS

BPSK : Binary Phase-Shift Keying

CMOS : Complementary Metal Oxide Semiconductor

EIRP : Equivalent Isotropically Radiated Power

EVM : Error Vector Magnitude

Gbps : Giga bit per second

IP1 : Input Power 1dB

LNA : Low Noise Amplifier

MAG : Maximum Available Gain

NF<sub>dsb</sub> : Noise Figure double side band

OOK : On-Off Keying

PA : Power Amplifier

PAE : Power Added Efficiency

PRBS : Pseudo-Random Binary Sequence

QAM : Quadrature amplitude modulation

QPSK : Quadrature Phase-Shift Keying

## Références

---

---

- [1] S. R. Vangal et al., "An 80-Tile Sub-100W TeraFLOPS Processor in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 1, Jan. 2008, pp. 29-41.
- [2] Byunghoo Jung; Yue, C.P.; , "Trends and outlook of wireless I/O's for short-range connectivity and beyond," *Radio-Frequency Integration Technology (RFIT)*, 2011 *IEEE International Symposium on* , vol., no., pp.33-36, Nov. 30 2011-Dec. 2 2011
- [3] Moore, B.; Sellathamby, C.; Slupsky, S.; Iniewski, K.; , "Chip to chip communications for terabit transmission rates," *Circuits and Systems*, 2008. *APCCAS 2008. IEEE Asia Pacific Conference on* , vol., no., pp.1558-1561, Nov. 30 2008-Dec. 3 2008
- [4] *International Technology Roadmap for Semiconductors (ITRS)*. Semiconductor Industry Association 2011
- [5] R. Payne et al., "A 6.25-Gb/s Binary Transceiver in 0.13- $\mu$ m CMOS for Serial Data Transmission Across High Loss Legacy Backplane Channels," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, Dec. 2005, pp. 2646-2657.
- [6] J. F. Bulzacchelli et al., "A 10-Gb/s 5-Tap DFE/4-Tap FFE Transceiver in 90-nm CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, Dec. 2006, pp. 2885-2900.
- [7] Leibowitz, B.S.; Kizer, J.; Haechang Lee; Chen, F.; Ho, A.; Jeeradit, M.; Bansal, A.; Greer, T.; Li, S.; Farjad-Rad, R.; Stonecypher, W.; Frans, Y.; Daly, B.; Heaton, F.; Gariapp, B.W.; Werner, C.W.; Nhat Nguyen; Stojanovic, V.; Zerbe, J.L.; , "A 7.5Gb/s 10-Tap DFE Receiver with First Tap Partial Response, Spectrally Gated Adaptation, and 2nd-Order Data-Filtered CDR," *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International* , vol., no., pp.228-599, 11-15 Feb. 2007
- [8] Deb, S.; Chang, K.; Yu, X.; Sah, S.; Cosic, M.; Ganguly, A.; Pande, P.; Belzer, B.; Heo, D.; , "Design of an Energy Efficient CMOS Compatible NoC Architecture with Millimeter-Wave Wireless Interconnects," *Computers, IEEE Transactions on* , vol.PP, no.99, pp.1, 0
- [9] YuTsao Hsing; LiMing Denq; Chao-Hsun Chen; Cheng-Wen Wu; , "Economic Analysis of the HOY Wireless Test Methodology," *Design & Test of Computers, IEEE* , vol.27, no.3, pp.20-30, May-June 2010
- [10] Take, Y.; Hayun Chung; Miura, N.; Kuroda, T., "Simultaneous data and power transmission using nested clover coils," *Design Automation Conference (ASP-DAC), 2012 17th Asia and South Pacific* , vol., no., pp.555,556, Jan. 30 2012-Feb. 2 2012
- [11] Majumdar, A.; Cunningham, J.E.; Krishnamoorthy, A.V.; , "Alignment and Performance Considerations for Capacitive, Inductive, and Optical Proximity Communication," *Advanced Packaging, IEEE Transactions on* , vol.33, no.3, pp.690-701, Aug. 2010
- [12] Qun Gu; Zhiwei Xu; Jenwei Ko; Mau-Chung Frank Chang; , "Two 10Gb/s/pin Low-Power Interconnect Methods for 3D ICs," *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International* , vol., no., pp.448-614, 11-15 Feb. 2007
- [13] Fazzi, A.; Canegallo, R.; Ciccarelli, L.; Magagni, L.; Natali, F.; Jung, E.; Rolandi, P.; Guerrieri, R.; , "3-D Capacitive Interconnections With Mono- and Bi-Directional Capabilities," *Solid-State Circuits, IEEE Journal of* , vol.43, no.1, pp.275-284, Jan. 2008

- [14] Daito, M.; Nakata, Y.; Sasaki, S.; Gomyo, H.; Kusamitsu, H.; Komoto, Y.; Iizuka, K.; Ikeuchi, K.; Gil Su Kim; Takamiya, M.; Sakurai, T.; , "Capacitively Coupled Non-Contact Probing Circuits for Membrane-Based Wafer-Level Simultaneous Testing," *Solid-State Circuits, IEEE Journal of* , vol.46, no.10, pp.2386-2395, Oct. 2011
- [15] Gil-Su Kim; Ikeuchi, K.; Daito, M.; Takamiya, M.; Sakurai, T.; , "A high-speed, low-power capacitive-coupling transceiver for wireless wafer-level testing systems," *3D Systems Integration Conference (3DIC), 2010 IEEE International* , vol., no., pp.1-4, 16-18 Nov. 2010
- [16] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, "An 11 Gb/s inductive-coupling link with burst transmission," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 298–614.
- [17] Takeya, T.; Nan, L.; Nakano, S.; Miura, N.; Ishikuro, H.; Kuroda, T.; , "A 12Gb/s non-contact interface with coupled transmission lines," *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International* , vol., no., pp.492-494, 20-24 Feb. 2011
- [18] Marcu, C.; Chowdhury, D.; Thakkar, C.; Jung-Dong Park; Ling-Kai Kong; Tabesh, M.; Yanjie Wang; Afshar, B.; Gupta, A.; Arbabian, A.; Gambini, S.; Zamani, R.; Alon, E.; Niknejad, A.M.; , "A 90 nm CMOS Low-Power 60 GHz Transceiver With Integrated Baseband Circuitry," *Solid-State Circuits, IEEE Journal of* , vol.44, no.12, pp.3434-3447, Dec. 2009
- [19] W.-H. Chen, S. Joo, S. Sayilir, R. Willmot, T.-Y. Choi, D. Kim, J. Lu, D. Peroulis, and B. Jung, "A 6-Gb/s Wireless Inter-Chip Data Link Using 43-GHz Transceivers and Bond-Wire Antennas," *J. Solid State Circuits*, vol.44, no.10, pp.2711-2721, Oct. 2009.
- [20] Fujiang Lin; Brinkhoff, J.; Kai Kang; Duy Dong Pham; Xiaojun Yuan; , "A low power 60GHz OOK transceiver system in 90nm CMOS with innovative on-chip AMC antenna," *Solid-State Circuits Conference, 2009. A-SSCC 2009. IEEE Asian* , vol., no., pp.349-352, 16-18 Nov. 2009
- [21] Jri Lee; Yenlin Huang; Yentso Chen; Hsinchia Lu; Chiajung Chang; , "A low-power fully integrated 60GHz transceiver system with OOK modulation and on-board antenna assembly," *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International* , vol., no., pp.316-317,317a, 8-12 Feb. 2009
- [22] Ono, N.; Motoyoshi, M.; Takano, K.; Katayama, K.; Fujimoto, R.; Fujishima, M.; , "135 GHz 98 mW 10 Gbps ASK transmitter and receiver chipset in 40 nm CMOS," *VLSI Circuits (VLSIC), 2012 Symposium on* , vol., no., pp.50-51, 13-15 June 2012
- [23] Kawasaki, K.; Akiyama, Y.; Komori, K.; Uno, M.; Takeuchi, H.; Itagaki, T.; Hino, Y.; Kawasaki, Y.; Ito, K.; Hajimiri, A.; , "A Millimeter-Wave Intra-Connect Solution," *Solid-State Circuits, IEEE Journal of* , vol.45, no.12, pp.2655-2666, Dec. 2010
- [24] Fukuda, S.; Hino, Y.; Ohashi, S.; Takeda, T.; Yamagishi, H.; Shinke, S.; Komori, K.; Uno, M.; Akiyama, Y.; Kawasaki, K.; Hajimiri, A.; , "A 12.5+12.5 Gb/s Full-Duplex Plastic Waveguide Interconnect," *Solid-State Circuits, IEEE Journal of* , vol.46, no.12, pp.3113-3125, Dec. 2011
- [25] Tanaka, Y.; Hino, Y.; Okada, Y.; Takeda, T.; Ohashi, S.; Yamagishi, H.; Kawasaki, K.; Hajimiri, A.; , "A versatile multi-modality serial link," *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International* , vol., no., pp.332-334, 19-23 Feb. 2012
- [26] Shoji, Y.; Hamaguchi, K.; Ogawa, H.; , "Millimeter-wave remote self-heterodyne system for extremely stable and low-cost broad-band signal transmission," *Microwave Theory and Techniques, IEEE Transactions on* , vol.50, no.6, pp.1458-1468, Jun 2002
- [27] C. Loyez, M. Fryziel, A. Boe, N. Rolland, P.A. Rolland, "Cancellation of Local Oscillator Phase-noise in 60-GHz High-Data-Rate Wireless Systems," *Microwave and Optical Technology Letters*, Vol. 42, n° 4, pp 268-272, August 2004

- [28] C. Loyez, C. Lethien, R. Kassi, J. Vilcot, D. Decoster, N. Rolland, and P. Rolland, "Subcarrier radio signal transmission over multimode fibre for 60 GHz WLAN using a phase noise cancellation technique," *Electronics Letters*, vol. 41, no. 2, pp. 91–92, 2005.
- [29] Pinto, Y.; Person, C.; Gloria, D.; Cathelin, A.; Belot, D.; Pruvost, S.; Plana, R.; , "79GHz integrated antenna on low resistivity Si BiCMOS exploiting above-IC processing," *Antennas and Propagation, 2009. EuCAP 2009. 3rd European Conference on* , vol., no., pp.3539-3543, 23-27 March 2009
- [30] F. Xiong, *Digital Modulation Techniques*, 2nd ed. Boston/London: Artech House, 2006.
- [31] "Compact Hierarchical Bipolar Transistor Modeling With Hicup", Michael Schröter, Anjan Chakravorty, November 25, 2010, ISBN-10: 981427321X
- [32] D. Harame, R. Malladi, J. Johnson, J. Pekarik, B. Floyd, J. Dunn, A. Joseph, and M. Khater "Practice and Prospects of Si/SiGe Technology, Applications and Modeling", Workshop on Compact Modeling for RF/Microwave Applications, Boston (MA), USA, October 2007.
- [33] S. Pruvost, "Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0.13 $\mu$ m", Thèse de doctorat, Université de Lille1, Novembre 2005
- [34] B. Leite, "Design and modeling of mm-wave integrated transformers in CMOS and BiCMOS technologies", Thèse de doctorat, Université de Bordeaux1, Novembre 2011
- [35] N. Demirel, "Co-design d'un bloc PA-Antenne en technologie silicium pour application radar 80GHz", Thèse de doctorat, Université de Bordeaux1, Décembre 2010
- [36] Shin, W.; Uzunkol, M.; Rebeiz, G.M.; , "Ultra Low Power 60 GHz ASK SiGe Receiver with 3-6 GBPS Capabilities," *Compound Semiconductor Integrated Circuit Symposium, 2009. CISC 2009. Annual IEEE* , vol., no., pp.1-4, 11-14 Oct. 2009
- [37] S.V. Kartalopoulos, "Factors affecting the signal quality in optical data transmission and estimation method for BER and SNR," *Information Technology: Coding and Computing, International Conference on* , vol.2, pp. 615- 619 , 5-7 April 2004
- [38] E. Juntunen, M.C.-H Leung, F. Barale, A. Rachamadugu, D.A. Yeh, B.G. Perumana, P. Sen, D. Dawn, S. Sarkar, S. Pintel, J. Laskar, "A 60-GHz 38-pJ/bit 3.5-Gb/s 90-nm CMOS OOK digital radio," *IEEE Trans. Microwave Theory and Techniques*, vol.58, no.2, pp.348-355, Feb. 2010
- [39] C.W. Byeon, J.J. Lee, K.C. Eun, C.S. Park, "A 60 GHz 5 Gb/s gain-boosting OOK demodulator in 0.13 $\mu$ m CMOS," *Microwave and Wireless Components Letters, IEEE* , vol.21, no.2, pp.101-103, Feb. 2011
- [40] James C. Daly and Denis P. Galipeau, "Analog BiCMOS DESIGN : Practices and Pitfalls" Boca Raton, FL: CRC Press, 2000
- [41] Takahashi, H.; Kosugi, T.; Hirata, A.; Murata, K.; Kukutsu, N.; , "120-GHz-band Low-noise Amplifier with 14-ps Group-delay Variation for 10-Gbit/s Data Transmission," *Microwave Conference, 2008. EuMC 2008. 38th European* , vol., no., pp.1457-1460, 27-31 Oct. 2008
- [42] Chakraborty, A.; Hartnagel, H.L.; Kissinger, D.; Laemmle, B.; Weigel, R.; , "Design of gain optimized broadband low noise amplifiers at 120 GHz using SiGe technology," *German Microwave Conference, 2010* , vol., no., pp.268-271, 15-17 March 2010
- [43] Bo Zhang; Yong-Zhong Xiong; Lei Wang; Sanming Hu; Teck Guan Lim; Yi-Qi Zhuang; Le-Wei Li; Xiaojun Yuan; , "130-GHz gain-enhanced SiGe low noise amplifier," *Solid State Circuits Conference (A-SSCC), 2010 IEEE Asian* , vol., no., pp.1-4, 8-10 Nov. 2010



- [44] Ojefors, E.; Pourchon, F.; Chevalier, P.; Pfeiffer, U.R.; , "A 160-GHz low-noise downconverter in a SiGe HBT technology," *Microwave Conference (EuMC), 2010 European* , vol., no., pp.521-524, 28-30 Sept. 2010
- [45] Schmalz, K.; Winkler, W.; Borngräber, J.; Debski, W.; Heinemann, B.; Scheytt, J.C.; , "A Subharmonic Receiver in SiGe Technology for 122 GHz Sensor Applications," *Solid-State Circuits, IEEE Journal of* , vol.45, no.9, pp.1644-1656, Sept. 2010
- [46] Behzad Razavi. *RF microelectronics*. Prentice Hall, 1998.
- [47] C. Cao and K. K. O, "A 140-GHz fundamental mode voltage-controlled oscillator in 90-nm CMOS technology," *Microwave and Wireless Component Letters*, Oct. 2006, pp. 555-557.
- [48] Namhyung Kim, Seungyong Lee, Jae-Sung Rieh "A Millimeter-Wave LC Cross-Coupled VCO for 60 GHz WPAN Application in a 0.13- $\mu\text{m}$  Si RF CMOS Technology" *Journal of semiconductor technology and science*, vol.8, no.4, december, 2008
- [49] Veenstra, H.; Hurkx, G. A M; v d Heijden, E.; Vaucher, C.S.; Apostolidou, M.; Jeurissen, D.; Deixler, P., "10-40GHz design in SiGe-BiCMOS and Si-CMOS linking technology and circuits to maximize performance," *Microwave Conference, 2005 European* , vol.3, no., pp.4 pp., 4-6 Oct. 2005
- [50] Byunghoo Jung; Harjani, R., "High-frequency LC VCO design using capacitive degeneration," *Solid-State Circuits, IEEE Journal of* , vol.39, no.12, pp.2359,2370, Dec. 2004
- [51] Momeni, O.; Afshari, E.; , "High Power Terahertz and Millimeter-Wave Oscillator Design: A Systematic Approach," *Solid-State Circuits, IEEE Journal of* , vol.46, no.3, pp.583-597, March 2011
- [52] Yan Zhao; Heinemann, B.; Pfeiffer, U.R.; , "Fundamental mode colpitts VCOs at 115 and 165-GHz," *Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2011 IEEE* , vol., no., pp.33-36, 9-11 Oct. 2011
- [53] Jahn, M.; Knapp, H.; Stelzer, A.; , "A 122-GHz SiGe-Based Signal-Generation Chip Employing a Fundamental-Wave Oscillator With Capacitive Feedback Frequency-Enhancement," *Solid-State Circuits, IEEE Journal of* , vol.46, no.9, pp.2009-2020, Sept. 2011
- [54] S. Munkyo , B. Jagannathan , J. Pekarik and M. J. W. Rodwell "A 150 GHz amplifier with 8 dB gain and 6 dBm Psat in digital 65 nm CMOS using dummy-prefilled microstrip lines", *IEEE J. Solid-State Circuits*, vol. 44, no. 12, pp.3410 -3421 2009
- [55] I. Kallfass , P. Pahl , H. Massler , A. Leuther , A. Tessmann , S. Koch and T. Zwick "A 144 GHz power amplifier MMIC with 11 dBm output power, 10 dB associated gain and 10% power-added efficiency", *IEEE MTT-S Int. Symp.*, pp.429 -432 2009
- [56] Debin Hou; Yong-Zhong Xiong; Wang-Ling Goh; Wei Hong; Madihian, M.; , "A D-Band Cascode Amplifier With 24.3 dB Gain and 7.7 dBm Output Power in 0.13  $\mu\text{m}$  SiGe BiCMOS Technology," *Microwave and Wireless Components Letters, IEEE* , vol.22, no.4, pp.191-193, April 2012
- [57] Shafik, R.A.; Rahman, S.; Islam, R., "On the Extended Relationships Among EVM, BER and SNR as Performance Metrics," *Electrical and Computer Engineering, 2006. ICECE '06. International Conference on* , vol., no., pp.408,411, 19-21 Dec. 2006
- [58] Freude, W.; Schmogrow, R.; Nebendahl, B.; Winter, M.; Josten, A.; Hillerkuss, D.; Koenig, S.; Meyer, J.; Dreschmann, M.; Huebner, M.; Koos, C.; Becker, J.; Leuthold, J., "Quality metrics for optical signals: Eye diagram, Q-factor, OSNR, EVM and BER," *Transparent Optical Networks (ICTON), 2012 14th International Conference on* , vol., no., pp.1,4, 2-5 July 2012

- [59] Schmogrow, R.; Nebendahl, B.; Winter, M.; Josten, A.; Hillerkuss, D.; Koenig, S.; Meyer, J.; Dreschmann, M.; Huebner, M.; Koos, C.; Becker, J.; Freude, W.; Leuthold, J., "Error Vector Magnitude as a Performance Measure for Advanced Modulation Formats," *Photonics Technology Letters, IEEE* , vol.24, no.1, pp.61,63, Jan.1, 2012
- [60] Marsalek, R.; Povalac, Karel; Dvorak, J., "Use of The Error Vector Magnitude for low-complex bit loading in Orthogonal Frequency Division Multiplexing," *Image and Signal Processing and Analysis (ISPA), 2011 7th International Symposium on* , vol., no., pp.42,45, 4-6 Sept. 2011

## Table des figures

Figure I-1 : Projections de l'ITRS de l'évolution des débits de données de l'ensemble des entrée-sorties des puces .....	11
Figure I-2 : Exemple d'égalisation des pistes PCB entre puces.....	12
Figure I-3 : Interconnexions filaires ; b. Interconnexion sans fil entre deux puces .....	13
Figure I-4 : a. Carte à pointe pour le test de puce sur wafer ; b. Plot abimé suite au posé d'une pointe de test. ..	14
Figure I-5 : Comparaison du coût des étapes de test entre la méthode conventionnelle (référence) et la méthode sans contact.....	15
Figure I-6 : a. Schéma d'une liaison puce à puce par couplage capacitif ; b. Schéma électrique équivalent .....	17
Figure I-7 : Schéma simplifié d'une liaison puce à puce par couplage inductif .....	18
Figure I-8 : Photographie de l'utilisation des fils de bonding comme élément rayonnant dans : a. [18] ; b. [22].	19
Figure I-9 : Schéma d'un modulateur (a) et d'un démodulateur (b) IQ. ....	22
Figure I-10 : Constellations des modulations les plus usitées.....	22
Figure I-11 : Architecture self-hétérodyne .....	23
Figure I-12 : Architecture self-homodyne simplifiée .....	25
Figure I-13 : Architecture self-homodyne simplifiée avec le codage de l'OL .....	26
Figure I-14 : Pertes en espace libre du canal de transmission.....	28
Figure I-15 : Architecture OOK du système de communication puce-à-puce proposé .....	28
Figure I-16 : Estimation du TEB du système en fonction de la distance de communication et pour différents débits de données.....	30
Figure II-1 : Comparaison des filières CMOS et BiCMOS : a. Fréquence de transition en fonction des nœuds technologiques ; b. Fréquence de transition en fonction du coût normalisé des nœuds technologiques.....	34
Figure II-2 : Comparaison de l'empilement des métaux de la technologie CMOS 65nm et de la technologie BiCMOS 0.13µm sans et avec l'option « MW ». ....	35
Figure II-3 : Caractéristiques statiques d'un transistor bipolaire avec $L_e=2\mu\text{m}$ : a. $I_c$ en fonction de $V_{be}$ pour $V_{cb}=0$ ; b. $I_c$ en fonction de $V_{ce}$ pour différentes valeurs de $I_b$ . ....	36
Figure II-4 : Caractéristique petit signal d'un transistor bipolaire ( $L_e=2\mu\text{m}$ ) avec ses accès : a. fréquence de transition ; b. fréquence maximale d'oscillation.....	38
Figure II-5 : Facteur de bruit simulé et mesuré d'un transistor ( $L_e=2\mu\text{m}$ ).....	38
Figure II-6 : Plot RF : a. Micro-photographie ; b. Perspective ; c. Schéma électrique équivalent.....	39
Figure II-7 : Capacité du plot RF en fonction de la fréquence.....	40
Figure II-8 : Représentation d'une ligne micro-ruban avec la circulation du courant : a. Vue en perspective ; b. Schéma électrique équivalent .....	40
Figure II-9 : a. Vue en coupe d'une capacité MOM ; b. Schéma électrique équivalent.....	41
Figure II-10 : Comparaison des simulations d'une capacité MOM sous Momentum et sous le programme interne en fonction de la fréquence : a. Valeur de la capacité ; b. Facteur de qualité .....	42
Figure II-11 : Schéma électrique simplifié d'une capacité MIM.....	42
Figure II-12 : Schéma des 3 différentes configurations des entrées-sorties : opposées, perpendiculaires et parallèles .....	43
Figure II-13: Simulations issues du programme interne de 3 capacités MIM de même valeur, 300fF, et de configurations différentes : a. Valeur de la capacité ; b. Facteur de qualité .....	43
Figure II-14 : a. Layout d'une inductance ; b. Schéma électrique équivalent .....	44
Figure II-15 : Comparaison des simulations d'une inductance sous Momentum et sous le programme interne en fonction de la fréquence : a. Valeur de l'inductance ; b. Facteur de qualité.....	45
Figure II-16 : a. Schéma électrique d'un balun ; b. Schéma électrique simplifié d'un balun avec des capacités d'accord.....	45
Figure II-17 : a. Balun avec les 2 inductances entrelacées ; b. Balun avec les 2 inductances superposées .....	47
Figure II-18 : Pertes du balun à 60GHz en fonction de l'inductance $L_S$ .....	47

Figure II-19 : a. Structure de test du balun ; b. Balun avec son plan patterné .....	48
Figure II-20 : Inductance du balun en fonction de la fréquence : a. Circuit primaire ; b. Circuit secondaire .....	49
Figure II-21 : Résistance série du balun en fonction de la fréquence : a. Circuit primaire ; b. Circuit secondaire .....	49
Figure II-22 : a. Inductance mutuelle du balun ; a. Coefficient de couplage k .....	49
Figure II-23 : Exemple d'un amplificateur émetteur commun simple avec son réseau d'adaptation : a. avec des masses parfaites ; b. avec les retours de masses réels. ....	50
Figure II-24 : Exemple d'un amplificateur émetteur commun différentiel avec son réseau d'adaptation .....	51
Figure III-1 : 1 <sup>ère</sup> architecture proposée pour le système de communication puce à puce .....	53
Figure III-2 : Architecture finale retenue pour la conception du système de communication puce à puce .....	54
Figure III-3 : Schéma de principe du démodulateur .....	56
Figure III-4 : Schéma de la cellule de Gilbert.....	56
Figure III-5 : Schéma électrique et valeur des composants du démodulateur 60GHz. ....	57
Figure III-6 : Simulation du gain et de la figure de bruit double bande (NFdsb) du démodulateur en fonction la puissance d'entrée Pin .....	58
Figure III-7 : Schéma du démodulateur et des blocs permettant sa caractérisation .....	59
Figure III-8 : Microphotographie du démodulateur à 60GHz.....	59
Figure III-9 : Comparaison mesure et simulation du gain du démodulateur : a. en fonction de la puissance d'entrée, avec deux tons à fréquences fixes 60GHz et 61GHz ; b. en fonction de la fréquence, pour Pin=-28dBm. ....	60
Figure III-10 : Banc de mesure du circuit en mode démodulation .....	60
Figure III-11 : Diagramme de l'œil du démodulateur à 10GBits/s : a. Signal de référence b. Signal de sortie ....	61
Figure III-12 : Facteur de qualité du signal de référence et de la sortie du démodulateur en fonction du débit de données .....	61
Figure III-13 : Différence de gain entre les voies OUT+ et OUT- du démodulateur obtenue en simulation et en mesure .....	62
Figure III-14 : Schéma électrique simplifié du démodulateur 140GHz.....	65
Figure III-15 : Simulation du gain et du facteur de bruit du démodulateur 140GHz : a. en fonction de la puissance d'entrée, b. en fonction de la fréquence .....	65
Figure III-16 : Microphotographie du démodulateur 140GHz : a. vue d'ensemble; b. zoom sur la partie active .	66
Figure III-17 : MAG et NFmin à 140GHz en fonction de la longueur d'émetteur.....	67
Figure III-18 : a. Schématique d'un étage d'amplification différentiel cascode b.MAG et NFmin d'un étage différentiel cascode en fonction de la tension $V_{cas}$ .....	68
Figure III-19 : Schéma électrique et valeur des composants du 1 <sup>er</sup> et 2 <sup>ème</sup> étages du LNA .....	69
Figure III-20 : Partie réelle de l'impédance d'entrée en mode commun $Z_{inCOM}$ du 1 <sup>er</sup> étage du LNA.....	70
Figure III-21 : Performances simulées du LNA 3 étages : a. Paramètres S11 et S22 ; b. Gain ; c. Figure de bruit ; d. Puissance de sortie.....	71
Figure III-22 : Configuration du LNA 3 étages .....	71
Figure III-23 : Microphotographie du LNA .....	72
Figure III-24 : a. Vue un port d'un oscillateur ; b. Résonateur RLC.....	73
Figure III-25 : Schéma d'un oscillateur cross-couplé .....	74
Figure III-26 : a. Schéma électrique de la résistance négative d'un oscillateur cross-couplé b. Fréquence maximale d'oscillation d'une architecture cross-couplé en fonction de la longueur de l'émetteur. ....	75
Figure III-27 : a. Schéma de l'architecture cross-couplé modifiée ; b. Fréquence maximale d'oscillation en fonction de la capacité série $C_S$ de l'architecture cross-couplé modifiée avec $L_E(Q_1, Q_2)=2\mu m$ . ....	76
Figure III-28 : Schéma de l'oscillateur Colpitts : a. topologie simple ; b. topologie différentielle .....	76
Figure III-29 : a. Schéma de la résistance négative de l'oscillateur Colpitts ; b. Fréquences maximales d'oscillation simulées en fonction de la capacité $C_1$ pour $Q_1(L_e=3\mu m$ et $N_e=2)$ .....	77
Figure III-30 : 1 <sup>ère</sup> solution, modulation de la source de courant de l'oscillateur : a. schéma électrique ; b. simulation de l'architecture à un débit de données de 20Gbps. ....	79
Figure III-31 : 2 <sup>ème</sup> solution, modulation par interruption du passage du courant de l'oscillateur : a. schéma électrique ; b. simulation de l'architecture à un débit de données de 20Gbps. ....	79

Figure III-32 : 2 <sup>ème</sup> solution, architecture différentielle, modulation par interruption du passage du courant dans chaque branche de l'oscillateur : a. schéma électrique ; b. simulation du passage d'un état "0" à un état "1".	80
Figure III-33 : Schéma électrique et valeur des composants de l'oscillateur Colpitts à modulation interne.	81
Figure III-34 : Microphotographie de l'oscillateur à modulation interne, la partie active est situé dans le rectangle en pointillé.	82
Figure III-35 : Spectre de sortie, fréquence d'oscillation 131.2GHz, puissance de sortie 0dBm.	83
Figure III-36 : a. Schéma simplifié de l'oscillateur Colpitts avec l'ajout de la capacité $C_{BC}$ ; b. Simulation de la fréquence d'oscillation en fonction de la capacité $C_{BC}$ .	84
Figure III-37 : Variation de la fréquence d'oscillation : a. en fonction de $V_B$ pour $V_{CC}=2.5V$ ; b. en fonction de $V_{CC}$ pour $V_B=1.9V$ .	85
Figure III-38 : Variation de la puissance de sortie : a. en fonction de $V_B$ pour $V_{CC}=2.5V$ (mesures réalisées avec le bolomètre) b.en fonction de $V_{CC}$ pour $V_B=1.9V$ (mesures réalisées avec l'analyseur de spectre)	85
Figure III-39 : Captures d'écran des signaux d'entrée et de sortie du l'oscillateur : a. à 125Mbits/s ; b. à 375Mbits/s	86
Figure III-40 : Spectre de sortie du transmetteur en mode allumé en continue. Fréquence d'oscillation 142GHz, puissance de sortie 3dBm (derrière l'amplificateur de puissance).	87
Figure III-41 : Variation de la fréquence de l'oscillateur recentré : a. en fonction de $V_B$ pour $V_{CC}=2.5V$ ; b. en fonction de $V_{CC}$ pour $V_B=1.9V$ .	87
Figure III-42 : Synoptique de l'architecture du démonstrateur (rappel)	89
Figure III-43 : Les 3 différentes configurations du mélangeur envisagées.	90
Figure III-44 : Schéma électrique et valeur des composants du mélangeur.	91
Figure III-45 : Schéma électrique et valeurs des composants de l'amplificateur de puissance.	92
Figure III-46 : a. Puissance de sortie (Pout), gain et efficacité en puissance ajoutée (PAE) simulés de l'amplificateur de puissance en fonction de la puissance d'entrée ; b. Gain (S21) du PA en fonction de la fréquence	93
Figure III-47 : Micro-photographie du PA, la zone entourée représente la partie active du circuit, à droite l'antenne, à gauche le balun 2ports réalisant la liaison avec l'up-mixer.	93
Figure IV-1 : a. Vue en coupe simplifiée de la technologie BiCMOS 0.13 $\mu$ m ; b. microphotographie de l'antenne dipôle 140GHz.	98
Figure IV-2 : Simulation Momentum de l'antenne dipôle : a. S11 ; b. Gain	98
Figure IV-3 : Microphotographie d'une antenne implémentée dans le seal-ring d'une puce	99
Figure IV-4 : Configuration des antennes sur le silicium pour la caractérisation en transmission	100
Figure IV-5 : Paramètre S11 mesuré et simulé de l'antenne	100
Figure IV-6 : Paramètre S21 mesuré des antennes pour toutes les distances	101
Figure IV-7 : a. Schéma électrique de l'émetteur ; b. Microphotographie de l'émetteur	102
Figure IV-8 : a. Spectre de sortie de l'émetteur en mode émission continu ; b. Puissance de sortie de l'émetteur en fonction de la tension $V_{contrôle}$ .	103
Figure IV-9 : a. Spectre de sortie d'un signal sinusoïdale à 5GHz modulé à 142GHz ; b. Bande passante du transmetteur	103
Figure IV-10 : Spectre théorique d'un signal OOK modulé à un débit de données D autour de la fréquence porteuse f	104
Figure IV-11 : Spectre de sortie du transmetteur de la modulation OOK: a. à 5Gbps ; b. à 10Gbps	104
Figure IV-12 : Schéma électrique du récepteur sans le LNA ; b. Microphotographie du récepteur	105
Figure IV-13 : Schéma électrique du récepteur avec le LNA	106
Figure IV-14 : Microphotographie du récepteur avec le LNA	106
Figure IV-15 : Microphotographie de l'émetteur et du récepteur sans LNA	107
Figure IV-16 : Banc de mesure de la bande passante du démonstrateur complet.	108
Figure IV-17 : Gain de conversion du démonstrateur complet en fonction de la fréquence.	108
Figure IV-18 : Banc de mesure du circuit en modulation OOK	109
Figure IV-19 : Diagrammes de l'oeil du signal en sortie du récepteur : a. à 10Gbps ; B. à 14Gbps	109
Figure IV-20 : Facteur de qualité du signal reçu en fonction du débit de données.	110

Figure IV-21 : Microphotographie du circuit découpé .....	110
Figure IV-22 : Diagramme de l'œil du signal de sortie à 10Gbps pour un écartement de 0.9mm .....	111
Figure IV-23 : Schéma de l'architecture self-hétérodyne.....	112
Figure IV-24 : Spectre du signal de sortie $S_2$ de la transmission self-hétérodyne .....	113
Figure IV-25 : Diagramme de constellation du signal de sortie démodulé : a. à 5Gbps ; b. à 10Gbps.....	114
Figure IV-26 : EVM du signal de sortie en fonction du débit de données.....	114
Figure IV-27 : Microphotographie du démonstrateur avec le LNA .....	116
Figure IV-28 : Diagrammes de l'œil du démonstrateur avec le LNA sur le même wafer (600 $\mu$ m): a. à 10Gbps ; b. à 14Gbps.....	117
Figure IV-29 : Diagrammes de l'oeil avec un écartement de 0.9mm à 8Gbps (a.) et 1.3mm à 5Gbps (b).....	117
Figure IV-30 : Fonction de transfert de l'ensemble du démonstrateur complet avec le LNA.....	118
Figure A1-1 : Taux d'erreur par bit (TEB) en fonction du SNR pour les modulations les plus usitées .....	126
Figure A1-2 : Représentation de la mesure du facteur de qualité .....	127
Figure A1-3 : TEB en fonction du facteur de qualité d'une transmission .....	127
Figure A1-4 : Représentation de la mesure de l'EVM .....	128
Figure A1-5 : TEB en fonction de l'EVM : a. $EVM_{RMS}$ exprimé en dB ; b. EVM exprimé en % .....	129

## Liste des tableaux

---

---

Tableau I-1 : Comparaison des systèmes de communication puce-à-puce par couplage capacitif.....	17
Tableau I-2 : Comparaison des systèmes de communication puce-à-puce par couplage inductif .....	18
Tableau I-3 : Comparaison des systèmes de communication puce-à-puce par couplage électromagnétique .....	20
Tableau I-4 : Efficacité spectrale et signal sur bruit minimum pour un TEB de $10^{-6}$ des modulations les plus usitées .....	22
Tableau I-5 : Tableau des performances visées du récepteur .....	29
Tableau II-1 : Tableau comparatif des solutions d'adaptation d'impédance .....	51
Tableau III-1 : Performances estimées des blocs de la chaîne d'émission-réception .....	54
Tableau III-2 : Comparaison des 2 méthodes de démodulation d'un signal OOK .....	55
Tableau III-3 : Comparaison des performances des démodulateurs OOK à 60GHz .....	62
Tableau III-4 : Comparaison de performances du LNA à l'état de l'art des amplificateurs travaillant à des fréquences comprises entre 120GHz et 160GHz. ....	72
Tableau III-5 : Comparaison de performances de l'oscillateur aux oscillateurs dont la fréquence de fonctionnement est comprise entre 100 et 200GHz et ayant une puissance de sortie supérieure à -10dBm.....	88
Tableau III-6 : Comparaison des performances de l'amplificateur de puissance à l'état de l'art .....	94
Tableau III-7 : Récapitulatif des performances de chaque bloc réalisé .....	95
Tableau IV-1 : Récapitulatif des distances entre les antennes couvertes par toutes les configurations .....	100
Tableau IV-2 : Récapitulatif des pertes mesurées ( $S_{21}$ ) à 140GHz et comparaison avec les pertes calculées ...	101
Tableau IV-3 : Récapitulatif des performances du transmetteur et du récepteur .....	114
Tableau IV-4 : Comparaison des performances des systèmes de communication puce à puce les plus pertinents .....	115
Tableau A1-1 : Valeurs de L et de M des modulations les plus usitées.....	125

### ***Contribution à l'étude et à la réalisation de systèmes de communication inter-puces à très haut débit en gamme millimétrique***

Les fréquences de fonctionnement des transistors des dernières technologies silicium supérieures à 200GHz favorisent les recherches de systèmes de communication travaillant à des fréquences de plus en plus élevées. Cette montée en fréquence permet le transfert de données multi-gigabits et la conception de systèmes compacts.

Un système de communication puce à puce sans fil multi-gigabits à 140GHz a été conçu afin d'améliorer voire supplanter les interconnexions filaires inter-puces dont les débits de données sont limités. Il peut également être utilisé pour améliorer la testabilité des puces sur wafer en rendant possible le test sans contact.

Les architectures de communication à annulation de bruit de phase de type self-hétérodyne et self-homodyne, étudiées durant ces travaux de recherche, sont basées sur l'émission du signal porteur en plus du signal modulé, simplifiant ainsi la génération de fréquence des parties émettrice et réceptrice. En effet, en gamme de fréquences millimétriques, les topologies nécessitant un système de récupération de la fréquence porteuse ou de synchronisation de fréquence sont complexes et énergivores.

Une modulation tout ou rien (OOK) a de ce fait été retenue pour la réalisation du démonstrateur. La chaîne d'émission/réception ainsi que les antennes a été implémenté en technologie BiCMOS SiGe:C 0.13 $\mu$ m. La surface totale du circuit avec les antennes est de 0.31mm<sup>2</sup>. Un transfert de données jusqu'à 14Gbps a été réalisé à une distance de 0.6mm avec une efficacité énergétique de 5.7pJ/bit. A partir du circuit réalisé, une démonstration à 140GHz en modulation QPSK self-hétérodyne a également été effectuée. L'EVM est de 27% à 10Gbps.

---

### ***Contribution to the study and implementation of a high data rate inter chip communication system in millimeter wave frequency range***

The transistors operating frequencies are well above 200GHz in the last silicon technology nodes. These performances have encouraged the research of the communication systems operating at millimeter wave frequencies. Such performances allow higher and higher multi-gigabit data rate and also more compact communication systems with on Silicon integrated antennas.

The objective of this research work was to design a multi-gigabit wireless chip to chip communication system at 140GHz. Such a short-range communication system could be designed to improve or replace the inter-chip interconnects where data rates are limited. Secondly this communication system could also be used to improve the testability of on wafer dies by performing contactless test.

The communication system with phase noise cancelation topology specifically self-heterodyne and self-homodyne, studied during the research work, are based on the carrier signal emission in addition to the modulated signal simplifies the frequency synthesis of the emitter and receiver parts. Millimeter wave frequency communication systems are conventionally based on carrier frequency recovering system that is complex and consumes a lot of energy.

An On-Off Keying (OOK) modulation has been selected and all the parts of the transceiver have been designed in 0.13 $\mu$ m SiGe:C BiCMOS technology. The silicon area of the circuit is 0.31mm<sup>2</sup> including the antennas. This transceiver achieves a data rate up to 14Gbps at a distance of 0.6mm with an energy efficiency of 5.7pJ/bit. Moreover a self-heterodyne QPSK demonstration at 140GHz was performed with an EVM of 27% to 10Gbps.