

N° d'ordre: 41212

THESE

Présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

Pour obtenir le titre de

DOCTEUR DE L'UNIVERSITE

Spécialité: Microélectronique, Acoustique et Télécommunication

Par

Florent GAMAND

**AMPLIFICATEURS DE PUISSANCE ET CONVERTISSEURS
DC/DC À BASE DE GAN POUR DES APPLICATIONS
HYPERFRÉQUENCES**

Soutenance devant la commission d'examen prévue le 16 Octobre 2013

Membres du jury :

PR	E. KERHERVE	Rapporteur
PR	R. QUERE	Rapporteur
DR.	S. DENIS	Examineur
PR.	P. DESCAMPS	Examineur
DR.	D. FLORIOT	Examineur
DR.	J. LHORTOLARY	Examineur
DR.	S. PIOTROWICZ	Examineur
PR.	C. GAQUIERE	Directeur de thèse

Remerciements

Ce travail a été réalisé au sein de l'Institut d'Electronique de Microélectronique et de Nanotechnologie (**IEMN**) et financé dans le cadre du contrat MIRANDELA.

Je tiens à remercier Monsieur le Professeur **Jean-Claude De Jaeger** pour la confiance qu'il m'a accordée en m'accueillant au sein de son équipe de recherche.

J'adresse mes plus sincères remerciements à Monsieur le Professeur **Christophe Gaquière**, mon directeur de thèse, qui m'a encadré durant ces travaux. Je lui exprime toute ma reconnaissance pour l'ensemble de ce qu'il m'a apporté tant d'un point de vue scientifique que personnel.

J'exprime toute ma reconnaissance à Monsieur le Professeur **Eric Kerhervé**, ainsi qu'à Monsieur le Professeur **Raymond Quéré**, qui me font l'honneur de juger ce travail et d'en être les rapporteurs.

Je remercie également Messieurs **Stéphane Denis**, **Philippe Descamps**, **Didier Floriot**, **Julien Lhortolary** et **Stéphane Piotrowicz** d'avoir accepté de faire partie de mon jury de thèse.

Je remercie Madame **Valeria Di Giacomo-Brunel** et Monsieur **Ming-Dong Li** pour les nombreux conseils qu'ils m'ont donnés, ainsi que Messieurs **Thierry Duquesne**, **Nadir Idir** et **Arnaud Videt** du laboratoire L2ep avec qui nous avons travaillé.

J'exprime enfin toute ma reconnaissance à l'ensemble des personnes de l'IEMN et plus particulièrement de l'équipe Composants et Dispositifs Micro-ondes de Puissance et de la Centrale de Caractérisation pour leur gentillesse et leur bonne humeur.

Sommaire

Remerciements	3
Sommaire	5
Introduction générale	9

CHAPITRE I

CARACTERISTIQUES, CARACTERISATION ET MODELISATION DES COMPOSANTS GAN POUR DES APPLICATIONS DE COMMUTATION ET D'AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT

Introduction	13
I.1 - Caractéristiques des HEMTs GaN et intérêts pour les applications de commutation et d'amplification de puissance à haut rendement	14
I.1.1 - Historique du matériau GaN pour des composants électroniques	14
I.1.2 - Propriétés électriques et physiques des différents semi-conducteurs	15
I.1.3 - Figures de mérite	23
I.1.4 - La structure HEMT	25
I.2 - Caractérisation électrique des HEMTs GaN	30
I.2.1 - Mesures en régime continu	30
I.2.2 - Mesures en régime pulsé	38
I.3 - Modélisation électrique des HEMTs GaN	43
I.3.1 - Modélisation linéaire des HEMTs	43
I.3.2 - Modélisation non-linéaire des HEMTs	50
Conclusion	58
Bibliographie du Chapitre I	59

CHAPITRE II

REALISATION ET CARACTERISATION DE CONVERTISSEURS DC/DC A HAUTE FREQUENCE DE DECOUPAGE A BASE D'HEMTS GAN POUR DES APPLICATIONS DE POLARISATION DYNAMIQUE D'AMPLIFICATEUR DE PUISSANCE

Introduction	65
II.1 - Principes et architectures des convertisseurs DC/DC à découpage	66
II.1.1 - Principe général et historique des convertisseurs DC/DC à découpage	66
II.1.2 - Topologies de base des convertisseurs DC/DC à découpage	68
II.2 - Premier prototype de convertisseur DC/DC utilisant un HEMT GaN issu du laboratoire	79
II.2.1 - Choix du transistor	79
II.2.2 - Modélisation du transistor KQ002	80
II.2.3 - Conception, réalisation et caractérisation du premier convertisseur	88
II.3 - Deuxième prototype de convertisseur DC/DC utilisant un HEMT GaN du commerce, Nitronex NPTB00025	100
II.3.1 - Caractéristiques du transistor NPTB00025	100
II.3.2 - Conception et réalisation du convertisseur DC/DC boost 16-32 V, 20 W	103
Conclusion	117
Bibliographie du Chapitre II	118

CHAPITRE III

REALISATION ET CARACTERISATION D'AMPLIFICATEURS DE PUISSANCE GAN A HAUT RENDEMENT

Introduction	123
III.1 - Généralités et classes de fonctionnement des amplificateurs de puissance	124
III.1.1 - Bilan de puissance et définition du rendement	124
III.1.2 - Les différentes classes de fonctionnement	126

III.2 - Réalisation d'un amplificateur de puissance classe F GaN à 4 GHz	134
III.2.1 - Caractéristiques du transistor UMS GH50 8*250 µm	134
III.2.2 - Conception d'un amplificateur classe F à 4 GHz basé sur le transistor UMS GH50 8*250 µm	136
III.2.3 - Réalisation et caractérisation de l'amplificateur classe F à 4 GHz basé sur le transistor UMS GH50 8*250 µm	146
III.3 - Réalisation d'un amplificateur de puissance haut rendement dans la bande 3.7-4.2 GHz	150
III.3.1 - Conception d'un amplificateur classe J basé sur le transistor UMS GH50 8*250 µm	150
III.3.2 - Réalisation et caractérisation de l'amplificateur classe J basé sur le transistor UMS GH50 8*250 µm	158
III.4 - Association d'un amplificateur GaN classe F avec un convertisseur DC/DC GaN pour l'optimisation du rendement	165
III.4.1 - Principe et intérêt de la polarisation dynamique	165
III.4.2 - Association d'un amplificateur classe F à 2 GHz et d'un convertisseur DC/DC GaN	167
Conclusion	176
Bibliographie du Chapitre III	177
Conclusion générale	179
Publications et conférences relatives à ces travaux	181

Introduction générale

Le domaine de la microélectronique en général est en constante évolution, et en particulier les systèmes de télécommunication dont l'essor est important depuis les années 90. Les principaux axes d'évolution de ces systèmes se traduisent par une montée en puissance et en fréquence, cependant, un critère qui doit être pris en compte quelque soit le type de circuit développé est le rendement. En effet, ce dernier doit être le plus élevé possible afin de réduire la consommation des systèmes électroniques, permettant ainsi de minimiser le coût de fonctionnement, de maximiser l'autonomie (dans le cas de systèmes embarqués) et d'améliorer la fiabilité du fait des échauffements thermiques moins importants.

Afin d'améliorer les rendements, en particulier dans le domaine de l'amplification de puissance hyperfréquence, un des éléments clés d'un système de télécommunication, de nombreuses techniques ont été développées. D'une part au niveau du fonctionnement des amplificateurs, notamment avec l'introduction de classes de fonctionnement à haut rendement, basées sur le contrôle des fréquences harmoniques. D'autre part au niveau des architectures des systèmes d'amplifications, où des techniques de type Doherty à titre d'illustration, utilisant un amplificateur auxiliaire pour les niveaux de puissance faibles, ou encore la polarisation dynamique. Cette dernière a recours à un convertisseur DC/DC, permettent une amélioration des rendements pour les signaux à enveloppe variable, tels que les signaux de type Long Term Evolution (LTE) ou Worldwide Interoperability for Microwave Access (WiMAX).

Un élément central des amplificateurs de puissance est le transistor permettant l'amplification du signal hyperfréquence. Afin de pallier aux limites intrinsèques des transistors classiques à base de silicium, des transistors basés sur des matériaux semi-conducteurs aux propriétés physiques supérieures permettant de délivrer des puissances importantes tout en ayant des fréquences de fonctionnement élevées sont développés. Parmi ceux-ci, les semi-conducteurs à grand gap, et notamment le nitrure de gallium (GaN), constituent un excellent choix. Les transistors à haute mobilité électronique (HEMTs) à base de GaN sont, maintenant, capables de concurrencer les transistors LDMOS (Laterally Diffused Metal Oxide Semiconductor) à base de silicium ainsi que les HEMTs à base d'arséniure de gallium (GaAs) sur le marché des stations de bases utilisées pour les télécommunications (3G, 4G, WiMAX,...).

Les transistors de type HEMT GaN, du fait de leur capacité à commuter rapidement et de leurs faibles pertes résistives, sont également d'excellents candidats pour les applications de commutation de puissance à haute fréquence de découpage et haut rendement, tels que les convertisseurs DC/DC utilisés dans la plupart des alimentations électriques et plus spécifiquement pour l'alimentation d'amplificateurs de puissance dans le cadre d'une polarisation dynamique visant à l'amélioration continue des rendements.

Le premier chapitre de ce mémoire sera consacré à la présentation des propriétés des transistors à base de GaN et leurs intérêts par rapport aux autres semi-conducteurs pour des applications d'amplification hyperfréquence et de commutation. Leur caractérisation et modélisation seront également abordées dans l'optique de conceptions de circuits.

Le deuxième chapitre sera consacré à la conception de convertisseurs DC/DC GaN à haute vitesse de découpage pour des applications de polarisation dynamique d'amplificateurs de puissance.

Enfin, le troisième chapitre abordera la conception d'amplificateurs de puissance GaN à haut rendement en bande C pour des applications de télécommunication. L'association d'un convertisseur DC/DC développé au chapitre II et d'un amplificateur en bande S sur une même technologie GaN dans le cadre de la polarisation dynamique pour des signaux à forts PAPR sera également présentée et ses effets sur l'amélioration du rendement étudiés.

CHAPITRE I

**CARACTERISTIQUES, CARACTERISATION ET MODELISATION DES
COMPOSANTS GAN POUR DES APPLICATIONS DE COMMUTATION
ET D'AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT**

Introduction

Dans le but d'améliorer les performances des circuits aussi bien dans le domaine des hyperfréquences que dans les applications de conversion de puissance, différentes pistes sont investiguées. Une de ces voies est l'amélioration des technologies déjà existantes et éprouvées afin d'optimiser les performances de ces composants classiques. Cependant les performances de ceux-ci sont, pour beaucoup, à la limite des propriétés intrinsèques des matériaux. De ce fait, une solution alternative consiste à utiliser des matériaux semi-conducteurs aux propriétés physiques supérieures délivrant des puissances importantes et supportant de hautes températures de fonctionnement, tout en ayant des fréquences de fonctionnement élevée. Parmi ceux-ci, les semi-conducteurs à grand gap, et notamment le nitrure de gallium (GaN), constituent un excellent choix.

Dans ce chapitre, après un bref rappel historique du GaN, les caractéristiques fondamentales des semi-conducteurs seront présentées et nous établirons une comparaison entre les différents matériaux afin de déterminer l'apport du GaN vis-à-vis des semi-conducteurs classiques aussi bien pour des applications hyperfréquences que de commutation. Puis nous aborderons la caractérisation de transistors HEMTs AlGaN/GaN, en régime continu et en régime pulsé. Enfin, différentes techniques de modélisation de ces transistors ainsi que leurs avantages et inconvénients seront décrites.

I.1 - Caractéristiques des HEMTs GaN et intérêts pour les applications de commutation et d'amplification de puissance à haut rendement

I.1.1 - Historique du matériau GaN pour des composants électroniques

Les premiers composants électroniques basés sur le Nitrure de Gallium datent du début des années 70, il s'agit de diodes électroluminescentes bleues [1], puis violettes [2]. Cependant, la technologie de l'époque n'était pas encore appropriée à la production du GaN massif, les épitaxies étaient de mauvaise qualité et offraient des désaccords de maille importants entraînant une forte densité de défauts ainsi qu'une morphologie de surface irrégulière.

Les premières solutions apparurent à la fin des années 80 avec l'utilisation d'une couche de nucléation permettant de diminuer grandement les fissures et irrégularités de surface, une couche d'AlN fut notamment utilisée par H. Amano [3]. En 1991, avec l'amélioration des technologies de croissance, en particulier la technologie MOCVD, S. Nakamura obtint de meilleures performances en utilisant une couche de nucléation en GaN [4]. Le premier transistor AlGaIn/GaN fut réalisé de cette manière par M.A. Khan en 1993 [5]. La **figure I.1** permet de résumer les dates importantes dans l'histoire du Nitrure de Gallium.

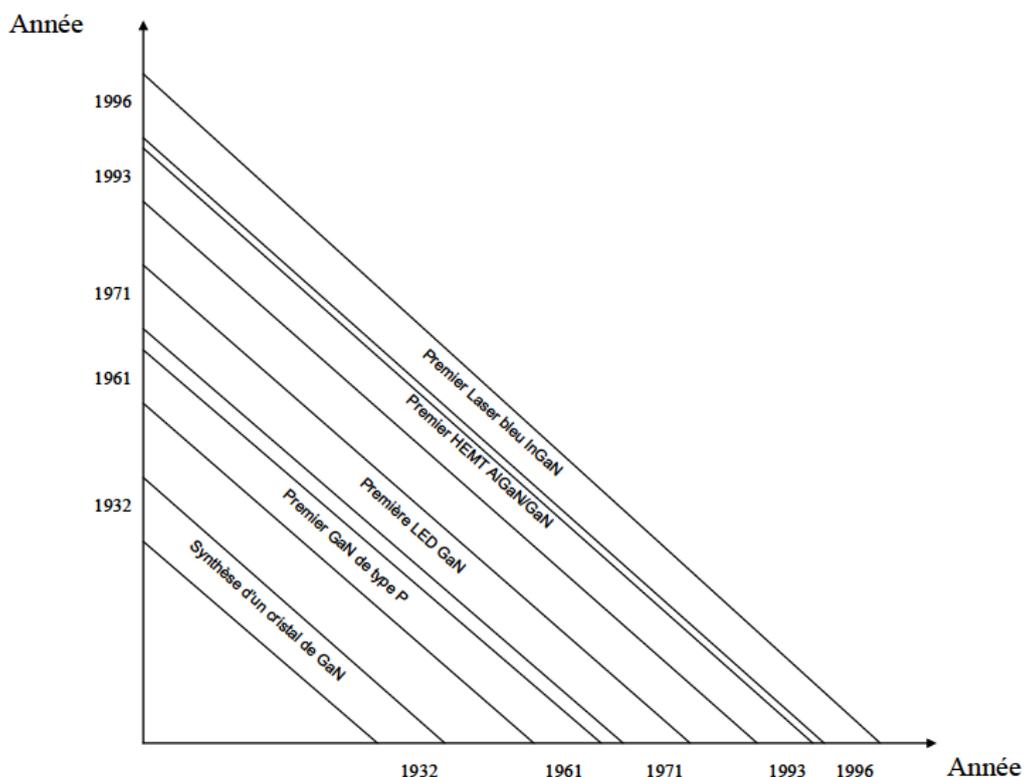


Figure I.1 : dates importantes dans l'histoire du GaN.

Depuis, l'usage des composants GaN, notamment les HEMTs, est devenu courant dans le domaine des hyperfréquences, où plusieurs fabricants commercialisent une gamme complète de transistors. Des composants commerciaux pour des applications de commutation de puissance sont également sur le marché depuis quelques années [6].

I.1.2 - Propriétés électriques et physiques des différents semi-conducteurs

A - Bande interdite et gap du semi-conducteur

La bande interdite représente l'intervalle entre le niveau inférieur de la bande de conduction et le niveau supérieur de la bande de valence d'un matériau. L'énergie de bande interdite est la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction lorsque celui-ci est soumis à une excitation (par exemple thermique ou électrique). Le matériau est un semi-conducteur si le gap E_g , soit la distance énergétique entre le bas de la bande de conduction et le sommet de la bande de valence, est inférieur à 2eV. C'est le cas des matériaux Ge, Si, GaAs, InP, Si par exemple. Le matériau est considéré comme un semi-conducteur grand gap pour des valeurs supérieures à 2 eV. On retrouve parmi ces matériaux le SiC, l'AlN, le diamant et le GaN dont le gap est de 3.39 eV. On notera que les matériaux « grand gap » sont plus résistants aux radiations (plus d'énergie est nécessaire pour que les porteurs franchissent le gap), ce qui en fait de bons matériaux pour les applications spatiales, de même cela permet aux composants de supporter des températures de fonctionnement plus élevées. La **figure 1.2** permet d'illustrer les diagrammes des bandes d'énergie pour des matériaux isolants, semi-conducteurs et conducteurs :

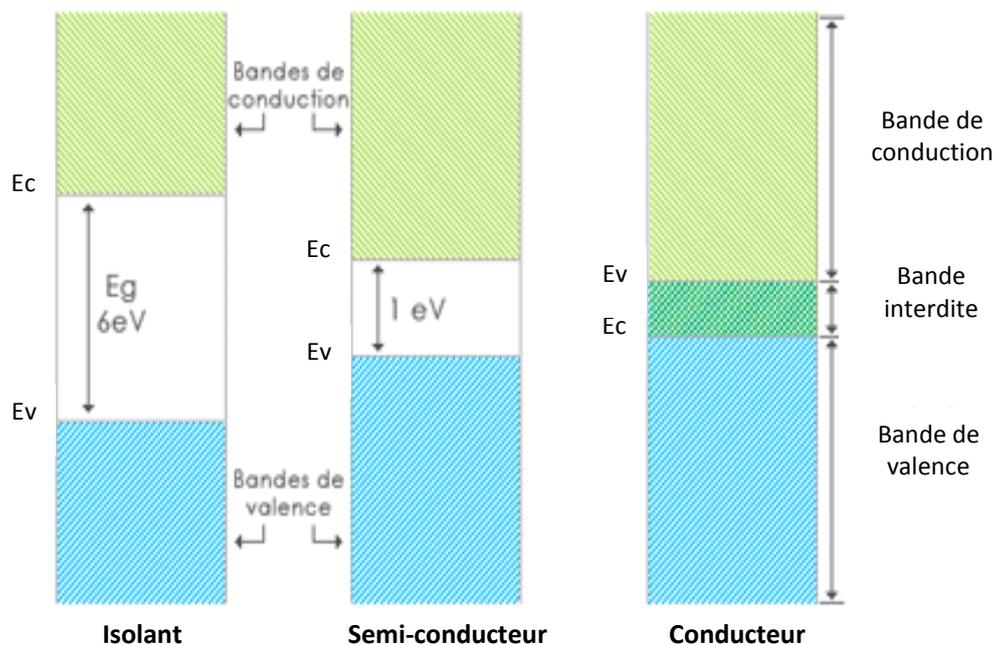


Figure 1.2 : diagramme des bandes d'énergie pour des matériaux isolants, semi-conducteurs et conducteurs.

B - Champ de claquage

Le champ de claquage d'un semi-conducteur est la valeur du champ ou de la tension maximum qu'il peut supporter. La valeur du champ de claquage dépend directement du gap du semi-conducteur selon la relation suivante :

$$E_c \propto E_g^{3/2}$$

On en déduit que plus le gap d'énergie est important, plus le champ de claquage est élevé et donc plus la tension de claquage est haute. Les matériaux à grand gap ont par conséquent des tensions de claquage beaucoup plus élevées que les semi-conducteurs traditionnels, ce qui constitue un avantage pour les applications de forte puissance. Des tensions de claquage allant jusqu'à 1900 V ont été observées pour des HEMTs AlGaIn/GaN [7]. Les gaps ainsi que les champs de claquage correspondants pour des semi-conducteurs courants sont donnés par le **tableau I.1**. On observe jusqu'à un facteur 10 entre les champs de claquage des semi-conducteurs classiques (Si, GaAs) et les semi-conducteurs à grand gap (SiC, GaN).

	Si	GaAs	SiC	GaN	AlN	Diamant
Eg (eV)	1.1	1.43	3.26	3.39	6.1	5.45
Ec (MV/cm)	0.3	0.4	3	3.3	11	5.6

Tableau I.1 : gap et champs de claquage des principaux semi-conducteurs.

La largeur de la bande interdite décroît avec la température, ces variations de la largeur du gap peuvent être décrites approximativement par la fonction suivante pour des températures supérieures à 300 K [8] :

$$E_g(T) = E_g(0) - \frac{A \cdot 10^{-4} \cdot T^2}{T + B}$$

Les valeurs des paramètres A, B et $E_g(0)$ pour quelques semi-conducteurs sont données dans le **tableau I.2** :

	Si	GaAs	GaN	AlN
Eg(0) (eV)	1.17	1.519	3.509	6.118
A (eV/K)	4.73	5.405	7.32	17.99
B (K)	636	204	700	1432

Tableau I.2 : paramètres de variation de la largeur du gap avec la température.

L'évolution du gap pour le silicium, le GaN et le GaAs pour des températures entre 300 et 1000 K selon la formule ci-dessus est donnée par la **figure I.3** :

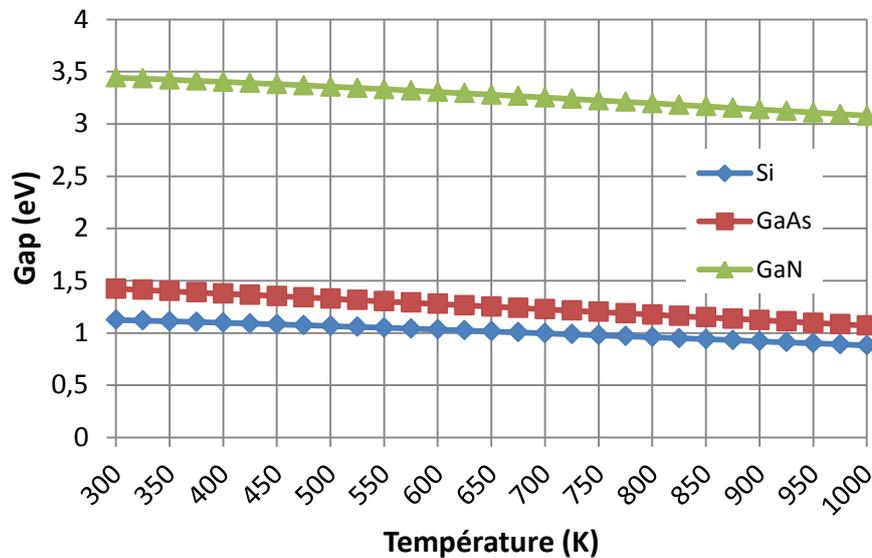


Figure I.3 : évolution du gap avec la température.

Bien qu'évoluant, la valeur du gap ne change pas beaucoup avec la température pour le GaN et le silicium, on observe une variation d'environ 10% de la largeur de bande interdite pour une élévation de la température de 700 degrés. La variation est toutefois plus importante pour l'arséniure de gallium, ce qui limite son utilisation à haute température.

C - Densité de courant

La densité de courant dans un semi-conducteur dépend de la charge des porteurs (charge de l'électron), de la densité de porteurs (η en cm^{-3}) ainsi que de leur vitesse de dérive (v en cm/s). Elle est donnée par la relation suivante :

$$J = q \cdot \eta \cdot v$$

La densité de porteurs intrinsèque dans un semi-conducteur dépend du gap du matériau et de la température selon la relation suivante, A étant une constante dépendant du matériau et k la constante de Boltzmann ($1.38 \cdot 10^{-23} \text{ J/}^\circ\text{K}$) :

$$\eta_i = A \cdot T^3 \cdot e^{-\frac{E_g(0)}{k \cdot T}}$$

Comme montré précédemment, la bande interdite $E_g(T)$ ne varie que très lentement en fonction de la température, la densité de porteurs intrinsèques est donc principalement une fonction exponentielle de la température. La densité en porteurs intrinsèques est donc un paramètre important à prendre en compte pour des applications à haute température. Ainsi, les matériaux à grand gap ($E_g(0)$ supérieur à 2 eV) ayant une faible valeur de densité de porteurs intrinsèques ont un faible courant de fuite pour des valeurs de température

importante. En résumé, nous pouvons dire qu'un matériau possédant une densité de porteurs intrinsèque faible peut être un excellent choix pour les applications à hautes températures.

L'autre paramètre dont dépend la densité de courant est la vitesse de dérive des porteurs, elle est proportionnelle à leur mobilité μ (en $\text{cm}^2/\text{V}\cdot\text{s}$) et au champ électrique E (V/cm) :

$$v = \mu(E).E$$

L'évolution de la vitesse de dérive des porteurs en fonction du champ électrique pour différents semi-conducteurs est représentée sur la **figure I.4** :

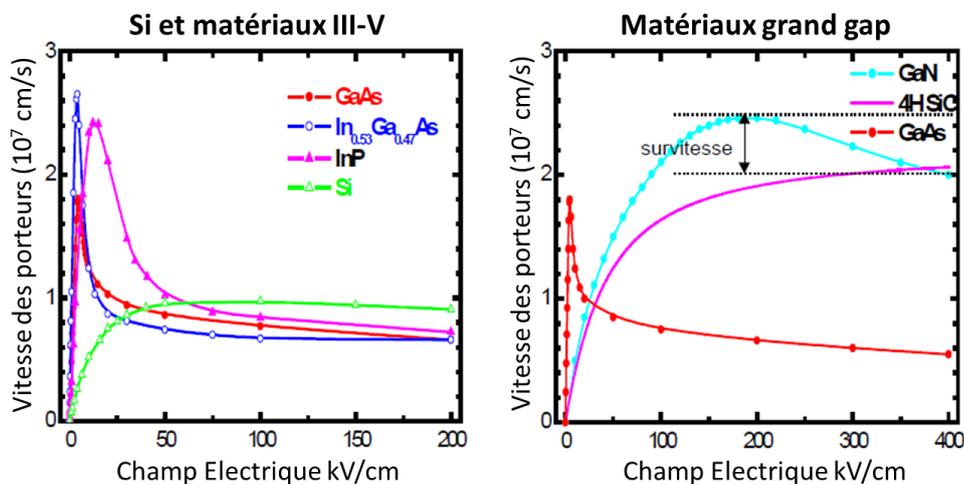


Figure I.4 : évolution de la vitesse de dérive des porteurs avec le champ électrique.

Seuls les éléments de la colonne III-V présentent un pic de survitesse, alors que pour les autres éléments la vitesse de dérive des porteurs est croissante jusqu'à la saturation (la vitesse des porteurs devient constante, c'est la vitesse de saturation v_{sat}). Pour le nitrure de gallium, le pic de survitesse se produit pour un champ électrique d'environ 200 kV/cm , alors que pour l'arséniure de gallium le champ électrique pour le pic de survitesse est d'environ 5 kV/cm . Cela signifie que la vitesse des porteurs dans le GaN est très supérieure à celle du GaAs pour des forts champs électriques. Comme nous l'avons vu précédemment, la vitesse de dérive est directement proportionnelle à la mobilité des porteurs, elle est donc elle aussi influencée par la température [9]. Comme le montre la **figure I.5**, pour une température de 500 °K par exemple, la vitesse de dérive des porteurs est 3.8 fois plus grande dans le GaN que dans le GaAs pour un même champ électrique appliqué de 0.2 MV/cm .

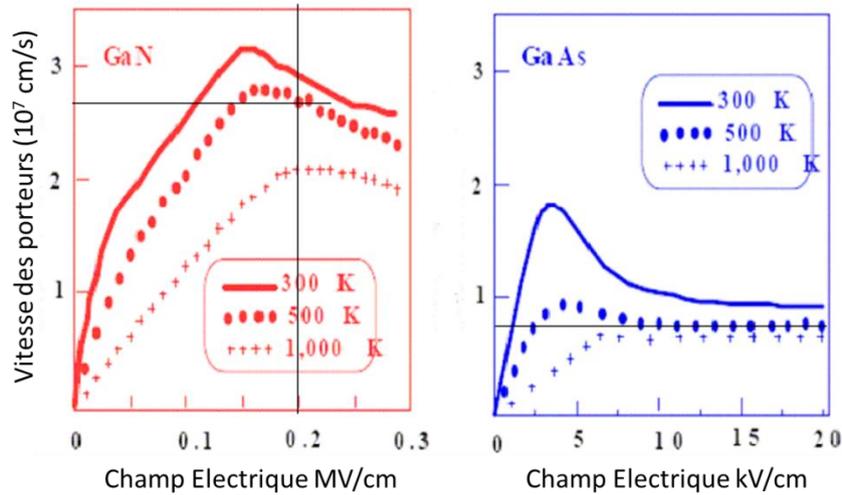


Figure 1.5 : vitesse de dérive des porteurs en fonction du champ électrique pour différentes températures.

La vitesse de saturation des porteurs est 2 à 3 fois plus grande pour les matériaux à grand gap que pour le silicium ou l’arséniure de gallium, on voit donc tout l’intérêt d’utiliser un semi-conducteur grand gap ayant une grande vitesse de dérive des porteurs pour générer un fort courant. Il est important de noter aussi que la vitesse de saturation des matériaux à grand gap est obtenue pour des champs électriques beaucoup plus grands que pour les matériaux Si ou GaAs, ce qui permet d’obtenir un maximum de courant en polarisation le composant à de fort niveaux de tension, et donc de maximiser la puissance. Le **tableau 1.3** donne vitesse de saturation, mobilité et densité des porteurs pour différents semi-conducteurs.

	Si	GaAs	SiC	GaN	AlN	Diamant
Vsat (10⁷ cm/s)	1	1	2	1.5-2	1.8	2.7
μ (cm²/V.s)	1350	8500	700	900	1100	1900
ni (cm⁻³)	1.5 10 ¹⁰	1.79 10 ⁶	8.2 10 ⁻⁹	1.9 10 ⁻¹⁰	10 ⁻³¹	1.6 10 ⁻²⁷

Tableau 1.3 : vitesse de saturation, mobilité et densité des porteurs pour différents semi-conducteurs.

La mobilité des porteurs, qui influence la vitesse de dérivation des porteurs et donc la densité de courant dans un semi-conducteur, peut être améliorée par l’utilisation de la structure HEMT. En effet, cette structure confine les porteurs dans un puits de potentiel, et de cette manière accroît leur mobilité. Dans le cas des HEMTs AlGaIn/GaN, la mobilité est d’environ 1500 à 2000 cm²/V.s dans le puits de potentiel alors qu’elle est de 900 cm²/V.s dans le matériau épitaxié sans hétérojonction.

D - Fréquence de fonctionnement

La capacité d'un composant à monter en fréquence est déterminée notamment par sa fréquence de transition F_T , qui correspond à la fréquence pour laquelle le gain en courant du transistor vaut 1 (0 dB). Dans le cas d'un transistor HEMT, elle est proportionnelle à la vitesse de saturation des porteurs v_{sat} et à la longueur de grille L [10] :

$$F_T = \frac{v_{sat}}{2.\pi.L}$$

On note que plus la vitesse de saturation est élevée, plus la fréquence de transition augmente. Les matériaux grand gap ayant des vitesses de saturation élevées, ils font de bons candidats aux applications en haute fréquence. Dès 2001, la fréquence de transition pour des HEMTs AlGaN/GaN dépassait 100 GHz [11]. Récemment des composants grands gap InAlN/AlN/GaN atteignent des F_T supérieures à 300 GHz [12].

E - Tension de coude et résistance à l'état passant R_{ON}

La tension de coude d'un transistor est la tension de transition entre la zone ohmique et la zone de saturation du courant de sortie du transistor, elle est illustrée sur la **figure 1.6** :

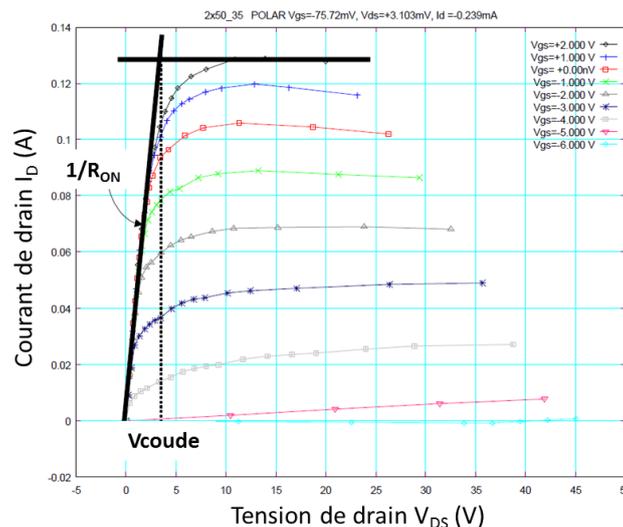


Figure 1.6 : exemple de caractéristique courant-tension d'un transistor GaN (largeur de grille 0.1 mm).

Avoir une tension de coude la plus faible possible permet de maximiser l'excursion courant/tension et donc la puissance potentiellement délivrée par le transistor.

La résistance à l'état passant (R_{ON}) correspond à la résistance équivalente entre le drain et la source du transistor lorsque celui-ci fonctionne dans sa zone ohmique. Cette résistance doit être la plus faible possible, notamment dans le cas des applications où le transistor est utilisé en commutation (R_{ON} crée des pertes par conduction lorsque le

transistor est à l'état passant). La tension de coude et la résistance à l'état passant sont liées, une faible R_{ON} entraîne une faible tension de coude.

R_{ON} est inversement proportionnelle à la mobilité des porteurs, des dispositifs GaAs (mobilité de 8500 cm²/V.s) auront donc une tension de coude et donc une R_{ON} très faible par rapport aux autres semi-conducteurs usuels dont les mobilités sont relativement proches (voir [tableau I.3](#)).

F - Propriétés thermiques

La conductivité thermique est la quantité d'énergie sous forme de chaleur que peut transmettre un matériau soumis à une différence de température. Elle représente donc la quantité de chaleur transférée par unité de surface et par unité de temps sous un gradient de température.

Une mauvaise dissipation de la chaleur par le composant entraîne une élévation de température dans celui-ci et donc une baisse de la mobilité des électrons ce qui dégrade fortement les performances du transistor à la fois en fréquence et en puissance. Une forte conductivité thermique est donc préférable pour des applications à forte puissance et/ou haute température. La conductivité thermique (K , en W.m⁻¹.K⁻¹) est donnée par la loi de Wiedemann-Franz :

$$K = LT.\sigma$$

Dans cette expression L est le nombre de Lorentz (2.45.10⁻⁸ W.Ω/K²), T la température en K et σ est la conductivité électrique du substrat en S/m. On note que des matériaux ayant une faible conductivité électrique seront bons pour la réalisation de composants passifs (pertes électrique dans le substrat faible) en revanche, leur conductivité thermique étant également faible, ils feront des composants actifs de puissance limités, c'est notamment le cas du GaAs qui a une conductivité électrique faible et de ce fait une conductivité thermique 5 fois inférieure à celle du SiC et 3 fois inférieure au GaN par exemple ([tableau I.4](#)).

	Si	GaAs	SiC	GaN	AlN	Diamant
K (W.m⁻¹.K⁻¹)	1.5	0.5	4.5	1.5	2.5	20

Tableau I.4 : conductivité thermique de différents matériaux.

On parle également de la résistance thermique (R_{th} en K/W), elle est inversement proportionnelle à la conductivité thermique et directement liée à la puissance dissipée P_{diss} (en W), ΔT est l'élévation de la température du composant :

$$R_{th} \propto K \quad \text{et} \quad R_{th} = \frac{\Delta T}{P_{diss}}$$

G - Synthèse et intérêt du GaN

Les propriétés physiques et électriques principales des semi-conducteurs ainsi que leur lien avec les performances en puissance et en fréquence des composants sont résumés par la **figure I.7** :

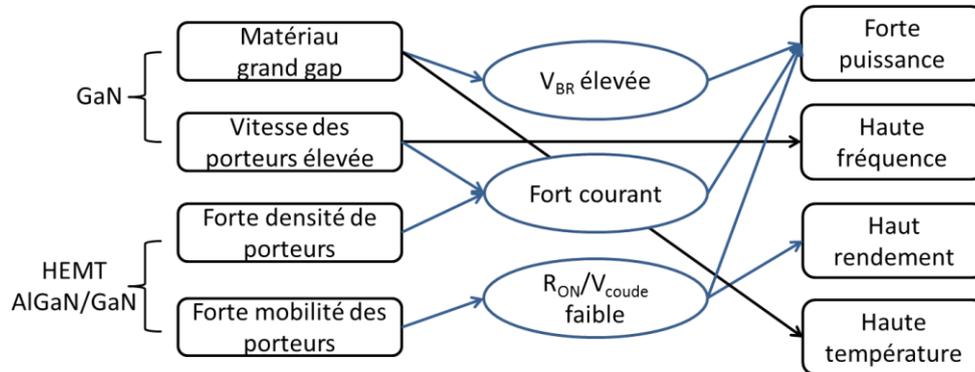


Figure I.7 : diagramme des liens entre les paramètres physiques et électriques des semi-conducteurs et les performances en puissance et en fréquence des composants.

Le matériau GaN possède une largeur de bande interdite très importante (3.39 eV), ce qui entraîne, malgré une conductivité thermique moyenne, une bonne tenue en température ainsi qu'une forte capacité à supporter des tensions de polarisation élevées. De plus, l'utilisation de matériaux à grande bande interdite permet d'accroître considérablement la discontinuité des bandes lors de la mise en œuvre de structures à hétérojonction telles que les HEMT AlGaIn/GaN sur lesquelles plus de détails seront donnés dans la partie suivante. Ce type de structure, par le confinement des porteurs dans un puits de potentiel (découlant de la discontinuité des bandes) permet d'augmenter la densité de porteurs du gaz d'électron bi-dimensionnel qui devient très importante (environ $1.10^{13} \text{ cm}^{-2}$), ce qui permet un courant de sortie très élevé.

Le GaN a également une grande vitesse de saturation (2.10^7 cm/s) à des niveaux de champ électrique importants, ce qui influe directement sur le courant de sortie du transistor et donc sur la puissance. D'autre part, la grande vitesse de saturation joue sur la fréquence de transition qui conditionne le transistor à travailler en hautes fréquences.

La mobilité des porteurs pour le GaN pur est relativement faible, cependant l'utilisation de structures à hétérojonction permet d'obtenir une mobilité supérieure à la plupart des semi-conducteurs (notamment le Si et le SiC), cela induit une tension de coude relativement faible et donc de bonnes performances en puissance et des rendements élevés.

En résumé, les transistors de puissance conçus à partir de la technologie GaN, notamment les HEMTs, constituent l'un des meilleurs candidats possibles pour les applications de puissance micro-ondes.

I.1.3 - Figures de mérite

Le choix du composant RF en fonction de l'utilisation et des performances envisagées demeure crucial pour les applications micro-ondes de puissance. C'est dans ce but que diverses figures de mérite ont été élaborées. Les trois figures de mérite prédominantes sont les figures de mérites de Johnson (Johnson's Figure of Merit), de Baliga (Baliga's Figure of Merit) et de Keyes (Keyes's Figure of Merit).

A - Facteur de mérite de Johnson

Le facteur de mérite de Johnson JFM [13] prend en compte le champ de claquage du matériau E_c ainsi que la vitesse de saturation des porteurs v_{sat} .

$$JFM = \left(\frac{E_c \cdot v_{sat}}{2\pi} \right)$$

Il traduit le potentiel du matériau semi-conducteur pour des applications hautes fréquences et forte puissance.

B - Facteur de mérite de Baliga

Le facteur de mérite de Baliga BFM [14] prend en compte la permittivité électrique du matériau ϵ_r , le champ de claquage E_c et la mobilité μ .

$$BFM = \epsilon_r \cdot \mu \cdot (E_c)^3$$

Le facteur de mérite de Baliga accorde plus d'importance au champ de claquage, il est donc plus orienté vers l'aspect de tenue en tension du matériau.

C - Facteur de mérite de Keyes

Le facteur de mérite de Keyes KFM [15] fait intervenir la conductivité thermique du matériau K , la permittivité électrique ϵ_r et la vitesse de saturation des porteurs v_{sat} , c est la vitesse de la lumière dans le vide.

$$KFM = K \cdot \left(\frac{c \cdot v_{sat}}{4 \cdot \pi \cdot \epsilon_r} \right)^{0.5}$$

Ce facteur permet d'évaluer les performances fréquentielles d'un matériau à haute température.

Les semi-conducteurs usuels sont comparés suivant ces figures de mérite (normalisées par rapport au silicium) dans le [tableau I.5](#) :

	Si	GaAs	SiC	GaN	Diamant
JFM	1	2.6	16.6	27.5	90
BFM	1	15.6	263	544	27000
KFM	1	0.45	4.6	1.6	32.1

Tableau I.5 : comparaison des semi-conducteurs par différentes figures de mérite.

On remarque que le GaN devance largement le Si et le GaAs pour les 3 figures de mérite, aussi bien au niveau de la puissance, de la tenue en tension et de la thermique. Il fait également mieux que le carbure de silicium à part sur l'aspect thermique. Le diamant possède des performances électriques très attractives qui en font potentiellement le semi-conducteur idéal. Il demeure cependant non exploité pour la fabrication de composants électroniques du fait de ses difficultés actuelles d'élaboration.

On peut également formuler les figures de mérite directement en termes de caractéristiques électriques propres aux transistors, ce qui permet une comparaison plus aisée lors du choix des transistors. Une figure de mérite en puissance dépend notamment de la tension de claquage et la résistance à l'état passant d'un transistor [16]:

$$PFM = \frac{V_{BR}^2}{R_{ON}}$$

Là encore, les composants GaN se distinguent, comme on peut le voir sur la [figure I.8](#), leur potentiel en termes de résistance RON à tension de claquage donnée est supérieur au Si et surtout au SiC.

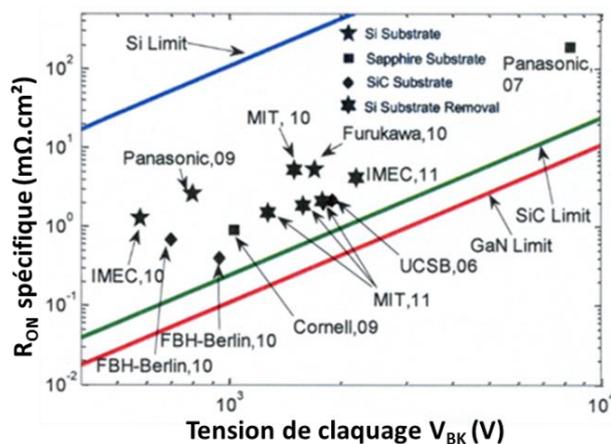


Figure I.8 : comparaison entre le Si, le SiC et le GaN en termes de RON en fonction de la tension de claquage.

Pour les applications de commutation, une autre figure de mérite est couramment utilisée, elle fait intervenir la résistance à l'état passant R_{ON} et la charge de grille Q_G (en Coulombs). Elle rend compte de la capacité du composant à commuter rapidement tout en conservant un rendement élevé. Cette figure de mérite en commutation s'exprime de la manière suivante:

$$CFM = R_{ON} \cdot Q_G$$

Les composants GaN ont des résistances à l'état passant faible, de plus l'utilisation de la structure HEMT (détaillée par la suite) permet d'obtenir des capacités de grille (dont dépend Q_G) et de drain relativement faibles, ces composants sont donc prometteurs aussi bien en fréquence, qu'en puissance et en commutation.

On note que cette figure de mérite ne prend en compte que les capacités de grille, il est possible de prendre également en compte la capacité de drain C_{DS} qui influe aussi sur la vitesse de commutation d'un transistor.

I.1.4 - La structure HEMT

A - Rapide historique

Les premiers transistors HEMT (High Electron Mobility Transistor) sont apparus en 1980 (Fujitsu, Thomson) [17] [18]. En 1985, les HEMTs sont présentés comme les composants micro-onde ayant les plus faibles caractéristiques en bruit au monde. Du fait de leurs remarquables performances en bruit, ces transistors étaient utilisés initialement en astronomie dans des radiotélescopes.

Plus tard, les HEMTs seront implantés dans des récepteurs de télévision pour capter les signaux des satellites géostationnaires (36000km d'altitude). Evolution du MESFET (Metal Semi-conductor Field Effect Transistor), qu'ils supplantent à partir des années 90, Les HEMTs sont désormais largement utilisé en tant que composant faible bruit et d'amplification de puissance micro-ondes dans les systèmes de télécommunications terrestres et spatiales, dans les radiotélescopes, dans les récepteurs de télévision par satellite et dans bon nombre de systèmes électroniques, des téléphones portables aux véhicules automobiles.

B - Principe de fonctionnement

a - Principe général

Le transistor HEMT [19] est principalement une source de courant contrôlée en tension. En effet, une tension variable appliquée sur l'accès de grille d'un composant permet de faire varier le courant circulant entre les deux autres électrodes, le drain et la source du transistor. Le HEMT apparait comme une évolution du MESFET, permettant de palier au problème de transport électronique dans un matériau dopé. Les transistors de type HEMT présentent une hétérojonction, c'est-à-dire une jonction entre deux matériaux ayant des

énergies de bande interdite différentes. La conséquence de cette hétérojonction est la création d'un canal très fin ayant une très faible résistance à l'interface entre les 2 matériaux. Ce canal de très faible résistance entraîne une mobilité d'électrons élevée (origine du nom HEMT), il est aussi appelé gaz d'électrons à deux dimensions. Les électrons piégés dans le gaz 2D peuvent être fournis soit par une couche donneuse dopée (cas de la couche AlGaAs des HEMTs AlGaAs/GaAs par exemple) soit par des phénomènes de polarisations piézoélectriques et spontanées pour les matériaux à base de Nitrure (cas des HEMTs AlGaN/GaN notamment) [20]. L'effet de source de courant contrôlée en tension est lié au phénomène de variation de la densité de porteurs de ce gaz bidimensionnel d'électrons sous l'influence d'une tension appliquée à l'accès grille du composant, cet effet est en opposition au principe du MESFET dans lequel une tension appliquée sur la grille contrôle la largeur du canal de conduction entre le drain et la source.

b - Principe de l'hétérojonction

Le fonctionnement du transistor HEMT repose sur l'utilisation d'une hétérojonction. Le principe de l'hétérojonction est basé sur la juxtaposition de deux matériaux ayant des largeurs de bandes interdites différentes. Nous utiliserons l'exemple des HEMTs AlGaN/GaN, composants utilisés pour ces travaux de thèse. Dans ce cas, la juxtaposition d'un matériau au gap plus large (AlGaN : 3,82eV) et d'un autre de plus faible gap (GaN : 3,4eV), entraîne la formation d'une discontinuité de la bande de conduction à l'interface (ΔE_c). La [figure 1.9](#) présente les niveaux d'énergie mis en jeu dans chacun des matériaux de l'hétérojonction considérés séparément, c'est-à-dire avant contact.

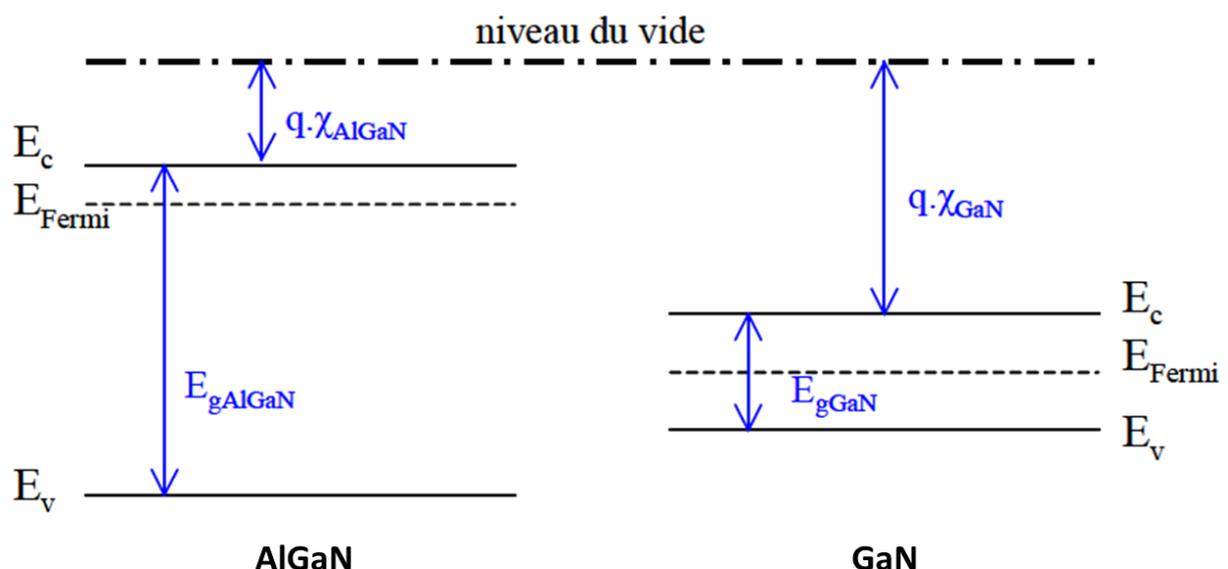


Figure 1.9 : diagramme des bandes d'énergie mises en jeu dans une hétérojonction avant contact.

D'après les règles d'Anderson [21], lors de la jonction de deux matériaux, leurs niveaux de Fermi s'alignent. Le niveau du vide ne pouvant pas subir de discontinuités, il en

résulte une discontinuité de la structure de bande d'énergie à l'interface. La **figure I.10** montre les niveaux d'énergie à l'hétérojonction après contact de l'hétérojonction AlGaIn/GaN.

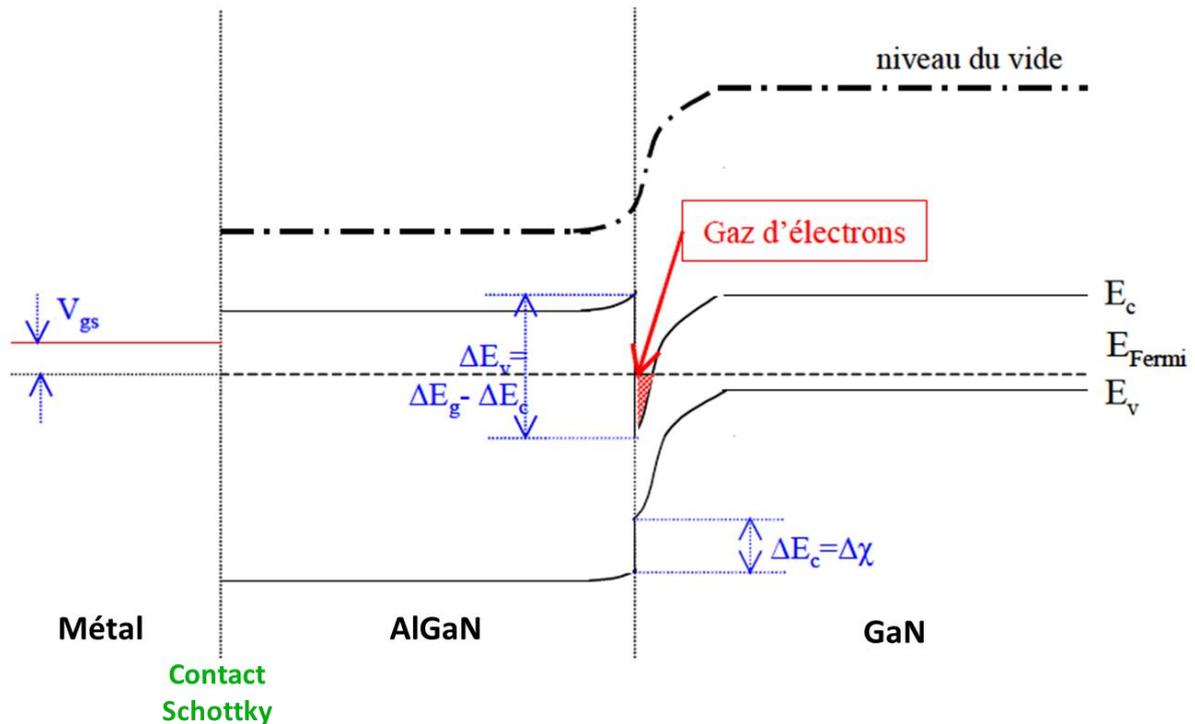


Figure I.10 : niveaux d'énergie des matériaux à l'hétérojonction AlGaIn/GaN après contact.

Un puits quantique se forme à l'interface entre l'AlGaIn et le GaN, dans le matériau de plus faible largeur de bande interdite (le GaN). Ce puits reste cantonné dans la partie supérieure du matériau à plus faible gap car le matériau de plus grande largeur de bande interdite joue le rôle de barrière. C'est dans ce puits que se regroupent les charges libres qui forment les gaz d'électrons à deux dimensions, entraînant ainsi le phénomène de conduction. Cette zone est appelée le canal.

La densité de porteurs dans ce canal dépendra du niveau de Fermi dans la bande interdite et de la différence de largeur de cette bande entre les deux matériaux (ΔE_g). Une tension appliquée sur la grille d'un HEMT via un contact Schottky permet de faire varier le niveau de Fermi, donc de moduler le gaz d'électrons et par conséquent la concentration de porteurs dans le canal. C'est pourquoi une tension appliquée sur la grille d'un HEMT permet le contrôle du courant qui circule entre drain et source.

Une saturation du courant s'observe en raison de la vitesse de saturation des électrons pour des fortes valeurs de tension entre drain et source. Si l'on compare une fois encore le HEMT au MESFET, la mobilité des électrons étant plus élevée dans un gaz que dans un matériau dopé, il est plus rapide que ce dernier, permettant des applications à plus haute fréquence.

c- Structure physique

Un transistor HEMT est constitué essentiellement de trois matériaux différents : le substrat, un matériau à large bande interdite et un matériau à plus faible bande interdite. Comme nous l'avons vu précédemment, c'est la jonction de ces deux derniers matériaux qui conduit à la formation d'un gaz d'électrons à l'interface, modulé par la tension appliquée au composant. La **figure I.11** représente les différents éléments d'un transistor HEMT.

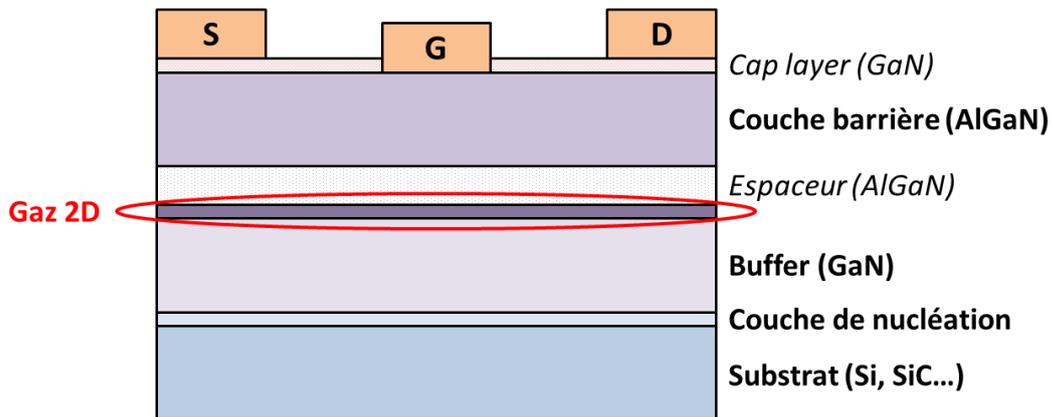


Figure I.11 : structure physique d'un transistor HEMT.

- **Substrat :**

Réaliser un substrat en GaN massif n'est pas encore possible faible coût et en grande taille, de ce fait les substrats de nitrure de gallium sont encore très peu utilisés. Nous avons donc recours à des substrats de matériaux différents, sur lesquels peut s'opérer la croissance d'une couche de cristaux de nitrure de gallium. Les matériaux les plus utilisés sont actuellement le carbure de silicium (bonne dissipation thermique et bon accord de maille avec le GaN) et le silicium (cout plus faible).

- **Couche de nucléation :**

Elle permet d'adapter en paramètre de maille le buffer GaN et le substrat de manière à minimiser le taux de défauts structuraux, notamment les dislocations.

- **Buffer :**

Aussi appelée couche tampon, cette couche est constituée du matériau de plus faible largeur de bande interdite (ici le GaN, $E_g=3.39$ eV). C'est dans ce matériau, dans la partie supérieure de la couche, que va se former le gaz bidimensionnel d'électrons.

- **Espaceur :**

Cette couche était présente sur les premiers transistors HEMT AlGa_N/Ga_N qui avaient recours à un dopage de la couche d'AlGa_N pour augmenter la densité de porteurs. Elle est réalisée à partir du matériau de plus large gap, ici il s'agit du nitrure de gallium-aluminium AlGa_N ($E_g=3.82$ eV). Ce film non intentionnellement dopé affiche une épaisseur de quelques nanomètres et permet de réduire les interactions électrons-donneurs entre le gaz d'électrons et la couche barrière. En effet, la proximité de ces particules entraînerait une interaction électrostatique connue sous le nom de Coulomb Scattering [22]. Un compromis doit être trouvé concernant l'épaisseur de cette couche : plus elle est épaisse, plus la mobilité des électrons dans le canal augmente, mais plus la densité de porteurs diminue. Il n'y a plus d'espaceur sur les HEMT AlGa_N/Ga_N modernes du fait d'une densité de porteurs suffisante générée par les phénomènes de polarisations piézoélectrique et spontanée.

- **Couche barrière :**

Aussi appelée couche donneuse lorsqu'elle est dopée, elle représente une épaisseur de quelques nanomètres de matériau grand gap AlGa_N. La concentration d'aluminium peut varier de 20% à 30% environ. Une zone déplétée se forme dans cette couche au niveau de la jonction Schottky de grille ainsi qu'aux abords de l'hétérojonction. Elle permet de réguler les propriétés électriques du transistor.

- **Cap layer :**

Cette couche est une couche superficielle permettant de produire de bons contacts ohmiques de drain et de source. Cette fine couche de nitrure de gallium permet également de réduire les résistances d'accès et d'empêcher l'oxydation de la couche d'AlGa_N. Afin d'obtenir une bonne jonction Schottky de grille, un recess complet de cette épaisseur doit être réalisé sous le contact de grille. On ajoute que cette couche n'est pas toujours nécessaire.

Les effets limitatifs des HEMT Ga_N seront discutés dans la partie suivante consacrée à leur caractérisation.

I.2 - Caractérisation électrique des HEMTs GaN

Les premiers travaux de cette thèse ont été consacrés à la caractérisation et l'évaluation d'HEMTs AlGaIn/GaN sur substrat SiC pour des applications d'amplification de puissance en bande S. Les transistors caractérisés sont issus d'une part de la plaque AEC1142 et d'autre part de la plaque KQ002 réalisées dans le cadre du laboratoire commun TIGER (III-V lab/IEMN). Les transistors AEC1142 ont une largeur de grille est de 300 μm (4 doigts de 75 μm chacun) et une longueur de grille de 0.25 μm . Les transistors KQ002 ont une largeur de grille de 900 μm (12*75 μm). Des mesures DC et de paramètres S en régimes continu (AEC1142, KQ002) et pulsé (AEC1142) ont été réalisées.

I.2.1 - Mesures en régime continu

A - Caractéristiques statiques

La méthode de caractérisation en régime continu est la méthode de caractérisation des transistors la plus commune. Elle consiste en l'application de différentes tensions continues sur le drain et la grille des transistors et du relevé des courants correspondants. Les caractéristiques I(V) ainsi obtenues permettent d'avoir une première approche des qualités d'un composant (courant de drain maximum, R_{ON} , tension de claquage...).

a - Mesures relatives au courant de drain

Le courant de drain I_{DS} dépend de la densité des porteurs dans le gaz bidimensionnel η ainsi que de leur vitesse moyenne v , ces deux grandeurs dépendent fortement des tensions de polarisation de transistors, la tension de grille V_{GS} permet notamment de moduler la densité des porteurs tandis que la tension de drain V_{DS} influe sur la vitesse des porteurs. Le courant de drain est également proportionnel à la largeur de grille du transistor W :

$$I_{DS} = e.\eta(V_{GS}).v(V_{DS}).W$$

Souvent, afin de comparer les performances de différents transistors indépendamment de leurs tailles, le courant est normalisé par rapport à la largeur de grille et s'exprime en A/mm.

La première valeur d' I_{DS} essentielle pour mesurer les performances d'un transistor est le courant maximum que peut délivrer le transistor I_{DSsat} à canal ouvert ($V_{GS}=0V$). I_{DSsat} s'exprime de la manière suivante [23] :

$$I_{DSsat} = W.e.\beta.(-V_p - V_{DSsat}).v_{sat}$$

Où e est la charge de l'électron ($1.6.10^{-19}$ C), v_{sat} la vitesse de saturation des porteurs, W la largeur de grille (développement du transistor), V_p la tension de pincement, V_{DSsat} la tension

de drain à partir de laquelle le courant sature (correspond au maximum de courant) et β est un paramètre dépendant des caractéristiques physique des couches épitaxiées.

Une seconde valeur du courant de drain importante pour vérifier le bon fonctionnement d'un transistor est la valeur du courant de drain pour un V_{DS} fixé (selon l'application visée) et $V_{GS}=V_P$:

$$I_{DS0} = I_{DS}(V_{GS} = V_P, V_{DS} \text{ fixe})$$

Ce paramètre détermine la capacité d'un transistor à pincer, c'est-à-dire à empêcher complètement le passage d'un courant entre le drain et la source, ce qui est particulièrement important pour les applications de commutation où le transistor est amené à se comporter comme un interrupteur, un courant de fuite lorsque le transistor est pincé entraîne une perte de rendement (voir chapitre II). En réalité il subsiste toujours un flux résiduel qui peut être dû à :

- Une mauvaise qualité du contact Schottky, qui entraîne une déplétion partielle du canal, les porteurs restants créent un courant résiduel.
- Des porteurs circulant en surface du semi-conducteur [24].
- Des défauts cristallographiques dans le buffer [25]. Ils peuvent entraîner un détournement des électrons du canal ou générer des porteurs supplémentaires.
- Des porteurs générés par la grille. Dans ce cas le courant de drain se confond avec le courant de grille.

La **figure I.12** représente la caractéristique $I(V)$ mesurée sous pointes en régime continu d'un HEMT AlGaN/GaN de développement total de 300 μm issu de la plaque AEC1142.

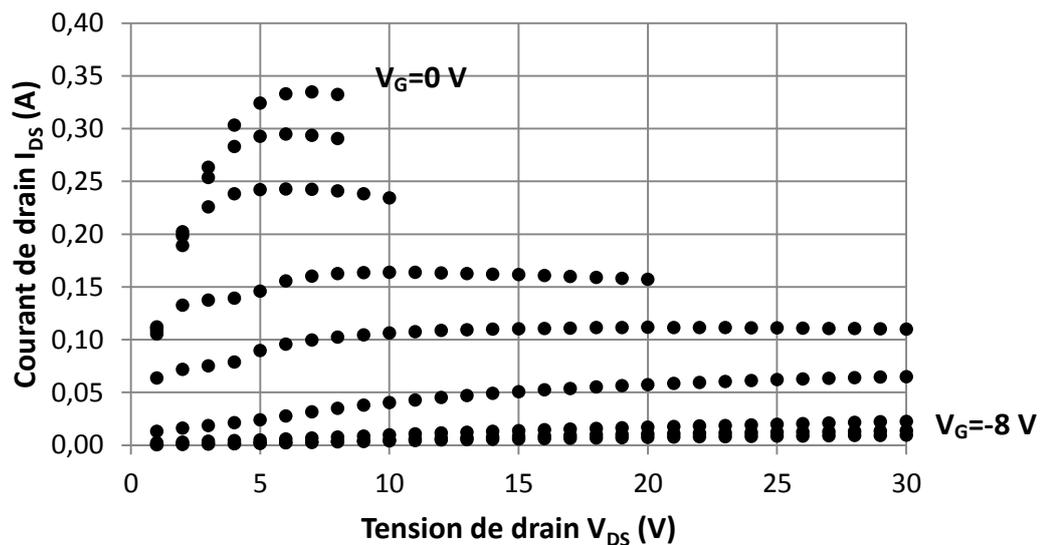


Figure I.12 : caractéristique $I(V)$ statique du transistor AEC1142 4x75 μm .

Le courant de saturation I_{DSsat} de ce transistor est de 0.33 A pour $V_{GS}=0$ V et $V_{DSsat}=7$ V, soit 1.1 A/mm. On note un courant résiduel de 9 mA pour $V_{GS}=-8$ V et $V_{DS}>20$ V, révélateur

d'un défaut de pincement. Dans le cadre de ces mesures, la tension de drain est limitée à 30 V afin de préserver les composants dont la tension de claquage est comprise entre 35 et 40 V.

Les autres composants ayant fait l'objet d'une caractérisation DC sont les transistors HEMTs AlGaIn/GaN KQ0002 d'un développement de grille de 900 μm . Leur caractéristique $I(V)$ est représentée sur la [figure I.13](#) :

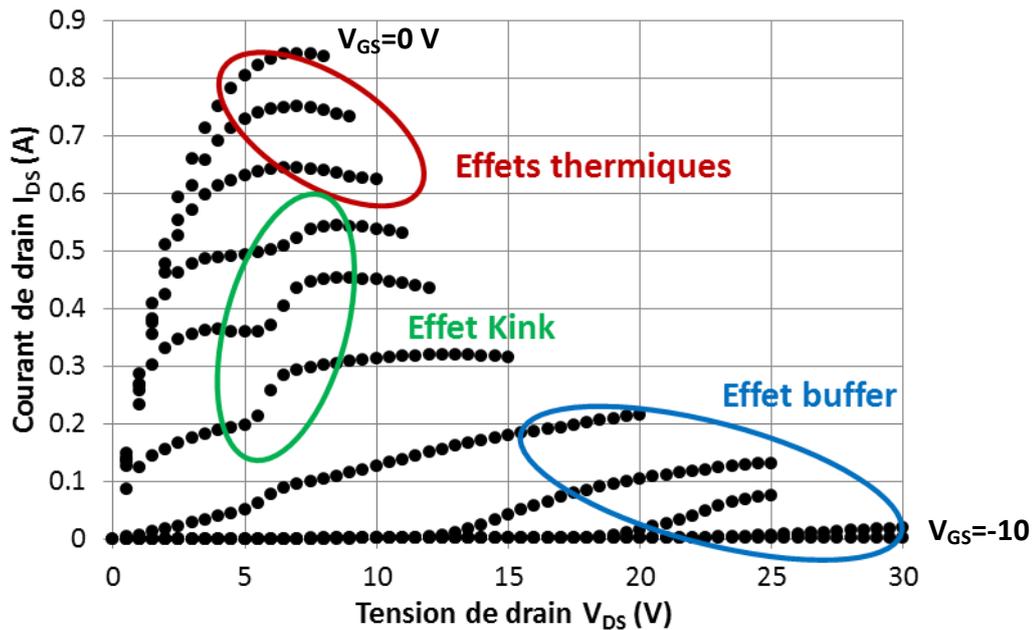


Figure I.13 : caractéristique $I(V)$ statique du transistor KQ002 12x75 μm .

Pour ce transistor le courant de saturation I_{DSsat} est de 0.84 A pour $V_{GS}=0$ V et $V_{DSsat}=7$ V, soit 0.93 A/mm.

On remarque que pour les tensions de grille proches de 0 V, le courant de drain diminue après V_{DSsat} , la cause de cette diminution du courant de drain est le phénomène d'auto-échauffement du transistor lorsque la puissance dissipée augmente, en effet la mobilité des porteurs diminue avec la température et donc le courant de drain diminue lui aussi. Les mesures en régime pulsé (qui seront abordées par la suite) permettent de s'affranchir de ces effets. L'utilisation d'un substrat en carbure de silicium (bonne conductivité thermique) permet de limiter ses effets indésirables par rapport à un substrat classique en silicium.

On observe également sur cette caractéristique $I(V)$ un autre phénomène typique des transistors HEMTs, il s'agit de l'effet Kink. Cet effet se traduit par une augmentation brutale du courant de drain pour une certaine valeur de V_{DS} . L'augmentation du courant est due au relâchement d'électrons précédemment bloqués par des pièges présents dans la structure du transistor [26], une étude et caractérisation détaillée de cet effet Kink dans des HEMTs AlGaIn/GaN a été réalisée dans [27].

Le dernier phénomène est l'apparition d'un courant de drain pour un V_{GS} inférieure à la tension de pincement lorsque la tension V_{DS} augmente, ce phénomène est majoritairement dû à des défauts cristallographiques dans le buffer [25], d'où l'appellation "effet buffer". Ils peuvent entraîner un détournement des électrons du canal ou générer des porteurs supplémentaires responsables de l'apparition du courant de drain quand le transistor est pincé.

Un autre élément obtenu à partir des mesures DC est la transconductance g_M . La transconductance représente la variation du courant de drain par rapport à une variation de la tension de grille. Elle est donnée par la dérivée partielle du courant I_{DS} par rapport à V_{GS} pour une tension de drain constante et s'exprime en Siemens (S) ou Ω^{-1} :

$$g_M = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=const}$$

La transconductance mesurée pour le transistor AEC1142 est représentée sur la [figure I.14](#), la tension de drain est de 6 V, c'est la tension pour laquelle la transconductance est la plus élevée pour ce transistor. On note deux points importants, tout d'abord le point où la transconductance maximale (G_{Mmax}) est atteinte, plus elle est élevée, plus le gain potentiel du transistor est élevé, dans le cas du transistor AEC1142, $G_{Mmax} = 0.074$ S pour une tension de grille de -4.6 V. L'autre point important est la tension de pincement V_p à partir de laquelle la transconductance commence à augmenter rapidement, ici $V_p = -5.7$ V.

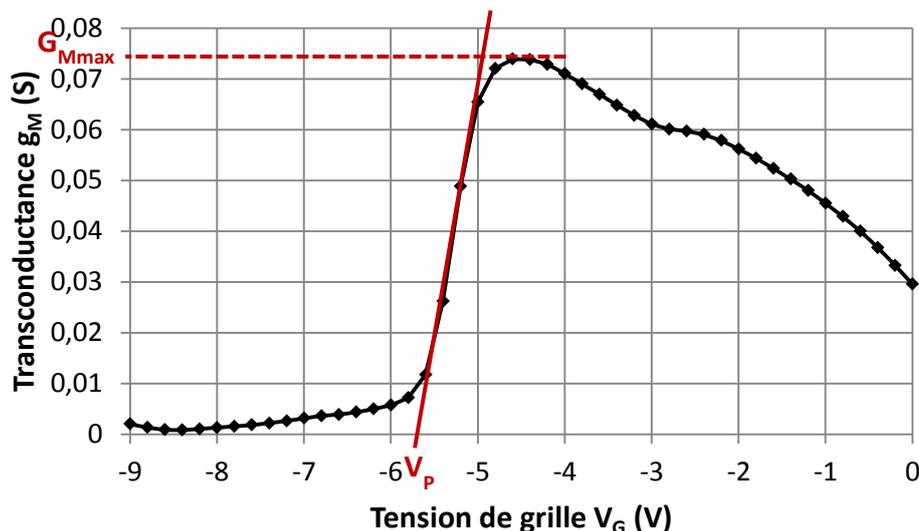


Figure I.14 : transconductance du transistor AEC1142 $4 \times 75 \mu m$, $V_{DS} = 6$ V.

De la même manière, la transconductance maximale des transistors KQ002 est de 0.209 S pour une tension de grille de -6 V, la tension de pincement est environ de -6.8 V.

b - Mesures relatives au courant de grille

La jonction de grille est pour les transistors HEMTs est un contact Schottky entre métal et semi-conducteur, pour ces contacts le courant de porteurs minoritaires est négligeable. En sommant les contributions relatives à l'émission thermoélectronique et à la diffusion des porteurs dans la zone de charges d'espace, le courant de grille peut s'exprimer de la manière suivante [28] :

$$I_G = I_{Th} + I_{Diff} = A.T^2.e^{\frac{-e.\phi_B}{kT}} \left(e^{\frac{eV_{GS}}{kT}} - 1 \right) + en_{Diff}.e^{\frac{-e.V_D}{kT}} \left(e^{\frac{eV_{GS}}{kT}} - 1 \right)$$

Dans cette expression, A est la constante de Richardson pour le semi-conducteur considéré (en $A.cm^{-2}.K^{-2}$), T est la température (en K), e la charge de l'électron (C), ϕ_B est l'énergie de barrière vue par un électron venant du semi-conducteur en l'absence de polarisation (eV), k est la constante de Boltzmann ($1,38.10^{-23} m^2. Kg.s^{-2}.K^{-1}$). V_{GS} est la tension de polarisation de la grille du transistor (V), V_D est le potentiel de barrière résultant de la polarisation (du semi-conducteur vers le métal) et n_{Diff} le nombre de porteurs participant au phénomène de diffusion.

L'évolution du courant de grille par rapport à la tension de grille est un bon indicateur de la qualité du contact Schottky. D'autres phénomènes viennent s'ajouter au calcul précédent, par exemple les mécanismes de courants tunnel ou de génération de paires électrons-trous. Ces phénomènes mènent à la prise en compte d'un facteur d'idéalité η , proche de 1 si seul l'effet thermoélectronique est considéré. La qualité du contact Schottky est dégradée lorsque le coefficient d'idéalité augmente. Le courant de grille peut ainsi s'exprimer sous la forme d'un courant de diode :

$$I_G = I_S \left(e^{\frac{eV_{GS}}{\eta kT}} - 1 \right)$$

I_S représente le courant de saturation total (de sources diffusive et thermoionique) et η le facteur d'idéalité défini précédemment.

A partir du tracé du courant de grille en fonction de la tension de commande V_{GS} , il est possible d'extraire le facteur d'idéalité représentatif de la qualité du contact Schottky. En effet, η est donné par l'expression suivante :

$$\eta = \frac{e}{\alpha \cdot kT}$$

Dans cette expression, le paramètre α est la pente de la caractéristique $I_G(V_{GS})$ lorsque $V_{GS} > 0$ et $V_{DS} = 0$ V en échelle logarithmique, il faut veiller lors de la mesure à ne pas dépasser quelques μA de courant de grille afin de ne pas détériorer les transistors.

La caractéristique d'un transistor AEC1142 est représentée en échelle linéaire (figure I.15) et en échelle logarithmique (figure I.16):

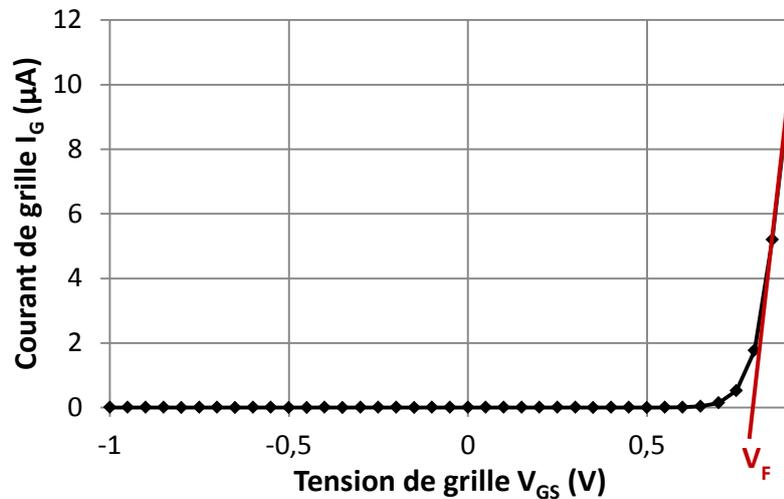


Figure I.15 : courant de grille polarisée en direct AEC1142 4x75 μm , $V_{DS}=0$ V, échelle linéaire.

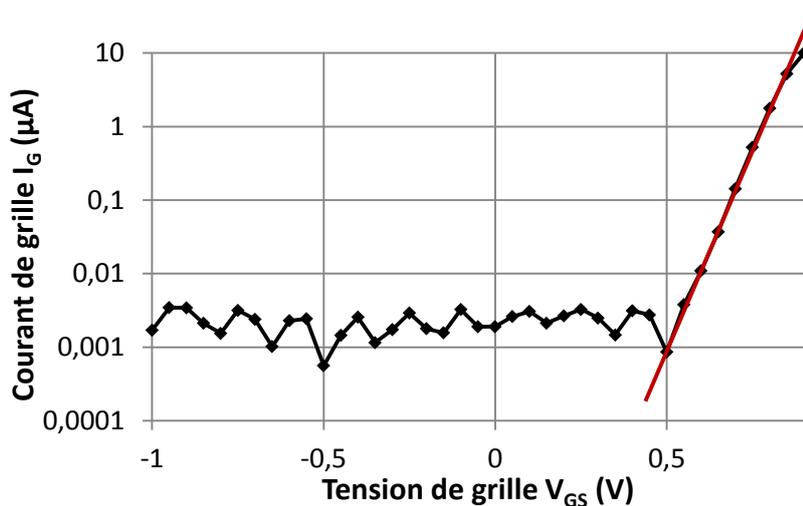


Figure I.16 : courant de grille polarisée en direct AEC1142 4x75 μm , $V_{DS}=0$ V, échelle logarithmique.

La figure I.15 montre une allure caractéristique d'une diode, on remarque notamment une tension de seuil V_F d'environ 0.8 V. La figure I.16 permet d'observer un courant de fuite (lorsque $V_{GS}<0$) de l'ordre de quelques nA, ce qui reste très faible. On peut extraire la valeur de la pente dans la zone linéaire et selon l'équation (20) (pour une température de 300 K), le facteur d'idéalité est de 1.68 pour le transistor AEC1142. En appliquant la même méthode au transistor KQ002, la tension de seuil est de 1 V et le facteur d'idéalité vaut 1.55.

B - Caractérisation en hyperfréquences

Nous avons précédemment caractérisé et évalué les performances DC en régime continu des transistors AEC1142, leurs performances fréquentielles vont maintenant être évaluées.

a - Rappels sur les paramètres S

Les matrices de caractérisation usuelles d'impédances ($[Z]$) et d'admittances ($[Y]$) nécessitent pour leur détermination l'utilisation de courts-circuits et de circuits ouverts qui sont difficilement réalisables dans le domaine des hyperfréquences, on a donc recours à la matrice des paramètres S (Scattering) qui utilise la théorie des ondes de propagation [28]. Un quadripôle (par exemple un transistor) peut être caractérisé par les ondes incidentes et réfléchies à son entrée et à sa sortie, comme illustré par la **figure I.17** :

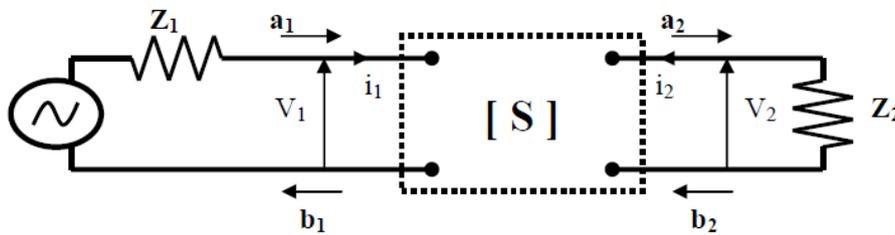


Figure I.17 : représentation des ondes incidentes et réfléchies d'un quadripôle.

Les ondes incidentes et réfléchies sont définies par les relations suivantes, où i prend les valeurs 1 et 2 dans le cas d'un quadripôle, Z_i vaut généralement 50Ω :

$$a_i = \frac{1}{2} \left(\frac{V_i}{Z_i} + \sqrt{Z_i} \cdot I_i \right)$$

$$b_i = \frac{1}{2} \left(\frac{V_i}{Z_i} - \sqrt{Z_i} \cdot I_i \right)$$

Les relations entre ces ondes sont les suivantes :

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad \text{soit} \quad \begin{cases} b_1 = S_{11} \cdot a_1 + S_{12} \cdot a_2 \\ b_2 = S_{22} \cdot a_2 + S_{21} \cdot a_1 \end{cases} \quad (23)$$

- S_{11} représente le coefficient de réflexion à l'entrée lorsque la sortie est adaptée.
- S_{12} représente le coefficient de transmission inverse lorsque l'entrée est adaptée.
- S_{21} représente le coefficient de transmission direct lorsque la sortie est adaptée.
- S_{22} représente le coefficient de réflexion à la sortie lorsque l'entrée est adaptée.

Les paramètres S ne sont utilisables que pour un fonctionnement en petits signaux, en effet, ils ne tiennent pas compte des effets non-linéaires (apparition de fréquences harmoniques notamment) qui apparaissent lorsque les niveaux de puissance des signaux augmentent.

b- Evaluation fréquentielle

Le principal critère d'évaluation fréquentielle d'un transistor est sa fréquence de transition F_T (aussi appelée fréquence de coupure), elle est défini comme la fréquence à laquelle le gain en courant est égal à 1 (ou 0 dB). Le gain en courant s'exprime à partir des paramètres S de la manière suivante :

$$|H_{21}| = \left| \frac{-2 * S_{21}}{(1 - S_{11}) * (1 + S_{22}) + S_{12} * S_{21}} \right|$$

Dans le but d'évaluer la fréquence de transition des transistors AEC1142 et KQ002, des mesures de paramètre S en régime établi ont été réalisées jusque 40 GHz (mesures sous pointes, analyseur de réseaux Agilent E8361), les résultats pour un transistor AEC1142 sont présentés sur la **figure I.18** :

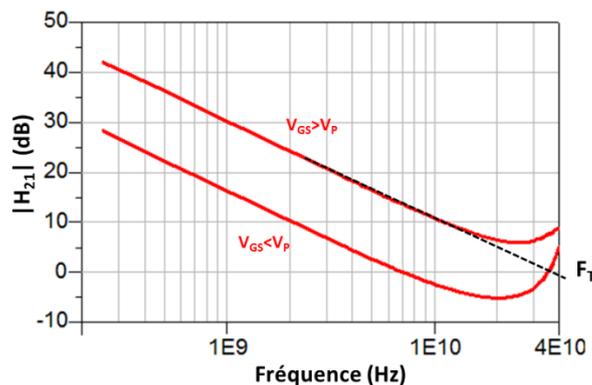


Figure I.18 : mesure en fréquence du gain en courant d'un transistor AEC1142.

Les mesures ont été réalisées pour une tension de drain de 6 V et pour des tensions de grilles autour de V_p , la fréquence de transition maximum est obtenue pour une tension de grille correspondant à G_{Mmax} , en effet la fréquence de transition est liée à la transconductance selon la relation suivante, où C_{GS} et C_{GD} sont les capacités grille-source et grille-drain du transistor:

$$F_T = \frac{g_M}{2\pi \cdot (C_{GS} + C_{GD})}$$

Les fréquences de transition maximales pour les transistors AEC1142 et KQ002 sont respectivement de 40 et 30 GHz, ce qui est largement suffisant pour des applications en bande S (2-4 GHz).

I.2.2 - Mesures en régime pulsé

A - Intérêt et principe de la mesure

Les mesures en régime pulsé permettent d'étudier les principaux effets limitatifs des composants HEMTs GaN, à savoir les phénomènes thermiques et la présence de pièges.

Effets thermiques:

La température d'un composant dépend de la température ambiante, mais aussi de son auto-échauffement. En effet, le passage d'un courant dans le canal du transistor crée une élévation de température localisée au niveau de l'hétérojonction. L'évacuation de la chaleur ainsi produite dépend de la topologie du transistor ainsi que des matériaux constituant le dispositif et de leur conductivité thermique, celle-ci n'étant jamais infinie, l'auto-échauffement du transistor est inévitable.

Pour un transistor HEMT, à chaque couple (V_{GS} , V_{DS}) correspond un courant de drain (et de grille, mais trop faible pour créer un échauffement) et donc la température du composant évolue en permanence en fonction de la polarisation. Cependant, ces variations de température ne sont pas instantanées, on parle de régime transitoire [29]. En utilisant les mesures par impulsions, où les tensions (et donc les courants) de polarisation sont appliquées sur des durées très courtes, on obtient un réseau de caractéristiques considéré comme isotherme (dont la température dépend de la température ambiante et du point de polarisation de repos choisi). Les impulsions doivent avoir une durée inférieure au temps d'établissement des effets thermiques pour que la mesure soit valide ainsi qu'un temps de repos suffisamment long entre elles.

Effets de pièges:

Les effets de pièges font référence à une occupation par les porteurs de niveaux d'énergie à l'intérieur de la bande interdite du matériau (à priori impossibles). Leur activation dépend d'un apport en énergie (tensions de polarisation, énergie thermique, énergie électromagnétique par luminescence). Les pièges, du fait de leur influence sur les porteurs disponibles, sont responsables d'une dégradation des performances électriques des composants. L'origine physique de ces pièges dans les transistors GaN, bien que pas totalement identifiée, semble provenir des défauts cristallins tels que les dislocations, les lacunes d'azote ou la présence d'impuretés, les défauts de surface ont aussi une influence sur la présence de pièges [30].

De même que pour les effets thermiques, les mécanismes de capture et de libération des électrons par les pièges ont un temps d'établissement non instantané. D'une manière générale, d'après des études spécifiques réalisées sur les effets de pièges en régime pulsé [31], les constantes de temps relatives à l'établissement des pièges sont supérieures à la microseconde. Les mesures pulsées permettent de figer l'état des pièges en fonction de la

polarisation de repos choisie et d'ainsi mettre en évidence certains phénomènes dus aux pièges tels que le Drain-Lag ou le Gate-Lag comme nous le verrons par la suite.

B - Méthode de caractérisation et banc de mesure

Comme énoncé précédemment, la caractérisation en mode pulsée repose sur l'utilisation d'impulsions pour polariser le transistor et effectuer les mesures DC et de paramètres S si besoin à partir d'un point de repos donné (V_{GS0} , V_{DS0}). Ces impulsions doivent être de courte durée devant les constantes d'établissement des pièges ainsi que devant la constante d'auto-échauffement du transistor, elles doivent également être suffisamment espacées. Dans le cas des mesures effectuées ici, la durée totale des impulsions est de 500 ns avec une période de 10 μ S (soit un rapport cyclique de 5 %). Les temps de montée et descente des signaux DC sont fixés à 150 ns afin de minimiser les surtensions et pics de courant dus aux capacités et inductances parasites des câbles du banc de mesure notamment.

Le banc de mesure utilisé pour effectuer les mesures en régime pulsé est représenté sur la [figure I.19](#) :

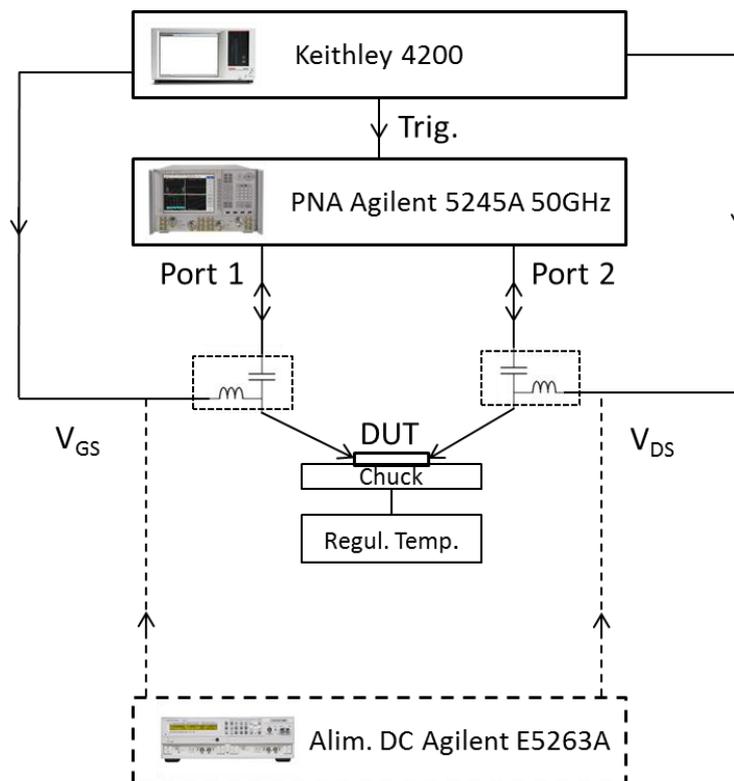


Figure I.19 : schéma synoptique du banc de mesure pulsé (DC et paramètres S).

Ce banc permet à la fois de réaliser des mesures pulsées en DC (par exemple pour observer l'influence des pièges ou de l'auto-échauffement sur les caractéristiques $I(V)$ du transistor) et en paramètre S (dans le cadre de la réalisation d'un modèle pour un transistor

à partir d'un point de polarisation donné). L'analyseur paramétrique Keithley 4200 permet de fournir les signaux de polarisation au composant à mesurer (DUT, Device Under test), il est synchronisé avec un analyseur de réseau Agilent 5245A permettant la réalisation de mesures en paramètres S jusqu'à 50 GHz. Le signal hyperfréquence est appliqué durant toute la durée de l'impulsion et la mesure (aussi bien DC que paramètres S) est acquise entre 75 et 90 % de la durée de l'impulsion afin d'être dans des conditions de mesures établies. Les appareils ainsi que l'acquisition des mesures sont contrôlés via une interface de commande sur PC. La seconde alimentation Agilent E5263A permet de réaliser des mesures statiques classiques sur le même banc (les 2 alimentations ne peuvent fonctionner en même temps).

C - Mise en évidence des effets thermiques

Les premiers limitatifs des HEMTs AlGaIn/GaN qui peuvent être mis en évidence par les mesures pulsées sont les effets d'auto-échauffement (effets thermiques), pour cela on réalise les mesures à partir du point de repos ($V_{GS}=0$ V; $V_{DS}=0$ V), pour ce point de repos, aucun courant ne circule entre le drain et la source du transistor ($V_{DS}=0$ V), il n'y a donc pas d'échauffement de celui-ci. Une comparaison des caractéristiques I(V) en régime statique et en régime pulsé pour le transistor AEC1142 est montrée par la **figure I.20** :

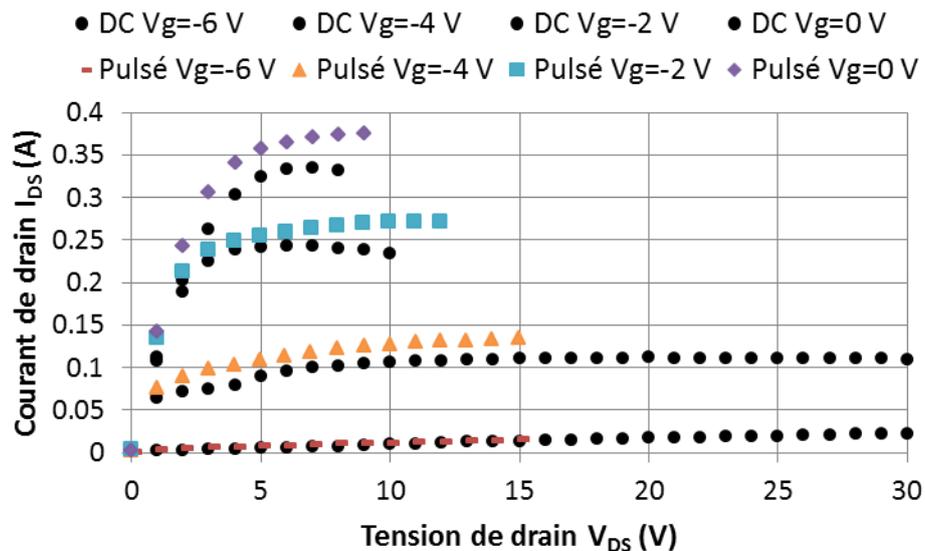


Figure I.20 : mesures pulsées du courant I_{DS} du transistor AEC1142 pour un point de repos ($V_{DS0}=0$ V; $V_{GS0}=0$ V).

Les courants de drain sont comparés pour des tensions de grilles comprises entre -6 V (transistor pincé) et 0 V (canal ouvert). On remarque qu'au pincement, le courant de drain est le même entre les mesures statiques et pulsées, par contre à mesure que V_{GS} et donc I_{DS} augmentent, l'écart entre les mesures devient visible, avec un courant plus fort en régime pulsé. On note notamment un écart allant jusqu'à 40 mA pour $V_{GS}=0$ V, de plus l'effet de chute du courant lorsque V_{DS} augmente n'apparaît plus lors des mesures pulsées.

D - Mise en évidence des effets de pièges

De même que pour les effets thermiques, les effets de pièges des HEMTs AlGaN/GaN peuvent être mis en évidence par les mesures pulsées. Il existe 2 catégories de phénomènes de pièges :

- **Le "Gate-Lag"**

R. Vetry [32] montre que pour des niveaux de courant de drain importants lorsque la grille est ON (courant de drain $\gg 0$ A), des transitions ON/OFF et OFF/ON abruptes de la tension grille provoquent des overshoots sur le courant et sur la tension de sortie. Par contre, si le niveau du courant est suffisamment faible quand la tension de grille est ON, le courant de drain monte lentement jusqu'à atteindre son état établi lorsque la tension de grille passe de façon abrupte de l'état OFF à l'état ON. C'est ce phénomène transitoire du courant de drain que l'on nomme "Gate-Lag".

Ce phénomène s'observe concrètement au moyen de mesures pulsées à partir d'un point de repos ($V_{GS0} < V_P$; $V_{DS0} = 0$ V), où la puissance dissipée est nulle pour limiter les effets thermiques ($V_{DS} = 0$ V) et où des transitions OFF/ON sont réalisées pour chaque point de mesure ($V_{GS} < V_P$). Le Gate-Lag se traduit par une diminution du courant de saturation du transistor par rapport aux mesures à ($V_{GS0} = 0$ V; $V_{DS0} = 0$ V).

La différence sur le courant de drain est attribuée principalement aux pièges de surface. Ces effets de pièges de surface [33] sont causés par des états de surface créés par des défauts et dislocations dans le cristal proche de la surface : des électrons sont alors piégés à la surface de la couche AlGaN. Ces électrons, piégés à la surface sont ionisés quand la tension de grille passe en dessous de la tension de pincement [34]. Les électrons capturés, lorsque la grille est polarisée OFF, ne participent pas au courant de conduction dans le canal quand la grille passe à l'état ON. Ceci est dû au fait que la constante de temps d'émission des pièges est plus grande que la durée des pulses. C'est pourquoi le courant de drain est plus faible lorsque la tension de grille de repos est polarisée OFF, que dans le cas d'une polarisation de repos polarisée ON. Cette limitation du courant I_{DSsat} due aux pièges est un facteur limitant des HEMTs car elle entraîne une diminution de la puissance de sortie du transistor.

- **Le "Drain-Lag"**

Le "Drain-Lag" est le phénomène transitoire du courant de drain lorsque la tension de drain passe de l'état OFF ($V_{DS} = 0$ V) à l'état ON ($V_{DS} > 0$ V) pour une tension de grille constante [35]. Il est principalement attribué à l'injections de porteurs dans le buffer lors de pulses de tension [36].

Il s'observe en utilisant un point de repos où la tension de drain est positive et où la puissance dissipée est nulle pour limiter les effets thermique ($V_{GS} < V_P$). Le Drain-Lag se traduit par une augmentation de la tension de coude du transistor par rapport aux mesures à ($V_{GS0} < V_P$; $V_{DS0} = 0$ V). Cette augmentation de la tension de coude engendre une diminution de

l'excursion en tension de sortie et donc limite la puissance de sortie potentielle, de plus elle s'accompagne d'une augmentation de la R_{ON} du transistor qui conduit à des diminutions des rendements, à la fois dans le cadre de circuits amplificateurs que de circuits basés sur la commutation.

La **figure I.21** montre l'influence du Gate-Lag ainsi que du Drain-Lag sur les caractéristiques I(V) du transistor AEC1142. Le point de polarisation de repos est ($V_{GS0}=-6$ V; $V_{DS0}=20$ V) afin de superposer les 2 effets.

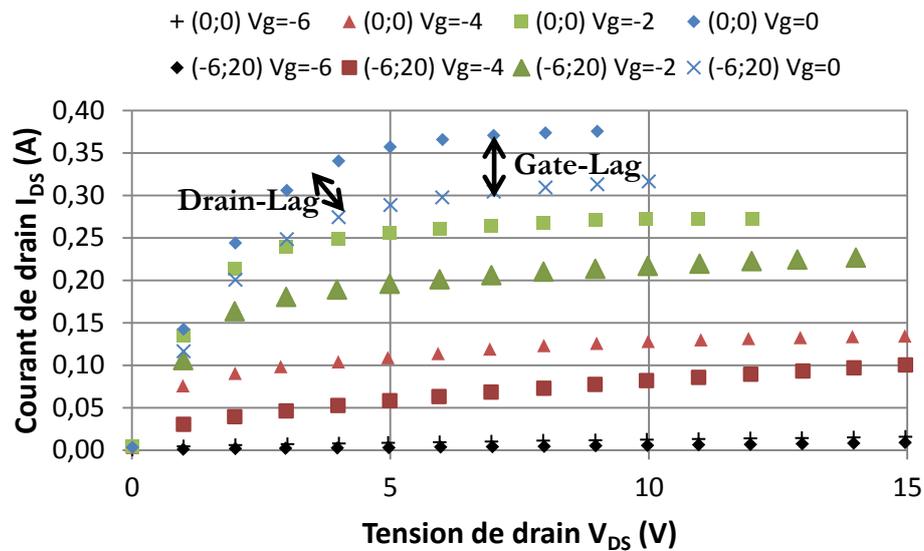


Figure I.21 : mesures pulsées du courant I_{DS} du transistor AEC1142 pour un point de repos ($V_{DS0}=20$ V; $V_{GS0}=-6$ V).

On note une diminution du courant de drain maximum de 60 mA par rapport au point de repos neutre ($V_{DS0}=0$ V; $V_{GS0}=0$ V) ainsi qu'une augmentation de la tension de coude qui passe de 3.5 à 4 V.

I.3 - Modélisation électrique des HEMTs GaN

Après avoir décrit les transistors HEMTs GaN au niveau physique, donnés quelques éléments quant à leur caractérisation électrique DC et fréquentielle et mis en évidence les limitations principales de ces transistors, nous allons maintenant aborder leur modélisation dans le but de concevoir des circuits basés sur ces transistors. Nous décrirons dans cette partie les différentes techniques permettant la modélisation des HEMTs AlGaIn/GaN, en régime linéaire et non-linéaire.

I.3.1 - Modélisation linéaire des HEMTs

A - Schéma équivalent petits signaux

Le schéma équivalent en régime linéaire (petits signaux) est constitué d'éléments localisés (résistances, capacités, inductance) représentant des zones physiques du composant. Les propriétés physiques des composants définissent directement la constitution et la topologie du schéma équivalent petits signaux, les valeurs des éléments du schéma sont issues de grandeurs électriques mesurées. Le schéma usuel pour les transistors à effet de champs est présenté par la [figure 1.22](#), il est une adaptation du schéma en π de Giacoletto [37].

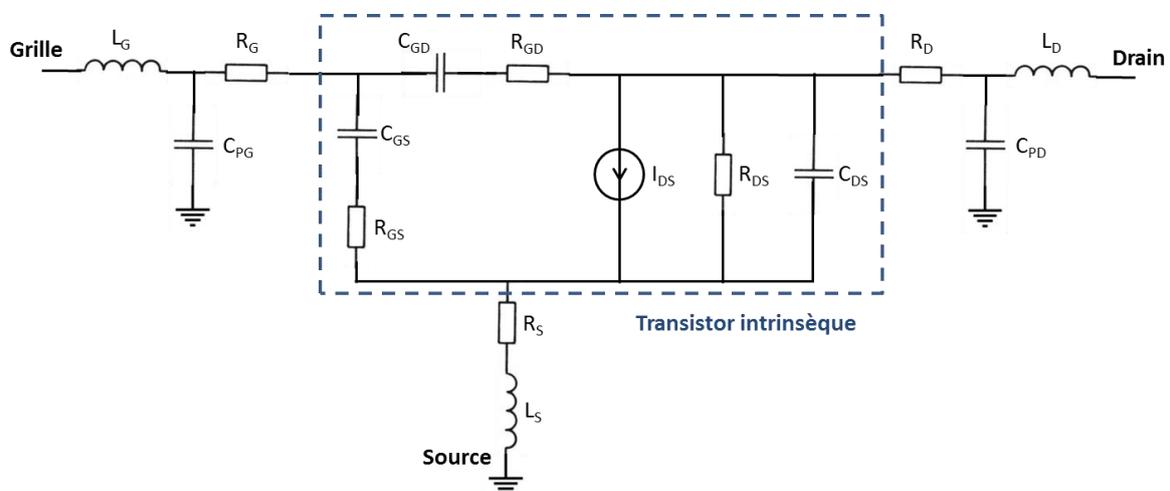


Figure 1.22 : schéma équivalent en régime linéaire d'un transistor HEMT.

Le schéma se décompose en 2 parties, extrinsèque et intrinsèque. La partie extrinsèque représente les accès au transistor, nécessaires pour les mesures sous pointe par exemple et la partie intrinsèque représente le transistor en lui-même.

- **Éléments de la partie extrinsèque**

L_G , R_G et C_{PG} proviennent du modèle linéique d'un tronçon de ligne microruban (permettant l'accès à la grille du transistor). L_G et R_G décrivent les effets selfiques et résistifs observés le long de la direction de propagation et C_{PG} décrit l'effet capacitif du au couplage existant entre la ligne d'accès et le plan de masse inférieur. L_D , C_{PD} et L_S représentent les mêmes effets pour le drain et la source.

R_S et R_D en revanche représentent en grande partie les résistances liées aux contacts ohmiques. La qualité des contacts ohmique détermine directement leurs valeurs.

- **Éléments de la partie intrinsèque**

Les éléments en série C_{GS}/R_{GS} et C_{GD}/R_{GD} modélisent le comportement dynamique du contact Schottky de grille, ils sont représentatifs de la qualité des gravures, des dépôts et des caractéristiques cristallines des différentes couches. C_{GS} et C_{GD} représentent notamment les variations de charges accumulées sous la grille sous l'effet des tensions V_{GS} et V_{GD} . C_{DS} prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source.

Le transport électronique dans le canal est représenté par les éléments localisés entre le drain et la source, il peut être assimilé à un générateur de courant I_{DS} dont la conductance de sortie est représentée par la quantité $1/R_{DS}$. L'expression du courant I_{DS} en fonction de la tension de commande de grille V_{GS} est la suivante:

$$I_{DS} = g_M \cdot e^{-j\omega\tau} \cdot V_{GSint}$$

Dans cette expression, g_M est la transconductance du dispositif, ω est la pulsation de la tension de commande intrinsèque V_{GSint} (tension aux bornes de C_{GS}) et τ est le temps de réponse du composant associé au retard existant entre la commande et son effet sur le canal.

Notons que ce schéma équivalent ne permet pas de modéliser tous les effets observables dans un composant, notamment certaines imperfections au niveau de contact Schottky (effet tunnel ou fuites résistives qui crée un faible courant parasite dans la grille) ou les effets de pièges présents dans les composants GaN (ce problème peut être contourné si le modèle est destiné à fonctionner pour un point de polarisation précis, par exemple pour un amplificateur de puissance, auquel cas des mesures pulsée autour de ce point permettent de prendre en compte les pièges).

B - Extraction des éléments du schéma

a - Extraction des éléments d'accès

Les éléments d'accès (partie extrinsèque du schéma) sont extraits couramment par la méthode appelée FET froid. La méthode consiste en la détermination des éléments série (R, L) puis parallèles (C) par l'application de polarisations spécifiques. Cette méthode a été utilisée et détaillée notamment dans [31] et [38].

Les éléments capacitifs (C_{PG} et C_{PD}), inductifs (L_G , L_D et L_S) ainsi que la résistance de grille R_G varient de manière négligeable avec l'auto-échauffement du transistor, ces éléments sont donc indépendants du point de polarisation et peuvent être déterminés à partir de mesures en mode CW (Continuous Wave, par opposition aux mesures pulsées). En revanche les résistances R_D et R_S varient avec l'auto-échauffement et nécessitent des mesures pulsées.

- **Extraction des inductances d'accès**

Pour extraire les valeurs des inductances d'accès L_S , L_G et L_D , on polarise le transistor à $V_{DS}=0$ V et $V_{GS}>V_B$, où V_B est la tension de mise en direct des diodes grille-source et grille-drain (typiquement V_B est légèrement supérieure à 0V afin de ne pas endommager le transistor). Dans ce cas, la matrice d'impédance (qui peut se déduire des paramètres S facilement) du système s'exprime de la manière suivante :

$$Z_{11} = R_S + R_G + \frac{R_C}{3} + \frac{\eta kT}{qI_G} + j\omega.(L_S + L_G)$$

$$Z_{12} = Z_{21} = R_S + \frac{R_C}{2} + j\omega L_S$$

$$Z_{22} = R_S + R_D + R_C + j\omega.(L_S + L_D)$$

Où R_C est la résistance équivalente du canal sous la grille, on note que nous n'avons pas besoin de connaître cette valeur pour l'extraction des inductances d'accès qui s'expriment de la manière suivante :

$$L_S = \frac{\text{Im}(Z_{12})}{\omega}$$

$$L_G = \frac{\text{Im}(Z_{11}) - \text{Im}(Z_{12})}{\omega}$$

$$L_D = \frac{\text{Im}(Z_{22}) - \text{Im}(Z_{12})}{\omega}$$

- **Extraction des capacités de plot**

Afin d'extraire les valeurs de C_{PG} et C_{PD} , on polarise le transistor à $V_{DS}=0V$ et $V_{GS}<V_p$, en mode CW. Dans ces conditions, le transistor est assimilable à un quadripôle passif. De plus les effets inductifs et résistifs résiduels des éléments d'accès sont masqués par la contribution des capacités, si ce n'est pas le cas il est toujours possible de dé-embedder les inductances extraites précédemment. Le schéma équivalent présenté par le transistor est le suivant :

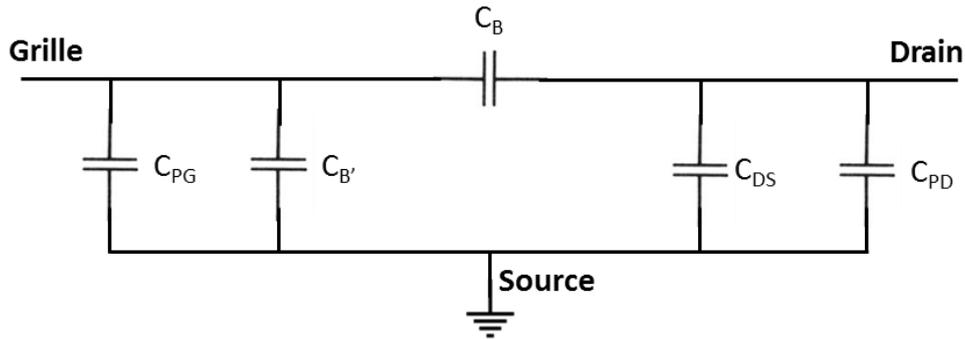


Figure 1.23 : schéma équivalent en régime linéaire d'un transistor HEMT quand $V_{DS}=0 V$ et $V_{GS}<V_p$.

Les paramètres de la matrice d'admittance correspondante au schéma ci-dessus sont donnés par les expressions suivantes :

$$Y_{11} = j\omega.(C_{PG} + C_B + C_{B'})$$

$$Y_{12} = Y_{21} = -j\omega.C_B$$

$$Y_{22} = j\omega.(C_{PD} + C_B + C_{DS})$$

Avec une topologie de grille symétrique ainsi qu'une polarisation symétrique ($V_{DS}=0 V$ donc $V_{GS}=V_{GD}$), on peut effectuer l'approximation $C_B=C_{B'}$. En considérant C_{DS} comme négligeable, on obtient :

$$Y_{11} = j\omega.(C_{PG} + 2C_B)$$

$$Y_{12} = Y_{21} = -j\omega.C_B$$

$$Y_{22} = j\omega.(C_{PD} + C_B)$$

On en déduit les valeurs des capacités :

$$C_B = -\frac{\text{Im}(Y_{12})}{\omega}$$

$$C_{PD} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}$$

$$C_{PG} = \frac{\text{Im}(Y_{11}) + 2 \cdot \text{Im}(Y_{12})}{\omega}$$

- **Extraction des résistances d'accès**

Pour extraire les résistances d'accès, les conditions de polarisation sont les mêmes que pour les inductances (éléments série), soit $V_{DS}=0$ V et $V_{GS}>V_B$. Comme nous l'avons vu précédemment, les résistances d'accès peuvent varier en fonction de la polarisation du transistor, des mesures pulsées à partir du couple (V_{GS0} ; V_{DS0}) correspondant à l'application souhaitée peuvent s'avérer nécessaires. Les valeurs de ces résistances sont données par les expressions suivantes :

$$R_S = \text{Re}(Z_{12}) - \frac{R_C}{2}$$

$$R_G = \text{Re}(Z_{11}) - \text{Re}(Z_{12}) + \frac{R_C}{6}$$

$$R_D = \text{Re}(Z_{22}) - \text{Re}(Z_{12}) - \frac{R_C}{2}$$

R_C est définie comme la résistance équivalente du canal sous la grille, elle est donnée par :

$$R_C = \frac{R_{\text{carré}} \cdot L_G}{W_G} \quad \text{et} \quad R_{\text{carré}} = \frac{1}{q \cdot N_s \cdot \mu}$$

L_G et W_G sont respectivement la longueur et la largeur de la grille du transistor, $R_{\text{carré}}$ est la résistance par carré de la couche qui dépend de la charge de l'électron q , la densité surfacique de porteurs N_s et de la mobilité des porteurs μ .

b - Extraction des éléments intrinsèques

Une fois les éléments extrinsèques obtenus, il est possible d'isoler la structure intrinsèque du transistor par des manipulations matricielles d'épluchage des couches extrinsèques. La méthode de dé-embedding utilisée est décrite dans [31] et [38], seules les expressions des valeurs des éléments intrinsèques en fonction des composantes de la matrice admittance du transistor intrinsèque sont données ici :

$$C_{GD} = -\frac{\text{Im}(Y_{12})}{\omega} \cdot \left(1 + \left(\frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})} \right)^2 \right)$$

$$C_{GS} = \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega} \cdot \left(1 + \left(\frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\text{Im}(Y_{11}) + \text{Im}(Y_{12})} \right)^2 \right)$$

$$C_{DS} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}$$

$$R_{GS} = \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\omega \cdot C_{GS} \cdot (\text{Im}(Y_{11}) + \text{Im}(Y_{12}))}$$

$$R_{GD} = \frac{\text{Re}(Y_{12})}{\omega \cdot C_{GD} \cdot \text{Im}(Y_{12})}$$

$$g_M = \sqrt{(\text{Re}(Y_{21}) - \text{Re}(Y_{12}))^2 + (1 + R_{GS} \cdot C_{GS} \cdot \omega) \cdot (\text{Im}(Y_{21}) - \text{Im}(Y_{12}))^2}$$

$$g_D = \frac{1}{R_{DS}} = \text{Re}(Y_{22}) + \text{Re}(Y_{12})$$

$$\tau = \frac{1}{\omega} \cdot \sin^{-1} \left(\frac{\text{Im}(Y_{12}) - \text{Im}(Y_{21}) - (\text{Re}(Y_{21}) - \text{Re}(Y_{12})) \cdot R_{GS} \cdot C_{GS} \cdot \omega}{g_M} \right)$$

Notons que les paramètres ainsi obtenus sont non-linéaires et dépendent du point de polarisation choisi. Leur extraction en un point précis du réseau de caractéristiques peut être effectuée en mode CW, en revanche, si l'on veut déterminer les évolutions des éléments intrinsèques sur l'intégralité du réseau, les mesures en régime pulsé sont nécessaires. Un exemple des valeurs des paramètres extrinsèques et intrinsèques extraits pour le transistor AEC1142 est présenté par les [tableaux I.6 et I.7](#), les paramètres extrinsèques sont extraits suivant la méthode du FET froid et les paramètres intrinsèques sont extraits pour $V_{DS}=20$ V et $V_{GS}=-5.4$ V.

L_s (pH)	L_G (pH)	L_D (pH)	C_{PG} (fF)	C_{PD} (fF)	R_s (Ω)	R_G (Ω)	R_D (Ω)
0	91	85	61	155	2.9	0.5	6.7

Tableau I.6 : paramètres extrinsèques du transistor AEC1142 ($V_{DS}=20$ V; $V_{GS}=-5.4$ V).

C_{GS} (fF)	C_{GD} (fF)	C_{DS} (fF)	g_M (S)	g_D (S)	T (ps)	R_{GS} (Ω)	R_{GD} (Ω)
147	36	105	0.038	0.0032	1.48	5	4.5

Tableau I.7 : paramètres intrinsèques du transistor AEC1142 ($V_{DS}=20$ V; $V_{GS}=-5.4$ V).

La comparaison, pour des fréquences allant de 750 MHz à 20 GHz, entre la mesure des paramètres S à $V_{DS}=20\text{ V}$ et $V_{GS}=-5.4\text{ V}$ et la modélisation suivant les valeurs précédentes (implémentée sous le logiciel ADS) est donné par la **figure I.24**, on remarque un très bon accord entre mesure et modèle :

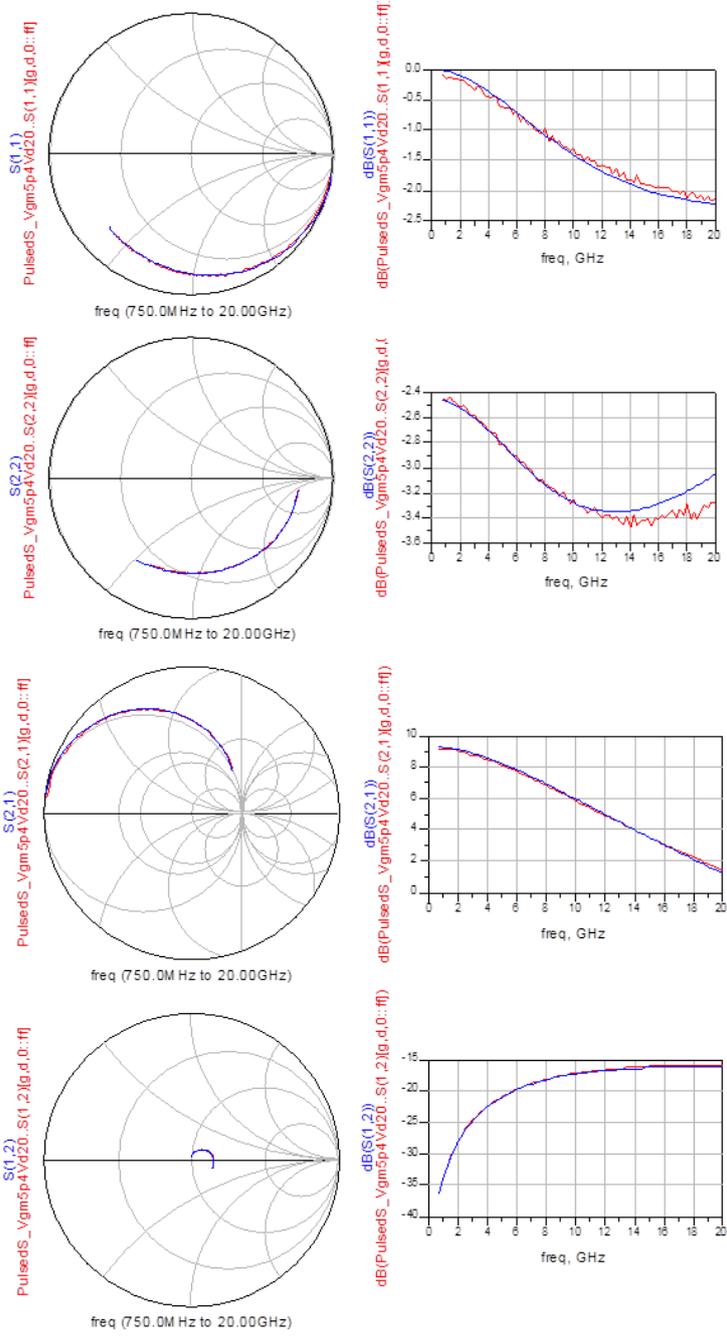


Figure I.24 : comparaison mesure/modèle des paramètres S du transistor AEC1142 ($V_{DS}=20\text{ V}$; $V_{GS}=-5.4\text{ V}$).

I.3.2 - Modélisation non-linéaire des HEMTs

Nous avons précédemment décrit la procédure permettant la modélisation en régime linéaire des transistors HEMTs AlGaN/GaN. Cependant un modèle en régime petits signaux, limité aux faibles variations de tension autour d'une polarisation (V_{DS0} ; V_{GS0}), ne permet pas de décrire le fonctionnement en forte puissance ou en commutation d'un transistor où les variations autour du point de polarisation sont beaucoup plus importantes. Certains éléments du modèle varient beaucoup en fonction de la tension à leurs bornes, notamment les capacités C_{GS} et C_{GD} , qui doivent être modélisées en fonction des tensions de polarisation. La source de courant doit également être modélisée en fonction des caractéristiques $I(V)$ mesurées. Nous décrivons dans cette partie les techniques de modélisation les plus courantes et utilisées dans la suite de ces travaux pour les capacités non-linéaires ainsi que pour les sources de courant.

A - Modélisation des capacités intrinsèques

a - Modélisation empirique

Il est possible de modéliser les capacités C_{GD} et C_{GS} par des expressions analytiques permettant de reproduire les variations mesurées des capacités en fonction des tensions de polarisation. Par exemple, le modèle standard de Schottky appliqué à la diode grille-source permet d'exprimer la capacité C_{GS} en fonction de V_{GS} [23]:

$$(I) \quad C_{GS} = \frac{C_{GS0}}{\sqrt{\left(1 - \frac{V_{GS}}{V_a}\right)}}$$

$$(II) \quad C_{GS} = \frac{C_{GS0}}{\sqrt{(1-K)}} \cdot \left(1 + \frac{V_{GS} - K \cdot V_a}{2V_a \cdot (1-K)}\right)$$

Les paramètres C_{GS0} , V_a et K sont obtenus par une procédure d'optimisation (réalisable facilement par les logiciels modernes tel que ADS). L'expression (I) est utilisée si $V_{GS} < K \cdot V_a$, sinon l'expression (II) est utilisée. Pour la capacité C_{GD} , le même type d'expression peut être utilisé avec des valeurs des paramètres différentes. On note que ce modèle ne permet pas toujours de décrire convenablement l'évolution des capacités et qu'il présente une discontinuité pouvant créer des problèmes de convergence lors des simulations.

Une autre expression ne présentant pas de discontinuité est présentée par [27] :

$$C_{GS} = C_{GS0} + \Delta C \cdot [1 + \tanh(\alpha \cdot (V_{GS} + V_1))] - \chi \cdot [1 + \tanh(\beta \cdot (V_{GS} + V_2))]$$

Comme précédemment les paramètres C_{GS0} , ΔC , V_1 , V_2 , α et β sont optimisés afin de s'approcher au mieux des mesures. Il est évidemment possible de rajouter des paramètres et de modifier les équations en fonction des besoins rencontrés.

Les exemples précédents sont des modèles dits mono-variable, où les capacités dépendent uniquement des paramètres d'optimisation et des tensions à leurs bornes ($C_{GS}(V_{GS})$ et $C_{GD}(V_{GD})$). Il existe également des modèles empiriques bi-variables ($C_{GS}(V_{GS}; V_{GD})$ et $C_{GD}(V_{GS}; V_{GD})$), permettant une meilleure corrélation modèle/mesure. Cependant, afin d'éviter l'apparition de courants continus parasites, ces modèles doivent répondre au principe de conservation de la charge :

$$\frac{\partial C_{GD}}{\partial V_{GS}} = \frac{\partial C_{GS}}{\partial V_{GD}}$$

$$\text{Soit } \frac{\partial Q_G}{\partial V_{GS} \cdot \partial V_{GD}} = \frac{\partial Q_G}{\partial V_{GD} \cdot \partial V_{GS}}$$

$$\text{Avec } Q_G = Q_{GS} + Q_{GD}$$

Les premiers travaux sur un modèle empirique bi-variables respectant cette condition de conservation de la charge sont ceux de Chisholm-Scheinberg [39], les expressions des capacités se révèlent compliquées :

$$C_{GS} = C_{GS0} \cdot \left(1 + \frac{C_F}{S_G} \cdot \tanh(S_G \cdot (V_{GS} - D_C \cdot \tanh(D_K \cdot V_{GD})))\right) + \frac{C_{GD0} \cdot C_F \cdot D_C \cdot D_K \cdot \tanh(S_G \cdot (V_{GD} - D_C \cdot \tanh(D_K \cdot V_{GS})))}{\cosh^2(D_K \cdot V_{GS})}$$

$$C_{GD} = C_{GD0} \cdot \left(1 + \frac{C_F}{S_G} \cdot \tanh(S_G \cdot (V_{GD} - D_C \cdot \tanh(D_K \cdot V_{GS})))\right) + \frac{C_{GS0} \cdot C_F \cdot D_C \cdot D_K \cdot \tanh(S_G \cdot (V_{GS} - D_C \cdot \tanh(D_K \cdot V_{GD})))}{\cosh^2(D_K \cdot V_{GD})}$$

Dans [38], des expressions bi-variables plus simples sont utilisées tout en ayant une très bonne corrélation modèle/mesure pour un HEMT AlGaIn/GaN $8 \times 75 \times 0.25 \mu\text{m}^2$:

$$C_{GS} = a + b \cdot (\tanh(c \cdot V_{GS} + d \cdot V_{GD} + e) + 1)$$

$$C_{GD} = a' + b' \cdot (\tanh(c' \cdot V_{GS} + d' \cdot V_{GD} + e') + 1)$$

Afin de respecter la condition de conservation de la charge, la capacité CDS est utilisée comme élément d'équilibre, son expression dans ce modèle est la suivante :

$$C_{DS} = \frac{C_{GS} \cdot V_{GS} - C_{GD} \cdot V_{GD}}{V_{GS} - V_{GD} + \varepsilon}$$

b - Modélisation physique

La modélisation physique repose sur des données topologiques, la forme analytique déduite permet de prédire l'évolution des capacités quelque soit la structure donnée. La détermination des capacités s'articule autour de l'expression de la quantité de charges présentes dans le canal bidimensionnel [40] :

$$Q = e.N_s$$

Avec N_s la densité surfacique de porteurs majoritaires obtenue par résolution de l'équation de Poisson :

$$N_s = \frac{2.e.\varepsilon.D}{\varepsilon + 2.e^2.D.\delta} \cdot (V_{GS} - V_P - V(x))$$

Où ε est la constante diélectrique de l'AlGaIn, δ est l'épaisseur de barrière, D est la densité d'états de la bande de conduction au sein du gaz 2D, $V(x)$ le potentiel du canal à l'abscisse x et V_P la tension de pincement du composant.

De plus, Q peut être exprimée de la manière suivante :

$$Q = \int_0^t I_{DS} \cdot dt = \int_0^L \frac{I_{DS}}{v_d(x)} \cdot dx$$

$v_d(x)$ est la vitesse de diffusion des porteurs et peut être approximée comme suit :

$$v_d(x) = \frac{\mu \cdot E(x)}{1 + \frac{E(x)}{E_c}}$$

En combinant l'intégrale avec une expression physique du courant développé dans la structure [41], on obtient une quantité de charges dont les dérivées premières permettent d'extraire les équations des capacités :

$$C_{GS} = g_M \cdot K \cdot [Y^3 - (Y + V_{DS})^3] - 3 \cdot I_{DS} \cdot K [Y^2 - (Y + V_{DS})^2] - \frac{e \cdot Z \cdot A}{E_c} \cdot V_{DS} - \frac{L}{\mu \cdot E_c} \cdot g_M$$

Où

$$Y = V_{GS} - V_P - V(x)$$

$$A = \frac{N_s}{Y}$$

$$K = \frac{\mu \cdot A^2 \cdot (e \cdot Z)^2}{3 \cdot I_{DS}^2}$$

E_c est le champ électrique critique, Z est la largeur du canal et L est sa longueur effective. Une équation du même type peut exprimer C_{GD} :

$$C_{GS} = g_D \cdot K \cdot [Y^3 - (Y + V_{DS})^3] - 3 \cdot I_{DS} \cdot K \cdot Y^2 - \frac{e \cdot Z \cdot A}{E_c} \cdot Y - \frac{L}{\mu \cdot E_c} \cdot g_D$$

Ce type de modélisation est rigoureux et paramétrable, cependant de par sa complexité et sa sensibilité par rapport aux paramètres physiques, son implémentation en environnement CAO est peu recommandée.

B - Modélisation de la source de courant

Comme pour les capacités de grille, la source de courant du transistor doit être modélisée à partir des mesures de ses caractéristiques $I(V)$ afin d'établir le modèle non-linéaire. De même 2 approches se distinguent, l'approche empirique et l'approche physique.

a - Modélisation empirique

Il existe de nombreux modèles phénoménologiques pour représenter les caractéristiques $I(V)$ des transistors, quelques exemples reconnus vont être présentés ici.

- **Modèle de Statz**

Le modèle de Statz a été présenté en 1987 [42], il concernait à cette époque la modélisation des transistors GaAs à effet de champ. L'expression du courant I_{DS} selon ce modèle est la suivante :

$$I_{DS} = \frac{\beta \cdot (V_{GS} - V_P)^2}{1 + \kappa \cdot (V_{GS} - V_P)} (1 + \lambda \cdot V_{DS}) \cdot \tanh(\alpha \cdot V_{DS})$$

Ce modèle présente une certaine simplicité et permet une bonne représentation des caractéristiques $I(V)$ dans la zone ohmique, cependant il conduit à une augmentation de la conductance de sortie dans la zone saturée à mesure que V_{GS} augmente, ce qui n'est pas représentative des phénomènes observés sur les HEMT AlGaIn/GaN.

- **Modèle de Curtice Cubique**

Le modèle de Curtice, réalisé en premier lieu pour la modélisation de MESFET GaAs, peut prendre différentes formes, notamment quadratique [43] et cubique [44] en fonction de la dépendance du courant I_{DS} par rapport à V_{GS} (polynomiale du second ou troisième degré). Il s'avère que le modèle quadratique est souvent insuffisant et que le recours à la forme cubique est nécessaire.

Le courant I_{DS} s'exprime ainsi :

$$I_{DS} = [a_0 + a_1.V + a_2.V^2 + a_3.V^3] \tanh(\alpha.V_{DS})$$

$$\text{Avec } V = V_{GS} \cdot (1 + \beta \cdot (V_{DS0} - V_{DS}))$$

Le principal problème de cette expression est la modélisation de la transconductance dans la zone de pincement qui présente une transition trop abrupte. Cela peut engendrer des problèmes de convergence lors de l'utilisation du modèle dans un environnement CAO.

- **Modèle d'Angelov**

Le modèle d'Angelov fut proposé en 1992 [45] pour la modélisation de transistor de type HEMT. Le courant de drain s'exprime comme suit :

$$I_{DS} = I_{pk} \cdot (1 + \tanh(\psi)) \cdot (1 + \lambda.V_{DS}) \cdot \tanh(\alpha.V_{DS})$$

$$\text{Avec } \psi = \psi(V_{GS}) = P_1 \cdot (V_{GS} - V_{pk}) + P_2 \cdot (V_{GS} - V_{pk})^2 + P_3 \cdot (V_{GS} - V_{pk})^3$$

V_{pk} est la tension de grille pour laquelle la transconductance est maximale et I_{pk} est le courant de drain correspondant. La fonction polynomiale en V_{GS} permet une grande souplesse dans la description du réseau de caractéristiques, par contre elle se révèle pénalisante pour le tracé de la transconductance en fonction des tensions de commande, des points d'inflexions parasites peuvent apparaître. Ce modèle constitue toutefois une solide base pour modéliser les sources de courant des transistors HEMTs, il fut d'ailleurs implémenté dans les premiers logiciels de CAO dans les années 90.

- **Modèle de Tajima**

Le modèle de Tajima [46] permet également une bonne représentation des caractéristiques $I(V)$. Il repose sur huit paramètres standards ajustables, la source de courant est modélisée par un produit de deux expressions distinctes :

$$I_{DS} = I_{DS1} \cdot I_{DS2}$$

I_{DS1} et I_{DS2} s'expriment de la manière suivante :

$$I_{DS1} = \frac{V_{GS} \cdot \left(\frac{1 - e^{-m \cdot V_{GS}}}{m} \right)}{k}$$

$$I_{DS2} = I_{DSS} \cdot \left(1 - e^{\left(\frac{V_{DS}}{V_{DSS}} - a \cdot \left(\frac{V_{DS}}{V_{DSS}} \right)^2 - b \cdot \left(\frac{V_{DS}}{V_{DSS}} \right)^3 \right)} \right)$$

$$\text{Avec } k = 1 - \frac{1 - e^{-m}}{m}$$

$$V_{GS'} = 1 + \frac{V_{GS} - V_{\phi}}{V_P} \quad \text{et} \quad V_P = V_{P0} + p \cdot V_{DS} + V_{\phi}$$

Ce modèle, comme celui d'Angelov, constitue une base éprouvée pour décrire les réseaux $I(V)$ des transistors HEMT. Il est possible de leur apporter des modifications en fonction des topologies et des familles de transistors à modéliser ainsi que des applications visées. Par exemple, le modèle proposé par O. Jardel dans [47], permet de modéliser les caractéristiques $I(V)$ également pour des tensions V_{DS} négatives, ce qui peut être avantageux pour des applications de commutation. Les effets thermiques ainsi que les effets de pièges, notables pour des HEMTS AlGaIn/GaN, peuvent également être pris en compte dans le modèle, comme dans [48] ou [49].

b - Modélisation physique

La modélisation physique de la source de courant d'un transistor repose sur l'expression du courant associée à la densité de charges présentes dans le canal :

$$I = q \cdot n_s \cdot v_n \cdot W$$

Avec q la charge de l'électron, W le développement total de grille, v_n la vitesse des porteurs à l'hétérojonction et n_s la densité surfacique de porteurs. La commande du courant s'effectuant en fonction de V_{GS} et V_{DS} , il convient d'exprimer les termes précédents en fonction de ces tensions.

La charge élémentaire et la largeur de grille sont indépendantes des tensions, les modèles physiques existants consistent donc en des formulations différentes de v_n et n_s en fonction des tensions de polarisation.

Des formes analytiques rigoureuses décrivant parfaitement les évolutions du courant de drain existent [50], cependant elles reposent sur des calculs d'une grande complexité nécessitant une résolution numérique longue rendant leur implémentation en CAO peu efficace. La simplification du modèle implique l'utilisation d'approximations permettant d'aboutir à une formulation générale versatile et présentant un nombre acceptable de paramètres ajustables.

Pour commencer, il faut déterminer l'expression de la vitesse des porteurs en fonction du champ électrique longitudinal (soit V_{DS}), négliger l'effet de V_{GS} constitue une première hypothèse simplificatrice. Dans le cadre de cette hypothèse, v peut s'exprimer de différentes manières, tout d'abord suivant le modèle de Canali [51] :

$$v(E) = \frac{\mu.E}{\left(1 + \left(\frac{\mu.E}{v_{sat}}\right)^\beta\right)^{\frac{1}{\beta}}}$$

Ce modèle s'applique pour les semi-conducteurs dont la caractéristique $v(E)$ ne présente pas de décroissance, par exemple le Si ou le SiC. Pour les semi-conducteurs présentant des pics de survitesse, comme le GaAs ou le GaN, le modèle TE (Transferred-Electron) [52] peut s'appliquer, dans ce cas :

$$v(E) = \frac{\mu.E + v_{sat} \cdot \left(\frac{E}{E_T}\right)^\beta}{1 + \left(\frac{E}{E_T}\right)^\beta}$$

Dans les 2 expressions, v_{sat} exprime la vitesse de saturation des porteurs et μ exprime la mobilité des porteurs à faible champ. Pour le GaN, cette mobilité peut s'exprimer en fonction de la température de la manière suivante [53] :

$$\mu = \mu_0 \cdot \left(\frac{T}{T_0}\right)^{-1.8}$$

D'autres expressions simplifiées dérivant de ces modèles peuvent également être utilisées, on retrouve les expressions suivantes dans [31] et [38] respectivement :

$$v(E) = \frac{\mu.E.v_{sat}}{\mu.E + v_{sat}} \quad \text{et} \quad v(E) = \frac{\mu.E.v_{sat}}{\sqrt{\mu^2.E^2 + v_{sat}^2}}$$

Notons que le champ E peut s'exprimer en fonction de V_{DS} et de la longueur de grille du transistor, $E = V_{DS}/L_G$.

Après avoir modélisé la vitesse des porteurs en fonction de V_{DS} , il est possible de modéliser l'évolution de leur densité surfacique n_s en fonction de V_{GS} . Il existe plusieurs démonstrations physiques aboutissant à des expressions complexes de la densité de porteurs difficiles à implémenter en CAO. Une autre approche est la détermination semi-empirique d'un modèle d'évolution de $n_s(V_{GS})$, comme dans [54], cependant les expressions obtenues étaient souvent peu représentative sur de larges gammes de tensions.

L'expression suivante de la densité de porteurs, déterminée de façon empirique à partir des mesures de caractéristiques est proposée dans [38] :

$$n_s(V_{GS}) = N_{s\max} \left(1 - \left(1 + e^{\left(\frac{V_{GS} - B \cdot \ln(C) - D}{B} \right)} \right)^C \right)$$

Dans cette expression, $N_{s\max}$ est la densité moyenne de charge quand $V_{GS}=0$ V et B, C, D sont des paramètres ajustables.

Finalement, l'expression suivant est obtenue pour I_{DS} [38] :

$$I_{DS}(V_{GS}, V_{DS}, T) = q \cdot W \cdot N_{s\max} \cdot \left(1 - \left(1 + e^{\left(\frac{V_{GS} - B \cdot \ln(C) - D}{B} \right)} \right)^C \right) \times \frac{\mu(T) \cdot \left(\frac{V_{DS}}{L_G} \right)}{\sqrt{\mu(T)^2 \cdot \left(\frac{V_{DS}}{L_G} \right)^2 + v_{sat}^2}}$$

Cette expression permet d'obtenir une bonne corrélation modèle/mesure, cependant elle reste semi-empirique, semi-physique.

Conclusion

Dans ce chapitre, nous avons présenté, après un bref historique du GaN, quelles sont les caractéristiques fondamentales des semi-conducteurs ainsi qu'une comparaison entre les différents matériaux afin de déterminer l'apport du GaN par rapport aux semi-conducteurs classiques aussi bien pour des applications hyperfréquences que de commutation. Puis nous avons abordé la caractérisation de transistors HEMTs AlGaN/GaN, en régime continu et en régime pulsé à l'aide de quelques exemples de transistors mesurés au début de ces travaux de thèse. Enfin, les principes de modélisation de ces transistors en régime linéaire (petits signaux) et en régime non-linéaire (capacités de grille, source de courant) ont été présentés. Ces considérations sur les HEMTs AlGaN/GaN posent les bases des travaux de conception de circuits à la fois de commutation (convertisseur DC/DC) et de puissance hyperfréquence (amplificateurs haut rendement) réalisés lors de cette thèse.

Bibliographie du Chapitre I

- [1] J. I. Pankove, E. A. Miller, D. Richman, J. E. Berkeyheiser, "Electroluminescence in GaN", *Journal of Luminescence* - July 1971 - vol.4, no.1, pp. 63-66
- [2] H. P. Maruska, D. A. Stevenson, J. I. Pankove, "Violet Luminescence of Mg-doped GaN", *Appl. Phys. Lett.* 22, 303 (1973)
- [3] H. Amano, N. Sawaki, I. Akasaki, Y. Toyoda, "Metalorganic Vapor Phase Epitaxial Growth of a High Quality GaN Film Using an AlN Buffer Layer", *Appl. Phys. Lett.* 48, 353 (1986)
- [4] S. Nakamura, "GaN Growth Using GaN Buffer Layer", *Japanese Journal of Applied Physics*, Vol. 30, No. 10A, October, 1991, pp. 1705-1707
- [5] M. A. Khan, A. Bhattarai, J. N. Kuznia, D.T. Olson, "High Electron Mobility Transistor Based on a GaN_{1-x}Al_xGa_{1-x}N Heterojunction", *Appl. Phys. Lett.* 63, 1214 (1993)
- [6] S. L. Colino, R.A. Beach, "Fundamentals of Gallium Nitride Power Transistors", Application Note EPC, AN002, 2009
- [7] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, U. K. Mishra "High Breakdown Voltage Achieved on AlGa_N/Ga_N HEMTs With Integrated Slant Field Plates", *IEEE Electron Device Letters*, Vol. 27, No. 9, September 2006
- [8] S. M. Sze, "Semiconductor Devices - Physics and Technology", 1985, ISBN 0-471-87424-8
- [9] M. S. Shur, "GaN and related materials for high power applications", in *Symposium Proceedings of Material Research Society*, Symposium E, 1997
- [10] Jian Xu, "AlGa_N/Ga_N High-Electron-Mobility-Transistors Based Flip-chip Integrated Broadband Power Amplifiers", PhD Dissertation, ECE Technical Report, December 2000, Department of Electrical and Computer Engineering, University of California, Santa Barbara, CA 93106
- [11] W. Lu, J. Yang, M. A. Khan, I. Adesida, "AlGa_N/Ga_N HEMTs on SiC with over 100 GHz f_T and Low Microwave Noise", *IEEE Transactions On Electron Devices*, Vol. 48, No. 3, March 2001
- [12] Y. Yue, Z. Hu, J. Guo, B. Sensale-Rodriguez, G. Li, R. Wang, F. Faria, T. Fang, B. Song, X. Gao, S. Guo, T. Kosel, G. Snider, P. Fay, D. Jena, H. Xing, "InAlN/AlN/GaN HEMTs With Regrown Ohmic Contacts and f_T of 370 GHz", *IEEE Electron Device Letters*, Vol. 33, No. 7, July 2012
- [13] A. Johnson, "Physical limitations on frequency and power parameters of transistors," *RCA Review*, vol. 26, pp. 163 – 177, 1965

- [14] B.J. Baliga, "Power semi-conductor device figure of merit for high frequency applications", IEEE Electron Device Letters, vol. 10, no. 10, October 1989
- [15] R. Keyes, "Figure of merit for semiconductors for high-speed switches", Proceedings of IEEE, vol. 60, pp. 225-232, 1972
- [16] N. Zhang, "High voltage GaN HEMTs with low on-resistance for switching applications", Thèse de doctorat de l'université de Californie, Santa Barbara, 2002
- [17] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart, N. T. Linh, "Two dimensional electron gas MESFET structure" Electronics Letters, Vol. 16, No 17, Août 1980
- [18] T. Mimura, S. Hiyamizu, T. Fujii, K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-AlxGa1-xAs heterojunctions" Japanese Journal of Applied Physics, Vol.19, No 5, Mai 1980, pages L225 à L227
- [19] F. Ali, A. Gupta, "HEMTs & HBTs : device, fabrication and circuits", Ed. Artech House, ISBN 0-89006-401-6, pages 11 à 76
- [20] N. Vellas, "Etudes Expérimentales de Transistors HFET de la Filière Nitrure de Gallium pour des Applications de Puissance Hyperfréquences", Thèse de doctorat de l'université de Lille, 2003
- [21] P. Chevalier, "Transistors HEMT sur matériaux III-V", <http://www.polytech-lille.fr>
- [22] Y. Lu, Z. Lin, Y. Zhang, M. Lingguo, C. Luan, Z. Cao, H. Chen, Z. Wang, "Polarization Coulomb field scattering in AlGa_N/AlN/GaN heterostructure field-effect transistors", Applied Physics Letters, Volume 98, Issue 12, 2011
- [23] H. Mathieu, "Physique des semiconducteurs et des composants électroniques", Dunod, ISBN 2-10-005654-9
- [24] W. S. Tan, M. J. Uren, P. A. Houston, R. T. Green, R. S. Balmer, T. Martin, "Surface Leakage Currents in SiN_x Passivated AlGa_N/Ga_N HFETs", IEEE Electron Device Letters, Vol. 27, No. 1, January 2006
- [25] C. Poblenz, "Effect of carbon doping on buffer leakage in AlGa_N/Ga_N high electron mobility transistors", J. Vac. Sci. Technol. B, June 2004
- [26] T. Zimmer, D. O. Bodi, J. M. Dumas, N. Labat, A. Touboul, Y. Danto, "Kink effect in HEMT structures: A trap-related semiquantitative model and an empirical approach for SPICE simulation" Solid State Electron., vol. 35, no. 10, pp. 1543–1548, 1992
- [27] C. Charbonniaud, "Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde", Thèse de doctorat de l'université de Limoge, 2005

- [28] K. Kurokawa, "Power Waves and the Scattering Matrix", IEEE Transaction on Microwave Theory and Techniques, Vol. 13, No. 2, March 1965, pp 194-202
- [29] J. Kuzmik, "Transient Thermal Characterization of AlGaIn/GaN HEMTs Grown on Silicon", IEEE Transactions on Electron Devices, Vol. 52, No. 8, August 2005
- [30] T. Hashizume, S. Ootomo, S. Oyama, M. Konishi, H. Hasegawa, "Chemistry and electrical properties of surfaces of GaN and GaN/AlGaIn heterostructures", J. vac. Sci. Technol. B 19.4., Jul/Aug 2011
- [31] M. Werquin, "Etudes théoriques et expérimentales de transistors HEMTs de la filière nitrure de gallium pour les applications de puissance hyperfréquences", Thèse de doctorat de l'université de Lille, 2005
- [32] R. Vetry, "Polarization Induced 2DEG in AlGaIn/GaN HEMTs : On the origin, DC and transient characterization", Thèse de doctorat de l'université de Californie, Santa Barbara, 2000
- [33] W. Lu, V. Kumar, R. Schwindt, E. Piner, I. Adesida, "A comparative study of surface passivation on AlGaIn/GaN HEMTs", Solid-State Electronics 46 (2002) 1441–1444
- [34] K. Horio, "Two Dimensional Analysis of Substrate-Trap Effect on Turn-On characteristics in GaAs MESFETs" IEEE Trans. On Electron. Devices, vol 47, n°3, pp. 617-624, March 2000
- [35] D. Sireix, "Modélisation non-linéaire des MESFETs sur carbure de silicium pour l'amplification de puissance micro-ondes", Thèse de doctorat, Université de Limoges, Janvier 2000
- [36] L. Zhang, L. F. Lester, A. G. Baca, R. J. Shul, P. C. Chang, C. G. Willison, U. K. Mishra, S. P. Denbaars, J. C. Zolper, "Epitaxially-grown GaN junction field effect transistors", IEEE Trans. Electron Devices, Vol. 47, pp. 507–511, Mar. 2000
- [37] L. Giacoletto, "Diode and transistor equivalent circuits for transient operation", IEEE Journal of Solid-State Circuits, vol. 4, pp. 80-83, April 1969
- [38] N. Defrance, "Caractérisation et modélisation de dispositifs de la filière nitrure pour la conception de circuits intégrés de puissance hyperfréquences", Thèse de doctorat de l'université de Lille, 2007
- [39] E. Chisholm and N. Scheinberg, "A capacitance model for GaAs MESFETs", IEEE J. Solid-State Circuits, Vol. 26, No. 10, pp. 1467-1470, October 1991
- [40] M. Nawaz, "A New Charge Conserving Capacitance Model for GaAs MESFETs", IEEE Trans. Electron Devices, Vol. 44, No. 11, pp. 1813–1818, November 1997
- [41] K. Lee, M. Shur, T. A. Fjeldly, T. Ytterdal, "Semiconductor device modeling for VLSI", Series in Electronics and VLSI, New Jersey, Prentice-Hall, 1993

- [42] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, H. A. Haus, "GaAs FET device and circuit simulation in SPICE", IEEE Trans. Electron Devices, Vol. 34, No. 2, pp. 160–169, February 1987
- [43] W. R. Curtice, "A MESFET Model for use in the Design of GaAs Integrated Circuits", IEEE Transaction on Microwave Theory and Techniques, Vol. 28, pp. 448-456, May 1980
- [44] W. R. Curtice, "GaAs MESFET Modeling and Nonlinear CAD", IEEE Transaction on Microwave Theory and Techniques, Vol. 36, No. 2, February 1988
- [45] I. Angelov, "A New Empirical Nonlinear Model for HEMT and MESFET Devices", IEEE Transaction on Microwave Theory and Techniques, Vol. 40, No. 12, December 1992
- [46] Y. Tajima, "GaAs FET Large-Signal Model and its Application to Circuit Designs", IEEE Trans. Electron Devices, Vol. 28, No. 2, February 1981
- [47] O. Jardel, G. Callet, C. Charbonniaud, J.C. Jacquet, N. Sarazin, E. Morvan, R. Aubry, M.-A. Di Forte Poisson, J.-P. Teyssier, S. Piotrowicz, R. Quéré, " A new nonlinear HEMT model for AlGaIn/GaN switch applications", Proceedings of the 4th European Microwave Integrated Circuits Conference, 28-29 September 2009, Rome, Italy
- [48] O. Jardel, F. De Groote, T. Reveyrand, J.-C. Jacquet, C. Charbonniaud, J.-P. Teyssier, D. Floriot, R. Quéré, "An Electrothermal Model for AlGaIn/GaN Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR", IEEE Transaction on Microwave Theory and Techniques, Vol. 55, No. 12, December 2007
- [49] Alberto Santarelli and Valeria Di Giacomo, "Empirical Modeling of GaN FETs for Nonlinear Microwave Circuit Applications", Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International, pp. 1198-1201
- [50] S. Selberherr, "Analysis and simulation of semiconductor devices", Communication in Mathematical Physics, 1984, ISBN 3-211-81800-6
- [51] C. Canali, G. Majni, R. Minder, G. Ottaviani, "Electron and hole drift velocity measurements in Silicon and their empirical relation to electric field and temperature", IEEE Transactions on Electron Device, Vol. 22, No. 7, 1975
- [52] O. Turin, "A modified transferred-electron high-field mobility model for GaN devices simulation", Solid-State Electronics, Vol. 49, pp 1678-1682, 2005
- [53] R. Aubry, "Etude des aspects électrothermiques de la filière HEMT AlGaIn/GaN pour application de puissance hyperfréquence", Thèse de Doctorat de l'université de Lille, Juillet 2004
- [54] C. H. Oxley, M. J. Uren, A. Coates, D. G. Hayes, "On the Temperature and Carrier Density Dependence of Electron Saturation Velocity in an AlGaIn/GaN HEMT", IEEE Transactions on Electron Devices, Vol. 53, No. 3, March 2006

CHAPITRE II

**REALISATION ET CARACTERISATION DE CONVERTISSEURS DC/DC A
HAUTE FREQUENCE DE DECOUPAGE A BASE D'HEMTS GAN POUR
DES APPLICATIONS DE POLARISATION DYNAMIQUE
D'AMPLIFICATEUR DE PUISSANCE**

Introduction

Nous avons décrit dans le chapitre précédent les propriétés et avantages des transistors de type HEMT AlGaN/GaN pour des applications hyperfréquences mais aussi pour des applications de commutation. Les HEMTs AlGaN/GaN possèdent notamment de fortes tensions de claquage ainsi qu'une forte mobilité et densité de porteurs permettant des résistances à l'état passant R_{ON} spécifiques très faibles, à titre d'exemple, une tension de claquage V_{BR} de 1600 V et une R_{ON} de $3.4 \text{ m}\Omega.\text{cm}^2$ pour un HEMT AlGaN/GaN sur saphir ont été obtenues [1]. De telles valeurs de R_{ON} sont jusqu'à 10 fois inférieures à celles observées pour des MOSFET Si à tension de claquage équivalente [2], on note également que leur charge de grille Q_G est semblable à celle des MOSFET Si équivalent. Il en découle d'excellentes figures de mérite pour les HEMTs GaN à la fois en puissance (V_{BR} , R_{ON}) et en commutation (R_{ON} , Q_G).

Une application de commutation typique développée dans ce chapitre est la conversion de tension DC/DC. De nombreux travaux sur les convertisseurs DC/DC GaN existent déjà, ils concernent des convertisseurs à forte puissance (quelques centaines de Watts) et à fréquence de découpage moyenne (1 MHz maximum), les rendements obtenus sont par ailleurs très bons ($> 95 \%$) [3][4]. L'objectif de ces travaux est la montée en fréquence de découpage des convertisseurs GaN, notamment pour des applications de polarisation dynamique d'amplificateurs de puissance, cette application sera développée dans le dernier chapitre de la thèse consacré aux amplificateurs de puissance GaN.

Nous présenterons d'abord les différentes architectures usuelles de convertisseurs DC/DC à découpage ainsi que les aspects théoriques de leur fonctionnement. Deux exemples de convertisseurs, basés sur des HEMTs AlGaN/GaN, réalisés lors de ces travaux seront ensuite détaillés et caractérisés.

II.1 - Principes et architectures des convertisseurs DC/DC à Découpage

II.1.1 - Principe général et historique des convertisseurs DC/DC à découpage

Le but des convertisseurs DC/DC (continu/continu) est de transformer une tension continue en une autre tension continue de niveau différent. On les retrouve dans tous les domaines de l'électronique où différents niveaux de tensions continues sont nécessaires, notamment les systèmes portatifs (ordinateurs portables, téléphones...) ou embarqués, la **figure II.1** donne un exemple pour une carte d'émission/réception, où différentes tensions peuvent être utilisées, notamment entre les parties numériques (microprocesseur, mémoires...) et radiofréquences (amplificateurs, mélangeurs...). Les convertisseurs DC/DC sont aussi utilisés pour des commandes de moteurs électriques, dans l'industrie automobile par exemple.

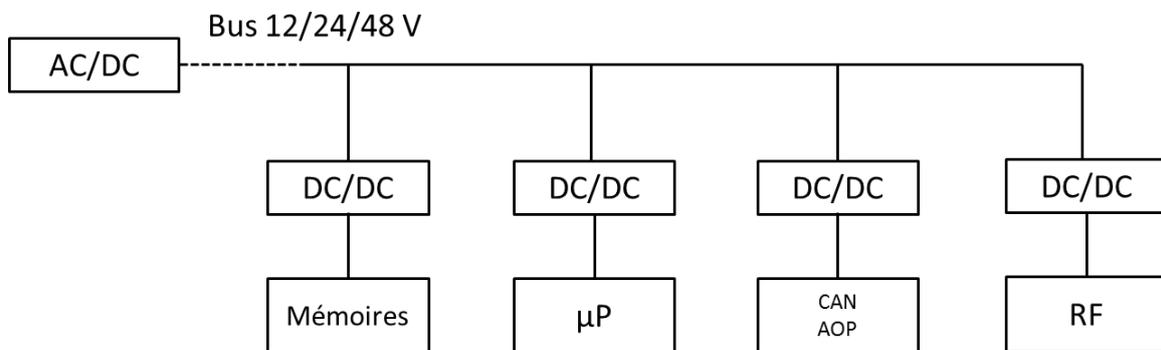


Figure II.1 : exemple d'utilisation des convertisseurs DC/DC dans une carte d'émission/réception.

Le principe général des convertisseurs DC/DC à découpage repose sur le hachage de la tension d'entrée continue (réalisé par un transistor fonctionnant en commutation), le transfert de l'énergie (transformateur, inductance), le redressement et le filtrage de la tension de sortie (**figure II.2**).

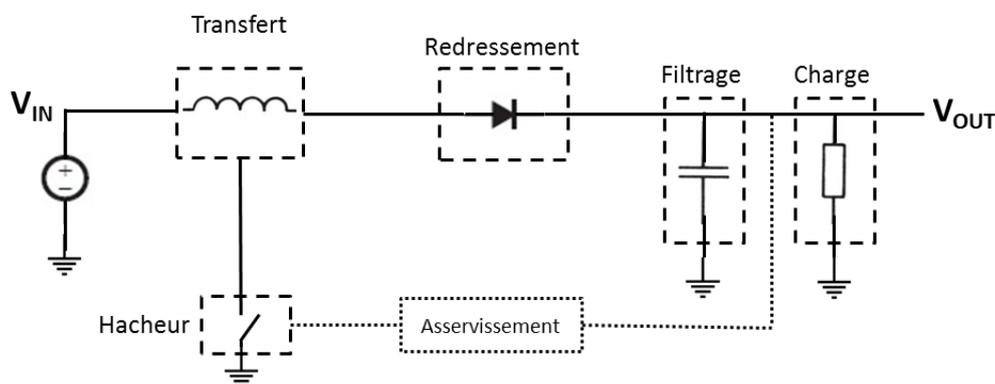


Figure II.2 : principe général des convertisseurs DC/DC à découpage.

Les premières alimentations continues, dans les années 50, étaient basées sur des transformateurs basses fréquences directement reliés au réseau alternatif 50 Hz, le signal était ensuite redressé et filtré. Ces dispositifs étaient cependant volumineux et avaient un faible rendement, de plus ils nécessitaient la présence d'une source alternative.

Les convertisseurs de type DC/DC basés sur le découpage de la tension continue apparaissent dans les années 60, notamment dans l'aérospatial. Ces convertisseurs permettent d'améliorer le rendement en puissance et de diminuer l'encombrement. En effet, le découpage de la tension continue et le stockage/transfert de l'énergie par des éléments purement réactifs permet d'obtenir des rendements très élevés. On note que plus la fréquence de découpage est élevée, plus les éléments passifs peuvent être petits, diminuant ainsi l'encombrement du convertisseur. Pour cette raison, beaucoup de travaux sur les convertisseurs visent à augmenter leur fréquence de fonctionnement.

Dans les années 70 et 80, les progrès dans la technologie des semi-conducteurs, notamment l'apparition des MOSFET silicium, a permis d'atteindre des fréquences de découpage allant de quelques KHz jusqu'à 500 KHz avec des rendements de 90 % [5]. Dans les années 90, la barre du MHz a été franchie, un convertisseur ayant une fréquence de découpage de 5 MHz pour un rendement de 80 % a notamment été réalisé [6]. Cependant, les limites fréquentielles intrinsèques des composants silicium empêchaient la poursuite de la montée en fréquence des convertisseurs.

A la fin des années 90/début des années 2000, l'utilisation de matériaux III-V tels que l'arséniure de gallium, possédant notamment une mobilité intrinsèque des porteurs très supérieure au silicium (voir CH I) permet la réalisation de convertisseurs ayant des fréquences de découpage de plusieurs dizaines de MHz [7], cependant, du fait des faibles tensions de claquage des composants GaAs, leurs tensions de fonctionnement ne pouvait excéder une dizaine de Volts, pour des puissances de quelques Watts.

Depuis, les progrès réalisés sur les matériaux à grand gap, notamment le SiC et surtout le GaN, permettent d'envisager des convertisseurs fonctionnant au-delà de 10 MHz pour des tensions et puissances supérieures à celles des convertisseurs GaAs, par exemple un convertisseur GaN fonctionnant à 50-MHz pour une puissance de sortie de 50 W avec un rendement supérieur à 80 % a déjà été réalisé [8].

II.1.2 - Topologies de base des convertisseurs DC/DC à découpage

Il existe différentes architectures de convertisseurs DC/DC à découpage, selon que l'on veuille abaisser, augmenter ou inverser la tension, l'ensemble de ces topologies sont détaillées dans [9]. Deux exemples de topologies de convertisseurs à découpage sont présentés et détaillés dans cette partie, les convertisseurs élévateurs de tension (boost) et abaisseur de tension (Buck). La réalisation de convertisseurs suivant ces topologies à partir de transistors HEMT AlGaN/GaN sera l'objet principal de ce chapitre.

A - Convertisseur élévateur non isolé (Boost)

Le montage élévateur de tension, dit boost, est présenté sur la **figure II.3**, les composants principaux de ce circuit sont un transistor, une diode, une inductance et une capacité.

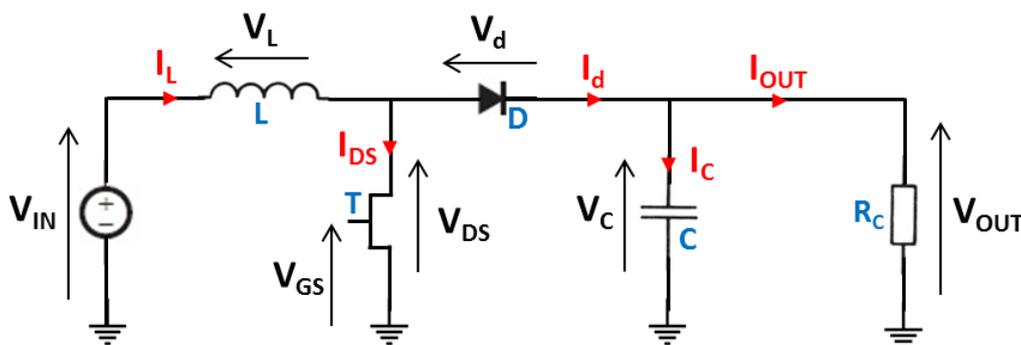


Figure II.3 : schéma d'un convertisseur boost.

Le fonctionnement de ce type de convertisseur repose sur les états passant (ON) et bloqué (OFF) du transistor.

a - Principe de fonctionnement

• Transistor à l'état ON

- $V_{GS}=V_{ON}$, typiquement 0 V pour un HEMT AlGaN/GaN normally-on.
- La tension V_{DS} est idéalement nulle (en réalité $V_{DS}=R_{ON}\cdot I_{DS}$).
- La diode est bloquée car la tension à ses bornes est négative, $V_d=-V_{OUT}$.
- La tension V_L aux bornes de la self et égale à V_{IN} , le courant I_L qui traverse la self augmente linéairement :

$$\frac{dI_L}{dt} = \frac{V_{IN}}{L}$$

- En sortie, la diode étant bloquée, la tension de sortie est maintenue par la capacité de filtrage C si la constante de temps $R_C\cdot C$ est très supérieure à la durée T_{ON} .

- **Transistor à l'état OFF**

- $V_{GS} < V_P$, le transistor est bloqué, il se comporte comme un interrupteur ouvert.
- La diode est passante, la tension à ses bornes est quasi-nulle.
- La tension V_{DS} est proche de V_{OUT}
- Le courant dans la self diminue, il varie de la manière suivante :

$$\frac{dI_L}{dt} = \frac{V_{IN} - V_{OUT}}{L}$$

- Ce courant permet de recharger la capacité et de maintenir la tension aux bornes de la charge R_C .

Les chronogrammes des courants et tensions aux bornes des différents composants d'un convertisseur boost sont représentés sur la **figure II.4** :

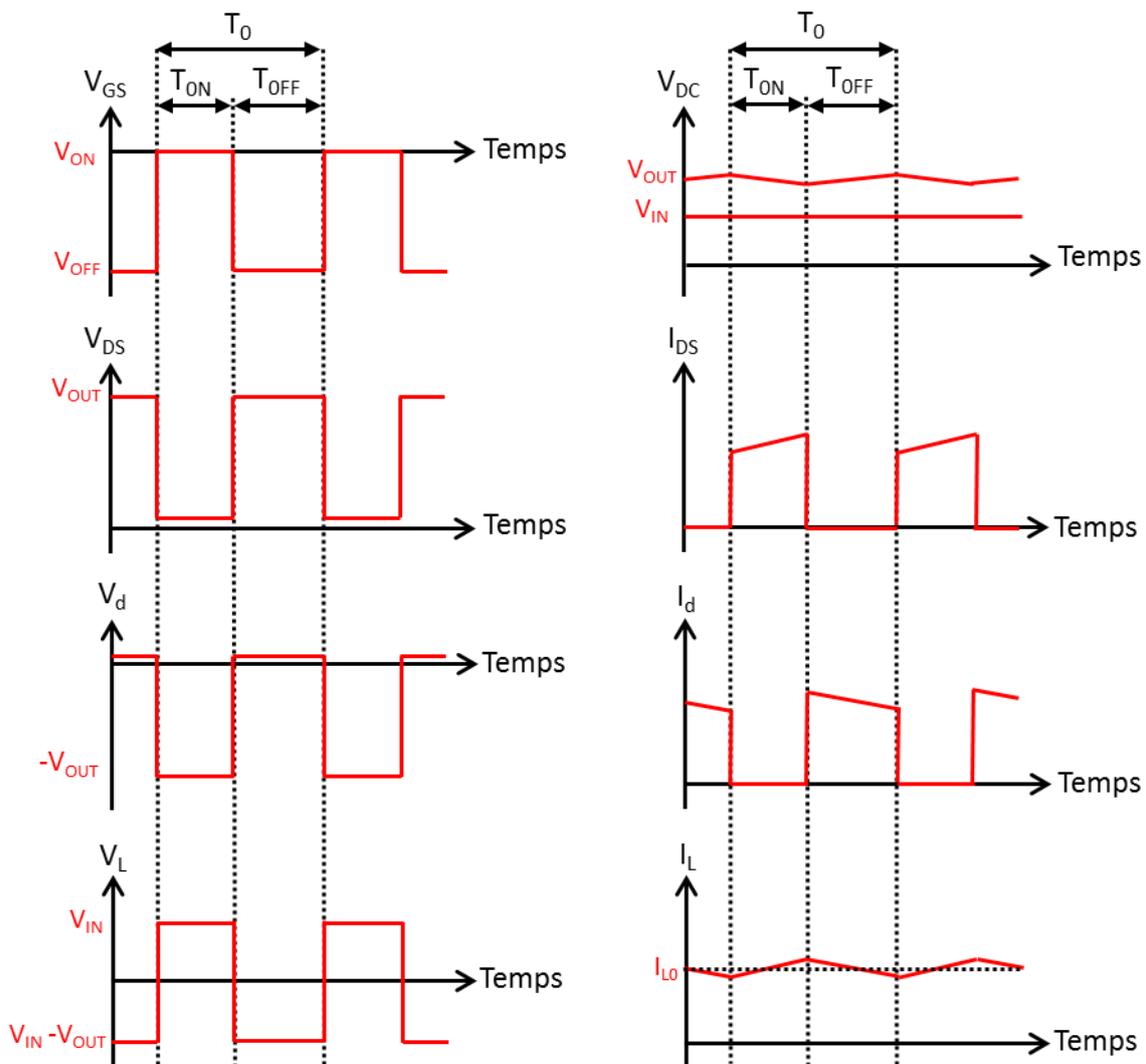


Figure II.4 : chronogrammes des courants et tensions aux bornes des composants d'un convertisseur boost.

b - Calcul du rapport de conversion

Le rapport de conversion est un paramètre clé pour un convertisseur de tension puisqu'il représente le rapport entre la tension de sortie et la tension d'entrée. En considérant la forme des signaux en régime établi donnés par la **figure II.4**, on distingue deux cas suivant que le transistor est passant ou non :

- **Lorsque le transistor est passant (ON)**

Comme nous l'avons vu précédemment, lorsque le transistor est passant, le courant dans l'inductance augmente. Cette augmentation est donnée par l'expression suivante, où $\alpha = T_{ON} / T_0$ est le rapport cyclique du signal de commande du transistor (V_{GS}) :

$$\Delta I_{L_{ON}} = \int_0^{\alpha \cdot T_0} dI_L = \int_0^{\alpha \cdot T_0} \frac{V_{IN}}{L} \cdot dt = \frac{V_{IN} \cdot \alpha \cdot T_0}{L}$$

- **Lorsque le transistor est bloqué (OFF)**

Lorsque le transistor est bloqué, le courant dans l'inductance diminue. Cette diminution est donnée par l'expression suivante :

$$\Delta I_{L_{OFF}} = \int_{\alpha \cdot T_0}^{T_0} dI_L = \int_{\alpha \cdot T_0}^{T_0} \frac{V_{IN} - V_{OUT}}{L} \cdot dt = \frac{(V_{IN} - V_{OUT}) \cdot (1 - \alpha) \cdot T_0}{L}$$

Le courant dans la self varie au cours d'une période de commutation, mais il est le même au début et à la fin du cycle de commutation (en régime établi), on a donc :

$$\frac{V_{IN} \cdot \alpha \cdot T_0}{L} = \frac{(V_{IN} - V_{OUT}) \cdot (1 - \alpha) \cdot T_0}{L}$$

On peut en déduire le rapport de conversion théorique du convertisseur :

$$m = \frac{V_{OUT}}{V_{IN}} = \frac{1}{(1 - \alpha)}$$

Le rapport de conversion m est supérieur à 1, d'où l'élévation de tension en sortie du convertisseur, cette élévation est contrôlée par le rapport cyclique α du signal de commande du transistor, plus ce rapport cyclique est élevé plus la tension de sortie du convertisseur augmente.

c - Calcul du rendement du convertisseur

Un convertisseur utilisant des composants idéaux a un rendement en puissance (P_{OUT}/P_{IN}) de 100 %, cependant les caractéristiques réelles des composants font que le rendement n'atteint jamais 100 %. Les principales sources de perte se divisent en deux catégories, les pertes résistives dues aux résistances séries des composants et les pertes de commutation dues aux temps de commutation non-instantanés :

- **Les pertes résistives**

- La résistance à l'état passant R_{ON} du transistor
- La tension de coude de la diode V_F ainsi que sa résistance série R_D
- La résistance série R_L de la self

Les expressions permettant d'estimer ces pertes en fonction des tensions et courants du convertisseur ainsi que du rapport cyclique sont données dans le **tableau II.1** :

Pertes dans l'inductance	$P_L = R_L \cdot I_L^2$
Pertes dans le transistor	$P_T = R_{ON} \cdot I_L^2 \cdot \alpha$
Pertes dans la diode	$P_D = (R_D \cdot I_L^2 + V_F \cdot I_L) \cdot (1 - \alpha)$

Tableau II.1 : expressions des pertes résistives dans un convertisseur boost.

- **Les pertes par commutation**

Idéalement, dans un convertisseur à découpage, il n'y a pas de courant qui circule dans le transistor quand sa tension de drain est non-nulle, celui-ci se comportant comme un interrupteur ouvert, il n'y a donc pas de puissance dissipée. En réalité la commutation au sein du convertisseur n'est pas instantanée et il existe un chevauchement entre I_{DS} et V_{DS} , donc de la puissance dissipée. Le **tableau II.2** donne les expressions permettant d'estimer ces pertes [10]:

Pertes de commutation à la fermeture du transistor	$P_f = 0.5 \cdot V_{OUT} \cdot I_L \cdot \frac{T_f}{T_0}$
Pertes de commutation à l'ouverture du transistor	$P_r = 0.5 \cdot V_{OUT} \cdot I_L \cdot \frac{T_r}{T_0}$

Tableau II.2 : expressions des pertes par commutation dans un convertisseur boost.

Le rendement total en puissance peut s'exprimer en fonction de ces pertes :

$$\eta = \frac{P_{OUT}}{P_{OUT} + P_L + P_T + P_D + P_f + P_r}$$

Si l'on remplace les pertes par leurs expressions données dans les [tableaux II.1 et II.2](#), le rendement devient :

$$\eta = \frac{1}{1 + \frac{(R_L + R_{ON} \cdot \alpha + R_D \cdot (1 - \alpha))}{\frac{R_C}{m^2}} + \frac{V_F}{V_{IN}} \cdot (1 - \alpha) + m \cdot \frac{T_r + T_f}{2T_0}}$$

L'expression donnée ci-dessus permet de déterminer les éléments clés qui permettent d'optimiser le rendement d'un convertisseur :

- Les résistances séries des composants (transistor, diode, inductance) doivent être nettement inférieures à la résistance de charge R_C . Pour cela, il faut des diodes et transistors avec des développements suffisamment grands ainsi qu'une inductance avec une section des fils de bobinage élevée.
- La tension de coude de la diode doit être la plus faible possible par rapport à la tension d'entrée du convertisseur. Pour des applications à faible tension, il est préférable d'utiliser un second transistor (convertisseur synchrone) pour s'affranchir de la tension de coude qui peut devenir trop pénalisante.
- Les temps de commutation doivent être faibles par rapport à la période de commutation T_0 . Les temps de commutation dépendent principalement de la capacité totale de grille du transistor (C_{GS} et C_{GD}) qui, dans le cas d'un transistor à effet de champ, augmentent avec le développement de grille.

On remarque qu'il est nécessaire de trouver le meilleur compromis entre les pertes résistive et les pertes par commutation qui dépendent de la taille des composants de manière opposée. C'est pourquoi le facteur de mérite $R_{ON} \times Q_G$, qui tient compte des deux types de pertes est couramment utilisé pour le choix du transistor.

d - Choix de l'inductance et de la capacité de sortie

Les valeurs de l'inductance et de la capacité de sortie d'un convertisseur dépendent principalement de la fréquence de commutation, des courants et tensions de fonctionnement du convertisseur ainsi que des variations maximales acceptables sur sa tension de sortie. Ces valeurs peuvent être déterminées par les relations suivantes [11] :

$$L_{(\min)} = \frac{V_{IN} \cdot (V_{OUT} - V_{IN})}{\Delta I_L \cdot F_s \cdot V_{OUT}}$$

$$C_{OUT(\min)} = \frac{I_{OUT(\max)} \cdot \alpha}{F_s \cdot \Delta V_{OUT}}$$

F_s est la fréquence de découpage du convertisseur ($F_s=1/T_0$), on remarque que les valeurs de L et C_{OUT} sont inversement proportionnelles à cette fréquence, la montée en fréquence de découpage permet donc de réduire ces valeurs et ainsi la taille des éléments passifs. ΔI_L est la variation de courant dans l'inductance (généralement comprise entre 20 et 40 % du courant d'entrée) et ΔV_{OUT} est la variation de tension en sortie (quelques % de V_{OUT}). Les composants doivent être choisis de manière à avoir des tensions et courant de claquage compatibles avec les tensions et courants du circuit. L'inductance doit également avoir une fréquence de résonance nettement supérieure (un ordre de grandeur) à la fréquence de découpage du convertisseur afin de minimiser les pertes magnétiques. Les condensateurs réels ont également une résistance parasite série (ESR), cette résistance peut créer un dépassement de tension lors de la mise en fonctionnement du convertisseur, ce dépassement $\Delta V_{overshoot}$ s'exprime de la manière suivante [11] :

$$\Delta V_{overshoot} = ESR \cdot \left(\frac{I_{OUT(\max)}}{1 - \alpha} + \frac{\Delta I_L}{2} \right)$$

Le dépassement peut entraîner le claquage de certains composants si il est trop important, on veillera donc à utiliser des capacité ayant une faible ESR.

B - Convertisseur abaisseur non isolé (buck)

Le montage abaisseur de tension (buck), est présenté sur la **figure II.5**, tout comme le convertisseur boost, il se compose principalement d'un transistor, une diode, une self et une capacité de sortie, cependant les éléments sont agencés différemment.

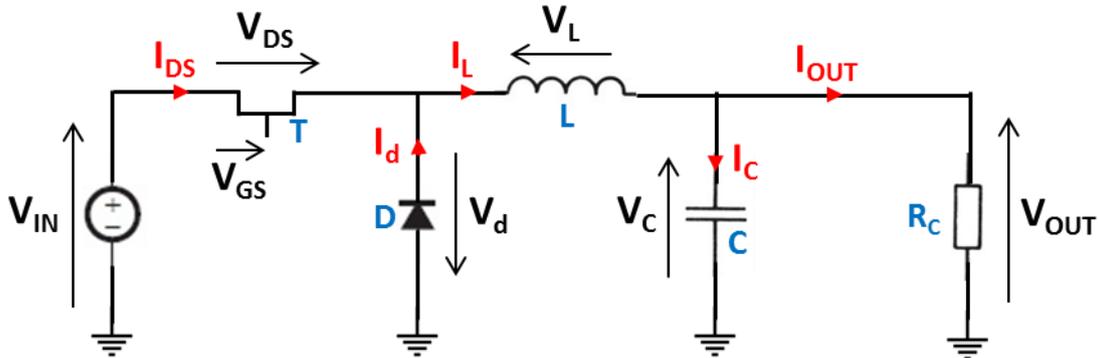


Figure II.5 : schéma d'un convertisseur buck.

a - Principe de fonctionnement

Comme pour le montage boost, le fonctionnement convertisseur buck repose sur les états ON et OFF du transistor.

- **Transistor à l'état ON**

- La diode est bloquée car la tension à ses bornes est négative, $V_d = -V_{IN}$.
- La tension V_L aux bornes de la self est égale à $V_{IN} - V_{OUT}$, le courant I_L qui traverse la self augmente de la manière suivante :

$$\frac{dI_L}{dt} = \frac{V_{IN} - V_{OUT}}{L}$$

- la tension de sortie est maintenue par la capacité de filtrage C .

- **Transistor à l'état OFF**

- $V_{GS} < V_p$, le transistor est bloqué.
- La diode est passante, la tension à ses bornes est quasi-nulle.
- Le courant dans la self diminue, il varie de la manière suivante :

$$\frac{dI_L}{dt} = \frac{-V_{OUT}}{L}$$

Les chronogrammes des courants et tensions aux bornes des différents composants d'un convertisseur buck sont représentés sur la **figure II.6** :

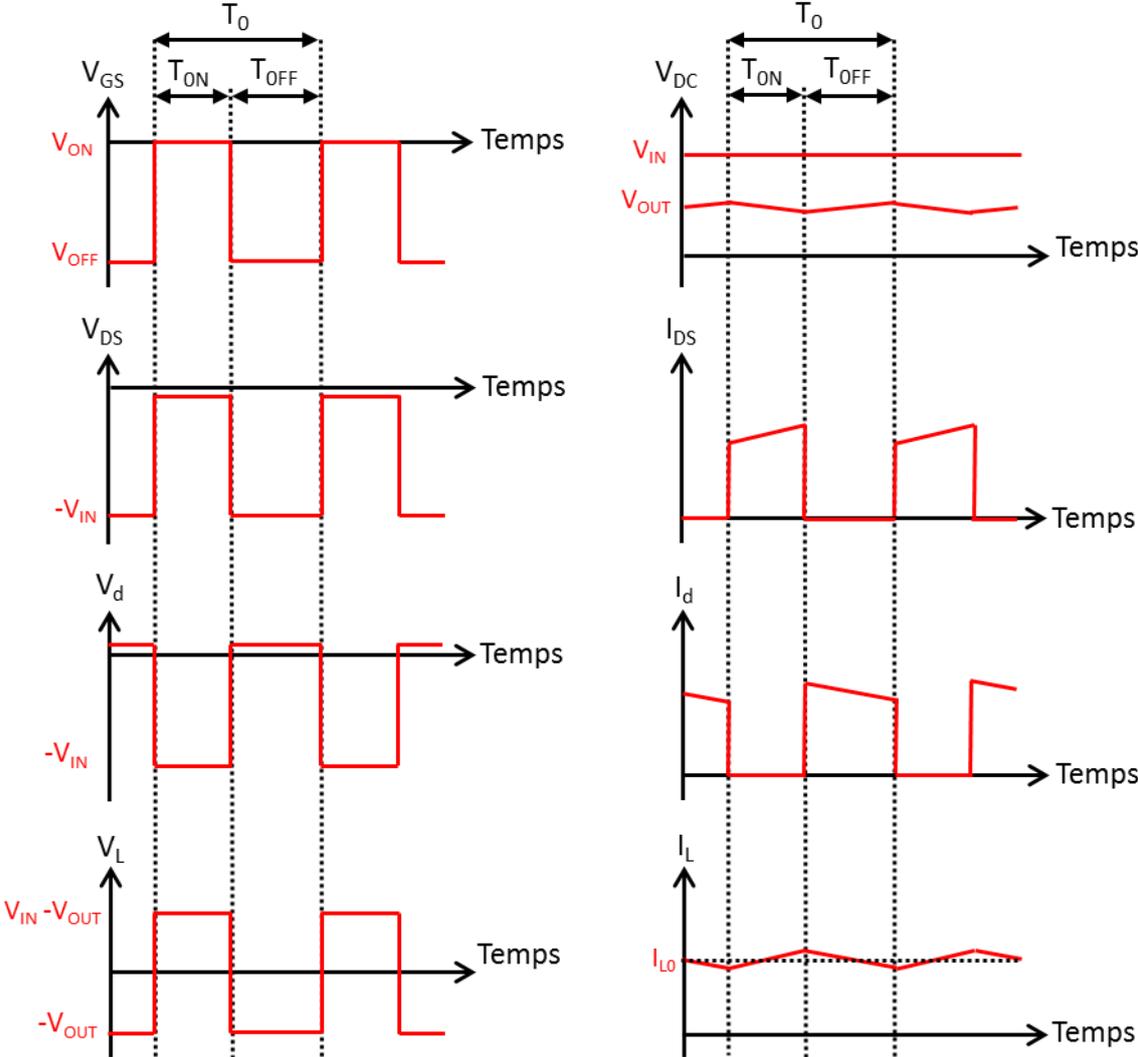


Figure II.6 : chronogrammes des courants et tensions aux bornes des composants d'un convertisseur buck.

b - Calcul du rapport de conversion

On retrouve le même principe de calcul du rapport de conversion que pour le convertisseur boost, basé sur la variation de courant dans l'inductance :

$$\Delta I_{L_{ON}} = \frac{(V_{IN} - V_{OUT}) \cdot \alpha \cdot T_0}{L} \quad \text{et} \quad \Delta I_{L_{OFF}} = \frac{-V_{OUT} \cdot (1 - \alpha) \cdot T_0}{L}$$

On a toujours $\Delta I_{L_{ON}} = \Delta I_{L_{OFF}}$, on peut donc en déduire le rapport de conversion théorique :

$$m = \frac{V_{OUT}}{V_{IN}} = \alpha$$

Le rapport de conversion d'un convertisseur buck idéal est donc égal au rapport cyclique du signal de commande de grille du transistor. Ce rapport est donc toujours inférieur à 1, la tension de sortie est bien inférieure à la tension d'entrée.

c - Calcul du rendement du convertisseur

Les considérations sur les pertes pour un convertisseur buck sont les mêmes que pour le convertisseur boost vu précédemment, on distingue toujours 2 types de pertes, résistives et par commutation. Les expressions pour les pertes résistives en fonction du rapport cyclique α sont les mêmes que pour un convertisseur boost :

Pertes dans l'inductance	$P_L = R_L \cdot I_L^2$
Pertes dans le transistor	$P_T = R_{ON} \cdot I_L^2 \cdot \alpha$
Pertes dans la diode	$P_D = (R_D \cdot I_L^2 + V_F \cdot I_L) \cdot (1 - \alpha)$

Tableau II.3 : expressions des pertes résistives dans un convertisseur buck

Les pertes par commutation font intervenir la tension d'entrée au lieu de la tension de sortie pour un boost :

Pertes de commutation à la fermeture du transistor	$P_f = 0.5 \cdot V_{IN} \cdot I_L \cdot \frac{T_f}{T_0}$
Pertes de commutation à l'ouverture du transistor	$P_r = 0.5 \cdot V_{IN} \cdot I_L \cdot \frac{T_r}{T_0}$

Tableau II.4 : expressions des pertes par commutation dans un convertisseur buck

Le rendement total en puissance peut s'exprimer en fonction de ces pertes :

$$\eta = \frac{P_{OUT}}{P_{OUT} + P_L + P_T + P_D + P_f + P_r}$$

Si l'on remplace les pertes par leurs expressions données dans les tableaux 3 et 4, le rendement devient :

$$\eta = \frac{1}{1 + \frac{(R_L + R_{ON} \cdot \alpha + R_D \cdot (1 - \alpha))}{R_C} + \frac{V_F}{V_{OUT}} \cdot (1 - \alpha) + \frac{1}{m} \cdot \frac{T_r + T_f}{2T_0}}$$

On remarque que, comme dans le cas d'un convertisseur boost, il est nécessaire de trouver le meilleur compromis entre les pertes résistive et les pertes par commutation. On note que la valeur de R_C est faible (fort courant de charge), plus les pertes résistives sont importantes.

d - Choix de l'inductance et de la capacité de sortie

Comme pour le convertisseur boost, les valeurs de l'inductance et de la capacité de sortie d'un convertisseur dépendent de la fréquence de commutation, des courants et tensions de fonctionnement du convertisseur ainsi que des variations maximales acceptables sur sa tension de sortie. Ces valeurs peuvent être déterminées par les relations suivantes [12] :

$$L_{(\min)} = \frac{V_{OUT} \cdot (V_{IN} - V_{OUT})}{\Delta I_L \cdot F_s \cdot V_{IN}}$$

$$C_{OUT(\min)} = \frac{(V_{IN} - V_{OUT})}{2 \cdot L \cdot \Delta V_{OUT}} \cdot \left(\frac{V_{OUT}}{V_{IN} \cdot F_s} \right)^2$$

Les valeurs de L et C_{OUT} sont inversement proportionnelles à ces fréquences, la montée en fréquence de découpage permet donc de réduire ces valeurs et ainsi la taille des éléments passifs. ΔI_L est la variation de courant dans l'inductance (généralement entre 20 et 40 % du courant d'entrée) et ΔV_{OUT} est la variation de tension en sortie (quelques % de V_{OUT}). Les composants doivent toujours être choisis de manière à avoir des tensions et courant de claquage compatibles avec les tensions et courants du circuit. De même que pour le convertisseur boost, l'inductance doit avoir une fréquence de résonance élevée par rapport à la fréquence de découpage et la capacité de sortie une faible ESR.

Ces architectures de base peuvent être améliorées en ajoutant des circuits résonants LC au niveau du transistor qui permettent de minimiser le chevauchement du courant et de la tension de drain au moment de la commutation (et donc de minimiser les pertes par commutation) [13]. Cependant ces circuits résonants entraînent des surtensions au niveau de la tension V_{DS} du transistor qui peuvent aller de 2 à 5 fois la tension de sortie du convertisseur [14].

On note que les architectures boost et buck n'ont pas d'isolation galvanique (de type transformateur) et peuvent perturber la source de tension si l'entrée est mal découplée.

II.2 - Premier prototype de convertisseur DC/DC utilisant un HEMT GaN issu du laboratoire

Les deux principaux types de convertisseurs DC/DC à découpage, élévateur et abaisseur de tension, ont été présentés dans la première partie de ce chapitre. L'objectif de la suite de ces travaux est la réalisation de convertisseurs DC/DC à haute vitesse de découpage (≥ 10 MHz) basé sur des commutateurs de type HEMT AlGaN/GaN. Cette partie concerne le premier prototype de convertisseur réalisé à partir d'un HEMT AlGaN/GaN issu du laboratoire, l'objectif est la réalisation d'un convertisseur abaisseur de tension réalisant une conversion nominale 24-12 V pour une puissance de sortie de 5 W.

II.2.1 - Choix du transistor

Il a été établi précédemment que les rendements des convertisseurs DC/DC à découpage dépendaient fortement des caractéristiques du composant hacheur, grâce à leur faible résistance à l'état passant R_{ON} ainsi que leurs capacités de grille contenues, les HEMT AlGaN/GaN constituent de bons candidats pour les convertisseurs DC/DC à découpage.

Pour le premier prototype de convertisseur DC/DC, des transistors AlGaN/GaN disponibles au laboratoire ont été utilisés. Comme évoqué au chapitre précédent, les transistors disponibles au laboratoire qui ont été caractérisés sont d'une part les transistors issus de la plaque AEC1142 et d'autre part ceux issus de la plaque KQ002. Leurs principales caractéristiques significatives pour la réalisation de convertisseurs DC/DC à découpage sont comparées dans le **tableau II.5** :

	AEC1142	KQ002
Tension de claquage (V)	35	35
Largeur de grille totale (μm)	300	900
I_{Dsat} (A)	0.33	0.84
R_{ON} (Ω)	9.1	3.7
Charge de grille totale (pC)	2	10

Tableau II.5 : comparaison des transistors AEC1142 et KQ002.

Les tensions de claquage des deux types de transistors sont similaires (autour de 35 V), les transistors KQ002 ont un développement de grille trois fois plus important que les transistors AEC1142, il en résulte des performances en puissance meilleures pour les transistors KQ002 par rapport aux transistors AEC1142, les performances en commutation sont en revanche meilleures pour ces derniers. Les figures de mérite en puissance et en commutation (voir Chapitre I) des 2 types de transistors sont comparées dans le **tableau II.6** :

	AEC1142	KQ002
PFM (V^2/Ω)	135	331
CFM ($\Omega.pC$)	18.2	37

Tableau II.6 : figures de mérite des transistors AEC1142 et KQ002.

L'objectif de ces travaux est la montée en fréquences de découpage des convertisseurs, il serait donc souhaitable d'utiliser les transistors supposés les plus rapides, soit les AEC1142. Cependant, leur courant de saturation (0.33 A) est fortement limité par leur petit développement et cela limiterait fortement la puissance de sortie du convertisseur et n'apporterait pas d'avantage par rapport à des composants de type GaAs. Afin d'atteindre des puissances supérieures à 5 W, les transistors KQ002 sont finalement choisis pour ce premier prototype.

II.2.2 - Modélisation du transistor KQ002

Afin de pouvoir effectuer des simulations sous ADS (Advanced Design System) et de déterminer avec précision les performances d'un convertisseur DC/DC basé sur le transistor KQ002, celui-ci a été modélisé à partir de mesures DC et de paramètres S.

A - Modélisation petit signaux du transistor KQ002

a - Eléments extrinsèques

Les éléments extrinsèques du schéma équivalent ont d'abord été extraits selon la méthode décrite au chapitre I à partir de mesures de paramètres S. Les valeurs de ces éléments sont présentées dans le **tableau II.7** :

L_S (pH)	L_G (pH)	L_D (pH)	C_{PG} (fF)	C_{PD} (fF)	R_S (Ω)	R_G (Ω)	R_D (Ω)
4	87	126	341	312	0.1	0.5	0.6

Tableau II.7 : paramètres extrinsèques du transistor KQ002.

On remarque des valeurs du même ordre que celles du transistor AEC1142 présentée au chapitre I, les éléments d'accès coplanaires sont en effet standards afin d'être compatibles avec les pointes de mesures.

b - Eléments intrinsèques

Les capacités intrinsèques, notamment de grille (C_{GS} , C_{GD}), des transistors HEMT variant avec la polarisation, les valeurs des éléments intrinsèques sont extraites pour différents points de polarisation. Les deux points de polarisation particulièrement intéressants dans le cadre d'une utilisation en commutation du transistor (comme dans le cas d'un convertisseur DC/DC) sont les polarisations pour lesquelles le transistor est soit bloqué (OFF), soit passant (ON). Dans le cas du transistor KQ002 et d'un convertisseur buck 24-12 V, l'état OFF correspond à une polarisation ($V_{GS}=-12$ V; $V_{DS}=24$ V) et l'état ON à une polarisation ($V_{GS}=0$ V; $V_{DS}=1$ V). Les valeurs des éléments intrinsèques pour ces deux états sont données dans les **tableaux II.8 et II.9** :

C_{GS} (fF)	C_{GD} (fF)	C_{DS} (fF)	g_M (S)	g_D (S)	T (ps)	R_{GS} (Ω)	R_{GD} (Ω)
478	128	332	0.023	0.0075	3.4	0.1	0.3

Tableau II.8 : paramètres intrinsèques du transistor KQ002 à l'état OFF ($V_{DS}=24$ V; $V_{GS}=-12$ V).

C_{GS} (fF)	C_{GD} (fF)	C_{DS} (fF)	g_M (S)	g_D (S)	T (ps)	R_{GS} (Ω)	R_{GD} (Ω)
867	546	341	0.0019	0.346	12.1	0.1	0.3

Tableau II.9 : paramètres intrinsèques du transistor KQ002 à l'état ON ($V_{DS}=1$ V; $V_{GS}=0$ V).

Les valeurs des capacités intrinsèques présentent effectivement une variation suivant que le transistor soit bloqué ou passant. On note des valeurs très faibles (<1 pF), ce qui permettra une vitesse de commutation élevée du transistor.

Les comparaisons entre les paramètres S mesurés et les paramètres S simulés obtenus en utilisant un modèle petits signaux pour les polarisations correspondant à l'état OFF et à l'état ON sont données par les figures II.7 et II.8 respectivement :

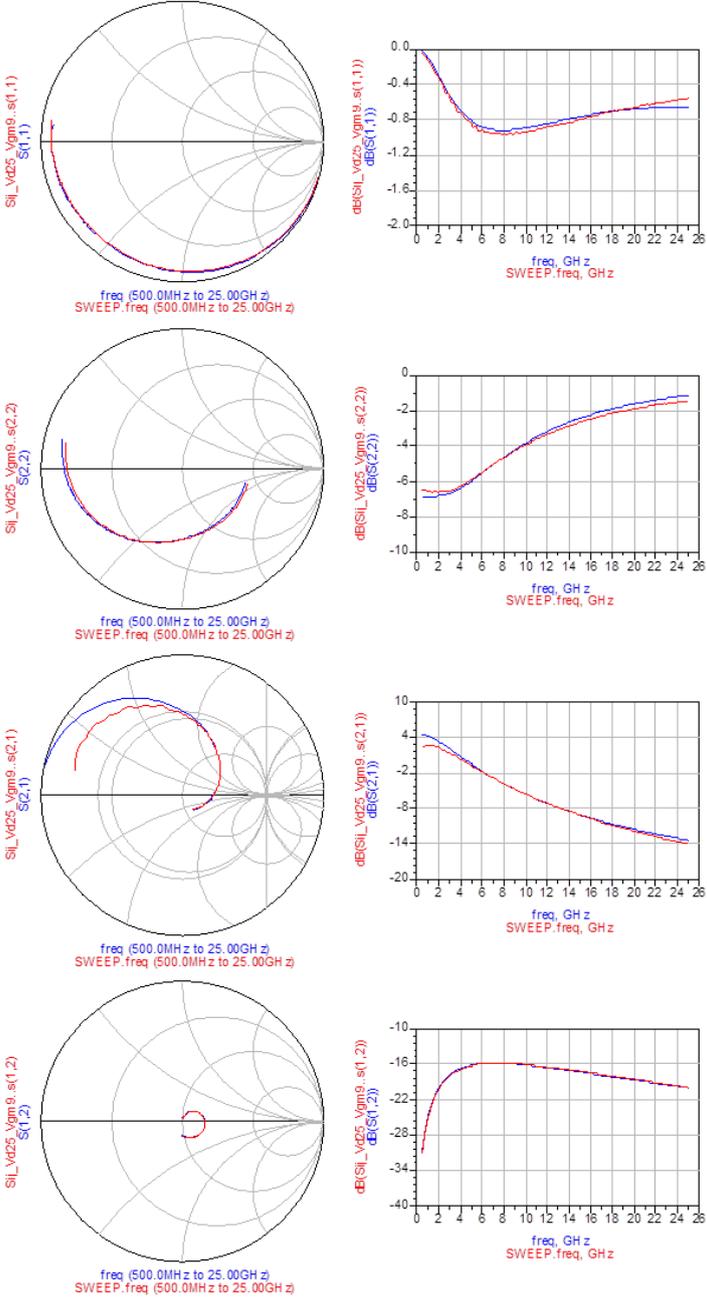


Figure II.7 : comparaison des paramètres S mesurés/simulés du transistor KQ002 à l'état OFF ($V_{DS}=24\text{ V}$; $V_{GS}=-12\text{ V}$).

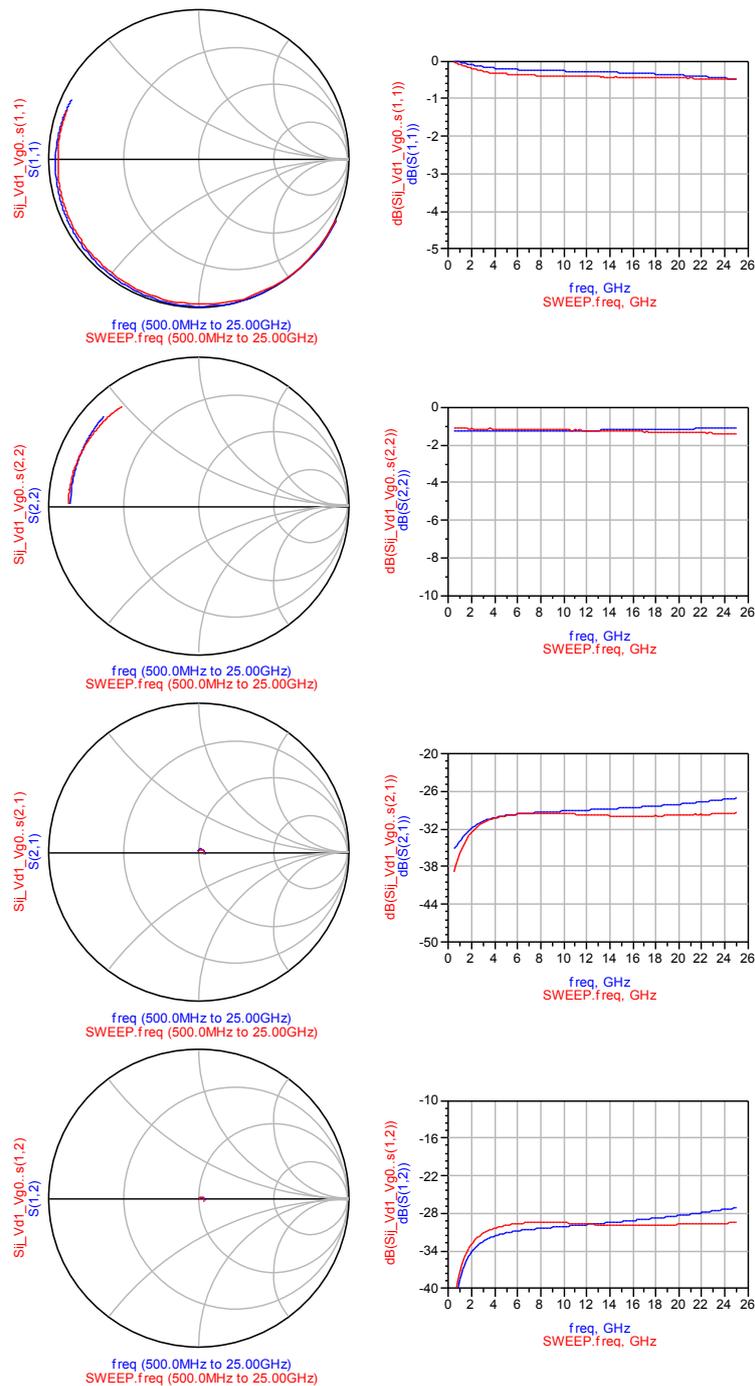


Figure II.8 : comparaison des paramètres S mesurés/simulés du transistor KQ002 à l'état ON ($V_{DS}=1\text{ V}$; $V_{GS}=0\text{ V}$).

Pour les deux points de polarisation, la correspondance entre les paramètres S mesurés et simulés est globalement bonne. En toute rigueur, les capacités intrinsèques du transistor doivent faire l'objet d'une modélisation non linéaire en fonction des tensions V_{GS} et V_{DS} , cependant, afin de simplifier le modèle et compte tenu des faibles valeurs des

capacités de grille, seules les valeurs correspondant aux deux états OFF et ON seront prises en compte, avec une dépendance linéaire en fonction de la tension de grille V_{GS} :

$$C_{GS} = \frac{C_{GS_OFF} - C_{GS_ON}}{V_{GS_OFF}} \cdot V_{GS} + C_{GS_ON}$$

$$C_{GD} = \frac{C_{GD_OFF} - C_{GD_ON}}{V_{GS_OFF}} \cdot V_{GS} + C_{GD_ON}$$

C_{GS_OFF} , C_{GS_ON} , C_{GD_OFF} et C_{GD_ON} sont les valeurs des capacités de grille aux états OFF et ON présentées dans les tableaux 8 et 9. V_{GS_OFF} est la tension de grille nécessaire au pincement complet du transistor, -12 V dans ce cas.

B - Modélisation de la source de courant

Afin de modéliser la source de courant du transistor, plusieurs modèles, décrits au chapitre I, ont été testés. Le modèle donnant les meilleurs résultats est le modèle d'Angelov. La comparaison entre les caractéristiques I(V) mesurées et simulées selon le modèle d'Angelov est donnée par la [figure II.9](#), pour V_{GS} compris entre -9 et 0 V :

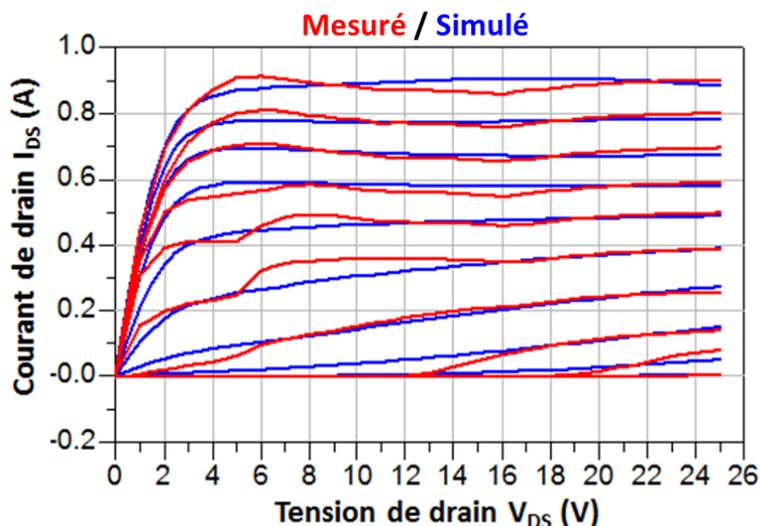


Figure II.9 : comparaison du courant de drain mesuré/simulé avec le modèle d'Angelov pour le transistor KQ002, V_{GS} varie entre 0 et -9 V.

On remarque une bonne corrélation entre le modèle et la mesure pour les valeurs de V_{GS} plus élevées que la tension de pincement, la résistance à l'état passant R_{ON} est bien modélisée, ce qui est important dans le cadre d'un commutateur. L'effet Kink n'est pas modélisé, mais il n'a pas d'influence significative lors d'un fonctionnement en commutation du transistor. En revanche, pour les tensions de grille inférieures à la tension de pincement, le modèle d'Angelov se montre plus imprécis pour prendre en compte les phénomènes de

courant de fuite (effet buffer), qui peuvent avoir une importance non négligeable dans les pertes par conduction d'un commutateur.

Afin d'obtenir une modélisation plus précise pour l'état OFF du transistor, le modèle proposé par O. Jardel [15] a été testé. Outre une meilleure représentation du comportement de la source de courant à l'état OFF que pour le modèle d'Angelov, il permet de modéliser le courant I_{DS} pour des tensions de drain négatives, ces tensions de drain négatives peuvent survenir lors des commutations du fait des inductances parasites du circuit (bondings notamment). Les équations utilisées par ce modèle sont les suivantes :

$$I_{DS} = I_{dss} \cdot dhyp(V_{dsn} + A \cdot V_{dsn}^3) \cdot V_{gsn}$$

D'autre part :

$$V_{gsn} = V_{gsin} \cdot \left[1 + \frac{V_{p0}}{v_p} \right]^N$$

$$v_p = V_{p0} + Hasympt(-V_{DS} \cdot (1 - V_{pdec}), 1.10^{-4}, 0) + P \cdot V_{DS}$$

$$V_{dsn} = \frac{V_{DS}}{V_{knee} \cdot [1 + W \cdot (V_{gsn} - 1)]}$$

$$V_{gsin} = Hasympt \left(\frac{V_{satp} + v_p}{Hasympt \left(V_{satp} + v_p + V_{p0}, 1.10^{-4}, \frac{-v_p}{V_{p0}} \right)}, S_{vp}, 0 \right)$$

$$V_{satp} = Lasympt \left(\frac{V_{GS}}{2}, S_{sat1p}, V_{sat1p} \right) + Lasympt \left(\frac{V_{GS}}{2}, S_{sat2p}, V_{sat2p} - V_{sat1p} \right)$$

$$S_{vp} = Hasympt \left(Lasympt \left(\frac{-V_{DS}}{S_{neg}}, S_{satn}, V_{satn} \right), 1.10^{-4}, g_{mvp} \right)$$

Avec :

$$A = cval(A_{pos}, A_{neg}, V_{DS}, \alpha_{trval})$$

$$W = cval(W_{pos}, W_{neg}, V_{GS} + V_{p0}, \alpha_{trval})$$

Les équations de la source de courant reposent sur quatre fonctions. La fonction *dhyp* permet de reconstruire la forme du courant et possède une allure similaire à la fonction *tanh(x)*.

$$dhyp(x) = \frac{x}{\sqrt{1+x^2}}$$

La fonction *cval* assure la transition du paramètre *x* de x_{neg} à x_{pos} , au voisinage de $V_{DS}=0$ V. Le paramètre α_{trval} permet de choisir la douceur de cette transition.

$$cval(x_{pos}, x_{neg}, V, \alpha_{trval}) = \frac{x_{pos} - x_{neg}}{2} \cdot \tanh(\alpha_{trval} \cdot V) + \frac{x_{pos} + x_{neg}}{2}$$

Les équations *genp(x)*, *Hasympt* et *Lasympt* permettent de définir la douceur de transition entre les cadrans $V_{DS} < 0$ V et $V_{DS} > 0$ V. Ces fonctions sont indéfiniment dérivables et permettent de séparer le domaine de définition en une région supérieure et une inférieure avec une douceur de transition paramétrable par *a*. Ces fonctions sont définies de la manière suivante :

$$genp(x) = \begin{cases} \frac{1}{2(-x + \sqrt{1+x^2})} & \text{pour } x > -1 \\ \frac{-1}{2x(1 + \sqrt{1 + \frac{1}{x^2}})} & \text{pour } x \leq -1 \end{cases}$$

$$Hasympt(x, a, x_H) = \begin{cases} x + a \cdot genp\left(\frac{-x + x_H}{a}\right) & \text{pour } x > -x_H \\ x_H - a \cdot genp\left(\frac{x + x_H}{a}\right) & \text{pour } x \leq -x_H \end{cases}$$

$$Lasympt(x, a, x_L) = \begin{cases} x_L - a \cdot genp\left(\frac{x_L - x}{a}\right) & \text{pour } x > x_L \\ -x_L + a \cdot genp\left(\frac{x - x_L}{a}\right) & \text{pour } x \leq x_L \end{cases}$$

Les valeurs des paramètres ont été optimisées sous ADS pour reproduire au mieux les caractéristiques I(V) du transistor KQ002, elles sont regroupées dans le [tableau II.10](#) :

I_{dss} (A)	V_{p0} (V)	P	W_{neg}	W_{pos}	A_{neg}	A_{pos}	V_{knee} (V)	S_{neg}
0.5	6.9	0.05	-0.7	0.8	-0.2	0.1	1.34	32
g_{mvp}	S_{satn}	V_{satn}	S_{sat1p}	V_{sat1p}	S_{sat2p}	V_{sat2p}	α_{trval}	N
0.13	$4 \cdot 10^{-3}$	1.1	$3 \cdot 10^{-4}$	-4	$8 \cdot 10^{-5}$	98	1.14	2.5

Tableau II.10 : valeurs des paramètres du modèle utilisé pour la source de courant du transistor KQ002.

La comparaison entre les caractéristiques I(V) mesurées et simulées selon ce modèle est donnée par la [figure II.10](#) :

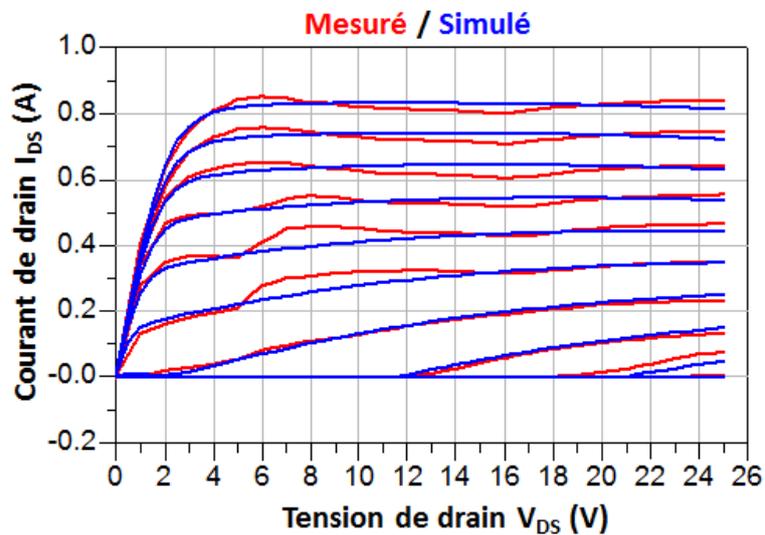


Figure II.10 : comparaison du courant de drain mesuré/simulé avec le modèle de d'O. Jardel pour le transistor KQ002, V_{GS} varie entre 0 et -12 V.

On remarque une bonne corrélation entre mesures et simulations aussi bien au niveau dans la zone linéaire (état ON) que dans la zone de pincement (état OFF), de plus, malgré l'utilisation de nombreuses équations, les simulations ne se révèlent pas beaucoup plus longues qu'avec un modèle traditionnel. Aucun problème de convergence n'a été observé. Un modèle basé sur une "Look Up Table", où les données de mesure sont utilisées directement dans le modèle donne certes une précision optimale, mais des problèmes de convergence ont été observés pour des applications de commutation.

II.2.3 - Conception, réalisation et caractérisation du premier convertisseur

Après avoir caractérisé et modélisé le transistor GaN KQ002, un premier prototype de convertisseur DC/DC à haut vitesse de découpage 24-12 V basé sur ce transistor a été conçu. Ses performances ont été d'abord évaluées à l'aide de simulations temporelle sous ADS, finalement le convertisseur a été réalisé et caractérisé au laboratoire et les résultats de mesure confrontés aux simulations.

A - Conception du circuit et simulations

a - Topologie du convertisseur buck utilisée

La topologie classique d'un convertisseur buck (abaisseur de tension), décrite dans la première partie de ce chapitre, présente la particularité d'avoir la source du transistor au potentiel $+V_{IN}$ au lieu de la masse, ce qui se révèle peu pratique pour la commande de grille. En effet, afin d'obtenir une tension V_{GS} commutant entre -9 et 0 V, il est nécessaire d'avoir un signal de commande commutant entre -15 V et $+V_{IN}$, soit entre +15 et +24 V dans le cadre de ces travaux. Cela ne pose pas de problème lors des simulations, en revanche, le générateur utilisé au laboratoire pour la commande de grille à haute fréquence ne permet que des niveaux de tension compris entre -15 et +15 V. Afin d'éviter la mise en place de circuits supplémentaires réalisant un décalage de tension, la topologie présentée sur la [figure II.11](#) a été adoptée :

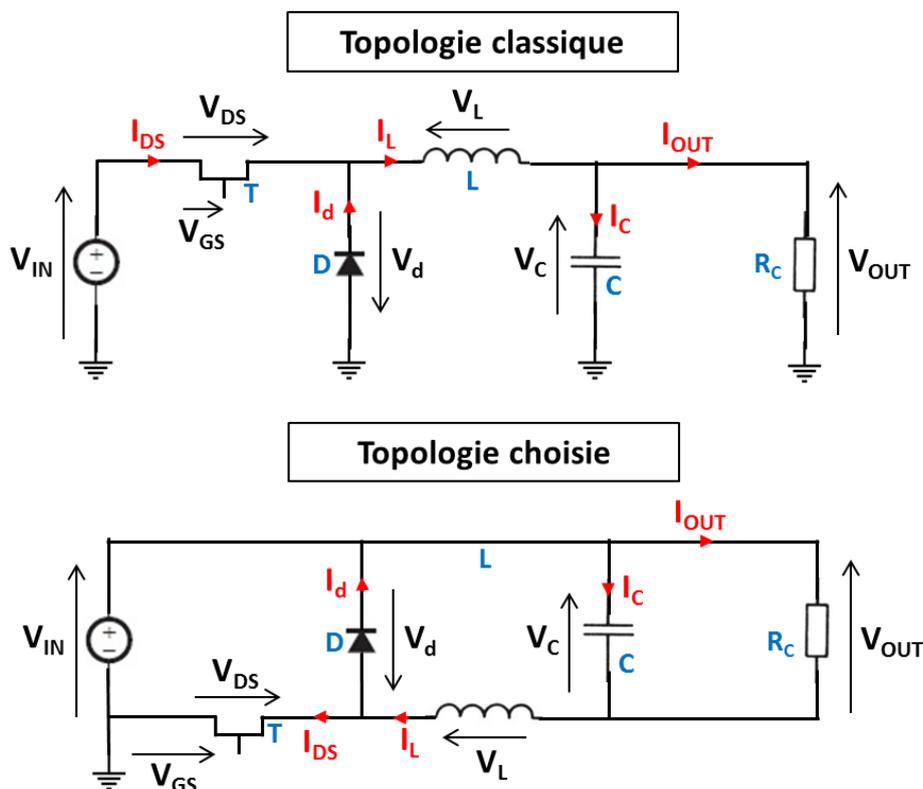


Figure II.11 : topologie classique et topologie utilisée pour le convertisseur DC/DC buck.

Cette topologie présente l'avantage de faciliter la commande de grille, la source du transistor étant reliée à la masse du circuit.

b - Choix des composants passifs

Outre le transistor, les composants passifs du convertisseur doivent faire l'objet d'une attention particulière. Les valeurs de l'inductance et de la capacité de sorties ont été déterminées selon les équations présentées au II.1.2.B.d :

$$L_{(\min)} = \frac{V_{OUT} \cdot (V_{IN} - V_{OUT})}{\Delta I_L \cdot F_s \cdot V_{IN}}$$

$$C_{OUT(\min)} = \frac{(V_{IN} - V_{OUT})}{2 \cdot L \cdot \Delta V_{OUT}} \cdot \left(\frac{V_{OUT}}{V_{IN} \cdot F_s} \right)^2$$

Pour ce premier convertisseur, les valeurs choisies pour les niveaux de tensions et la fréquence de découpage sont les suivantes :

- $V_{IN} = 24 \text{ V}$
- $V_{OUT} = 12 \text{ V}$
- $F_s = 10 \text{ MHz}$

La valeur de ΔI_L dépend du courant qui traverse la self; selon l'hypothèse d'une puissance de sortie de 5 W sur 12 V, le courant de sortie est de 420 mA, en considérant une oscillation en courant dans la self de 30 %, on obtient :

- $\Delta I_L = 126 \text{ mA}$

On peut donc obtenir la valeur théorique de la self du convertisseur :

$$L_{(\min)} = 9.5 \mu\text{H}$$

On en déduit la valeur de $C_{OUT(\min)}$ pour une oscillation en tension de 2 %, soit 0.2 V :

$$C_{OUT(\min)} = 8 \text{ nF}$$

Il convient ensuite de trouver des composants commerciaux approchant ces valeurs et pouvant supporter les courants et tensions de fonctionnement du convertisseur. Après une recherche chez différents fournisseurs, les composants suivants ont été sélectionnés :

- Inductance de 10 μH Taiyo Yuden BRL3225T100K en boîtier CMS 1210, courant de saturation de 0.9 A, résistance série $R_L = 0.35 \Omega$ et fréquence de résonance 70 MHz.
- Condensateur de 12 nF Murata GRM216R71H153KA01D en boîtier CMS 805, avec une tension de claquage de 50 V.

- Un condensateur de découplage a été ajouté à l'entrée du convertisseur, il s'agit d'un condensateur de 4.7 μF Murata GRM31CR71H475KA12L en boîtier CMS 1206, avec une tension de claquage de 50 V.

Ces composants ont été mesurés à l'aide d'un analyseur d'impédance Agilent 4294A (40 Hz-110 MHz) et modélisés sous ADS afin d'obtenir une estimation précise des inductances et résistance série des condensateurs (ESL et ESR) ainsi que de la résistance série R_L de la self. Leurs schémas équivalents ainsi que les valeurs des éléments parasites sont donnés par le **tableau II.11** :

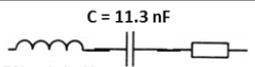
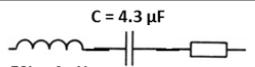
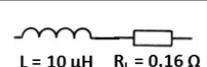
Condensateur 12 nF	Condensateur 4.7 μF	Inductance 10 μH
 <p>$C = 11.3 \text{ nF}$ ESL = 1.1 nH ESR = 0.8 Ω</p>	 <p>$C = 4.3 \mu\text{F}$ ESL = 4 nH ESR = 0.08 Ω</p>	 <p>$L = 10 \mu\text{H}$ $R_L = 0.16 \Omega$</p>

Tableau II.11 : schémas équivalents et valeurs des éléments parasites pour les composants passifs utilisés pour le convertisseur DC/DC buck.

La diode choisie est une diode Schottky Vishay mss1p4, avec une tension de claquage de 40 V, un courant maximum moyen de 1 A, une tension de seuil de 0.41 V, un facteur d'idéalité de 1.2, une résistance série R_D de 0.15 Ω et une capacité de jonction maximum de 150 pF, cette diode a été choisie car c'est la diode ayant la plus faible capacité de jonction dans la gamme de tension et de courant désirée.

c - Estimation des rendements et pertes de manière analytique

En tenant compte des différentes caractéristiques des composants passifs sélectionnés ainsi que de la résistance à l'état passant du transistor KQ002 ($R_{ON}=3.7 \Omega$) et d'un temps de commutation de 2 ns (temps de commutation minimum du générateur de commande de grille Agilent 81100), on peut obtenir une estimation du rendement du convertisseur en utilisant l'expression théorique décrites au II.1.2.B.c.

L'allure du rendement estimé ainsi que de la tension de sortie en fonction du rapport cyclique est donnée par la **figure II.12**, la fréquence de découpage est de 10 MHz et la tension d'entrée de 24 V. La répartition des pertes est également évaluée suivant les équations des tableaux 3 et 4. Pour ces calculs, plusieurs résistances de charge ont été considérées, notamment 30 et 50 Ω , qui correspondent à des puissances de sortie de 5 et 3 W, respectivement, pour $V_{OUT}=12 \text{ V}$.

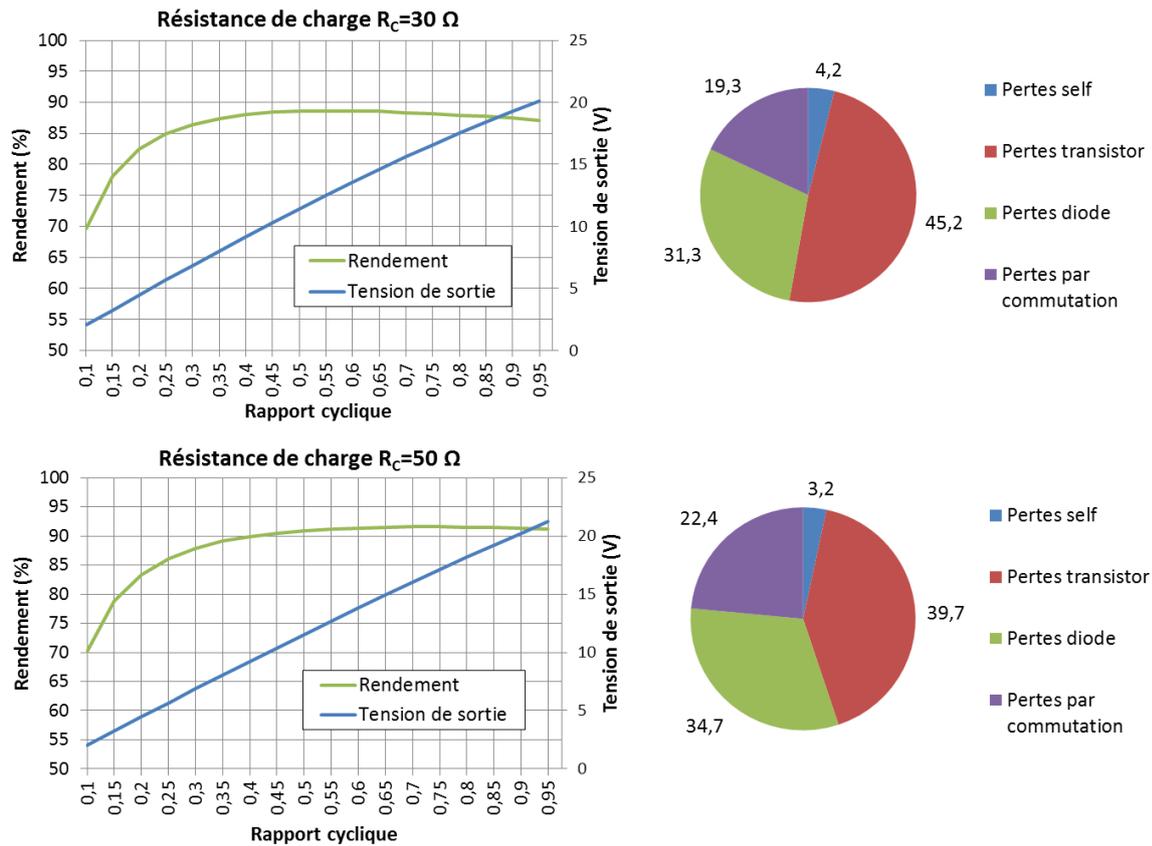


Figure II.12 : estimation des rendements et tensions de sortie pour le convertisseur buck pour une fréquence de découpage de 10 MHz et $V_{IN}=24$ V.

Les estimations montrent des rendements supérieurs à 85 % pour des tensions de sorties supérieures à 6 V pour les deux charges. Pour une tension de sortie typique de 12 V, le rendement estimé est de 88 % pour une puissance de sortie de 5 W ($R_C=30 \Omega$) et de 91 % pour $P_{OUT}=3$ W ($R_C=50 \Omega$). Ces valeurs de rendements estimés sont prometteuses et confirment la possibilité de réaliser des convertisseurs DC/DC à haute vitesse de découpage à base de HEMTs GaN. On note que les pertes prépondérantes sont les pertes par conduction dans le transistor (R_{ON}), leur influence est d'autant plus grande que P_{OUT} est élevée.

d - Simulations

A la suite des premières estimations par le calcul, des simulations temporelles ont été réalisées sous ADS avec les modèles précédemment réalisés afin d'avoir une meilleure précision quant aux rendements attendus du convertisseur. Les rendements et tensions de sorties simulés sont représentés par la **figure II.13**, $V_{IN}=24$ V et $F_s=10$ MHz.

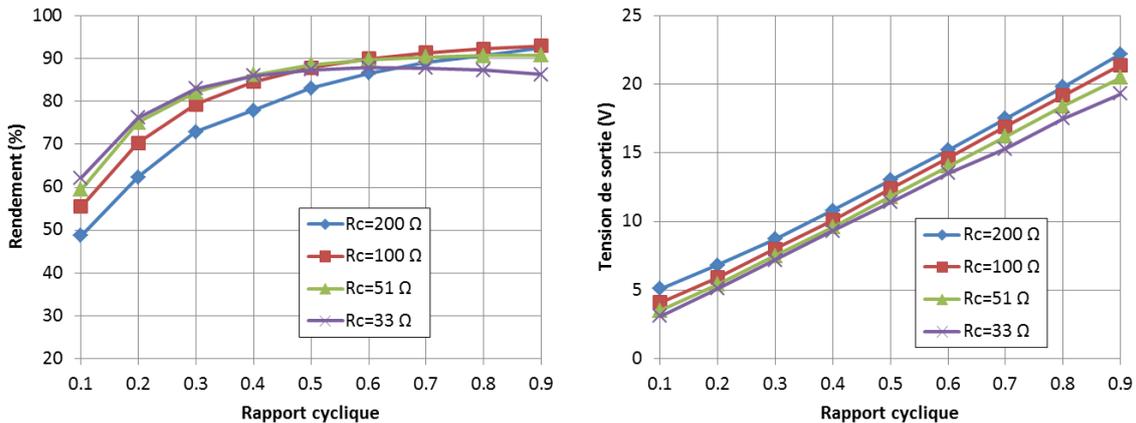


Figure II.13 : rendements et tensions de sortie obtenus en simulation pour le convertisseur buck pour une fréquence de découpage de 10 MHz et $V_{IN}=24$ V.

Les rendements et tensions de sortie obtenus par simulation sont comparables aux estimations analytiques. On remarque que le rendement s'effondre pour les faibles tensions ($V_{OUT}<8$ V), cela s'explique par la tension de seuil de la diode (0.41 V) qui devient non négligeable par rapport à V_{OUT} . Il est possible de remédier à ce problème en utilisant une architecture dite synchrone, où la diode est remplacée par un deuxième transistor commutant de manière complémentaire par rapport au premier. Un convertisseur synchrone a été testé en simulation avec un second transistor KQ002, le rendement en fonction du rapport cyclique est donné par la **figure II.14**, la chute de rendement pour les rapports cycliques inférieurs à 0.3 est fortement atténuée :

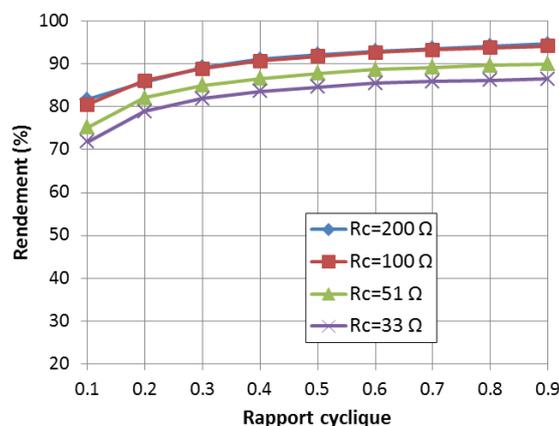


Figure II.14 : rendements obtenus en simulation pour un convertisseur buck synchrone. La fréquence de découpage est de 10 MHz et $V_{IN}=24$ V.

Les valeurs des résistances de charges pour les simulations (33, 51, 100, 200 Ω) ont été choisies car elles correspondent aux valeurs des résistances de puissance réelles disponibles au laboratoire, cela facilite la comparaison entre les mesures et les simulations.

La topologie synchrone permet de gagner 10 à 20 % de rendement pour les faibles tensions de sortie. La [figure II.15](#) représente le rendement en fonction de la puissance de sortie pour une tension de sortie fixée à 12 V, les topologies classique (asynchrone, avec une diode) et synchrone (un transistor à la place de la diode) sont comparées :

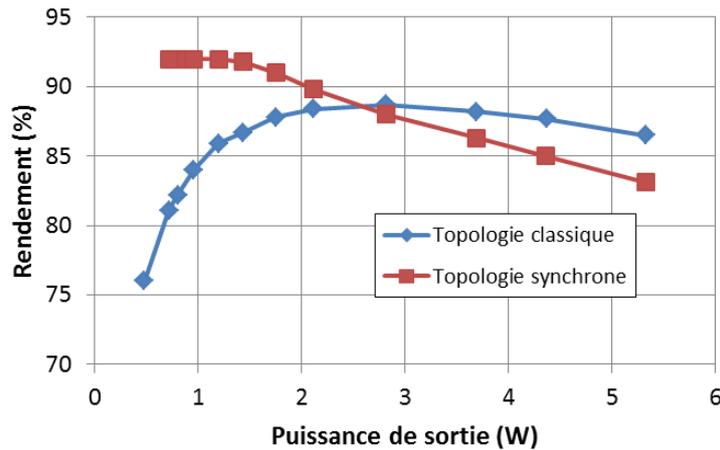


Figure II.15 : rendement simulé de convertisseurs buck synchrone/asynchrone en fonction de la puissance de sortie. La fréquence de découpage de 10 MHz, $V_{OUT}=12$ V et $V_{IN}=24$ V.

Le rendement est très élevé pour les basses puissances avec la topologie synchrone, cependant il chute rapidement et il devient inférieur au rendement de la topologie classique pour $P_{OUT}>2.5$ W, cette chute est due aux pertes par conduction du transistor qui sont présentes sur tout le cycle (il y a toujours un transistor à l'état ON dans un montage synchrone). Du fait de la R_{ON} élevée du transistor KQ002, la topologie synchrone n'est pas optimale pour la réalisation du convertisseur, de plus la commande des deux transistors de manière synchrone est beaucoup plus complexe à réaliser (il ne doit pas y avoir de chevauchement entre les phases de conduction de chaque transistor, ni de temps mort où aucun transistor ne conduit sous peine de dégrader le rendement). Finalement, la topologie classique sera choisie pour ce premier convertisseur.

B - Réalisation et caractérisation du convertisseur DC/DC

a - Réalisation

Un substrat aux performances RF élevées n'étant pas nécessaire pour un convertisseur fonctionnant à 10 MHz, un substrat FR-4, facile à obtenir et peu coûteux, a été choisi, son épaisseur est de 0.8 mm. Le transistor KQ002 est collé sur un support en cuivre et des fils (bondings) en or sont utilisés pour relier le transistor aux pistes du substrat, plusieurs sont mis en parallèle afin de minimiser les inductances parasites (qui créent des surtensions) et d'assurer le passage de courant allant jusqu'à 0.5 A. La source du transistor est reliée par bonding au support de cuivre qui est la masse du circuit. La [figure II.16](#) illustre le montage.

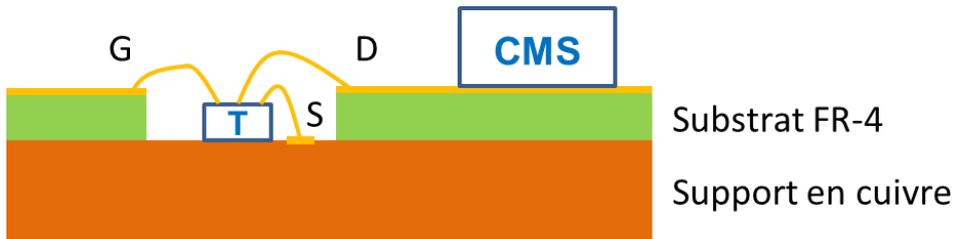


Figure II.16 : illustration du montage du transistor en puce utilisé dans le convertisseur.

Le premier circuit réalisé avait des pistes trop longues entre les accès, ce qui créa des problèmes de surtension important lors des commutations au cours des premières mesures. Pour remédier à ces problèmes, un 2^{ème} prototype fut réalisé avec un encombrement fortement réduit (25*25 mm² contre 50*40 mm² pour le premier convertisseur), les mesures seront effectuées sur ce 2^{ème} convertisseur. Une photographie des deux circuits réalisés est présentée sur la [figure II.17](#), les résistances de charge ne sont pas présentes :

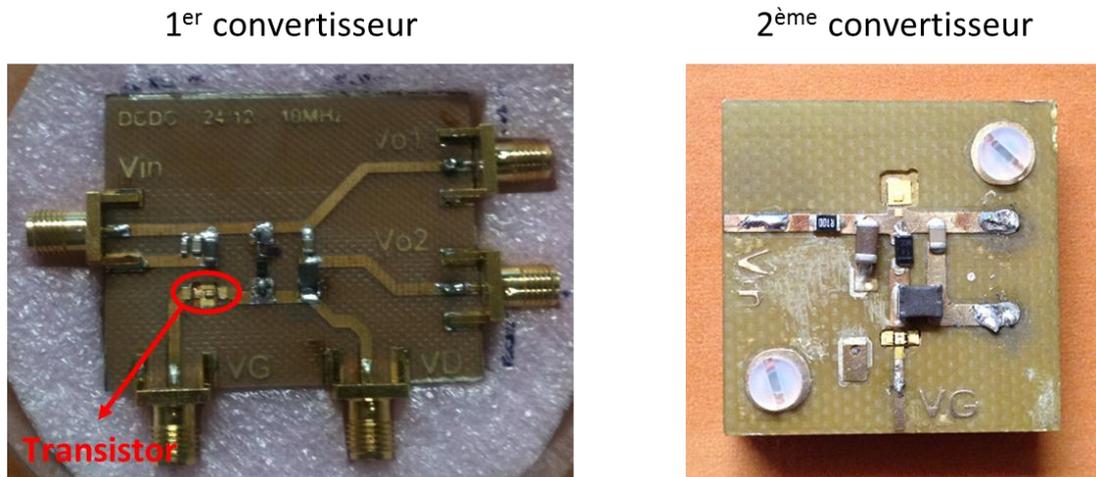


Figure II.17 : photographie des deux convertisseurs buck réalisés.

b - Caractérisation du convertisseur buck

- **Banc de mesure**

Le convertisseur buck 24-12 V a été caractérisé au laboratoire pour différents rapports cycliques et différentes résistances de charges (de 33 à 200 Ω). Le schéma synoptique du banc de mesure est présenté sur la **figure II.18** :

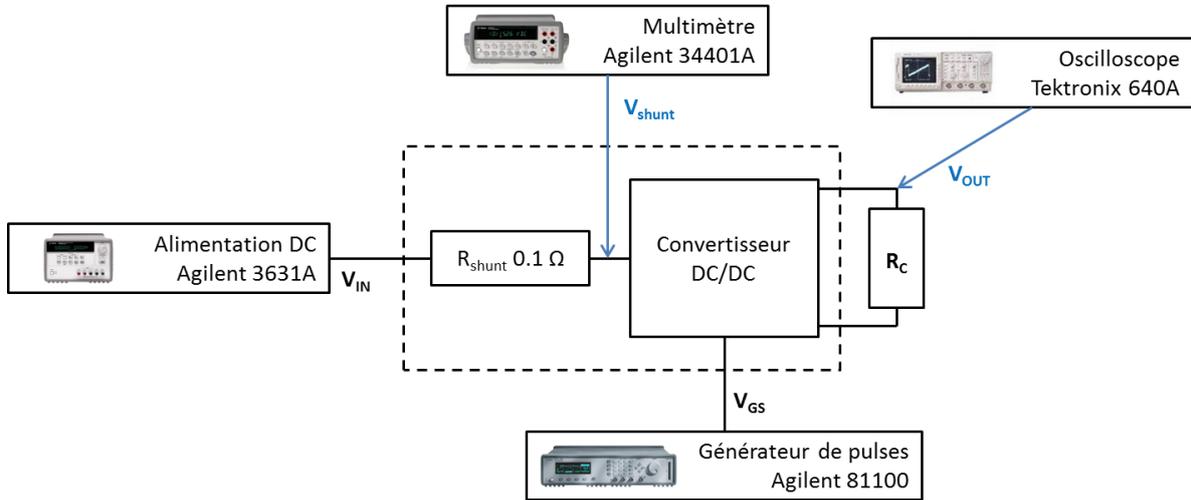


Figure II.18 : schéma synoptique du banc de mesure du convertisseur DC/DC.

La tension d'entrée est fournie par une alimentation DC ± 25 V, 1A. Une résistance en série à l'entrée du convertisseur permet une mesure du courant en entrée ($I_{IN} = V_{shunt} / R_{shunt}$) plus précise que l'affichage courant d'une alimentation DC (lors de ces travaux, les courants donnés par l'affichage de l'alimentation et ceux obtenus via R_{shunt} seront cependant très proches). La commande de grille (0;-12 V) est obtenue par un générateur de signaux Agilent 81100 permettant des fréquences de plusieurs dizaines de MHz avec des rapports cyclique compris entre 0.01 et 0.99 ainsi que des temps de commutation de 2 ns. Finalement la tension de sortie est visualisée sur un oscilloscope Tektronix 640A via une sonde.

Le rendement s'obtient de la manière suivante en fonction des tensions et courants mesurés ainsi que de la résistance de charge R_c :

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{\frac{V_{OUT}^2}{R_c}}{V_{IN} \cdot I_{IN}}$$

- **Mesure des formes d'onde**

Les formes d'ondes des tensions V_{GS} et V_{DS} ainsi que de la tension de sortie V_{OUT} ont été relevées à l'oscilloscope, les figures II.19 et II.20 montrent ces tensions pour un rapport cyclique de 0.5 et une résistance de charge de 51Ω .

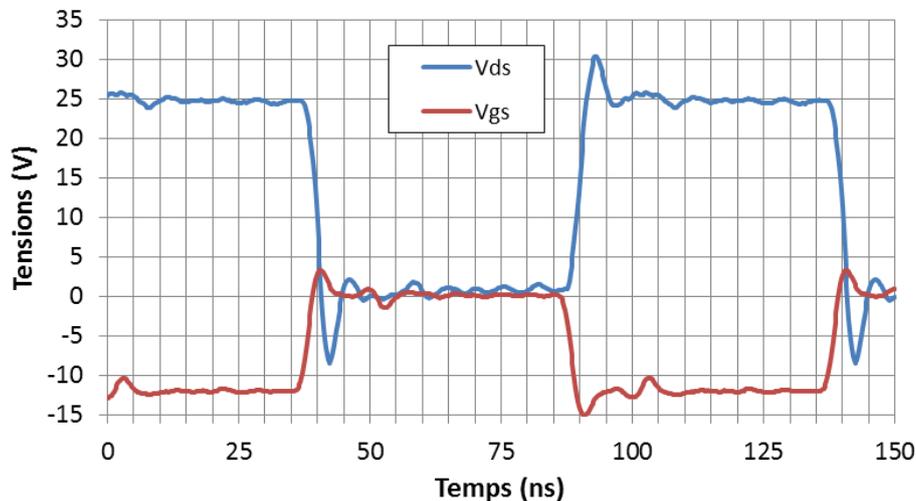


Figure II.19 : formes d'onde des tensions de drain et de grille du transistor KQ002 du convertisseur Buck.

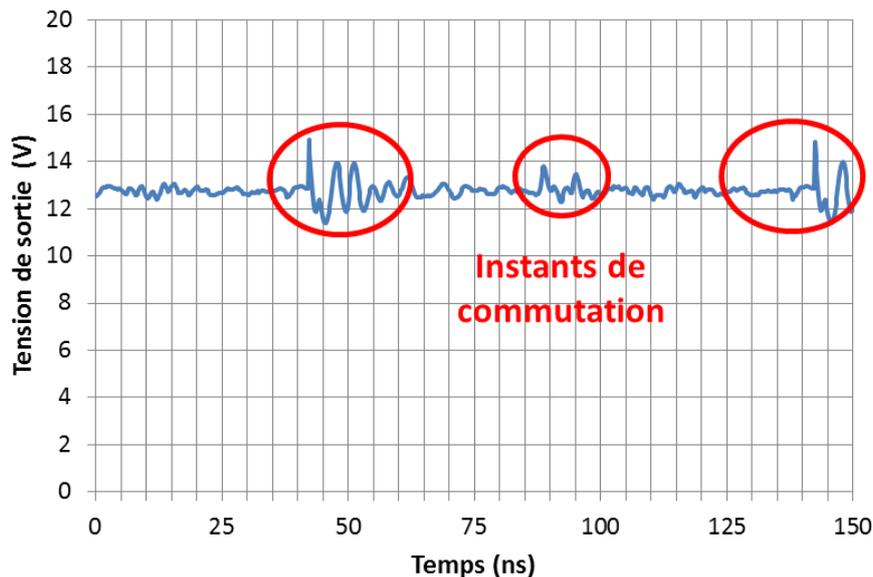


Figure II.20 : forme d'onde de la tension du convertisseur Buck.

Malgré un circuit aux dimensions optimisées, on remarque la présence de dépassements (overshoot), notamment pour la tension de drain du transistor, cependant la tension V_{DS} n'excède pas 30 V et reste inférieure à la tension de claquage du transistor. Ces overshoots sont dus notamment aux bondings utilisés pour connecter le transistor. Les temps de commutation observés sont compris entre 2 et 3 ns, ce qui est conforme aux

estimations, ces temps de commutations sont limités par la vitesse de commutation du générateur de pulse ainsi que par la capacité de jonction de la diode Schottky (150 pF). La tension de sortie est globalement constante (les variations aléatoires observées proviennent du bruit d'affichage de l'oscilloscope), cependant des oscillations présentant une amplitude d'environ 2 V sont présentes au moment des commutations du transistor, là encore ils sont dus aux inductances parasites du circuit, notamment de la capacité de sortie. Toutefois les formes d'onde et le fonctionnement général du convertisseur s'avèrent satisfaisants et les mesures de rendement sont possibles.

- **Mesure des rendements et tensions de sortie**

Après avoir vérifié le bon fonctionnement du convertisseur, les rendements et tensions de sortie en fonction du rapport cyclique et pour différentes résistances de charge ont été mesurés. Les résultats de mesure pour une tension d'entrée de 24 V et une fréquence de découpage de 10 MHz sont présentés sur la **figure II.21** :

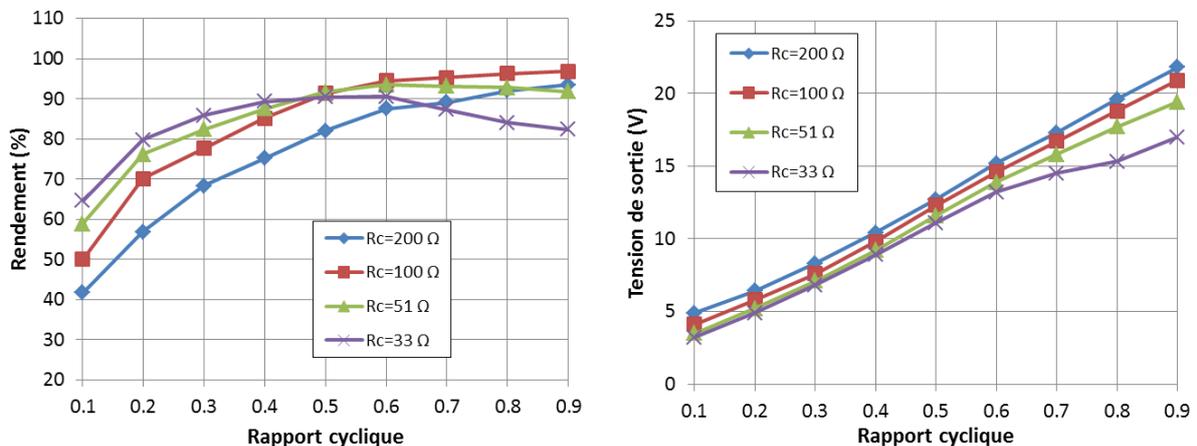


Figure II.21 : rendements et tensions de sortie mesurés pour le convertisseur buck pour une fréquence de découpage de 10 MHz et $V_{IN}=24$ V.

Pour les résistances de charge faibles (<51Ω), le rendement est supérieur à 60% pour tous les rapports cycliques compris entre 0.1 et 0.9, il est supérieur à 80% pour les rapports cycliques supérieurs à 0.3 (soit $V_{OUT}>7$ V) et atteint 90 % pour un rapport cyclique de 0.5 (conversion 24-12 V). On remarque une baisse du rendement pour les rapports cycliques élevés et les faibles résistances de charge, cela s'explique par la forte influence des pertes par conduction lorsque la puissance de sortie augmente.

Pour la charge intermédiaire (100Ω), le rendement est au-dessus de 60% pour les rapports cycliques supérieurs à 0.2 et au-dessus de 80% pour les rapports cycliques supérieurs à 0.4, ce qui représente encore une plage de conversion acceptable ($V_{OUT}>10$ V).

Pour $R_c=200\Omega$, le rendement est supérieur à 60% pour les rapports cycliques au-delà de 0.3 et supérieur à 80 % uniquement pour les rapports cycliques supérieurs à 0.5.

Comme observé en simulation, le rendement global est le plus mauvais pour les faibles tensions. Comme évoqué précédemment, le rendement pour les faibles tensions est plus faible à cause de la tension de seuil de la diode.

La **figure II.22** représente le rendement en fonction des courants de sortie (et des puissances de sortie équivalentes) pour différentes tensions de sortie fixées.

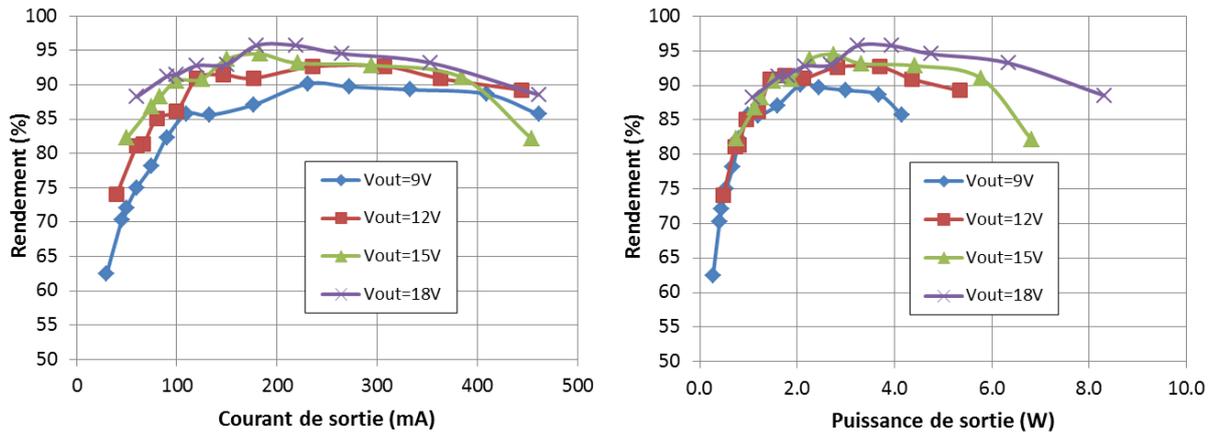


Figure II.22 : rendements mesurés pour le convertisseur buck en fonction des courants et puissances de sortie pour différentes tensions de sorties fixées. $V_{IN}=24$ V et $F_s=10$ MHz.

Pour V_{OUT} supérieur à 12V, le rendement reste au-dessus de 80% sur une plage de courant allant de 50 à 450 mA et au-dessus de 90% sur la plage 100-400 mA. Cela correspond à des puissances de sortie de 1 à 6 W.

Pour $V_{OUT}=9$ V, le rendement est supérieur à 80% pour les courants supérieurs à 70mA et jusqu'à 450mA, soit des puissances de sortie entre 1 et 4 W.

Les rendements du convertisseur pour une plage de conversion en tension de 9 à 18 V et des puissances de sortie jusqu'à 6 W sont globalement supérieurs à 80%.

- **Comparaison des rendements mesurés et simulés sous ADS**

La **figure II.23** montre une comparaison entre les rendements mesurés et les rendements simulés sous ADS pour différentes résistances de charge :

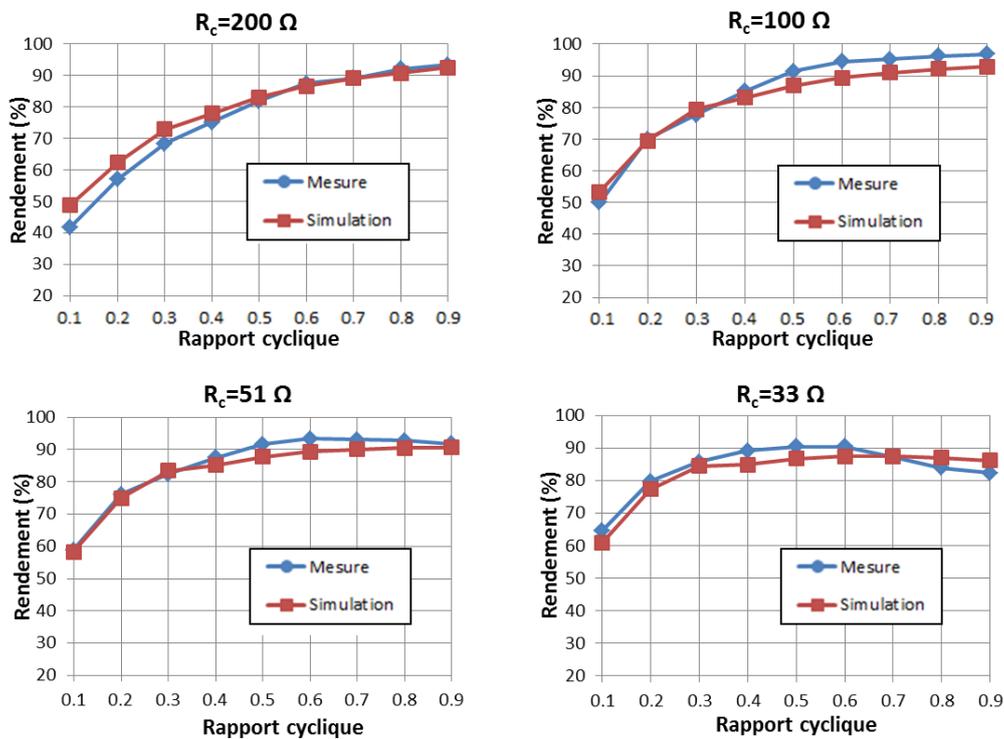


Figure II.23 : comparaison entre les rendements mesurés et simulés du convertisseur buck.
 $V_{IN}=24\text{ V}$ et $F_s=10\text{ MHz}$.

Les rendements mesurés et simulés présentent un bon accord, l'écart maximum observé est de 4 %, à l'exception de la zone "faible rapport cyclique/résistance de charge élevée". Cette zone correspond aux courants de sortie les plus faibles, le rendement mesuré est inférieur au rendement simulé d'environ 10 %, la cause de cette chute de rendement est l'apparition de courants de fuite de l'ordre du mA lors de l'état OFF du transistor qui sont non négligeables lorsque le circuit délivre peu de courant dans la charge. Il est important de rappeler que les transistors KQ002 utilisés ont été réalisés plusieurs mois avant le début des travaux de thèses et peuvent présenter certains défauts de pincement, notamment après une longue période d'utilisation.

Finalement, Les objectifs pour ce premier démonstrateur sont globalement atteints, à savoir la réalisation d'un convertisseur DC/DC abaisseur de tension basé sur un HEMT AlGaIn/GaN fonctionnant à 10 MHz avec un rendement de 90 %. La modélisation du circuit sous ADS s'est également montrée précise pour évaluer les performances du convertisseur. Toutefois les performances en puissance (5 W) restent limitées du fait du petit développement de grille du transistor KQ002. Des oscillations sur la tension de sortie dues aux inductances parasites du circuit sont également encore présentes.

II.3 - Deuxième prototype de convertisseur DC/DC utilisant un HEMT GaN du commerce, Nitronex NPTB00025

Le premier prototype de convertisseur réalisé lors de ces travaux, basé sur un transistor de type HEMT AlGaN/GaN issu du laboratoire a montré la possibilité de monter en fréquence de découpage, cependant sa puissance de sortie était limitée à quelques Watts (5 W) du fait du faible développement de grille (900 μm), de plus la fiabilité et le faible nombre de composants disponibles n'ont pas permis la réalisation de beaucoup de mesures (montée en fréquence, essais en température). Pour cela, un deuxième convertisseur DC/DC a été réalisé en utilisant un transistor GaN commercial, le NPTB00025 de Nitronex. Ce transistor permet d'envisager des puissances allant jusqu'à 20 W tout en permettant des vitesses de commutation de 10 à 20 MHz. Le 2^{ème} convertisseur, élévateur de tension (boost), 16-32 V, 20 W, va être présenté et caractérisé dans cette partie.

II.3.1 - Caractéristiques du transistor NPTB00025

Le transistor Nitronex NPTB00025 est un composant commercial de type HEMT AlGaN/GaN sur substrat silicium, conçu pour des applications RF jusqu'à 3 GHz, cependant ses caractéristiques DC et fréquentielles, décrite dans ce paragraphe, en font un bon candidat pour des applications de commutation à haute fréquence, cela pourrait permettre d'envisager la réalisation d'un convertisseur et d'un amplificateur RF avec la même technologie.

A - Caractéristiques DC du transistor Nitronex NPTB00025

La tension de claquage du transistor NPTB00025 est de 100 V et sa tension de pincement est de -2 V. Les caractéristiques $I(V)$ du transistor NPTB00025 sont donnée par la [figure II.24](#) :

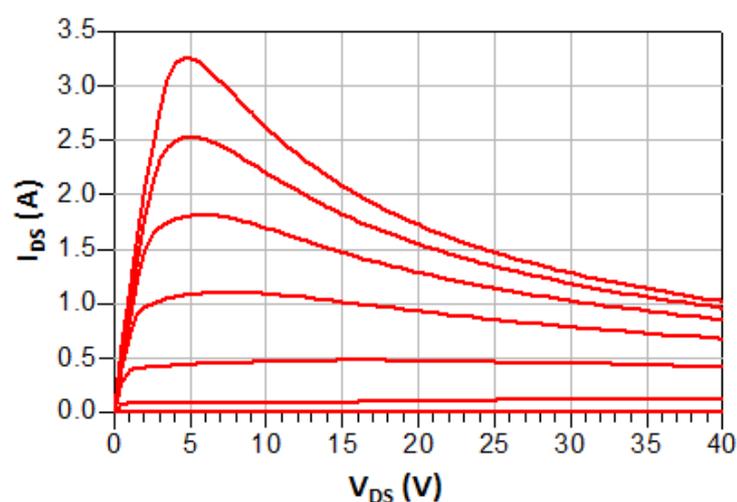


Figure II.24 : caractéristiques $I(V)$ du transistor NPTB00025 pour V_{GS} compris entre -4 et +1 V.

On en déduit le courant de saturation $I_{DSS}=3.2$ A et la résistance à l'état passant $R_{ON}=0.9 \Omega$ pour $V_{GS}=1$ V. On peut calculer la figure de mérite en puissance de ce transistor, une comparaison avec le transistor KQ002 est réaliser dans le **tableau II.12** :

	NPTB00025	KQ002
PFM (V^2/Ω)	11000	331

Tableau II.12 : comparaison des figures de mérite en puissance des transistors KQ002 et NPTB00025.

Le transistor NPTB00025 est nettement plus performant en termes de puissance par rapport au KQ002, ce qui est intéressant dans l'optique de monter en puissance par rapport au premier prototype de convertisseur.

B – Caractéristiques fréquentielles du transistor Nitronex NPTB00025

Des mesures de paramètres S ont été effectuées au laboratoire afin d'obtenir les caractéristiques fréquentielles du transistor (notamment la fréquence de transition FT) permettant d'extraire les capacités de grille. Le transistor étant en boîtier, une caractérisation sous pointe n'était pas possible, le transistor a donc été monté sur un support et des lignes microstrip ont été utilisées pour les accès de grille et de drain (la source est reliée à la face arrière du boîtier) afin d'effectuer les mesures en configuration coaxiale. La photographie du boîtier de mesure est donnée par la **figure II.25** :

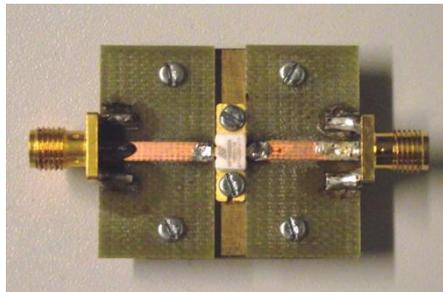


Figure II.25 : montage du transistor NPTB00025 pour des mesures de paramètres S en configuration coaxiale.

Une calibration de type TRL (Thru, Reflect, Line) a été utilisée afin de ramener le plan de mesure dans le plan du boîtier du transistor et non dans le plan des connecteurs du boîtier de mesure [16].

a - Fréquence de transition

Le module du gain en courant $|H_{21}|$ est tracé sur la **figure II.26** pour $V_{DS}=33V$ et $V_{GS}=-1.5 V$ (maximum de transconductance), la fréquence de transition du transistor NPTB00025 est d'environ 7 GHz.

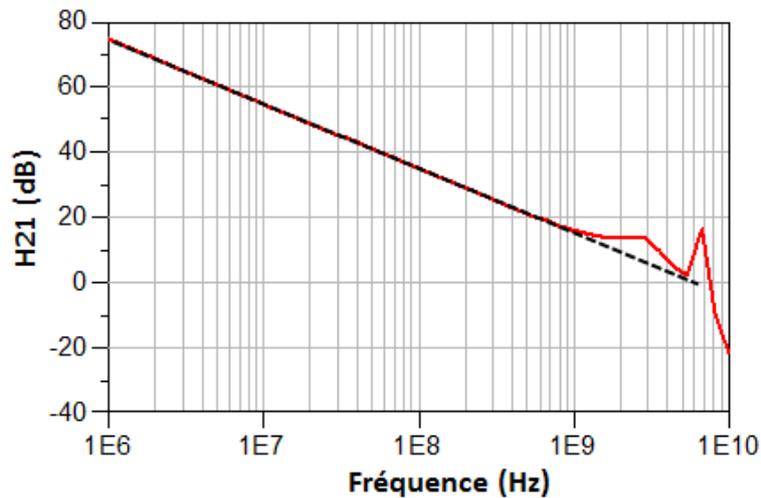


Figure II.26 : module du gain en courant du transistor NPTB00025 ($V_{DS}=33V$, $V_{GS}=-1.5 V$).

b - Capacités de grille

Afin de déterminer la figure de mérite en commutation du transistor NPTB00025, les capacités intrinsèques du transistor ont été extraites à partir des mesures en paramètre S. L'évolution des capacités C_{GS} et C_{GD} en fonction des tensions de polarisation est donnée par la **figure II.27** :

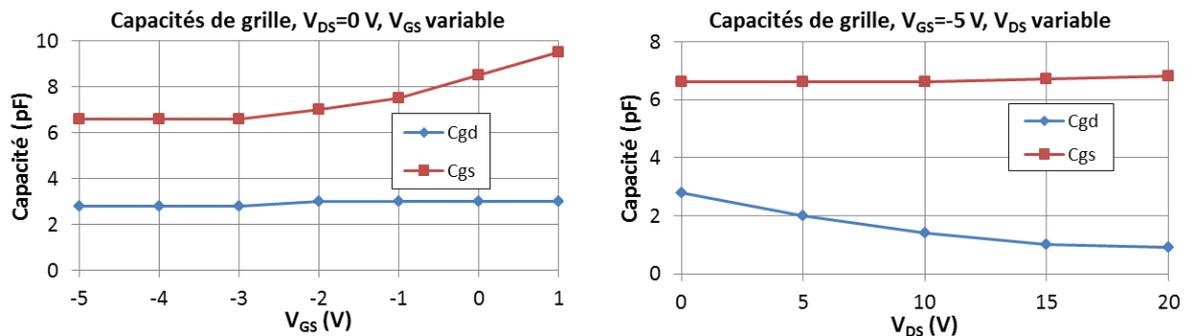


Figure II.27 : mesure des capacités de grille du transistor NPTB00025.

Les capacités de grille du transistor varient assez faiblement avec les tensions de polarisation, elles restent constante pour $V_{DS}>15 V$. Dans le cas le moins favorable correspondant à l'état ON du transistor ($V_{DS}=0 V$, $V_{GS}=1 V$), on a $C_{GS}=9.5 pF$ et $C_{GD}=3 pF$. Ces valeurs sont plus élevées que pour le transistor KQ002, notamment du fait d'une largeur de grille beaucoup plus importante (3 mm contre 900 μm).

La figure de mérite en commutation du transistor NPTB00025 par rapport à celle du transistor KQ002 est donnée par le **tableau II.13** :

	NPTB00025	KQ002
CFM ($\Omega.pC$)	58	37

Tableau II.13 : figures de mérite en commutation des transistors NPTB00025 et KQ002.

La figure de mérite en commutation du nouveau transistor se révèle moins bonne que celle du transistor KQ002 précédemment utilisé, cependant elles sont relativement proches. Le transistor Nitronex est donc prometteur pour réaliser un convertisseur DC/DC à haute vitesse de découpage.

II.3.2 - Conception et réalisation du convertisseur DC/DC boost 16-32 V, 20 W

Un convertisseur DC/DC à haut vitesse de découpage 16-32 V basé sur le transistor NPTB00025 de Nitronex a été conçu. De la même manière que pour le premier convertisseur réalisé, ses performances ont été d'abord évaluées de manière analytique puis à l'aide de simulations temporelle sous ADS, enfin le convertisseur a été réalisé et caractérisé au laboratoire et les résultats de mesure confrontés aux simulations.

A - Conception du circuit et simulations

a - Topologie du convertisseur boost et choix des composants passifs

Pour cette deuxième réalisation, une topologie de convertisseur boost classique (semblable à celle présentée dans la première partie de ce chapitre) a été choisie, elle présente l'avantage d'avoir un transistor dont la source est directement reliée à la masse, ce qui rend plus aisée la commande de grille. Comme pour le premier convertisseur, une capacité de découplage C_{IN} en entrée ainsi qu'une résistance de faible valeur R_{shunt} pour la mesure du courant d'entrée ont été ajoutées, comme le montre la **figure II.28** :

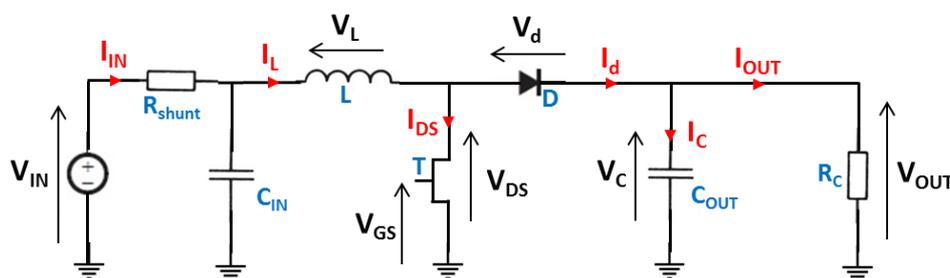


Figure II.28 : schéma du convertisseur DC/DC boost réalisé.

Les valeurs de l'inductance et de la capacité de sorties ont été déterminées selon les équations présentées au II.1.2.A.d :

$$L_{(\min)} = \frac{V_{IN} \cdot (V_{OUT} - V_{IN})}{\Delta I_L \cdot F_s \cdot V_{OUT}}$$

$$C_{OUT(\min)} = \frac{I_{OUT(\max)} \cdot \alpha}{F_s \cdot \Delta V_{OUT}}$$

Pour ce convertisseur boost, les valeurs choisies pour les niveaux de tensions et la fréquence de découpage typiques sont les suivantes :

- $V_{IN} = 16 \text{ V}$
- $V_{OUT} = 32 \text{ V}$
- $F_s = 10 \text{ MHz}$

Les tensions d'entrée et de sortie pour ce second convertisseur correspondent à l'application visée qui est la polarisation dynamique de drain d'un amplificateur de puissance GaN en bande S (basé lui aussi sur le transistor NPTB00025), cette application sera développée dans le dernier chapitre de cette thèse, consacré aux amplificateurs de puissance GaN.

La valeur de ΔI_L dépend du courant d'entrée qui traverse la self; selon l'hypothèse d'une puissance de sortie de 20 W sur 32 V, le courant de sortie est de 625 mA, ce qui est équivalent à un courant d'entrée de 1.25 A (en considérant une conservation totale de la puissance entre l'entrée et la sortie du convertisseur, soit un rendement de 100 %). En considérant une oscillation en courant dans la self de 30 %, on obtient :

- $\Delta I_L = 375 \text{ mA}$

On peut donc obtenir la valeur théorique de la self du convertisseur :

$$L_{(\min)} = 2.1 \mu\text{H}$$

On en déduit la valeur de $C_{OUT(\min)}$ pour une oscillation en tension de 2 %, soit 0.6 V :

$$C_{OUT(\min)} = 52 \text{ nF}$$

Les composants commerciaux choisis approchant ces valeurs et pouvant supporter les courants et tensions de fonctionnement du convertisseur sont les suivants :

- Une inductance de 3.3 μH Taiyo Yuden BRL3225T3R3M en boîtier CMS 1210, courant de saturation de 1.45 A, résistance série $R_L=0.12 \Omega$ et fréquence de

résonance 140MHz. Une inductance de 1 μH de la même série sera également testée.

- C_{OUT} est obtenu par la mise en parallèle de 2 condensateurs; 47 nF TDK C1220X7R1H473K et 4.7 nF TDK C1220X7R1H472K. Ces 2 condensateurs ont des tensions de claquage de 50 V et présentent des électrodes placées sur la longueur du composant, cela permet de minimiser les résistances et inductances séries parasites des composants.
- De même le condensateur C_{IN} est un condensateur TDK C1632X7R1E474K de 470 nF avec une tension de claquage de 25 V.

Ces composants ont également été caractérisés à l'analyseur d'impédances afin d'extraire leurs modèles électriques. Ces modèles sont donnés par le **tableau II.14** :

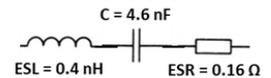
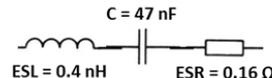
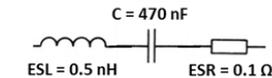
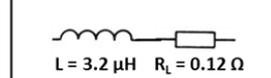
Condensateur 4.7 nF	Condensateur 47 nF	Condensateur 470 nF	Inductance 3.3 μH
 <p>C = 4.6 nF ESL = 0.4 nH ESR = 0.16 Ω</p>	 <p>C = 47 nF ESL = 0.4 nH ESR = 0.16 Ω</p>	 <p>C = 470 nF ESL = 0.5 nH ESR = 0.1 Ω</p>	 <p>L = 3.2 μH $R_L = 0.12 \Omega$</p>

Tableau II.14 : schémas équivalents et valeurs des éléments parasites pour les composants passifs utilisés pour le convertisseur DC/DC boost.

On remarque notamment des valeurs d'ESR et ESL beaucoup plus faibles que pour les composants classiques utilisés pour le convertisseur buck, cela devrait permettre de limiter les dépassements en tension et les oscillations lors des commutations. La diode utilisée est la même que pour le premier convertisseur.

b - Evaluation analytique et simulations

Une estimation du rendement du convertisseur en utilisant l'expression théorique donnée au II.1.2.A.c a été effectuée. L'allure du rendement estimé ainsi que de la tension de sortie en fonction du rapport cyclique est donnée par la **figure II.29**, la fréquence de découpage est de 10 MHz et la tension d'entrée de 16 V. La répartition des pertes est également évaluée suivant les équations des **tableaux II.1 et II.2**. Pour ces calculs, les résistances de charge considérées sont 50 et 100 Ω , elles correspondent à des puissances de sortie de 20 et 10 W pour $V_{OUT}=32$ V.

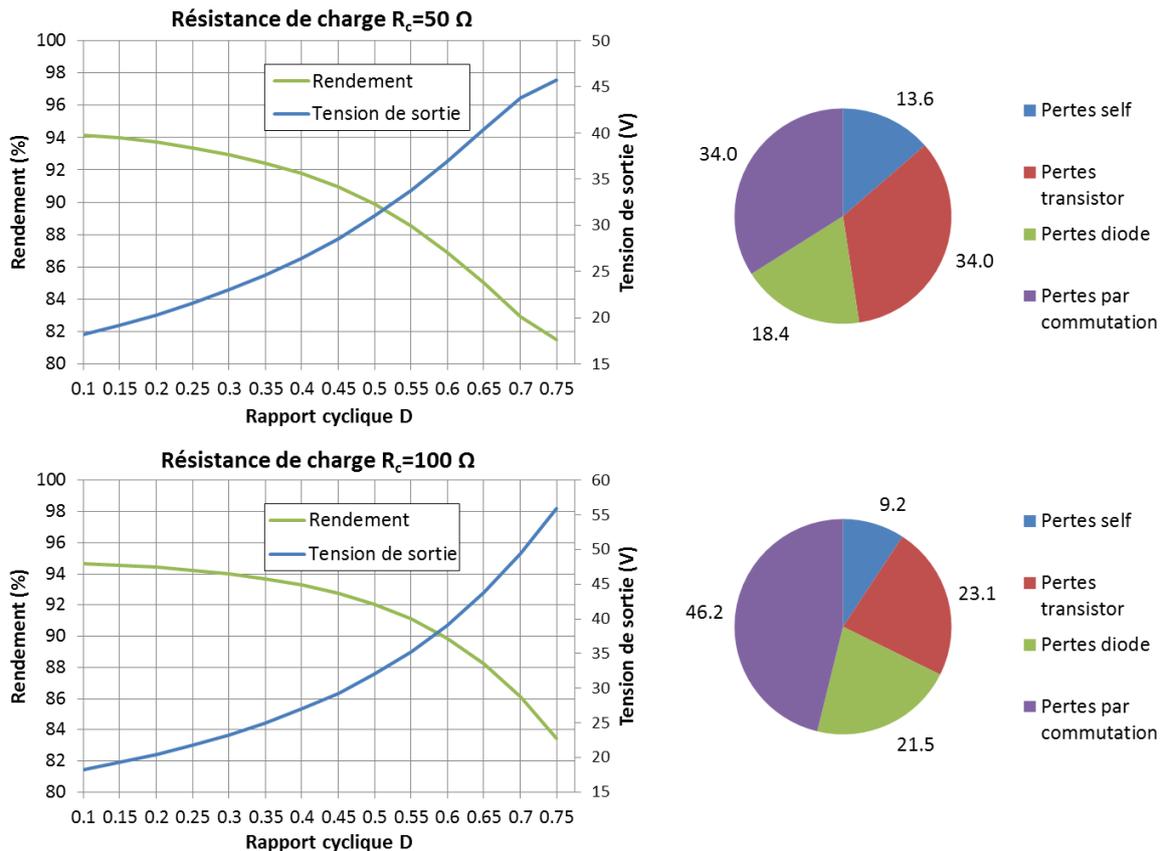


Figure II.29 : estimation des rendements et tensions de sortie pour le convertisseur boost pour une fréquence de découpage de 10 MHz et $V_{IN}=16$ V.

Les estimations montrent des rendements supérieurs à 85 % pour des tensions de sorties jusqu'à 40 V pour les deux charges. Pour une tension de sortie typique de 32 V, le rendement estimé est de 89 % pour une puissance de sortie de 20 W ($R_c=50 \Omega$) et de 88 % pour $P_{OUT}=10$ W ($R_c=100 \Omega$). Ces valeurs de rendements estimés sont prometteuses et confirment la possibilité de réaliser des convertisseurs DC/DC en utilisant les HEMT NPTB00025 commutant toujours à 10 MHz tout en multipliant par 4 la puissance de sortie par rapport au premier prototype.

On note une influence prépondérante des pertes par commutation dans le bilan des pertes, tandis que pour le premier convertisseur, les pertes par conduction dans le transistor

étaient les plus importantes, cela s'explique aisément par la R_{ON} bien meilleure pour le transistor NPTB00025.

Des simulations ont également été réalisées sous ADS, en utilisant le modèle non linéaire du transistor mis à disposition par Nitronex ainsi que les modèles électriques des composants passifs. Les rendements et tensions de sorties simulés pour différentes résistance de charge sont représentées par la **figure II.30**, $V_{IN}=16\text{ V}$ et $F_s=10\text{ MHz}$.

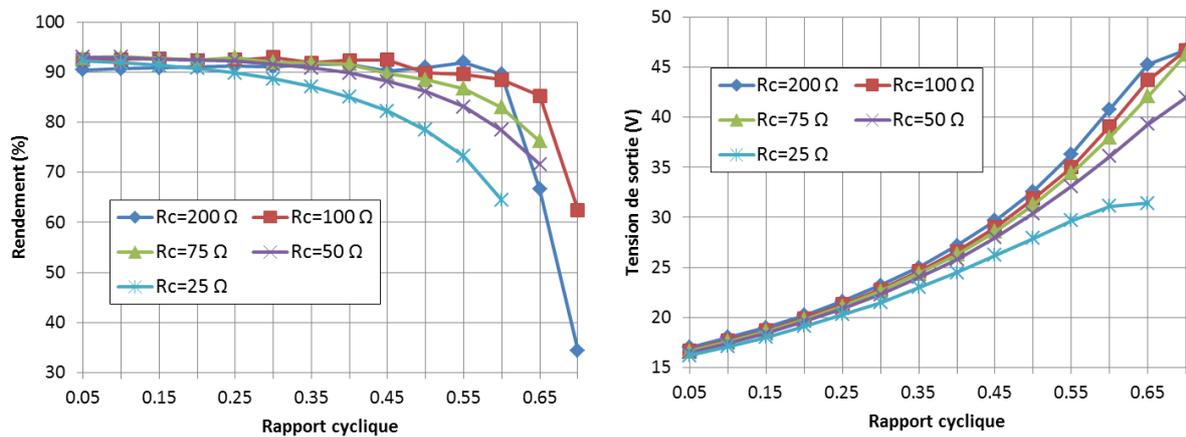


Figure II.30 : rendements et tensions de sortie obtenus en simulation pour le convertisseur boost pour une fréquence de découpage de 10 MHz et $V_{IN}=16\text{ V}$.

L'allure des courbes du rendement et de la tension de sortie en fonction du rapport cyclique obtenue par simulation est comparable à celle obtenue par méthode analytique, on observe cependant que le rendement chute plus vite lors des simulations quand le rapport cyclique devient supérieur à 0.5.

La **figure II.31** représente le rendement en fonction de la puissance de sortie pour $V_{IN}=16\text{ V}$, $V_{OUT}=32\text{ V}$ et une fréquence de commutation de 10 MHz.

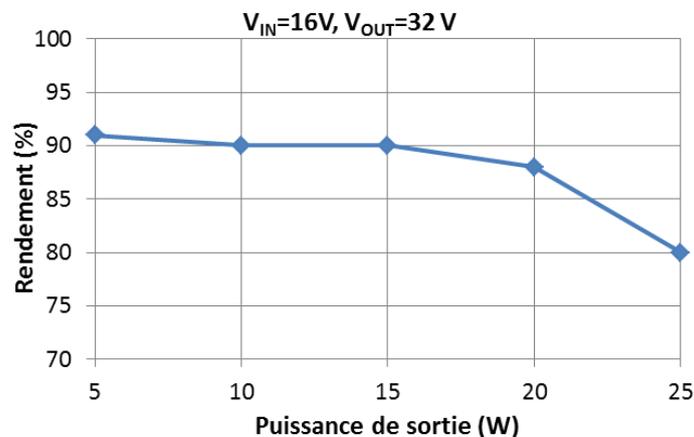


Figure II.31 : rendement simulé du convertisseur boost en fonction de la puissance de sortie à tension de sortie constante (32 V) pour une fréquence de découpage de 10 MHz et $V_{IN}=16\text{ V}$.

Le rendement simulé reste élevé pour les puissances de sorties comprises en 5 et 20 W, en revanche il chute passé 20 W à cause des pertes résistives.

Finalement, des simulations pour différentes fréquences de découpage entre 5 et 30 MHz pour une tension de sortie constante de 32 V ont été réalisées afin de déterminer les limites fréquentielles du circuit, les résultats sont donnés par la **figure II.32** :

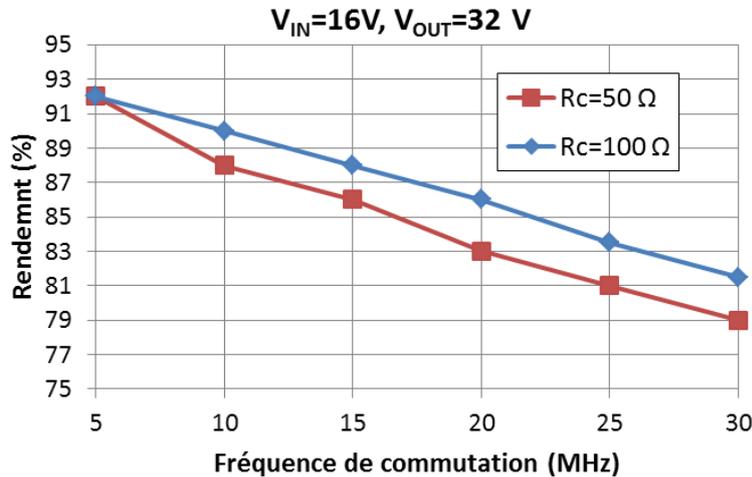


Figure II.32 : rendement simulé du convertisseur boost en fonction la fréquence de commutation à tension de sortie constante (32 V) et $V_{IN}=16$ V.

On remarque une baisse du rendement continue avec l'augmentation de la fréquence de commutation du transistor, les pertes dues au temps de commutation sont en effet de plus en plus importantes à mesure que la fréquence augmente. Le rendement reste toutefois supérieur à 80 % pour des fréquences de commutation allant jusqu'à 25 MHz.

Ces simulations donnent un premier aperçu des possibilités et des limites d'un convertisseur réalisé à partir du composant GaN NPTB00025. D'après les résultats de simulation, obtenir un rendement proche de 90 % pour une puissance de sortie de 20 W et une conversion 16-32 V à une fréquence de commutation de 10 MHz est envisageable, on remarque cependant que le convertisseur conçu ne devrait pas être capable de monter en tension au-delà de 35 V, de même la montée en fréquence est limitée à 20 MHz avec des rendements convenables.

B - Réalisation et caractérisation du convertisseur DC/DC

a - Réalisation

De même que pour le premier convertisseur, un substrat FR-4 a été utilisé. Le transistor est reporté sur un support métallique qui fait office de masse pour le circuit. Le boîtier du transistor est prévu pour être vissé directement sur le support afin d'optimiser la dissipation thermique pour les puissances supérieures à quelques Watts. Le circuit est présenté sur la **figure II.33** :

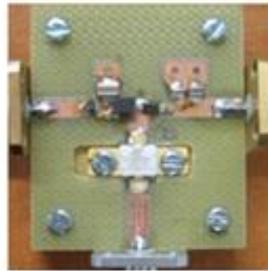


Figure II.33 : photographie du convertisseur boost réalisé à partir du transistor NPTB00025.

Les accès de grille et de drain du transistor sont directement soudés sur les pistes du substrat, on remarque l'absence de bondings, ce qui devrait permettre de limiter la présence d'inductances parasites. Le substrat mesure $35 \times 30 \text{ mm}^2$, soit des dimensions du même ordre de grandeur que le convertisseur buck réalisé précédemment.

b - Caractérisation du convertisseur boost

Le banc de mesure utilisé pour caractériser le convertisseur est le même que celui utilisé pour le premier convertisseur. Ce banc a permis la mesure des formes d'onde des tensions de grille et de drain du transistor ainsi que la mesure du temps d'établissement de la sortie. Les rendements ont également été mesurés.

- **Mesure des formes d'onde**

Les formes d'ondes des tensions V_{GS} et V_{DS} ont d'abord été relevées à l'oscilloscope. La **figure II.34** présente ces tensions pour un rapport cyclique de 0.5, $V_{IN}=16 \text{ V}$ et une résistance de charge de 75Ω ($P_{OUT} \approx 15 \text{ W}$).

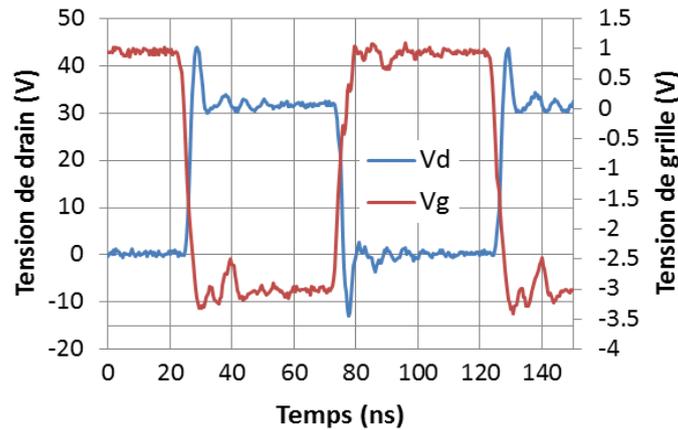


Figure II.34 : formes d'onde des tensions de drain et de grille du transistor NPTB00025 du convertisseur boost.

Les temps de commutation mesurés sont de 3 ns, ce qui est acceptable pour des fréquences de commutation autour de 10 MHz, en revanche cela limite la possibilité de monter en fréquence de commutation tout en gardant un rendement élevé. On ne note pas de dépassement en tension sur la commande de grille du transistor, en revanche un dépassement est toujours présent au niveau de la tension de drain.

La figure II.35 montre l'influence de la valeur de l'inductance utilisée dans le convertisseur sur le temps d'établissement de la tension de sortie, deux inductances ont été testées (3.3 et 1 μH) :

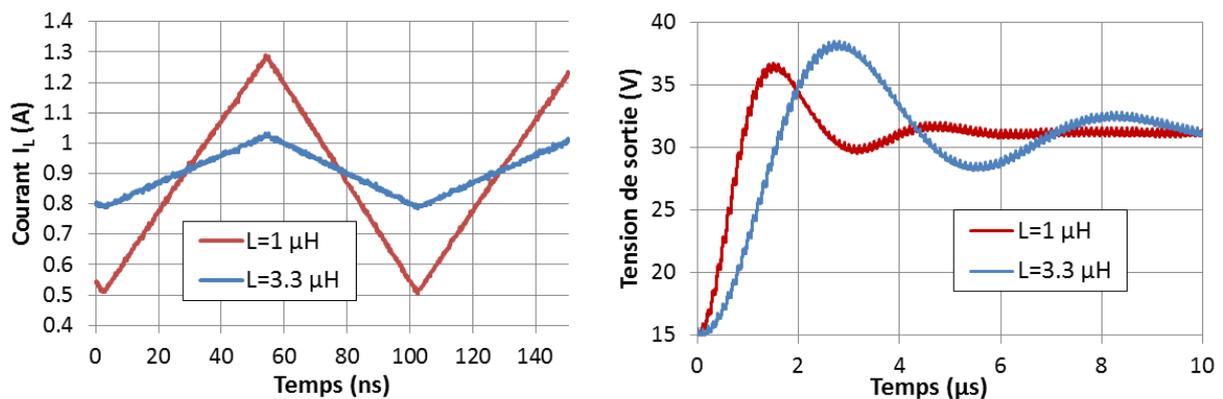


Figure II.35 : formes d'onde mesurées du courant I_L et de la tension de sortie du convertisseur boost pour deux inductances différentes.

Les effets de la valeur de l'inductance du convertisseur sont clairement visibles, d'abord sur la forme du courant qui la traverse, la variation de courant ΔI_L est en effet beaucoup plus importante quand la valeur de l'inductance diminue, on note cependant que le maximum de courant (1.3 A) obtenu avec l'inductance de 1 μH reste inférieur au courant maximum qu'elle peut supporter (1.45 A). Ensuite, la valeur de l'inductance a une influence sur le temps d'établissement de la tension de sortie du convertisseur (slew rate), plus elle est

faible, plus le temps d'établissement est court. Passer de 3.3 μH à 1 μH permet de faire passer le slew rate de 10 à 18 $\text{V}/\mu\text{s}$. Il est important de trouver le meilleur compromis afin d'avoir un slew rate le plus élevé possible (et donc une meilleure bande passante du convertisseur) tout en maintenant un niveau de courant maximum dans la self inférieur à son courant de saturation.

La courbe représentant la tension de sortie en fonction du temps permet également de visualiser l'oscillation en tension, elle est d'environ 0.5 V pour ce convertisseur, ce qui montre une nette amélioration par rapport au premier prototype (oscillation de 2 V), cette amélioration est notamment due à l'utilisation de condensateurs à faible ESR/ESL.

- **Mesure des rendements et tensions de sortie**

Comme pour le premier convertisseur, les rendements et tensions de sortie en fonction du rapport cyclique et pour différentes résistances de charge ont été mesurés. Les résultats de mesure pour une tension d'entrée de 16 V et une fréquence de découpage de 10 MHz sont présentés sur la [figure II.36](#) :

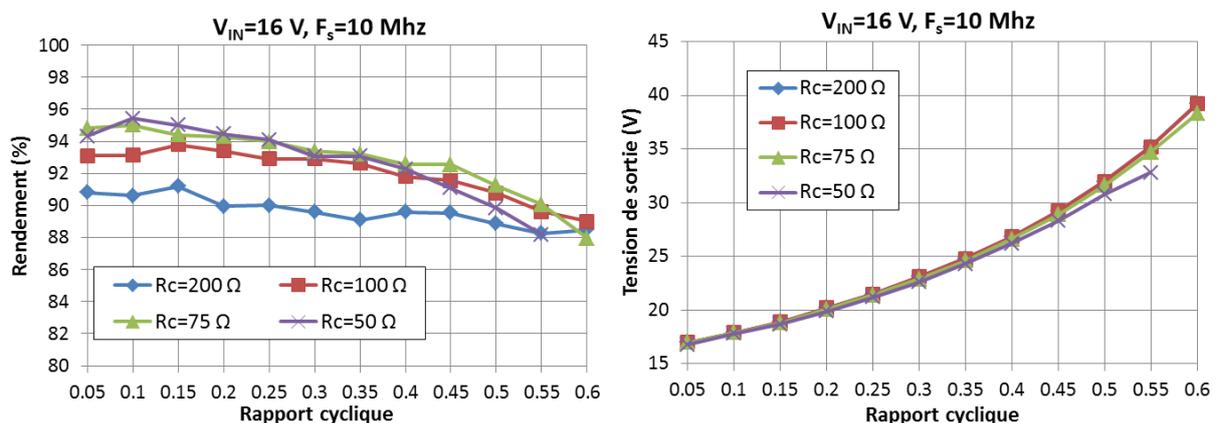


Figure II.36 : rendements et tensions de sortie mesurés pour le convertisseur boost pour une fréquence de découpage de 10 MHz et $V_{IN}=16$ V.

Les rendements mesurés sont supérieurs 88 % pour des tensions de sorties comprises entre 17 et 40 V, comme en simulation, les rendements chutent rapidement pour des rapports cycliques supérieurs à 0.6 (tensions entre 35 et 40 V selon la charge).

La **figure II.37** montre l'évolution du rendement en fonction de la puissance de sortie pour une charge de 50Ω ainsi que les tensions de sortie correspondantes :

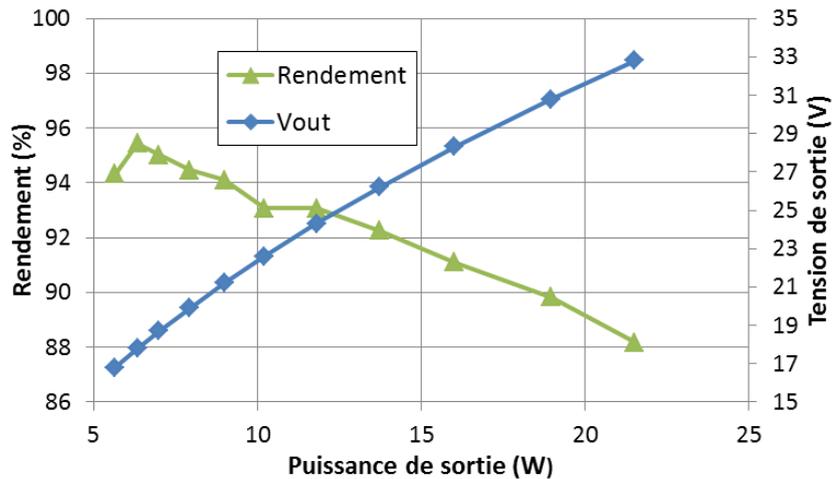


Figure II.37 : rendements et tensions de sortie mesurés pour le convertisseur boost pour une fréquence de découpage de 10 MHz et $V_{IN}=16$ V, la résistance de charge est fixée à 50Ω .

Les limites en puissance du convertisseur sont ici mises en évidence, au-delà de $P_{OUT}=21$ W, le rendement passe en dessous de 88 %, la tension de sortie correspondante est de 33 V. On note que le rendement reste supérieur à 90 % pour des puissances de sortie jusqu'à 18 W.

Les limites fréquentielles du convertisseur ont également été mesurées, le rendement en fonction du rapport cyclique pour des fréquences de découpage entre 5 et 20 MHz est donné par la **figure II.38**, la résistance de charge est de 75Ω (puissance jusqu'à 15 W).

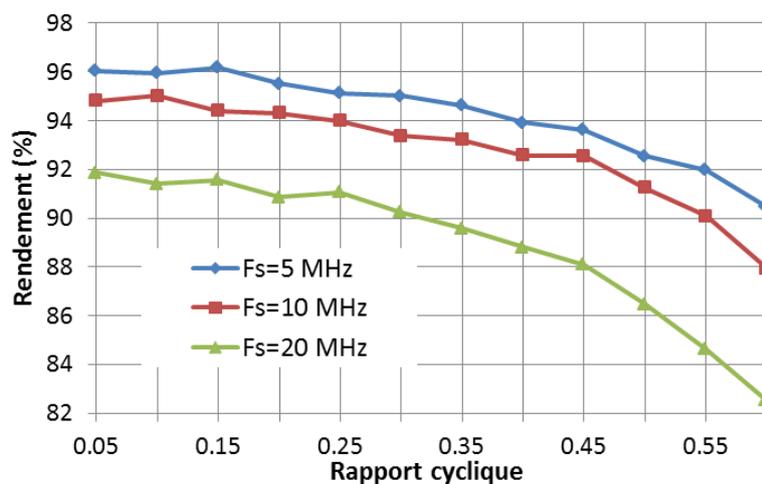


Figure II.38 : rendements mesurés pour le convertisseur boost pour des fréquences de découpage de 5, 10 et 20 MHz. $V_{IN}=16$ V, la résistance de charge est fixée à 75Ω .

La perte de rendement lors du passage de la fréquence de découpage de 10 à 20 MHz est 3 à 6%. Bien que le rendement soit toujours supérieur à 80% pour $F_s=20$ MHz, on peut considérer cette fréquence de commutation comme la limite pour ce convertisseur.

Finalement des tests en température ont été effectués pour évaluer l'impact d'une hausse de température du transistor GaN sur le rendement du convertisseur. Le circuit a été chauffé via le support métallique et la température mesurée au niveau de l'interface support/transistor. La **figure II.39** représente le rendement mesuré en fonction de la température mesurée pour différentes puissances de sortie entre 5 et 20 W, la tension d'entrée est de 16 V, la tension de sortie de 32 V et la fréquence de découpage est de 10 MHz.

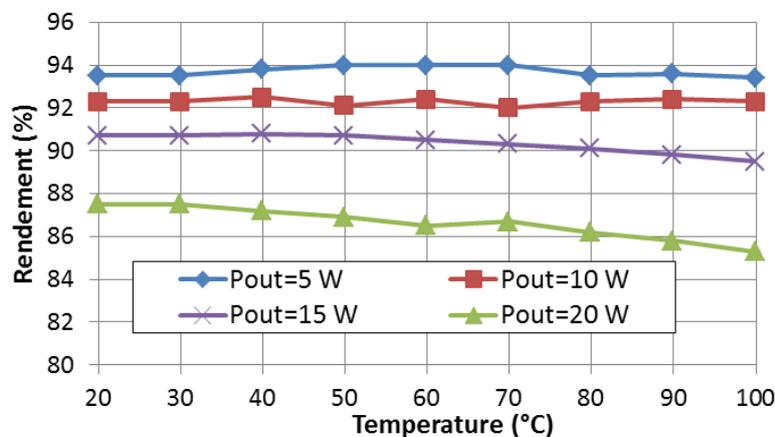


Figure II.39 : rendements mesurés en fonction de la température pour différentes puissances de sortie du convertisseur. $V_{IN}=16$ V, $V_{OUT}=32$ V et $F_s=10$ MHz.

On observe une très bonne stabilité du rendement avec la température, notamment pour les puissances de sortie inférieures à 15 W. Une baisse progressive du rendement est observée pour $P_{OUT}=20$ W, elle est due à l'augmentation de R_{ON} avec la température qui devient visible lorsque les pertes par conduction prennent plus d'importance à forte puissance. Cependant le composant GaN NPTB00025 semble tout de même prometteur pour un fonctionnement à température élevée, ce qui est en conformité avec les potentialités des composants à base de GaN pour des applications à haute température.

- **Comparaison des rendements mesurés et simulés sous ADS**

Une comparaison entre les mesures et les simulations a été effectuée pour valider la précision des simulations précédemment réalisées. La **figure II.40** montre une comparaison entre les rendements mesurés et les rendements simulés sous ADS pour différentes résistances de charge, les tensions de sortie sont également comparées :

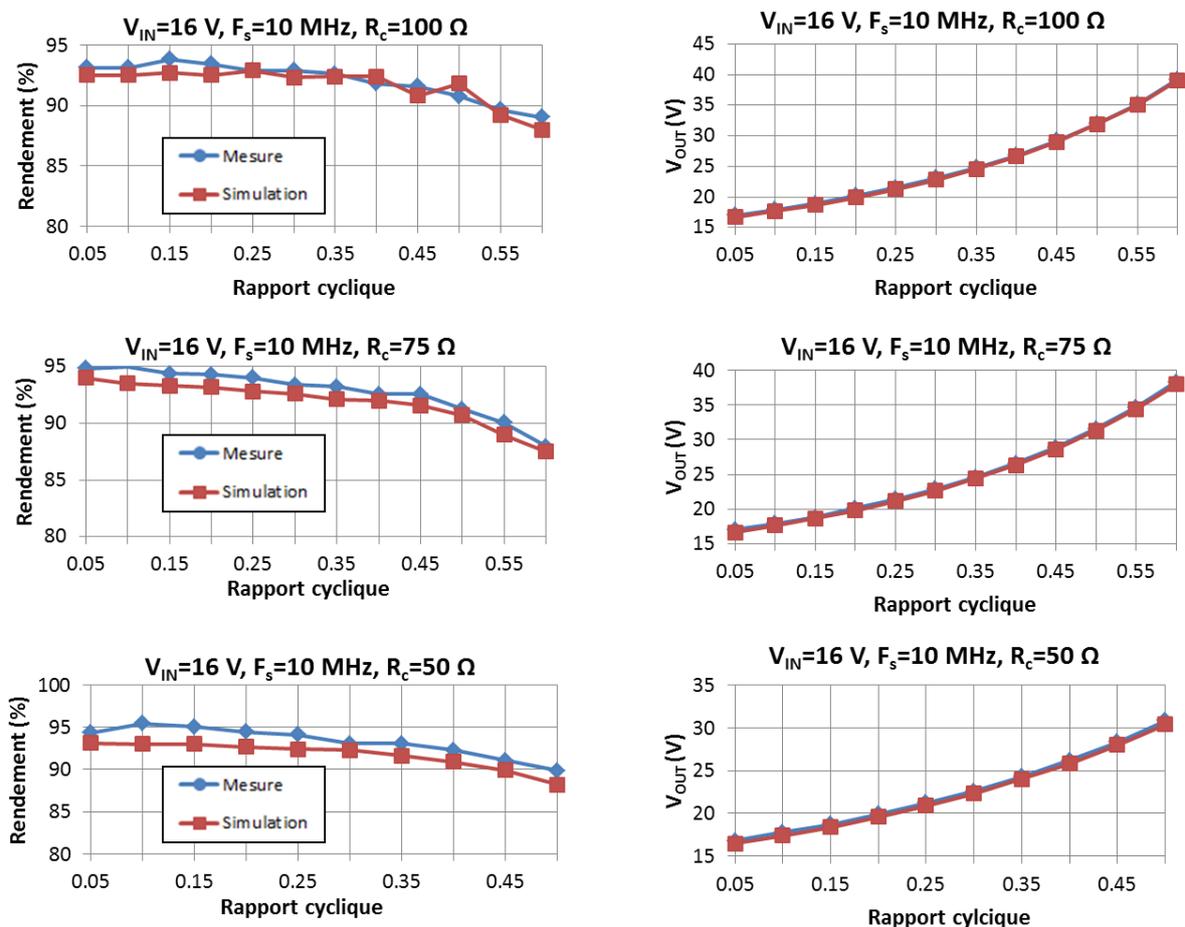


Figure II.40 : comparaison entre les rendements et tensions de sortie mesurés et simulés du convertisseur boost. $V_{IN}=16\text{ V}$ et $F_s=10\text{ MHz}$.

La concordance entre les mesures et les simulations est bonne pour les rendements (écart maximum de 2 %) et excellente pour les tensions de sortie (écart maximum 0.2 V). Les comparaisons mesure/simulation permettent de valider la précision des modèles électriques des composants passifs et du transistor utilisés pour prédire le fonctionnement du convertisseur boost.

c - Essai du convertisseur associé à un circuit de commande (driver)

Le banc de mesure utilisé pour caractériser les convertisseurs réalisés lors de ces travaux dispose pour commander la grille des transistors d'un générateur de signaux Agilent 81100 dont les temps de montée et descente sont de 2 ns. Afin de voir si des temps de commutation plus rapides permettent d'augmenter le rendement du convertisseur, un circuit de commande (driver) a été associé au convertisseur boost précédemment réalisés.

Le driver utilisé est le LM5114 de Texas Instrument, capable de temps de commutation inférieurs à 2 ns sur des charges capacitives de l'ordre de 10 pF (équivalentes aux capacités de grille du transistor NPTB00025). Le circuit associant driver et convertisseur a été réalisé et testé au Laboratoire d'électrotechnique et d'électronique de puissance de Lille (L2ep), il est présenté par la **figure II.41** :

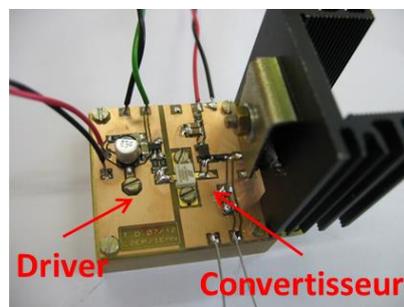


Figure II.41 : photographie du convertisseur boost NPTB00025 associé au driver LM5114.

La **figure II.42** montre la mesure des temps de montée et de descente de la commande de grille obtenue en entrée puis en sortie du driver :



Figure II.42 : signaux d'entrée et de sortie du driver LM5114 connecté à la grille du transistor NPTB00025, $F_S=10$ MHz.

Le signal d'entrée du driver a des temps de commutation mesurés compris entre 4 et 5 ns, le driver permet de réduire les temps de commutation à 1.9 ns pour la montée et 1 ns pour la descente. L'amplitude du signal est de 5 V (amplitude nécessaire à la commutation du transistor NPTB00025), on note que le signal de commande commute entre -5 et 0 V, il n'est pas possible de commuter entre -4 et +1 V avec ce circuit, cela a pour conséquence de ne pas ouvrir totalement le transistor NPTB00025 et pour $V_{GS}=0$ V, la R_{ON} est de 1.2 Ω au lieu de 0.9 Ω à $V_{GS}=+1$ V. Les rendements du convertisseur (Boost v2) sont mesurés indépendamment de la consommation du driver (0.2 W à 10 MHz, 0.4 W à 20 MHz) afin de voir l'influence des temps de commutation et de l'augmentation de R_{ON} sur le rendement. Les résultats sont présentés par la **figure II.43**, en parallèle avec les rendements mesurés précédemment sur le premier convertisseur boost (Boost v1), pour des charges de 100 et 50 Ω , $V_{IN}=16$ V et $F_s=10$ puis 20 MHz.

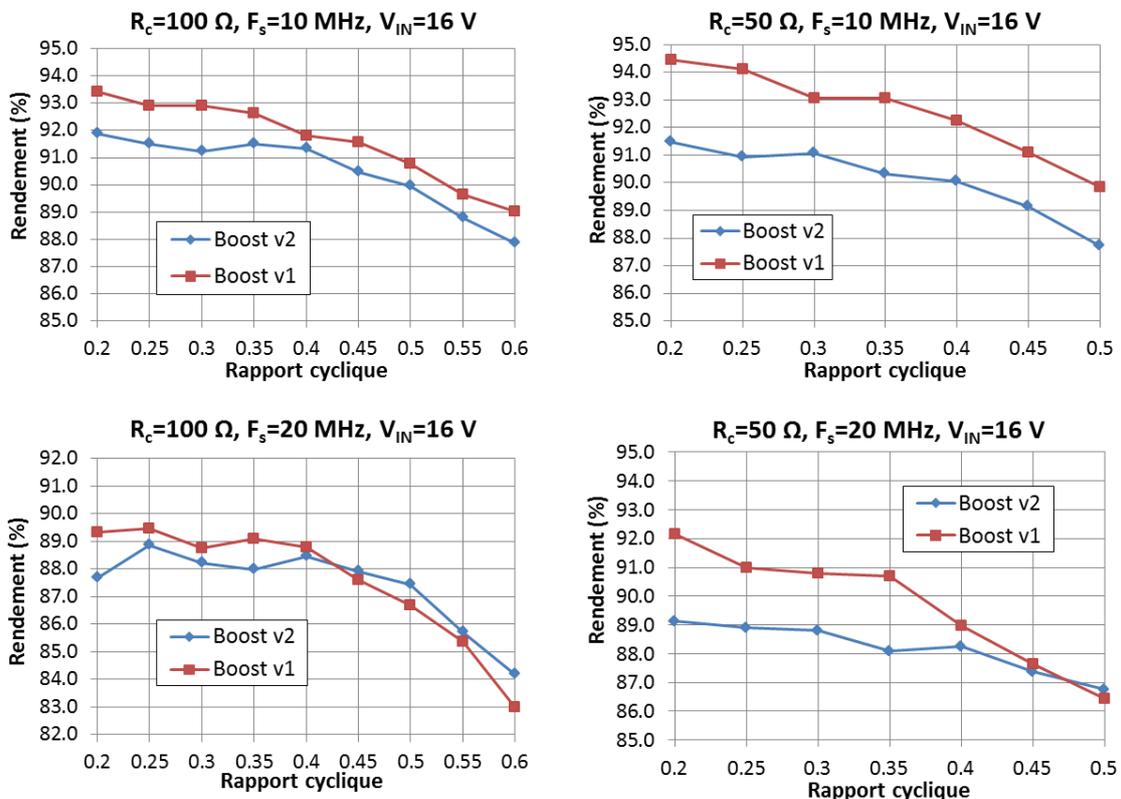


Figure II.43 : comparaison des rendements mesurés du convertisseur associé au driver LM5114 avec les rendements du convertisseur commandé directement par le générateur Agilent 81100.

On remarque des rendements plus faibles de 1 à 3 % à 10 MHz pour le convertisseur associé au driver, notamment pour des puissances de sortie plus élevées ($R_c=50$ Ω) où l'augmentation de la R_{ON} est plus pénalisante, une amélioration des temps de commutation de la commande a peu d'influence à 10 MHz. Les mesures à 20 MHz montrent une diminution des écarts de rendement, mais l'amélioration des temps de commutation n'est pas suffisante pour compenser l'augmentation de R_{ON} .

Conclusion

Après avoir posé les bases historiques et théoriques de la conversion de tension de type DC/DC utilisant des transistors fonctionnant en commutation, deux convertisseurs DC/DC, abaisseur et élévateur de tension, ont été réalisés afin de démontrer le potentiel des transistors de type HEMT AlGaN/GaN pour des montées en fréquence de découpage.

Le premier convertisseur, réalisé à partir d'un HEMT conçu au laboratoire et modélisé lors de ces travaux a permis d'atteindre une fréquence de découpage de 10 MHz pour une puissance de sortie de 5 W. Le deuxième prototype basé sur un composant commercial Nitronex NPTB00025 a permis d'atteindre des fréquences de découpage allant jusqu'à 20 MHz pour une puissance de sortie de 20 W. Comme le montre le **tableau II.15**, les deux convertisseurs ont montré des rendements atteignant 90 % à 10 MHz, ce qui constitue l'état de l'art pour cette fréquence de découpage. Ces performances globalement très bonnes montrent le potentiel des composants GaN pour les applications de conversion de puissance.

Auteur	Année	Tensions (V)	P _{OUT} (W)	Fréquence (MHz)	η (%)
W.Saito	2008	175 -> 350	120	1	94
Y. Wu	2008	175 -> 350	300	1	97.8
W.Chen	2009	10 -> 21	0,88	1	84
EPC	2009	24 -> 1	5	0.6	90
EPC	2009	48 -> 1	5	0.25	82.9
J. Das	2011	70 -> 140	100	0.5	96
B. Hughes	2011	180 -> 350	425	1	95
K. Shah	2011	10 -> 1	10	5	82
IEMN	2011	24 -> 12	5	10	90
N . Le Gallou	2011	32 -> 56	63	50	84
IEMN	2012	16 -> 32	15	10	90

Tableau II.15 : comparaison des performances des convertisseurs GaN réalisés avec l'état de l'art.

Un circuit de commande basé sur un composant commercial a été développé afin d'améliorer les performances en hautes fréquences de découpage, cependant, du fait du comportement Normally-ON ($V_p < 0$ V, $V_{ON} = +1$ V) du transistor NPTB00025, il n'était pas possible d'atteindre les performances optimale en termes de R_{ON} (ouverture incomplète du canal) et donc de rendement. L'absence de driver adapté aux transistors de type Normally-ON permettant une commutation optimale du transistor est une des limitations actuelles pour des convertisseurs à haute vitesse de découpage basés sur des HEMT AlGaN/GaN, de même les transistors de type Normally-OFF ($V_p > 0$ V) ont encore des performances inférieures, notamment en termes de R_{ON} , cependant l'amélioration des technologies de type Normally-OFF devraient aboutir à une meilleur compatibilité entre les commutateurs GaN et leur périphériques (notamment les circuits de commande) et ainsi permettre de nouvelles montées en fréquence et puissance pour des convertisseur DC/DC à découpage.

Bibliographie du Chapitre II

- [1] N. Tipirneni, A. Koudymov, V. Adivarahan, J. Yang, G. Simin, M. Asif Khan, " The 1.6-kV AlGa_N/Ga_N HFETs", IEEE Electron Device Letters, Vol. 27, No. 9, September 2006
- [2] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, K. Tsuda, I. Omura, M. Yamaguchi, "Suppression of Dynamic On-Resistance Increase and Gate Charge Measurements in High-Voltage GaN-HEMTs With Optimized Field-Plate Structure", IEEE Transactions On Electron Devices, Vol. 54, No. 8, August 2007
- [3] Y. Wu, M. Jacob-Mitos, M. L. Moore, S. Heikman, "A 97.8% Efficient GaN HEMT Boost Converter With 300-W Output Power at 1 MHz IEEE Electron Device Letters, Vol. 29, No. 8, August 2008
- [4] B. Hughes, Y. Y. Yoon, D. M. Zehnder, K. S. Boutros, " A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid-IC Boost-Converter with 425-W Output Power at 1 MHz", Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE
- [5] W. W. Burns, J. Kociekki, "Modern Power Electronics, Evolution, Technology, and Applications", Edit. B.K. Bose, IEEE Press, 1992, pp 92-105
- [6] B. A. Miwa, L. F. Casey, M. F. Schlecht, "Copper-Based Hybrid Fabrication of a 50-W 5-MHz 40-V-5-V DC/DC Converter", IEEE Transactions On Power Electronics, Vol. 6, No. 1, January 1991
- [7] S. Ajram, G. Salmer, " Ultrahigh Frequency DC-to-DC Converters Using GaAs Power Switches", IEEE Transactions On Power Electronics, Vol. 16, No. 5, September 2001
- [8] N. Le Gallou, D. Sardin, C. Delepaut, M. Campovecchio, S. Rochette, "Over 10MHz Bandwidth Envelope-Tracking DC/DC converter for Flexible High Power GaN Amplifiers", Microwave Symposium Digest (MTT), 2011 IEEE MTT-S International
- [9] R. Bausière, F. Labrique, G. Séguier, "Les convertisseurs de l'électronique de puissance 3 : La conversion continu-continu", Ed. Lavoisier - Technique et Documentation, 1987
- [10] Z. Leng, Q. Liu, J. Sun, J. Liu, "A Research of Efficiency Characteristic for Buck Converter", Industrial Mechatronics and Automation (ICIMA), 2010 2nd International Conference on
- [11] B. Hauke, "Basic Calculation of a Boost Converter's Power Stage", Texas Instruments Application Report, SLVA372B–November 2009–Revised July 2010
- [12] D. Schelle, J. Castorena, "Buck Converter Design Demystified", Power Electronics Technology, June 2006
- [13] F. C. Lee, "High-Frequency Quasi-Resonant Converter Technologies", Proceedings of the IEEE, Vol. 76, No. 4, pp. 377-390, April 1988

- [14] M. K. Kazimierczuk, "Design-Oriented Analysis of Boost Zero-Voltage-Switching Resonant DC/DC Converter", IEEE Trans. On Power Electronics, Vol. 3, No. 2, pp. 126-136, April 1988
- [15] O. Jardel, G. Callet, C. Charbonniaud, J.C. Jacquet, N. Sarazin, E. Morvan, R. Aubry, M.-A. Di Forte Poisson, J.-P. Teyssier, S. Piotrowicz, R. Quéré, " A new nonlinear HEMT model for AlGaIn/GaN switch applications", Proceedings of the 4th European Microwave Integrated Circuits Conference, 28-29 September 2009, Rome, Italy
- [16] Agilent Technologies, "Agilent Network Analysis Applying the 8510 TRL Calibration for Non-Coaxial Measurements", Product Note 8510-8A

CHAPITRE III

REALISATION ET CARACTERISATION D'AMPLIFICATEURS DE PUISSANCE GAN A HAUT RENDEMENT

Introduction

Le chapitre précédant, portant sur les convertisseurs DC/DC à haute vitesse de découpage, a permis de mettre en avant le potentiel des transistors de type HEMT AlGaN/GaN pour des applications de conversion de tension. Une autre application où ces transistors sont de plus en plus utilisés et permettent d'obtenir des performances remarquables, notamment leur forte densité et mobilité de porteurs ainsi que leur tension de claquage élevée, est l'amplification de puissance hyperfréquence [1]. De nombreux amplificateurs de puissance basés sur ce type de transistors ont été réalisés pour des gammes de fréquence allant de la bande L (1-2 GHz), où par exemple un amplificateur délivrant 360 W avec 65 % de rendement a été réalisé par [2,] à la bande W (75-110 GHz), avec 12 dB de gain et une puissance de sortie 25 dBm dans [3].

Ce chapitre est consacré à la réalisation de plusieurs amplificateurs de puissance à base de transistor GaN, avec pour objectif l'optimisation des rendements en puissance ajoutée (PAE) sur de larges gammes de puissance et de fréquence. La première partie sera consacrée aux éléments théoriques de l'amplification de puissance et aux différentes classes de fonctionnement, puis la conception et la caractérisation de deux amplificateurs à haut rendement en bandes S/C (autour de 4 GHz) basés sur des transistors UMS GH50 seront décrites, enfin dans la dernière partie, un amplificateur de puissance classe F à 2 GHz réalisé à partir du transistor Nitronex NPTB00025 sera associé au convertisseur DC/DC précédemment réalisé avec le même transistor (CH II) dans le cadre d'une polarisation dynamique de drain visant à l'amélioration des rendements de l'amplificateur pour les faibles niveaux de puissance, notamment pour des signaux à fort rapport entre la puissance maximum et la puissance moyenne (Peak to Average Power Ratio, PAPR).

III.1 - Généralités et classes de fonctionnement des amplificateurs de puissance

Dans cette partie, les bases théoriques de l'amplification de puissance ainsi que les différentes classes d'amplificateurs seront décrites, leurs avantages et inconvénients seront notamment présentés.

III.1.1 - Bilan de puissance et définition du rendement

Comme dans le cadre des convertisseurs DC/DC, le rendement est un point essentiel des performances d'un amplificateur de puissance, en effet, un haut rendement permet d'une part de minimiser la consommation en courant et d'autre part de maximiser la durée de vie du circuit (moins d'échauffement). Les performances en rendement d'un amplificateur s'obtiennent en minimisant sa puissance dissipée. Trois critères doivent être pris en compte pour minimiser cette puissance dissipée. Le premier consiste à placer le transistor dans des conditions optimales de polarisation. Le deuxième critère est la gestion des signaux aux fréquences harmoniques qui permet de diminuer le temps de coexistence entre le courant et la tension RF. Ces deux premiers points se réfèrent aux classes de fonctionnement sinusoïdales et haut rendement [4]. Le troisième critère est la technologie utilisée. Elle doit présenter certaines caractéristiques électriques nécessaires pour obtenir un fonctionnement haut rendement, notamment permettre une R_{ON} la plus faible possible, ce qui est un des points forts de la technologie HEMT AlGaIn/GaN.

Afin de définir le rendement d'un amplificateur de puissance RF, un bilan de puissance est établi selon la **figure III.1** :

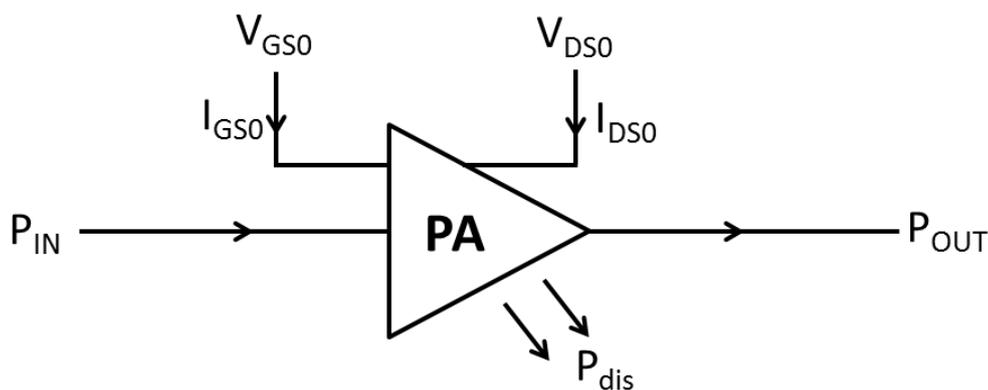


Figure III.1 : représentation des puissances mises en jeu dans un amplificateur de puissance.

P_{IN} est la puissance RF d'entrée, P_{OUT} est la puissance RF de sortie, P_{dis} est la puissance dissipée (sous forme de chaleur) par l'amplificateur. V_{GS0} , V_{DS0} , I_{GS0} et I_{DS0} sont les tensions et courants de polarisation de l'amplificateur.

La puissance DC consommée par l'amplificateur est donnée par :

$$P_{DC} = V_{GS0} \cdot I_{GS0} + V_{DS0} \cdot I_{DS0} \approx V_{DS0} \cdot I_{DS0}$$

La puissance dissipée est donnée selon la loi de conservation de la puissance :

$$P_{dis} = P_{IN} + P_{DC} - P_{OUT}$$

Le rendement de drain de l'amplificateur est donné par l'expression suivante :

$$\eta_{drain} = \frac{P_{OUT}}{P_{DC}}$$

Une autre expression du rendement est couramment utilisée lors de la caractérisation des amplificateurs de puissance, il s'agit du rendement en puissance ajoutée (PAE) qui tient compte de la puissance d'entrée de l'amplificateur (non négligeable lorsque l'amplificateur fonctionne en régime non-linéaire).

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}}$$

Le gain en puissance de l'amplificateur est défini par :

$$G = \frac{P_{OUT}}{P_{IN}} \quad \text{soit} \quad G_{dB} = P_{OUT_{dB}} - P_{IN_{dB}}$$

Une caractéristique importante d'un amplificateur est la puissance de sortie qu'il est capable de fournir, dite puissance de saturation P_{sat} . Le point de compression à 1 dB est également utilisé, il s'agit de la puissance de sortie pour laquelle le gain est compressé de 1 dB par rapport à la valeur qu'il aurait suivant un tracé linéaire, il est représenté sur la [figure III.2](#).

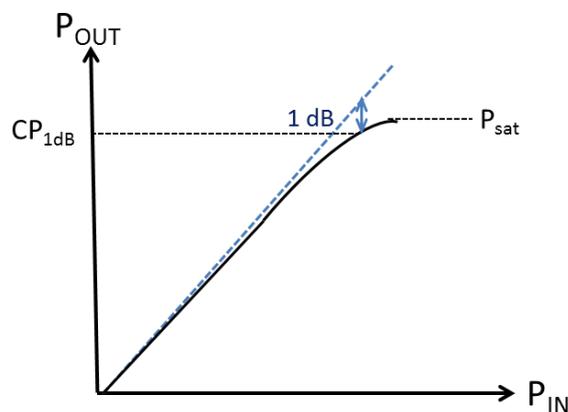


Figure III.2 : représentation graphique du point de compression à 1 dB et de la puissance de saturation d'un amplificateur de puissance.

III.1.2 – Les différentes classes de fonctionnement

A - Classes de fonctionnement sinusoïdales

Les classes de fonctionnement classiques sont les classes pour lesquelles seule la fréquence fondamentale du signal à amplifier est prise en compte, il s'agit des classes A, AB, B et C.

En fonction du courant de repos (point de polarisation) qui est appliqué au transistor, le temps de coexistence t entre la tension et le courant de drain intrinsèque évolue. Ce temps de coexistence t est relatif à un angle d'ouverture θ , défini par l'expression suivante où T est la période du signal :

$$\theta = 360 \cdot \frac{t}{T}$$

Les classes de fonctionnement sinusoïdales sont définies en fonction de cet angle d'ouverture θ .

a - La classe A

Pour la classe A, l'angle d'ouverture est de 360° , soit une période complète. Le point de polarisation optimum est situé au milieu de la droite de charge dynamique, la [figure III.3](#) illustre le fonctionnement en classe A par rapport au réseau de caractéristiques :

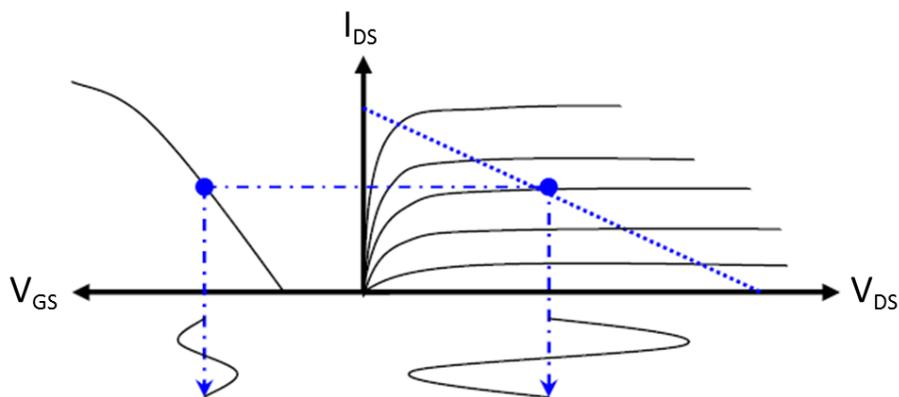


Figure III.3 : réseau de caractéristiques et fonctionnement en classe A.

Le rendement pour la classe A est au maximum de 50 %, de plus, le transistor subit un fort auto-échauffement du fait de la polarisation au milieu du réseau de caractéristique, ce qui dégrade ses performances. Cependant, le principal avantage de la classe A est une excellente linéarité, l'utilisation d'un angle d'ouverture de 360° permet en effet de ne pas déformer le signal.

b - La classe B

Pour le fonctionnement en classe B, l'angle d'ouverture est de 180° . Le transistor est polarisé au pincement comme illustré sur la **figure III.4** :

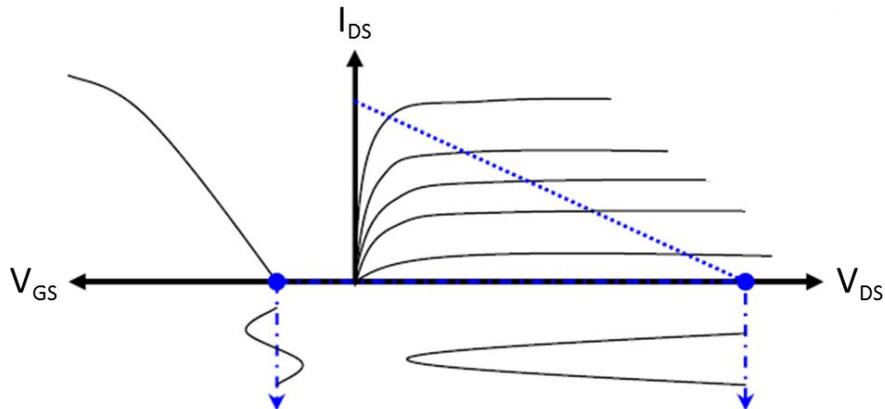


Figure III.4 : réseau de caractéristiques et fonctionnement en classe B.

Le rendement maximum pour la classe B est de 78.5% , en effet peu de puissance est dissipée car le transistor est polarisé au pincement. En revanche le signal n'est amplifié que sur la moitié d'une période, ce qui dégrade les performances en puissance. Pour remédier à ce problème, des montages à deux transistors de type push-pull peuvent être utilisés, mais ils peuvent engendrer un effet de distorsion au moment du changement d'alternance.

La classe AB est intermédiaire à la classe A et B. Son angle d'ouverture est alors compris entre 360° et 180° , ce qui génèrera des rendements maximums compris entre 50% et 78.5% . La classe C consiste à polariser le transistor de manière à ce que l'angle d'ouverture soit inférieur à 180° , soit $V_{GS0} < V_p$. Des rendements supérieures à 78.5% sont envisageables mais au détriment de la puissance de sortie.

Le **tableau III.1** résume les caractéristiques des différentes classes de fonctionnement sinusoïdales et la **figure III.5** permet de visualiser les formes d'ondes des tensions et courant de drain intrinsèques correspondant à chaque classe ainsi que les puissances dissipées correspondantes :

Classe	Angle d'ouverture	Rendement théorique (%)	Puissance de sortie	Linéarité
A	360°	50	élevée	excellente
AB	$180 < \theta < 360^\circ$	$50 < \eta < 78.5$	moyenne	correcte
B	180°	78.5	moyenne	moyenne
C	$\theta < 180^\circ$	$78.5 < \eta$	faible	faible

Tableau III.1 : résumé des caractéristiques des classes d'amplification sinusoïdales.

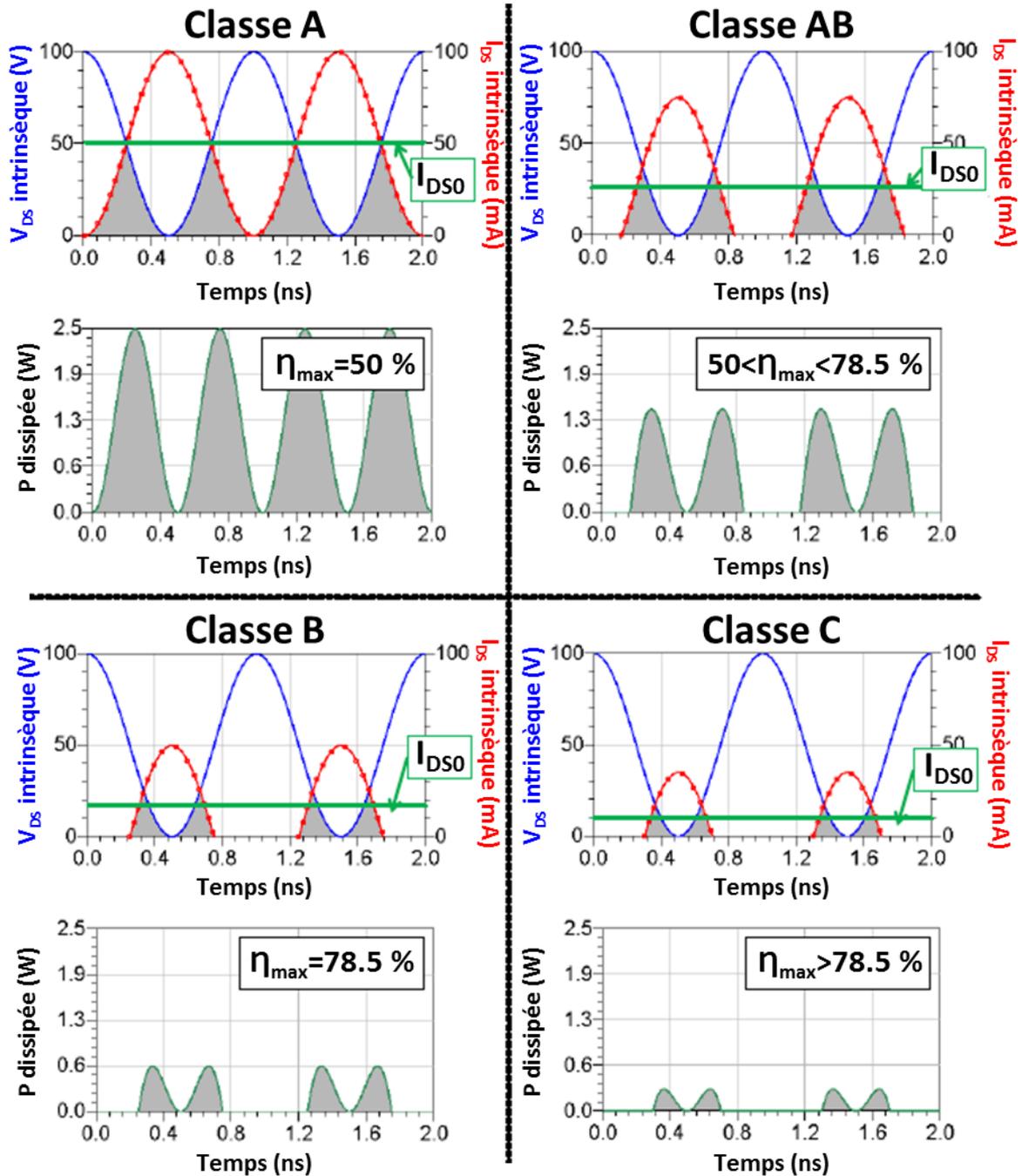


Figure III.5 : formes d'onde des courants et tensions de drain intrinsèque et puissance dissipée en fonction de la classe de fonctionnement de l'amplificateur pour les classes sinusoïdales.

B - Classes de fonctionnement haut rendement

Le principe des classes de fonctionnement haut rendement est, comme pour les classes sinusoïdales (A, AB, B et C), de diminuer la période de coexistence entre la tension et le courant de drain responsable de la puissance dissipée. La différence avec les autres classes de fonctionnement est la méthode appliquée pour y parvenir, notamment la prise en compte des fréquences harmoniques.

La contribution des composantes harmoniques modifie les formes d'ondes temporelles. Il est possible d'optimiser ces formes d'onde temporelle et ainsi de réduire l'angle d'ouverture et par conséquent d'augmenter le rendement. En effet, selon la décomposition d'un signal en série de Fourier, une suppression des composantes paires d'un signal génère une forme d'onde quasi-carrée. Si les composantes impaires d'un signal sont supprimées, il en résulte une forme d'onde en calotte sinusoïdale. La modification des formes d'onde ainsi obtenue permet de minimiser le chevauchement des ondes de tension et de courant et donc de maximiser le rendement. La suppression de ces composantes harmoniques s'effectue en présentant un court-circuit (CC) ou un circuit ouvert (CO) aux bornes de la source de courant aux fréquences harmoniques souhaitées. La **figure III.6** illustre l'effet des composants harmoniques sur les ondes de tension et de courant :

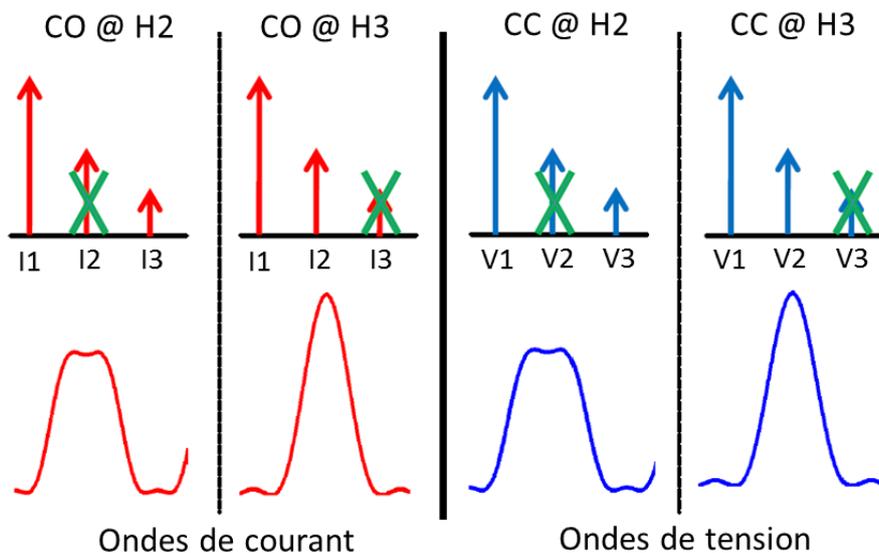


Figure III.6 : effet de la suppression des harmoniques sur les formes d'onde de courant et de tension.

Les classes de fonctionnement à haut rendement (E, F, F⁻¹, J) sont ainsi obtenues par optimisation des conditions de fermeture aux fréquences harmoniques, hormis la classe E qui propose une réduction du temps de coexistence de la tension et du courant en générant un réseau de sortie propice à un fonctionnement en commutation du transistor. Le point de polarisation choisi pour ces classes est généralement proche des classes AB ou B.

La **figure III.7** donne une représentation des formes d'onde des tensions et courants de drain intrinsèque du transistor utilisé en classe F, F⁻¹, E et J et les puissances dissipées correspondantes.

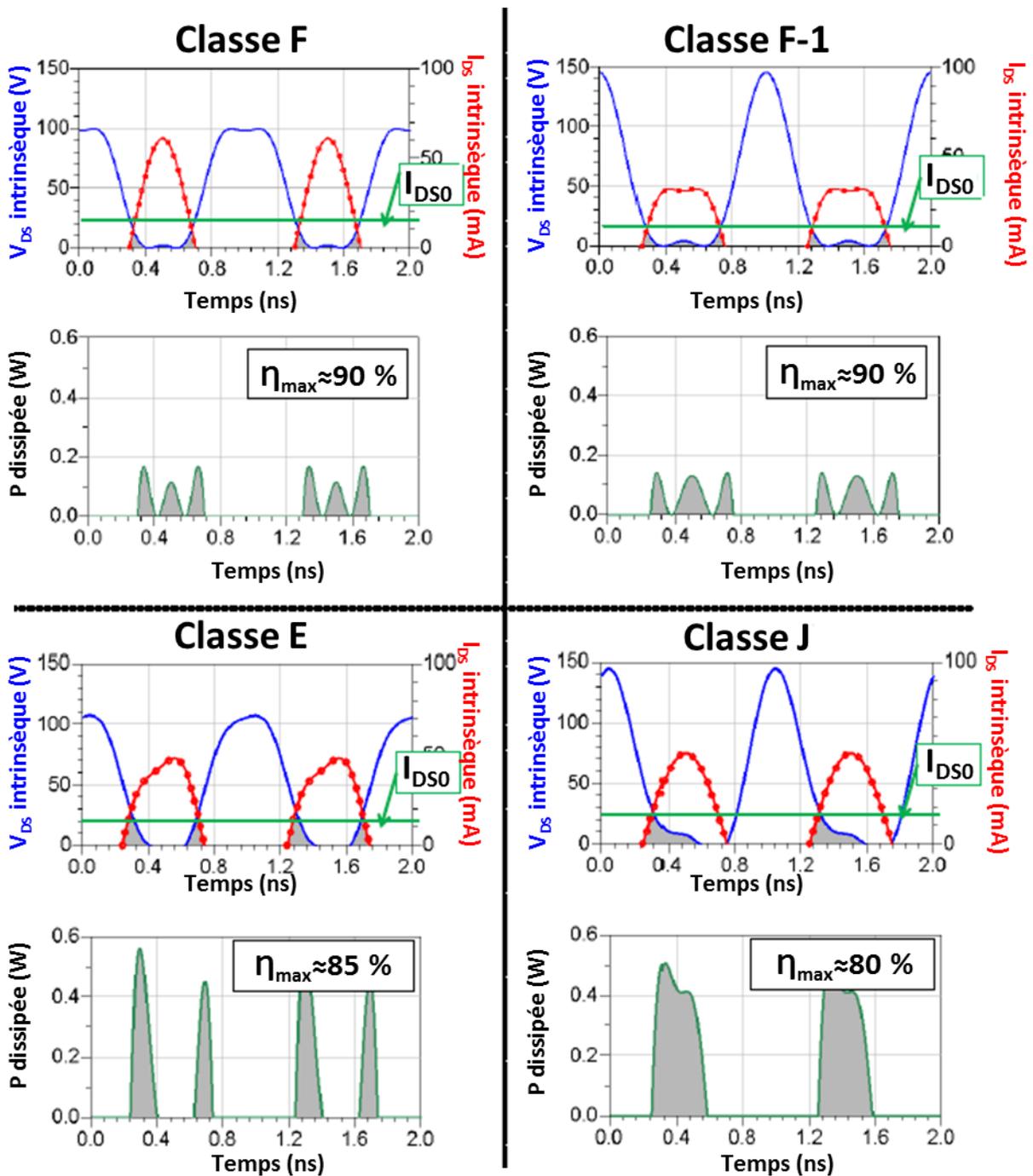


Figure III.7 : formes d'onde des courants et tensions de drain intrinsèque et puissance dissipée en fonction de la classe de fonctionnement de l'amplificateur pour les classes haut rendement.

a - La classe E

La classe E a été introduite en 1975 [5]. Son principe de fonctionnement ne réside pas dans le contrôle des impédances aux fréquences harmoniques mais dans le fonctionnement du transistor comme un interrupteur. Pendant que le transistor conduit, la tension $V_{DS}(t)$ est nulle et le courant $I_{DS}(t)$ circule dans le transistor. Lorsque le transistor est bloqué, le courant $I_{DS}(t)$ devient nul et la tension $V_{DS}(t)$ apparaît. Un réseau de charge RLC série est alors dimensionné de manière à obtenir une commutation optimale entre le courant et la tension ainsi qu'une bonne adaptation à la fréquence fondamentale. Ce réseau présentant de très fortes impédances aux fréquences harmoniques, la forme du courant reste quasi-sinusoidale. La forme de la tension $V_{DS}(t)$ est directement liée à la valeur de la capacité parasite C_{DS} .

En 2006, Sheppard [6] a réalisé un amplificateur présentant 85% de PAE à 2 GHz en utilisant un HEMT AlGaIn/GaN sur substrat SiC de chez Cree. Cette classe est cependant limitée aux applications jusqu'à la bande C. Le temps de commutation du transistor est fortement lié et la valeur de la capacité C_{GS} . La montée en fréquence est limitée par la valeur de la capacité C_{DS} qui doit être la plus faible possible.

b - Les Classes F et F^{-1}

La classe F [4][7] s'obtient en présentant un court-circuit à l'harmonique 2 en sortie pour préformer l'onde de tension de manière quasi-carrée (il est également possible de présenter également un court-circuit à l'harmonique 2 en entrée pour améliorer le rendement dans certain cas). Un courant de forme quasi demi-sinusoidale est généré en présentant un circuit ouvert à l'harmonique 3.

La classe F inverse ou F^{-1} est la classe duale de la classe F. Le circuit ouvert est présenté à l'harmonique 2 et le court-circuit à l'harmonique 3. Les formes d'ondes qui en résultent sont un courant quasi-carré et une tension demi-sinusoidale.

De très bonnes performances ont été obtenues lors de la réalisation d'amplificateurs en bande S en technologie HEMT AlGaIn/GaN. Par exemple, Schmelzer [8] a présenté 85% de PAE à 2 GHz en fonctionnement classe F et Saad [9] a obtenu 78% de PAE à 3.5 GHz en classe F inverse.

Les architectures utilisées pour réaliser de telles adaptations sont des circuits résonants et des stubs ($\lambda/4$) qui limitent fortement la bande passante de l'amplificateur. Ces classes de fonctionnement nécessitent idéalement une connaissance parfaite des caractéristiques extrinsèques de la puce, elles doivent notamment être prises en compte lors de la réalisation du réseau de sortie car le court-circuit et le circuit ouvert doivent être présentés dans le plan intrinsèque de la source de courant, cependant les procédures d'optimisation utilisées par les logiciels de conception permettent d'optimiser les réseaux

d'adaptation même en l'absence d'information sur les éléments extrinsèques, ce qui est souvent le cas lors de l'utilisation de modèles fournis par le fabricant (boîte noire).

c - La classe J

La classe J a été abordée pour la première fois par Cripps en 2006 [4]. Elle permet d'atteindre les mêmes rendements que la classe B même si des études complémentaires ont proposé des rendements supérieurs à 80% [10].

Le principal avantage de cette classe de fonctionnement est qu'elle permet de très bonnes potentialités d'adaptation sur de larges bandes passantes. Contrairement aux classes E, F et F^{-1} qui utilisent des circuits d'adaptation résonants, donc très sélectifs, le contrôle des impédances aux fréquences harmoniques pour la classe J est obtenu en utilisant une charge capacitive précédée d'une ligne de transmission. Cet étage présente alors une fonction de filtre passe bas dont le rôle est d'atténuer les composantes harmoniques sans pour autant spécifier leur terminaison. Le filtrage doit également prendre en compte la capacité C_{DS} pour parvenir à réaliser la meilleure combinaison d'ondes de tension et de courant dans le plan de la source de courant intrinsèque. Enfin, le circuit est fermé par une charge complexe permettant l'adaptation à la fréquence fondamentale. Une représentation schématique du réseau de sortie d'un amplificateur classe J est donnée par la **figure III.8** :

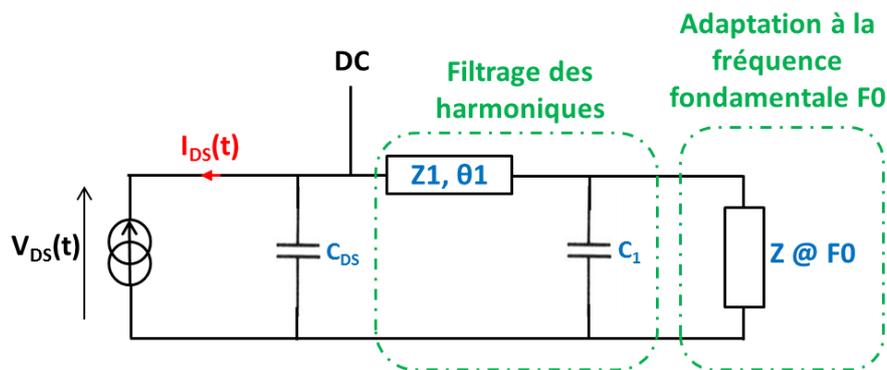


Figure III.8 : représentation schématique du réseau de sortie d'un amplificateur classe J.

La valeur de la capacité C_1 permet d'optimiser le niveau de filtrage. Ce filtre harmonique doit être passant à la fréquence fondamentale afin de limiter les pertes et doit filtrer le plus possible l'harmonique 2, un compromis est nécessaire entre le niveau de filtrage à l'harmonique 2 et les pertes à la fondamentale.

Les harmoniques n'étant pas contrôlées de manière optimale comme pour les classes E, F ou F^{-1} , la tension va subir un décalage temporel qui va augmenter le temps de conduction. Ceci explique pourquoi le rendement théorique énoncé ne dépasse pas les 78.5% même si les ondes de tension et de courant sont partiellement préformées de manière à réduire leur temps de coexistence.

Récemment, plusieurs amplificateurs ont été conçus en se basant sur le principe de la classe J afin d'obtenir des rendements élevés sur des larges bandes passantes. Par exemple, un amplificateur GaN ayant un PAE de 60 % sur la bande 2.9-3.7 GHz pour une puissance de 50 W a été réalisé dans [11]. L'obtention de PAE supérieurs à 60 % sur de larges bandes passantes est l'avantage principal de la classe J. On ajoutera que des travaux ont été effectués par [12] pour intégrer ces filtres dans des boîtiers du type de ceux rencontrés fréquemment pour des transistors de puissance RF.

III.2 - Réalisation d'un amplificateur de puissance classe F GaN à 4 GHz

La première partie de ce chapitre était consacrée aux généralités concernant les amplificateurs de puissance, notamment les différentes classes d'amplificateurs ainsi que leurs avantages et inconvénients. L'objectif de ces travaux de thèse étant la réalisation de circuits à haut rendement basés sur des transistors de type HEMT AlGaIn/GaN (dans le domaine de la conversion de tension au chapitre II, puis de l'amplification de puissance dans ce chapitre), la classe F a été choisie pour la première réalisation d'amplificateur de puissance qui fera l'objet de cette partie. Le transistor GaN utilisé est le GH50 8*250 μm de chez UMS, permettant notamment un fonctionnement en bandes S et C correspondant notamment à des applications de télécommunication. Ce transistor sera d'abord présenté, puis la conception de l'amplificateur sera explicitée, enfin les résultats de mesures seront donnés.

III.2.1 - Caractéristiques du transistor UMS GH50 8*250 μm

Le transistor UMS GH50 est un composant commercial de type HEMT AlGaIn/GaN sur substrat SiC aillant un développement de grille de 2 mm (8*250 μm), conçu pour des applications RF jusqu'à la bande C (4-8 GHz), ses caractéristiques DC et fréquentielles sont rapidement décrite dans ce paragraphe.

A - Caractéristiques DC du transistor UMS GH50 8*250 μm

La tension de claquage du transistor GH50 est de 100 V et sa tension de pincement est de -1.8 V. Les caractéristiques $I(V)$ statiques du transistor GH50 sont donnée par la [figure III.9](#) :

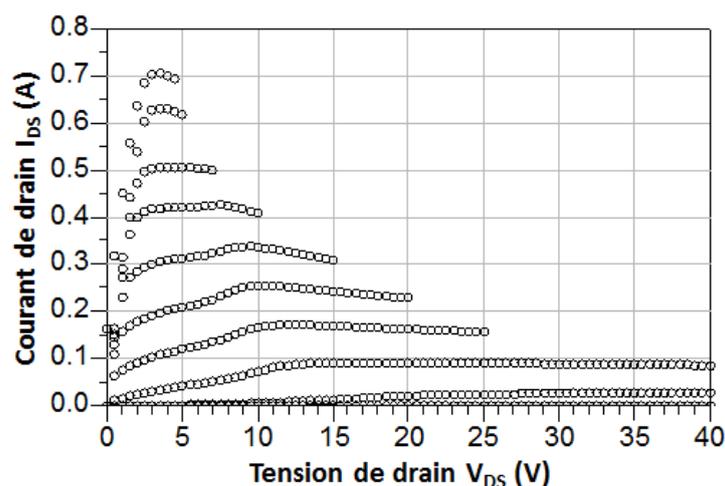


Figure III.9 : caractéristiques $I(V)$ statiques du transistor GH50 8x250 μm .

Le courant de saturation est de 700 mA pour une tension de grille de 0.5 V, la résistance R_{ON} correspondante est de 3 Ω .

B - Caractéristiques fréquentielles du transistor UMS GH50 8*250 μm

La principale caractéristique fréquentielle à avoir été mesurée sur ce transistor est la fréquence de transition afin de déterminer les bandes de fréquence dans lesquelles le transistor peut être utilisé pour réaliser un amplificateur de puissance avec un gain suffisant. Les mesures ont été effectuées sous pointes et les résultats sont donnés par la **figure III.10** pour $V_{DS}=40$ V, $V_{GS}=-1.4$ V, tensions qui correspondent à une polarisation du transistor en classe AB.

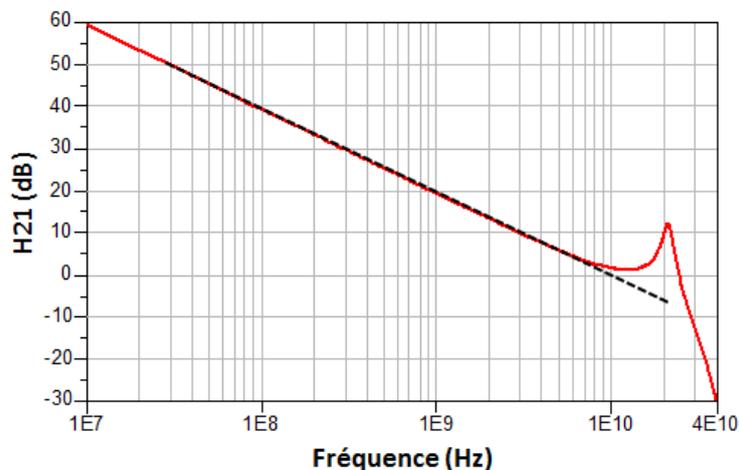


Figure III.10 : module du gain en courant du transistor GH50 ($V_{DS}=40$ V, $V_{GS}=-1.4$ V).

La fréquence de transition est de 10 GHz dans ces conditions de polarisation. Le transistor dispose d'une fréquence de transition qui permet son utilisation pour des applications d'amplification de puissance en bande S et C. La fréquence centrale qui sera choisie pour la conception des amplificateurs à haut rendement est de 4 GHz, cela correspond notamment au milieu de la bande 3.7-4.2 GHz utilisée par certains satellites de télécommunication.

Il a été également envisagé d'utiliser ces transistors pour de nouveaux convertisseurs DC/DC, cependant leurs caractéristiques DC, notamment le courant de saturation assez faible (700 mA), ne permettaient pas d'obtenir d'avancées notables par rapport aux convertisseurs déjà réalisés avec les transistors Nitronex NPTB00025. En revanche, les transistors GH50 étant fournis en puces nues (sans boîtier), ils permettent une meilleure optimisation des réseaux d'adaptation dans le cadre de la conception d'amplificateurs de puissance.

III.2.2 - Conception d'un amplificateur classe F à 4 GHz basé sur le transistor UMS GH50 8*250 μm

Un amplificateur classe F basé sur le transistor UMS GH50 8*250 μm a été conçu à partir du modèle non-linéaire fourni par UMS utilisable sous ADS, la procédure de conception est détaillée dans cette partie. La conception est guidée par l'objectif d'obtenir un PAE élevé sur une large dynamique de puissance d'entrée.

A - Simulations Load-Pull et Source-Pull

Des simulations Load-Pull et Source-Pull ont d'abord été réalisées afin de déterminer les impédances optimales à présenter au transistor pour la fréquence fondamentale (F0) ainsi que pour les harmoniques 2 et 3 (H2 et H3), ces impédances optimales sont choisies afin de maximiser le PAE de l'amplificateur. Les simulations ont été réalisées de manière suivante :

- Détermination de $Z_{opt_F0_out}$ pour F0 en sortie, impédances en entrée et aux harmoniques à 50 Ω .
- Détermination de $Z_{opt_H2_out}$ pour H2 en sortie, $Z_{F0}=Z_{opt_F0_OUT}$, impédances en entrée et à H3 à 50 Ω .
- Détermination de $Z_{opt_H3_out}$ pour H3 en sortie, $Z_{F0}=Z_{opt_F0_OUT}$, $Z_{H2}=Z_{opt_H2_OUT}$, impédances en entrée à 50 Ω .
- Même procédure pour l'entrée en fixant les impédances à leurs valeurs optimales précédemment déterminées en sortie.
- Re-détermination des impédances optimales en sortie en fixant les impédances en entrée à leurs valeurs optimales, dans le cas où elles auraient changé en fonction des impédances à l'entrée. Après deux itérations, aucun changement dans les impédances optimales n'était visible.

Les cercles à PAE constants résultant des simulations Load-Pull (après 2 itérations de la procédure décrite précédemment) pour la fréquence fondamentale $F0=4$ GHz et les harmoniques 2 et 3 montrant les zones d'impédance optimales en termes de PAE sur l'abaque de Smith sont présentés par la **figure III.11**, la puissance d'entrée est de 26 dBm (des problèmes de convergence ont été observés pour des puissances plus élevées approchant les limites du transistor) et la polarisation est $V_{DS}=40$ V, $V_{GS}=-1.4$ V. On note que le PAE maximum que peut atteindre un amplificateur basé sur le transistor GH50 8*250 μm est de 76 %. Pour l'harmonique 2, la zone optimale est décalée par rapport au court-circuit théorique de la classe F du fait des parasites liés aux éléments d'accès du transistor. Finalement la zone optimale pour l'harmonique 3 est assez large autour du circuit-ouvert théorique, l'harmonique 3 en sortie a une influence limitée sur le PAE, mais doit tout de même être adaptée car le PAE peut chuter si l'on se rapproche de la partie gauche de l'abaque.

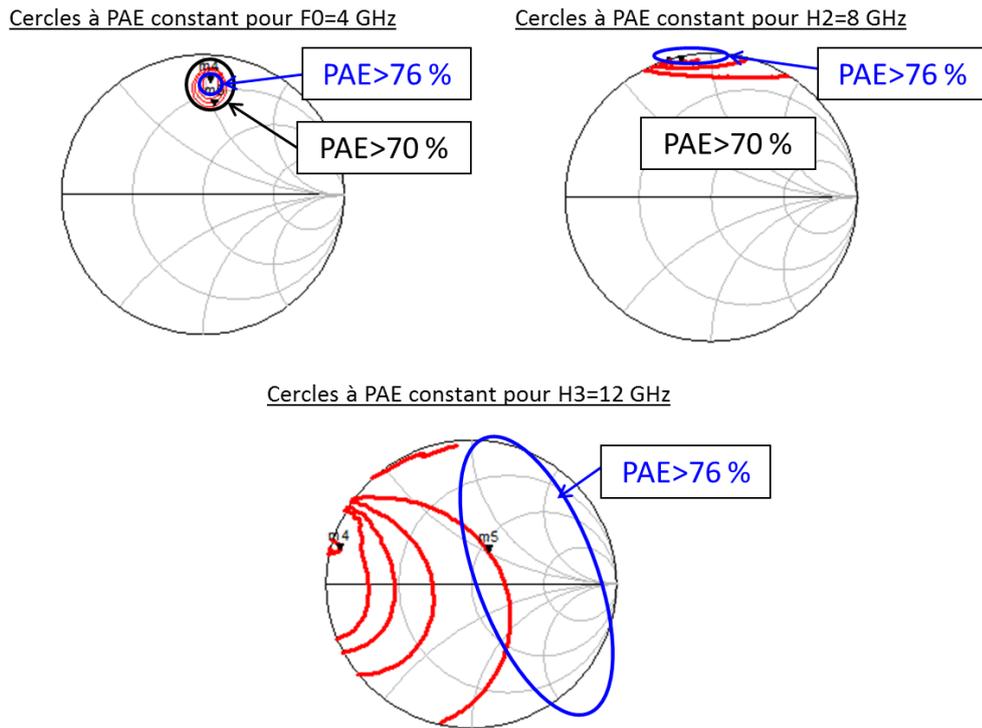


Figure III.11 : simulations Load-Pull du transistor GH50 $8 \times 250 \mu\text{m}$, $P_{IN}=26 \text{ dBm}$, $V_{DS}=40 \text{ V}$, $V_{GS}=-1.4 \text{ V}$.

La figure III.12 représente les cercles à PAE constant en entrée, les conditions de puissance et de polarisation sont les mêmes que pour les simulations Load-Pull.

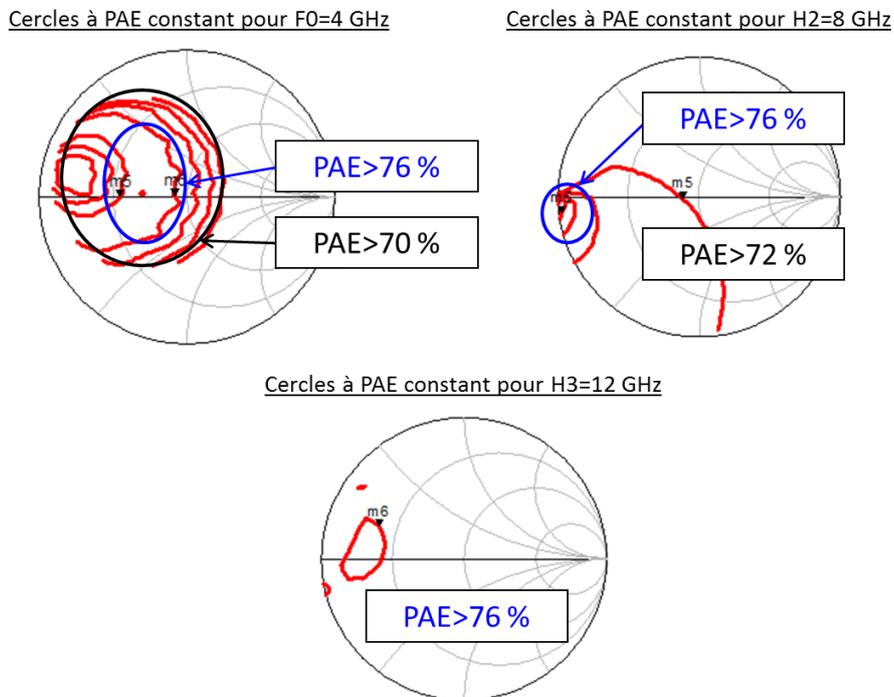


Figure III.12 : simulations Source-Pull du transistor GH50 $8 \times 250 \mu\text{m}$, $P_{IN}=26 \text{ dBm}$, $V_{DS}=40 \text{ V}$, $V_{GS}=-1.4 \text{ V}$.

Il est important de noter que l'harmonique 2 a également une forte influence sur le PAE en entrée et doit donc être adaptée comme en sortie. L'impédance optimale en entrée pour l'harmonique 2 se situe proche du court-circuit. En revanche l'influence de l'harmonique 3 en entrée est négligeable, le PAE restant autour de sa valeur maximale sur toute l'abaque.

Les valeurs des impédances optimales pour la fréquence fondamentale et les harmoniques 2 et 3 en entrée et en sortie pour différentes puissances d'entrée sont données par le **tableau III.2** :

P_{IN} (dBm)	Zopt_F0_OUT	Zopt_H2_OUT	Zopt_H3_OUT	Zopt_F0_IN	Zopt_H2_IN
18	6.8+j55	0+j37	Haute impédance	2.5+j4.1	0-j2
20	9.1+j55	0+j37	Haute impédance	3.2+j4.9	0-j2
22	8.9+j52.8	0+j37	Haute impédance	4.7+j3	0-j2
24	11.4+j51.2	0+j37	Haute impédance	4.2+j4.1	0-j2
26	11.3+j50.4	0+j37	Haute impédance	10.7+j3.7	0-j1

Tableau III.2 : impédances optimales en fonction de la puissance d'entrée pour F0, H2 et H3 en entrée et en sortie pour le transistor GH50.

Afin d'optimiser le PAE sur une gamme de puissances d'entrée la plus large possible pour des signaux à fort PAPR, un compromis a été trouvé concernant les impédances à présenter au transistor. Le **tableau III.3** donne les impédances choisies :

Zopt_F0_OUT	Zopt_H2_OUT	Zopt_H3_OUT	Zopt_F0_IN	Zopt_H2_IN
11+j52	0+j37	Haute impédance	5+j4	0-j2

Tableau III.3 : impédances choisies en vue d'un compromis sur la dynamique de puissance d'entrée.

Une comparaison des PAE maximums pour les impédances optimisées pour $P_{IN}=26$ dBm et pour les impédances intermédiaires du tableau 3 est montrée sur la **figure III.13**, la perte de PAE pour $P_{IN}=26$ dBm est de 5 %, en revanche le PAE peut être amélioré de 5 à 15 % pour les puissances d'entrée jusqu'à 24 dBm par rapport au PAE obtenu avec les impédances optimisées pour $P_{IN}=26$ dBm.

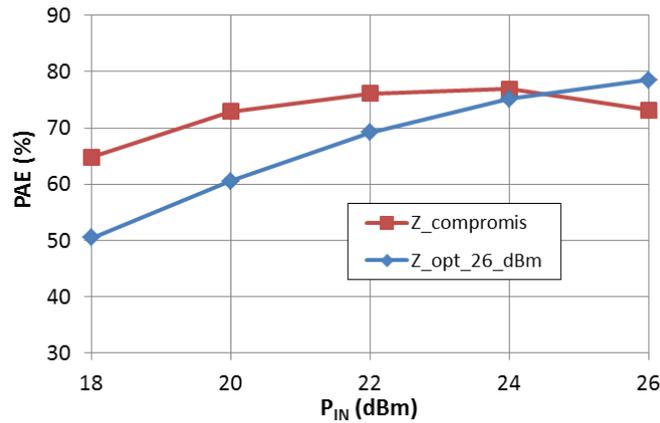


Figure III.13 : PAE en fonction de la puissance d'entrée pour des impédances optimisées de manière à obtenir un PAE élevé sur une large dynamique de puissance.

Dans les 2 cas, la puissance de saturation idéalement atteignable selon les simulations Load et Source-Pull est comprise en 37 et 38 dBm, soit environ 5 W.

B - Conception des circuits d'adaptation

a- Conception du réseau de sortie

Le réseau d'entrée pour les harmoniques 2 et 3 a d'abord été conçu afin de présenter un circuit ouvert à l'harmonique 3 et une impédance correspondant à un court-circuit en série avec une inductance pour l'harmonique 2 ($Z_{opt_H2_OUT}=0+j37$). Le schéma synoptique du réseau d'adaptation est donné par la **figure III.14**, il se base sur des stubs dont les longueurs dépendent de la longueur d'onde correspondant à la fréquence de fonctionnement de l'amplificateur [13], d'où l'aspect faible bande de la classe F.

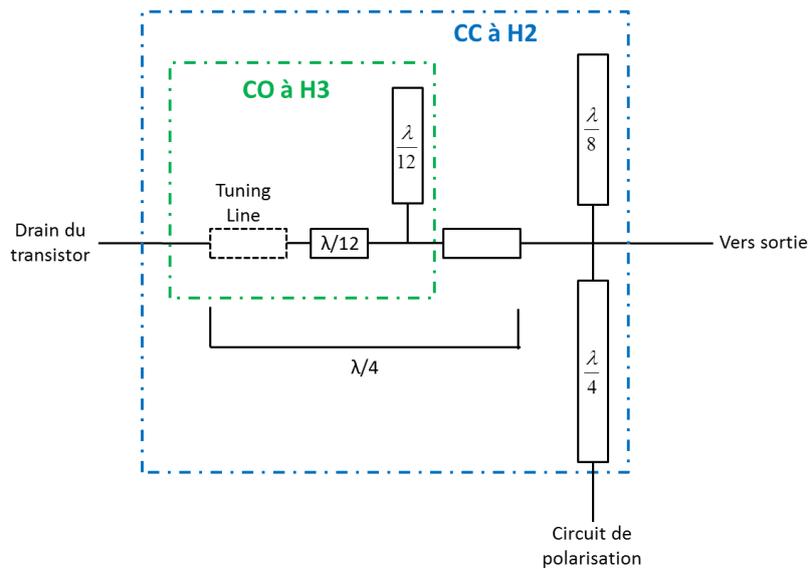


Figure III.14 : schéma synoptique du réseau d'adaptation aux fréquences harmoniques d'un amplificateur classe F.

Le premier stub d'une longueur de $\lambda/12$ situé à $\lambda/12$ du transistor (λ correspondant à la longueur d'onde de la fréquence fondamentale, soit 4 GHz) permet de présenter un circuit ouvert pour l'harmonique 3, tandis que le second stub d'une longueur $\lambda/8$ situé à $\lambda/4$ du transistor permet de présenter un court-circuit pour l'harmonique 2. Une ligne de transmission $\lambda/4$ est utilisée pour que le circuit de polarisation se comporte comme un circuit ouvert à la fréquence fondamentale.

Le substrat choisi pour l'amplificateur et utilisé pour les simulations sous ADS est de l'alumine (épaisseur 1016 μm , permittivité diélectrique relative 9.9). La **figure III.15** montre les résultats de simulation du réseau d'adaptation pour les fréquences harmoniques :

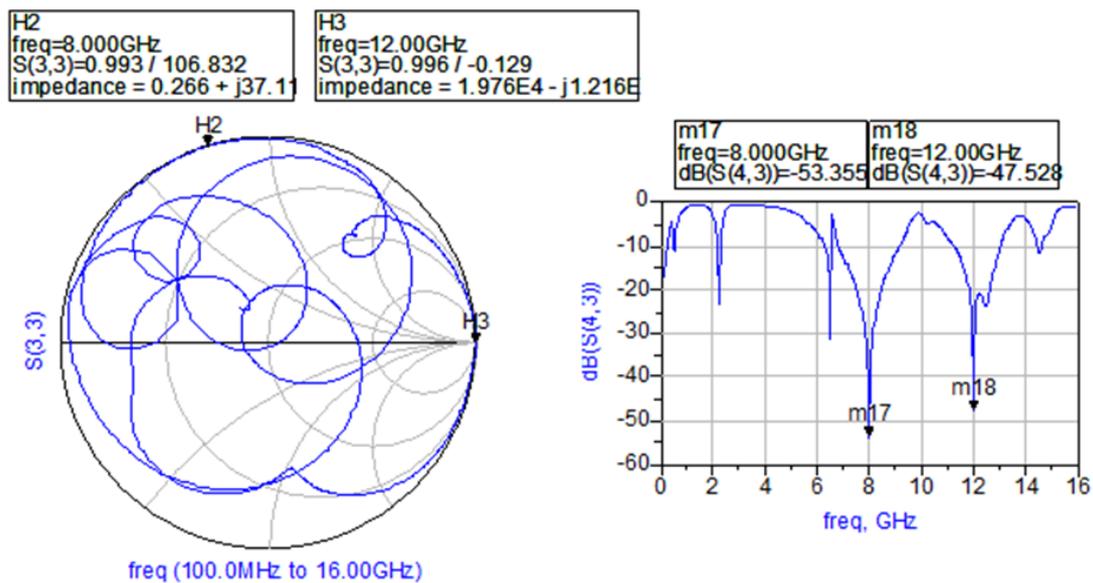


Figure III.15 : impédances présentées en simulation par le circuit d'adaptation aux fréquences harmoniques.

On obtient une réjection des harmoniques de -53 dB pour H2 et de -47 dB pour H3, les impédances obtenues sont également très proches des impédances optimales visées, on remarque toutefois qu'il est difficile de se rapprocher du court-circuit pour la partie réelle de l'impédance présentée pour H2, à cause des pertes résistives des lignes ainsi que des bondings ($L=250 \mu\text{m}$, $D=25 \mu\text{m}$) prévus pour relier le transistor et le substrat qui sont pris en compte.

L'adaptation à la fréquence fondamentale de 4 GHz est également obtenue par l'ajout d'un stub supplémentaire après le réseau d'adaptation aux harmoniques, une capacité de liaison de 10 pF est prise en compte pour l'adaptation, il s'agit d'une capacité CMS Murata dont le modèle est fourni jusqu'à 12 GHz. La **figure III.16** montre les impédances présentées au transistor par le réseau de sortie complet chargé par 50 Ω .

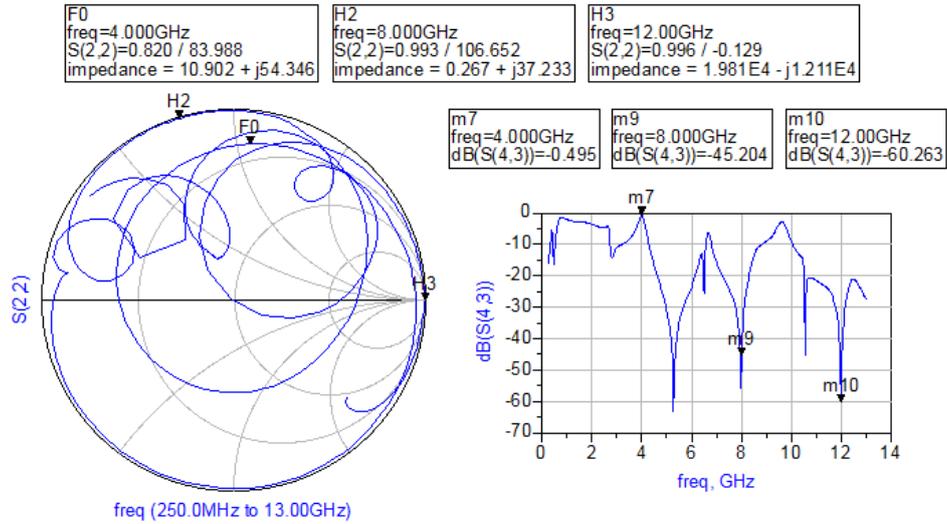


Figure III.16 : impédances présentées en simulation par le circuit d'adaptation de sortie complet.

Les impédances présentées sont proches des impédances optimales, on note cependant des pertes d'insertion de l'ordre de 0.5 dB à 4 GHz, principalement dues aux pertes résistives dans les pistes, l'impact de ces pertes sur le rendement sera visible par la suite.

b - Conception du réseau d'entrée

Le réseau d'entrée est conçu selon le même principe que le réseau de sortie, la **figure III.17** montre les impédances présentée à la grille du transistor.

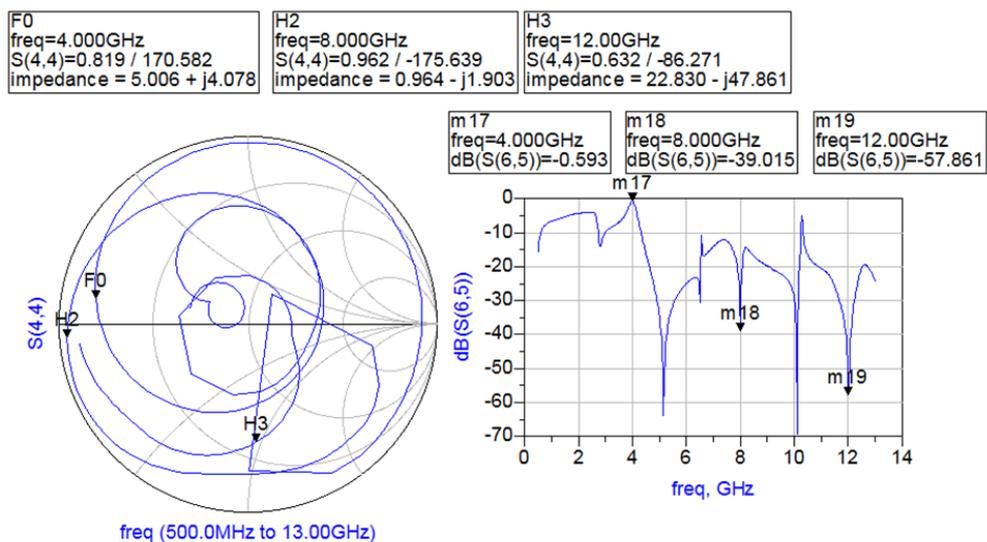


Figure III.17 : impédances présentées à la grille du transistor en simulation par le circuit d'adaptation d'entrée complet.

De même que pour le réseau d'entrée, on observe des pertes d'insertion de 0.6 dB. Les impédances présentées à l'entrée du transistor pour la fréquence fondamentale ainsi que pour l'harmonique 2 sont proches des valeurs souhaitées, un circuit ouvert n'est pas vraiment présenté pour l'harmonique 3, cependant comme montré lors des simulations Source-Pull, cela n'a pas d'influence sur le rendement espéré. Le **tableau III.4** compare les impédances obtenues par les circuits d'adaptation et les impédances idéales visées pour un PAE maximum :

	Zopt_F0_OUT	Zopt_H2_OUT	Zopt_H3_OUT	Zopt_F0_IN	Zopt_H2_IN
Impédances idéales	11+j52	0+j37	Haute impédance	5+j4	0-j2
Impédances obtenues	11+j54	0.3+j37	Haute impédance	5+j4	1-j2

Tableau III.4 : comparaison des impédances idéales visées et des impédances obtenue par les réseaux d'adaptation en simulation.

C - Simulations de l'amplificateur complet

Une fois les circuits d'adaptation réalisés pour présenter au transistor les impédances optimales en terme de PAE pour les fréquences fondamentale et harmoniques, des simulations de type Harmonic Balance ont été effectuées sous ADS afin de déterminer plus précisément les potentialités de l'amplificateur classe F en termes de PAE, de puissance de sortie et de bande passante. La stabilité du circuit a également été vérifiée.

a - Simulations en puissance et rendement

Le PAE simulé en fonction de la puissance d'entrée à la fréquence de 4 GHz est donné par la **figure III.18**, $V_{DS}=40$ V et $V_{GS}=-1.4$ V.

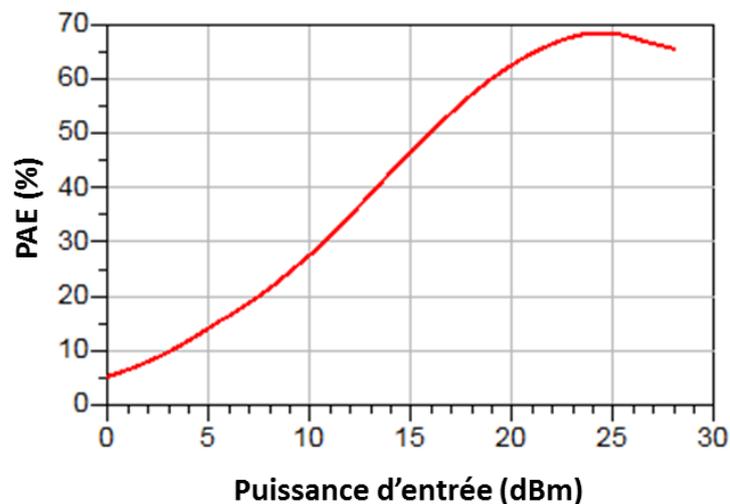


Figure III.18 : PAE simulé de l'amplificateur classe F à 4 GHz.

Les simulations montrent un rendement en puissance ajoutée de 69 % à 4 GHz, qui est atteint pour une puissance d'entrée de 25 dBm. On note une perte de 7 % de PAE par rapport au PAE idéal donné par les simulations Source-Pull et Load-Pull. Le PAE reste cependant au dessus de 60 % pour les puissances d'entrée comprises entre 18 et 28 dBm, ce qui était un objectif du design.

Les impédances présentées au transistor étant proches des impédances idéales, cela n'explique pas ces pertes. En revanche, les pertes par conduction dans les pistes (conductivité de $4.1 \cdot 10^7 \text{ S.m}^{-1}$ pour l'or) sont en grande partie responsable de cette chute de PAE, en effet, des simulations en fixant la conductivité à une valeur très élevée montre un PAE de 75 %, conforme aux simulations Load et Source-Pull.

Plusieurs substrats ont été testés, notamment un substrat Duroid ayant une permittivité diélectrique relative de 2.2 afin d'élargir les pistes (donc de diminuer leur résistivité), cependant la taille du circuit n'était plus en adéquation avec nos attentes sans pour autant améliorer le PAE du fait de pertes diélectriques plus importante que pour l'alumine.

La puissance de sortie et le gain en puissance simulés en fonction de la puissance d'entrée à la fréquence de 4 GHz sont donnés par la [figure III.19](#), $V_{DS}=40 \text{ V}$ et $V_{GS}=-1.4 \text{ V}$.

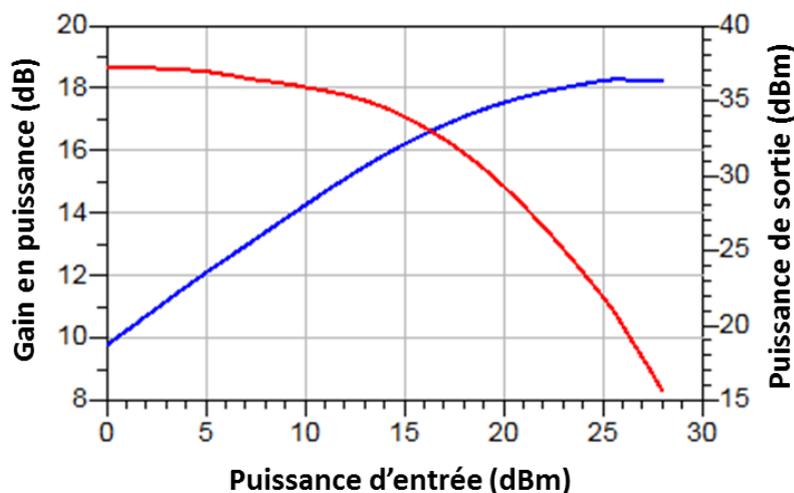


Figure III.19 : puissance de sortie et gain en puissance simulés de l'amplificateur classe F à 4 GHz.

La puissance de saturation simulée de l'amplificateur est atteinte pour $P_{IN}=26 \text{ dBm}$, elle est légèrement inférieure à 37 dBm. Le gain correspondant est de 11 dB.

b - Simulations en fréquence

La figure III.20 représente le PAE simulé ainsi que le gain en puissance en fonction de la fréquence pour $P_{IN}=25$ dBm.

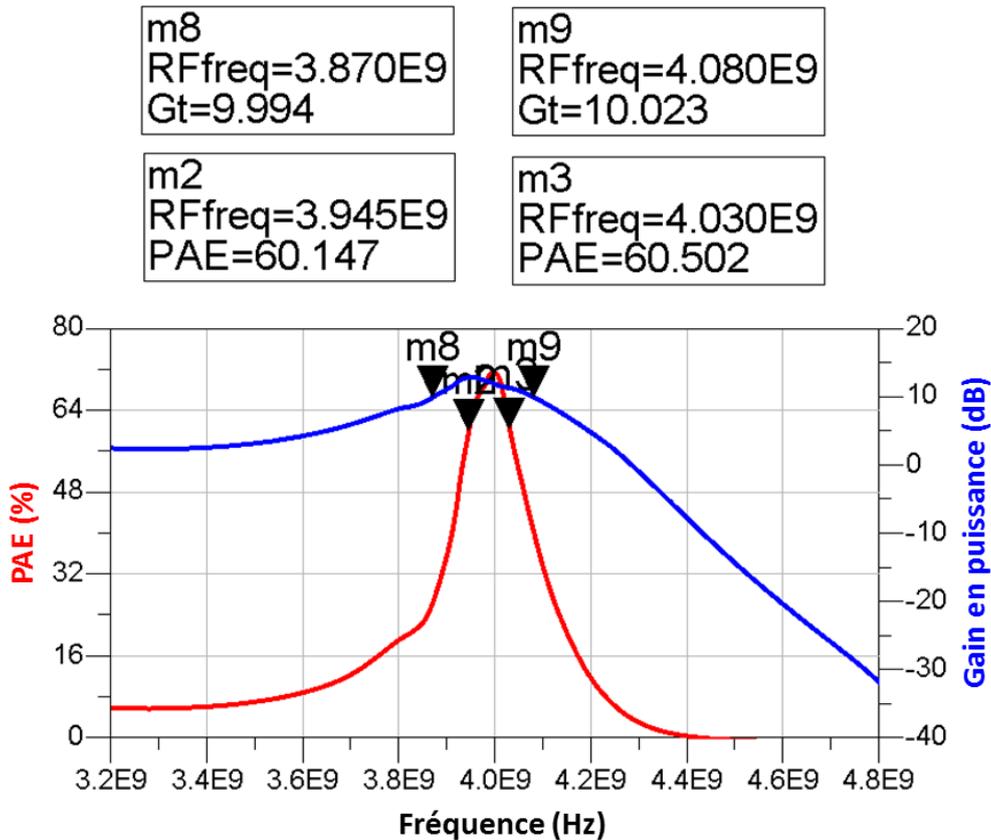


Figure III.20 : PAE et gain en puissance simulés en fonction de la fréquence, $P_{IN}=25$ dBm, $V_{DS}=40$ V et $V_{GS}=-1.4$ V.

La bande passante pour une PAE > 60 % est de 85 Mhz et la bande passante à -3 dB pour le gain est de 210 MHz. On observe la très forte sélectivité fréquentielle de la classe F, notamment en termes de PAE.

c - Stabilité

La stabilité du circuit a été vérifiée sous ADS à l'aide du facteur de stabilité K et du facteur mesure de stabilité b, ces facteurs sont définis en fonction des paramètres S du circuit de la manière suivante [14] :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} * S_{22} - S_{12} * S_{21}|^2}{2 * |S_{12} * S_{21}|}$$

$$b = 1 + |S_{11}|^2 - |S_{22}|^2 + |S_{11} * S_{22} - S_{12} * S_{21}|^2$$

Pour que le circuit soit inconditionnellement stable, il faut que K soit supérieur à 1 et b soit positif. Ces facteurs pour l'amplificateur classe F sont donnés en fonction de la fréquence par la figure III.21 :

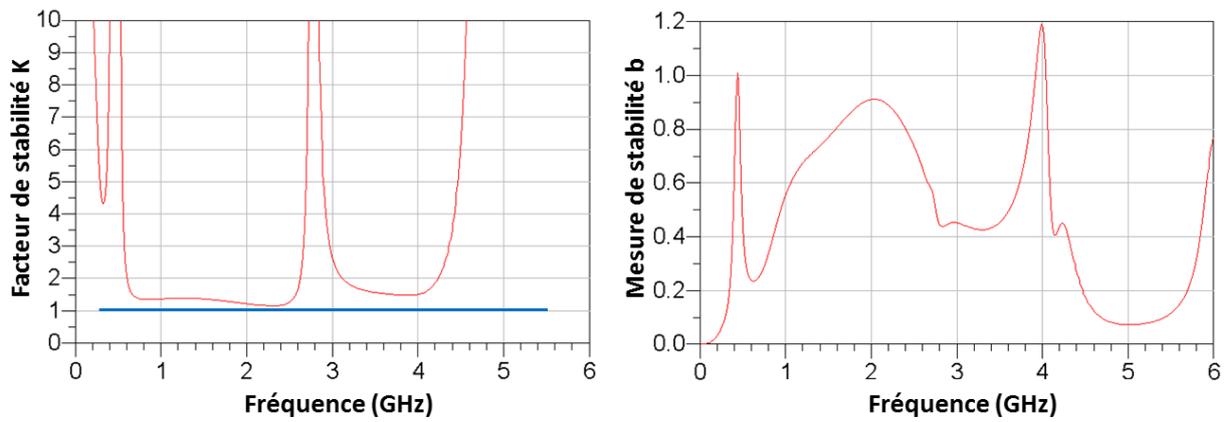


Figure III.21 : facteur de stabilité et de mesure de stabilité simulés en fonction de la fréquence.

Les conditions de stabilité sont remplies pour l'amplificateur classe F, un circuit RC série a tout de même dû être ajoutée à l'entrée afin de réduire le gain autour de 2 GHz où K est proche de 1 et où des oscillations pourraient apparaître.

III.2.3 - Réalisation de l'amplificateur classe F à 4 GHz basé sur le transistor UMS GH50 8*250 μm

Les simulations Harmonic Balance sous ADS ont permis d'établir les possibilités en puissance, rendement et bande passante d'un amplificateur classe F basé sur le transistor GaN GH50 8*250 μm . L'amplificateur a été réalisé et caractérisé afin de valider les simulations.

A - Réalisation de l'amplificateur classe F

Comme évoqué dans la partie précédente, les circuits d'adaptation de l'amplificateur ont été réalisés sur une alumine d'épaisseur 1016 μm , des épaisseurs d'alumine plus fines engendraient des pertes par conduction plus élevées du fait des pistes plus étroites, un substrat Duroid amenait des pertes diélectriques supplémentaires et une taille du circuit trop importante.

Le transistor GH50 est reporté sur un support en laiton fixé sur un radiateur et il est relié aux circuits d'adaptation par des bondings en or, un fil en entrée et deux en sortie afin de transmettre la puissance sans risque de faire rompre un fil. Ces bondings ont été pris en compte dans les simulations.

Une photo de l'amplificateur réalisé en distinguant les différentes parties du circuit est donnée par la **figure III.22** :

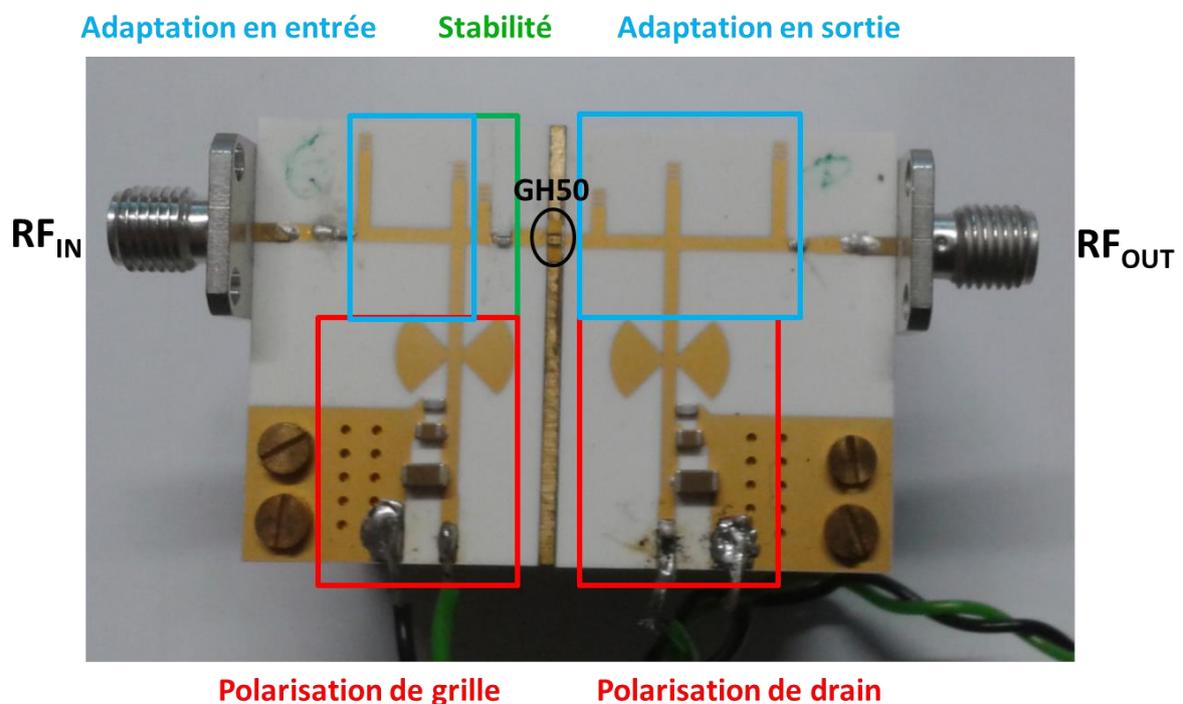
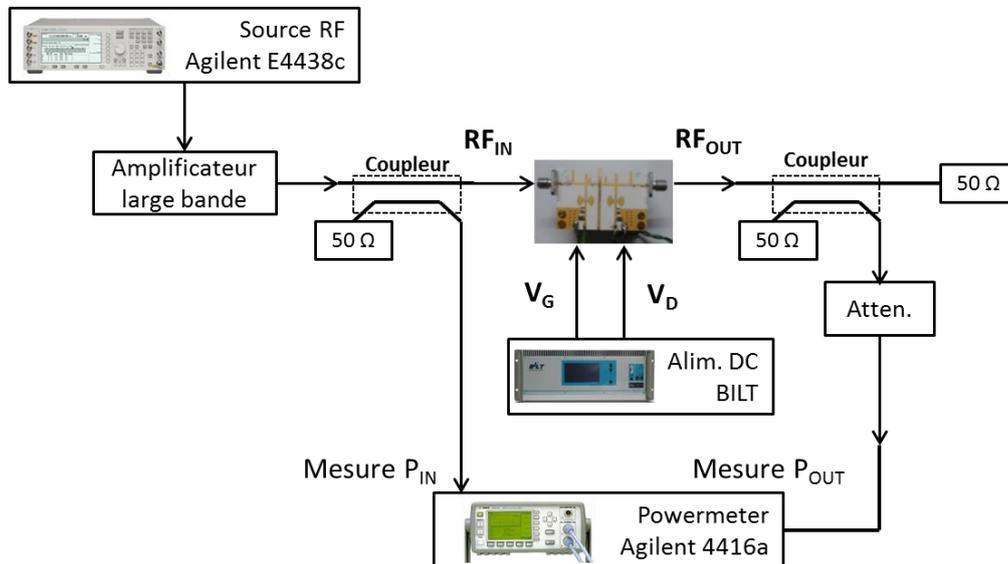


Figure III.22 : photographie de l'amplificateur classe F réalisé.

B - Caractérisation de l'amplificateur classe F

a - Banc de mesure utilisé

L'amplificateur a été caractérisé en puissance, rendement ainsi qu'en bande passante, le banc de mesure développé dans ce cadre est décrit par la [figure III.23](#) :

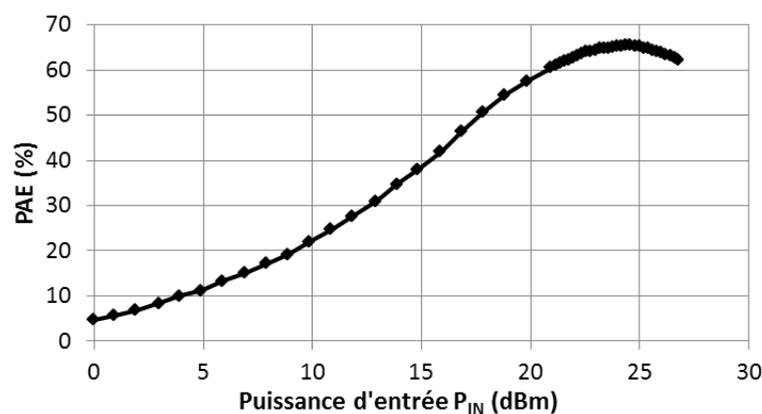


[Figure III.23](#) : schéma synoptique du banc de mesure en puissance.

Les pertes du banc (coupleurs, atténuateur, câbles) sont calibrées de manière à mesurer les puissances d'entrée et de sortie dans le plan de l'amplificateur. La source, les alimentations et le puissance-mètre sont contrôlés via une interface LabView permettant de faciliter la mesure.

b - Mesures en puissance et rendement

Le PAE mesuré en fonction de la puissance d'entrée à 4 GHz est donné par la [figure III.24](#), $V_{DS}=40$ V, $V_{GS}=-1.4$ V.



[Figure III.24](#) : PAE mesuré de l'amplificateur classe F à 4 GHz.

Le PAE maximum à 4 GHz est obtenu pour une puissance d'entrée de 24.5 dBm, il est de 66 %, soit 3 % de moins que le PAE maximum obtenu en simulation. L'explication principale à cette chute de PAE est la longueur réelle des fils de connexion du transistor (environ 400 à 500 μm), qui sont en réalité plus long que la valeur utilisée pour les simulations (250 μm), ce qui dégrade la qualité de l'adaptation. Des rétro-simulations ont été effectuées en ajustant les longueurs des bondings à une valeur plus proche de la réalité, une comparaison du PAE mesuré et du PAE simulé avec les nouvelles longueurs de bondings (500 μm en entrée et 400 μm en sortie) est montrée par la **figure III.25** :

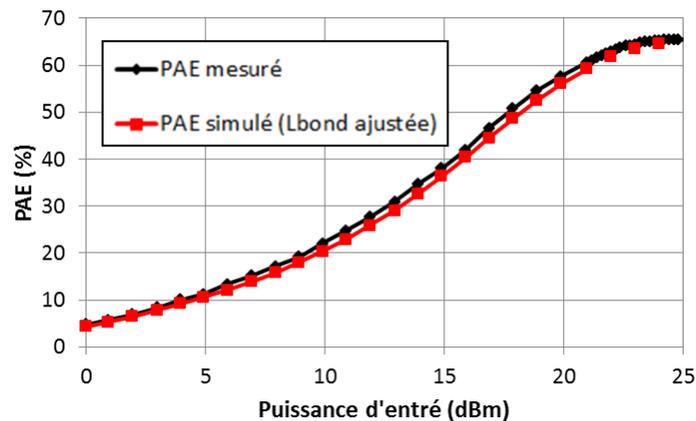


Figure III.25 : comparaison du PAE mesuré et du PAE simulé avec les longueurs des bondings ajustée. $F=4\text{ GHz}$, $V_{DS}=40\text{ V}$, $V_{GS}=-1.4\text{ V}$.

La correspondance entre le PAE mesuré et le PAE simulé avec des bondings plus longs est meilleure, avec moins de 1.5 % de PAE de différence entre mesure et simulation (il est possible d'obtenir une meilleure correspondance en optimisant en simulation la longueur des bondings à quelques μm près, mais en réalité il est difficile d'obtenir une telle précision sur des bondings réalisés manuellement).

La **figure III.26** montre la puissance de sortie et le gain en puissance correspondant mesurés en fonction de la puissance d'entrée.

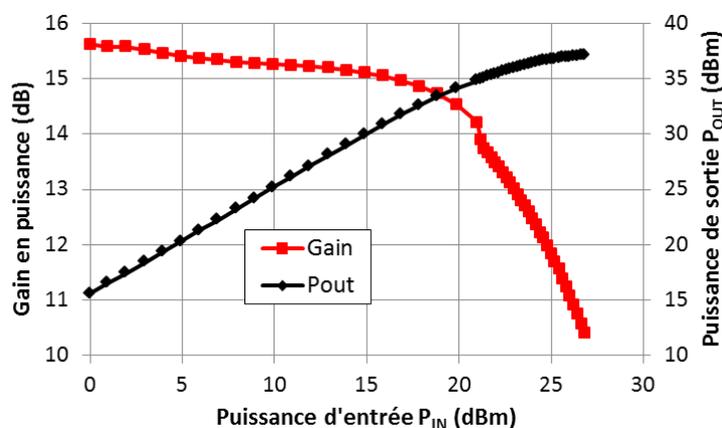


Figure III.26 : gain et puissance de sortie mesurés de l'amplificateur classe F à 4 GHz.

La puissance de saturation mesurée est similaire à celle simulée, soit 36.9 dBm, en revanche le gain avant la saturation est plus faible en mesure, cela s'explique également par les variations sur les longueurs des bondings modifiant l'adaptation (validé par rétro-simulation).

c - Mesures de bande passante

Finalement des mesures ont été faites en fonction de la fréquence pour déterminer la bande passante de l'amplificateur. La **figure III.27** montre le PAE mesuré en fonction de la fréquence pour $P_{IN}=25$ dBm :

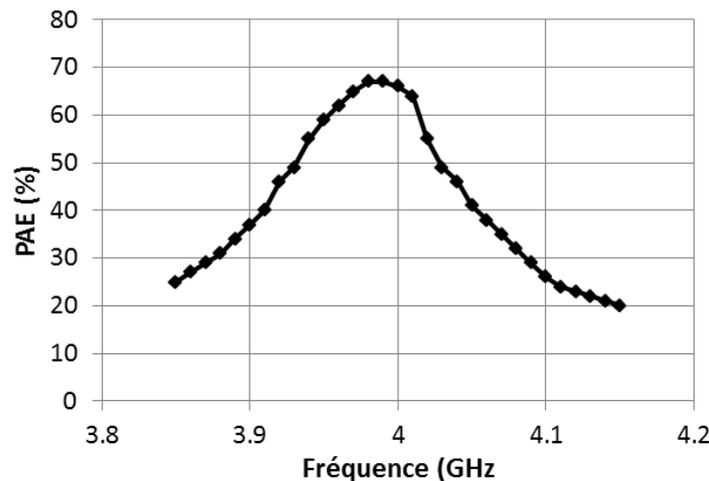


Figure III.27 : PAE mesuré en fonction de la fréquence à $P_{IN}=25$ dBm.

La bande passante en terme de gain est la même que pour les simulations (environ 200 MHz), la bande passante pour un PAE supérieur à 60 % est en revanche plus faible qu'en simulation du fait de la perte de 3 % de PAE par rapport à la simulation, passant de 85 à 65 MHz. On remarque également un PAE de 67 % pour une fréquence de 3.96 GHz, ce décalage fréquentiel avec les simulations est encore une fois lié aux bondings plus longs, qui décalent l'adaptation du circuit vers les fréquences plus basses.

Les performances du premier amplificateur réalisé avec le transistor GH50 8*250 μ m sont globalement acceptables. La conception et la caractérisation de cet amplificateur ont permis de valider le modèle de simulation et de mettre en relief un des principaux problèmes liés à la conception d'amplificateurs en technologie hybride, à savoir le contrôle des longueurs des interconnexions, une attention particulière sera portée à cela lors de la prochaine réalisation.

III.3- Réalisation d'un amplificateur de puissance haut rendement dans la bande 3.7-4.2 GHz.

Dans la partie précédente, un premier amplificateur basé sur le transistor GH50 $8 \times 250 \mu\text{m}$ a été conçu et caractérisé, avec un rendement supérieur à 65 % pour des fréquences autour de 4 GHz, cependant la bande passante de l'amplificateur, fonctionnant en classe F, n'était que de quelques dizaines de MHz. L'objectif de cette partie est de réaliser à partir du même transistor GH50 un amplificateur à la fois "haut rendement" (>60 %) sur une bande passante plus large, 3.7-4.2 GHz, correspondant notamment à certaines applications de communication par satellite. Pour ce faire, la classe J, décrite au début de ce chapitre et permettant d'augmenter la bande passante, va être employée. Cette partie décrira la problématique de conception puis la réalisation et caractérisation de l'amplificateur classe J. En plus des mesures en puissance et en fréquence, des mesures de linéarité 2 tons seront réalisées.

III.3.1 – Conception d'un amplificateur classe J basé sur le transistor UMS GH50 $8 \times 250 \mu\text{m}$

Un amplificateur classe J basé sur le transistor UMS GH50 $8 \times 250 \mu\text{m}$ a été conçu à partir du modèle non-linéaire fourni par UMS, la procédure de conception est détaillée dans cette partie. La conception est guidée par l'objectif d'obtenir un PAE élevé sur une large bande passante, de l'ordre de 500 MHz.

A – Conception des réseaux d'entrée et de sortie

α - Variation des impédances optimales pour l'harmonique 2 avec la fréquence

Des simulations Load-Pull et Source-Pull ont été effectuées pour déterminer l'impact d'une variation en fréquence sur les zones d'impédances optimales pour les harmoniques, notamment pour l'harmonique 2 dont l'influence sur le rendement est la plus importante. La figure III.28 représente les zones optimales pour les harmoniques 2 correspondant à une fréquence fondamentale de 3.5, 4 et 4.5 GHz :

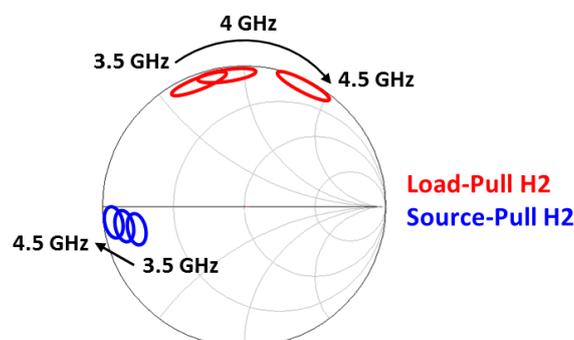


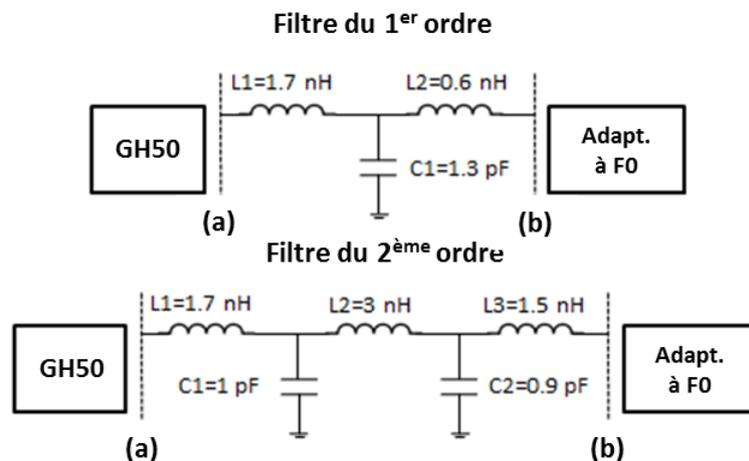
Figure III.28 : zones d'impédances optimales pour H2 en fonction de la fréquence.

La puissance d'entrée est de 25 dBm et la polarisation est $V_{DS}=35$ V, $V_{GS}=-1.45$ V (certains soucis de fiabilités ont été rencontrés pour l'amplificateur classe F à $V_{DS}=40$ V).

On remarque que les zones d'impédances optimales en terme de PAE pour l'harmonique 2 varient beaucoup, notamment en sortie, l'utilisation de circuits résonant de type stubs comme dans le cas d'un amplificateur en classe F ne permet pas de présenter à la fois un court-circuit à 7 et à 9 GHz (harmoniques d'ordre 2 pour 3.5 et 4.5 GHz). La classe J permet d'obtenir des rendements élevés (toutefois moins qu'en classe F traditionnelle) sur des bandes de fréquences plus larges en filtrant les harmoniques de manière à rendre le rendement de l'amplificateur indépendant des impédances présentées en sortie du filtre aux fréquences harmoniques. Ces filtres seront qualifiés de filtre de pré-adaptation dans la suite.

b- Conception du réseau de sortie

Le filtre de pré-adaptation en sortie a d'abord été conçu. La structure du filtre est de type réseau L-C, cela permet une réalisation classique en lignes microruban. Des filtres d'ordre 1 et d'ordre 2 ont été testés, d'abord avec des composants L-C idéaux afin de déterminer le filtre à employer. La topologie des filtres ainsi que les valeurs des composants correspondants sont données par la [figure III.29](#), (a) est le plan du drain du transistor et (b) est le plan de sortie du filtre :



[Figure III.29](#) : filtres de pré-adaptation idéaux.

On note que pour les deux filtres, les ordres de grandeurs des composants (quelques nH et pF) sont réalisables en technologie microruban. Les caractéristiques en transmission des deux filtres sont données par la [figure III.30](#), elle montre également la transformation d'impédance réalisée par les filtres. L'abaque (b) montre les impédances vues par la sortie du filtre (impédances réparties sur tout l'abaque) et l'abaque (a) montre ces impédances ramenées dans le plan du drain du transistor pour des fréquences fondamentales entre 3.5 et 4.5 GHz.

(a) : impédances vues par le transistor
 (b) : impédances vues par la sortie du filtre

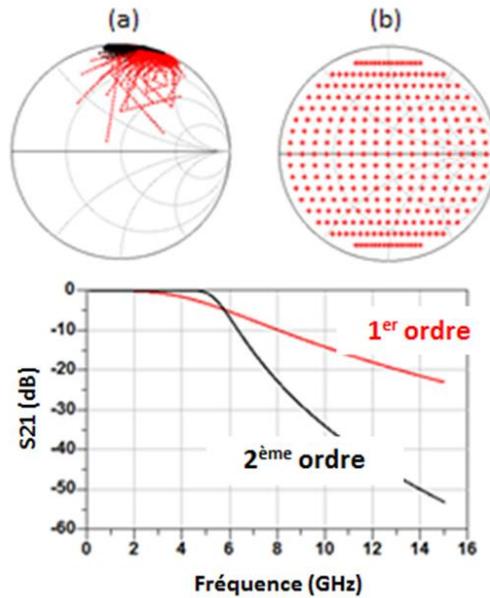


Figure III.30 : transformation d'impédances réalisées par les filtres du 1^{er} et 2^{ème} ordre et pertes d'insertion.

L'intérêt du filtre de pré-adaptation propre à la classe J est ici mise en évidence, des impédances réparties sur tout l'abaque de Smith vue en sortie du filtre sont ramenées dans la zone d'impédance optimale pour la plupart d'entre elles. On remarque logiquement que le filtre du 2^{ème} ordre permet un meilleur filtrage; une réjection de l'harmonique 2 d'environ -20 dB ainsi que des pertes d'insertion proche de 0 dB à 4.5 GHz. Pour le filtre du premier ordre, la réjection de l'harmonique 2 est de 10 dB environ, et les pertes d'insertion à 4.5 GHz sont de 2 dB.

Le filtre d'ordre 2 semble être à première vue la meilleure solution, cependant, comme le montre la figure III.31, qui représente les impédances optimales à présenter après les filtres pour maximiser le PAE pour des fréquences fondamentales entre 3.5 et 4.5 GHz, il rend plus difficile l'adaptation aux fréquences fondamentales que le filtre du premier ordre.

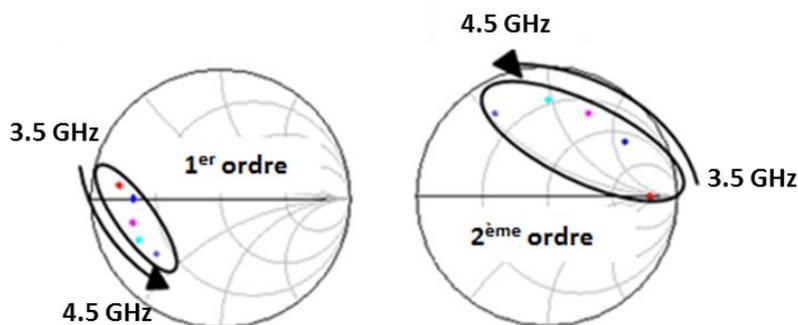


Figure III.31 : impédances à présenter à la sortie des filtres de pré-adaptation pour les fréquences fondamentales entre 3.5 et 4.5 GHz.

Afin de minimiser la complexité du circuit et ainsi les pertes par conduction (dont l'importance a été observée lors de la réalisation de l'amplificateur classe F), le filtre du premier ordre a été choisi. Une comparaison entre les paramètres S du filtre réalisé avec les composants idéaux et avec des lignes microruban (sur alumine d'épaisseur 1016 μm) est donnée par la **figure III.32** :

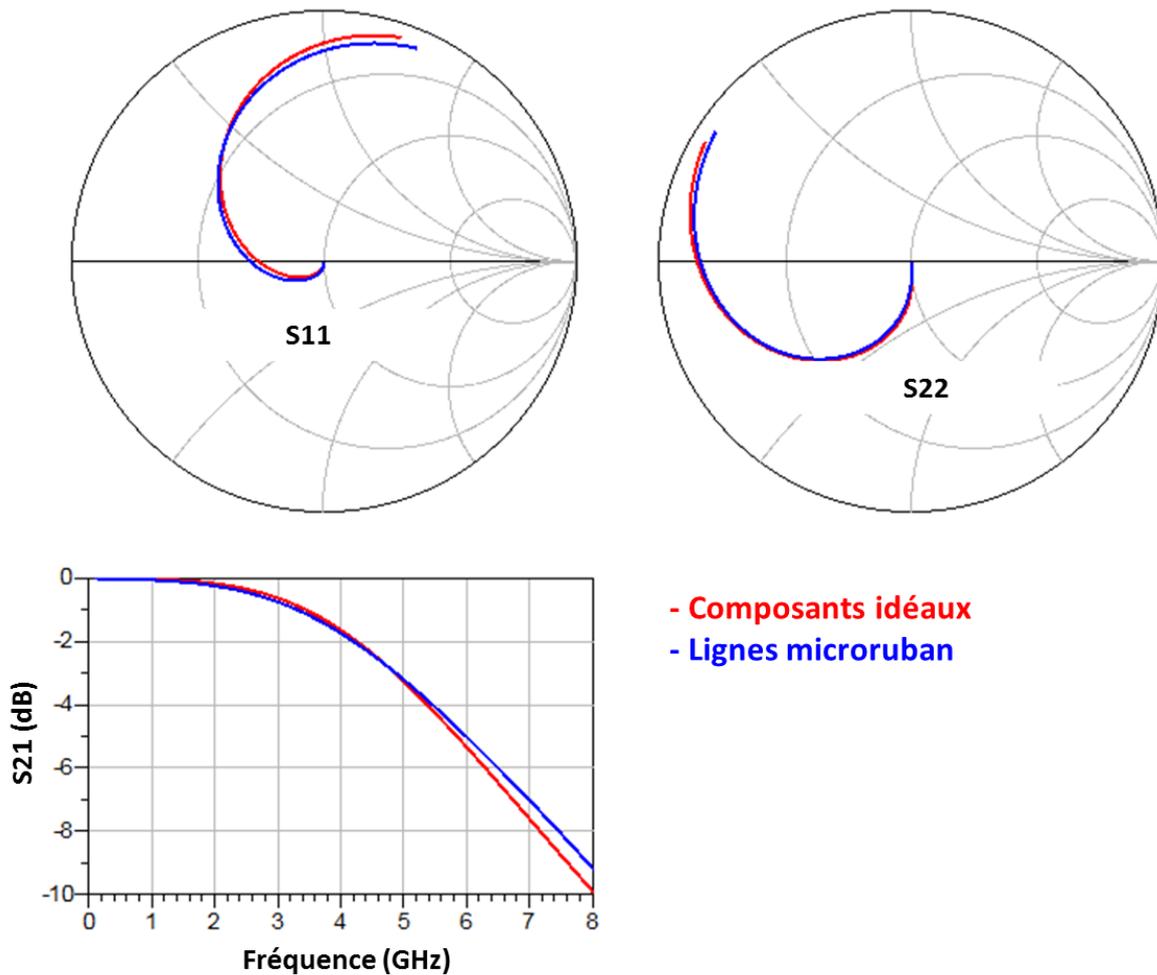


Figure III.32 : paramètres S du filtre de pré-adaptation de sortie simulé avec des composants idéaux et des lignes microruban.

Il est possible d'approcher les caractéristiques obtenues avec les composants idéaux en utilisant des lignes microruban sur alumine pour réaliser le filtre.

L'adaptation pour les fréquences fondamentales est réalisée à partir d'une ligne de transmission et d'un stub capacitif, cela s'est avéré suffisant pour obtenir un PAE convenable sur la bande de fréquence désirée (PAE > 60% pour la bande 3.7-4.2 GHz). On ajoute que des bondings d'une longueur de 500 μm ont été pris en compte dans les simulations, ils sont inclus dans l'inductance L1 du filtre.

c - Conception du réseau d'entrée

En reprenant le même principe que pour le réseau de sortie Un filtre de type passe passe-bas a été implémenté en entrée afin de filtrer l'harmonique 2, le filtre est également de type LC. L'ordre 2 a été choisi dans les cas de l'entrée car les pertes pas conduction liées à un réseau trop grand sont moins importantes en entrée (perte de puissance moindre). La **figure III.33** donne les performances du filtre de pré-adaptation d'entrée en termes de paramètres S :

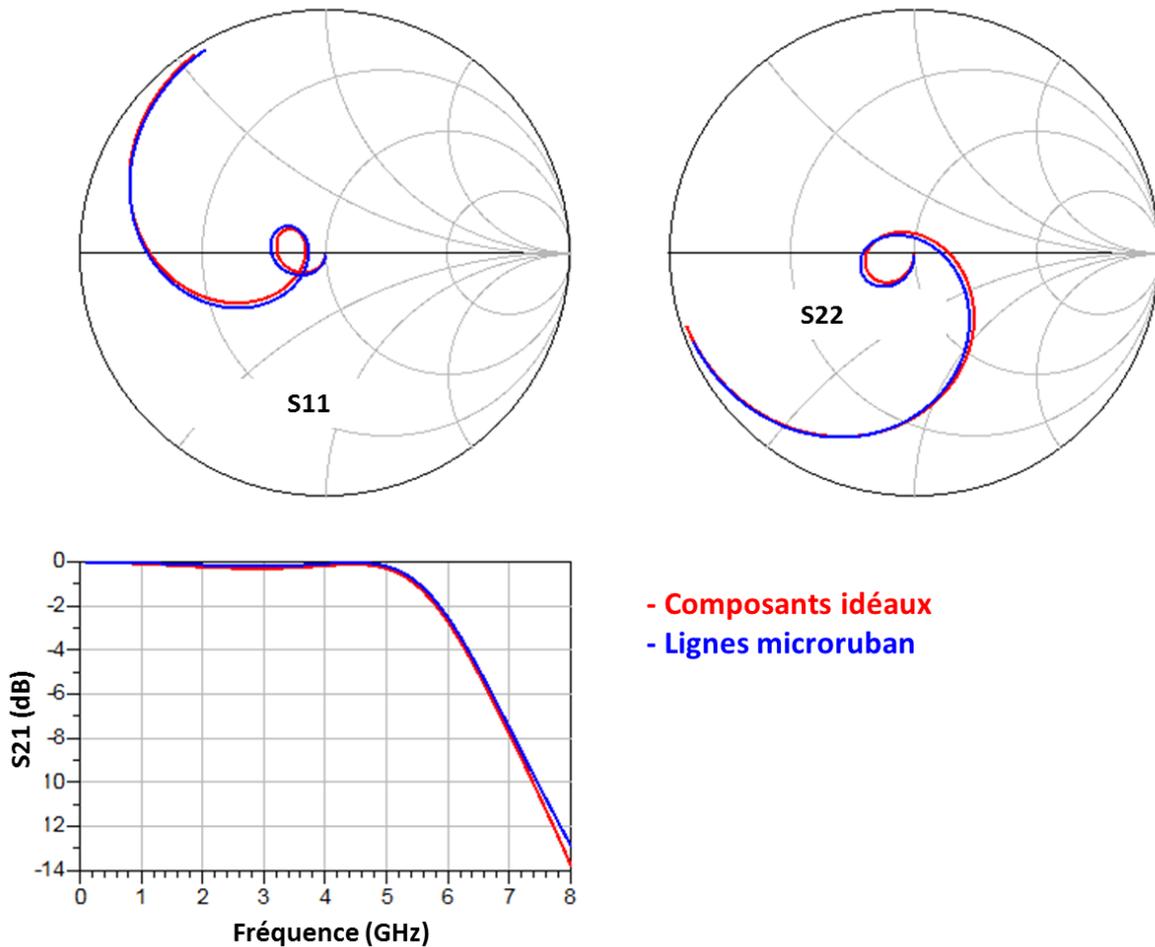


Figure III.33 : paramètres S du filtre de pré-adaptation d'entrée simulé avec des composants idéaux et des lignes microruban.

Pour le filtre de pré-adaptation d'entrée, la réjection de l'harmonique 2 est de 12 dB environ, et les pertes d'insertion à 4.5 GHz sont de 0.2 dB.

Un circuit RC a été ajouté au réseau d'entrée, entre le filtre et le réseau d'adaptation aux fréquences fondamentales, afin d'assurer la stabilité du circuit, comme pour l'amplificateur classe F.

B - Simulations de l'amplificateur complet

a - Simulations en puissance et rendement

Les simulations en puissance et rendement à la fréquence centrale de 4 GHz sont d'abord présentées. Le PAE simulé en fonction de la puissance d'entrée à 4 GHz est donné par la **figure III.34**, $V_{DS}=35$ V et $V_{GS}=-1.45$ V.

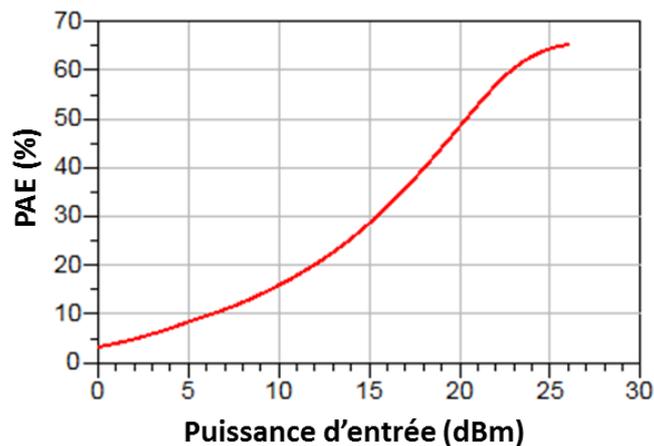


Figure III.34 : PAE simulé de l'amplificateur classe J à 4 GHz.

Les simulations montrent un rendement en puissance ajoutée de 65 % à 4 GHz, qui est atteint pour une puissance d'entrée de 26 dBm. Le PAE au dessus de 60 % pour les puissances d'entrée supérieures à 23 dBm, contrairement à l'amplificateur classe F conçu précédemment, cet amplificateur est optimisé en termes de PAE uniquement pour les puissances proches de la saturation.

La puissance de sortie et le gain en puissance simulés en fonction de la puissance d'entrée à la fréquence de 4 GHz sont donnés par la **figure III.35**, $V_{DS}=35$ V et $V_{GS}=-1.45$ V.

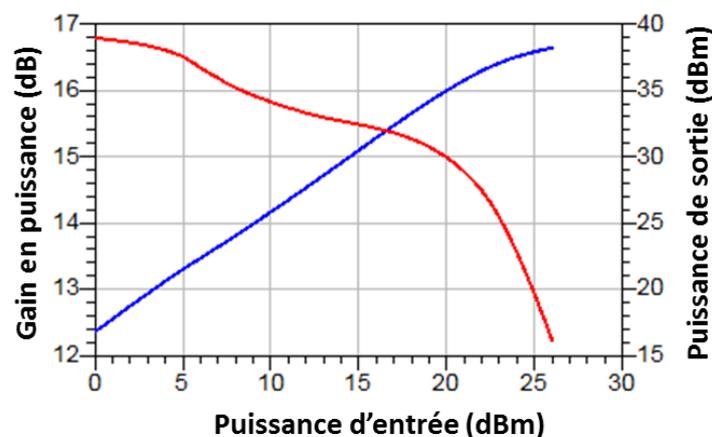


Figure III.35 : puissance de sortie et gain en puissance simulés de l'amplificateur classe J à 4 GHz.

La puissance de saturation simulée de l'amplificateur est obtenue pour $P_{IN}=26$ dBm, elle est atteinte 38 dBm. Le gain correspondant est de 12dB. Le gain simulé à 4 GHz ainsi que la puissance de saturation pour l'amplificateur classe J est supérieur au gain obtenu précédemment pour l'amplificateur classe F, cela peut s'expliquer par le fait que cet amplificateur a été réalisé dans l'optique d'avoir les meilleures performances (en termes de PAE et aussi de gain) pour les puissances proches de la saturation. On note par ailleurs que le gain de l'amplificateur classe J est plus faible que celui de l'amplificateur classe F pour les faibles puissances.

b - Simulations en fréquence

Des simulations de bande passante ont naturellement été effectuées. La **figure III.36** représente le PAE simulé ainsi que le gain en puissance en fonction de la fréquence pour $P_{IN}=25$ dBm. $V_{DS}=35$ V et $V_{GS}=-1.45$ V.

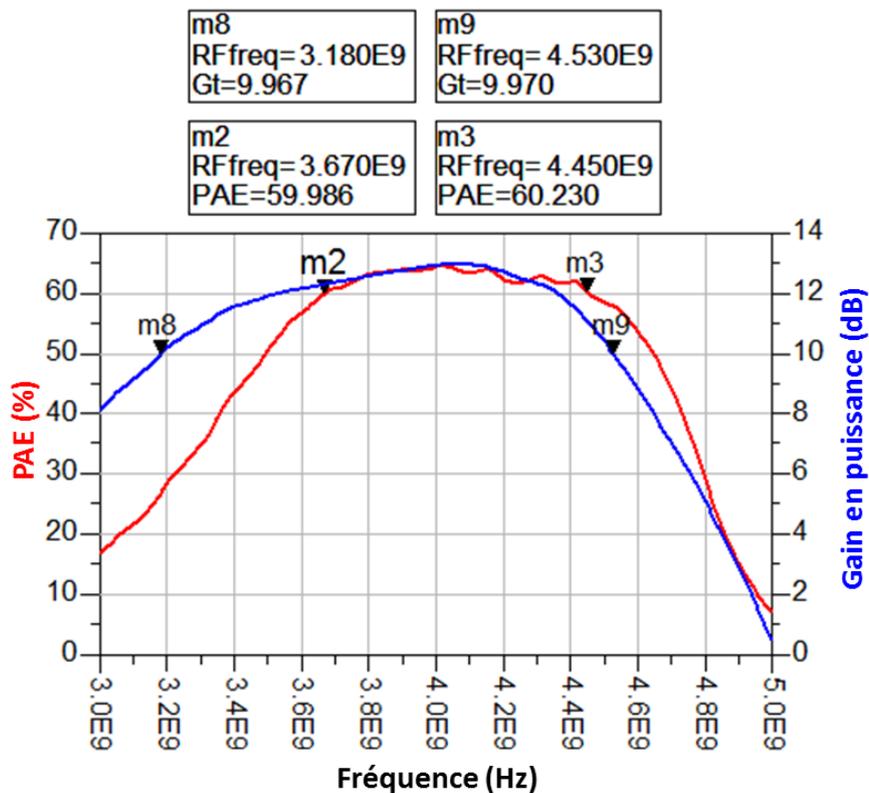


Figure III.36 : PAE et gain en puissance simulés de l'amplificateur classe J en fonction de la fréquence.

La bande passante pour une PAE > 60 % est de 780 Mhz, comprise entre 3.67 et 4.45 GHz. La bande passante à -3 dB pour le gain est de 1.35 GHz, entre 3.18 et 4.53 GHz. Les performances en termes de bande passante sont prometteuses et couvrent largement la bande visée, à savoir 3.7-4.2 GHz.

c - Stabilité

Comme pour l'amplificateur classe F, La stabilité du circuit a été vérifiée sous ADS à l'aide du facteur de stabilité K et du facteur mesure de stabilité b.

Ces facteurs pour l'amplificateur classe J sont donnés en fonction de la fréquence par la **figure III.37**, Les conditions de stabilité sont remplies pour l'amplificateur classe J, $K > 1$ et $b > 0$.

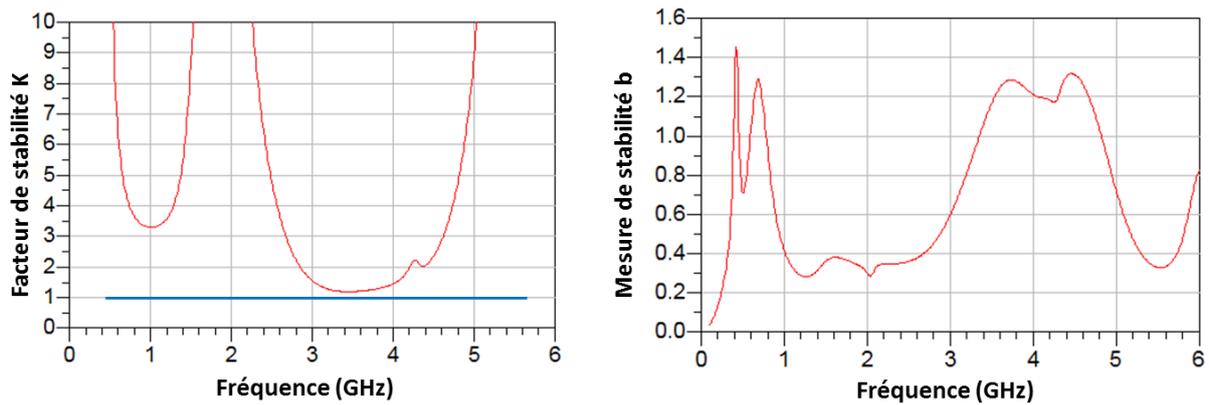


Figure III.37 : facteur de stabilité et de mesure de stabilité simulés en fonction de la fréquence pour l'amplificateur classe J.

III.3.2 – Réalisation de l'amplificateur classe J basé sur le transistor UMS GH50 8*250 μm

Les simulations Harmonic Balance sous ADS ont permis d'établir les possibilités en puissance, rendement et surtout en bande passante d'un amplificateur classe J basé sur le transistor GaN GH50 8*250 μm . L'amplificateur a été réalisé et caractérisé afin de valider les simulations.

A – Réalisation de l'amplificateur classe J

Comme pour le premier amplificateur, le transistor GH50 est reporté sur un support en laiton fixé sur un radiateur et il est relié aux circuits d'adaptation par des bondings en or, un fil en entrée et deux en sortie afin de transmettre la puissance, il est souvent conseillé de mettre 3 fils afin de limiter l'effet inductif des fils, cependant dans le cas de l'amplificateur classe J, l'effet inductif des bondings est pris en compte afin d'aider à la réalisation des filtres dont le premier élément est une inductance.

Une photo de l'amplificateur réalisé en distinguant les différentes parties du circuit est donnée par la **figure III.38**. On remarque des traces de découpe (entourées en blanc) au niveau du réseau d'adaptation en sortie, des ajustements ont en effet dû être effectués en raison d'un phénomène de couplage entre les stubs d'adaptation en sortie du circuit.

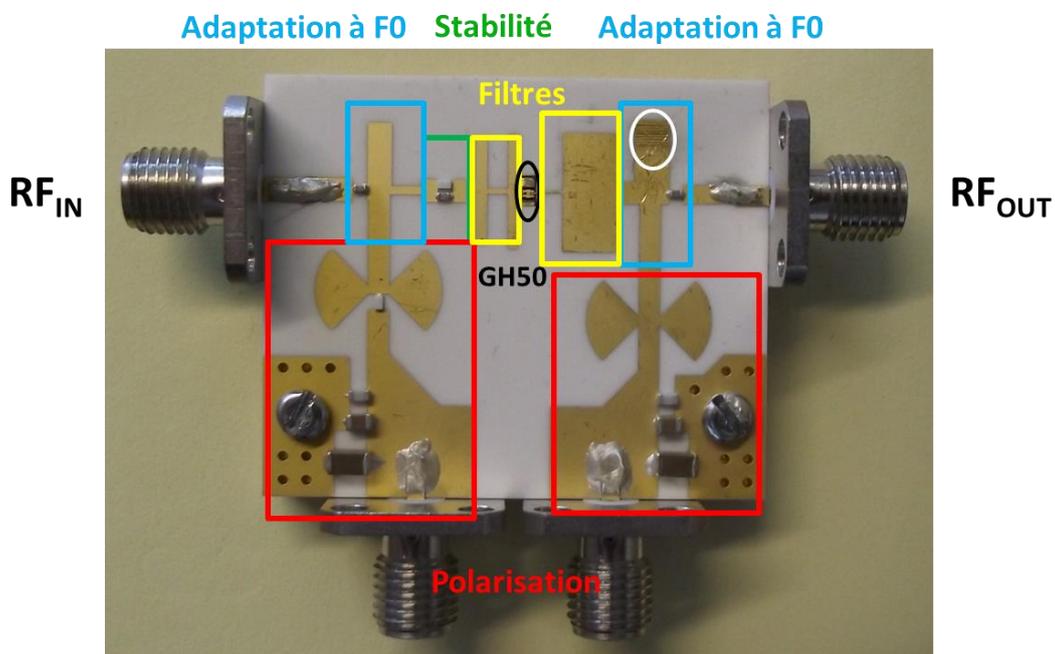


Figure III.38 : photographie de l'amplificateur classe J réalisé.

Comme évoqué précédemment la longueur des bondings est un élément important car elle détermine leur inductance équivalente [15]. Afin de vérifier que la longueur des bondings réalisés est proche de la valeur utilisée pour les simulations (soit 500 μm), des mesures ont été effectuées à l'aide d'une caméra 3D Hirox.

La **figure III.39** montre une vue de dessus ainsi qu'une vue 3D latérale d'un bonding réalisé sur l'amplificateur :

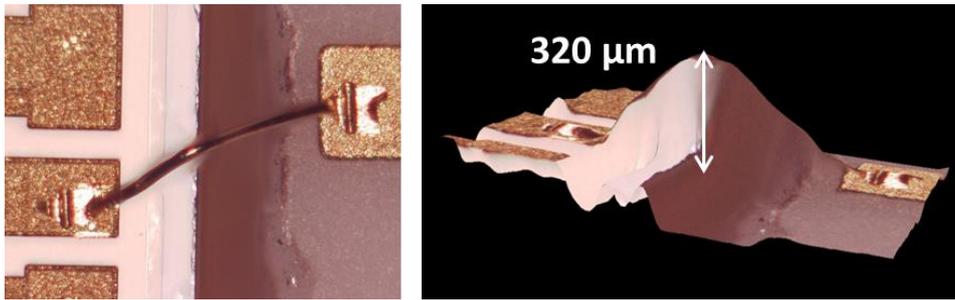


Figure III.39 : vues de dessus et latérale d'un bonding réalisé avec la caméra Hirox

Le fil peut être assimilé à un demi-cercle ayant un rayon d'environ $320 \mu\text{m}$, ce qui correspond à une longueur totale du bonding proche de $500 \mu\text{m}$.

B - Caractérisation de l'amplificateur classe J

La même procédure que celle suivie pour l'amplificateur classe F a été utilisée. A l'aide du même banc de mesure, l'amplificateur a été caractérisé en terme de puissance et de rendement à 4 GHz, puis la bande passante pour un rendement supérieur à 60 % et la bande passante pour la gain à -3 dB ont été caractérisées. Finalement des mesures bi-tons ont été faites afin d'évaluer la linéarité de l'amplificateur.

a - Mesures en puissance et rendement

Le PAE ainsi que le rendement de drain mesurés en fonction de la puissance d'entrée à 4 GHz sont donnés par la **figure III.40**, $V_{DS}=35 \text{ V}$, $V_{GS}=-1.45 \text{ V}$.

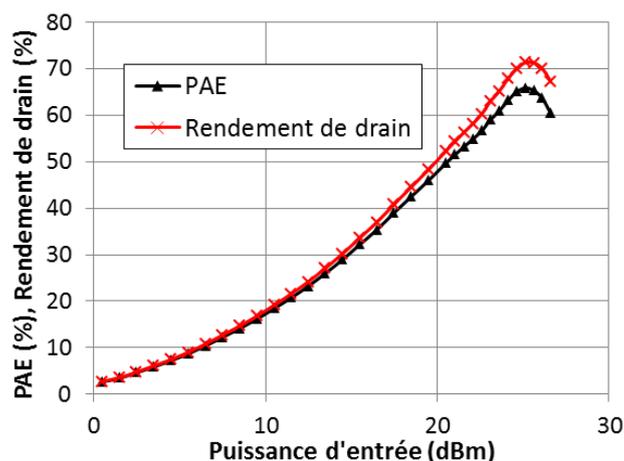


Figure III.40 : PAE et rendement de drain mesurés de l'amplificateur classe J à 4 GHz.

Le PAE maximum est obtenu pour une puissance d'entrée de 25 dBm, il est de 66 %. Le rendement de drain correspondant est de 71 %. Ces valeurs sont en accord avec les résultats obtenus en simulation.

La **figure III.41** montre la puissance de sortie et le gain en puissance correspondant mesurés en fonction de la puissance d'entrée.

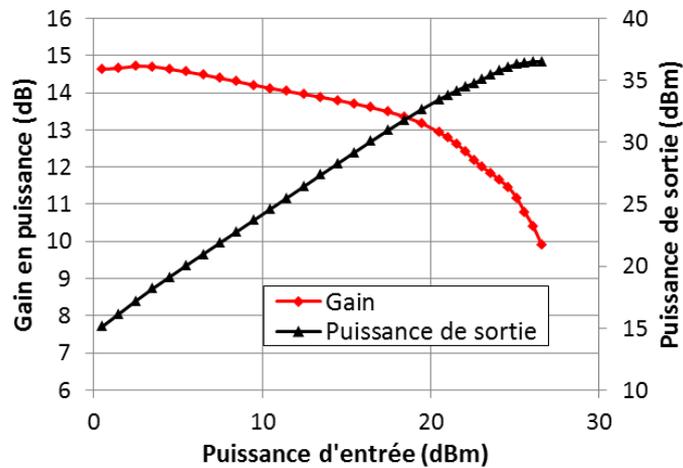


Figure III.41 : gain et puissance de sortie mesurés de l'amplificateur classe J à 4 GHz.

La puissance de saturation mesurée est de 37 dBm (pour $P_{IN}=27$ dBm), on remarque que pour la puissance de saturation ainsi que pour le gain en puissance, les valeurs sont globalement inférieures aux valeurs simulées. Ces variations peuvent s'expliquer par les ajustements effectués sur le réseau de sortie après la réalisation du circuit uniquement dans l'optique d'optimiser le PAE.

b - Mesures de bande passante

Des mesures de rendement et de gain ont été réalisées en fonction de la fréquence pour déterminer la bande passante de l'amplificateur, ce qui constitue le point le plus important pour déterminer l'intérêt de la classe J. La **figure III.42** montre le PAE et le gain en puissance correspondant mesurés en fonction de la fréquence pour $P_{IN}=25$ dBm (puissance correspondant au maximum de PAE) :

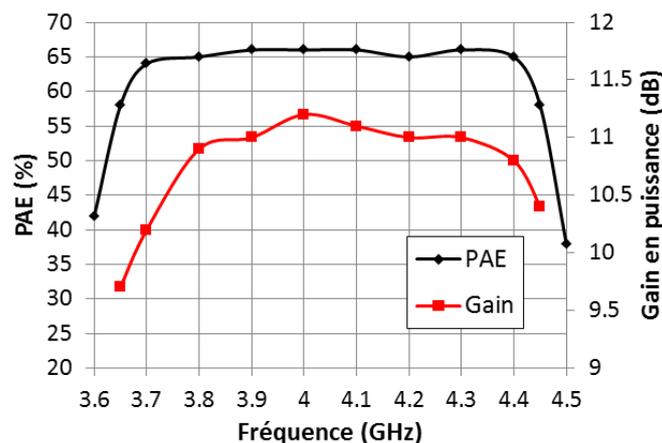


Figure III.42 : PAE et gain en puissance mesurés de l'amplificateur classe J en fonction de la fréquence.

Le PAE mesuré est supérieur à 60 % pour des fréquences comprises entre 3.66 et 4.44 GHz, le gain en puissance correspondant est compris entre 10 et 11 dB. Les performances en termes de rendement et de bande passante sont comparables aux simulations, la bande 4.7-4.2 GHz est couverte avec un PAE > 60 % (même proche de 65 %) et un rendement de drain autour de 70 %. Le gain est en revanche plus faible qu'espéré, cependant il ne constituait pas l'axe principal d'optimisation.

Le **tableau III.5** montre une comparaison entre l'amplificateur classe J réalisé lors de ces travaux et les autres réalisations GaN dans des bandes de fréquences comparables. Les performances en termes de rendement dans la bande 3.7-4.2 GHz obtenues pour cet amplificateur basé sur le transistor UMS GH50 8*250 μm sont équivalentes aux performances obtenus par T. Yamasaki [16], qui sont à notre connaissance les meilleures obtenues en termes de rendement dans cette bande avec un transistor de type HEMT GaN, ce qui valide l'intérêt de la classe J. En revanche, la puissance de sortie obtenue pour l'amplificateur classe J réalisé lors de ces travaux demeure faible (37 dBm soit 5 W), de développements de grille plus importants permettraient de monter en puissance. Les aspects thermiques auraient également plus d'importance, il faudrait notamment un meilleur report du transistor (typiquement brasure au lieu de l'utilisation de colle conductrice).

Auteur	Année	Fréquence (GHz)	P_{OUT} (dBm)	PAE (%)
J. Chéron	2012	2.9-3.7	46	55
C. Andersson	2012	0.4-4.1	41	51
J. M. Rubio	2012	3-3.6	44	60,5
P. Saad	2010	1.9-4.3	40	56
T. Yamasaki	2010	3.7-4.2	50	62
IEMN	2013	3.7-4.4	37	65

Tableau III.5 : comparaison de l'amplificateur classe J réalisé avec d'autres amplificateurs GaN dans des bandes de fréquences comparables.

c - Mesures de linéarité de type bi-tons

Un dernier point abordé concernant la caractérisation de l'amplificateur classe J est sa linéarité. Afin d'estimer la linéarité de l'amplificateur, des mesures bi-tons ont été réalisées. Le banc de mesure développé dans le cadre de cette étude est décrit par la **figure III.43** :

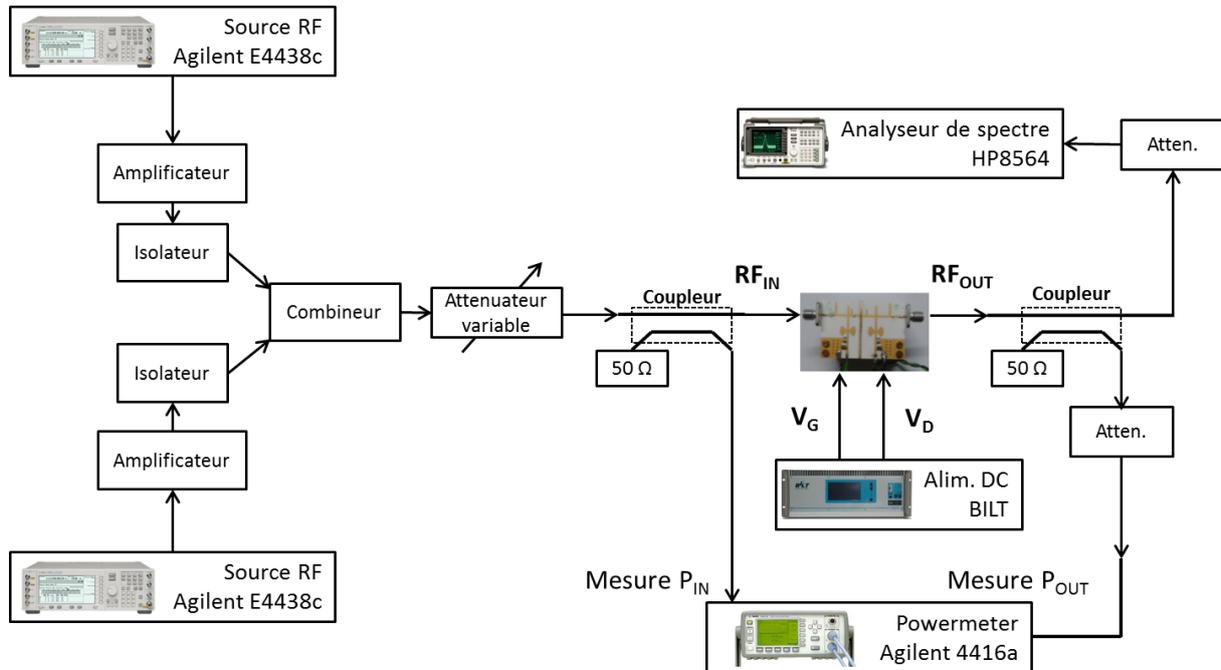


Figure III.43 : schéma synoptique du banc de mesure bi-tons.

Deux sources séparées dont les signaux sont amplifiés puis combinés sont utilisées afin de fournir assez de puissance à l'entrée de l'amplificateur à mesurer pour atteindre un régime non-linéaire, les deux tons doivent avoir exactement la même amplitude dans le plan de l'amplificateur à tester. Un atténuateur variable est utilisé pour faire varier la puissance d'entrée sans avoir à modifier le réglage des sources, finalement les raies d'intermodulation d'ordre 3 et d'ordre 5 sont mesurées à l'analyseur de spectre.

En considérant 2 tons aux fréquences F_1 et F_2 , ces raies d'intermodulation sont aux fréquences $2F_1-F_2$ et $2F_2-F_1$ pour l'ordre 3 et aux fréquences $3F_1-2F_2$ et $3F_2-2F_1$ pour l'ordre 5 et sont situées dans la bande passante de l'amplificateur, d'où l'importance de leur étude.

La **figure III.44** représente l'allure de la puissance mesurée en sortie pour les différentes raies en fonction de la puissance totale en entrée. $V_{DS}=35$ V, $V_{GS}=-1.45$ V, la fréquence centrale est de 4 GHz et l'écart entre les 2 tons est de 10 MHz.

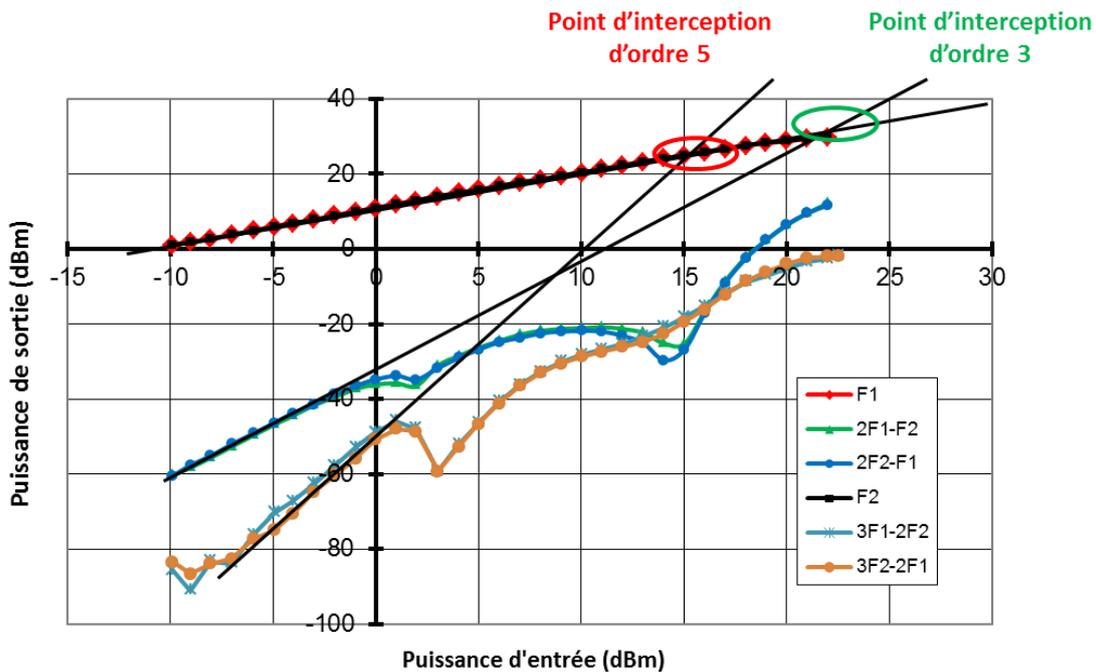


Figure III.44 : obtention des points d'interception d'ordre 3 et 5.

Les points d'interception sont déterminés par le croisement des droites d'interpolation des puissances de sortie des différentes raies. En travaillant en dBm, la pente de la droite pour l'ordre n est de $n \log(x^n) = n \cdot \log(x)$. On définit le point d'interception en entrée (IIPn) par l'abscisse du point de croisement et le point d'interception en sortie (OIPn) par son ordonnée.

On remarque que les pentes des droites pour les ordres 3 et 5 ne sont régulières que pour les faibles niveaux de puissance, avant l'apparition de ventres (sweet spots). Ce phénomène, qui apparaît souvent avec les composants fonctionnant à haut niveau de tension, comme les composants grand gap ou les composants de type LDMOS [17], est dû à la recombinaison des produits d'intermodulation d'ordres supérieurs avec les produits d'intermodulation d'ordre 3 et 5 [18]. Cette particularité est intéressante car elle permet de conserver un rapport d'intermodulation à l'ordre 3 et 5 (IMR3, IMR5) supérieur à 40 dB sur une large gamme de puissance de sortie.

Dans le cas de la mesure présentée par la figure III.44, les coordonnées des points d'interception d'ordre 3 et 5 sont données par le tableau III.6 :

IIP3 (dBm)	OIP3 (dBm)	IIP5 (dBm)	OIP5 (dBm)
22	34	15	28

Tableau III.6 : valeurs des coordonnées des points d'interception d'ordre 3 et 5. $V_{DS}=35$ V, $V_{GS}=-1.45$ V et $\Delta F=10$ MHz.

Remarque : Dans le **tableau III.6**, 3 dBm sont ajoutés pour les valeurs de sortie par rapport aux valeurs données par la courbe du fait que les tons sont représentés séparément sur celle-ci.

Le **tableau III.7** montre l'évolution des coordonnées du point d'interception d'ordre 3 pour des écarts entre les tons allant de 100 kHz à 100 MHz, on remarque une légère amélioration des performances en linéarité lorsque l'écart ΔF entre les tons augmente :

ΔF (MHz)	IIP3 (dBm)	OIP3 (dBm)
0.1	19	31
1	21	34
10	22	34
100	23	36

Tableau III.7 : valeurs des coordonnées du point d'interception d'ordre 3 pour différents ΔF .
 $V_{DS}=35$ V, $V_{GS}=-1.45$ V.

Finalement, les mesures ont été effectuées en faisant varier la tension de drain, les résultats sont donnés par le **tableau III.8** :

V_{DS} (V)	IIP3 (dBm)	OIP3 (dBm)
30	20	32
32.5	21	33
35	22	34
37.5	25	37

Tableau III.8 : valeurs des coordonnées du point d'interception d'ordre 3 pour différents V_{DS} .
 $\Delta F=10$ MHz, $V_{GS}=-1.45$ V.

Augmenter la tension de drain permet d'améliorer la linéarité de l'amplificateur, l'amélioration est de 3 dBm lorsque l'on passe de $V_{DS}=35$ V à $V_{DS}=37.5$ V, cependant cela engendre une perte de quelques % au niveau du PAE car les impédances optimales à présenter au transistor varient en fonction de ses tensions de polarisation. De même augmenter la tension de grille permet d'améliorer la linéarité, mais au détriment du rendement (passage d'une polarisation de type classe AB à une polarisation de type classe A).

III.4 - Association d'un amplificateur GaN classe F avec un convertisseur DC/DC GaN pour l'optimisation du rendement

La dernière partie de ce chapitre permet de faire le lien entre les travaux portant sur les convertisseurs DC/DC et ceux portant sur les amplificateurs de puissance à haut rendement. Elle est consacrée à l'association d'un amplificateur classe F à 2 GHz avec un convertisseur DC/DC pour des applications de polarisation dynamique de drain visant à l'amélioration du rendement. Les 2 circuits sont conçus à partir du même transistor NPTB00025, le convertisseur DC/DC est celui décrit au Chapitre II. Le principe et l'intérêt de la polarisation dynamique de drain seront d'abord discutés, puis l'ensemble constitué d'un amplificateur classe F à 2 GHz et du convertisseur DC/DC sera caractérisé.

III.4.1 - Principe et intérêt de la polarisation dynamique

A - Principe de la polarisation dynamique

Le principe de la polarisation dynamique de drain d'un amplificateur de puissance est de faire varier la tension de polarisation de l'amplificateur au niveau du drain en fonction de la puissance du signal RF à amplifier. Le schéma synoptique classique d'un amplificateur basé sur la polarisation dynamique de drain est donné par la [figure III.45](#) [19] :

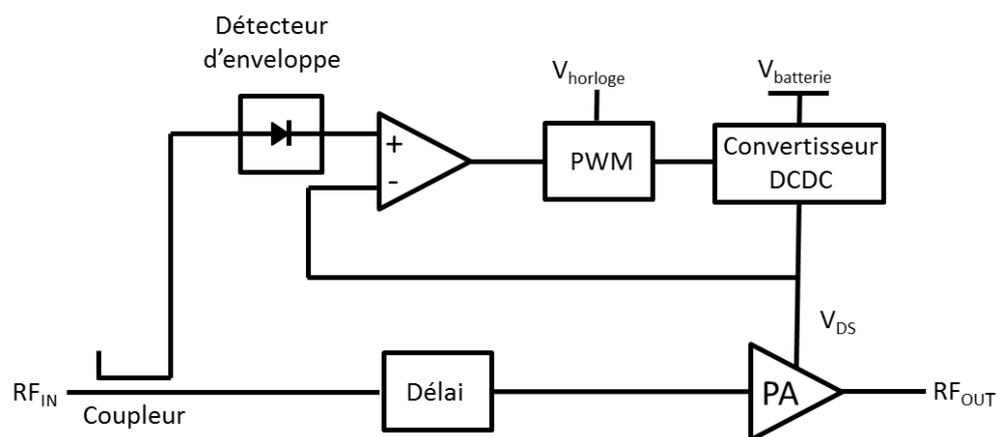


Figure III.45 : schéma synoptique d'un amplificateur avec polarisation dynamique de drain.

Une petite partie du signal est prélevée à l'entrée afin de le transformer en une tension DC permettant d'alimenter l'amplificateur de puissance grâce à un système en boucle fermée composé d'un comparateur, d'un filtre de boucle, d'un convertisseur analogique-numérique et d'un convertisseur DC/DC. Dans l'exemple présenté ci-dessus, le filtre de boucle est inclus dans le comparateur et un générateur de pulse permet le contrôle du rapport de conversion du convertisseur DC/DC afin de faire varier sa tension de sortie qui constitue la tension de polarisation de l'amplificateur de puissance.

B - Intérêt de l'utilisation d'une polarisation dynamique pour améliorer le rendement d'un amplificateur de puissance

Les formats de modulation récents tels que le WCDMA (Wideband Code Division Multiple Access), le WiMAX (Worldwide Interoperability for Microwave Access) ou le LTE (Long Term Evolution) requièrent une grande dynamique de puissance, le rapport entre la puissance maximum de signal et sa puissance moyenne (PAPR) est par exemple de 8 dB pour le WiMAX et de 10 dB pour le LTE. De plus, ces signaux ont la plupart du temps un niveau de puissance éloigné du niveau maximum, comme le montre la **figure III.46** représentant la fonction de distribution cumulative des niveaux de puissance d'un signal de type LTE :

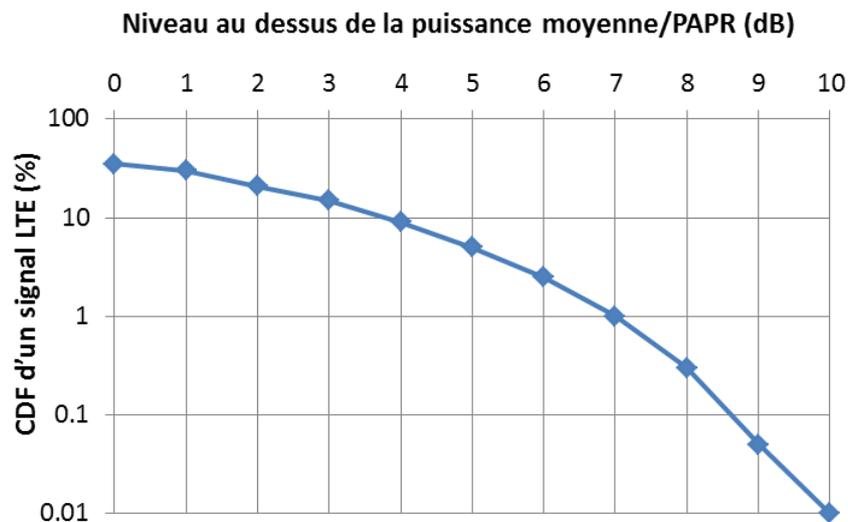


Figure III.45 : fonction de distribution cumulative des niveaux de puissance d'un signal LTE.

Pour un signal de type LTE, on remarque que le niveau de puissance n'est au dessus du niveau moyen que 50 % du temps et proche de son niveau maximum seulement 1 % du temps.

Dans ces conditions il est difficile de maintenir un rendement élevé, en particulier pour les niveaux de puissance les plus faibles si la tension de polarisation de l'amplificateur est fixe (déterminée par rapport au niveau maximum de puissance à fournir). En ajustant la tension de polarisation d'un amplificateur de puissance en fonction de la puissance RF, la polarisation dynamique de drain permet justement d'améliorer le rendement pour ces faibles niveaux de puissance et donc le rendement global de l'amplificateur comme constaté dans [20], où le rendement global d'un amplificateur pour un signal TD-SCDMA est amélioré de 5 %, où encore dans [21] où un convertisseur DC/DC GaAs permet une amélioration de 45 % du rendement global d'un amplificateur pour un signal WCDMA.

III.4.2 - Association d'un amplificateur classe F à 2 GHz et d'un convertisseur DC/DC GaN

Dans le cadre de la polarisation dynamique, un amplificateur de puissance GaN à 2 GHz en classe F a été réalisé, il a ensuite été associé à un convertisseur DC/DC GaN, dont la réalisation a été détaillée au chapitre II. L'idée principale de ces travaux est d'utiliser deux transistors GaN NPTB00025 pour à la fois le convertisseur et l'amplificateur et de mesurer l'amélioration en rendement de l'amplificateur (en prenant en compte le rendement de l'ensemble amplificateur + convertisseur DC/DC) obtenue en faisant varier sa tension de polarisation de drain.

A - Réalisation et caractérisation de l'amplificateur classe F à 2 GHz

Un amplificateur de type classe F a été choisi pour cette étude axée sur les hauts rendements. Un transistor NPTB00025 a été utilisé, la fréquence de transition de ce transistor étant de 7 GHz, il convient bien pour des applications de type station de base pour la téléphonie, avec des fréquences autour de 2 GHz.

a - Conception et réalisation de l'amplificateur

La conception d'un amplificateur classe F (à 4 GHz) ayant déjà été discutée en détail dans ce chapitre, La conception de l'amplificateur à 2 GHz va être rapidement présentée ici. Des simulations Load et Source-Pull ont été réalisées à partir du modèle non-linéaire Nitronex déjà utilisé pour le convertisseur DC/DC, les zones d'impédances optimales (en termes de PAE) sont données par la **figure III.46**, dans les conditions de polarisation choisies pour la puissance d'entrée maximum de 31 dBm :

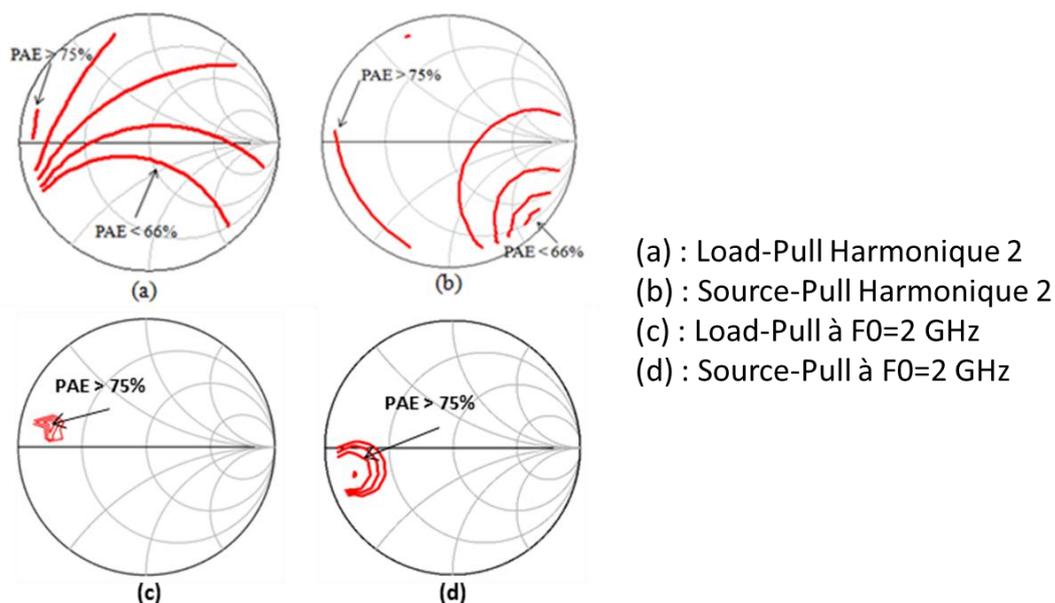


Figure III.46 : simulations Source et Load-Pull pour le transistor NPTB00025, $V_{DS}=33$ V, $V_{GS}=-2.07$ V, $P_{IN}=31$ dBm.

On remarque que pour l'harmonique 2, les zones d'impédances optimales en entrée et en sortie se trouvent proche du court-circuit, ce qui est classique et bien adapté à la classe F. L'harmonique 3 a très peu d'influence sur le PAE pour ce transistor est n'est pas traitée dans ce cas. Le PAE maximum qu'il est possible d'obtenir avec ce transistor à 2 GHz en réalisant des adaptations idéales est compris entre 75 et 76 %.

Le circuit est réalisé à partir de lignes microruban, son schéma synoptique est donné par la **figure III.47** :

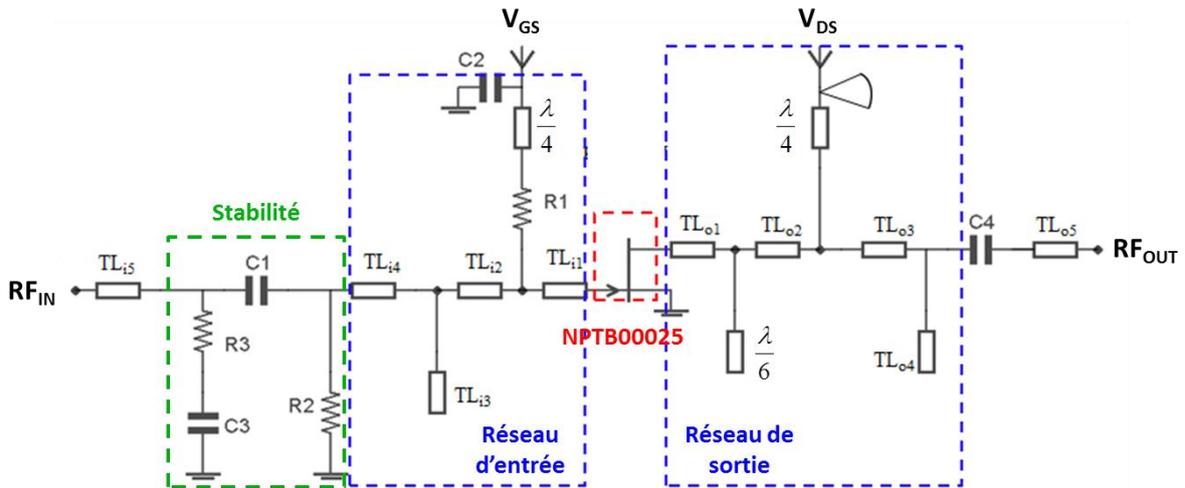


Figure III.47 : schéma synoptique de l'amplificateur classe F à 2 GHz.

Les réseaux d'adaptation sont réalisés via des stubs microruban, malgré la faible influence de l'harmonique 3, un stub de longueur $\lambda/6$ situé proche du transistor permet de présenter un circuit ouvert, une ligne quart d'onde est utilisée à la fois pour présenter un court-circuit à l'harmonique 2 pour isoler la polarisation, les lignes TL_{o1} et TL_{o2} de faible longueur permettent une optimisation de l'adaptation aux fréquences harmonique. Les lignes TL_{o3} et TL_{o4} réalisent l'adaptation à 2 GHz. Le circuit d'entrée est conçu selon le même principe mais sans tenir compte de l'harmonique 3. Un circuit de stabilité basé sur des éléments CMS Murata (dont les modèles jusqu'à 8 GHz sont donnés par un design kit) est ajouté en entrée.

Le circuit est réalisé sur un substrat Duroid 5880 ($\epsilon_R=2.2$, $\tan\delta=0.004$), les pertes diélectriques sont acceptable à 2 GHz, la faible permittivité du substrat (et donc une largeur élevée des pistes) et l'utilisation de pistes en cuivre (d'épaisseur $35 \mu\text{m}$) limitent les pertes par conduction. On note que la taille du circuit est assez élevée, $7 \times 4.8 \text{ cm}^2$, comme montré par la **figure III.48**. Le transistor est reporté mécaniquement (vissé) sur un support métallique monté sur un radiateur, de la colle thermique est également ajoutée pour améliorer l'évacuation de la chaleur générée par le transistor. On note que le boîtier du transistor s'adapte parfaitement à ce type de montage.

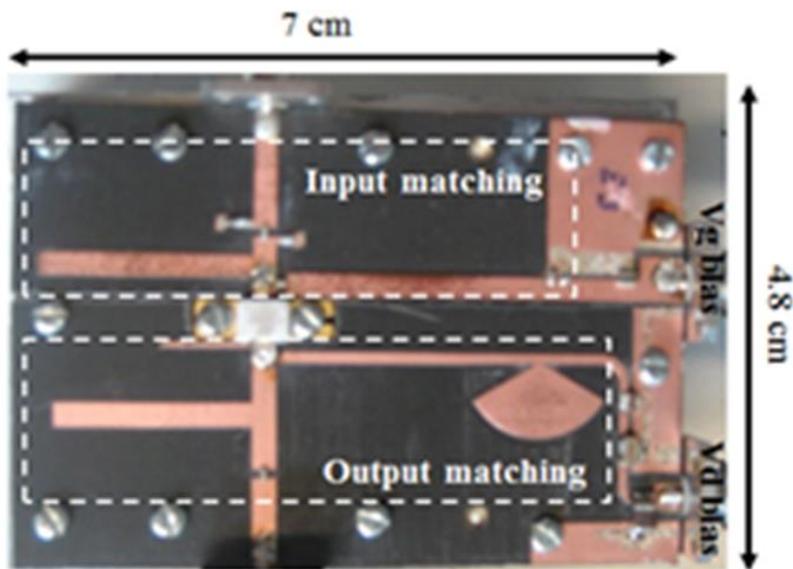


Figure III.48 : photographie de l'amplificateur classe F à 2 GHz.

b - Caractérisation de l'amplificateur

L'amplificateur a d'abord été caractérisé en puissance, rendement et bande passante. Le rendement de drain et le PAE mesurés en fonction de la puissance d'entrée sont donnés par la figure III.49, $V_{DS}=33\text{ V}$, $V_{GS}=-2.07\text{ V}$ et $F_0=2\text{ GHz}$:

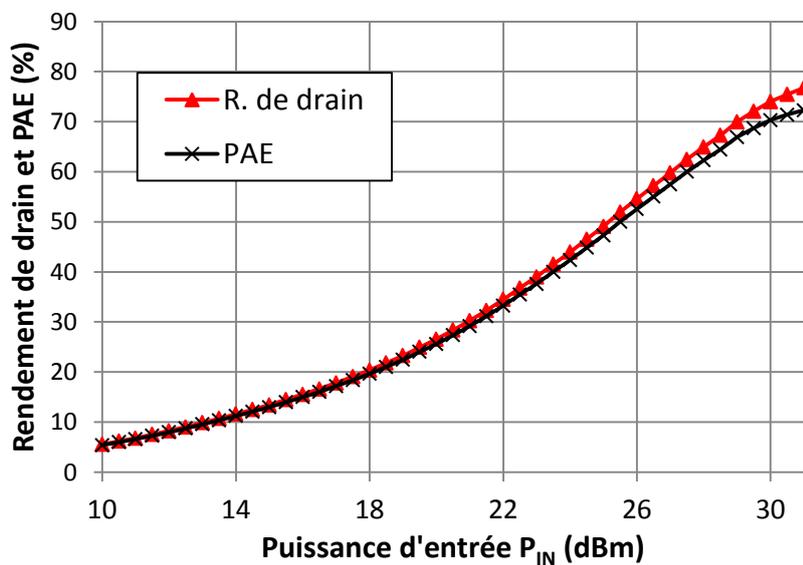


Figure III.49 : PAE et rendement de drain mesurés de l'amplificateur classe F à 2 GHz.

Le PAE maximum est atteint pour une puissance d'entrée de 31 dBm, sa valeur est de 72 %, ce qui constitue un rendement en puissance ajouté tout à fait acceptable, le rendement de drain correspondant est de 76 %.

La **figure III.50** représente la puissance de sortie mesurée en fonction de la puissance d'entrée ainsi que le gain en puissance correspondant.

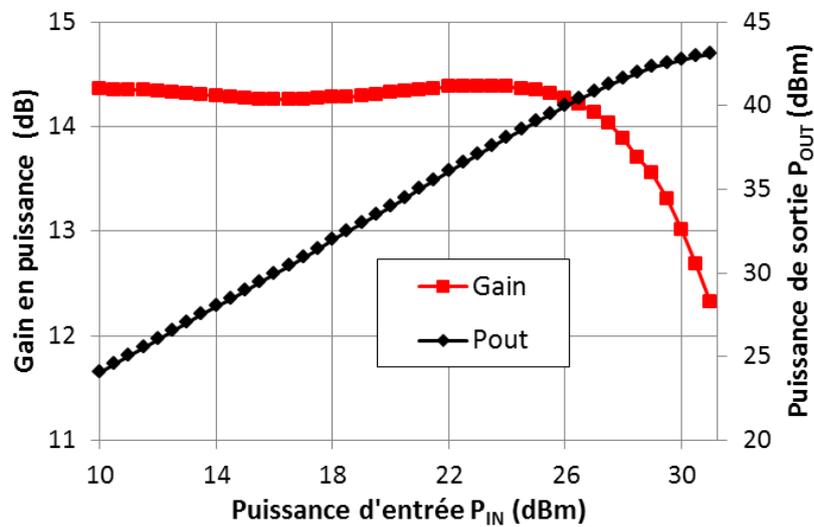


Figure III.50 : puissance de sortie et gain en puissance mesurés de l'amplificateur classe F à 2 GHz.

La puissance de saturation de l'amplificateur est de 43 dBm (20 W) à 2 GHz, le gain correspondant est de 12.2 dB, le gain avant la saturation est de 14.3 dB.

Les mesures en bande passante sont données par la **figure III.51**. $V_{DS}=33$ V, $V_{GS}=-2.07$ V et $P_{IN}=30$ dBm :

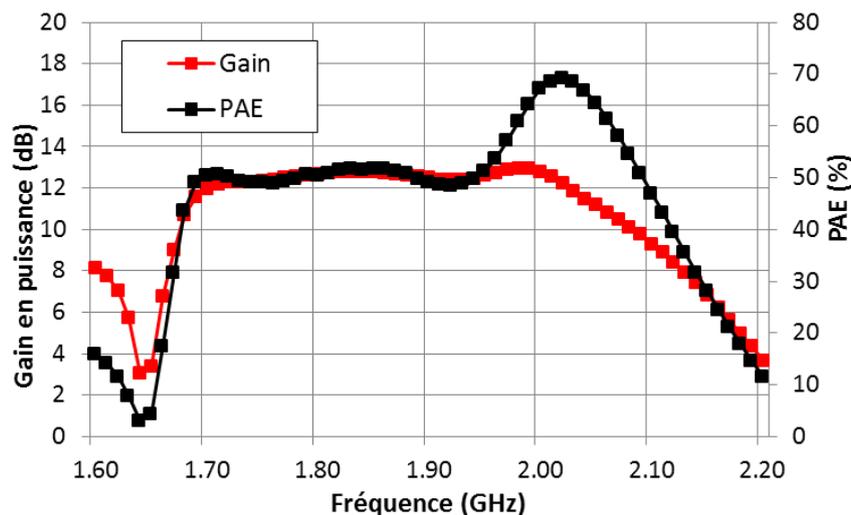


Figure III.51 : PAE et gain en puissance mesurés en fonction de la fréquence, $P_{IN}=30$ dBm.

Le PAE est supérieur à 60 % pour les fréquences comprises entre 1.97 et 2.05 GHz, soit une bande de 80 MHz, ce qui est acceptable pour un amplificateur classe F. Le gain est assez stable sur une bande passante relativement large, de 1.7 à 2 GHz.

Finalement des mesures de linéarité ont été effectuées sur l'amplificateur pour différentes tension de polarisation de drain, les résultats de mesure sont donnés par la [figure III.52](#), pour un ΔF de 10 MHz autour de 2 GHz.

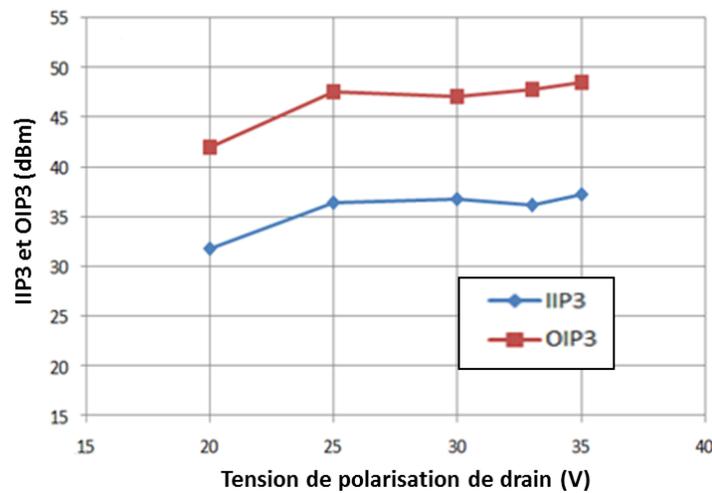


Figure III.52 : valeurs des coordonnées du point d'interception d'ordre 3 pour différents V_{DS} .
 $\Delta F=10$ MHz, $V_{GS}=-1.45$ V.

Pour la tension de polarisation nominale $V_{DS}=33$ V, l'IIP3 mesuré est de 36 dBm et l'OIP3 de 48 dBm, ces valeurs sont plus élevées que pour l'amplificateur classe J basé sur le transistor GH50, notamment du fait d'un développement de grille plus important. On note une relative amélioration avec l'augmentation de la tension de polarisation (l'amplificateur arrive moins vite à saturation). Des mesures ont été effectuées pour différents ΔF compris entre 0.1 et 20 MHz sans influence notable sur les points d'interception, signifiant les faibles effets mémoires basses fréquences et une bonne dissipation des calories par le boîtier du transistor.

Des mesures de NPR (Noise Power Ration) afin de se rapprocher d'un cas plus réel de signal multi-porteuses (par exemple un signal LTE peut avoir jusqu'à plus de 1000 porteuses dans une bande de 20 MHz; environ 200 pour un signal WiMAX). Dans le cadre de mesures de NPR, le signal d'entrée est constitué d'un grand nombre de porteuses à phase aléatoire occupant une bande passante BW_{bruit} , dans laquelle une partie du signal est supprimée (soit par un filtre réjecteur, soit directement au moyen du générateur numérique de signaux) avec une bande BW_{trou} ($BW_{\text{trou}} \ll BW_{\text{bruit}}$). Le signal obtenu en sortie du dispositif non linéaire comporte toujours un "trou", mais moins profond du fait des produits d'intermodulation [22].

Le NPR est défini par le rapport entre la densité spectrale de puissance du signal utile dans une bande de résolution BWR ($BWR \ll BW_{\text{trou}}$) et la densité spectrale de puissance du signal distordu dans le "trou" dans cette même bande de résolution. Cela est illustré par la [figure III.53](#).

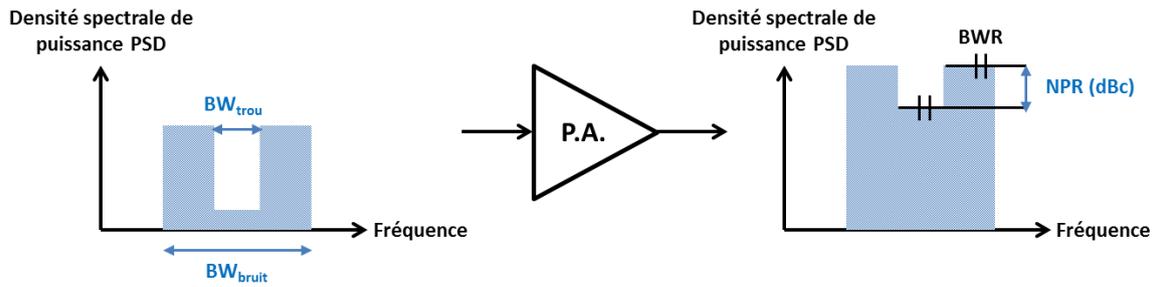


Figure III.53 : principe et définition du NPR.

Pour la mesure du NPR de l'amplificateur classe F autour de 2 GHz, le signal est constitué de 50 porteuses (le nombre maximum que peut générer la source E4438c) espacées de 500 kHz. La figure III.54 représente le signal utilisé, $BW_{\text{trou}}=4.5$ MHz et $BW_{\text{bruit}}=19.5$ MHz, la bande de résolution BWR utilisée avec l'analyseur de spectre est fixée à 300 kHz.

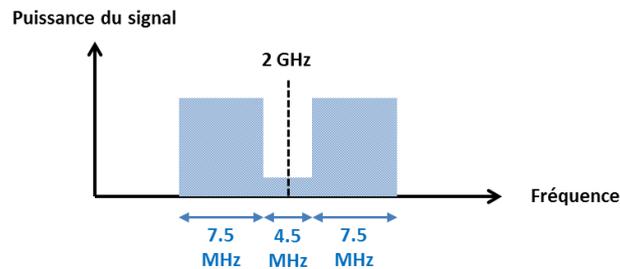


Figure III.54 : gabarit du signal utilisé pour les mesures de NPR.

Les résultats de mesure pour différentes tensions de polarisation de drain sont donnés par la figure III.55 :

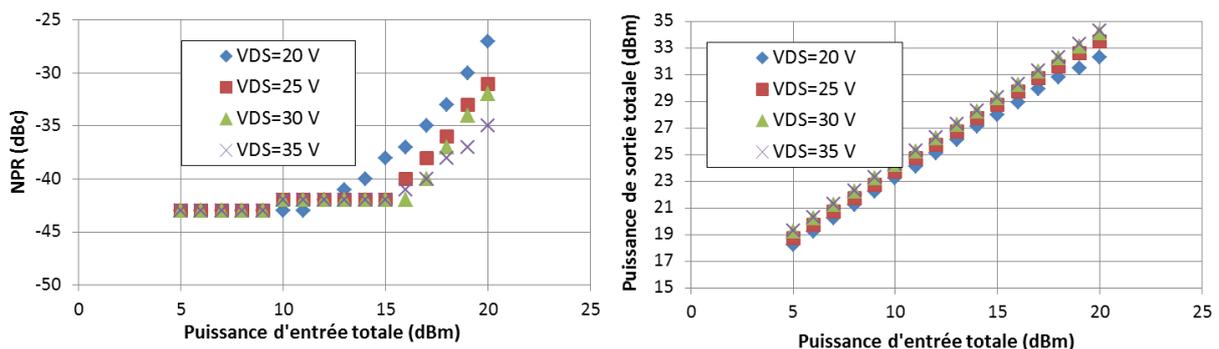


Figure III.55 : mesures de NPR et puissances de sortie correspondantes de l'amplificateur classe F autour de 2 GHz pour différentes tension de polarisation de drain.

Comme dans le cas des mesures biton on note une amélioration notable du NPR lorsqu'on augmente la tension de drain. -42 dBc est le plancher de bruit du banc de mesure (semblable à celui utilisé pour les mesures biton, mais en utilisant une source capable de générer une multitude de tons simultanément).

B - Association avec le convertisseur DC/DC réalisé au Chapitre II

Après avoir été caractérisé, l'amplificateur a été associé au convertisseur DC/DC GaN réalisé au chapitre II afin d'étudier l'impact d'une polarisation dynamique de drain sur le rendement de l'amplificateur.

a - Détermination des tensions de polarisation optimales

Les valeurs des tensions de drain à appliquer en fonction de la puissance de sortie délivrée par l'amplificateur pour obtenir un PAE maximum ont d'abord été déterminées, elles sont données ainsi que les PAE correspondants par le **tableau III.9** (ces valeurs ne tiennent pas encore compte du rendement du convertisseur) :

Puissance de sortie (dBm)	V_{DSopt} (V)	PAE (%), V_{DS} fixé à 33 V	PAE (%), $V_{DS}=V_{DSopt}$
30	17	15	28
31	17	17	32
32	17	20	37
33	17	22	42
34	17	26	46
35	17	29	51
36	18	33	55
37	20	38	57
38	22	42	58
39	23	47	62
40	24	53	64
41	28	60	69
42	31	64	70
43	33	72	72

Tableau III.9 : valeurs des tensions de drain optimales et PAE correspondants.

La **figure III.56** compare le PAE de l'amplificateur à 2 GHz à celui obtenu en faisant varier la tension de drain de manière optimale sans prendre en compte le rendement du convertisseur :

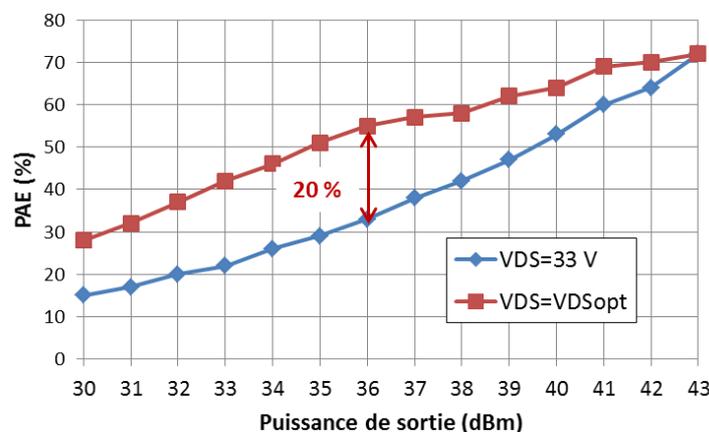


Figure III.56 : comparaison du PAE de l'amplificateur classe F pour V_{DS} fixé à 33 V et pour V_{DS} prenant des valeurs optimales.

Le PAE peut être amélioré de 15 à 20 % sur une dynamique de puissance de 10 dB en faisant varier de manière optimale la tension de polarisation de drain. Même si il faudra ajouter les pertes dues au convertisseur, l'association devrait permettre de conserver une amélioration non négligeable du PAE du fait des rendements élevés du convertisseur mesurés au chapitre II (environ 90 %).

Les tensions optimales lors de cette étude ont été volontairement limitées à 17 V pour la plus faible et 33 V pour la plus élevée afin de rester dans la gamme de rendement optimale du convertisseur DC/DC boost pour une tension d'entrée de 16 V.

b - Effet sur le rendement de l'association du convertisseur DC/DC boost et de l'amplificateur classe F à 2 GHz

L'amplificateur et le convertisseur DC/DC ont été connectés via des connecteurs SMA, la sortie du convertisseur étant reliée au connecteur d'alimentation de drain de l'amplificateur. Le banc de mesure en puissance est le même que celui décrit précédemment, seul le convertisseur DC/DC (et le générateur de pulse pour le contrôler) a été ajouter entre l'alimentation BILT et l'amplificateur.

La **figure III.57** représente le rendement global de l'ensemble amplificateur + convertisseur DC/DC en fonction de la puissance de sortie de l'amplificateur à 2 GHz. La fréquence de découpage du convertisseur est de 10 MHz.

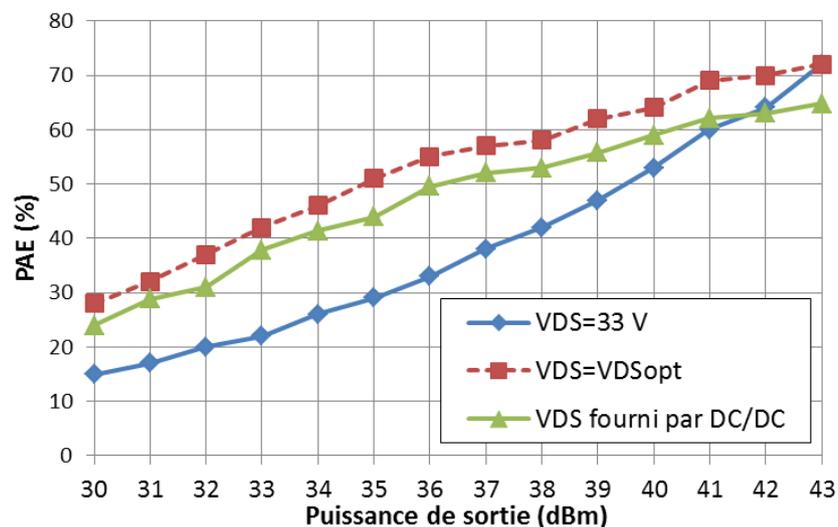


Figure III.57 : comparaison du PAE de l'amplificateur classe F pour V_{DS} fixé à 33 V et pour V_{DS} fourni par le convertisseur DC/DC boost.

Malgré les pertes liées au convertisseur DC/DC, le PAE global reste amélioré de manière sensible par rapport à une polarisation fixe. Le PAE global est amélioré de plus de 10 % par la polarisation dynamique pour $30 < P_{OUT} < 38$ dBm par rapport à une polarisation fixe à 33 V, il reste amélioré jusqu'à 41 dBm de puissance de sortie. Une perte de rendement est logiquement observée pour les plus fort niveaux de puissance (42, 43 dBm),

cependant, comme discuté au début de ce paragraphe, les signaux sont très rarement à leur niveau de puissance maximum et cette perte de rendement à haut niveau de puissance a donc peu d'incidence sur le rendement global du système en présence d'un signal de type LTE ou WiMAX.

Une amélioration du PAE est observée pour une dynamique de puissance supérieure à 10 dB pour des puissances allant jusqu'à 41 dBm. Cette dynamique est compatible avec les PAPR des signaux de type LTE ou WiMAX par exemple, ce qui démontre la pertinence de l'association d'un convertisseur DC/DC à un amplificateur en utilisant un même type de technologie basé sur les transistors HEMT GaN NPTB00025.

Il est tout de même important de noter que ces rendements ne prennent pas en compte les pertes qui seraient engendrées par la consommation des autres éléments d'un système complet de polarisation dynamique (comparateur, gestion du signal de commande du convertisseur...). L'implémentation d'un système complet constitue d'ailleurs un axe de développement intéressant pour ces travaux, de même qu'une augmentation de la fréquence de travail du convertisseur afin d'être compatible avec des bandes passantes du signal pouvant atteindre 20 MHz (cela nécessiterait des fréquences de découpage de l'ordre de 100 MHz). Une adaptation d'impédance dynamique en sortie en fonction des conditions de polarisation, par exemple au moyen d'un tuner intégré [23], peut également être envisagée.

Conclusion

Ce troisième et dernier chapitre a été consacré à l'amplification de fréquence à base de transistors de type HEMT AlGaIn/GaN, dans le but d'étudier leur potentiel en termes de hauts rendements.

Après avoir posé les bases théoriques de l'amplification de puissance, notamment sur les différentes classes d'amplification, leurs avantages et leurs inconvénients, deux amplificateurs fonctionnant autour de 4 GHz ont été réalisés à partir des transistors GaN GH50 8*250 μm fournis par UMS. Le premier amplificateur réalisé, en classe F, a permis d'estimer les performances possibles en termes de rendement et de puissance à 4 GHz en utilisant un transistor GH50 8*250 μm , soit des rendements en puissance ajoutée compris entre 65 et 70 % pour une puissance de sortie autour de 37 dBm (5 W) à 4 GHz, il a aussi permis de mettre en relief certains problèmes bien connus liés à la conception de circuits hyperfréquence en technologie hybride à savoir les soucis de contrôle des interconnexions, qui ont une influence même pour des fréquences relativement basses. Le deuxième amplificateur réalisé, en utilisant les propriétés large bande de la classe J, a permis d'obtenir des PAE supérieurs à 60 % (et même proches de 65 %) sur une bande de fréquence comprise en 3.7 et 4.4 GHz, ce qui permet de couvrir certaines applications de communication par satellite par exemple. L'utilisation de transistor de plus forts développements de grille issus de la filière GH50 afin de monter en puissance constitue un axe d'amélioration envisageable.

Finalement, un amplificateur classe F à 2 GHz a été réalisé à partir d'un transistor Nitronex NPTB00025, un PAE de 72 % pour une puissance de sortie de 43 dBm (20 W) a été obtenu avec cet amplificateur. Il a ensuite été associé au convertisseur DC/DC boost présenté dans le chapitre II de ce manuscrit dans le cadre d'une polarisation dynamique de drain, cette association avec un convertisseur GaN à haut rendement a permis une amélioration du PAE global allant jusqu'à 15 % pour une dynamique de puissance supérieure à 10 dB et des puissances de sortie allant jusqu'à 41 dBm. Cette dynamique est notamment compatible avec les PAPR des signaux de type LTE ou WiMAX. Il faut tout même ajouter que la fréquence de découpage du convertisseur (10 MHz pour des rendements de 90 %), déterminant en partie la bande passante d'un système complet de polarisation dynamique, n'est en revanche pas encore suffisante pour des signaux de type LTE pouvant avoir une bande passante allant jusqu'à 20 MHz (nécessitant des convertisseurs ayant des fréquences de découpage supérieures à 50 MHz).

Bibliographie du Chapitre III

- [1] U. K. Mishra, L. Shen, T. E. Kazior, Y.-F. Wu, "GaN-Based RF Power Devices and Amplifiers", Proceedings of the IEEE, Vol. 96, pp. 287-305, February 2008
- [2] K. Yamanaka, N. Yunoue, S. Chaki, M. Nakayama, Y. Hirano, "L-band 360W and 65% PAE GaN Amplifier with mixed Class-E / F Harmonic Control", Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International, June 2012
- [3] A. Margomenos, A. Kurdoghlian, M. Micovic, K. Shinohara, D. F. Brown, R. Bowen, I. Milosavljevic, R. Grabar, C. Butler, A. Schmitz, P. J. Willadsen, M. Madhav, D. H. Chow, "70-105 GHz Wideband GaN Power Amplifiers", Microwave Integrated Circuits Conference (EuMIC), October 2012
- [4] S.C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, second edition, 2006
- [5] N. O. Sokal, A. D. Sokal, "Class E-A new class of high-efficiency tuned single-ended switching power amplifiers", IEEE Journal of Solid State Circuits, 10(3), p.168-176, 1975
- [6] S. Sheppard, B. Pribble, R. P. Smith, A. Saxler, S. Allen, J. Milligan, R. Pengelly, "High-Efficiency Amplifiers Using AlGaN / GaN HEMTs on SiC", CS MANTECH Conference, April 24-27, 2006
- [7] Raab, F.H., 2001. Maximum efficiency and output of class-F power amplifiers. IEEE Transactions on Microwave Theory And Techniques, 49(6), p.1162-1166.
- [8] D. Schmelzer, S. I. Long, "A GaN HEMT Class F Amplifier at 2 GHz with > 80 % PAE", IEEE Journal of Solid State Circuits, 42(10), 525-2136, 2007
- [9] P. Saad, H. M. Nemati, M. Thorsell, K. Andersson, "An inverse class-F GaN HEMT power amplifier with 78% PAE at 3.5 GHz", Microwave Conference 2009 EuMC, pp. 496-499, October 2009
- [10] P. Wright, J. Lees, P. J. Tasker, J. Benedikt, S. C. Cripps, "An efficient, linear, broadband class-J-mode PA realised using RF waveform engineering", Microwave Symposium Digest 2009 MTT09 IEEE MTT-S International. IEEE, pp. 653-656.
- [11] J. Chéron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, P. Eudeline, D. Floriot, "Wideband 50W Packaged GaN HEMT With Over 60% PAE Through Internal Harmonic Control in S-Band", Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International.
- [12] J. Chéron, "Méthode d'encapsulation optimale d'une technologie HEMT GaN pour la conception d'amplificateurs large bande à forte puissance et haut rendement destinés aux applications radars en bande S", Thèse de doctorat de l'université de Limoges, 2011

- [13] Y. Y. Woo, Y. Yang, B. Kim, "Analysis and Experiments for High-Efficiency Class-F and Inverse Class-F Power Amplifiers", IEEE Transactions On Microwave Theory And Techniques, Vol. 54, No. 5, May 2006
- [14] G. Gonzales, "Microwave Transistor Amplifiers", second edition, Prentice-Hall, 1997
- [15] F. Alimenti, P. Mezzanotte, L. Roselli, R. Sorrentino, "Modeling and Characterization of the Bonding-Wire Interconnection", IEEE Transactions On Microwave Theory And Techniques, Vol. 49, No. 1, January 2001
- [16] Yamasaki, T.; Kittaka, Y.; Minamide, H.; Yamauchi, K.; Miwa, S.; Goto, S.; Nakayama, M.; Kohno, M.; N. Yoshida, N. "A 68% Efficiency, C-Band 100W GaN Power Amplifier for Space Applications", Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International.
- [17] Blair, C. "LDMOS Devices Provide High Power for Digital PCS", Applied Microwave and Wireless, October 1998, pp. 84-88.
- [18] Gallagher, B. "Estimating and Measuring C/I in a GSM Wireless Local Loop Receiver", Microwave Journal, October 1997, pp. 70-83.
- [19] L. Leysenne, E. Kerhervé, Y. Deval, "Reconfigurable RF Power Amplifiers on Silicon for Wireless Handsets", Springer, 2011
- [20] K.Yuan; T. Liu; Y. Ye, "High Efficiency RF Power Amplifiers with Dynamic Biases for TD-SCDMA Systems", IEEE Wireless Communications, Networking and Mobile Computing, Ninbo, China, September 2009
- [21] G. Hanington, P.F. Chen, V. Radisic, T. Itoh, P.M. Asbeck, "Microwave power amplifier efficiency improvement with a 10 MHz HBT DC-DC converter", IEEE IMS 1998, p. 589, June 1998.
- [22] P. Delemotte, "Réalisation expérimentale d'un banc d'intermodulation "Noise Power Ratio" : application à l'analyse de HEMTs et de MMICs de puissance en bande Ka", Thèse de doctorat de l'université de Lille, Janvier 2002
- [23] A. Pottrain, " Caractérisation Non Llinéaire Des Composants Silicium Jusque 220 GHz", Thèse de doctorat de l'université de Lille, Novembre 2012

Conclusion générale

Les travaux réalisés au cours de cette thèse et présentés dans ce manuscrit s'inscrivent dans le cadre de l'amélioration des rendements des systèmes d'amplification de puissance hyperfréquence pour des applications de télécommunication. Cette amélioration du rendement permet de réduire la consommation et ainsi de minimiser le coût de fonctionnement, de maximiser l'autonomie (dans le cas de systèmes embarqués) et d'améliorer la fiabilité en réduisant les échauffements thermiques.

Dans cet optique, des transistors de type HEMT AlGaIn/GaN, ayant des propriétés physiques et électriques leur permettant un fonctionnement à haute fréquence et forte puissance, ont été utilisés pour la réalisation de convertisseurs DC/DC à haute fréquence de découpage et haut rendement pour des applications de polarisation dynamique de drain visant à l'amélioration du rendement d'un amplificateur de puissance GaN en bande S basé sur la même technologie.

Le premier convertisseur, réalisé à partir d'un HEMT conçu au laboratoire et modélisé lors de ces travaux a permis d'atteindre une fréquence de découpage de 10 MHz pour une puissance de sortie de 5 W. Un deuxième prototype basé sur un composant commercial Nitronex NPTB00025 a permis d'atteindre des fréquences de découpage allant jusqu'à 20 MHz pour une puissance de sortie de 20 W. Les deux convertisseurs ont montré des rendements supérieurs à 80 %. un amplificateur classe F à 2 GHz a été réalisé également à partir d'un transistor NPTB00025, obtenant un PAE de 72 % pour une puissance de sortie de 43 dBm (20 W), il a ensuite été associé au convertisseur DC/DC précédemment réalisé dans le cadre d'une polarisation dynamique de drain, cette association avec un convertisseur GaN à haut rendement a permis une amélioration du PAE global allant jusqu'à 15 % pour une dynamique de puissance supérieure à 10 dB et des puissances de sortie allant jusqu'à 41 dBm. Cette dynamique est notamment compatible avec les PAPR des signaux de type LTE ou WiMAX.

Ces résultats sont très encourageants quant aux potentialités des transistors GaN pour la réalisation de systèmes d'amplification hyperfréquence à haut rendement basés sur la polarisation dynamique. Cependant, des travaux doivent encore être menés quant à l'intégration sur un même circuit de l'ensemble des éléments nécessaires à la polarisation dynamique (détection de puissance, gestion du signal de commande du convertisseur DC/DC). La fréquence de découpage du convertisseur doit également être augmentée afin que la bande passante du système soit en accord avec celle des signaux de type LTE (20 MHz), pour ce faire, des transistors ayant des capacités de grille plus faible ainsi qu'un comportement de type Normally-Off permettant une meilleure compatibilité avec les circuits de commande doivent être développés.

Des amplificateurs à haut rendement (classe F et J) en bande C ont également été réalisés lors de cette thèse en utilisant des transistors HEMTs AlGaIn/GaN de la filière GH50 d'UMS. En utilisant les propriétés large bande de la classe J, des PAE supérieurs à 60 % (et même proches de 65 %) sur une bande de fréquence comprise en 3.7 et 4.4 GHz ont été obtenus, ce qui permet de couvrir certaines applications de communication par satellite notamment. L'utilisation de transistors avec développements de grille plus importants issus de la filière GH50 ou la réalisation d'amplificateurs distribués afin de monter en puissance, en bande passante et en rendement constituent des axes d'améliorations envisageables pour la poursuite de ces travaux.

Publications et conférences relatives à ces travaux

F. Gamand, V. Di Giacomo, C. Gaquiere, "10-MHz DC/DC Converter based on GaN HEMT for RF applications", *2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC)*.

F. Gamand, M. D. Li, and C. Gaquière, "A 10-MHz GaN HEMT DC/DC Boost Converter for Power Amplifier Applications", *IEEE Transactions On Circuits And Systems—II: Express Briefs, VOL. 59, NO. 11, November 2012*.

F. Gamand, M. D. Li, C. Gaquière' "Amplificateur de Puissance GaN à Haut Rendement avec Polarisation Dynamique", *JNM 2013 Paris*.

F. Gamand, C. Gaquière, "Broadband GaN-based Power Amplifier using Class-J Topology", *IEEE Electronic Letters, en attente de réponse*.

Résumé :

Dans les systèmes de télécommunication modernes et en particulier pour l'amplification de puissance RF, le rendement est un élément clé. Il doit être le plus élevé possible afin de réduire la consommation et ainsi minimiser le coût de fonctionnement, maximiser l'autonomie (dans le cas de systèmes embarqués) et améliorer la fiabilité du système.

Afin d'augmenter le rendement global d'un amplificateur de puissance, la technique de polarisation dynamique, souvent basée sur l'association d'un amplificateur et d'un convertisseur DC/DC, est couramment employée. Les transistors de type HEMT GaN délivrent des puissances importantes tout en ayant des fréquences de fonctionnement élevées, de plus capacité à commuter rapidement et leurs faibles pertes résistives en font d'excellents candidats à la fois pour les applications d'amplification de puissance et de commutation à haute fréquence de découpage et haut rendement tels que les convertisseurs DC/DC utilisés dans le cadre d'une polarisation dynamique.

Le premier chapitre de ce mémoire est consacré aux propriétés des transistors à base de GaN et leurs intérêts par rapport aux autres semi-conducteurs pour des applications d'amplification hyperfréquence et de commutation. Leur caractérisation et modélisation sont également abordées dans l'optique de la conception de circuits.

Le deuxième chapitre est consacré à la conception et à la caractérisation de convertisseurs DC/DC GaN à haute vitesse de découpage pour des applications de polarisation dynamique d'amplificateurs de puissance.

Enfin le troisième chapitre aborde la conception d'amplificateurs de puissance GaN à haut rendement en bande C pour des applications de télécommunication. L'association d'un convertisseur DC/DC développé au chapitre II et d'un amplificateur GaN en bande S dans le cadre de la polarisation dynamique sera également présentée et ses effets sur l'amélioration du rendement étudiés.

Abstract :

High efficiency is a key element in modern telecommunication systems, especially in RF power amplifiers. Efficiency has to be as high as possible in order to reduce power consumption thus minimising working cost, maximising autonomy and improve system reliability.

In order to increase global efficiency of a power amplifier, dynamic biasing, based on the association of an amplifier and a DC/DC converter, is often used. GaN HEMTs enable high RF power at high frequencies, moreover their capability to switch very quickly and their low resistive losses make them good candidates for both power amplification applications and high speed, high efficiency commutation applications, like DC/DC converters used in dynamic biasing systems.

The first part of this manuscript is dedicated to GaN transistors properties and their advantages compared to other semi-conductors for commutation and RF amplification applications. Their characterisation and modelling is also discussed.

The second chapter is dedicated to the design and characterisation of high speed DC/DC converters for dynamic biasing applications.

The last part approaches high efficiency GaN power amplifiers design in C band for telecommunication applications. The association of a DC/DC converter, designed in chapter II, and a GaN power amplifier in S band in the context of dynamic biasing is also presented and the obtained efficiency improvement is reported.

Mots-clés :

Nitride de Gallium	Convertisseur DC/DC	
HEMT	Amplificateur	
Rendement	Polarisation dynamique	