

UNIVERSITE LILLE 1 – SCIENCES ET TECHNOLOGIES
ECOLE DOCTORALE SCIENCES POUR L'INGENIEUR

THESE

pour l'obtention du grade de

Docteur de l'Université des Sciences et Technologies de Lille

Spécialité : Micro et nanotechnologies, acoustique et télécommunications

par **Elodie CANDERLE**

**ETUDES ET DEVELOPPEMENT DE TRANSISTORS BIPOLAIRES
SI/SiGe:C RAPIDES DANS UN NŒUD BICMOS 55 NM**

Thèse dirigée par Christophe GAQUIERE

soutenue le 10 décembre 2014, à Grenoble

Membres du jury :

Pr. ZIMMER Thomas	Rapporteur
Pr. PASCAL Fabien	Rapporteur
Dr. DADEN Jean-Yves	Membre du jury
Dr. DELAGE Sylvain	Membre du jury
Dr. FLORIOT Didier	Membre du jury
Pr. FERRARI Philippe	Membre du jury
Dr. CHEVALIER Pascal	Encadrant industriel
Pr. GAQUIERE Christophe	Directeur de thèse

“Deviens qui tu es !”

Ainsi parlait Zarathoustra, Friedrich Nietzsche

Remerciements

C'est une tâche bien compliquée que de conclure trois ans et demi riches en rebondissements par ces (quelques) pages seulement. Au-delà du nombre de pages, de mots ou de gigahertz, ces années auront surtout été une belle porte d'entrée vers la suite. Le dicton « ce qui ne vous tue pas vous rend plus fort » n'aura jamais si bien résonné à mes oreilles.

Sur une note un peu moins mélodramatique je voulais remercier toutes les personnes avec qui j'ai pu travailler pendant cette thèse. La liste étant trop longue pour être complète, je ne me risquerai pas à cet exercice périlleux ;)

Merci à Pascal Chevalier pour sa patience et sa précision, et pour m'avoir appris à ne jamais me contenter du moins.

Merci à Christophe Gaquière pour l'ensemble de cette thèse et pour avoir accepté de déplacer tout un jury des Flandres jusqu'au milieu des Alpes.

Merci à tous les membres du jury de m'avoir accordé de leur temps pour l'examen de mon manuscrit et pour avoir assisté à ma soutenance.

Merci à Olivier Noblanc et Frédéric Bœuf de m'avoir accueillie dans leurs équipes.

Merci à l'équipe de l'IEMN pour leur accueil lors de mes séjours à Lille et en particulier Sylvie, Etienne et Issam.

Merci aux différentes équipes de ST, de la conception de nos structures à leur fabrication, pour la simulation et la modélisation et les différentes caractérisations.

A toutes les personnes avec qui je n'ai pas forcément directement travaillé mais qui ont amené ce petit plus dans la vie quotidienne du B1.

Mais surtout à l'équipe « B55 » : Aude, Grégory, Guillaume, Pascal et Tuan ainsi que Philippe et Nathalie. Comme je l'ai déjà dit à certains d'entre vous, revenir dans les bâtiments du B1 c'est un peu comme rentrer à la maison pour moi.

Merci aussi à la dream team des Amazoniens, car le sport c'est la santé !

Félicitations à tous les ~~thésards~~ docteurs qui ont fini et bon courage à ceux encore en galère. La lumière est plus douce de l'autre côté ☺

A ma famille, ma belle-famille et mes amis, qui auront assisté à deux heures de charabia sur un tout petit transistor aux possibilités si grandes. Et aussi à ceux qui n'ont pas pu venir mais auront pu supporter les effets secondaires d'une rédaction intensive (pardon).

A mes parents, merci pour tout. Jérémy et Marion.

Et à Loïc, qui au milieu de tous ses livres m'a prouvé chaque jour que la science pouvait être une passion et qui a su (consciemment ou non) me redonner la motivation aux moments où j'en avais le plus besoin. Sans toi je ne suis pas sûre que j'en serais là.

Table des matières

ETUDES ET DEVELOPPEMENT DE TRANSISTORS BIPOLAIRES SI/SIGE:C RAPIDES DANS UN NŒUD BICMOS 55 NM	1
REMERCIEMENTS	5
TABLE DES MATIERES	7
NOTATIONS	13
GLOSSAIRE	14
INTRODUCTION GENERALE	17
CHAPITRE I. LE TRANSISTOR BIPOLAIRE A HETEROJONCTION SI/SIGE:C	19
A. LE TRANSISTOR BIPOLAIRE SILICIUM A HOMOJONCTION	20
I. SCHEMA DE PRINCIPE ET PREMIERES DEFINITIONS	20
II. EXPRESSION DES COURANTS POUR UN TRANSISTOR BIPOLAIRE SI	21
1. Les différentes contributions aux courants	22
2. Expressions des courants idéaux I_C et I_B	22
B. LE TRANSISTOR BIPOLAIRE A HETEROJONCTION SI/SIGE:C	25
I. PROPRIETES DE L'ALLIAGE SiGe	25
1. Energie de bande interdite	27
2. Masse effective	29
3. Mobilité	30
4. Densité d'états	31
II. INFLUENCE DE L'HETEROJONCTION Si/SIGE:C SUR LE FONCTIONNEMENT DU TRANSISTOR BIPOLAIRE	33
1. Profil de la base pour un TBH NPN Si/SiGe	33
2. Modification de l'expression des courants pour un TBH SiGe	34
C. FONCTIONNEMENT DYNAMIQUE DU TBH	36
I. TEMPS DE TRANSIT	36
1. Temps de transit dans l'émetteur	37
2. Temps de transit dans la ZCE base/émetteur	37
3. Temps de transit dans la base	38
4. Temps de transit dans la ZCE base/collecteur	38
5. Temps de transit dans le collecteur	39
II. FREQUENCES CARACTERISTIQUES	39
1. Fréquence de transition du gain en courant f_T	39
2. Fréquence maximale d'oscillation (f_{MAX})	40

D.	EFFETS SECONDAIRES ALTERANT LE COMPORTEMENT IDEAL	41
I.	RESISTANCES PARASITES	41
1.	La résistance émetteur R_E	42
2.	La résistance de collecteur R_C	43
3.	La résistance de base R_B	43
II.	CAPACITES PARASITES	44
1.	La capacité de jonction émetteur / base C_{BE}	44
2.	La capacité de jonction base / collecteur C_{BC}	44
3.	La capacité de jonction collecteur / substrat C_{CS}	45
III.	NON IDEALITE DU COURANT DE BASE A FAIBLE INJECTION	45
1.	Recombinaisons	45
2.	Effet tunnel bande à bande	48
IV.	NON IDEALITE DU COURANT DE BASE A HAUTE INJECTION	49
1.	Avalanche et tensions de claquage	49
2.	Effet Early	50
3.	Perçage de la base	52
4.	Effet Kirk	52
5.	Auto échauffement	53
E.	CONCLUSION DU CHAPITRE	53
 CHAPITRE II. FABRICATION ET ETAT DE L'ART DU TRANSISTOR BIPOLAIRE		 55
A.	LA TECHNOLOGIE BICMOS CHEZ STMICROELECTRONICS	56
I.	FABRICATION D'UN TRANSISTOR BIPOLAIRE EN TECHNOLOGIE BICMOS9MW	56
1.	Une architecture auto-alignée par épitaxie sélective	56
2.	Principales étapes de fabrication	57
3.	Caractéristiques du transistor bipolaire en B9MW	62
II.	ETUDE EN NŒUD AVANCE B5T	64
1.	Résultats	64
2.	Bilan	66
III.	LE TRANSISTOR BIPOLAIRE EN TECHNOLOGIE BICMOS055	67
1.	Du BiCMOS9MW au BiCMOS055	67
2.	Autres composants disponibles en BiCMOS055	69
3.	Co-intégration bipolaire / MOS	70
B.	ETAT DE L'ART DU TRANSISTOR BIPOLAIRE Si/SiGe POUR LES AUTRES FABRICANTS	71
I.	FREESCALE	71
II.	IBM	72
III.	IHP	73
1.	Un lien latéral	73
2.	Une base extrinsèque épitaxiée	74
3.	Une base extrinsèque élevée	75
IV.	IMEC	76
V.	INFINEON	78

VI. HITACHI	78
VII. TOWERJAZZ	79
VIII. AUTRES COMPROMIS F_T/F_{MAX}	80
C. BILAN SUR L'ETAT DE L'ART	80
D. LES PREVISIONS DE L'ITRS 2013	82

CHAPITRE III. OPTIMISATION DE LA RESISTANCE DE BASE ET IMPACT DU BUDGET

THERMIQUE	85
A. PROFILS DE LA BASE INTRINSEQUE ET ESSAIS POUR LE MATERIAU POLYBASE	87
I. PROFIL DE BASE INTRINSEQUE	87
1. Diffusion du bore de la base intrinsèque	87
2. Epaisseur du SiCap	89
3. Quantité de carbone	90
4. Conclusion sur le profil de base intrinsèque	91
II. ETUDES SUR LE MATERIAU POLYBASE POUR L'OPTIMISATION DU LIEN	91
1. Etudes sur le dopage du polybase	92
2. Fabrication du matériau polybase	96
3. Conclusion sur l'étude du matériau polybase	103
B. RECUIT ADDITIONNEL POUR L'OPTIMISATION DE LA RESISTANCE DE LIEN	104
I. AJOUT D'UN RECUIT INTERMEDIAIRE EN TECHNOLOGIE B5T	104
1. Influence de la température du recuit additionnel	104
2. Influence de la position du recuit	110
3. Influence du profil de base	114
II. AJOUT D'UN RECUIT POST-BASE EN TECHNOLOGIE B55	116
1. Recherche d'un optimum en température par simulation	117
2. Essais sur silicium	118
3. Compatibilité de ce recuit post-base dans un nœud BiCMOS	120
III. CONCLUSION	123
C. LE BUDGET THERMIQUE COMME SOURCE DE DIFFUSION ET/OU D'ACTIVATION DES DOPANTS	126
I. IMPACT D'UN RECUIT LASER MILLI-SECONDE	126
1. Effet d'un recuit laser DSA sur le transistor bipolaire	127
2. Impact d'un recuit DSA sur les transistors MOS	129
3. Conclusion	130
II. RECUIT LASER DSA COMBINE AU RECUIT POST-BASE	131
1. Effet des deux recuits simultanés sur les transistors bipolaires	131
2. Impact des deux recuit simultanés sur les transistors MOS	134
3. Conclusion	135
D. CONCLUSION DU CHAPITRE	136

CHAPITRE IV. UNE ARCHITECTURE BAS-COUT AVEC COLLECTEUR TOTALEMENT IMPLANTE

137

A.	LE TRANSISTOR COLLECTEUR IMPLANTE EN BICMOS9MW	138
I.	PREMIERE ARCHITECTURE DEVELOPPEE	138
II.	EPITAXIE SELECTIVE DU COLLECTEUR	140
III.	LIMITATIONS & PERSPECTIVES	140
B.	SIMULATIONS	141
I.	SIMULATIONS TCAD : ETAPE PAR ETAPE	141
1.	Référence B55 DPSA-SEG	141
2.	Collecteur implanté	142
3.	Collecteur implanté avec SIC	143
4.	Réduction des dimensions latérales	143
5.	Intérêt du SSTI	144
6.	Variation des conditions d'implantation du collecteur	144
7.	Variation de la largeur des STI	144
8.	Dispositif final	145
II.	COMPARAISON DES PERFORMANCES DES DIFFERENTES STRUCTURES SIMULEES PAR RAPPORT A LA REFERENCE B55	146
C.	STRUCTURES ETUDIEES SUR SILICIUM	147
I.	DIFFERENTES STRUCTURES POUR LE TRANSISTOR BIPOLAIRE	148
1.	Architecture standard CBEBEC	148
2.	Structure réduite BEC	148
3.	Structure créneau	149
4.	Structures doubles CEBEC & CBEBECBEC	150
5.	Variations des règles de dessin	150
II.	STRUCTURES POUR L'EXTRACTION DE LA RESISTANCE COLLECTEUR	151
D.	TRANSISTORS A COLLECTEUR IMPLANTE SUR SILICIUM	151
I.	PREMIERS ESSAIS SILICIUM POUR UN COLLECTEUR IMPLANTE	151
1.	Variation en dose et en énergie de l'implantation collecteur	152
2.	Etudes des différentes structures et règles de dessins	157
3.	Conclusions	164
II.	UNE DOUBLE IMPLANTATION POUR LE COLLECTEUR	165
1.	Simulations préalables	165
2.	Une double implantation As et P	166
E.	BILAN DES DIFFERENTS ESSAIS	170
F.	PERSPECTIVES	172
G.	NOUVEAUX RESULTATS OBTENUS	174
I.	DOPAGE SUPPLEMENTAIRE SOUS LE CONTACT COLLECTEUR	174
II.	MATRICE DE CELLULES UNITAIRES	175
III.	COMPARAISON DES NOUVELLES STRUCTURES EMBARQUEES	177
H.	CONCLUSION DU CHAPITRE	179

CHAPITRE V. ETUDE DE L'IMPACT DES INTERCONNEXIONS METALLIQUES DU BEOL DU TRANSISTOR BIPOLAIRE

181

A.	EN TECHNOLOGIE BiCMOS9MW	184
I.	STRUCTURES DEDIEES	184
II.	IMPACT MECANIQUE DES CONNEXIONS SUR LE TRANSISTOR	186
	1. Simulations COMSOL	186
	2. Résultats électriques	193
	3. Conclusion	198
III.	COMPORTEMENT THERMIQUE	198
	1. Simulations	198
	2. Extraction de la résistance thermique sur silicium	202
	3. Résultats en puissance	205
	4. Conclusion	208
IV.	CONCLUSION DE L'ETUDE EN BiCMOS9MW	208
B.	EN TECHNOLOGIE BiCMOS055	209
I.	STRUCTURES ETUDIEES	209
II.	IMPACT MECANIQUE EN B55	211
	1. Simulations	211
	2. Influence de la contrainte du BEOL sur les résultats électriques	213
	3. Conclusion	217
III.	COMPORTEMENT THERMIQUE	218
	1. Simulations	218
	2. Extraction paramètres thermiques à partir des courbes $I_B (V_{CB})$	220
	3. Paramètres de puissance	221
	4. Conclusion	224
C.	CONCLUSION DU CHAPITRE ET PERSPECTIVES	225
CONCLUSION GENERALE		227
ANNEXES		231
A.	CALCUL DES COURANTS IDEAUX	231
B.	METHODES DE CARACTERISATION ET DE SIMULATION POUR L'ETUDE DU TRANSISTOR BIPOLAIRE	235
I.	CARACTERISATION PHYSIQUE	235
	1. Coupe d'un transistor par imagerie TEM / SEM	235
	2. Analyse des profils de dopants par SIMS	236
II.	EXTRACTION DES PARAMETRES ELECTRIQUES	237
	1. Tests paramétriques statiques	237
	2. Mesures manuelles	241
	3. Extraction des paramètres S pour des mesures fréquentielles	242
III.	MESURES DE PUISSANCE VIA UN BANC <i>LOADPULL</i>	244
	1. Montage du banc loadpull et calibration	244
	2. Caractérisation en puissance	245
IV.	DES SIMULATIONS POUR COMPRENDRE ET ANTICIPER : SIMULATIONS TCAD VIA SYNOPSIS	247

PUBLICATIONS DE L'AUTEUR **249**

BIBLIOGRAPHIE **251**

Notations

Constantes	Symbole	Valeur	Unité
Charge élémentaire	q	$1,602.10^{19}$	A.s = C
Constante de Boltzmann	k	$1,381.10^{-23}$	J.K ⁻¹
Densité intrinsèque de porteurs dans le silicium (T=300K)	$n_{i,Si}$	10^{10}	at.cm ⁻³
Paramètre de maille pour le germanium	a_{Ge}	0,566	nm
Paramètre de maille pour le silicium	a_{Si}	0,543	nm
Permittivité du vide	ϵ_0	$8,854.10^{12}$	m ⁻³ kg ⁻¹ s ⁴ A ²
Variables	Symbole		Unité
Capacités de jonction Base/Emetteur & Base/Collecteur	C_{BE} / C_{BC}		fF
Coefficient de diffusion des trous / des électrons	D_p / D_n		m ² .s ⁻¹
Concentrations d'ions donneurs (dopage N) / accepteurs (dopage P)	N_d / N_a		at.cm ⁻³
Densité intrinsèque de porteurs	n_i		at.cm ⁻³
Densités équivalentes d'état dans la bande de conduction / dans la bande de valence	N_C / N_V		at.cm ⁻³
Epaisseur de la base neutre	W_B		nm
Fréquence de transition du gain en courant	f_T		GHz
Fréquence maximale d'oscillation	f_{MAX}		GHz
Longueur de diffusion des trous / des électrons	L_p / L_n		m
Masse effective des trous / électrons	m_p^* / m_n^*		-
Mobilité des trous /électrons	μ_p / μ_n		cm ² /(V.s)
Résistances d'émetteur / de base / de collecteur	$R_E / R_B / R_C$		Ω
Température	T		K
Tension de polarisation Base/Collecteur	V_{BC}		V
Tension de polarisation Emetteur/Base	V_{BE}		V
Tension thermique	$V_{th}=kT/q$		V

Glossaire

BEOL ou *back-end-of-line* : Ensemble des interconnexions métalliques et couches de diélectriques qui constituent la connexion du transistor

BiCMOS : Co-intégration du transistor bipolaire dans un nœud CMOS

BiCMOS9MW ou **B9MW** : Technologie BiCMOS dans un nœud 0,13µm (STMicroelectronics)

B3T, B4T, B5T : Différents nœuds d'études avancées à partir de la technologie BiCMOS9MW

BiCMOS055 ou **B55** : Technologie BiCMOS dans un nœud 55 nm (STMicroelectronics)

Capacité de fringing : Capacité de couplage

CMP : Polissage chimico-mécanique utilisé pour aplanir les reliefs sur des surfaces d'oxyde ou métalliques. Une surface plane permet une meilleure focalisation pour la lithographie

De-embedding : ou épiluchage. Il est utilisé lors des mesures de paramètres S, pour soustraire les contributions résistives et capacitives du BEOL des performances d'un composant. Pour cela des structures dédiées sont utilisées : Open (circuit ouvert) et Short (court-circuit au métal 1, en enlevant la partie FEOL).

DTI (Deep Trench Isolation) : Tranchées d'isolation profondes, qui isolent le composant de son plus proche voisin

Dummies : Lignes de métal traditionnellement utilisées pour simuler la présence de lignes voisines, mais non utiles électriquement

Energie de bande interdite ou *bandgap* : Energie définissant l'écart entre la bande de conduction et la bande de valence d'un matériau, on définit le type d'un matériau (métal / semiconducteur / isolant) en fonction de la valeur de cette énergie de sa valeur

FEOL ou *front-end-of-line* : décrit l'ensemble des étapes et structures réalisées jusqu'au contact

Layout : Schéma superposé des différents masques utilisés pour la fabrication des composants

Mesures DC : Mesures électriques statiques, sans injection de puissance et pour une fréquence nulle

Photo/lithographie : Procédé d'impression de motifs grâce à un faisceau de photons qui permet de retirer la résine dans les motifs définis par les masques

Polybase : Silicium polycristallin formant la base extrinsèque du transistor bipolaire

Polyémetteur : Silicium polycristallin déposé pour la formation de l'émetteur du transistor bipolaire

RF : Radio Fréquences

SEM (*Scanning Electron Microscopy*) : Méthode de caractérisation pour observer une coupe 2D d'une structure, un faisceau d'électrons balaye la structure et les électrons réfléchis par le matériau sont analysés

SiCap : Couche de silicium monocristallin non dopée terminant l'épitaxie de la base

SiGe : Alliage silicium-germanium, utilisé pour la base intrinsèque du TBH en particulier

SIMS (*Secondary Ion Mass Spectroscopy*) : Méthode d'analyse du contenu atomique d'une structure

STI (*Shallow Trench Isolation*) : Tranchées d'isolation peu profondes, pour l'isolation de la zone active du transistor bipolaire par rapport à la prise collecteur en particulier

TBH : Transistor bipolaire à hétérojonction

TEM (*Transmission Electron Microscopy*) : Méthode de caractérisation pour observer une coupe 2D d'une structure, un faisceau d'électrons balaye la structure et les électrons transmis à travers le matériau sont analysés

ZCE : Zone de charge d'espace pour une jonction PN, c'est à dire zone dans laquelle les porteurs de charges sont déplétés

Introduction générale

Le transistor bipolaire a été inventé en 1948 par Bardeen, Brattain et Shockley, transistor à l'époque de dimension macroscopique et d'un gain en courant d'ordre 100. Ils reçoivent le prix Nobel de Physique en 1956 pour leur découverte, à l'origine d'une véritable révolution dans le domaine de l'électronique. La théorie des structures à hétérojonction apparaît cependant plus tard en 1957 avec Alferov et Kroemer, récompensés en 2000 du prix Nobel de Physique. Les matériaux semiconducteurs III-V sont alors utilisés pour développer les premiers composants. Faute de moyens techniques adaptés pour le dépôt de silicium/germanium, les premiers transistors bipolaires à hétérojonction (TBH) sur silicium ne sont fabriqués qu'à partir de 1987 avec le développement de procédés d'épitaxie et de dépôt par CVD.

Aujourd'hui, dans un contexte où le plus petit et le plus rapide font lois, les transistors bipolaires sont utilisés en co-intégration avec les transistors MOS, pour des technologies appelées BiCMOS. On tire ainsi parti de la haute densité d'intégration et de la faible consommation des transistors MOS, de la rapidité et du faible bruit des transistors bipolaires.

Les circuits BiCMOS sont notamment utilisés pour le développement de circuits analogiques RF. Le transistor bipolaire permet ainsi de développer divers circuits dont des amplificateurs de puissance, des convertisseurs N/A et A/N, des oscillateurs contrôlés en tension (VCO) etc. Les domaines d'application de tels circuits sont variés : communications haute fréquences, serveurs, radars anticollisions à 77 GHz, imagerie et détection THz. Avec un marché des tablettes mais aussi des téléphones mobiles toujours en essor, et à l'aube du développement de l'internet des objets, il paraît essentiel de pouvoir fournir des circuits rapides et compétitifs.

Historiquement les premiers sur le marché, les transistors (TBH, HEMT) en technologie III-V sont aujourd'hui la valeur de référence pour les applications très hautes fréquences et de puissance. Avec leur large bande d'énergie interdite, ils ont une très bonne tenue en tension et de fortes mobilités. Ces technologies souffrent cependant parfois de coûts de fabrication élevés, et les TBH Si/SiGe:C se placent alors comme une alternative moins chère du fait de la co-intégration des circuits logiques MOS et des circuits analogiques sur un même substrat.

Dans ce contexte, la technologie Si/SiGe:C est maintenant développée et utilisée depuis une trentaine d'années. L'incorporation de germanium dans la base a permis des avancées majeures en termes de performances par rapport au simple transistor à homojonction sur silicium. Les TBH de STMicroelectronics actuels sont d'architecture DPSA-SEG (*Double-Polysilicium Self-Aligned, Selective Epitaxial Growth*), une architecture bien maîtrisée mais qui présente cependant des limitations. Dans cette thèse, nous avons étudié séparément trois thématiques à partir d'un tel transistor, de la résistance de base à l'influence des connexions métalliques, en passant par le module collecteur. Nos études se focalisent principalement sur les TBH, sans oublier le contexte de l'intégration dans une technologie BiCMOS.

Dans un premier chapitre nous présentons la théorie du transistor bipolaire, du transistor à homojonction à celui à hétérojonction. L'utilisation de l'alliage silicium germanium change

les propriétés intrinsèques de la base mais modifie également le fonctionnement global du transistor. L'effet théorique sur les principaux paramètres est décrit dans ce chapitre. On détaillera également les différentes contributions qui jouent sur le comportement statique et dynamique du composant.

Dans le deuxième chapitre, nous présentons les étapes de fabrication des dernières générations de la technologie BiCMOS chez STMicroelectronics, de BiCMOS9MW à BiCMOS055. BiCMOS055 est la dernière plateforme en développement, donc pas encore au stade de production ; c'est la première technologie BiCMOS en nœud 55 nm au monde. Nous dressons ensuite une liste non exhaustive des technologies concurrentes à la nôtre.

Le troisième chapitre détaille plusieurs essais pour l'optimisation de la résistance de base, pour l'amélioration de la fréquence maximale d'oscillation f_{MAX} . Nous voyons tout d'abord des études préliminaires sur le profil de base intrinsèque et le matériau polybase. Pour favoriser la diffusion du bore dans le lien entre la base intrinsèque et la base extrinsèque, et donc pour une meilleure résistance de base, nous avons ajouté un recuit après l'épitaxie de la base intrinsèque. Son impact est étudié en fonction de sa température, de sa position dans la route de fabrication et du profil de la base telle que déposée. Nous analysons aussi l'impact du budget thermique sur l'activation des dopants à l'aide d'un recuit laser milliseconde. La combinaison des deux recuits conclut ce chapitre, et montre des perspectives intéressantes.

Le développement d'une structure bas-coût fait l'objet du quatrième chapitre. Dans le but d'obtenir les mêmes performances pour une fabrication simplifiée, nous avons étudié la faisabilité d'une telle structure à travers des simulations, conçu des architectures à partir des résultats et fabriqué les composants correspondants sur silicium. Il s'agit de transistors à collecteur dit « tout implanté », où la forte implantation de la couche enterrée en technologie BiCMOS055 est remplacée par une implantation collecteur en surface. La recherche du profil collecteur le plus adapté et de la structure permettant les meilleures performances font l'objet de ce chapitre.

Enfin le cinquième et dernier chapitre concerne l'étude de l'impact des connexions métalliques surplombant le composant bipolaire. La densité de ces lignes de métal génère des niveaux de contraintes résiduelles plus ou moins grands, qui se répercutent dans le substrat et modifient certaines propriétés des matériaux, et donc certains paramètres du TBH. A travers des études mécaniques, électriques et thermiques réalisées sur des structures dédiées et en plateforme BiCMOS9MW et BiCMOS055, nous voyons l'importance de la prise en compte de ces connexions lors de la conception de circuits.

Chapitre I. Le transistor bipolaire à hétérojonction Si/SiGe:C

Dans ce premier chapitre, nous présenterons le transistor bipolaire qui fait l'objet de ce manuscrit dans sa généralité mais aussi dans le cas particulier d'un transistor à hétérojonction Si/SiGe:C. Nous verrons les équations qui régissent son fonctionnement et les effets du premier et du second ordre qui éloignent le composant d'un comportement dit idéal.

A. Le transistor bipolaire silicium à homojonction

I. Schéma de principe et premières définitions

Le **transistor bipolaire (TB)** correspond à la juxtaposition de deux jonctions PN « tête-bêche » comme schématisé sur la Figure 1. On définit alors un **émetteur**, une **base** et un **collecteur** : dans le cas d'un transistor à **homojonction** les trois régions du composant sont toutes constituées du même matériau semiconducteur et dans notre cas d'étude, de silicium. L'appellation TB NPN correspond aux types de dopants dans chacune de ces régions, respectivement N, P et N. Les espèces utilisées ici sont le bore (B) pour un dopage P, créant ainsi une zone où les trous sont les porteurs de charge majoritaires ; et l'arsenic (As) ou le phosphore (P) où le transport de charge majoritaire est assuré par les électrons.

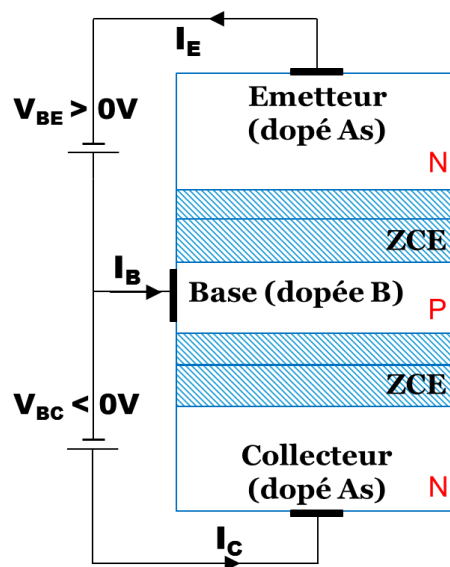


Figure 1 : Schéma d'un transistor bipolaire NPN polarisé en « mode direct »

Dans le mode de fonctionnement le plus classique du TB -c'est-à-dire en mode direct-, la **jonction Base/Émetteur B/E** est polarisée en direct ($V_{BE} > 0V$), et la **jonction Base/Collecteur B/C** en inverse ($V_{BC} < 0V$). Ces polarisations vont moduler les deux **zones de charge d'espace (ZCE)** (aussi appelées zones de déplétion) ainsi créées et déterminer le mode et l'amplitude du transport des charges.

La Figure 2 représente le diagramme de bande correspondant à un tel fonctionnement. On voit alors que les trous se déplacent de la base vers l'émetteur, du côté de la barrière énergétique la plus faible -ce qui correspond à la composante principale du **courant de base I_B** -, tandis que les électrons vont de l'émetteur au collecteur, attirés par le minimum d'énergie de la bande de conduction : ce déplacement de charges correspond au **courant collecteur I_C** . Dans la jonction B/E d'un transistor bipolaire à homojonction, la barrière d'énergie vue par les trous est de même hauteur que celle vue par les électrons.

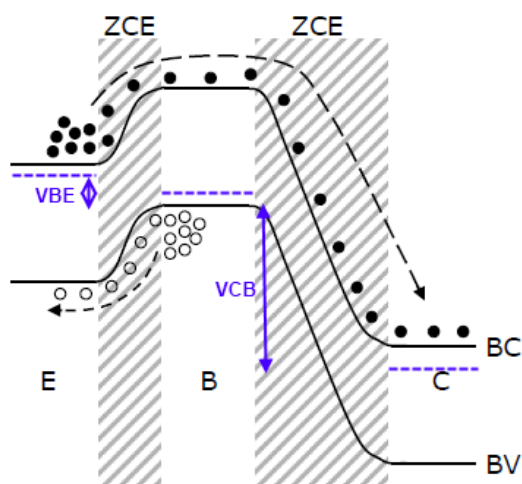


Figure 2 : Diagramme de bandes pour un transistor bipolaire polarisé en « mode direct »

Pour un meilleur transport des électrons de l'entrée vers la sortie du TB, le profil de dopage est dégressif, c'est-à-dire qu'en absolu, l'émetteur est plus dopé que la base qui elle-même est plus dopée que le collecteur (Figure 3). Si le dopage de l'émetteur est supérieur à celui de la base, la barrière d'énergie à franchir pour les électrons au niveau de la jonction B/E est réduite. D'autre part, on cherche à limiter l'extension de la ZCE B/C côté base pour éviter des effets non désirés qui bouleverseraient le comportement du transistor, on a donc besoin d'une base plus dopée que le collecteur.

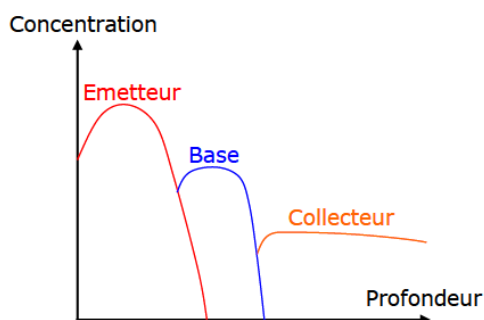


Figure 3 : Profil de dopage d'un transistor bipolaire NPN

II. Expression des courants pour un transistor bipolaire Si

Le transistor bipolaire est un composant faisant intervenir deux types de porteurs de charge, les trous et les électrons, de manière non symétrique. En mode direct, le courant de base agit alors comme un paramètre de contrôle sur l'amplification du courant d'émetteur en courant collecteur. Dans cette partie nous allons voir en détail l'expression des courants de base et de collecteur en fonction des paramètres intrinsèques des matériaux et des polarisations.

1. Les différentes contributions aux courants

Avec la jonction B/E en polarisation directe, les électrons sont injectés de l'émetteur vers la base (I_{nE}) tandis que les trous vont vers l'émetteur (I_{pE}). Les électrons parvenus dans la base sont alors des porteurs minoritaires et peuvent se recombiner dans le volume de la base : c'est le courant de recombinaison I_{rB} . Un courant de recombinaison peut également exister au sein de la ZCE de la jonction B/E, I_{rG} . Les électrons qui parviennent jusqu'au collecteur constituent le courant I_{nC} .

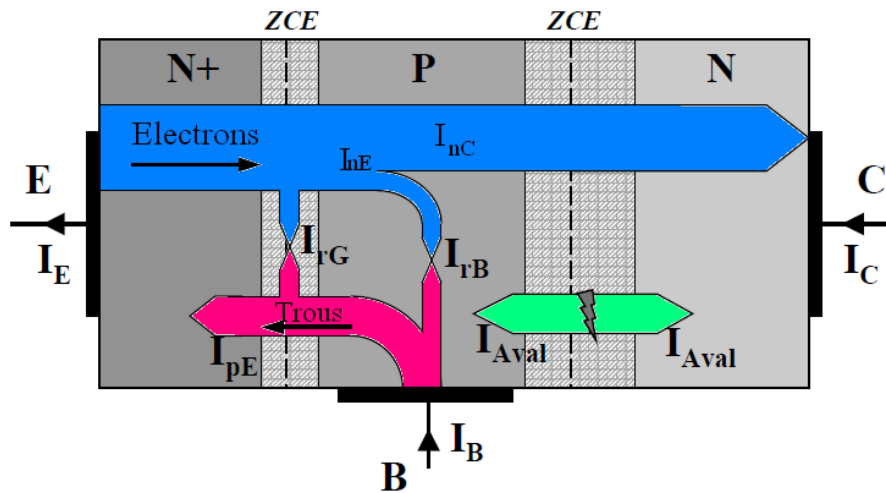


Figure 4 : Schéma des principaux courants régissant le fonctionnement du transistor bipolaire

A l'aide de la Figure 4 et grâce à la loi des nœuds, les contributions des courants de base I_B , de collecteur I_C et d'émetteur I_E peuvent s'écrire sous la forme :

$$\begin{cases} I_C = I_{nC} = I_{nE} - I_{rB} \\ I_B = I_{pE} + I_{rB} + I_{rG} \\ I_E = I_{nE} + I_{pE} + I_{rG} = I_{nC} + I_{rB} + I_{pE} + I_{rG} \end{cases} \quad (1)$$

$$I_E = I_C + I_B$$

Avec I_{nC} le courant d'électrons ayant traversé la base ;
 I_{nE} le courant d'électrons injectés de l'émetteur vers la base ;
 I_{rB} le courant de recombinaison dans la base neutre ;
 I_{pE} le courant de trous injectés dans l'émetteur ;
 I_{rG} le courant de recombinaison dans la ZCE de la jonction B/E.

L'origine du courant d'avalanche I_{aval} sera discuté plus tard dans ce chapitre.

2. Expressions des courants idéaux I_C et I_B

2.a. Courant collecteur

Le courant collecteur correspond aux électrons injectés au niveau de l'émetteur par les sources de tension, qui ont réussi à traverser la base.

La démonstration peut être trouvée en annexe. L'expression du courant collecteur idéal pour un transistor bipolaire silicium est alors :

$$I_C = A_e J_n = \frac{q A_e}{G_B} \exp\left(\frac{q V_{BE}}{kT}\right) \quad (2)$$

- $G_B = \frac{W_B N_{aB}}{D_{nB} \cdot n_{iB}^2}$ est le nombre de Gummel associé à la base.
- A_e est l'aire de la fenêtre émetteur à travers laquelle circule la densité de courant J_n
- N_{aB} est la densité de dopants accepteurs activés dans la base dopée p
- D_{nB} est la constante de diffusion des électrons (minoritaires) dans la base dopée p
- n_{iB} est la densité de porteurs intrinsèques du matériau constituant la base, ici le silicium
- W_B est l'épaisseur de la base neutre

Pour un profil de dopage non uniforme, le nombre de Gummel a alors l'expression suivante :

$$G_B = \int_0^{W_B} \frac{N_{aB}(x)}{D_{nB}(x) \cdot n_i^2(x)} dx \quad (3)$$

On remarque que ce courant I_C est notamment inversement proportionnel à l'épaisseur de la base neutre W_B , qui va être définie par la diffusion des espèces dopantes lors de la fabrication du transistor (B et As). Le courant collecteur idéal dépend donc des propriétés de la base.

2.b. Courant de base

Pour le calcul du courant de base, on se place dans le cas simple où les courants de recombinaison I_{rB} et I_{rG} sont négligeables et où le courant de diffusion des trous dans l'émetteur I_{pE} est la composante principale. On peut trouver l'ensemble de ces calculs dans l'Annexe A.

Dans une première approximation, considérons le cas d'un émetteur fin où l'épaisseur de l'émetteur W_E est très inférieure à la longueur de diffusion des trous dans l'émetteur L_{pE} ($W_E \ll L_{pE}$).

$$I_B = A_e J_p = \frac{q A_e}{G_E} \exp\left(\frac{q V_{BE}}{kT}\right) \quad (4)$$

- $G_E = \frac{W_E N_{dE}}{D_{pE} \cdot n_{iE}^2}$ est le nombre de Gummel associé à l'émetteur.
- A_e est l'aire de la fenêtre émetteur à travers laquelle circule la densité de courant J_p
- N_{dE} est la densité d'ions donneurs activés dans l'émetteur dopé n
- D_{pE} est la constante de diffusion des trous (minoritaires) dans l'émetteur dopé n
- n_{iE} est la densité de porteurs intrinsèques du matériau constituant l'émetteur, ici le silicium
- W_E est l'épaisseur de l'émetteur neutre

Pour un dopage non uniforme, on peut généraliser l'expression du nombre de Gummel :

$$G_E = \int_{-W_E}^0 \frac{N_{dE}(x)}{D_{pE}(x) \cdot n_i^2(x)} dx \quad (5)$$

Dans le cas d'un émetteur large ($W_E \gg L_{pE}$),

$$I_B = \frac{qA_e}{G_E} \exp\left(\frac{qV_{BE}}{kT}\right) \quad \text{avec} \quad G_E = \frac{L_{pE}N_{dE}}{D_{pE}n_{iE}^2} \quad (6)$$

Cette fois le nombre de Gummel pour l'émetteur G_E est proportionnel à la longueur de diffusion des trous dans l'émetteur L_{pE} . Et le courant de base dépend des caractéristiques de l'émetteur.

2.c. Gains en courant

L'extraction des gains en courant permet l'évaluation de l'amplification réalisée par le composant. Cette information est particulièrement utile lors du design de circuits électroniques.

2.c.i. Gain pour un montage en base commune (α)

Le gain en courant du montage en base commune (Figure 5) s'écrit comme le rapport du courant en sortie sur le courant en entrée :

$$\alpha = \frac{I_C}{I_E} \quad (7)$$

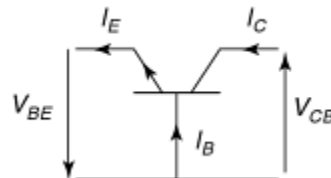


Figure 5 : Représentation schématique d'un transistor bipolaire en montage base commune

En général, le courant de recombinaison dans la base est relativement faible, donnant un courant d'émetteur légèrement plus grand que le courant de collecteur. On a donc un gain en courant α inférieur à l'unité, proche de 1. Ce gain permet de caractériser ce type de circuit, utilisé dans les cas où le transistor doit fonctionner avec une impédance d'entrée donnée, ou lorsque le gain en courant n'est pas le paramètre principal du circuit.

2.c.ii. Gain montage émetteur commun (β)

La configuration la plus usuelle pour l'utilisation d'un transistor bipolaire est le montage émetteur commun, représenté Figure 6.

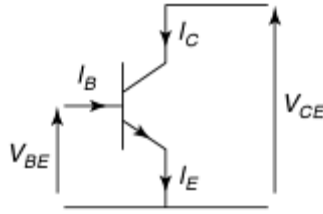


Figure 6 : Représentation schématique d'un transistor bipolaire en montage émetteur commun

Le gain en courant est le rapport du courant de sortie (I_C) sur celui d'entrée (I_B). Avec les expressions (2) et (6) établies dans la partie précédente, on peut écrire :

$$\beta = \frac{I_C}{I_B} = \frac{G_E}{G_B} \quad (8)$$

Soit dans le cas d'un émetteur épais ($W_E \gg L_{pE}$) et une base étroite ($W_B \ll L_{nB}$) :

$$\beta = \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \cdot \frac{n_{iB}^2}{n_{iE}^2} \quad (9)$$

Dans un transistor bipolaire silicium, les densités d'états intrinsèques sont les mêmes dans tout le composant et on peut écrire simplement :

$$\beta_{Si} = \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \quad (10)$$

B. Le transistor bipolaire à hétérojonction Si/SiGe:C

Dans une première partie nous avons présenté les principales caractéristiques d'un transistor bipolaire silicium. Aujourd'hui cependant, les transistors bipolaires silicium les plus performants utilisent les avantages d'un alliage SiGe, créant ainsi un **transistor bipolaire à hétérojonction (TBH)**. Nous allons voir maintenant quels sont les avantages apportés par ce matériau et dans quelle mesure les paramètres du composant vont être modifiés.

I. Propriétés de l'alliage SiGe

Le silicium (paramètre de maille : $a_{Si}=0.543\text{nm}$) et le germanium ($a_{Ge}=0.566\text{nm}$) sont deux éléments de la colonne IV du tableau périodique des éléments chimiques, tous deux de structure cristalline diamant. En tant que tels, ils ont 4 électrons de valence qui vont permettre la création de liaisons covalentes entre les atomes au sein de leur réseau cristallin. Quand on forme l'alliage $\text{Si}_{1-x}\text{Ge}_x$ avec $0 < x < 1$, le paramètre de maille de cet alliage s'exprime dans une première approximation par la loi de Vegard (Denton and Ashcroft 1991) :

$$a_{SiGe}(x) = (1 - x) a_{Si} + x a_{Ge} \quad (11)$$

Lorsque l'on dépose une couche de $\text{Si}_{1-x}\text{Ge}_x$ sur un substrat de silicium monocristallin (par épitaxie par exemple), le désaccord de maille entre le Si et le SiGe crée une contrainte compressive biaxiale dans le plan de la couche $\text{Si}_{1-x}\text{Ge}_x$. Au-delà d'une certaine hauteur

critique t_c dépendant de la concentration de Ge, la contrainte devient trop importante et est relâchée par la création de dislocations.

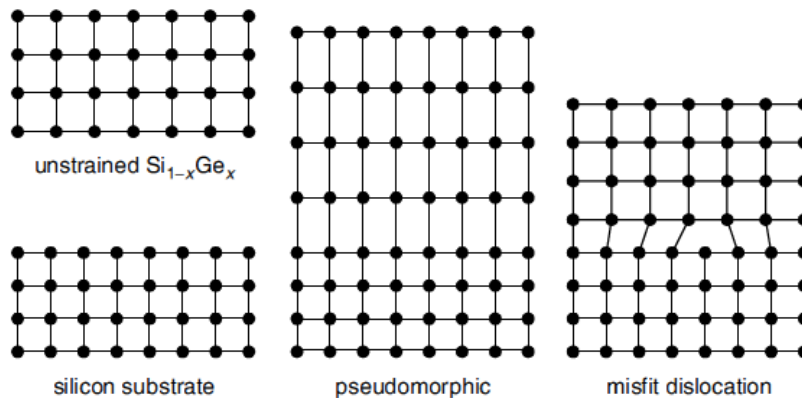


Figure 7 : Adaptation du paramètre de maille pour la croissance du SiGe sur Si (Ashburn 2003)

Les dislocations ne sont pas désirées car en plus de perdre les avantages amenés par la contrainte que l'on va détailler dans la suite, ces défauts vont créer des centres de génération/recombinaison et ainsi favoriser le courant de recombinaison I_{rB} dans la base. La Figure 8 ci-dessous montre l'évolution de t_c (en nm) en fonction du pourcentage de Ge dans l'alliage SiGe. Une zone dite métastable est mise en évidence, correspondant à un alliage non relaxé après croissance du matériau, mais susceptible de l'être lors d'un apport d'énergie ultérieur, lors de la fabrication du transistor.

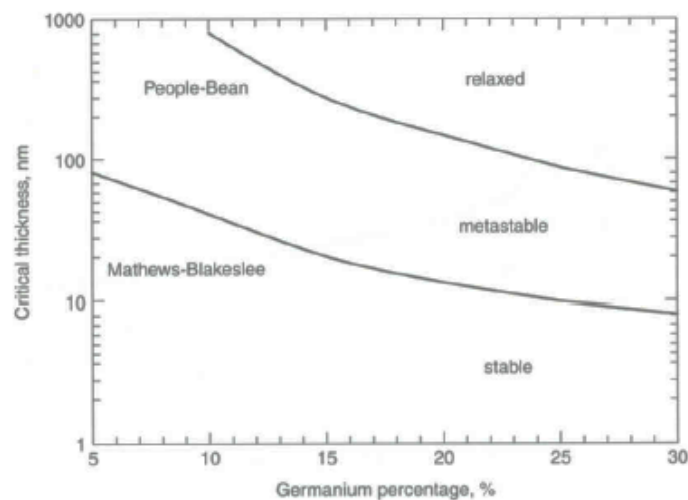


Figure 8 : Evolution de l'épaisseur critique t_c de SiGe en croissance sur un substrat de Si, en fonction de la concentration en Ge de l'alliage x_{Ge} (Ashburn 2003)

Cependant, dans l'élaboration actuelle des TBH, la couche de SiGe utilisée pour la base du composant est ensuite recouverte d'une couche de silicium monocristallin (**SiCap**) aussi utilisée pour contrôler la diffusion des espèces dopantes. La maille du SiCap contraint le SiGe par le haut, empêche la relaxation de cette couche et permet ainsi de décaler la valeur de la hauteur critique et d'augmenter l'épaisseur de la base comme on peut le voir sur la Figure 9.

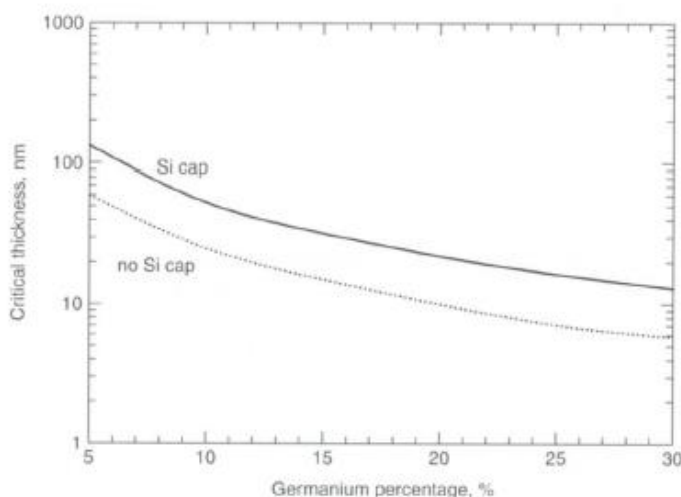


Figure 9 : Hauteur critique d'alliage SiGe pouvant être déposée sur un substrat silicium, avec ou sans SiCap (Ashburn 2003)

La modulation du paramètre de maille pour un alliage $\text{Si}_{1-x}\text{Ge}_x$ implique alors la modification des paramètres intrinsèques au matériau, tels que l'énergie de bande interdite E_g , la mobilité des porteurs de charge μ , leur masse effective m^* , etc.

1. Energie de bande interdite

Le silicium et le germanium sont des semiconducteurs à gap indirect. L'énergie de bande interdite (ou *bandgap*) du silicium ($E_g=1,12\text{eV}$ @ $T=300\text{K}$) est plus grande que celle du germanium ($E_g=0,67\text{eV}$ @ $T=300\text{K}$). Leurs diagrammes d'énergie dans l'espace des vecteurs d'onde k sont représentés Figure 10, les lettres (L Λ Γ Δ X) sont les symboles pour certaines directions ou points du réseau de Brillouin (Mathieu 2009).

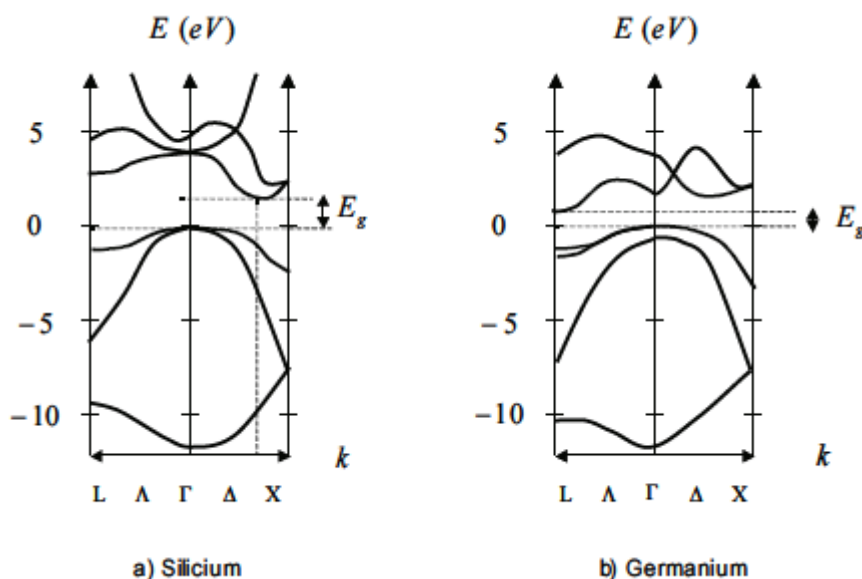


Figure 10 : Diagramme d'énergie dans l'espace des vecteurs d'ondes pour le silicium et le germanium (Mathieu 2009)

Le plus grand paramètre de maille du $\text{Si}_{1-x}\text{Ge}_x$ d'une part, et la contrainte apportée par l'adaptation au paramètre de maille du substrat silicium d'autre part conduisent à une plus faible valeur de l'énergie de bande interdite (*bandgap*) pour le $\text{Si}_{1-x}\text{Ge}_x$ par rapport au Si.

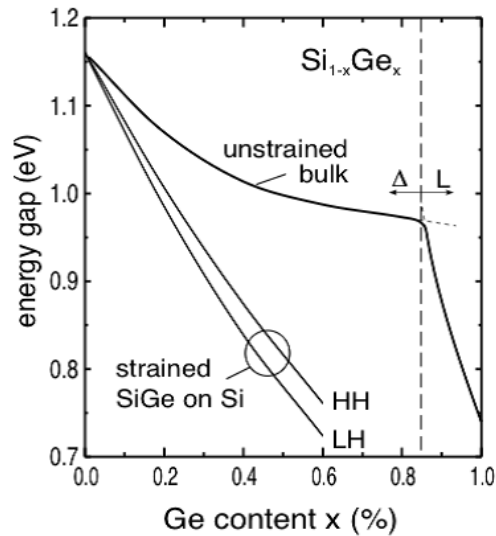


Figure 11 : Variation de l'énergie de bande interdite en fonction de la quantité de germanium dans l'alliage SiGe et de la contrainte du matériau (Ashburn 2003)

La largeur de la bande interdite est donc modulée en fonction de la contrainte existante, qui elle-même dépend de la quantité de Ge dans l'alliage, à une température donnée. Plusieurs équations empiriques existent mais nous retenons celle de (People 1985) :

$$E_{\text{SiGe}}(x, T) = E_{\text{Si}}(T) - 1.02 x + 0.52 x^2 \text{ [eV]} \quad (12)$$

Le dépôt de $\text{Si}_{1-x}\text{Ge}_x$ sur un substrat Silicium se traduit par le raccordement de leur bande d'énergie. A cause de la différence des deux matériaux en termes d'affinité électronique χ et selon la loi d'Anderson (Anderson 1960), le raccordement des deux semiconducteurs est de type (I) (*straddling gap*) avec une variation pour la bande de conduction plus modérée que celle pour la bande valence, comme représenté sur la Figure 12. L'effet côté bande de conduction étant plus limité, il est généralement négligé.

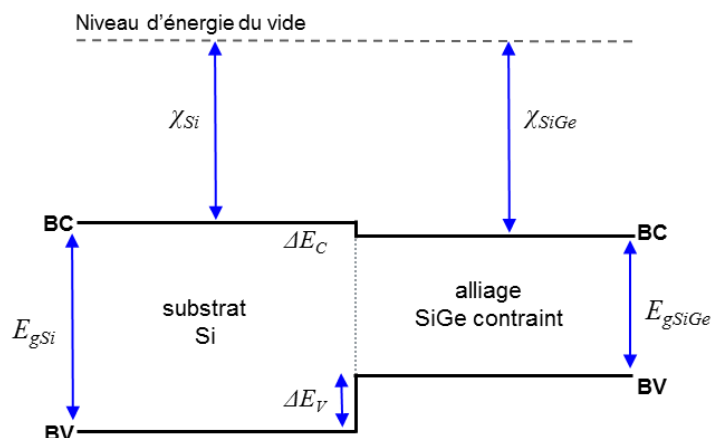


Figure 12 : Alignement des niveaux d'énergie par la loi d'Anderson, pour un substrat de silicium et un alliage de SiGe contraint

La variation d'énergie entre les deux bandes de valence, fonction de la proportion de Ge, peut facilement être calculée (Davies 1998) :

$$\Delta E_V = \chi_{Si} + E_{g_{Si}} - (\chi_{SiGe} + E_{g_{SiGe}}) = 0.74 * x_{Ge} \quad (13)$$

La modification des bandes d'énergie implique alors un certain nombre de variations pour les caractéristiques électroniques du SiGe par rapport au Silicium.

2. Masse effective

La notion de masse effective d'un électron ou d'un trou permet de prendre en compte l'influence du réseau cristallin sur le porteur de charge considéré.

2.a. Cas des électrons

Une particule quasi-libre de charge $-e$ et de masse m_0 devient alors une quasi-particule libre de charge $-e$ et de masse effective m_e . La masse effective agit comme un terme de pondération dans les équations régissant le comportement de l'électron. En considérant une dimension uniquement, elle est inversement proportionnelle à la courbure des bandes d'énergie d'un matériau, notamment pour l'électron, avec \hbar la constante de Planck normalisée :

$$m_e = \frac{\hbar^2}{\frac{d^2E}{dk^2}} \quad (14)$$

En trois dimensions, il faut considérer les directions longitudinales (\parallel) et transverses (\perp) dans l'espace des vecteurs d'ondes \mathbf{k} (Mathieu 2009). On a alors respectivement :

$$m_l = \frac{\hbar^2}{\frac{\partial^2 E}{\partial k_{\parallel}^2}} \quad (15)$$

$$m_t = \frac{\hbar^2}{\frac{\partial^2 E}{\partial k_{\perp}^2}} \quad (16)$$

2.b. Cas des trous

Dans le cas des trous, il faut prendre en compte la dégénérescence de la bande de valence ; il existe une bande de trous lourds (*heavy holes*) et une bande de trous légers (*light holes*). Chacune est caractérisée par sa masse effective, inversement proportionnelle à la courbure des bandes et tient son nom de la valeur de m_{hh}^* & m_{lh}^* . Le calcul de leur expression est détaillé dans (Mathieu 2009).

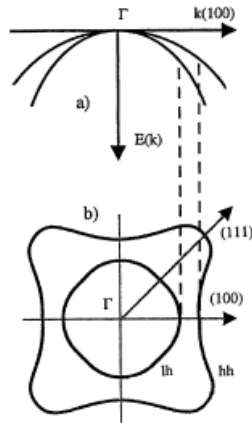


Figure 13 : Courbure des bandes pour les trous lourds (hh) et les trous légers (lh) (Mathieu 2009)

2.c. Masses effectives du SiGe

On a vu que le dépôt d'une couche de SiGe sur un substrat Si génère une contrainte compressive biaxiale dans la première. Celle-ci modifie les courbures des bandes d'énergie et principalement celles de la bande de valence, altérant ainsi son niveau d'énergie. Conséquemment, les masses effectives des trous caractéristiques des bandes diminuent avec la quantité de Ge dans l'alliage.

3. Mobilité

La mobilité des porteurs de charge μ est définie comme leur aptitude à se déplacer dans le réseau cristallin. τ est le temps de relaxation dans le matériau et m^* la masse effective du porteur de charge.

$$\mu = \left| \frac{q\tau}{m^*} \right| \quad (17)$$

Moins le matériau contient d'impuretés, plus la mobilité s'améliore ; la mobilité est également d'autant plus grande que la masse effective est réduite.

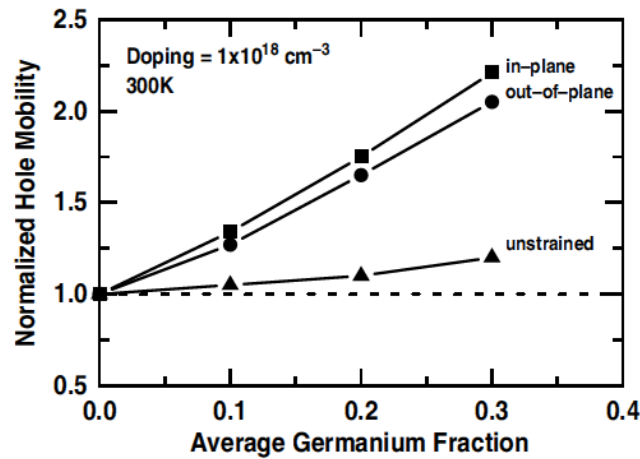


Figure 14 : Variation de la mobilité des trous en fonction de la quantité de germanium et de la contrainte dans l'alliage SiGe (Cressler 2003)

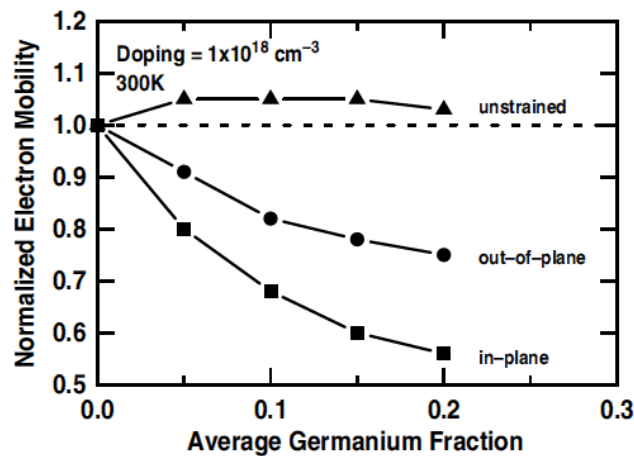


Figure 15 : Variation de la mobilité des électrons en fonction de la quantité de germanium et de la contrainte dans l'alliage SiGe (Cressler 2003)

On constate sur les Figure 14 et Figure 15 issues de (Cressler 2003), que la mobilité des trous dans la base augmente avec la quantité de Ge dans l'alliage SiGe et que cet effet est d'autant plus important quand cet alliage est contraint. Ceci est cohérent avec les conclusions sur la masse effective des trous.

On constate numériquement dans (Mathieu 2009) que pour un même matériau (Si ou Ge en particulier) et une température donnée, la mobilité des électrons est plus grande que celle des trous, de la même manière que la masse effective des électrons est inférieure à celle des trous.

4. Densité d'états

Les densités équivalentes d'état N_C et N_V donnent le nombre d'états actifs dans la bande de conduction et la bande de valence respectivement. Leurs expressions dans le cas d'un semiconducteur non dégénéré (niveau de Fermi hors des bandes permises) sont les suivantes (Mathieu 2009) :

$$N_C = 2 \left(\frac{2\pi m_c kT}{h^2} \right)^{3/2} \text{ avec } m_c = \left(nm_l^{\frac{1}{2}} m_t \right)^{2/3} \quad (18)$$

$$N_V = 2 \left(\frac{2\pi m_v kT}{h^2} \right)^{3/2} \text{ avec } m_v = \left(m_{hh}^{\frac{3}{2}} + m_{lh}^{\frac{3}{2}} \right)^{2/3} \quad (19)$$

On voit bien la relation entre N_C et N_V et les différentes masses effectives. Ainsi on comprend bien que le produit $N_C N_V$ varie avec la quantité de Ge comme on peut le voir sur la Figure 16. Au-delà de 20% de Germanium le rapport $(N_C N_V)_{SiGe} / (N_C N_V)_{Si}$ est quasi-constant.

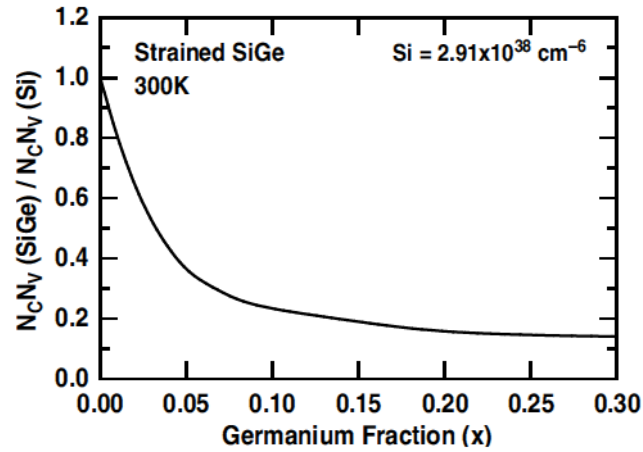


Figure 16 : Comparaison du produit des densités équivalentes d'états $N_C N_V$ dans le SiGe par rapport au Si, en fonction de la quantité de Ge

Un semiconducteur intrinsèque est caractérisé par l'absence d'impuretés ou de défauts susceptibles de modifier la densité de porteurs n ou p . Dans ces conditions, les électrons et les trous sont couplés par paires et $n=p=n_i$. Alors, la densité de porteurs intrinsèques n_i caractéristique du matériau pour une température T donnée s'exprime par (Mathieu 2009):

$$n_i^2 = N_C N_V \exp\left(-\frac{E_g}{kT}\right) \quad (20)$$

Si on calcule le rapport n_{iSiGe}^2 / n_{iSi}^2 , on obtient l'expression suivante :

$$n_{iSiGe}^2 = n_{iSi}^2 \frac{(N_C N_V)_{SiGe}}{(N_C N_V)_{Si}} \exp\left(-\frac{\Delta E_g}{kT}\right) \quad (21)$$

Cette équation sera par la suite utile pour évaluer l'impact du Germanium sur les courants du TBH Si/SiGe:C.

II. Influence de l'hétérojonction Si/SiGe:C sur le fonctionnement du transistor bipolaire

En gardant en tête les différentes propriétés apportées par l'alliage SiGe, nous allons maintenant voir dans quelle mesure l'insertion de Ge dans la base améliore les caractéristiques du TBH Si/SiGe:C.

1. Profil de la base pour un TBH NPN Si/SiGe

1.a. Utilisation d'une couche de SiGe pour la base du TBH

Un transistor bipolaire à hétérojonction Si/SiGe:C est différent d'un transistor bipolaire Silicium car la base du composant est remplacée par une couche de SiGe dopée p (pour un transistor bipolaire NPN). Dans le cas de notre TBH de type NPN, la différence de dopage entre l'émetteur et la base reporte la différence en E_g apportée par l'hétérojonction au niveau de la bande de conduction et diminue ainsi la barrière d'énergie visible par les électrons. D'autre part, la variation de la hauteur de la barrière d'énergie dans la bande de valence vue par les trous est négligeable. L'injection des trous est donc la même que pour un TB mais avec un meilleur transit pour les électrons de la bande de conduction. Ceci est le premier avantage apporté par l'hétérojonction pour l'augmentation des vitesses de fonctionnement.

Les deux figures ci-dessous montrent d'une part l'influence de l'insertion d'un profil constant de Ge dans la base (Figure 17 (a)) et d'autre part celle d'un profil graduel triangulaire (Figure 17 (b)).

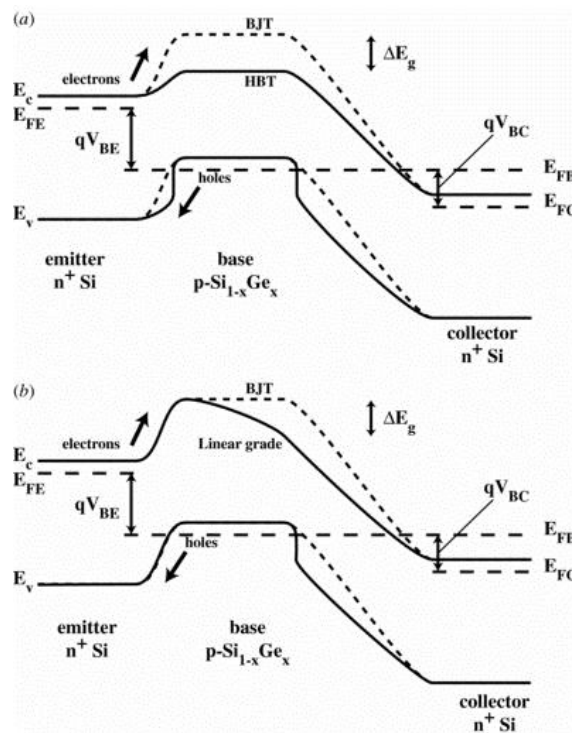


Figure 17 : Diagramme de bandes du TBH Si/SiGe:C par rapport au transistor bipolaire à homojonction Si avec (a) un profil de Ge constant et (b) un profil graduel de Ge dans la base, avec 0% de Ge à l'entrée (D. J. Paul 2004)

Le deuxième avantage d'un TBH SiGe résulte de l'utilisation d'un profil graduel de Ge, comme celui de la Figure 17. Un profil trapézoïdal avec une proportion nulle de Ge au niveau de l'émetteur et une forte proportion au niveau du collecteur, crée ainsi une bande interdite de largeur variable dans la base. Ce gradient de Ge crée un pseudo champ électrique qui accélère les électrons de l'émetteur vers le collecteur et le courant collecteur I_C en résultant est plus élevé que pour un transistor bipolaire Si, pour un même profil de dopage.

1.b. Insertion de carbone dans la base

Afin d'optimiser le fonctionnement du transistor, du carbone est incorporé dans la base autour des atomes dopants de bore de la base pour réduire leur diffusion. Cela permet un meilleur contrôle de la diffusion des dopants, nous autorisant ainsi à utiliser une base plus fine et donc un temps de transit plus court pour les électrons. La présence de carbone dans la base provoque aussi un relâchement limité de la contrainte dans celle-ci. La concentration de carbone insérée reste cependant négligeable par rapport à la densité atomique du silicium et la variation de l'énergie de bande interdite qui y est associée est négligée également.

1.c. Profil de base retenu pour la fabrication d'un TBH Si/SiGe:C

Pour bénéficier de tous les effets cités précédemment, on utilise typiquement un profil de ce type :

- Une couche de silicium monocristallin (SiCap) qui maintient la contrainte dans la base et permet le dépôt d'une couche SiGe plus épaisse.
- Un profil de germanium graduel et rétrograde, pour modifier la hauteur de la barrière d'énergie pour les électrons, et pour créer un champ électrique les accélérant d'autre part.
- L'incorporation de carbone pour limiter la diffusion du bore et permettre un profil de bore plus fin.

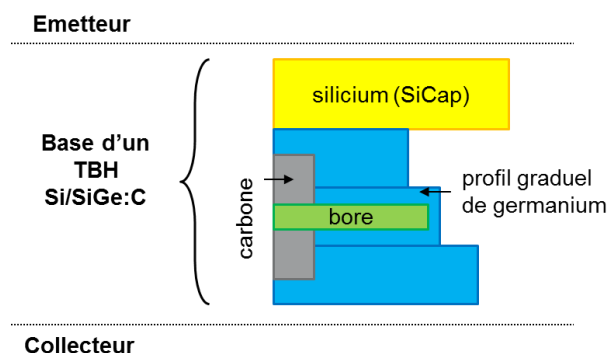


Figure 18 : Profil de base usuel pour un TBH Si/SiGe:C

2. Modification de l'expression des courants pour un TBH SiGe

Voyons à présent dans quelle mesure la présence de germanium va modifier ou non les courants principaux du transistor.

2.a. Courant collecteur

Rappelons tout d'abord l'expression du courant collecteur idéal pour un transistor bipolaire :

$$I_C = A_e J_n = \frac{qA_e}{G_B} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (22)$$

$$\text{Avec } G_B = \frac{W_B N_{aB}}{D_{nB} n_{iB}^2}$$

Pour une densité de dopants N_{aB} fixée, les seuls paramètres susceptibles de varier à cause du SiGe sont D_{nB} et n_{iB} . On exprime n_{iSiGe} en fonction de n_{iSi}

$$n_{iSiGe}^2 = n_{iSi}^2 \frac{(N_C N_V)_{SiGe}}{(N_C N_V)_{Si}} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (23)$$

Et on pose alors

$$\eta = \frac{D_{nBSiGe}}{D_{nBSi}} = \frac{\mu_{nBSiGe}}{\mu_{nBSi}} \quad (24)$$

$$\gamma = \frac{(N_C N_V)_{SiGe}}{(N_C N_V)_{Si}} \quad (25)$$

D'après les variations précédemment explicitées dans la partie B.I, $\eta < 1$ et $\gamma < 1$. La relation d'Einstein permet également d'exprimer η en fonction des mobilités μ des électrons dans la base. L'expression de I_C pour un TBH Si/SiGe devient :

$$I_C = \frac{qA_e}{G_{BSi}} \eta \gamma \exp\left(\frac{qV_{BE} + \Delta E_g}{kT}\right) \quad (26)$$

Les trois paramètres traduisant alors l'impact du Ge et de la contrainte sur le courant collecteur sont η le rapport des constantes de diffusion des électrons dans la base, γ le rapport des densités équivalentes d'état et ΔE_g la variation d'énergie de bande interdite entre le Si et le SiGe. Nous utiliserons ces paramètres pour l'étude de l'impact du stress additionnel apporté par les connexions métalliques dans le chapitre V.

2.b. Courant base

Le courant de base exprimé dans l'équation (6) dépend lui exclusivement des paramètres caractéristiques de l'émetteur. L'utilisation de SiGe n'a donc a priori aucun effet direct sur la valeur du courant base I_B . Cette conclusion est validée dans le cas où on suppose l'absence totale de barrière d'énergie en bande de valence, qui est l'hypothèse faite généralement.

2.c. Gain en courant

On rappelle l'équation (9) qui donne l'expression du gain en courant pour un transistor bipolaire.

$$\beta = \frac{D_{nB} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \cdot \frac{n_{iB}^2}{n_{iE}^2}$$

Pour un TBH SiGe, la différence est que les densités des porteurs intrinsèques n_i ne sont plus égales dans la base et l'émetteur. En utilisant les équations (23) (24) (25), on a alors :

$$\beta_{SiGe} = \frac{D_{nBSiGe} L_{pE} N_{dE}}{D_{pE} W_B N_{aB}} \gamma \exp\left(\frac{\Delta E_g}{kT}\right) = \beta_{Si} \boldsymbol{\eta \gamma} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (27)$$

C. Fonctionnement dynamique du TBH

Les paramètres définis précédemment décrivent le comportement statique du transistor. Mais l'un des intérêts du transistor bipolaire étant ses hautes fréquences de fonctionnement, il nous faut aussi étudier son comportement dynamique. Pour cela définissons les temps de transit et fréquences caractéristiques associées au transistor.

I. Temps de transit

Les performances hautes fréquences du transistor sont déterminées par les porteurs de charges minoritaires stockés dans les différentes régions du transistor. Elles dépendent alors du temps de parcours de ces porteurs dans chacune des zones du TBH. Le paramètre caractéristique de la vitesse de commutation du transistor est le temps de transit direct τ_F , qui correspond au temps nécessaire à un électron injecté au niveau du contact métallique de l'émetteur pour atteindre le contact du collecteur.

C'est un paramètre de modélisation qui peut s'exprimer comme la somme des contributions de chaque partie du transistor :

$$\tau_F = \tau_E + \tau_{EB} + \tau_B + \tau_{BC} + \tau_C \quad (28)$$

Il est défini pour une jonction B/E en polarisation directe et une jonction B/C en polarisation nulle. Sur la Figure 19 ci-après est définie la distribution des porteurs de charges minoritaires simple (émetteur fin et base fine) que nous utilisons pour évaluer au premier ordre chacune des composantes du temps de transit.

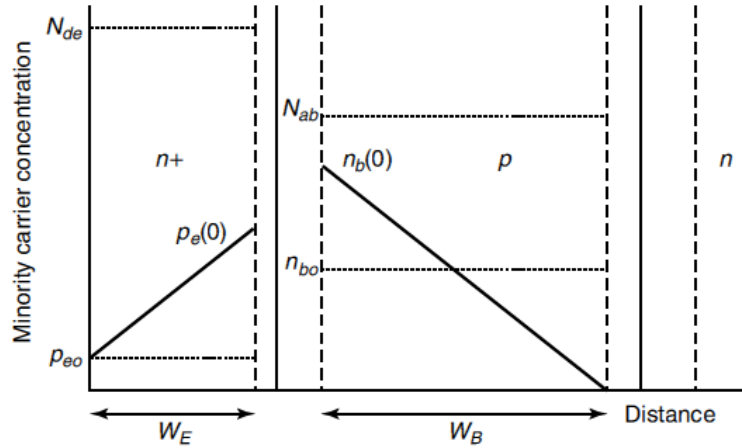


Figure 19 : Distribution des porteurs de charges minoritaires dans la base et l'émetteur d'un transistor bipolaire (Ashburn 2003)

1. Temps de transit dans l'émetteur

Le temps de transit est le temps mis par les électrons pour traverser l'émetteur. Il est défini comme le rapport de la quantité de charge stockée dans l'émetteur Q_e sur le courant collecteur I_C caractéristique du déplacement des électrons.

$$Q_e = qA_e * (\text{aire du triangle}) = qA_e \frac{1}{2} W_E (p_E(0) - p_{E0}) \quad (29)$$

$$\approx \frac{qA_e W_E}{2} \frac{n_{iE}^2}{N_{dE}} \exp\left(\frac{qV_{BE}}{kT}\right)$$

En combinant l'équation ci-dessus avec celle du courant collecteur, on obtient :

$$\tau_E = \frac{Q_e}{I_C} = \frac{W_E W_B}{2} \frac{N_{aB}}{N_{dE} D_{nB}} \frac{n_{iE}^2}{n_{iB}^2} \quad (30)$$

$$\tau_E = \frac{W_E^2}{2D_{pE}} \frac{1}{\beta} \quad (31)$$

Compte tenu de la dépendance en $1/\beta$, τ_E deviendra rapidement faible quand le gain augmente.

2. Temps de transit dans la ZCE base/émetteur

C'est le temps mis par les électrons pour traverser la ZCE de la jonction B/E sous l'influence du champ électrique existant. τ_{EB} s'écrit comme le rapport de la quantité de charge Q_{EB} stockée dans la ZCE base/émetteur sur le courant I_C :

$$\tau_{EB} = \frac{Q_{EB}}{I_C} \quad (32)$$

D'après (David J Roulston 1990), cette charge peut s'exprimer en fonction de la polarisation de la jonction et de la largeur de la ZCE créée :

$$Q_{EB} = qA_e W_{EB} \exp\left(\frac{qV_{BE}}{2kT}\right) \quad (33)$$

Alors on obtient l'expression suivante, en utilisant l'expression de I_C :

$$\tau_{EB} = \frac{W_{EB}}{G_B} \exp\left(-\frac{qV_{BE}}{2kT}\right) \quad (34)$$

On remarque que le temps de transit τ_{EB} diminue rapidement quand V_{BE} augmente. D'autre part, la jonction étant polarisée en direct, la largeur de la ZCE B/E W_{EB} va rester faible. Cette composante de τ_F sera minoritaire dans l'expression du temps de transit total.

3. Temps de transit dans la base

Le temps de transit dans la base est défini comme le rapport de la charge stockée dans la base Q_b sur le courant collecteur I_C . Cette charge s'exprime facilement :

$$Q_b = qA_e * (\text{aire du triangle}) = qA_e \frac{1}{2} W_B n_B(0) \quad (35)$$

La base est considérée très fine ($W_B \ll L_{nB}$) donc la distribution des électrons dans la base peut être considérée comme linéaire et $n_B(0) = n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right)$

Alors, avec l'expression de I_C obtenue précédemment et en considérant la densité intrinsèque de porteurs $n_{iB}^2 = n_{B0} p_{B0} = n_{B0} N_{aB}$, on a :

$$\tau_B = \frac{Q_b}{I_C} = \frac{W_B}{2} n_{b0} G_B = \frac{W_B^2}{2D_{nb}} \quad (36)$$

C'est généralement la composante la plus critique du temps de transit total. On voit l'influence directe de la largeur de la base dans le profil vertical sur le temps de transit, et à fortiori sur la fréquence de transition f_T .

4. Temps de transit dans la ZCE base/collecteur

Comme pour la jonction B/C, le temps de transit τ_{BC} est le temps mis par les électrons pour traverser la ZCE B/C sous l'effet du champ électrique de la zone de déplétion. Un raisonnement rigoureux (Welbourn 1982) amène à l'expression suivante :

$$\tau_{BC} = \frac{W_{BC}}{2 v_{sat}} \quad (37)$$

Ainsi, pour réduire τ_{BC} il faut limiter l'extension de la ZCE B/C : pour cela il faut augmenter le dopage collecteur au détriment des tensions d'avalanche. On met alors en

évidence le compromis existant entre un temps de transit τ_{BC} faible et une forte tension de claquage base-collecteur BV_{CBO} .

5. Temps de transit dans le collecteur

Le temps de transit dans le collecteur est difficile à modéliser (Schröter and Lee 1999), car le collecteur est sujet à la plupart des effets de haute injection, décrits dans la suite de ce chapitre. Il n'est pas exprimé précisément mais est généralement inclus dans l'évolution d'autres paramètres comme le courant collecteur I_C ou le temps de transit τ_{BC} dans la jonction base/collecteur.

II. Fréquences caractéristiques

Les deux fréquences caractéristiques définies ci-après sont deux des principaux facteurs de mérite du TBH et seront largement utilisées dans la suite de ce manuscrit.

1. Fréquence de transition du gain en courant f_T

La **fréquence de transition** f_T correspond à la fréquence pour laquelle le gain en courant du transistor $h_{fe}=h_{21}$ atteint l'unité, dans le modèle « petits signaux ».

$$h_{fe} = \left. \frac{i_C}{i_B} \right|_{V_{CE} \text{ constante}} \quad (38)$$

En régime sinusoïdal forcé, le diagramme de Bode de ce gain a l'allure suivante :

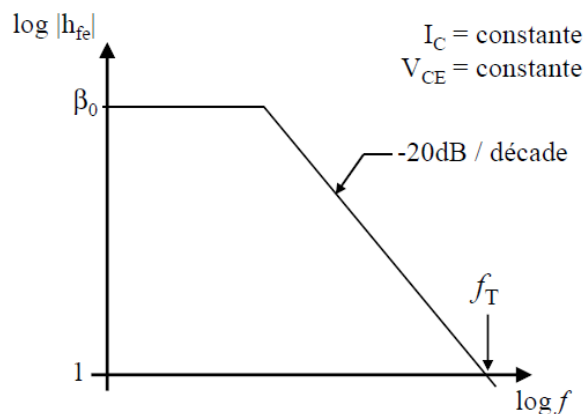


Figure 20 : Diagramme de Bode (gain vs fréquence) pour un transistor bipolaire

Une série de calculs permet d'exprimer f_T à partir du modèle petit signal du transistor (Schröter and Lee 1999).

$$f_T = \frac{1}{2\pi\tau_{EC}} \quad (39)$$

Le calcul de son expression peut se révéler assez compliqué mais l'expression usuellement utilisée est la suivante (Schröter and Lee 1999) :

$$f_T \approx \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) + (R_E + R_C)C_{BC} \right)} \quad (40)$$

f_T dépend directement du temps nécessaire aux électrons pour aller de l'émetteur au collecteur, prenant en compte d'une part le temps de transit τ_F défini plus tôt, et d'autre part des temps de retard liés aux capacités et résistances intrinsèques au composant, telles que C_{BE} et C_{BC} les capacités des deux jonctions B/E et B/C, et R_E et R_C , les résistances de l'émetteur et du collecteur respectivement.

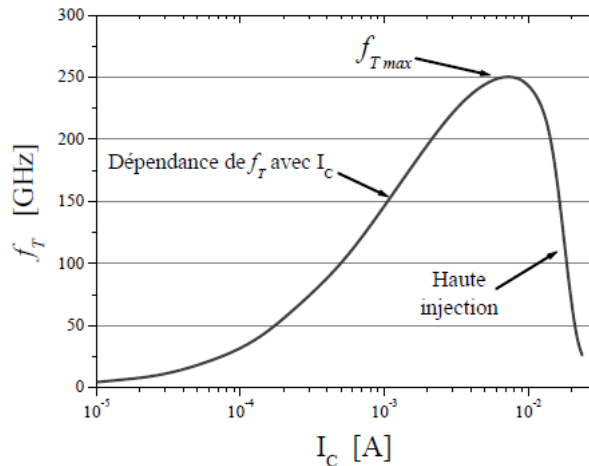


Figure 21 : Evolution de la fréquence de transition f_T (GHz) en fonction du courant I_C (A)

Ci-dessus se trouve une courbe typique de f_T en fonction de I_C . A forte injection divers effets font décroître la fréquence de transition -ils seront détaillés par la suite-, définissant ainsi une fréquence de transition maximale $max(f_T)$, caractéristique des transistors étudiés.

2. Fréquence maximale d'oscillation (f_{MAX})

La **fréquence maximale d'oscillation** f_{MAX} est définie comme la fréquence pour laquelle le gain en puissance (gain de Mason U) est égal à 1. Ce gain est obtenu quand il n'y a aucune transmission d'énergie de la sortie vers l'entrée. Une approximation courante de f_{MAX} est la suivante :

$$f_{MAX} \approx \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (41)$$

f_{MAX} dépend alors de la fréquence f_T mais aussi des paramètres caractéristiques de la base R_B la résistance de base, et C_{BC} la capacité de la jonction B/C.

→ Dans la suite, on fera souvent l'amalgame entre f_T et $max(f_T)$, ainsi qu'entre f_{MAX} et $max(f_{MAX})$ pour des raisons de simplifications. Nous précisons si besoin est à quel paramètre nous faisons référence.

→ L'expression de ces deux fréquences met facilement en évidence deux des compromis auquel il faut porter attention lors de la conception du TBH.

D'une part, pour avoir une forte fréquence de transition maximale $max(f_T)$, il faut réduire le temps de transit dans la base τ_B , temps qui dépend proportionnellement de la largeur de la base W_B . Or pour une base fine, la résistance de base R_B associée est augmentée, dégradant ainsi f_{MAX} . Conserver une épaisseur de base fine suppose le contrôle des espèces dopantes de la base, pour qu'elles ne diffusent pas dans les autres parties du transistor.

D'autre part, le dopage collecteur apparaît comme un paramètre clé pour les performances du transistor : un fort dopage permet de réduire la résistance collecteur R_C ainsi que de retarder l'apparition de l'effet Kirk, favorisant alors la fréquence f_T . Mais un tel niveau de dopants augmente la capacité C_{BC} , entraînant la dégradation de la fréquence f_{MAX} et de la tension de claquage BV_{CEO} .

D. Effets secondaires altérant le comportement idéal

Nous avons jusqu'ici décrit le comportement idéal du transistor bipolaire Si/SiGe:C et vu les principaux paramètres caractérisant ce transistor. Mais pour tout comportement idéal, il existe également des effets non idéaux qui font l'objet de cette quatrième partie.

Dans la réalité, l'architecture du composant est plus compliquée que la simple juxtaposition de deux jonctions qui définit la zone active du composant : il faut pouvoir connecter chacune des régions via le boîtier final, les isoler les unes des autres, etc., pour un comportement optimal comme on peut le voir rapidement sur la Figure 22.

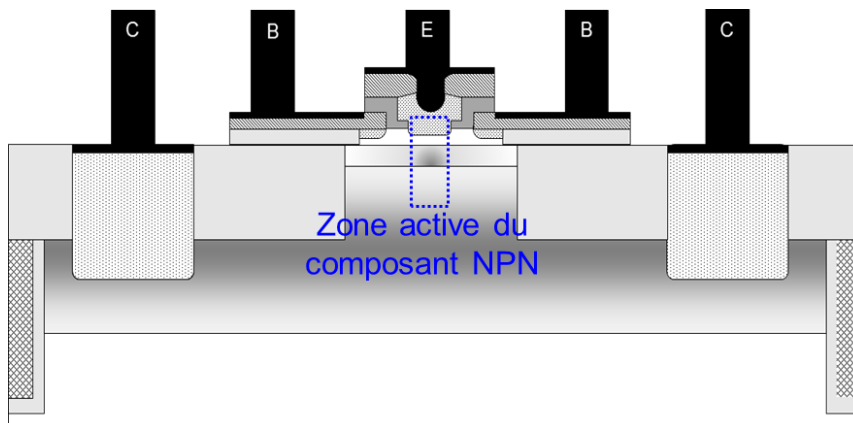


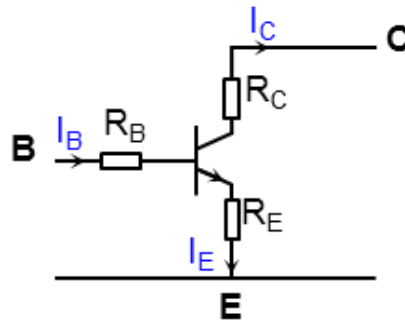
Figure 22 : Architecture réelle d'un transistor bipolaire NPN

On détaillera cette architecture dans le chapitre II. Mais tout d'abord, nous allons voir d'où viennent les résistances, capacités et effets secondaires qui sont susceptibles d'éloigner le composant de son comportement idéal.

I. Résistances parasites

D'une façon générale, la résistance d'une région est définie comme sa capacité à ne pas conduire le courant. Un corollaire de la loi d'Ohm macroscopique donne $I=U/R$ et on voit bien que pour une différence de potentiel U fixée, le courant I est d'autant plus faible que la résistance R est grande.

Au sein du transistor bipolaire même, chaque zone du TBH génère des résistances : respectivement R_E pour l'émetteur, R_B pour la base et R_C pour le collecteur. Nous détaillons ici chacune de leur composante pour nous permettre de mieux comprendre l'origine de la variation de ces paramètres lors de l'analyse des résultats dans les chapitres III, IV et V.



Les schémas suivants décrivent les différentes composantes de chacune des résistances et permettent de rendre compte des éventuelles symétries. Les différentes contributions seront altérées différemment en fonction des conditions d'élaboration, modifiant ainsi les paramètres du composant. Elles dépendent essentiellement des profils de dopages et de la géométrie des régions concernées.

1. La résistance émetteur R_E

R_{Em} : contribution liée à la **connexion (contact + siliciure) de l'émetteur**

R_{Ep} : contribution liée au **polyémetteur** (dopage et épaisseur)

R_{Ei} : contribution liée à **l'interface entre l'émetteur et la base**

R_{Eb} : contribution liée à la **zone de diffusion** des dopants de l'émetteur vers la base

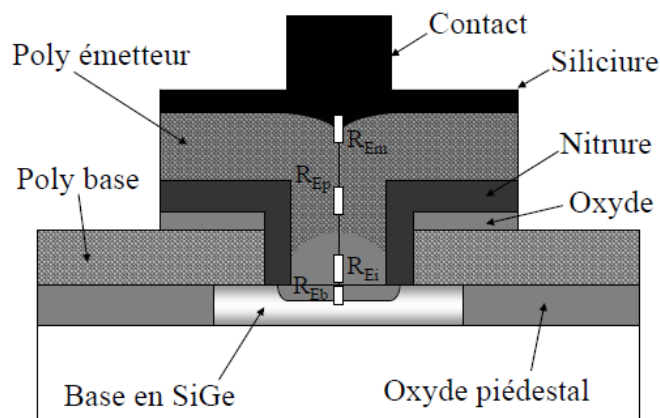


Figure 23 : Composantes de la résistance émetteur

2. La résistance de collecteur R_C

R_{SIC} : contribution liée au **SIC**

R_{CE} : contribution liée à la **couche enterrée**

R_{PC} : contribution liée au **puits collecteur**

R_{Co} : contribution liée au **contact métallique du collecteur**

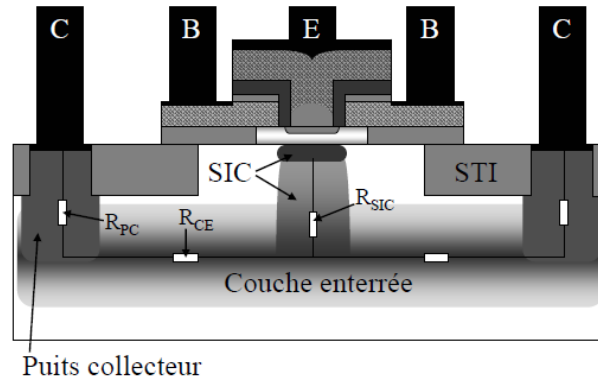


Figure 24 : Composantes de la résistance collecteur

3. La résistance de base R_B

$R_{contact}$: contribution liée au **contact métallique du polybase**

$R_{polybase}$: contribution liée au **polysilicium** faisant le lien entre le contact et la base intrinsèque

R_{lien} : contribution liée à la **qualité du lien** entre le polybase et la base intrinsèque

R_{esp} : contribution liée à la résistance de base située sous les **espaceurs**

R_{bp} : contribution **résistance de base pincée** (diffusion de porteurs de l'émetteur vers la base)

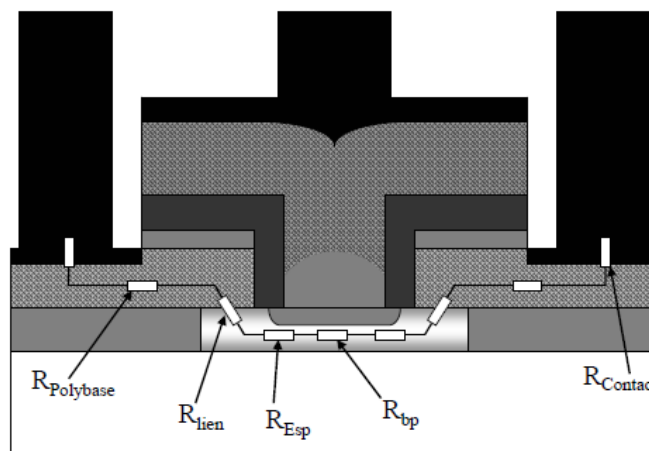


Figure 25 : Composantes de la résistance de base

II. Capacités parasites

Les capacités de jonction à l'étude ici sont définies par la variation de charges Q stockées de part et d'autre de la zone de charge d'espace de la jonction concernée, par rapport à la tension V appliquée sur la jonction, en régime petit signal.

$$C_j = \frac{dQ}{dV} \quad (42)$$

De fait, plus le niveau de dopage à la jonction est élevé, plus la capacité sera importante.

De la même manière que précédemment, on présente dans les figures suivantes les différentes contributions des régions du transistor aux différentes capacités de jonction.

1. La capacité de jonction émetteur / base C_{BE}

$C_{BE,i}$: contribution de la **fenêtre émetteur**, où se fait la jonction métallurgique entre la base et l'émetteur.

$C_{BE,x}$: contribution à travers les **espaceurs internes** du transistor, entre les différentes zones de la base et de l'émetteur.

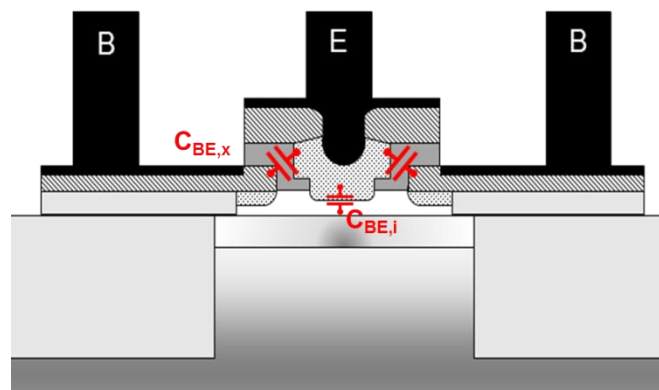


Figure 26 : Composantes de la capacité de jonction émetteur / base

2. La capacité de jonction base / collecteur C_{BC}

$C_{BC,i}$: contribution au niveau de la **cavité de l'oxyde piédestal**, où se fait la jonction métallurgique entre la base et le collecteur.

$C_{BC,x}$: contribution à travers **l'oxyde piédestal et les tranchées d'isolation du transistor**, entre les différentes zones de la base et du collecteur.

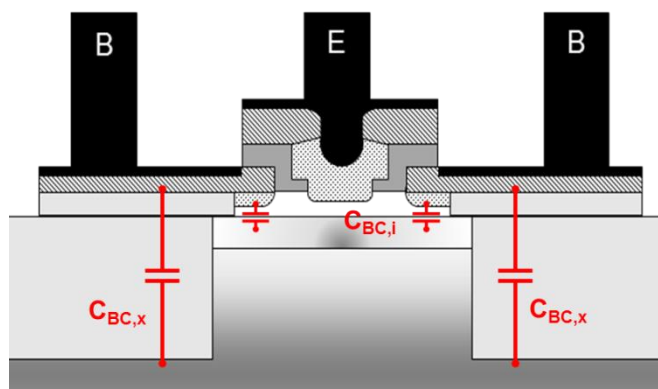


Figure 27 : Composantes de la capacité de jonction base / collecteur

3. La capacité de jonction collecteur / substrat C_{CS}

$C_{CS,i}$: contribution au niveau de la **jonction métallurgique entre le collecteur et le substrat**, en-dessous de la couche enterrée.

$C_{CS,x}$: contribution à travers **les tranchées d'isolation profondes du transistor**, qui détermine l'isolation du composant par rapport à son voisin.

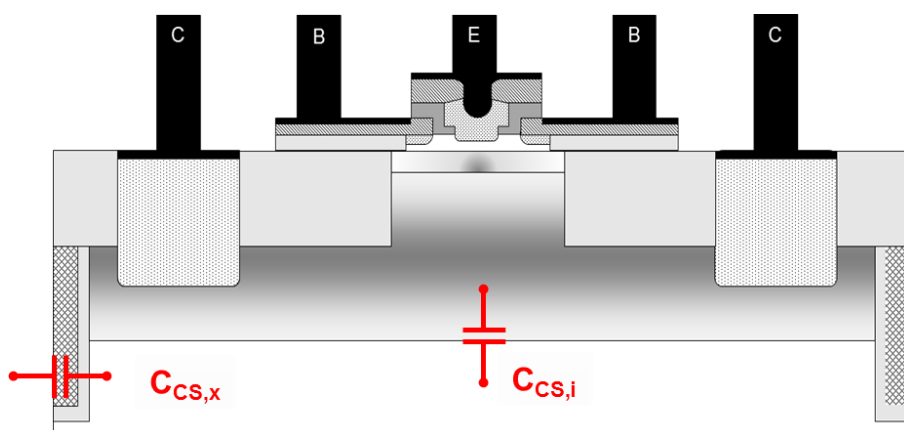


Figure 28 : Composantes de la capacité de jonction collecteur / substrat

III. Non idéalité du courant de base à faible injection

A faible injection (faible polarisation V_{BE} soit un faible courant I_C) deux phénomènes vont éloigner le courant de base de son comportement idéal : il s'agit des recombinaisons et de l'effet tunnel bande à bande. Voyons quels sont leurs mécanismes.

1. Recombinaisons

Pour le calcul du courant I_B dans la base, nous avons négligé les différents courants de recombinaisons I_{pE} dans la jonction émetteur/base et I_{rG} dans la base neutre. Mais dans un cas moins idéal, l'existence de défauts (impuretés, lacunes, etc.) dans le matériau peut perturber la

périodicité du réseau cristallin et ainsi créer des niveaux d'énergie profonds dans la bande d'énergie interdite. Ces niveaux sont appelés des niveaux pièges au sein desquels peuvent intervenir les phénomènes de génération / recombinaison des porteurs de charge décrits dans la Figure 29. Chacun d'eux dépend du taux d'occupation des différents niveaux pièges et de la concentration en dopants des bandes de conduction et de valence du matériau. Ces phénomènes sont décrits par le modèle de Shockley-Read-Hall (Ashburn 2003).

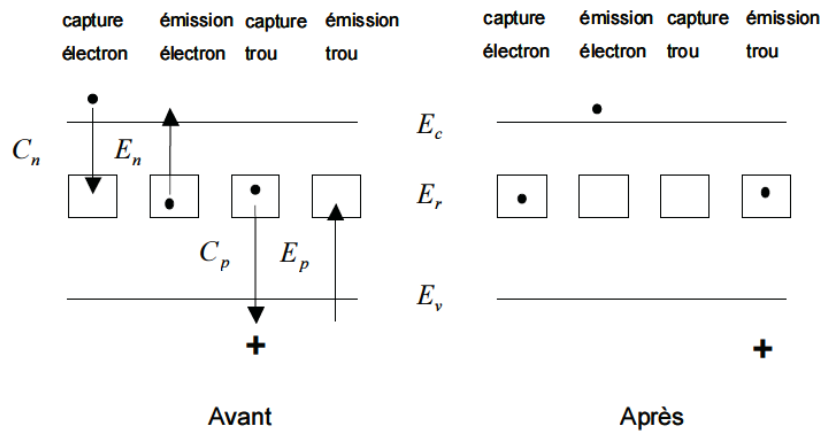


Figure 29 : Les différents phénomènes de génération / recombinaison possibles dans le modèle de Shockley Read Hall (Mathieu 2009)

1.a. Recombinaisons dans la jonction émetteur/base

Les défauts mis en jeu peuvent être d'origine surfacique (répartis à la surface de la jonction métallique) ou périmétrique (en périphérie de la jonction émetteur/base). L'existence de courants de recombinaison dans la jonction émetteur-base est facilement mise en évidence par le tracé des caractéristiques de Gummel.

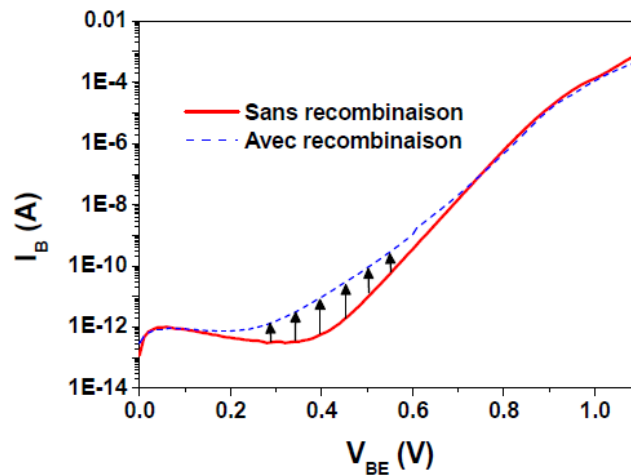


Figure 30 : Variation du courant de base en fonction de la polarisation V_{BE} , mettant en évidence le phénomène de recombinaison à la jonction base/émetteur

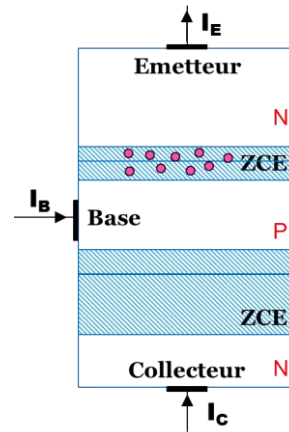


Figure 31 : Défauts dans la zone de déplétion de la jonction émetteur/base

1.b. Recombinaisons dans la base neutre

Des défauts dans la base neutre sont à l'origine de la variation de I_B en fonction de V_{CB} , à faible polarisation (Figure 32). La recombinaison dans la base neutre (*Neutral Base Recombination*) est un sujet largement discuté et simulé, mais son origine est difficile à appréhender (Ryum and Kim 1994)(Bach 2006)(Barbalat et al. 2007).

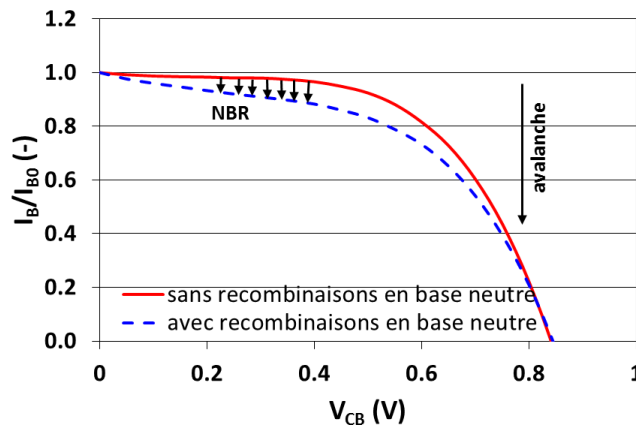


Figure 32 : Variation du courant de base en fonction de la polarisation V_{CB} , mettant en évidence le phénomène de recombinaison en base neutre (NBR) et celui d'avalanche

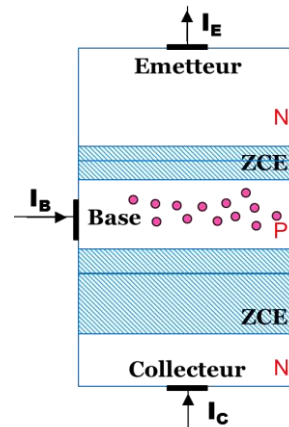


Figure 33 : Défauts dans la base neutre à l'origine des courants de recombinaisons

2. Effet tunnel bande à bande

A faible injection, lorsque le champ électrique créé aux bornes de la jonction est suffisamment élevé, les électrons peuvent traverser la bande interdite : c'est l'effet tunnel bande à bande qui a été étudié en détails dans (Lagarde et al. 2006). Le mécanisme est détaillé dans la Figure 34.

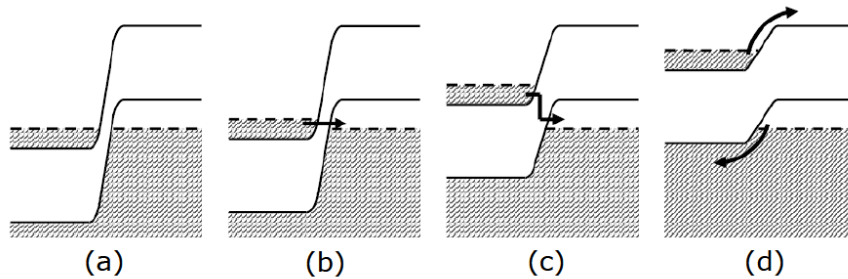


Figure 34 : Représentation schématique de l'effet tunnel bande à bande dans la jonction base/émetteur, pour différentes polarisations

- (a) Situation d'équilibre, $V_{BE}=0V$. Aucun électron ne circule.
- (b) Pour une tension V_{BE} faible ($<0,2V$), quelques états sont disponibles dans la bande de valence de la base, correspondant à des états occupés dans l'émetteur. Les électrons peuvent se déplacer par effet tunnel.
- (c) De moins en moins d'états sont disponibles, menant à une réduction du courant tunnel. $V_{BE}=0,2$ à $0,4V$.
- (d) Ce phénomène existe jusqu'à ce que la polarisation soit suffisamment élevée pour que la barrière d'énergie en bande de conduction (et en bande de valence) soit suffisamment réduite et que la composante en $\exp\left(\frac{qV_{BE}}{kT}\right)$ devienne prédominante.

Cet effet est un indicateur du caractère abrupt ou non d'une jonction, qui dépend des niveaux de dopages présents à la jonction B/E ainsi que de la distance entre les dopants (As et B dans notre cas) après diffusion. Plus la jonction sera abrupte (forts dopages aux abords de la jonction donc une ZCE fine), plus le courant tunnel sera important.

Le courant tunnel bande à bande se manifeste sur les tracés de Gummel tels la Figure 35.

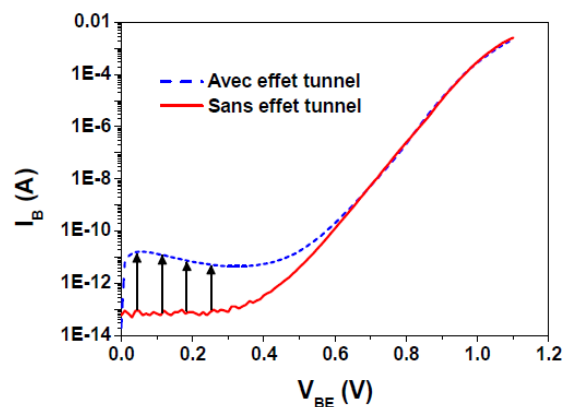


Figure 35 : Courant de base d'un TBH, avec ou sans effet tunnel

L'influence de l'effet tunnel et des recombinaisons pourra par la suite être évaluée grâce aux facteurs d'idéalité M_{IB} et M_{IC} tels que, pour $V_{BE} < 0,6V$:

$$I_B \propto \exp\left(\frac{qV_{BE}}{M_{IB}kT}\right) \quad (43)$$

$$I_C \propto \exp\left(\frac{qV_{BE}}{M_{IC}kT}\right) \quad (44)$$

Plus M_{IB} et M_{IC} sont proches de 1, moins il y a d'effets secondaires. Typiquement, pour une polarisation V_{BE} comprise entre 0,6 et 0,8V, les composantes idéales des courants I_B et I_C sont prédominantes.

IV. Non idéalité du courant de base à haute injection

Pour de forts niveaux de courant I_C , dit de « haute injection » des phénomènes secondaires peuvent profondément bouleverser le comportement du transistor. Voici un bref résumé de ces différents phénomènes.

1. Avalanche et tensions de claquage

A fort courant, un électron possède suffisamment d'énergie cinétique pour arracher un électron lors d'une collision et ainsi générer une paire électron-trou : c'est l'ionisation par impact. Sous condition d'un champ électrique suffisamment élevé, ce même électron peut à son tour générer une autre paire électron-trou et ainsi de suite, déclenchant alors le phénomène d'avalanche.

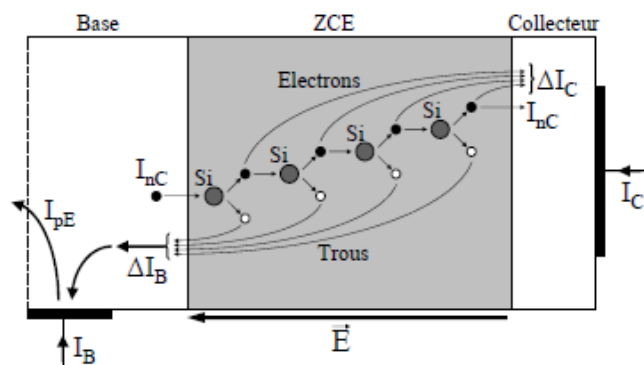


Figure 36 : Schéma du phénomène d'avalanche dans la jonction Base/Collecteur

Dans le cas de la jonction B/C par exemple, représenté sur la Figure 36, les électrons sont attirés par l'électrode positive du collecteur tandis que les trous se déplacent de proche en proche vers l'électrode négative de la base, augmentant ainsi fortement les courants.

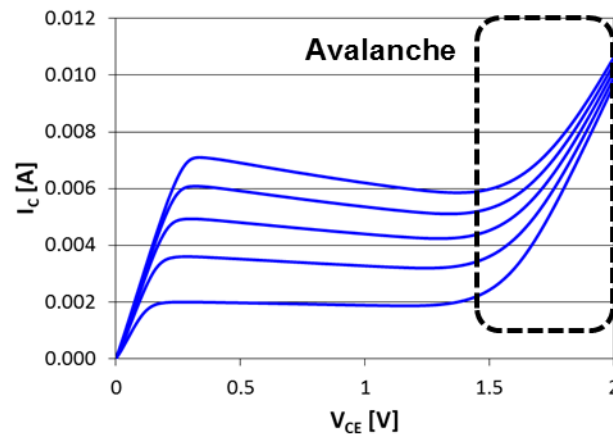


Figure 37 : Caractéristiques I_c - V_c pour différents courants de base I_B , mise en évidence du phénomène d'avalanche

Ce phénomène est susceptible de dégrader de façon permanente le composant à cause de l'échauffement dû aux forts courants. Pour cette raison, on définit **les tensions de claquage** (*Breakdown Voltage*) suivantes comme limites de polarisation à ne pas dépasser pour garder un transistor fiable avec une longue durée de vie :

- BV_{CEO} : Tension de claquage de la jonction base/collecteur, caractéristique du transistor en fonctionnement. Elle est définie telle que la valeur de V_{CB} pour laquelle le courant de base s'annule. Elle est de l'ordre de 1,5V pour les transistors rapides étudiés ici.
- BV_{CBO} : Tension de claquage de la jonction base/collecteur, mesurée lorsque l'émetteur est en circuit ouvert, c'est-à-dire que son électrode n'est reliée à aucun potentiel. Sa valeur est généralement comprise entre 5 et 7 V.
- BV_{EBO} : Tension de claquage de la jonction émetteur/base, mesurée lorsque le collecteur est en circuit ouvert. Sa valeur est généralement comprise entre 1 et 3 V.

Il existe une relation entre BV_{CEO} et BV_{CBO} telle que:

$$BV_{CEO} = \frac{BV_{CBO}}{n\sqrt{\beta}} \quad (45)$$

Cette équation montre ainsi le compromis existant entre la tension BV_{CEO} et le gain en courant du transistor, les deux grandeurs étant inversement proportionnelles. L'indice n est généralement une valeur comprise entre 3 et 6.

Une étude (Rickelt, Rein, and Rose 2001) a montré que l'on pouvait cependant utiliser le transistor au-delà de son BV_{CEO} défini et a ainsi défini une SOA (*Safe Operating Area*) pour laquelle le transistor bipolaire reste fiable.

2. Effet Early

La largeur effective de la base neutre W_B est définie par la position des ZCE, elles même modulées par les polarisations V_{BE} et V_{CB} . Ces modulations correspondent respectivement à l'**effet Early inverse** (*reverse*) caractérisé par V_{AR} et **direct** (*forward*) caractérisé par V_{AF} .

$$I_{C_{norm}} = \frac{I_C}{\exp\left(\frac{qV_{BE}}{kT}\right)} = I_S \left(1 - \frac{V_{BE}}{V_{AR}} - \frac{V_{CB}}{V_{AF}}\right) \quad (46)$$

L'augmentation de la polarisation V_{BE} (directe) va réduire la largeur de la ZCE B/E, augmentant la largeur de base neutre W_B (cf Figure 38). Pour obtenir une fréquence f_T élevée on a généralement besoin de profils de dopants très abrupts au niveau de la jonction E/B, pour un temps de transit τ_{EB} réduit, ce qui pénalise en contrepartie V_{AR} . On peut évaluer V_{AR} à partir du courant collecteur, pour $V_{BC} = 0V$, tel que :

$$I_{C_{norm}} = \frac{I_C}{\exp\left(\frac{qV_{BE}}{kT}\right)} = I_S \left(1 - \frac{V_{BE}}{V_{AR}}\right) \quad (47)$$

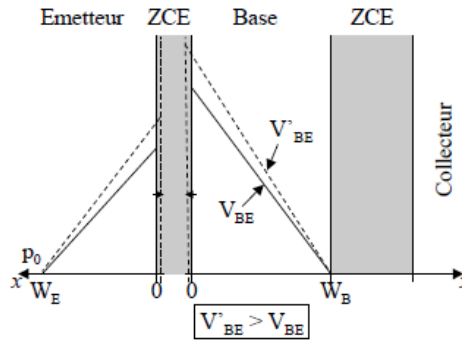


Figure 38 : Illustration de l'effet Early inverse pour deux polarisations différentes

L'augmentation de la polarisation V_{BC} (inverse) étend la zone de déplétion de la jonction B/C dans la base, réduisant ainsi W_B (cf Figure 39). V_{AF} est généralement de l'ordre de quelques centaines de volts. A V_{BE} constant, et en connaissant au préalable V_{AR} , on peut extraire V_{AF} grâce à l'équation (46) (Pourchon and Céli 2002).

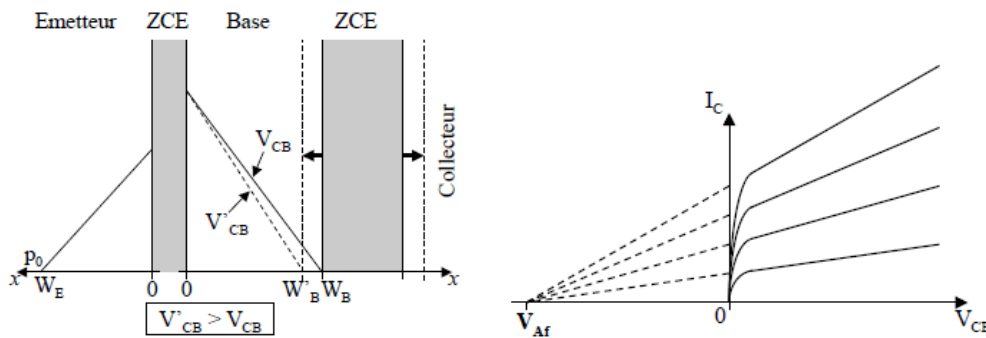


Figure 39 : Illustration de l'effet Early direct, pour deux polarisations différentes (gauche). Caractéristique I-V d'un TBH mettant schématiquement en évidence V_{AF} (droite)

Dans le cas du TBH Si/SiGe:C, des valeurs fortes de V_{AR} et V_{AF} seront également indicatrices de la stabilité de la position de la ZCE de la jonction PN par rapport au profil de germanium, qui varie en fonction de la modulation des polarisations V_{BE} et V_{BC} . Si la ZCE par exemple s'étend en dehors du profil de germanium, la position de l'hétérojonction Si/SiGe va créer une barrière parasite au niveau du diagramme de bandes (J. S. Yuan and Song 1997) (D.J. Roulston 1990) (Rabbi, Arafat, and Ziaur Rahman Khan 2011).

3. Perçage de la base

Etant donné les modulations des ZCE avec les polarisations, on peut alors considérer le cas où, pour une polarisation V_{CB} élevée, les deux zones de charge d'espace peuvent se rejoindre reliant ainsi l'émetteur et le collecteur par une ZCE unique, avant que le phénomène d'avalanche n'intervienne. Ce phénomène est appelé « **perçage de la base** » et est représenté Figure 40. Un courant important circule alors entre l'émetteur et le collecteur, et l'effet transistor n'existe plus. Une base fine et peu dopée favorise l'apparition de ce perçage. Ces deux conditions constituent donc des limitations dans la réduction de l'épaisseur du profil vertical du transistor bipolaire.

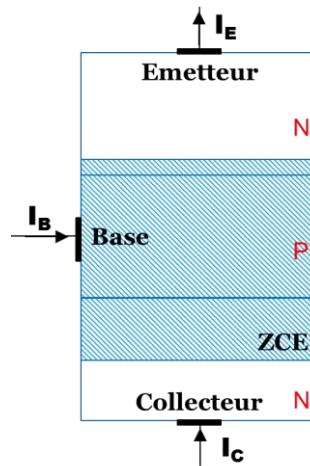


Figure 40 : Schématisation du perçage de la base

4. Effet Kirk

L'**effet Kirk** (Kirk 1962) est un des phénomènes prépondérants dans la dégradation des performances fréquentielles du composant. C'est principalement à cause de cet effet que la fréquence f_T décroît au-delà d'un certain courant I_C (cf Figure 21). Il provient du fait que les électrons injectés dans le collecteur se déplacent selon un mécanisme de dérive $\vec{j} = \sigma \vec{E}$. Compte-tenu du fort champ électrique qui règne à la jonction B/C, on peut considérer que les électrons vont atteindre leur vitesse limite v_{sat} . On définit généralement le courant critique au-delà duquel apparaît l'effet Kirk par (Ashburn 2003) :

$$J_{cKirk} = qN_{dc}v_{sat} \quad (48)$$

Dès lors, leur temps de transit τ_{BC} n'est plus négligeable dans la jonction B/C, et lorsque la densité de courant devient importante, la concentration d'électrons injectés atteint puis dépasse le dopage collecteur N_{dc} . Il en découle une extension importante de la zone de charge d'espace dans le collecteur mais aussi une augmentation de la largeur de base effective W_{Beff} qui dégrade le temps de transit dans la base τ_B et donc le total τ_F , expliquant la chute de f_T à haute injection.

L'effet Kirk dépend directement du niveau de dopage dans le collecteur. Afin d'augmenter les performances fréquentielles du composant, il faut donc augmenter le dopage collecteur, ce qui dégrade de manière non négligeable la tenue en tension du composant.

5. Auto échauffement

Plus les courants sont importants dans la zone active, plus la température du transistor augmente. C'est la conséquence de l'effet Joule qui est fonction de la densité de courant et du champ électrique locaux. Le comportement idéal prévoit une augmentation du courant collecteur avec V_{CE} . Quand il y a de l'auto-échauffement, la température augmente au cours du temps ce qui provoque la diminution de I_C à courant de base I_B fixé, comme on peut le voir dans la Figure 41 et conformément à son expression (2). Inversement, quand la polarisation V_{BE} est fixée, l'auto-échauffement provoque l'augmentation du courant I_C en fonction de V_{CE} .

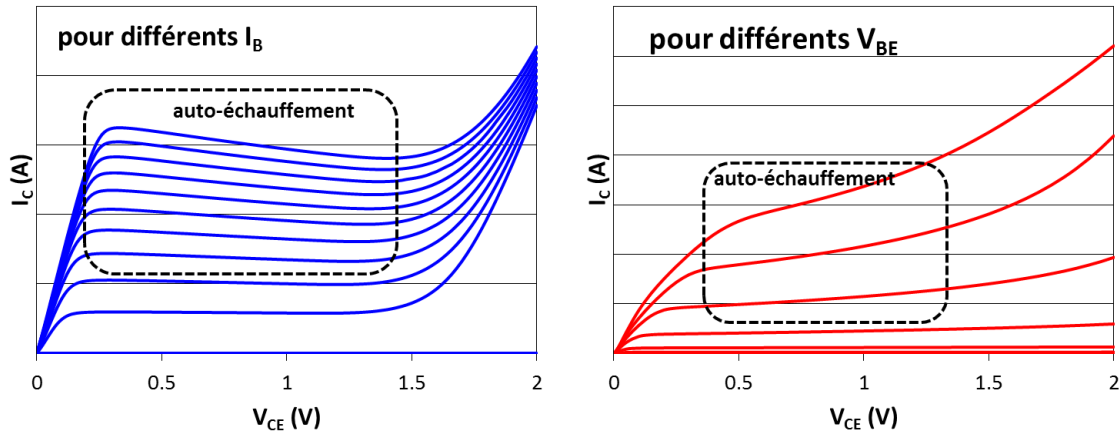


Figure 41 : Caractéristiques I_C - V_C pour différents courants de base I_B (gauche) et pour différentes valeurs de polarisation V_{BE} (droite), mise en évidence du phénomène d'auto-échauffement

Pour quantifier cet auto-échauffement on utilise le paramètre R_{TH} qui est la résistance thermique. Elle est étudiée dans le chapitre V dans une étude de l'impact des connexions métalliques sur le transistor.

E. Conclusion du chapitre

Dans ce chapitre nous avons présenté la théorie du fonctionnement du transistor bipolaire à hétérojonction Si/SiGe:C, ainsi que les principaux paramètres qui nous permettent de l'étudier. L'utilisation de germanium dans la base crée des hétérojonctions qui améliorent les performances du composant. Nous avons également vu certains des phénomènes secondaires qui perturbent ce fonctionnement idéal et que l'on pourra observer sur les transistors réels, au cours des différentes études, qu'ils soient propres au transistor bipolaire ou à la présence de germanium. Nous invitons le lecteur à se référer aux annexes pour plus de détails sur le calcul des courants I_C et I_B , mais aussi sur les méthodes de caractérisation physiques, électriques ou de simulations qui permettent d'extraire les paramètres mentionnés plus tôt et de comprendre la réponse des transistors aux différents choix de fabrication.

On note que pour comprendre parfaitement tous les phénomènes en jeu, il faut en plus d'une bonne connaissance du composant, une bonne connaissance de ses constituants. Comme on va le voir dans cette thèse, nous n'avons pas toujours accès aux informations sur les profils de dopants exacts, ce qui rend l'interprétation parfois difficile.

Chapitre II. Fabrication et état de l'art du transistor bipolaire

Dans ce deuxième chapitre, nous présentons d'abord l'architecture et la méthode de fabrication des transistors bipolaires de STMicroelectronics dans la technologie BiCMOS9MW afin de définir les principaux éléments clés d'un tel composant. Nous verrons ensuite l'étude en nœud avancé B5T et le transistor bipolaire en BiCMOS055, dernière plateforme BiCMOS en cours de développement en technologie 300mm chez STMicroelectronics.

Pour finir nous présenterons l'état de l'art pour le transistor bipolaire à hétérojonction Si/SiGe:C et la technologie BiCMOS chez nos concurrents. Nous pourrions ainsi comparer les différentes architectures existantes.

A. La technologie BiCMOS chez STMicroelectronics

Aujourd'hui en pratique, le transistor bipolaire Si/SiGe:C est utilisé conjointement avec d'autres composants, comme les transistors CMOS, dans des technologies appelées BiCMOS. Chez STMicroelectronics, la dernière technologie en développement est BiCMOS055, en nœud 55nm. Nous présentons dans un premier temps le flot de fabrication BiCMOS9MW (B9MW), son prédécesseur, pour construire un historique de l'évolution de la technologie, et nous verrons ensuite quelles sont les particularités de BiCMOS055 (B55).

I. Fabrication d'un transistor bipolaire en technologie BiCMOS9MW

1. Une architecture auto-alignée par épitaxie sélective

L'architecture utilisée pour la conception du transistor bipolaire en BiCMOS9MW (Avenier et al. 2009) est une structure auto-alignée par épitaxie de la base. Dans la littérature, on y fait référence par l'acronyme anglais DPSA-SEG (*Double Polysilicium, Self Aligned by Selective Epitaxial Growth*) qui signifie architecture double polysilicium, auto-alignée par épitaxie sélective de la base.

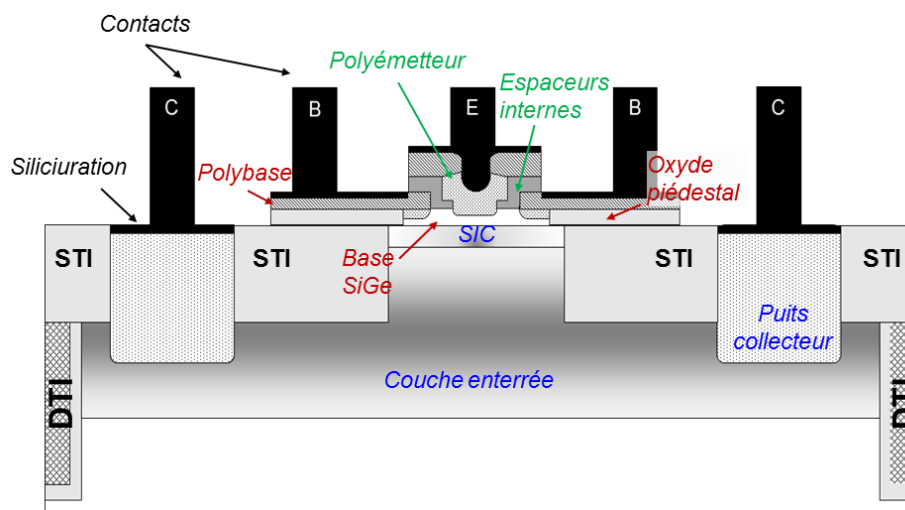


Figure 42 : Architecture DPSA-SEG du transistor bipolaire étudié

Les principaux éléments de cette architecture sont représentés sur la Figure 42.

- Les tranchées d'isolation superficielles **STI** (*Shallow Trench Isolation*) permettent comme leur nom l'indique d'isoler électriquement la zone active du transistor, tandis que les tranchées profondes **DTI** (*Deep Trench Isolation*) isolent le transistor du reste de son environnement sur plaque. Elles permettent ainsi de réduire l'encombrement de chaque dispositif et la capacité collecteur/substrat respectivement.
- Le module collecteur est constitué d'une implantation localisée appelée **SIC** (*Selectively Implanted Collector*), d'une **couche enterrée** fortement dopée et d'un **puits collecteur** qui permet la connexion entre la couche enterrée et le contact métallique. Un compromis R_C/C_{BC} existe alors vis-à-vis du niveau de dopage de ce module.

- Le module émetteur-base est constitué d'une part d'une base extrinsèque en polysilicium –le **polybase**- déposée sur l'**oxyde piédestal** et d'une **base intrinsèque Si/SiGe:C** monocristalline; et d'autre part d'un **polyémetteur** polycristallin. Les **espaceurs internes** permettent de réduire la largeur de la fenêtre émetteur au-delà des capacités de la photolithographie d'une part, et d'isoler la base extrinsèque de l'émetteur d'autre part.
- Chacune des zones de **contact** est préalablement **siliciurée** pour réduire la résistance de contact. Les lettres E, B, C désignent respectivement les contacts émetteurs, base et collecteur.

Nous allons voir à présent quel est l'ordre d'enchaînement des différentes étapes de fabrication pour arriver à cette architecture finale.

2. Principales étapes de fabrication

La technologie BiCMOS allie à la fois les transistors bipolaires et les transistors MOS sur une même puce. Leur fabrication est donc pensée de telle sorte que les étapes dédiées à l'un ne perturbent pas le fonctionnement de l'autre composant : en effet le développement des bipolaires intervient une fois que la technologie MOS a été entièrement définie et elle ne peut être ajustée que modérément. Nous verrons principalement les étapes dédiées à un transistor bipolaire, qui peuvent être séparées en trois phases.

2.a. Module collecteur et isolations

La route de fabrication commence par la création des marques d'alignement qui permettent comme leur nom l'indique, l'alignement des différents masques de lithographie qui seront utilisés. Un second masque permet la définition de la zone correspondant à la **couche enterrée** du collecteur (Figure 43). Le fort dopage de la couche est réalisé par implantation ionique, et on applique un recuit pour la diffusion des espèces dopantes et la réorganisation du réseau cristallin.

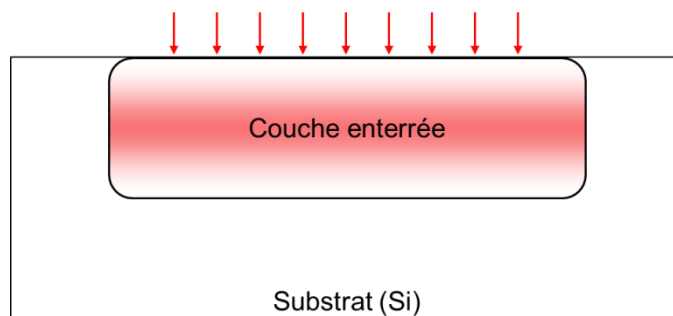


Figure 43 : Implantation de la couche enterrée

Pour enterrer cette couche, une **épitaxie** de silicium dopée N, donc monocristalline, est réalisée, (Figure 44). On a recours à ce procédé car les équipements d'implantation ne permettent pas d'avoir une forte dose et une forte énergie à la fois, tandis qu'une implantation profonde est requise pour ne pas perturber la zone intrinsèque du composant.

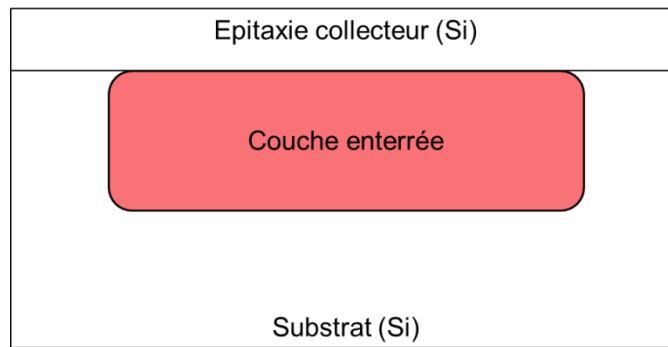


Figure 44 : Epitaxie collecteur pour enterrer la couche fortement dopée

Les tranchées **DTI** sont ensuite gravées, puis remplies par de l'oxyde et du polysilicium, pour isoler le composant de son plus proche voisin. Le polysilicium est nécessaire pour absorber les contraintes mécaniques induites par l'oxyde des tranchées. Les **STI** sont à leur tour gravés puis remplis par de l'oxyde, ils délimitent la zone active du transistor. Enfin, le **puits collecteur** défini par lithographie est implanté en phosphore pour atteindre la couche enterrée et réduire la résistance totale d'accès du collecteur. L'architecture à l'issue de ces trois étapes est représentée sur la Figure 45.

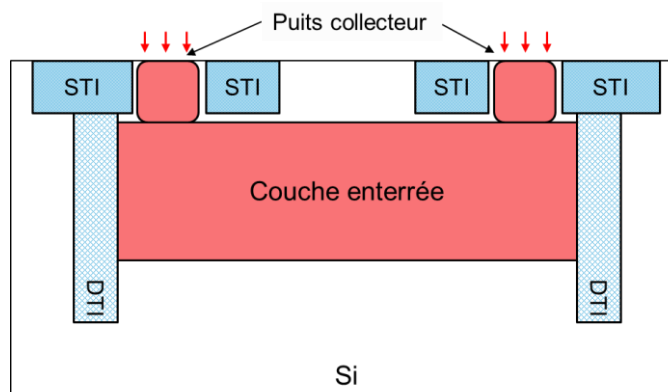


Figure 45 : Définition des tranchées d'isolation STI et DTI, et implantation des puits collecteur

Ces étapes sont réalisées avant toute étape pour les transistors MOS, car elles auraient un impact non négligeable sur leur fonctionnement. Après définition des caissons d'implantation des transistors MOS, une fenêtre est ouverte par gravure de la grille polysilicium comme schématisé Figure 46, grâce au masque *BIOPEN*. Le SIC est implanté en As, localement via une étape de lithographie (masque *COLI*). Des essais ont été réalisés dans le cadre d'études avancées (Lacave et al. 2010), où le SIC était réalisé à travers la fenêtre émetteur pour l'auto-alignement de l'architecture, mais cela créait du contre-dopage dans le polybase et dégradait les performances du composant. De fait, pour proposer à la fois des composants avec et sans SIC, un masque de lithographie reste nécessaire.

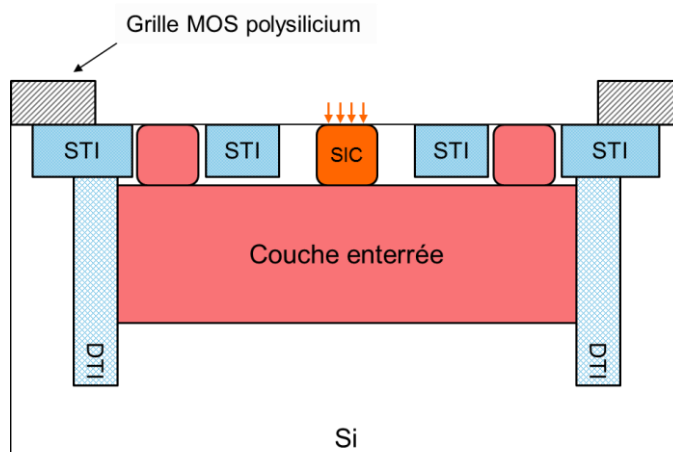


Figure 46 : Ouverture de la zone *BIOPEN* pour la fabrication des transistors bipolaires uniquement. Le SiC est ensuite défini par lithographie et implanté en As.

2.b. Module base/émetteur

Une fois le module collecteur complètement défini, on continue avec la définition du module émetteur-base, généralement indépendant du premier. Pour cela on dépose un empilement oxyde / **polybase** (dopé bore) / oxyde / nitrure, dans lequel sera ensuite ouverte la fenêtre émetteur par gravure sèche via le masque EMWI (cf Figure 47). La base extrinsèque est isolée du collecteur par l'**oxyde** dit **piédestal**, ce qui permet de diminuer la capacité de jonction base/collecteur.

Avant le dépôt du nitrure, le polysilicium déposé est recuit pour augmenter la taille des grains, élément clé pour la diffusion du bore ensuite implanté dans le polybase.

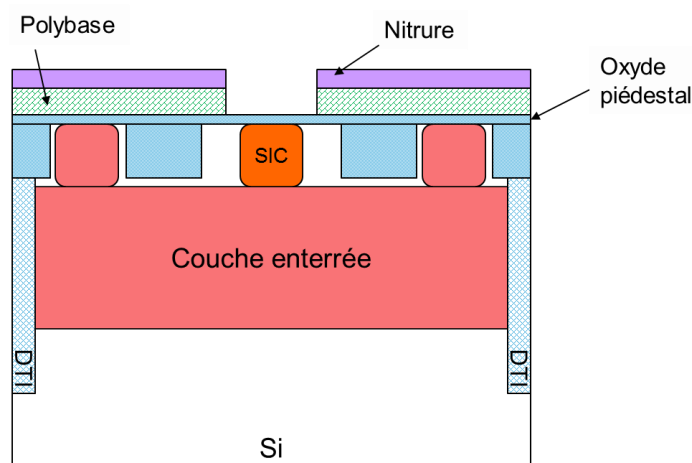


Figure 47 : Dépôt d'un empilement oxyde / polysilicium / nitrure et gravure de la fenêtre émetteur à travers ces couches

Des espaceurs nitrures sont déposés pour protéger les flancs de la fenêtre émetteur lors des étapes suivantes; ils permettront également d'isoler électriquement la base extrinsèque de l'émetteur. Une cavité est creusée chimiquement dans l'oxyde piédestal par désoxydation sélective. C'est dans cette dernière qu'est épitaxiée la **base intrinsèque Si/SiGe:C** dopée en bore, monocristalline (Figure 48). La hauteur de l'oxyde est généralement choisie en fonction de l'épaisseur totale de base déposée. La croissance épitaxiale est réalisée à partir de gaz précurseurs chlorés, qui empêchent le dépôt de Si et Ge sur les zones diélectriques. En

conséquence, l'alliage SiGe ne croîtra uniquement que sur le Si apparent. Le dopage du lien entre la base SiGe épitaxiée et le polybase sera créé lors des recuits, par diffusion des dopants de la base extrinsèque vers la base intrinsèque. La qualité de ce lien est un paramètre important dans l'amélioration des performances fréquentielles du transistor. Il fait l'objet de plusieurs études dans le chapitre III.

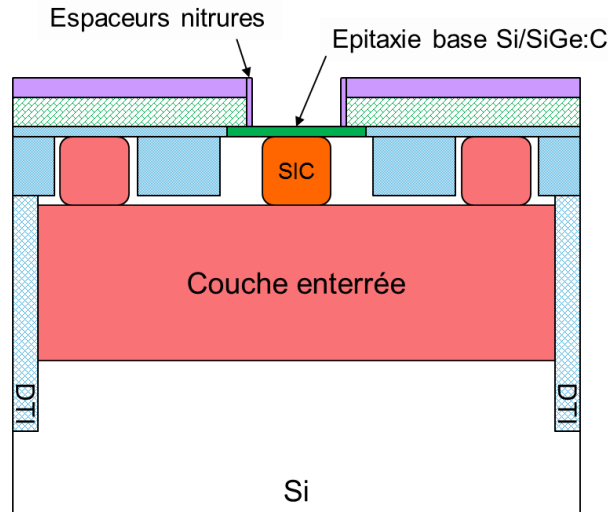


Figure 48 : Protection des flancs grâce à des espaceurs nitrure, ouverture de la cavité par désoxydation et épitaxie de la base intrinsèque Si/SiGe:C

Des **espaceurs internes en L** en oxyde et des **espaceurs en D** en silicium amorphe sont fabriqués pour réduire la largeur effective de la fenêtre émetteur. Ils augmentent d'autre part l'isolation entre le polybase et le polyémetteur qui sera ensuite déposé. La base étant monocristalline, le polysilicium s'aligne sur la maille de celle-ci, créant une zone monocristalline dans l'émetteur.

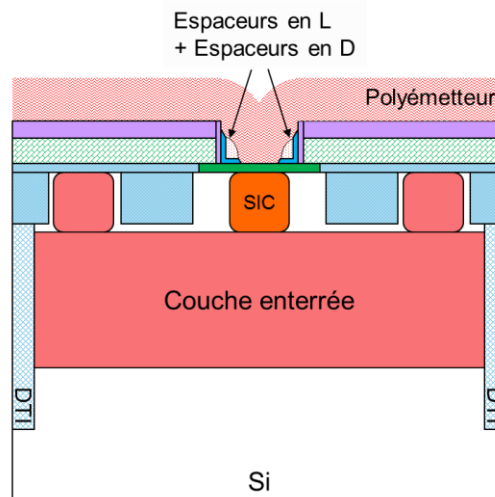


Figure 49 : Formation des espaceurs internes et dépôt du matériau polyémetteur

On termine l'élaboration du module émetteur-base par gravure du polyémetteur et du polybase grâce à deux masques distincts pour obtenir une structure semblable à celle de la Figure 50. On retire également l'oxyde piédestal restant.

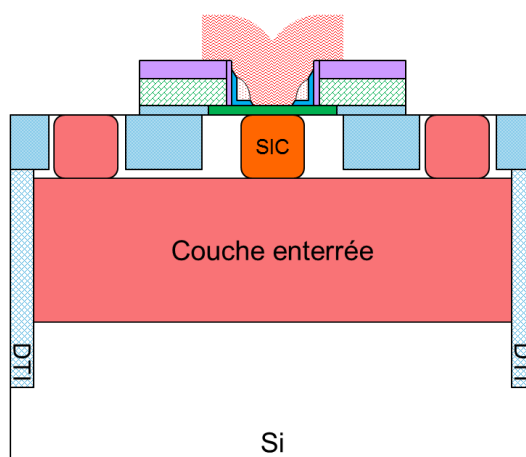


Figure 50 : Gravure polyémetteur et polybase, et retrait de l'oxyde piédestal

L'intégration du bipolaire avec le transistor MOS nécessite donc 8 à 9 masques additionnels dédiés avant fabrication des interconnexions.

2.c. Siliciuration et connexions métalliques

Une fois la structure du transistor bipolaire terminée, on termine la fabrication des MOS par la gravure de la grille et des implantations de poches et LDD (*Lightly-Doped Drain*). Ces deux types d'implantation sont très utiles pour réajuster les paramètres des MOS dans le cas où la fabrication du bipolaire a eu un léger impact sur ceux-là. On utilise également l'implantation source/drain dans les transistors bipolaires pour un meilleur contact au niveau du collecteur : la réutilisation de l'implantation des MOS permet d'économiser un masque.

Une couche de protection dite SiProt (oxyde et nitrure) est déposée ensuite sur toute la plaque puis retirée sur les zones à siliciurer c'est-à-dire les zones où le silicium est à nu. Mais pour le transistor bipolaire, toutes les surfaces de silicium sont utilisées pour les contacts, donc il n'y a pas de couche SiProt pour le composant. Un recuit final d'activation très rapide (spike) à 1113°C est appliqué ensuite pour activer les espèces dopantes des sources et drains du MOS. Cette étape constitue un des plus gros budgets thermiques de la fabrication et peut également avoir un impact non négligeable sur le bipolaire. L'impact de ce budget thermique est également abordé dans le Chapitre III.

On dépose une couche de CoSi_2 qui va réagir avec le silicium à nu lors d'un premier recuit, pour créer un contact métal/silicium de moindre résistance par siliciuration. Après retrait de la couche de SiProt sur la plaque, un deuxième recuit permet de finaliser la zone siliciurée. Du nitrure est utilisé pour l'encapsulation des dispositifs, et les protéger de la diffusion des espèces métalliques utilisées pour les interconnexions. Le cuivre notamment est très contaminant.

On dépose une première couche de diélectrique (USG) puis on grave et remplit les contacts en tungstène. L'architecture est symétrique de telle sorte que les contacts sont placés en CBEB, pour en optimiser les éléments parasites. Une étape de planarisation mécanico-chimique (CMP) permet d'ôter la topologie du composant pour obtenir la structure de la Figure 51.

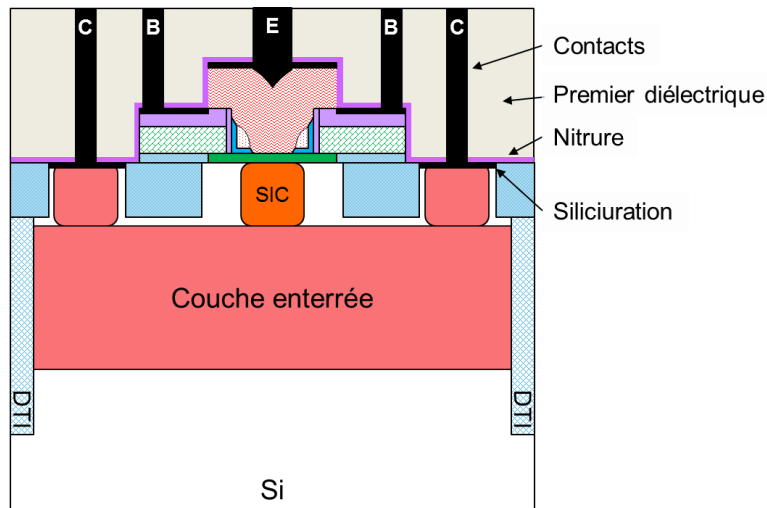


Figure 51 : Architecture complète du transistor bipolaire avec les contacts métalliques

La fabrication se poursuit finalement avec l'empilement des 6 niveaux de connexions en cuivre dont 2 niveaux épais et des couches de diélectriques intercalées. On appelle aussi cet empilement le *back-end-of-line* ou BEOL. L'empilement BEOL du BiCMOS9MW est particulièrement épais par rapport aux autres technologies (proche de 15 μm), ce choix a été fait pour favoriser certains composants passifs dans le domaine millimétrique, d'où le nom de cette technologie. Mais en tant que tel il est également particulièrement contraint : les contraintes présentes dans le composant et son BEOL font l'objet du Chapitre V.

3. Caractéristiques du transistor bipolaire en B9MW

Voyons d'abord la structure réelle de ce transistor, dont la coupe STEM est représentée Figure 52. On retrouve les éléments décrits dans la partie précédente.

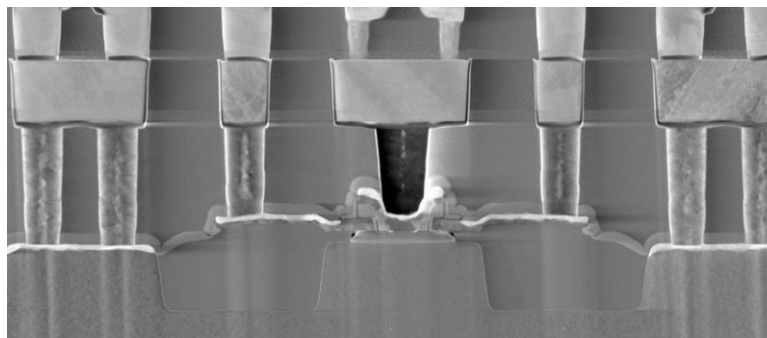


Figure 52 : Coupe STEM d'un transistor bipolaire en technologie BiCMOS9MW [lot J045IWH]

On remarque qu'en réalité il y a deux rangées de contacts collecteur pour éviter l'électromigration étant donné la valeur du courant I_C . L'ensemble des contacts sont en fait répétés sur toute la longueur du composant comme on peut le voir sur le *layout* de la Figure 53. Le contact émetteur est un contact ruban pour une meilleure résistance émetteur.

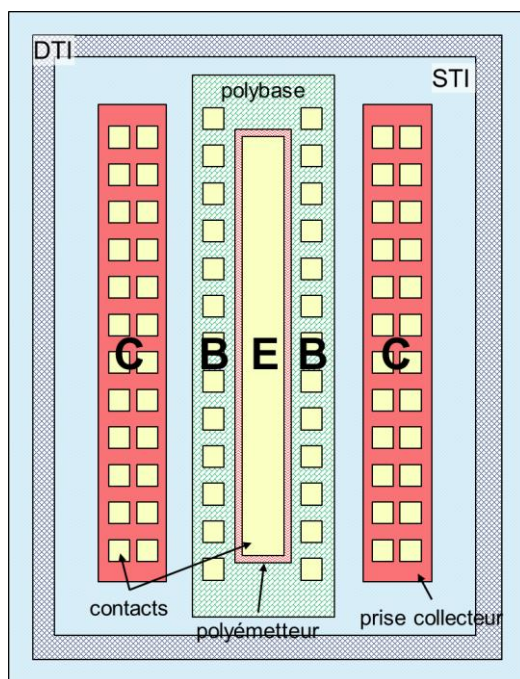


Figure 53 : Layout d'un transistor bipolaire BiCMOS9MW

On constate également sur la Figure 52, la présence d'espaceurs parasites autour de l'émetteur, ce sont des espaceurs utilisés pour l'architecture du MOS donc indispensables, mais qui peuvent bloquer la siliciuration du polybase et donc pénaliser la résistance d'accès à la base. Il existe également une différence de marche au niveau des STI, qui fait que le polybase n'est pas totalement plane. Si cette différence de marche est suffisamment éloignée du bord de la fenêtre émetteur, cela n'a pas d'impact.

En BiCMOS9MW, le transistor bipolaire nominal a les caractéristiques suivantes :

Nœud technologique	0,13 μm
W_E - dessiné	0,27 μm
W_E - effectif	0,13 μm
L_E - dessiné	5 μm
L_E - effectif	4,86 μm
f_T	220 GHz
f_{MAX}	280 GHz
BV_{CEO}	1,6 V
BV_{CBO}	5,5 V

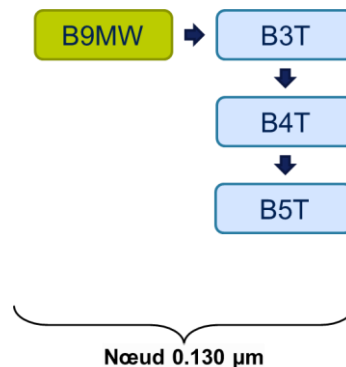
Table 1 : Principales caractéristiques du transistor bipolaire en technologie BiCMOS9MW

On définit W_E et L_E la largeur et la longueur de la fenêtre émetteur respectivement. On distingue les dimensions dessinées, qui correspondent aux ouvertures du masque $EMWI$, des dimensions effectives qui tiennent compte des espaceurs.

Cette technologie est actuellement en production dans l'usine 200mm de ST à Crolles.

II. Etude en nœud avancé B5T

Suite au développement du BiCMOS9MW et en parallèle avec la maturation de cette technologie, des études avancées ont été menées dans le cadre du projet Européen Dotfive (Pascal Chevalier et al. 2011), pour optimiser les performances électriques du transistor bipolaire à partir du même nœud technologique : B3T, B4T et B5T successivement. La particularité de ces études est qu'on a fait des choix de fabrication indépendamment de la compatibilité avec le transistor MOS, pour favoriser les performances du transistor bipolaire uniquement.



Le développement du B3T au B5T a été constitué principalement de :

- une chimie différente pour l'épitaxie de la base menant à une incorporation de C différente et qui joue aussi sur la sélectivité et la vitesse de croissance en fonction de la température ;
- un profil fin pour le bore et une dose de carbone réduite dans la base ;
- modification du profil de Ge (2 marches 10-25% à 3 marches 20-25-30%) ;
- diminution de la température de recuit final ($1113^{\circ}\text{C} > 1050^{\circ}\text{C}$), permettant de réduire la diffusion des espèces dopantes, notamment dans la base ;
- la réduction des dimensions latérales du composant, dont la fenêtre émetteur ;
- augmentation du dopage de la couche enterrée, qui réduit la valeur de la contribution de cette zone à la résistance collecteur.

L'ensemble de ces modifications a permis de réduire les résistances et capacités parasites et donc d'améliorer les performances du transistor bipolaire. L'ensemble de cette étude est présenté dans la thèse (Lacave 2011).

1. Résultats

A l'issue de ces travaux, on obtient différents points d'optimisation, dont les facteurs de mérite sont présentés sur les Figure 54, Figure 55, et Figure 56. On voit clairement grâce aux deux premières figures l'amélioration de la vitesse des transistors, de B9MW à B5T, à travers l'augmentation de f_T et f_{MAX} , et la réduction du temps de propagation τ_D en fonction de $1/f_{MAX}$.

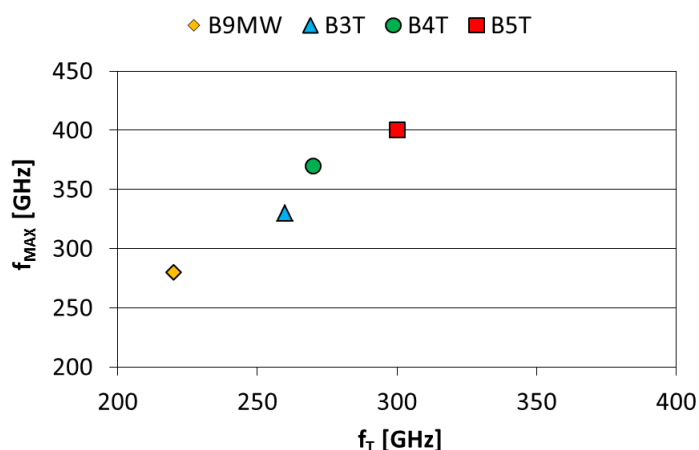


Figure 54 : Fréquences f_{MAX} vs f_T pour les différents points avancés du nœud 0,13 μ m

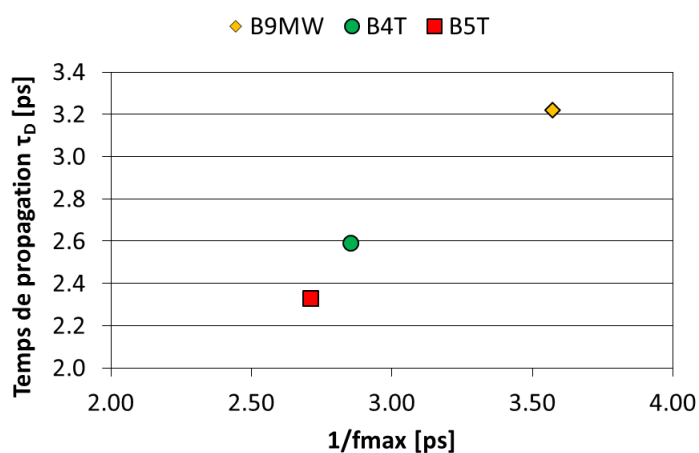


Figure 55 : Temps de propagation τ_D vs f_{max} pour les différents points avancés du nœud 0,13 μ m

On retrouve les valeurs numériques correspondantes dans la Table 2.

	B9MW	B3T	B4T	B5T
L_E [μ m]	5,0	5,0	5,0	5,0
$W_{Edessiné}$ [μ m]	0,27	0,25	0,23	0,18
W_{Eeff} [μ m]	0,13	0,12	0,09	0,12
f_T [GHz]	220	260	270	300
f_{MAX} [GHz]	280	330	370	400
τ_D [ps]	3,22	na	2,59	2,33

Table 2 : Performances fréquentielles pour les points avancés en nœud 0,13 μ m (Pascal Chevalier et al. 2012)

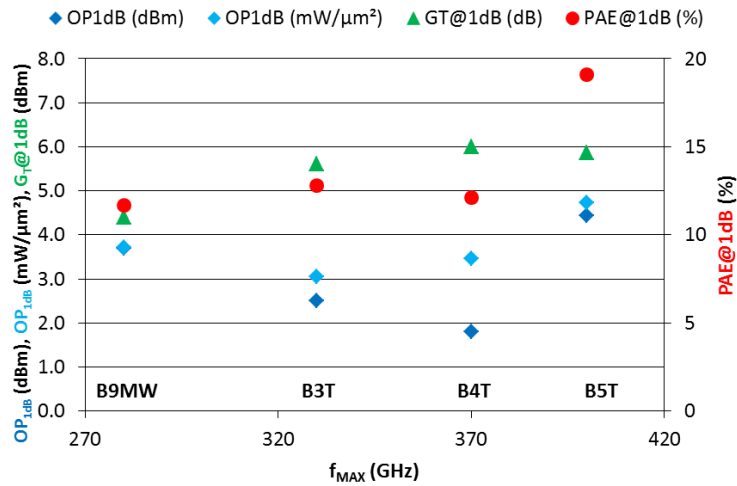


Figure 56 : Paramètres de puissance OP1dB, G_T et PAE@1dB pour les différentes technologies du nœud 0,13 μm , pour une fréquence de mesure de 94 GHz et des conditions de polarisation équivalentes

Différents paramètres de puissance caractéristiques du fonctionnement des composants (puissance de sortie OP1dB et rendement en puissance ajoutée PAE au point de compression 1dB, gain transducique G_T), sont présentés sur la dernière figure. Ces résultats ont été présentés en partie dans (Pascal Chevalier et al. 2012) et complétés pour le nœud B5T lors des travaux de cette thèse. Le protocole de mesure est présenté en Annexe B. Dépendant directement de la surface de la fenêtre émetteur et du fonctionnement intrinsèque du composant, on constate une PAE (*Power-Added Efficiency*) record en B5T (19%), ainsi que l'augmentation de la puissance de sortie au point de compression 1dB (4,7 mW/ μm^2). Le gain reste lui à peu près constant par rapport au nœud B4T. Dans (Hasnaoui et al. 2013), où la charge est optimisée en puissance nous avons montré que l'on atteint au maximum une valeur de 31% pour la PAE et 22 mW/ μm^2 pour la puissance maximale de sortie avec la technologie B5T, dans des conditions de polarisation différentes.

2. Bilan

Pour les études B3T/B4T/B5T, seul le module bipolaire a été fabriqué par simplification (ainsi que certaines étapes clés de l'intégration BiCMOS comme la gravure de la grille MOS), en sachant que les transistors MOS seraient décalés par rapport à leurs caractéristiques nominales. Les températures de recuit final en B5T à 1050°C ne sont par exemple plus en accord avec la technologie CMOS 0,13 μm . Mais cette température est utilisée pour le nœud 55 nm. L'étude en B5T a été réalisée avec une telle température en anticipation de BiCMOS055.

Dans un stage précédant cette thèse, nous avons pu étudier l'optimisation menant au nœud B5T (Canderle 2011). Ainsi, les premières études de cette thèse pour l'optimisation de la résistance de base ont été réalisées en B5T, elles sont présentées en partie dans le Chapitre III.

III. Le transistor bipolaire en technologie BiCMOS055

1. Du BiCMOS9MW au BiCMOS055

La fabrication et l'intégration du transistor bipolaire dans un nœud CMOS 55 nm sont assez semblables à celles du BiCMOS9MW en nœud 0,13 μm . Avec un total de moins de 300 étapes dont environ 50 dédiées au bipolaire, la technologie BiCMOS055 propose une offre variée en composants : différentes variétés de CMOS, SRAM, passifs, varactors, et bien sûr des transistors bipolaires rapides. Le nœud CMOS 55 nm est à ce jour le nœud le plus petit jamais utilisé pour une technologie BiCMOS silicium.

1.a. Fabrication du transistor bipolaire en nœud 55 nm

Une première différence entre BiCMOS9MW et BiCMOS055 dans la structure de la technologie est que le substrat utilisé est cristallographiquement tourné de 45° favorisant ainsi le transport des porteurs de charge (trous), ce qui profite aux transistors MOS comme aux bipolaires.

La limitation de certains équipements n'a pas permis de reproduire le transistor B5T tel qu'il est : il n'existe en effet pas d'implantation suffisamment énergétique pour de hauts niveaux de dopage, et l'équipement utilisé fournit une épitaxie collecteur non dopée. Ces deux limitations en particulier ont donc nécessité de repenser le module collecteur. De la même manière, il n'a pas été possible d'utiliser du polysilicium pour remplir les DTI, nécessitant encore une fois le développement d'un module DTI différent.

Une épitaxie de base différente permet l'incorporation de plus de carbone qu'en B5T. La température du recuit fixée par la technologie MOS est de 1050°C , plus faible qu'en BiCMOS9MW, et changeant donc la diffusion des dopants.

Le BEOL en BiCMOS055 est constitué de 8 niveaux de cuivre dont 1 niveau de cuivre épais atteignant ainsi une épaisseur totale de 11 μm environ. Il reste cependant moins épais que celui en BiCMOS9MW.

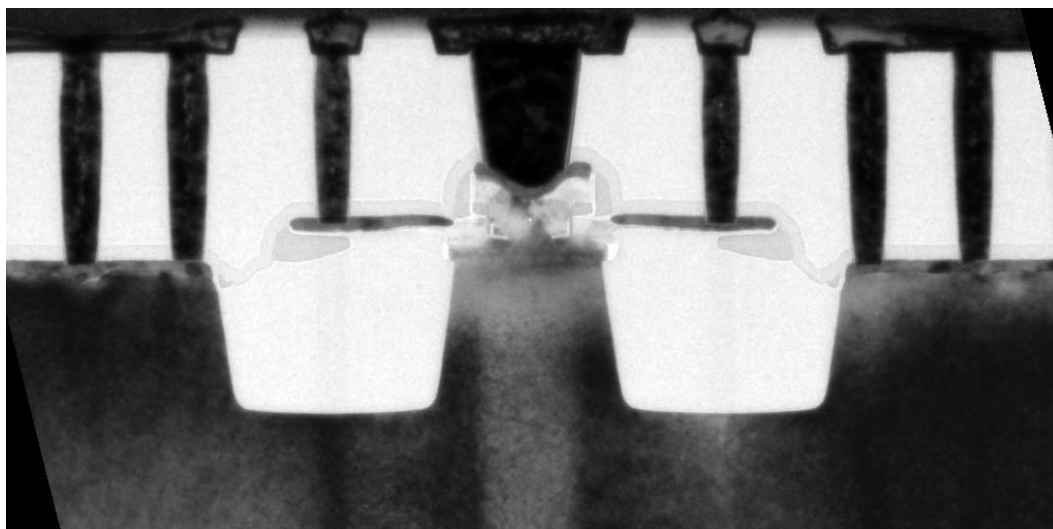


Figure 57 : Coupe TEM d'un transistor en technologie BiCMOS055 (lot Q412228)

Les règles de dessins imposant les distances minimum entre des contacts ou des lignes de métal par exemple sont plus fines grâce à la meilleure résolution des procédés de lithographie utilisées pour le nœud CMOS 55nm. Cela permet donc de réduire significativement l'encombrement du transistor et d'augmenter la densité d'intégration des composants. Pour des raisons d'électromigration, le *layout* en B55 est lui aussi modifié (Figure 58) : on utilise 3 rangées de contacts au niveau du collecteur pour relier le dispositif à la première ligne de métal.

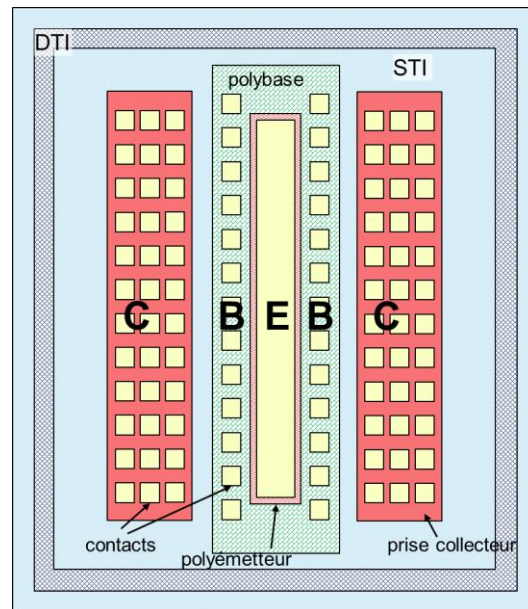


Figure 58 : Schéma du transistor bipolaire B55 en vue *layout*

Enfin, on peut noter que le nœud CMOS 55nm est en fait un *shrink* du nœud 65nm, c'est-à-dire que les dimensions sont dessinées à l'échelle 1, puis un facteur multiplicatif 0,9 est appliqué permettant de réduire toutes les dimensions. Cela permet d'augmenter la densité de puces sur une même plaque sans modifier intrinsèquement les paramètres des transistors MOS ni les procédés de fabrication. Ce transistor bipolaire vient s'intégrer à cette technologie : on peut ainsi distinguer les dimensions dessinées des dimensions réelles qui sont différentes par un facteur 0,9 ainsi qu'aux variations dues aux procédés de fabrication.

1.b. Principaux facteurs de mérite pour le transistor bipolaire B55

Cette thèse a eu lieu dans un contexte où la technologie BiCMOS055 était encore en développement. Des ajustements ont donc été nécessaires pour atteindre les fréquences désirées pour ce composant. Pour ce faire et comme d'usage, on a alors joué sur le profil vertical (dopants, profil de germanium), les recettes des différentes étapes et les règles de dessins pour atteindre :

Nœud CMOS	55 nm
Aire de l'émetteur A_e	0,100 * 4,9 μm^2
f_T	320 GHz
f_{MAX}	370 GHz
BV_{CEO}	1,5 V

Table 3 : Principales caractéristiques du transistor bipolaire en technologie BiCMOS055

Dans ce contexte les résultats présentés dans les autres chapitres sont inférieurs à ceux visés et nous les étudions de manière relative, en comparant des points de fabrication équivalents. Aujourd'hui la technologie BiCMOS est en ligne avec ses caractéristiques nominales, la plateforme est présentée fin 2014 dans (P Chevalier et al. 2014).

2. Autres composants disponibles en BiCMOS055

Dans une liste non exhaustive, nous présentons ici quelques-uns des composants disponibles en plateforme B55.

○ Dans le FEOL (sur silicium) :

- Transistors bipolaires Si/SiGe:C NPN : Rapides (*High Speed*, HS) ; de tenue en tension moyenne (*Medium Voltage*, MV) ; et de tenue en tension haute (*High Voltage*, HV)
- Résistances silicium ou polysilicium en FEOL
- Composants NMOS et PMOS, de tensions de seuil V_T différentes, et de différentes familles en fonction de leurs usage : Usage général (*General Purpose*, GP) ou Basse consommation (*Low Power*, LP)

Famille		Epaisseur oxyde de grille	Tension de seuil : V_T (V)
Oxyde GO1	GP : General purpose	18Å	S : Standard V_T
			H : High V_T
	LP : Low power	25Å	S : Standard V_T
			H : High V_T
		L : Low V_T	
Oxyde GO2		50Å	/

○ Dans le BEOL (dans l'empilement des connexions métalliques) :

- Lignes de transmissions et inductances dans le BEOL
- Varactor (capacité variable en fonction de la polarisation). Ce type de diode est souvent utilisé dans des montages radiofréquences (RF) mais aussi pour des applications à très hautes fréquences.
- Isolation métal-isolant-métal (MIM) située dans le BEOL, c'est une capacité à forte densité surfacique $5\text{fF}/\mu\text{m}^2$. De la surface de cette MIM dépendra donc sa valeur. Les éléments parasites liés à ce passif sont limités : résistance parasite des contacts et sur l'électrode, capacités parasites avec le substrat de par la distance entre substrat et BEOL.

3. Co-intégration bipolaire / MOS

L'intégration du bipolaire dans un nœud CMOS nécessite principalement de minimiser l'impact des étapes bipolaires sur le réglage des MOS mais également de prendre en compte les étapes MOS et leur impact sur le bipolaire.

Contraintes CMOS sur les transistors bipolaires :

- Le **budget thermique** CMOS va jouer sur le contrôle du profil vertical, dans la base en particulier mais aussi dans l'émetteur et le collecteur.
- **L'intégration physique** pose des contraintes sur différents niveaux : des couches de protection lors de certaines étapes de lithographie sont de plus en plus fines et/ou pas toujours suffisantes pour protéger les zones bipolaires voisines ; la hauteur maximale de l'émetteur est fixée par la hauteur du PMD, qui dépend de la fabrication des contacts standards ; l'intégrité du bipolaire est en jeu si la CMP est utilisée après la formation de la grille MOS (ex: technologie *'gate last' high-K metal gate*)
- **Back-end-of-line (BEOL)**, y compris les contacts : il y a peu de marge pour modifier le module contact si besoin, petite tolérance pour les transistors bipolaires cependant. Le BEOL CMOS n'est pas bien adapté pour des applications millimétriques, l'insertion des bipolaires entraînent donc parfois la modification de l'empilement BEOL.

Contraintes bipolaires sur les transistors CMOS :

- L'impact du **budget thermique** du bipolaire sur les implantations source / drain des CMOS et autres implantations est de plus en plus critique pour les nœuds CMOS avancés. (notamment pour les technologies *'gate first' high-K metal gate*). L'étape d'épitaxie de la base génère généralement le budget thermique le plus important.
- Au niveau de **l'intégration physique**, le retrait ou la gravure isotropique de certaines couches bipolaires ne sont plus possibles si elles sont réalisées après la gravure de la grille. L'intégrité de la grille est également en jeu si la CMP est utilisée pour la fabrication bipolaire, après formation de la grille.
- **Back-end-of-line (BEOL)** : Les densités de courant pour les transistors bipolaires, sont trop fortes par rapport aux contraintes d'électromigration. On utilise un contact ruban pour l'émetteur pour pallier à ce problème mais cela nécessite le développement d'un nouveau module contact. En B55, on a une double étape de lithographie et de fabrication pour les contacts standards / rubans. Enfin, si on change la structure du BEOL, il faut faire attention à l'impact sur les librairies CMOS.

En conclusion, l'intégration du bipolaire est à considérer avec attention car il faut que l'impact soit minimal sur chacun de ces composants, et au besoin, il faut les recentrer pour respecter les spécifications de la technologie en nœud 55nm. Dans le chapitre III, nous étudierons en particulier l'impact de certains procédés thermiques sur le centrage des composants MOS.

B. Etat de l'art du transistor bipolaire Si/SiGe pour les autres fabricants

Dans cette partie nous présentons les dernières architectures et les résultats obtenus par les différents fabricants de transistors bipolaires et de technologie BiCMOS dans le monde. Certaines d'entre elles ont été détaillées et comparées dans (Pascal Chevalier et al. 2011).

I. Freescale

L'architecture Freescale (John et al. 2007), élaborée à partir d'un TBH du nœud 0,18µm de leur technologie BiCMOS, utilise un module base/émetteur "classique" avec une base SiGe:C auto-alignée par épitaxie sélective mais un module collecteur simplifié sans DTI ni couche enterrée. La particularité de cette architecture est l'ajout d'une couche enterrée sous les STI, appelée *Sub-Isolation Buried Layer* (Figure 59). Elle nécessite une implantation supplémentaire au niveau des STI, avant leur remplissage. Cela permet de diminuer localement la résistivité de ces zones et ainsi diminuer la résistance collecteur R_C . On échappe ainsi au compromis R_C/C_{BC} habituel, car R_C est réduit sans modifier le profil de la jonction B/C.

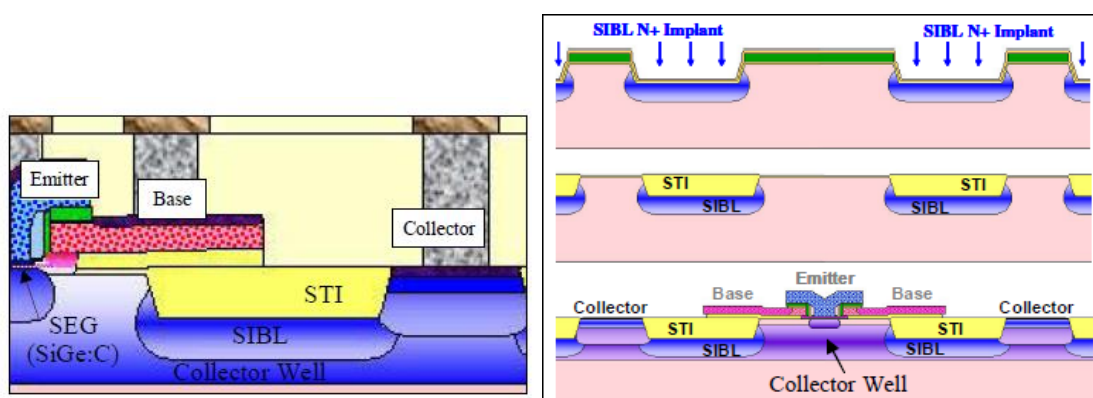


Figure 59 : Schémas de la structure Freescale avec SIBL et l'implémentation de cette SIBL dans le transistor

Pour obtenir les dernières performances en date, le profil de base a été optimisé de manière abrupte et la résistance de base extrinsèque a été réduite de manière significative. On a alors :

Nœud CMOS	0,18 µm
Aire de l'émetteur A_e	0,15*10 µm ²
f_T	200 GHz
f_{MAX}	300 GHz
T_D	na
BV_{CEO}	2,0 V
BV_{CBO}	6,2 V

Table 4 : Principales caractéristiques du transistor bipolaire avec SIBL, par Freescale

II. IBM

L'architecture du transistor bipolaire IBM développé en 2006 dans un nœud BiCMOS 0,13 μm était la première à dépasser les 300 GHz (Khater et al. 2004)(Orner et al. 2006). La structure est différente de celle de B9MW par une épitaxie de la base intrinsèque qui est non sélective et une base extrinsèque surélevée également dopée bore, auto-alignée par rapport à l'émetteur dopé in-situ au phosphore. Le schéma de connexion est BEC au lieu de CBEB. C.

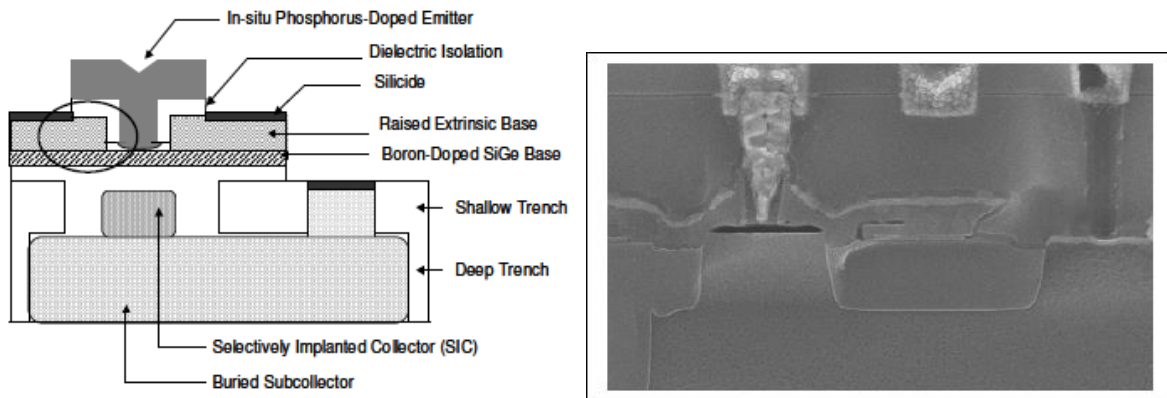


Figure 60 : Schéma et coup TEM du transistor bipolaire IBM

Les fréquences atteintes et inégalées en 2006 sont :

Nœud CMOS	0,13 μm
Aire de l'émetteur A_e	0,12*2,5 μm^2
f_T	300 GHz
f_{MAX}	330 GHz
BV_{CEO}	1,5 V

Table 5 : Principales caractéristiques du transistor bipolaire IBM

En 2013, une nouvelle publication d'IBM (Camillo-Castillo et al. 2013) montre les optimisations apportées à cette architecture dans un nœud 90 nm. Au-delà de l'architecture décrite rapidement ci-dessus, cette étude vise à optimiser la résistance de base et la capacité base/collecteur. Pour cela, un recuit milli-seconde (MSA) est utilisé pour permettre une meilleure activation des dopants sans diffusion, notamment au niveau de la base. Le type de siliciuration est modifié pour que le budget thermique associé n'annule pas les effets du MSA. D'autre part, un module de STI secondaires (SSOFIT) est développé pour réduire la capacité base/collecteur en périphérie de la zone active.

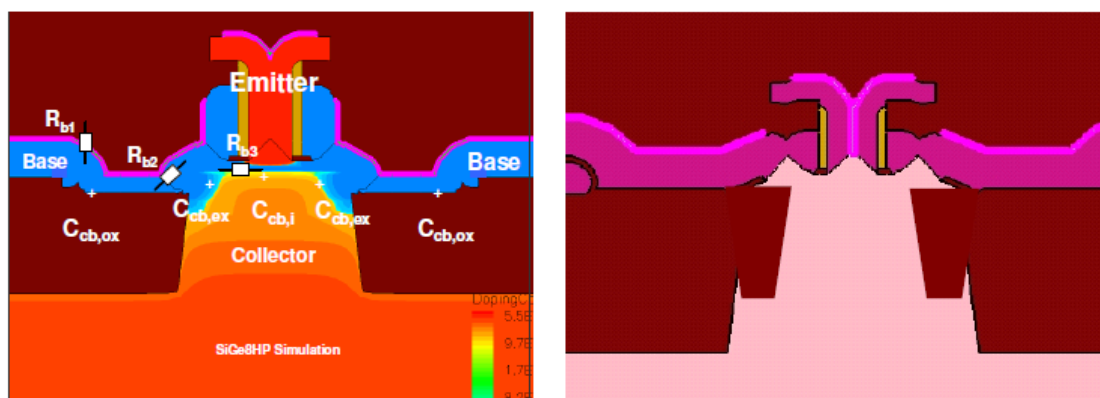


Figure 61 : Structure d'un transistor bipolaire IBM avant et après optimisation via les SSOFIT

Ces deux développements ont permis une technologie BiCMOS dont le bipolaire a les caractéristiques suivantes :

Nœud CMOS	90 nm
Aire de l'émetteur A_e	0,1*2 μm^2
f_T	300 GHz
f_{MAX}	420 GHz

Table 6 : Principales caractéristiques du transistor bipolaire par IBM après optimisation

III. IHP

Les trois architectures suivantes ont été conçues avec la volonté d'améliorer la qualité du lien entre la base intrinsèque et extrinsèque.

1. Un lien latéral

IHP a mis au point une architecture avec un lien base latéral (Fox et al. 2008; Fox, Heinemann, and Rücker 2011), pour réduire la résistance associée au lien entre la base intrinsèque et la base extrinsèque. Le module collecteur de ce TBH est un collecteur implanté, sans DTI et sans STI entre la zone intrinsèque du transistor et les contacts collecteurs. Cette structure a l'avantage de nécessiter moins de masques de lithographie (trois masques pour la fabrication du TBH). Est alors déposé un empilement de plusieurs couches (oxyde – polybase – oxyde – nitrure – oxyde) à travers lequel la fenêtre émetteur est ouverte. Le SIC est implanté à travers une première couche de Silicium, formée par épitaxie sélective dans cette fenêtre. On dépose ensuite, toujours par **épitaxie sélective** la base Si/SiGe:C du TBH. Le poly-émetteur est déposé dans une cavité surgravée, obtenant ainsi sa forme en T et qui lui confère l'auto-alignement avec la fenêtre émetteur. On peut alors retirer la couche de nitrure sacrificielle qui a permis de donner sa forme à l'émetteur. Le principe de fabrication est décrit dans la Figure 62 et on peut voir le résultat final sur la Figure 63.

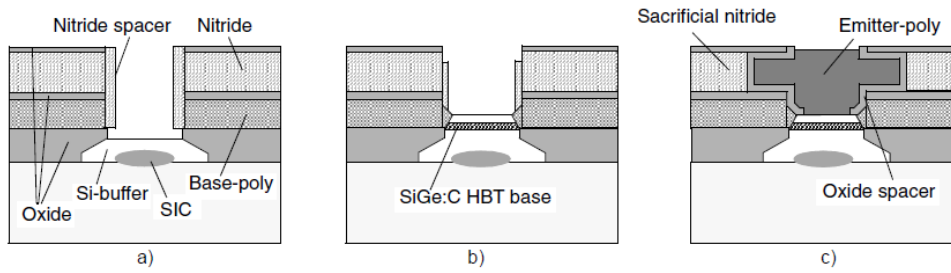


Figure 62 : Schémas de trois étapes du procédé de fabrication d'un TBH avec un lien base latéral a) après l'épithaxie sélective du Si-buffer et l'implantation du SIC, b) après l'ouverture des espaceurs latéraux et l'épithaxie sélective de la base et c) après la formation de l'émetteur

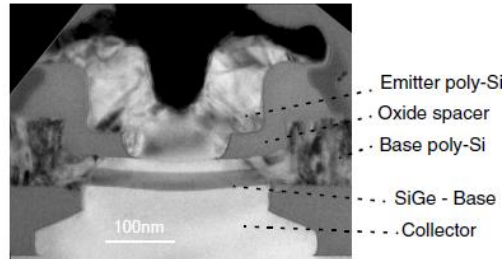


Figure 63 : Coupe TEM d'un transistor bipolaire avec un lien latéral, par IHP

Cependant cette architecture n'a pas donné les résultats attendus : les fréquences de coupure caractéristiques du composant ont pu être améliorées grâce à la réduction de la capacité base/collecteur par rapport à une architecture classique mais la résistance de base est plus élevée.

Nœud CMOS	0,25 μm
Aire de l'émetteur A_e	$2 \times 0,16 \times 0,93 \mu\text{m}^2$
f_T	300 GHz
f_{MAX}	350 GHz
τ_D	2,5 ps
BV_{CEO}	1,85 V
BV_{CBO}	4,3 V

Table 7 : Principales caractéristiques du transistor bipolaire IHP avec un lien de base latéral

La faiblesse de cette structure réside sur la résistance de la base. IHP a par la suite tenté d'améliorer cette valeur par le dépôt de la base extrinsèque après celui de la base intrinsèque grâce à une structure avec base extrinsèque épithaxiée.

2. Une base extrinsèque épithaxiée

Dans la structure décrite dans (Fox et al. 2011), le module collecteur est semblable. La partie intrinsèque de la base est formée après l'ouverture de la fenêtre émetteur au travers d'une pile d'oxyde / nitrure / oxyde. Le nitrure va servir de couche sacrificielle et sera remplacé par la base extrinsèque. La base intrinsèque est épithaxiée sélectivement comme dans la structure précédente. Son épaisseur est adaptée pour que la base SiGe:C atteigne la même hauteur que la couche sacrificielle. Après formation des espaceurs et de l'émetteur, une couche d'oxyde est déposée pour protéger ce dernier. Le nitrure sacrificiel est alors retiré et

une épitaxie sélective est utilisée pour former la partie monocristalline de la base extrinsèque. Puis la base extrinsèque dopée in situ B est finalisée par une épitaxie différentielle (monocristalline sur cristal monocristallin, sinon polycristallin). Une gravure sèche sélective et anisotropique, permet de structurer la base extrinsèque. Cette architecture utilise seulement 3 masques dédiés. On compte 5 niveaux de métal pour les interconnexions.

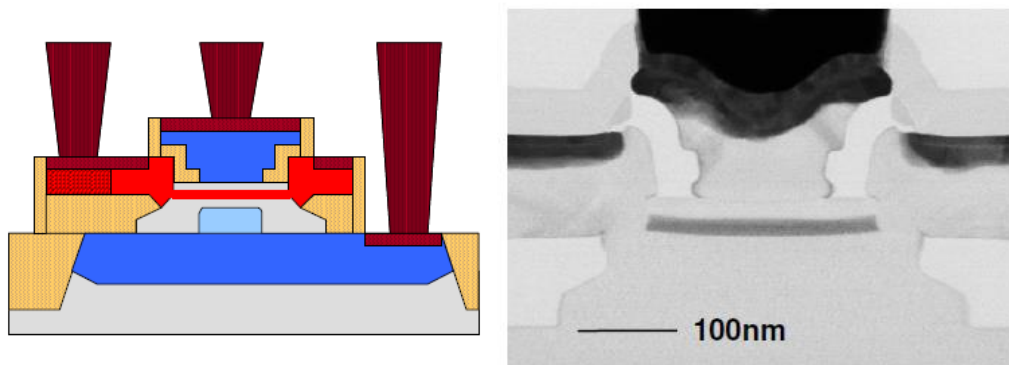


Figure 64 : Schéma et coupe TEM du transistor à base extrinsèque épitaxiée, conçu par IHP, avec une largeur d'émetteur $W_E=155\text{nm}$

La réduction de la résistance de base est permise par une base extrinsèque principalement monocristalline. IHP a ainsi obtenu de très bons résultats pour cette architecture, mais c'est une architecture qui reste assez compliquée à réaliser par rapport aux procédés mis en jeu.

Nœud CMOS	0,25 μm
Aire de l'émetteur A_e	$8 \times 0,155 \times 1,0 \mu\text{m}^2$
f_T	310 GHz
f_{MAX}	480 GHz
T_D	1,9 ps
BV_{CEO}	1,75 V
BV_{CES}	3,8 V

Table 8 : Principales caractéristiques du transistor bipolaire IHP avec une base extrinsèque épitaxiée

3. Une base extrinsèque élevée

Les résultats liés à l'architecture suivante ont été publiés en 2010 dans (Bernd Heinemann et al. 2010) pour le transistor bipolaire et en 2012 dans (Rücker and Heinemann 2012) pour la technologie BiCMOS associée.

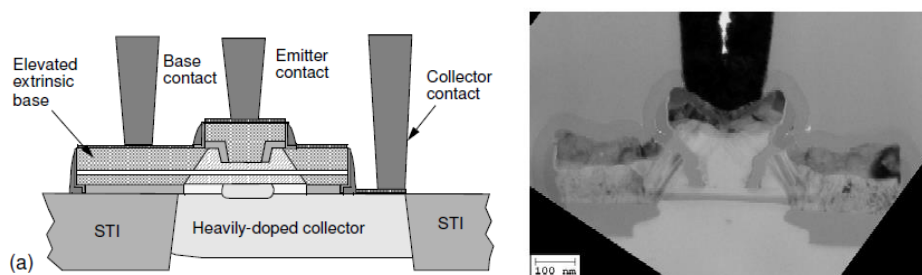


Figure 65 Coupe TEM du TBH d'architecture « base extrinsèque élevée », $W_E=120\text{nm}$

En parallèle au développement du transistor avec lien base latéral, l'équipe de l'IHP a également travaillé sur une nouvelle structure « *elevated extrinsic base* », qui présente aujourd'hui les meilleures performances fréquentielles. Cette architecture utilise un collecteur implanté, sans DTI. On réalise par épitaxie non sélective un empilement Si-buffer / SiGe:C / SiCap qui sera monocristallin au-dessus de la fenêtre collecteur, polycristallin sinon. On dépose ensuite une couche sacrificielle qui est remplacée par la base extrinsèque après formation de l'émetteur. La fenêtre émetteur est ouverte à travers cet empilement et l'émetteur dopé As y est déposé puis structuré. Un dépôt d'oxyde permet de le protéger de la gravure humide de la couche sacrificielle, et de la croissance par épitaxie sélective de la base extrinsèque élevée, dopée B, auto alignée sur la base intrinsèque et la fenêtre émetteur. L'augmentation de l'épaisseur du siliciure a permis une meilleure résistance de contact. Le schéma de connexion d'un tel transistor est particulier car il met 8 structures unitaires en parallèle. Les interconnexions sont constituées de 7 niveaux d'aluminium.

L'intégration du bipolaire dans une technologie BiCMOS a été démontrée, mais les composants CMOS avaient à l'heure de la publication besoin de quelques ajustements. On remarque aussi qu'il n'y pas d'auto-alignement entre la jonction B/E et la jonction B/C. Voilà les caractéristiques d'un tel transistor :

Nœud CMOS	0,13 μm
Aire de l'émetteur A_e	$8*0,12*0,96 \mu\text{m}^2$
f_T	300 GHz
f_{MAX}	500 GHz
T_D	2,0 ps
BV_{CEO}	1,6 V
BV_{CBO}	5,1 V
BV_{CES}	5,2 V

Table 9 : Principales caractéristiques du transistor bipolaire IHP avec une base extrinsèque élevée

IV. IMEC

Le laboratoire belge IMEC a pour sa part développé une structure appelée « *Growth-in-one-go* » (Donkers et al. 2007; Van Huylenbroeck et al. 2009; Van Huylenbroeck et al. 2011) qui consiste à la croissance en une fois, par épitaxie différentielle non sélective, de la base et du collecteur, ce qui permet leur auto-alignement. Cette épitaxie bien contrôlée permet le dépôt d'une zone faiblement dopée en As (2.10^{18} at/cm³) sous la base, ainsi qu'une transition nette avec la partie la plus dopée du collecteur (1.10^{20} at/cm³). Le collecteur et la base sont ainsi dopés in situ.

Après croissance de ces couches, une couche de nitrure constitue l'émetteur sacrificiel. On conserve la partie centrale de cet empilement (Figure 66 (a)), puis on dépose une succession oxyde-polybase-oxyde thermique à son abord (b). L'émetteur sacrificiel est ensuite remplacé par des espaceurs en L et un émetteur monocristallin dopé As in situ (c). L'architecture est finalisée par un recuit à 1085°C. A noter que là aussi, la structure ne comporte pas de

tranchées profondes d'isolation DTI. On peut retrouver l'architecture G1G finale sur la Figure 67 avec un schéma de connexion BEBC.

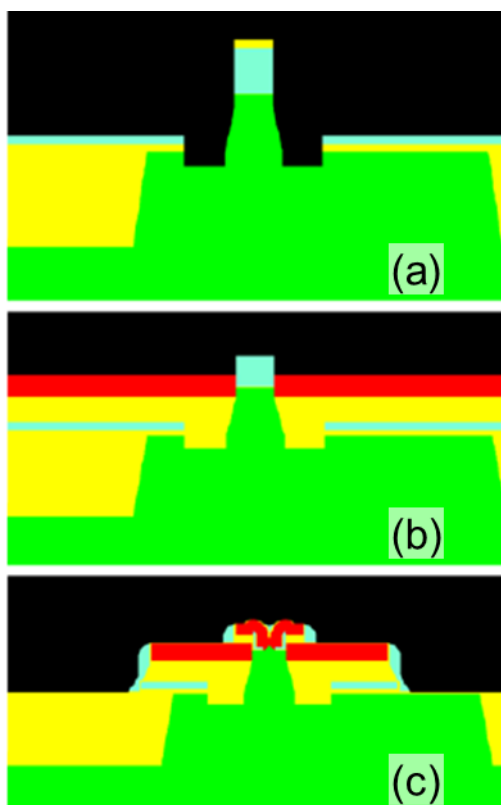


Figure 66 : Principales étapes de la conception du transistor G1G. (a) Gravure de l'empilement collecteur/base après leur épitaxie, (b) dépôt et planarisation d'un oxyde et dépôt du polybase extrinsèque, (c) Formation du module polyémetteur et gravure des couches

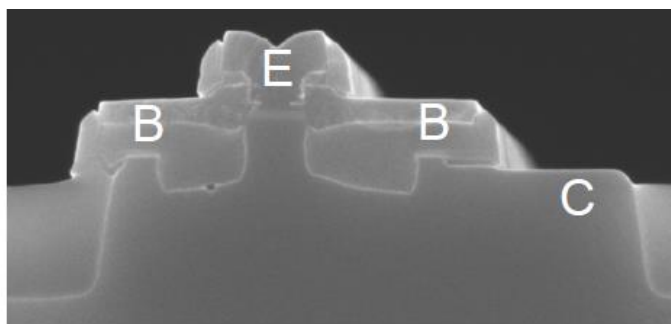


Figure 67 : Coupe TEM pour un transistor bipolaire d'architecture G1G

Les caractéristiques principales de ce composant sont présentées dans la Table 10. La principale difficulté liée à cette architecture est l'alignement de la base intrinsèque avec la base extrinsèque.

Nœud CMOS	0,13 μm
Aire de l'émetteur A_e	0,15*1,0 μm^2
f_T	245 GHz
f_{MAX}	450 GHz
BV_{CEO}	1,7 V
BV_{CBO}	5,1 V

Table 10 : Principales caractéristiques du transistor bipolaire G1G

Une étude récente de l'IMEC montre par des simulations que différentes architectures (G1G, LPC *low parasitic collector* et FSA *fully self-aligned*) sont susceptibles d'atteindre $f_{MAX} = 500$ GHz sous réserve de règles de dessins suffisamment réduites, avec une fenêtre émetteur de 40 nm (Sibaja-Hernandez et al. 2010).

V. Infineon

Infineon Technologie utilise également l'architecture conventionnelle DPSA-SEG utilisée dans (Knapp et al. 2010) et publiée pour la première fois dans (Bock et al. 2004). Le procédé d'élaboration est très proche de celui de ST à quelques détails près : le SIC est implanté après l'ouverture de la fenêtre émetteur –comme pour ST- mais aussi après le dépôt d'espaceurs en nitrure dédiés. Ces espaceurs sont retirés après l'implantation. Ils permettent de réduire la largeur du SIC. D'autre part, deux recuits sont effectués –contre un seul pour ST- : après le dépôt de la base et après la siliciuration des contacts, en tant que recuit final. Le premier recuit permet la diffusion du bore dans le lien.

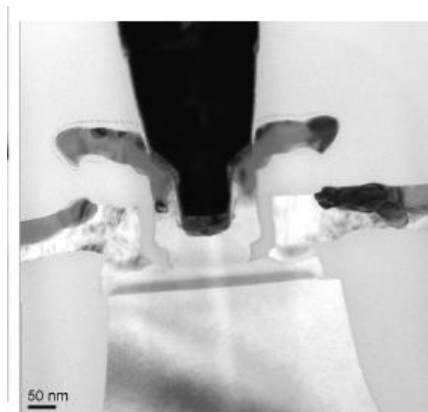


Figure 68 : Coupe TEM pour un transistor conçu par Infineon, de largeur d'émetteur $W_E = 130$ nm

Nœud CMOS	0,35 μm
Aire de l'émetteur A_e	0,13*2,70 μm²
f_T	240 GHz
f_{MAX}	380 GHz
T_D	2,4 ps
BV_{CEO}	1,5 V
BV_{CBO}	5,5 V

Table 11 : Principales caractéristiques du transistor bipolaire Infineon

VI. Hitachi

Le japonais Hitachi utilise également une architecture auto-alignée avec épitaxie sélective de la base. Un émetteur phosphore et l'augmentation du budget thermique ont été utilisés ensemble pour favoriser la diffusion des dopants de l'émetteur et ainsi réduire l'épaisseur finale de la base et le temps de transit associé (Miura et al. 2006). L'augmentation des concentrations en bore et en germanium a permis d'obtenir en nœud 0,13 μ m les performances suivantes (Hashimoto et al. 2014) :

Nœud CMOS	0,13 μm
Aire de l'émetteur A_e	0,12*1,0 μm^2
f_T	253 GHz
f_{MAX}	325 GHz
BV_{CEO}	1,5 V

Des études antérieures d'Hitachi se sont concentrées sur des transistors dédiés aux applications de puissance, pas forcément plus rapides mais avec une plus faible consommation (Miura et al. 2008) ; ou un transistor dont la résistance de base n'est pas dégradée lorsque la fenêtre émetteur est plus grande, ce qui plus favorable pour certaines applications (Washio et al. 2008).

VII. TowerJazz

TowerJazz présente une technologie BiCMOS pour le nœud 0,18 μm (Preisler et al. 2011) dont le principe est décrit dans (Racanelli et al. 2001). C'est une structure similaire au B9MW avec une couche enterrée, des isolations par STI et DTI. Une couche de SiGe est déposée par épitaxie non sélective, qui constitue la base intrinsèque et la partie polycristalline sur laquelle est posé le contact électrique. Un émetteur sacrificiel est utilisé pour auto-aligner l'ouverture de la fenêtre émetteur et pour servir de masque au dopage de la base extrinsèque (cf Figure 69).

La dimension finale de l'émetteur est définie directement par celle de l'émetteur sacrificiel plutôt qu'en utilisant des espaceurs internes et une épitaxie sélective de la base comme d'autres concurrents. La couche de la base du transistor est retirée des zones des transistors CMOS, dont on implante ensuite les sources et drains. Le BEOL du transistor est composé de 6 niveaux de métal ainsi que d'une capacité MIM.

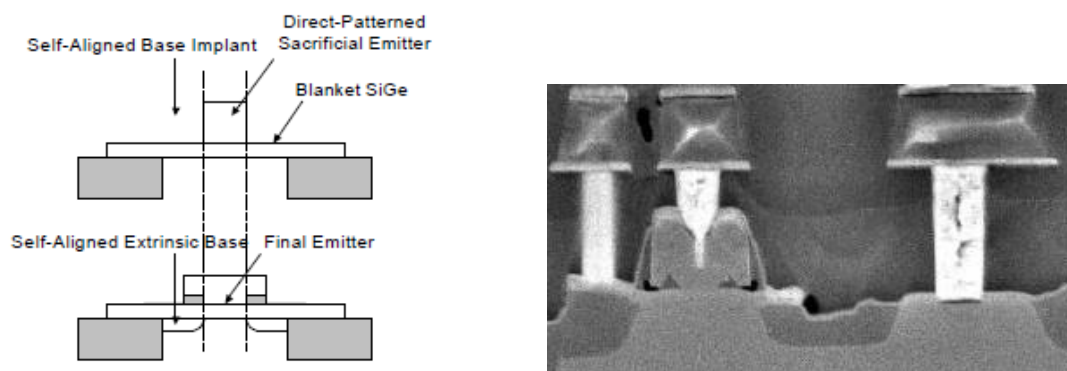


Figure 69 : Coupe schématique de la zone intrinsèque du transistor TowerJazz et coupe TEM de l'ensemble du transistor Towerjazz avec ses contacts

Afin d'améliorer les performances en fréquence du transistor, le profil vertical a été optimisé pour réduire la résistance de base intrinsèque et le profil du collecteur a été rendu plus abrupt dans (Preisler et al. 2011). Les derniers résultats communiqués sont les suivants :

Nœud CMOS	0,18 μm
Aire de l'émetteur A_e	0,13*3,0 μm^2
f_T	240 GHz
f_{MAX}	270 GHz
BV_{CEO}	1,6 V
BV_{CBO}	5,5 V

Table 12 : Principales caractéristiques du transistor bipolaire Towerjazz

VIII. Autres compromis f_T/f_{MAX}

Dans cet état de l'art, nous avons choisi de nous concentrer sur les résultats où f_{MAX} est supérieur à f_T , c'est-à-dire où le gain de puissance est supérieur au gain en courant. Loin d'être exhaustive, cette liste compare donc les points de fonctionnement similaires au nôtre.

On peut également citer les références où f_T est largement supérieure à f_{MAX} , avec des choix d'optimisation différents :

- (Geynet et al. 2008) : par STMicroelectronics, $f_T = 410 / f_{MAX} = 150$ GHz obtenus pour une architecture DPSA-SEG simplifiée et avec un budget thermique réduit. f_{MAX} est limité par la résistance de base et la capacité C_{BC} , les règles de dessins n'ayant pas été optimisées.
- (B Heinemann et al. 2004) : par IHP, $f_T = 380 / f_{MAX} = 190$ GHz atteints grâce au rétrécissement du collecteur, pour obtenir de faibles capacités
- (Rieh et al. 2006) : par IBM, $f_T = 375 / f_{MAX} = 210$ GHz, rétrécissement du collecteur et profil vertical plus agressif

C. Bilan sur l'état de l'art

Dans la Figure 70 sont représentés les principaux résultats à l'état de l'art pour le transistor bipolaire Si/SiGe. L'architecture avec une base extrinsèque élevée par IHP donne les meilleurs résultats, permis par un changement conséquent du module base du transistor. Chez STMicroelectronics, pour la technologie BiCMOS055 (B55) nous avons choisi de développer l'architecture DPSA-SEG jusqu'au maximum de ses capacités, et ainsi privilégié la très bonne connaissance de l'architecture.

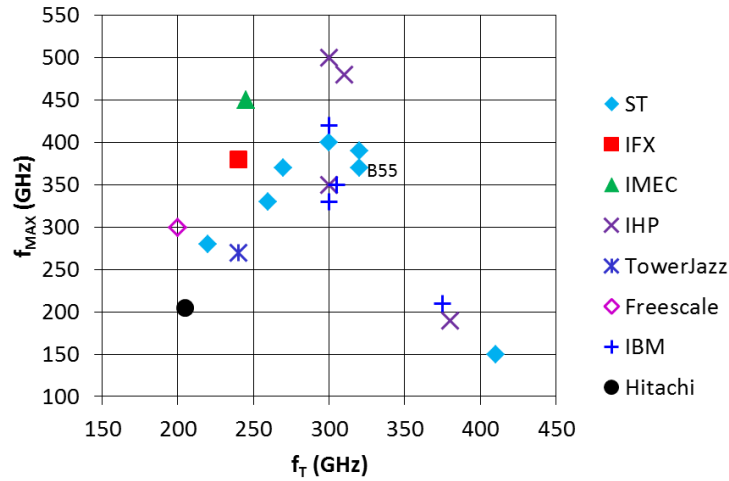
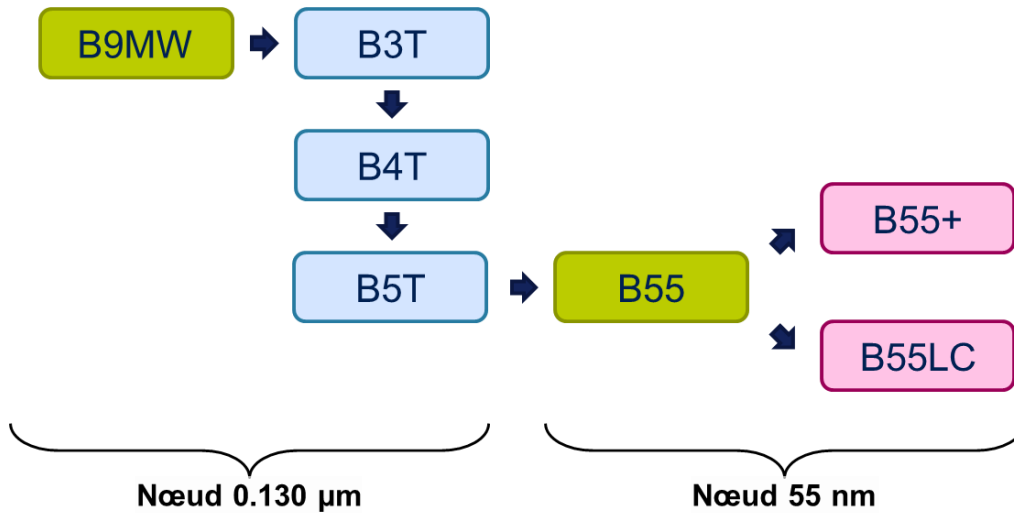


Figure 70 : Résultats f_T vs f_{MAX} pour l'ensemble des compétiteurs fournissant une technologie bipolaire

A partir de cette plateforme B55, nous avons mené en parallèle diverses études visant à améliorer le transistor actuel (B55+, Chapitre III) en faisant des essais sur la **résistance du lien de la base** ou sur le **budget thermique**, ou encore une étude pour développer un **transistor bas-coût** (B55LC, Chapitre IV), avec une architecture de collecteur simplifiée aux performances équivalentes. Un autre point d'intérêt est également l'étude de la géométrie du **BEOL** au-dessus du composant et du stress induit sur ce dernier (Chapitre V) pour un transistor B55 et aussi B9MW.



D. Les prévisions de l'ITRS 2013

L'ITRS ou *International Technology Roadmap for Semiconductors* est un comité d'experts de la microélectronique qui se réunit chaque année et donne une feuille de route sur 15 ans pour l'évolution des composants et circuits intégrés et leurs performances. Nous nous intéressons plus particulièrement aux technologies RF AMS (*Radio frequency (RF)* et *Analog/Mixed-Signal (AMS)*), découpées en 4 sous-groupes :

- 1) Technologie CMOS pour la RF
- 2) Technologie bipolaire et BiCMOS en silicium (Groupe IV)
- 3) Technologie semiconducteur composée (Groupe III-V)
- 4) Composants passifs intégrés

Voici un bref récapitulatif de leur dernier rapport concernant le transistor bipolaire sur silicium (ITRS 2013). Les prévisions chiffrées pour les 15 prochaines années sont représentées sur la Figure 71.

« Dans le cas des transistors bipolaires sur silicium, le premier challenge est d'augmenter la fréquence f_T grâce à des profils verticaux plus agressifs, tout en maintenant une fréquence f_{MAX} supérieure à f_T : pour cela il faut donc de faibles résistances de base et capacités de jonction base-collecteur. Plusieurs architectures ont été développées dans les dernières années, avec de nouveaux compromis. Il paraît évident que l'usage d'une de ces architectures sera essentiel pour atteindre les performances du nœud N5. Il faudra également prouver la compatibilité de ces architectures dans des technologies BiCMOS.

Le deuxième challenge relatif aux transistors bipolaires est la réduction de la largeur d'émetteur pour limiter l'augmentation du courant collecteur au pic f_T . Comme représenté dans la Figure 71, l'augmentation des fréquences f_T et f_{MAX} s'accompagnent de l'augmentation de ce courant, jusqu'à 120 mA/ μm^2 au nœud N5. Face à de tels niveaux, la question des connexions et de l'auto-échauffement du transistor se pose irrémédiablement. On peut bien évidemment réduire la taille de la fenêtre émetteur grâce aux différents procédés de lithographie, mais la plus grande difficulté réside dans la résistance émetteur même. En particulier les contributions des interfaces formées entre le via, la siliciuration et le polyémetteur d'une part, ainsi qu'entre le polyémetteur et la partie monocristalline d'autre part, qui augmentent lorsque la surface émetteur diminue.

Plus généralement, pour atteindre de telles valeurs de fréquence, cela suggère que toutes les résistances (d'interface ou de contact) soient divisées par deux d'ici N5, même si aucune solution n'existe a priori aujourd'hui.

Les prévisions de la figure ont été obtenues par simulation, avec des profils verticaux agressifs et des règles de dessins minimisées. Cette feuille de route est dirigée par l'augmentation de la performance nécessaire pour passer d'un nœud BiCMOS à un autre, limitée cependant par les challenges techniques d'aujourd'hui. »

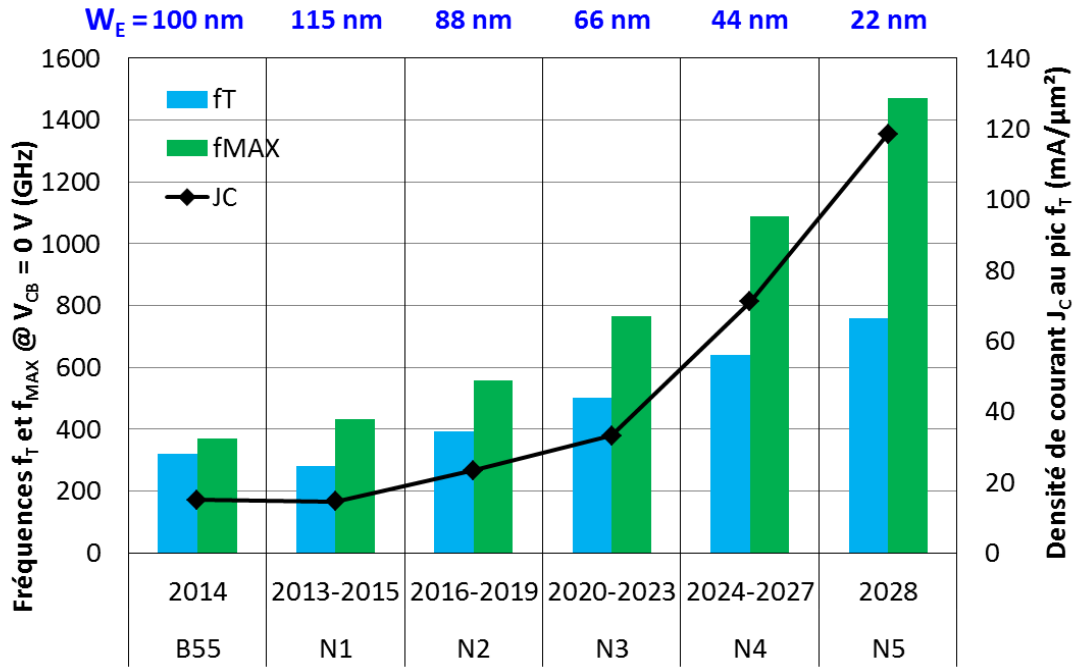


Figure 71: Résultats f_T / f_{MAX} B55 vs prévisions de l'ITRS 2013 à partir des données de (ITRS 2013)

Chapitre III. Optimisation de la résistance de base et impact du budget thermique

Ce troisième chapitre fait l'objet de l'étude de la résistance de base, paramètre clé dans la conception d'un transistor bipolaire.

Après une brève présentation du profil de base intrinsèque, nous voyons à travers divers essais sur la structure du matériau constituant le polybase, l'intérêt de se concentrer en particulier sur la qualité du lien entre la base intrinsèque et la base extrinsèque.

Finalement on voit que le budget thermique propre à la fabrication du transistor est un des éléments essentiels pour l'optimisation de la résistance de base, jouant directement sur la diffusion et l'activation des dopants. L'utilisation d'un recuit additionnel après l'épitaxie de la base et d'un recuit milliseconde en fin de FEOL est analysée dans les deux dernières parties.

Dans l'objectif d'améliorer l'architecture DPSA-SEG utilisée chez ST, il est nécessaire de maîtriser finement la diffusion des espèces dopantes et la qualité des jonctions base/émetteur et base/collecteur. En particulier pour la résistance de base, dont les différentes contributions sont schématisées sur la Figure 72. Leur importance relative a été calculée pour un transistor standard par l'équipe de modélisation et a permis de déduire le diagramme représenté Figure 73. La résistance intrinsèque $R_{B_intrinsèque}$ constitue moins d'un quart de la valeur totale et dépend des règles de dessin et du profil de dopage dans la base épitaxiée. On voit aussi clairement que la résistance $R_{B_espaceur} + R_{B_lien}$ constitue environ trois quarts de la résistance totale. Cette somme correspond à la « jonction » entre la base intrinsèque déposée par épitaxie et la base extrinsèque fortement dopée, jonction également appelée lien. Sa qualité dépend de la diffusion du bore entre les deux zones.

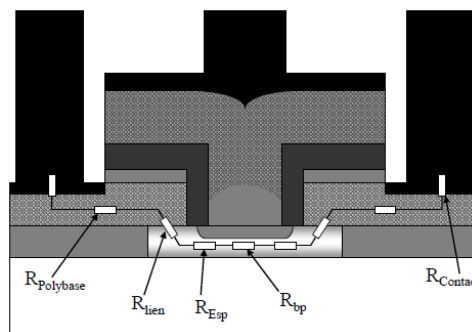


Figure 72 : Schéma des différentes contributions à la résistance de base du transistor bipolaire

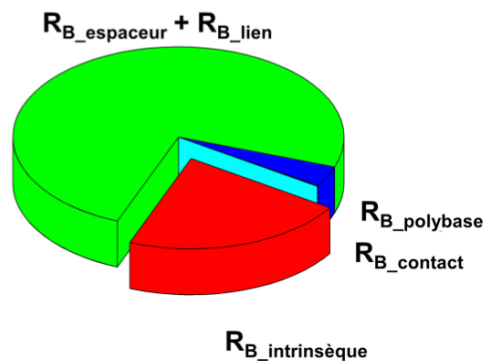


Figure 73 : Contribution relative des différentes contributions à la résistance de base totale

Dans la suite nous présentons tout d'abord les principaux paramètres du profil intrinsèque qui vont jouer sur la résistance de base, ainsi que les différents essais tentés pour réduire cette résistance à travers le polybase. Nous voyons ensuite l'impact du budget thermique via un recuit additionnel permettant la diffusion du bore dans le lien de la base. Enfin l'impact d'un recuit milli-seconde en fin de fabrication est étudié, il va jouer directement sur l'activation des dopants dans le transistor.

A. Profils de la base intrinsèque et essais pour le matériau polybase

I. Profil de base intrinsèque

Le développement du BiCMOS055 a nécessité de nombreux essais pour réussir à optimiser chacune des régions du transistor, dans le but d'atteindre les performances déjà démontrées en B5T. Un travail conséquent a notamment été réalisé sur le profil de base intrinsèque qui peut être vu comme le cœur du composant. Cette zone est particulièrement délicate car de nombreux paramètres entrent en jeu : le profil de bore (son épaisseur, le niveau de dopage), l'interaction avec les profils d'arsenic environnant, la quantité de carbone, le profil de germanium dans la base, etc. Nous résumons ici une partie du travail réalisé par l'équipe pour le développement du transistor bipolaire B55 afin d'avoir une vision globale du réglage de la base.

1. Diffusion du bore de la base intrinsèque

Après l'ensemble des budgets thermiques, l'arsenic de l'émetteur diffuse à travers le SiCap vers la base, tandis que le bore de la base diffuse lui en direction de l'émetteur mais également vers le collecteur. Sur la Figure 74, on peut voir la diffusion du bore et de l'arsenic après le budget thermique. On remarque aussi que les espaceurs en D en silicium amorphe absorbent une petite quantité d'arsenic lors de la diffusion.

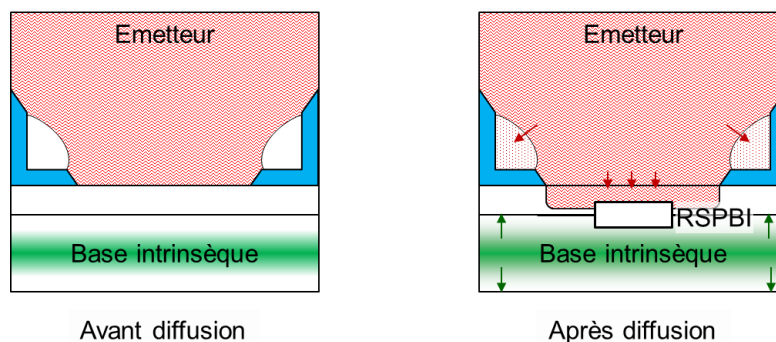


Figure 74 : Diffusion des espèces dopantes à la jonction base/émetteur

Plus la diffusion est importante, en fonction du budget thermique, de l'épaisseur du SiCap ou de la quantité de carbone, plus la résistivité $RSPBI$ diminue. Lorsque les profils d'arsenic et de bore deviennent très proches, la base est pincée, et une diffusion plus importante des profils augmente alors la résistivité $RSPBI$: le bore diffusé est écranté au-delà des jonctions avec l'arsenic et ne contribue pas à la résistance de base pincée. L'augmentation de la largeur dopée dans la base intrinsèque avec la diffusion a aussi un autre effet : celui d'augmenter le temps de transit dans la base τ_B , que l'on peut seulement évaluer à travers le temps de transit total τ_F .

Nous présentons ici quelques résultats obtenus sur silicium. La corrélation entre τ_F et $RSPBI$ est tracée sur la Figure 75 (gauche). Sur la Figure 75 (droite) et Figure 76 sont représentées les évolutions de la résistance de base en fonction des caractéristiques du pic de bore dans la base intrinsèque et des fréquences f_T , f_{MAX} . Plus le pic de bore a une largeur fine, plus la résistivité $RSPBI$ augmente. Cela favorise alors f_T qui dépend du temps de transit τ_B au détriment de f_{MAX} , qui elle est pénalisée par l'augmentation de la résistance de base. L'optimum f_T/f_{MAX} existe pour une largeur p_B de 4,5 nm dans ces essais. D'autre part, plus le pic de bore est dopé, plus la résistance de base diminue. f_{MAX} augmente grâce à la réduction de la résistance de base, mais cela dégrade à priori le temps de transit des électrons dans la base et donc f_T . On a gardé une dose égale à 5.10^{19} at/cm³ pour avoir un fort f_T .

Dans les deux cas, l'augmentation du réservoir de dopants (par la dose ou la largeur) se traduit par une diminution de la résistance de base et la dégradation du temps de transit des électrons.

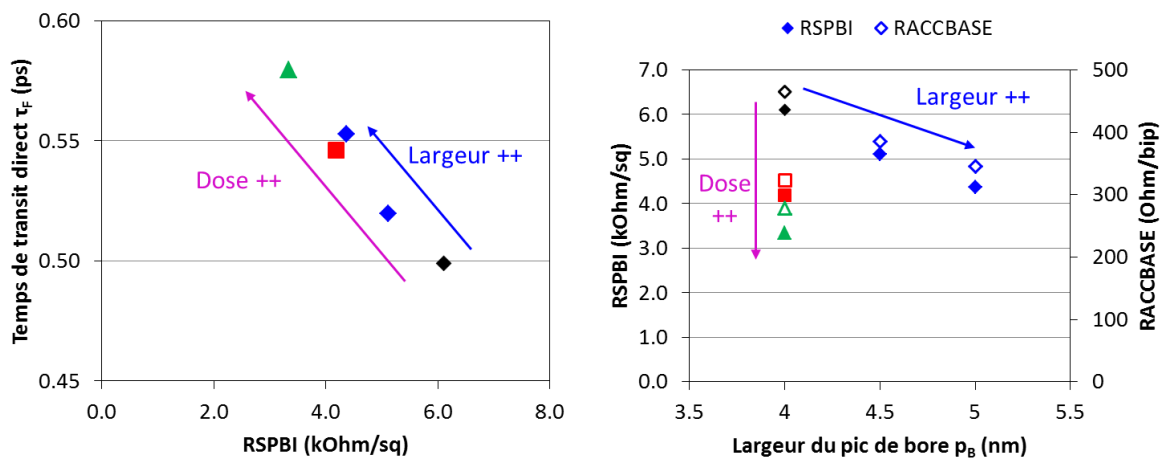


Figure 75 : Corrélation entre le temps de transit direct τ_F et la résistivité de la base intrinsèque $RSPBI$ (à gauche) et évolution de $RSPBI$ et de la résistance d'accès à la base $RACCBASE$ (à droite) en fonction du profil de bore dans la base intrinsèque [Q350238]

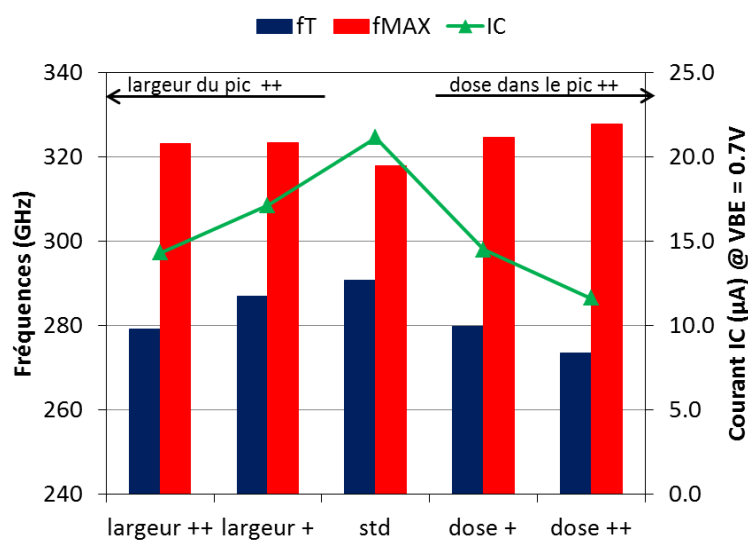


Figure 76 : Evolution de f_T et f_{MAX} en fonction de la largeur et du dopage du pic de bore dans la base intrinsèque [Q350238]

Dans ces essais, l'évolution de *RACCBASE* est directement corrélée à *RSPBI* : cela suggère que l'effet est prépondérant dans cet essai, mais aussi que la variation du profil de bore ne va pas dégrader le lien entre la base intrinsèque et la base extrinsèque. En pratique la contribution extrinsèque n'est pas totalement indépendante du profil de base intrinsèque car la qualité du lien va dépendre de la position du bore de part et d'autre du lien formé dans le SiCap.

Pour un bon profil de lien, nous avons besoin d'une bonne diffusion du bore du polybase vers la base intrinsèque à travers le SiCap non dopé, comme représenté sur la Figure 77.

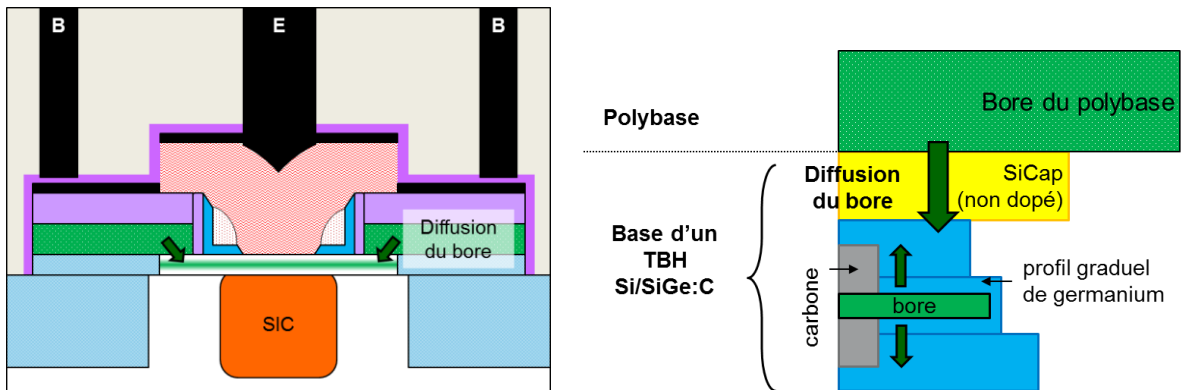


Figure 77 : Schémas de la diffusion du bore du polybase vers le lien, à travers le SiCap non dopé

2. Epaisseur du SiCap

Comme nous le comprenons à la suite du paragraphe précédent, il est clair que la couche silicium non dopée appelée SiCap a un rôle crucial dans le HBT : en agissant comme couche tampon, elle permet de contrôler la diffusion des espèces dopantes, le bore et l'arsenic dans notre cas, et ainsi de contrôler l'agressivité de la jonction base/émetteur et sa position par rapport au germanium.

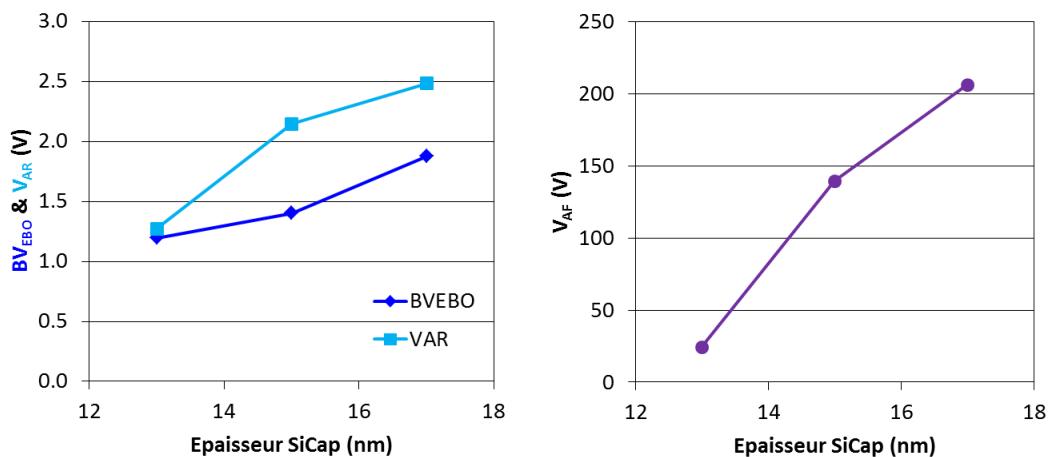


Figure 78 : Evolution des tensions BV_{EBO} et V_{AR} (gauche), V_{AF} (droite) pour différentes épaisseurs de SiCap [Q350238]

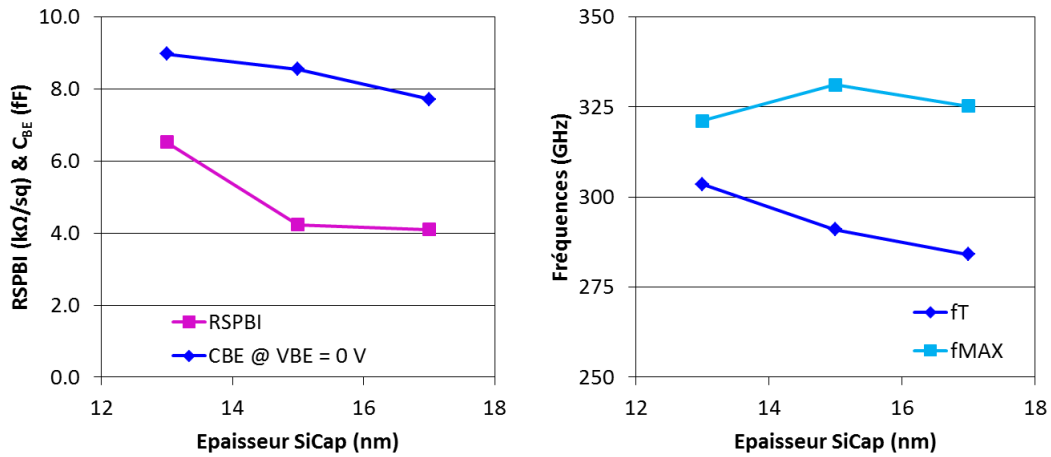


Figure 79 : Evolution de $RSPBI$ et C_{BE} (gauche), f_T et f_{MAX} (droite) pour différentes épaisseurs de SiCap [Q350238]

On voit sur les Figure 78 et Figure 79 l'évolution de divers paramètres en fonction de l'épaisseur de SiCap. On voit tout d'abord que les tensions de claquage base-émetteur BV_{EBO} , de Early inverse V_{AR} et directe V_{AF} sont réduites lorsque le SiCap est plus fin. Cela montre l'agressivité de la jonction E/B c'est-à-dire des fronts de dopants B et As qui se croisent à de forts niveaux ainsi que la variation de la position de la jonction par rapport au germanium. En parallèle, un SiCap fin réduit la distance entre les dopants de l'émetteur et ceux de la base, la capacité de jonction C_{BE} est alors augmentée. La résistance $RSPBI$ varie peu pour des SiCap relativement épais, mais dans le cas le plus fin on note une augmentation marquée : elle est le signe que la base devient pincée.

Si un SiCap fin permet de rendre la jonction B/E plus agressive et donc d'augmenter la fréquence f_T , l'augmentation de la résistance de base qui l'accompagne dégrade f_{MAX} . Dans ce contexte la valeur retenue est de 15 nm, valeur qui permet ainsi d'augmenter f_T et f_{MAX} simultanément.

3. Quantité de carbone

Des essais ont été réalisés sur plusieurs lots de maturités différentes en réduisant la dose de carbone dans la base par rapport à la référence. Les résultats de ces essais en termes de résistance de base sont présentés sur la Figure 80.

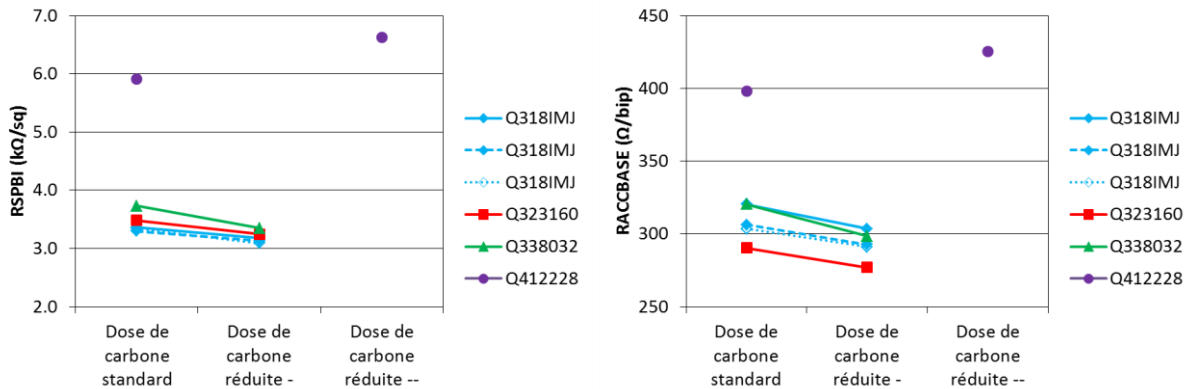


Figure 80 : Evolution $RSPBI$ et $RACCBASE$, pour différentes doses de carbone dans la base

Tous les essais exceptés le Q412228, montrent une réduction de la résistance de base *RSPBI* lorsqu'il y a moins de carbone dans la base : le pic de bore voit sa diffusion augmentée par le manque de carbone par rapport à la référence. Dans le cas de l'essai sur le lot Q412228 (le plus récent), la résistance de base *RSPBI* et totale *RACCBASE* augmentent pour une dose de carbone réduite. Ce dernier lot ayant bénéficié des optimisations du profil de germanium et de bore, la base est pincée et alors les dopants diffusés en dehors des jonctions métalliques ne contribuent plus à la résistance de base pincée. Les autres paramètres indiquent également une diffusion des espèces dopantes notamment au niveau des capacités de jonction C_{BE} et C_{BC} . Dans ces essais là nous avons néanmoins constaté peu de différences au niveau des fréquences f_T et f_{MAX} .

4. Conclusion sur le profil de base intrinsèque

Dans cette partie nous avons présenté les principaux paramètres qui sont intervenus dans la définition du profil de base intrinsèque du TBH Si/SiGe:C en B55. L'ajustement des profils de bore a permis de fabriquer un transistor plus rapide. C'est généralement à travers ces paramètres que l'on peut régler le compromis f_T / f_{MAX} . D'autres réglages au niveau du procédé, non présentés ici, ont été effectués pour le développement B55: profil de germanium, optimisation des gravures, des lithographies, de l'épaisseur de l'oxyde piédestal adaptée en fonction de l'épaisseur totale de la base, etc. nous ont permis d'atteindre les objectifs fixés.

Grâce au réglage du profil intrinsèque les performances des composants ont pu être largement améliorées pour atteindre les valeurs requises. Cependant la contribution de la base intrinsèque ne représente que 25% de la résistance totale ; nous allons donc également nous intéresser aux autres composantes telles celles qui concernent le polybase ou le lien, afin d'améliorer les performances au-delà de celles initialement visées.

II. Etudes sur le matériau polybase pour l'optimisation du lien

La base extrinsèque est constituée d'une couche de silicium amorphe déposée par CVD, recuite dans un four pour augmenter la taille des grains puis dopée en bore par implantation ionique. Cette région permet la connexion entre la base intrinsèque du composant et le contact métallique. Il est donc essentiel que le lien entre la zone intrinsèque monocristalline et extrinsèque soit adapté pour une connexion optimisée.

Dans cette partie nous nous intéressons à différents essais visant à changer les propriétés du polybase, afin d'augmenter la diffusion de bore vers la base intrinsèque au cours de la fabrication du transistor et ainsi améliorer la qualité du lien.

1. Etudes sur le dopage du polybase

1.a. Augmentation de l'énergie d'implantation du polybase

Pour cette étude la profondeur d'implantation des atomes de bore est augmentée pour théoriquement placer les dopants plus près du lien base intrinsèque / extrinsèque et ainsi favoriser leur diffusion. Les conditions d'implantation sont récapitulées dans le tableau suivant.

Référence B55	Energie +
5 keV	7 keV

Avant de passer aux résultats de cette étude, on remarque que la recette de désoxydation standard utilisée n'a permis d'ouvrir que partiellement la fenêtre où sera déposée la base intrinsèque. Sur la Figure 81, une coupe TEM réalisée sur le lot Q305GJG montre bien le manque de gravure dans le cas d'une implantation plus profonde.

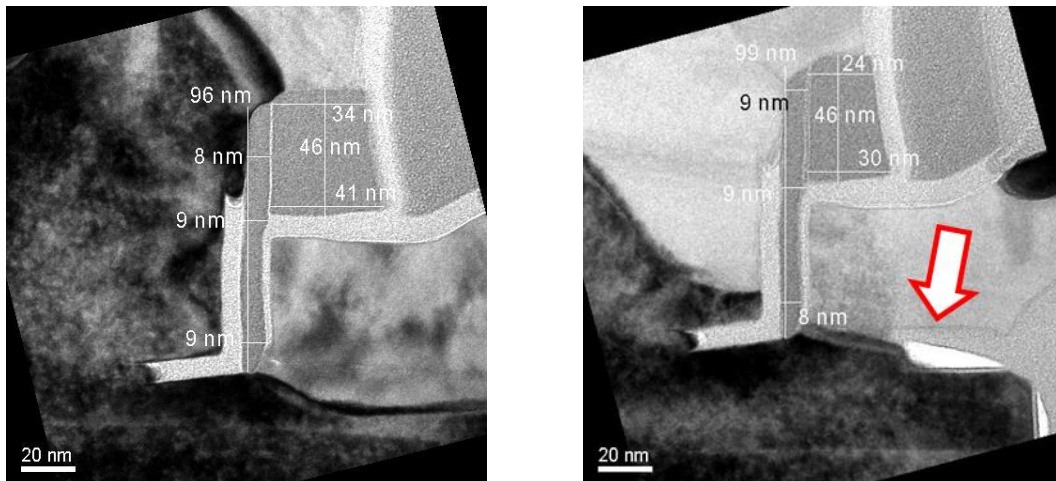


Figure 81 : Coupe TEM représentant le lien base intrinsèque-extrinsèque, pour une implantation du polybase standard (à gauche) et plus profonde (à droite)

Une explication possible pour ce phénomène est qu'après l'implantation du polybase, les atomes de bore aient diffusés au-delà du silicium, jusque dans l'oxyde en-dessous, modifiant ainsi sa structure et donc la vitesse de gravure de cet oxyde (cf Figure 82). La recette de gravure de référence utilisée pour cet essai n'était alors pas assez efficace pour ouvrir correctement la cavité.

Ce phénomène a été reporté dans (Kikuyama et al. 1992). Il y est indiqué qu'un film de d'oxyde SiO_2 dopé en bore possède moins d'électrons de valence disponibles, si bien que la liaison silicium-oxygène est plus difficile à rompre. La vitesse de gravure est donc plus lente pour un film dopé que pour un oxyde non dopé.

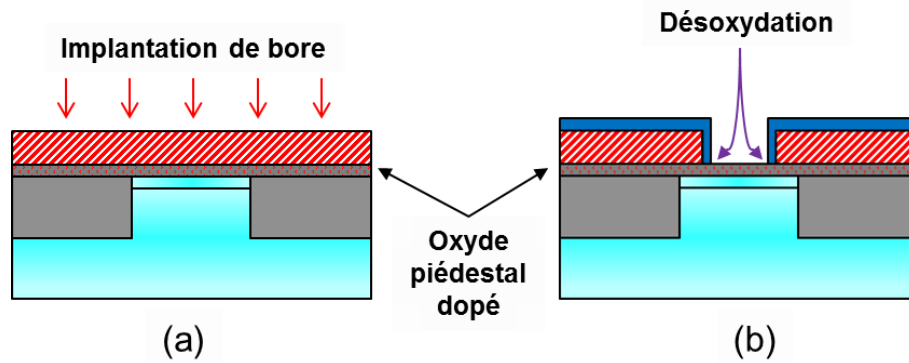


Figure 82 : Schéma représentant (a) l'implantation du polybase après dépôt et (b) l'ouverture de la fenêtre émetteur, avec structure cristalline de l'oxyde piédestal modifiée

Pour voir le véritable effet de l'augmentation de l'énergie d'implantation, il faudrait alors adapter la désoxydation. Cependant vu la forme de l'oxyde restant dans le lien, augmenter la désoxydation amènerait probablement à creuser encore plus la cavité dans l'oxyde piédestal et à la dégradation de la capacité base/collecteur C_{BC} , sans garantie de pouvoir retirer tout l'oxyde.

Sur la Figure 83, l'évolution des paramètres $RSP2R_US$ (qui mesure la résistance de couche du polybase non siliciuré, sur une structure dédiée, détaillée en Annexe B) et $RSP2R$ (qui mesure la résistance de couche du polybase siliciuré) indique la réduction de la résistivité quand l'énergie d'implantation augmente, pour différents essais de température et pression au moment du dépôt, étudiés plus tard dans ce chapitre.

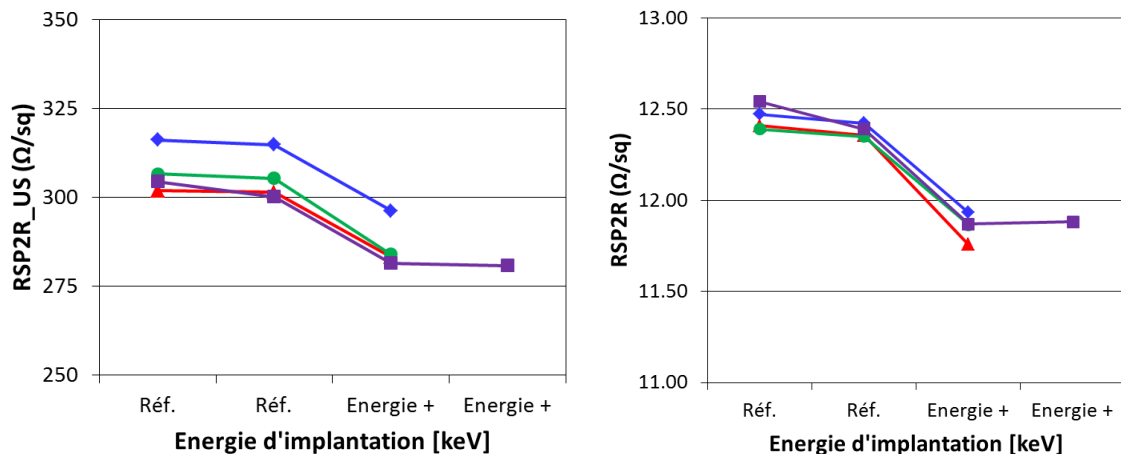


Figure 83 : Résistance du polybase, siliciurée ou non [Q305GJG]

Mais le lien n'étant pas suffisamment ouvert (30 nm au lieu de 80 nm), cela a comme effet parallèle de dégrader a priori la résistance d'accès et ne nous permet pas de voir l'amélioration éventuelle des performances. On note une forte dispersion sur ce lot, où les variations dues à l'essai sont mêlées à la variabilité des transistors, comme on peut le voir sur la Figure 84. Les paramètres $RACCBASE$ et $RSPBI$ sont notamment trop dispersés pour pouvoir étayer nos hypothèses. Et on ne constate aucun bénéfice net de l'augmentation de l'énergie sur les fréquences f_T et f_{MAX} .

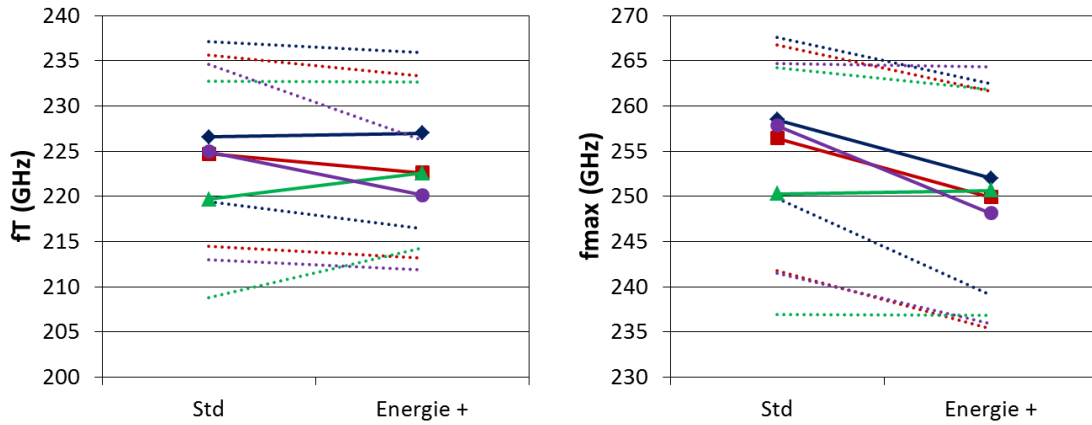


Figure 84 : Evolution de f_T et f_{MAX} pour 4 essais différents, avec variation de l'énergie d'implantation du polybase [Q305GJG]

L'implantation plus profonde du polybase a pour effet de diminuer la résistivité de la couche mais l'oxyde piédestal sous le polybase est alors dopé et ne peut plus être gravé de façon linéaire. Ainsi ces essais n'ont pas permis de conclure sur l'augmentation de l'énergie d'implantation à cause des effets secondaires qui en découlent.

1.b. Augmentation de la dose d'implantation du polybase

Pour cet essai sur le lot Q338032, nous avons modifié la dose d'implantation pour une énergie constante, avec l'idée qu'un dopage plus fort permet une résistivité plus faible. Les résultats présentés montrent une seule série de mesures mais les tendances dégagées ont été répétées avec d'autres conditions légèrement différentes.

En pratique on voit sur la Figure 85 que $RSP2W152_U$ diminue légèrement avec une dose croissante. A l'inverse $RSP2R$ augmente alors que la résistance de la siliciuration dépend normalement du niveau de dopage dans le semiconducteur : une des possibilités est qu'il y ait une accumulation de dopants en profondeur dans le polybase, dont la diffusion serait bloquée par la présence d'oxyde en-dessous (via le STI), ce qui signifie qu'il y aurait moins de charge en surface pour la siliciuration.

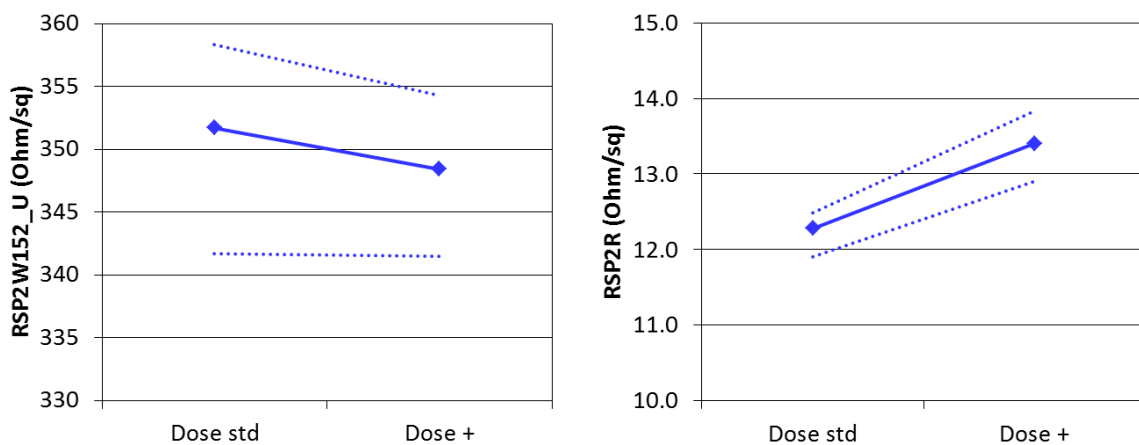


Figure 85 : Evolution des résistances polybase non siliciuré $RSP2R_U$ (gauche) et siliciuré $RSP2R$ (droite) pour deux doses d'implantation différentes

	Dose standard	Dose +
$RACCBASE$ (Ω /bip)	298,0	283,6
$RSPBI$ ($k\Omega$ /sq)	3,6	3,5
RBX ($\Omega \cdot \mu m$)	694,5	658,2
I_C (μA) @ $V_{BE} = 0,7 V$	12,7	12,3
I_B (nA) @ $V_{BE} = 0,7 V$	10,5	15,5
I_B (pA) @ $V_{BE} = 0,5 V$	13	21
V_{AF} (V)	194	161
τ_F (ps)	0,64	0,65

Dans le tableau précédent, on constate alors que la résistance de base totale $RACCBASE$ est réduite grâce à l'augmentation de la dose. Elle génère en effet plus de diffusion du polybase vers la base intrinsèque, ce qui se traduit a priori par la réduction de la résistance de lien, ce qui est confirmé par la réduction de la résistance de base extrinsèque RBX .

On constate cependant l'augmentation du courant de base à bas niveau qui suggère la création de fuites au niveau de la jonction B/E ; ainsi que la réduction limitée du courant collecteur I_C à la suite de la diffusion du bore en excès dans la base intrinsèque, représentée sur la Figure 86. D'autre part, le bore ayant diffusé vers la jonction B/C, cela crée des barrières parasites qui sont à l'origine de la dégradation de V_{AF} mais aussi du temps de transit τ_F (augmentation jusqu'à + 2 % mise en évidence sur une puce).

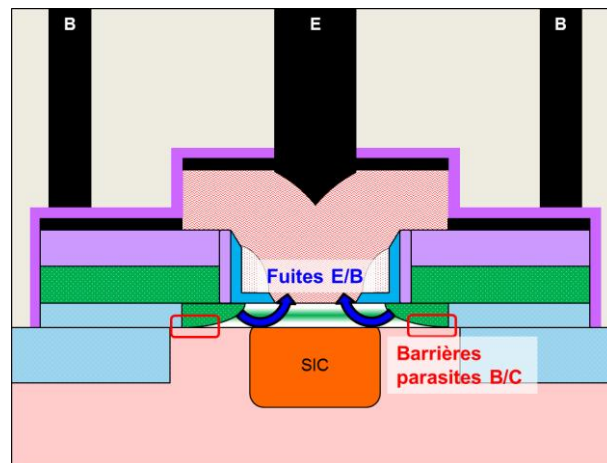


Figure 86 : Schéma illustrant les effets secondaires à la diffusion du bore du polybase

L'augmentation du courant de base est également visible à $V_{BE} = 0,7V$, on ne peut donc plus parler uniquement de fuites. On voit numériquement à partir des tests paramétriques que le courant augmente à tous niveaux. On suspecte l'apparition de recombinaison en base neutre (NBR) mise en avant par les barrières parasites B/C. Ce comportement est sous investigation à l'heure actuelle.

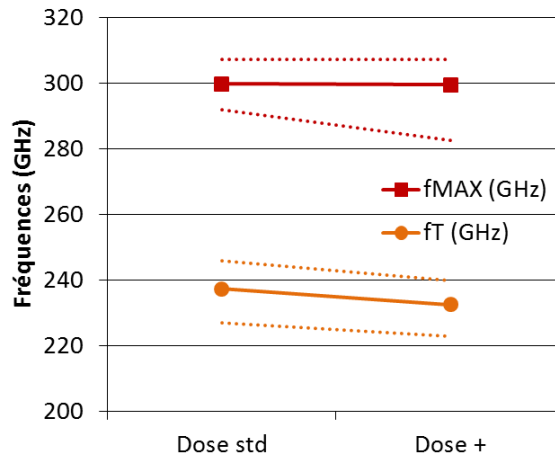


Figure 87 : Evolution f_T et f_{MAX} pour deux doses d'implantation différentes

Malgré la réduction de la résistance de base, ni f_T ni f_{MAX} ne sont améliorés (Figure 87). Au contraire f_T est même réduit, à cause notamment de la présence de bore qui change le temps de transit de la base. En bilan, on voit bien que l'augmentation de la dose d'implantation dans le polybase ne permet pas d'amélioration en fréquences et apporte également des effets secondaires via la présence de bore en excès dans certaines régions de la base intrinsèque.

2. Fabrication du matériau polybase

La diffusion des atomes de bore se fait principalement via les sites interstitiels du silicium, donc dépend de la structure cristalline du polybase. Par les essais suivants on a cherché à modifier cette structure cristalline et en particulier la taille des grains dans le matériau. Les différents essais n'ayant pas été démonstratifs, nous proposons une synthèse rapide en présentant les variations relatives des principaux paramètres d'intérêt, calculées par rapport au point de référence de chaque lot.

2.a. Polybase dopé in situ, lors du dépôt du silicium amorphe

Pour cet essai, nous avons voulu comparer un polybase standard, implanté après dépôt (J123BAB) avec un polybase dopé in-situ (J125GSB) en technologie B5T. En évitant les dommages créés par l'implantation au sein du réseau cristallin, et avec un budget thermique plus faible pour le dopage in-situ, on peut s'attendre à des différences notables.

- **Par implantation** : dépôt silicium amorphe non dopé, recuit pendant 30 secondes puis implantation en bore.
- **Dopage in-situ** : incorporation du bore dans le polybase amorphe lors de son dépôt par épitaxie suivi d'un recuit de 20 secondes.

L'épaisseur de polybase visée est la même pour les deux essais. Toutes les autres recettes de fabrication sont identiques, à la variabilité lot à lot près.

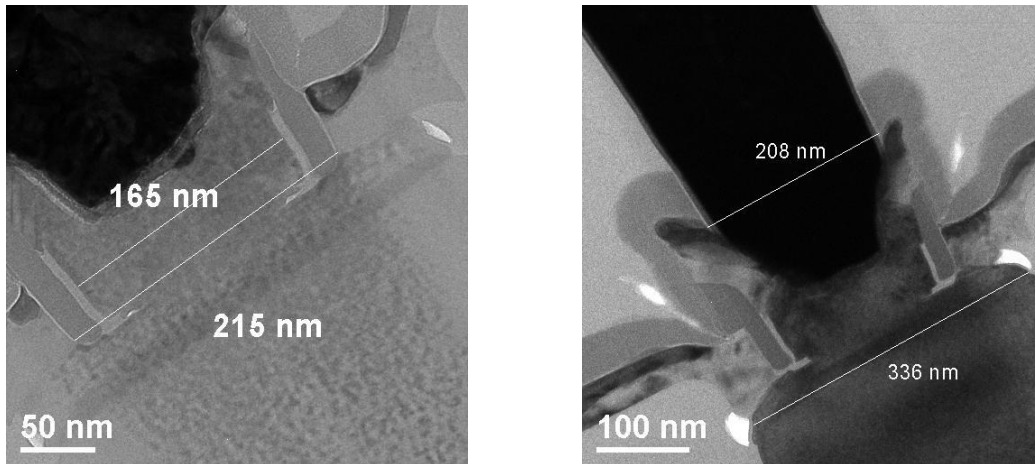


Figure 88 : Comparaison des coupes TEM pour un transistor avec un polybase implanté (gauche) [J123BAB] et un polybase dopé in-situ (droite) [J125GSB]

Les deux coupes TEM de la Figure 88 ne montrent au niveau du lien aucune différence de topologie évidente liée à la structure du polybase, ni de différence au niveau des dimensions. Mais les résultats électriques présentés dans le tableau suivant montrent des différences non négligeables entre les différents essais.

Dopage	Polybase implanté	Polybase dopé in-situ	
	Standard	Standard	Dose +
$I_C @ V_{BE} = 0,7V$ (μA)	-	3%	7%
$I_B @ V_{BE} = 0,7V$ (nA)	-	-7%	-5%
V_{AF} (V)	-	-1%	-7%
V_{AR} (V)	-	-10%	-5%
$RSP2R_US$ (Ohm/sq)	-	-22%	-19%
f_T (GHz)	-	3%	3%
f_{MAX} (GHz)	-	-4%	-3%
C_{BE} (fF) @ $V_{BE} = 0V$	-	10%	7%
C_{BC} (fF) @ $V_{BE} = 0V$	-	2%	3%
$RSPBI$ (kOhm/sq)	-	7%	7%
R_B (Ohms)	-	12%	12%
BV_{CEO} (V)	-	-1%	-1%

Le profil intrinsèque de la base est légèrement différent entre les deux lots par la variabilité qui existe lot à lot : pour le même profil visé, le SiCap ainsi que la base SiGe de la référence sont plus épais. Cela explique la réduction de V_{AR} et l'augmentation de la capacité C_{BE} qui montrent une jonction B/E devenue plus agressive pour les composants dopés in-situ. La base intrinsèque étant légèrement plus fine pour les essais dopé in-situ, cela explique l'augmentation de la résistance de base intrinsèque $RSPBI$. La diminution de I_C et l'augmentation de I_B peuvent être aussi attribuées à cette variabilité.

La faible variabilité de l'épaisseur polybase entre les différents essais (+ 20 Å en moyenne) n'explique par contre pas une telle réduction de la résistivité non-slicierée $RSP2R_US$, donc

on peut effectivement l'attribuer aux conditions de dopage du polybase. Il existe cependant peu de différences une fois le matériau siliciuré. Toutefois cette réduction de résistivité n'est pas répercutée sur la résistance de base totale R_B qui augmente de 12%. On attribue cette variation principalement à la variabilité des procédés qui nous a donné une base légèrement plus fine mais on peut se demander s'il n'y a pas également une dégradation de la résistance de lien.

Finalement, l'augmentation de f_T et la diminution de f_{MAX} sont attribuées à la variabilité de l'épitaxie de la base intrinsèque et l'utilisation d'un polybase dopé in-situ n'apporte donc pas d'amélioration.

2.b. Silicium amorphe recuit ou non, et polysilicium

Pour cette étude nous étudions l'effet du recuit sur du silicium amorphe, ayant lieu avant l'implantation du polybase. Il a pour but d'augmenter la taille des grains avant implantation pour une meilleure diffusion des dopants en son sein. Nous remplaçons également le silicium par du polysilicium, sans recuit pré-implantation : le polysilicium possède une structure cristallographique différente du silicium amorphe, favorisant la diffusion du bore via les joints de grain.

Morphologiquement, on voit sur la Figure 89, qu'il n'y a pas de différences importantes en termes de topologie du lien suivant la présence ou non du recuit pré-implantation. La différence de contraste entre les polybases semble provenir de l'analyse TEM et non des échantillons, car elle est également observée dans le polyémetteur. On constate aussi que l'utilisation de polysilicium pour constituer la base extrinsèque (figure droite) se manifeste par un lien avec la base intrinsèque qui montre la présence de facettes, donc qui suggère que l'épitaxie de la base intrinsèque a été différente.

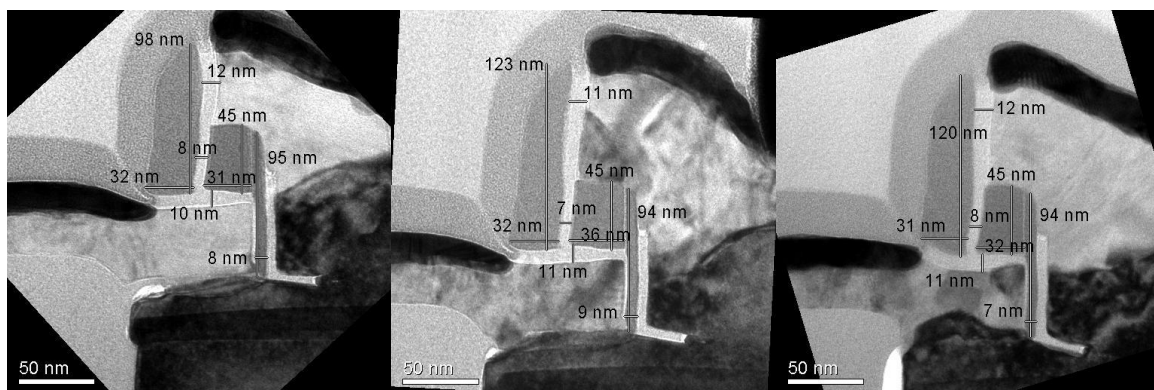


Figure 89 : Coupe TEM pour un TBH avec un polybase en silicium amorphe recuit (gauche), non recuit (milieu), et avec un polybase en polysilicium (droite)

Les variations relatives sont présentées dans le tableau suivant :

	Silicium amorphe		Polysilicium
	Recuit	Non recuit	Non recuit
$I_C @ V_{BE} = 0,7V$ (μA)	-	-1%	-9%
$I_B @ V_{BE} = 0,7V$ (nA)	-	1%	1888%
V_{AF} (V)	-	5%	-39%
V_{AR} (V)	-	1%	-1%
$RSP2R_US$ (Ohm/sq)	-	25%	182%
f_T (GHz)	-	-1%	-7%
f_{MAX} (GHz)	-	-2%	-9%
C_{BE} (fF) @ $V_{BE} = 0V$	-	1%	0%
C_{BC} (fF) @ $V_{BE} = 0V$	-	0%	-1%
R_B (Ohms)	-	2%	17%
BV_{CEO} (V)	-	0%	28%

On voit bien que la résistivité de couche non siliciurée $RSP2R_US$ augmente quand il n'y a pas de recuit (+25%). Cette variation est cependant peu répercutée sur la résistance de base R_B qui augmente de 2% seulement. L'impact global est limité avec une dégradation de quelques pourcents seulement pour les fréquences f_T et f_{MAX} . On voit sur la Figure 90 l'évolution des courants I_B et I_C en fonction de V_{BE} , selon la présence du recuit ou non : les courants sont peu différents, sauf à haute injection où on voit l'impact des résistances séries. On confirme ici l'intérêt d'un recuit polybase pre-implantation pour un transistor rapide.

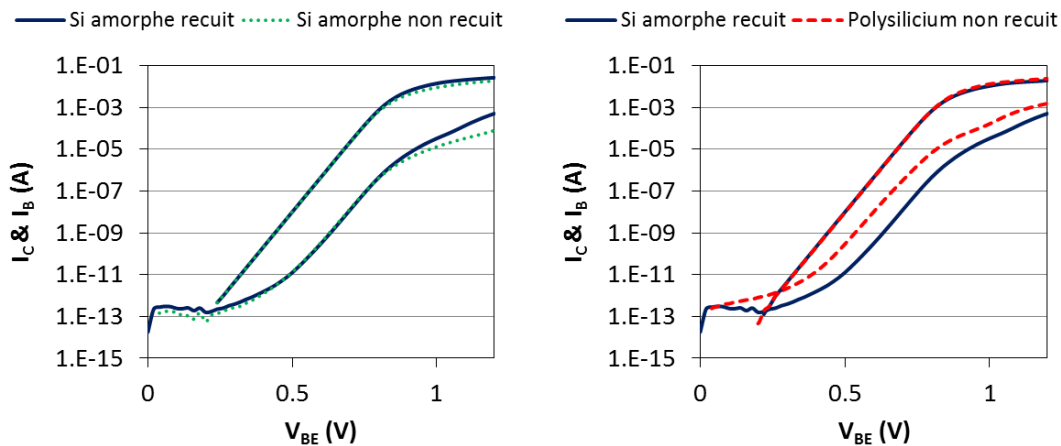


Figure 90 : Caractéristiques Gummel pour les 3 types de matériau polybase : Si amorphe, Si amorphe non recuit, polysilicium

D'autre part, dans le cas du polysilicium, le premier effet constaté est l'augmentation de la résistivité du polybase non siliciuré $RSP2R_US$ de 182%, soit un facteur 3 environ. Dans le cas du transistor complet, la diffusion du bore du polysilicium crée un fort dopage à l'interface du polybase : si bien que lorsqu'il est découvert avant l'épitaxie de la base intrinsèque, les atomes de bore sont désorbés et redistribués lors de l'épitaxie, c'est l'autodopage. En effet V_{AF} diminue significativement suggérant la présence de plus de bore

dans la base. Le courant collecteur I_C est également réduit en conséquence. Le phénomène d'autodopage et l'augmentation de la résistivité du polybase contribuent à la dégradation de la résistance de base. Sur la Figure 90 et dans le tableau précédent, on voit que le courant de base I_B augmente conséquemment à tous les niveaux d'injection. Cette courbe met en évidence la recombinaison en base neutre, qui est créée on suppose par la forte diffusion du bore depuis le polysilicium, et la présence de barrières parasites à la jonction base/collecteur. L'augmentation de BV_{CEO} va de pair avec la variation du courant I_B , paramètre clé dans son extraction. On voit aussi une très grande variabilité d'une puce à l'autre, résultant de la non-uniformité des procédés qui existait à ce stade du développement du B55. Le fonctionnement du composant est profondément dérégulé ce qui amène la dégradation de f_T et f_{MAX} de plus de 20 GHz pour les deux fréquences.

Finalement, le module polybase actuel avec du silicium amorphe déposé puis recuit et enfin implanté fournit les meilleurs résultats. Plus les grains sont grands, meilleure est la diffusion du bore : en l'absence de recuit, il est donc normal que la résistivité du matériau polybase soit dégradée. Dans le cas du polysilicium, sa structure cristallographique et ses joints de grains sont vecteurs d'une diffusion trop importante pour une même dose de dopants, créant de l'autodopage lors de l'épitaxie de la base intrinsèque et provoquant l'apparition de recombinaison en base neutre.

2.c. Conditions de dépôt du silicium amorphe

Afin de faire varier la taille des grains du matériau polybase, nous avons fait des essais sur le lot Q305GJG pour différentes conditions de température et de pression dans la chambre du four lors du dépôt du polybase, pour obtenir une croissance plus rapide et donc des grains plus petits. Les mesures de dimensions sur les coupes TEM réalisées sur certains transistors ne montrent pas de différences morphologiques autres que les variabilités plaque/plaque et puce/puce.

Conditions de dépôt P/T				
Température	Réf. Temp.	Temp. +	Réf. Temp.	Temp. +
Pression	Réf. Press.	Réf. Press.	Press. +	Press. +
$I_C @ V_{BE} = 0,7V$ (μA)	-	-1%	1%	0%
$I_B @ V_{BE} = 0,7V$ (nA)	-	-5%	-6%	-4%
V_{AF} (V)	-	0%	-2%	-7%
V_{AR} (V)	-	1%	3%	2%
$RSP2R_US$ (Ω/sq)	-	-4%	-3%	-4%
$RSP2R$ (Ω/sq)	-	-1%	-1%	0%
f_T (GHz)	-	-1%	-3%	-1%
f_{MAX} (GHz)	-	-1%	-3%	0%
C_{BE} (fF) @ $V_{BE} = 0V$	-	-1%	-2%	-2%
C_{BC} (fF) @ $V_{BE} = 0V$	-	2%	1%	1%
R_B (Ω)	-	-2%	-0,3%	3%
BV_{CEO} (V)	-	-1%	-1%	-1%

Les résultats électriques montrent premièrement une légère réduction de la résistivité $RSP2R_{US}$ mais ce n'est pas répercuté quand la structure est siliciurée. En parallèle on constate la variation discrète de C_{BE} , C_{BC} et R_B , à peine supérieure à la dispersion des mesures. On ne constate donc pas d'effet majeur dans la modification des conditions de dépôt du matériau polybase. La variation du courant de base I_B à $V_{BE} = 0,7V$ est attribuée à la dispersion du courant base à ce stade du développement B55.

Finalement nous voyons une légère diminution des deux fréquences f_T et f_{MAX} pour toutes les conditions différentes de la référence : on ne voit aucune amélioration en augmentant la température ou la pression de dépôt. Nous en avons donc conclu que les conditions de dépôt du polybase ne permettaient pas une amélioration de la résistance de base et donc des performances.

2.d. Polybase SiGe

Dans cet essai sur le lot Q342024, le silicium amorphe du polybase est remplacé par une couche de SiGe contenant environ 25% de germanium. Le but est ainsi d'augmenter la mobilité des trous et donc de réduire la résistivité de cette zone.

Le polybase SiGe de même épaisseur (50 nm) déposé par CVD, possède un profil pouvant être décrit simplement par :

- Une fine couche de silicium (cap Si) de quelques nm pour une meilleure siliciuration
- Une couche de SiGe contenant 25% de Ge, dopée bore in-situ
- Une couche d'accroche en silicium (*seed*) de quelques angströms pour une bonne épitaxie SiGe sur l'oxyde du TEOS piédestal, et pour une meilleure reprise d'épitaxie lors du dépôt de la base intrinsèque

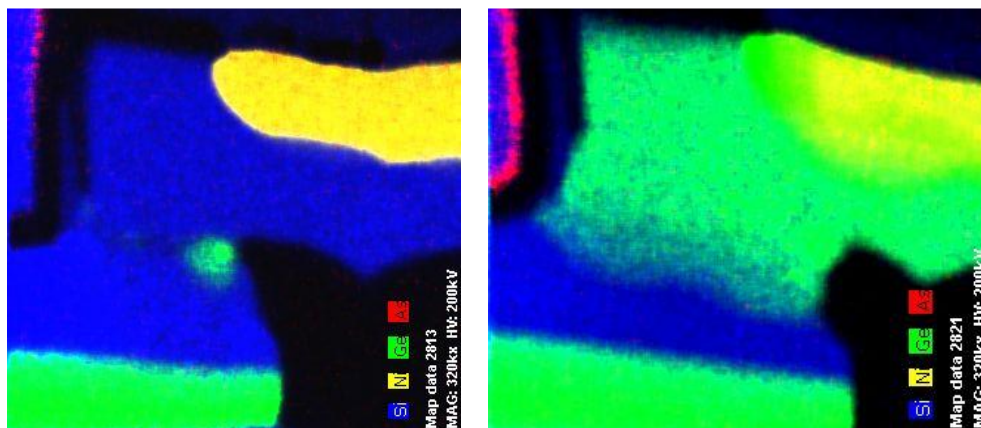
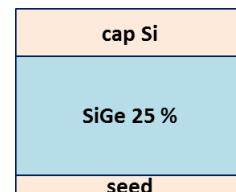


Figure 91 : Coupe TEM-EDX pour un polybase standard (gauche) et un polybase SiGe (droite)

Les résultats STEM EDX de la Figure 91 montrent la répartition du germanium dans le lien entre la base intrinsèque et extrinsèque pour un polybase standard et un polybase SiGe. Il existe un artefact de Ge au niveau du lien dans la référence, qui provient du caractère sélectif de l'épitaxie de la base intrinsèque. On constate pour le polybase SiGe, la présence effective de Ge dans le polybase, même si la dose atteinte est inférieure à celle visée (20% au lieu de 25%). D'autre part, le lien semble plus large (54 nm à gauche, 70 nm à droite) mais la

différence vient probablement de la variabilité de la désoxydation de la cavité. Il serait intéressant de pouvoir voir la répartition du bore dans le lien et la base en général, mais à notre connaissance aucune technique ne permet aujourd'hui de connaître le profil exact du bore dans le lien. En EDX, il n'est pas possible d'évaluer la présence de bore car c'est un atome petit face à la résolution de la technique.

	POR B55	Polybase SiGe
Matériau polybase	Si amorphe	SiGe
Recuit pré-implantation	oui	-
Dopage bore	implanté	in-situ
I_C (μA) @ $V_{BE} = 0,7 V$	-	7%
I_B (nA) @ $V_{BE} = 0,7 V$	-	263%
R_E (Ω)	-	2%
V_{AF} (V)	-	-27%
V_{AR} (V)	-	-1%
RBX ($\Omega \cdot \mu m$)	-	9%
$RACCBASE$ (Ω/bip)	-	14%
$RSPBI$ (k Ω/sq)	-	11%
$RSP2R$ (Ω/sq)	-	69%
$RSP2W152_U$ (Ω/sq)	-	217%
f_T (GHz)	-	-4%
f_{MAX} (GHz)	-	-14%
C_{BE} (fF) @ $V_{BE} = 0V$	-	-1%
C_{BC} (fF) @ $V_{BE} = 0V$	-	4%
BV_{CEO} (V)	-	7%

La résistivité $RSP2W152_U$ mesurée sur une structure dédiée augmente plus de deux fois pour le polybase SiGe contrairement à ce qu'on attendait. Cette augmentation est répercutée sur $RSP2R$ ce qui suggère que le niveau de dopants au niveau de la siliciuration est réduit par rapport à la référence, alors qu'on a un dopage de dose équivalente (vérifié par SIMS). La résistance de base est globalement dégradée que ça soit la composante extrinsèque RBX , la composante intrinsèque $RSPBI$ et la résistance d'accès $RACCBASE$. D'autre part, on note la dégradation des paramètres V_{AF} et C_{BC} , ce qui indique une altération de la jonction B/C.

Pour expliquer ces variations, nous supposons que l'activation des dopants dans le polybase SiGe est réduite par rapport au silicium amorphe. Il est possible que les espèces dopantes aient été désactivées par le budget thermique de la fabrication du transistor, car moins stables dans le matériau SiGe. D'autre part on retrouve la diffusion du bore en excès dans la base intrinsèque à travers les paramètres de la jonction B/C. L'insertion du bore dans le réseau SiGe est probablement différente du silicium amorphe.

Concernant la dégradation du courant de base, on retrouve un comportement similaire aux essais précédents, mettant en évidence une fois de plus la création de recombinaison en base neutre.

Les autres paramètres présentés ne sont pas ou peu changés tels la résistance émetteur R_E , la tension V_{AR} et la capacité C_{BE} , indiquant alors pas de changement à la jonction base/émetteur. Face à la dégradation de la plupart des paramètres en jeu, la dégradation des fréquences f_T et f_{MAX} n'est pas surprenante.

3. Conclusion sur l'étude du matériau polybase

Essais		Résistance de base	Effets secondaires
Dopage du matériau	Dopé in situ	Pas d'impact visible	
	Energie ++	Légère \nearrow de R_{BX} , forte dispersion	Vitesse de gravure de l'oxyde piédestal modifiée
	Dose ++	Réduction globale de la résistance R_B	NBR & fuites en I_B
Structure du matériau	Conditions de dépôt (T & P)	Pas d'impact – inférieur à la dispersion	
	Polysilicium	Augmentation de la résistivité et de la résistance	NBR & fuites en I_B
	Sans recuit pré-implant.	Augmentation de la résistivité du polybase	
	Polybase SiGe dopé in situ	Augmentation de la résistance de base	

Dans cette partie nous avons pu voir qu'aucun de ces essais n'était conclusif pour l'amélioration de la résistance de base via le matériau polybase et la qualité du lien entre celui-ci et la base intrinsèque. Malgré le changement de la nature du matériau, de ses conditions de dépôt, ou de son dopage cela n'a pas d'impact bénéfique sur la résistance de base totale ni sur la qualité du lien. Certains de ces essais se sont également accompagnés de phénomènes secondaires qui dérèglent profondément le fonctionnement du TBH comme l'autodopage ou la recombinaison en base neutre, qui mérite des études plus avancées, son origine étant difficile à identifier. Dans l'ensemble nous avons donc conclu que le polybase actuel était optimisé. Ce procédé a donc été conservé pour le développement du BiCMOS055.

Le profil du matériau polybase étant fixé, nous allons maintenant chercher à améliorer la résistance du lien entre la base intrinsèque et la base extrinsèque. Pour cela le budget thermique est un outil clé, associé à un profil de base intrinsèque adéquat.

B. Recuit additionnel pour l'optimisation de la résistance de lien

La résistance du lien base dépend de la diffusion du bore de la base extrinsèque vers la base intrinsèque : en conséquence, le budget thermique vu par le transistor est déterminant pour la valeur de la résistance de base globale, qui a une influence sur les performances statiques et dynamiques du transistor. Face à la réduction du budget thermique associé au nœud CMOS 55nm, on recherche une solution pour augmenter la diffusion du bore localement, sans perturber le fonctionnement normal. C'est dans ce but qu'un recuit a été ajouté pendant la fabrication du module émetteur / base. C'est un recuit long durant 5 secondes, en s'assurant que les flux d'O₂ et N₂ soient nuls. Le recuit a été inséré sans modifier les autres étapes de fabrication.

I. Ajout d'un recuit intermédiaire en technologie B5T

L'étude a été menée dans un premier temps en nœud avancé B5T, sur le lot J136SEC. Plusieurs configurations ont été testées avec :

- **3 températures** : 1010°C, 1025°C, 1040°C
- **2 positions** : Après l'épitaxie de la base et un nettoyage RCA ou Avant le dépôt de l'émetteur et après la gravure des espaces oxyde et silicium amorphe
- **2 profils de base** : base de référence ou base plus fine

Nous verrons l'influence de chacune de ces configurations indépendamment les unes des autres. On fera référence à chaque essai via les lettres a, b, c, d, e, comme indiqué dans le tableau suivant :

Groupe	(a)	(b)	(c)	(d)	(e)
Température du recuit	Référence	1010°C	1025°C	1040°C	1025°C
Position du recuit	-	Après épitaxie de la base	Après épitaxie de la base	Après épitaxie de la base	Avant dépôt de l'émetteur

1. Influence de la température du recuit additionnel

1.a. Diffusion du bore dans le lien, évaluée par simulations

Pour mieux comprendre les phénomènes de diffusion en jeu dans le transistor, nous avons réalisé des simulations TCAD via le logiciel Synopsys (outil présenté plus en détails dans l'Annexe B).

Pour cela l'architecture du transistor est extraite des fichiers *layout* puis transcrite dans le logiciel. Les différentes recettes d'implantation, de gravure ou de recuit, pour ne citer qu'elles, sont utilisées pour construire un profil 2D du transistor duquel on extrait les profils de dopants, visible sur la Figure 92. A noter que seule la moitié du transistor est considérée dans un premier temps. Grâce à SDE, nous pouvons ensuite reconstituer tout le composant par symétrie et étendre le modèle en 3D. On peut alors calculer les paramètres électriques de cette structure grâce à SDevice. Le modèle complet a été préalablement calibré par l'équipe simulation.

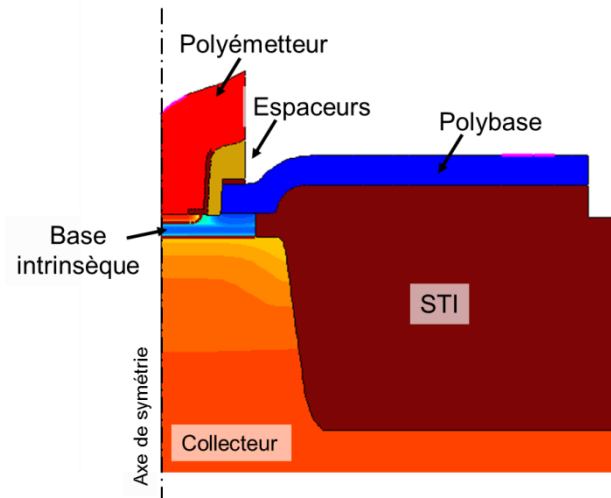


Figure 92 : Exemple de profil 2D obtenu grâce aux simulations TCAD, centré sur la zone active du composant

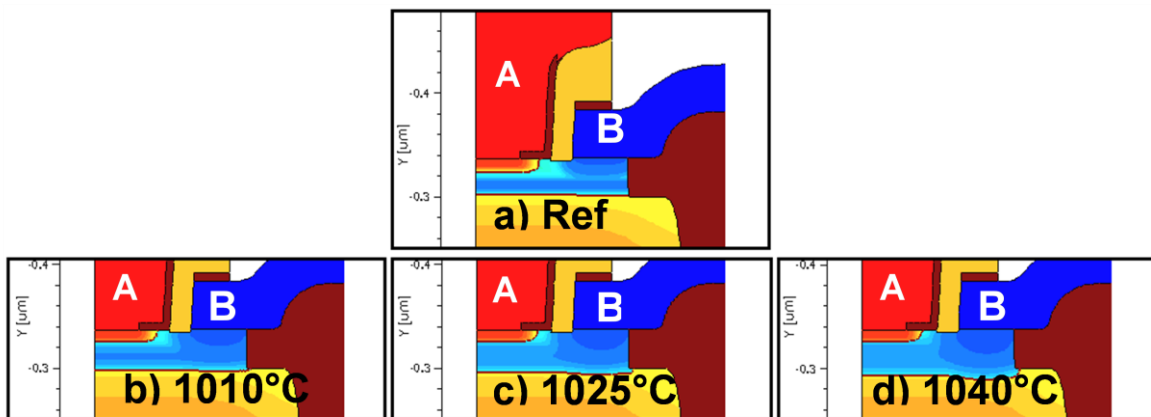


Figure 93 : Résultats des simulations de l'ajout d'un recuit additionnel, pour différentes températures ; les couleurs rouge-orange représentent un dopage N (As), les bleus un dopage P (B)

Nous avons simulé les différents essais en température, en voici les coupes 2D visibles sur la Figure 93. De manière qualitative, on voit bien que la diffusion du bore (en bleu) est augmentée avec la température. Cette diffusion est observée de manière plus précise dans la Figure 94, avec respectivement à gauche et à droite, le profil de diffusion du bore dans la base intrinsèque sous la fenêtre émetteur et le profil au niveau du lien entre les deux parties de la base.

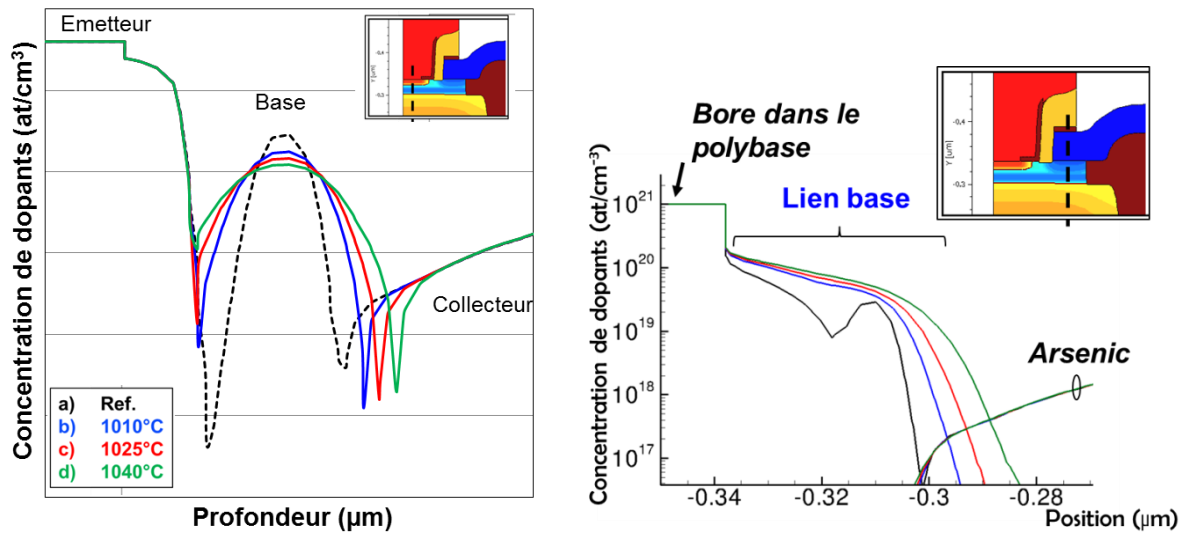


Figure 94 : Profils de diffusion du bore dans la base intrinsèque (à gauche) et dans le lien (à droite) en fin de fabrication, extraits des simulations TCAD

Dans les deux cas on voit bien la différence de diffusion entre la référence (en noir) et les différents recuits (Bleu 1010°C / Rouge 1025°C / Vert 1040°C).

- Dans la base intrinsèque, l'augmentation de la diffusion mène à un élargissement de la base (W_B) et à une diminution du dopage maximum. La dose intégrée dans la base calculée à partir des profils de simulations ne montre pas de différence sauf pour le recuit le plus fort à 1040°C, annonçant une dose légèrement inférieure (-4%). Les jonctions base/émetteur et base/collecteur sont également décalées.
- Au niveau du lien, la courbe référence met en évidence la différence de dopage entre les deux parties de la base. Grâce au recuit, le profil de dopage est « lissé » et donc beaucoup plus favorable : on va voir que la résistance de lien est ainsi améliorée.

Malheureusement il n'est pas possible de réaliser des caractérisations SIMS sur silicium pour confirmer ces observations.

1.b. Résultats électriques sur silicium

La première conséquence de ce recuit additionnel, et son objectif, est la réduction de la résistance de base totale par le biais de celle du lien. La Figure 95 représente l'évolution de la résistance de base totale R_{B^*} (en vert) et celle de la résistance de couche de la base intrinsèque R_{SPBI} (en violet). Alors que R_{SPBI} est à peine réduite par le recuit comme annoncé par les simulations, on constate une nette réduction de R_{B^*} : c'est bien une autre des composantes de la résistance de base totale qui a été améliorée, celle du lien (non extraite en B5T).

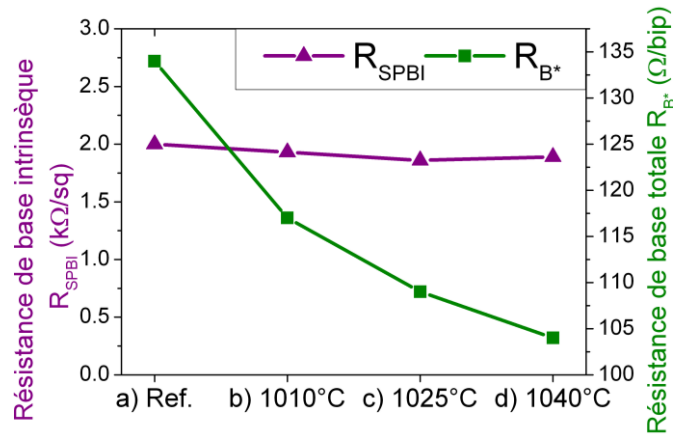


Figure 95 : Evolution des résistances de base en fonction de la température du recuit additionnel

En parallèle, les courants du transistor à moyenne injection subissent également un impact à cause du recuit. Le courant I_B , I_C et le gain en courant β diminuent tous les trois comme on peut le voir sur la Figure 96.

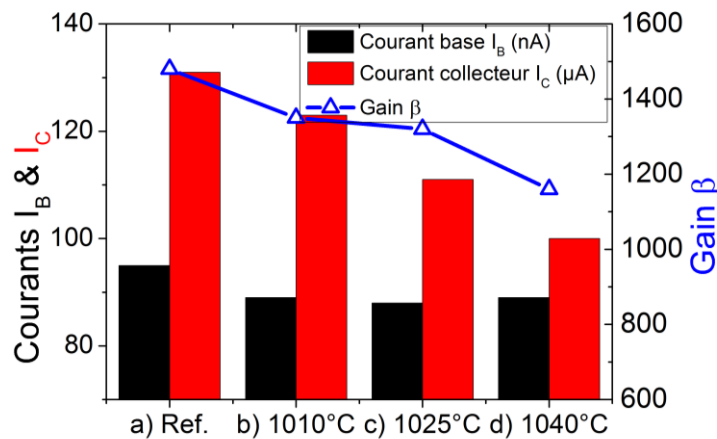


Figure 96 : Evolution des courants à moyenne injection en fonction de la température du recuit additionnel

Si on regarde l'expression de I_C en fonction de V_{BE} comme définie dans le Chapitre I, on voit que I_C est inversement proportionnel à W_B , l'épaisseur de la base.

$$I_C = \frac{qA_e}{G_{B_{Si}}} \cdot \gamma \cdot \eta \cdot \exp\left(\frac{qV_{BE} + \Delta E_g}{kT}\right) \text{ with } G_{B_{Si}} = \frac{W_B N_{aB}}{D_{nB} n_{iSi}^2}$$

La diminution du courant apparait donc comme une conséquence directe de l'augmentation de la diffusion du bore, précédemment vue via les simulations. En contrepartie l'élargissement de la base s'accompagne d'une dégradation du temps de transit dans la base τ_B , se répercutant alors sur les paramètres dynamiques du composant.

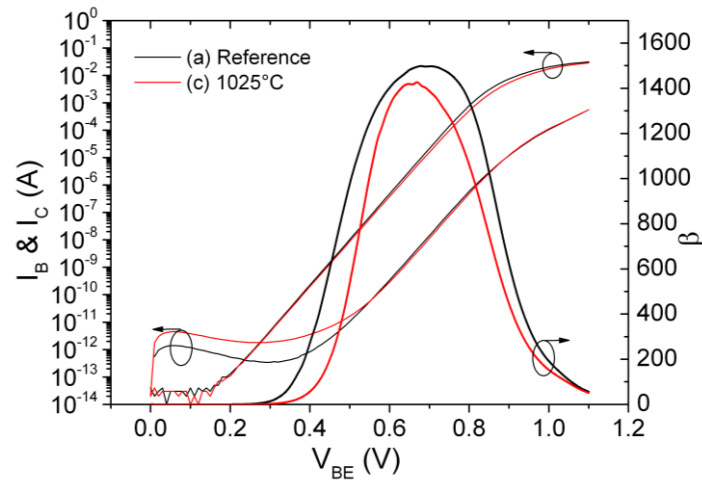


Figure 97 : Tracé Gummel pour un composant de référence et un composant avec recuit à 1025°C

Sur le tracé Gummel Figure 97, qui représente I_C , I_B et β en fonction de V_{BE} pour la référence et le dispositif (c), on remarque une fois de plus la réduction du courant I_C pour le recuit à 1025°C ainsi que celle du gain. A cela se rajoute l'augmentation du courant tunnel à bas courant qui est le signe d'une jonction émetteur/base plus agressive avec la diffusion des atomes de bore après recuit.

Outre les courants, d'autres paramètres électriques subissent des variations, principalement à cause de la diffusion des dopants et de la position du bore par rapport au germanium dans la base. Ils sont récapitulés dans le tableau suivant.

Groupe	(a) Réf.	(b) 1010°C	(c) 1025°C	(d) 1040°C
BV_{CEO} (V)	1,49	1,51	1,52	1,55
BV_{EBO} (V)	1,70	1,83	1,77	1,70
BV_{CBO} (V)	5,37	5,36	5,33	5,28
V_{AF} (V)	167	132	125	114
V_{AR} (V)	2,6	1,8	1,6	1,4
R_E (Ω)	5,2	4,9	4,9	4,8
C_{BE} @ $V_{BE} = 0V$ (fF)	9,5	9,5	9,6	9,7
C_{BC} @ $V_{BE} = 0V$ (fF)	7,0	7,0	7,2	7,5

On constate une légère augmentation de BV_{CEO} cohérente avec l'évolution de β mais également une légère réduction de BV_{CBO} qui suggère que la jonction B/C est plus agressive. L'augmentation des capacités C_{BE} et C_{BC} confirme un décalage des jonctions. La réduction de V_{AR} indique aussi le changement de la position de la jonction E/B qui glisse probablement hors du plateau de germanium. La variation du paramètre BV_{EBO} est difficile à analyser étant donné la valeur de l'erreur standard qui est supérieure à sa variation.

La diminution de V_{AF} semble due à la forte diffusion de bore dans la base intrinsèque. D'après les simulations (Figure 93), la diffusion du bore du polybase avec le recuit crée une sorte de poche en périphérie de la zone active, modifiant alors localement la jonction B/C

entre le bore et l'arsenic par rapport au germanium de la base. Cette diffusion supplémentaire du bore crée une barrière d'énergie dans la base, dont la diminution de V_{AF} est caractéristique. Enfin la diminution de la résistance R_E provient de la position différente des atomes de bore par rapport aux atomes d'arsenic au niveau de la fenêtre émetteur.

L'ensemble de ces variations vient donc pondérer les bénéfices apportés par la réduction de la résistance de base.

1.c. Réponse dynamique en fonction du recuit

On a vu précédemment que l'ajout d'un recuit permettait principalement de diminuer la résistance de base R_B mais comme on le voit dans le tableau suivant, au détriment du temps de transit de la base τ_B qui est une composante du temps de transit direct total τ_F qu'on ne peut pas dissocier de ce dernier. En traçant la caractéristique $1/(2\pi f_T)$ vs $1/I_C$, on peut extraire τ_F comme l'ordonnée à l'origine de cette courbe. On obtient sur une même puce et pour chacun des essais :

	(a) Réf.	(b) 1010°C	(c) 1025°C	(d) 1040°C
τ_F (ps)	0,43	0,45	0,47	0,50
Variation (%)	0%	5%	9%	18%

On constate une augmentation significative du temps de transit τ_F dans le transistor. Les fréquences caractéristiques f_T et f_{MAX} dépendent respectivement de τ_F et R_B , comme vu dans les équations (40) et (41) du chapitre I. Si bien que la réponse des composants en fonction de la température répond aussi à un compromis en termes de fréquence (cf Figure 98). Ainsi le recuit 1010°C apporte la meilleure valeur pour f_{MAX} (+10 GHz en valeur moyenne) en cédant -10 GHz pour f_T .

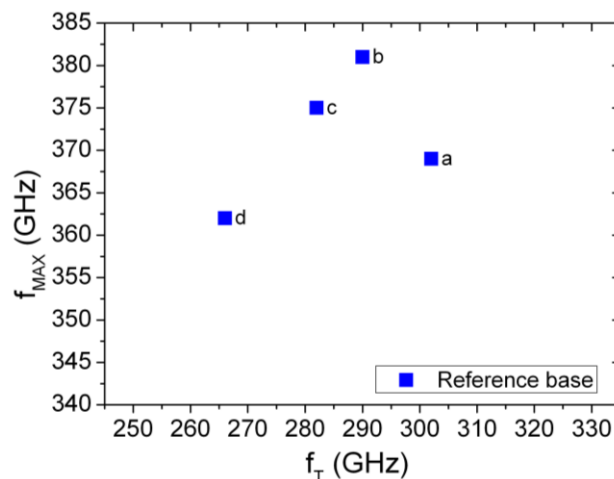


Figure 98 : f_T vs f_{MAX} pour les différents essais en température pour le recuit additionnel

On note également que le temps de propagation dans les portes CML τ_D est dégradé quand la température augmente, comme indiqué dans le tableau suivant.

Groupe	(a) Réf.	(b) 1010°C	(c) 1025°C	(d) 1040°C
f_T (GHz)	302	290	282	266
f_{MAX} (GHz)	369	381	375	362
τ_D (ps)	2,33	2,33	2,37	2,48

On remarque que les simulations annonçaient numériquement la dégradation de f_T et f_{MAX} simultanément, alors que comme on l'a vu on a plutôt une amélioration des performances du composant réel, au moins pour une température limitée. Notre hypothèse est que certains effets comme la diffusion du bore du polybase vers la base intrinsèque ne sont pas bien pris en compte dans le calcul des paramètres électriques via SDevice.

1.d. Conclusion

L'ajout d'un recuit permet bien de réduire la résistance du lien entre la base intrinsèque et la base extrinsèque. En contrepartie, le temps de transit dans la base est dégradé et les jonctions légèrement modifiées ce qui peut dérégler le fonctionnement statique et dynamique du composant. L'usage de ce recuit est donc à faire avec précaution. Pour la suite nous avons retenu le recuit à 1010°C comme optimum, minimisant les effets secondaires.

2. Influence de la position du recuit

Nous allons maintenant nous intéresser à l'influence de la position de ce recuit dans la route de fabrication. Dans le premier cas (c) (Figure 99 à gauche), le recuit a lieu juste après l'épithaxie de la base et un nettoyage RCA qui protège la surface de la base par un fin oxyde chimique. Dans le deuxième cas (e) (Figure 99 à droite), le recuit est inséré après gravure des espaceurs et avant le dépôt de l'émetteur. La surface de la base se retrouve alors à nu.

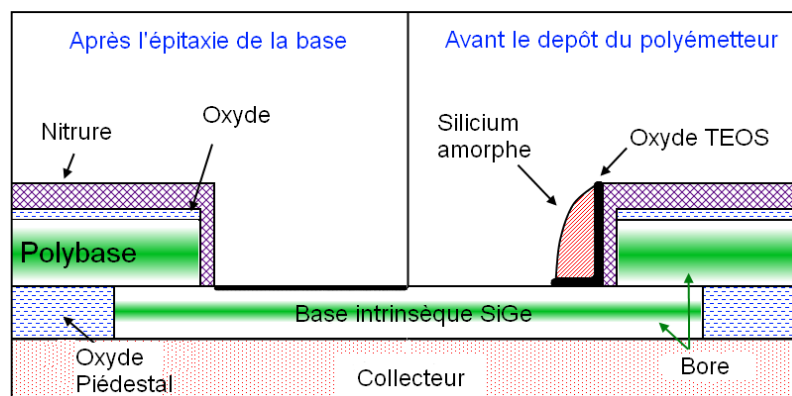


Figure 99 : Représentation schématique de la position des deux recuits, respectivement (a) après l'épithaxie de la base et (b) avant le dépôt du polyémetteur

2.a. Modification du profil d'arsenic dans l'émetteur

Des coupes TEM-EDX ont été réalisées sur les dispositifs (a) (c) (e). Si d'un point de vue géométrique il n'y a pas de différence, on constate cependant une répartition différente des atomes d'As dans l'émetteur. En effet pour les transistors (a) et (c), on distingue la forme des espaceurs en silicium amorphe, qui ne sont donc pas autant dopés en arsenic que le corps de l'émetteur. Dans le cas (e), où le recuit additionnel a été réalisé après la formation des espaceurs, on ne distingue plus cette forme, ce qui suggère l'absorption des dopants par le silicium amorphe. La structure cristalline des espaceurs a donc été réarrangée par le budget thermique supplémentaire du recuit, permettant la diffusion de l'arsenic en son sein. Le profil de dopants dans l'émetteur est ainsi modifié, changeant la résistivité de l'émetteur mais aussi le niveau de dopage en arsenic à la jonction B/E qui joue sur l'état de pincement dans la base.

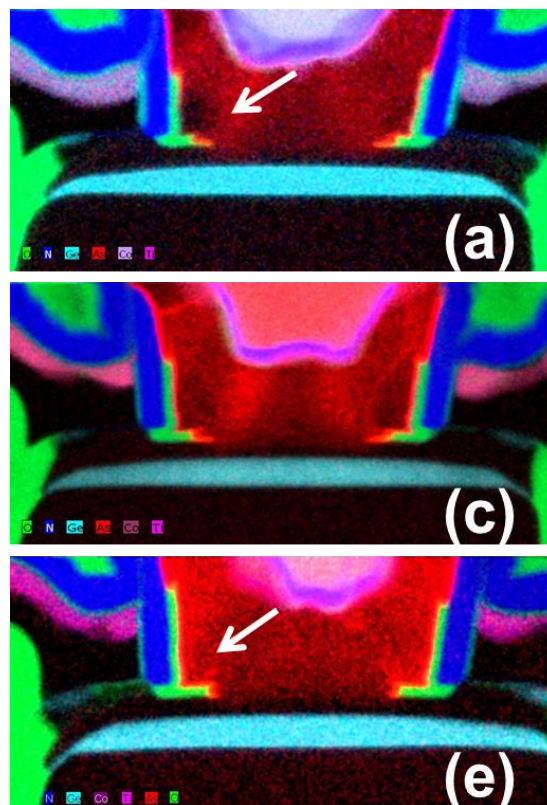


Figure 100 : Analyse TEM-EDX pour trois échantillons (a) Référence, (c) Recuit 1025°C après l'épitaxie de la base, (e) Recuit 1025°C avant le dépôt de l'émetteur

Le premier résultat auquel on peut s'attendre est l'augmentation de la résistance émetteur R_E étant donné le nouveau profil d'arsenic dans l'émetteur.

2.b. Résultats électriques

Dans le tableau suivant sont répertoriés les principaux paramètres électriques en fonction de la position du recuit additionnel.

Groupe	(a) Réf.	(c) 1025°C	(e) 1025°C
BV_{CEO} (V)	1,49	1,53	1,54
BV_{EBO} (V)	1,70	1,77	1,95
BV_{CBO} (V)	5,37	5,33	5,27
V_{AF} (V)	166	125	160
V_{AR} (V)	2,5	1,6	1,3
R_{SPBI} (k Ω /sq)	1,95	1,86	1,89
R_{B^*} (Ω /bip)	134	109	107
R_E (Ω)	5,2	4,9	6,2
C_{BE} @ $V_{BE} = 0V$ (fF)	9,5	9,6	9,5
C_{BC} @ $V_{BE} = 0V$ (fF)	7,0	7,2	7,3

En plus de l'augmentation de la résistance R_E , on constate sur la Figure 101 une réduction des courants de base et de collecteur à moyenne injection, donc du gain en courant, selon la position du recuit, qui s'explique par la diffusion différente des atomes d'arsenic vers la base.

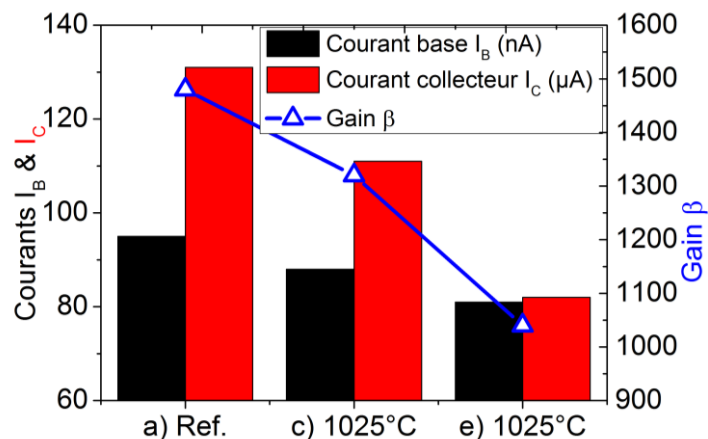


Figure 101 : Evolution des courants à moyenne injection ($V_{BE} = 0,7V$) en fonction de la position du recuit additionnel à 1025°C

L'augmentation de BV_{EBO} montre une jonction E/B qui devient moins agressive étant donné la quantité d'arsenic réduite à la jonction. La réduction de la tension de Early V_{AR} indique elle que la position des dopants par rapport au germanium est une fois de plus décalée et la dépendance de la largeur de zone d'espace avec la polarisation augmente.

On retrouve une variation limitée de BV_{CEO} , BV_{CBO} ainsi que des capacités C_{BE} et C_{BC} , les jonctions sont différentes suivant la position du recuit. En termes de résistance de base R_{B^*} et R_{SPBI} il y a peu de différences, la base est susceptible d'être plus pincée par l'arsenic ce qui explique la légère augmentation de R_{SPBI} et la variation du courant I_C . La position différente des atomes d'arsenic par rapport au germanium de la base explique également l'augmentation de la tension V_{AF} et contribue à l'augmentation de R_E .

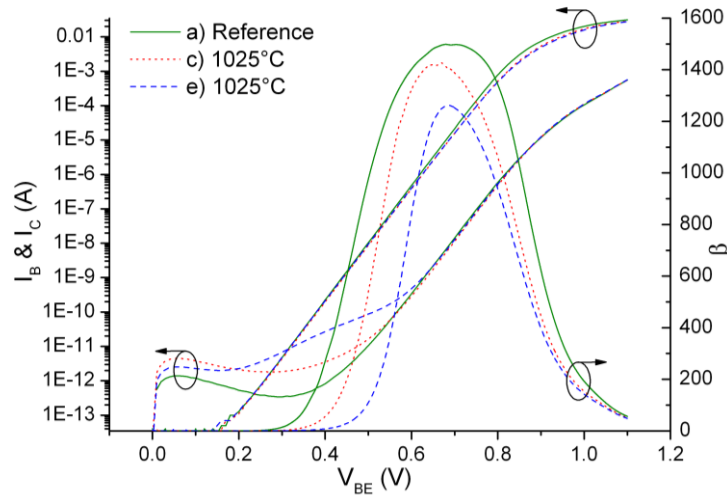


Figure 102 : Tracé de Gummel pour trois échantillons (a) Référence, (c) Recuit 1025°C après l'épithaxie de la base, (e) Recuit 1025°C avant le dépôt de l'émetteur

Le tracé de Gummel de la Figure 102 montre l'existence de recombinaisons SRH dans la jonction B/E, indicatrices de défauts potentiels à l'interface, pour un recuit après la fabrication des espaceurs. On fait l'hypothèse que ces défauts dépendent de l'état de surface pré-recuit. De manière cohérente avec l'évolution des paramètres statiques pour le TBH (e), on constate une nette dégradation des fréquences caractéristiques (cf tableau ci-dessous) ce qui fait de la position du recuit juste après l'épithaxie de la base (c) la plus adaptée.

Groupe	(a) Réf.	(c) 1025°C	(e) 1025°C
$f_T @ V_{CB}=0,5V$ (GHz)	302	282	250
$f_{MAX} @ V_{CB}=0,5V$ (GHz)	369	375	353
τ_D (ps)	2,33	2,37	2,58

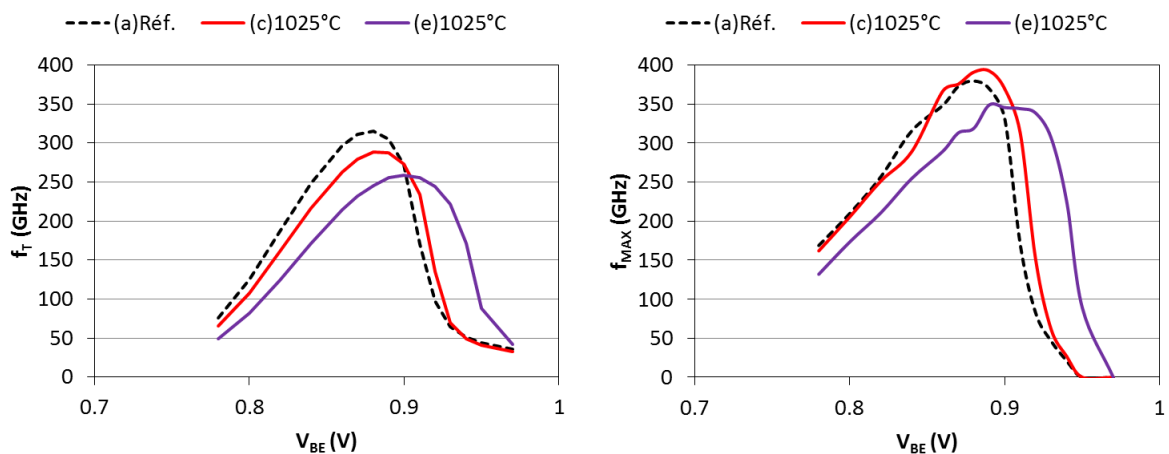


Figure 103 : Caractéristiques f_T vs V_{BE} et f_{MAX} vs V_{BE} suivant la position du recuit post-base à 1025°C

On voit en particulier sur la Figure 103 le décalage en V_{BE} des courbes f_T et f_{MAX} lorsque le recuit est positionné après la formation des espaceurs : pour obtenir le même courant et les mêmes fréquences, il faut donc augmenter la polarisation et donc la consommation du

transistor. C'est une conséquence de l'augmentation de la résistance émetteur : sur les puces où ces caractéristiques ont été mesurées, la résistance R_E des différents essais est respectivement 4,3 ; 4,5 et 5,9 Ω .

On note qu'en simulation TCAD, les deux positions du recuit sont équivalentes et n'ont pas montré de différence ni au niveau des profils de diffusion, ni des résultats électriques. Certains effets ne sont probablement pas pris en compte comme l'état de la surface avant recuit.

3. Influence du profil de base

L'ensemble des essais précédents ont été réalisés pour deux épaisseurs de base différentes, résultant de deux largeurs de pic de bore différentes. Le premier résultat évident est que l'élargissement de la base va augmenter la résistance de base pincée, ainsi que réduire le temps de transit des électrons (τ_T diminue de 0,43 à 0,41 ps), changeant ainsi le compromis f_T/f_{MAX} . Nous y reviendrons après l'analyse des différents paramètres. Dans la suite, nous comparons les deux profils de base pour la route de fabrication de référence (a) ainsi que pour le flow avec recuit additionnel à 1010°C (b).

3.a. Influence de la réduction de l'épaisseur de la base

Groupe	(a) Réf.	(b) 1010°C	(a) Réf.	(b) 1010°C
	Base de référence		Base plus fine	
$\beta @ V_{BE}=0.75V (-)$	1480	1350	2530	2340
$I_B @ V_{BE}=0.75V (nA)$	95	89	90	85
$I_C @ V_{BE}=0.75V (\mu A)$	131	123	221	203
$BV_{CEO} (V)$	1,49	1,51	1,42	1,44
$BV_{EBO} (V)$	1,70	1,83	1,95	1,97
$BV_{CBO} (V)$	5,4	5,4	5,4	5,4
$V_{AF} (V)$	167	132	100	93
$V_{AR} (V)$	2,6	1,8	2,3	1,6
$R_{SPBI} (k\Omega/sq)$	1,95	1,93	3,26	3,23
$R_{B^*} (\Omega/bip)$	134	117	194	164
$R_E (\Omega)$	5,2	4,9	5,1	4,8
$C_{BE} @ V_{BE}=0V (fF)$	9,5	9,5	9,1	9,3
$C_{BC} @ V_{BE}=0V (fF)$	7,0	7,0	7,0	6,9

Nous comparons dans un premier temps les deux essais sans recuit, d'épaisseur de base différente, soit les colonnes 1 et 3 du tableau précédent. La réduction de l'épaisseur de la base a pour effet direct l'augmentation du courant I_C (quasiment du simple au double), et donc celle du gain β . Cela est cohérent avec la réduction du temps de transit τ_B car le chemin à traverser pour les électrons est plus court. En parallèle, la résistance de base R_{SPBI} et R_{B^*} augmente.

Pour la base fine, la distance entre le pic de bore et la jonction métallurgique SiCap / SiGe est la même mais la diffusion du bore est réduite car le réservoir de dopants est moins important. La réduction de C_{BE} et l'augmentation de BV_{EBO} confirment la modification des profils à l'interface E/B. De la même manière il est évident que la position des dopants et de la jonction change par rapport au germanium si bien que V_{AR} et V_{AF} sont tous deux réduits. A l'inverse BV_{CBO} et C_{BC} ne varient pas, donc on suppose qu'il n'y a pas ou peu d'impact d'une base plus fine au niveau de la jonction B/C.

En rajoutant un recuit, on réduit la résistance de base totale à travers la contribution du lien. Et on bénéficie d'une base plus fine, donc d'un temps de transit plus faible.

3.b. Conséquences sur les performances HF du dispositif

Voyons alors l'impact de ces différentes modifications en termes de performance HF. On voit que l'ajout d'un recuit permet effectivement d'augmenter f_{MAX} au détriment de f_T via la réduction de la résistance de base R_B , quelle que soit l'épaisseur de la base. D'autre part, une base plus fine permet d'améliorer f_T au détriment de f_{MAX} à cause de la réduction du temps de transit. La combinaison de ces deux modifications permet ainsi de vaincre le compromis f_T / f_{MAX} et d'augmenter les deux simultanément. Cette amélioration est visible sur les valeurs moyennes des fréquences du tableau suivant.

Groupe	(a) Réf.	(b) 1010°C	(a) Réf.	(b) 1010°C
	Base de référence		Base plus fine	
$f_T @ V_{CB} = -0,5V$ (GHz)	302	290	329	315
$f_{MAX} @ V_{CB} = -0,5V$ (GHz)	369	381	349	374
τ_D (ps)	2,33	2,33	2,42	2,33

Concernant le temps de propagation τ_D , les valeurs moyennes indiquent qu'il reste constant par rapport à la référence, la fréquence f_{MAX} étant quasiment équivalente.

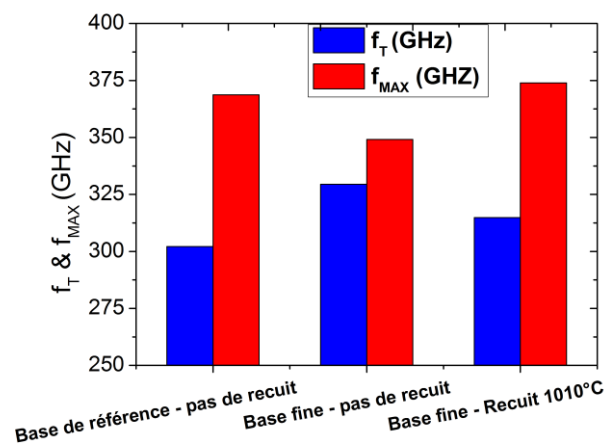


Figure 104 : Résultats f_T et f_{MAX} avec une base de référence, une base fine, une base fine associée à un recuit additionnel de 1010°C

La combinaison d'un recuit additionnel à 1010°C avec une base plus fine a permis d'améliorer les performances du TBH, en passant de 300/370GHz à 315/375GHz en valeurs moyennes. Les meilleures performances ont été mesurées sur une puce, avec f_T atteignant 320GHz et f_{MAX} 390GHz, dont les caractéristiques en fonction de I_C sont tracées sur la Figure 105.

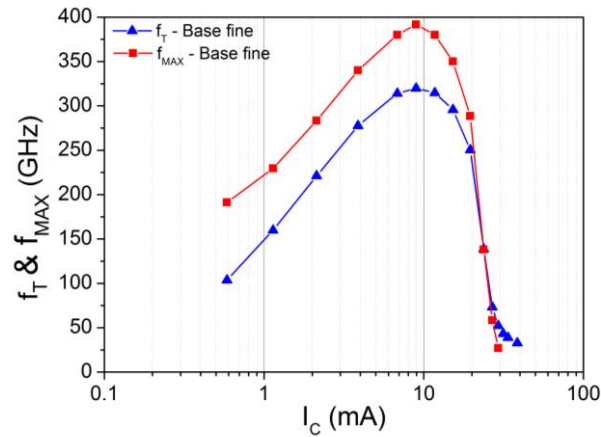


Figure 105 : f_T et f_{MAX} vs I_C pour la meilleure puce obtenue avec un recuit additionnel et une base fine

3.c. Conclusion sur l'ensemble des résultats

On a vu dans l'ensemble de cette étude que l'augmentation de la diffusion du bore dans le lien de la base provoquait également un élargissement de la base intrinsèque, favorisant ainsi la résistance de base, au détriment du temps de transit, et donc f_{MAX} au détriment de f_T . A la suite de cette étude, une des perspectives est d'augmenter la quantité de carbone dans la base, ce qui devrait permettre de mieux contrôler la diffusion du bore dans la base intrinsèque et limiter la dégradation de f_T . Il faudra cependant vérifier si l'augmentation du niveau de carbone ne bloquera pas en parallèle la diffusion du bore au niveau du lien lors du recuit. Dans cette perspective, on peut espérer que l'amélioration apportée par ce recuit additionnel sera encore plus conséquente et permettra d'apporter une solution viable et simple pour favoriser la résistance de lien. Un autre point à vérifier pour l'utilisation de ce recuit est la compatibilité dans une plateforme BiCMOS. Ces travaux ont été présentés lors de la conférence BCTM 2012 (Canderle et al. 2012).

II. Ajout d'un recuit post-base en technologie B55

A la suite de l'étude en B5T, nous avons voulu poursuivre la piste d'un recuit additionnel, cette fois appliqué à une technologie B55. Dans cette technologie, la quantité de carbone dans la base est au moins deux fois supérieure à celle en B5T, ce qui est permis par des conditions d'épitaxie différentes. Nous vérifions ici l'efficacité du recuit et sa compatibilité avec l'intégration du bipolaire dans le nœud CMOS55.

1. Recherche d'un optimum en température par simulation

Dans un premier temps nous avons utilisé l'outil TCAD pour évaluer la température la plus adaptée pour ce recuit, sur un intervalle compris entre 950 et 1040°C, et avec une durée variable du palier à la dite température. Dans la Figure 106 est représentée la diffusion du bore au niveau du lien, pour différentes températures de recuit. On retrouve le résultat obtenu en B5T, c'est-à-dire que le profil du lien est de plus en plus lissé avec un budget thermique croissant. Cependant la jonction base/collecteur est aussi décalée, limitant le bénéfice du recuit.

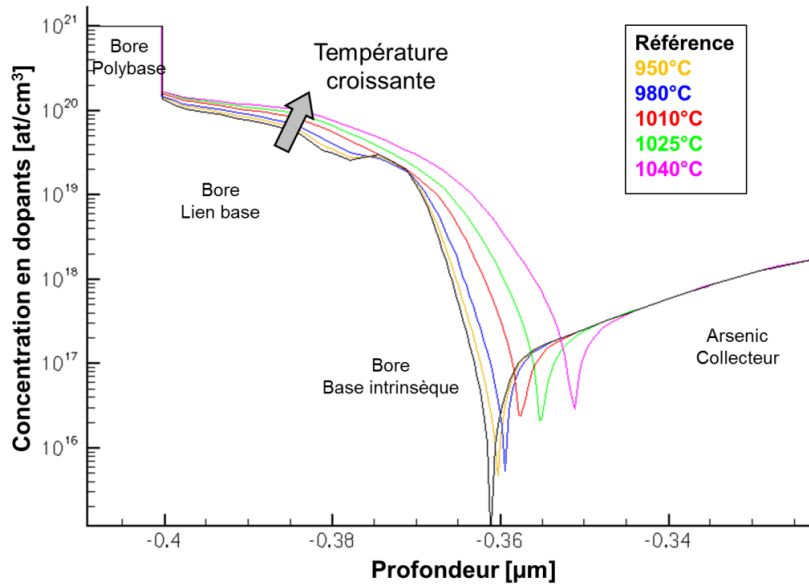


Figure 106 : Profils de dopants dans le lien base, pour différentes températures de recuit

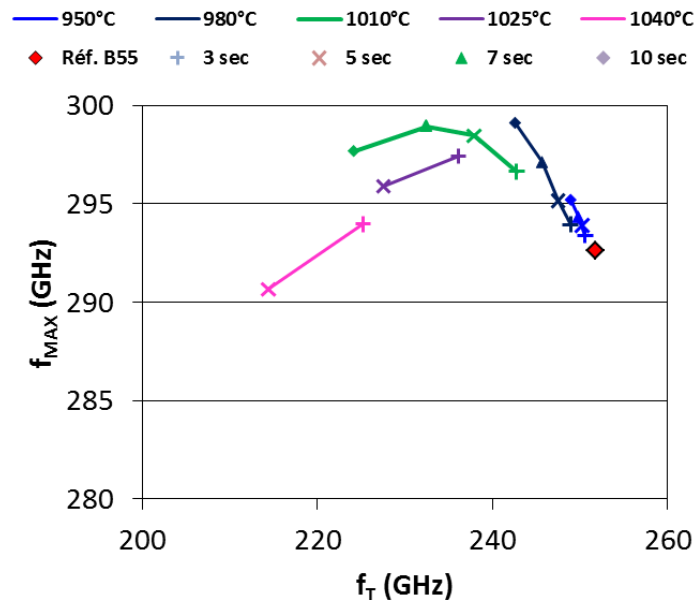


Figure 107 : Résultats en fréquences extraits des simulations en fonction des recuits simulés, pour différentes températures et durées

Sur la Figure 107, sont représentés les différents résultats $f_T / f_{MAX} / BV_{CEO}$ correspondant à des essais en température et en durée. Plus le recuit est chaud et/ou long, plus la fréquence f_T est dégradée et f_{MAX} améliorée. Au-delà d'un certain palier, les deux sont dégradés, il faut donc trouver le compromis le plus favorable aux deux paramètres.

Pour nos essais sur silicium, nous avons choisi de faire varier uniquement la température en raison d'un nombre limité d'essais, avec une durée fixée à 5 secondes. Il pourrait être intéressant également de tester ces recuits en durée.

2. Essais sur silicium

Nous avons répété sur silicium (lot Q338032) cinq des essais en température, avec un recuit de 5 secondes similaire à celui utilisé en B5T, réalisé après l'épitaxie de la base et un nettoyage RCA, sous un flux nul d'O₂ et N₂. Le profil en température d'un tel recuit est représenté sur la Figure 108.

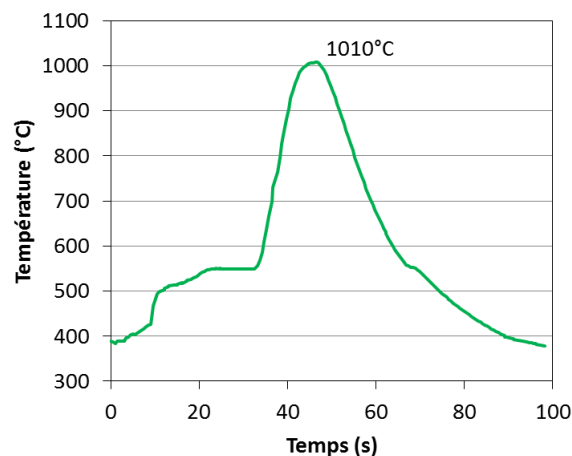


Figure 108 : Profil en température du recuit additionnel à 1010°C, ajouté après la base, fonction du temps

On retrouve une réduction nette de la résistance de base totale, jusqu'à -28% pour la température maximale. La résistance extrinsèque RBX est réduite jusqu'à -16% tandis que la composante intrinsèque $RSPBI$ est elle aussi réduite jusqu'à -12%. La résistance $RSPBI$ est réduite grâce à une base plus épaisse, mais le temps de transit τ_F est également amélioré. L'objectif premier est atteint, il faut maintenant voir quels sont les effets parallèles à ce recuit.

	Réf.	950°C	980°C	1010°C	1025°C	1040°C
τ_F (ps)	0,67	0,65	0,63	0,61	0,59	0,58
<i>Var. par rap. à la réf.</i>	-	-3%	-6%	-10%	-12%	-13%
$RSPBI$ (kΩ/sq)	3,7	3,7	3,6	3,4	3,4	3,3
<i>Var. par rap. à la réf.</i>	-	-1%	-3%	-8%	-9%	-12%
RBX (Ω.um)	721	695	695	655	605	604
<i>Var. par rap. à la réf.</i>	-	-4%	-4%	-9%	-16%	-16%
$RACCBASE$ (Ω/bip)	321	313	298	273	256	231
<i>Var. par rap. à la réf.</i>	-	-2%	-7%	-15%	-20%	-28%

On constate en contrepartie la dégradation du courant I_B à basse injection (et du facteur d'idéalité MIB) pour des fortes températures qui révèle la création de fuites latérales entre la base et l'émetteur, sous les espaceurs, quand la diffusion du bore du polybase est trop importante. L'augmentation peut également être due à celle du courant tunnel comme en B5T.

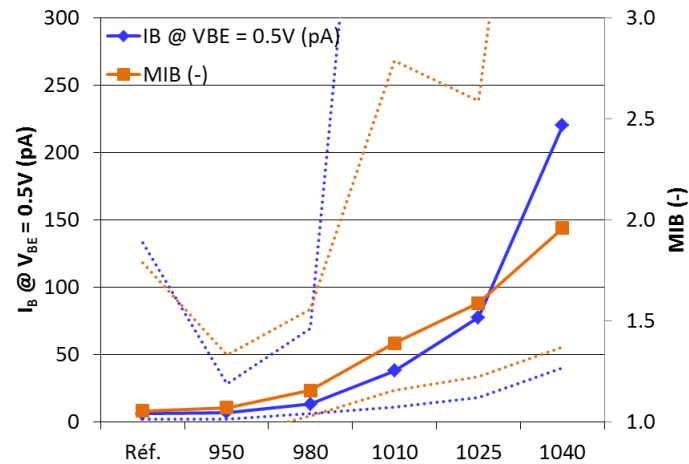


Figure 109 : Evolution du courant de base I_B à basse injection et du facteur d'idéalité MIB , pour différentes températures de recuit post-base

	Réf.	950°C	980°C	1010°C	1025°C	1040°C
$\beta @ V_{BE}=0,7V$ (-)	1174	1250	1209	1307	1294	1093
$I_C @ V_{BE}=0,7V$ (μA)	11,9	12,0	12,7	13,1	13,4	13,4
$I_B @ V_{BE}=0,7V$ (nA)	10,1	9,9	10,5	10,1	10,3	12,1
BV_{EBO} (V)	2,6	2,7	2,4	2,4	2,3	2,0
BV_{CBO} (V)	5,3	5,3	5,3	5,3	5,2	5,2
BV_{CEO} (V)	1,5	1,5	1,5	1,5	1,5	1,6
V_{AF} (V)	110*	91*	194*	179*	170*	147*
V_{AR} (V)	3,6	3,7	3,5	3,1	2,9	2,7
R_{EM} (Ω)	11,0	11,9	11,1	11,7	11,9	12,6
C_{BE} (fF) @ $V_{BE}=0V$	7,1	7,1	7,3	7,3	7,4	7,6
C_{BC} (fF) @ $V_{BE}=0V$	7,2	7,2	7,2	7,3	7,4	7,7
f_T (GHz)	232	231	237	238	239	233
f_{MAX} (GHz)	291	291	300	305	307	306
τ_D (ps)	2,88	2,83	2,74	2,64	2,60	2,60

* forte dispersion

Les deux premiers essais ont une évolution atypique pour V_{AF} par rapport aux 4 derniers essais, la diminution de V_{AF} indique un décalage de la position du bore dans la base et par rapport au germanium comme en B5T. Les tensions BV_{EBO} et V_{AR} sont dégradées toutes les deux, montrant l'augmentation du dopage à la jonction base/émetteur, via la diffusion du bore, et le décalage de cette jonction par rapport au germanium.

On voit également que le courant collecteur I_C augmente (contrairement à B5T) malgré la diffusion du bore dans la base intrinsèque, qui est confirmée par l'augmentation des capacités C_{BE} et C_{BC} . La résistance R_{SPBI} est réduite grâce à cette diffusion tandis que la résistance R_E augmente.

Le profil de base est donc de toute évidence différent sur cet essai en technologie B55, alors non mature, par rapport à B5T. La diffusion du bore élargit la base (W_B) et permet de diminuer sa résistance R_{SPBI} , mais le décalage de la jonction par rapport au germanium permet un temps de transit τ_B plus faible (évalué à travers τ_F) et change le niveau de courant I_C . Il est difficile de statuer avec certitude sans un outil permettant de voir un profil précis du germanium et du bore dans le transistor. On note que c'est une solution similaire qui a été utilisée dans le développement de B55 pour réduire le temps de transit dans la base, en réduisant la largeur de la première marche de germanium côté émetteur.

Ainsi f_T et f_{MAX} augmentent jusqu'à une température de 1025°C et montrent une variation moyenne jusqu'à +7 GHz et +16 GHz respectivement (+10 et +20 GHz resp. pour la meilleure puce mesurée). Il est rare de réussir à améliorer f_T et f_{MAX} à la fois à cause de tous les compromis qui régissent l'élaboration du transistor bipolaire. Cette amélioration est visible en moyenne sur toute la plaque mais il existe une certaine variabilité intra-plaque, supérieure à celle du procédé de référence. Globalement, l'optimum retenu pour la température du recuit est de 1010°C qui permet d'améliorer au plus les performances HF tout en minimisant les effets négatifs sur les paramètres DC.

3. Compatibilité de ce recuit post-base dans un nœud BiCMOS

Alors que le recuit apporte des améliorations non négligeables pour la résistance de base et conséquemment les facteurs de mérite, on peut se poser la question de sa compatibilité avec l'intégration du bipolaire dans un nœud BiCMOS et donc son impact sur les transistors MOS en particulier. Un transistor MOS est schématisé sur la Figure 110 : on peut y voir sur la partie gauche les principales zones définissant sa structure comme la source, le drain, la grille et son oxyde, les espaceurs et l'isolation.

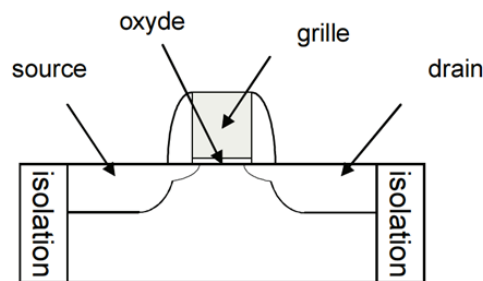


Figure 110 : Schéma de principe d'un transistor MOS (Mathieu 2009)

Voici la liste des principaux paramètres d'intérêt dans cette étude :

- L est la longueur de la grille (qui détermine la longueur du canal) et W sa largeur
- V_g est la tension appliquée à la grille

- V_{ds} est la tension entre le drain et la source du composant
- I_d est le courant qui circule entre le drain et la source
- V_{dd} est la tension nominale d'utilisation du composant (>0 pour un NMOS, <0 pour un PMOS)
- $I_{ON} = I_d (V_g = \pm V_{dd}, V_{ds} = \pm V_{dd})$ est le courant de saturation
- $I_{OFF} = I_d (V_g = 0V, V_{ds} = \pm V_{dd})$ est le courant de fuite
- V_T est la tension de seuil qui définit la polarisation minimale V_g à appliquer à la grille pour rentrer en régime d'inversion forte. Elle est extraite à partir de la caractéristique $I_d (V_g)$, pour $I_d / (W/L) = 10^{-7}$ A.

Nous nous limiterons à quelques composants uniquement pour des raisons de clarté. Les familles de composants analysées sont répertoriées dans le tableau suivant, pour chacune d'entre elles, il existe des NMOS et PMOS.

Famille		Epaisseur oxyde de grille	Tension de seuil V_T (V)	Dimensions grille $W_g * L_g$ (μm^2)
Oxyde GO1	LP : Low power	25Å	S : Standard VT	1x0,06 ; 1x1
			H : High VT	1x0,06 ; 1x1
			L : Low VT	1x0,06 ; 1x1
Oxyde GO2	-	50Å	-	1x0,28

Les composants MOS décrits dans le tableau ci-dessus sont réglés d'une part par des implantations caissons qui interviennent avant la fabrication du bipolaire, et d'autre part par des implantations *pocket* et LDD, qui interviennent après la fabrication du bipolaire et permettent d'ajuster les caractéristiques des transistors.

Aucun impact significatif du recuit additionnel en fonction de sa température n'est vu sur les courants I_{ON} vs I_{OFF} pour les transistors NMOS LP (Figure 111) et PMOS LP (Figure 112). Des variations d'amplitudes équivalentes ont pu être observées par variabilité au sein d'une même plaque. On constate également l'absence de variation pour les transistors GP, ainsi que les MOS GO2 qui ne sont pas représentés ici par simplification.

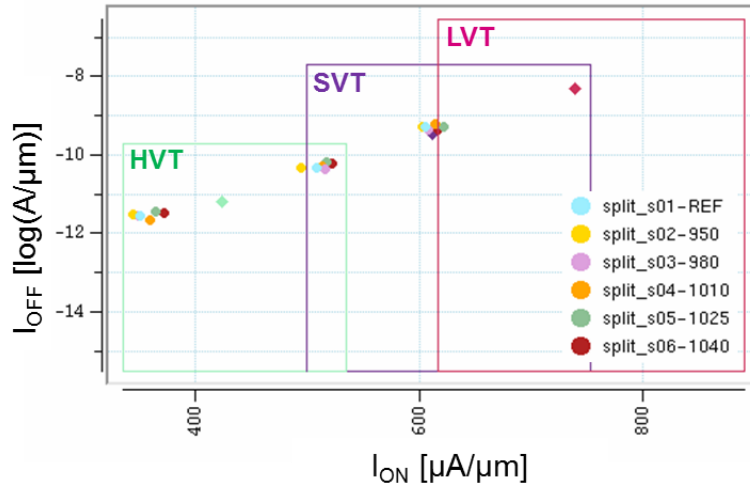


Figure 111 : I_{OFF} vs I_{ON} pour les transistors NMOS LP $1 \times 0,06 \mu\text{m}^2$, en fonction de la température du recuit additionnel

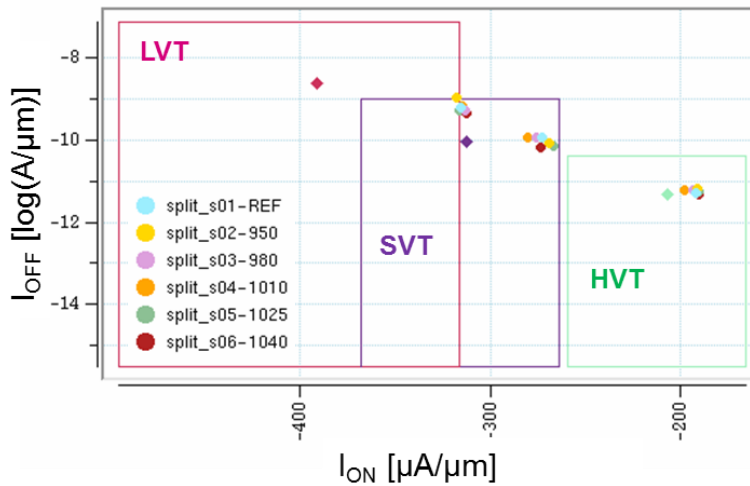


Figure 112 : I_{OFF} vs I_{ON} pour les transistors PMOS LP $1 \times 0,06 \mu\text{m}^2$, en fonction de la température du recuit additionnel

A noter que le réglage des MOS par rapport aux critères visés n'était pas terminé au moment de ces essais, d'où l'écart avec les valeurs cibles représentées par les losanges au centre de chaque boîte de valeur qui correspondent aux variétés H, L et S.

Il existe également des MOS GO1 de surface $1 \times 1 \mu\text{m}^2$, peu sensibles aux implantations *pockets* et *LDD* de par la longueur de leur canal. Ils sont donc plus susceptibles d'être influencés par le recuit car principalement définis par les implantations des caissons. Mais d'après les résultats PT, il semblerait que le budget thermique additionnel (de température élevée mais sur une plage de temps limitée) ne suffise pas à modifier conséquemment les paramètres du MOS. Ces paramètres ont déjà subi l'impact de la co-intégration avec le bipolaire, des ajustements d'implantations ayant été nécessaires.

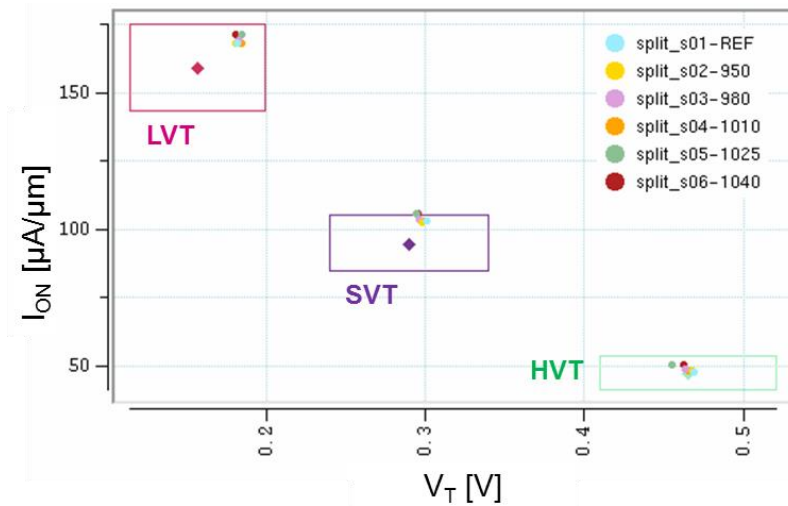


Figure 113 : I_{ON} vs V_T pour les transistors NMOS LP $1 \times 1 \mu\text{m}^2$, en fonction de la température du recuit additionnel

Ce recuit post-base semble donc dans une première approche tout à fait compatible avec l'intégration du bipolaire dans un nœud CMOS. On peut envisager de l'utiliser pour le développement d'un transistor bipolaire en technologie 55 nm plus rapide, au-delà des valeurs visées pour B55.

III. Conclusion

Pour finir nous allons comparer les résultats obtenus en B5T et B55, pour différentes doses de carbone et différents profils de base. Ces 4 profils sont résumés dans le tableau suivant :

	B5T base de référence	B5T base plus fine	B55 base de référence	B55 base avec moins de carbone
Epaisseur bore (nm)	5	3	5	5
Epaisseur base (nm)	37	35	38	38
SiCap (nm)	15	15	13	13
Dose de carbone (at/cm^3)	$3,5 \cdot 10^{19}$	$3,5 \cdot 10^{19}$	$1,0 \cdot 10^{20}$	$6,0 \cdot 10^{19}$

Tout d'abord, si on regarde l'évolution normalisée de la résistance de base en fonction de la température, tracée dans la Figure 114, on constate qu'elle est plutôt cohérente d'un essai à l'autre. Concernant la résistance de base pincée *RSPBI*, sa réduction est moins importante dans le cas de B5T, possiblement à cause du réglage initial de la base, qui laisse moins de marge à un bénéfice apporté par la diffusion du bore.

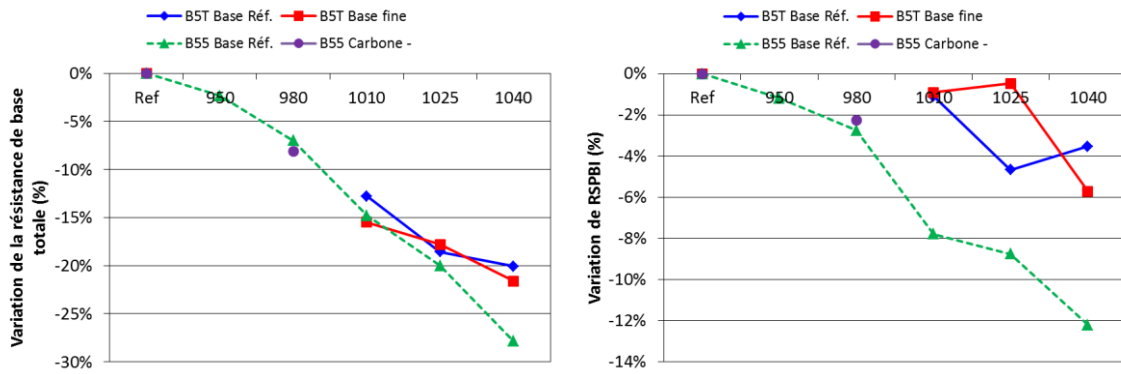


Figure 114 : Evolution de la résistance de base totale et de base pincée $RSPBI$ par rapport à la référence, pour chacun des essais avec recuit additionnel (température du recuit en abscisse)

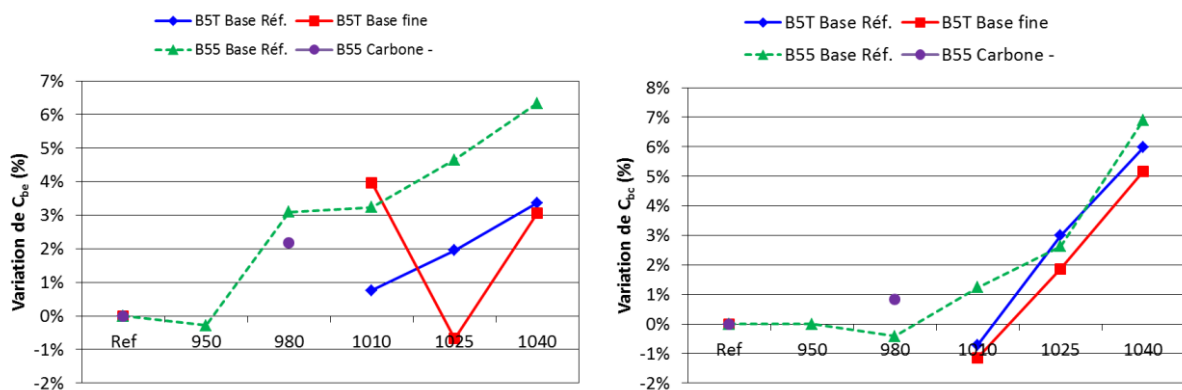


Figure 115 : Evolution des capacités de jonctions C_{BE} et C_{BC} par rapport à la référence, pour chacun des essais avec recuit additionnel (température du recuit en abscisse)

L'évolution des capacités de jonction est représentée Figure 115. C_{BC} évolue de façon assez similaire pour B5T et B55, mais pas C_{BE} dans le cas d'une base fine en B5T. La variation étant limitée, on suppose que la variabilité de la mesure est à l'origine de cette différence.

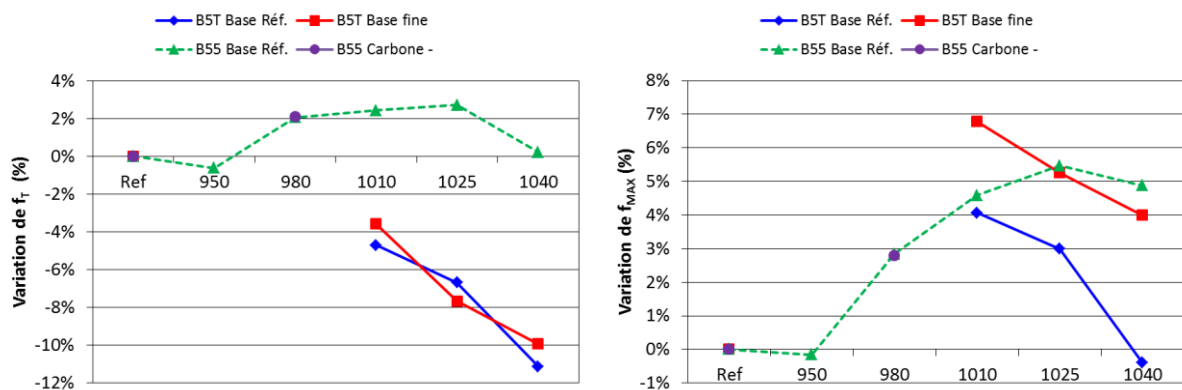


Figure 116 : Evolution f_T et f_{MAX} par rapport à la référence, pour chacun des essais avec recuit additionnel (température du recuit en abscisse)

Malgré une évolution similaire des principaux paramètres il existe une grosse différence de comportement pour f_T et f_{MAX} suivant le nœud B5T ou B55. Cette différence s'explique par un profil de base et un réglage des jonctions différents de l'un à l'autre, malgré la volonté de se baser sur le B5T pour développer B55. On suspecte notamment la jonction B/E comme initialement moins agressive en B55, si bien que l'amélioration apportée par le recuit additionnel est due au rapprochement du bore par rapport à l'arsenic de l'émetteur, et au décalage de la jonction B/E par rapport au germanium, réduisant alors le temps de transit dans la base. Dans les deux cas, le recuit additionnel après l'épitaxie de la base représente une perspective intéressante pour augmenter les performances du transistor bipolaire. Un essai supplémentaire du recuit avec un réglage du transistor optimisé en termes de profils de dopants et de profil de germanium permettrait de confirmer l'apport bénéfique d'un tel recuit en B55. On peut également se demander si un recuit plus court (de l'ordre de la seconde) ne permettrait pas la diffusion du bore du polybase, sans élargissement de la base intrinsèque.

C. Le budget thermique comme source de diffusion et/ou d'activation des dopants

Lors de la fabrication d'une technologie BiCMOS, de nombreuses étapes ont un budget thermique, jouant alors sur la diffusion et l'activation des espèces dopantes, tels les recuits et la plupart des dépôts de matériaux. Avec une température de 1050°C en BiCMOS055, l'une des étapes dont le budget thermique a le plus d'impact est le recuit final d'activation pour les jonctions, qui fait également diffuser les différentes espèces dopantes. C'est un recuit rapide de type *spike* d'1 seconde environ. La réduction de la température de ce recuit dans la transition B9MW-B55 permet dans un premier temps des profils de dopants abrupts, plus fins car moins sujets à la diffusion, et donc une fréquence f_T plus forte. Cependant cela se fait aux dépens de la résistance de base (et f_{MAX}), qui comme on l'a vu dans la partie précédente, dépend en partie de la diffusion du bore dans le lien. La température du *spike* étant réduite, l'activation des dopants est donc a priori moins importante. Dans cette partie nous étudions l'impact de l'insertion d'un recuit milli-secondes pour compenser l'activation des dopants ; puis la combinaison du recuit post-base étudié précédemment avec ce recuit MSA.

I. Impact d'un recuit laser milli-seconde

La famille des recuits MSA (= *milli-second anneal*) désigne l'ensemble des recuits qui ont une durée de l'ordre de la milliseconde. Leur impact sur les matériaux montrent une réduction de la résistivité des polysilicium (S. Paul et al. 2008) (Lerch et al. 2008) (Alexis Colin 2010). Ce type de recuit est d'ores et déjà utilisé pour les technologies CMOS avancées à partir du nœud 45 nm comme on peut le voir dans (Yamamoto et al. 2008). Ce recuit haute température permet d'améliorer significativement les performances des MOS et permet de limiter les effets de canaux courts et de polydéplétion, sans diffusion des dopants. Des essais en technologies bipolaires ont également montré un avantage certain en réduisant la résistivité du matériau polybase des TBH (IHP (Bolze et al. 2009)) et en améliorant ainsi la résistance de base (IBM (Camillo-Castillo et al. 2013)).

Les premiers recuits MSA utilisent une lampe flash de lumière à large bande, avec une illumination de haute intensité durant seulement quelques millisecondes. Depuis des recuits laser dits DSA (= *Dynamic Surface Anneal*) ont été développés, qui effectuent un balayage du substrat afin d'activer de proche en proche chacun des transistors (A. Colin et al. 2010) (Bidaud et al. 2007), à une température parfois proche du point de fusion du silicium (1414°C). C'est ce type de recuit que nous avons testé dans cette étude.

Le principe est simple, on dépose une couche de carbone (*carbon coating*) de 400 nm pour protéger la surface et pour permettre une diffusion uniforme de la chaleur, malgré la topologie. On procède ensuite à un recuit laser DSA de quelques millisecondes par puce, puis on retire la couche de carbone par la succession d'une gravure sèche et d'une gravure humide. Le profil temporel en température d'un tel recuit est visible sur la Figure 117.

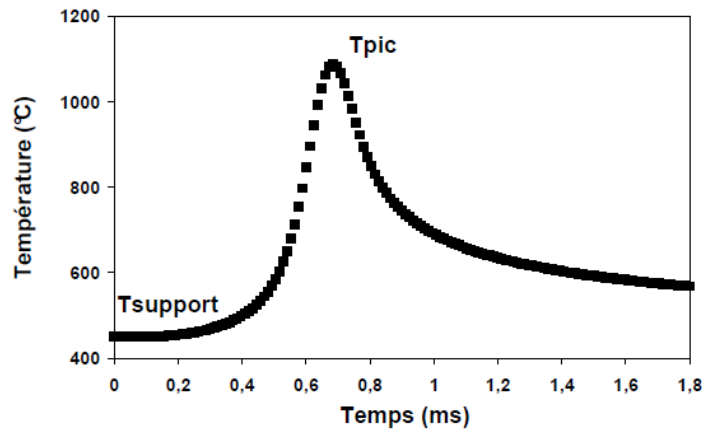


Figure 117 : Profil temporel simulé du recuit DSA à 1130°C, en un point à la surface de la plaque sous recuit (Alexis Colin 2010)

1. Effet d'un recuit laser DSA sur le transistor bipolaire

Le recuit DSA a été inséré après le recuit *spike* à 1050°C afin de générer une meilleure activation des dopants. D'autres études ont en effet mis en avant l'avantage d'un enchaînement *spike* + MSA plutôt que MSA + *spike* (Bolze et al. 2009), pour éviter la désactivation des dopants. Trois essais en température ont ainsi été réalisés sur le lot Q346198 : 1130°C, 1200°C, 1250°C.

L'effet de ce recuit DSA est net, comme indiqué dans le tableau ci-dessous.

	Réf.	DSA 1130°C	DSA 1200°C	DSA 1250°C
$\beta @ V_{BE} = 0,7 \text{ V (-)}$	1920	1868	1936	2214
$I_C @ V_{BE} = 0,7 \text{ V } (\mu\text{A})$	14,5	14,4	14,2	14,3
$I_B @ V_{BE} = 0,7 \text{ V (nA)}$	7,6	7,8	7,4	6,6
$BV_{CBO} \text{ (V)}$	5,05	5,07	5,07	5,06
$BV_{CEO} \text{ (V)}$	1,45	1,45	1,45	1,43
$BV_{EBO} \text{ (V)}$	1,59	1,64	1,67	1,69
$V_{AF} \text{ (V)}$	198	218	236	241
$V_{AR} \text{ (V)}$	2,01	2,13	2,15	2,14
$RSP3W026_U \text{ } (\Omega/\text{sq})$	571	233	202	217
<i>variation en %</i>	-	-59%	-65%	-62%
$R_E \text{ } (\Omega)$	10,0	8,0	7,5	7,1
<i>variation en %</i>	-	-20%	-25%	-29%
$RSP2W152_U \text{ } (\Omega/\text{sq})$	338	307	240	162
<i>variation en %</i>	-	-9%	-29%	-52%
$RSPBI \text{ (k}\Omega/\text{sq)}$	3.76	3.66	3.75	3.65
<i>variation en %</i>	-	-3%	0%	-3%
$RACCBASE \text{ } (\Omega/\text{bip})$	312	297	295	291
<i>variation en %</i>	-	-5%	-6%	-7%

En effet, on constate tout d'abord la réduction conséquente des résistivités des couches du polybase ($RSP2W152_U$) et polyémetteur ($RSP3W026_U$) ; une fois siliciurée l'impact est

réduit à quelques pourcents seulement. Ces améliorations de la résistivité des matériaux ne sont que partiellement répercutées sur les paramètres du transistor : les résistances de base $R_{ACCBASE}$ (jusqu'à -7%) et R_{SPBI} (jusqu'à -3%) sont légèrement réduites alors que la résistance d'émetteur R_E diminue jusqu'à -30%, comme on peut le voir dans la Figure 118. L'effet du recuit DSA semble donc d'amplitude plus ou moins importante selon si le matériau est monocristallin comme dans la base intrinsèque, ou polycristallin comme le polyémetteur ou le polybase. Dans (Bolze et al. 2009) il est reporté que l'activation dans les matériaux monocristallins dopé n est peu sensible à ce type de recuit. Dans notre cas c'est plutôt les matériaux monocristallin dopé p qui sont moins sensibles. On peut donc également s'interroger sur l'influence du recuit sur le bore et l'arsenic.

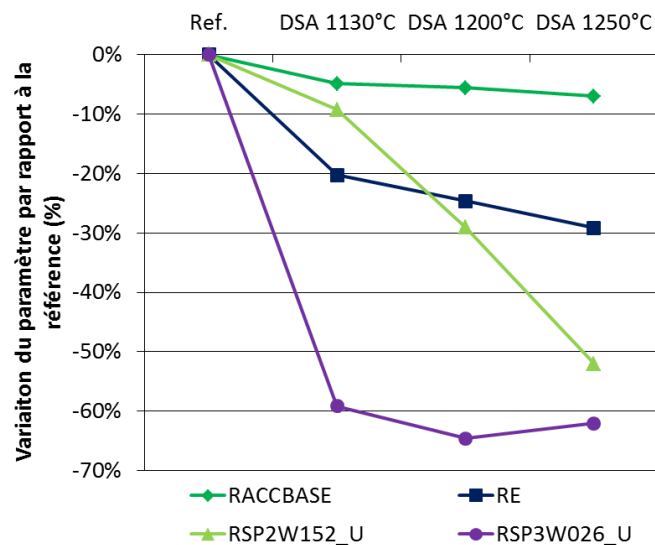


Figure 118 : Réduction de $R_{ACCBASE}$ et R_E avec la température du recuit MSA par rapport à la référence

Dans (Mokhberi et al. 2002) on voit que le mécanisme d'activation électrique est différent pour l'arsenic et le bore. Selon cette étude, l'énergie d'activation électrique du bore est inférieure à l'énergie d'activation pour la diffusion, mettant en évidence le mécanisme de diffusion par défauts ponctuels. Alors que dans le cas de l'arsenic ces deux énergies sont égales. D'autre part il est montré que pour une même température de recuit, le temps pour atteindre une activation électrique de 50 % est d'ordre deux fois inférieur pour le bore par rapport à l'arsenic. On en déduit que le bore est activé plus rapidement que l'arsenic, ce qui signifie qu'après le recuit *spike*, il y a plus de marge pour augmenter l'activation de l'arsenic que pour le bore. Des analyses matériaux pourraient nous aider à conclure sur l'origine de cette différence entre le bore et l'arsenic cependant les autres études similaires semblent en accord avec les effets vus ici.

On voit également une réduction du courant I_B à forte température, qui vient du changement dans le polyémetteur. Grâce au recuit DSA, la quantité N_{dE} d'ions donneurs activés dans l'émetteur augmente et cela se répercute sur le courant de base comme on peut le voir dans l'équation (4) du chapitre I.

Les paramètres BV_{EBO} et V_{AR} augmentent légèrement, ainsi que V_{AF} , conséquences de l'activation plus importante des dopants. L'augmentation de la quantité de bore actif permet potentiellement de réduire les zones de déplétion du transistor. L'activation améliorée permet des tensions d'Early plus élevées et une tension de claquage BV_{EBO} améliorée pour des tensions BV_{CBO} et BV_{CEO} , et un gain β constants, indiquant la stabilité du fonctionnement du transistor bipolaire. Les capacités C_{BE} et C_{BC} sont également stables ce qui nous permet de vérifier qu'il n'y a effectivement pas de diffusion des dopants provoquée par le recuit haute température.

	Réf.	DSA 1130°C	DSA 1200°C	DSA 1250°C
C_{BE} (fF) @ $V_{BE} = 0V$	8,89	8,86	8,85	8,87
C_{BC} (fF) @ $V_{BE} = 0V$	7,64	7,65	7,64	7,65
τ_D (ps)	2,62	2,54	2,51	2,46

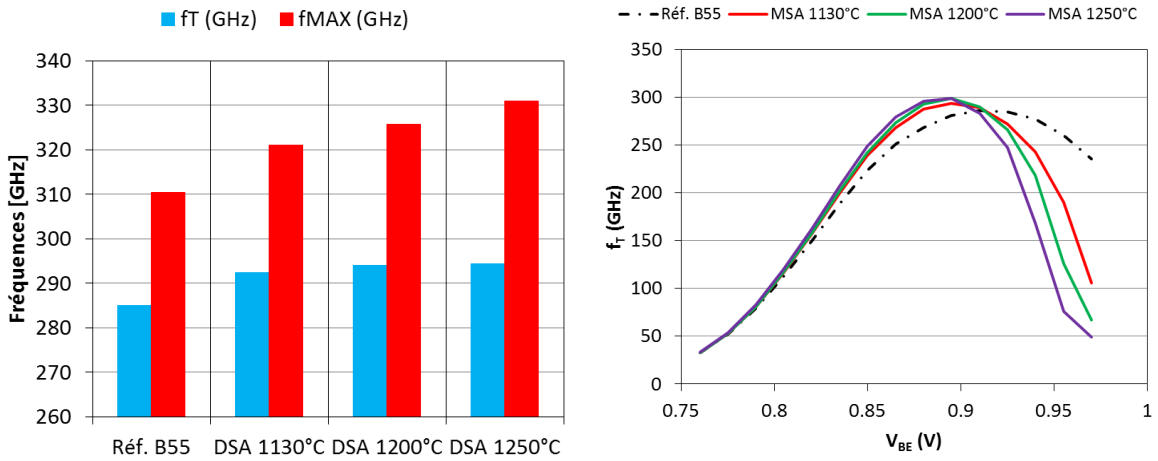


Figure 119 : Evolution des fréquences f_T , f_{MAX} (gauche) ; caractéristique f_T vs V_{BE} (droite) pour les différentes températures du recuit MSA

Alors on peut voir l'augmentation de f_T (jusqu'à + 10 GHz) et f_{MAX} (jusqu'à +20 GHz) avec le recuit et proportionnellement à sa température, évolutions en ligne avec la variation du temps de propagation τ_D . Une autre conséquence est le décalage du pic de f_T vers de plus faibles V_{BE} , sans décalage en courant I_C : cela signifie qu'on peut atteindre des meilleures performances fréquentielles, pour une polarisation V_{BE} plus faible. C'est un effet direct de la réduction de la résistance émetteur.

2. Impact d'un recuit DSA sur les transistors MOS

Nous vérifions ici quelle est l'ampleur de l'impact du DSA sur les composants MOS en nœud 55 nm, pour les NMOS et PMOS LP 1x0,06 μm^2 , dont les caractéristiques I_{OFF} vs I_{ON} sont représentées sur la Figure 120 et la Figure 121 respectivement.

Pour les transistors NMOS LP, on constate l'augmentation I_{ON} et la réduction du courant de fuites I_{OFF} . Cette variation s'accompagne également de la réduction de la tension de seuil V_T .

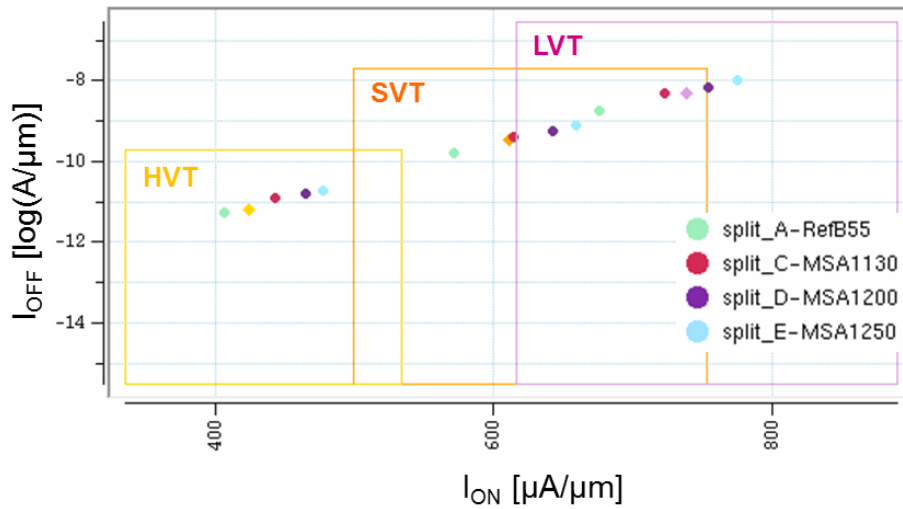


Figure 120 : I_{OFF} vs I_{ON} pour les transistors NMOS LP $1 \times 0,06 \mu\text{m}^2$, en fonction des essais MSA

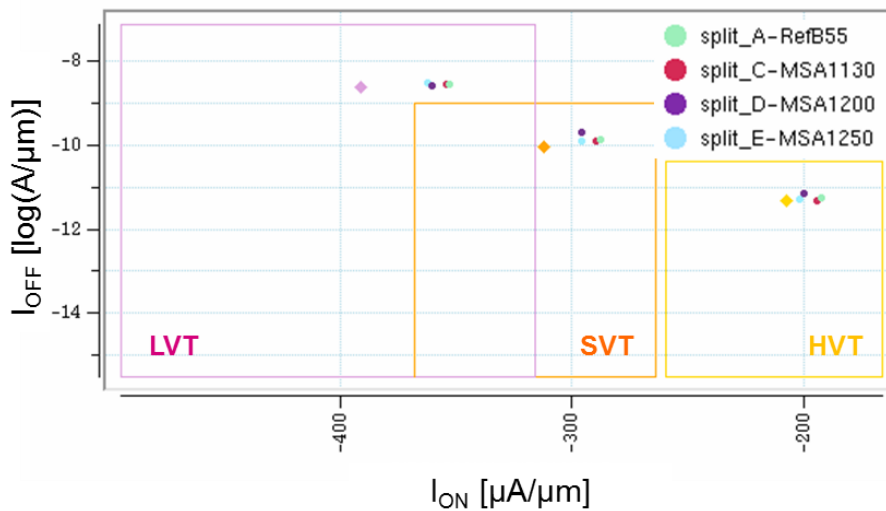


Figure 121 : I_{OFF} vs I_{ON} pour les transistors PMOS LP $1 \times 0,06 \mu\text{m}^2$, en fonction des essais MSA

L'impact est par contre assez limité sur les PMOS LP : de façon similaire au TBH, on suppose que le bore contenu dans la source et le drain de type P sont déjà fortement activés avant DSA, si bien que l'impact du DSA est limité.

Ces variations sont non négligeables mais on se déplace le long d'une même droite de V_T , cela signifie qu'il n'y a pas de gain de mobilité intrinsèque et que ce décalage est ajustable grâce aux implantations de poches et LDD. Tous les paramètres n'ont pas été présentés mais le comportement est assez similaire pour chacune des familles de MOS. Avec un recentrage adéquat il est possible de garder les transistors MOS tels que souhaités tout en améliorant le TBH.

3. Conclusion

L'ajout d'un recuit DSA de quelques millisecondes après le recuit *spike* a permis une nette amélioration des résistivités polysilicium, qui se répercutent sur les résistances de base et d'émetteur, et donc sur les fréquences f_T et f_{MAX} . Grâce à ce recuit on peut gagner jusqu'à +10 GHz en f_T et +20 GHz en f_{MAX} avec un recuit DSA 1250°C . Ce même recuit a un effet

non négligeable sur les transistors NMOS en particulier, permettant de les rendre globalement plus rapides. Les transistors PMOS subissent peu d'impact car le recuit DSA a plus d'impact sur l'activation de l'arsenic que celle du bore, comme on a pu également le voir dans le cas de l'émetteur et de la base du TBH.

On note que le recuit DSA est un recuit hors équilibre qui permet d'augmenter la limite de solubilité des dopants dans un solide. Mais c'est un équilibre instable et un budget thermique trop élevé peut provoquer la désactivation des dopants : dans notre cas, le budget thermique suivant le DSA n'est pas suffisant pour rompre cette équilibre.

Pour les expériences à suivre, on a fait le choix d'un recuit MSA à 1130°C pour un impact sur les MOS minimisé et donc rester en ligne avec B55. Mais pour de futures optimisations, on aurait intérêt à recentrer les MOS afin de profiter pleinement des bénéfices du recuit DSA à 1250°C. Mais il reste à vérifier si ces variations peuvent altérer la fiabilité des composants.

II. Recuit laser DSA combiné au recuit post-base

Face aux résultats prometteurs d'un recuit additionnel ajouté après l'épitaxie de la base, qui permet une meilleure diffusion du bore dans le lien base intrinsèque / base extrinsèque ; et à ceux du recuit laser DSA post-*spike* qui permet une meilleure activation des dopants, on peut se demander quel est le bilan si on insère les deux étapes pour un même composant.

Pour ce faire, nous avons réalisé les essais suivants sur le lot Q408036 :

A - Référence	spike 1050°C	-	-
B -	spike 1050°C	+ DSA 1130°C	-
C -	spike 1050°C	+ DSA 1130°C	+ Rec. add. 1010°C

1. Effet des deux recuits simultanés sur les transistors bipolaires

1.a. Résultats généraux

Sur chacun des résultats suivants, on voit bien les effets de chacun des recuits. On ne constate aucune variation pour les courants à moyenne ($V_{BE} = 0,7$ V) ou à basse injection ($V_{BE} = 0,5$ V) lorsqu'on rajoute le DSA de température 1130°C (cf Figure 122). Lorsqu'on ajoute un recuit post-base à 1010°C cependant, les courants I_B et I_C à moyenne injection augmentent simultanément et dégradent le gain en courant. On observe le même comportement que pour l'essai de la partie B sur le recuit additionnel : des fuites du courant I_B et/ou l'effet tunnel sont augmentées par la diffusion du bore tandis que l'augmentation de I_C est le résultat du décalage de la jonction B/E par rapport au germanium.

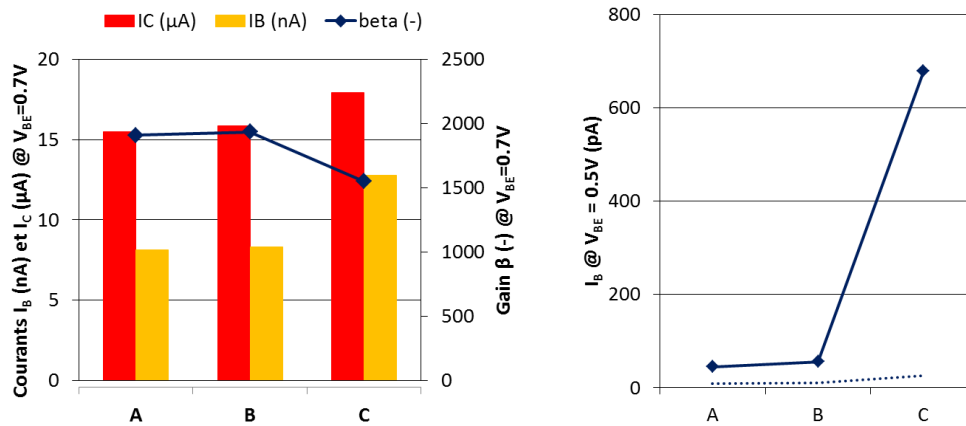


Figure 122 : Variation des courants à différentes polarisations et pour les différents essais sur le budget thermique

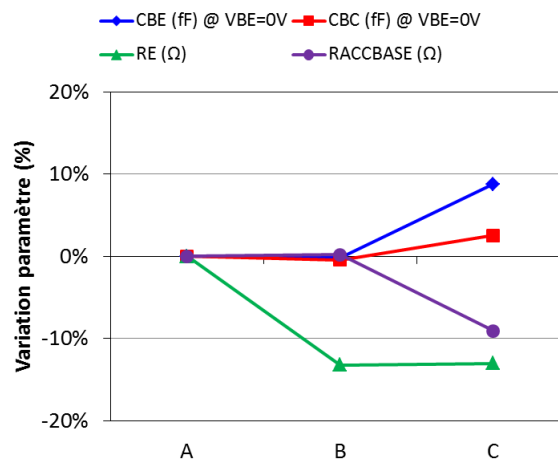


Figure 123 : Variation en pourcentage des capacités de jonction C_{BE} et C_{BC} , et des résistances R_E et $R_{ACCBASE}$, pour les différents essais sur le budget thermique

Pour le groupe B, on constate la réduction de R_E sans dégradation des capacités : c'est la meilleure activation des dopants à haute température sans diffusion qui le permet. La résistance de base $R_{ACCBASE}$ n'est pas changée car le profil initial de la base ne permet pas d'augmentation significative de l'activation. Le groupe C montre la diminution significative de la résistance de base tandis qu'il y a peu d'impact sur la résistance émetteur. Les capacités augmentent, signe de l'augmentation de la diffusion des dopants au niveau des jonctions, accompagnée par la diminution de BV_{EBO} et V_{AR} .

Le temps de propagation τ_D diminue significativement entre A et C : $\tau_D = 2,2\text{ps}$ au lieu de $2,34\text{ps}$. Cette amélioration s'accompagne également de l'augmentation des fréquences :

- Avec le recuit DSA (B), on gagne + 8 GHz en f_{MAX} par rapport à A, augmentation limitée de f_T de 2 GHz.
- Avec le recuit additionnel et le DSA (C), on gagne 15 GHz en f_{MAX} et on perd - 5 GHz en f_T par rapport à (B), grâce à la diffusion du bore dans le lien. f_T n'augmente pas comme pour l'essai de la partie B car le profil de base est plus optimisé.

La combinaison des deux modifications du budget thermique (C) montre donc une augmentation de 22 en f_{MAX} contre -3 GHz en f_T , par rapport à la référence (B).

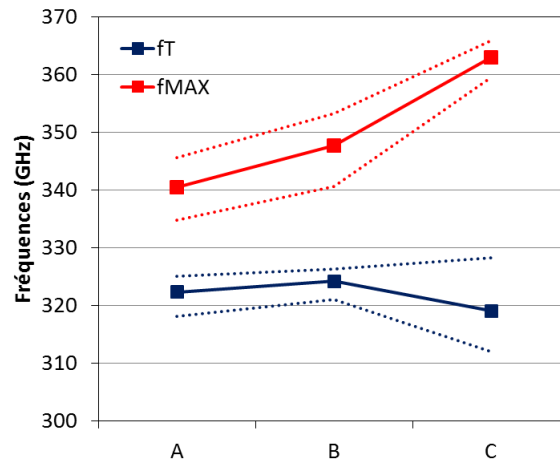


Figure 124 : Variation des fréquences f_T et f_{MAX} en fonction des essais croisés MSA et recuit additionnel

1.b. Résultats en puissance par mesures *loadpull*

Dans un deuxième temps nous avons jugé intéressant de voir l'impact de tels recuits sur les paramètres en puissance des transistors bipolaires nominaux. Pour cela nous avons réalisé des mesures *loadpull* à 94 GHz selon le même protocole que celui déjà décrit précédemment et avec la même instrumentation. Pour cette série de mesure, les conditions de polarisation sont choisies telles que $V_{CE} = 1.8V$, V_{BE} est proche du maximum en f_T et permet d'atteindre un courant collecteur I_C de 9 mA pour chacun des transistors à l'étude.

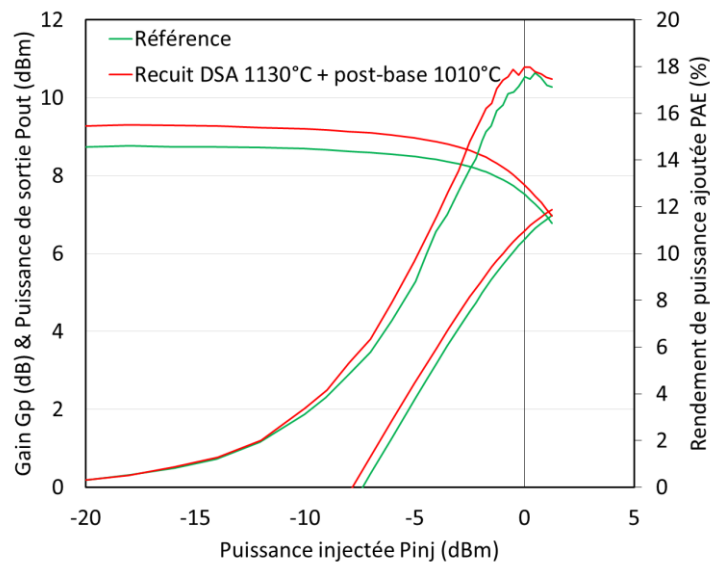


Figure 125 : Comparaison des paramètres en puissance G_P , P_{out} et PAE pour le composant de référence (vert) et celui avec les recuits combinés (rouge)

Nous avons donc extrait le gain de puissance G_P , la puissance de sortie P_{out} et le rendement en puissance ajoutée PAE en fonction de la puissance injectée P_{inj} à l'entrée du quadripôle. Leur comportement est représenté sur la Figure 125. Le tuner est réglé de telle sorte que l'impédance de sortie soit optimale : le tableau suivant montre que les deux composants sont optimisés en termes de puissance de sortie pour la même valeur d'impédance.

		Réf.	DSA + post-base
V_{CE}	V	1,8	1,8
Γ	mod	0,668	0,668
	pha	120,2	120,2
G_p lin	dB	8,7	9,3
$P_{out@1dB}$	dBm	5,7	6,2
	mW/ μm^2	7,6	8,4
$G_p @ 1dB$	dB	7,9	8,1
PAE@1dB	%	16,3	17,6
$P_{out@maxPAE}$	dBm	6,6	6,6
	mW/ μm^2	9,4	9,2
$G_p @ maxPAE$	dB	7,3	7,8
maxPAE	%	17,7	18,0
$P_{out@sat}$	dBm	6,8	7,1
	mW/ μm^2	9,7	10,5

Globalement l'ensemble des paramètres augmentent quelle que soit la puissance injectée. On constate l'augmentation du gain de +0.5dB en régime linéaire c'est-à-dire à faible puissance injectée mais également sur l'ensemble de l'intervalle balayé. En particulier la puissance de sortie augmente de +8% lorsqu'on atteint le régime de saturation.

La combinaison des deux recuits est donc également bénéfique pour les transistors bipolaires d'un point de vue puissance.

2. Impact des deux recuit simultanés sur les transistors MOS

Pour les transistors MOS on retrouve les mêmes évolutions que décrites précédemment, les effets des deux recuits se sont simplement ajoutés. Encore une fois c'est un compromis diffusion / activation, sachant que le recuit post-base n'affecte pas les implantations poches et LDD qui déterminent le dopage final des sources et drains.

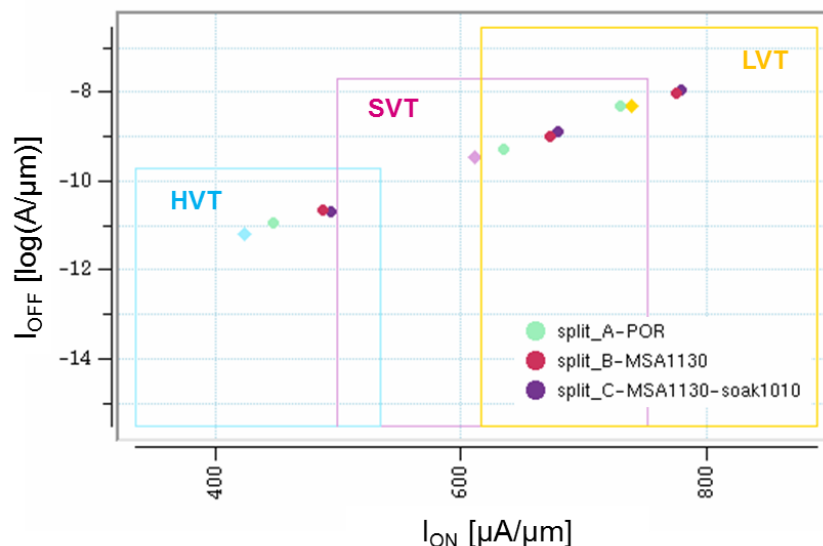


Figure 126 : I_{OFF} vs I_{ON} pour les transistors NMOS LP $1 \times 0,06 \mu m^2$ en fonction des essais croisés MSA et recuit additionnel

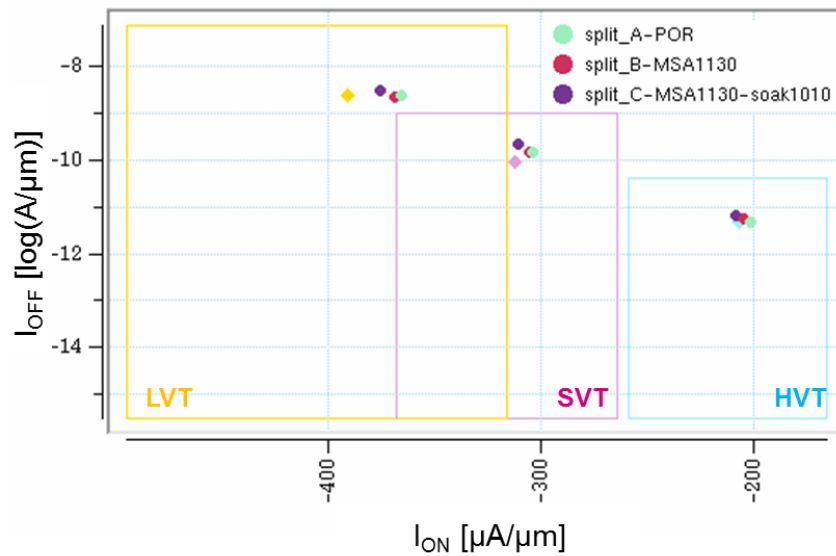


Figure 127 : I_{OFF} vs I_{ON} pour les transistors PMOS LP $1 \times 0,06 \mu m^2$ en fonction des essais croisés MSA et recuit additionnel

C'est donc principalement l'activation améliorée par le DSA qui joue sur les transistors MOS et qui les décalent. Les caractéristiques des MOS ne pouvant être changées par rapport aux critères industriels de la plateforme, on ne peut pas utiliser les recuits dans l'état mais grâce à des réajustements de certaines implantations pour un recentrage, l'usage de ces deux recuits est tout à fait envisageable et offre de belles perspectives d'amélioration. On peut même envisager d'utiliser un recuit DSA de température supérieure dans une étude d'optimisation du bipolaire, hors des contraintes d'intégration actuelles.

3. Conclusion

Le budget thermique en nœud B55 par rapport aux nœuds précédents favorise la fréquence f_T en permettant des profils de diffusion limitée et donc plus abrupts. Mais les dopants sont alors moins activés et la résistance du lien de la base dégradée. En utilisant le recuit MSA à $1130^\circ C$ d'une part, et un recuit additionnel post-base à $1010^\circ C$ d'autre part, on compense la réduction du budget thermique et cela nous permet d'augmenter la fréquence f_{MAX} de 22 GHz pour très peu d'impact sur la fréquence f_T par rapport à la référence. Les paramètres de puissance de ces transistors sont bénéficiés également de ces recuits.

D. Conclusion du chapitre

Dans une première partie nous avons présenté les principaux paramètres qui intervenaient dans le réglage du profil de la base intrinsèque. L'adaptation de la position des jonctions entre les dopants par rapport au profil de germanium est cruciale pour un transistor rapide et stable. Nous avons également étudié différentes pistes pour optimiser le matériau utilisé pour le polybase pour une meilleure résistivité de celui-ci mais surtout pour améliorer la qualité du lien entre la base intrinsèque et la base extrinsèque constituée par le polybase. Malheureusement aucun de ces essais n'a montré de résultats répondant à notre objectif, souvent car la modification des propriétés du matériau s'accompagnent d'effets secondaires qui dégradent le fonctionnement du transistor et de ses performances. L'absence d'amélioration malgré les différents essais matériaux montre la limitation de l'architecture actuelle. Une nouvelle structure de la base et en particulier du lien est nécessaire pour permettre des avancées nettes dans le développement du transistor bipolaire.

Nous avons ensuite focalisé notre étude sur le lien et comment l'améliorer grâce au budget thermique. Pour cela nous avons étudié l'ajout d'un recuit après l'épitaxie de la base intrinsèque pour la diffusion du bore du polybase vers la base intrinsèque. On a montré une amélioration non négligeable de la résistance de base, qui se répercute sur les paramètres dynamiques du composant. Les bénéfices de ce recuit sont néanmoins dépendants du profil initial de la base.

Enfin, une dernière partie sur l'impact du budget thermique sur les profils de dopants montre des résultats très intéressants. L'utilisation d'un recuit laser millisecondes permet une meilleure activation des dopants et la réduction des résistances. Cela implique un décalage des composants MOS mais qui peut être corrigé grâce aux implantations poches et LDD des sources/drains, comme lors de l'intégration du bipolaire dans le nœud CMOS.

Combiné au recuit additionnel à 1010°C, ce recuit fixé à 1130°C fournit de très bons résultats : on montre une augmentation de +22 GHz en f_{MAX} pour seulement -3 GHz en f_T . Dans un cadre où on ne serait pas limité par le réglage des MOS défini avant l'intégration BiCMOS, on peut imaginer qu'un recuit DSA de température supérieure permettrait d'aller au-delà des résultats actuels. Ces deux recuits représentent deux outils clés pour développer un transistor avancé au-delà de BiCMOS055.

Chapitre IV. Une architecture bas-coût avec collecteur totalement implanté

Dans cette partie nous évaluons la possibilité de réaliser un transistor bipolaire performant pour un coût réduit.

A travers diverses simulations et la conception de diverses architectures, nous mettons en évidence la possibilité de simplifier la fabrication d'un HBT d'une part, en ôtant diverses étapes ou modules actuellement utilisés ; mais aussi de réduire leur dimensions latérales d'autre part permettant l'optimisation des résistances et capacités caractéristiques d'un transistor donné.

L'intégration du transistor bipolaire dans un nœud CMOS 55nm nécessite comme nous l'avons vu précédemment de choisir très soigneusement les recettes et l'ordre des différentes étapes pour limiter l'impact sur les composants initialement présents en plateforme 55nm. Mais l'ajout de ces étapes a également un coût : 19% du coût total pour le module base/émetteur et 11% pour le module collecteur.

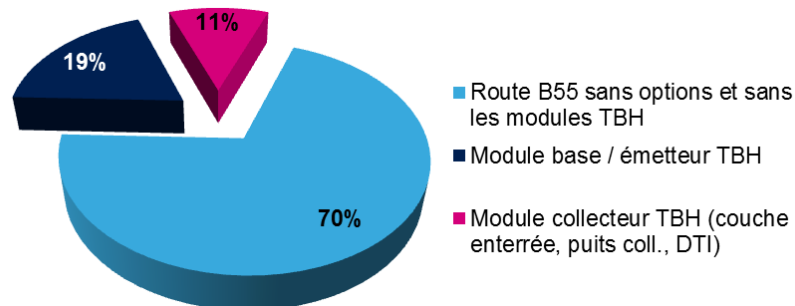


Figure 128 : Diagramme représentant le coût des différents modules de la technologie BiCMOS 55nm

En recherchant une architecture simplifiée, on veut réduire le coût du module collecteur, qui représente 36% du coût dédié à la fabrication des composants bipolaires, sans sacrifier les performances du composant. Un autre objectif pour cette étude est d'obtenir un transistor dont le profil de dopage collecteur permet de s'affranchir des tranchées d'isolation DTI, dont l'intégration est aujourd'hui d'une difficulté croissante en technologie CMOS avancée.

Cette étude a été réalisée précédemment à partir du BiCMOS9MW en plateforme 200mm et sera rappelée dans la première partie de ce chapitre. Le passage à une plateforme 300 mm avec le BiCMOS055 permet de nouvelles libertés de par les limitations différentes des procédés, notamment la résolution plus fine de la lithographie. Cela permet de rapprocher les contacts et ainsi réduire la taille du transistor. Des simulations TCAD ont d'abord permis d'évaluer les bénéfices de différents types de profils pour le module collecteur. A partir de ces résultats, nous avons conçu diverses structures permettant d'optimiser les résistances et capacités liées au collecteur.

A. Le transistor collecteur implanté en BiCMOS9MW

Les études pour un transistor bas-coût en BiCMOS9MW ont été menées lors d'une thèse précédente réalisée par Boris Geynet (Geynet 2008). Nous présentons ici les principaux résultats de ces études.

I. Première architecture développée

Par rapport à l'architecture classique présentée dans notre Chapitre II, il n'y a pas de DTI et pas de STI dans la zone active du transistor ce qui permet de réduire la distance entre les contacts émetteur et collecteur et également la largeur du polybase. Cette réduction latérale a pour conséquence de réduire la résistance collecteur R_C à niveau de dopage équivalent.

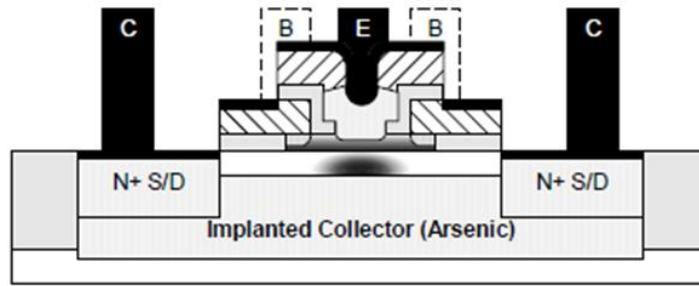


Figure 129 : Schéma de l'architecture bas coût développée en plateforme 200mm

La couche enterrée créée par implantation et reprise d'épithaxie du silicium est remplacée par une implantation en arsenic de profondeur limitée, mais moins dopée vu la proximité avec la zone active du composant. La profondeur pour mettre en contact le collecteur étant réduite, l'implantation du puits collecteur est supprimée et laissant uniquement l'implantation N+ S/D, déjà utilisée pour les composants NMOS.

Pour réduire un maximum la largeur du polybase, il a fallu supprimer les contacts de base latéraux, mais pour un long transistor cela crée une chute ohmique entre deux contacts de base. C'est à dire que le courant n'est plus réparti uniformément le long du polybase. Pour éviter ce phénomène, le *layout* traditionnel CB^EBC a été modifié pour devenir C_BE^BC (cf Figure 130) où l'émetteur a été fragmenté en 5 pour permettre de répartir des contacts de base tout au long de la dite base.

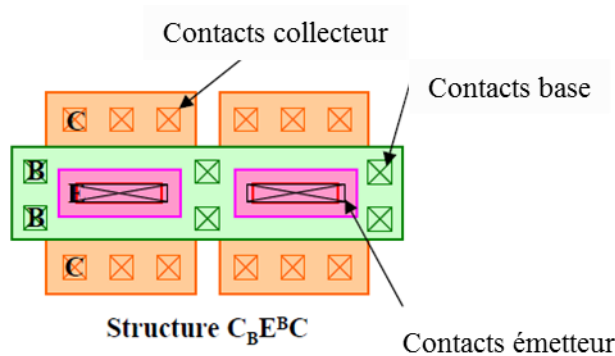


Figure 130 : Schéma du *layout* C_BE^BC du transistor à collecteur implanté

Les limitations de cette structure proviennent de la fragmentation de l'émetteur (le périmètre de l'émetteur et donc les composantes périmétriques des capacités C_{BE} & C_{BC} augmentent), du retrait des DTI (la capacité collecteur-substrat C_{CS} augmente) et de la réduction du dopage collecteur qui provoque l'augmentation de R_C . La réduction de la distance entre les contacts émetteur et collecteur ne suffit pas à compenser cette augmentation.

Les performances atteintes pour la structure conventionnelle est de :

$$\text{CB}^{\text{E}}\text{BC} : 0,17 \times 5,60 \mu\text{m}^2 : f_T = 252 \text{ GHz} / f_{\text{MAX}} = 276 \text{ GHz} / BV_{\text{CEO}} = 1,5\text{V}$$

Tandis que pour un transistor avec émetteur fragmenté en 5, on a

$$\text{C}_B\text{E}^{\text{B}}\text{C} : 5 \times 0,17 \times 1,20 \mu\text{m}^2 : f_T = 225 \text{ GHz} / f_{\text{MAX}} = 245 \text{ GHz} / BV_{\text{CEO}} = 1,5\text{V}$$

Les performances atteintes sont relativement proches de la référence tout en ayant pu simplifier l'architecture.

II. Epitaxie sélective du collecteur

Pour réduire les limitations de l'architecture précédente et améliorer le composant, une épitaxie sélective supplémentaire peu épaisse et non dopée est rajoutée. Cette couche tampon permet d'atténuer la diffusion des dopants du collecteur vers la base et ainsi de diminuer la capacité C_{BC} . Pour cela, la couche de silicium croît dans une cavité creusée dans l'oxyde, sous l'oxyde piédestal qui définit la base, comme indiqué sur la Figure 131. On peut lire plus de détails sur le procédé dans la thèse (Geynet 2008) ou dans la publication (Geynet et al. 2009).

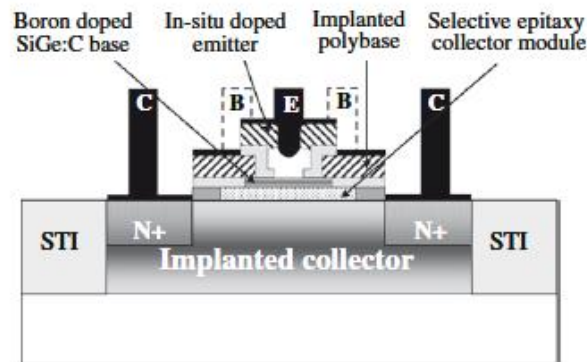


Figure 131 : Schéma du transistor bas coût avec épitaxie sélective

Pour cette nouvelle architecture avec un émetteur fragmenté en 5 et épitaxie sélective du collecteur, les performances suivantes ont été démontrées :

$$C_B E^B C : 5 * 0,13 * 1,4 \mu m^2 : f_T = 350 \text{ GHz} / f_{MAX} = 230 \text{ GHz} / BV_{CEO} = 1,5V$$

Une telle architecture est très favorable au profil vertical et à la fréquence f_T .

III. Limitations & perspectives

Le retrait de certains éléments comme les DTI ou la couche enterrée a permis de simplifier l'architecture du transistor bipolaire aux dépens de certains paramètres du collecteur. Les perspectives envisagées alors pour aller plus loin étaient les suivantes :

- La réduction de l'aire du collecteur intrinsèque pour réduire C_{BC}
- L'utilisation d'une autre structure pour les masques, de type créneau (cf Figure 132) par exemple

Un émetteur fragmenté favorise la résistance de base R_B en ajoutant des contacts sur le polybase, mais au détriment des capacités périmétriques C_{BE} et C_{BC} . Une structure créneau permet de rapprocher encore plus les contacts émetteur et collecteur mais est susceptible d'augmenter R_B étant donné la réduction de la surface du polybase le long de l'émetteur.

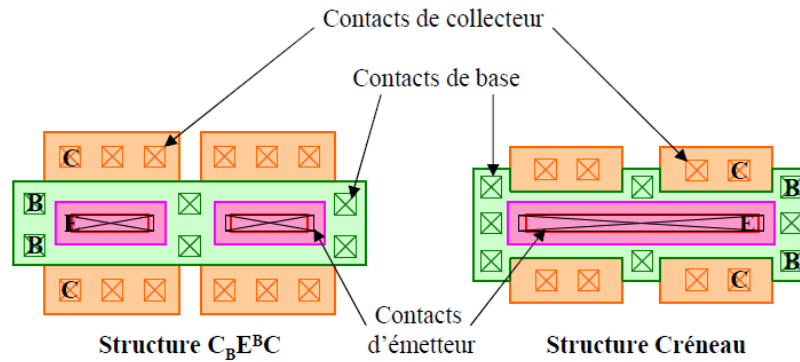


Figure 132 : Schémas des architectures $C_B E^B C$ et créneau

	Structure $C_B E^B C$	Structure "créneaux"
	$A_E=3 \times 0.13 \times 1.4 \mu\text{m}^2$	$A_E=0.13 \times 4.2 \mu\text{m}^2$
f_T [GHz]	330	335
f_{max} [GHz]	225	215
C_{BE} [fF]	15	12.9
C_{BC} [fF]	12.1	10.7
R_B [Ω]	60	74

Des études préliminaires ont été menées et on voit ainsi que l'amélioration apportée par une structure créneau était limitée par rapport à la structure avec un émetteur fragmenté.

Basée sur cette étude passée, nous allons maintenant voir ce qu'il en est pour le nœud BiCMOS055. Certaines conditions de fabrication diffèrent en changeant de nœud technologique – et d'usine de fabrication, puisque que l'on passe à des plaques 300mm : équipements d'implantation différents, capacités de photolithographie plus fines, chimies de gravure, etc... Nous allons donc voir à travers cette nouvelle étude, si ces modifications permettent la conception d'un TBH à collecteur implanté en B55 et si une telle architecture permet de rivaliser avec une architecture DPSA-SEG utilisant un collecteur conventionnel avec couche enterrée.

B. Simulations

Afin d'évaluer les performances d'un transistor, des simulations ont été réalisées grâce à l'outil TCAD, en amont de la fabrication des premiers lots. Les résultats numériques f_T et f_{MAX} liés à chacune des simulations sont présentés dans la partie II.

I. Simulations TCAD : étape par étape

1. Référence B55 DPSA-SEG

Tout d'abord, la référence B55 pour un TBH HS a été simulée. Les modules DTI, puits collecteur, couche enterrée et STI dans la zone active font partie du transistor. Sur la Figure 133 est représentée une coupe 2D de la moitié du transistor : le transistor est symétrique et

reconstruit mathématiquement grâce à SDE. Le remplissage bleu montre la présence de dopage P (bore) et le rouge, celle de dopage N (arsenic ou phosphore).

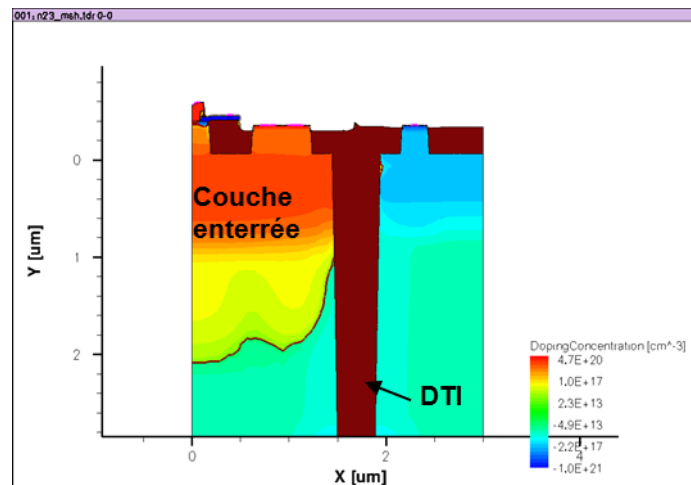


Figure 133 : Profil 2D d'un transistor standard, extrait des simulations TCAD

2. Collecteur implanté

Pour cette deuxième simulation, on part d'un point de départ basique où on a retiré les éléments suivants :

- Pas de DTI / Pas de couche enterrée
- Implantation du puits collecteur supprimée, l'implantation N+S/D qui est utilisée pour le dopage source/drain des transistors NMOS est conservée
- Pas de STI dans la zone active du dispositif
- Pas de SIC
- Pas d'implantation HV en profondeur (masque *BIOPEN*)

L'implantation du collecteur est alors réalisée en utilisant le masque *BIOPEN*, aligné sur le milieu du DTI. Dans une première approche, on utilise un dopage d'arsenic moyennement dopé et d'énergie limitée. Par rapport à la structure standard, la résistance collecteur est donc fortement dégradée.

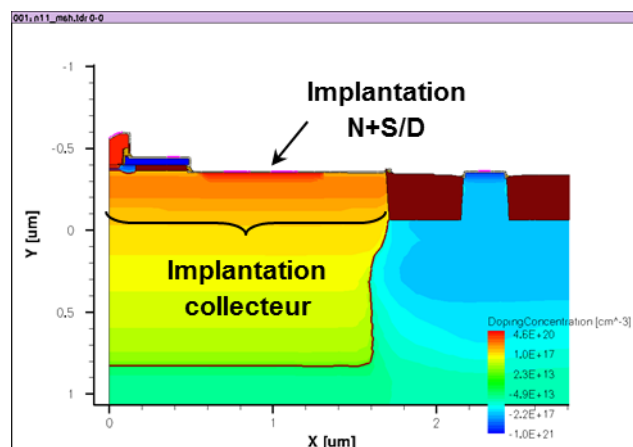


Figure 134 : Profil 2D d'un transistor avec collecteur implanté de base, non optimisé, extrait des simulations TCAD

On obtient une structure très simple avec une implantation collecteur en surface, permise par l'absence de STI (Figure 134). En conséquence, l'isolation entre la base et le collecteur consiste uniquement en l'oxyde piédestal et la capacité base/collecteur est donc susceptible d'être dégradée.

3. Collecteur implanté avec SIC

Par rapport à la simulation précédente, on rajoute une implantation localisée SIC qui permet d'augmenter le dopage collecteur près de la jonction B/C. Le dosage de l'implantation SIC permet alors de jouer sur le compromis f_T/f_{MAX} .

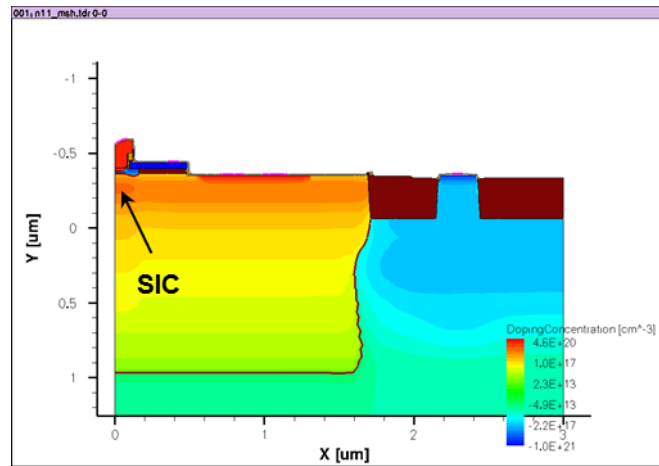


Figure 135 : Profil 2D d'un transistor avec collecteur implanté avec SIC, extrait des simulations TCAD

Dans cette simulation représentée Figure 135, l'ajout d'un SIC a peu d'impact, mais dans les suivantes, et pour des implantations collecteur plus profondes, on aura besoin d'un SIC pour mieux connecter la zone active à la couche implantée.

4. Réduction des dimensions latérales

L'absence du STI dans la zone active et les nouvelles règles de dessin permettent de réduire les dimensions latérales pour rapprocher la prise collecteur de l'émetteur.

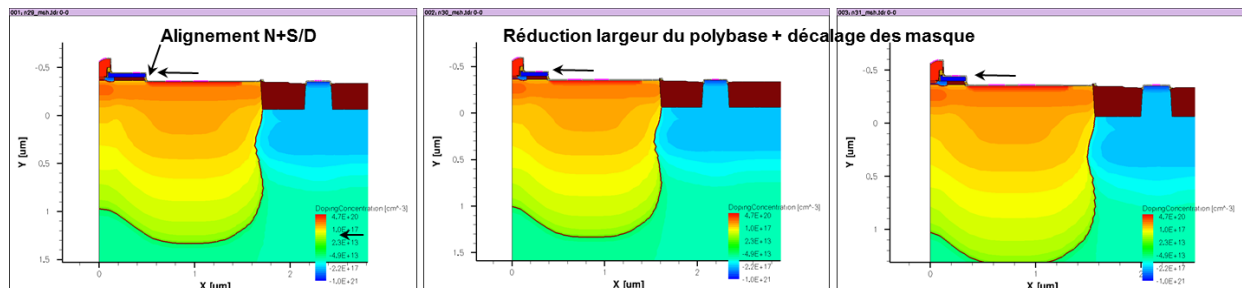


Figure 136 : Profil 2D d'un transistor avec collecteur implanté avec SIC, en réduisant progressivement les dimensions latérales du composant, extrait des simulations TCAD

Pour cela nous avons d'une part aligné l'implantation N+S/D sur le bord du polybase et élargi l'ouverture du masque pour planter le silicium sur une surface plus grande ; et d'autre part réduit la largeur du polybase (réduisant la surface de recouvrement entre le

polybase et le collecteur, et donc la composante surfacique de C_{BC}) et décalé les autres masques en conséquence. La réduction de la longueur du collecteur permet a priori de réduire la résistance extrinsèque du collecteur. Ces variations représentées Figure 136 ont un impact majeur qui permet d'améliorer les performances.

5. Intérêt du SSTI

Afin d'augmenter l'isolation base/collecteur, nous avons envisagé une structure avec STI très peu profond autour de la zone active comme vu dans (John et al. 2007). Une telle structure (Figure 137) apporte cependant une amélioration limitée (+1,8% en f_{MAX} , pas de variation en f_T par rapport au point avec le polybase le plus réduit) par rapport au coût de l'intégration de deux STI de profondeurs différentes. Cette solution n'a pas été retenue dans la suite.

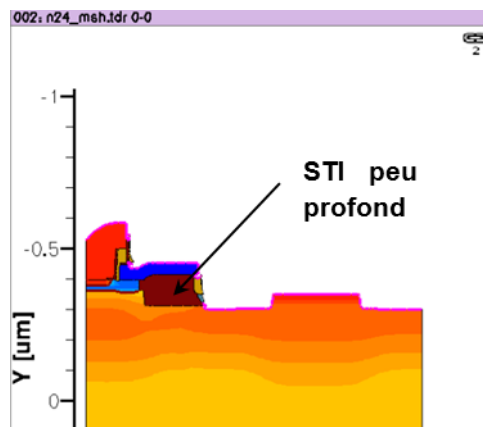


Figure 137 : Profil 2D d'un transistor avec collecteur implanté avec SIC, avec intégration d'un STI peu profond, extrait des simulations TCAD

6. Variation des conditions d'implantation du collecteur

Dans cette partie nous avons fait varier l'énergie et la dose d'implantation du collecteur, ainsi que celles du SIC, pour trouver le profil optimal de dopage dans le collecteur. Les résultats électriques présentés plus loin montrent l'existence d'un compromis f_T / f_{MAX} comme usuellement.

7. Variation de la largeur des STI

Enfin, nous avons vérifié que la largeur du STI « extérieur » est suffisante pour pallier à la suppression des DTI et à l'absence d'isolations profondes entre le transistor et le caisson dopé P voisin permettant la connexion au substrat. Nous étudions donc l'impact de la largeur du STI (cf Figure 138), et par conséquent de la distance entre la zone active et le caisson P, sur les performances f_T / f_{MAX} mais aussi les capacités C_{CS} .

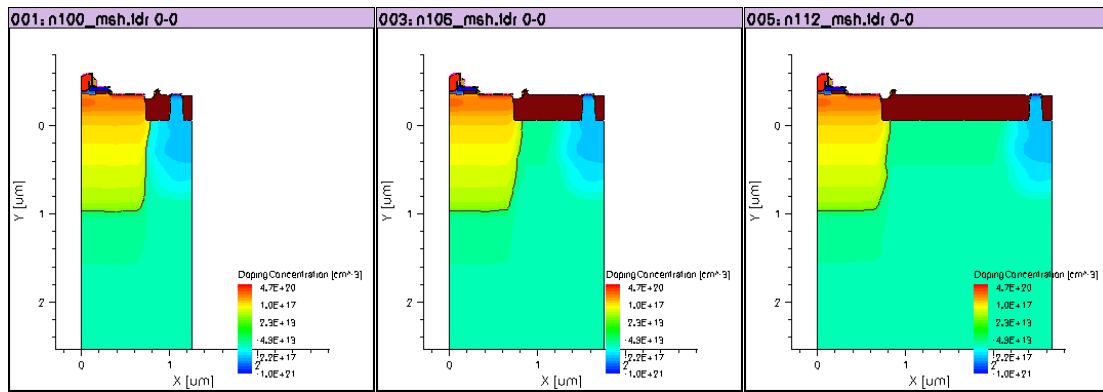


Figure 138 : Profil 2D d'un transistor avec collecteur implanté avec SIC, avec variation de la largeur du STI extérieur, extrait des simulations TCAD

L'élargissement du STI entre la zone active du transistor et la prise substrat a une influence importante sur la capacité périmétrique $C_{CS,P}$ (Figure 139). En éloignant la prise et le caisson du dispositif dopés P, on réduit l'interaction des dopants n et p ainsi que la capacité. Il existe une largeur « optimale », entre $0,8\mu\text{m}$ et $1,3\mu\text{m}$ pour laquelle cette capacité est minimisée et au-delà de laquelle il n'est plus utile d'augmenter la largeur du STI. La capacité surfacique $C_{CS,A}$ augmente aussi mais plus légèrement pour une largeur de STI inférieure à $0,8\mu\text{m}$.

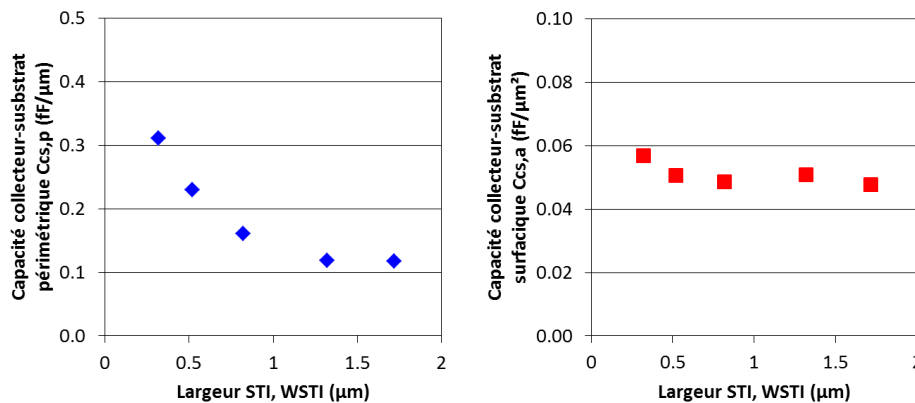


Figure 139 : Capacités périmétrique et surfacique collecteur / substrat, en fonction de la largeur du STI extérieur sur une structure collecteur implanté

La variation de largeur du STI extérieur a été réitérée sur silicium, pour vérifier cette tendance et déterminer la valeur réelle nécessaire pour une capacité C_{CS} minimisée.

8. Dispositif final

Ces simulations nous ont donc permis d'envisager les différentes possibilités pour un collecteur tout implanté avant les premières études sur silicium. Une telle structure est représentée Figure 140.

Au final, les particularités retenues pour ce transistor sont :

- le retrait des DTI, de la couche enterrée, et du STI dans la zone active du transistor ;
- l'implantation du puits collecteur se limite à l'implantation N+S/D suffisamment profonde pour connecter la couche dopée ;
- l'implantation de la zone collecteur dans toute la zone active et l'utilisation d'un SIC pour adapter la jonction base/collecteur

- la réduction des dimensions latérales pour minimiser les composants parasites
- un STI entre la zone active et la prise substrat de taille minimale 1,0 μm

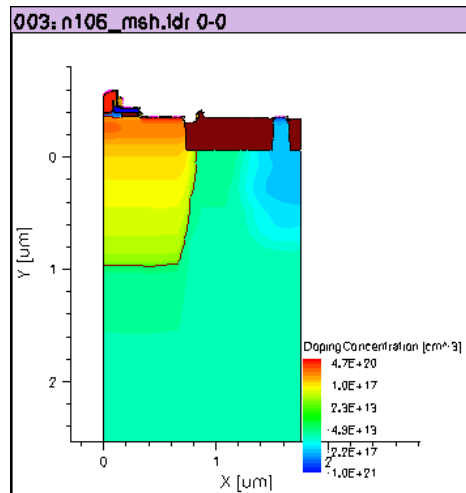


Figure 140 : Structure finale retenue pour la conception d'un transistor bipolaire avec collecteur tout implanté

Ces simulations permettent d'étudier le comportement 2D du composant, le dispositif 3D étant reconstitué par SDE. Par conséquent, il n'est pas possible de voir simplement l'impact de la répartition des contacts sur les performances avec ce type de simulation. Elle a été étudiée directement sur silicium, à l'aide des différentes structures embarquées sur le masque dédié à cette étude et présentées dans la partie suivante. Ces simulations nous ont permis de gagner beaucoup de temps. Il aurait fallu de nombreux essais sur silicium pour parvenir à ces mêmes conclusions.

II. Comparaison des performances des différentes structures simulées par rapport à la référence B55

La Figure 141 ci-dessous rassemble les résultats obtenus lors des différents essais en simulation décrits précédemment, simulations réalisées avec la même calibration. La référence B55 n'est pas en ligne avec les performances finales de la technologie en fin de thèse, mais cette calibration de la simulation permet une étude comparative des différentes modifications.

La référence, représentée par un losange noir, atteint environ $f_T = 285 / f_{MAX} = 315$ GHz. La structure collecteur implanté de base avec (carré plein rouge) ou sans SIC (carré vide rouge) est le point de départ de cette étude et montre une différence notable en fonction du dopage. A partir de cette structure, avec un SIC, l'alignement du masque N+S/D ainsi que la réduction des dimensions du polybase (en vert) a permis de largement améliorer les performances avec plus de 20 GHz supplémentaires pour f_T et f_{MAX} . Enfin, en faisant varier les valeurs de dose et d'énergie d'implantation du collecteur, on arrive à progresser encore et se rapprocher de la référence B55 avec au maximum des points de coordonnées 275 / 300GHz.

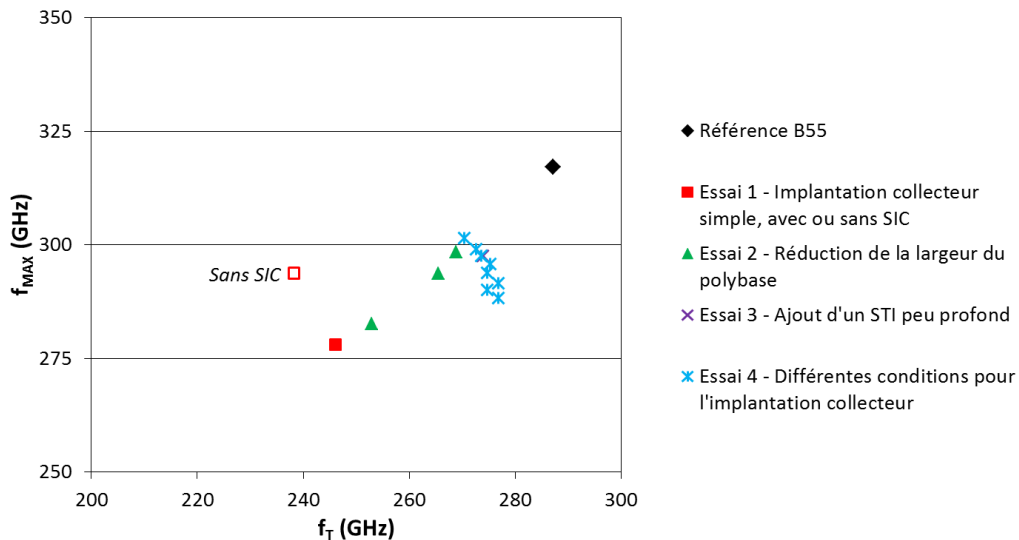


Figure 141 : Ensemble des résultats f_T / f_{MAX} des simulations TCAD pour l'étude de faisabilité d'un transistor avec collecteur implanté

Les variations de la largeur du STI n'ont pas été présentées sur ce graphe car le modèle était de calibration légèrement différente. Elles montrent une variation de la capacité collecteur/substrat mais pas de différence pour les paramètres f_T et f_{MAX} .

A l'issue de ces simulations il reste une différence en fréquence significative entre la structure « collecteur implanté » finale et la référence B55 simulée en parallèle. Néanmoins, la simulation 2D n'a pas permis de prendre en compte le *layout* du transistor. C'est également un paramètre clé qui permet d'optimiser les compromis capacités / résistances.

C. Structures étudiées sur silicium

En tenant compte des résultats des simulations, nous avons conçu des structures « collecteur implanté » disponibles sur un nouveau jeu de masques B55. Cela nous a permis de vérifier les bénéfices de ces modifications et la possibilité d'obtenir effectivement un transistor aux performances proches de celles de la référence, en simplifiant son architecture.

Pour cela nous avons retenu les spécificités issues des simulations en termes d'implantation et de dimensions, et nous avons étudié :

- L'impact de la présence du DTI
- L'impact des conditions d'implantation du collecteur et du SIC
- Les variations des règles de dessins du composant
- Les variations de la largeur du STI
- Différents schémas de connexion pour le transistor qui sont présentés ci-après

I. Différentes structures pour le transistor bipolaire

5 types de schémas différents ont été dessinés pour cette étude : BEC, CBEBC, Créneau, CEBC, CBEBC². Ils sont décrits dans la suite de cette partie. La géométrie, le nombre de contacts et leur répartition constituent les principales variations de l'un à l'autre. Chacune des configurations suivantes ont été dessinées dans des structures DC et HF, avec les structures *OPEN* et *SHORT* correspondantes, pour l'extraction des paramètres S.

1. Architecture standard CBEBC

L'architecture standard correspond à la structure finale issue des simulations TCAD. C'est la plus proche du composant de la référence. Des schémas de la dite structure sont représentés sur la Figure 142, tandis qu'on peut voir une coupe TEM de celle-ci sur la Figure 143.

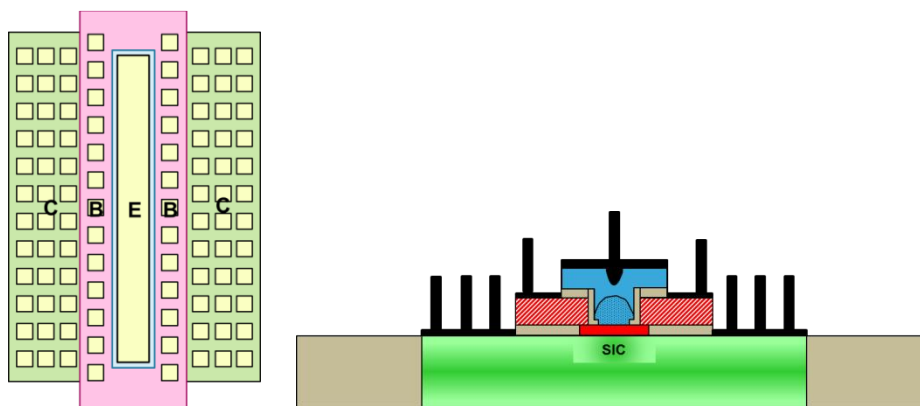


Figure 142 : Schémas de la vue de dessus et de la coupe transverse pour le transistor collecteur implanté de type CBEBC

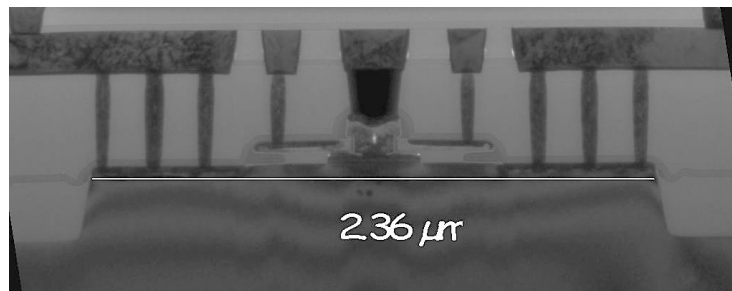


Figure 143 : Coupe TEM d'un transistor collecteur implanté de type CBEBC

On retrouve 1 contact ruban pour l'émetteur ainsi que 2 rangées de contact de base et 2*3 rangées de contacts pour le collecteur. On a besoin de 3 rangées de contacts au niveau du collecteur vis-à-vis des critères d'électromigration en jeu pour des forts niveaux de courants.

2. Structure réduite BEC

La structure BEC (Figure 144) est la plus simple avec 1 rangée de contact pour la base, 1 contact ruban pour l'émetteur ainsi que 3 rangées de contacts pour le collecteur. C'est une structure unilatérale avec seulement un collecteur.

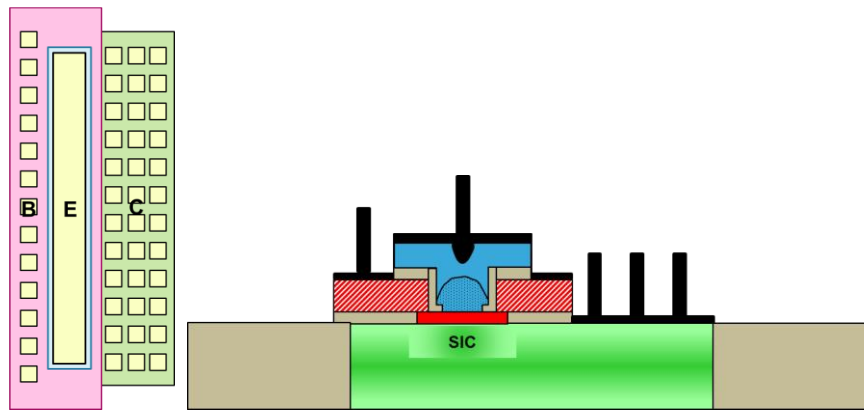


Figure 144 : Schémas de la vue de dessus et de la coupe transverse pour le transistor collecteur implanté de type BEC

3. Structure créneau

La structure créneau a été développée avec l'idée de rapprocher les contacts collecteurs de l'émetteur et donc réduite la largeur du polybase quand il n'y a pas de contact. Pour une bonne circulation du courant, les contacts base sont répartis uniformément le long de la base (2, 3, 4 ou 5 créneaux selon la structure). On peut voir respectivement sur les Figure 145 et Figure 146 des schémas et des coupes TEM de la structure.

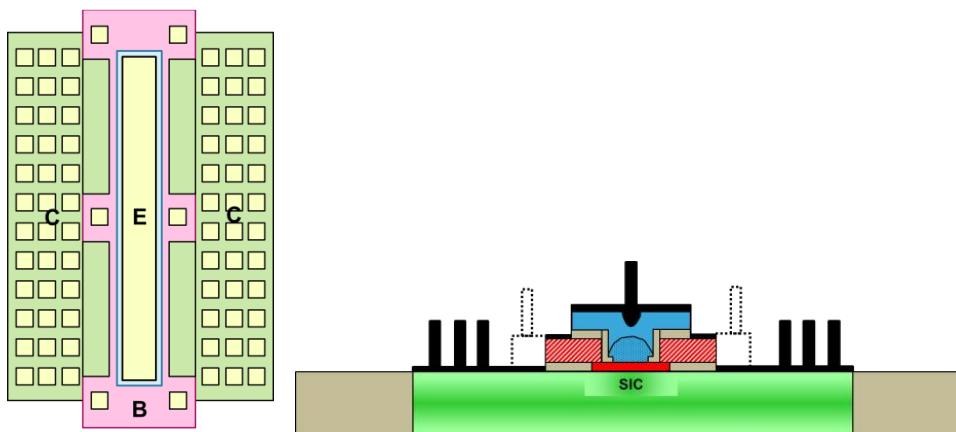


Figure 145 : Schémas de la vue de dessus et de la coupe transverse pour le transistor collecteur implanté de type créneau

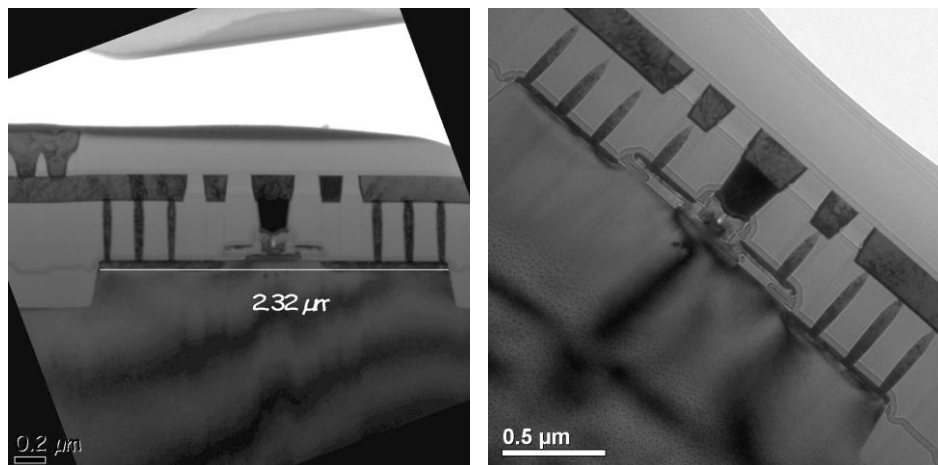


Figure 146 : Coupes TEM d'un transistor collecteur implanté de type créneau, dans le creux des créneaux (gauche) et au niveau des contacts (droite)

4. Structures doubles CEBEC & CBEBCEBEC

Les structures suivantes ont la particularité d'avoir un émetteur double. La première structure (Figure 147) sera notée CEBEC et est construite comme un dédoublement de la structure BEC. En tant que telle, on retrouve un étroit STI centré sous le polybase. La largeur du polybase est minimisée sur l'extérieur, rapprochant les contacts du collecteur de la zone active.

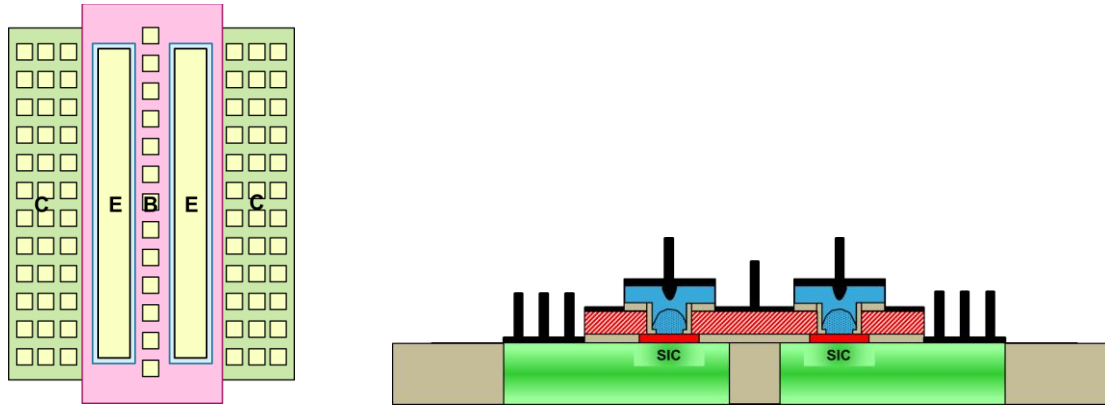


Figure 147 : Schémas de la vue de dessus et de la coupe transverse pour le transistor collecteur implanté de type CEBEC

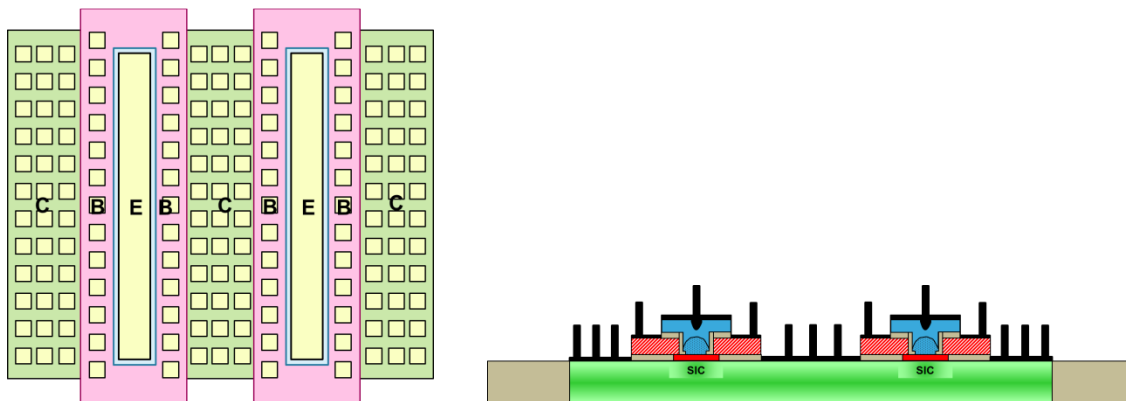


Figure 148 : Schémas de la vue de dessus et de la coupe transverse pour le transistor collecteur implanté de type CBEBCEBEC

La deuxième structure de géométrie CBEBCEBEC qui sera notée CBEBCEBEC² permet de comparer avec CEBEC. Elle est représentée sur la Figure 148. C'est un transistor à deux doigts, dont la géométrie est en quelque sorte le double de la standard CBEBCEBEC, il y a donc 3*3 rangées de contacts pour le collecteur et 4 rangées de contact de base.

5. Variations des règles de dessin

Pour toutes ces structures nous avons également procédé à quelques variations des règles de dessin. On note par exemple :

- La largeur des STI
- La présence ou non de DTI
- La distance entre le bord du polybase et le polyémetteur, en fonction de la présence de contact ou non, soit la largeur du polybase
- La distance entre le polyémetteur et les contacts base

II. Structures pour l'extraction de la résistance collecteur

Des structures dédiées ont été conçues pour évaluer la résistance de couche propre aux transistors à collecteur implanté. Elles sont basées sur les structures conçues par l'équipe modélisation pour la technologie BiCMOS055 (Stein, Derrier, et al. 2013). Afin de faire varier les dimensions de cette couche, on allonge le collecteur et on éloigne ses contacts unilatéralement comme représenté sur la Figure 149 ; en conséquence le bord du polybase est décalé. Grâce à 12 composants, avec 4 longueurs d'émetteur différentes et 3 valeurs différentes pour le paramètre qui décale le polybase, on peut déduire mathématiquement la résistivité de la couche de collecteur implanté $RSBLCI$ (Ω/sq). Ces structures sont indépendantes des schémas de connexion présentés avant et ne donneront donc qu'une information sur la résistivité de couche du collecteur.

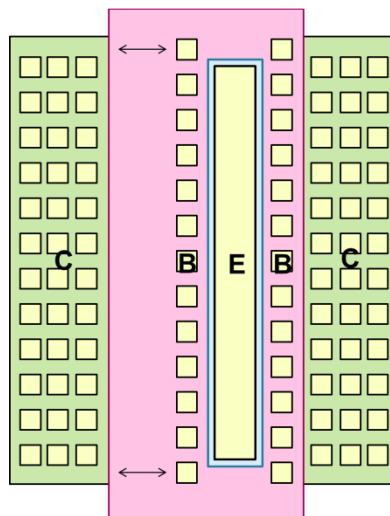


Figure 149 : Schéma de la structure dédiée à la mesure de la résistance de couche du collecteur implanté

D. Transistors à collecteur implanté sur silicium

Les essais pour les transistors à collecteur implanté ont été réalisés en deux phases principales : un premier lot Q323161 avec plusieurs conditions pour l'implantation du collecteur et l'étude des règles des dessins pour déterminer la recette d'implantation optimale et les atouts de chaque structure ; d'autres essais sur le lot Q346198 réalisé après l'analyse de la première phase, où la recette d'implantation du collecteur est ajustée et le module base optimisé par le développement B55.

I. Premiers essais silicium pour un collecteur implanté

Pour faire varier le dopage dans le collecteur nous avons deux modules qui vont nous permettre d'ajuster les profils d'arsenic :

- Une implantation d'arsenic après l'ouverture des zones bipolaires (masque BIPO) qui recouvre l'ensemble du transistor. Elle sera notée **ICOL** dans la suite pour plus de clarté.

- Une implantation d'arsenic localisée **SIC** (masque COLI), comme utilisé pour la référence B55, pour améliorer la connexion entre la zone active et l'implantation ICOL, et ainsi ajuster le dopage à la jonction base / collecteur.

1. Variation en dose et en énergie de l'implantation collecteur

1.a. Impact de l'énergie d'implantation ICOL à dose fixée

Nous analysons ici l'impact de la profondeur à laquelle sont implantés les dopants du collecteur. Pour la même implantation SIC (6.10^{13} at/cm³ @ 150 keV), et la même dose pour l'implantation collecteur ICOL (1.10^{14} at/cm³), l'énergie de l'implantation ICOL varie entre 180 keV et 240 keV. Les résultats sont présentés pour la géométrie de référence des trois structures BEC, CBEBC et Créneau. Les règles de dessin de chaque structure seront étudiées dans la partie 2.

On constate tout d'abord sur la Figure 150, que plus l'implantation ICOL est profonde, plus les atomes interagissent avec le réseau de silicium et le profil est déformé, pour une même dose de dopants implantée : la mobilité des électrons dans le collecteur est alors modifiée en fonction de la profondeur d'implantation.

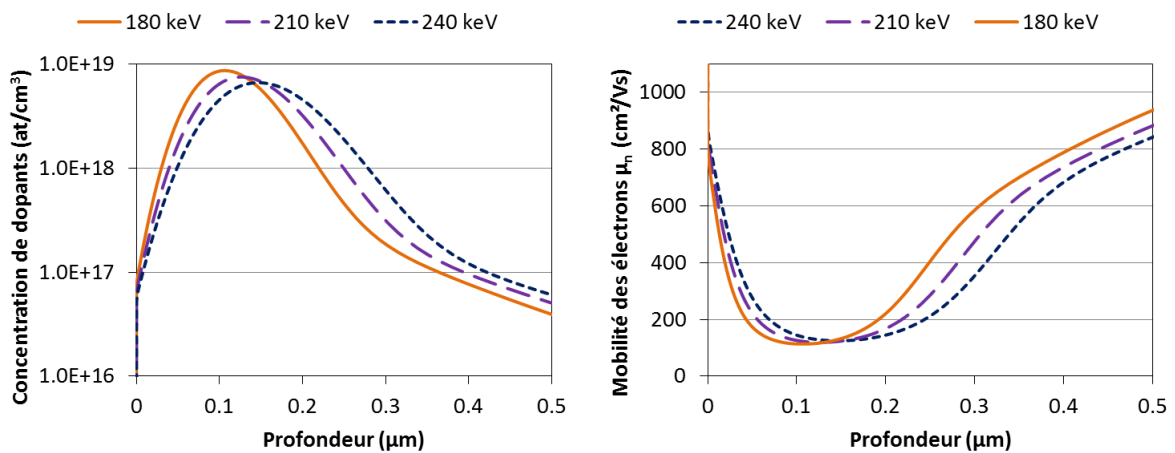


Figure 150 : Profils de dopants As (gauche) et mobilités μ_n des électrons déduites (droite) de simulations 1D pour des implantations d'As d'énergie variable et une dose de dopants fixée à 1.10^{14} at/cm³

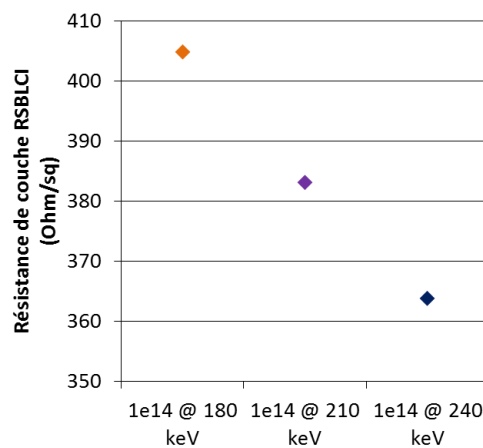


Figure 151 : Mesure de *RSBLCI*, pour trois implantations d'énergies différentes, à dose fixée 1.10^{14} at/cm³

On mesure alors la réduction de la résistance de couche du collecteur quand l'énergie augmente (Figure 151). Quelle que soit la valeur de l'énergie d'implantation, la résistance de couche ICOL reste cependant plus de 10 fois supérieure à celle de l'architecture de référence (environ 30 Ω/sq).

En plus de la résistance collecteur R_C qui est largement supérieure pour les transistors à collecteur implanté par rapport à celle de la référence B55, la capacité base-collecteur C_{BC} (Figure 152 gauche) augmente également. Cette augmentation est d'une part la conséquence du retrait du STI interne et du rapprochement entre le polybase et le collecteur, la capacité dépendant en partie de la surface de recouvrement entre le polybase et le collecteur. D'autre part elle dépend de l'implantation collecteur ICOL qui est en surface : plus l'énergie est forte et donc la profondeur importante, plus la capacité diminue.

Pour la structure créneau, la réduction de la distance émetteur/collecteur permet une meilleure résistance collecteur ; mais avec une structure à 3 créneaux, un phénomène de dépolarisation dégrade alors la résistance d'accès à la base (Figure 152 droite). Le même phénomène intervient pour la structure BEC, où les contacts base sont loin de la partie la plus proche du collecteur, expliquant ainsi la forte valeur de résistance de base R_B . La présence d'une seule zone de contact collecteur au lieu de deux multiplie la résistance collecteur par deux, d'où la dégradation de f_T . Dans le cas de la structure CBEBEC, elle bénéficie d'une base symétrique, similaire à celle de la référence B55, qui permet une résistance R_B deux fois plus faible que les architectures BEC et créneau. Mais la distance émetteur/collecteur reste plus élevée que pour le créneau, et le temps de transit des électrons est donc supérieur.

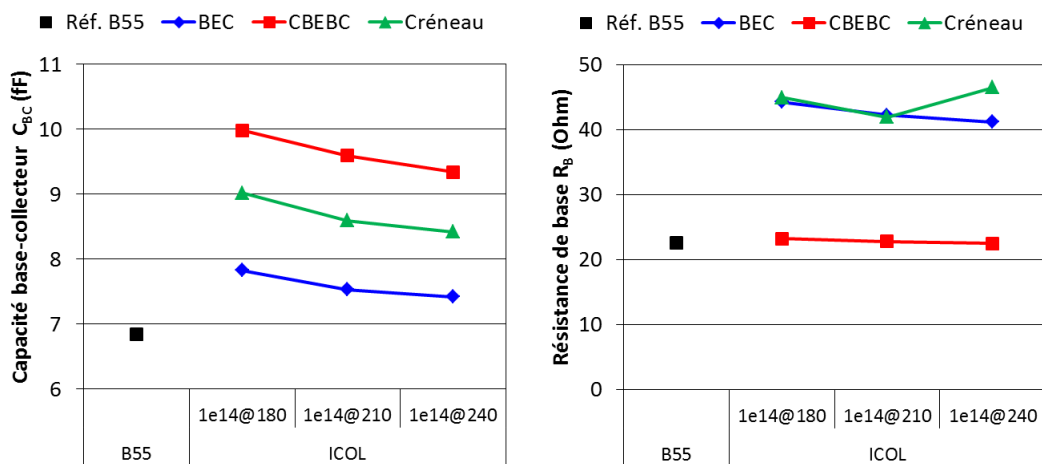


Figure 152 : Evolution de la capacité C_{BC} et de la résistance de base R_B en fonction de l'énergie de l'implantation ICOL à dose fixe, pour un SIC constant, et pour les trois structures BEC, CBEBEC et Créneau

Enfin, on constate que les tensions de claquage BV_{CBO} et BV_{CEO} (Figure 153) dépendent logiquement de l'énergie de l'implantation ICOL : plus elle est profonde, et plus la tension de claquage est élevée, le niveau de dopants à la jonction étant alors plus faible.

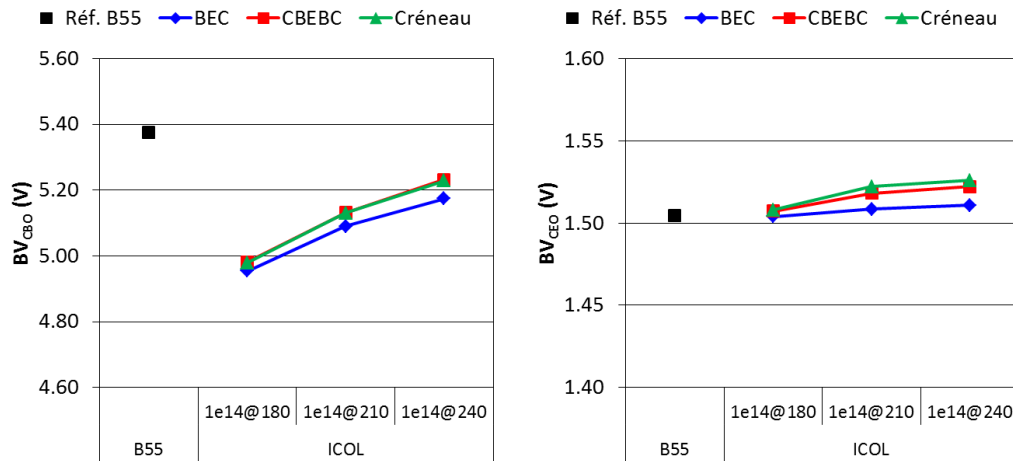


Figure 153 : Evolution des tensions de claquage BV_{CBO} et BV_{CEO} en fonction de l'énergie de l'implantation ICOL à dose fixe, pour un SIC constant, et pour les trois structures BEC, CBEBEC et Créneau

L'ensemble de ces variations s'accompagne de la réduction (-20%) des courants I_C et I_B à $V_{BE} = 0,7V$ pour les structures à collecteur implanté par rapport à B55, pour un gain en courant toutefois identique. On rattache ce résultat à un effet géométrique au niveau de la fenêtre émetteur potentiellement créé par une focalisation différente de la lithographie en fonction de la présence ou non de STI : en effet une différence de 23% au maximum pour la largeur de la fenêtre émetteur est relevée sur des coupes TEM.

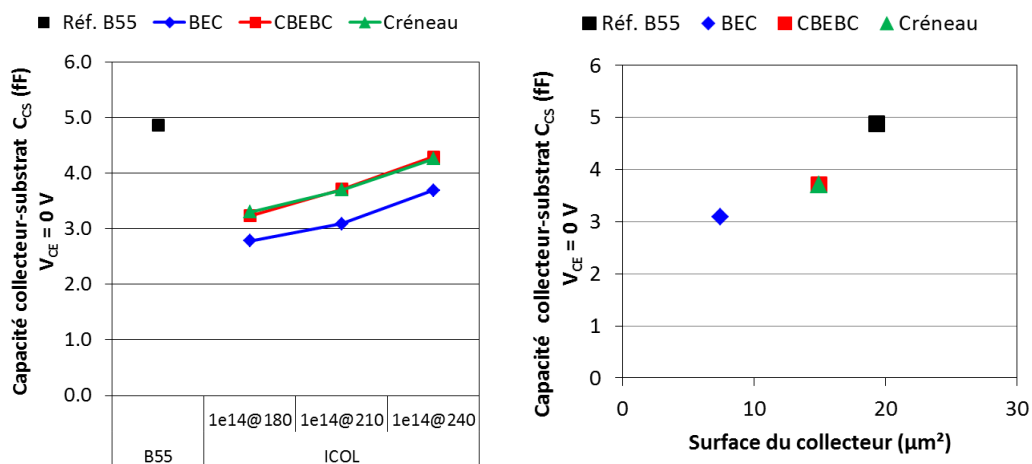


Figure 154 : Evolution de la capacité C_{CS} à $V_{CE} = 0V$ en fonction de l'énergie de l'implantation ICOL à dose fixe, pour un SIC constant, et pour les trois structures BEC, CBEBEC et Créneau ; Variation de C_{CS} en fonction de la surface du collecteur

On note la réduction de la capacité collecteur-substrat C_{CS} (Figure 154) lorsque l'on utilise une structure à collecteur implanté. Cela s'explique tout d'abord par une surface d'implantation plus grande pour la structure B55 (composante périmétrique de C_{CS}), et aussi par une dose d'implantation de la couche enterrée 4 fois plus forte que les autres composants (composante surfacique). D'autre part pour les structures avec collecteur implanté et pour une même implantation, l'augmentation de C_{CS} s'explique par la surface du collecteur, différente pour chaque structure, comme on peut le voir dans la Figure 154. Enfin, on constate que plus la couche ICOL est profonde (énergie plus importante), plus la composante périmétrique de C_{CS} augmente car l'implantation dépasse alors le fond du STI extérieur.

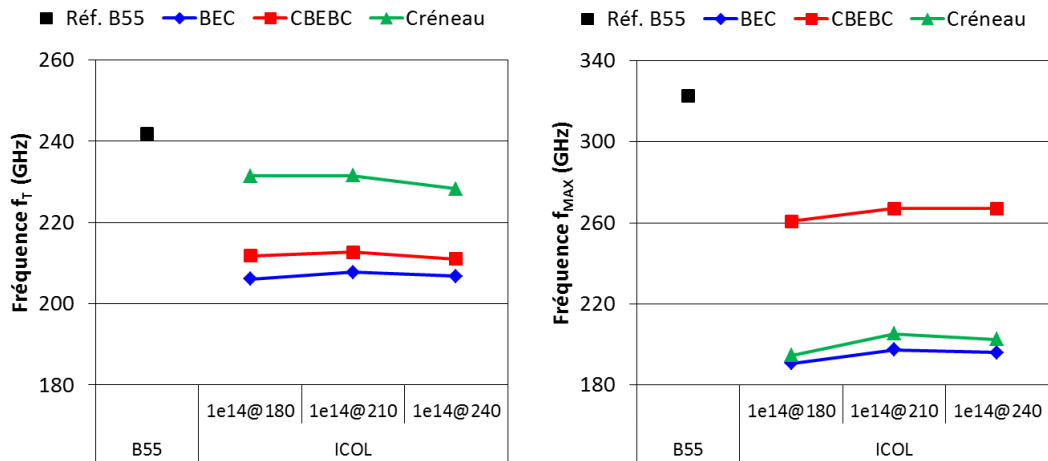


Figure 155 : Evolution des fréquences f_T et f_{MAX} en fonction de l'énergie de l'implantation ICOL à dose fixe, pour un SIC constant, et pour les trois structures BEC, CBEBEC et Créneau

Sur la Figure 155, on peut voir la variation des fréquences f_T et f_{MAX} en fonction de l'énergie. Bien que la variation soit limitée, nous avons un optimum pour une énergie de 210 keV. Les valeurs atteintes restent bien inférieures à celles de la référence B55, mesurée à part sur une plaque dédiée. Les fréquences f_T et f_{MAX} sont également très dépendantes de la structure du composant. Les meilleurs résultats en f_T sont atteints avec une structure créneau, aux dépens de f_{MAX} . Tandis que c'est la structure CBEBEC qui est la plus favorable en f_{MAX} , la structure BEC n'est pas adaptée et fournit les valeurs de fréquences les plus faibles.

Pour les futurs essais, nous avons retenu la valeur de 210 keV pour l'énergie d'implantation ICOL, couplée à une dose de 1.10^{14} at/cm³.

1.b. Impact de la dose d'implantation SIC à énergie fixée

Voyons à présent quel est l'impact d'une implantation localisée sous l'émetteur, alias le SIC. Elle permet généralement de régler la jonction base/collecteur selon si on veut favoriser f_T ou f_{MAX} : plus le SIC est dopé (et proche) de la jonction, plus le composant est rapide et f_T augmente ; mais en contrepartie cela dégrade notamment la capacité base-collecteur C_{BC} et par conséquent f_{MAX} .

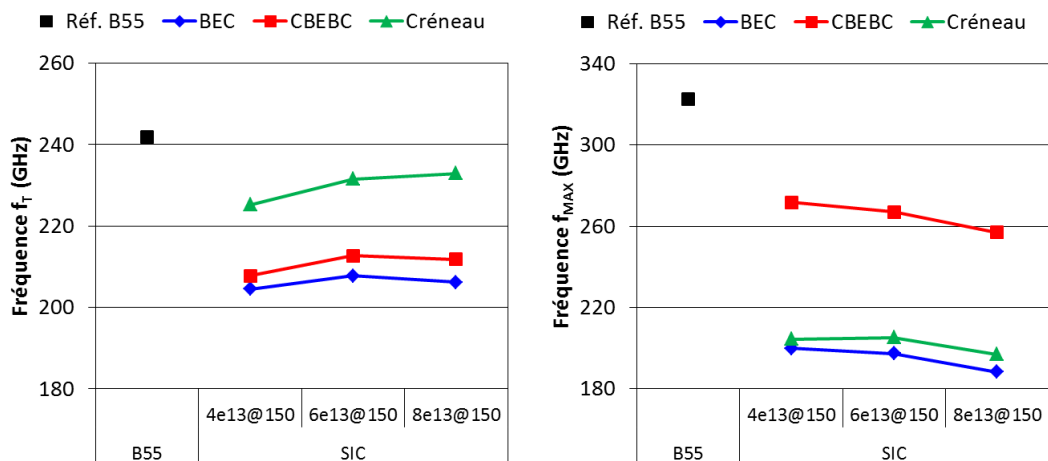


Figure 156 : Evolution des fréquences f_T et f_{MAX} en fonction de la dose d'implantation du SIC à énergie fixe, pour une implantation ICOL constante, et pour les trois structures BEC, CBEBEC et créneau

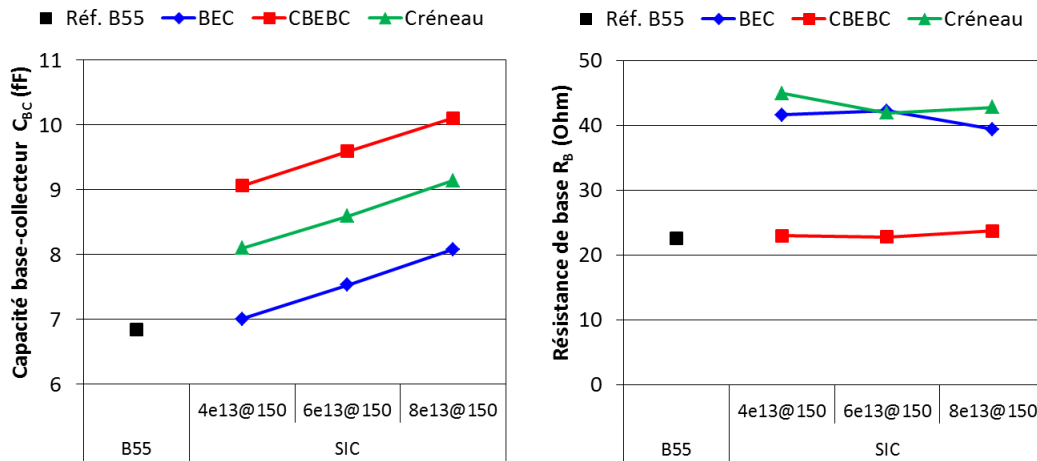


Figure 157 : Evolution de la capacité C_{bc} et de la résistance de base R_b en fonction de la dose d'implantation du SIC à énergie fixe, pour une implantation ICOL constante, et pour les trois structures BEC, CBEBC et créneau

C'est cette conclusion que l'on retrouve dans les résultats des Figure 156 et Figure 157. La résistance de base quant à elle n'est pas impactée par la valeur de la dose du SIC.

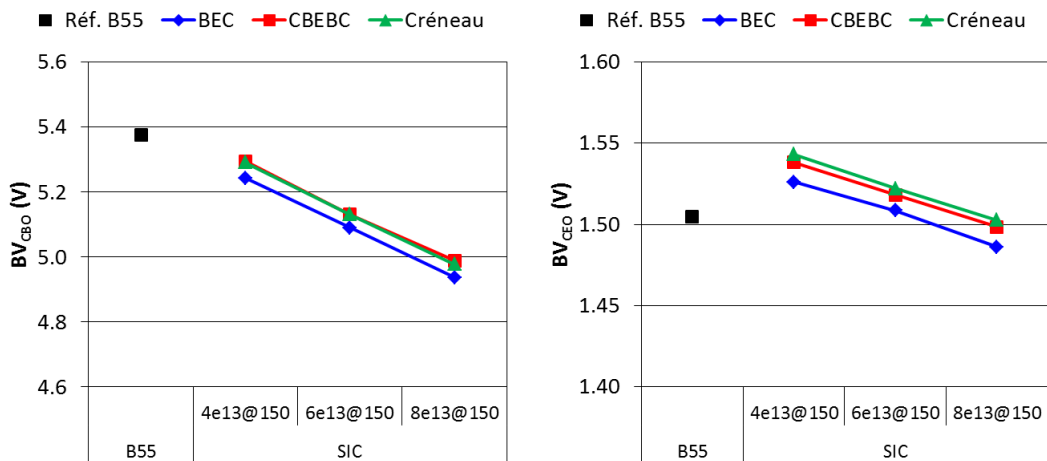


Figure 158 : Evolution des tensions de claquage BV_{CBO} et BV_{CEO} en fonction de la dose d'implantation du SIC à énergie fixe, pour une implantation ICOL constante, et pour les trois structures BEC, CBEBC et créneau

De la même manière que dans la partie précédente, les tensions de claquage BV_{CBO} et BV_{CEO} dépendent fortement de la dose de dopants dans le SIC : plus il est dopé, plus ces paramètres sont réduits. Ainsi on voit Figure 158 que pour respecter les critères électriques des TBH en technologie 55nm, et conserver une tension BV_{CBO} supérieure à 5V, et pour optimiser le comportement en fréquence, le point idéal à l'issue de cet essai est un SIC $6.10^{13}at/cm^3 @ 150keV$.

1.c. Conclusion sur le profil de dopants dans le collecteur

La conception d'un transistor à collecteur implanté donne une résistance collecteur R_C plus de dix fois supérieure à l'architecture standard en B55. Il nous faut donc affiner le profil de dopants (ICOL et SIC) mais également les règles de dessin des composants pour réduire cette valeur. De manière logique étant donnée les caractéristiques de l'implantation ICOL, la capacité base-collecteur C_{BC} est dégradée par rapport à la référence B55. Une façon de pallier

à cette variation pourrait être d'utiliser un oxyde piédestal plus épais pour augmenter l'isolation entre la base et le collecteur.

Les trois structures présentées précédemment ne bénéficient pas des mêmes compromis R_B/R_C . Si on veut un fort f_T , on se tournera vers une structure type créneau ; pour un fort f_{MAX} c'est la structure CBEBBC qui est à privilégier. La résistance de base est dégradée pour la structure créneau, mais nous verrons dans la suite que l'augmentation du nombre de créneaux permet d'atténuer le phénomène.

La capacité collecteur-substrat C_{CS} a été divisée par deux grâce à une implantation ICOL plus en surface et moins dopée, en l'absence de DTI. On peut donc se demander s'ils sont toujours nécessaires dans de telles architectures.

2. Etudes des différentes structures et règles de dessins

Nous étudions à présent l'impact de certaines règles de dessin sur les performances du transistor bipolaire, pour une implantation ICOL : 1.10^{14} @ 240 keV et SIC : 4.10^{13} @ 150 keV qui favorisent la fréquence f_{MAX} . On distingue notamment les paramètres $W_{pbase,wCo}$ et $W_{pbase,noCo}$ qui désignent la largeur du polybase suivant la présence ou non des contacts de base. La distance entre les contacts base et le bord du polybase adjacent reste la même. Ces deux paramètres déterminent ainsi la distance entre le polyémetteur et le bord de la prise collecteur. Sauf si précisé autrement, on étudie des composants de dimensions $W_E * L_E = 0,200 * 5,56 \mu m^2$ (avant *shrink* par 0,9).

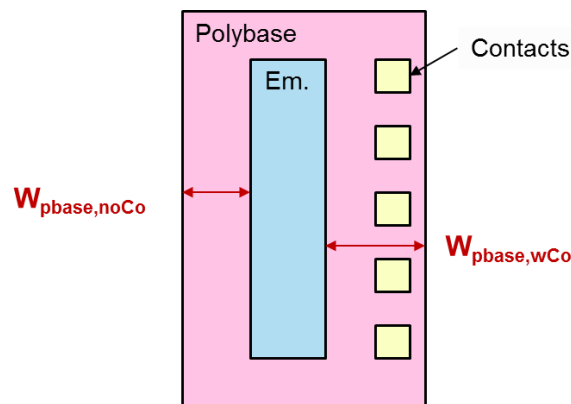


Figure 159 : Schéma présentant les paramètres $W_{pbase,wCo}$ et $W_{pbase,noCo}$ comme les distances entre le polyémetteur et le bord du polybase, différentes suivant la présence ou non de contact

2.a. Structure BEC

Nous avons vu dans la partie 1 que la structure BEC était globalement défavorable à f_T et f_{MAX} à cause du polybase trop éloigné des contacts base pour une bonne polarisation de la base et de la forte résistance collecteur résultant d'une structure non symétrique.

	Référence BEC	$W_{pbase,noCo}$ réduite	$W_{pbase,wCo}$ réduite
$W_{pbase,noCo}$ [μm]	0,200	0,100	0,200
$W_{pbase,wCo}$ [μm]	0,410	0,410	0,250

Nous étudions ici l'impact de la largeur du polybase, avec ou sans contacts. Sur la Figure 160 on peut voir l'évolution de f_T et f_{MAX} pour de tels transistors. Les pointillés représentent les valeurs atteintes pour la structure de référence B55 de structure symétrique CBEB, avec le même module base/émetteur.

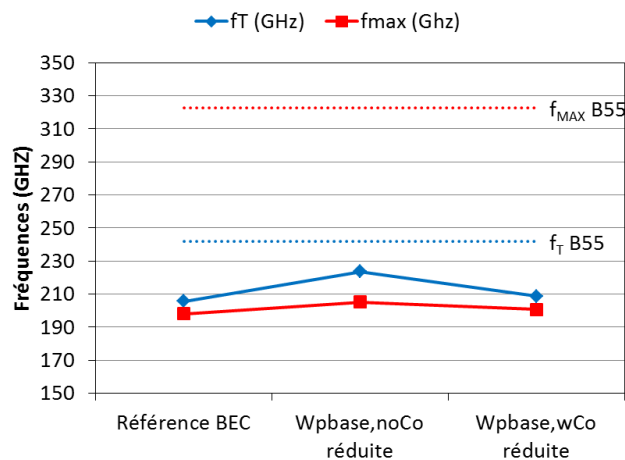


Figure 160 : Variation de f_T et f_{MAX} pour des transistors de structure BEC, en fonction de la largeur du polybase, suivant la présence ou non de contacts base

	Référence BEC	$W_{pbase,noCo}$ réduite	$W_{pbase,wCo}$ réduite
C_{BE} (fF) @ $V_{BE} = 0V$	7,2	7,2	7,4
C_{BC} (fF) @ $V_{BE} = 0V$	6,85	6,46	6,80
R_B (Ω) @ $V_{BE} = 0,87V$	$42,8 \pm 2,7$	$46,5 \pm 3,4$	$41,1 \pm 3,95$

Dans le cas d'une largeur $W_{pbase,noCo}$ réduite, on constate l'augmentation de R_B tandis que C_{BC} diminue en conséquence de la diminution de la surface du polybase et de recouvrement polybase/collecteur. Le temps de transit des électrons dans le collecteur (lié à la résistance R_C) est probablement réduit étant donné le rapprochement entre le polyémetteur et la prise collecteur. f_T et f_{MAX} augmentent alors malgré l'augmentation limitée de la résistance de base.

Dans le cas d'une largeur $W_{pbase,wCo}$ réduite, l'impact est plus modéré. On constate une légère augmentation de la capacité C_{BE} , qui peut être imputée à l'augmentation des capacités de *fringing* (ou capacités de couplage) en rapprochant les contacts E et B et les lignes de métaux correspondantes. Alors qu'on s'attend à une résistance de base qui augmente quand la largeur de polybase diminue comme pour le paramètre précédent, la légère diminution de R_B mesurée n'est pas significative face à l'erreur de mesure calculée par la déviation standard.

2.b. CBEB

Pour la structure CBEB, nous avons réduit la largeur $W_{pbase,wCo}$ à $0,330\mu m$ au lieu de $0,410\mu m$. Comme on peut le voir sur la Figure 161, f_T et f_{MAX} augmentent alors toutes les deux.

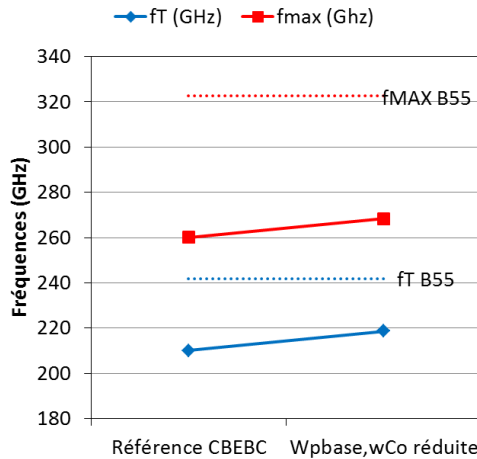


Figure 161 : Variation de f_T et f_{MAX} pour des transistors de structure CBEBC, en fonction de la largeur du polybase en présence de contacts base

	Référence CBEBC	$W_{pbase,wCo}$ réduite
C_{BE} (fF) @ $V_{BE} = 0V$	7,1	7,3
C_{BC} (fF) @ $V_{BE} = 0V$	8,76	8,26
R_E (Ω)	13,7	13,7
R_B (Ω) @ $V_{BE} = 0,87V$	$22,0 \pm 3,7$	$22,6 \pm 4,0$

Cela est permis par la réduction de C_{BC} et la réduction de la distance entre les contacts collecteur et la zone active, diminuant ainsi le temps de transit des électrons. Le rapprochement des contacts base du contact émetteur crée comme pour la structure BEC l'augmentation de la capacité de *fringing*. Les résultats indiquent peu de variations en R_B , en prenant en compte également la déviation standard. L'impact le plus significatif expliquant donc l'augmentation des fréquences f_T et f_{MAX} est celui de la capacité C_{BC} .

2.c. Créneau

Pour la structure créneau, la réduction de la largeur du polybase $W_{pbase,wCo}$ sur une structure à 3 créneaux a un effet positif mais limité.

	Référence Créneau (#3)	$W_{pbase,wCo}$ réduite
$W_{pbase,wCo}$ (μm)	0,41	0,25
f_T (GHz)	228	231
f_{MAX} (GHz)	204	206
C_{BE} (fF) @ $V_{BE} = 0V$	7,1	7,3
C_{BC} (fF) @ $V_{BE} = 0V$	7,8	7,5
R_B (Ohms) @ $V_{BE} = 0,87V$	$40,6 \pm 4,3$	$43,7 \pm 3,2$

On retrouve l'effet sur C_{BC} grâce à la réduction de la dimension du collecteur et du recouvrement polybase/collecteur et on suppose la réduction du temps de transit des électrons

dans le collecteur grâce à la géométrie. De même l'augmentation de la capacité C_{BE} est expliquée par la position proche des contacts base et émetteur. La résistance R_B augmente en moyenne, conformément à ce qu'on attend mais la forte déviation standard nous invite à considérer l'évolution de ce paramètre avec prudence.

En plus de la variation de la largeur du polybase quand il y a des contacts, nous avons aussi essayé plusieurs configurations en changeant le nombre de créneaux pour la structure : de 2 à 5 contacts sont ainsi répartis le long de chaque côté du polybase. Nous avons également regardé l'impact d'un polybase moins large ($W_{pbase,noCo}$) dans les zones où il n'y a pas de contacts. Les paramètres influencés par l'ensemble ces variations sont regroupés sur la Figure 162.

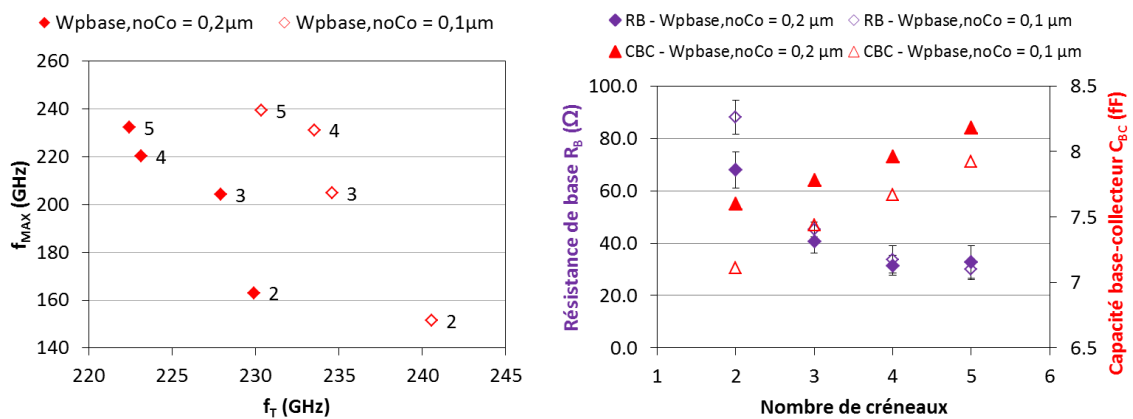


Figure 162 : Variation f_T et f_{MAX} (gauche) R_B et C_{BC} (droite) pour différentes structures Créneau, avec un nombre de créneaux et une largeur $W_{pbase,noCo}$ différentes

En réduisant la largeur du polybase $W_{pbase,noCo}$ à $0,1 \mu m$, on permet la diminution de C_{BC} en diminuant la surface où le polybase et le collecteur se recouvrent. La zone des contacts collecteur n'est pas décalée lorsque la largeur du polybase est réduite. Mais la zone siliciurée du collecteur est plus proche, permettant de réduire la distance à parcourir par les électrons. En parallèle la résistance R_B augmente quand $W_{pbase,noCo}$ est égal à $0,1 \mu m$, et d'autant plus quand le nombre de créneaux est réduit, indicateur une fois de plus d'une limite dans la configuration des contacts pour une bonne polarisation du polybase. Les variations de ces paramètres se traduisent principalement par l'augmentation de f_T , quel que soit le nombre de créneaux.

On remarque d'autre part que l'augmentation du nombre de créneaux favorise nettement la résistance de base, et malgré l'augmentation de la capacité base-collecteur, cela est bénéfique pour la fréquence f_{MAX} . Il existe cependant un compromis puisque la fréquence f_T est par ailleurs réduite à $W_{pbase,noCo}$ fixé. Aucune variation de la tension de claquage BV_{CBO} n'est mise en évidence par les variations de ces règles de dessin, la jonction intrinsèque n'est donc pas modifiée.

2.d. Structures doubles

Pour étudier les structures doubles CEBEC & CBEBC² ($L_E=2*5,555 \mu m$), nous les comparons aux structures BEC & CBEBC ($L_E=11,1 \mu m$) afin d'avoir une surface émetteur et des courants équivalents. Toutes sont représentées à l'échelle sur la Figure 163, pour

Chapitre IV. Une architecture bas coût avec collecteur totalement implanté

facilement voir les différences géométriques entre chaque structure. Dans le cas de la structures CEBC qui est un « double » de la BEC, les deux collecteurs ne sont pas reliés directement, il y a un STI centré sous le polybase (cf description structures).

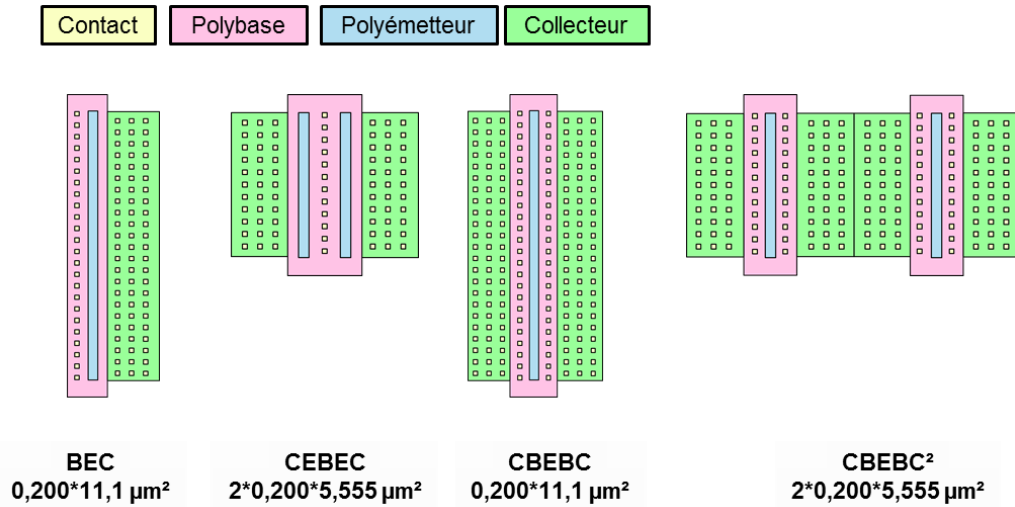


Figure 163 : Schéma à l'échelle des différentes structures doubles

	BEC	CEBC	CEBC	CEBC²
Surface collecteur, dessinée	$11,3 \times 1,29$ = $14,58 \mu\text{m}^2$	$2 \times 1,29 \times 5,76$ = $14,86 \mu\text{m}^2$	$11,3 \times 2,6$ = $29,38 \mu\text{m}^2$	$5,37 \times 5,76$ = $30,93 \mu\text{m}^2$
Surface polybase, dessinée	$11,76 \times 0,87$ = $10,23 \mu\text{m}^2$	$1,53 \times 6,22$ = $9,52 \mu\text{m}^2$	$11,76 \times 1,08$ = $12,70 \mu\text{m}^2$	$2 \times 1,08 \times 6,22$ = $13,44 \mu\text{m}^2$

Leurs paramètres sont représentés sur la Figure 164. On constate la très forte augmentation de f_{MAX} alors que la fréquence f_T reste constante. C'est une conséquence directe de la réduction de la résistance de base : suivant la géométrie de la structure, la polarisation de la base est de plus en plus efficace par rapport à la surface totale du polybase, permettant donc la réduction de la résistance d'accès à la base. Cela est permis par un nombre de contacts suffisant mais également par leur répartition. La différence est plus limitée entre CEBC et CEBC² en termes de résistance de base mais la fréquence f_{MAX} augmente de 30 GHz.

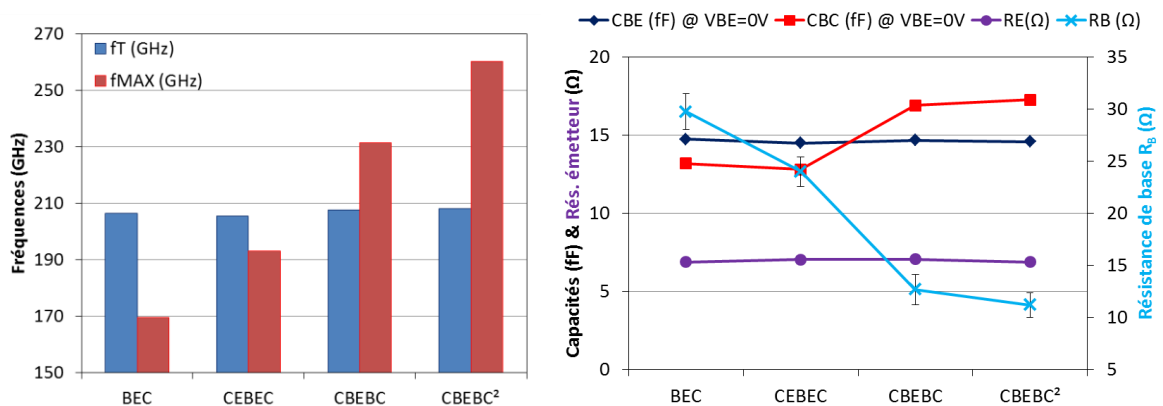


Figure 164 : Variation des paramètres f_T , f_{MAX} , R_B , R_E , C_{BE} , et C_{BC} pour quatre architectures différentes, de longueur émetteur dessinée équivalente $L_E=11,1\mu\text{m}$ et $W_E=0,200\mu\text{m}$

D'autre part, la surface de recoupement base/collecteur augmente entre les structures BEC/CEBEC et CBEBC/CBEBC² d'un facteur proche de deux, si bien que la capacité C_{BC} augmente. La capacité C_{BE} et la résistance émetteur ne varient pas car la surface émetteur est quasiment constante.

Pour la même dimension d'émetteur, on note donc une différence de 90 GHz entre la structure la plus simple BEC et la plus grande, CBEBC² montrant l'importance d'une conception adaptée pour une bonne résistance de base, au-delà des recettes de dopage des différentes régions de la base. L'optimisation de la géométrie se fait cependant aux dépens de l'augmentation de l'encombrement (cf tableau précédent) et donc du coût en surface de la structure sur le jeu de masques. Le passage de la structure CBEBC à CBEBC² permet d'augmenter f_{MAX} de 30 GHz, grâce à la mise en parallèle de deux doigts d'émetteur. En plateforme B55 classique, et à surface d'émetteur équivalente, on retrouve l'augmentation de f_{MAX} permise par l'utilisation de multi-doigts, mais elle s'explique dans ce cas principalement par la réduction de la résistance collecteur.

2.e. Etude du besoin ou non de l'isolation DTI

Dans une thèse précédente (Baudry 2001), un module DTI a été développé afin de permettre l'isolation entre la zone active du composant, fortement et profondément dopée à cause de la couche enterrée, et la prise substrat dopée P. Dans le cas de nos composants avec collecteur implanté, l'implantation est plus superficielle et moins conséquente, on cherche donc à s'affranchir des tranchées DTI. Sur la Figure 165, on peut voir pour chacun des types de structure que les fréquences f_T et f_{MAX} sont améliorées (+5 à +15 GHz). Le retrait du DTI permet en effet une dissipation de chaleur plus efficace dans le substrat et donc un fonctionnement du transistor à température réduite. Alors les paramètres dépendant de la température comme notamment le courant collecteur I_C (environ +5%) et la fréquence f_T sont plus élevés, et cela est répercuté sur la fréquence f_{MAX} , expliquant leur augmentation simultanée.

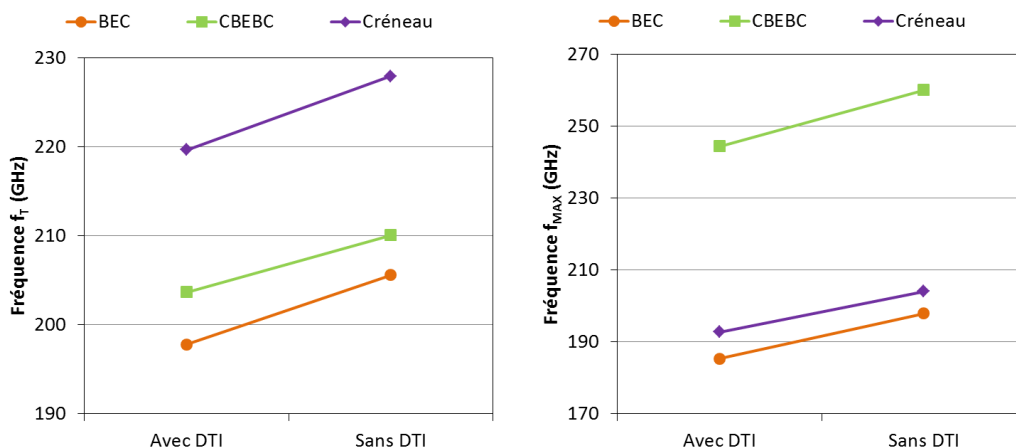


Figure 165 : f_T et f_{MAX} mesurées à $V_{CB} = -0,5V$, pour des transistors bipolaires avec et sans DTI, pour la même implantation du collecteur ($W_{Ex}L_E = 0,2 \times 5,56 \mu m^2$)

A noter qu'à l'époque de leur insertion dans la fabrication des transistors bipolaires, l'avantage principal des DTI était la réduction de la capacité collecteur-substrat et donc l'augmentation de la fréquence f_{MAX} .

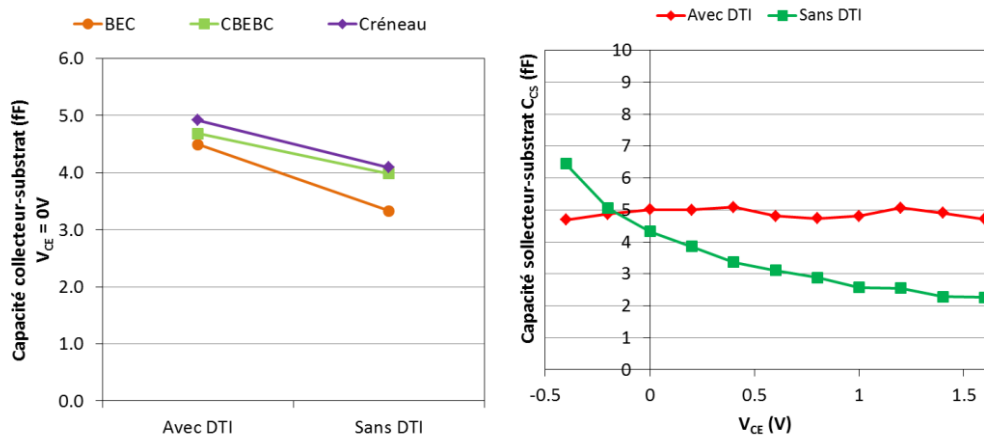


Figure 166 : Capacité C_{CS} extraite pour $V_{CE} = 0V$ ($W_{EXLE} = 0,2 \times 5,56 \mu m^2$) ; évolution de C_{CS} en fonction de V_{CE} pour des transistors bipolaires de structure Créneau avec et sans DTI, pour la même implantation du collecteur

Dans cette étude-ci, la capacité collecteur-substrat C_{CS} est légèrement réduite comme on peut le voir sur la Figure 166. C'est un résultat étonnant vis-à-vis de ce qu'on connaît des avantages des isolations par tranchées par rapport aux isolations par jonction. Mais l'extraction de ce paramètre en fonction de la polarisation V_{CE} montre en effet que lorsqu'on retire le DTI, la capacité devient fonction de la polarisation du collecteur, le substrat étant à la masse, en fonction de l'extension de la zone de charge d'espace entre les deux. De fait, il faut considérer ce résultat avec prudence. Une extraction plus précise à basse fréquence permettrait d'obtenir la capacité pure. Dans l'état actuel, le retrait des DTI est plutôt bénéfique pour ces composants à collecteur implanté, permettant l'augmentation des fréquences f_T et f_{MAX} et la diminution de la capacité C_{CS} pour $V_{CE} = 0V$.

2.f. Variation de la largeur du STI

Comme vu lors des simulations, il faut déterminer la largeur optimale du STI extérieur pour l'isolation la plus adaptée, sans un trop grand encombrement du transistor.

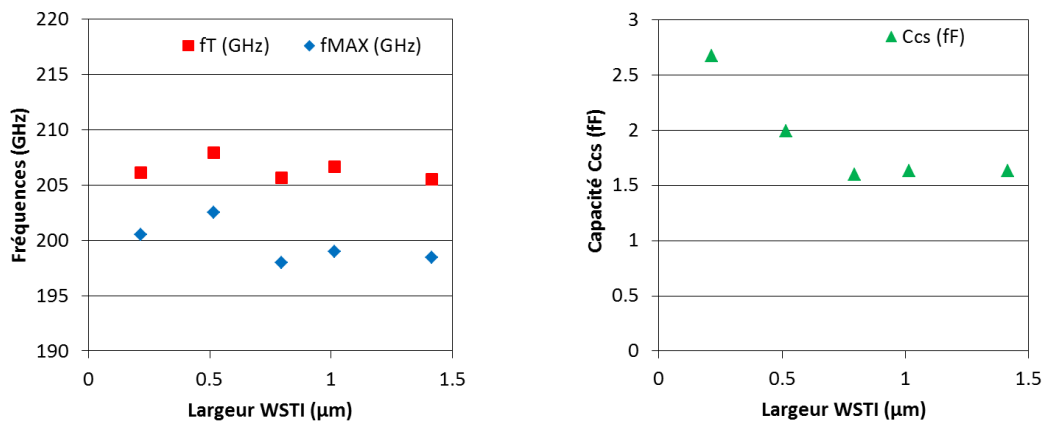


Figure 167 : Variation des paramètres f_T , f_{MAX} et C_{CS} en fonction de la largeur du STI extérieur ($W_{EXLE} = 0,2 \times 5,56 \mu m^2$)

La variation présentée Figure 167 correspond à des transistors de structure BEC. On ne constate aucun impact significatif de la largeur du STI sur les fréquences f_T et f_{MAX} , tandis que la capacité C_{CS} est réduite lorsque le STI est plus large, jusqu'à atteindre une valeur seuil. On retrouve donc les résultats prédits par les simulations et pour la conception des futures structures, on retiendra la valeur minimale $W_{STI} = 1,0 \mu\text{m}$.

3. Conclusions

A l'issue de ces premiers résultats nous pouvons mettre en avant les structures à collecteur implanté les plus favorables en termes de performances (Figure 168) : la structure CBEBEC est la plus adaptée pour un fort f_{MAX} tandis que la structure créneau (avec 5 créneaux) permet quasiment d'atteindre la même fréquence f_T que la référence B55.

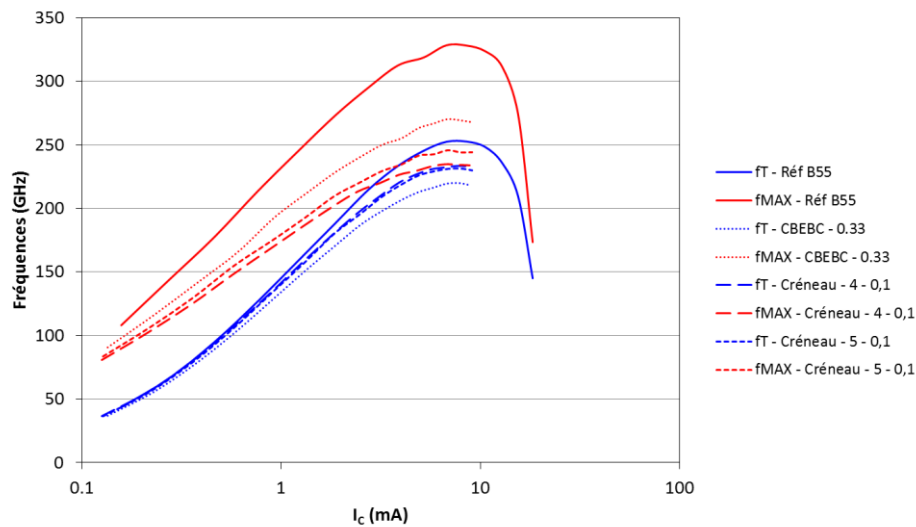


Figure 168 : f_T et f_{MAX} vs I_C pour les meilleures structures du collecteur implanté (ICOL : 1.10^{14} @ 240 keV, SIC : 4.10^{13} @ 150 keV) sur le lot Q323161, par rapport à la structure de référence en B55 ($W_{EXLE} = 0,2 \times 5,56 \mu\text{m}^2$)

Avec une **implantation collecteur ICOL adaptée** (1.10^{14} @ 210 keV) des résultats encourageants ont été obtenus, montrant la faisabilité d'un transistor performant à bas-coût. Nous verrons dans la suite qu'il est encore possible d'améliorer le profil implanté.

L'étude des règles de dessin a montré l'importance d'une **géométrie finement optimisée** pour améliorer encore les performances du transistor à collecteur implanté. Ainsi les structures créneaux sont limitées par la résistance de base élevée et les structures CBEBEC par le temps de transit des électrons dans le collecteur entre la zone active et la siliciuration des contacts. La structure BEC n'est pas adaptée car elle cumule une résistance de base et de collecteur élevées. Nous avons également pu voir que le retrait de l'isolation par DTI permet d'obtenir de meilleures fréquences de fonctionnement, pour une variation de capacité C_{CS} a priori faible, tant qu'un STI extérieur de largeur suffisante est utilisé.

Enfin, une **répartition des contacts adéquate** est requise pour polariser correctement la base : les structures BEC ou à 2 créneaux ont démontré la dégradation de la résistance de base lorsque qu'il n'y a pas assez de contacts répartis le long du polybase. Utiliser des transistors tels la structure double CBEBEC² montre d'autre part une nette amélioration de la fréquence f_{MAX} pour une longueur d'émetteur équivalente, mais au prix d'un encombrement plus

important. Le même principe est souvent utilisé par les concepteurs qui adaptent le facteur de forme des transistors (W et L de la fenêtre émetteur, un seul ou plusieurs doigts émetteurs) en fonction des critères de leurs circuits).

II. Une double implantation pour le collecteur

Suite aux essais sur le lot Q323161, on a constaté que la résistance collecteur pour les composants à collecteur implanté est très supérieure ($\times 10$) à la référence B55. Pour diminuer la résistivité de la couche, on a donc besoin d'une implantation encore plus dopée. Mais on doit également veiller à ne pas dégrader la capacité C_{BC} . Pour cela on veut rajouter une implantation phosphore qui permet d'élargir vers le fond la couche conductrice du collecteur. Le phosphore diffuse plus que l'arsenic pour une énergie donnée, et va donc pouvoir atteindre des profondeurs plus grandes, là où nous sommes limités en énergie pour une implantation d'arsenic.

1. Simulations préalables

Avant d'appliquer cette nouvelle recette, nous avons simulés différentes recettes d'implantation afin de dégager lesquelles étaient les plus intéressantes. Seuls les essais les plus pertinents sont présentés sur la Figure 169. Mais d'autres points ont été testés sur silicium afin d'évaluer le meilleur profil, notamment à la jonction base/collecteur.

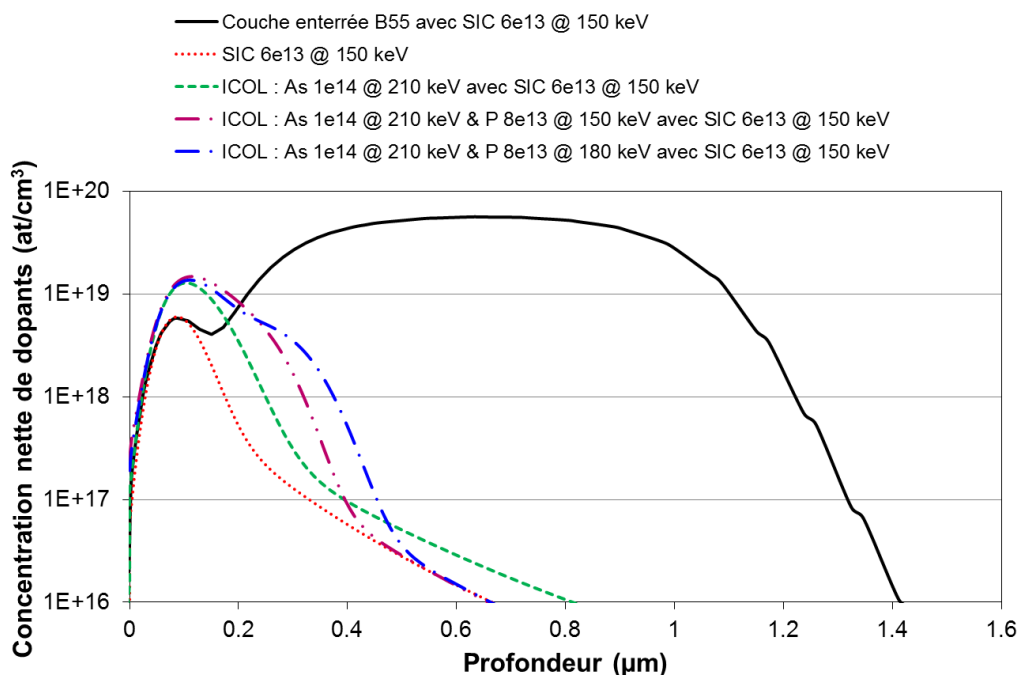


Figure 169 : Profils collecteur simulés pour l'optimisation du transistor à collecteur implanté, sous la fenêtre émetteur

On compare ainsi les profils de collecteur sous la fenêtre émetteur, pour différentes implantations, par rapport à la référence B55 et sa couche enterrée. On vérifie qu'un transistor avec collecteur implanté est significativement moins dopé. L'ajout de phosphore permet en partie d'élargir la couche dopée n.

2. Une double implantation As et P

Des essais basés sur les simulations précédentes ont donc été menés sur silicium, en faisant varier la profondeur de l'implantation phosphore et la dose d'implantation du SIC pour adapter au mieux le profil de dopants dans le collecteur.

	As SIC6	As SIC4	As P150 SIC4	As P180 SIC4	As P180 SIC6
SIC	6.10^{13}	4.10^{13}	4.10^{13}	4.10^{13}	6.10^{13}
ICOL As	1.10^{14} at/cm ³ , 210 keV				
ICOL P	-	-	8.10^{13} , 150 keV	8.10^{13} , 180 keV	8.10^{13} , 180 keV

La mesure de la résistance de couche du collecteur, représentée Figure 170, montre dans un premier temps les valeurs pour les lots Q323161 et Q346198 qui sont en ligne l'une avec l'autre. On voit également que la dose d'implantation du SIC n'a pas d'influence sur la valeur de *RSBLCI*, ce qui est cohérent avec la conception de ces structures dédiées. Enfin, l'ajout d'une implantation phosphore diminue significativement ce paramètre, légèrement plus pour une implantation plus profonde.

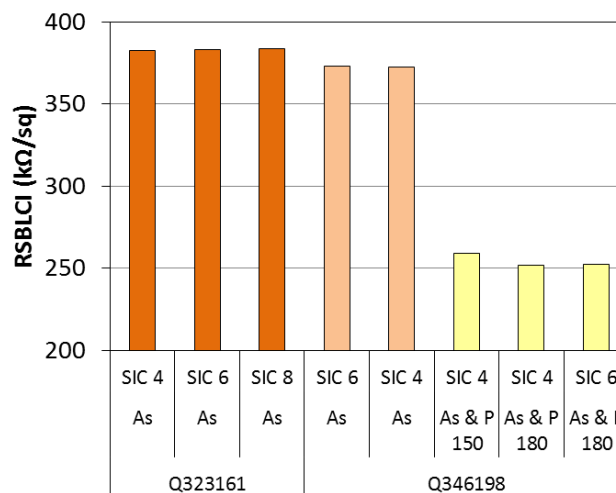


Figure 170 : Evolution de la résistance de couche *RSBLCI* pour un transistor à collecteur implanté, en fonction des conditions d'implantation

2.a. Conditions d'implantation

Nous limitons la suite de l'étude à quelques structures seulement, avec des compromis R_B/R_C différents : CBEBC avec $W_{pbase,wCo} = 0,33\mu\text{m}$; Créneau #5 avec $W_{pbase,noCo} = 0,1$ ou $0,2\mu\text{m}$. Ce sont les structures qui donnaient les résultats les plus intéressants dans la première étude.

La Figure 171 montre la variation de la résistance de base R_B mais la valeur moyenne issue des mesures n'est pas suffisamment précise pour conclure sur la meilleure recette d'implantation. Mais a priori elle ne devrait pas avoir d'influence sur la résistance de base. On

retrouve cependant une résistance R_B globalement plus faible pour la structure CBEBEC et on constate une différence entre les créneaux 5 qui n'existait pas sur le lot Q323161.

La variation de la capacité C_{BC} est quant à elle cohérente avec l'implantation du collecteur : plus il y a de phosphore et/ou plus le SIC est dopé, plus C_{BC} augmente. La capacité C_{BC} est plus élevée pour la structure créneau (0,1) alors qu'elle était plus faible que les capacités des deux mêmes structures sur le lot Q323161.

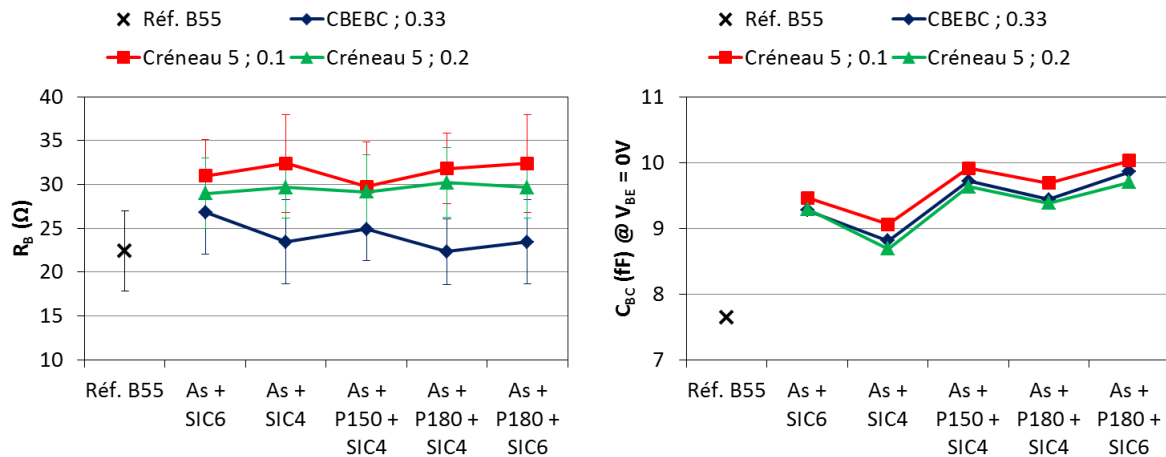


Figure 171 : Résistance R_B et capacité base-collecteur C_{BC} pour trois structures différentes, en fonction des conditions d'implantation

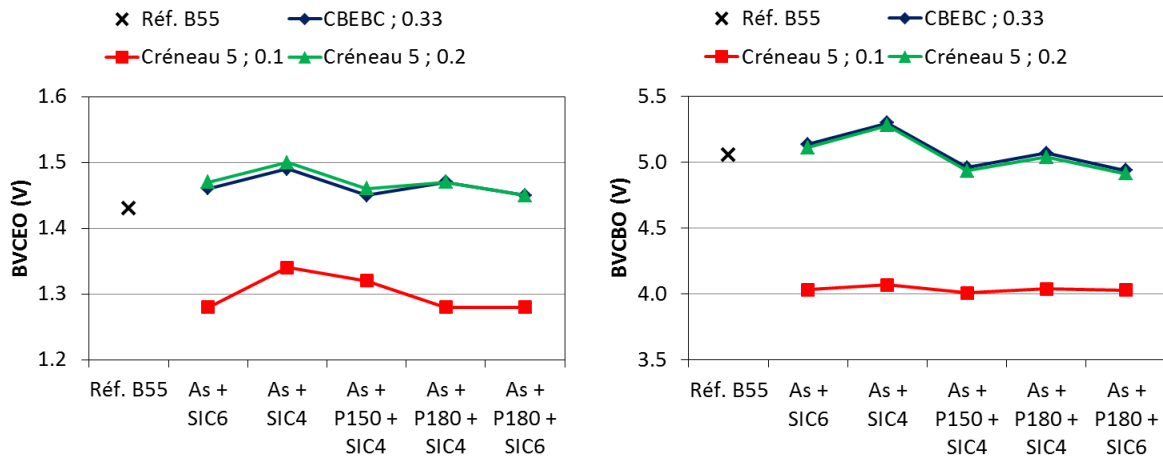


Figure 172 : Tensions de claquage BV_{CEO} et BV_{CBO} pour trois structures différentes, en fonction des conditions d'implantation

Enfin, on voit sur Figure 172 une diminution des tensions de claquage BV_{CEO} et BV_{CBO} quand le dopage collecteur augmente. Mais contrairement aux deux autres structures à l'étude, ces deux paramètres sont significativement réduits lorsque le polybase est le plus fin dans une structure créneau. Cet effet semble corrélé à l'augmentation de R_B et C_{BC} et n'existait pas sur le lot précédent. En observant les coupes TEM de la Figure 173, on remarque que la gravure de l'oxyde sous le polybase est plus importante pour le deuxième lot, si bien que l'oxyde piédestal est remplacé en grande partie par du nitrure lorsqu'on a un polybase de petite largeur.

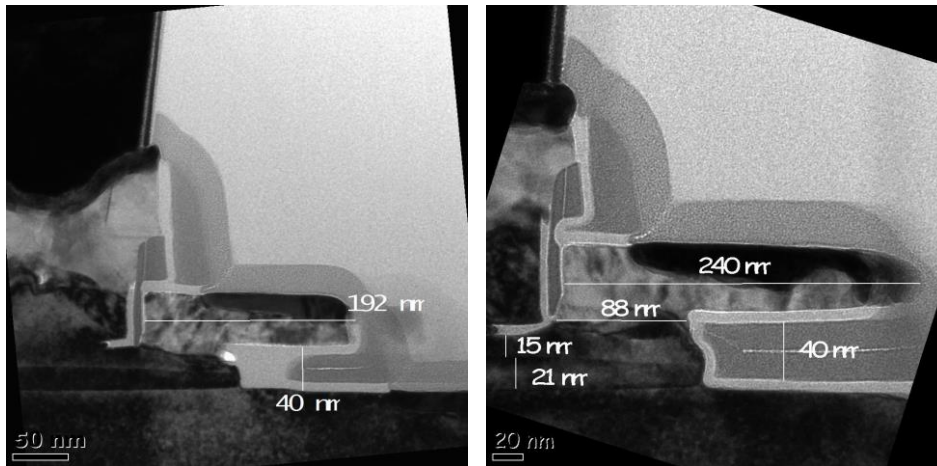


Figure 173 : Coupe TEM du transistor Créneau #3 pour un polybase de largeur 0,2 μ m en l'absence de contacts : à gauche sur le lot Q323161, à droite sur le lot Q346198

Dans la Figure 174, on observe la variation de f_T cohérente avec la variation de la capacité C_{BC} et la résistance collecteur $RSBLCI$ présentées plus tôt. L'ajout d'une implantation phosphore à 180keV permet l'amélioration de f_T de +10 GHz en moyenne, par rapport à une implantation ICOL unique d'arsenic, couplée à un SIC6.

L'extraction de f_{MAX} est moins sensible à ces différentes implantations en particulier pour les structures créneaux. Dans le cas de la structure CBEBEC, f_{MAX} semble diminuer légèrement, en conséquence en partie de l'augmentation de la capacité C_{BC} . Globalement la fréquence reste bien supérieure pour CBEBEC par rapport aux deux architectures créneaux.

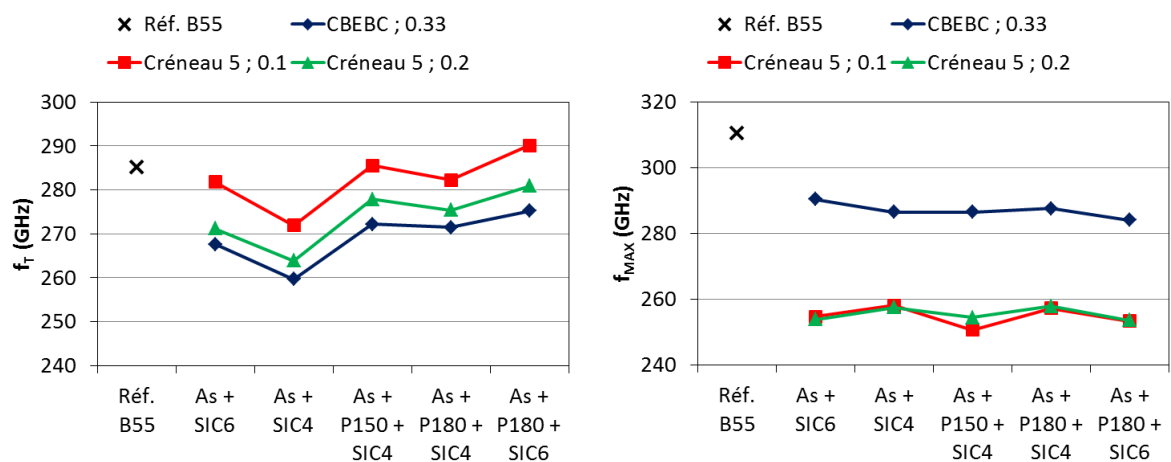


Figure 174 : Fréquences f_T et f_{MAX} pour trois structures différentes, en fonction des conditions d'implantation

Aucune différence n'est montrée entre ces deux dernières, contrairement aux résultats du lot précédent où celle au polybase le moins large (0,1) avait un f_{MAX} légèrement plus élevé. Cela résulte de la dégradation des paramètres R_B et C_{BC} pour cet essai-là, à cause des chimies HF pour le retrait de la résine de certaines étapes. De permittivité relative plus grande (7,0) que le dioxyde de silicium (3,9), le nitrure n'a pas les mêmes propriétés isolantes que l'oxyde. Ainsi on constate l'augmentation de C_{BC} quand $W_{phasenoCo}$ diminue, alors que par ratio de surface, on s'attend à ce qu'elle diminue. Pour des essais futurs avec la structure créneau, il faudra donc prendre en compte l'ampleur de la gravure qui peut changer le matériau dans la couche « piédestale » finale.

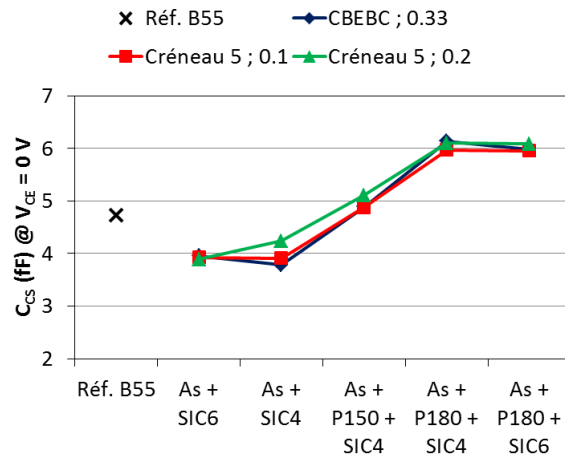


Figure 175 : Capacité collecteur-substrat C_{CS} à $V_{CE} = 0V$ pour trois structures différentes et en fonction des conditions d'implantation

Enfin on observe l'évolution de la capacité collecteur-substrat C_{CS} en fonction de l'ajout de phosphore dans le collecteur : ce paramètre augmente de façon significative en présence de phosphore mais aussi pour une profondeur d'implantation plus profonde. L'isolation par jonction devient alors plus critique et les capacités C_{CS} des essais avec phosphore, quelle que soit la géométrie, sont supérieures ou égales à la valeur référence B55.

2.b. Bilan d'une double implantation As et P

Nous considérons ici uniquement les résultats avec la recette d'implantation collecteur donnant le meilleur point en fréquence f_T : As (1.10^{14} at/cm³, 210 keV) et P (8.10^{13} at/cm³, 180 keV) avec un SIC (6.10^{13} at/cm³, 150 keV).

Sur la Figure 176, on voit que les structures créneaux permettent d'obtenir un f_T supérieur à celui de la structure de référence (jusqu'à 295 GHz), mais au détriment de f_{MAX} (255 GHz au plus fort). Avec la structure CBEBE, on retrouve un fort f_{MAX} par rapport au créneau mais on reste loin de la référence (-10 GHz en f_T et -25 GHz en f_{MAX}).

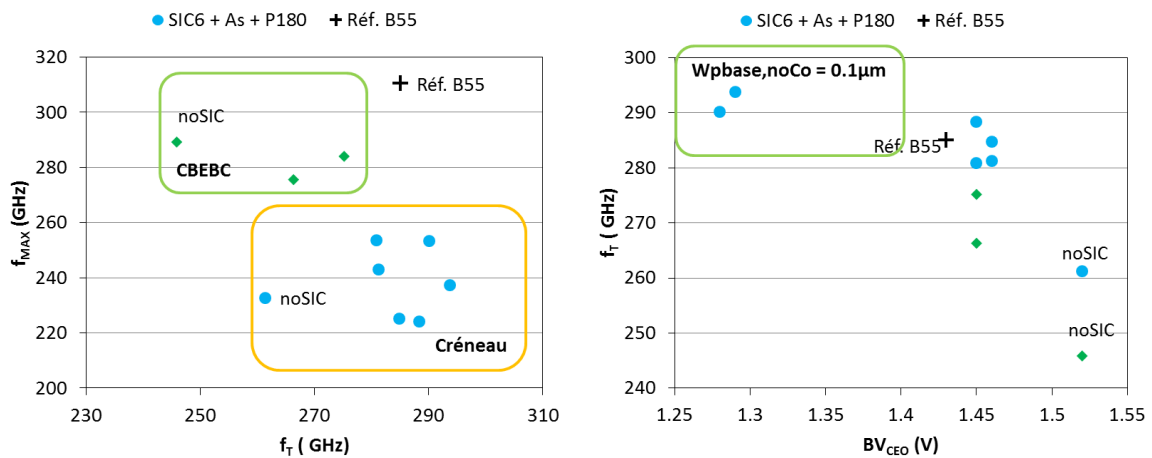


Figure 176 : f_{MAX} vs f_T (gauche) & f_T vs BV_{CEO} (droite), pour différentes structures collecteur implanté CBEBE et créneau, avec la recette d'implantation SIC6 + As + P180

Sur la Figure 176 droite, on retrouve la chute en BV_{CEO} pour les structures créneaux avec un polybase peu large, mais ce sont également les deux structures les plus rapides en f_T .

Toutes les autres structures montrent un BV_{CEO} supérieur à celui de la référence B55, montrant la conformité du composant avec les prérequis de la technologie.

L'isolation par jonction se pose cependant en limite principale pour continuer dans la voie d'une dose d'implantation plus forte pour une couche collecteur moins résistive. Et malgré l'optimisation de la recette du collecteur, il semble que la géométrie des structures actuelles soit trop limitante pour permettre d'obtenir les mêmes paramètres qu'en BiCMOS055.

E. Bilan des différents essais

On présente dans le tableau suivant les principaux résultats électriques obtenus pour cette étude.

Chapitre IV. Une architecture bas coût avec collecteur totalement implanté

Lot	Q323161					Q346198									
	Couche enterrée	ICOL = As : 1.10 ¹⁴ @ 240 keV & SIC = As : 4.10 ¹³ @ 150 keV	BEBC	Créneau 5	WpbasewCo = 0.33 μm	WpbasenoCo = 0.1 μm	Ref. B55	Couche enterrée	CBEBC	Créneau 5	WpbasewCo = 0.33 μm	WpbasenoCo = 0.2 μm	Créneau 5	Créneau 5	WpbasewCo = 0.1 μm
Implantation	Couche enterrée	ICOL = As : 1.10 ¹⁴ @ 210 keV + P : 8.10 ¹³ @ 180 keV & SIC = As : 6.10 ¹³ @ 150 keV													
Structure	Ref. B55		BEC	Créneau 5	CBEBC	Créneau 5	Ref. B55		CBEBC	Créneau 5	Créneau 5		Créneau 5		
Structure DC	XB501_6	XB501_2	XB501_2	XB501_2	XB501_2	XB501_2	XB501_6	XB501_6	XB501_2	XB501_2	XB501_2	XB501_2	XB501_2	XB501_2	XB501_2
Structure HF	XHFB502_2	XHFB502_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB502_2	XHFB502_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB501_2	XHFB501_2
W _{E_eff} [μm]	0.130		0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100	0.100
I _C [μA] @ V _{BE} = 0.7V	17.7		14.5	14.6	14.6	14.1	14.5	14.5	12.5	12.0	12.0	12.0	11.9	11.9	11.9
I _B [nA] @ V _{BE} = 0.7V	13.4		10.5	10.9	10.9	11.0	7.6	7.6	7.4	7.5	7.5	7.5	8.0	8.0	8.0
β @ V _{BE} = 0.7V	1320		1381	1352	1352	1264	1920	1920	1705	1616	1616	1616	1524	1524	1524
BV _{CEO} [V]	5.38		5.36	5.43	5.43	5.42	5.05	5.05	5.12	5.11	5.11	5.11	4.03	4.03	4.03
BV _{CEO} [V]	1.50		1.53	1.55	1.55	na	1.45	1.45	1.49	1.50	1.50	1.50	na	na	na
Résistivité collecteur [kOhm/sq]	30		30	360	360		30	30		252	252	252			
R _B [Ohm]	21.9 +- 3.8		42.8 +- 2.7	22.6 +- 4.0	22.6 +- 4.0	29.9 +- 4.0	22.4 +- 4.6	22.4 +- 4.6	23.4 +- 4.8	29.6 +- 3.5	29.6 +- 3.5	29.6 +- 3.5	32.4 +- 5.6	32.4 +- 5.6	32.4 +- 5.6
R _E [Ohm]	11.8		13.3	13.7	13.7	13.5	8.8	8.8	9.7	9.6	9.6	9.6	9.6	9.6	9.6
C _{BE} [fF] @ V _{BE} = 0V	7.9		7.2	7.3	7.3	7.1	8.9	8.9	8.2	8.1	8.1	8.1	8.0	8.0	8.0
C _{BC} [fF] @ V _{BE} = 0V	6.8		6.9	8.3	8.3	7.9	7.6	7.6	9.9	9.7	9.7	9.7	10.0	10.0	10.0
C _{CS} [fF] @ V _{CE} = 0V	4.9		3.3	4.2	4.2	4.2	4.7	4.7	6.0	6.1	6.1	6.1	6.0	6.0	6.0
f _T [GHz]	242		206	219	219	230	285	285	275	281	281	281	290	290	290
f _{MAX} [GHz]	323		198	268	268	239	311	311	284	253	253	253	253	253	253

F. Perspectives

Une première perspective d'amélioration pour les composants à collecteur implanté se trouve dans l'optimisation du profil collecteur, sous la fenêtre émetteur et sous les contacts collecteurs. En effet, si on simule le profil sous les contacts (Figure 177), on peut constater un manque de dopants, dégradant alors la résistance collecteur.

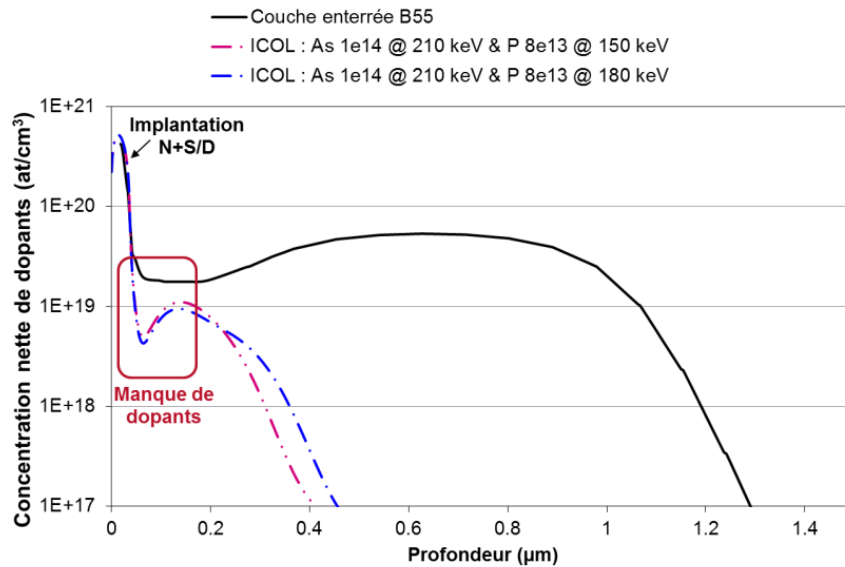


Figure 177 : Profils collecteur simulés pour l'optimisation du transistor à collecteur implanté, sous la zone de contact du collecteur

Pour de futurs essais, il est donc intéressant de rajouter une implantation supplémentaire sous les contacts du collecteur. L'ouverture du masque COLI (définissant le SIC) à ce niveau permettrait d'évaluer le bénéfice d'une telle implantation.

Suite aux différents résultats obtenus, nous avons également conçu de nouvelles architectures pour optimiser le compromis entre résistance de base, capacité base/collecteur et résistance collecteur. Sur ce nouveau jeu de masques dont les résultats devraient être disponibles pour la fin de l'année, nous avons donc embarqué les structures suivantes :

- **CBEB**C standard (aire fenêtre émetteur : $0,200 \times 5,56 \mu\text{m}^2$) ; où le masque de l'implantation SIC est ouvert ou non au niveau des contacts collecteur
- **CBEB**C⁶ (aire fenêtre émetteur : $6 \times 0,200 \times 0,93 \mu\text{m}^2$) : on répète 6 fois la structure CBEB C avec une longueur d'émetteur 6 fois plus petite.
- **Créneau** (aire fenêtre émetteur : $0,200 \times 5,56 \mu\text{m}^2$) : 5 créneaux de polybase, avec 2 contacts par créneau sauf en bord de polybase où il n'est pas possible de mettre un contact à cheval sur la limite de la zone active.

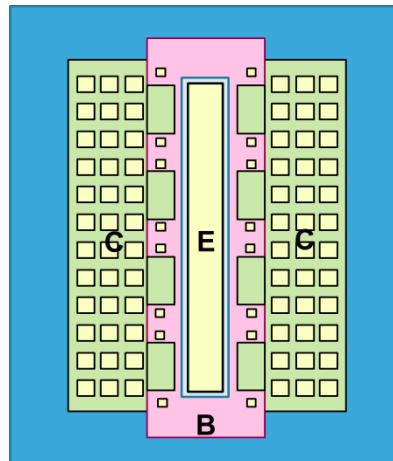


Figure 178 : Schéma de la structure créneau, pour 5 créneaux de polybase, d'aire totale de fenêtre émetteur $0,200 \times 5,56 \mu\text{m}^2$

- **Emetteur fragmenté**, basé sur les structures de (Geynet 2008) (aire fenêtre émetteur : $6 \times 0,200 \times 0,93 \mu\text{m}^2$) en faisant varier le nombre de contacts entre chaque émetteur (2 ou 3).

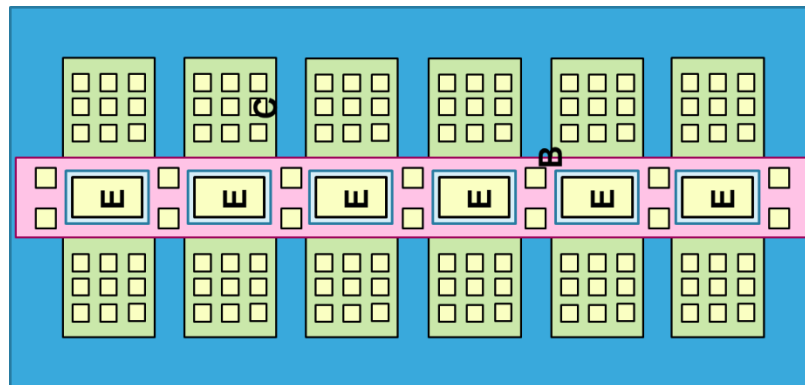


Figure 179 : Schéma de la structure avec émetteur fragmenté, pour 6 émetteurs, d'aire totale de fenêtre émetteur $6 \times 0,200 \times 0,93 \mu\text{m}^2$

- Des **cellules unitaires organisées en matrices** : (aire fenêtre émetteur : $6 \times 0,200 \times 0,93 \mu\text{m}^2$ ou $10 \times 0,200 \times 0,56 \mu\text{m}^2$) en faisant varier la largeur du polybase en l'absence de contact $W_{\text{pbase,noCo}}$, et avec ou sans SIC sous les contacts collecteur.

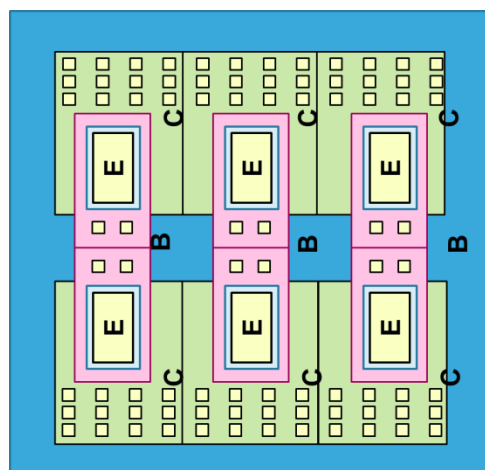


Figure 180 : Schéma de la structure matricielle avec 2×6 cellules unitaires, d'aire totale de fenêtre émetteur $6 \times 0,200 \times 0,93 \mu\text{m}^2$

La largeur du polybase en présence de contacts est fixée à $0,33\mu\text{m}$ pour toutes les structures (sauf $0,34\mu\text{m}$ pour les cellules). On a conservé toutes les valeurs optimales pour les paramètres étudiés précédemment (WSTI, pas de DTI, etc.). Les longueurs des fenêtres émetteurs ont été choisies pour que chacune des structures soient comparables en termes de dimensions de fenêtre émetteur et donc en courants, soit une longueur totale égale à $5,56\mu\text{m}$.

G. Nouveaux résultats obtenus

A partir des considérations précédentes de nouveaux essais ont été réalisés pour une ultime tentative d'optimisation du module collecteur implanté. Ces composants ayant été caractérisés après la fin de cette thèse, les résultats ont donc été obtenus à retardement. Nous présentons ici un résumé de ces différents résultats.

Dans cette nouvelle série d'essais, nous n'avons pas réalisé de modification pour les recettes d'implantation. L'objectif est de comparer et rechercher un meilleur compromis R_B/C_{BC} à partir des structures décrites dans la partie précédente. Nous avons dessiné ces structures avec la volonté de conserver une surface fenêtre émetteur constante, pour des niveaux de courant collecteur comparables. Notons que les transistors sont améliorés par rapport aux premiers essais grâce à l'amélioration du module émetteur/base dans le cadre du développement de la plateforme BiCMOS055.

I. Dopage supplémentaire sous le contact collecteur

Commençons par le manque de dopants sous les contacts collecteur, évalué à partir des simulations TCAD. La structure CBEBEC a été dupliquée pour ouvrir le masque SIC au niveau des contacts collecteur, pour permettre une implantation d'arsenic supplémentaire sous les contacts collecteur et ainsi améliorer le niveau de dopants dans cette zone pour une meilleure résistance.

	CBEBEC	CBEBEC - SIC
Fréquences @ $V_C = -0.5V$		
f_T (GHz)	332	331
f_{MAX} (GHz)	350	344
Capacités		
C_{BE} (fF) @ $V_{BE}=0V$	9,62	9,54
C_{BC} (fF) @ $V_{BE}=0V$	9,26	9,21
C_{CS} (fF) @ $V_{CE}=1.6V$	3,29	3,34
Résistances @ $V_C = -0.5 V$		
R_E (Ohms)	4,96	4,97
R_B (Ohms)	18,91+- 3,19	20,84 +- 3,28
Tensions de claquage		
BV_{CEO} (V)	1,45	1,44
BV_{CBO} (V)	5,10	5,08

Aucun des paramètres mesurés ne montre de différence, que ce soit en mesures statiques ou en mesures dynamiques. L'implantation SIC n'est donc pas suffisante pour compenser le

manque de dopants. De nouveaux essais et/ou un nouveau masque seraient nécessaires pour un réglage fin du dopage de cette zone.

II. Matrice de cellules unitaires

Des cellules unitaires ont été conçues et peuvent être arrangées matriciellement. Nous jouons ici sur deux paramètres :

- la largeur du polybase, à travers la distance avec le bord du polyémetteur $W_{\text{pbase,noCo}}$ qui varie entre $+0.1\mu\text{m}$, $+0.2\mu\text{m}$ ou $+0.3\mu\text{m}$ par rapport à l'émetteur
- le nombre de cellules : $2*3$ (longueur de la fenêtre émetteur unitaire = $0.93\mu\text{m}$) ou $2*5$ (longueur de la fenêtre émetteur unitaire = $0.56\mu\text{m}$)

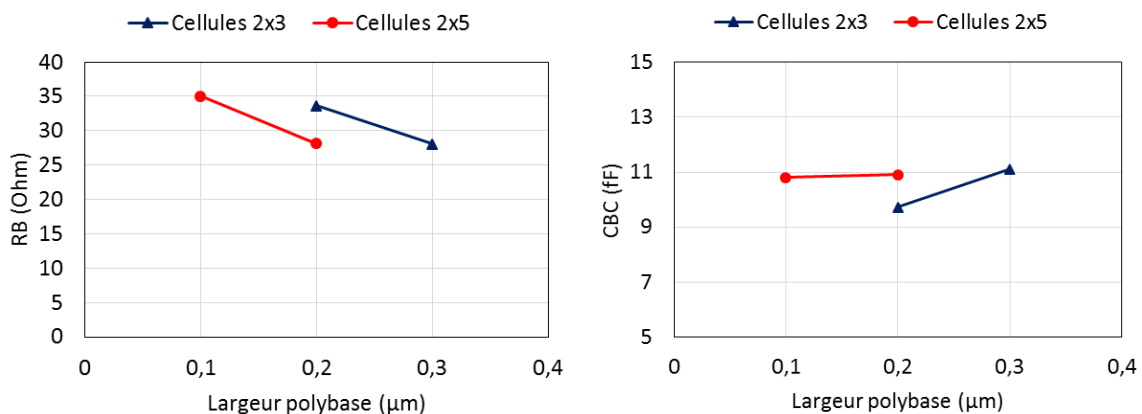


Figure 181 : Variation de la résistance de base R_B et de la capacité base/collecteur C_{BC} pour différentes configurations des matrices de cellules

Dans un premier temps on voit sur la Figure 181 la variation de la résistance de base et de la capacité C_{BC} . Toutes deux dépendent de la largeur polybase, de façon tout à fait cohérente avec les résultats obtenus jusque-là. Pour une meilleure résistance de base il vaut mieux un polybase large, mais la capacité augmente alors, le meilleur compromis semble donc être à $0.2\mu\text{m}$. On voit également l'impact du nombre de cellules : un plus grand nombre de cellules plus petites favorise la résistance de base au détriment de C_{BC} . Deux explications pour cela : d'une part la distance entre les contacts et le bord extrême du polybase est réduite ce qui potentiellement est bénéfique pour la résistance d'accès ; d'autre part la surface totale de recouvrement entre la base et le collecteur est plus grande ce qui a un impact direct sur la capacité C_{BC} .

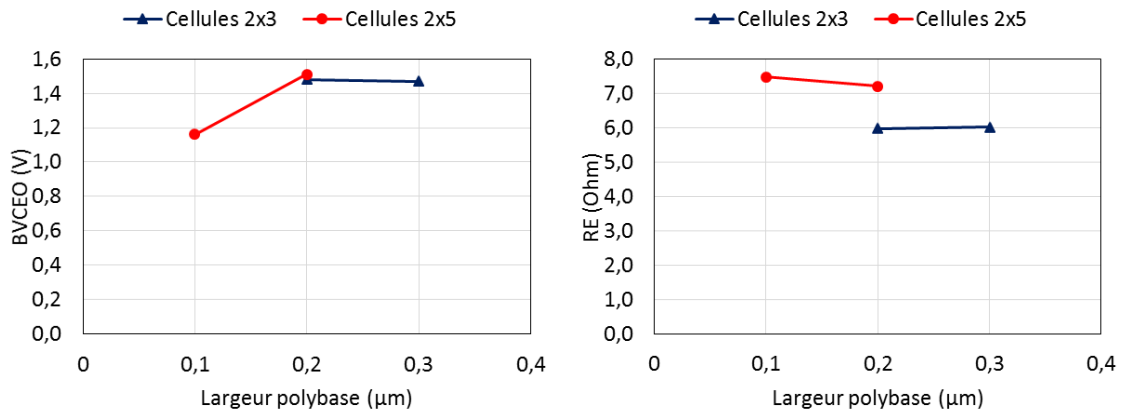


Figure 182 : Variation de la tension de claquage BV_{CEO} et de la résistance émetteur R_E pour différentes configurations des matrices de cellules

La Figure 182 montre d'une part la dégradation de la tension de claquage BV_{CEO} lorsque le polybase est trop étroit autour du polyémetteur, confirmant la limite à ne pas dépasser au niveau de cette dimension. La résistance émetteur R_E elle ne dépend pas de cette dimension (de façon cohérente) mais augmente avec le nombre de cellules. Mais comme pour la structure avec émetteur fragmenté présentée dans (Geynet 2008), la division de l'émetteur n'est pas favorable pour la résistance.

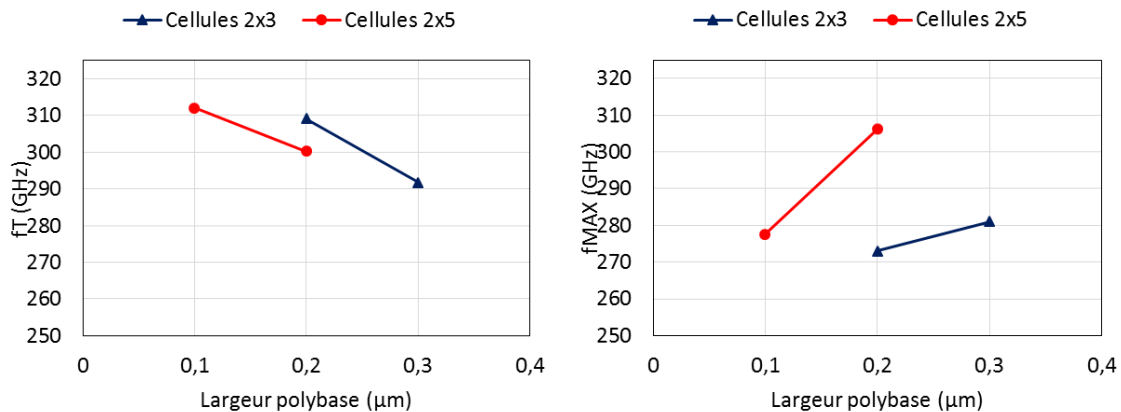


Figure 183 : Variation des fréquences f_T et f_{MAX} pour différentes configurations des matrices de cellules

Sur la Figure 183 sont représentées les fréquences f_T et f_{MAX} . On retrouve l'impact des résistances et capacités directement sur les fréquences en jeu. Le choix du nombre de cellules va donc dépendre directement du compromis choisi, pour favoriser f_T ou f_{MAX} . Notamment pour une cellule 2x5 avec une largeur polybase latérale de $0,2\mu\text{m}$ on obtient un couple f_T/f_{MAX} de 300/310 GHz.

Les structures en cellules actuelles ne favorisent pas la résistance de base, particulièrement lorsque le polybase est trop fin, on retrouve le même problème que pour la structure créneau. De plus le nombre de contacts par paire de cellules est assez faible si bien que la résistance de contact à une contribution importante. Pour de nouveaux essais, le premier point d'optimisation semble donc être la connexion du polybase.

III. Comparaison des nouvelles structures embarquées

Pour chacun des structures comparées, la largeur de la fenêtre émetteur dessinée est la même et la fragmentation de la longueur a été faite pour conserver autant que possible une valeur totale égale à $5.56\mu\text{m}$. Cependant les effets de fabrication font varier légèrement la valeur effective sur silicium : les effets de bord et les espaceurs sont susceptibles d'exacerber les différences géométriques. Pour cette partie nous avons gardé uniquement la meilleure structure cellules (2×5 , $W_{\text{pbase_noCo}} = 0.2\mu\text{m}$).

Le premier effet que l'on peut noter entre les différentes structures est celui sur la résistance émetteur, représentée Figure 184. On note trois niveaux de résistance qui s'expliquent par les différentes géométries de l'émetteur : en 1, 6 ou 10 fragments. La surface de recoupement B/C dessinée sur nos structures augmente légèrement et de façon proportionnelle en fonction de ce nombre de fragments.

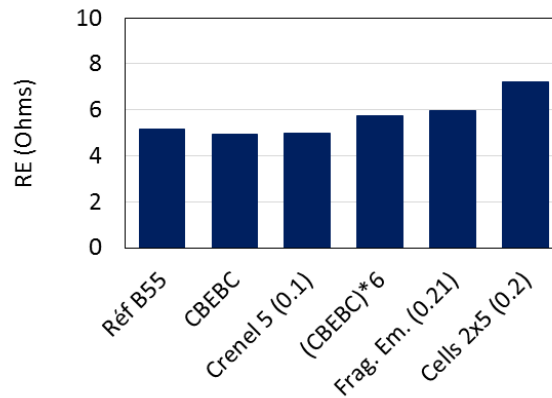


Figure 184 : Evolution de la résistance émetteur en fonction des différentes structures

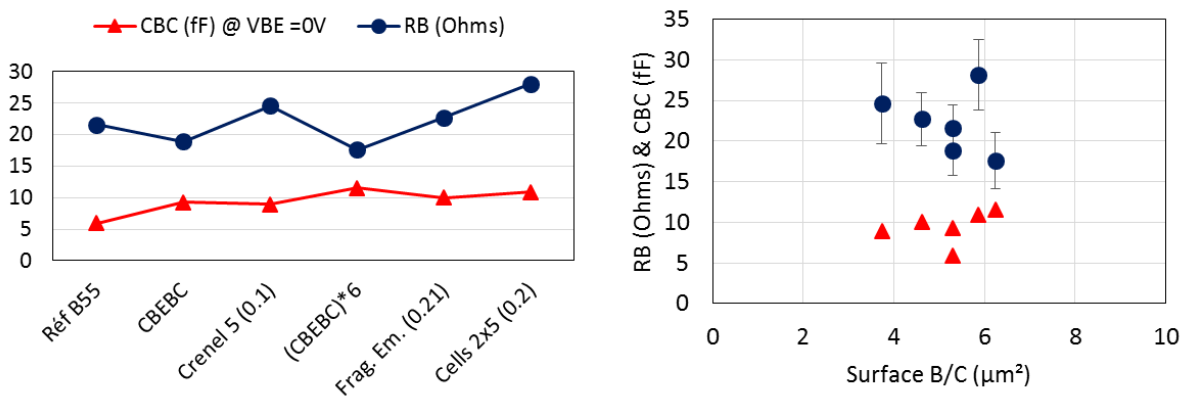


Figure 185 : Résistance de base et capacité B/C en fonction des différentes structures ; en fonction de la surface de recoupement entre le base et le collecteur

L'évolution de la résistance de base et de la capacité base collecteur (Figure 185) dépend en partie de cette surface. Un autre effet qui rentre en jeu est celui du nombre de contacts pour polariser le polybase, qui peut être insuffisant et dégrader la résistance d'accès comme c'est le cas pour la structure cellules.

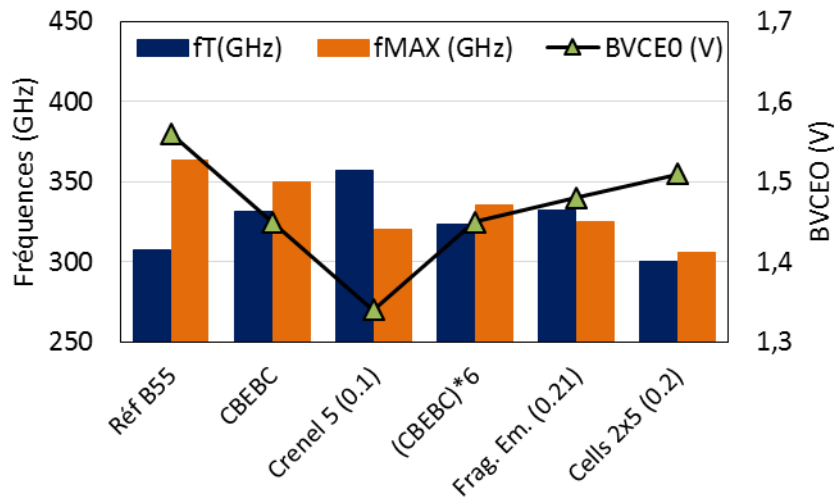


Figure 186 : Fréquences f_T et f_{MAX} , tension de claquage BV_{CEO} pour les différentes structures avec collecteur implanté

Enfinement si on compare les résultats fréquentiels de ces différentes structures, on voit que la structure CBEBEC (332/350 GHz) reste le meilleur candidat pour égaler la référence B55 (307/364 GHz). Le compromis est légèrement différent mais en changeant l'implantation SIC on peut espérer atteindre les mêmes niveaux.

La structure créneau (357/320 GHz) semble toujours intéressante pour atteindre un fort f_T mais le schéma de connexion n'est pas favorable ni pour la résistance de base ni pour la tension de claquage qui est dégradée. En revenant à une largeur W_{pbase_noCo} de 0.2 μm , cette structure serait plus stable.

Les structures avec émetteur fractionné, CBEBEC*6 (323/336 GHz) et Frag. Em (332/325 GHz), sont moins performantes que les précédentes. Notre hypothèse est que la fragmentation en 6 amène des surfaces effectives plus petites que prévues, ne fournissant pas une surface équivalente aux structures avec une seule fenêtre émetteur. Dans le cas de CBEBEC*6 et malgré la diminution de R_B , la structure est en effet un peu moins performante.

Enfin la structure avec cellules (300/306 GHz) s'avère être la moins performante de toutes. Ce résultat n'est pas étonnant étant donné les dégradations simultanées des résistances R_B et R_E ainsi que la capacité C_{BC} due à une surface B/C accrue.

H. Conclusion du chapitre

Ce chapitre a fait l'étude du développement d'un composant bas-coût obtenu en retirant les modules couche enterrée, puits collecteur et DTI, à travers des simulations, la conception et la réalisation de structures dédiées. L'implantation d'arsenic en surface remplace la couche enterrée fortement dopée et est permise par la modification de la structure du transistor. L'étude des règles de dessin a permis d'identifier les différents compromis R_B/C_{BC} , de déterminer le besoin en DTI et la largeur nécessaire du STI extérieur pour une bonne isolation.

Afin de favoriser la fréquence f_T , une implantation phosphore a été rajoutée en plus de l'arsenic, pour réduire la résistivité du collecteur, mais cela aux dépends de la capacité base/collecteur C_{BC} , si bien que la fréquence f_{MAX} est légèrement dégradée par rapport aux essais précédents et de la capacité collecteur/substrat qui devient supérieure à la référence.

Après les premières phases de développement d'un transistor à collecteur implanté, on atteint 96% de la valeur de f_T pour la référence et 91% pour f_{MAX} avec une structure CBEBC simplifiée par rapport à la référence B55 et une double implantation As et P. La structure créneau permet quant à elle de dépasser cette fréquence f_T pour un même module émetteur/base, mais aux dépends de la résistance de base et donc de la fréquence f_{MAX} . De bonnes performances sont ainsi atteintes pour un transistor qui est sensiblement moins complexe donc moins coûteux.

De nouveaux résultats ont été obtenus après la fin de cette thèse. Les nouvelles structures cellules ou l'insertion d'une nouvelle implantation sous les contacts du collecteur n'ont pas permis de dépasser les résultats obtenus précédemment. Cependant grâce à l'amélioration du module collecteur dans le cadre du développement de la technologie BiCMOS055, nous avons montré une structure CBEBC aux performances quasi-équivalentes à l'architecture de référence.

Cette étude d'un transistor avec collecteur tout implanté est aujourd'hui d'intérêt face à la complexité de l'intégration de certains éléments comme les DTI ou la couche enterrée, dans les technologies avancées ; et particulièrement dans le cadre du développement d'une technologie bipolaire su FDSOI.

Chapitre V. Etude de l'impact des interconnexions métalliques du BEOL du transistor bipolaire

Dans ce cinquième chapitre, nous étudions en détails l'influence des interconnexions métalliques au-dessus des transistors bipolaires sur leur fonctionnement, en technologie BiCMOS9MW et BiCMOS055.

Les contraintes mécaniques créées par ces lignes métalliques sont répercutées dans le composant lui-même et changent en partie ses paramètres électriques.

Les paramètres thermiques et de puissance des composants sont également abordés dans ce chapitre.

Afin d'améliorer les performances des transistors CMOS, des couches créatrices de stress (*stress liner*) sont déposées en fin de fabrication au-dessus des composants pour générer une contrainte supplémentaire et améliorer les propriétés intrinsèques des matériaux pour des composants plus efficaces. C'est un outil devenu clé pour l'amélioration des performances (Leobandung et al. 2005; Morin et al. 2011). Le transistor bipolaire à hétérojonction est quant à lui contraint par définition de par l'utilisation de l'alliage SiGe pour la base du composant, en contrainte pseudomorphique.

Des études de stress sur le transistor bipolaire ont mis en évidence une dépendance des paramètres tels que les courants ou les fréquences caractéristiques en fonction du niveau de stress engagé. Diverses études comme la simulation de contrainte in-situ (Al-Sa'di et al. 2010; Viet Dinh, Hong, and Jungemann 2011), ou l'application d'un stress externe post-fabrication (F. Yuan et al. 2004; Wang et al. 2007; Haugerud et al. 2005) ont été réalisés. En particulier, une étude du stress généré par les connexions métalliques pour la technologie de l'IHP a été présentée dans (Rücker et al. 2011).

C'est une technologie 0,13 μm dont les TBH présentent des performances $f_T = 240 \text{ GHz}$ / $f_{MAX} = 330 \text{ GHz}$ pour une dimension de fenêtre émetteur 0,17*0,89 μm^2 . Il est réalisé avec 5 niveaux de métal pour cette étude. A l'aide de ces structures dédiées et de simulations SPROCESS, il a été constaté que la position de ces connexions (qu'on appellera par la suite BEOL ou *back-end-of-line*) génère un stress sur le dispositif et modifie plus particulièrement le courant collecteur I_C à travers l'énergie de bande interdite. Le courant I_C augmente au maximum de 50% avec la présence des niveaux de métaux supérieurs (Figure 187). Le courant I_B est beaucoup moins influencé par ces variations de contrainte (~5%).

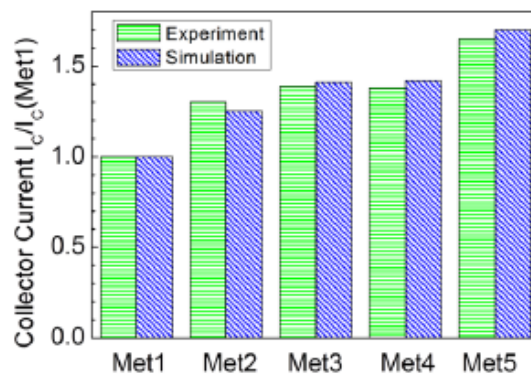


Figure 187 : Comparaison expérience/simulation de la contrainte mesurée après fabrication de chaque niveau de *dummies*

Ces variations sont attribuées principalement à une contrainte uniaxiale perpendiculaire à la surface, selon l'axe vertical, qui provient de la différence de coefficient de dilatation thermique entre l'aluminium et le silicium ou dioxyde de silicium. En ramenant le dispositif à température ambiante, l'aluminium rétrécit plus vite que les deux autres espèces. On constate jusqu'à 400 MPa de tension supplémentaire selon l'axe vertical Z entre le métal 1 et les métaux finaux 4 et 5, ainsi qu'une compression d'amplitude plus réduite selon les axes X et Y.

D'autre part, la position du BEOL par rapport au transistor joue indéniablement sur le fonctionnement de celui-ci. Suivant la configuration des niveaux de métaux, simulés par la présence de lignes de métal non connectées (*dummies*), le courant I_C peut être réduit de 50%, entre un composant avec les métaux tous alignés et un composant avec les métaux placés à côté du transistor (voir Figure 188).

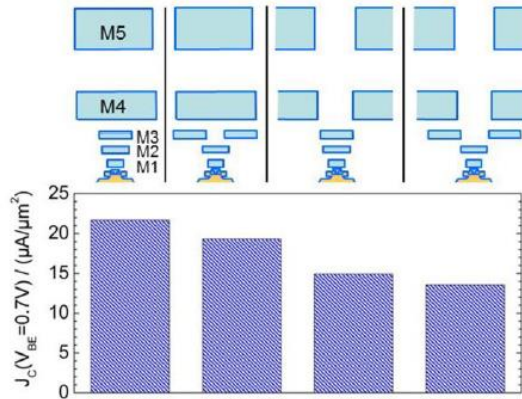


Figure 188 : Influence de la configuration des niveaux de métal au-dessus du composant sur la densité de courant collecteur

Dans cette thèse, nous avons également estimé l'impact du BEOL sur les technologies bipolaires de STMicroelectronics. Dans un premier temps nous présentons une étude sur BiCMOS9MW qui est une plateforme au BEOL particulièrement épais, conçu ainsi pour de meilleurs composants RF. Nous avons également réalisé une étude similaire en BiCMOS055, technologie alors en développement. Il est important de connaître l'impact du BEOL tant en mécanique qu'en thermique, pour des composants toujours plus performants.

A. En technologie BiCMOS9MW

Nous avons en technologie BiCMOS9MW un BEOL particulièrement épais, avec 6 niveaux de cuivre dont deux épais, pour une épaisseur totale proche de 15 μm . Nous allons étudier l'impact de la densité de niveaux de métal au-dessus du composant grâce à des structures dédiées, et constater les effets mécaniques et thermiques de telles configurations.

I. Structures dédiées

Dans un circuit intégré, un transistor peut avoir des niveaux de métaux au-dessus qui sont les connexions de transistors voisins et qui ne sont pas nécessairement reliées au transistor étudié. On peut alors se demander quel est l'impact de telles lignes sur le fonctionnement du composant. Pour cela nous avons dessiné des structures dédiées, où des *dummies* simulent la présence de telles connexions. Ce sont des lignes de métal physiquement présentes dans la structure, mais non connectées électriquement.

L'impact des connexions métalliques au-dessus du transistor bipolaire en BiCMOS9MW a pu être étudié à l'aide des 7 structures décrites dans le tableau suivant.

	Description
S1	Pas de <i>dummies</i>
S2	<i>dummies</i> M2
S3	<i>dummies</i> M2 à M3
S4	<i>dummies</i> M2 à M4
S5	<i>dummies</i> M2 à M5
S6A	<i>dummies</i> M2 à M6
S6B	<i>dummies</i> M2 à M6, connectés avec vias 1
S7	<i>dummies</i> plateaux M2 à M6

*M2 signifie « métal 2 » et ainsi de suite

Chacun des transistors, identiques jusqu'à la fin du FEOL, est connecté électriquement jusqu'au 6^e niveau de métal, à l'« extérieur » de la zone active, dans un plan parallèle à celui représenté sur la Figure 189. Des *dummies* sont placés au-dessus de la zone active du transistor, non connectés au transistor par l'absence de vias métalliques entre les niveaux M1 et M2 : les via1. L'ensemble des *dummies* sont néanmoins reliés entre eux par des vias successifs comme on peut le voir dans la figure. La structure S6B au contraire voit ses *dummies* connectés au reste du transistor par des via1, l'ensemble du BEOL lié à ce transistor y est donc connecté. La structure S7 utilise des *dummies* plateaux, non connectés, pour évaluer un pire cas car de densité maximale.

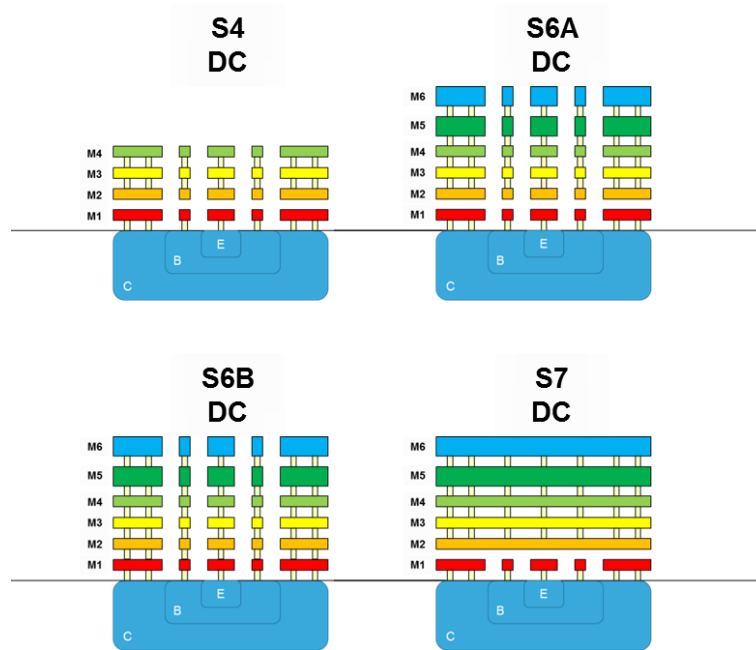


Figure 189 : Schémas des structures S4, S6A, S6B et S7 en configuration DC

Les schémas de connexion sont distincts suivant l'objectif du composant : mesures DC ou HF. Deux configurations différentes sont alors utilisées, toutes deux représentées sur la Figure 190 pour la structure S4 :

- pour la première les connexions sont faites au M1 et tirées dans le plan transversal du composant pour être ensuite ramenées aux différents plots DC (Emetteur, Base, Collecteur et Substrat). Les *dummies* Base et Collecteur sont reliés entre eux respectivement, en marge du transistor.
- pour la seconde configuration, les connexions sont faites au M6 proches du composant, puis reliées aux plots HF Base et Collecteur ; l'émetteur est relié à la masse. Les lignes de *dummies* au-dessus de l'émetteur, base et collecteur respectivement sont non connectées entre elles et donc indépendantes.

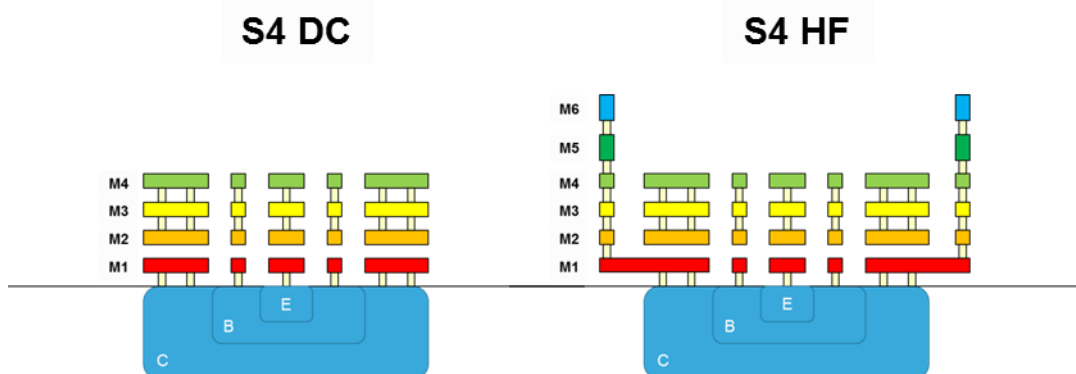


Figure 190 : Structure S4 en configuration DC et HF

On peut voir une coupe SEM de la structure S4 en configuration HF, sur la Figure 191.

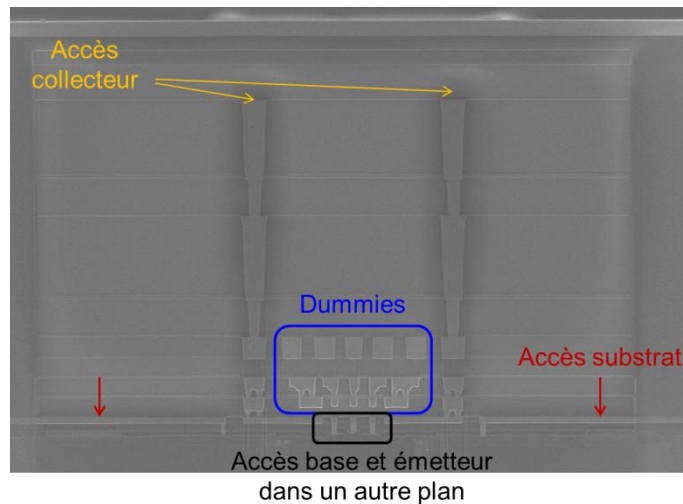


Figure 191 : Coupe SEM de la structure S4 en configuration HF

La densité de métal proche ou au-dessus du transistor n'est donc pas rigoureusement la même d'une configuration à l'autre (DC ou HF). Mais pour une même configuration, on peut comparer les structures entre elles.

II. Impact mécanique des connexions sur le transistor

Lors de la fabrication du module BEOL des transistors, une succession d'étapes permet la gravure et le dépôt de lignes métalliques dans les différentes couches de diélectriques. Alors le budget thermique vu par les plaques varie logiquement au cours du temps. Au moment du dépôt des lignes métalliques notamment, les matériaux sont totalement relâchés mécaniquement parlant. Mais lors du refroidissement à température ambiante, les métaux et diélectriques avoisinants ne vont pas rétrécir de façon homogène, créant ainsi des contraintes résiduelles dans le BEOL. Nous présentons ici des simulations mécaniques puis les résultats électriques obtenus à partir des échantillons silicium du lot J224IVG, pour évaluer l'impact des contraintes résiduelles du BEOL sur le transistor correspondant.

1. Simulations COMSOL

Nous avons réalisé des simulations COMSOL® via le module « Mécanique Statique » pour simuler les structures décrites précédemment et observer leur comportement mécanique en fonction de la densité de connexions métalliques.

1.a. Modèle utilisé

Pour cela nous avons reconstruit pour chacune des structures l'ensemble des interconnexions à partir des données du DRM (*Design Rules Manual*) pour avoir les données exactes en termes de géométrie et de matériaux. Les principaux éléments de ce modèle 2D sont les suivants :

- Analyse de la **dilatation thermique** des matériaux, pour un gradient de température de 400°C, correspondant à la variation maximale vue lors de la fabrication du BEOL, à 25°C la température ambiante. On choisit de simplifier le modèle en n'étudiant qu'une seule variation de température, au lieu de toute la séquence de fabrication. Des études préalables de l'équipe modélisation mécanique ont cependant montré qu'un tel modèle est suffisant pour comparer les différentes structures entre elles, sans donner de valeurs absolues pour les valeurs de stress.
- **Symétrie** le long de l'axe vertical Y, pour la simulation de la structure totale grâce à un miroir 2D.
- La structure va être amenée à rétrécir à cause du changement de température : pour une structure stable (et pour la convergence des calculs) le coin inférieur gauche est fixé.
- La bordure droite de la structure est bloquée en rotation mais libre de se déplacer selon l'axe horizontal X, pour éviter les effets de torsion dus au rétrécissement des matériaux à température ambiante.
- Les axes X et Y ainsi que l'ensemble de la géométrie sont représentés sur la Figure 192.
- Les plots d'aluminium permettant les connexions finales ne sont pas placés au-dessus des structures et ne sont donc pas simulés ici.

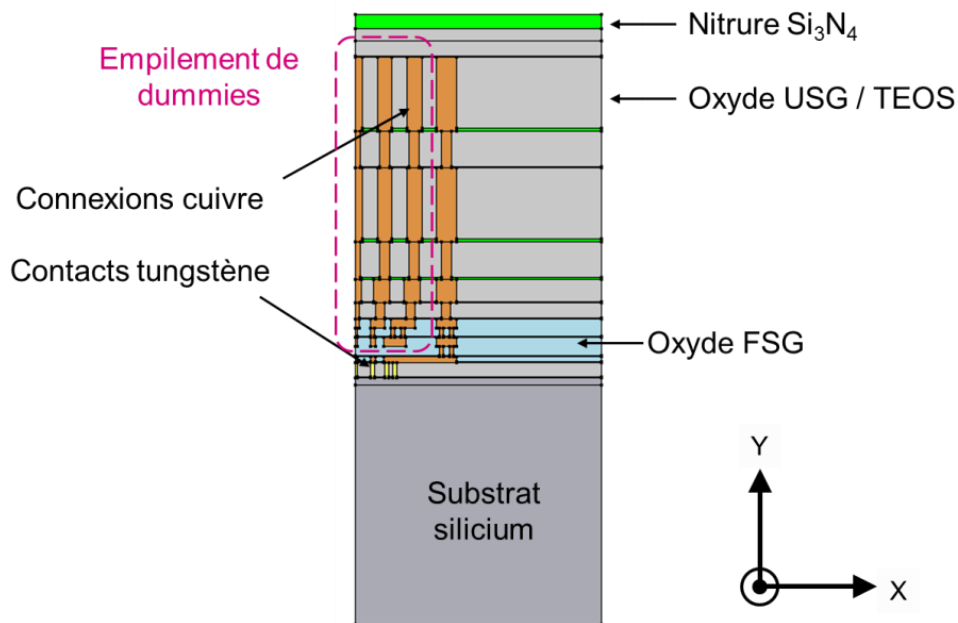


Figure 192 : Modèle géométrique construit via COMSOL, structure S6A

On utilise les valeurs suivantes pour les propriétés mécaniques des différents matériaux : module d'Young, coefficient de dilatation thermique CTE, coefficient de Poisson et densité volumique.

		Module d'Young	CTE	Coef. de Poisson	Densité
		10 ⁹ Pa	10 ⁻⁶ K ⁻¹	-	kg/m ³
Substrat	Si	170	2,6	0,28	2329
DTI	Poly Si	169	2,6	0,22	2320
Oxyde	FSG	72	3,0	0,17	2200
	USG				
Nitride	Si ₃ N ₄	170	2,3	0,23	3100
Contacts	W	411	4,5	0,28	19350
Connexions	Cu	128	16,5	0,34	8960
	Al	70	23,1	0,33	2700

Le transistor n'est pas simulé ici par simplification du modèle, étant donné la complexité de la structure du bipolaire. Les résultats obtenus sont donc qualitatifs et on utilisera principalement la comparaison entre les différentes structures pour conclure.

1.b. Résultats

1.b.i. Augmentation de la contrainte avec la densité

Les simulations présentées ici ont été réalisées à partir des configurations HF de chaque transistor. La Figure 193 et la Figure 194 suivantes représentent le champ de contrainte σ_{xx} existant dans chacune des structures S1, S4, S6A et S7 dans les conditions décrites précédemment. Par rapport à la géométrie présentée précédemment, la symétrie est appliquée pour avoir la structure en entier.

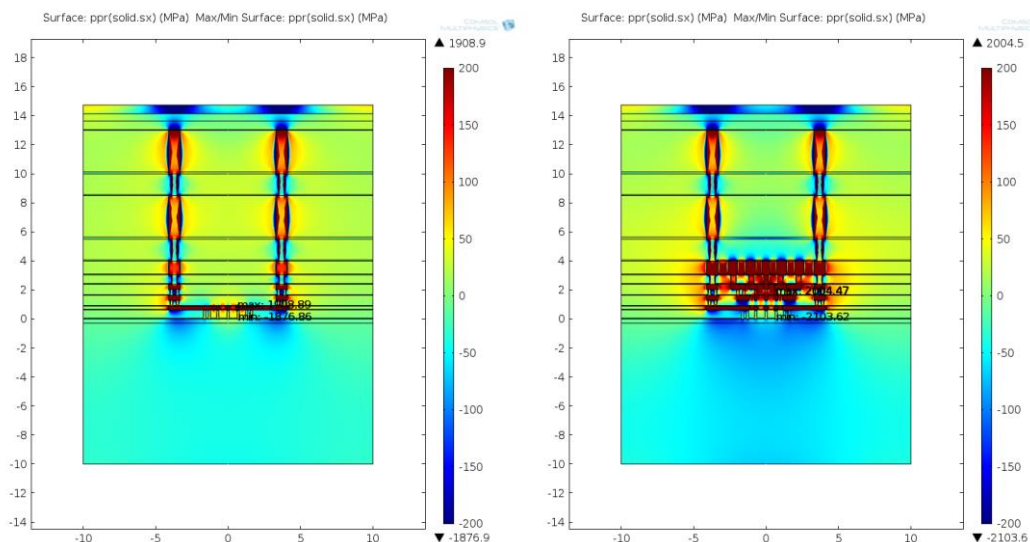


Figure 193 : Composante σ_{xx} du tenseur de contrainte, pour les structures S1 et S4

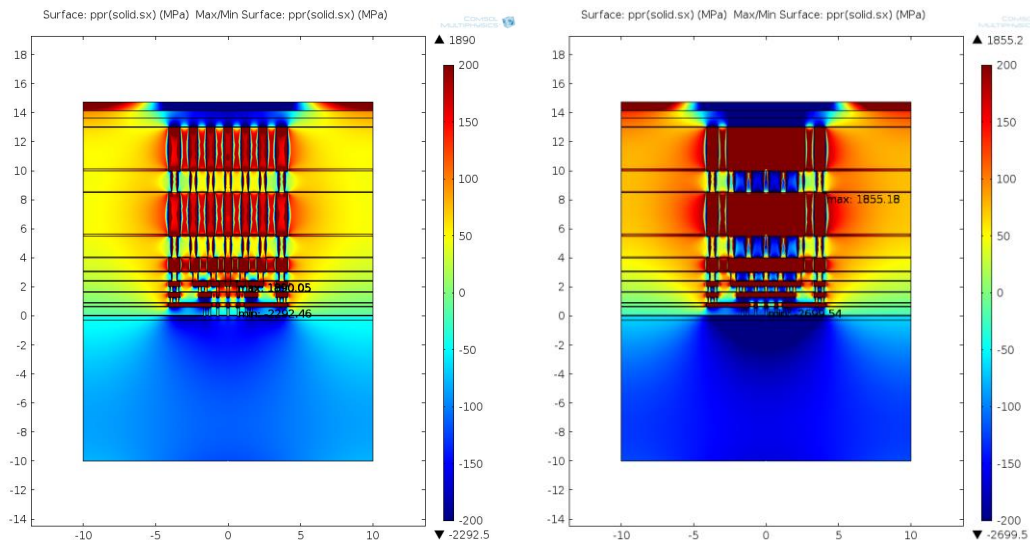


Figure 194 : Composante σ_{xx} du tenseur de contrainte, pour les structures S6A et S7

On constate que la contrainte dans le silicium du substrat devient de plus en plus compressive (contrainte négative) quand la densité de métal augmente. A l'inverse, les couches diélectriques ainsi que les métaux sont de plus en plus en tension (contrainte positive).

D'où vient ce phénomène ? Outre les contraintes liées à la nature des procédés de fabrication des différents niveaux du BEOL, une contrainte résiduelle est créée à cause de la différence des coefficients de dilatation thermique des différents matériaux. Lors du refroidissement après le dépôt du métal, le métal va rétrécir plus vite que les matériaux environnants de par son fort coefficient de dilatation, créant alors des contraintes mécaniques dans l'ensemble du BEOL. Cette contrainte est alors transmise au composant.

Pour une meilleure appréhension de la variation de la contrainte dans le silicium, nous avons extrait les valeurs des composantes XX et YY du tenseur de stress, le long d'une ligne horizontale dans le substrat comme représenté sur la Figure 195.

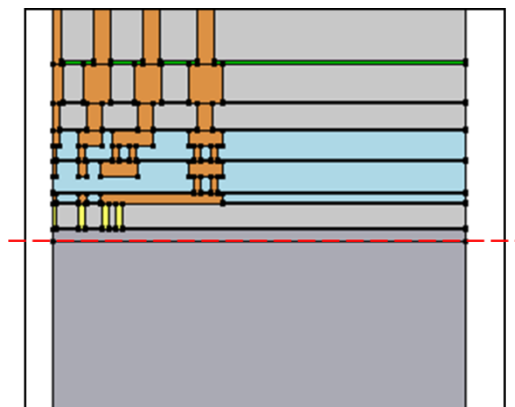


Figure 195 : Schéma de la ligne horizontale le long de laquelle sont extraits les composantes du tenseur de stress

Les résultats de cette extraction en XX et en YY sont présentés respectivement dans la Figure 196 et la Figure 197. Ces simulations montrent l'augmentation de la contrainte dans le silicium sous-jacent, proportionnellement à la densité de métal au-dessus. Il est également intéressant de constater que chaque pic indiqué par une flèche noire correspond à la position d'un contact. Loin du transistor, la contrainte est réduite et proche de zéro pour les BEOL les

moins denses. La composante XX du tenseur est d'autant plus compressive que la structure est dense, la tension en YY augmente.

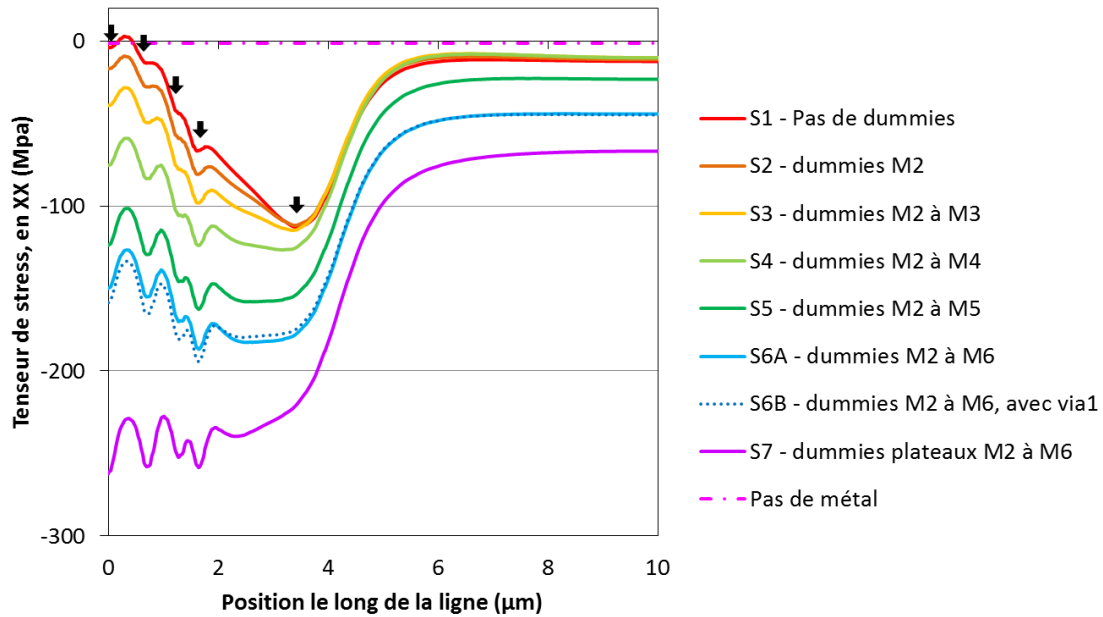


Figure 196 : Extraction de la composante XX (axe horizontal) du tenseur de stress le long d'une ligne dans le silicium

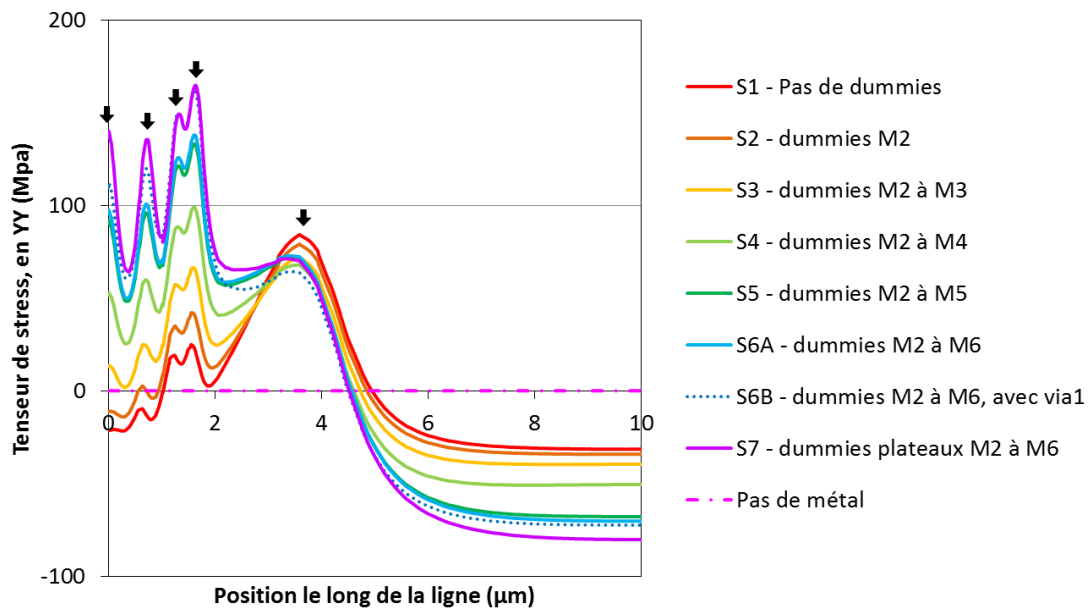


Figure 197 : Extraction de la composante YY (axe vertical) du tenseur de stress le long d'une ligne dans le silicium

En extrayant la valeur des composantes du tenseur, en un point sous le contact émetteur, donc centré dans le composant, on obtient la Figure 198. Il est net que la contrainte compressive (en tension resp.) en XX (en YY) est de plus en plus forte, passant de 0 à -270 MPa en XX et de 0 à 140 MPa pour la contrainte en YY.

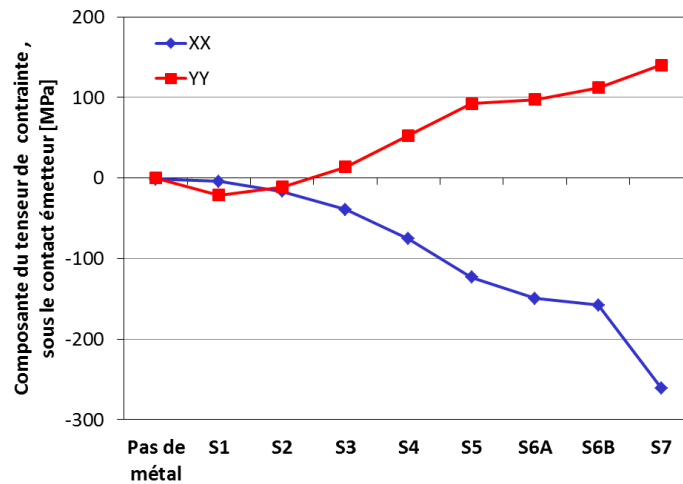


Figure 198 : Extraction de la contrainte en un point de la ligne, sous le contact émetteur, pour les composantes XX et YY du tenseur de stress

Nous verrons dans la partie A.II.2 que cet effet est directement visible sur les paramètres électriques : en effet l'augmentation de la contrainte compressive en XX va se cumuler avec le comportement pseudomorphique de l'alliage SiGe de la base.

1.b.ii. Comparaison du matériau utilisé pour les connexions

A partir du même modèle pour la structure S6A, nous avons simulé deux matériaux différents pour les connexions : le cuivre et l'aluminium. Les valeurs des tenseurs en X et en Y le long de la ligne sont représentées Figure 199.

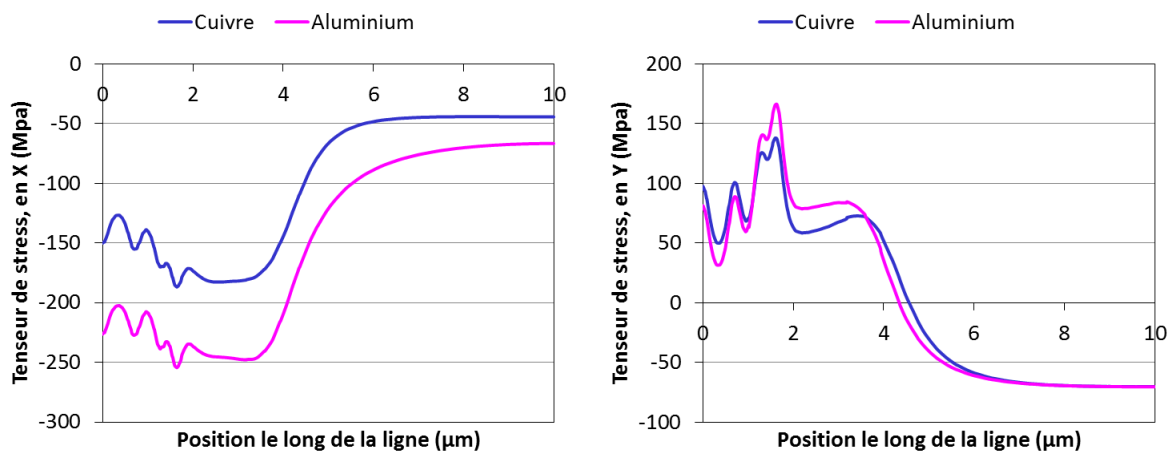


Figure 199 : Composante XX et YY du tenseur de stress pour des connexions de matériaux différents

On constate que la contrainte en XX est nettement plus importante pour de l'aluminium (+50 MPa). Pour la composante en YY, la différence est moindre et se répartit différemment dans le silicium. Ces différences viennent principalement de la différence en coefficient de dilatation thermique *CTE* entre le cuivre et l'aluminium : il est plus grand pour l'aluminium donc le changement de température entre 400 et 25°C provoque une déformation plus forte dans ce cas.

$$CTE @ T=25^{\circ}C : Al \quad 23,1 \cdot 10^{-6} K^{-1} ; \quad Cu \quad 16,5 \cdot 10^{-6} K^{-1}$$

Historiquement, les connexions en microélectronique étaient en aluminium. Outre les propriétés de conduction du cuivre, son utilisation pour les connexions a ainsi permis de réduire la contrainte.

1.b.iii. Simulation de l'isolation par tranchées

La modélisation des structures est simplifiée mais on peut se poser la question de l'impact qu'aurait la présence des STI et DTI. Sur la Figure 200 est représenté le champ de contrainte en X, sans ou avec STI/DTI, pour la structure S6A. On voit la modification du champ de contrainte autour des structures d'isolation car le matériau qui les constitue est moins contraint. Loin de ces éléments, le champ de contrainte est peu différent entre les deux configurations.

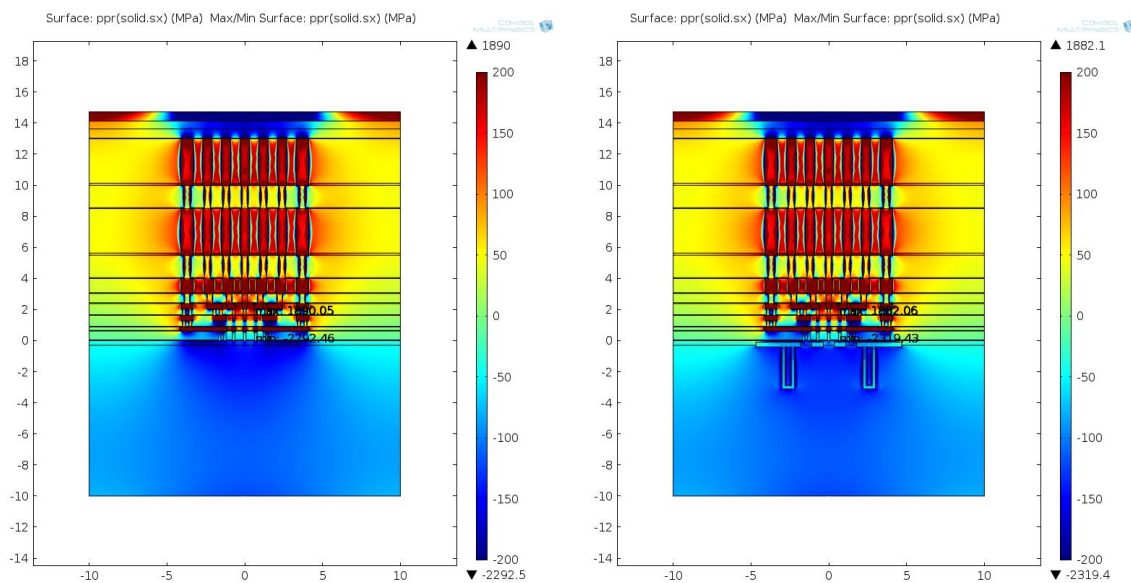


Figure 200 : Champ de contrainte en XX (axe horizontal) pour la structure S6A sans ou avec isolation

On constate (Figure 201) que la présence des tranchées d'isolation diminue nettement la contrainte en XX selon la ligne dans le silicium où sont également présentes les tranchées STI, mais montre peu de différences autres que géométriques en YY.

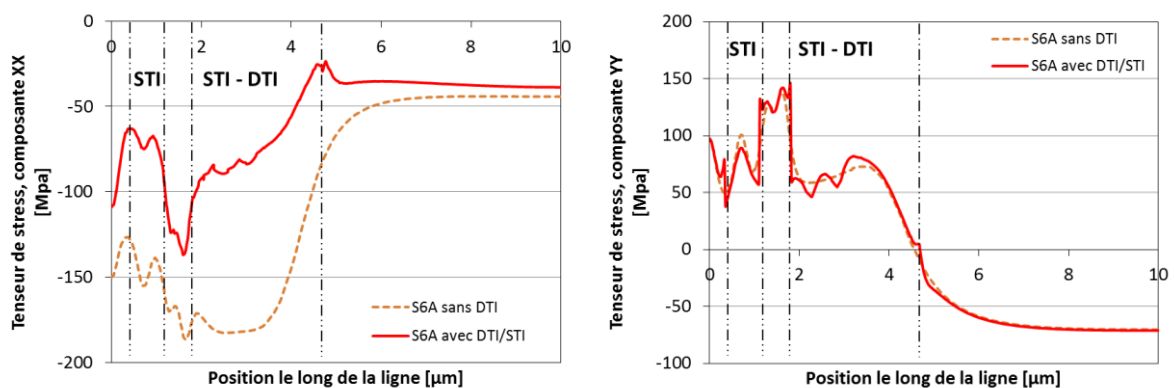


Figure 201 : Tenseur de stress selon X et Y, en fonction de la présence des tranchées d'isolation ou non

1.b.iv. Epaisseur du substrat

Dans les simulations précédentes, nous avons utilisé un substrat de profondeur $10\ \mu\text{m}$ (pour une épaisseur réelle de $775\ \mu\text{m}$ en fin de fabrication avant amincissement du substrat) suffisant pour pouvoir comparer les structures entre elles. Nous étudions ici la variation de l'épaisseur du substrat. On montre une réduction de la contrainte en X quand le substrat est plus épais, sans que cela n'implique de changement pour la contrainte en Y. On remarque cependant que la nature de la contrainte (en tension ou en compression) horizontalement loin du composant dépend de l'épaisseur du substrat simulée. La simulation est plus réaliste quand l'épaisseur simulée est supérieure à $100\ \mu\text{m}$, mais nous étudions le comportement relatif des structures et cela ne change donc pas nos conclusions.

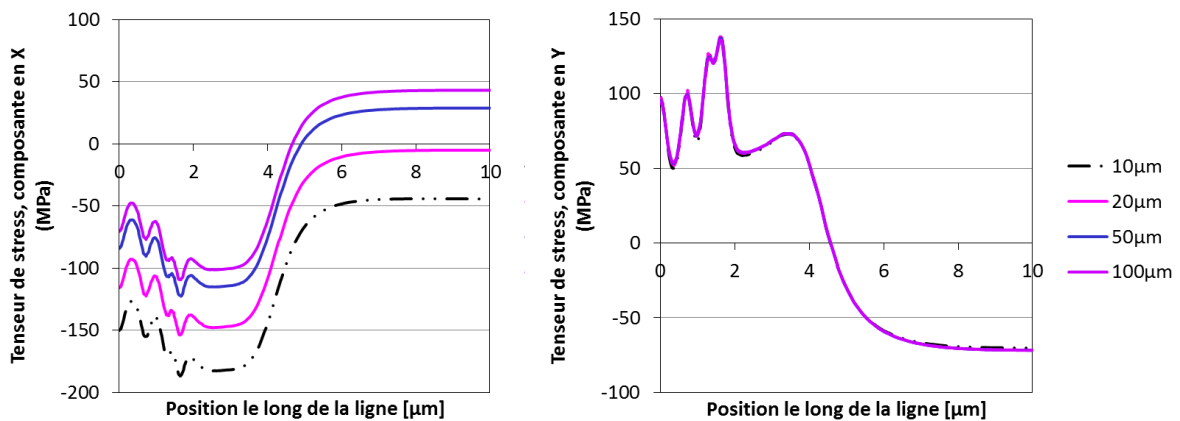


Figure 202 : Tenseur de stress selon X et Y, en fonction de la profondeur simulée du substrat

Comme on le verra dans la suite, la contrainte a un effet bénéfique sur les performances du composant. On peut donc se poser la question du bénéfice d'un substrat aminci qui augmente potentiellement cette contrainte. Cela fait l'objet d'une collaboration avec une autre thèse, afin d'évaluer les paramètres des transistors dans le cas d'un substrat très mince. Pour éviter des problèmes d'arquage, la puce ainsi amincie est reportée sur un autre support, électriquement conducteur.

2. Résultats électriques

Les différentes structures présentées plus tôt ont été fabriquées sur silicium, sur le lot J224IVG. Nous présentons ici leurs résultats électriques et vérifions qu'ils sont cohérents avec les simulations précédentes.

2.a. Courants

Les paramètres de courant β , I_C , I_B pour une polarisation $V_{BE} = 0,7\ \text{V}$ sont représentés sur la Figure 203. On voit que ces trois paramètres augmentent graduellement avec la densité des structures, de S1 à S7 : jusqu'à +16,5%, +25% et +5% respectivement. En parallèle la tension de claquage BV_{CEO} diminue de manière limitée (de quelques centièmes de V) mais en accord avec l'évolution du gain β . D'autres paramètres présentés dans le tableau suivant telles que les

tensions de claquage BV_{CBO} & BV_{EBO} , ou encore les tensions de Early ne sont apparemment pas influencés par le stress mécanique.

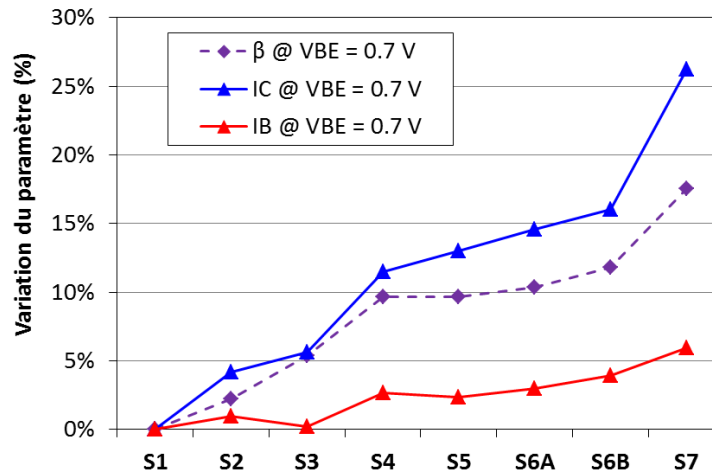


Figure 203 : Variation des paramètres β , I_B et I_C pour $V_{BE} = 0,7$ V, en fonction des différentes structures BEOL

	S1	S2	S3	S4	S5	S6A	S6B	S7
BV_{CBO} (V)	5,50	5,50	5,50	5,50	5,48	5,51	5,50	5,49
BV_{CEO} (V)	1,63	1,63	1,62	1,62	1,62	1,62	1,62	1,61
BV_{EBO} (V)	2,89	2,89	2,89	2,87	2,89	2,87	2,88	2,89
V_{AF} (V)	456	458	471	468	474	461	485	474
V_{AR} (V)	1,03	1,03	1,02	1,02	1,02	1,03	1,02	1,02

L'augmentation du courant collecteur est comme nous allons le détailler une conséquence directe de la variation de l'énergie de bande interdite liée au stress.

2.b. Variation de l'énergie de bande interdite

La contrainte supplémentaire apportée par la densité de la structure BEOL influe sur la valeur de la bande interdite (ΔE_{gr}) et s'ajoute à la variation initiale apportée par le germanium, ΔE_{g0} .

$$\Delta E_g = \Delta E_{g0} + \Delta E_{gr}$$

On reprend l'expression du courant collecteur définie dans le Chapitre I, en fonction des paramètres du SiGe. Dans la suite et pour simplifier le calcul, nous ferons l'hypothèse que les rapports η et γ ne varient pas avec le stress additionnel. Cela suppose que la variation d'énergie de la bande interdite associée reste limitée. Les variations des paramètres en fonction de la quantité de Ge – et donc pour les niveaux de stress correspondants dans le SiGe – sont disponibles dans (Cressler 2003). On fait également l'approximation que le courant collecteur normalisé est linéaire en fonction de la polarisation V_{BE} ce qui est vrai sur un court intervalle V_{BE} . On obtient l'expression suivante :

$$I_{C_{norm}} = \frac{I_C}{\exp\left(\frac{qV_{BE}}{kT}\right)} = \frac{qA_e}{G_{BSi}} \eta \gamma \exp\left(\frac{\Delta E_g}{kT}\right) \sim \Psi \exp\left(\frac{\Delta E_g}{kT}\right) [A \cdot V_{BE} + B]$$

En extrayant la pente et l'ordonnée à l'origine de cette courbe pour chaque structure, on arrive alors à extraire ΔE_{gr} correspondant à la variation associée au stress additionnel et caractéristique de chacune.

$$\Delta E_{gr} = \frac{kT}{q} \ln\left(\frac{B(S_i)}{B(S_1)}\right)$$

Grâce à cette méthode d'extraction, nous avons pu évaluer la réduction de l'énergie de bande interdite et la quantité de germanium qui correspondrait à une telle variation :

$$\Delta E_g = 0,74 * x_{Ge}$$

On se place sur un intervalle V_{BE} [0,78 à 0,86V] sur lequel le courant normalisé $I_{C_{norm}}$ est quasi-linéaire avec un coefficient de régression de 0,999. Pour la structure simple la plus dense S6A, on constate une réduction de -6,6 meV pour l'énergie de bande interdite, ce qui correspondrait à l'ajout de 0,9% de Ge dans la base (Figure 204). Les valeurs extraites sont les moyennes pour 9 puces, à partir des mesures de paramètres S sur les structures HF. Les variations restent faibles et valident les hypothèses choisies plus tôt. Pour la structure S7 la contrainte est encore plus importante, on retrouve ainsi les résultats des simulations. La structure S6B n'a pas pu être mesurée car la configuration HF a un défaut de conception sur silicium.

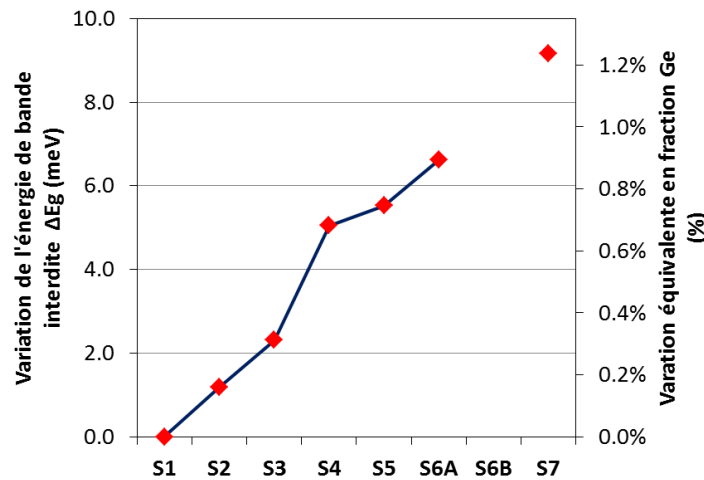


Figure 204 : Variation de l'énergie de bande interdite en fonction des différentes structures BEOL, et variation équivalente en fraction de germanium

On constate donc l'effet direct de la contrainte mécanique sous la forme d'une variation de l'énergie de bande interdite, directement répercutée sur le courant collecteur principalement.

2.c. Mesures dynamiques

L'évolution de la fréquence de transition du gain en courant f_T est représentée sur la Figure 205 gauche : pour une valeur de V_{BE} fixée, f_T augmente jusqu'au pic et en particulier à $V_{BE} = 0,82V$, on constate une augmentation de 21%. Ces résultats sont directement corrélés avec l'évolution du courant I_C (cf Figure 205 droite), montrant ainsi que la variation de la contrainte se manifeste pour f_T principalement par celle de l'énergie de bande interdite. Au pic f_T , le pourcentage d'augmentation est plus limité (3%) car les effets de haute injection l'emportent.

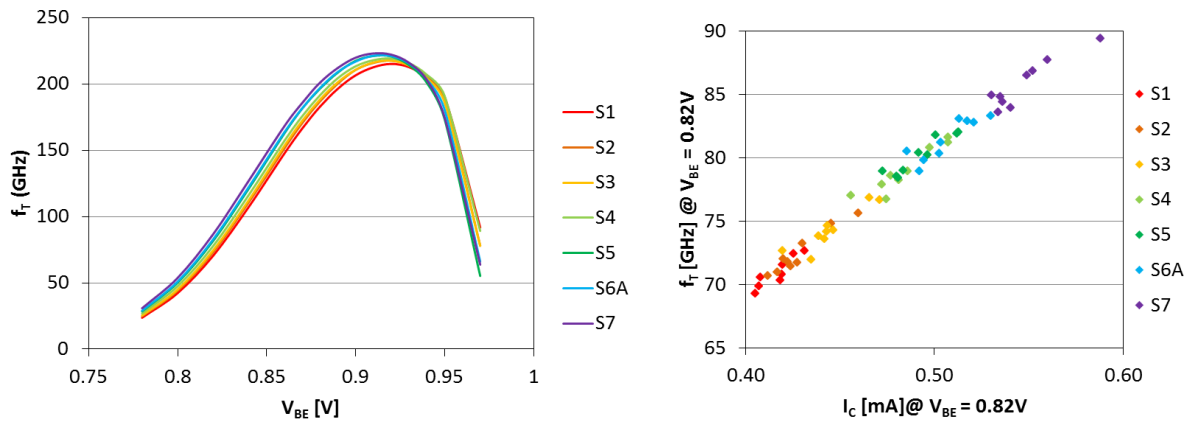


Figure 205 : Caractéristique f_T vs V_{BE} à $V_{CB}=0,5V$ pour les différentes structures (gauche) ; corrélation f_T vs I_C à $V_{BE}=0,82V$ (droite)

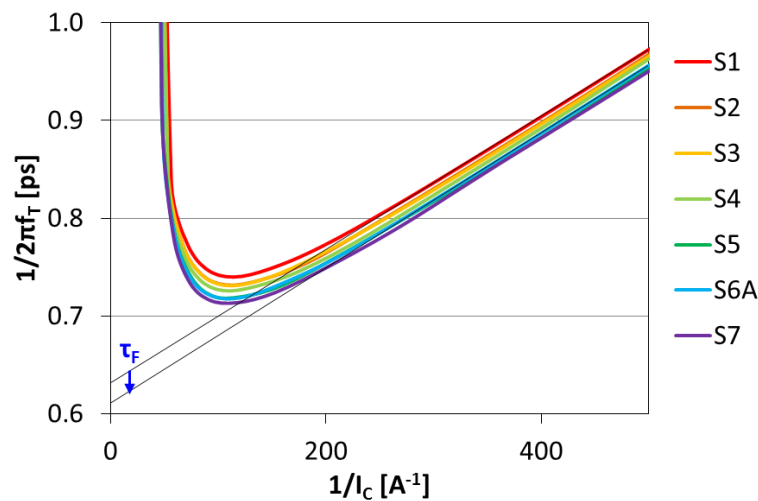


Figure 206 : $1/2\pi f_T$ vs $1/I_C$ à $V_{BE} = 0,82V$, pour les différentes structures ; permet l'extraction de τ_F à l'ordonnée à l'origine

	S1	S2	S3	S4	S5	S6A	S7
Temps de transit τ_F	-	-1,1%	-1,7%	-2,6%	-3,6%	-3,7%	-4,3%

L'extraction du temps de transit direct τ_F (à partir de la Figure 206) montre une réduction de celui-ci avec la densité croissante du BEOL ce qui traduit une légère augmentation de la mobilité des électrons dans la base μ_{nB} , – valeur suffisamment modérée pour justifier les hypothèses faites plus tôt. On constate également que les capacités de jonction base-émetteur C_{BE} et base-collecteur C_{BC} ne varient pas ou peu (cf Figure 207), montrant encore une fois la prépondérance de la variation en ΔE_g sur les autres paramètres.

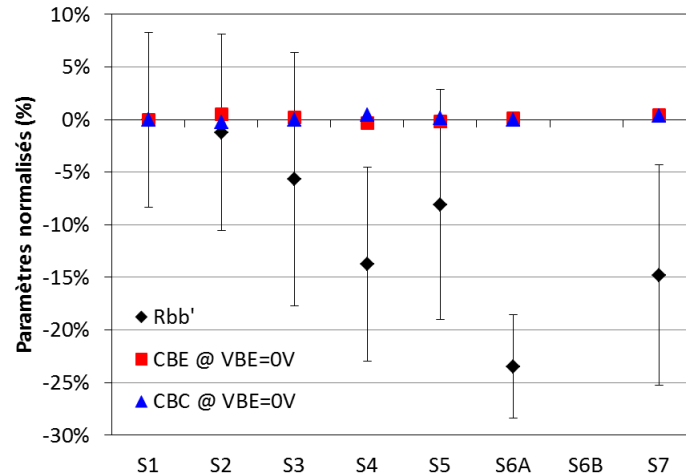


Figure 207 : Evolution normalisée de la résistance de base R_B (extraction à partir des paramètres S à $V_{BE}=0,87V$), de la capacité base-émetteur C_{BE} et base-collecteur C_{BC}

Enfin, on constate l'augmentation de 12% de la fréquence maximale d'oscillation f_{MAX} à $V_{BE} = 0,82V$ (Figure 208). Elle peut être expliquée en partie par l'augmentation de f_T mais aussi par la diminution de la résistance de base représentée sur la Figure 207. L'extraction précise de la résistance de base R_B reste un challenge aujourd'hui (Stein, Celi, et al. 2013), mais la tendance générale obtenue peut nous donner des résultats qualitatifs intéressants. La réduction de R_B ainsi mise en évidence suggère une amélioration de la mobilité des trous dans la base μ_{hB} (Alloys et al. 1993).

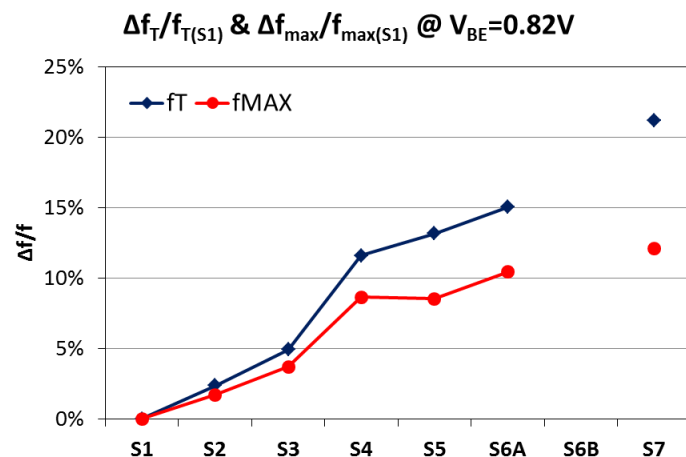


Figure 208 : Variation (%) des fréquences f_T et f_{MAX} à $V_{BE} = 0,82V$, pour les différentes structures étudiées

3. Conclusion

D'une manière générale, on a pu montrer que la contrainte additionnelle apportée par les *dummies* a un effet direct non négligeable sur les performances du transistor : le courant collecteur I_C est augmenté pour des niveaux modérés en V_{BE} , ainsi que les fréquences f_T et f_{MAX} . Ces variations sont la conséquence de l'augmentation de la contrainte dans le composant en fonction de la densité de métal, contrainte qui est créée par la différence de coefficient de dilatation thermique entre le métal et les diélectriques environnants. D'une façon simple, plus il y a de métal, plus la contrainte est importante.

L'ensemble de cette étude est en ligne avec les résultats obtenus dans (Rücker et al. 2011) malgré la technologie différente : la différence de coefficient de dilatation thermique entre le métal et le reste des matériaux crée des contraintes mécaniques qui se répercutent dans le silicium. Cependant l'augmentation du courant collecteur est moindre pour la technologie B9MW (max. 25%) comparé à la technologie de l'IHP (max. 50%). Plusieurs hypothèses peuvent expliquer la différence d'amplitude : la nature du matériau utilisé (Al pour IHP, Cu pour B9MW), le nombre de métaux et leur épaisseur, la position de ces *dummies* par rapport au composant. On peut aussi imaginer que la contrainte supplémentaire dans la base est plus ou moins prononcée en fonction du profil de germanium initial. Une différence cependant, dans notre cas nous attribuons la variation à l'augmentation de la contrainte compressive dans le plan de la base et non à la contrainte verticale.

III. Comportement thermique

En plus de l'impact mécanique, nous avons également étudié l'impact de la structure du BEOL sur la diffusion de chaleur du composant et sur les paramètres de puissance, à travers des simulations et des mesures.

1. Simulations

1.a. Modèle utilisé

Pour l'étude thermique nous avons utilisé la même géométrie que précédemment avec les tranchées d'isolation DTI. Les conditions de simulations, toujours sous COMSOL ® mais avec le module « Transfert de chaleur dans les solides », sont les suivantes :

- Température initiale de 25°C dans tous les domaines
- Température ambiante (25°C) fixée sur les bordures haute et droite de la structure
- Axe de symétrie à gauche de la structure
- Isolation thermique au fond du substrat, de profondeur simulée 775 μm
- Source de chaleur sous le contact émetteur ($P = 3,6 \cdot 10^{17} \text{ W/m}^3$, calculée à partir d'un point de fonctionnement du composant réel et en supposant la base intrinsèque comme source de chaleur)
- Simulation en état stationnaire

D'autre part les valeurs des paramètres en jeu pour les matériaux sont :

		Capacité calorifique à pression constante	Densité volumique	Conductivité thermique
		C_p [J/(kg.K)]	ρ [kg/m ³]	k [W/(m.K)]
Substrat	Si	700	2329	130
DTI	Poly Si	678	2320	34
Oxyde	FSG	730	2200	1,4
	USG			
Nitruire	Si ₃ N ₄	700	3100	20
Contacts	W	132	19350	174
Connexions	Cu	384	8960	401

On notera cependant que ce modèle prend en compte les matériaux et non les spécificités du bipolaire et les courants qui circulent.

1.b. Résultats

A partir de ces simulations nous avons extrait la conductivité thermique k_{TH} moyennée sur l'ensemble de notre géométrie. La Figure 209 montre l'augmentation de ce paramètre avec la densité de métal, augmentation qui est très limitée car la contribution principale est celle du substrat, qui ne varie pas d'une structure à l'autre. La variation de k_{TH} en ne considérant que l'empilement BEOL est conséquente mais lorsqu'on considère également le substrat, elle devient très faible.

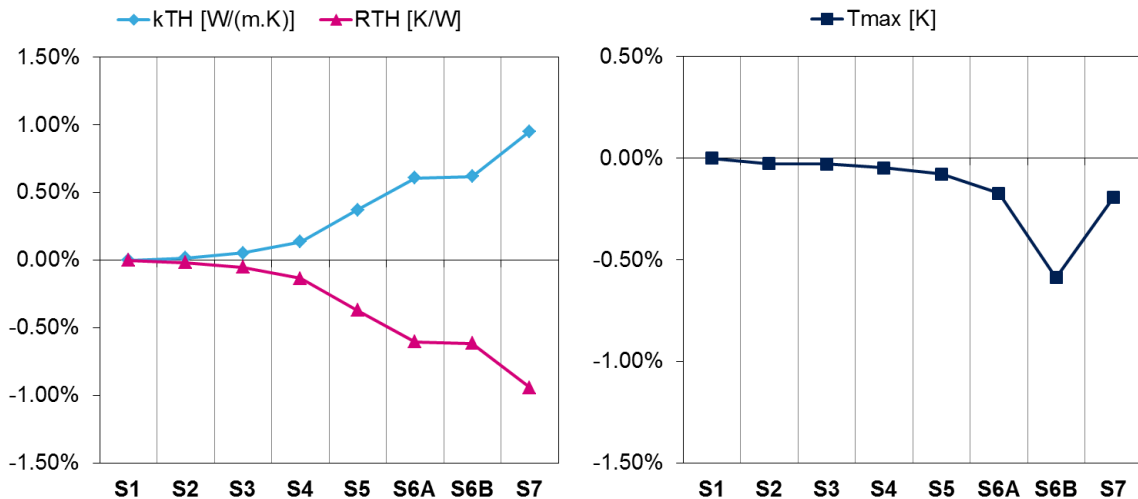


Figure 209 : Résultats simulations thermiques pour la technologie B9MW, conductivité thermique k_{TH} et résistance thermique R_{TH} et température maximale T_{max} dans la structure

On estime la résistance thermique R_{TH} de la structure à partir de la conductivité thermique k_{TH} tel que :

$$R_{TH} = \frac{e}{k_{TH} S}$$

e et S sont les dimensions de la structure BEOL, constantes pour toutes les structures. La variation de la résistance thermique est ici directement dépendante des matériaux et indépendante du fonctionnement du transistor. De manière cohérente, on peut voir la diminution de R_{TH} avec la densité de métal. Il n'y a pas de différence en R_{TH} et k_{TH} entre S6A et S6B mais la dissipation de chaleur est meilleure pour S6B suivant la Figure 209. Si on extrait la composante k_{TH_YY} en la ramenant sur un même axe, on obtient la Figure 210. Elle montre une valeur de k_{TH_YY} plus forte pour S6B, soit une meilleure conduction au niveau du via1. En fait, la variation de k_{TH} existe localement mais l'extraction à travers un paramètre global ne rend pas compte de celle-ci, car cela reste une variation limitée face à l'amplitude du k_{TH} moyen calculé.

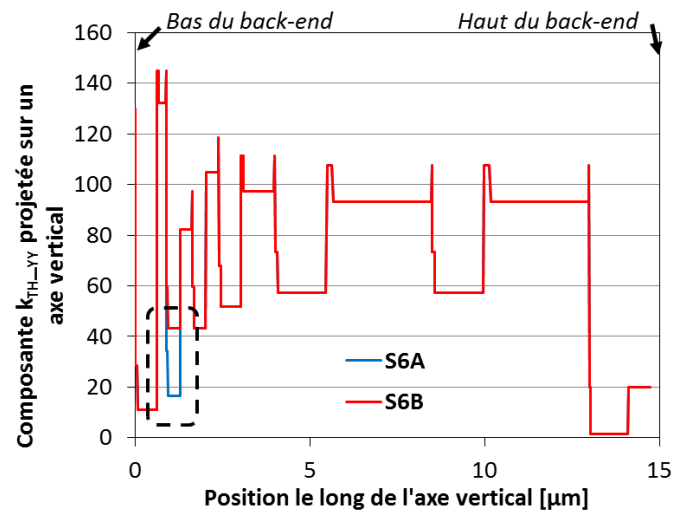


Figure 210 : Résultats simulations thermiques pour la technologie B9MW, composante k_{TH_YY} de la conductivité thermique projetée sur un même axe vertical

Dans la Figure 211, nous nous limitons à la présentation des trois structures S1, S6A et S6B par simplification. On voit que le flux de chaleur représenté sur les figures de droite, se propage principalement par le substrat. Ce n'est pas visible clairement sur ces vues mais les flèches indiquant le flux de chaleur vers le substrat ont une amplitude décroissante en fonction de la densité de métal, suggérant que la dissipation de chaleur à travers le BEOL est légèrement augmentée. Entre les structures S6A et S6B on peut clairement observer le changement de température dans le BEOL, en fonction de la présence ou non des via entre les niveaux M1 et M2. L'élément qui joue le plus pour une meilleure dissipation de chaleur semble donc être la connexion entre le composant et les *dummies*.

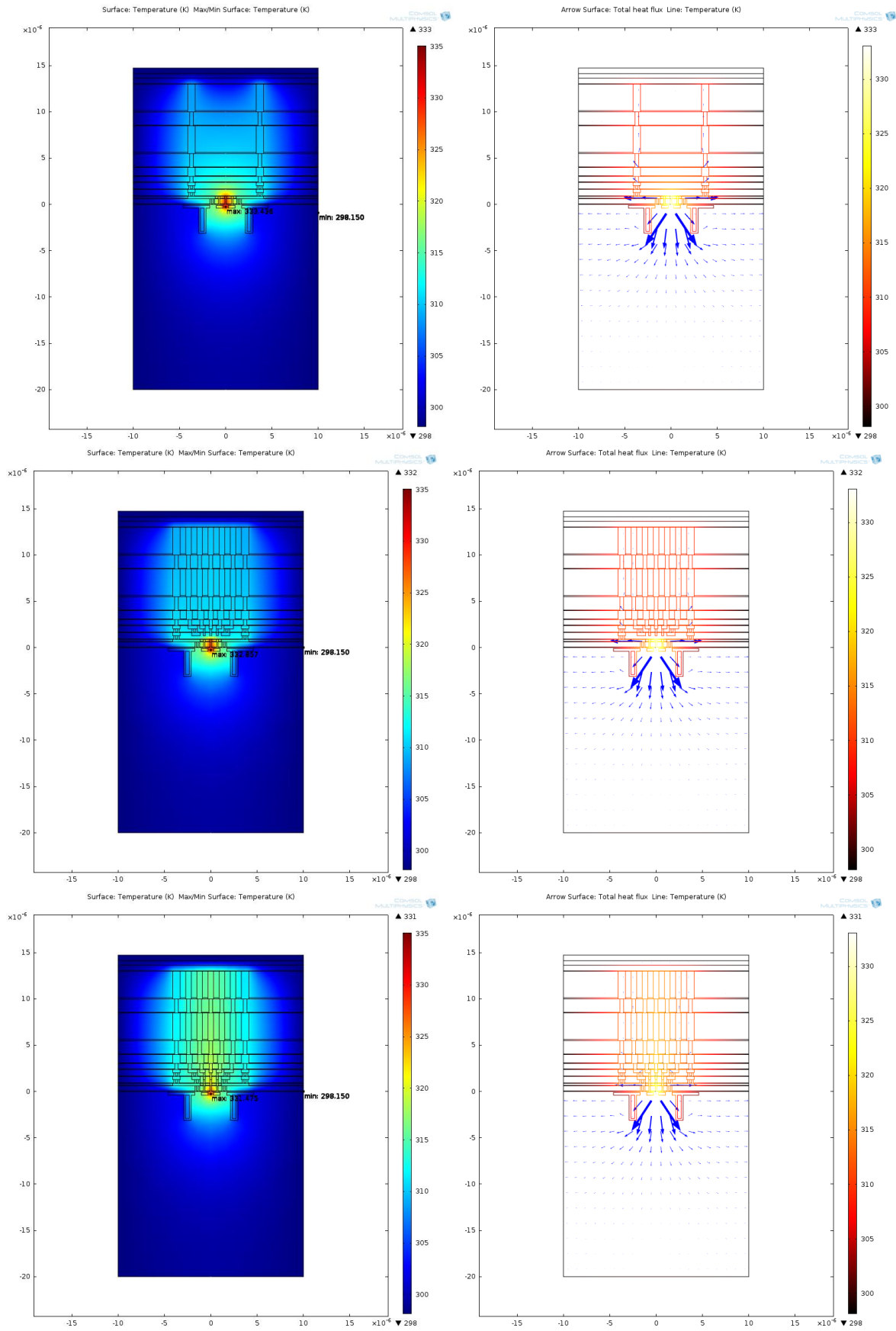


Figure 211 : Simulation thermique des structures S1, S6A et S6B ; température et flux de chaleur

Lorsque la chaleur se transmet aux *dummies* supérieurs sans connexions (S1 à S6A / S7), le mécanisme de conduction est moins efficace car il faut traverser les couches de

diélectriques. A l'inverse dans le cas de *dummies* connectés, la conduction à travers le métal des vial rend la diffusion de chaleur plus efficace.

2. Extraction de la résistance thermique sur silicium

La résistance thermique définie en-dessous caractérise l'auto-échauffement présent dans les transistors bipolaires. Des transistors rapides vont nécessiter des densités de courants de plus en plus fortes et provoquent donc une élévation de température de plus en plus conséquente. Dans les modèles d'extraction des bipolaires, elle est définie dans un réseau parallèle au réseau électrique.

La résistance thermique R_{TH} est définie usuellement par :

$$R_{TH} = \frac{\Delta T}{\Delta P_{diss}} = \frac{\left. \frac{dV_{BE}}{dP_{diss}} \right|_T}{\left. \frac{dV_{BE}}{dT} \right|_{P_{diss}}}$$

avec T la température de mesure, et donc de la plaque de silicium lors de la mesure, V_{BE} la polarisation base/émetteur et P_{diss} la puissance dissipée par le composant, définie par :

$$P_{diss} = I_C V_{CB} + I_B V_{BE}$$

fonction des courants et polarisations internes du transistor.

Il existe différents types de méthodes d'extraction sur silicium : mesures en température en régime DC (extraction V_{BE} vs T et V_{BE} vs V_{CB}) (Barbalat 2006), (Setekera, Toorn, and Kloosterman 2013), (Sahoo et al. 2013) ou des mesures en température en fréquence (Hasnaoui et al. 2012). Ici on étudie la variation du courant de base I_B en fonction de la polarisation V_{CB} , qui détermine la puissance dissipée dans une méthode basée sur celle décrite dans (Tran et al. 1997).

2.a. Principe de la mesure

Le courant de base I_B est dépendant de la température à travers le *bandgap* E_G et la densité intrinsèque du matériau, proportionnelle à T^3 . On mesure dans un premier temps le courant I_B en fonction de la polarisation V_{BE} , pour différentes températures. On peut en déduire la dépendance exacte de I_B en fonction de la température. Dans un deuxième temps, on réalise des mesures $I_B(V_{CB})$ à V_{BE} constant. Alors la seule variation possible viendra de la température ou du phénomène d'avalanche pour de forts V_{CB} .

La courbe $I_B/I_{B0}(V_{CB})$ à faible V_{BE} montre le phénomène d'avalanche. Quand on augmente la polarisation V_{BE} on se trouve dans la zone d'auto-échauffement, et on constate l'augmentation de I_B avec V_{CB} . La variation de I_B est alors utilisée comme « thermomètre » : il augmente d'environ 8% par °C d'élévation de température.

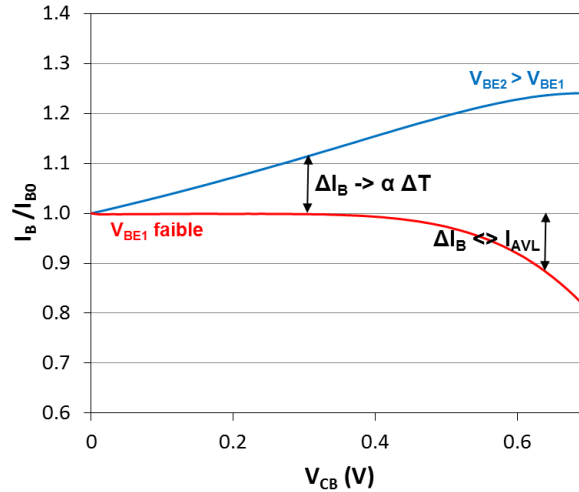


Figure 212 : Exemple de caractéristique $I_B(V_{CB})$ pour deux polarisations V_{BE} différentes, témoin du phénomène d'avalanche et/ou d'auto-échauffement

De la variation de ΔI_B on peut alors déduire la variation de la température grâce à la première caractérisation, et en connaissant la puissance dissipée $P = V_{CB} \cdot I_C + V_{BE} \cdot I_B$, calculer R_{TH} . De fait, la résistance thermique R_{TH} et la résistance émetteur R_E sont difficiles à dissocier car leurs effets se manifestent pour les mêmes niveaux de polarisation.

Par simplification, nous n'utilisons dans la suite que les caractéristiques $I_B(V_{CB})$ sans avoir déterminé au préalable la dépendance $I_B(T)$. Nous obtenons donc une image de la résistance thermique R_{TH} , suffisante pour étudier le comportement relatif des différentes structures.

2.b. Caractéristiques $I_B(V_{CB})$ à V_{BE} constant

Nous avons réalisé une série de mesures sur les composants DC en montage base commune. Pour cela on mesure les caractéristiques $I_B(V_{CB})$ pour $V_{CB} = 0$ à 0,70 V et pour différentes polarisations V_{BE} (0,70 V à 0,90 V). La Figure 213 représente cette caractéristique à $V_{BE} = 0,90$ V pour les différentes structures S1 à S7.

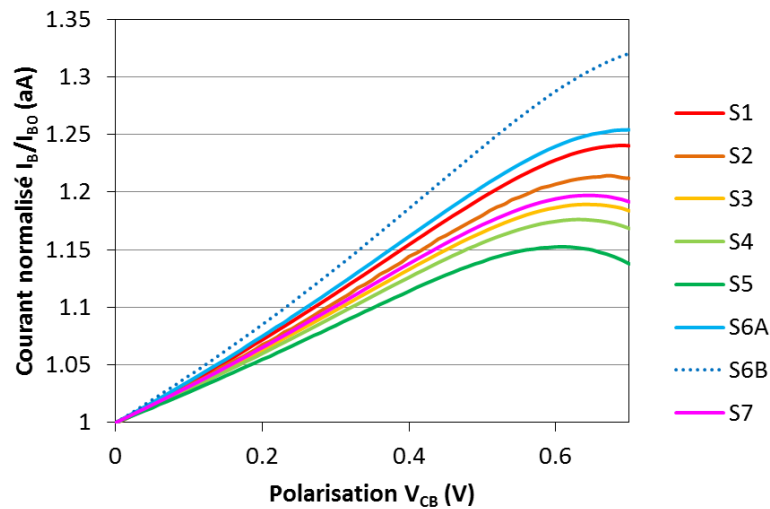


Figure 213 : Caractéristiques du courant normalisé I_B/I_{B0} en fonction de V_{CB} , à $V_{BE} = 0,9V$, pour les différentes structures

A la variabilité près, on voit que la caractéristique est significativement différente d'une structure à l'autre. De la pente témoin de l'auto-échauffement, on peut en déduire une image de la résistance thermique R_{TH} , représentée Figure 214.

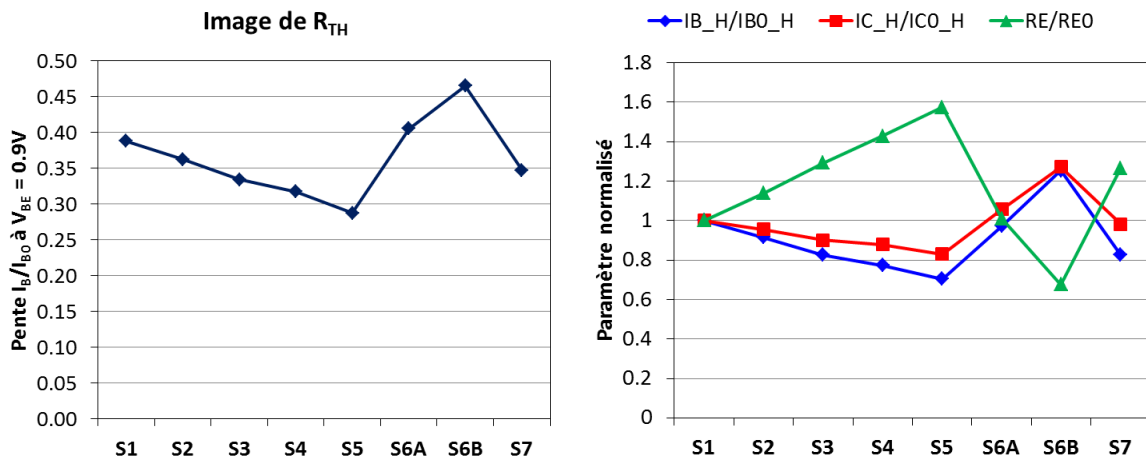


Figure 214 : Image de la résistance thermique R_{TH} extraite à partir des caractéristiques $I_B (V_{CB})$ pour $V_{BE} = 0,9V$ et paramètres normalisés (courants à haute injection IBH et ICH , et la résistance émetteur R_E)

Les résultats R_{TH} sont en fait corrélés avec les variations de la résistance émetteur R_E et les courants à haute injection ($V_{BE} = 0,9V$) IBH et ICH sur les mêmes structures. Plus qu'un effet du BEOL, la variation de R_{TH} provient de la configuration des dispositifs le long de la barrette de mesure.

En effet sur une même barrette sont placés 5 composants (S1 à S5 d'une part et S6A à S7 sur une autre barrette), avec le plot émetteur en commun étant situé en haut de la barrette. Les composants les plus éloignés subissent donc la dépolarisation de la connexion en métal 1 et la résistance émetteur augmente, influençant également les courants pour de forts niveaux d'injection (Figure 214). Il aurait fallu des barrettes avec un plot émetteur dédié à chaque composant pour éviter cet effet. Dans le cas de la structure S6B où tous les *dummies* sont connectés, l'évolution n'est pas cohérente avec la position dans la barrette. Il semble donc que la réduction de la résistance émetteur et donc l'augmentation de R_{TH} apparent est suffisamment significative pour aller dans le sens opposé à la variation de R_E due à la barrette.

Cette variation perturbe nos mesures pour R_{TH} car la polarisation V_{BE} interne n'est alors pas constante pour chacune des structures et on ne peut pas les comparer entre elles. Il faut pouvoir s'affranchir de R_E . Dans cette série de mesure, on a donc uniquement accès à une résistance thermique apparente, dépendante de la résistance émetteur et de sa variation avec la configuration du BEOL.

2.c. Caractéristiques $I_B (V_{CB})$ à I_C constant

Pour s'affranchir de l'effet de la résistance émetteur, on réalise de nouveau les mesures précédentes sur les structures dédiées, mais cette fois à courant I_C constant : on mesure la polarisation V_{BE} externe nécessaire pour obtenir le même courant I_C , afin d'obtenir une polarisation V_{BE} interne équivalente aux bornes de chacun de ces transistors, pour une puissance dissipée équivalente.

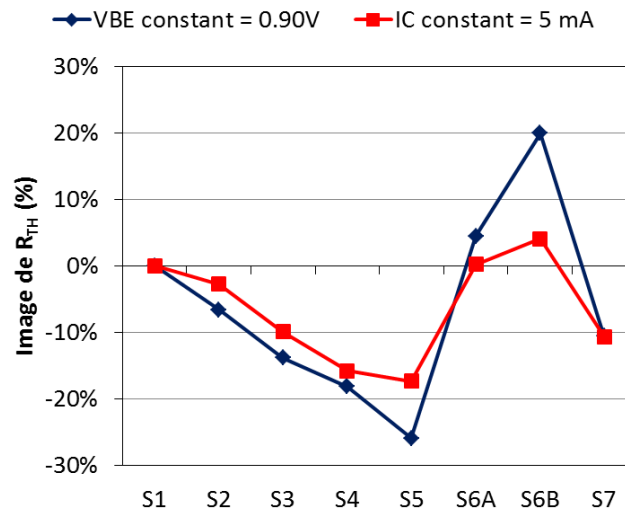


Figure 215 : Image de la résistance thermique R_{TH} extraite à partir des caractéristiques $I_B (V_{CB})$ pour $I_C = 5 \text{ mA}$ et comparée aux résultats à $V_{BE} = 0,9\text{V}$

Alors qu'on pensait pouvoir s'affranchir de la résistance émetteur, il semble que la contribution due à la position du composant dans la barrette reste prépondérante. Et on ne peut pas dégager la variation éventuelle de la résistance thermique, même apparente, sans l'impact de cette dépolarisation. Pour l'étude suivante en BiCMOS055, nous avons donc pris soin d'éviter ce type de configuration où l'émetteur est commun à tous les composants de la barrette.

2.d. Conclusion sur la résistance thermique

Nous n'avons pas pu extraire la résistance thermique sur nos structures à cause de l'impact de la résistance émetteur issu de la position des composants dans les barrettes de mesures. Pour l'étude reconduite en BiCMOS055, la connexion des barrettes a été réalisée en prenant en comptes les conclusions précédentes.

Les résultats confirment qu'il n'est pas possible de prévoir R_{TH} en simulation sans prendre en compte le transistor « électriquement » (simulations électro-thermique) à cause de l'impact de la résistance émetteur sur la résistance thermique. Néanmoins ce n'était pas le but de cette étude qui visait à étudier l'impact du BEOL.

3. Résultats en puissance

En plus de l'étude thermique, des mesures en puissance *loadpull* ont également été réalisées sur les structures en configuration HF, pour une fréquence de 94 GHz. Le banc de mesure dédié a été conçu et les mesures réalisées par M. Issam Hasnaoui, également doctorant à l'IEMN. Le protocole de mesure correspondant est décrit dans l'Annexe B. Les conditions de mesures et paramètres d'importance sont répertoriés dans le tableau suivant. Le transistor est polarisé au pic f_T , pour V_{CE} et V_{BE} fixés. Pour chaque composant et en fonction des polarisations choisies, il a fallu déterminer les paramètres S du composant et l'impédance Γ_{load} vue en sortie adaptée grâce à un tuner de charge variable.

		S1	S5	S6A	S7
Conditions de polarisation	$I_C @ \text{pic } f_T$ [mA]	8,89	10,04	10,15	10,35
	V_{CE} [V]	1,2	1,2	1,2	1,2
	V_{BE} [V]	0,932	0,933	0,935	0,937
Mesures grand signal	Max $ \Gamma_{\text{load}} $	0,5	0,49	0,5	0,48
	Phase Γ_{load}	112°	115°	120°	117°
Mesures petit signal	$ S_{22} ^*$	0,2	0,16	0,19	0,17
	Phase (S22)*	44°	51°	48°	54°
Résultats de puissance	$I_C @ 1\text{dB}$ [mA]	10,6	11,6	11,9	12,0
	$P_{\text{out}} @ 1\text{dB}$ [dBm]	3,84	3,72	3,69	3,87
	$P_{\text{out}} @ 1\text{dB}$ [mW/ μm^2]	1,79	1,74	1,73	1,81
	$G_P @ 1\text{dB}$ [dB]	5,26	5,30	5,31	4,82
	PAE @ 1dB [%]	13,3	11,9	11,6	11,4
	$I_C \text{ sat}$ [mA]	12,9	13,9	14,2	14,1
	$P_{\text{out}} \text{ sat}$ [dBm]	5,48	5,43	5,44	5,21
	$P_{\text{out}} \text{ sat}$ [mW/ μm^2]	2,62	2,59	2,59	2,46
	$G_P \text{ sat } 1\text{dB}$ [dB]	3,28	3,27	3,28	3,03
	PAE sat 1dB [%]	12,02	11,06	10,86	9,86

Les paramètres de puissance ont été évalués au point de compression 1dB (comme défini en Annexe B) et à saturation : on extrait la puissance de sortie P_{out} , le gain G_P , et le rendement en puissance ajoutée PAE . Les études préliminaires de ces composants en régime de puissance présentent des variations des principaux paramètres électriques assez faibles, et cela quel que soit le paramètre considéré. En effet, les densités de puissance à 1dB et à la saturation sont quasiment identiques.

On voit aussi que le rendement PAE diminue quand la structure est plus dense, de façon inverse à l'évolution du courant I_C mesuré. Par définition, le rendement PAE dépend du courant I_C , du gain G_P , de la puissance de sortie P_{out} et de la polarisation V_{CE} . Les trois derniers étant plus ou moins constants, la variation est bien donc corrélée à l'augmentation de I_C pour une polarisation V_{BE} fixée (mais reste modérée), conséquence de la contrainte issue de l'empilement des lignes de métal.

$$PAE = \frac{P_{out} \left(1 - \frac{1}{G_P}\right)}{I_C V_{CE}}$$

En ce qui concerne les valeurs de gain en puissance G_P , les trois premiers composants présentent quasiment la même valeur tandis que le dernier est plus faible de quelques dixièmes de dB. Cette variation peut directement être liée à la difficulté de déterminer l'impédance optimale qui est différente pour des applications de gain, de puissance ou de rendement. En fonction de la conception des composants ces impédances peuvent être également plus ou moins éloignées. De plus, les zones d'adaptation permettant d'atteindre ces optimums peuvent être plus ou moins étendues sur l'abaque de Smith en fonction de la

sélectivité du composant en sortie. On note cependant qu'étant donné l'augmentation du courant I_C pour V_{BE} fixé, on s'attendait à l'augmentation de la densité de puissance dégagée par le composant.

On retrouve ces différents paramètres sur la Figure 216 en fonction de la puissance absorbée P_{abs} , dans le plan du composant. L'évolution relative d'un composant à l'autre, au niveau du point de compression ($P_{abs} \sim -1$ dBm) est également vérifiée quelle que soit la valeur de P_{abs} .

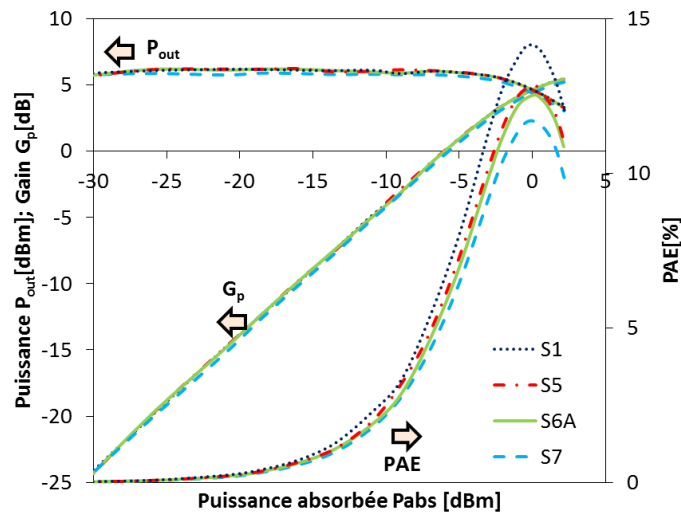


Figure 216 : Paramètres de puissance en fonction de la puissance absorbée : gain G_p , puissance de sortie P_{out} et rendement en puissance ajoutée PAE (conditions de polarisation $V_{CE} = 1,2V$ & $V_{BE} = 0,93V$)

Ces mesures ayant été réalisées sur peu de composants, des études complémentaires sont nécessaires pour confirmer et mieux comprendre les résultats constatés en régime petit signal :

- Nous pouvons citer des mesures en puissance polarisées en classe AB profonde (faible injection) afin de valider l'augmentation du gain en régime linéaire et d'analyser la sensibilité de l'impédance de charge sur le paramètre du gain en puissance.
- Par ailleurs une étude à fort signal pour des tensions V_{CE} plus importantes serait aussi nécessaire sachant que la densité de puissance est directement liée au produit $V_{CE} \times I_C$: les tensions de claquage n'étant pas dégradées et la densité de courant étant plus élevée grâce à la contrainte, l'augmentation de la densité de puissance devrait être validée expérimentalement. Dans le cas présenté ci-dessus la tension n'était que de 1,2V ce qui n'est pas optimal pour atteindre les densités de puissance maximales sachant que la puissance de saturation en sortie attendue peut être approximée par : $P_{OUTmax} = (\Delta V_{CE} \cdot \Delta I_C) / 8$.

4. Conclusion

Les résultats des simulations et des mesures électriques montrent une influence limitée de la structure du BEOL sur l'extraction de la résistance thermique lorsqu'on prend en compte le substrat et qu'on s'affranchit de la résistance émetteur. Dans le cas contraire, l'extraction montre directement l'impact de R_E .

Les résultats de puissance obtenus lors de ces mesures préliminaires réalisées à 94 GHz à polarisation V_{BE} constante et pour une tension V_{CE} de 1,2V ne montrent pas d'influence notable sur les performances en terme de gain G_p , densité de puissance P_{out} à 1dB ou à la saturation et sur le rendement en puissance ajoutée PAE. Ce dernier présente cependant une variation qui est cohérente avec l'augmentation du courant collecteur. Toutefois, nous nous attendions à des densités de puissance plus élevées pour les structures contraintes par le BEOL, le courant collecteur augmentant avec la contrainte pour une polarisation V_{BE} donnée ; cela devrait impacter les modèles électriques non linéaires de ces composants et est donc à considérer dans la conception d'un circuit. Cette étude est à poursuivre pour une analyse plus approfondie des paramètres de puissance en fonction de la densité d'interconnexions métalliques.

IV. Conclusion de l'étude en BiCMOS9MW

Pour l'étude de l'impact des interconnexions métalliques sur le composant sous-jacent, des structures dédiées ont été conçues, fabriquées, mesurées et simulées. Leur analyse montre un impact mécanique non négligeable : plus la structure de connexions est dense, plus la contrainte induite dans le silicium est forte. En conséquence, l'énergie de bande interdite dans la base est réduite, provoquant l'augmentation du courant I_C principalement et des fréquences de fonctionnement f_T et f_{MAX} .

L'étude thermique en simulation COMSOL prévoit une réduction limitée de la résistance thermique R_{TH} intrinsèque de ces structures. Mais en pratique nous n'avons pas pu extraire les valeurs de R_{TH} car la résistance émetteur, amenée par un mauvais schéma de connexion, est liée au comportement thermique. En parallèle, les mesures en puissance réalisées à 94 GHz des dites structures montrent peu d'impact sur l'ensemble des paramètres étudiés. La complexité de telles mesures nécessite des études complémentaires.

L'effet principal reste donc un effet mécanique, qui découle des contraintes résiduelles dans le BEOL. Pour l'aspect thermique, l'effet du BEOL est négligeable par rapport à la contribution du substrat qui reste prédominante. Des études similaires sont reconduites en BiCMOS055, une technologie pour laquelle les règles de dessins sont différentes et les courants et fréquences de fonctionnement plus élevés.

B. En technologie BiCMOS055

Nous menons dans cette partie une étude similaire en technologie BiCMOS055 pour vérifier si les lignes métalliques ont un impact aussi important sur le composant bipolaire.

I. Structures étudiées

Contrairement à l'étude en BiCMOS9MW, nous avons utilisé des structures plus réalistes où tous les niveaux de métaux sont connectés au composant. Pour cela nous sommes repartis de la structure standard où les règles d'espacements entre les lignes de métal ne permettent pas un empilement au-dessus des contacts base : les connexions de la base sont donc excentrées du composant et en conséquence il n'y a pas de métal autre que le niveau 1 au-dessus des contacts base. On fait varier uniquement la géométrie du métal au-dessus de l'émetteur et du collecteur.

Nom	Description
M1	Pas de métal au-dessus du composant outre les connexions utiles
M2	M2 au-dessus du composant, avec via1 émetteur
M3	M2 à M3 au-dessus du composant, avec via1 émetteur
M4	M2 à M4 au-dessus du composant, avec via1 émetteur
M5	M2 à M5 au-dessus du composant, avec via1 émetteur
M6	M2 à M6 au-dessus du composant, avec via1 émetteur
M7	M2 à M7 au-dessus du composant, avec via1 émetteur
M8	M2 à M8 au-dessus du composant, avec via1 émetteur
M8noviaE	M2 à M8 au-dessus du composant, sans via1 émetteur

Les structures M1 et M8 sont représentées Figure 217, en configuration DC ou HF. Des coupes SEM des structures M1, M7 et M8 en configuration HF sont visibles Figure 218. Nous attirons l'attention sur le fait que les structures DC et HF sont différentes.

- En DC les structures sont connectées latéralement, et donc on a uniquement la partie empilement de *dummies* dans une coupe 2D. Le cœur du composant est relié aux plots de mesures à partir du premier niveau de métal, connexion qui est rattachée à chacun des niveaux de métaux.

- Pour les structures en configuration HF, il existe une légère particularité. Pour la première structure, les connexions sont construites et montées jusqu'au niveau 8 en dehors du composant. Pour la deuxième structure, le niveau 2 de métal est au-dessus du composant puis on décale et on remonte jusqu'au métal 8 en dehors du composant. Et ainsi de suite. Pour les deux structures M8, on ne peut pas rapprocher les contacts collecteurs pour des raisons de règles de dessin et d'espacement entre deux lignes de cuivre épais. La différence entre les deux structures vient alors du métal 8 au-dessus de l'émetteur.

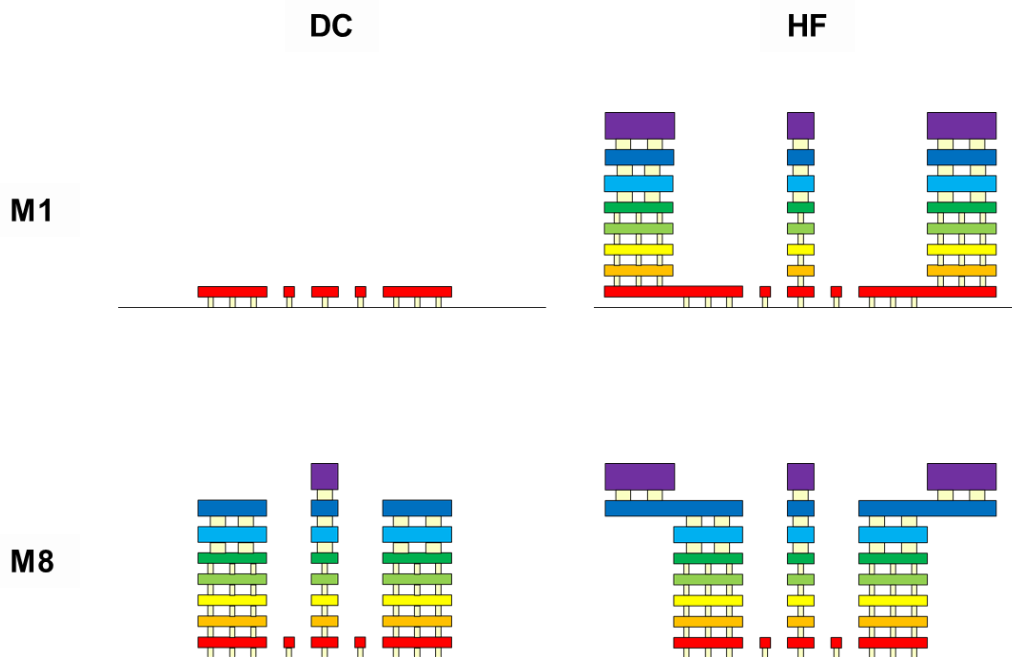


Figure 217 : Schémas des structures M1 et M8, en configuration DC ou HF

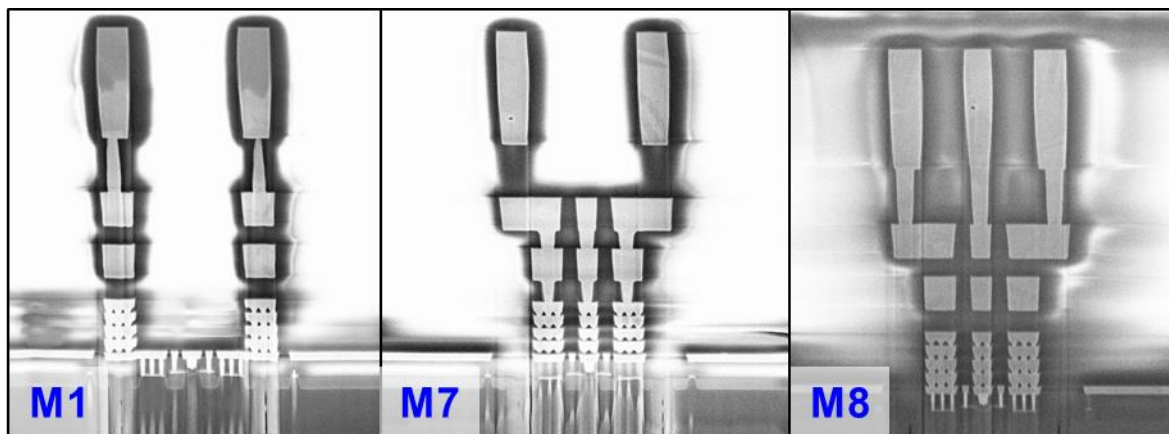


Figure 218 : Coupes SEM des structures M1, M7 et M8, en configuration HF

Certains vias ne sont pas visibles sur les coupes SEM car ils sont décalés du plan de coupe mais ils sont bien présents entre chaque niveau de métal. Etant donné l'encombrement et l'épaisseur totale du BEOL plus faibles qu'en BiCMOS9MW on s'attend alors à des variations plus modérées des paramètres à l'étude.

II. Impact mécanique en B55

1. Simulations

1.a. Modèle

Pour la simulation des contraintes apportées par le BEOL en B55, nous utilisons le même modèle qu'en BiCMOS9MW, avec les mêmes conditions aux limites décrites dans la partie A. La géométrie, les matériaux utilisés et les axes X et Y sont représentés sur la Figure 219.

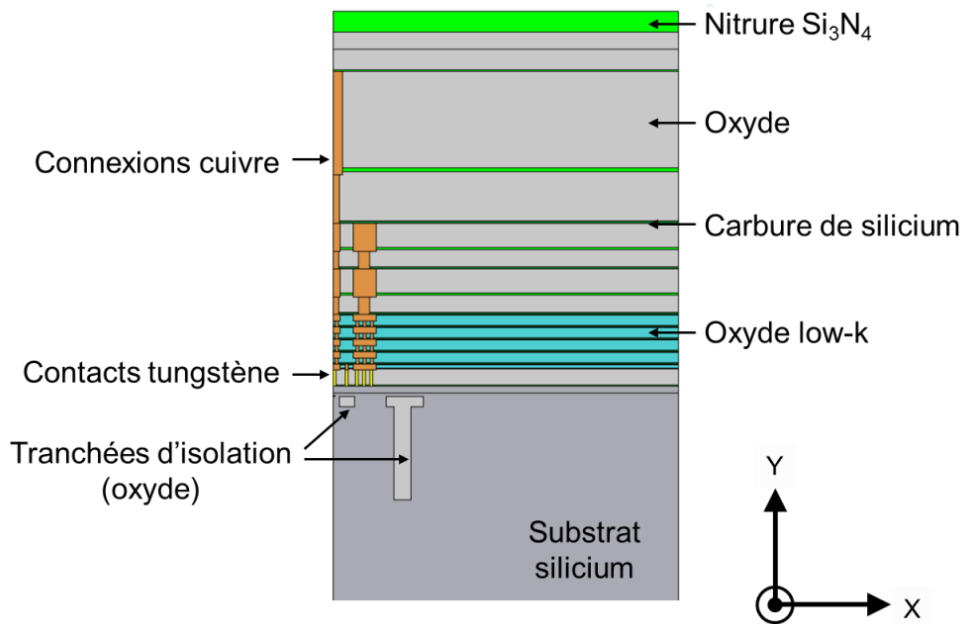


Figure 219 : Géométrie du modèle utilisé en simulations, structure M8 en configuration DC

Les paramètres mécaniques des matériaux en jeu sont les suivants :

		Module d'Young (10^9 Pa)	CTE (10^{-6} K $^{-1}$)	Coef. de Poisson (-)	Densité (kg/m 3)
Substrat	Si	170	2,6	0,28	2329
Oxyde	Low-k	7,8	10,8	0,25	2200
	USG	72	3,0	0,17	2200
Nitrure	Si $_3$ N $_4$	170	2,3	0,23	3100
	SiCN	79,2	5,04	0,19	3200
Contacts	W	411	4,5	0,28	19350
Connexions	Cu	128	16,5	0,34	8960

1.b. Résultats des simulations mécaniques

Nous avons ici fait le choix de simuler les structures DC avec tranchées d'isolation, pour pouvoir évaluer l'impact de la densité de métal. On évalue le stress une fois encore le long d'une ligne placée dans le silicium. Les résultats correspondants sont représentés Figure 220 et Figure 221. On retrouve l'augmentation de la contrainte compressive en XX et tensile en YY avec la densité de métal. Cependant l'effet est plus limité. Selon l'axe horizontal XX la contrainte sous l'émetteur est nettement bien plus faible qu'en BiCMOS9MW, la variation entre les deux structures extrêmes est de l'ordre de 20 MPa contre environ 150 MPa pour les structures *dummies* de B9MW simples. Selon l'axe vertical YY, la contrainte est plus importante, on a un écart de 0 à 100 MPa, proche de ce qu'on a vu sur l'autre technologie.

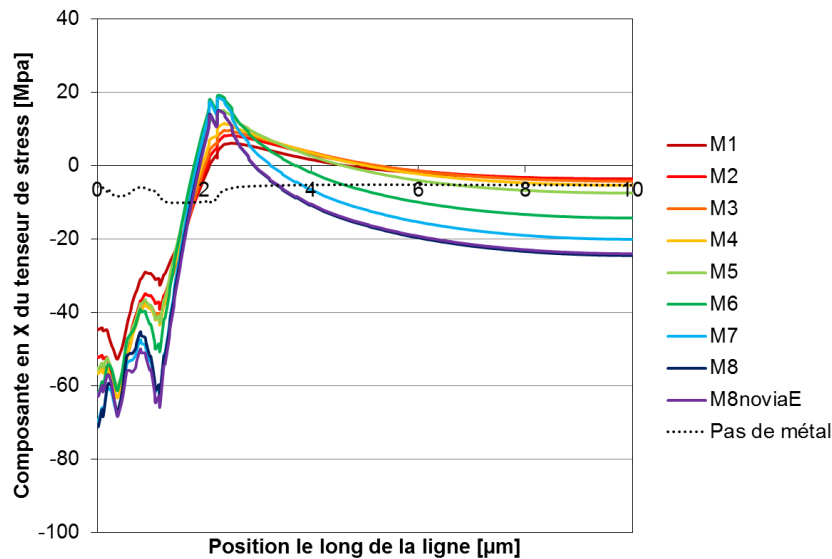


Figure 220 : Extraction de la composante XX (axe horizontal) du tenseur de stress le long d'une ligne dans le silicium

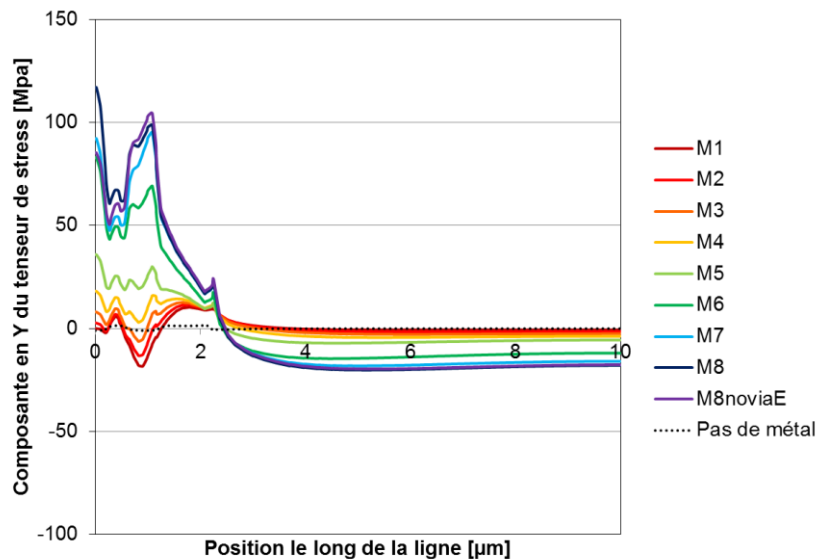


Figure 221 : Extraction de la composante YY (axe vertical) du tenseur de stress le long d'une ligne dans le silicium

Par contre on voit une différence nette de contrainte selon l'axe YY lorsque les métaux 6, 7 et 8 sont successivement rajoutés, trois niveaux dits épais par rapport aux 5 premiers niveaux fins. Le saut dans l'évolution de la contrainte est expliqué par une densité qui augmente alors

non linéairement. Le champ de contrainte en XX ou YY s'étale également moitié moins selon l'axe horizontal, dû à l'encombrement réduit du transistor.

La différence d'amplitude avec BiCMOS9MW peut s'expliquer par la nature des matériaux dans l'empilement, par le nombre de lignes métalliques plus important, pour une épaisseur totale toutefois plus faible. Enfin, grâce aux règles de dessins plus fines, l'encombrement du composant est réduit. On s'attend donc à un impact bien plus limité sur les performances électriques, de la structure du BEOL au-dessus d'un composant.

2. Influence de la contrainte du BEOL sur les résultats électriques

Nous avons réalisé les mesures électriques sur différents lots à différents stades du développement. Nous présentons ici les principaux et derniers résultats obtenus, sans tenir compte des spécificités de chaque essai procédés, qui n'ont pas d'impact sur notre étude et ses conclusions.

2.a. Courants & résistances

Les mesures présentées dans la suite sont issues du même lot Q340184, pour 3 profils différents du module base/émetteur : le dopage émetteur et l'épaisseur du SiCap vont modifier la résistance émetteur. Dans la Figure 222, on peut voir l'évolution des courants de collecteur I_C et de base I_B à moyenne injection ($V_{BE} = 0,7V$). Alors que le courant I_C augmente clairement avec la densité de la structure, on voit que l'évolution du courant I_B est dispersée, mais cela dépend de la maturité de la technologie au moment des mesures.

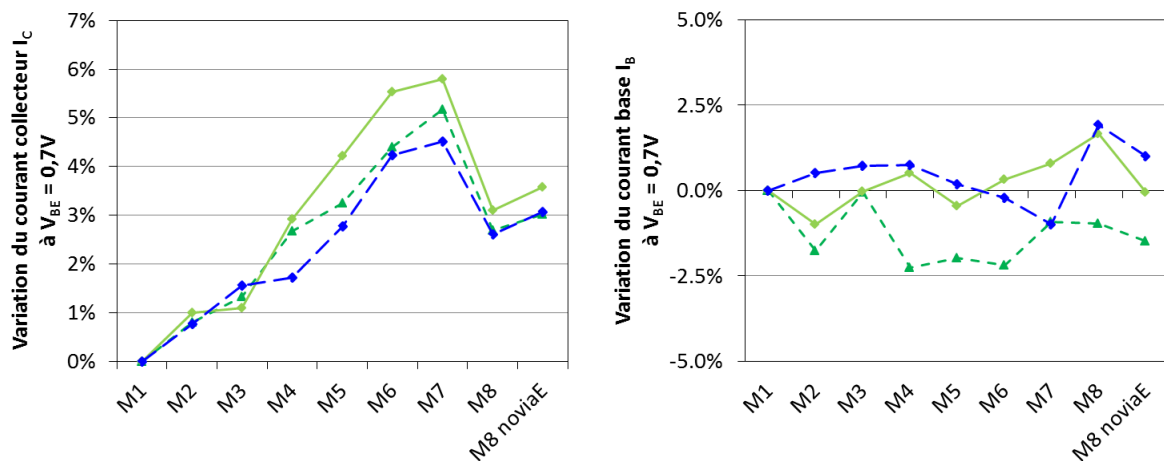


Figure 222 : Evolution des courants I_C et I_B à moyenne injection $V_{BE} = 0,7V$ pour les différentes structures

Le courant I_C diminue pour les structures « M8 » et « M8 noviaE » car le champ de contrainte en XX n'évolue plus graduellement par rapport aux autres : la ligne M8 est uniquement au-dessus de l'émetteur, et non des prises collecteur. En simulation, le champ de contrainte M7 et M8 noviaE est légèrement plus important que celui de M8 ; sauf en-dessous de l'émetteur pour M8noviaE où la contrainte est réduite par rapport aux deux autres.

Dans la Figure 223, on peut voir l'évolution des courants de collecteur I_C et de base I_B à haute injection ($V_{BE} = 0,9V$). A noter que pour les paramètres à haute injection, un des essais a une évolution légèrement inférieure car la recette de dépôt de l'émetteur est différente. Une très forte augmentation est visible pour les deux paramètres, attribuée à la réduction de la résistance émetteur R_E en configuration DC, qui n'a pas pu être extraite pour ces essais à cause d'une erreur dans l'extraction, mais observée sur d'autres échantillons similaires (Figure 224).

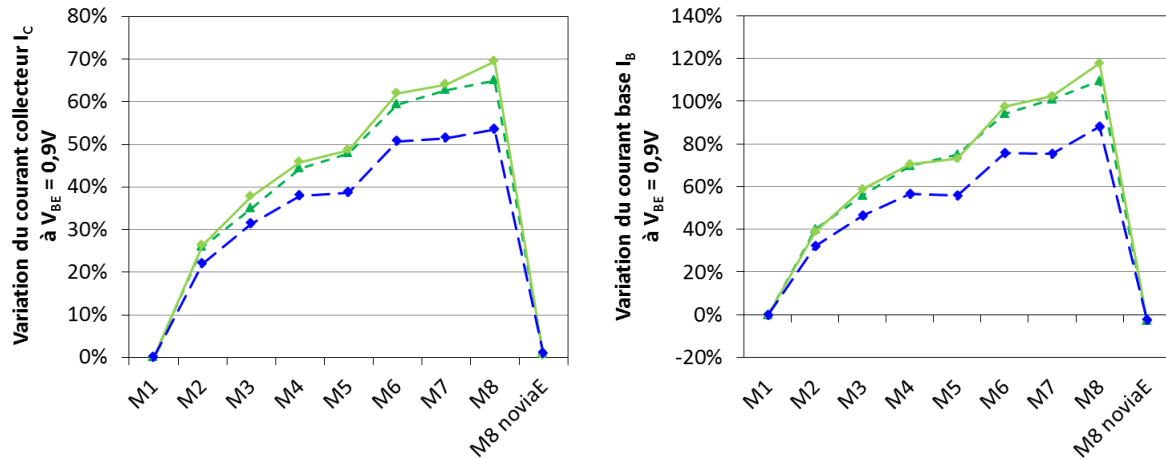


Figure 223 : Evolution des courants I_C et I_B à haute injection $V_{BE} = 0,9V$ pour les différentes structures

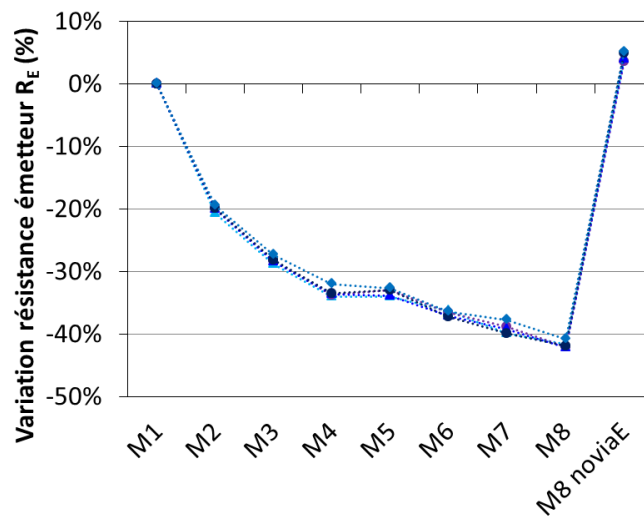


Figure 224 : Variation de la résistance émetteur R_E pour les différentes structures, issue d'une autre série d'échantillons

La résistance émetteur extraite des structures HF est représentée sur la Figure 225. L'évolution de R_E avec le BEOL n'est pas mise en évidence par les mesures HF : elles s'affranchissent des contributions du BEOL à la résistance via le *de-embedding* préalable, grâce à des structures *Open* et *Short* dédiées à chaque structure, pour obtenir uniquement la résistance intrinsèque. On voit par contre l'influence du profil de l'émetteur entre les différents essais.

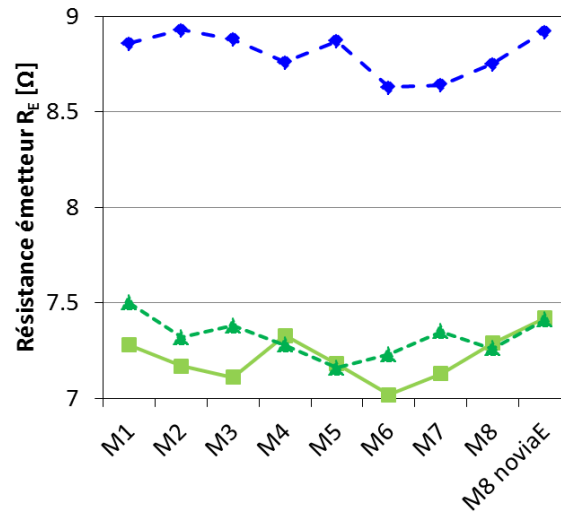


Figure 225 : Evolution de la résistance émetteur R_E , extraite des paramètres S, pour les 3 essais de profils [Q340184] et pour chacune des structures

On retrouve donc les effets précédemment constaté, de l'augmentation du courant I_C avec la densité des structures mesurées. Cependant la connexion des métaux supérieurs au reste du transistor modifie logiquement la résistance émetteur, et change le comportement à haute injection.

2.b. Variation de l'énergie de bande interdite

Avec la même méthode que dans la partie A, nous extrayons la variation de l'énergie de bande interdite à partir de la pente du courant collecteur normalisé. Elle est représentée sur la Figure 226.

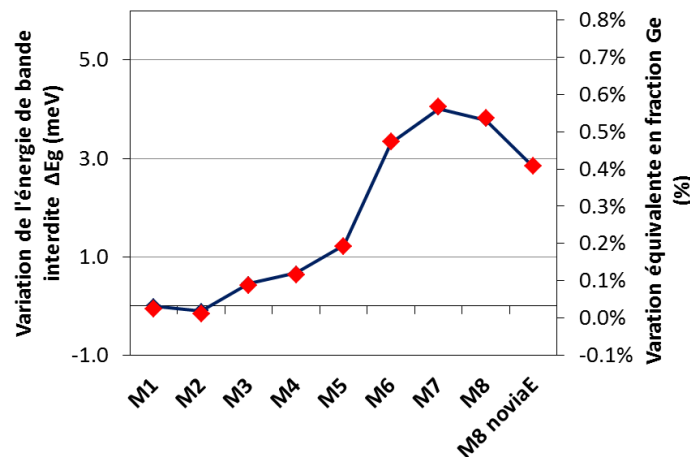


Figure 226 : Extraction de la variation de la bande d'énergie interdite ΔE_g à partir des mesures (moyenne /9 puces)

Son évolution est cohérente avec le courant I_C , et montre l'augmentation de la contrainte et donc la variation de l'énergie de bande interdite. On note également la réduction de la contrainte dans la base à partir de la structure M8, cohérente avec l'évolution du courant.

2.c. Résultats dynamiques

La résistance de base n'a pas pu être extraite en mesures DC car il aurait fallu des structures dédiées pour chaque configuration et générer des contraintes similaires sur une structure tétrade n'aurait pas été possible. Grâce aux mesures HF, on constate peu de variations significatives de la résistance de base, représentée sur la Figure 227. La moyenne montre peu de variations jusque pour la structure M8. On suppose que la contrainte plus modérée en B55 est à l'origine de cette évolution. Pour « M8 noviaE », on voit cependant une diminution systématique quel que soit l'essai considéré. L'extraction de la résistance de base R_B par la méthode du demi-cercle Y_{21} prend en fait en compte la somme $R_E + R_B$: il n'est donc pas étonnant de retrouver l'influence de R_E . La sensibilité de cette méthode d'extraction est abordée dans (Pascal Chevalier et al. 2011).

Les capacités C_{BE} et C_{BC} sont plus ou moins constantes quelle que soit la structure et ne dépendent donc pas de la contrainte dans le silicium. La différence en C_{BE} vient de la différence entre les profils émetteurs de chaque échantillon.

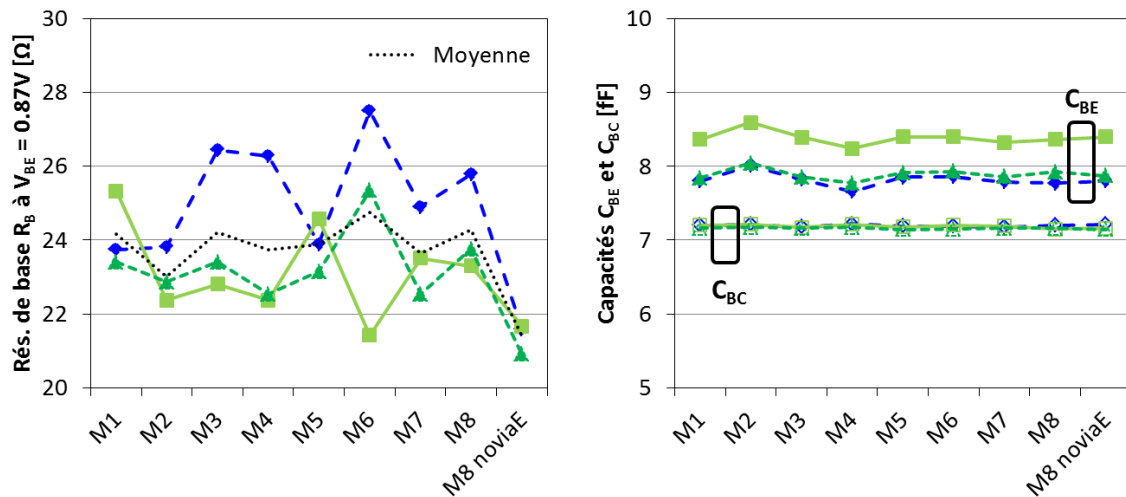


Figure 227 : Variation de la résistance R_B et des capacités C_{BE} et C_{BC} en fonction de la densité BEOL des structures, extraites des mesures HF

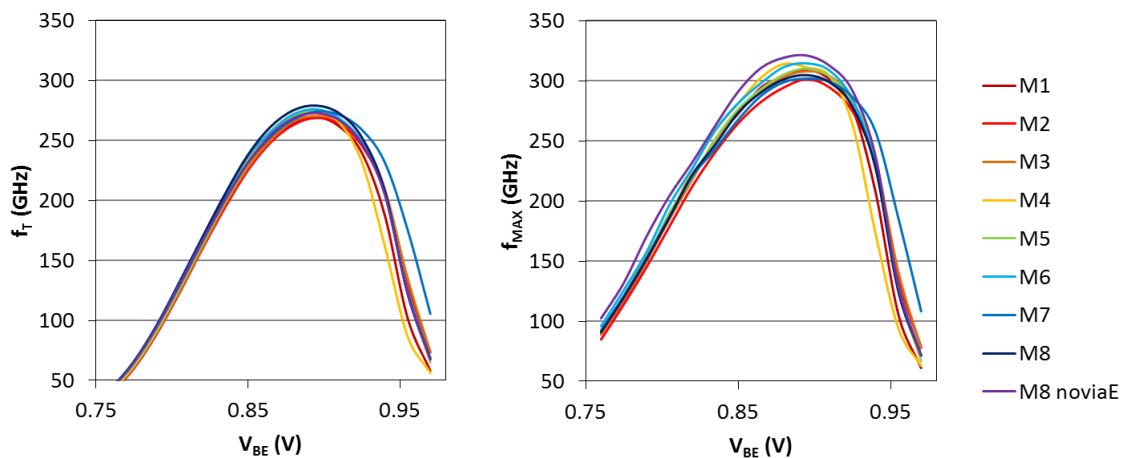


Figure 228 : Caractéristiques f_T vs V_{BE} et f_{MAX} vs V_{BE} , pour les différentes structures (1 puce)

Les caractéristiques f_T et f_{MAX} en fonction de la polarisation V_{BE} sont tracées sur la Figure 228 pour chacune des différentes structures, sur une même puce, et pour un des échantillons. On voit nettement l'impact de la densité des interconnexions.

Sur la Figure 229, et pour quantifier cet impact, on extrait les paramètres I_C , f_T et f_{MAX} pour une polarisation V_{BE} de 0,805V, pour la même plaque que la figure précédente. On voit que l'évolution de f_T suit celle du courant I_C mais montre une différence de 6% au maximum. L'évolution de f_{MAX} est elle moins marquée et montre une légère augmentation du paramètre, cohérente avec la variation plus modérée de la résistance de base par rapport à B9MW. Dans le cas de la structure non connectée M8noviaE, on voit une augmentation conséquente de f_{MAX} , liée à la réduction artificielle de R_B et donc à un problème potentiel de *de-embedding*.

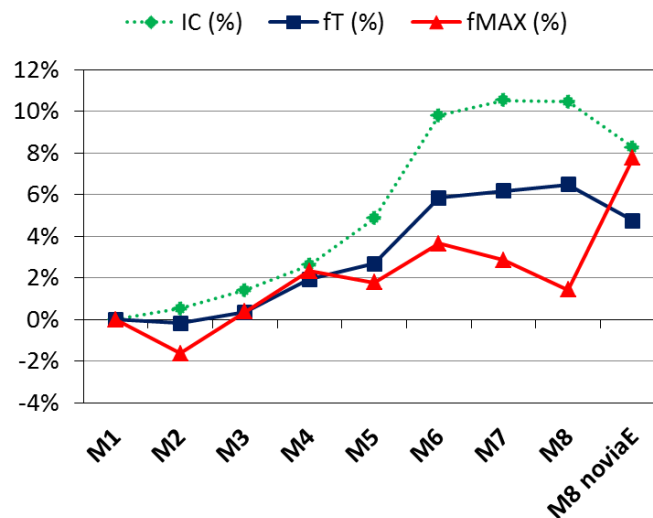


Figure 229 : Variation de f_T et f_{MAX} à $V_{BE} = 0,805V$ en fonction de la densité du BEOL (moyenne / 9 puces)

Comme prédit par les simulations mécaniques, l'effet du BEOL en BiCMOS055 est inférieur à celui en BiCMOS9MW.

3. Conclusion

Bien que les structures soient différentes entre BiCMOS9MW et BiCMOS055, on retrouve notamment l'augmentation des paramètres I_C , β , f_T & f_{MAX} , certes plus limitée, en lien avec l'augmentation de la densité de métal au-dessus du composant. La connexion des structures a cependant un impact non négligeable : celui de réduire la résistance émetteur totale quand il y a plus de métal au-dessus de l'émetteur. Dans la partie suivante, nous étudions l'impact de ces connexions et de cette résistance sur le comportement thermique des composants.

III. Comportement thermique

1. Simulations

Nous avons réalisé des simulations thermiques à partir des 9 structures DC, cohérentes avec les structures mesurées ensuite sur silicium. Les conditions de l'étude sont les mêmes que pour celle en BiCMOS9MW, avec un substrat de profondeur 775 μm .

Les paramètres thermiques des matériaux sont les suivants :

		Capacité calorifique à pression constante	Densité volumique	Conductivité thermique
		C_p [J/(kg.K)]	ρ [kg/m ³]	k [W/(m.K)]
Substrat	Si	700	2329	130
Oxyde	BDI low-k	730	2200	1,4
	USG			
Nitrure	SiCN	1200	3200	450
	Si ₃ N ₄	700	3100	20
Contacts	W	132	17800	174
Connexions	Cu	385	8700	400

Sur la Figure 230 sont représentées la cartographie en température pour quatre des simulations : M1, M4, M7 et M8. On voit bien qu'en l'absence de métal au-dessus de la source de chaleur, l'évacuation de chaleur par le BEOL est limitée. Plus il y a de métal, plus la diffusion de chaleur vers le haut est efficace et plus la température maximale dans la structure est réduite. La chaleur se répartit le long des différents niveaux par conduction thermique, les métaux étant reliés les uns aux autres.

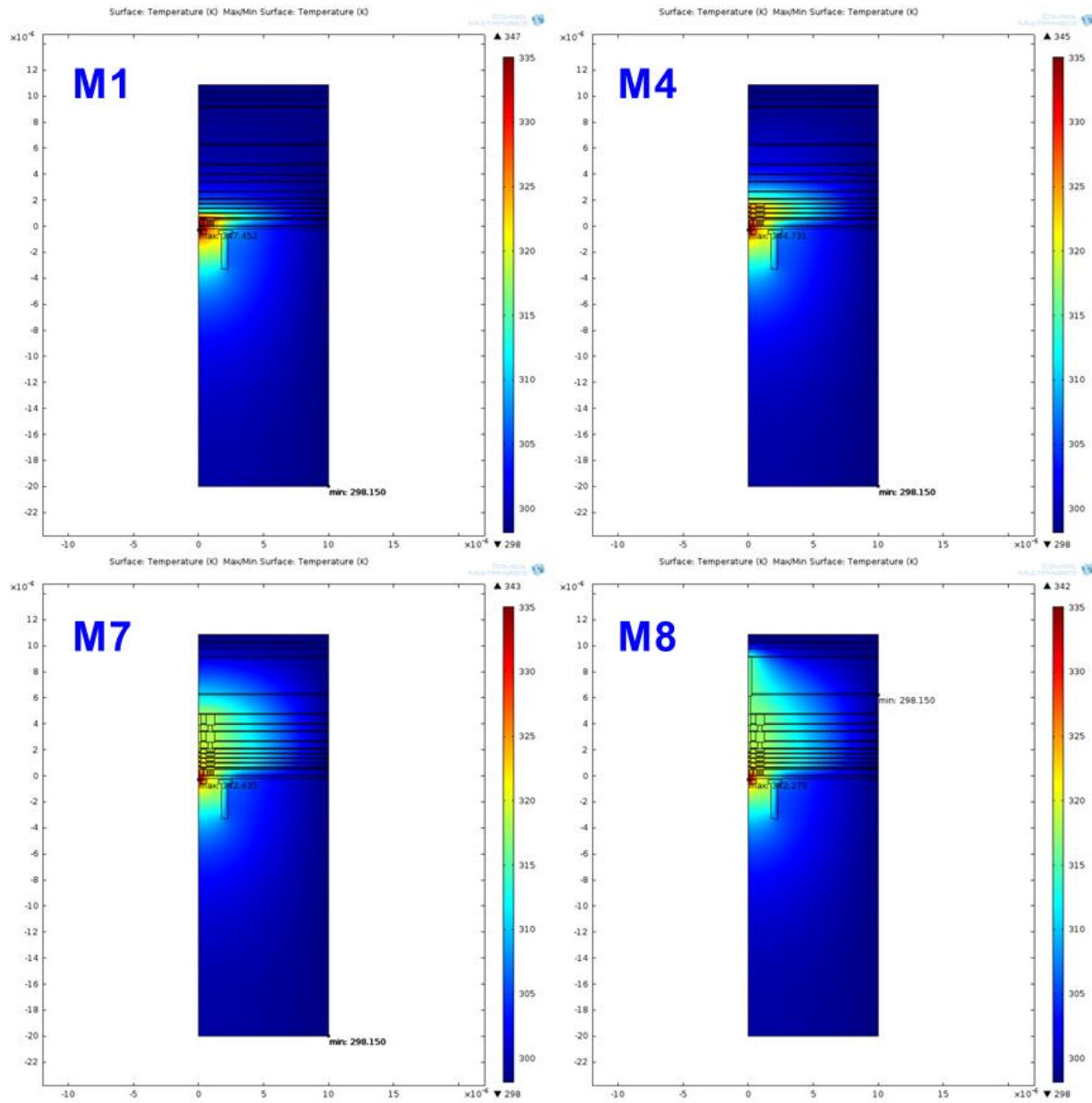


Figure 230 : Résultats simulations thermiques B55, température pour les structures M1, M4, M7 et M8

On voit sur la Figure 231, que la température maximum atteinte dans chacune des structures diminue graduellement jusqu'à quelques degrés pour la structure M8. La structure M8noviaE non représentée ci-dessus montre qu'en l'absence de via1 au-dessus de l'émetteur la dissipation de chaleur est légèrement moins efficace. On constate également l'augmentation de la conductivité thermique k_{TH} et la réduction de la résistance thermique R_{TH} , extraites des différentes structures, par moyenne sur l'ensemble de la structure. On trouve des variations faibles qui suggèrent que l'impact du BEOL va être minimal.

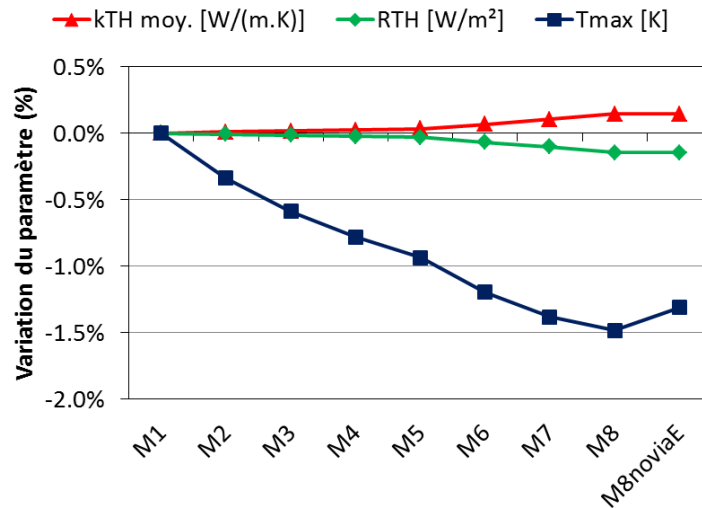


Figure 231 : Résultats simulations thermiques, évolution relative des paramètres k_{TH} , R_{TH} et T_{max} pour les différentes structures

2. Extraction paramètres thermiques à partir des courbes $I_B(V_{CB})$

Afin d'extraire les résistances thermiques réelles, nous réitérons la méthode $I_B(V_{CB})$ décrite dans la partie A de ce chapitre. Nous réalisons ces mesures sur les structures en configuration DC. La connexion des barrettes nous permet de ne pas avoir une résistance émetteur qui dépend de la position du composant dans la barrette.

Dans une première série de mesures réalisées à V_{BE} constant (0,95V), sur deux puces et représentée Figure 232, on voit une évolution inverse à celle de la résistance émetteur présentée précédemment. Une fois de plus ce type d'extraction donne une résistance thermique apparente, qui prend en compte la dissipation de chaleur par la résistance émetteur.

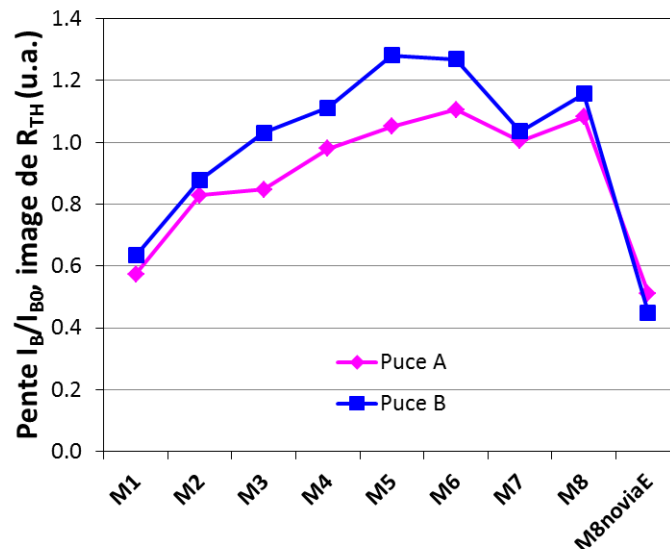


Figure 232 : Variation de R_{TH} , à travers l'étude des caractéristiques $I_B(V_{CB})$ à V_{BE} constant

Pour se ramener à une évaluation intrinsèque de R_E , il faut donc ajuster la polarisation V_{BE} pour chaque structure afin d'avoir le même courant de sortie et se ramener à la même polarisation V_{BE} interne. De cette façon, les puissances vues par chaque transistor sont équivalentes.

Dans une deuxième série de mesures donc, le comportement de R_{TH} est beaucoup plus stable, indiquant peu ou pas de variation significative de la résistance thermique ramenée dans le plan du composant, en s'affranchissant de R_E . La contribution du substrat à la résistance thermique étant prédominante par rapport à celle du BEOL, la variation de R_{TH} si elle existe est minoritaire. Seule la structure M8noviaE se détache de la tendance comme pour les autres paramètres électriques présentés plus tôt.

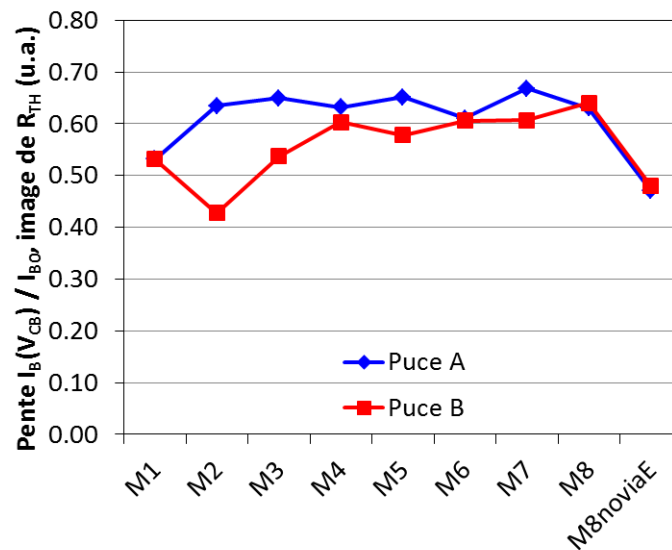


Figure 233 : Variation de R_{TH} , à travers l'étude des caractéristiques $I_B(V_{CB})$ pour $I_C = 5$ mA, V_{BE} adapté pour chaque structure

3. Paramètres de puissance

Des mesures *loadpull* ont été réalisées une nouvelle fois, cette fois sur les structures HF embarquées en B55. Deux études sont présentées ici : celle de l'impact de la densité de métal et la recherche du meilleur point de fonctionnement ; mais également la comparaison du transistor de référence par rapport au nœud précédent.

3.a. Mesures *loadpull* sur les structures de densité *back-end* variable

Ces mesures sont réalisées à 94 GHz, avec $V_{CE} = 1,2$ V et un courant collecteur I_C maintenu à 9 mA grâce au contrôle du courant de base I_B . Sur les Figure 234 et Figure 235 sont représentées respectivement l'évolution des paramètres de puissance en fonction de la puissance injectée et le rendement PAE maximal et la puissance de sortie P_{out} correspondante pour chacune des structures. Au niveau du gain G_P il n'y a pas de différence notable. Par contre la puissance de sortie P_{out} et le rendement en puissance ajoutée PAE sont augmentées à partir de niveaux de puissance injectée significatifs.

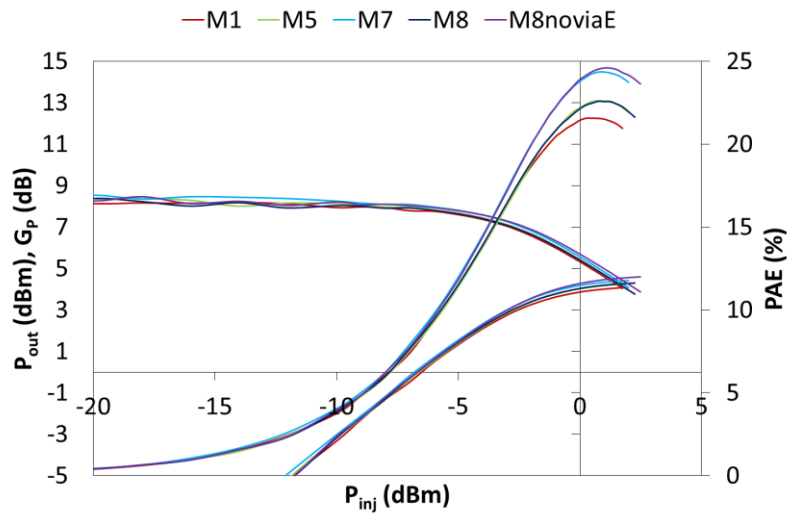


Figure 234 : Evolution des paramètres de puissance G_p , P_{out} , PAE en fonction de la puissance injectée

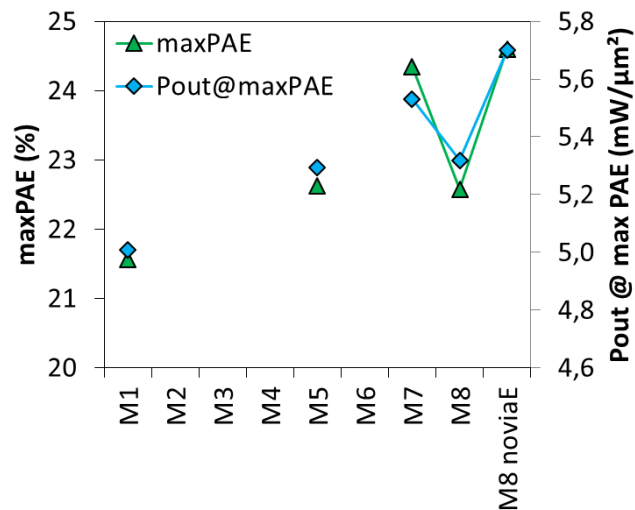


Figure 235 : Rendement en puissance ajouté maximal et puissance de sortie correspondante pour les différentes structures

L'évolution des paramètres pour le rendement maximal PAE s'explique en fait par l'évolution du courant collecteur à moyenne injection (Figure 222) et de la résistance émetteur (Figure 224). En effet l'augmentation de la résistance émetteur entre les deux composants a permis de réduire l'auto-échauffement et la puissance correspondante est dissipée en sortie.

Nous avons ensuite réalisé ces mesures en contrôlant le courant I_C à 9 mA grâce à la polarisation V_{BE} ce qui procure des mesures plus stables, pour le composant M8noviaE procurant les meilleurs paramètres. Cette fois nous augmentons la polarisation V_{CE} aux bornes du transistor à la recherche du point de fonctionnement procurant le maximum de puissance de sortie (Figure 236).

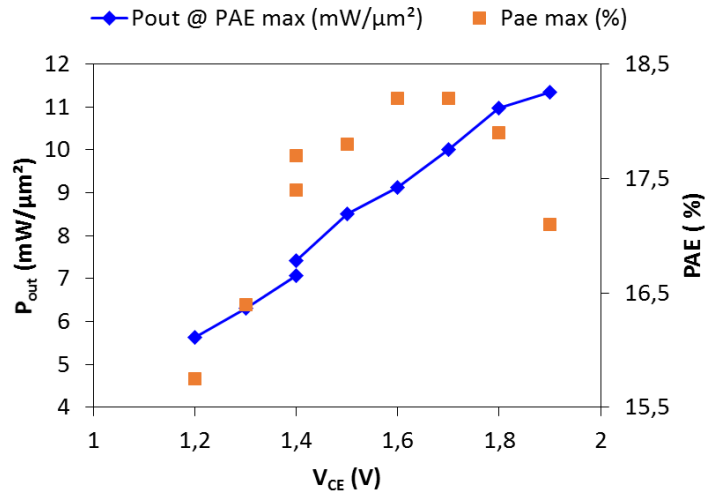


Figure 236 : Evolution de la puissance de sortie P_{out} correspondant au rendement PAE maximal extrait à un courant I_C maintenu à 9 mA par contrôle en V_{BE}

Le rendement maximal est atteint pour une polarisation de 1.6-1.7V. Le point de puissance maximale est atteint pour une polarisation $V_{CE} = 1.9V$, mais le PAE est réduit. Au-delà le composant devient instable.

Enfin nous avons évalué le point de fonctionnement le plus performant, pour $V_{CE} = 1,8 V$; et en faisant varier V_{BE} . Le meilleur point est obtenu pour $V_{BE} = 0,857V$ associé à $I_C = 5,5 \text{ mA}$. La caractéristique du composant M8noviaE dans ces conditions est représentée sur la Figure 237.

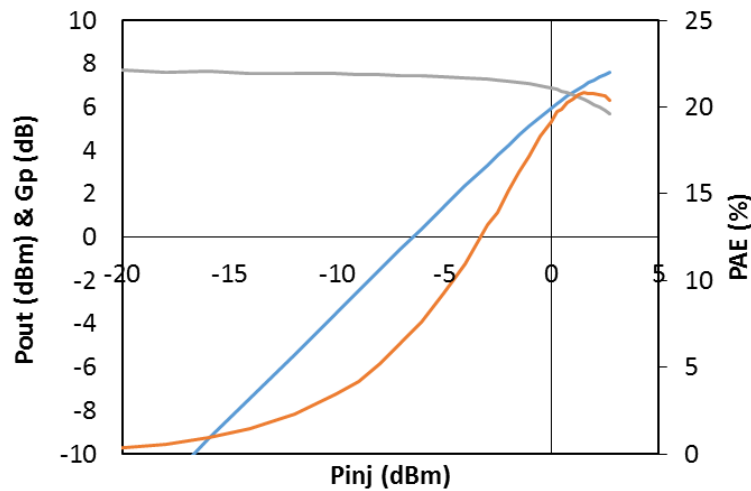


Figure 237 : Caractéristique des paramètres de puissance en fonction de la puissance injectée pour le composant M8noviaE ; $V_{CE}=1.8V / V_{BE}=0.857V / I_C=5.5mA$

On obtient alors une PAE_{MAX} de 20,8 % associée à une puissance de sortie de 7.0 dBm soit 10,2 mW/ μm^2 . A saturation la puissance de sortie atteint 7,6 dBm soit 11,8 mW/ μm^2 .

Ces résultats correspondent aux premières mesures sur BiCMOS55, sur des plaques qui n'avaient pas complètement bénéficié des derniers développements de la technologie. Des mesures ultérieures sont susceptibles de fournir des résultats encore meilleurs.

3.b. Comparaison BiCMOS055 vs BiCMOS9MW

Dans cette dernière série de mesure nous avons mesuré le composant de référence B55 dans les mêmes conditions que celui de la plateforme B9MW. Les paramètres extraits représentés Figure 238 ont été extraits au point de compression 1 dB pour $V_{CE} = 1,2$ V et V_{BE} proche du pic f_T , et grâce à un contrôle par le courant de base I_B .

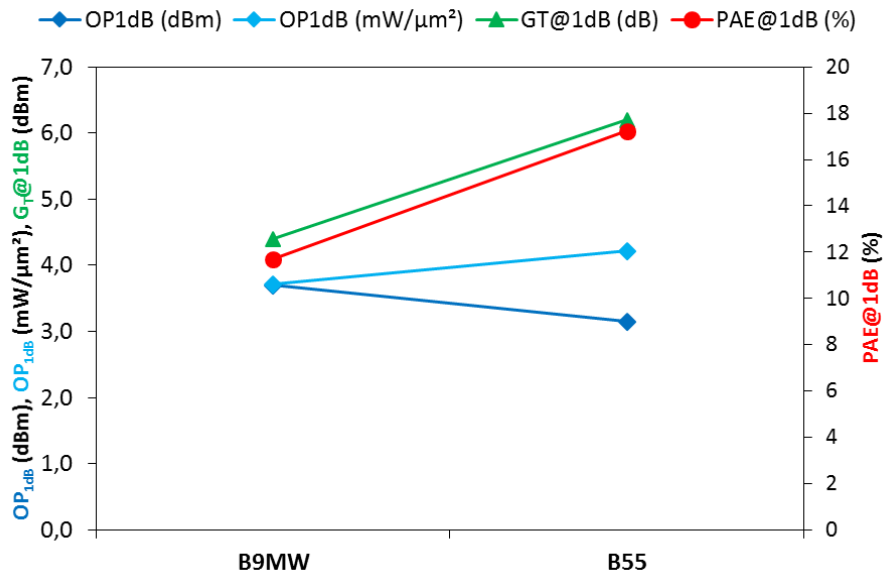


Figure 238 : Paramètres de puissance au point de compression 1dB pour les transistors de référence B9MW et B55 : puissance de sortie $OP1dB$, gain G_T et PAE

On constate l'augmentation de la puissance de sortie $OP1dB$ jusqu'à environ 4 mW/μm², celle du gain jusqu'à 6.3 dBm et celle du rendement jusqu'à plus de 17%. La technologie BiCMOS055 démontre alors des résultats à l'état de l'art, en progression par rapport à la génération précédente.

4. Conclusion

L'ensemble de l'étude sur technologie BiCMOS055, montre de façon similaire à BiCMOS9MW, l'augmentation du courant I_C à bas niveau en fonction de la densité et de la géométrie de métal au-dessus du transistor. La connexion des métaux changent par contre la résistance émetteur proportionnellement à leur nombre de niveaux. Et cette connexion est directement visible sur les paramètres à haute injection.

En termes de comportement thermique, cette connexion favorise la diffusion de chaleur en permettant l'évacuation de chaleur vers le haut par conduction thermique. D'après les simulations, la variation relative de la température maximale est plus importante en B55 tandis que les variations de R_{TH} et k_{TH} sont plus faibles. Cependant l'effet du BEOL reste faible par rapport à la contribution du substrat.

C. Conclusion du chapitre et perspectives

De l'ensemble de ces études on constate le même effet mécanique du BEOL sur les composants, à une amplitude différente cependant. L'ajout de métal au-dessus du transistor induit une contrainte compressive dans le silicium, qui s'ajoute à la contrainte déjà présente dans la base SiGe. Cette contrainte modifie l'énergie de bande interdite et par conséquent le courant collecteur I_C augmente, ainsi que les fréquences f_T et f_{MAX} . L'effet est plus fort pour les transistors BiCMOS9MW, car l'épaisseur totale de BEOL et l'encombrement sont plus grands qu'en BiCMOS055. Egalement, la géométrie des connexions est différente car en BiCMOS055 il n'y a pas de *dummies* directement au-dessus de la base, et les métaux sont connectés électriquement au composant, modifiant les résistances mais aussi la transmission de la contrainte du BEOL au silicium.

Les études thermiques de chaque technologie ont montré que bien que la structure du BEOL et la connexion des *dummies* changent la dissipation de chaleur, cette contribution reste minoritaire par rapport à celle du substrat. L'effet le plus important sur la résistance thermique apparente est alors celui de la résistance émetteur.

Les études préliminaires en régime grand signal réalisées à 94 GHz pour la technologie BiCMOS9MW à polarisation V_{BE} constante pour une tension V_{CE} de 1,2V ne montrent pas d'influence notable sur les principales caractéristiques de ces composants. Une nouvelle campagne sur BiCMOS055 a permis de fournir les premiers résultats liés à cette technologie et ont montré le bénéfice d'une densité métallique plus importante pour les paramètres de puissance de sortie et du rendement en puissance ajoutée.

L'ensemble de ces effets est à prendre en compte pour la conception des circuits avec transistors bipolaires, car bien que les variations issues de la contrainte BEOL restent limitées, il y a un risque de sortir des limites hautes définies par le modèle si elles impactent un composant déjà décentré vers le haut. Cependant, un tel décentrage est peu probable car la technologie est bien contrôlée lors de la fabrication (Avenier et al. 2012). Une variation du BEOL peut cependant impacter les structures de tests de « *matching* » où on vérifie que deux composants de mêmes caractéristiques sont rigoureusement identiques électriquement.

Pour poursuivre cette étude, il serait intéressant de simuler conjointement les effets thermiques et des contraintes, ainsi que leur effet sur les paramètres électriques, à la recherche d'éventuels effets croisés car le modèle actuel ne prend pas en compte les courants et autres phénomènes intrinsèques.

Une étude d'amincissement de substrat est d'autre part en cours, en collaboration avec l'IEMN, pour évaluer la capacité à amincir de tels circuits d'une part, et pour utiliser à notre avantage l'augmentation de la contrainte et celle des performances dynamiques qui en résulteraient. En fonction des résultats, on peut envisager des applications d'électronique flexible où un composant avec un substrat très fin, peut atteindre des performances aussi bonnes voire meilleures que sur circuit électronique standard.

Conclusion générale

Pour la première fois, une technologie BiCMOS en nœud 55 nm est développée et présente des performances à l'état de l'art, ainsi qu'une offre variée de composants sur la même technologie. Les capacités d'intégration sont largement augmentées en 55 nm par rapport à la technologie 0,13 μ m BiCMOS9MW, notamment parce qu'on utilise des plaques de silicium de diamètre 300mm. Mais ce nœud CMOS avancé donne également des opportunités pour le transistor bipolaire grâce à l'accès en plateforme 300mm à des procédés plus avancés et des résolutions plus fines. La co-intégration du MOS et du transistor bipolaire représente un challenge important par rapport aux contraintes de chaque composant, évoquées dans le deuxième chapitre.

Ce travail de thèse a été réalisé dans le contexte du développement du BiCMOS55 et nous avons travaillé sur trois axes en particulier, pour l'optimisation du transistor bipolaire Si/SiGe:C : améliorer la résistance de base en optimisant la contribution du lien entre la base intrinsèque et la base extrinsèque, développer un transistor bas-coût grâce à un module collecteur implanté, et analyser l'impact des connexions métalliques sur le composant sous-jacent.

Dans le troisième chapitre, nous avons donc présenté l'étude sur la résistance de base, à travers le matériau du polybase et son dopage, ainsi que l'impact de recuits supplémentaires. Les essais d'optimisation du polybase n'ont pas permis d'améliorer sa résistance malgré la réduction de la résistivité dans certains cas, à cause de l'apparition de phénomènes secondaires comme l'autodopage ou la recombinaison en base neutre. L'ajout d'un recuit additionnel après la base diminue significativement la résistance de base totale grâce à un meilleur lien de base intrinsèque/extrinsèque. La diffusion du bore du polybase vers la base épitaxiée, à travers le SiCap, est permis grâce au budget thermique supplémentaire. Mais la diffusion du bore a aussi lieu pour la base intrinsèque (dans une moindre mesure cependant grâce au carbone) et le compromis R_B/τ_B est répercuté sur f_T/f_{MAX} . Pour nos deux séries d'essais, la température de 1010°C est retenue. D'autre part, l'utilisation d'un recuit MSA en fin de fabrication FEOL permet une meilleure activation des dopants dans l'émetteur et dans la base, qui se traduit par des résistances réduites et des performances nettement améliorées. La combinaison de ces deux recuits a montré une amélioration nette en f_{MAX} (+22 GHz) pour une faible dégradation en f_T (-3 GHz) ; on a aussi montré l'augmentation de +8% de la puissance de sortie, extraite par mesures *loadpull* à 94 GHz. Ils constituent une perspective intéressante pour aller au-delà des performances du TBH en BiCMOS055, mais il faudrait recentrer les implantations des MOS en conséquence ou s'affranchir de la contrainte d'intégration qui vise à conserver les paramètres C55 des composants MOS, pour des raisons de continuité avec la technologie C55. Pour la suite du développement de BiCMOS, la structure DPSA-SEG semble arriver à sa limite et de nouvelles architectures sont nécessaires pour s'affranchir des compromis usuels. Malgré tous les efforts et les améliorations obtenues, il apparaît qu'il est difficile de réduire significativement la résistance de base extrinsèque avec cette architecture. De nouvelles architectures (IHP, IMEC) pour le module base/émetteur ont montré les meilleures performances à ce jour. Mais la compatibilité

de ces architectures avec les nœuds CMOS avancés peut être un problème notamment en termes de hauteur de la structure, qui doit être réduite face aux épaisseurs de plus en plus petite en fonction des nœuds CMOS.

L'étude d'un transistor avec un collecteur implanté dans le quatrième chapitre a montré la faisabilité d'un composant bas-coût performant. Les simulations TCAD de différents profils collecteurs ont été un outil majeur pour optimiser plus rapidement le profil de dopants. Des structures ont été dessinées, fabriquées sur silicium puis analysées pour un échantillon réduit de recettes : elles sont simplifiées en retirant les isolations par DTI et en fusionnant la zone active du composant, permettant une implantation en surface et la suppression de la couche enterrée. Nous avons montré des performances honorables à 96% et 91% des valeurs visées en B55 pour f_T et f_{MAX} respectivement, en réduisant significativement le budget de fabrication potentiel du module collecteur. Si les performances sont inférieures à celles de B55, elles sont néanmoins nettement supérieures à celles de BiCMOS9MW en nœud 0,13 μm , nous avons une technologie aux performances intéressantes accompagnées d'une bonne densité d'intégration. D'autre part la fabrication du module couche enterrée / DTI est de plus en plus critique dans des nœuds CMOS avancés : l'utilisation d'un collecteur totalement implanté représente donc l'avenir des transistors bipolaires en technologie BiCMOS. De nouvelles structures avec un nouveau schéma de connexions ont été mesurées mais n'ont pas montré les résultats attendus, de nouveaux essais sont nécessaires. Cependant grâce à l'optimisation du module base/émetteur menée en parallèle, nous avons montré un transistor simplifié aux performances équivalentes à celles de la référence DPSA-SEG. On peut aussi anticiper que l'utilisation de la combinaison de recuits, démontrée dans le chapitre III pourrait être une autre manière d'améliorer le composant sans toucher son schéma de connexions.

Enfin nous avons étudié l'influence de l'empilement des interconnexions métalliques dans le BEOL, au-dessus du composant bipolaire. De la différence de coefficient de dilatation thermique entre le cuivre et les différents diélectriques découle une contrainte mécanique résiduelle, qui est propagée dans le silicium et le composant sous-jacent. Cette contrainte s'ajoute alors à celle initialement présente dans l'alliage SiGe de la base, modifiant l'énergie de bande interdite et certains paramètres du transistor. Pour une même polarisation V_{BE} , le courant collecteur est augmenté, ce qui est répercuté directement sur les fréquences f_T et f_{MAX} . Ce phénomène existe dans les deux technologies à l'étude, BiCMOS9MW et BiCMOS055, bien que plus modéré dans la dernière. L'étude thermique a montré que la configuration du BEOL au-dessus du composant en tant que telle a un impact mineur sur son comportement thermique (R_{TH}). La connexion des métaux au composant change la dissipation de chaleur par le BEOL mais la contribution reste négligeable devant celle du substrat. Le principal effet vient de la contribution du BEOL à la résistance émetteur. En effet plus il y a de métal connecté au composant, plus la résistance émetteur diminue et plus R_{TH} augmente de manière apparente. L'étude des interconnexions BEOL a mis en évidence un impact non négligeable de la contrainte mécanique induite, mais aussi une diffusion de chaleur différente, à prendre en compte pour la conception de circuits, à l'heure où le transistor bipolaire devient plus rapide, mais aussi plus consommateur en courant. Des mesures réalisées après la fin de cette thèse ont également montré l'impact de la structure du *back-end* sur les paramètres de puissance mesurés en *loadpull*.

La feuille de route définie par l'ITRS en 2013 montre des améliorations théoriques impressionnantes pour les transistors bipolaires (pour atteindre $f_T / f_{MAX} > 700 / 1500$ GHz, pour une densité de courant $j_C = 120 \mu\text{A}/\mu\text{m}^2$) d'ici les 15 prochaines années mais toutes les solutions technologiques ne sont pas forcément connues à ce jour et de nombreux défis à relever. Un de ces premiers obstacles est notamment la difficulté d'intégration de transistors bipolaires rapides, aux profils de dopants abrupts, dans des nœuds CMOS avancés et notamment en FDSOI.

Annexes

A. Calcul des courants idéaux

1.a. Expressions des courants idéaux I_C et I_B

Considérons les équations de continuité caractérisant le transport des électrons et des trous dans un semi-conducteur hors équilibre où n et p sont les densités de porteurs (en at.cm^{-3}), G et U les taux de génération et de recombinaison (en $\text{m}^{-3}.\text{s}^{-1}$), J_n et J_p les densités de courants (en A.m^{-2}) pour les électrons et les trous respectivement.

$$\frac{\partial n}{\partial t} = G_n - U_n + \frac{1}{q} \nabla J_n \quad (49)$$

$$\frac{\partial p}{\partial t} = G_p - U_p - \frac{1}{q} \nabla J_p \quad (50)$$

D'autre part, les densités de courant J_n et J_p s'expriment comme la somme des courants de diffusion (loi de Fick) et de conduction (loi d'Ohm) :

$$J_n = qD_n \nabla n + qn\mu_n E \quad \text{et} \quad J_p = -qD_p \nabla p + qp\mu_p E \quad (51)$$

Avec D_n et D_p la constante de diffusion des électrons et des trous respectivement, μ_n et μ_p leur mobilité. Ces grandeurs sont reliées par la relation d'Einstein, tel que

$$D_n = \mu_n \frac{kT}{q} \quad \text{et} \quad D_p = \mu_p \frac{kT}{q}. \quad (52)$$

La constante de diffusion D peut également être exprimée en fonction de L la longueur de diffusion (ou libre parcours moyen) et τ le temps de parcours moyen :

$$L_n = \sqrt{D_n \tau_n} \quad \text{et} \quad L_p = \sqrt{D_p \tau_p} \quad (53)$$

Chacun de ces paramètres est propre à la nature du semiconducteur, à son type de dopage et aux porteurs de charges considérés.

Les équations (49), (50) et (51) permettent de résoudre le système en trois dimensions. Pour des raisons évidentes de simplification on se limite à l'étude en 1D, suivant la direction x indiquée sur la Figure 239.

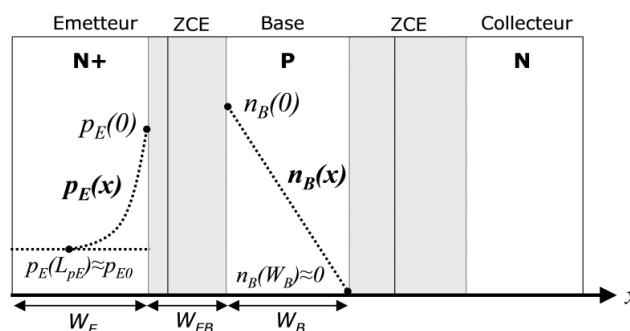


Figure 239 : Profil de porteurs minoritaires dans un TBH

Enfin, voici les hypothèses mises en jeu pour le calcul des courants de base et de collecteur.

- On se place en régime permanent, les densités de porteurs sont indépendantes du temps.

$$\frac{\partial n}{\partial t} = \frac{\partial p}{\partial t} = 0$$

- On considère qu'il n'y a pas de charges provenant de l'extérieur : $G_n = G_p = 0$
- Les niveaux de dopages sont assez élevés et uniformes pour ne pas générer de chute de tension dans les zones neutres : le champ électrique y est nul.
- On suppose les mécanismes de génération et de recombinaison nuls dans les ZCE.

Alors

$$J_n = q D_n \nabla n \quad \text{et} \quad J_p = -q D_p \nabla p \quad (54)$$

1.a.i. Courant collecteur

Le courant collecteur correspond aux électrons injectés au niveau de l'émetteur par les sources de tension, qui ont réussi à traverser la base. On calcule dans un premier temps la distribution des électrons dans la base dopée p , électrons qui sont alors porteurs minoritaires.

On considère ici la largeur W_B de la base comme très faible devant la longueur de diffusion des électrons dans la base L_{nB} . En conséquence, l'évolution de la densité d'électrons dans la base $n_B(x)$, est supposée linéaire (cf Figure 239). On définit à présent les conditions aux limites de la base neutre, permettant de calculer l'expression de $n_B(x)$.

A l'extrémité de la jonction émetteur-base, la quantité d'électrons peut être exprimée en fonction de la polarisation appliquée:

$$n_B(0) = n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \quad \text{où} \quad n_{B0} = \frac{n_{iB}^2}{p_{b0}} = \frac{n_{iB}^2}{N_{aB}}. \quad (55)$$

De même à l'extrémité de la jonction base-collecteur, $n_B(W_B) = n_{B0} \exp\left(-\frac{qV_{CB}}{kT}\right)$. En régime standard V_{CB} est relativement supérieure à kT/q et $n_B(W_B)$ est considérée proche de zéro. $n_B(x)$ étant supposée linéaire, on obtient

$$n_B(x) = n_{B0} \exp\left(\frac{qV_{BE}}{kT}\right) \left(1 - \frac{x}{W_B}\right) \quad (56)$$

On remplace alors l'équation (56) dans (54), et on obtient la densité de courant des électrons dans la base neutre :

$$J_n = \frac{q D_{nB} n_{B0}}{W_B} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (57)$$

Finalement, l'expression du courant collecteur idéal pour un transistor bipolaire silicium est :

$$I_C = A_e J_n = \frac{q A_e}{G_B} \exp\left(\frac{q V_{BE}}{kT}\right) \quad (58)$$

- $G_B = \frac{W_B N_{aB}}{D_{nB} \cdot n_{iB}^2}$ est le nombre de Gummel associé à la base.
- A_e est l'aire de la fenêtre émetteur à travers laquelle circule la densité de courant J_n
- N_{aB} est la densité de dopants accepteurs activés dans la base dopée p
- D_{nB} est la constante de diffusion des électrons (minoritaires) dans la base dopée p
- n_{iB} est la densité de porteurs intrinsèques du matériau constituant la base, ici le silicium
- W_B est l'épaisseur de la base neutre

Pour un profil de dopage non uniforme, le nombre de Gummel a alors l'expression suivante :

$$G_B = \int_0^{W_B} \frac{N_{aB}(x)}{D_{nB}(x) \cdot n_i^2(x)} dx \quad (59)$$

On remarque que ce courant I_C est notamment inversement proportionnel à l'épaisseur de la base neutre W_B , qui va être définie par la diffusion des espèces dopantes lors de la fabrication du transistor (B et As).

1.a.ii. Courant de base

Pour le calcul du courant de base, on se place dans le cas simple où les courants de recombinaison I_{rB} et I_{rG} sont négligeables et où le courant de diffusion des trous dans l'émetteur I_{pE} est la composante principale.

Dans une première approximation, considérons le cas d'un émetteur fin où l'épaisseur de l'émetteur W_E est très inférieure à la longueur de diffusion des trous dans l'émetteur L_{pE} ($W_E \ll L_{pE}$). L'évolution de la densité de trous dans l'émetteur peut être considérée comme linéaire, avec les conditions aux limites suivantes :

A la jonction base émetteur, en fonction de la polarisation appliquée :

$$p_E(0) = p_{E0} \exp\left(\frac{q V_{BE}}{kT}\right) \text{ Avec } p_{E0} = \frac{n_{iE}^2}{n_{E0}} = \frac{n_{iE}^2}{N_{dE}} \quad (60)$$

Au contact émetteur, où tous les trous injectés de la base vers l'émetteur sont recombinés ; la concentration de trous est donc celle de l'équilibre : $p_E(W_E) \approx p_{E0}$.

Alors la densité de trous dans l'émetteur peut être décrite par l'équation suivante :

$$p_E(x) = p_{E0} \left[\frac{1 - \exp\left(\frac{q V_{BE}}{kT}\right)}{W_E} x + \exp\left(\frac{q V_{BE}}{kT}\right) \right] \quad (61)$$

Comme pour le courant de collecteur, en utilisant l'expression (54) définissant J_p et en considérant $\exp\left(\frac{qV_{BE}}{kT}\right) \gg 1$ pour des valeurs de polarisation V_{BE} suffisamment élevées, on obtient :

$$I_B = A_e J_p = \frac{qA_e}{G_E} \exp\left(\frac{qV_{BE}}{kT}\right) \quad (62)$$

- $G_E = \frac{W_E N_{dE}}{D_{pE} n_{iE}^2}$ est le nombre de Gummel associé à l'émetteur.
- A_e est l'aire de la fenêtre émetteur à travers laquelle circule la densité de courant J_p
- N_{dE} est la densité d'ions donneurs activés dans l'émetteur dopé n
- D_{pE} est la constante de diffusion des trous (minoritaires) dans l'émetteur dopé n
- n_{iE} est la densité de porteurs intrinsèques du matériau constituant l'émetteur, ici le Si
- W_E est l'épaisseur de l'émetteur neutre

Pour un dopage non uniforme, on peut généraliser l'expression du nombre de Gummel :

$$G_E = \int_{-W_E}^0 \frac{N_{dE}(x)}{D_{pE}(x) \cdot n_i^2(x)} dx \quad (63)$$

Dans le cas d'un émetteur large ($W_E \gg L_{pE}$), la densité de trous peut être décrite par une fonction exponentielle décroissante comme représentée sur la Figure 239 de telle sorte que :

$$p_E(x) = p_{E0} \left(1 + \exp\left(\frac{qV_{BE}}{kT}\right) \exp\left(-\frac{x}{L_{pE}}\right) \right) \quad (64)$$

Et

$$J_p(x) = -qD_{pE} \frac{dp_E}{dx} = \frac{qD_{pE} p_{E0}}{L_{pE}} \exp\left(\frac{qV_{BE}}{kT}\right) \exp\left(-\frac{x}{L_{pE}}\right) \quad (65)$$

Pour exprimer le courant de base, à l'entrée de la jonction base/émetteur, il suffit d'exprimer I_B pour $x=0$ et on obtient alors :

$$I_B = A_e J_p(0) = \frac{qA_e}{G_E} \exp\left(\frac{qV_{BE}}{kT}\right) \quad \text{avec} \quad G_E = \frac{L_{pE} N_{dE}}{D_{pE} n_{iE}^2} \quad (66)$$

Cette fois le nombre de Gummel pour l'émetteur G_E est proportionnel à la longueur de diffusion des trous dans l'émetteur L_{pE} .

B. Méthodes de caractérisation et de simulation pour l'étude du transistor bipolaire

Dans cette annexe nous présentons les différents outils de caractérisation, d'extraction, de simulation à notre disposition et qui nous ont permis d'étudier le transistor bipolaire. Les outils d'imagerie et l'extraction des profils de dopants peuvent nous permettre de comprendre les résultats des tests électriques statiques ou dynamiques. En complément, les outils de simulation offrent une possibilité de comprendre le fonctionnement intrinsèque du composant là où les caractérisations réelles sont limitées, mais aussi d'anticiper d'éventuels essais.

I. Caractérisation physique

1. Coupe d'un transistor par imagerie TEM / SEM

Les outils d'imagerie fournissent des informations sur la topologie du composant observé et éventuellement sur leur contenu atomique. Pour des raisons de variabilité, il existe parfois un décalage entre ce qui est attendu et ce qu'on a sur nos plaques, en termes de règles de dessin ou de recettes de fabrication. Les techniques d'imagerie sont utilisées pour vérifier qu'une recette de gravure par exemple est adaptée ou non, pour mesurer les dimensions réelles ou encore pour s'assurer qu'il n'y a pas de défauts visibles dans les matériaux.

- **Microscopie électronique à balayage (*Scanning Electron Microscopy*)** Les analyses SEM fournissent des images obtenues par la détection des électrons secondaires ou rétrodiffusés, émis par l'échantillon après interaction avec un faisceau d'électrons. Le contraste de l'image résulte de la différence de réponse d'un électron, en fonction de la topographie (électrons secondaires principalement) et/ou du matériau duquel il est issu (électrons rétro-diffusés). La résolution spatiale de cette technique est de 2-3 nm. Les analyses SEM sont généralement utilisées pour observer de grandes surfaces (connexions métalliques par exemple).

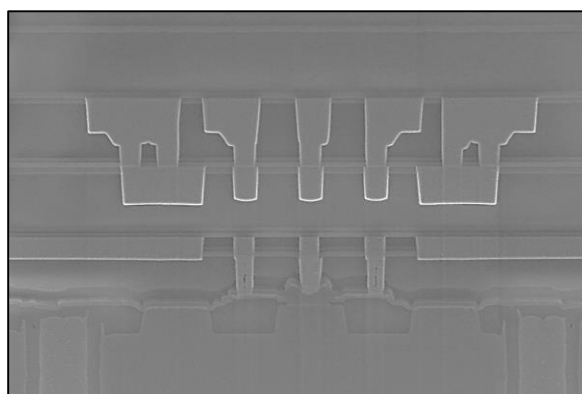


Figure 240 : Exemple d'image obtenue par imagerie SEM

- **Microscopie électronique en transmission (*Transmission Electron Microscope*)** : L'échantillon est éclairé par un faisceau électronique de haute énergie, électrons qui vont se propager différemment en fonction de l'interaction de la nature ou de la cristallinité des

différentes espèces dans l'échantillon. Comme son nom l'indique, une analyse TEM résulte de l'interaction des électrons transmis à travers un échantillon très fin (lamelle d'épaisseur inférieure à 100nm). C'est une technique plus compliquée à mettre en œuvre en termes de préparation d'échantillon et la zone observable doit être de taille limitée. Mais l'analyse TEM bénéficie d'une meilleure résolution spatiale (0,5nm) et d'un meilleur contraste entre les éléments atomiques.

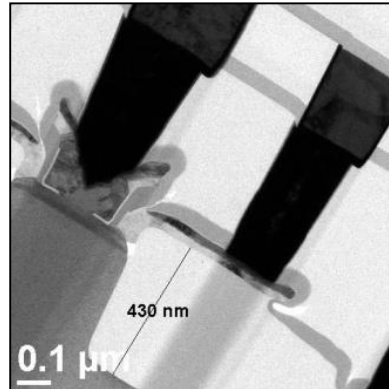


Figure 241 : Exemple d'image obtenue par TEM, pour un TBH Si/SiGe:C

- **Analyses STEM EDX (Scanning TEM Energy dispersive X-ray)** : Combinant la microscopie TEM avec la microscopie SEM, on obtient une image avec un bon contraste, fonction du numéro atomique Z des éléments détectés. D'autre part, grâce à la spectroscopie EDX, on mesure l'énergie des rayons X émis par les atomes, proportionnelle à leur concentration. Cette technique fournit un spectre permettant la quantification des éléments présents dans l'échantillon observé, au % près. A noter que la spectroscopie EDX ne permet pas de quantifier la présence de bore, l'espèce étant trop légère face à la résolution de la technique.

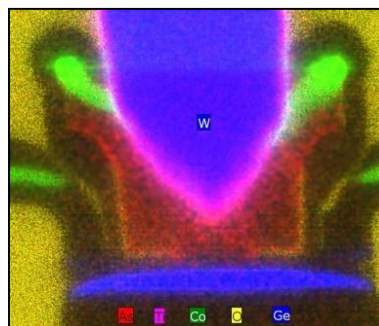


Figure 242 : Exemple d'image obtenue par STEM-EDX, pour le même composant

2. Analyse des profils de dopants par SIMS

La Spectrométrie de Masse à Ionisation Secondaire (SIMS pour *Secondary Ions Mass Spectroscopy*) est une analyse destructive : l'échantillon est soumis à un bombardement d'ions primaires générant ainsi des électrons secondaires qui seront analysés par un spectromètre de masse. Ce spectromètre permet de déterminer la composition élémentaire, isotopique et moléculaire de la surface observée. On peut alors obtenir les profils de dopage

des différentes régions du transistor, pour les différents éléments présents O, As, B, Ge, C en fonction de la profondeur.

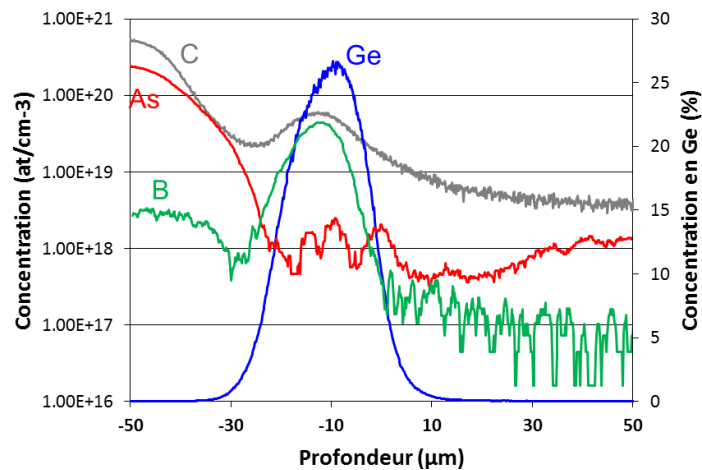


Figure 243 : Exemple d'analyse SIMS réalisable pour la caractérisation des TBH

Pour cette analyse, des structures dédiées ont été conçues et sont fabriquées sur les mêmes plaques de silicium que les composants étudiés. Ces structures reproduisent les profils de dopage du TBH dans une zone en particulier (profil centré sous la fenêtre émetteur par exemple) sans topologie. Il est nécessaire d'avoir une structure suffisamment grande (carré de $300 \times 300 \mu\text{m}^2$) pour l'analyse SIMS qui est délicate à mettre en œuvre.

Pour une plaque qui est munie des différents niveaux de connexions, leur retrait chimique est nécessaire (*deprocessing*), ce qui amène une certaine imprécision sur les résultats en termes de reproductibilité et peut gêner l'interprétation d'une plaque à l'autre. Le profil de bore est particulièrement sensible à ce retrait.

II.Extraction des paramètres électriques

Les transistors et les structures qui y sont liés, peuvent être analysés en termes de paramètres statiques, fréquentiels, de puissance, thermiques. Nous donnons ici un aperçu des protocoles définis pour chacune de ces caractérisations.

1. Tests paramétriques statiques

Des tests paramétriques sont réalisés « en ligne », pendant la fabrication des circuits sur silicium en salle blanche. Ce sont des séries de tests automatiques électriques réalisés par des cartes à pointes sur un échantillon de puces (9 à 25), réparties sur l'ensemble de la plaque.

Ces tests permettent d'extraire toute sorte de paramètres grâce à des routines définies au préalable, pour les transistors bipolaires, les transistors CMOS ou des structures dédiées. Les résultats sont ensuite traités par le logiciel *PT Analysis*, permettant une analyse statistique des informations, des cartographies, des graphes de dispersion *xy*, etc.

On peut évaluer beaucoup de ces paramètres in situ, dans les transistors bipolaires mêmes : les courants, les facteurs d'idéalité, les tensions de Early, la résistance émetteur, etc. Mais

pour certains paramètres comme les résistances de base ou de collecteur, les capacités, les temps de propagation ou le rendement, des structures dédiées sont nécessaires.

1.a. Extraction des résistances

1.a.i. Résistance émetteur

La résistance émetteur est extraite des mesures des courants pour V_{BE} à 0,75 et 0,85V à partir du calcul de la transconductance du composant qui est définie par :

$$g_m = \frac{dI_C}{dV_{BE}} \approx I_{C1} \frac{\ln(I_{C2}) - \ln(I_{C1})}{V_{BE2} - V_{BE1}} \quad (67)$$

Simplement on calcule la transconductance comme un taux d'accroissement. On trace ensuite g_m/I_C en fonction de g_m (Figure 244).

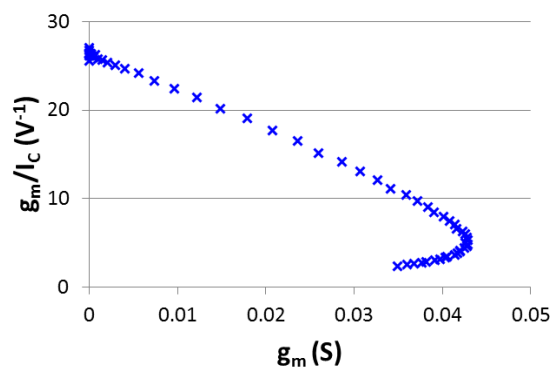


Figure 244 : Tracé de g_m/I_C en fonction de g_m , pour l'extraction de la résistance émetteur R_E

Une approximation à partir de l'expression du courant I_C donne la relation suivante (Pourchon and Céli 2002) :

$$\frac{g_m}{I_C} = \frac{1}{V_T} - \frac{R_E}{V_T} g_m \quad (68)$$

Si on extrait la pente et l'ordonnée à l'origine de la partie linéaire de la courbe, on peut donc calculer R_E à partir du rapport pente/ordonnée.

1.a.ii. Résistances de couches dans le polyémetteur ou le polybase

Pour évaluer les résistances de couches des matériaux utilisés pour constituer le polyémetteur ou le polybase, des « barreaux » sont fabriqués dans des structures individuelles, siliciurées ou non (cf Figure 245).

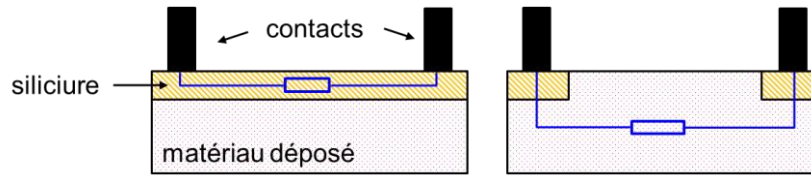


Figure 245 : Structures siliciurée (gauche) et non siliciurée (droite) pour l'extraction de la résistance de couche d'un matériau

Une simple extraction de résistance permet de connaître :

$RSP2R$ et $RSP2R_U$: les résistances siliciurées ou non pour le polybase

$RSP3R$ et $RSP2R_U$: les résistances siliciurées ou non pour le polyémetteur

1.a.iii. Résistance de la base

La résistance de base est un paramètre particulièrement délicat à extraire. Pour un suivi paramétrique, nous utilisons des structures tétrodes, où l'émetteur « encercle » la base. Cette configuration permet de s'assurer du passage du courant sous l'émetteur pour une évaluation plus fiable de la résistance. Un *layout* type d'une structure tétrode est représenté sur la Figure 246 et un schéma 2D de la structure est visible Figure 247.

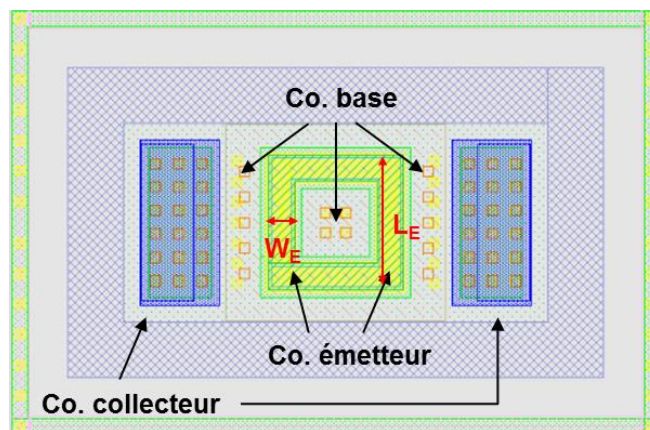


Figure 246 : Layout d'une structure tétrode pour l'extraction de la résistance de base

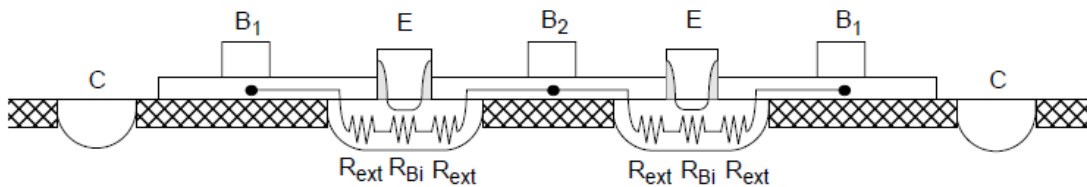


Figure 247 : Schéma 2D de la structure tétrode de la résistance de base (Pourchon and Céli 2002)

D'après la Figure 247, on a alors :

$$R_{\text{accès}} = \frac{1}{2} (R_{Bi} + 2 R_{\text{ext}}) \quad (69)$$

$$\text{Avec } R_{bi} = \frac{W_E}{L_E} RSPBI \quad \& \quad R_{\text{ext}} = RBX$$

Pour extraire les composantes **extrinsèque (RBX)** et intrinsèque (**RSPBI, résistance de couche de la base pincée**) indépendamment, on mesure la résistance d'accès à la base pour des structures tétrodes où l'émetteur est de longueur et/ou de largeur différente. Une série de calcul permet alors de dissocier chacune des composantes. La mesure de 70 structures tétrodes en série ensuite ramenée à une seule structure permet d'évaluer une image de la **résistance totale de base RACCBASE**.

Cependant, cette méthode d'évaluation ne permet d'évaluer qu'une valeur de résistance propre aux conditions de fabrication de la base sur une même puce et à un jeu de règles de dessin nominales.

1.a.iv. Résistance du collecteur

Pour extraire la résistance du collecteur on fait varier la largeur du collecteur d'un côté seulement comme dans (Stein, Derrier, et al. 2013). Cette configuration est représentée sur la Figure 248.

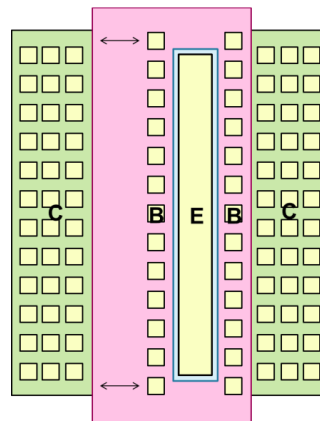


Figure 248 : Schéma des structures pour l'extraction de la résistance collecteur.

De la même manière que pour la résistance de base, on cherche à dissocier les composantes qui dépendent de la largeur de collecteur (couche enterrée) de celles qui sont fixes (puits collecteur). A partir des mesures des structures de dimensions différentes, on peut extraire **RLSK** la résistance linéique du puits collecteur (*sinker*) et **RSBL** la résistance de couche de la couche enterrée (*buried layer*).

1.b. Extraction des capacités

Les capacités sont extraites en test paramétriques grâce à des structures qui contiennent une chaîne de 1722 transistors aux règles de dessin nominales. Un capacimètre extrait la valeur globale qui est ensuite ramenée à celle d'un seul transistor. De cette manière sont extraites les capacités base/émetteur C_{BE} , capacité base/collecteur C_{BC} et collecteur/substrat C_{CS} pour le transistor nominal. Pour avoir accès aux capacités propres à chaque géométrie, nous avons besoin de l'extraction via les paramètres S.

La bonne corrélation avec les capacités extraites des paramètres S nous permet de compter sur ces mesures et d'avoir accès à des informations concernant le transistor étudié avant les

mesures hautes fréquences (HF) qui sont réalisées à posteriori, hors ligne, et qui sont très consommatrices en temps et en ressources.

1.c. Temps de propagation dans une porte logique

Les montages oscillateurs en anneaux sont constitués d'une boucle d'un nombre impair de portes logiques de type inverseur, conçues en technologie bipolaire. Les fréquences en jeu étant élevées, un diviseur de fréquence 2^{17} est placé en sortie du circuit oscillateur.

On évalue le temps de propagation du signal à travers ce circuit, et par division par le nombre de portes, le **temps de propagation dans une porte logique** τ_D . Ce paramètre donne ainsi une image de la vitesse de commutation des transistors. La corrélation entre τ_D et f_{MAX} (τ_D proportionnel à $1/f_{MAX}$) permet d'avoir des informations sur les vitesses de fonctionnement du transistor avant les tests en fréquence.

2. Mesures manuelles

Les mesures manuelles sont plus consommatrices en temps car réalisées sur un banc non automatisé mais fournissent de plus amples informations sur le comportement du transistor.

2.a. Tracé de Gummel

Pour extraire un tracé de Gummel, on polarise traditionnellement le transistor à $V_{CB} = 0V$ et on mesure l'évolution des courants I_B et I_C en fonction de V_{BE} . Ce graphe (exemple en Figure 249) est caractéristique d'un transistor bipolaire et permet d'identifier rapidement les différents phénomènes évoqués dans la partie A de ce chapitre : courant tunnel à faible injection, recombinaisons, effets de haute injection, etc.

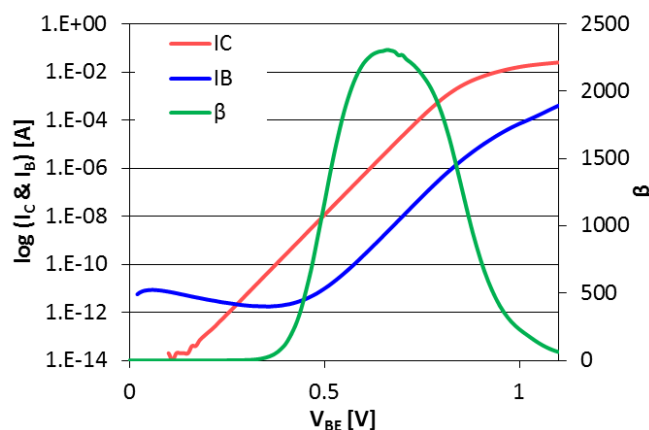


Figure 249 : Exemple de tracé de Gummel

2.b. Caractéristiques I-V

Les caractéristiques I-V (I_C-V_C) peuvent être tracées à I_B fixé (notées I-V (I_B)) ou V_{BE} fixé (notées I-V (V_{BE})). Elles nous renseignent sur l'apparition de l'auto-échauffement, la tension de claquage BV_{CEO} , les résistances séries R_E+R_C grâce à la pente à l'origine des I-V (I_B)

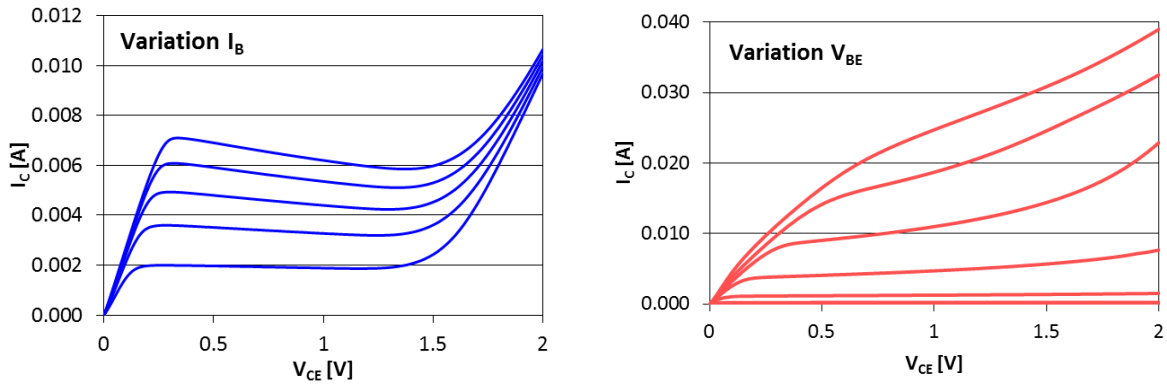


Figure 250 : Exemple de caractéristique I-V, pour différentes valeurs de courants I_B (gauche) ou polarisations V_{BE} (droite)

3. Extraction des paramètres S pour des mesures fréquentielles

Afin d'évaluer les performances à haute fréquence des transistors, on procède à la mesure des paramètres de la matrice S. Ces paramètres S sont caractéristiques du dispositif sous test (dit DUT), et sont mesurés à l'aide d'un analyseur vectoriel.

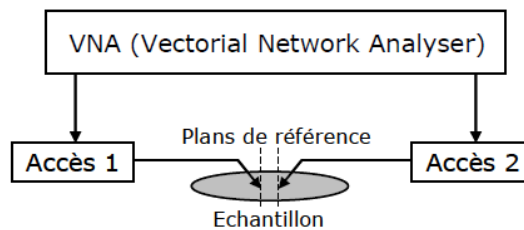
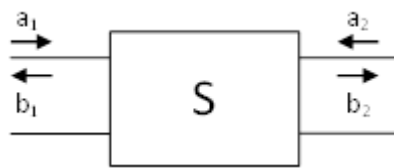


Figure 251 : Schéma de principe de l'analyseur vectoriel

On étudie ainsi la réponse du transistor à un signal sinusoïdal donné, à fréquence variable.



$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix}$$

a_1 et a_2 sont les ondes incidentes arrivant au quadripôle, b_1 et b_2 ondes transmises ou réfléchies. Ces composantes s'expriment facilement en fonction des courants et tensions petit signal v_1 , v_2 , i_1 , i_2 , et de l'impédance caractéristique Z_0 .

$$a_1 = \frac{v_1 + Z_0 i_1}{2\sqrt{Z_0}} \quad a_2 = \frac{v_2 + Z_0 i_2}{2\sqrt{Z_0}} \quad b_1 = \frac{v_1 - Z_0 i_1}{2\sqrt{Z_0}} \quad b_2 = \frac{v_2 - Z_0 i_2}{2\sqrt{Z_0}}$$

Les mesures des paramètres S (auxquelles on fera référence par la suite comme les mesures HF) sont réalisées sur un échantillon de puces, 9 en général. A partir des paramètres S extraits

on peut calculer les paramètres fréquentiels tels que f_T , f_{MAX} , ainsi que les capacités C_{BE} , C_{BC} , C_{CS} , et les résistances R_B et R_E .

On a par exemple les expressions des gains liés à la définition des fréquences de transition f_T et maximale d'oscillation f_{MAX} . Les paramètres Y sont issus des paramètres S par transformation de matrice.

- Pour évaluer f_T , on utilise le gain en courant petit signal :

$$|h_{21}| = \frac{2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (70)$$

- Pour évaluer f_{MAX} , on utilise le gain en puissance, gain de Mason :

$$U = \frac{|Y_{21} - Y_{12}|^2}{4 R(Y_{11})R(Y_{22})R(Y_{12})R(Y_{21})} \quad (71)$$

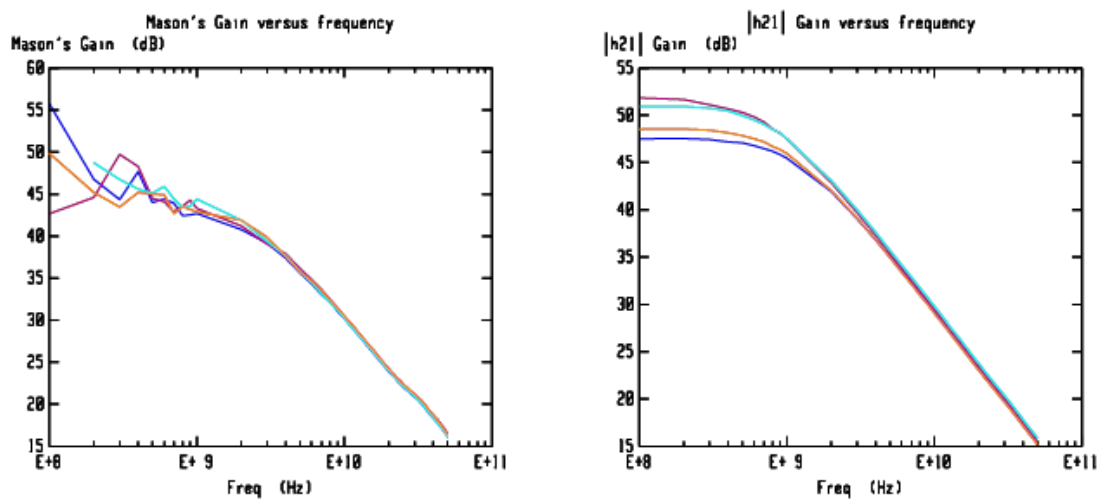


Figure 252 : Mesures typiques du gain de Mason U et du gain en courant h_{21} pour 4 transistors différents

Chacune des fréquences est définie telle que le gain soit égal à l'unité. Les bancs de mesures étant encore limité en terme de balayage fréquentiel (comme on peut le voir sur la Figure 252, le gain n'atteint pas encore l'unité), on est souvent amené à extrapoler la valeur de la fréquence extraite à partir de la pente à -20dB/décade .

Cependant, si on mesure les performances haute-fréquence directement les résultats montreront également les contributions des niveaux de métaux connectant le transistor aux pointes de mesures.

Pour pallier à ce problème on utilise l'épluchage ou *deembedding*. Des **structures open/short** dédiées à chaque géométrie de connexion sont implémentées sur les mêmes puces. Elles nous ramènent jusqu'au premier niveau de métal (M1) au-dessus du composant. On peut alors connaître les résistances et capacités parasites associées aux connexions et par traitement numérique les ôter des résultats du composant. Et on obtient alors les caractéristiques fréquentielles du composant intrinsèque. Il est à noter que l'épluchage et les méthodes de mesures pouvant différer d'un groupe à l'autre, la comparaison des résultats HF ne peut pas toujours être faite dans l'absolu (Derrier, Rumiantsev, and Céli 2012).

Concernant l'extraction des capacités et résistances, on a, contrairement aux structures mesurées dans les tests paramétriques, des résultats propres à chaque géométrie. Mais il reste difficile d'avoir des résultats clairs pour une seule puce dans le cas de la résistance de base qui est très sensible aux conditions de mesure (Kloosterman, Paasschens, and Klaassen 1999).

III. Mesures de puissance via un banc *loadpull*

Les composants bipolaires et la technologie BiCMOS plus généralement sont très utilisés pour des applications de puissance. Il est donc nécessaire de connaître leurs caractéristiques dans ce domaine. Les mesures *loadpull* en régime grand signal pour plusieurs impédances de charge, permettent de mesurer les puissances d'entrée et de sortie, ainsi que le gain du transistor étudié. Un banc dédié disponible à l'IEMN permet cette caractérisation. Nous allons voir rapidement comment il est construit et quelles sont les informations que l'on peut extraire de telles mesures.

1. Montage du banc *loadpull* et calibration

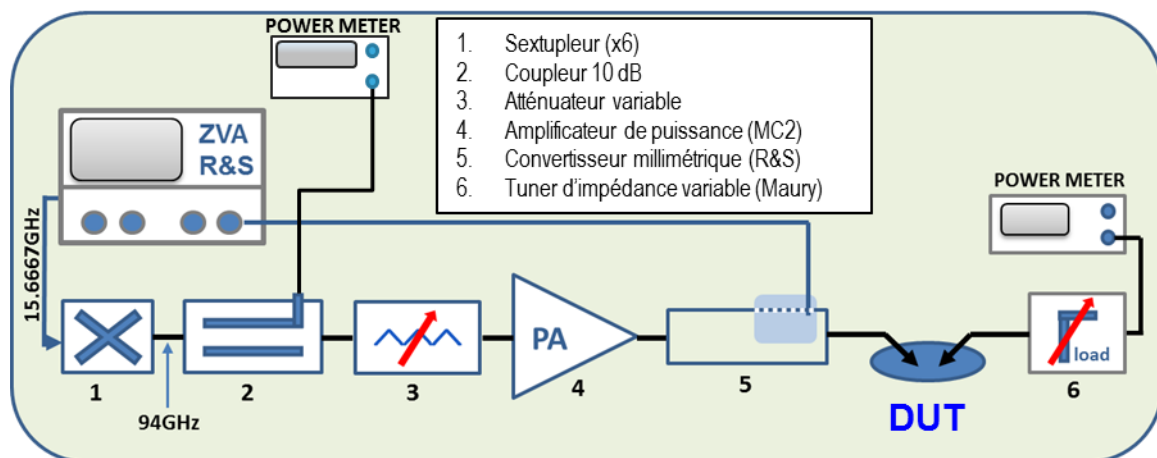


Figure 253 : Schéma du banc de mesure pour les mesures en puissance

Les caractérisations *loadpull* sont ici réalisées à une fréquence de 94 GHz à l'entrée du composant, en bande W (Hasnaoui et al. 2013). Le banc schématisé Figure 253 est constitué de :

- Un analyseur de réseau vectoriel (ZVA) (par Rohde & Schwarz) qui génère un signal de fréquence 15.667 GHz.
- Un Sextupleur (1) qui permet de multiplier la fréquence du signal injecté par 6, et d'obtenir les 94 GHz voulus.
- Un coupleur 10dB (2) pour prélever la puissance à l'entrée.
- Un atténuateur variable (3) qui permet de contrôler la puissance du signal qui est injecté dans le DUT.
- Un amplificateur de puissance (4) (par MC2 Technologies).
- Un convertisseur millimétrique (5) (par Rohde & Schwarz).

- Un tuner d'impédance variable (6) (par Maury) qui module la valeur de l'impédance vu par le DUT à sa sortie, contrôlé par une interface informatique.
- Un bolomètre utilisé pour la mesure de puissance.

La mise en place et la calibration du banc sont assez délicates. Chaque module du banc doit être calibré un par un et installé avec une précision millimétrique vu la sensibilité des équipements de radiofréquences (RF). On évalue les pertes ou le gain amené par le dit module pour pouvoir calculer exactement les puissances vues en entrée ou en sortie par le composant, dans le plan des pointes de mesure RF.

Les éléments (1) à (5) amènent un décalage de gain d'environ +13,3 dBm : c'est-à-dire que si un signal de puissance 0 dBm par exemple est généré par le ZVA, le signal injecté dans le DUT aura une puissance de l'ordre de -13.3 dBm. Le tuner (6) génère lui des pertes variables en fonction des impédances synthétisées.

L'unité dBm (parfois dBmW) est très utilisée dans le domaine des ondes micro-ondes. C'est l'abréviation du rapport de puissance en décibels (dB) entre la puissance mesurée et un milliwatt (mW). Il existe aussi les dBW, qui sont un rapport à un watt (1000 mW). On peut passer des dBm aux milliwatts et vice versa avec les équations suivantes :

$$P_{dBm} = 10 \log_{10}(P_{mW}) \quad (72)$$

$$P_{mW} = 10^{\frac{P_{dBm}}{10}} \quad (73)$$

2. Caractérisation en puissance

Les paramètres d'intérêt pour l'étude du composant en puissance sont les suivants

- Les paramètres S_{ij} du DUT et du tuner et en particulier le coefficient de réflexion S'_{11} :

$$S'_{11} = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma}{1 - S_{22} \cdot \Gamma} \quad (74)$$

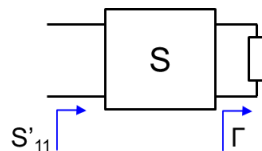


Figure 254 : Définition du coefficient de réflexion S'_{11}



Figure 255 : Schéma de principe du banc *loadpull* en bande W

- La puissance P_{inj} à l'entrée du banc par le ZVA
- La puissance absorbée P_{abs} en entrée du composant :

$$P_{abs} = P_{inj}(1 - |S'_{11}|^2) \quad (75)$$

- La puissance en sortie du composant P_{out}
- Les gains en puissance G_t et G_p :

$$G_t = \frac{P_{out}}{P_{inj}} \quad (76)$$

$$G_p = \frac{P_{out}}{P_{abs}} \quad (77)$$

- Le rendement à puissance ajoutée (*Power Added Efficiency*) PAE :

$$PAE = \frac{P_{out} - P_{abs}}{P_{DC}} = \frac{P_{out} - P_{abs}}{I_C V_C} \quad (78)$$

Avant de commencer les mesures de puissance, on a besoin de connaître les paramètres S du composant pour savoir quelle est la valeur de S_{22} du composant pour une fréquence de 94 GHz, et pour une polarisation V_{BE} correspondant à la valeur $max(f_T)$.

2.a. Caractéristique puissance d'entrée vs puissance de sortie

Le point de compression d'un transistor est défini par la valeur de P_{inj} pour laquelle la puissance de sortie P_{out} est inférieure de 1dB à son comportement linéaire (cf Figure 256). C'est un paramètre important car il donne la limite du comportement linéaire pour les amplificateurs en puissance conçus avec le dit transistor.

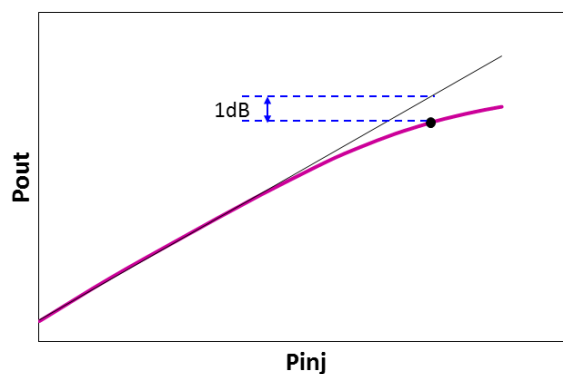


Figure 256 : Définition du point de compression

Tracer la caractéristique $P_{out}(P_{inj})$ pour une impédance de charge donnée, c'est-à-dire les paramètres de sortie en fonction de la puissance injectée ou absorbée, permet de déterminer ce point de compression, ainsi que la puissance maximale P_{out} délivrée ou encore la valeur de la PAE . Pour cela on polarise le transistor dans les conditions du pic f_T à 94 GHz (V_{BE} , V_{BC} , I_C

déterminés préalablement par des mesures de paramètres S). L'impédance du tuner Γ est fixée en fonction de la valeur de S_{22} du composant. La Figure 257 donne un exemple de ce type de graphique.

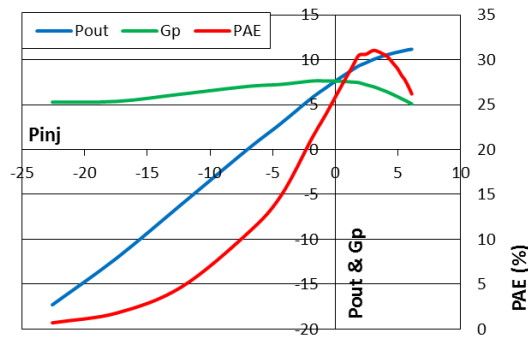


Figure 257 : Caractéristique $P_s(P_e)$ type pour un composant B5T, mesure de la puissance de sortie P_{out} , du gain G_p et de la PAE en fonction de la puissance injectée P_{inj}

2.b. Cartographie pour recherche de l'impédance optimale

Pour réaliser une cartographie, on se place au point de compression via une puissance injectée déterminée préalablement par le tracé de la caractéristique $P_{out}(P_{inj})$. La cartographie dessinée sur un abaque de Smith permet de rechercher l'impédance optimale qui permet de maximiser P_{out} , PAE ou encore le gain. Le balayage en impédance est permis par le tuner variable contrôlé informatiquement via une interface.

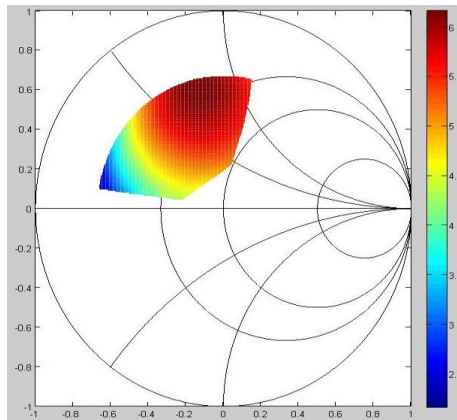


Figure 258 : Exemple de cartographie obtenue via le banc loadpull

L'impédance optimale à connecter en sortie du transistor est un élément essentiel pour le design de circuits pour des applications de puissance.

IV. Des simulations pour comprendre et anticiper : Simulations TCAD via Synopsis

La simulation TCAD (*Technology Computer Aided Design*) est un puissant outil dans la conception des composants électroniques et l'optimisation de leur fabrication.

Dans cette thèse nous avons utilisé les outils de Synopsis suivants :

- **SWB** (*Sentaurus Workbench*) : Interface pour lancer l'enchaînement des différentes étapes et gérer les plans d'expérience.
- **Sprocess** (*Sentaurus Process*) : Simulation de la fabrication d'un transistor en 2D/1D pour la moitié du composant seulement, avec possibilité de prendre en compte les budgets thermiques et les diffusions de dopants associés, etc. On peut voir sur la Figure 259 le type de résultats obtenus par simulation d'un transistor bipolaire. Les différentes couleurs représentent les différentes espèces présentes dans le composant.
- **SDE** (*Sentaurus Structure Editor*) : Reconstitution du transistor complet par symétrie et passage d'un modèle 2D à 3D.
- **Sdevice** (*Sentaurus Device*) : Simulations électriques à partir de la structure du composant et de la physique des semiconducteurs, et extraction de ses paramètres électriques caractéristiques.

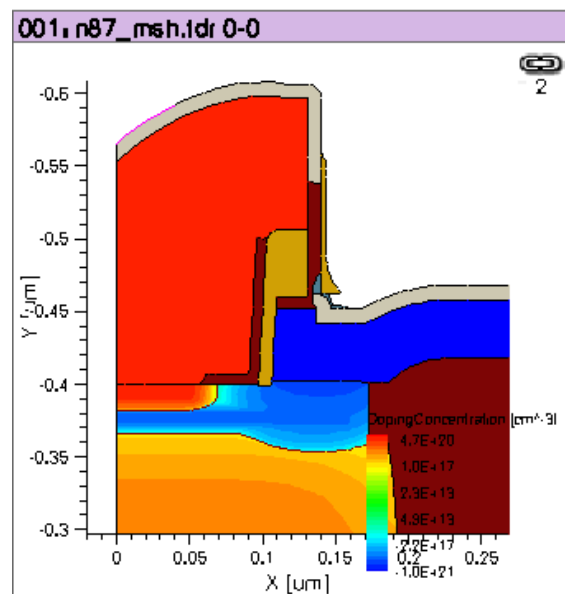


Figure 259 : Coupe 2D de la zone active du transistor bipolaire obtenue après simulation avec SProcess.

Sous réserve d'une bonne calibration de la plateforme de simulation, on peut donc reproduire virtuellement un transistor bipolaire, mieux comprendre son fonctionnement interne là où certaines caractérisations physiques sont impossibles (diffusion du Bore dans le lien par exemple, Chapitre II), concevoir de nouvelles architectures (étude du collecteur implanté Chapitre III) et ainsi avoir leurs intérêts avant de lancer la fabrication.

Les simulations TCAD permettent aussi de sauvegarder du temps et des ressources étant donné qu'une simulation prend quelques heures quand la fabrication d'un lot prend plusieurs mois. Les effets secondaires comme certains effets d'interface ou effets parasites des étapes de fabrication, ne sont cependant pas toujours bien pris en compte.

Publications de l'auteur

➤ Conférences internationales

- **Canderle, E**, P Chevalier, G Avenier, N Derrier, D Céli, and C Gaquière. 2013. "Impact of BEOL Stress on BiCMOS9MW HBTs." In *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 223–26.
- **Canderle, Elodie**, Pascal Chevalier, Aude Montagné, Laurent Moynet, Grégory Avenier, Pierre Boulenc, Michel Buczko, et al. 2012. "Extrinsic Base Resistance Optimization in DPSA-SEG SiGe : C HBTs." In *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 149–52.
- Chevalier, P, G Avenier, G Ribes, A Montagné, **E Canderle**, D Céli, N Derrier, et al. 2014. "A 55 Nm Triple Gate Oxide 9 Metal Layers SiGe BiCMOS Technology Featuring 320 GHz fT / 370 GHz fMAX HBT and High-Q Millimeter-Wave Passives." In *IEDM 2014*.
- Chevalier, Pascal, Thomas Lacave, **Elodie Canderle**, Alexandre Pottrain, Yann Carminati, Julien Rosa, Franck Pourchon, et al. 2012. "Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz." In *CSICS 2012*.
- Hasnaoui, Issam, **Elodie Canderle**, Pascal Chevalier, Daniel Gloria, and Christophe Gaquière. 2013. "94-GHz Load Pull Measurements of SiGe HBT by Extracting Output Power Density in W-Band." In *European Microwave Conference*, 1371–74.

➤ Journaux internationaux

- **Elodie Canderle**, Pascal Chevalier, Etienne Okada, Sylvie Lepilliet, Grégory Avenier, Vincent Fiori, Sébastien Gallois-Garreignot and Christophe Gaquière, "Post-Base and DSA Laser Anneals Combination applied to Si/SiGe:C HBTs".
Soumission à *Electronic Devices Letters* en 2015
- **Elodie Canderle**, Pascal Chevalier, Rémi Beneyton, Etienne Okada, Sylvie Lepilliet, Grégory Avenier, Guillaume Ribes, Didier Céli and Christophe Gaquière, "Back-end-of-line stacking impact on power parameters in BiCMOS055 platform".
Soumission à *Electronic Devices Letters* en 2015

➤ Communications et conférences nationales

- **Elodie Canderle**, Pascal Chevalier, Christophe Gaquière, 2013. « Ajout d'un recuit dédié à la réduction de la résistance extrinsèque de la base dans les TBH SiGe:C DPSA-SEG ». In *JNRDM 2013*, Grenoble
- **Elodie Canderle**, Pascal Chevalier, Christophe Gaquière, 2014. « Variation des paramètres d'un transistor bipolaire Si/SiGe:C BiCMOS9MW, en fonction de la contrainte apportée par la densité des connections métalliques ». In *JNRDM 2014*, Lille

-
- Hasnaoui Issam, Pottrain Alexandre, Gloria Daniel, Chevalier Pascal, **Canderle Elodie**, Gaquière Christophe, 2013. « Caractérisation de l'auto-échauffement des TBHs SiGe: C par l'extraction de l'impédance thermique ». In *JNM 2013*, Paris
 -

Bibliographie

- Alloys, Sil, Tanjinder Manku, Joel M Mcgregor, Arokia Nathan, David J Roulston, J Noel, and D C Houghton. 1993. "Drift Hole Mobility in Strained and Unstrained Doped Si1-xGex Alloys" 40 (1): 1990–96.
- Al-Sa'di, Mahmoud, Sébastien Fregonese, Cristell Maneux, and Thomas Zimmer. 2010. "TCAD Modeling of NPN-SiGe-HBT Electrical Performance Improvement through Extrinsic Stress Layer." In *2010 27th International Conference on Microelectronics Proceedings*, 387–90. IEEE.
- Anderson, R. L. 1960. "Germanium-Gallium Arsenide Heterojunctions [Letter to the Editor]." *IBM Journal of Research and Development*.
- Ashburn, P. 2003. *SiGe Heterojunction Bipolar Transistors*. John Wiley & Sons.
- Avenier, Grégory, Pascal Chevalier, Aude Montagné, L Parmigiani, Ludovic Berthier, O Renault, E Oghdayan, et al. 2012. "HBT Device Robustness against Process Variations in Millimeter-Wave BiCMOS Technology." In *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 141–44.
- Avenier, Grégory, Malick Diop, Pascal Chevalier, Germaine Troillard, Nicolas Loubet, Julien Bouvier, Linda Depoyan, et al. 2009. "0.13 Mm SiGe BiCMOS Technology Fully Dedicated to Mm-Wave Applications." *Journal of Solid-State Circuits* 44 (9): 2312–21.
- Bach, K. 2006. "Characterization of Neutral Base Recombination for SiGe HBTs." *IEEE Transactions on Electron Devices* 53 (4): 844–50.
- Barbalat, Benoît. 2006. "Technologie et Physique de Transistors Bipolaires À Hétérojonction Si/SiGe:C Autoalignés Très Hautes Fréquences." Université Paris-Sud XI, Faculté des Sciences d'Orsay.
- Barbalat, Benoît, Thierry Schwartzmann, Pascal Chevalier, Benoît Vandelle, Laurent Rubaldo, Anne Lachater, Fabienne Saguin, Nicolas Zerounian, Frédéric Aniel, and Alain Chantre. 2007. "The Effect of Carbon on Neutral Base Recombination in High-Speed SiGeC Heterojunction Bipolar Transistors." *Semiconductor Science and Technology* 22 (1): S99–102.
- Baudry, Hélène. 2001. "Développement et Étude de Transistors Bipolaires Hautes Performances À Base Silicium-Germanium." Université de Grenoble I - Joseph Fourier.
- Bidaud, M., H. Bono, C. Chaton, B. Dumont, V. Huard, P. Morin, L. Proencamota, R. Ranica, and G. Ribes. 2007. "High-Activation Laser Anneal Process for the 45nm CMOS Technology Platform." In *15th IEEE International Conference on Advance Thermal Processing of Semiconductors - RTP 2007*.
- Bock, J, H Schafer, K Aufinger, R Stengl, S Boguth, R Schreiter, M Rest, et al. 2004. "SiGe Bipolar Technology for Automotive Radar Applications." In *2004 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 4–7.

- Bolze, D, B Heinemann, J Gelpy, S McCoy, and W Lerch. 2009. "Millisecond Annealing of High-Performance SiGe HBTs." In *17th International Conference on Advanced Thermal Processing of Semiconductors - RTP 2009*.
- Camillo-Castillo, R A, Q Z Liu, J W Adkisson, M H Khater, P B Gray, Vibhor Jain, Robert K Leidy, et al. 2013. "SiGe HBTs in 90nm BiCMOS Technology Demonstrating f_T / f_{MAX} 300GHz / 420GHz through Reduced R_b and C_{cb} Parasitics." In *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*.
- Canderle, Elodie. 2011. "Transistors Bipolaires Si/SiGe:C En Technologie CMOS Avancée Pour Les Communications Très Haut Débit." Grenoble INP.
- Canderle, Elodie, Pascal Chevalier, Aude Montagné, Laurent Moynet, Grégory Avenier, Pierre Boulenc, Michel Buczko, et al. 2012. "Extrinsic Base Resistance Optimization in DPSA-SEG SiGe : C HBTs." In *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 149–52.
- Chevalier, P, G Avenier, G Ribes, A Montagné, E Canderle, D Céli, N Derrier, et al. 2014. "A 55 Nm Triple Gate Oxide 9 Metal Layers SiGe BiCMOS Technology Featuring 320 GHz f_T / 370 GHz f_{MAX} HBT and High-Q Millimeter-Wave Passives." In *IEDM 2014*.
- Chevalier, Pascal, Thomas Lacave, Elodie Canderle, Alexandre Pottrain, Yann Carminati, Julien Rosa, Franck Pourchon, et al. 2012. "Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz." In *CSICS 2012*.
- Chevalier, Pascal, Thomas F Meister, Bernd Heinemann, S Van Huylenbroeck, Wolfgang Liebl, Alexander Fox, and Alain Chantre. 2011. "Towards THz SiGe HBTs." In *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*.
- Colin, A., P. Morin, R. Beneyton, L. Pinzelli, D. Mathiot, and E. Fogarassy. 2010. "Dopant Diffusion and Activation Induced by Sub-Melt Laser Anneal within the Co-Implanted P+ Polycrystalline Silicon Gate Used in CMOS Technologies." *Thin Solid Films* 518 (9). Elsevier B.V.: 2390–93.
- Colin, Alexis. 2010. "Étude Des Couplages Radiatifs et Thermiques et Des Modifications Physico-Chimiques Engendrés Par Un Recuit Laser Milliseconde Sur La Grille Polysilicium de La Technologie CMOS 45 Nm." Université de Strasbourg.
- Cressler, John. D. 2003. *Silicon-Germanium Heterojunction Bipolar Transistors*. Edited by Artech House. Boston MA.
- Davies, J. 1998. "The Physics of Low-Dimensional Semiconductors." *Cambridge University Press* Cambridge: 423.
- Denton, A. R., and N. W. Ashcroft. 1991. "Vegards Law." *Physical Review A* 43: 3161–64.
- Derrier, Nicolas, Andrej Rumiantsev, and Didier Céli. 2012. "State-of-the-Art and Future Perspectives in Calibration and De-Embedding Techniques for Characterization of Advanced SiGe HBTs Featuring Sub-THz f_T / f_{MAX} ." In *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 92–99.

- Donkers, J.J.T.M., M.C.J.C.M. Kramer, S. Van Huylenbroeck, L.J. Choi, P. Meunier-Beillard, A. Sibaja-Hernandez, G. Boccardi, et al. 2007. "A Novel Fully Self-Aligned SiGe:C HBT Architecture Featuring a Single-Step Epitaxial Collector-Base Process." In *2007 IEEE International Electron Devices Meeting*, 655–58.
- Fox, A, B Heinemann, R Barth, D Bolze, J Drews, U Haak, D Knoll, et al. 2008. "SiGe HBT Module with 2.5 Ps Gate Delay." In *IEDM 2008*, 731–34.
- Fox, A, B Heinemann, R Barth, S Marschmeyer, Ch Wipf, and Y Yamamoto. 2011. "SiGe : C HBT Architecture with Epitaxial External Base." In *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 70–73.
- Fox, A, B Heinemann, and H Rucker. 2011. "Double-Polysilicon SiGe HBT Architecture with Lateral Base Link." *Solid-State Electronics* 60 (1). Elsevier Ltd: 93–99.
- Geynet, Boris. 2008. "Développement et Étude de Transistors Bipolaires À Hétérojonctions Si/SiGe:C Pour Les Technologies BiCMOS Millimétriques." Université des Sciences et technologies de Lille.
- Geynet, Boris, Pascal Chevalier, F Brossard, Benoît Vandelle, Thierry Schwartzmann, Michel Buczko, Grégory Avenier, et al. 2009. "A Selective Epitaxy Collector Module for High-Speed Si/SiGe:C HBTs." *Solid-State Electronics* 53 (8). Elsevier Ltd: 873–76.
- Geynet, Boris, Pascal Chevalier, Benoît Vandelle, F Brossard, Nicolas Zerounian, Michel Buczko, Daniel Gloria, et al. 2008. "SiGe HBTs Featuring $f_T > 400\text{GHz}$ at Room Temperature." In *2008 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 121–24.
- Hashimoto, Takashi, Kazuaki Tokunaga, Keiko Fukumoto, Yoshinori Yoshida, Hidenori Satoh, Maki Kubo, Akio Shima, and Katsuya Oda. 2014. "SiGe HBT Technology Based on a 0.13-Mm Process Featuring an f_{MAX} of 325 GHz." *Journal of the Electron Devices Society* 2 (4).
- Hasnaoui, Issam, Elodie Canderle, Pascal Chevalier, Daniel Gloria, and Christophe Gaquiere. 2013. "94-GHz Load Pull Measurements of SiGe HBT by Extracting Output Power Density in W-Band." In *European Microwave Conference*, 1371–74.
- Hasnaoui, Issam, Alexandre Pottrain, Daniel Gloria, Pascal Chevalier, V Avramovic, and Christophe Gaquière. 2012. "Self-Heating Characterization of SiGe:C HBTs by Extracting Thermal Impedances." *IEEE Electron Device Letters* 33 (12): 1762–64.
- Haugerud, Becca M., Mustayeen B. Nayeem, Ramkumar Krithivasan, Yuan Lu, Chendong Zhu, John D Cressler, Rona E. Belford, and Alvin J Joseph. 2005. "The Effects of Mechanical Planar Biaxial Strain in Si/SiGe HBT BiCMOS Technology." *Solid-State Electronics* 49 (6): 986–90.
- Heinemann, B, R Barth, D Bolze, J Drews, P Formanek, Th Grabolla, U Haak, et al. 2004. "A Low-Parasitic Collector Construction for High-Speed SiGe : C HBTs." In *IEDM 2004*, 4–7.

- Heinemann, Bernd, R Barth, D Bolze, J Drews, Georg Fischer, Alexander Fox, O Fursenko, et al. 2010. "SiGe HBT Technology with f_T/f_{max} of 300GHz / 500GHz and 2.0 Ps CML Gate Delay." In *IEDM 2010*, 30.5.1–30.5.4.
- ITRS. 2013. *International Technology Roadmap for Semiconductors - Radio Frequency and Analog/Mixed-Signal Technologies Summary*.
- John, Jay P, Jim Kirchgessner, Dave Morgan, Jill Hildreth, Morgan Dawdy, Ralf Reuter, and Hao Li. 2007. "Novel Collector Structure Enabling Low-Cost Millimeter-Wave SiGe:C BiCMOS Technology." In *2007 IEEE Radio Frequency Integrated Circuits Symposium*, 559–62.
- Khater, Marwan H, Jae-sung Rieh, T Adam, A Chinthakindi, J Johnson, R Krishnasamy, M Meghelli, et al. 2004. "SiGe HBT Technology with $F_{max} / f_T = 350 / 300$ GHz and Gate Delay Below 3.3 Ps." In *IEDM 2004*, 3–6.
- Kikuyama, H., M. Waki, I. Kawanabe, M. Miyashita, T. Yabune, N. Miki, J. Takano, and T. Ohmi. 1992. "Etching Rate and Mechanism of Doped Oxide in Buffered Hydrogen Fluoride Solution." *Journal of Electrochemical Society* 139 (8): 2239–43.
- Kirk, C.T. 1962. "A Theory of Transistor Cutoff Frequency (f_t) Falloff at High Current Densities." *Electron Devices, IRE Transactions on*, 164–74.
- Kloosterman, W. J., J.C.J. Paasschens, and D.B.M. Klaassen. 1999. "Improved Extraction of Base and Emitter Resistance from Small Signal High Frequency Admittance Measurements." In *1999 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 93–96.
- Knapp, Herbert, Thomas F Meister, Wolfgang Liebl, Dieter Claeys, Thomas Popp, Klaus Aufinger, Herbert Schäfer, Josef Böck, Sabine Boguth, and Rudolf Lachner. 2010. "Static Frequency Dividers up to 133 GHz in SiGe : C Bipolar Technology," 29–32.
- Lacave, Thomas. 2011. "Transistor Bipolaire Si/SiGe:C En Nœud CMOS Avancé Pour Applications (Sub)-Millimétriques." Université des Sciences et Technologies de Lille.
- Lacave, Thomas, Pascal Chevalier, Yves Campidelli, Linda Depoyan, Ludovic Berthier, Frederic André, Michel Buczko, Grégory Avenier, Christophe Gaquière, and Alain Chantre. 2010. "Influence of the Selectively Implanted Collector Integration on +400 GHz f_{MAX} Si/SiGe:C HBTs." *ECS 2010* 1 (1): 331–35.
- Lagarde, Delphine, Pascal Chevalier, Thierry Schwartzmann, and Alain Chantre. 2006. "Band-to-Band Tunneling in Vertically Scaled SiGe:C HBTs." *Electron Device Letters* 27 (4): 275–77.
- Leobandung, E, H Nayakama, D Mocuta, K Miyamoto, M Angyal, K Mcstay, I Ahsan, et al. 2005. "High Performance 65 Nm SOI Technology with Dual Stress Liner and Low Capacitance SRAM Cell," 2004–5.
- Lerch, W., S. Paul, J. Niess, S. McCoy, J. Gelpey, F. Cristiano, F. Severac, et al. 2008. "Advanced Activation Trends for Boron and Arsenic by Combinations of Single,

- Multiple Flash Anneals and Spike Rapid Thermal Annealing.” *Materials Science and Engineering: B* 154-155 (December): 3–13.
- Mathieu, Henry. 2009. *Physique Des Semiconducteurs et Des Composants Électroniques*. Edited by DUNOD. 6ème ed. Paris.
- Miura, Makoto, Hiromi Shimamoto, Reiko Hayami, Akihiro Kodama, Tatsuya Tominari, Takashi Hashimoto, and Katsuyoshi Washio. 2006. “Promoting Emitter Diffusion Process and Optimization of Vertical Profiles for High-Speed SiGe HBT/ BiCMOS.” *IEEE Transactions on Electron Devices* 53 (4): 857–65.
- Miura, Makoto, Hiromi Shimamoto, Katsuya Oda, and Katsuyoshi Washio. 2008. “Ultra-Low-Power SiGe HBT Technology for Wide-Range Microwave Applications.” *2008 IEEE Bipolar/BiCMOS Circuits and Technology Meeting* 1 (October). Ieee: 129–32.
- Mokhberi, Ali, Peter B Griffin, James D Plummer, Eric Paton, Steve Mccoy, and Kiefer Elliott. 2002. “A Comparative Study of Dopant Activation in Boron , BF₂ , Arsenic , and Phosphorus Implanted Silicon.” *IEEE Transactions on Electron Devices* 49 (7): 1183–91.
- Morin, Pierre, Gaetan Raymond, Daniel Benoit, Denis Guiheux, Roland Pantel, Fabien Volpi, and Muriel Braccini. 2011. “Study of Stress in Tensile Nitrogen-Plasma-Treated Multilayer Silicon Nitride Films.” *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films* 29 (4).
- Orner, B A, Mattias Dahlstrom, A Pothiwala, R M Rassel, Qizhi Liu, H Ding, Marwan H Khater, David C Ahlgren, Alvin J Joseph, and J Dunn. 2006. “A BiCMOS Technology Featuring a 300 / 330 GHz (fT/fmax) SiGe HBT for Millimeter Wave Applications.” In *2006 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 1–4.
- Paul, Douglas J. 2004. “Si/SiGe Heterostructures: From Material and Physics to Devices and Circuits.” *Semiconductor Science and Technology*.
- Paul, S., W. Lerch, J. Chan, S. McCoy, J. Gelpey, F. Cristiano, F. Severac, P. F. Fazzini, and D. Bolze. 2008. “Optimum Activation and Diffusion with a Combination of Spike and Flash Annealing.” *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures* 26 (1): 293.
- People, R. 1985. “Indirect Band Gap of Coherently Strained GexSil_{1-x} Bulk Alloys on 001 Silicon Substrates.” *Physical Review B* 32: 1405–8.
- Pourchon, F, and D Céli. 2002. *Direct Extraction of the First Order SPICE Parameters for Vertical Bipolar Transistors*.
- Preisler, E J, G Talor, Duane C Howard, Z Yan, R Booth, J Zheng, S Chaudhry, and M Racanelli. 2011. “A Millimeter-Wave Capable SiGe BiCMOS Process with 270GHz F MAX HBTs Designed for High Volume Manufacturing.” In *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, M:74–78.
- Rabbi, Fazle, Yeasir Arafat, and M. Ziaur Rahman Khan. 2011. “Analytical Modelling of Early Voltage and Current Gain of Si_{1-y}Gey Heterojunction Bipolar Transistor.” In

- Racanelli, M., A. Schuegraf, A. Kalburge, A. Kar-Roy, B. Shen, C. Hu, D. Chapek, et al. 2001. "Ultra High Speed SiGe NPN for Advanced BiCMOS Technology." In *IEDM 2001*.
- Rickelt, Matthias, Hans-martin Rein, and Eduard Rose. 2001. "Influence of Impact-Ionization-Induced Instabilities on the Maximum Usable Output Voltage of Si-Bipolar Transistors" 48 (4): 774–83.
- Rieh, J, M Khater, A Joseph, G Freeman, and D Ahlgren. 2006. "Effect of Collector Lateral Scaling on Performance of High-Speed SiGe HBTs with $f_T > 300$ GHz" 42 (20).
- Roulston, D.J. 1990. "Early Voltage in Very-Narrow-Base Bipolar Transistors." *IEEE Electron Device Letters* 11 (2).
- Roulston, David J. 1990. *Bipolar Semiconductor Devices*. Edited by McGraw-Hill International Editions.
- Rücker, H, and Bernd Heinemann. 2012. "SiGe BiCMOS Technology for Mm-Wave Systems," 2011–13.
- Rücker, H, Bernd Heinemann, R Barth, and M Lisker. 2011. "Impact of Back End Stress on SiGe Bipolar Transistors." In *IEDM 2011*, 6–9.
- Ryum, Byung R., and Sung-ihl Kim. 1994. "The Effect of Dopant Outdiffusion on the Neutral Base Recombination Current in Si/SiGe/Si Heterojunction Bipolar Transistors." *ETRI Journal* 15 (3/4).
- Sahoo, Amit Kumar, Sébastien Fregonese, Mario Weiß, Cristell Maneux, and Thomas Zimmer. 2013. "A Scalable Model for Temperature Dependent Thermal Resistance of SiGe HBTs," 29–32.
- Schröter, Michael, and Tzung Yin Lee. 1999. "Physics-Based Minority Charge and Transit Time Modeling for Bipolar Transistors." *IEEE Transactions on Electron Devices* 46: 288–300.
- Setekera, Robert, Ramses Van Der Toorn, and Willy Kloosterman. 2013. "Local Extraction of Base and Thermal Resistance of Bipolar Transistors." *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, no. 7: 21–24.
- Sibaja-Hernandez, Arturo, Shuzhen You, Stefaan Van Huylenbroeck, Rafael Venegas, Kristin De Meyer, and Stefaan Decoutere. 2010. "TCAD Based Device Architecture Exploration towards Half-Terahertz Silicon/germanium Heterojunction Bipolar Technology." *2010 Proceedings of the European Solid State Device Research Conference*, September. Ieee, 246–49.
- Stein, F, N Derrier, C Maneux, and D Celi. 2013. "Advanced Extraction Procedure for Parasitic Collector Series Resistance Contributions in High-Speed BiCMOS

- Technologies.” In *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 33–36.
- Stein, F., D. Celi, C. Maneux, N. Derrier, and P. Chevalier. 2013. “Robustness of the Base Resistance Extraction Method for SiGe HBT Devices.” In *2013 International Semiconductor Conference Dresden - Grenoble (ISCDG)*, 1–4.
- Tran, H., M. Schröter, D.J. Walkey, D. Marchesan, and T.J. Smy. 1997. “Simultaneous Extraction of Thermal and Emitter Series Resistances in Bipolar Transistors.” In *1997 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 170–73.
- Van Huylbroeck, S, A Sibaja-Hernandez, R Venegas, S You, G Winderickx, D Radisic, Wen-Chin Lee, et al. 2009. “A 400GHz F MAX Fully Self-Aligned SiGe:C HBT Architecture.” In *2009 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 8–11.
- Van Huylbroeck, S, R Venegas, S You, F Vlegels, D Radisic, Wen-Chin Lee, W Vanherle, K De Meyer, S Decoutere, and B- Leuven. 2011. “Pedestal Collector Optimization for High Speed SiGe:C HBT.” In *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 66–69.
- Viet Dinh, Thanh, Sung-Min Hong, and Christoph Jungemann. 2011. “Improving the High-Frequency Performance of SiGe HBTs by a Global Additional Uniaxial Stress.” *Solid-State Electronics* 60 (1). Elsevier Ltd: 58–64.
- Wang, Tzu-Juei, Hung-Wei Chen, Ping-Chun Yeh, Chih-Hsin Ko, Shoou-Jinn Chang, John Yeh, San-Lein Wu, Chwan-Ying Lee, Wen-Chin Lee, and Denny D. Tang. 2007. “Effects of Mechanical Uniaxial Stress on SiGe HBT Characteristics.” *Journal of The Electrochemical Society* 154 (2).
- Washio, Katsuyoshi, Hiromi Shimamoto, Makoto Miura, and Katsuya Oda. 2008. “Novel Wide-Emitter SiGe HBT Technology for RF Power Applications.” *ESSDERC 2008 - 38th European Solid-State Device Research Conference*. Ieee, 103–6.
- Welbourn, A.D. 1982. “Gigabit Logic a Review.” *IEE Proceedings I (Solid State and Electron Devices)* 129 (5): 157–72.
- Yamamoto, T., T. Kubo, T. Sukegawa, E. Takii, M. Fukuda, T. Sugisaki, H. Kurata, S. Satoh, and T. Sugii. 2008. “Advanced Junction Engineering Featuring Millisecond Annealing with Co-Implantation for 45 Nm Node High Performance and Low Standby Power CMOS Technologies.” In *2008 8th International Workshop on Junction Technology (IJWT '08)*, 80–83.
- Yuan, F., S.-R. Jan, S. Maikap, Y.-H. Liu, C.-S. Liang, and C.W. Liu. 2004. “Mechanically Strained Si–SiGe HBTs.” *IEEE Electron Device Letters* 25 (7): 483–85.
- Yuan, J.S., and J. Song. 1997. “Early Voltage of SiGe Heterojunction Bipolar Transistors.” *1997 IEEE Hong Kong Proceedings Electron Devices Meeting*.

ETUDES ET DEVELOPPEMENT DE TRANSISTORS BIPOLAIRES SI/SIGE:C RAPIDES DANS UN NŒUD BICMOS 55 NM

Le travail de cette thèse s'inscrit dans le contexte du développement de la technologie BiCMOS055 en plateforme 300 mm, première technologie BiCMOS en nœud 55 nm au monde, avec des fréquences caractéristiques $f_T / f_{MAX} = 320 / 370$ GHz. Une première partie présente l'étude de différentes solutions visant à réduire la résistance de base extrinsèque de l'architecture DPSA-SEG afin d'améliorer la fréquence maximale d'oscillation f_{MAX} . Nous montrons alors que changer la nature des matériaux n'apporte pas d'amélioration, mais que l'ajout de différents recuits après réalisation de la base intrinsèque permet d'augmenter significativement les performances du transistor tout en restant compatible avec les transistors MOS. La seconde partie de ce travail s'est attachée à démontrer les potentialités d'un transistor avec un module collecteur totalement implanté, où couche enterrée et tranchées d'isolation profondes ont été retirées. Les résultats obtenus montrent qu'il est possible, en optimisant le dessin des structures, d'obtenir des f_T et f_{MAX} proches de la technologie de référence. Enfin la dernière partie présente l'étude de l'impact des interconnexions métalliques sur les paramètres électriques du transistor sous-jacent. Il en ressort que la contrainte mécanique a un impact significatif, mais que les interconnexions influencent le comportement thermique du composant seulement à travers la résistance émetteur.

Mots clés : Microélectronique ; BiCMOS ; transistor bipolaire à hétérojonction (TBH) ; silicium germanium (SiGe) ; résistance de base ; budget thermique ; collecteur totalement implanté ; interconnexions métalliques

INVESTIGATIONS AND DEVELOPMENT OF SI/SIGE:C BIPOLAR TRANSISTORS IN A 55 NM NODE BICMOS TECHNOLOGY

This work was carried out during BiCMOS055 technology development in 300 mm platform, the first one worldwide in node 55 nm, with frequencies as high as $f_T = 320$ GHz and $f_{MAX} = 370$ GHz. First we present the study of different solutions to reduce the extrinsic base resistance in DPSA-SEG architecture to improve the maximum oscillation frequency f_{MAX} . We show then that changing material properties does not provide any improvement, but the insertion of dedicated anneals after the intrinsic base formation significantly increases the transistor performance while being compatible with MOS devices. In a second part, we demonstrate the potentialities of a low-cost transistor with a fully implanted collector, removing the buried layer and deep trench isolations. It has been shown it is possible to reach reference f_T and f_{MAX} levels with adequate structures layout, compared to the reference technology parameters. In the last part we analyze the impact of back-end-of-line connections on the bipolar device right below: the main effect is created by residual stress in the metal lines transferred into the device itself; the thermal study showed influence of the back-end-of-line stack through the emitter resistance.

Keywords: Microelectronics; BiCMOS; heterojunction bipolar transistors (HBT); silicon germanium (SiGe); base resistance; thermal budget; fully implanted collector; BEOL connections
