

THESE

Présentée à l'Université de Lille
Ecole Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : Micro et Nano technologies

Par

Nicolas Herbecq

**Conception et réalisation de composants GaN
innovants pour les applications de conversion de
puissance au-delà du kilovolt**

Soutenue le 15 décembre 2015 devant la Commission d'examen :

Rapporteurs :	M. Frédéric MORANCHO	Professeur (Toulouse)
	M. Yvon CORDIER	Directeur de recherche CNRS (CRHEA)
Directeur de thèse :	Mme. Nathalie ROLLAND	Professeur (Lille)
Encadrant :	M. Farid MEDJDOUB	Chercheur CNRS (IEMN)
Examineurs :	M. Fabrice LETERTRE	COO ExaGaN
	M. Mohamed ZAKNOUNE	Directeur de recherche CNRS (IEMN)
Invités :	M. Damien DUCATTEAU	Ingénieur de recherche CNRS
	Mme. Rose-Marie SAUVAGE	Responsable Nanotechnologies DGA



A mon grand-père, Michel Herbecq...

REMERCIEMENTS

Avant tout, je tiens à remercier chaleureusement Farid Medjdoub pour avoir encadré cette thèse et de m'avoir communiqué sa passion pour ce travail. Sa curiosité et sa motivation inépuisable ont été un réel moteur pendant ces 3 années de durs labeurs. Cela restera pour moi une grande source d'inspiration pour les années futures. Je remercie Nathalie Rolland pour m'avoir accepté en tant qu'étudiant dans son groupe et pour avoir rendu ce projet possible. Je souhaiterais remercier Yvon Cordier et Frédéric Morancho pour avoir accepté de rapporter mon manuscrit, pour leurs regards éclairés sur mes travaux et pour leur lecture détaillée du manuscrit. Je remercie également le président du jury Mohamed Zaknoute ainsi que M. Fabrice Letertre et Damien Ducatteau pour avoir accepté de faire partie de mon jury. Je tiens à remercier tout particulièrement Mme Rose-Marie Sauvage pour son suivi de ma thèse, pour son intérêt et son soutien à notre activité de recherche.

Tout au long de ma thèse, j'ai eu la chance de travailler au sein d'une équipe extrêmement volontaire et dynamique. Je tiens donc à remercier chacune de ces personnes sans qui rien de cela n'aurait été possible. Dans un premier temps, Isabelle Roch-Jeune pour son dévouement à ce projet et son travail technologique de qualité. Je remercie également Malek Zegaoui pour ces précieux conseils en salle blanche, sa disponibilité et son expertise technique. Sans oublier Astrid Linge et Bertrand Grimbert qui ont souvent été amené à me filer un coup de main lorsque j'en avais besoin. Je souhaiterais évidemment remercier l'ensemble des personnels de l'IEMN qui ont participé de près ou de loin à ces travaux. Les résultats obtenus leur appartiennent également. En salle blanche, Marc François, François Vaurette, Yves Deblock, Pascal Tilmant, Annie Fattorini, Christiane Legrand, Laurent Fugère, Christophe Boyaval, Karine Blary, Dmitri Yarekha, Marc Dewitte, David Troadec, Christophe Coinon et Saliha Ouendi. En caractérisation, Vanessa Avramovic, Etienne Okada et en microscopie, Charlène Brillard. Je tiens aussi à remercier le personnel de l'administration, Malika Habbas, Nora Benbahlouli, Farah Zaarour, Hélène Delsarte et Valérie Mikolajczyk.

Pendant ces 3 années, nous avons eu la chance de bénéficier de l'expertise de nombreuses personnes au travers de plusieurs collaborations. Je remercie l'équipe d'EpiGaN pour nous avoir fourni des épitaxies de qualité pendant ces travaux et de m'avoir permis d'accéder à leur banc de mesure à haute-tension à de nombreuses reprises. Je remercie également Nicolas Rouger du G2ELab pour son accueil chaleureux à chacune de mes venues à Grenoble, pour avoir mis à ma disposition ses équipements de caractérisation électrique et pour son intérêt pour nos travaux de recherche.

Je tiens également à remercier l'ensemble de mes collègues et amis à l'IEMN qui ont rendu ces 3 années de travail d'autant plus joyeuses et agréables. Je commence évidemment par mes collègues de bureau, Ezgi Dogmus et Etienne Eustache pour leur bonne humeur au quotidien et les rigolades dans le bureau. Mes collègues courageux qui sont venus m'accompagner à la piscine : Manon Letiche, Mohamed Khenissa, Nabil Najjari et Jean-Claude Gerbedoen. Je remercie également tous les autres que je n'ai pas encore cités : Colin Mismar, Mohamed-Moez Belhaj, Philippe Atuntas, Adrien Cutivet, Paul Leclaire... J'ai dû en oublier beaucoup, j'espère qu'ils se reconnaîtront.

Pour finir, je souhaiterais aussi remercier l'ensemble de ma famille pour leur soutien morale indéfectible pendant cette étape de ma vie ainsi que ma fiancée, Nohora Caicedo, pour toujours avoir été présente et avoir partagé ces moments à mes côtés.

Sommaire

LISTE DES ABREVIATIONS	1
INTRODUCTION GENERALE	3
CHAPITRE 1.....	5
INTRODUCTION AUX TRANSISTORS DE PUISSANCE DE TYPE HEMT A BASE DE GAN	5
1. APPLICATIONS ET MARCHES DE L'ÉLECTRONIQUE DE PUISSANCE	6
1.1. <i>Prévisions de marché.....</i>	6
1.2. <i>L'automobile : futur marché porteur de l'électronique de puissance.....</i>	8
2. LE CONVERTISSEUR DE PUISSANCE	10
2.1. <i>Principes généraux d'un convertisseur DC/DC.....</i>	11
2.2. <i>L'interrupteur de puissance</i>	12
2.2.1. Les diodes	12
2.2.2. Les thyristors et GTO	13
2.2.3. Les transistors de puissance	14
2.3. <i>Limites de fonctionnement et rendement réel du convertisseur</i>	15
2.4. <i>Figure de mérite d'un transistor de puissance</i>	17
2.5. <i>Augmenter la fréquence pour réduire les dimensions du convertisseur, mais à quel prix ?.....</i>	19
2.5.1. Influence sur la taille des composants passifs du circuit	19
2.5.2. Influence sur la thermique et les systèmes de refroidissement	20
3. LES TRANSISTORS DE PUISSANCE	22
3.1. <i>Les composants à base de Silicium</i>	22
3.1.1. Les composants de type MOSFET	22
3.1.2. Les composants de type MOSFET à superjonction (SJ-MOSFET)	23
3.1.3. Les composants de type IGBT.....	25
3.1.4. Résumé.....	28
3.2. <i>Limites du Si et nécessité de nouveaux matériaux</i>	28
3.3. <i>Les composants de puissance de prochaine génération</i>	31
3.3.1. Les composants SiC	31
3.3.2. Les composants GaN	33
3.3.3. Bilan.....	37
4. LIMITES DES COMPOSANTS LATÉRAUX GAN SUR SI POUR LES APPLICATIONS DE PUISSANCE A HAUTE TENSION	37
4.1. <i>La conduction parasite du substrat Si à haute tension.....</i>	38
4.2. <i>Problématique du R_{on} en régime dynamique</i>	41
4.3. <i>Problématique liée au comportement normally-on</i>	45
CONCLUSION DU CHAPITRE 1	47
CHAPITRE 2.....	49
TECHNOLOGIES DE FABRICATION DES TRANSISTORS DE TYPE HEMT GAN-SUR-SI.....	49
1. DESCRIPTION DU PROCÉDE DE FABRICATION ET DES MASQUES	50
1.1. <i>Description des épitaxies.....</i>	50
1.1.1. Structure A	50
1.1.2. Structure B	51
1.1.3. Structure C	51
1.2. <i>Description du procédé de fabrication</i>	52
1.3. <i>Description des masques de fabrication.....</i>	55

Sommaire

2.	OPTIMISATION DES BRIQUES TECHNOLOGIQUES	57
2.1.	<i>Réalisation des contacts ohmiques</i>	57
2.1.1.	Optimisation de la résistance de contact	57
2.1.2.	Optimisation de la morphologie des contacts ohmiques	59
2.1.3.	Optimisation du nettoyage de la résine	61
2.2.	<i>Réalisation de la grille</i>	63
2.2.1.	Présentation du process & des enjeux	63
2.2.2.	Gravure du pied de grille	64
2.2.3.	Nettoyage & Métallisation de la grille	65
2.3.	<i>Isolation</i>	68
2.3.1.	Isolation par implantation d'azote	69
2.3.2.	Isolation par gravure du méso	71
3.	DEVELOPPEMENT DE LA GRAVURE LOCALISEE DU SUBSTRAT	74
3.1.	<i>Présentation des motifs de gravure face-arrière</i>	74
3.1.1.	Motif 1 : Barres parallèles	74
3.1.2.	Motif 2 : Grand rectangle autour du drain à largeur fixe	75
3.1.3.	Motif 3 : Grand rectangle autour du drain incluant la grille	75
3.1.4.	Motif 4 : Petit rectangle autour du drain incluant la grille	76
3.1.7.	Motif 5 : Cintre autour du drain incluant la grille	76
3.2.	<i>Déroulement des étapes technologiques</i>	77
3.3.	<i>Procédé de gravure du substrat</i>	81
	CONCLUSION DU CHAPITRE 2	83
	CHAPITRE 3	85
	CARACTERISATION ELECTRIQUES DES TRANSISTORS HEMT A BASE DE GAN	85
1.	CARACTERISATION ELECTRIQUE A BASSE TENSION	86
1.1.	<i>Caractéristiques I_D-V_{DS}</i>	86
1.2.	<i>Caractéristiques I_D-V_{GS}</i>	89
2.	CARACTERISATION ELECTRIQUE STATIQUE A HAUTE TENSION	91
2.1.	<i>Mesures avec substrat</i>	92
2.1.1.	Structure A (buffer fin)	92
2.1.2.	Structures B & C (buffers épais)	94
2.1.3.	Problématique de la polarisation du substrat à la masse	96
2.2.	<i>Mesures avec gravure localisée du substrat</i>	98
2.2.1.	Motif 1 (structure A)	98
2.2.2.	Motif 2 (structure A)	100
2.2.3.	Motif 3 (structure B & C)	103
2.2.4.	Motif 4 & 5 (structure C)	105
2.3.	<i>Bilan et discussions</i>	107
2.3.1.	Bilan & comparaison à l'état de l'art	107
2.3.2.	Interprétation du phénomène de conduction parasite dans le substrat	108
2.3.3.	Comparaison des épitaxies	110
3.	MESURES PRELIMINAIRES EN TEMPERATURE	111
3.1.	<i>Description du protocole expérimental</i>	111
3.2.	<i>Caractéristiques électriques à basse-tension</i>	112
3.3.	<i>Caractéristiques électriques à haute-tension</i>	113
	CONCLUSION DU CHAPITRE 3	116
	CONCLUSION GENERALE	119
	PERSPECTIVES ET FUTURS TRAVAUX	121

Sommaire

1. MESURES ELECTRIQUES PULSEES A HAUTE TENSION.....	121
2. METALLISATION DE LA FACE-ARRIERE.....	122
3. NORMALLY-OFF : DIGITAL ETCHING	124
REFERENCES	129
LISTE DES PUBLICATIONS	139

LISTE DES ABREVIATIONS

- **CAGR** : *taux de croissance annuel moyen*
- **GaN** : *Nitride de Gallium*
- **IGBT** : *Transistor bipolaire à grille isolée (Insulated-Gate Bipolar Transistor)*
- **MOSFET** : *Transistor à effet de champ à grille isolé (Metal-Oxide-Semiconductor Field Effect Transistor)*
- **Si** : *Silicium*
- **SiC** : *Carbure de Silicium*
- **UPS** : *Alimentation sans interruption (Uninterruptible Power Supply)*
- **GTO** : *Extinction par la gâchette (Gate Turn Over)*
- **HFOM** : *Facteur de Mérite de Huang*
- **VMOS** : *Transistor vertical à grille isolé (Vertical Double Metal-Oxide-Semiconductor)*
- **SJ-MOSFET** : *MOSFET à Superjonction (Superjunction MOSFET)*
- **BFOM** : *Facteur de Mérite de Balinga*
- **HMFOM** : *Facteur de Mérite Matériau de Huang*
- **HEMT** : *Transistor à Haute Mobilité Electronique*
- **MOCVD** : *Dépôt chimique en phase vapeur aux organométalliques (Metal Organic Chemical Vapor Deposition)*
- **2DEG** : *Gaz d'électrons à 2 dimensions*
- **ZCE** : *Zone de Charge d'Espace*
- **GIT** : *Gate Injection Transistor*
- **DHFET** : *Transistor à effet de champ à double hétérojonction (Double Heterojunction Field Effect Transistor)*
- **PECVD** : *Dépôt chimique en phase vapeur assistée par plasma (Plasma-Enhanced Chemical Vapor Deposition)*
- **RIE** : *Gravure ionique réactive (Reactive Ion Etching)*
- **ICP** : *Plasma couplé par induction (Inductive Coupled Plasma)*
- **W_g** : *Développement de grille du transistor*
- **l_g** : *Longueur de grille du transistor*
- **l_{gd}** : *Distance grille-drain du transistor*
- **l_{gs}** : *Distance grille-source du transistor*
- **TLM** : *Transmission Line Measurement*
- **R_c** : *Résistance de contact*
- **MOS** : *Metal-Oxide-Semiconductor*
- **MIS** : *Metal-Insulator-Semiconductor*
- **SRIM** : *Stopping and Range of Ions in Matter*
- **Si** : *Silicium*
- **AlN** : *Nitride d'aluminium*
- **R_{sh}** : *Résistance surfacique*
- **DRIE** : *Gravure ionique réactive profonde (Deep Reactive Ion Etching)*
- **GLS** : *Gravure locale du Substrat*
- **I_D** : *Courant de drain*
- **R_{on,sp}** : *Résistance spécifique à l'état passant*
- **I_{D,max}** : *Courant de drain maximal*
- **V_{DS}** : *Tension drain-source*

Liste des abréviations

- V_{GS} : *Tension grille-source*
- G_m : *Transconductance*
- $G_{m,max}$: *Transconductance maximale*

INTRODUCTION GENERALE

Le domaine de l'énergie représente pour le 21^{ème} siècle un axe de développement prioritaire autour duquel se focalisent dorénavant de nombreuses recherches. L'épuisement des énergies fossiles et la prise en considération de plus en plus importante des risques liés à l'émission de gaz à effet de serre sur le climat et à la pollution induisent dans le monde un effort important pour faire évoluer la consommation d'énergie. Malgré cette prise de conscience collective, les besoins énergétiques ne cessent d'augmenter ces dernières années avec le développement économique des pays émergents et la croissance de la population mondiale. L'agence internationale de l'énergie (AIE) prévoit que la consommation d'électricité dans le monde devrait passer de 19756 TWh à 34292 TWh entre 2007 et 2030, soit environ +75% en moins de 25 ans (référence Areva). Cette tendance mondiale constitue donc un réel challenge, ce qui pousse les scientifiques à apporter des solutions innovantes pour répondre à ces nouvelles exigences.

En plus du développement de nouvelles sources d'énergie « vertes » telles que l'énergie solaire ou l'énergie éolienne, un effort tout particulier est porté sur l'amélioration des systèmes de conversion énergétique, généralement appelés systèmes d'électronique de puissance. En effet, la multiplication des étapes de conversion énergétique est devenue nécessaire pour faire fonctionner nos appareils électriques de manière optimale. Cette branche de l'électronique est en plein essor grâce à une très large gamme d'applications en constante évolution. Les modules électroniques qui sont utilisés dans les systèmes de conversion sont constitués le plus souvent de composants semiconducteurs tels que les transistors de puissance qui sont à l'origine d'une partie des pertes énergétiques des circuits. On estime que plus de 10% de l'énergie électrique produite dans le monde est perdue dans ces modules de conversion de puissance [1]. L'amélioration de ces systèmes de conversion électrique est donc indispensable afin d'assurer une meilleure gestion de l'énergie, plus intelligente et plus économique.

Le marché des composants de puissance est actuellement largement dominé par les composants à base de Silicium (Si) qui adressent l'ensemble de la gamme de puissance. Depuis des années, les innovations technologiques sur les composants Si ont permis d'optimiser les performances des circuits de conversion de puissance en réduisant notamment leurs pertes énergétiques. Cependant, ces technologies arrivent aujourd'hui à maturité et leur progression est peu à peu limitée par les propriétés physiques intrinsèques du Si. Une nouvelle génération de composants de puissance est nécessaire afin de repousser les limites définies par les technologies actuelles. La recherche et l'industrie se tournent donc vers des matériaux à large bande interdite tels que le nitrure de gallium (GaN) et le carbure de silicium (SiC) dont les propriétés physiques surpassent largement celles du Si pour ce type d'application. En alliant des performances accrues et un faible coût de fabrication, les composants de puissance à base de GaN-sur-Si devraient constituer une réelle rupture par rapport aux composants Si et apparaissent comme un sérieux candidat pour les futures générations de convertisseur de puissance.

Aujourd'hui, malgré le consensus scientifique sur le large potentiel du GaN pour les applications de puissance, les technologies GaN-sur-Si se heurtent encore à plusieurs verrous techniques qui freinent leur développement industriel et leur insertion sur le marché, notamment pour les applications fonctionnant à plusieurs centaines de volts. Dans ce contexte, cette thèse

Introduction Générale

constitue une contribution au développement de composants GaN-sur-Si de type HEMT (High Electron Mobility Transistor) pour les hautes tensions (au-delà du kilovolt). Pour cela, ces travaux s'articulent principalement autour de l'amélioration de la tenue en tension de ce type de technologie et de l'amélioration des performances électriques pour les applications de puissance à haute tension. Ce manuscrit résumant l'ensemble de ces travaux a été découpé en 3 chapitres :

Chapitre 1 : Dans un premier chapitre, nous présenterons brièvement les systèmes de conversion de puissance et l'état de l'art des différentes technologies utilisées. Nous verrons ainsi quelle place occupent actuellement les composants GaN parmi les différentes filières de composants de puissance et quelles sont les problématiques auxquelles ils font face aujourd'hui.

Chapitre 2 : Dans le deuxième chapitre, nous décrivons le procédé de fabrication des composants GaN HEMT qui a été développé au sein de la centrale de technologie de l'IEMN. Les innovations techniques qui ont été utilisées pour optimiser les performances électriques des transistors seront détaillées. Nous décrirons notamment le procédé de gravure localisée du substrat qui nous a permis d'améliorer la tenue en tension des composants.

Chapitre 3 : Dans le dernier chapitre, nous présenterons l'ensemble des caractérisations électriques de nos transistors effectuées pendant ces travaux. L'apport des innovations technologiques que nous avons développées sera mis en valeur au travers de différents types de mesures électriques. Les résultats obtenus seront discutés et mis en relief par rapport à l'état de l'art des composants HEMT GaN-sur-Si.

Nous terminerons par une conclusion et par la présentation des perspectives de ces travaux.

CHAPITRE 1

INTRODUCTION AUX TRANSISTORS DE PUISSANCE DE TYPE HEMT A BASE DE GAN

Dans ce premier chapitre, nous donnerons un bref aperçu du marché de l'électronique de puissance et des futurs enjeux, économiques et scientifiques, avec l'arrivée de nouvelles applications nécessitant de haute puissance. Par la suite, nous étudierons brièvement le fonctionnement d'un convertisseur à découpage pour comprendre l'origine des pertes énergétiques et l'importance des performances de l'interrupteur de puissance. Nous identifierons la fonction des transistors de puissance dans ces circuits de conversion pour en déterminer les futurs points d'amélioration. Dans la dernière partie, nous présenterons un état de l'art des composants de puissance existants et nous montrerons les progrès apportés par les composants à base de GaN pour la conversion à haute puissance. Nous terminerons par la description des limites actuelles des technologies GaN ainsi que l'approche utilisée dans ces travaux pour améliorer les performances électriques des transistors HEMT GaN-sur-Si.

1. APPLICATIONS ET MARCHES DE L'ÉLECTRONIQUE DE PUISSANCE

1.1. PREVISIONS DE MARCHE

Les applications où sont utilisés les dispositifs de puissance sont extrêmement variées puisque chaque système mettant en jeu un système de gestion de l'énergie est concerné. Ces dernières années, le marché des composants d'électronique de puissance est en pleine expansion avec une croissance de 8,4% en 2014, atteignant près de 11,5M\$ (figure 1-1) [2]. Les prévisions pour les années futures sont tout aussi optimistes avec des besoins toujours plus importants en énergie électrique. Le rapport de Yole Développement [2] prédit un taux de croissance annuel moyen (CAGR) autour de 6,9% au cours de la période 2014-2020 ce qui devrait représenter un marché de plus de 17M\$ en 2020.

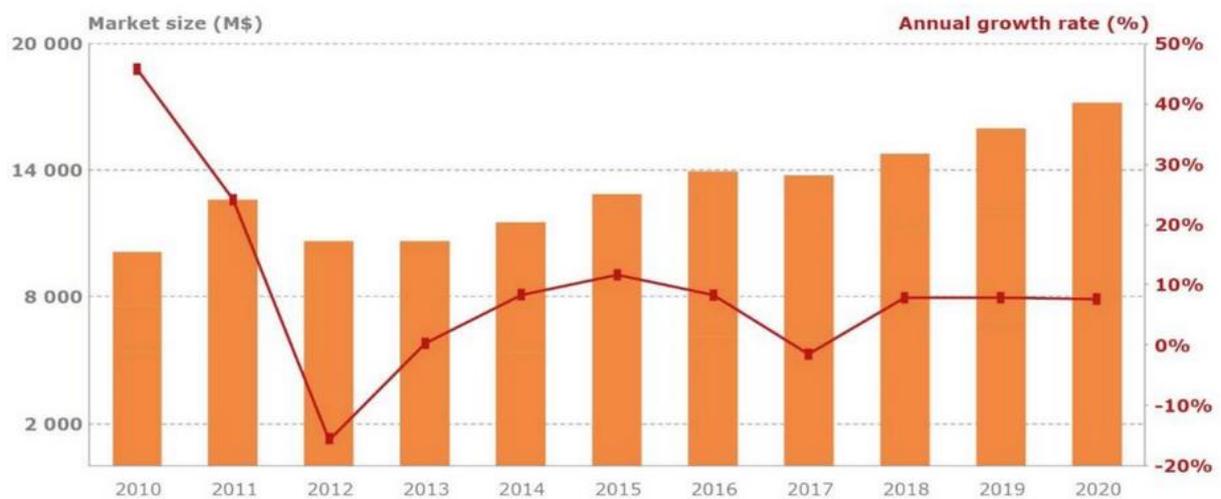


Figure 1-1 : Croissance du marché de l'électronique de puissance de 2010 à 2020 [2]

Cette croissance s'explique dans un premier temps par une augmentation significative des ventes de véhicules électriques et hybrides qui constitueront un marché porteur de l'électronique de puissance dans les prochaines années. Le secteur automobile affectera principalement les segments du marché à 650, 900 et 1200V en gamme de tension. De plus, le développement croissant des énergies renouvelables dans notre société ainsi que l'évolution de notre réseau de distribution de l'électricité avec l'introduction des technologies « smart-grid » devraient booster le secteur industriel autour des systèmes fonctionnant à plus de 1,2kV. Le secteur de la traction ferroviaire restera un secteur très dynamique dans la gamme des très hautes tensions (>3,3kV) dont la croissance dépassera probablement les 100% entre 2013 et 2020 (figure 1-2). Malgré une érosion des parts de marché des applications basse-tension (<900V) due en partie à une forte compétitivité au niveau des prix, ce segment connaîtra lui aussi une croissance non négligeable grâce à l'augmentation des volumes de production (+58%).

Les plus grosses demandes en composants de puissance concerneront toujours les composants Si de type MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) et IGBT (Insulated-Gate Bipolar Transistor) qui couvrent aujourd'hui l'ensemble de la gamme de tension. Cependant, l'arrivée des composants à large bande interdite, SiC (carbure de silicium) et le GaN (nitride de gallium), devrait redessiner le marché de l'électronique de puissance. En effet, grâce aux propriétés physiques de ces matériaux, cette nouvelle génération de composants devrait apporter

une réelle rupture en termes de performance par rapport aux technologies en Si, pour les applications de puissance. Dans le rapport de Yole, « GaN For Power Electronics » [3], on estime que le marché du GaN pour l'électronique de puissance atteindra près de 600 millions de dollars en 2020 avec un taux de croissance annuel moyen de 80% entre 2016 à 2020.

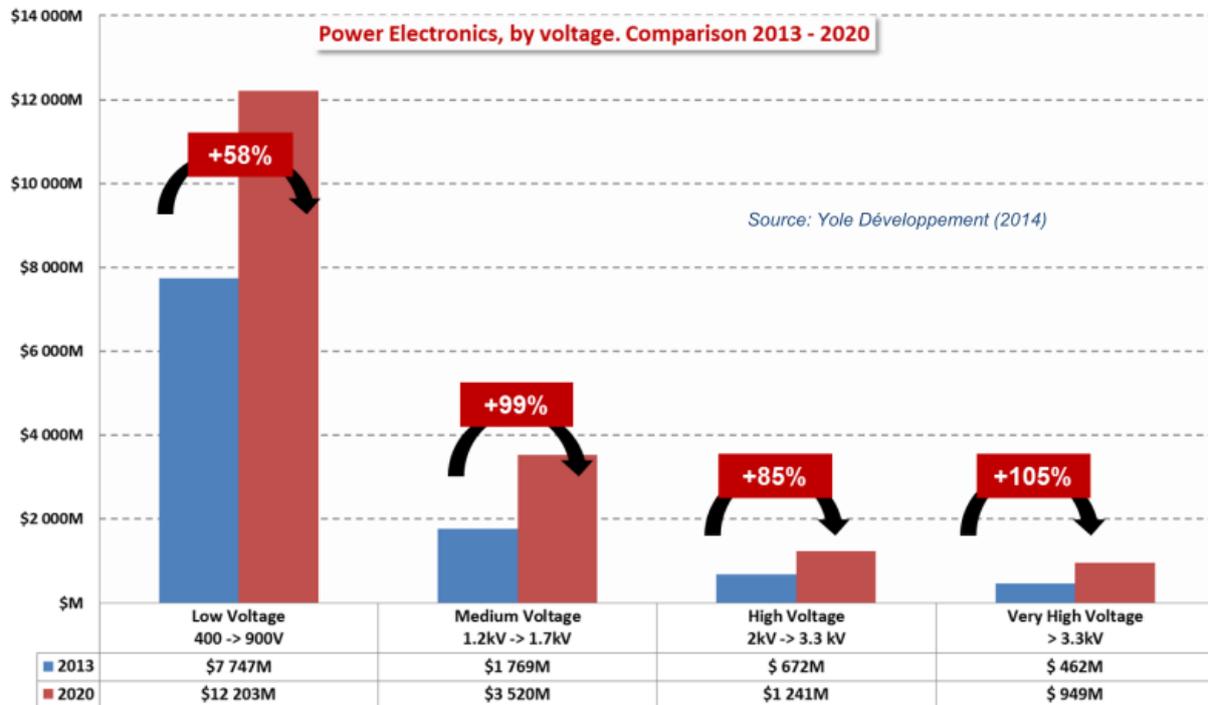


Figure 1-2 : Prédiction de croissance du marché de l'électronique de puissance par gamme de tension [2]

Dans un premier temps, l'amélioration des rendements dans les circuits de conversion apportée par les composants GaN et la diminution de leur coût de fabrication (GaN sur substrat Si) devraient permettre de concurrencer les composants Si low-cost dans les applications telles que les drivers de moteur ou les convertisseurs DC-DC basse tension (fonctionnant jusqu'à ~200V). Dans cette gamme de tension, l'utilisation du GaN permet de rendre les modules de puissances plus compacts, plus légers grâce notamment à la réduction des dimensions des composants passifs tout en augmentant les rendements par rapport aux technologies actuelles à base de Si (pour des applications telles que les alimentations électriques des appareils domestiques). Ce marché devrait rapporter entre 10 et 14 millions de dollars en attendant la prochaine génération de composants à 600V. Entre 600V et 1200V, aucune technologie n'a prouvé sa supériorité, ce qui rend le marché nettement plus accessible. On y retrouve notamment les circuits d'alimentation à haute tension (>600V), les circuits onduleurs pour les systèmes d'alimentation sans interruption, UPS, de moyenne puissance ou pour les centrales solaires photovoltaïques. Ces derniers permettent de convertir le courant continu généré par les panneaux solaires en courant alternatif pour le réseau électrique et utilisent jusqu'à présent des technologies SiC dont le coût de fabrication est très important. Le faible coût des composants GaN par rapport aux technologies SiC constituera un avantage considérable sur ce marché très concurrentiel. Mais c'est l'arrivée des véhicules électriques et hybrides qui constituera sans nul doute la plus grosse part de marché pour l'industrie des composants GaN. Dans l'hypothèse où les composants GaN seraient choisis pour l'automobile, ce marché devrait représenter plusieurs dizaines de millions de dollars. Les besoins en composants de puissance au sein de l'automobile seront détaillés dans la partie suivante. Toutes ces applications sont actuellement en

développement et s'inscrivent parfaitement dans la transition énergétique, ce qui constitue un marché d'avenir et pérenne pour les composants de puissance à base de GaN (figure 1-3).

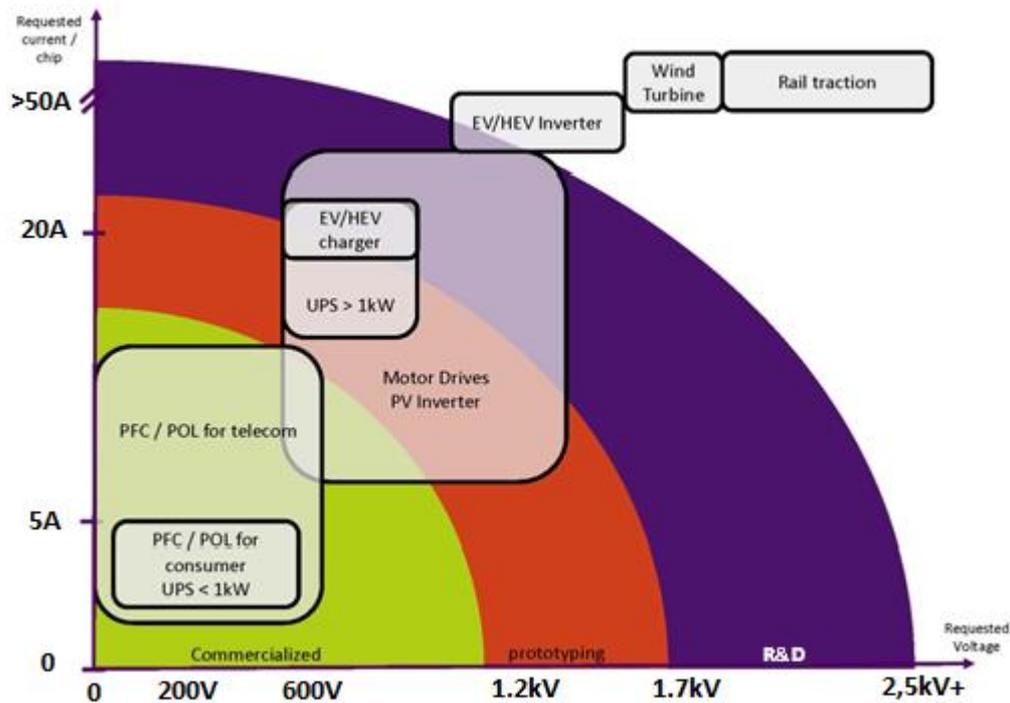


Figure 1-3 : Futures applications et projection de marché 2015 pour les composants de puissance GaN [3]

Récemment, plusieurs entreprises ont été créées autour des composants de puissance GaN pour répondre à ces nouveaux besoins. Certaines se limitent à la croissance du matériau comme EpiGaN ou Azurro (racheté par ALLOS semiconductors en 2014) alors que d'autres couvrent toute la chaîne de fabrication de la croissance jusqu'au packaging du convertisseur de puissance telles que Transphorm, Efficient Power Conversion Corporation (EPC) et International Rectifier (racheté par Infineon en 2014). Aujourd'hui, des convertisseurs de puissance à base GaN sont disponibles sur le marché (EPC, Transphorm, GaN Systems) mais se limitent pour l'instant aux basses tensions (<650V). Toutes ces entreprises sont d'ores et déjà tournées vers la prochaine génération de composants GaN à 600V, actuellement en phase de recherche et développement et de validation industrielle, qui devrait bouleverser le marché de l'électronique de puissance.

1.2. L'AUTOMOBILE : FUTUR MARCHÉ PORTEUR DE L'ÉLECTRONIQUE DE PUISSANCE

Les experts s'accordent à dire que l'arrivée des véhicules électriques et hybrides devrait constituer la plus grosse part de marché pour l'industrie des composants GaN. En 2020, on estime que près de 7% des véhicules légers seront des véhicules hybrides ou totalement électriques (figure 1-4). Une course aux performances entre les composants Si, SiC et GaN est actuellement en cours pour déterminer quel type de composants de puissance sera utilisé dans l'automobile. Dans l'hypothèse où les composants à base de GaN seraient choisis, ce marché devrait représenter plusieurs centaines de millions de dollars. L'ensemble des modules de puissance utilisés dans les véhicules électriques sont détaillés dans la figure 1-5 [4]. Les configurations des systèmes d'électronique de puissance sont les mêmes pour les véhicules électriques et hybrides, excepté pour l'alimentation du moteur. On peut diviser ces modules de puissance en 2 catégories : les modules

impliquant de hautes puissances, dédiés à alimenter le moteur principal et les modules de moyenne puissance pour les sous-systèmes. Les modules de haute puissance consistent en un convertisseur DC-DC de type convertisseur BOOST pour élever la tension de la batterie puis un circuit onduleur qui alimente le moteur. A titre d'exemples, la puissance de sortie maximale du moteur principal de la Prius de Toyota est de 60 kW avec une tension d'alimentation de 650 V ; dans le cas de la version hybride de la Sedan (Toyota Avalon), la puissance requise est de 150 kW.

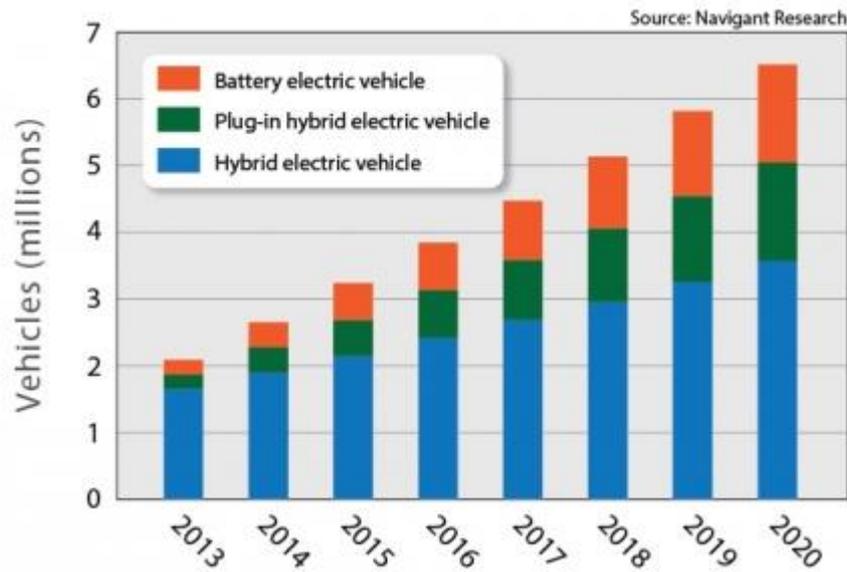


Figure 1-4 : Marché des véhicules électriques et hybrides pour les années 2013-2020

L'autre catégorie de système d'électronique de puissance concerne l'ensemble des applications à moyenne puissance. Il y a de nombreux accessoires électriques dans une voiture dont la climatisation qui est la plus consommatrice avec 5-6 kW. Le compresseur du système de climatisation est alimenté par un circuit onduleur dont la tension d'entrée est la tension de la batterie à 200-300 V. Parmi les autres modules alimentés par la batterie, on retrouve des onduleurs pour la prise allume-cigare et un convertisseur DC-DC BUCK (abaisseur de tension) à 12 V. On pourrait aussi compter les futurs systèmes de rechargement sans fil de la batterie qui sont en cours de développement et qui appartiendront à cette catégorie de moyenne puissance. Dans ces futurs systèmes, les convertisseurs utilisés fonctionnent à 10 MHz et mettent en jeu des puissances de l'ordre de 3 kW. Par conséquent, ces applications de puissance requièrent des composants fonctionnant à la fois à haute puissance et à haute fréquence.

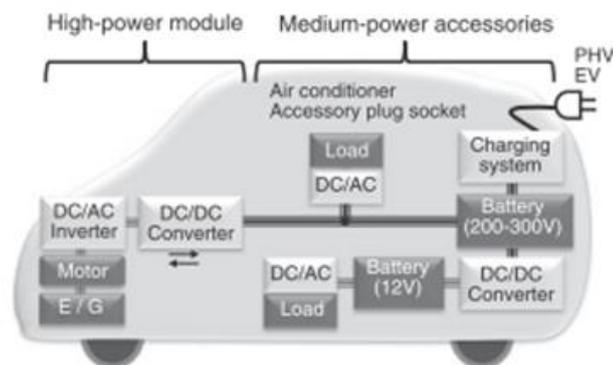


Figure 1-5 : Systèmes d'électronique de puissance utilisés dans les véhicules électriques et hybrides [4]

Si on considère l'ensemble des pertes générées par les systèmes de moyenne puissance, on constate qu'elle n'est pas très élevée comparée à celle des systèmes de haute puissance. Cependant, ces pertes impactent directement l'autonomie des véhicules et ce d'autant plus dans le cas des véhicules entièrement électriques. C'est pourquoi la réduction de ces pertes est un objectif primordial pour l'ensemble de ces systèmes de conversion électrique et fera l'objet de discussion par la suite.

2. LE CONVERTISSEUR DE PUISSANCE

La conversion électrique de puissance permet d'assurer le transfert de l'énergie électrique entre deux entités (souvent d'une source vers une charge) dont les caractéristiques électriques ne sont initialement pas compatibles. Pour cela, on utilise un circuit de conversion pour modifier les caractéristiques de l'énergie électrique (courant, tension, fréquence...) de la source et les adapter aux besoins de la charge. On compte 4 grands types de conversion (figure 1-6) :

- Le hacheur (convertisseur DC/DC) qui permet de faire varier la tension et le courant sous un régime continu.
- Le redresseur (convertisseur AC/DC) qui permet de passer d'un régime électrique alternatif à continu.
- L'onduleur (convertisseur DC/AC) qui permet de passer d'un régime électrique continu à alternatif.
- Les convertisseurs AC/AC tels que les cyclo-convertisseurs pour modifier la fréquence d'un signal alternatif ou les gradateurs pour modifier la valeur efficace du courant ou de la tension d'un signal alternatif.

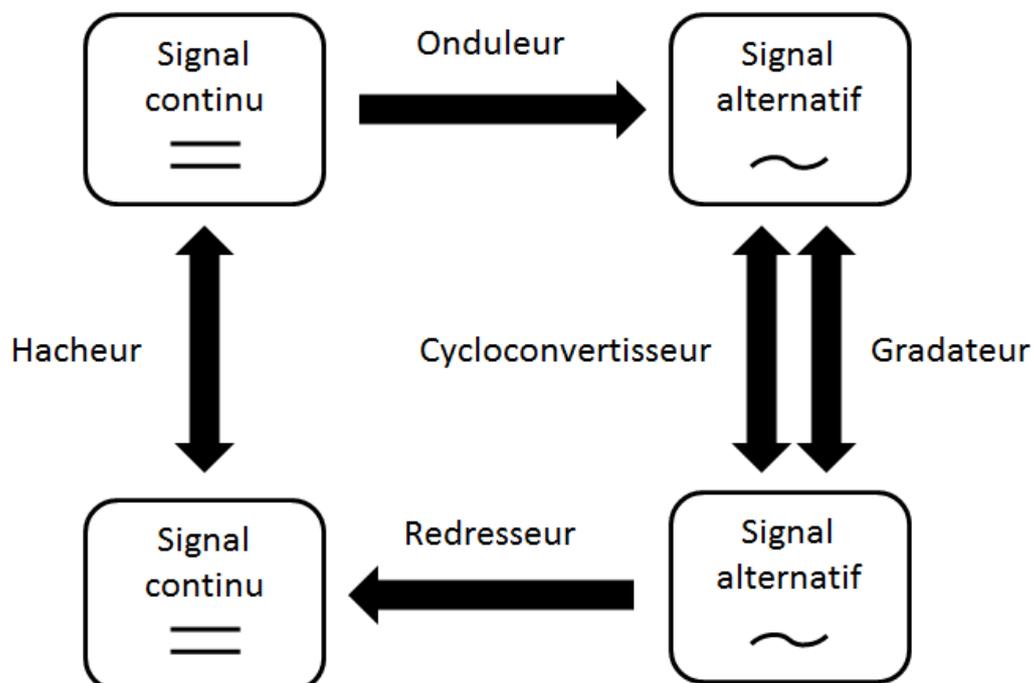


Figure 1-6 : Les différents types de conversion en électronique de puissance

Dans cette partie, nous étudierons le fonctionnement et les limitations des convertisseurs de puissance au travers d'un exemple de convertisseur de type DC/DC BOOST (élevateur de tension) simplifié.

2.1. PRINCIPES GÉNÉRAUX D'UN CONVERTISSEUR DC/DC

Aujourd'hui, seuls les circuits de conversion de type « convertisseurs à découpage » permettent d'obtenir de hauts rendements de conversion à haute puissance [5]. Contrairement aux « convertisseurs linéaires », le rendement de conversion des convertisseurs à découpage est théoriquement de 100%. La figure 1-7 représente une configuration basique de convertisseur BOOST utilisant le principe de conversion à découpage. On y retrouve les éléments suivants : une source de tension continue V_{in} , une tension de sortie V_{out} aux bornes de la charge R, une inductance L, une capacité C, une diode D et un interrupteur S.

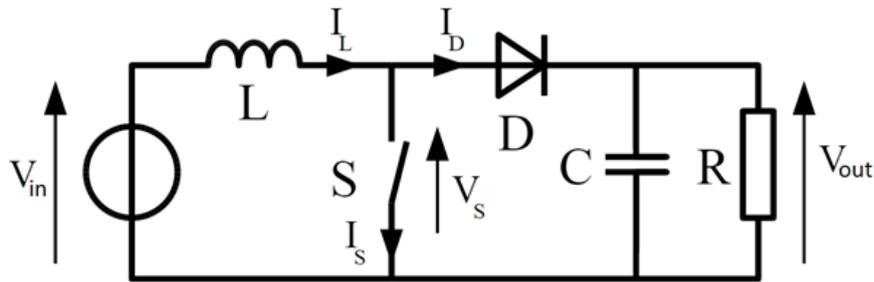


Figure 1-7 : Configuration basique d'un convertisseur BOOST [6]

Pour s'affranchir des pertes énergétiques dans un convertisseur à découpage, on a besoin de composants idéalement non-résistifs dans lesquels la puissance dissipée est nulle. L'opération de conversion repose sur l'alternance de phases de stockage et de restitution partielle de l'énergie de la source au travers de composants purement réactifs dans le circuit, la capacité et l'inductance. La commutation de ces éléments de stockage est réalisée par un interrupteur de puissance dont le comportement idéal est représenté sur la figure 1-8b. Il possède 2 états de fonctionnement : un état ON (état passant) où il conduit le courant sans chute de tension à ses bornes et un état OFF (état bloqué) où il maintient une tension à ses bornes avec une valeur de courant nulle. L'interrupteur est généralement commandé par un circuit extérieur appelé driver. Le driver commande l'interrupteur grâce à un signal carré périodique MLI (modulation de largeur d'impulsion), en anglais PWM (Pulse Width Modulation) de fréquence f et de rapport cyclique, $\alpha = T_{on}/T_{off}$, qui lui permet de commuter entre ces 2 états (figure 1-8a).

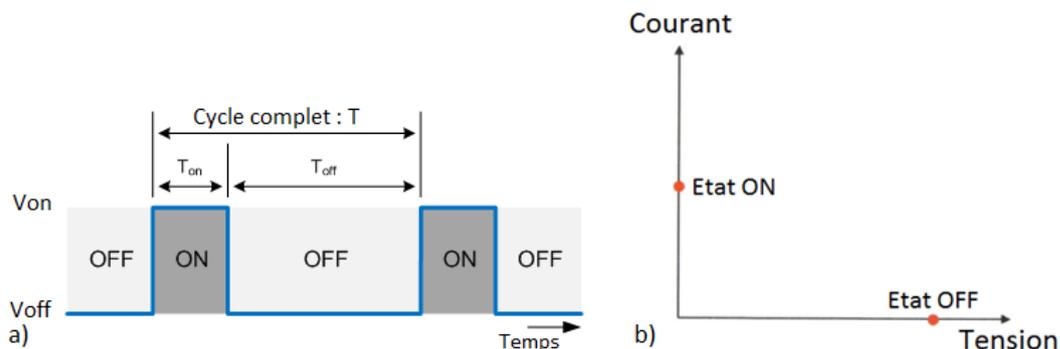


Figure 1-8 : (a) Signal PWM de commande d'un interrupteur (b) Comportement d'un interrupteur idéal

Lorsque l'interrupteur est fermé, la diode est bloquée. Le courant circule directement dans la bobine, tandis que la charge est alimentée par le condensateur qui a été chargé à la période précédente. À l'ouverture de l'interrupteur, la diode repasse en direct et laisse passer le courant. Le courant continue à traverser la bobine et charge par la même occasion le condensateur en passant

par la diode. Le condensateur se charge à une tension supérieure à la source car la tension à ses bornes correspond à la somme de la tension de la source et de la tension de la bobine induite par les variations de courant. Il y a donc élévation de la tension avec un rapport de conversion, m , correspondant à l'inverse du rapport cyclique :

$$m = \frac{V_{OUT}}{V_{IN}} = \frac{1}{\alpha} \quad (1)$$

Dans le cas d'un circuit idéal, toute la puissance d'entrée est transférée à la charge sans aucune perte énergétique, le rendement théorique est donc de 100%.

$$\eta = \frac{P_{OUT}}{P_{IN}} = 1 \quad (2)$$

2.2. L'INTERRUPTEUR DE PUISSANCE

L'interrupteur de puissance est l'élément clé du convertisseur de puissance. Il constitue, dans le cas d'une configuration de circuit simplifiée comme celle présentée précédemment, le seul composant actif dont les commutations provoquent les phases de charge et décharge des composants passifs dans le circuit qui permettent d'alimenter la charge R. L'interrupteur de puissance est donc un composant commandable et doit être capable de supporter les contraintes en courant et en tension imposées par le reste du circuit. Dans le cas idéal décrit précédemment, nous avons considéré que les transitions entre les états ON et OFF étaient instantanées, que la chute de tension à l'état passant était nulle, et que le courant était bloqué à l'état OFF pour n'importe quelle tension V_s (Figure 1-8b). En réalité, les interrupteurs de puissance à semiconducteurs ne remplissent que partiellement ces conditions. Le comportement à l'ouverture, à la fermeture et en régime de conduction de l'interrupteur varie notablement selon le type d'interrupteur semiconducteur utilisé. On distinguera principalement 3 types de composants utilisés aujourd'hui en électronique de puissance : les diodes, les thyristors et GTO (Gate turn Over) et les transistors.

2.2.1. LES DIODES

La diode est un composant non commandable (figure 1-9) principalement utilisée dans les circuits de type redresseur (conversion d'un signal AC vers un signal DC). Les diodes bipolaires sont constituées d'une simple jonction PN créant une barrière de potentiel de l'ordre de 1,1eV pour le Si qui empêche le transit des électrons de la région n à la région p.



Figure 1-9 : Représentation symbolique et caractéristique électrique d'une diode réelle

Il faut appliquer une tension dans le sens direct pour annuler cette barrière de potentiel et permettre le passage d'un courant. Toute augmentation de la tension dans le sens indirect tend à augmenter la hauteur de la barrière de potentiel ce qui annule le courant. Au-delà d'une certaine tension inverse, les champs électriques deviennent trop intenses et on a une rupture par avalanche de la jonction. Un courant inverse peut alors passer.

Si la mise en conduction de la diode peut souvent être considérée comme instantanée, le blocage comporte des phénomènes transitoires indésirables. Des charges sont accumulées dans la diode lors de la conduction en fonction du courant qui la traverse. Ces porteurs minoritaires doivent être évacués avant que la diode ne puisse vraiment se bloquer et l'établissement d'un courant inverse temporaire est nécessaire avant le blocage effectif de la tension. On parle alors de recouvrement inverse de la diode, correspondant à la recombinaison des porteurs minoritaires, qui est caractérisé par un temps de recouvrement t_{rr} et une pointe de courant inverse I_{rr} . Ce phénomène est inexistant pour les diodes Schottky puisque ces composants sont des composants monopolaires. Cependant les technologies actuelles de diode Schottky souffrent de courants de fuites plus importants et d'une tenue en tension limitée ce qui pousse les industriels à se tourner vers de nouveaux matériaux comme nous le verrons dans la partie suivante de ce chapitre.

2.2.2. LES THYRISTORS ET GTO

Le thyristor est un élément semiconducteur commandable à la fermeture constitué de quatre couches PNPN en série (figure 1-10).

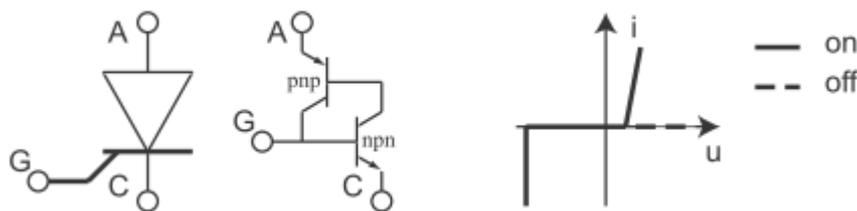


Figure 1-10 : Représentation symbolique et caractéristique électrique d'un thyristor

Pour l'étude de son fonctionnement, on considère deux transistors PNP et NPN se partageant la jonction centrale du thyristor. Lorsqu'une impulsion positive est appliquée sur la gâchette (base du transistor NPN) et que la tension aux bornes de l'élément U_{AC} est positive, un courant circule dans le transistor NPN. Ce courant devient le courant de base du transistor PNP, engendrant un important courant de collecteur pour ce transistor. Ce dernier courant est alors lui-même courant de base du transistor NPN et ainsi de suite. On parle ainsi d'allumage ou d'amorçage du phénomène de multiplication du thyristor. Le thyristor ne se bloque que lorsque le courant le traversant est nul et que la tension U_{AC} est maintenue négative pendant un temps suffisant (10 à 100 μ s) pour que toutes les charges soient évacuées ou recombinées.

Lors du blocage, le thyristor présente un recouvrement inverse similaire à celui de la diode.

Le thyristor GTO est un composant à quatre couches PNPN similaire à un thyristor. Certaines modifications dans la structure du thyristor permettent de provoquer l'extinction en déviant le courant d'anode vers la gâchette pendant un court instant. Malgré ces améliorations, la fréquence de fonctionnement d'un convertisseur à GTO dépasse rarement le kilohertz. Ces composants sont donc réservés aux applications de grande puissance, inaccessibles aux autres technologies.

2.2.3. LES TRANSISTORS DE PUISSANCE

Les transistors de puissance sont des composants commandables à l'ouverture et à la fermeture et se caractérisent par une tenue en tension et une capacité en courant moindre que les thyristors ou les diodes. Ils peuvent être regroupés en 2 catégories distinctes : les composants à commande en courant et les composants à commande capacitive. Comme leur nom l'indique, les composants à commande en courant, tels que les transistors bipolaires, nécessitent la consommation d'un courant lors de chaque commutation ce qui induit inévitablement des pertes énergétiques dans le circuit qui augmenteront avec la fréquence de commutation. Pour les futures applications de puissance qui exigent des fréquences de conversion élevées, on préférera les transistors de puissance à commande capacitive, encore appelés transistors à effet de champ, de par leurs excellentes propriétés de commutation (figure 1-11a).

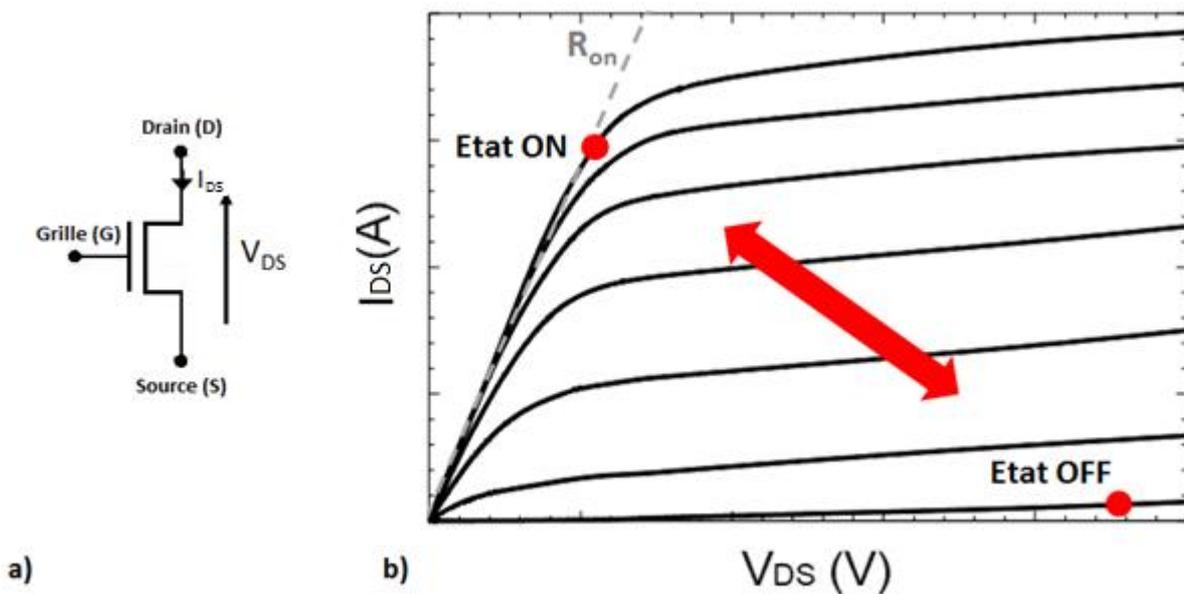


Figure 1-11 : (a) Représentation symbolique d'un transistor à effet de champ (b) caractéristique électrique d'un transistor à effet de champ

Ces composants se comportent comme une résistance variable, modulable par la tension de grille (figure 1-11b). En appliquant une tension de grille supérieure à la tension de seuil du transistor, V_{TH} , le transistor devient conducteur et un courant circule entre la source et le drain. Pour une tension de grille inférieure à V_{TH} , le courant est quasi-nul.

$$\left\{ \begin{array}{ll} V_G > V_{TH} & : V_{DS} = R_{ON} \times i_{DS} \quad (3) \\ V_G < V_{TH} & : i_{DS} \approx 0 \quad (4) \end{array} \right.$$

Les transistors permettent donc une commande en tension indépendante du courant circulant entre source et drain, ce qui simplifie le système d'alimentation de la grille (driver). Ils se sont largement imposés dans tous les domaines de l'électronique de puissance par rapport aux autres types de composants pour les applications à faible et moyenne puissance (<1MW). Grâce à une grande variété de structures et de nombreuses innovations technologiques qui seront détaillées par la suite, les transistors à effet de champ couvrent une gamme importante de tensions et sont adaptés à la réalisation de convertisseurs de puissance à haute fréquence et haut rendement.

2.3. LIMITES DE FONCTIONNEMENT ET RENDEMENT REEL DU CONVERTISSEUR

Si l'on considère les caractéristiques réelles des composants électriques comme celles du transistor à la place de l'interrupteur idéal (figure 1-12), les pertes dans le circuit ne sont pas nulles et le rendement de conversion devient inférieur à 100%. En considérant le circuit simplifié du convertisseur BOOST (figure 1-7), ces pertes se répartissent en 2 catégories : les pertes résistives dues aux résistances en série des composants et les pertes en commutation dues aux temps de transition de l'interrupteur non nuls.

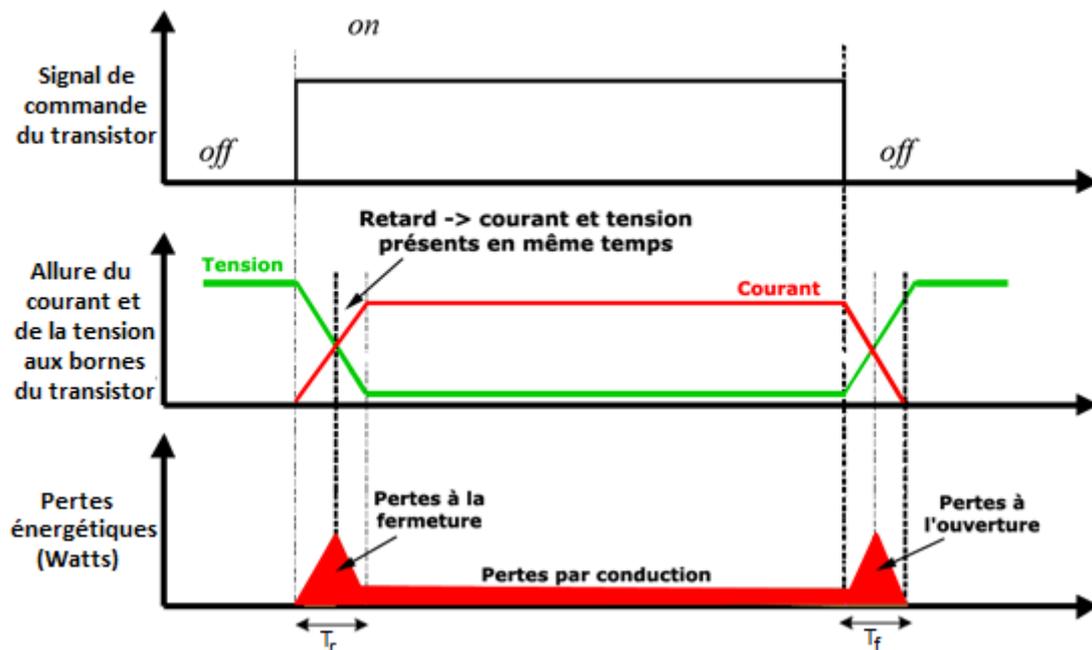


Figure 1-12 : Représentation schématique des pertes énergétiques induites par le transistor

- Les pertes résistives

Parmi les pertes résistives du convertisseur, on décrit:

- La résistance à l'état passant, R_{ON} , du transistor.
- Les pertes à l'état bloqué du transistor (pertes généralement négligées)
- La chute de potentiel aux bornes de la diode D en direct correspondant à sa tension de seuil V_D ainsi que sa résistance R_D .
- La résistance en série R_L de la bobine L.

Ces pertes sont calculées dans le tableau 1-1 ci-dessous :

Tableau 1-1 : Expression des pertes résistives dans un convertisseur BOOST

Perte dans l'inductance	$P_L = R_L \times I_L^2$
Perte dans le transistor	$P_T = R_{ON} \times I_{DS}^2 \times \alpha$
Perte dans la diode	$P_D = (R_D \times I_L^2 + V_D \times I_L) \times (1 - \alpha)$

▪ Les pertes en commutation

Les pertes en commutation s'expliquent par le fait que les transitions entre les états ON et OFF du transistor ne sont pas instantanées. Lors des transitions, on observe un certain temps de réaction à la commande qui dépend de ses propriétés intrinsèques et des autres composants du circuit. Comme on peut le voir sur la figure 1-12, l'interrupteur peut alors présenter simultanément une tension à ses bornes et un courant ce qui entraîne des pertes énergétiques. Ces mécanismes seront plus amplement expliqués dans la partie suivante.

Avec T_0 , la période de commutation de l'interrupteur, T_r , le temps de fermeture de l'interrupteur et T_f , le temps d'ouverture de l'interrupteur, on obtient les expressions des pertes énergétiques ci-dessous :

Tableau 1-2 : Expression des pertes en commutation dans un convertisseur BOOST [7]

Perte à la fermeture du transistor	$P_r = 0,5 \times V_{DS} \times I_{DS} \times \frac{T_r}{T_0}$
Perte à l'ouverture du transistor	$P_f = 0,5 \times V_{DS} \times I_{DS} \times \frac{T_f}{T_0}$

A l'aide des expressions des tableaux 1-1 et 1-2, on peut donc calculer le rendement de conversion du circuit ci-dessous :

$$\eta = \frac{P_{OUT}}{P_{OUT} + P_L + P_T + P_D + P_f + P_r} \quad (5)$$

$$\eta = \frac{1}{1 + \frac{(R_L + R_{ON} \times \alpha + R_D \times (1 - \alpha))}{\frac{R}{m^2}} + \frac{V_D}{V_{IN}} (1 - \alpha) + m \times \frac{T_r + T_f}{2 \times T_0}} \quad (6)$$

Grâce à cette expression du rendement, on peut en déduire les caractéristiques électriques des composants les plus adaptées pour améliorer les performances énergétiques du circuit :

- Les résistances en série des composants passifs R_L et R_D doivent être les plus faibles possible afin de diminuer les pertes résistives.
- La tension de seuil de la diode en direct V_D doit être la plus faible possible par rapport à la tension d'entrée V_{IN} . Le recours à d'autres types de composants tels que les transistors (convertisseur synchrone) pour réduire la chute de potentiel est possible pour les applications à faible tension.
- Le transistor de puissance présente à la fois des pertes en conduction et en commutation. Le transistor doit à la fois présenter une faible résistance à l'état passant pour diminuer les pertes en conduction et des faibles temps d'ouverture et de fermeture pour réduire les pertes en commutation.

2.4. FIGURE DE MERITE D'UN TRANSISTOR DE PUISSANCE

Le comportement dynamique du transistor est intrinsèquement lié aux valeurs des différentes capacités de sa structure. En effet, on peut décrire la commutation du transistor par l'évolution de sa charge de grille Q_g comme représenté sur la figure 1-13 (cas de la fermeture du transistor). La charge de grille Q_g se décompose ainsi :

- 1) Q_{th} , qui correspond à la charge nécessaire pour élever la tension grille-source de 0 à la tension de seuil du transistor V_{th} .
- 2) Q_{gs1} , qui correspond à la charge nécessaire pour élever le courant de drain de 0 à I_{DS} .
- 3) Q_{gd} , qui correspond à la charge de la capacité dite « de Miller ». Le courant de grille charge la capacité grille-drain, ce qui entraîne la diminution de la tension de drain.
- 4) Q_{ov} , qui correspond à la surcharge de la capacité de grille, ce qui permet une réduction supplémentaire de la tension de drain.

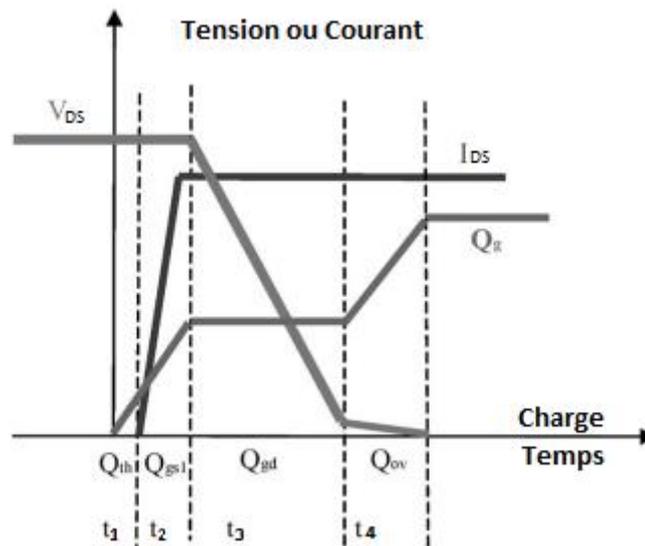


Figure 1-13 : Charge de grille à la fermeture d'un transistor [8]

Le temps nécessaire à l'élévation du courant de drain à I_{DS} , t_2 est équivalent à :

$$t_2 = \frac{Q_{gs1}}{\bar{i}_g} = \frac{C_{gs} \cdot I_{DS}}{\bar{i}_g} \quad (7)$$

Avec C_{gs} , la capacité grille-source, g_m , la transconductance du transistor et \bar{i}_g , le courant moyen de la grille.

Le temps nécessaire à la chute de tension entre la source et le drain, t_3 , peut être estimé à :

$$t_3 = \frac{Q_{gd}}{\bar{i}_g} \quad (8)$$

Lors de l'ouverture du transistor (déchargement de la grille), des calculs similaires peuvent être réalisés. En reprenant les équations des pertes résistives (tableau 1) et en commutation (tableau 2) du transistor, on peut estimer l'ensemble des pertes énergétiques engendrées par le transistor à :

$$P_{loss} = I_{G,rms}^2 R_{on} + V_{DS} I_{DS} (t_2 + t_3) f \quad (9)$$

Avec $I_{G,rms}$, la valeur efficace du courant dans le transistor et f , la fréquence de commutation du transistor.

Or, pendant la commutation, le chargement et le déchargement des charges Q_{GD} dominent les pertes en commutation, soit $t_3 \gg t_2$. Cette condition est particulièrement vraie pour les applications à haute tension ($V_{OUT} > 600V$). Par conséquent, on peut calculer les pertes du transistor en fonction de la charge Q_{GD} :

$$P_{loss} \approx I_{G,rms}^2 R_{on} + V_{DS} I_{DS} t_3 f \quad (10)$$

$$P_{loss} = \frac{I_{rms}^2 R_{on,sp}}{A} + \frac{V_{DS} I_{DS} f Q_{gd,sp} A}{\bar{t}_g} \quad (11)$$

Avec A , la surface de la zone active du transistor, $R_{on,sp}$, la résistance à l'état passant par unité de surface, encore appelée la résistance spécifique à l'état passant et $Q_{gd,sp}$, la charge grille-drain par unité de surface.

Le premier terme de l'équation (11) correspond donc aux pertes en conduction du transistor alors que le 2^{ème} correspond à ses pertes en commutation. On peut voir que ces 2 termes évoluent de façon opposée en fonction de A . Lorsque la surface de la zone active augmente, la résistance à l'état passant diminue alors que la charge de grille augmente comme on peut le voir pour un composant Si de type MOSFET (figure 1-14). La somme de ces 2 termes atteint une valeur minimale lorsque $\frac{dP_{loss}}{dA} = 0$ que l'on peut aisément calculer.

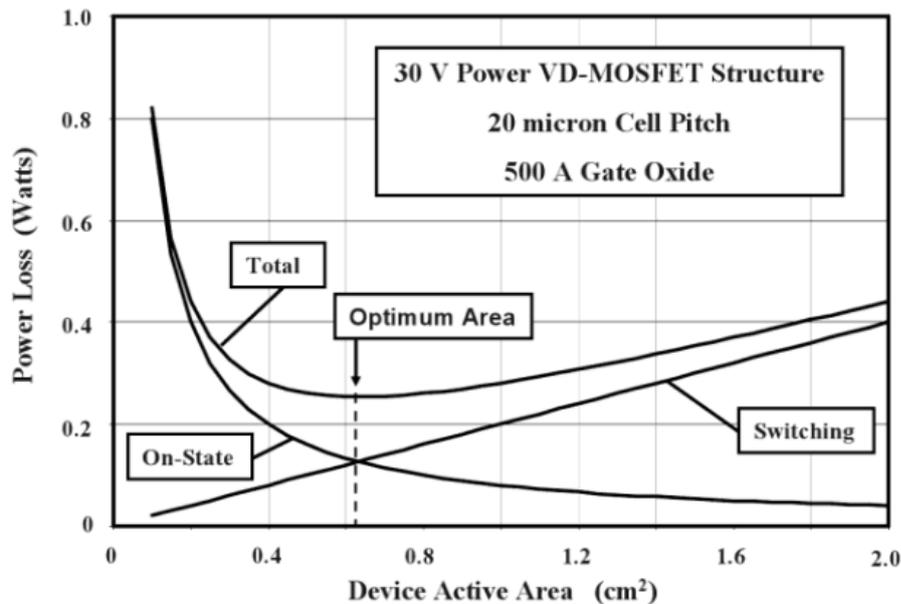


Figure 1-14 : Compromis entre les pertes en conduction et les pertes en commutation selon l'aire de la zone active pour un composant MOSFET, 30V, 500A

On obtient donc :

$$P_{loss,min} = 2I_{G,rms} \sqrt{\frac{V_{DS}I_{DS}f}{\bar{t}_g} R_{on,sp} Q_{gd,sp}} \quad (12)$$

$$P_{loss,min} = \left\{ 2I_{G,rms} \sqrt{\frac{V_{DS}I_{DS}f}{\bar{t}_g}} \right\} \sqrt{R_{on,sp} Q_{gd,sp}} \quad (13)$$

Le premier terme des pertes minimales ($P_{loss,min}$) est lié aux paramètres du circuit, alors que le second paramètre est déterminé par la technologie de transistor utilisée. Par conséquent, on obtient une figure de mérite des pertes pour un transistor qui a été mise en évidence par Huang [8] (HFOM).

$$HFOM = R_{on} \cdot Q_{gd} \quad (14)$$

La HFOM peut être utilisée pour comparer des composants dont on connaît à la fois le R_{on} et le Q_{gd} . Un composant dont la valeur de HFOM est plus faible présente de plus faibles pertes énergétiques.

2.5. AUGMENTER LA FREQUENCE POUR REDUIRE LES DIMENSIONS DU CONVERTISSEUR, MAIS A QUEL PRIX ?

2.5.1. INFLUENCE SUR LA TAILLE DES COMPOSANTS PASSIFS DU CIRCUIT

Dans la plupart des applications, en plus de l'amélioration du rendement de conversion, on se concentre sur la réduction de l'encombrement total du convertisseur. La réduction du volume du circuit passe par la réduction de la taille des éléments passifs (capacités, inductances). Aujourd'hui, les éléments inductifs peuvent constituer près de 40% du volume et de la masse du convertisseur. Dans un convertisseur de type BOOST, on peut facilement calculer la valeur de l'inductance adaptée aux paramètres du circuit [9] :

$$L > \frac{V_{IN} \times (V_{OUT} - V_{IN})}{\Delta I_L \times f \times \Delta V_{OUT}} \quad (15)$$

Avec V_{IN} , la tension d'entrée du convertisseur, V_{OUT} , la tension de sortie du convertisseur, f_s , la fréquence de découpage du convertisseur, ΔI_L , le surcourant estimé pour l'inductance (en général équivalent à 20 à 40% du courant de sortie) et ΔV_{OUT} , la surtension estimée pour la tension de sortie.

De même pour le calcul de la valeur de la capacité [9] :

$$C > \frac{I_{OUT} \times \alpha}{f \times \Delta V_{OUT}} \quad (16)$$

Avec I_{OUT} , le courant de sortie du convertisseur.

Si on considère les équations (15) et (16), on constate que les valeurs d'inductance et de capacité sont inversement proportionnelles à la fréquence de découpage du convertisseur ce qui autorise, pour une fréquence de découpage plus élevée, une inductance et une capacité plus faibles et donc une réduction de leur taille. Le tableau 1-3 montre la zone occupée par des capacités et inductances

du commerce pour un circuit convertisseur de puissance selon 3 valeurs de fréquence de découpage données : 100 kHz, 300 kHz et 750 kHz.

Tableau 1- 3 : Taille des composants et aire totale requise [10]

SWITCHING FREQUENCY (kHz)	CAPACITOR C2 (μF)/SIZE	CAPACITOR AREA (mm ²)	INDUCTOR L1 (μH)	INDUCTOR AREA (mm ²)	TOTAL AREA (mm ²)
100	47/1206	18.9	100	150	420
300	10/0805	11.5	33	43.5	192
750	4.7/0603	6.5	15	43.5	182

L'augmentation de la fréquence de 100 kHz à 750 kHz a permis d'économiser 238 mm² d'espace soit une réduction de 55% de la zone occupée par les composants passifs du circuit. Néanmoins, cette technique a ses limites : augmenter la fréquence du circuit à des valeurs de plus en plus élevées ne permettra pas de réduire indéfiniment la surface du circuit. On voit par exemple dans le tableau 3, que les inductances de 33 μH et 15 μH occupent le même espace. Ceci s'explique par le fait que, dans cet exemple précis, l'inductance de 33 μH mesure 3,5mm de hauteur tandis que l'inductance de 15 μH mesure 2,4mm. Ces 2 inductances ont été choisies pour montrer que la valeur d'une inductance est en fait proportionnelle à son volume.

2.5.2. INFLUENCE SUR LA THERMIQUE ET LES SYSTEMES DE REFROIDISSEMENT

La gestion de la thermique est un aspect essentiel dans un convertisseur de puissance. Compte tenu des pertes énergétiques que nous avons pu mettre en évidence, la génération de chaleur par dissipation de puissance est inhérente au fonctionnement du convertisseur. La puissance dissipée par un convertisseur est proportionnelle à la puissance de sortie désirée :

$$P_D = P_{in} - P_{out} = P_{out} \frac{(1 - \eta)}{\eta} = (1 - \eta)P_{in} \quad (17)$$

Avec P_D , la puissance dissipée par le convertisseur, P_{in} , la puissance d'entrée du convertisseur et P_{out} , la puissance de sortie.

La dissipation de puissance provoque une augmentation de la température de jonction (T_j) du transistor, ce qui entraîne une dégradation de ses performances électriques et a fortiori une diminution du rendement du convertisseur [11]. Dans le cas où la température au sein du transistor dépasse sa température maximale de jonction ($T_{j,max}$), l'énergie thermique, trop élevée, peut dégrader progressivement le matériau et réduire sa durée de vie. La chaleur générée par la dissipation de puissance doit donc être évacuée du module afin de maintenir une puissance de sortie élevée sans pour autant dissiper trop de puissance.

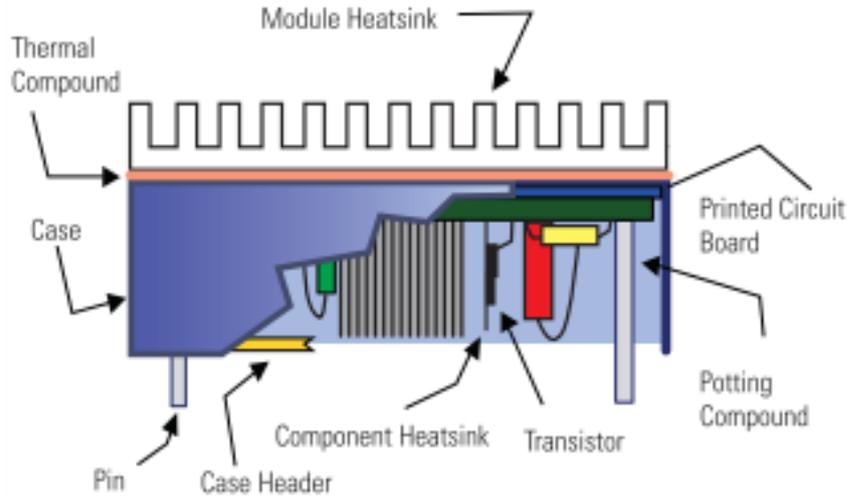


Figure 1-15 : Représentation simplifiée d'un module de puissance [12]

La figure 1-15 représente la structure simplifiée d'un module de puissance. Dans un premier temps, la chaleur doit être évacuée jusqu'au boîtier extérieur du module par conduction thermique. Pour cela, on utilise un matériau recouvrant entièrement la surface du circuit qui doit être, à la fois, un bon conducteur thermique et un bon isolant électrique pour éviter les court-circuits. Une fois que la chaleur a atteint le boîtier extérieur du convertisseur, elle est évacuée dans l'air par convection thermique, le plus souvent avec l'aide d'un radiateur afin de réduire la résistance thermique entre le module et l'air ambiant. Dans les cas où la convection naturelle n'est pas suffisante, un système de refroidissement supplémentaire peut être ajouté pour réduire la résistance thermique des composants jusqu'à l'air libre ce qui aura une influence positive sur la température de jonction des composants [12] :

$$T_J = T_A + (\theta_{J-A} \times P_D) \quad (18)$$

Avec T_A , la température de l'air ambiant, θ_{J-A} , la résistance thermique totale du module. Comme le montre l'équation (18), le système de refroidissement permet, à puissance dissipée égale, de réduire la température de jonction des composants mais il représente un volume, un coût et une consommation d'énergie supplémentaires qui doivent être pris en compte dans la conception du convertisseur. Si on se place dans les conditions extrêmes de fonctionnement, on obtient :

$$P_{D,max} = \frac{T_{J,max} - T_A}{\theta_{J-A}} \quad (19)$$

Avec $P_{D,max}$, la puissance maximale que peut dissiper le module sans dégrader les composants. Le niveau de perte énergétique maximal autorisé pour le convertisseur est donc limité par les propriétés thermiques du module dans lequel il est contenu. Ainsi, le changement de la fréquence de découpage du transistor n'est pas anodin car il a un effet direct sur les pertes énergétiques du convertisseur (9) et indirectement sur la thermique (19). Avec l'augmentation de la fréquence de commutation, les pertes en commutation seront plus élevées (9) d'où la nécessité d'un système de refroidissement plus important [11]. La figure 1-16 met en avant ce compromis entre la fréquence de découpage du convertisseur de puissance et le volume des systèmes de refroidissement nécessaires : plus la fréquence de commutation est élevée, plus le volume du système de refroidissement nécessaire pour conserver un haut rendement de conversion est important. Par

conséquent, d'un point de vue purement thermique, l'augmentation en fréquence du convertisseur est défavorable à la réduction de l'encombrement du module de puissance global (systèmes de refroidissement inclus).

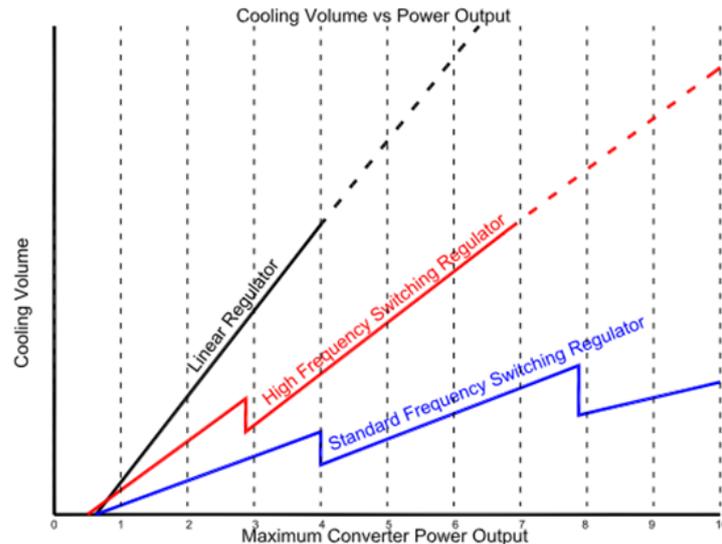


Figure 1-16 : Volume des systèmes de refroidissement d'un module de puissance en fonction de sa puissance de sortie pour 2 fréquences données. Un ratio de 5 a été choisi entre les 2 valeurs de fréquence [13]

Afin d'optimiser ce compromis et de réduire l'impact de la fréquence de commutation sur la thermique et le volume des systèmes de refroidissement, la priorité sera évidemment de diminuer les pertes du convertisseur en réduisant notamment les temps d'ouverture et de fermeture du transistor de puissance, ce qui permettrait de générer moins de chaleur à haute fréquence. On peut voir également qu'il devient primordial de travailler avec des composants semiconducteurs capables de fonctionner à haute température tout en maintenant un haut niveau de performance. Cela permettra, dans une certaine mesure, de réduire le besoin en système de refroidissement du convertisseur.

3. LES TRANSISTORS DE PUISSANCE

3.1. LES COMPOSANTS A BASE DE SILICIUM

Pendant ces 30 dernières années, les transistors de puissance à base de silicium ont dominé le marché de l'électronique de puissance et ont vu leurs performances électriques s'améliorer grâce à de nombreuses innovations technologiques. On retrouve aujourd'hui principalement 3 catégories de composants Si sur le marché : les MOSFETs « standards », les MOSFETs à superjonction et les IGBTs

3.1.1. LES COMPOSANTS DE TYPE MOSFET

Les MOSFET de puissance sont des transistors MOSFET conçus pour supporter de forts niveaux de puissance. On les retrouve le plus souvent dans une architecture verticale de type VMOS, Vertical MOS (figure 1-17), qui leur permet de soutenir à la fois des fortes tensions et des fortes valeurs de courant pour une surface de Si donnée par rapport à leurs homologues latéraux. Contrairement aux transistors bipolaires, la grande impédance d'entrée de la structure MOS ainsi que la mise en jeu d'une conduction de porteurs majoritaires confèrent aux transistors de type MOSFET d'excellentes propriétés de commutation et leur permet de conserver des performances

électriques élevées à des fréquences relativement importantes (>100 kHz). Avec un coût de fabrication assez faible grâce à une architecture simple et à un volume de production important, ils constituent l'interrupteur de puissance idéal et représentent une part de marché extrêmement importante pour les applications allant d'une de 10 à 500V.

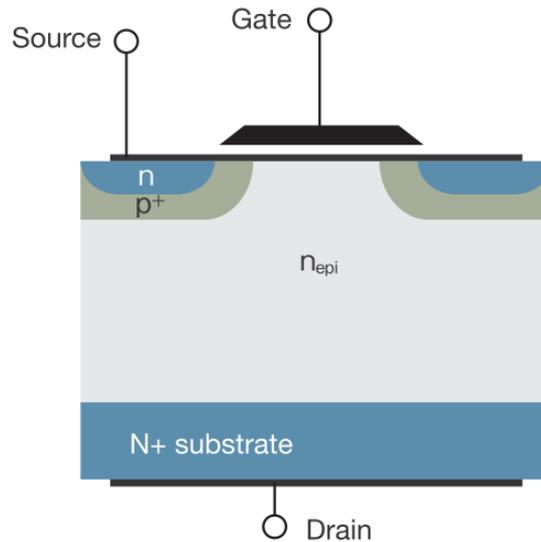


Figure 1-17 : Structure d'un transistor de type VMOSFET

Ils deviennent, néanmoins, nettement moins compétitifs pour des valeurs de tension supérieures. La tenue en tension du composant peut être augmentée grâce à une région de drift plus importante, mais cela ne peut se faire qu'au détriment de la résistance à l'état passant, proportionnelle à l'épaisseur de cette région. Un MOSFET dont la tenue en tension est de 30V présente un R_{on} de quelques mOhm alors qu'à 500V, la résistance à l'état passant serait de plusieurs Ohm. Ce compromis entre la résistance à l'état passant et la tenue en tension est en fait limité par les propriétés physiques du Si. Pour les composants verticaux unipolaires (conduction ne faisant intervenir qu'un seul type de porteur), cette limite peut être assimilée à la limite de tenue en tension d'une jonction PN abrupte qui dépend des propriétés du matériau [14]:

$$R_{on,sp} = \frac{4V_b^2}{\epsilon\mu E_c^3} \quad (20)$$

Avec $R_{on,sp}$, la résistance spécifique à l'état passant du transistor, V_b , la tension de claquage du transistor, ϵ , la permittivité du matériau, μ , la mobilité des porteurs mis en jeu lors de la conduction et E_c , le champ électrique de claquage du matériau.

3.1.2. LES COMPOSANTS DE TYPE MOSFET A SUPERJONCTION (SJ-MOSFET)

Dans ce contexte, le concept de « superjonction » a été introduit en 1997 [15] afin de dépasser la limite des MOSFETs à base de Si [16] et d'atteindre des tenues en tension au-delà de 500V.

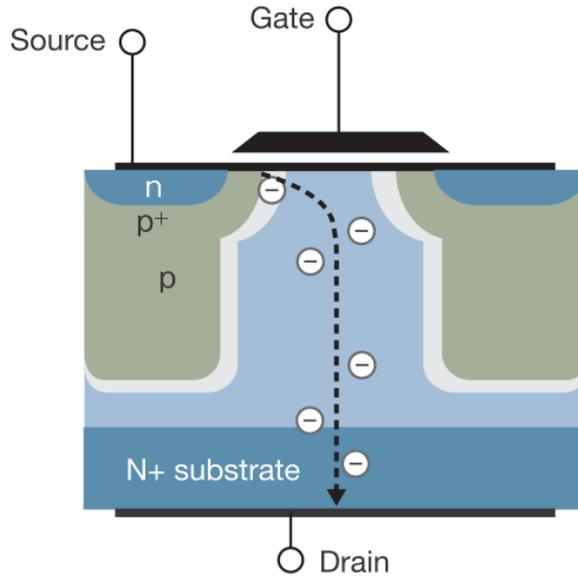


Figure 1-18 : Structure d'un transistor MOSFET à super-jonction

La structure d'un MOSFET à superjonction (figure 1-18) est constituée d'une succession de bandes verticales profondes dopées alternativement n et p appelées « zones de compensation » qui remplacent la zone normalement dopée n. Cette architecture particulière génère une distribution du champ électrique de la jonction PN uniforme dans la zone de compensation, ce qui permet, pour une épitaxie d'une épaisseur donnée, d'augmenter la tenue en tension du composant par rapport à un composant à dopage conventionnel. Si l'on compare les performances d'un MOSFET à superjonction à celles d'un composant à structure « standard », on obtient, à même V_b , une valeur de $R_{on,sp}$ plus faible qui peut potentiellement dépasser la limite théorique du Si (figure 1-19a). La diminution des pertes en conduction ainsi obtenue permet donc de réduire la puissance dissipée des structures à superjonction (figure 1-19b).

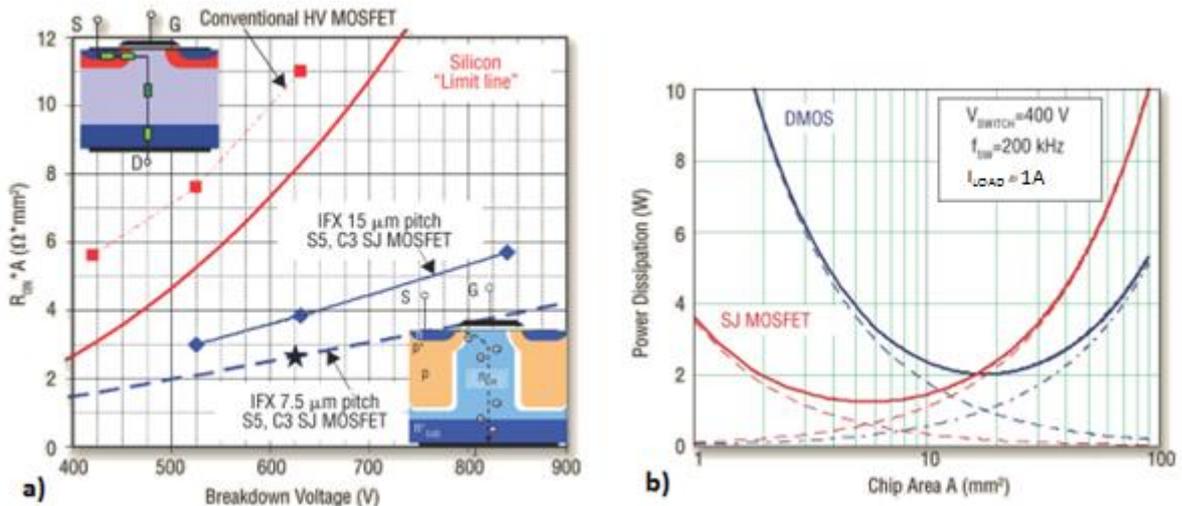
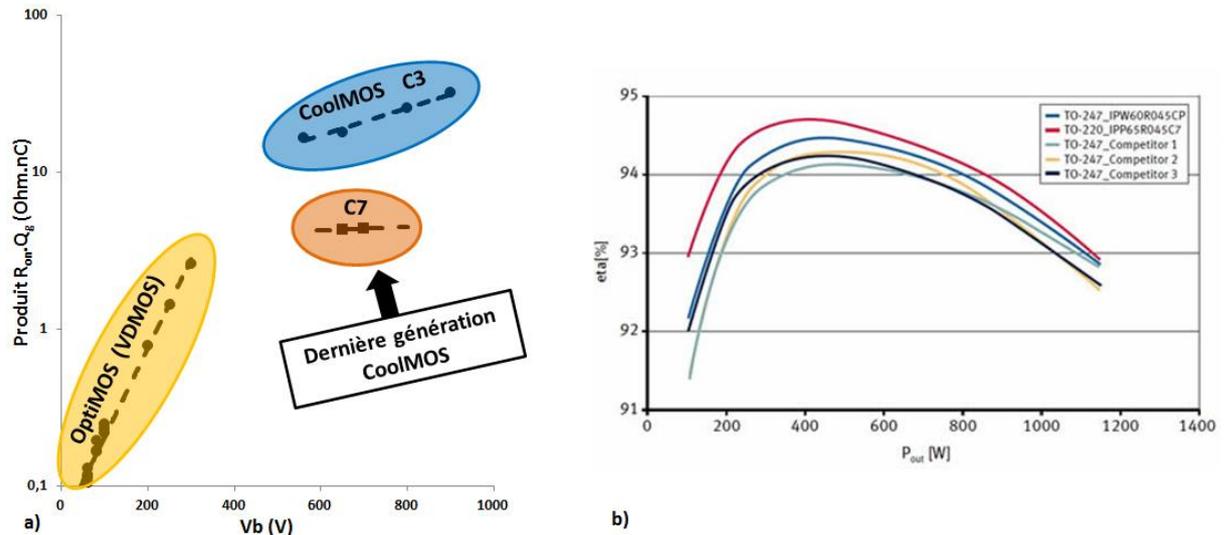


Figure 1-19 : (a) Comparaison du compromis $R_{on,sp}/V_b$ de SJ-MOSFETs avec des MOSFETs standards (b) Comparaison des pertes induites par un SJ MOSFET et un MOSFET standard dans un convertisseur de puissance - $V_{\text{OUT}} = 400 \text{ V}$, $f = 200 \text{ kHz}$, $I_{\text{LOAD}} = 1 \text{ A}$ [17].

Depuis leur commercialisation en 1998, les MOSFETs à superjonction ont vu leurs performances progresser de façon continue à l'image des composants d'Infineon baptisés « CoolMOS ». La dernière

génération, CoolMOS C7, développée en 2012, a permis d'améliorer le facteur de mérite HFOM (15) d'un facteur 4 par rapport aux précédentes générations (figure 1-20a), ce qui a conduit à l'amélioration du rendement global des convertisseurs. La figure 1-20b montre l'amélioration du rendement d'un convertisseur de type correcteur de facteur de puissance fonctionnant en conduction continue à 100 kHz grâce à l'utilisation de la dernière génération de CoolMOS. Ces excellents résultats laissent envisager l'utilisation des SJ-MOSFETs à des tensions bien au-delà à 500V et à des fréquences supérieures à 100 kHz.



**Figure 1-20 : (a) HFOM de différentes familles de MOSFETs de puissance chez Infineon
(b) Rendement d'un convertisseur de type correcteur de facteur de puissance fonctionnant à 100 kHz pour différentes technologies de transistor [18]**

L'amélioration des performances qu'a connue le CoolMOS depuis 1998 a été rendue possible par l'évolution de sa zone de compensation vers des structures beaucoup plus complexes et sophistiquées. En effet, la réduction de l'épaisseur des bandes de dopage n et p dans la structure d'un MOSFET à superjonction a permis jusqu'à aujourd'hui de réduire la résistance à l'état passant et d'optimiser les propriétés de commutation des composants. Cependant, cette technologie arrive aujourd'hui à maturité et s'approche de sa limite pratique [19]. Le contrôle toujours plus précis de l'épaisseur des bandes et du dopage augmente le coût de production [20] des SJ-MOSFETs, et limite ainsi son développement pour les plus hautes tensions. Pour cette raison, cette structure spécifique de MOSFETs sera principalement dédiée aux applications dont la plage de tension de fonctionnement varie de 500V à 1000V.

3.1.3. LES COMPOSANTS DE TYPE IGBT

L'IGBT (Insulated Gate Bipolar Transistor) est l'interrupteur de puissance le plus largement utilisé car il couvre une large gamme de tension de 600V jusqu'à 6,5 kV. Sa structure diffère de la structure verticale d'un MOSFET conventionnel par sa couche collectrice dopée p+ qui augmente drastiquement la conductivité de la région de drift n- à fort courant en y injectant des trous à l'état passant (figure 1-21). La conduction d'un IGBT s'apparente donc à celle d'un transistor bipolaire en faisant intervenir à la fois les électrons et les trous. Par conséquent, les facteurs de mérite mis en valeur précédemment pour caractériser les composants unipolaires (14,19) ne peuvent pas être utilisés pour les IGBTs, composants bipolaires. Sa structure lui permet de combiner les avantages en

fréquence d'une commande capacitive (structure de grille MOS) avec la forte capacité en courant des transistors bipolaires [21].

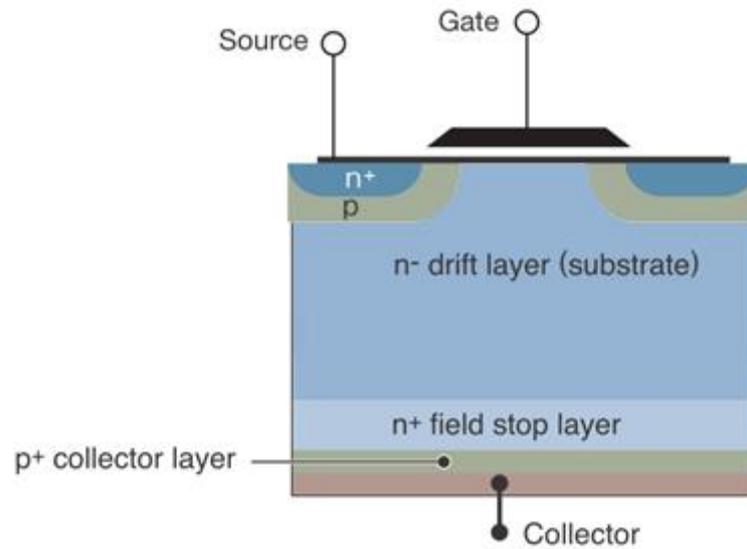


Figure 1-21 : Structure d'un transistor IGBT

En régime de conduction, l'IGBT souffre de l'existence d'une tension de coque, V_{CE0} , qui correspond à la tension de seuil de la diode constituée par le collecteur p+ et le buffer n. Cette diode ne devient passante et ne laisse circuler le courant entre l'émetteur et le collecteur de l'IGBT que pour une tension V_{CE} supérieure à la tension de seuil V_{CE0} (figure 1-22a). La figure 1-22b représente les caractéristiques en direct de composants industriels IGBT et CoolMOS (SJ-MOSFET d'Infineon) fonctionnant jusqu'à 600V et dont l'aire de la zone active est égale. Cette comparaison permet de mettre en évidence que la chute de potentiel à l'état ON du CoolMOS (V_{ds}) est inférieure à celle de l'IGBT (V_{ce}) jusqu'à 7A ce qui se traduit par des pertes en conduction plus faibles. Au-delà de 7A, les pertes en conduction du CoolMOS deviennent supérieures à celles de l'IGBT. Les composants de type MOSFET seront donc préférés pour les applications à plus faible puissance (typiquement <1 kW) alors que les IGBTs deviendront les composants de choix pour les puissances plus élevées (jusqu'à ~1MW) où les pertes en conduction deviendront négligeables.

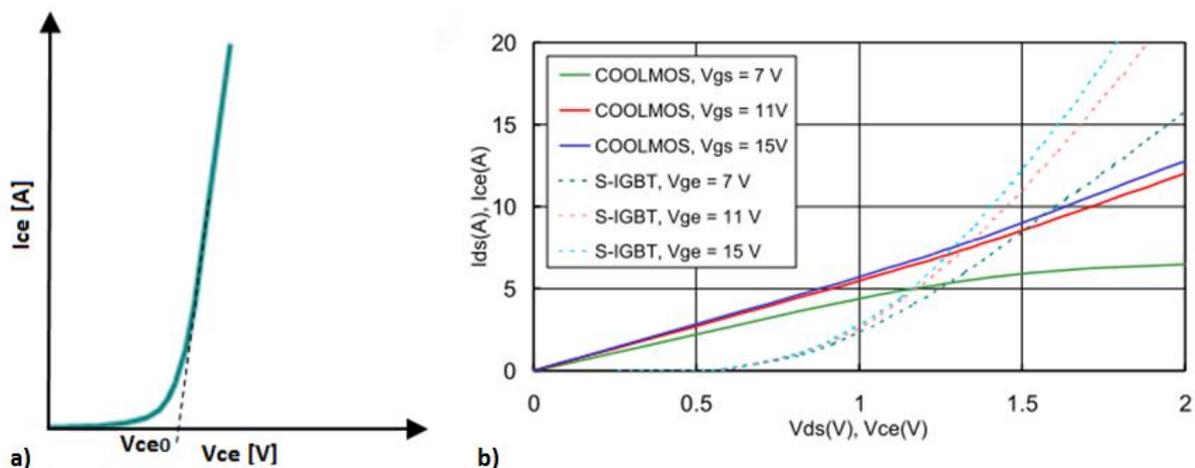


Figure 1-22 : a) Caractéristique en direct schématisée d'un IGBT b) Comparaison des caractéristiques en direct d'un composant à superjonction (CoolMOS) et d'un IGBT de même zone active [22]

Il est à noter que la faiblesse en conduction des IGBTs à faible courant peut également avoir un impact négatif pour applications à haute puissance. En effet, dans les circuits de conversion où le courant de sortie du convertisseur peut être amené à varier pendant son fonctionnement vers des valeurs plus faibles, les pertes en conduction de l'IGBT seront inévitablement augmentées. C'est le cas de l'automobile par exemple où les moteurs des voitures électriques ne fonctionnent que très rarement à leur puissance maximale. De ce fait, les convertisseurs, qui utilisent actuellement des IGBTs, n'évoluent pas à leur rendement maximal [4].

Lors des commutations, et notamment lors du blocage (de l'état ON à OFF), le rendement énergétique de l'IGBT est également réduit par sa jonction interne p+/n. En effet, comme il a été décrit pour la diode dans la partie 2.2.1, la présence de porteurs minoritaires (trous injectés par le collecteur p+ pendant la conduction) dans la région de drift va retarder le blocage effectif du composant (temps de recouvrement de la diode). Le courant persistant dans le transistor lors du blocage, appelé courant de queue du transistor, est représenté lors de la phase de blocage d'un IGBT sur la figure 1-23. Ce phénomène augmente considérablement les pertes en commutation de l'IGBT et limite donc sa fréquence de commutation.

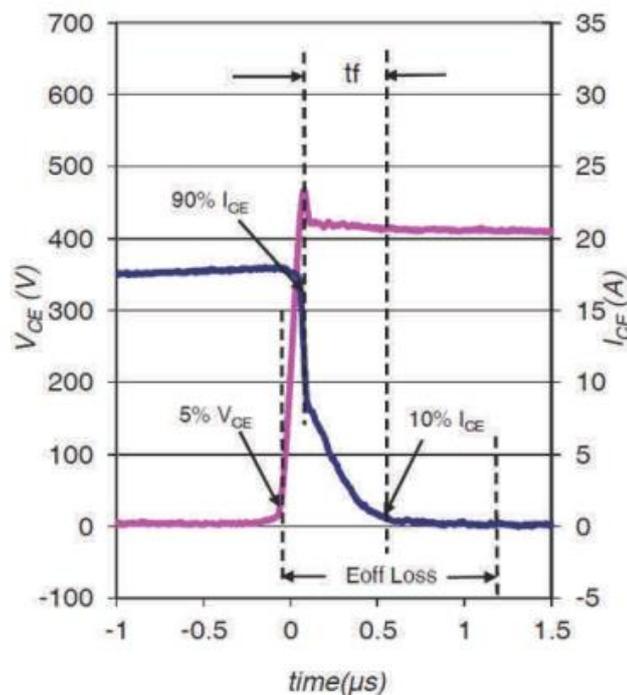


Figure 1-23 : Caractéristique IV d'un IGBT commercial (IRG7IC23FD) lors du blocage [23]

Différentes générations d'IGBT ont été développées afin d'en améliorer les performances en fréquence. Les principales structures d'IGBT commercialisées aujourd'hui (Punch-Through, Non-Punch-Through) se différencient notamment de par l'épaisseur et le dopage des régions de drift n et du collecteur p afin de réduire le temps de recombinaison des porteurs dans cette zone ou d'améliorer la tenue en tension du composant [21]. Malgré cela, la montée en fréquence des IGBTs reste relativement faible et la fréquence de commutation des IGBTs dans les applications se limitent à quelques dizaines de kilohertz (<100 kHz).

3.1.4. RESUME

Pour résumer, la figure 1-24 représente les différents interrupteurs de puissance à base de Si utilisés aujourd'hui selon la gamme de puissance et de fréquence d'utilisation.

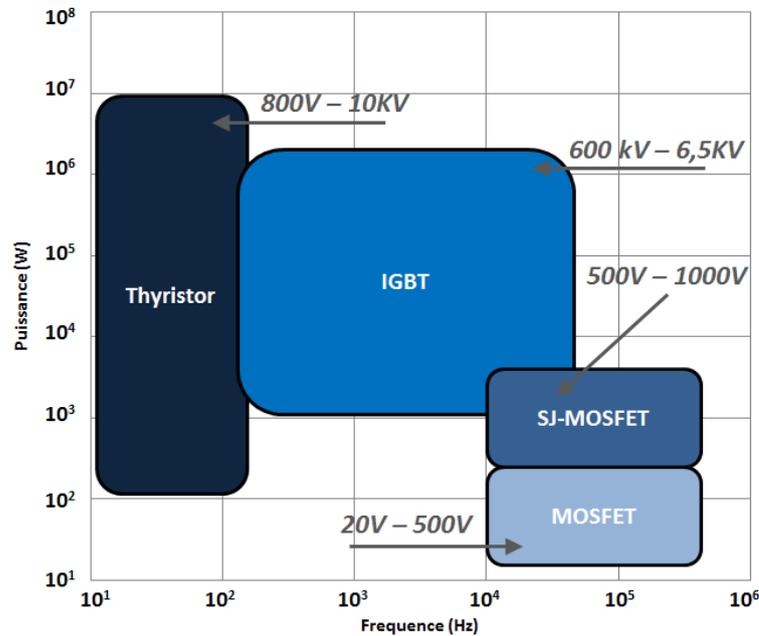


Figure 1-24 : Répartition des différentes technologies Si

On retrouve généralement les MOSFETs pour les applications à basse puissance avec des tensions de fonctionnement jusqu'à 1000V grâce aux structures à superjonction. Les IGBTs occupent aujourd'hui une large plage de tensions de 600V jusqu'à 6500V avec une fréquence d'utilisation autour de 30 kHz. Pour les plus hautes tensions, les thyristors sont utilisés mais doivent être commutés à très basse fréquence.

3.2. LIMITES DU SI ET NECESSITE DE NOUVEAUX MATERIAUX

Les composants Si occupent actuellement l'ensemble du marché de l'électronique de puissance au travers de différentes familles de transistors (MOSFET, SJ-MOSFET, IGBT). Les efforts réalisés au cours de ces dernières années ont permis une constante évolution de ces composants afin d'optimiser leurs performances et améliorer les rendements de conversion sur toutes les gammes de puissance. Cependant, ces technologies atteignent aujourd'hui leurs limites et ne semblent plus en mesure de répondre aux besoins du marché de la puissance en pleine expansion avec, notamment, la multiplication des applications dans les gammes de moyenne et de haute tensions [24], [25]. Ainsi, les industriels se tournent vers des matériaux à large bande interdite, GaN et SiC, pour la future génération de composants de puissance dont les propriétés physiques permettront d'apporter une réelle rupture en termes de performance par rapport aux technologies Si [26], [27]. Ces matériaux et leurs propriétés sont résumés dans le tableau 4.

Tableau 1- 4 : Propriétés et FOM des différents matériaux pour la conversion de puissance [28]-[31]

	Si	4H-SiC	GaN	Unité
Largeur de bande interdite (E_g)	1,1	3,2	3,4	eV
Constante Diélectrique (ϵ)	11,9	9,7	9,5	—
Champ électrique critique (E_c)	0,3	3	3,3	MV/cm
Vitesse de saturation des électrons (V_{sat})	1,0	2	2,5	$\times 10^7$ cm/s
Mobilité électronique (μ)	1400	700	900 (*2000)	$cm^2/V.s$
Densité de porteurs intrinsèque (n_i) @300°C	$>1,0 \times 10^{15}$	$1,0 \times 10^4$	$2,0 \times 10^2$	cm^{-3}
Conductivité thermique (σ_{th})	1,5	4,5	1,5	W/cm.k
BFOM normalisé [14] ($\epsilon\mu E_c^3$)	1	407	683 (*1517)	$V^2/cm.s$
HMFOM normalisé [8] ($E_c\sqrt{\mu}$)	1	7	9 (*13)	$\sqrt{V.s}$

(*mobilité électronique potentielle dans le canal d'électrons pour les hétérostructures à base de GaN)

Le champ électrique critique des matériaux grands gap est supérieur d'un ordre de grandeur à celui du Si. Cela implique que pour une tenue en tension donnée, l'épaisseur d'un composant SiC ou GaN peut être 10 fois inférieure à celle d'un composant Si, ce qui permet de réduire considérablement la résistance à l'état passant des transistors. Ce compromis entre le $R_{on,sp}$ et le V_b du transistor est parfaitement illustré par le facteur de mérite de Baliga [14], extrait de l'équation (20) illustrée sur la figure 1-25.

$$R_{on,sp} \propto V_b^2 \times \frac{1}{(\epsilon\mu E_c^3)} \quad (21)$$

Les semiconducteurs à large bande interdite permettent donc potentiellement de réduire d'un facteur 100 les pertes en conduction des transistors par rapport aux technologies Si ouvrant la voie à des tensions de fonctionnement supérieures qui étaient, jusqu'alors, inaccessibles aux composants unipolaires.

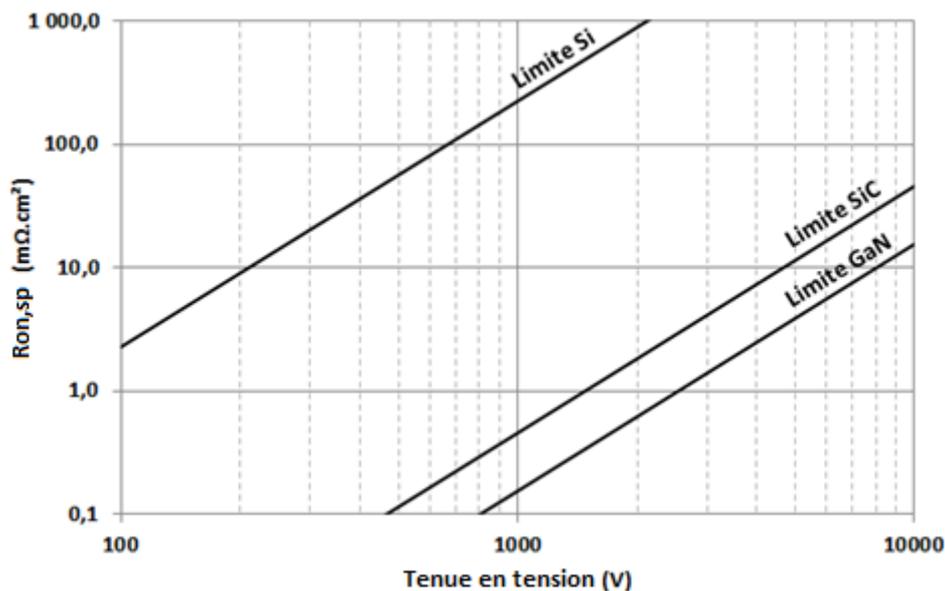


Figure 1-25 : Résistance spécifique à l'état passant en fonction de la tenue en tension pour différents matériaux semiconducteurs

En général, les semiconducteurs à large bande interdite ont une relativement faible mobilité électronique mais présentent une vitesse de saturation électronique très élevée (cette vitesse n'est atteinte que sous fort champ électrique, ce qui est très souvent le cas lors du fonctionnement du transistor dans un circuit de conversion de puissance). Néanmoins, dans le cas du matériau GaN, la croissance d'hétérostructures de type AlGaN/GaN (HEMT : Transistor à Haute Mobilité Electronique [32]) permet d'atteindre des mobilités élevées, de plus de 2000 cm²/V.s à température ambiante. La combinaison d'une vitesse de saturation élevée et de la haute mobilité électronique permet de diminuer les temps de commutation et d'augmenter la fréquence de fonctionnement du transistor. En calculant le facteur de mérite matériau de Huang (HMFOM) [8], on peut calculer les pertes totales du transistor en prenant en compte les pertes en conduction et en commutation.

$$P_{loss,min} \propto \sqrt{f} \times \frac{1}{(E_c \sqrt{\mu})} \quad (22)$$

Grace à leur champ électrique critique élevé et aux mobilités électroniques qu'ils présentent, le GaN et le SiC sont donc des matériaux attractifs pour diminuer les pertes énergétiques lors de la conversion de puissance à haute fréquence (figure 1-26). La faible concentration de porteurs intrinsèques du GaN et du SiC, caractéristique des matériaux à large bande interdite, leur confère d'excellentes propriétés à haute température. Cela se traduit notamment par un courant de fuite très faible, y compris à température élevée. La température maximale de fonctionnement de composants GaN ou SiC est estimée à plus de 600°C contre 200°C pour les composants Si [33] ce qui présente un avantage indéniable pour les applications à haute puissance.

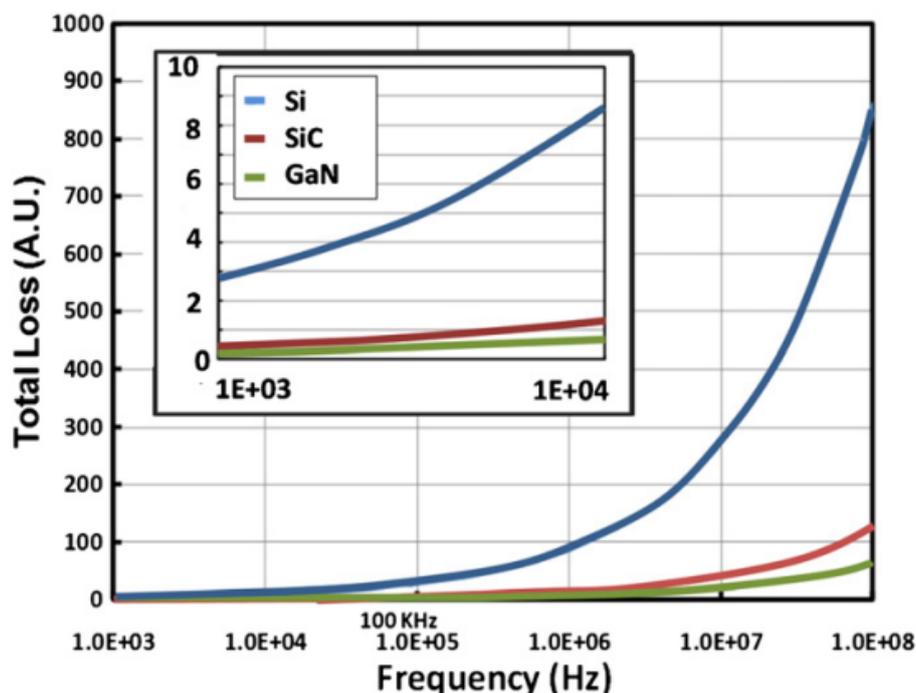


Figure 1-26 : Comparaison des pertes énergétiques de composant à base de Si, SiC ou GaN en fonction de la fréquence de commutation basée sur le HMFOM [34]

L'ensemble de ces propriétés font des technologies à base de GaN et de SiC des candidats idéaux pour la future génération des composants de puissance.

3.3. LES COMPOSANTS DE PUISSANCE DE PROCHAINE GENERATION

3.3.1. LES COMPOSANTS SiC

L'arrivée des composants de puissance SiC sur le marché est relativement récente avec l'introduction en 2001 des premières diodes Schottky SiC par Infineon. Malgré les propriétés favorables du SiC pour les applications de puissance et les récents progrès technologiques réalisés [35], les composants SiC peinent encore à conquérir le marché avec moins de 1% des ventes de composants semiconducteurs de puissance en 2014 [36]. Le principal frein à la croissance des technologies SiC sur le marché n'est autre que leur coût, tributaire du coût élevé et de la taille limitée des substrats. En effet, la croissance d'un substrat SiC par sublimation est un processus non seulement coûteux, mais aussi extrêmement lent et donc susceptible de générer une forte densité de défauts, ce qui limite la taille maximale des wafers SiC [37], [38]. Aujourd'hui, les composants SiC industriels ne sont fabriqués qu'à partir de substrat SiC de 4 pouces (100mm) dont le prix approche 1000\$, soit un coût environ 100 fois plus élevé que celui des substrats Si de 8 à 12 pouces (200 à 300mm). En plus de leur coût extrêmement élevé, les dimensions actuelles des substrats SiC sont incompatibles avec les fonderies Si, ce qui rend leur coût de production encore plus élevé par rapport au Si [39]. En considérant l'ensemble de la chaîne industrielle (coût du substrat + coût de fabrication des composants en fonderie), le coût de production des transistors SiC est équivalent à environ 5 fois celui des transistors Si [40]. Même si l'industrie du SiC espère une transition rapide vers des substrats 6 pouces [41], le coût des technologies SiC restera toujours dissuasif par rapport aux technologies faibles coûts (Si). Dans ces conditions, les composants SiC se limitent donc à des applications bien spécifiques où leur apport en termes de performance constitue une réelle avancée par rapport aux technologies Si concurrentes, quand le coût ne devient qu'un critère secondaire dans le choix de la filière de composants pour les applications à très haute tension.

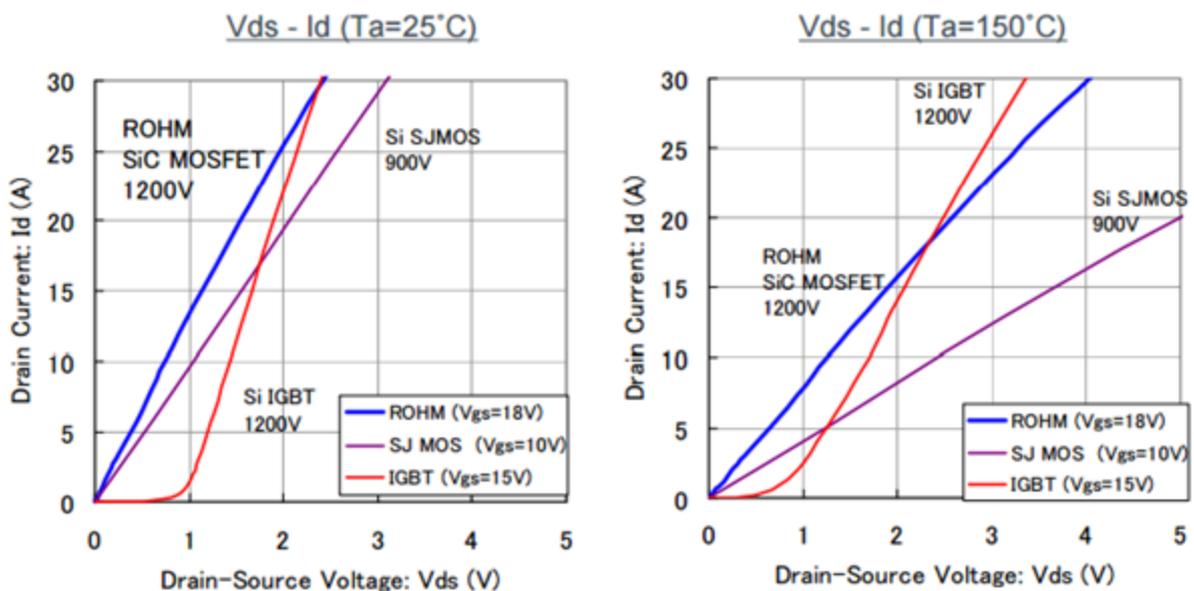


Figure 1-27 : Comparaison des caractéristiques IV de différentes technologies Si et SiC à 25°C et 150°C [42]

Grâce à sa conduction par porteurs majoritaires (caractéristique d'un MOSFET), le MOSFET SiC possède d'excellentes propriétés de commutation comparé aux composants Si fonctionnant à haute tension (IGBT). Contrairement aux IGBTs, les MOSFETs SiC ne souffrent pas du phénomène de stockage des porteurs minoritaires dans la structure, ce qui permet de réduire considérablement les

pertes en commutation par rapport aux IGBTs. Dans le cas des MOSFETs SiC à 1200V de Rohm, les pertes lors du blocage du transistor peuvent être diminuées de près de 90% par rapport aux IGBTs Si fonctionnant à 1200V (figure 1-28a). Pour une fréquence de fonctionnement de 30 kHz, cela se traduit par une réduction de près de 73% des pertes totales du transistor (pertes en conduction + pertes en commutation) (figure 1-28b) [43].

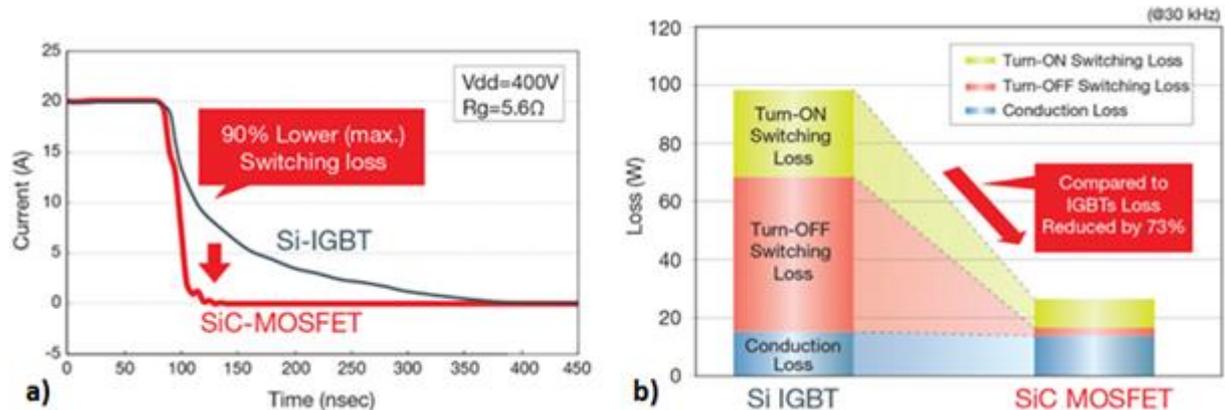


Figure 1-28 : (a) Comparaison des caractéristiques en courant lors du blocage d'un IGBT Si et d'un MOSFET SiC [43] (b) Comparaison des pertes énergétiques d'un IGBT Si et d'un MOSFET SiC [43]

Les composants MOSFETs SiC possèdent donc à la fois la capacité des IGBTs Si à fonctionner à des niveaux de puissance élevés et la rapidité de commutation. Cette combinaison inédite permet d'envisager, pour les applications mettant en jeu plusieurs kilowatts, d'augmenter la fréquence de commutation à plusieurs centaines de kilohertz, ce qui était jusqu'alors impossible avec les technologies Si. En comparant l'impact sur le rendement de conversion de ses composants commerciaux SiC 1,2kV et d'un IGBT Si 1,2kV dans des conditions équivalentes (figure 1-29), STMicroelectronics a pu montrer que le convertisseur à MOSFETs SiC maintient un niveau de rendement similaire à celui du convertisseur à IGBT Si avec une fréquence de commutation 4 fois supérieure (100 kHz contre 25 kHz pour les IGBTs Si) (figure 1-29).

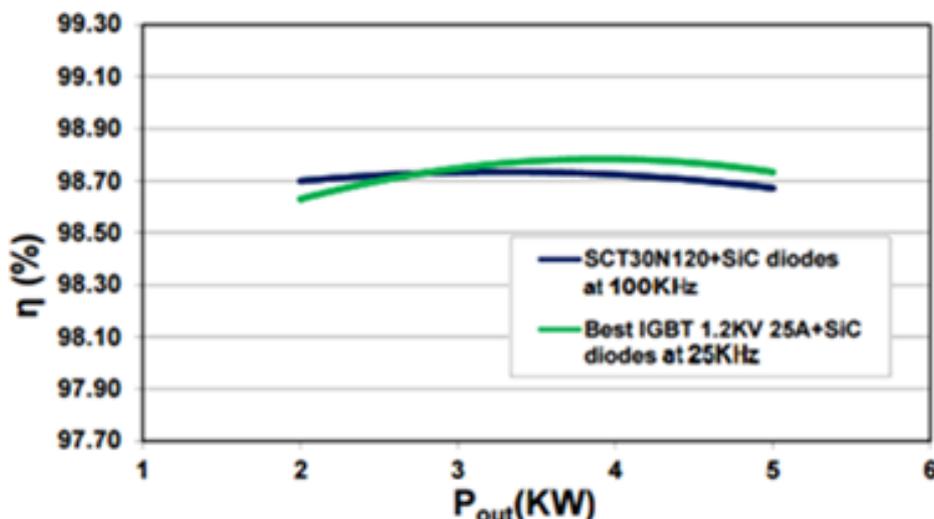


Figure 1-29 : Comparaison du rendement de convertisseur utilisant un MOSFET SiC 1,2 kV (SCT30N120) ou un IGBT Si 1,2 kV ($P_{in} = 5$ kW, $V_{in} = 600$ V, $V_{out} = 800$ V, $\alpha = 0,27$) [44]

Cette augmentation notable de la fréquence de conversion permise par les composants SiC en plus de leurs excellentes propriétés thermiques justifie d'ores et déjà leur utilisation aux dépens des technologies Si dans certaines applications telles que les onduleurs des panneaux

photovoltaïques ou les alimentations sans interruption (UPS) qui représentent plus de 70% des ventes de composants de puissance SiC en 2014. En effet, dans ces cas précis, la diminution du volume du convertisseur grâce à l'augmentation de la fréquence de conversion permet de diminuer le coût global du convertisseur ainsi que ses pertes [45]. Même si les composants SiC commercialisés aujourd'hui ne sont disponibles qu'à des tensions de fonctionnement relativement limitées (600 ou 1200V), ce sont les gammes de tensions très élevées (>3,3 kV) qui devraient être visées dans le futur par les composants SiC, où la concurrence des composants bas-coût Si est inexistante.

3.3.2. LES COMPOSANTS GAN

Il existe typiquement 2 familles de composants GaN : les composants verticaux et les composants horizontaux (figure 1-30). Le fonctionnement des composants GaN verticaux s'apparente à celui des MOSFETs verticaux en Si, où le champ électrique, à l'état OFF du transistor, est supporté verticalement sur toute l'épaisseur de la zone de drift. De ce fait, l'épaisseur et la qualité du matériau doivent être relativement importantes pour obtenir des tenues en tension élevées ($\sim 1\text{MV/cm}$).

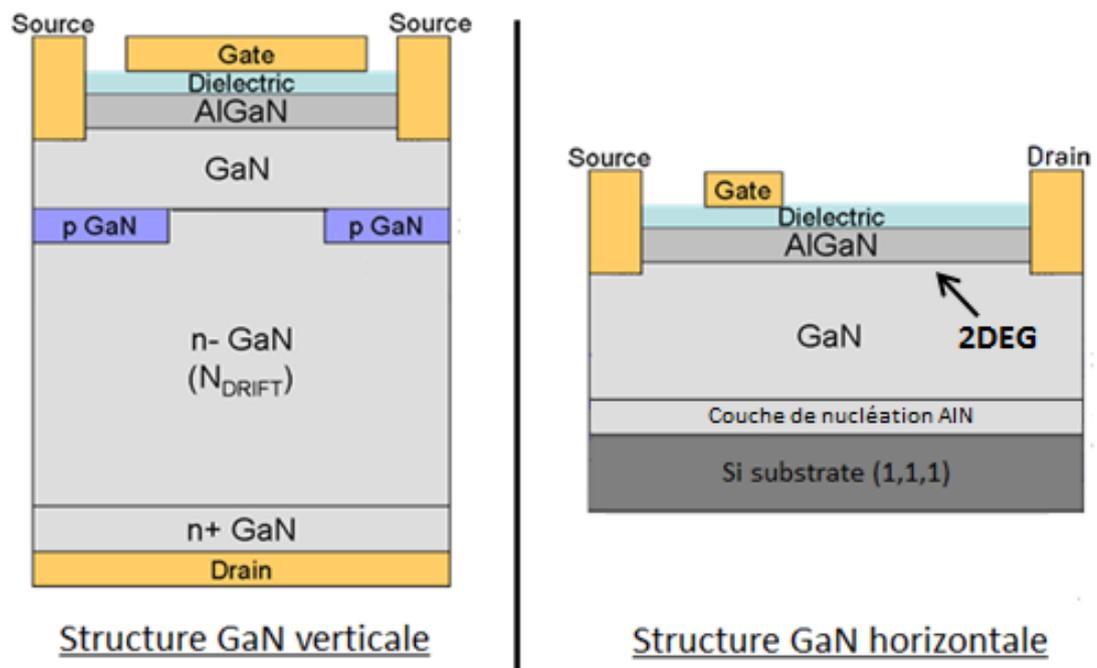


Figure 1-30 : Représentations de la structure d'un transistor GaN vertical de type CAVET [46](à gauche) et d'un HEMT AlGaIn/GaN horizontal (à droite)

Afin d'obtenir de telles épaisseurs de GaN tout en maintenant une faible densité de dislocations dans le matériau, la croissance n'est possible que par homoépitaxie, c'est-à-dire une croissance sur un substrat de même nature : un substrat en GaN. Or, les substrats de GaN sont encore extrêmement coûteux et ne sont disponibles aujourd'hui qu'en format 2 à 4 pouces (figure 1-31) ce qui ralentit fortement le développement de cette technologie sur le marché [47].

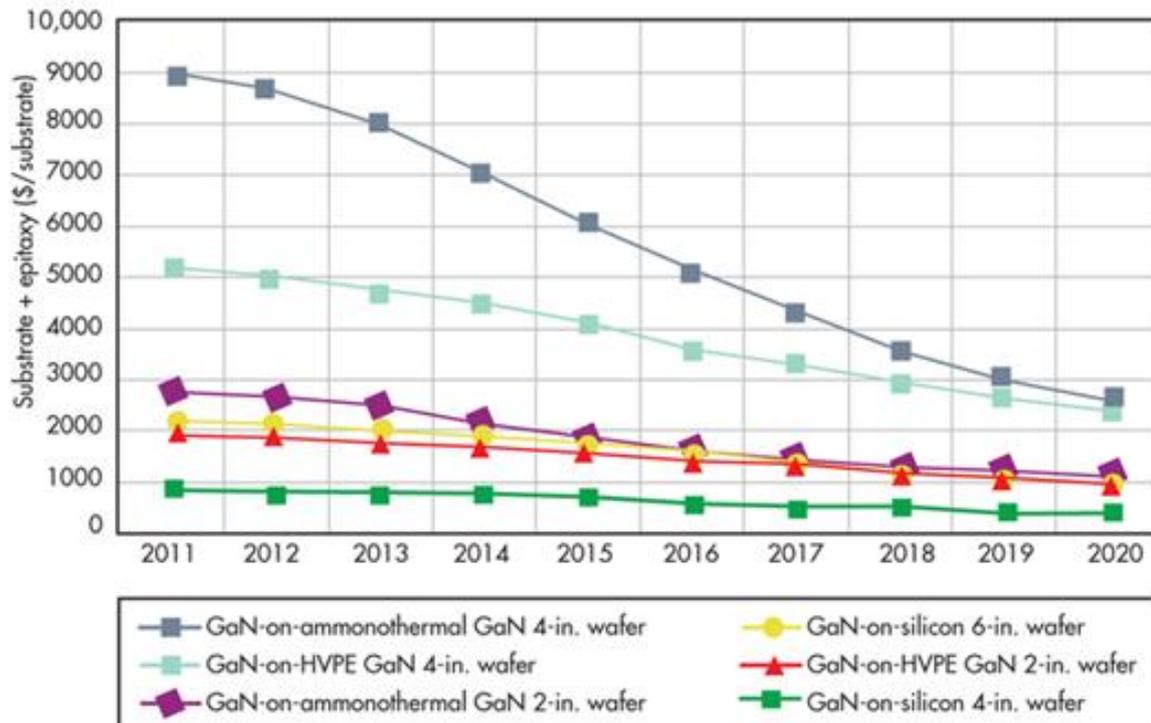


Figure 1-31 : Comparaison des coûts (substrat + épitaxie) de différentes techniques de croissance de GaN [47]

Contrairement aux structures verticales, la croissance des structures HEMT GaN horizontales, d'épaisseur beaucoup plus faible (entre 2 et 6 micromètres), peut être effectuée par hétéroépitaxie, sur un substrat de nature différente. Les industriels ont opté pour l'utilisation de substrats bas-coûts Si (111), compatibles avec les chaînes de production Si et au coût bien plus faible que les substrats SiC ou saphir (<100\$ pour un substrat Si (111) 6 pouces [34]). Malgré un important désaccord de maille, les récents progrès des techniques de croissance MOCVD (*Metal Organic Chemical Vapor Deposition*) de GaN sur substrat Si permettent aujourd'hui d'obtenir une excellente qualité de matériau et d'optimiser les performances des transistors [48]. Actuellement, la production de composants HEMT GaN sur substrat Si 6 pouces (150mm) devrait bientôt passer à des substrats 8 pouces (200mm) [49], réduisant d'autant plus le coût de fabrication des composants grâce à un volume de production de masse.

La structure épitaxiale d'un HEMT à base de GaN est présentée sur la figure 1-32. A l'hétérojonction entre le buffer GaN et la barrière d'AlGaIn, la différence d'affinité électronique entre les 2 matériaux entraîne un phénomène de diffusion des porteurs. Les électrons libres de l'AlGaIn vont diffuser vers le GaN et s'accumuler à l'interface des 2 matériaux. A l'équilibre thermodynamique, on observe donc une discontinuité de la bande de conduction à l'interface AlGaIn/GaN qui provoquera l'apparition d'un puits de potentiel triangulaire du fait de la courbure de bande (figure 1-32). Confinés sur une très faible épaisseur, les électrons forment un gaz d'électrons 2D (2DEG) qui constitue le canal du transistor, assurant la conduction entre la source et le drain du transistor. Une couche de passivation est déposée sur la barrière pour protéger la surface et pour passer les charges de surface. Le rôle de la passivation sera plus amplement discuté dans la partie 4.2.

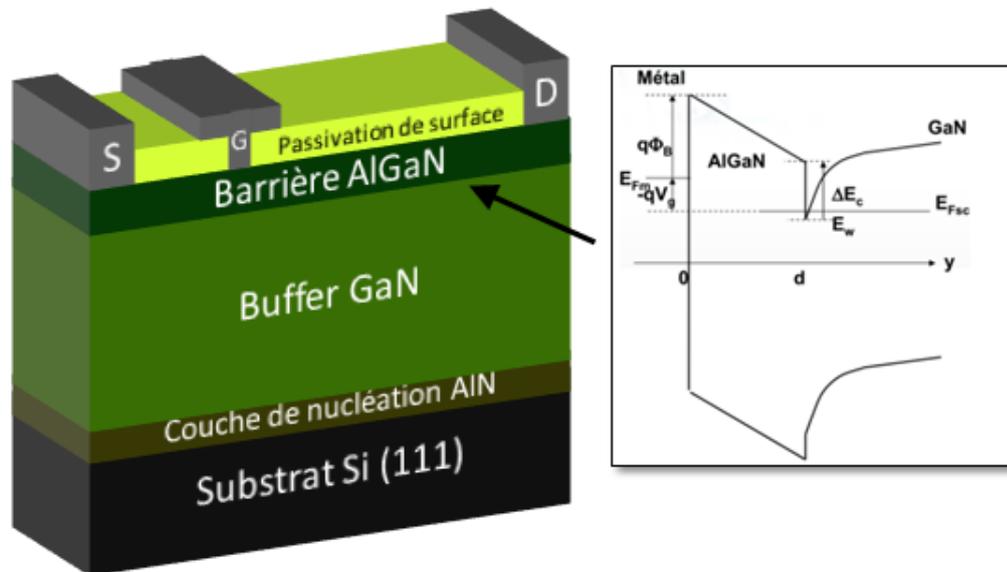


Figure 1-32 : Schéma de la formation du 2DEG dans une hétérojonction AlGaN/GaN

Contrairement aux structures HEMTs à base de GaAs, il n'y a besoin d'aucun dopage électronique pour la création du 2DEG dans les HEMTs GaN. En effet, la formation du 2DEG est le résultat de la combinaison des champs électriques de polarisation spontanée et piézoélectrique inhérents aux hétérostructures AlGaN/GaN qui entraîne l'accumulation d'électrons à l'intérieur du puits de potentiel [50]. La densité d'électrons au sein du 2DEG dépend donc directement des intensités conjuguées de ces champs électriques, elles-mêmes variant en fonction de la nature et de l'épaisseur du matériau utilisé en tant que barrière [51], [52]. L'état de confinement quantique des électrons à l'interface permet de réduire considérablement les interactions électroniques, ce qui engendre des mobilités électroniques généralement situées entre 900 et plus de 2000 cm²/V.s [53], [54], généralement supérieures à la mobilité dans le GaN bulk.

La haute mobilité électronique combinée à la forte densité d'électrons au sein du 2DEG permet de réduire considérablement la résistance à l'état passant du transistor. Pour les basses tensions (<600V), les HEMTs GaN présentent une résistance à l'état passant inférieure à celle des composants Si (MOSFETs, S_j-MOSFETs et IGBTs) qui dominent actuellement le marché dans cette gamme de tension (figure 1-33). Pour la moyenne gamme de tension (entre 600 et 1200V), il est toutefois difficile aujourd'hui de départager les composants GaN et SiC quant aux pertes en conduction. A performances égales, le choix se fera naturellement pour les composants GaN dont le coût de production reste inférieur à celui des technologies SiC. Pour les valeurs de tensions supérieures, les HEMTs GaN sont limités par le phénomène de conduction parasite liée au substrat Si (expliqué en détail dans la partie suivante) et semblent, en l'état actuel, réduits aux applications en-deçà de 1000V.

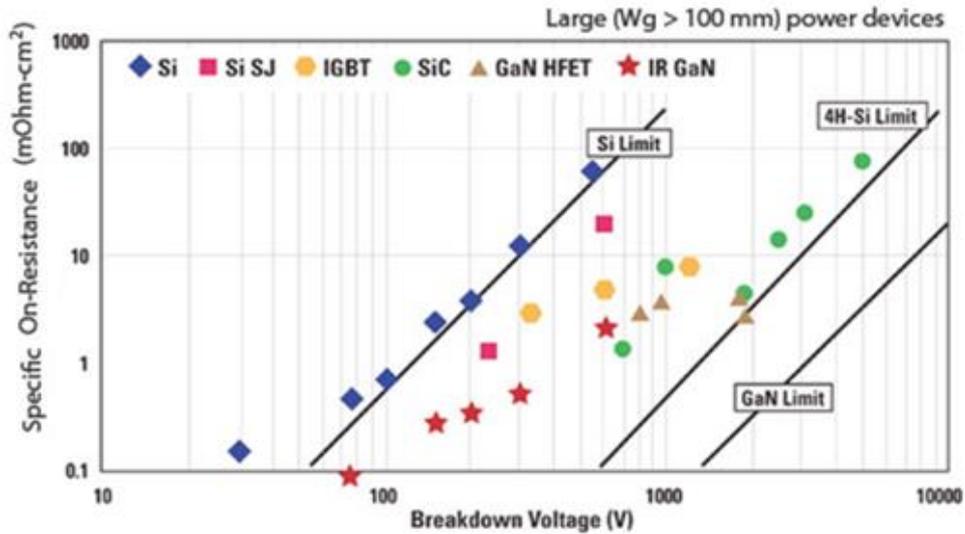


Figure 1-33 : Etat de l'art ($R_{on,sp}$ versus V_b) des différentes technologies de transistor de puissance reportés dans la littérature dont le développement de grille est supérieur à 100mm [55]

Grâce à la structure latérale des HEMTs GaN, la capacité C_{GD} , responsable de l'effet Miller décrit précédemment, n'est constituée seulement que par le coin inférieur droit de la grille (côté drain) du HEMT d'où sa très faible valeur par rapport aux structures verticales Si. Avec la haute mobilité électronique du 2DEG, cette combinaison permet d'obtenir d'excellentes propriétés de commutation, favorables à la montée en fréquence des opérations de conversion de puissance et aux applications hyperfréquences [56], [57]. Plusieurs démonstrateurs de convertisseurs à base de HEMT GaN ont d'ailleurs présenté d'excellentes performances au-delà d'un mégahertz [58]–[60]. Malgré la relative immaturité du GaN par rapport au Si, certaines entreprises se sont déjà lancées dans la commercialisation des composants GaN latéraux. Fondé en 2007, Efficient Power Conversion commercialise des composants GaN à basse-tension jusqu'à 200V depuis 2012. Ces composants, comme on peut le voir sur la figure 1-34a, présentent une HFOM supérieure par rapport à celles des composants MOSFETs d'Infineon disponibles sur le marché.

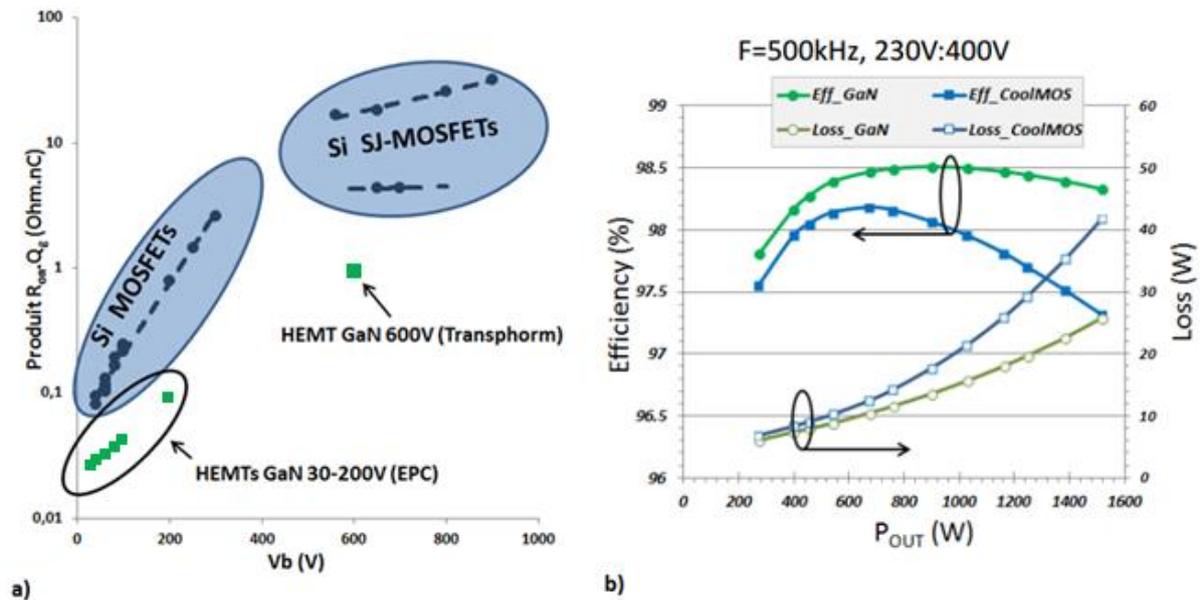


Figure 1-34 : (a) Comparaison de la HFOM des SJ-MOSFETs Si avec les HEMTs GaN industriels (b) Rendement énergétique d'un convertisseur BOOST mettant en jeu les composants GaN HEMT à 600V de Transphorm [61]

Très récemment, Transphorm qui a été fondé en 2012, a entamé la commercialisation de ses composants GaN à 600V [62] qui sont d'ores et déjà plus performants que la dernière génération de CoolMOS d'Infineon [61] (figure 1-34a). Ces excellentes performances ont permis une réduction drastique de 38% des pertes énergétiques au sein d'un circuit de conversion de type BOOST : $f = 500$ kHz, $V_{in} = 230V$, $V_{out} = 400V$ (figure 1-34b), soit une amélioration de plus de 1% du rendement de conversion à 100% de la charge.

3.3.3. BILAN

La figure 1-35, extraite du rapport de Yole « Status of Power Electronics Industry » paru en 2015, illustre parfaitement l'émergence des technologies à large bande interdite au sein du marché.



Figure 1-35 : Positionnement des différentes technologies avec l'arrivée des composants à grand gap [2]

Pour les hautes gammes de tension ($>1200V$), la domination actuelle des IGBTs Si est remise en cause par l'arrivée des composants SiC qui présentent des performances largement supérieures au détriment d'un coût de production bien plus élevé. Pour les tensions inférieures à 600V, les composants HEMTs GaN permettent d'améliorer les performances et le rendement des convertisseurs de puissance par rapport aux MOSFETs Si et devraient peu à peu intégrer le marché dans cette gamme de tension. Cependant, aucune technologie n'affiche aujourd'hui une nette supériorité pour la gamme de tension (600-1200V) où les applications connaîtront une forte croissance dans les prochaines années (partie 1.1). Pour ces niveaux de tension, les composants GaN se présentent, là aussi, comme des candidats idéaux mais leur niveau de maturité actuel ne leur permet pas encore d'atteindre cette gamme de tension avec un niveau de fiabilité suffisant. Le développement des HEMTs GaN sera déterminant dans les prochaines années car cette gamme de tension pourrait leur assurer un avenir pérenne au sein du marché des composants de puissance.

4. LIMITES DES COMPOSANTS LATÉRAUX GAN SUR SI POUR LES APPLICATIONS DE PUISSANCE A HAUTE TENSION

Les HEMTs à base de GaN intéressent fortement la communauté scientifique internationale et ont connu un développement extrêmement rapide ces dernières années. Les propriétés exceptionnelles des hétérostructures à base de GaN pour les applications de puissances associées à

leur relativement faible coût de production constituent un réel avantage par rapport aux autres types de composants. Même si les transistors HEMTs à base de GaN ont d'ores et déjà démontré d'excellentes performances par rapport au niveau de maturité du GaN (comparativement au Si), les composants commerciaux sont actuellement limités aux applications basses tensions (<600V) et ne semblent pas exploiter l'ensemble du potentiel que le GaN pourrait offrir. Il existe aujourd'hui 3 verrous technologiques principaux qui entravent l'expansion des composants GaN latéraux aux applications à plus haute tension :

- la conduction parasite du substrat Si à haute tension
- la problématique liée au comportement normally-on
- la problématique du R_{ON} en régime dynamique

4.1. LA CONDUCTION PARASITE DU SUBSTRAT SI A HAUTE TENSION

Au début des années 2000, les premières études concernant les structures HEMTs à base de GaN pour les applications à haute tension étaient réalisées sur des substrats SiC ou saphir puisque la croissance sur Si n'avait pas encore atteint un niveau de maturité suffisant pour les applications d'électronique de puissance. Le premier HEMT AlGaIn/GaN délivrant une tension de claquage supérieure à 1kV a été réalisé dès 2001 sur substrat SiC avec un $R_{on,sp}$ de seulement $3,6 \text{ m}\Omega \cdot \text{cm}^2$ [63]. En 2006, une tension de claquage de 1,6kV associée à un $R_{on,sp}$ de $3,4 \text{ m}\Omega \cdot \text{cm}^2$ ont été obtenus pour un HEMT AlGaIn/GaN sur substrat saphir [64]. La même année, le record de tension de claquage d'un HEMT AlGaIn/GaN sur substrat SiC est porté à 1,9kV avec un $R_{on,sp}$ de $2,2 \text{ m}\Omega \cdot \text{cm}^2$ [65]. Ces résultats prometteurs confirmaient le potentiel des composants GaN pour les hautes tensions. Cependant, une fois la croissance des structures HEMTs à base de GaN sur Si maîtrisée, le développement des composants GaN sur Si a été rapidement limité par des tenues en tension relativement faibles comparativement aux autres substrats. Par exemple, les HEMTs AlGaIn/GaN sur Si avec une épaisseur d'épitaxie d'environ $2\mu\text{m}$ présentent généralement une tenue en tension de moins de 700V [66], [67] ce qui est nettement inférieur aux 1,9kV obtenus sur substrat SiC pour une épaisseur d'épitaxie équivalente [65].

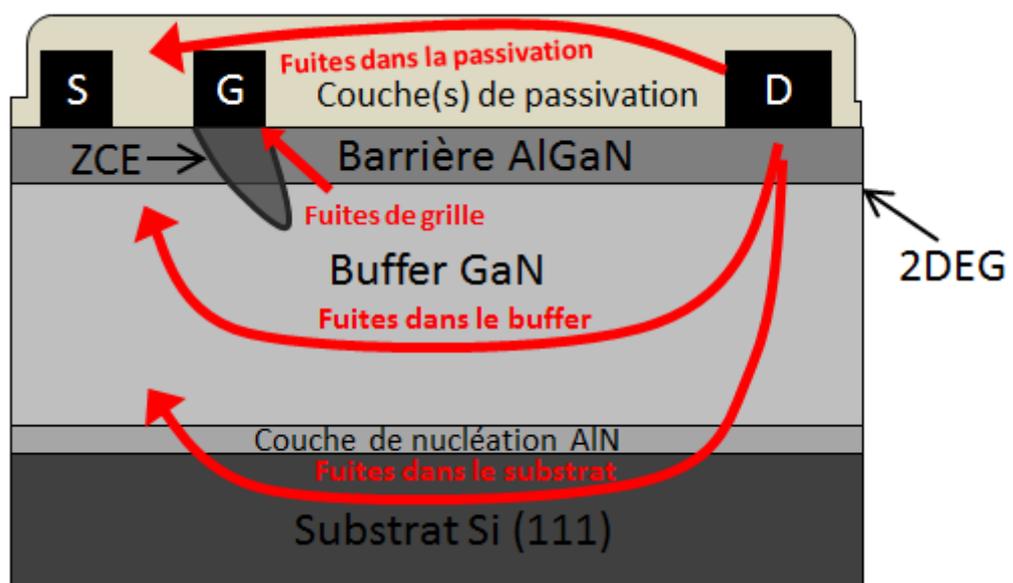


Figure 1-36 : Représentation des principales sources de courant de fuite pour un transistor HEMT AlGaIn/GaN sur Si

A l'état OFF, la polarisation de grille crée une zone de charge d'espace (ZCE) qui permet de couper la conduction du 2DEG sous la grille. La distribution du champ électrique dans la ZCE présente un pic de champ en bord de grille côté drain qui peut, dans une certaine mesure, être réduit par l'utilisation de structures d'extension de métal de grille (field-plate de grille) [65], [68]–[70] ou de source (field-plate de source) [71]. Conjuguée au phénomène de dissipation thermique des courants de fuite dans la structure, cette zone constitue un point chaud qui peut dégrader les performances des HEMTs [72]. La compréhension des mécanismes à l'origine de ces fuites est donc essentielle pour améliorer la tenue en tension des composants. Les principales sources de courant de fuite pour un transistor HEMT AlGaN/GaN sur substrat Si sont représentées figure 1-36. On peut distinguer 2 catégories de fuite de courant dans le composant : les fuites latérales (fuites dans la passivation, fuites de grille, fuites dans le buffer) et les fuites verticales (fuites dans le substrat). Plusieurs procédés technologiques sont utilisés pour limiter les fuites de courant latérales (figure 1-37) :

- L'utilisation de matériaux passivant diélectriques de haute qualité permet de réduire les fuites en surface et à l'interface avec la barrière [73].
- Les fuites provenant de la grille sont constituées en général du courant en inverse d'une grille Schottky et peuvent être supprimées en ayant recours à une structure MOSHEMT [74], [75] ou MISHEMT [76]–[78].
- Des buffers dopés P (dopage C ou Fe) [79]–[81] ou des buffers d'AlGaN [82] ont été développés afin d'annihiler le phénomène d'injection des porteurs dans le buffer sous fort champ électrique (effet punch-through) qui est à l'origine de l'augmentation du courant de fuite dans le buffer.

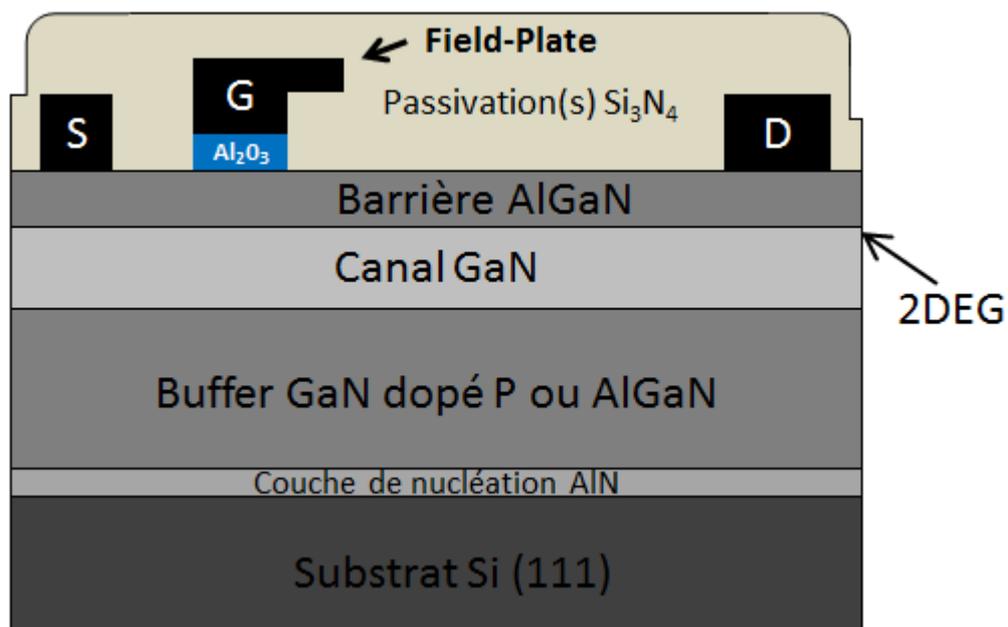


Figure 1-37 : Structure MOSHEMT AlGaN/GaN

Alors que les fuites latérales sont relativement bien maîtrisées aujourd'hui, les mécanismes à l'origine des fuites de courant verticales sont encore mal connus. De par la composante verticale du champ électrique sous la grille durant le blocage du transistor, les lignes de champ électrique vont se propager verticalement dans l'épithaxie à mesure que la tension de drain augmente. A partir d'une valeur critique de tension de drain, les lignes de champ vont atteindre le substrat Si et générer une conduction parasite au sein même du substrat. L'hypothèse la plus communément admise pour

expliquer ce phénomène est que les électrons traversent verticalement toute l'épithaxie jusqu'au substrat Si au travers de défauts et dislocations qui se propagent dans l'ensemble des couches tampons. L'hétérojonction entre la couche de nucléation d'AlN et le Si entraîne un régime d'inversion électronique du substrat, ce qui génère un gaz 2D d'électrons à l'interface entre l'AlN et le Si [83]–[85]. La présence de ce plan de charges a d'ailleurs été mise en évidence par des mesures CV [83], [84]. Ainsi, en atteignant la couche d'inversion, les électrons seront libres de se déplacer dans le substrat Si et de remonter jusqu'au drain sous fort champ électrique, entraînant une augmentation drastique du courant de fuite.

Ce phénomène de conduction parasite se traduit par la dégradation de la tenue en tension du transistor, comme on peut le constater sur la figure 1-38 (la tenue en tension du transistor est fixée à la tension de drain à partir de laquelle le courant de fuite atteint la limite de 1 mA/mm). Dans cet exemple correspondant à des structures HEMT GaN d'épaisseurs de buffer distinctes (3,5µm et 5,2µm), on observe 2 régimes. Pour les transistors de plus faible distance grille-drain, la tenue en tension des transistors évolue linéairement avec la distance grille-drain, ce qui correspond au claquage latéral des composants dû au champ électrique latéral. Pour les transistors dont la distance grille-drain est supérieure (typiquement > 15 µm), la tenue en tension sature du fait de la conduction dans le substrat déclenchée par le champ électrique vertical. La saturation correspond à la tension à partir de laquelle le champ électrique est suffisant pour que les électrons puissent traverser verticalement l'épithaxie pour atteindre le substrat et créer une conduction parasite. Ce phénomène est inexistant pour les HEMTs GaN sur d'autres types de substrat (SiC ou saphir) qui ont un champ de claquage beaucoup plus élevé que le Si.

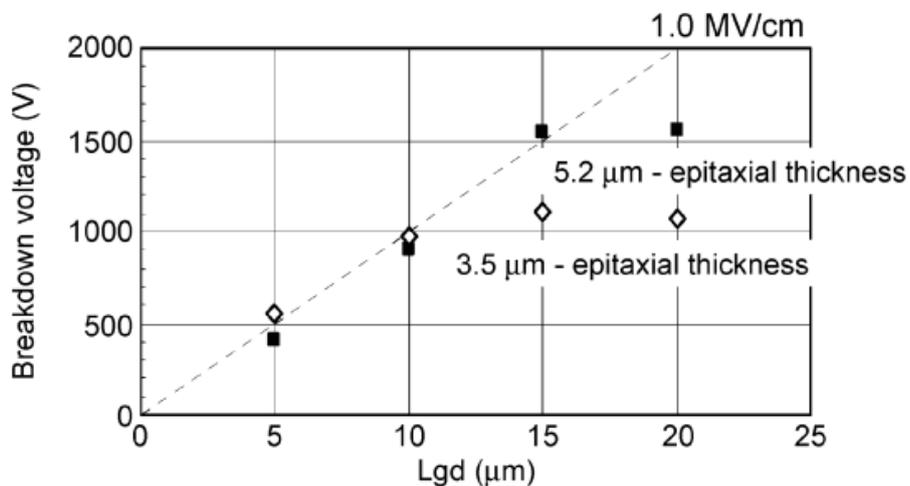


Figure 1-38 : Comparaison de la tenue en tension de transistors HEMTs AlGaIn/GaN avec différents type de substrat en fonction de la distance grille-drain [86]

La tenue en tension maximale d'un HEMT GaN sur Si n'est donc pas seulement limitée par la distance grille-drain, mais aussi par l'épaisseur du buffer (figure 1-38). En effet, l'énergie nécessaire pour que les porteurs de charges puissent traverser un buffer est directement dépendante de l'épaisseur de l'ensemble des couches tampons. La maturité des techniques de croissance MOCVD du GaN sur Si ont permis le développement d'épithaxies plus épaisses présentant une qualité suffisante pour augmenter la tenue en tension des HEMTs GaN à des valeurs supérieures à 1kV (figure 1-39). En 2008, une tenue en tension de 1800V a pu ainsi être atteinte grâce à un buffer de plus de 6µm d'épaisseur totale sur substrat Si par un groupe de Furukawa au Japon [87]. En 2009, ce même

groupe a pu développer une épitaxie de 7,3 μm d'épaisseur pour atteindre une tenue en tension record de 2450V [88].

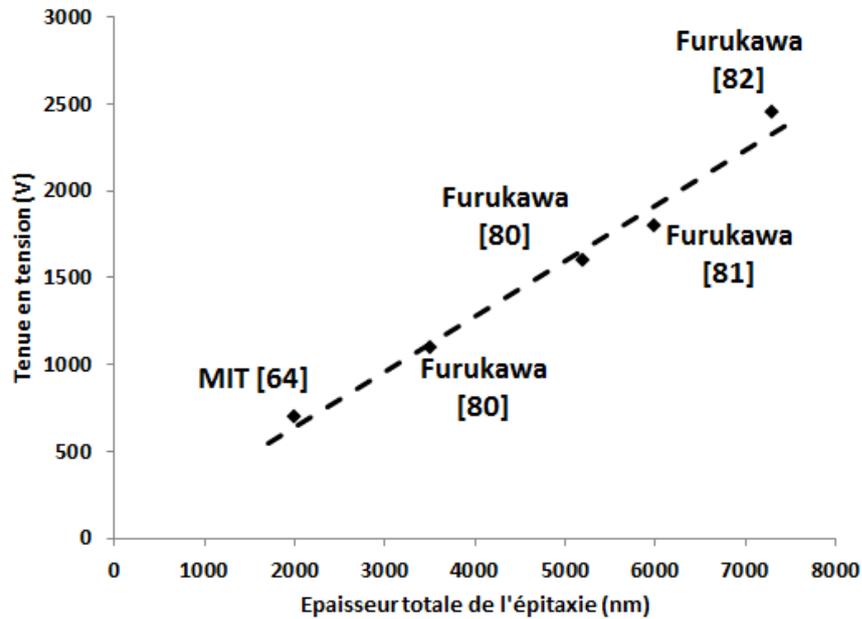


Figure 1-39 : Valeurs de tenue en tension reportées en fonction de l'épaisseur totale d'épitaxie de HEMTs GaN sur Si .

Néanmoins, la croissance de buffers épais est plus coûteuse et extrêmement compliquée, pouvant amener à la génération de cracks qui nuisent fortement aux performances des transistors [67]. L'impact de ces défauts structuraux sur les performances électriques du transistor sera plus amplement discuté dans la partie suivante. Plusieurs procédés technologiques visant notamment à supprimer la conduction parasite ont été développés et présentent d'ores et déjà des résultats très encourageants [83], [89], [90]. Un des plus prometteurs à ce jour a été la gravure locale du substrat Si en face arrière, développé en 2010, qui a permis de supprimer la conduction parasite à l'interface AlN/Si [89]. En 2012, grâce à cette technique une tension de claquage de plus de 2kV pour une épaisseur d'épitaxie proche de 2 μm sur des composants HEMTs GaN sur Si a été obtenue [91]. Cela laisse envisager la possibilité pour les composants latéraux GaN sur Si d'étendre leur champ d'applications aux moyennes et hautes gammes de tension tout en conservant des performances élevées.

4.2. PROBLEMATIQUE DU R_{ON} EN REGIME DYNAMIQUE

Les HEMTs GaN présentent d'excellentes propriétés telles qu'une mobilité et une vitesse de saturation électronique élevées ou encore une faible capacité de grille qui sont favorables à la montée en fréquence de commutation. Néanmoins, il a été observé que le courant de sortie des transistors HEMTs GaN pouvait dépendre fortement de la fréquence de fonctionnement de circuit et de sa tension de polarisation (figure 1-40). Cet effet s'explique par la dégradation de la résistance à l'état passant du transistor lors des commutations, due à des phénomènes de pièges dans la structure du composant. Cet effet parasite a donc pour conséquence la dégradation du R_{on} en régime dynamique du transistor (par rapport au R_{on} mesuré en régime statique). Il entraîne une dégradation du courant de sortie du transistor et donc une diminution du rendement théorique du convertisseur.

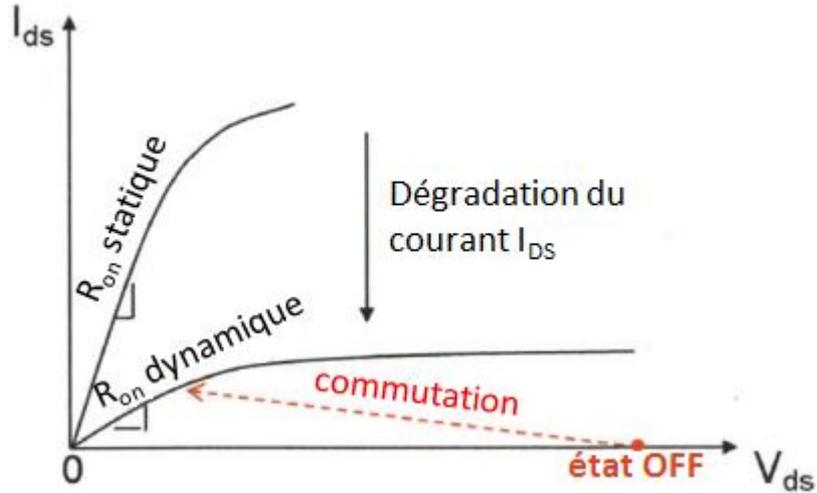


Figure 1-40 : Illustration de la dégradation du R_{on} dynamique d'un transistor HEMT GaN lors de la commutation

Le terme de piège fait référence à des états d'énergie dans la bande interdite du semiconducteur. Plusieurs études ont montré que les pièges responsables de la dégradation du R_{on} dynamique des transistors HEMT AlGaIn/GaN sont principalement constitués de charges négatives situées à l'interface ou à la surface de la barrière d'AlGaIn et dans le buffer [92]–[95]. Les mécanismes de piégeage et de dégradation du R_{on} dynamique lors des commutations du transistor sont illustrés figure 1-41. A l'état OFF, la polarisation inverse de la grille permet de couper la conduction entre le drain et la source. L'intensité du pic de champ électrique généré en sortie de grille côté drain entraîne l'injection d'électrons provenant de différentes sources (courants de fuite). Ces porteurs libres sont susceptibles d'être piégés dans l'épitaxie à des niveaux d'énergie plus ou moins profonds selon la valeur du champ électrique et de constituer des charges fixes négatives (figure 1-41a). Lorsque le transistor commute à l'état ON, la présence de ces charges négatives à proximité de la zone active provoque une déplétion momentanée du 2DEG jusqu'à ce que les charges soient réémises depuis ces états d'énergie (Figure 1-41b). Cette déplétion se traduit par une dégradation de la conductivité du transistor et donc d'une augmentation du R_{on} dynamique du transistor.

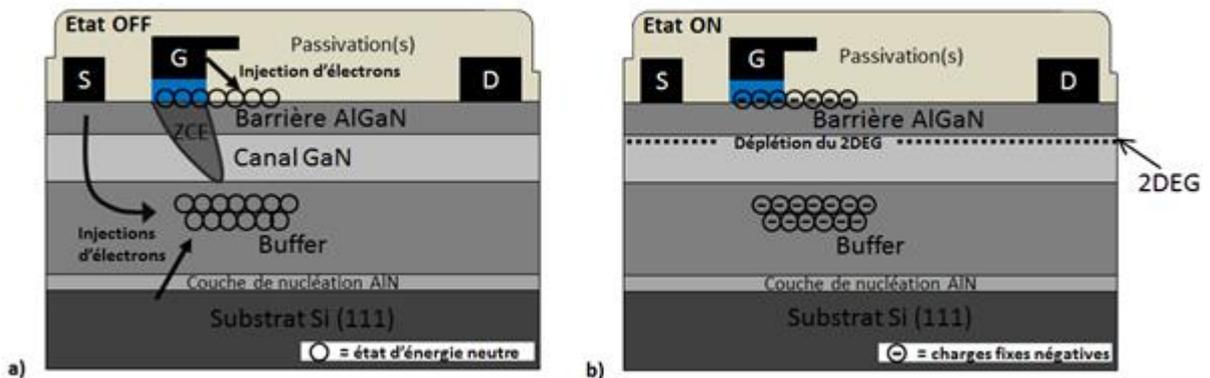


Figure 1-41 : Illustration de l'influence des effets de piège sur le $R_{on,dyn}$ d'un HEMT GaN lors des commutations a) à l'état OFF b) à l'état ON

La localisation des états d'énergie dans l'épitaxie est cruciale pour comprendre leur origine et leur influence sur les performances du transistor. Les pièges à la surface de la barrière ont une forte influence sur le R_{on} dynamique en raison de leur proximité avec le 2DEG (la barrière ne fait que

quelques nanomètres) [96], [97]. Plusieurs études ont mis en évidence la présence d'états d'énergie de type donneur à la surface de la barrière qui sont à l'origine de la création du 2DEG [50], [98], [99]. Ces états de surface permettent de compenser les charges de polarisation négatives de surface et viennent alimenter le canal en électrons. Lorsque la grille est polarisée en inverse, les électrons provenant de la grille sont, en partie, piégés par ces états de surface et constituent « une grille virtuelle » du transistor qui entravent localement la reformation du canal d'électrons lors de la commutation à l'état ON [100], [101]. Afin de réduire les recombinaisons en surface des électrons, une couche supplémentaire est déposée sur la barrière pour passiver les charges électriques en surface. Différents matériaux et techniques de dépôt ont été étudiés comme couche de passivation [102]–[105]. Le SiN MOCVD déposé in-situ (passivation au sein même de la chambre d'épitaxie) a montré les résultats les plus encourageants grâce notamment à une interface avec la barrière de qualité supérieure par rapport aux autres techniques de dépôts (figure 1-42) [106], [107].

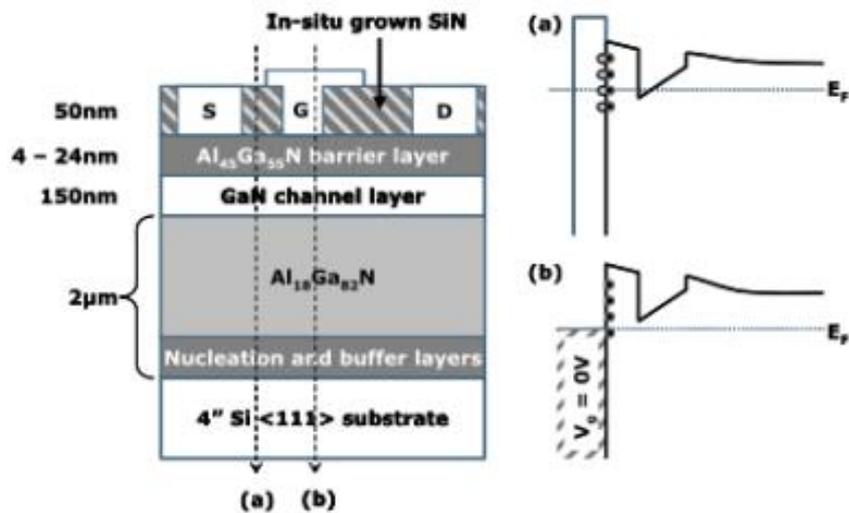


Figure 1-42 : Structure HEMT AlGaIn/GaN passivée avec une couche de Si₃N₄ in-situ et diagramme de bande des zones couvertes (a) et non couvertes (b) par du Si₃N₄ [106].

Contrairement aux états de surface de la barrière qui sont inhérents aux hétérostructures de type AlGaIn/GaN et donc inévitables, les états à l'interface entre l'oxyde de grille et la barrière sont générés pendant le procédé technologique de fabrication du transistor. Ils peuvent donc être significativement réduits grâce à l'optimisation des techniques de dépôt et du matériau utilisé. Enormément de travaux portent aujourd'hui sur la réduction de ces états d'interface avec le diélectrique de grille [108]–[110].

Lors du fonctionnement à haute tension, le champ électrique pénètre profondément dans la structure et peut également activer des pièges situés dans le buffer de l'épitaxie. Si le buffer présente une certaine densité d'atomes de type accepteur, comme c'est le cas pour les buffers dopés p (dopage C ou Fe), l'ionisation des impuretés entrainera l'apparition de charges fixes négatives qui dégraderont le R_{on} dynamique du transistor [111]–[114]. Dans ce cas, l'amélioration de la tenue en tension du transistor permise par l'utilisation de buffers ultra-isolants se fera au détriment du R_{on} dynamique [112], [113] (figure 1-43). Beaucoup d'études sont réalisées aujourd'hui pour déterminer le buffer optimal afin d'optimiser les performances des HEMTs GaN [115]–[117].

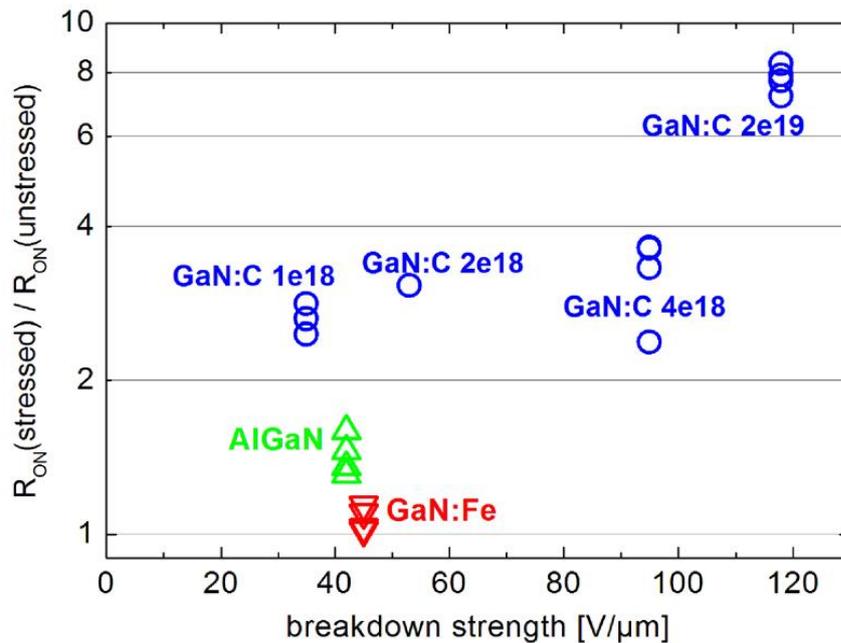


Figure 1-43 : R_{on} dynamique en fonction de la capacité de tenue en tension pour différentes compositions de buffer [113]

L'incorporation volontaire (dopage) ou involontaire (impuretés chimiques) dans l'épitaxie ou la présence de charges de surface, qui nuisent aux performances dynamiques des transistors, sont des problèmes communs à tout type de structure HEMT GaN, qu'elle soit réalisée sur un substrat Si, SiC ou saphir. Pour les transistors GaN-sur-Si, à ces problèmes s'ajoutent les défauts structuraux de l'épitaxie induits lors de la croissance du GaN. En effet, en raison du fort désaccord de maille et de la différence de coefficient de dilatation entre le GaN et le Si, la croissance du GaN sur Si engendre inévitablement l'apparition d'une forte densité de défauts cristallins (dislocations) et de contraintes dans l'ensemble de l'épitaxie. Certains défauts structuraux, étant actifs électriquement, peuvent constituer des pièges électroniques et participer à la dégradation du R_{on} en régime dynamique du transistor. Grâce aux techniques de croissance actuelles, les structures HEMT GaN à buffer fin sur substrat Si sont, depuis plusieurs années, relativement bien maîtrisées [118], ce qui a permis la commercialisation dès 2012 de composants GaN latéraux basse tension (40 à 200V). Cependant, la croissance est beaucoup plus complexe pour les buffers épais, nécessaires pour augmenter la tenue en tension des transistors, à cause notamment de l'augmentation des contraintes pouvant générer des cracks dans l'épitaxie, ce qui ralentit fortement le développement à plus haute tension [67].

En considérant cette problématique, on comprend d'autant plus l'intérêt de la technique de gravure locale du Si discutée précédemment [89]. En effet, cette technique permet d'augmenter la tenue en tension des transistors sans pour autant devoir augmenter l'épaisseur du buffer de l'épitaxie, ce qui devrait constituer un avantage incontestable pour les performances en régime dynamique des composants. De plus, la suppression de la couche d'inversion électronique à l'interface entre la couche de nucléation d'AlN et le Si après gravure du substrat localisée pourrait aussi être bénéfique au R_{on} dynamique du transistor puisqu'elle constitue une source d'injection supplémentaire d'électrons dans le buffer sous fort champ électrique. Ce double bénéfice montre tout le potentiel de cette approche pour la montée en tension des composants HEMTs GaN sur Si.

4.3. PROBLEMATIQUE LIEE AU COMPORTEMENT NORMALLY-ON

De par les champs électriques de polarisation inhérents aux hétérostructures de type AlGaIn/GaN, les transistors HEMT GaN ont une tension de seuil négative et sont donc des composants dits « normally-on ». Pour la conception de convertisseurs de puissance, l'utilisation de ce type de transistor requiert des architectures de circuits de commande plus complexes et plus gourmands en énergie [119]. Par conséquent, des composants de type « normally-off » sont préférables pour diminuer le coût et augmenter les performances des convertisseurs de puissance [86]. La solution majoritairement utilisée aujourd'hui par les industriels pour contourner cette limitation est l'architecture cascode [119], [120] (Figure 1-44). Dans cette configuration hybride, un MOSFET Si basse tension normally-off est connecté à un HEMT GaN normally-on de manière à contrôler la grille et permet donc le déclenchement du HEMT GaN pour des tensions de grille positive uniquement. On obtient ainsi un mode de fonctionnement normally-off avec une tension de seuil égale à celle du MOSFET Si. Si cette technique permet de combiner les performances des transistors GaN HEMT à la tension de seuil positive du MOSFET Si, elle souffre des faiblesses du composant Si, en plus du coût supplémentaire du montage. D'une part, la résistance à l'état passant du MOSFET Si sera ajoutée à celle du HEMT GaN, ce qui augmentera les pertes résistives du circuit [121]. D'autre part, les pertes en commutation du transistor ne dépendront plus de la capacité de grille du composant GaN mais de celle du MOSFET Si qui est généralement plus élevée [122], [123]. Pour finir, la température de fonctionnement du montage cascode sera limitée par la température maximale de jonction du Si MOSFET, ne permettant pas de profiter des excellentes propriétés du GaN à haute température. Tous ces inconvénients poussent les industriels à rechercher des solutions alternatives aux architectures normally-off cascode afin de bénéficier de l'ensemble du potentiel de HEMTs GaN dans les convertisseurs de puissance.

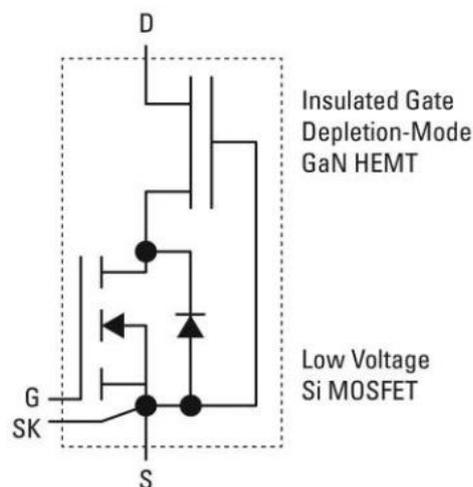


Figure 1-44 : Schéma électrique d'un transistor GaN HEMT normally-on (Depletion-Mode) monté en cascode avec un transistor Si normally-off [119]

De nombreuses techniques ont été mises au point ces dernières années pour concevoir des structures HEMTs GaN normally-off [124], [125] consistant à dépeupler localement le 2DEG sous la grille. Parmi les procédés technologiques les plus utilisés, on retrouve l'implantation d'ions F⁻ [126], la structure GIT de Panasonic [127] ou encore la gravure localisée de la barrière sous la grille (recess de grille). La figure 1-45 compare les performances statiques de différentes structures de transistor normally-off rapportées dans la littérature par rapport à des transistors normally-on servant de

référence à haute tension. On remarque que la résistance à l'état passant des composants normally-off est généralement plus élevée que celle des composants normally-on qui peut s'expliquer, en partie, par la dégradation des propriétés du 2DEG sous la grille.

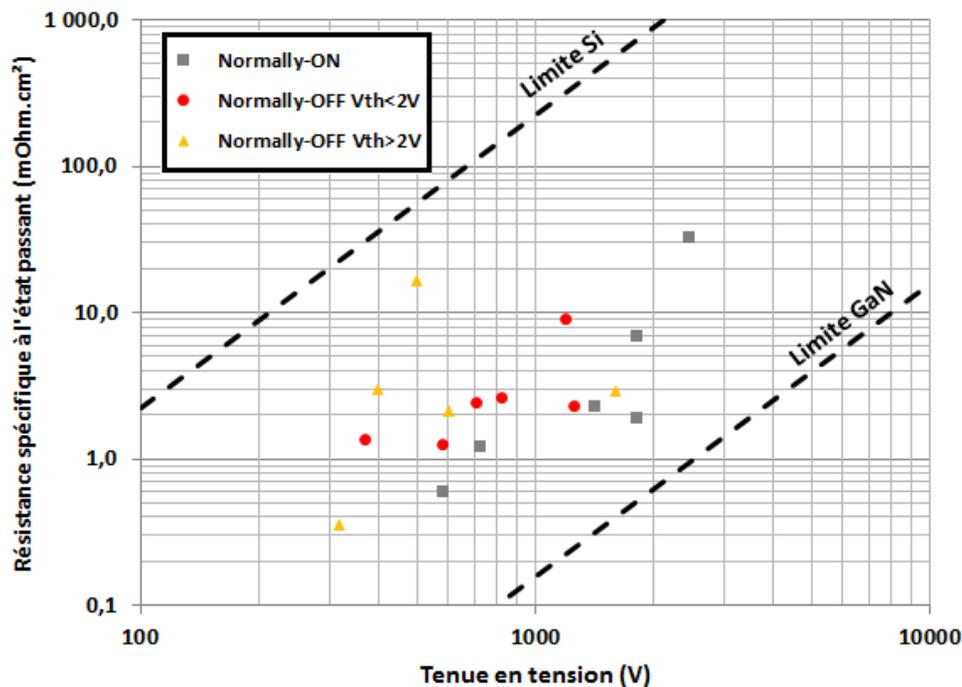


Figure 1-45 : Comparaison du $R_{on,sp}$ en fonction de la tenue en tension des composants normally-ON et normally-OFF rapportés dans la littérature

L'implantation d'ions fluor électronégatifs dans la barrière dépeuple localement le 2DEG grâce aux forces de répulsion électrostatique, ce qui permet de décaler efficacement la tension de seuil du transistor [128], [129]. Cependant, ces composants ont démontré une certaine instabilité de la tension de seuil due à la diffusion des ions F^- [130] qui nuit à la fiabilité du transistor. La structure GIT (« Gate Injection Transistor ») a montré d'excellentes performances à haute tension depuis son introduction par Panasonic en 2007 [127], [131], [132]. La croissance d'une couche dopée p (AlGaIn, GaN ou InGaN) en surface de la barrière abaisse le niveau de fermi dans la bande interdite de l'hétérostructure AlGaIn/GaN provoquant la déplétion du 2DEG et la réalisation d'un transistor normally-off. Ces composants souffrent néanmoins d'un courant de fuite de grille important pour des polarisations de grille élevées, limitant la valeur de la tension de seuil pour les applications à forte puissance. Beaucoup d'études ont porté sur le recess de grille (gravure totale ou partielle de la barrière sous la grille) qui permet d'atteindre des tensions de seuil relativement élevées [133]. Cette technique présente l'avantage de pouvoir être combinée à un diélectrique de grille afin de réduire le courant de fuite de grille [134]. D'un point de vue technologique, la gravure locale de la barrière est un réel défi. Les techniques de gravure utilisées pour les gravures fines de nitrure (la barrière ne fait que quelques nanomètres d'épaisseur) sont extrêmement difficiles à contrôler [135], [136] et génèrent potentiellement des défauts en surface qui peuvent dégrader les performances statiques et dynamiques du transistor [137], [138].

Malgré le potentiel de chacun de ces procédés technologiques pour réaliser un transistor HEMT GaN normally-off, aucun d'entre eux ne semble encore convenir entièrement pour satisfaire le cahier des charges requis par les industriels pour les applications de convertisseur de puissance. Par

conséquent, les montages en cascade de transistors HEMT GaN normally-on sont actuellement utilisés à défaut d'une solution plus satisfaisante, constituant un frein supplémentaire au déploiement des transistors HEMT GaN de puissance sur le marché.

CONCLUSION DU CHAPITRE 1

Le marché des composants d'électronique de puissance va connaître une croissance fulgurante dans les années à venir. La restructuration du réseau de distribution d'électricité avec l'intégration des nouvelles sources d'énergie renouvelable et l'évolution de nos moyens de transport (voiture électrique, train) obligent les industriels à développer de nouveaux systèmes de conversion énergétique toujours plus performants et économes en énergie. Pour remplacer les technologies actuelles à base de Si qui arrivent actuellement en limite de performances, des technologies innovantes de transistor de puissance à base de nouveaux matériaux ont été étudiées. Les composants HEMTs GaN sur Si constituent un candidat attractif pour la future génération de composants de puissance basse tension (<900V). Cette gamme de tension, ultra-dominée par les technologies bas coût Si, représente les plus grosses parts de marché des composants de puissance et permettrait au GaN de s'assurer un avenir durable au sein de l'industrie microélectronique des semiconducteurs. Néanmoins, plusieurs challenges existent encore aujourd'hui pour que ces technologies puissent se développer au niveau industriel et conquérir de nouvelles parts de marché, notamment autour des applications fonctionnant au-delà de 600V.

Dans ce contexte, ce travail de thèse est focalisé sur la filière de composants bas coût GaN sur Si pour les applications à plus d'un kilovolt. A ces tensions, nous avons pu constater que la conduction parasite du substrat était le principal facteur limitant des HEMTs GaN. En plus de réduire fortement la tenue en tension du transistor, ce phénomène pourrait également avoir un impact négatif sur les performances dynamiques du transistor. Des travaux préliminaires montrent qu'il est possible de supprimer cette limitation et améliorer les performances à haute tension des composants GaN. Dans le cadre de cette thèse, nous avons donc développé un procédé technologique reproductible et compatible au niveau industriel permettant de graver localement le substrat Si afin de supprimer la conduction parasite. Ces travaux ont notamment permis d'améliorer l'état de l'art des performances des composants GaN sur Si en termes de tenue en tension ainsi que notre compréhension du phénomène de conduction parasite dans le substrat.

CHAPITRE 2

TECHNOLOGIES DE FABRICATION DES TRANSISTORS DE TYPE HEMT GAN-SUR-SI

Ce chapitre est dédié aux procédés technologiques de fabrication des transistors HEMT GaN sur substrat Si opérant à haute tension ainsi qu'aux techniques de caractérisation mises en œuvre pour valider les différentes étapes intermédiaires de la fabrication. Dans une première partie, nous présenterons les structures d'épitaxie utilisées pendant ces travaux. Nous détaillerons ensuite brièvement le déroulement des étapes technologiques de fabrication des transistors ainsi que les masques utilisés pour la réalisation des composants. Dans une deuxième partie, nous reviendrons plus en détail sur les étapes critiques de fabrication du transistor qui ont nécessité un développement plus approfondi. Nous exposerons les difficultés rencontrées et les solutions que nous y avons apportées. Pour terminer, la technique de gravure locale du substrat sera présentée avec le procédé de fabrication développé et les différentes configurations de gravure face-arrière qui ont été testées.

1. DESCRIPTION DU PROCEDE DE FABRICATION ET DES MASQUES

1.1. DESCRIPTION DES EPITAXIES

Dans le cadre de cette thèse, les épitaxies utilisées pour la fabrication des composants ont été réalisées par la compagnie EpiGaN qui est un acteur majeur dans la production et la commercialisation d'épitaxie GaN sur Si et GaN sur SiC pour l'électronique de puissance [139]. Le fait de travailler avec des wafers industriels est un choix stratégique car cela permet de garantir non seulement une excellente qualité mais aussi un haut niveau de reproductibilité et d'uniformité des épitaxies tout au long de nos travaux. Les croissances des structures ont été réalisées par MOCVD sur des substrats Si (111) de 4 et 6 pouces de diamètre. Les 3 différentes structures d'épitaxie principalement étudiées sont représentées sur la figure 2-1.

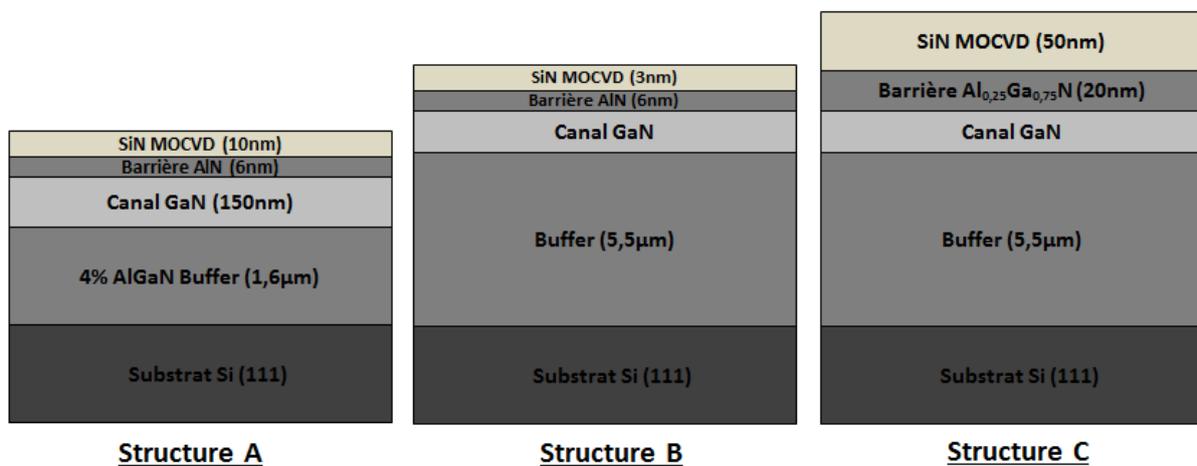


Figure 2-1 : Schémas des structures épitaxiales utilisées lors des travaux

1.1.1. STRUCTURE A

La structure A, dont la croissance a été réalisée par MOCVD sur un substrat Si de 4 pouces et de 600µm d'épaisseur, est une épitaxie typiquement optimisée pour les applications hyper-fréquences. L'épaisseur totale des couches tampons est en effet trop faible (1,6µm) pour pouvoir supporter les tensions très élevées (>1kV) des applications de forte puissance, en raison de la conduction parasite dans le substrat. La technologie de buffer utilisée est une « back-barrière » en AlGaIn à 4% d'aluminium qui permet d'améliorer le confinement des électrons dans le canal notamment lors de la mise en jeu de forts champs électriques à l'état OFF du transistor. La barrière de la structure est une couche ultrafine (6nm) de nitrure d'aluminium (AlN) générant une forte polarisation électrique, ce qui engendre une concentration élevée d'électrons dans le 2DEG (figure 2-2). En comparaison avec les structures à barrières standards d'AlGaIn, les structures à barrière d'AlN possèdent une densité d'électrons plus de 2 fois supérieures pour des épaisseurs de couche beaucoup plus faibles. Cela permet à la fois d'augmenter la densité de courant mais aussi la transconductance des transistors, paramètre indispensable de la montée en fréquence de commutation.

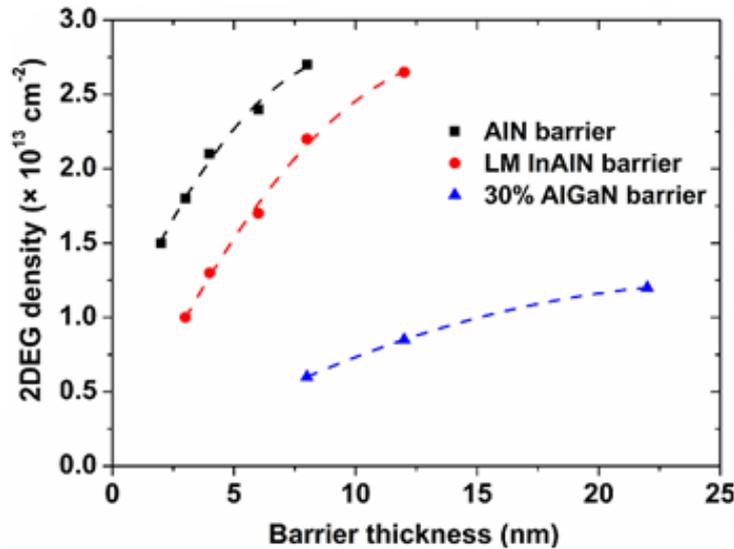


Figure 2-2 : Densité d'électrons dans le canal en fonction de l'épaisseur de différents types de couche de barrière

Pour cette structure, les mesures par effet Hall révèlent une densité d'électrons de $2,3 \times 10^{13} \text{ cm}^{-2}$ associée à une mobilité électronique de $990 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Les mesures de résistance surfacique ont montré une uniformité élevée sur l'ensemble du wafer avec $R_{sh} = 280 \Omega/\square \pm 2,3\%$ ce qui témoigne de l'excellente qualité de la couche d'AlN et de l'interface AlN/GaN. Une telle qualité de matériau est rendue possible par la croissance in-situ de la couche SiN (10nm) qui stabilise mécaniquement l'hétérostructure. En effet, la couche de SiN MOCVD permet de faire croître une épaisseur d'AlN plus élevée que l'épaisseur critique (2-3nm) tout en prévenant le phénomène de relaxation dû aux contraintes dans le matériau [106].

1.1.2. STRUCTURE B

La structure B a été réalisée par MOCVD sur un substrat Si (111) de 6 pouces et de 1mm d'épaisseur. Elle présente un buffer épais de $5,5 \mu\text{m}$ à la base d'un gradient en AlGaIn (propriété intellectuelle d'EpiGaIn) visant à atteindre des tenues en tension élevées. La structure possède une barrière d'AlN de 6nm et une couche de passivation SiN in-situ de 3nm. La densité d'électrons et la mobilité électronique mesurées par effet Hall sont respectivement de $2 \times 10^{13} \text{ cm}^{-2}$ et de $1050 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. La résistance surfacique extraite par la même méthode est de $290 \Omega/\square \pm 2,5\%$.

1.1.3. STRUCTURE C

La structure C a été réalisée par MOCVD sur un substrat Si (111) de 6 pouces et de 1mm d'épaisseur. On retrouve là une épitaxie standard pour les applications de convertisseurs de puissance haute tension (applications à 600V) avec une barrière d'AlGaIn de 20nm ayant un taux de 25% d'aluminium et un buffer épais de $5,5 \mu\text{m}$, similaire à la structure B. Grâce à sa couche de passivation SiN in-situ de 50nm associée à un plus faible taux d'aluminium dans la barrière par rapport aux structures A et B, la structure C devrait permettre d'améliorer les performances dynamiques des transistors. La densité d'électrons et la mobilité électronique mesurées par effet Hall sont respectivement de $7 \times 10^{12} \text{ cm}^{-2}$ et de $2000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. La résistance surfacique extraite par la même méthode est de $445 \Omega/\square \pm 2,1\%$.

1.2. DESCRIPTION DU PROCEDE DE FABRICATION

L'ensemble du procédé de fabrication des transistors a été réalisé au sein de la centrale de technologie de l'IEMN. Les épitaxies sont découpées en morceaux de forme rectangulaire de dimensions $2 \times 3 \text{ cm}^2$ afin de multiplier les échantillons nécessaires à l'élaboration des différentes étapes technologiques lors de chaque étude. A mon arrivée à l'IEMN, j'ai pu commencer à travailler à partir d'un procédé technologique déjà existant pour la fabrication de composants HEMT GaN pour les applications hyperfréquences. Un travail de développement était nécessaire pour adapter et optimiser ce procédé aux composants à haute tension. Bien que les structures d'épitaxie présentées précédemment soient différentes, le procédé de fabrication reste relativement similaire pour chacune d'entre elles. Dans ce chapitre, nous nous référerons donc à toutes les structures en utilisant un modèle de structure général comprenant un substrat Si, un buffer, un canal de GaN, une barrière et une couche de SiN MOCVD. Les étapes de ce procédé sont représentées sur la figure 2-3 et sont décrites de façon sommaire ci-dessous. Certaines de ces étapes seront détaillées dans la suite de ce chapitre.

▪ **Etape 1 : Contacts ohmiques**

Les contacts ohmiques sont formés directement sur la barrière par un procédé de « lift-off », technique couramment utilisée pour les composants III-V. Après que les motifs aient été définis par lithographie, la couche superficielle de SiN MOCVD est gravée localement à l'aide d'un plasma SF_6 RIE (Reactive Ion Etching). Par sélectivité de gravure, toute l'épaisseur de SiN est éliminée pour libérer la surface de la barrière. Puis un empilement Ti/Al/Ni/Au est déposé par évaporation et l'excès de métal au-dessus de la résine est éliminé par lift-off. Pour finir, on procède à un recuit à 875°C dans un four RTA (Rapid Thermal Annealing) pour diminuer la résistance de contact autour de $0,4 \Omega \cdot \text{mm}$.

▪ **Etape 2 : 1er niveau de passivation SiN**

Une première couche de passivation SiN de 50nm est déposée par PECVD (*Plasma-Enhanced Chemical Vapor Deposition*) à 340°C pour les structures A et B afin de protéger et passiver la surface des échantillons. Pour la structure C possédant déjà 50nm de passivation MOCVD, il est inutile de re-passiver les échantillons à cette étape.

▪ **Etape 3 : Gravure du pied de grille**

Le pied de grille est obtenu par lithographie en gravant localement les couches de SiN jusqu'à la surface de la barrière. Cette étape technologique est extrêmement critique puisque les dommages engendrés par la gravure à la surface de la barrière peuvent potentiellement dégrader le 2DEG sous la grille, ce qui peut provoquer une détérioration irréversible des performances du transistor. La gravure est donc réalisée par un plasma de faible puissance SF_6 ICP-RIE (Inductive Coupled Plasma) de manière à ne pas endommager la surface de la barrière.

- **Etape 4 : Grille**

Pour réaliser une grille en « T », les extensions de métal de grille (field-plates) sont définies par lithographie de part et d'autre du pied de grille et un empilement Ni/Au est déposé par évaporation en surface de la barrière pour constituer la grille. La couche de nickel possède une bonne adhérence avec la surface de la barrière et permet de former une barrière Schottky. L'or est couramment utilisé comme dernier métal de l'empilement pour sa très faible oxydation et sa faible résistivité électrique.

- **Etape 5 : 2ème niveau de passivation SiN**

Une deuxième couche de 100 nm de SiN PECVD est utilisée pour passiver les états de surface notamment localisés entre la grille et le drain du transistor. Ce dépôt concerne les 3 structures.

- **Etape 6 : Isolation**

Après avoir préalablement défini la zone active par une nouvelle lithographie, on procède à l'isolation des transistors. Cela peut être réalisé par gravure du « méso » ou par implantation. Ces 2 techniques seront discutées plus en détail dans la suite de ce chapitre.

- **Etape 7 : 2ème niveau de métallisation (pads)**

Un deuxième niveau de métal Ti/Au, appelé pads, est ajouté afin de pouvoir contacter et polariser le transistor. L'or possédant de très mauvaises propriétés d'adhérence, on utilise le titane comme couche d'accroche. Même si cela n'est pas représenté sur la figure 2-3, la grille est elle aussi interconnectée.

- **Etape 8 : Gravure localisée du substrat**

Une fois les transistors terminés et fonctionnels, on dépose sur leur face avant une couche protectrice de résine afin de procéder aux étapes technologiques face arrière sans dégrader la face-avant. Dans un premier temps, le substrat est affiné et poli jusqu'à une épaisseur de 200µm. En deçà de cette épaisseur, l'échantillon devient extrêmement fragile à manipuler, ce qui peut occasionner des dommages, voire même la perte de l'échantillon lors des manipulations qui suivent. Dans un deuxième temps, une lithographie face-arrière est effectuée pour aligner les motifs de gravure situés sur la face-arrière avec les transistors de la face-avant. Pour finir, on réalise une gravure locale du substrat entre la grille et le drain du transistor jusqu'à l'épitaxie. Cette gravure constitue un réel défi technologique étant donné la profondeur de gravure requise pour atteindre l'épitaxie (200µm) et les hauts facteurs de forme mis en jeu (>10) pour obtenir les motifs désirés. Les différents motifs étudiés ainsi que les techniques de gravure employées feront l'objet de la dernière partie de ce chapitre.

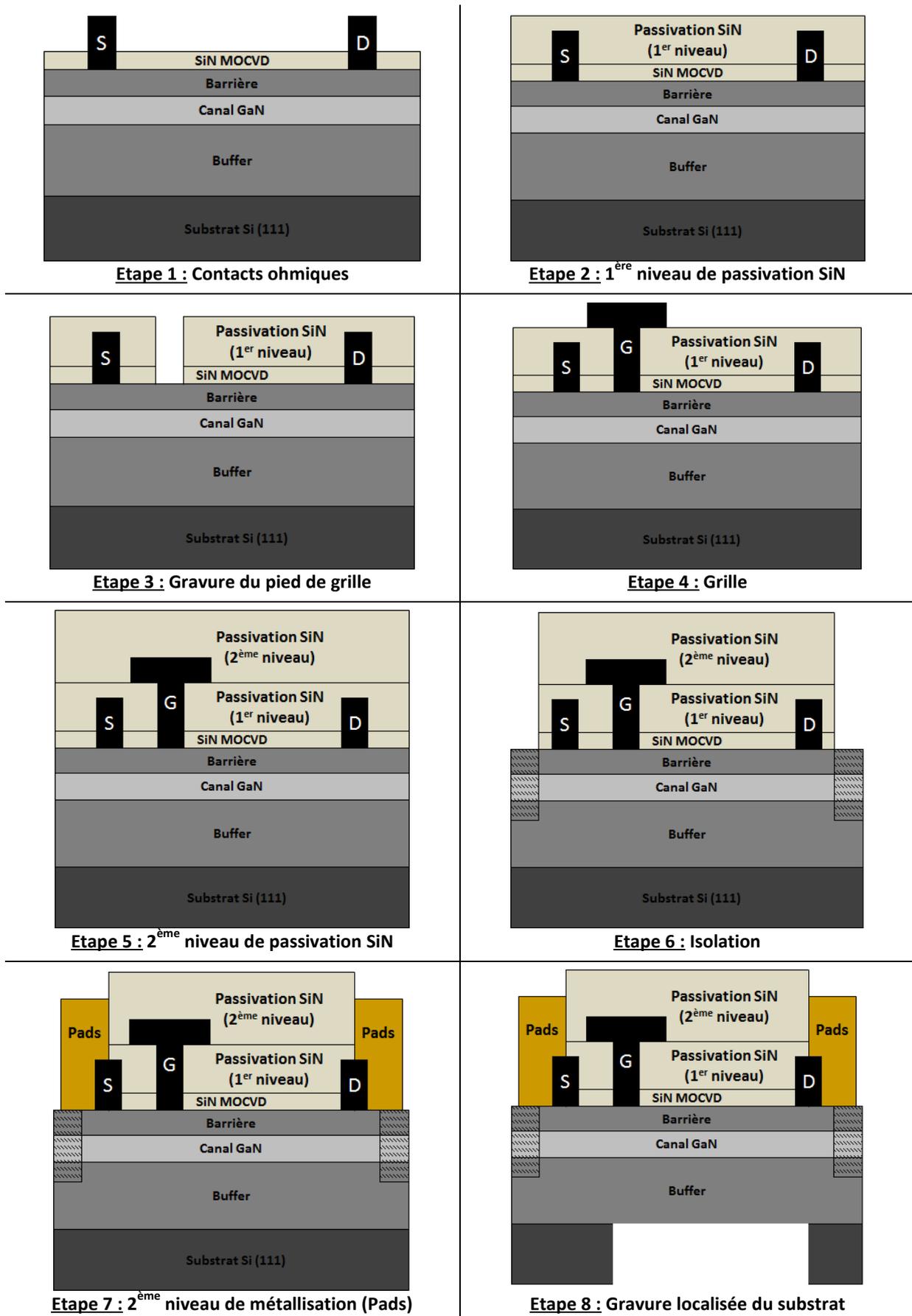


Figure 2-3 : Illustrations des étapes du procédé de fabrication des transistors

1.3. DESCRIPTION DES MASQUES DE FABRICATION

Le travail de fabrication des transistors a été systématiquement organisé en 2 temps. Dans un premier temps, l'épithaxie avec laquelle nous souhaitons travailler était évaluée afin de déterminer si elle pouvait être utilisée pour la fabrication de composants à haute tension. L'objectif principal de cette évaluation était d'extraire un certain nombre de paramètres de l'épithaxie déterminants pour le bon fonctionnement des transistors, grâce à un certain nombre d'étapes technologiques simplifiées. Pour réaliser cette étude, un jeu de masques optiques appelé « GaN_Test » a été spécialement conçu, permettant de gagner du temps par l'utilisation de lithographie optique uniquement. Dans un deuxième temps, et seulement si l'évaluation de l'épithaxie avait montré des résultats satisfaisants, nous entamons l'étude de composants à haute tension avec des procédés de fabrication plus avancés utilisant la lithographie électronique. Cette méthode permettait ainsi de détecter prématurément les anomalies liées à l'épithaxie qui pourraient nuire au fonctionnement des transistors, nous évitant de perdre un temps précieux dans nos travaux.

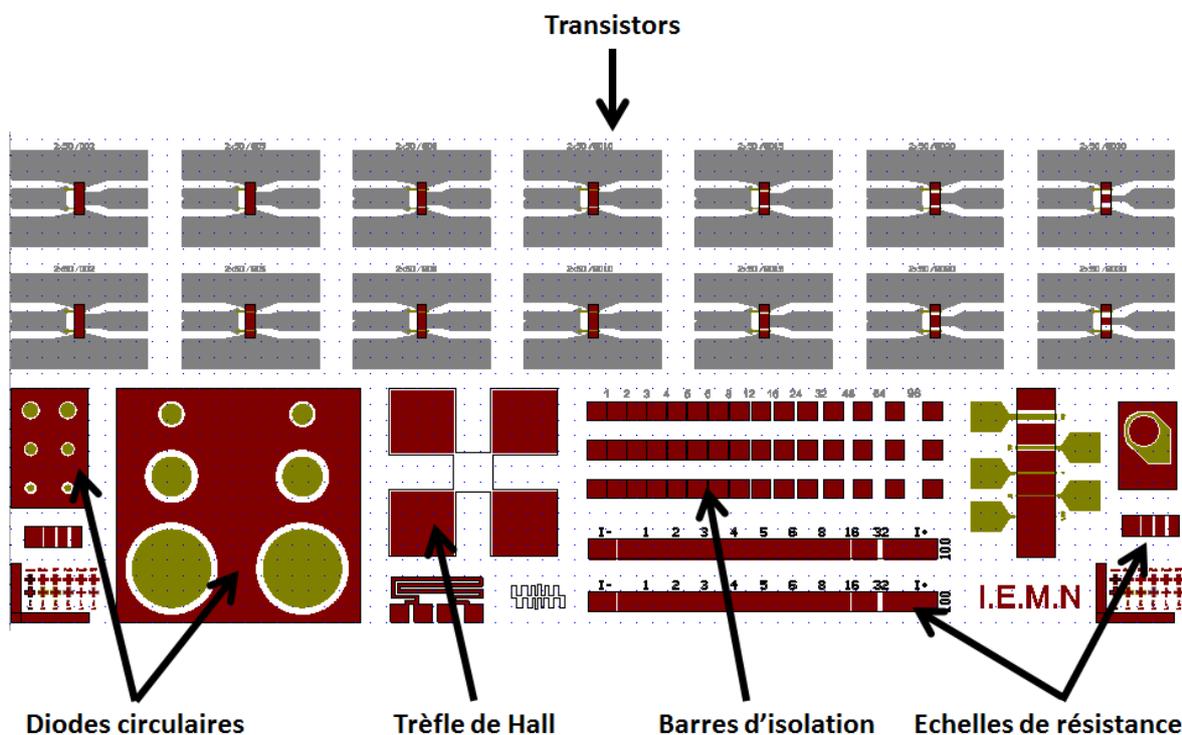


Figure 2-4 : Description du masque "GaN_Test"

Le design complet du masque « GaN_Test » utilisé pour l'évaluation de l'épithaxie est représenté sur la figure 2-4. Dans la partie inférieure du masque, on retrouve les structures tests qui permettent d'extraire les paramètres liés à l'épithaxie. Les échelles de résistance sont utilisées pour mesurer la densité de courant maximale disponible ainsi que pour extraire la résistance de contact par l'utilisation de TLM (Transmission Line Measurement). Les structures de diodes circulaires permettent d'évaluer la qualité des contacts de grille en mesurant notamment le courant de fuite des diodes en polarisation inverse. Les diodes permettent aussi d'effectuer des mesures de capacité pour déterminer la densité de charges présente aux interfaces et dans l'épithaxie. La résistivité du buffer peut être calculée à partir des mesures du courant de fuite entre 2 plots de contacts isolés au sein des barres d'isolation. Pour finir, on utilise le trèfle de Hall pour extraire la densité d'électrons ainsi que la mobilité électronique au sein du 2DEG. L'objectif de ces structures est aussi de vérifier le

bon déroulement du procédé de fabrication en validant chaque étape technologique par des mesures électriques.

On retrouve dans la partie supérieure 2 lignes identiques de 7 transistors à 2 doigts de grille avec une variation de la distance grille-drain (L_{gd}) de 2 à 30 μm . Le développement de grille (W_g), la distance grille-source (L_{sg}) et la longueur de grille (l_g) restent constants et sont respectivement de 2x50 μm , 2 μm et 2,5 μm (figure 2-5). Les mesures électriques de ces transistors constituent, en quelque sorte, la dernière étape de validation de l'épitaxie avant la conception de composants haute tension. Les transistors de ce masque permettent également de tester assez rapidement des innovations technologiques avant de les implémenter définitivement dans le procédé de fabrication des transistors haute tension.

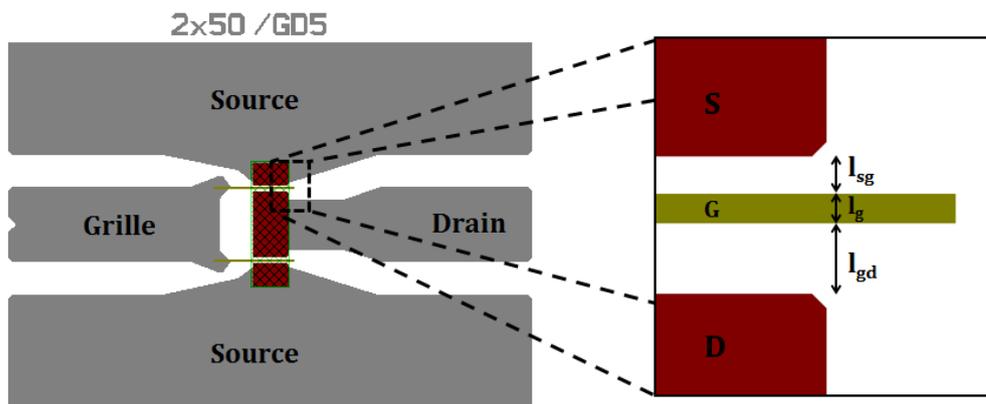


Figure 2-5 : Vue du dessus du design d'un transistor

Le masque utilisé pour la fabrication de composants haute tension, appelé « GaN_power_switch », présente un design très similaire à « GaN_Test » (figure 2-6).

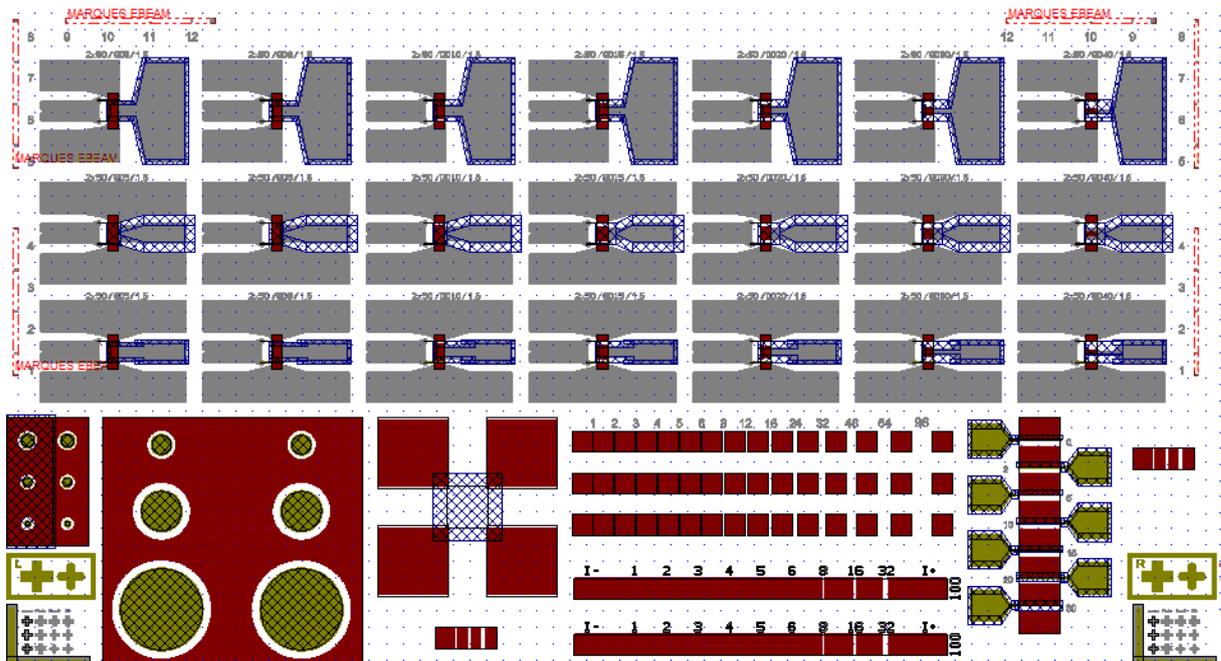


Figure 2-6 : Design complet du masque "GaN_Power_Switch"

On retrouve l'ensemble des structures tests dans la partie inférieure et les transistors dans la partie supérieure. Les transistors sont répartis sur 3 lignes de 7 composants. Chaque ligne présente une variation de la distance grille-drain de gauche à droite : 5, 8, 10, 15, 20, 30 et 40 μm . Le développement de grille (W_g), la distance grille-source (l_{sg}) et la longueur de grille (l_g) restent constants pour tous les transistors et valent respectivement 2 \times 50 μm , 1,5 μm et 1,5 μm .

Au-delà de la fabrication ultra-précise par lithographie électronique, la réelle particularité de ce masque réside dans l'ajout d'un niveau supplémentaire de motifs pour la face-arrière (hachurés en bleu sur la figure 2-6) correspondant aux motifs de la gravure locale du substrat et ayant pour objectif notamment d'améliorer la tenue en tension des transistors. Ce masque permet d'étudier plusieurs designs de gravure face arrière avec un motif différent sur chaque ligne de transistors. L'influence de la gravure du substrat est également étudiée sur les structures tests : sur le trèfle de Hall pour estimer l'influence sur les propriétés du 2DEG et sur les structures de diodes circulaires. Sur ce masque, les motifs de gravure face-arrière sont écrits en damier (un champ sur 2). Cela permet, sur un même échantillon, de pouvoir comparer directement et sans aucune ambiguïté des composants avec et sans la gravure locale du substrat. Les différents motifs étudiés ainsi que le procédé de gravure locale du substrat seront discutés plus en détail dans la dernière partie de ce chapitre

2. OPTIMISATION DES BRIQUES TECHNOLOGIQUES

Dans cette partie, le travail sur l'optimisation du procédé technologique de fabrication des transistors est présenté. Cette présentation est découpée en 3 parties correspondant aux 3 étapes technologiques distinctes ayant conduit à l'amélioration des performances des composants : la réalisation des contacts ohmiques, la réalisation du contact de grille et l'isolation. Les enjeux liés à l'amélioration de chacune de ces briques technologiques, les difficultés rencontrées et les solutions apportées seront discutés.

2.1. REALISATION DES CONTACTS OHMIQUES

2.1.1. OPTIMISATION DE LA RESISTANCE DE CONTACT

La réalisation des contacts ohmiques avec une faible résistance de contact (R_c) est essentielle pour réduire la résistance à l'état passant du transistor et améliorer ainsi ses performances. Dans le cas des transistors HEMT GaN, cela implique de pouvoir contacter électriquement le 2DEG sans ajouter de résistance électrique supplémentaire, ce qui n'est pas facile compte tenu de la barrière qui sépare le 2DEG de la surface de l'épitaxie. La technique la plus répandue pour réaliser un contact de type n sur GaN est l'utilisation d'un empilement métallique Ti/Al/Ni/Au recuit à haute température pour réduire fortement la résistance de contact [140]–[142]. Aujourd'hui, la moyenne des valeurs de résistance des contacts ohmiques obtenue grâce à cette technique se situe autour de 0,4 $\Omega\cdot\text{mm}$.

Dans le cas de nos épitaxies, la couche superficielle de SiN est localement gravée jusqu'à la surface de la barrière par plasma SF6 RIE directif avant la métallisation. L'empilement métallique qui est déposé par la suite par évaporation, est représenté sur la figure 2-7 : 12nm de titane, 200nm d'aluminium, 40nm de nickel et 100nm d'or. Pendant ces différentes étapes technologiques, il est primordial d'éviter l'oxydation de la surface de la structure afin de ne pas dégrader la résistance des

contacts ohmiques. Différentes techniques sont utilisées au cours du procédé de fabrication pour réduire le phénomène d'oxydation. Tout d'abord, nous faisons en sorte que la gravure du SiN et la métallisation s'enchaînent rapidement pour limiter la formation de l'oxyde natif en surface de la barrière avant le dépôt métallique. Une étape de désoxydation chimique dans une solution à base de HF faiblement concentrée (BOE 7 :1) est réalisée juste avant l'introduction de l'échantillon dans la chambre de métallisation. Pour finir, nous utilisons un plasma d'Argon au sein même de la chambre de métallisation pour graver l'oxyde encore présent à la surface de la barrière juste avant l'évaporation des couches métalliques. Les mesures de résistance de contact effectuées par méthode TLM sur les échelles de résistance ont montré que l'utilisation de l'ensemble de ces techniques permet en moyenne une réduction de la résistance de contact entre 0,1 et 0,2 Ω .mm.

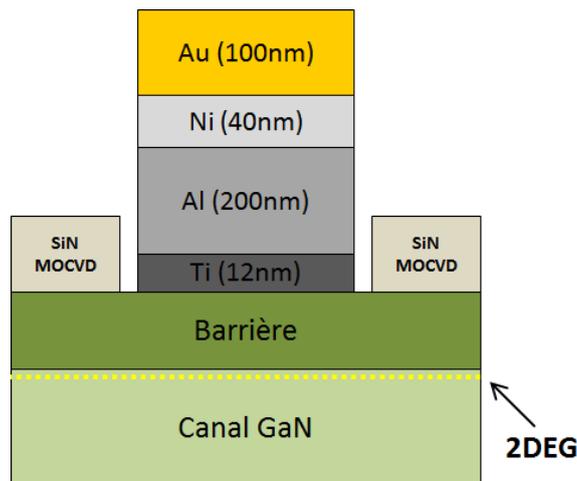


Figure 2-7 : Empilement métallique utilisé pour la réalisation des contacts ohmiques des transistors HEMT GaN

Après la métallisation et le lift-off, on réalise un recuit rapide de l'échantillon à haute température afin de réduire significativement la résistance des contacts ohmiques. Ce recuit, effectué sous atmosphère d'azote, se décompose en 3 phases : la première phase correspond à la montée en température de l'échantillon, fixée à 45°C/s pour ces travaux. Une fois que la température visée est atteinte, elle est maintenue pendant un certain temps (phase 2) puis on procède à la descente en température de l'échantillon (phase 3). Afin d'optimiser la résistance de contact, nous avons étudié l'influence du temps et de la température du recuit de la phase 2. Ces paramètres étant fortement dépendants de la structure des couches actives de l'épitaxie, cette étude a été réalisée à la fois sur des échantillons à barrière d'AlN (structures A et B) et sur des échantillons à barrière d'AlGaN (structure C). Les valeurs moyennes des résistances de contact mesurées par méthode TLM sur les échelles de résistance sont représentées sur la figure 2-8. Les plus faibles valeurs de résistance de contacts ohmiques pour les 2 types de barrière ont été obtenues avec un recuit à 875°C pendant 30s. La valeur moyenne de R_c des échantillons à barrière d'AlGaN (0,42 Ω .mm) reste légèrement supérieure à celle des échantillons à barrière d'AlN (0,34 Ω .mm), ceci étant lié à une épaisseur de barrière plus importante et à une densité d'électrons dans le 2DEG moins élevée. Même si ces valeurs sont relativement satisfaisantes, il devrait être possible de diminuer encore la résistance des contacts ohmiques en effectuant une gravure partielle de la barrière avant la métallisation [143]. Cependant, ce procédé serait extrêmement lourd à mettre en oeuvre puisqu'il nécessiterait l'utilisation d'un autre équipement de gravure (gravure ICP) majorant ainsi le temps et le coût de la réalisation des contacts ohmiques.

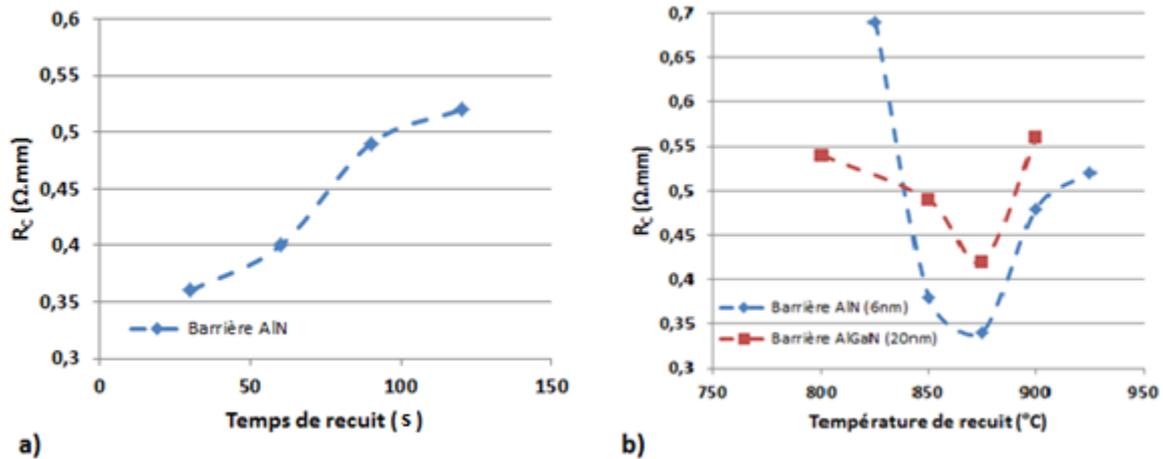


Figure 2-8 : Dépendance de la résistance des contacts ohmiques en fonction du temps de recuit (a) et de la température de recuit (b)

La densité de courant mesurée sur 2 plots de contacts ohmiques de $100\mu\text{m}$ de large et séparés de $5\mu\text{m}$ pour les 3 structures d'épitaxie est représentée sur la figure 2-9. Pour les structures A et B, on retrouve une densité de courant d'environ $2,3\text{A}/\text{mm}$ à 10V , soit environ deux fois plus importante que pour la structure C ($1,2\text{ A}/\text{mm}$). La forte densité de courant mesurée pour les structures à barrière d'AlN reflète la densité d'électrons élevée dans le canal induite par la polarisation électrique de l'AlN. L'absence de non-linéarité pour les basses tensions confirme les faibles valeurs de résistance de contact obtenues pour ces 3 structures.

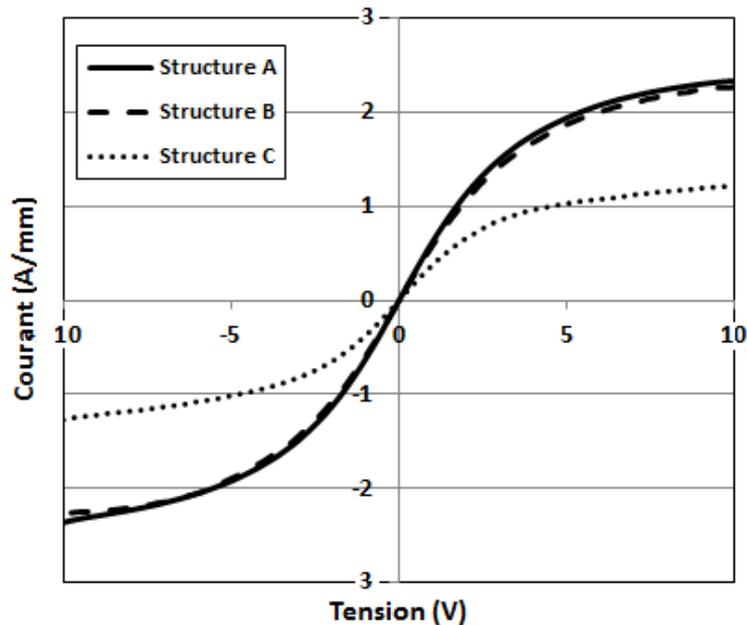


Figure 2-9 : Comparaison de la densité de courant mesurée sur 2 plots de contacts ohmiques de $100\mu\text{m}$ de large et séparés de $5\mu\text{m}$ pour les 3 structures d'épitaxie

2.1.2. OPTIMISATION DE LA MORPHOLOGIE DES CONTACTS OHMIQUES

L'une des difficultés reconnue de l'utilisation de contacts ohmiques de type Ti/Al/Ni/Au pour les transistors HEMT GaN est la diffusion latérale du métal lors du recuit à haute température [142], [144] qui provoque leur déformation. Ce phénomène est plus marqué sur les épitaxies qui possèdent une couche de passivation SiN in-situ. En effet, lors du recuit, les flancs de la couche

superficielle de SiN gravée localement s'opposent à l'expansion latérale du métal, ce qui génère une pression sur les parois du SiN et entraîne la formation de « bavettes métalliques » (figure 2-10a). Ces bavettes dégradent les performances du transistor en créant des capacités parasites supplémentaires et peuvent également conduire à l'apparition de court-circuits entre la source et la grille (figure 2-10b).

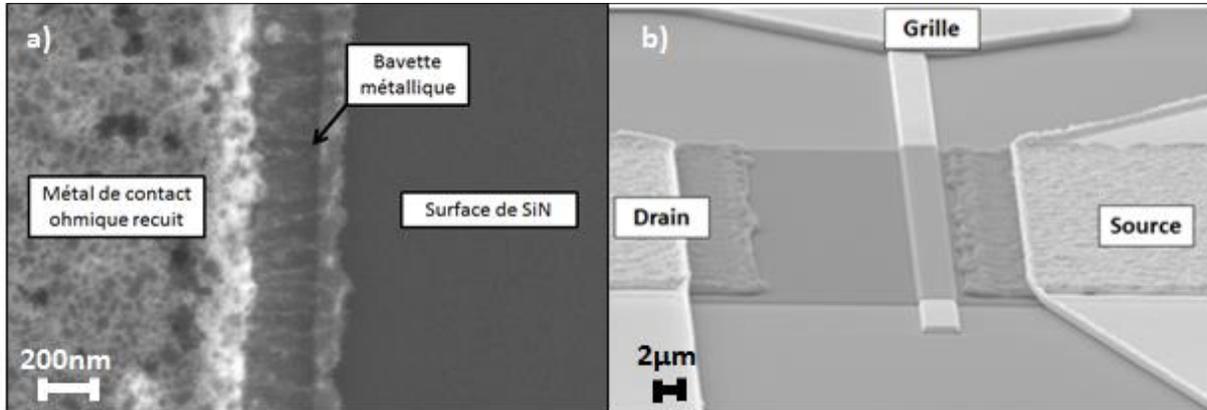


Figure 2-10 : (a) Image MEB vue du dessus d'un contact ohmique recuit ayant conduit à l'apparition de bavettes métalliques (b) Image MEB d'un transistor HEMT GaN vu du dessus. Suite à la diffusion latérale du métal de la source lors du recuit à haute température, la source se retrouve dangereusement proche de la grille du transistor risquant de provoquer un court-circuit

Afin de mieux contrôler la morphologie des contacts ohmiques et d'éviter l'apparition des bavettes métalliques, nous avons pris en compte le phénomène de diffusion latérale du métal lors de la gravure locale du SiN MOCVD qui précède le dépôt métallique : en surgravant la couche SiN lors de cette étape, les flancs de gravure du SiN sont écartés de manière à laisser plus d'espace autour de l'emplacement du contact métallique. Cette surgravure n'a aucune influence sur la profondeur de gravure puisque la vitesse de gravure de la barrière est quasi-nulle dans ces conditions. Ainsi, la diffusion latérale du métal ne rencontre aucun obstacle pendant le recuit, ce qui évite la formation des bavettes et permet d'obtenir une morphologie beaucoup plus homogène (figure 2-11).

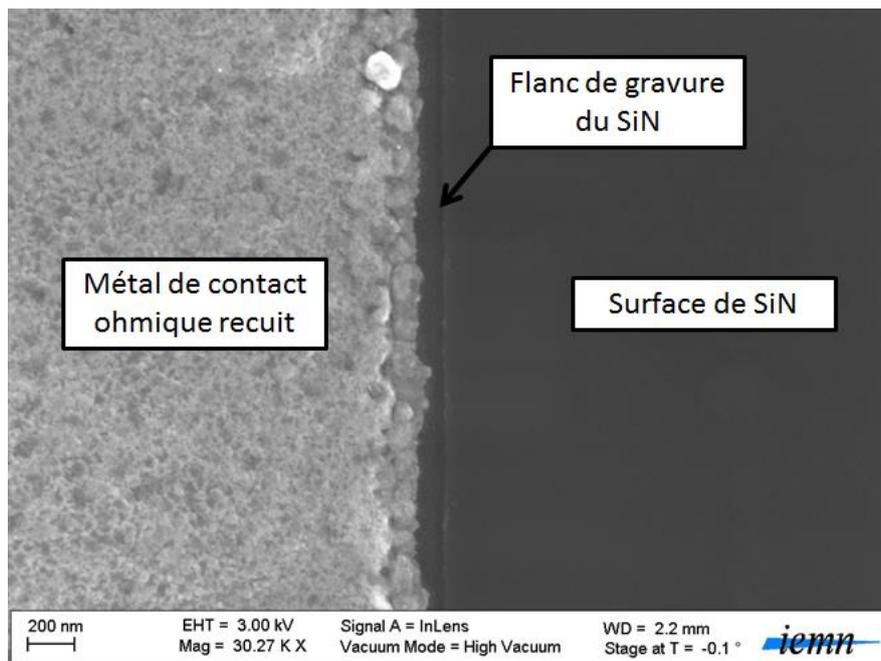


Figure 2-11 : Image MEB d'un contact ohmique recuit vu du dessus. La surgravure visible sur l'image a permis de mieux contrôler la diffusion du métal pendant le recuit thermique

2.1.3. OPTIMISATION DU NETTOYAGE DE LA RESINE

Les étapes de nettoyages sont primordiales dans les procédés de fabrication en microélectronique. Elles interviennent notamment après chaque lithographie pour enlever la résine qui a permis de définir les motifs des composants. D'un point de vue électrique, les résidus de résines peuvent constituer des éléments conducteurs parasites ou des états de charge qui dégraderont les performances du composant [110]. Il est donc essentiel de développer des procédures de nettoyage de haute qualité et adaptées à chaque étape technologique du procédé de fabrication. Les procédures de nettoyage dépendent avant tout du type de résine utilisé mais aussi des procédés de fabrication qui ont été effectués avec cette résine.

Dans le cas du nettoyage pour la réalisation des contacts ohmiques de notre procédé de fabrication, il s'agit de nettoyer la résine qui a permis la gravure locale du SiN MOCVD et le dépôt de métal des contacts ohmiques avant le recuit à haute température. La résine utilisée pour cette lithographie est constituée d'une bicouche LOR10A/UV210 (800nm/400nm). Deux raisons motivent principalement le choix de ces résines. D'une part, cette bicouche permet d'obtenir un profil en casquette qui facilite grandement le lift-off du métal pour obtenir une meilleure définition des contacts ohmiques. D'autre part, la résine UV210, qui est utilisée comme couche supérieure présente d'excellentes propriétés de résistance aux gravures par plasma contrairement aux autres résines pour lithographie électronique. Après l'étape de métallisation, on procède donc au lift-off qui permet à la fois de définir les contacts ohmiques mais aussi de nettoyer la surface de l'échantillon grâce à un solvant spécialement conçu à cet effet.

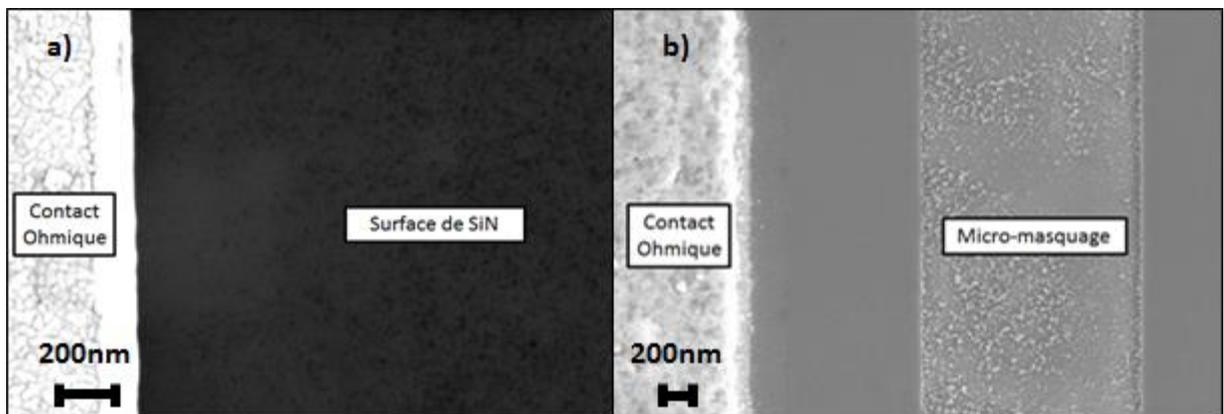


Figure 2-12 (a) Image MEB de la surface d'un échantillon après lift-off. Les taches noires sont des résidus de résines qui n'ont pas pu être dissouts dans le solvant. (b) Image MEB de la surface du même échantillon après gravure du pied de grille. Le micro-masquage a été causé par les résidus de résines provenant de l'étape de réalisation des contacts ohmiques

Cependant, l'utilisation seule de solvant n'est pas totalement efficace dans notre cas pour le nettoyage de la surface comme peut en témoigner la figure 2-12a. Cette image MEB de la surface d'un échantillon met en évidence la présence de résidus de résine après le lift-off (taches noires). La persistance de ces résidus est liée à la polymérisation de la résine lors de l'étape de gravure de la couche superficielle de SiN. Le plasma fluoré utilisé pour cette gravure modifie les propriétés de la résine exposée et la rend plus difficile voire même impossible à dissoudre dans les solvants « classiques ». Ces résidus sont carbonisés pendant le recuit à haute température des contacts ohmiques, ce qui occasionnera par la suite des problèmes de micro-masquage notamment lors de la gravure des pieds de grille des transistors (figure 2-12b). D'autres solutions chimiques plus agressives

existent pour ce type de nettoyage (EKC265, solutions à base d'HF...) mais ne peuvent pas être utilisées dans ce cas pour éviter que le matériau en surface ou les métaux des contacts ohmiques ne soient aussi attaqués par la solution. Les solutions de nettoyage physique telles que les plasmas O₂ ne sont elles-aussi pas recommandées pour les structures HEMT GaN car les défauts engendrés par le plasma à la surface peuvent dégrader les propriétés du 2DEG qui se trouve seulement à quelques nanomètres de la surface.

Pendant nos différents tests de nettoyage, nous avons pu remarquer que l'orientation de l'échantillon dans le bain de solvant avait une influence importante sur l'efficacité du nettoyage. En plaçant l'échantillon dans une position verticale, une grande partie des résidus de polymère ne se redépose pas sur l'échantillon et tombe dans le bécher par gravité. Eventuellement, des ultra-sons peuvent être utilisés pendant le lift-off pour aider à décoller mécaniquement les résidus métalliques ou organiques les plus tenaces. Plusieurs bains successifs de solvant chauffés combinés à l'utilisation d'ultra-sons sont donc réalisés jusqu'à ce que la résine soit totalement dissoute chimiquement dans la solution et que les résidus de résine polymérisés soient entièrement détachés de l'échantillon. Des observations MEB sont systématiquement réalisées pour vérifier l'état de surface de l'échantillon. En appliquant le procédé de nettoyage tel que décrit précédemment, nous avons pu améliorer son efficacité comme en témoigne l'image MEB de la figure 2-13. Ce procédé a donc été appliqué à chaque étape de lift-off du procédé de fabrication des transistors.

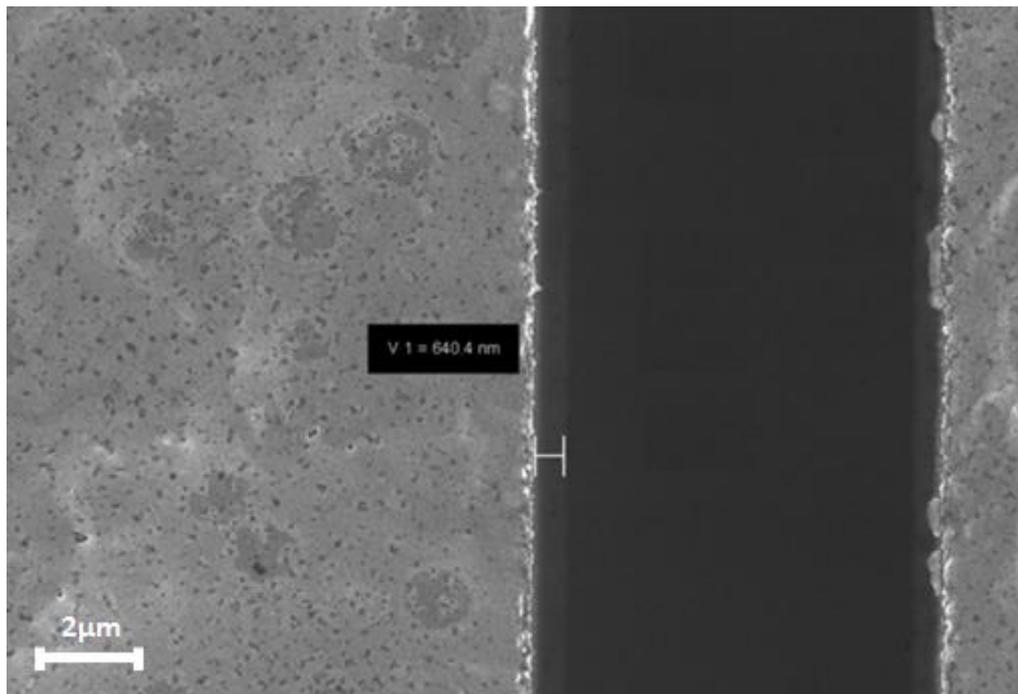


Figure 2-13 : Image MEB de la surface de l'échantillon après optimisation du procédé de nettoyage.

Bien que cette technique de nettoyage ait montré des résultats prometteurs, des études électriques supplémentaires sont nécessaires pour déterminer son influence réelle sur les performances électriques des transistors, notamment sur le courant de fuite et sur les performances dynamiques (R_{on} dynamique) du transistor.

2.2. REALISATION DE LA GRILLE

2.2.1. PRESENTATION DU PROCESS & DES ENJEUX

La grille pouvant être soumise à des conditions extrêmes de fonctionnement à la fois en termes de champ électrique et de température, sa réalisation est l'étape technologique la plus critique du procédé de fabrication des transistors HEMT GaN. Différents types de structures peuvent être utilisés pour la grille selon le type d'application visé. Bien que les structures MOS (Metal-Oxide-Semiconductor) ou MIS (Metal-Insulator-Semiconductor) soient les plus adaptées pour les applications de conversion à haute puissance de par leur faible courant de fuite et la large amplitude de commande de la grille, nous avons travaillé avec une structure de grille de type Schottky, plus simple à développer d'un point de vue technologique. L'introduction d'un oxyde ou d'un isolant sous la grille peut, en effet, amener un certain nombre de difficultés supplémentaires liées à l'apparition d'états d'interface qui dégradent les performances électriques du transistor [108]–[110]. Ce choix nous a donc permis de gagner du temps dans le cadre de cette thèse et de réaliser des composants haute tension fonctionnels plus rapidement. Le développement d'un transistor à structure MOS ou MIS fera néanmoins partie de la continuation de ce travail afin d'améliorer les performances des composants.

La configuration de grille choisie est un design de grille en « T » avec un pied de 50nm de hauteur, de 1,5 μm de largeur et des extensions métalliques de chaque côté du pied de 0,75 μm de largeur (figure 2-14). Le procédé de fabrication des grilles des transistors HEMT GaN est décomposé en 2 temps (figure 2-14). Dans un premier temps, on réalise une lithographie pour graver localement la couche de passivation jusqu'à la surface de la barrière afin de définir le pied de la grille. On utilise pour cela une monocouche de résine de type UV210 comme masque de gravure (400nm). Dans un deuxième temps, après une deuxième lithographie, on métallise l'ensemble de la grille (pied de grille + field-plates) pour former la grille en « T ».

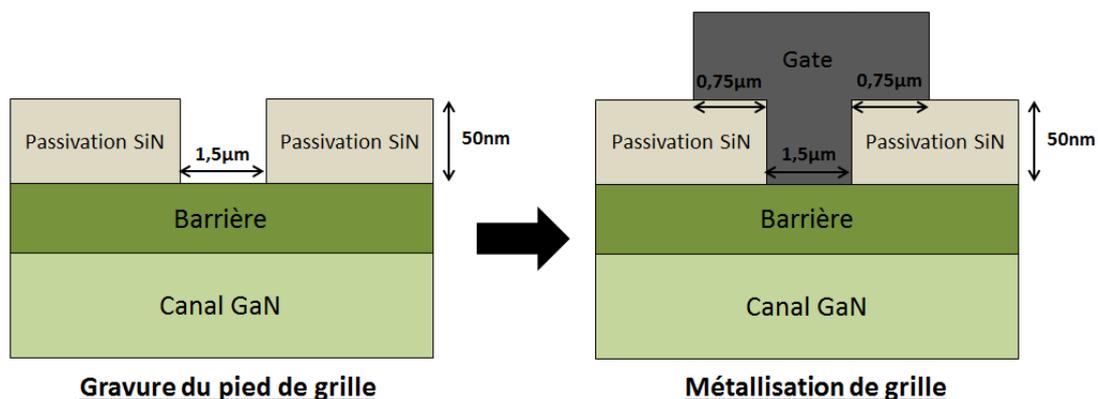


Figure 2-14 : Procédé de réalisation des grilles des transistors HEMT GaN de puissance

La réalisation de ce procédé constitue un réel challenge d'un point de vue technologique. D'une part, la définition du pied de grille par gravure de la couche SiN est extrêmement critique de par la proximité du 2DEG avec la surface de la barrière. La technique de gravure employée doit être parfaitement maîtrisée de manière à générer un minimum de dommage en surface de la barrière afin de ne pas dégrader les propriétés du 2DEG. D'autre part, comme pour les contacts ohmiques, le procédé de fabrication des grilles souffre également des problèmes liés à la polymérisation de la résine pendant la gravure du pied de grille (figure 2-15). Dans ce cas précis, les étapes de nettoyage

sont d'autant plus importantes que les résidus de résines peuvent se redéposer dans le fond des pieds de grille, à l'interface entre le métal de grille et la surface de la barrière (figure 2-15b), ce qui peut provoquer le claquage prématuré des transistors.

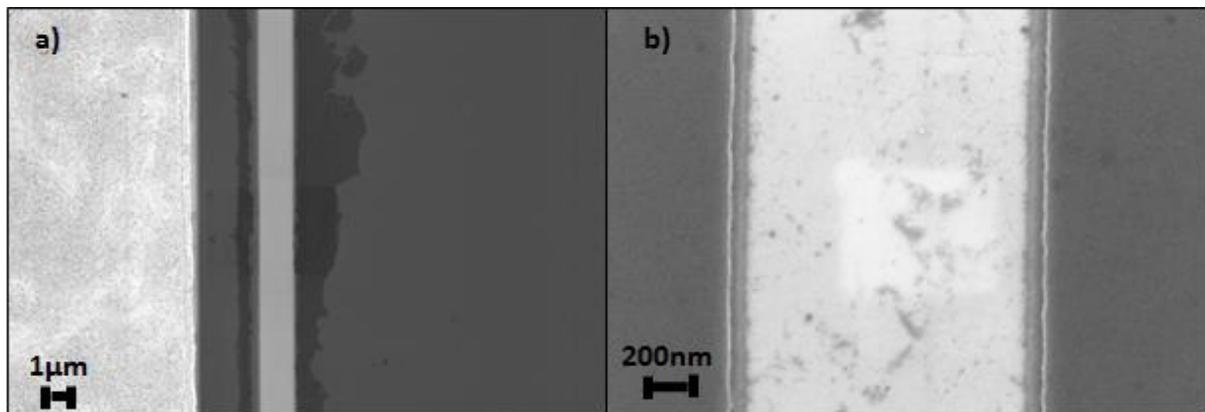


Figure 2-15 : Images MEB mettant en évidence les redépôts de résidus de résine polymérisés (taches noires) suite à la gravure des pieds de grille (a) sur la surface de SiN (b) dans le fond des pieds de grille.

2.2.2. GRAVURE DU PIED DE GRILLE

Afin de répondre aux exigences de la gravure des pieds de grille, nous avons développé un procédé de gravure physique ICP-RIE. Cette technique permet d'engendrer le profil de gravure anisotrope désiré pour définir les pieds de grille tout en conservant une énergie de bombardement ionique faible pour ne pas endommager physiquement la surface de la barrière. Comme pour la gravure des contacts ohmiques, l'utilisation d'un plasma SF_6 est parfaitement adaptée car le SF_6 présente une sélectivité de gravure extrêmement importante entre le SiN et la barrière. La combinaison de ces avantages permet d'obtenir un fond de gravure d'excellente qualité comme on peut le voir sur l'image AFM de la figure 2-16. La rugosité du fond de gravure engendrée par ce procédé est extrêmement faible ($<0,5 \text{ nm rms}$) ce qui laisse envisager la présence d'une faible densité d'états à l'interface entre la barrière et le métal de grille. Des études complémentaires seront nécessaires pour valider cette hypothèse.

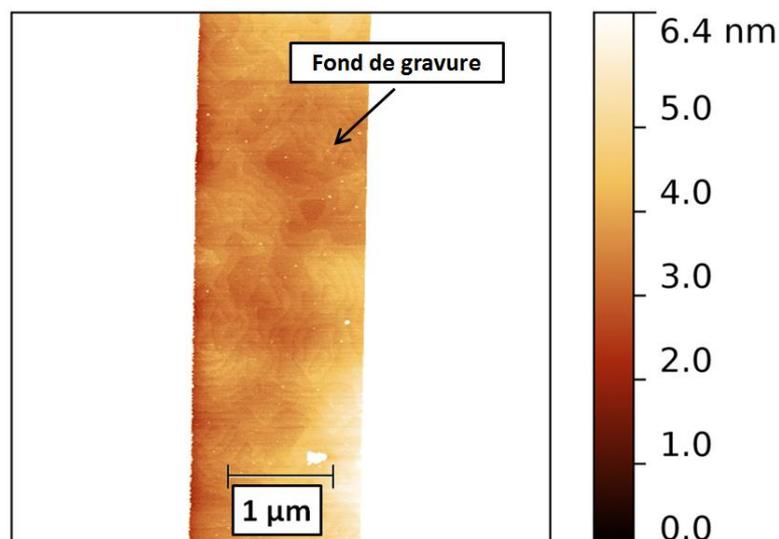


Figure 2-16 : Image AFM du fond de gravure d'un pied de grille. L'excellente qualité de l'image ainsi que la faible rugosité de surface permet même de distinguer les terrasses atomiques à la surface de la barrière.

Les gravures ICP sont extrêmement sensibles aux conditions extérieures telles que l'état de conditionnement de la chambre ou encore le type de support utilisé pendant la gravure. Pour la gravure des pieds de grille, nous utilisons un porte substrat oxydé (LTO) dont la vitesse de gravure par plasma fluoré est trop faible pour modifier la chimie de gravure du SiN. Avant de réaliser chaque gravure, la chambre doit impérativement être nettoyée et préconditionnée pour saturer l'atmosphère de la chambre en espèces chimiques désirées lors de la gravure et s'assurer de l'absence d'impuretés. Nous réalisons également un prétraitement chimique de l'échantillon afin de désoxyder la surface à l'aide d'une solution à base de HF faiblement concentrée (BOE 7 :1) et éviter le phénomène de retard à la gravure [145].

Afin de réduire au maximum les dommages engendrés en surface de la barrière, il convient de travailler avec de très faibles puissances RIE pour réduire l'aspect physique de la gravure et privilégier l'aspect chimique, moins agressif. Les images AFM du pied de grille obtenues après gravure sont représentées figure 2-17. Ces mesures AFM permettent de confirmer le profil vertical de la gravure du SiN ainsi que la faible rugosité du fond de gravure ($<0,5$ nm *rms*) qui témoigne du bon état de la surface. Des mesures électriques seront néanmoins nécessaires pour confirmer la non-dégradation des propriétés du 2DEG sous la grille. Cet outil permet également de mesurer précisément la profondeur de gravure pour s'assurer que nous avons bien gravé entièrement la couche de passivation.

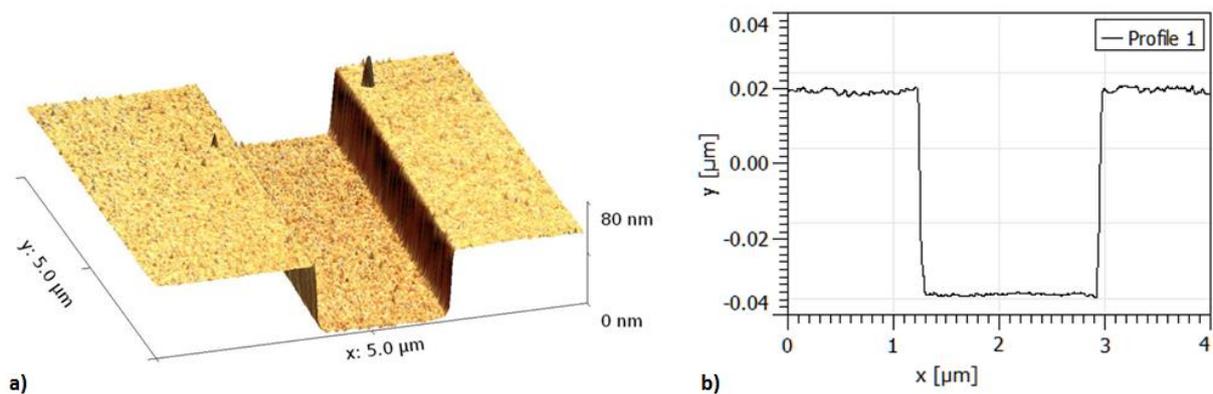


Figure 2-17 : (a) Image AFM 3D de la gravure du pied de grille (b) Profil AFM de gravure du pied de grille

2.2.3. NETTOYAGE & METALLISATION DE LA GRILLE

Malgré les précautions prises pendant la gravure des pieds de grille (plasma à faible puissance, utilisation de l'UV210), le phénomène de polymérisation de la résine et les difficultés de nettoyage qu'il engendre restent un problème majeur pour la réalisation des grilles des transistors. Pendant les étapes de nettoyage, les résidus de résine non dissous dans les bains de solvant se redéposent en partie à l'intérieur des pieds de grille et provoquent le claquage prématuré des transistors. La résine étant sensible aux électrons, le MEB permet de mettre en évidence sa présence, même en infime quantité, à la surface de l'échantillon comme le montre la figure 2-18. Là aussi, comme pour les contacts ohmiques, aucune technique de nettoyage physique ne peut être utilisée pour éviter d'endommager la surface de la barrière.

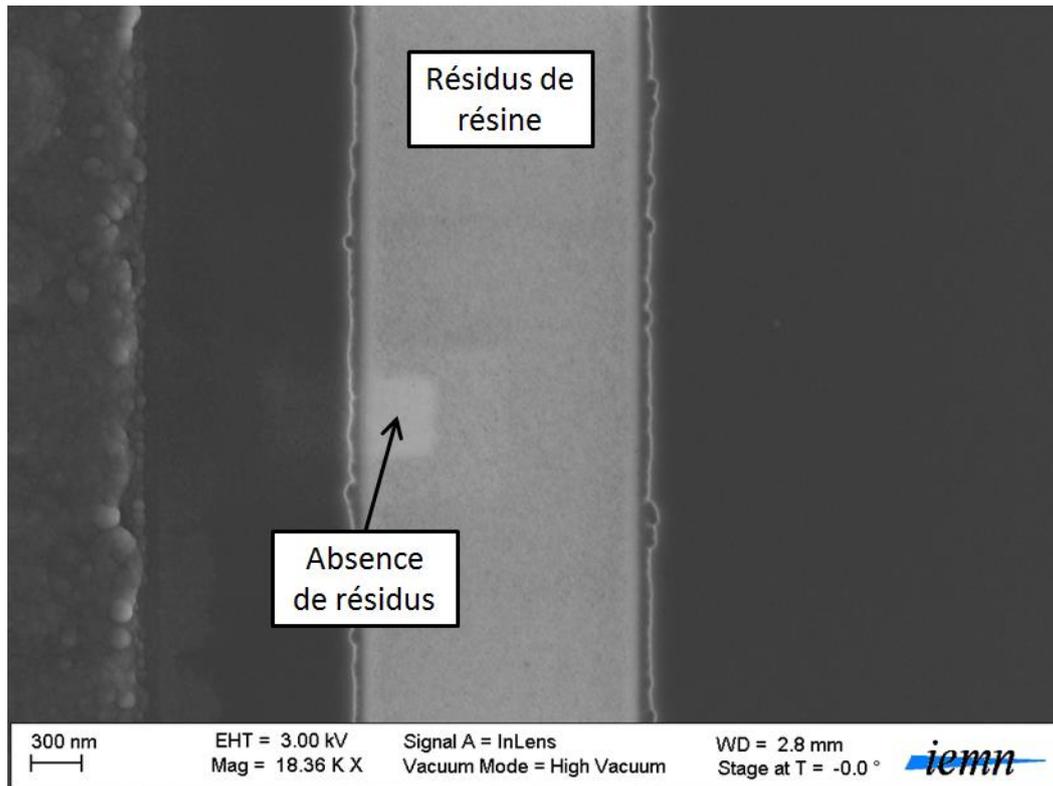


Figure 2-18 : Image MEB de la gravure du pied de grille après nettoyage dans les solvants.

Afin d'éviter la redéposition de résine polymérisée pendant le nettoyage, nous réalisons la métallisation des grilles en deux étapes (figure 2-19). Dans un premier temps, on effectue une prémétallisation par évaporation métallique juste après la gravure des pieds de grille. Cette prémétallisation consiste en un dépôt Ni/Au relativement fin (30nm/10nm) étant donné qu'il n'y a qu'une monocouche de résine pour effectuer le lift-off du métal. La couche de nickel permet de former le contact Schottky avec la surface de la barrière et une fine couche d'or est déposée à la surface pour éviter l'oxydation du métal à l'air ambiant. Les couches métalliques sont déposées avec un angle de 7 degrés avec rotation afin d'épouser correctement le fond des motifs des pieds de grille. Dans un deuxième temps seulement, on complète la métallisation de grille avec 40nm de nickel utilisé comme couche d'accroche et 200nm d'or pour protéger la grille de l'oxydation. Cette prémétallisation est extrêmement avantageuse car elle permet de protéger la surface des pieds de grille à la fois de la redéposition de résine pendant le nettoyage dans les solvants, mais aussi de l'oxydation qui peut modifier la nature de l'interface métal/semiconducteur. De plus, le fait d'utiliser la monocouche de résine d'UV210 pour réaliser le lift-off de la prémétallisation permet de nettoyer plus efficacement l'échantillon puisque les résidus de résines polymérisés restent collés au métal pendant le lift-off et seront redéposés en moindre quantité sur l'échantillon.

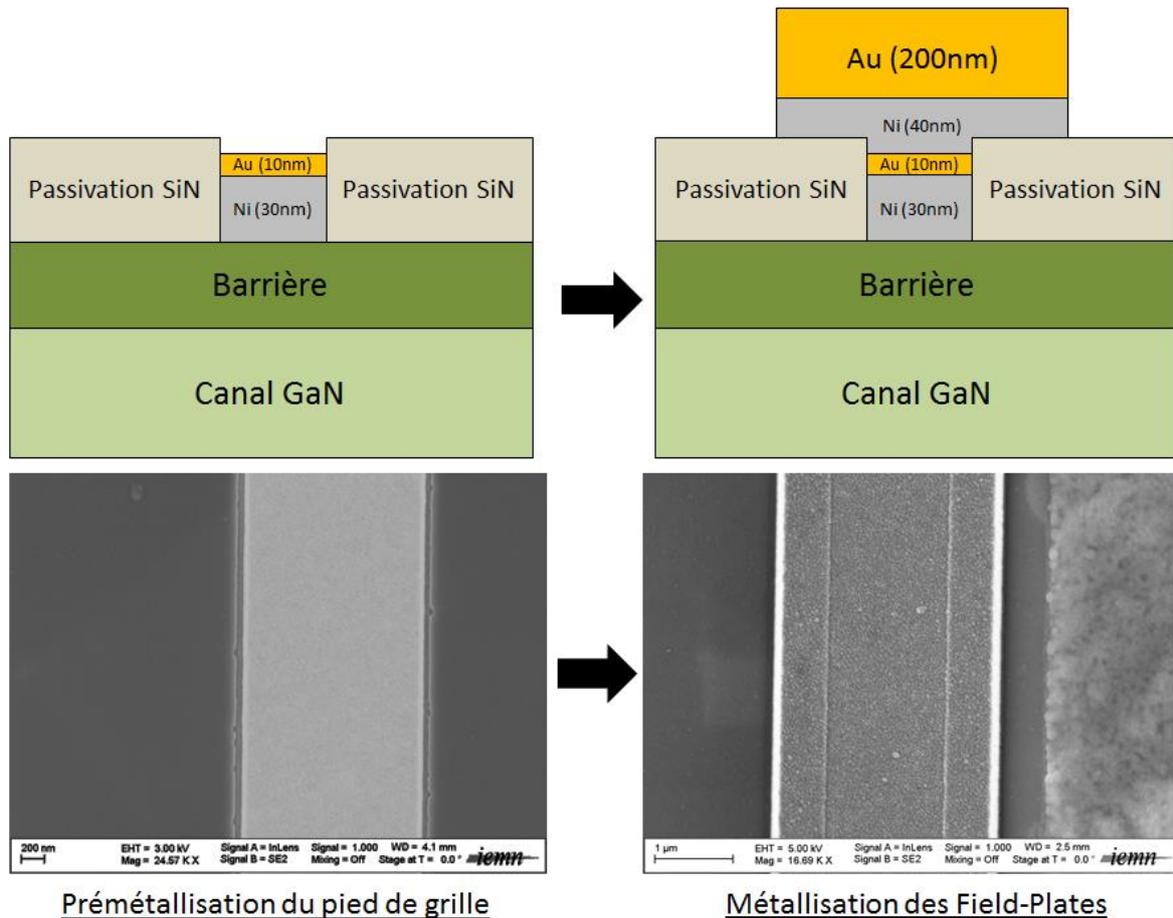


Figure 2-19 : (En haut) illustration des étapes de métallisation de la grille. (en bas) Images MEB d'une grille vue du dessus pendant les différentes étapes de métallisation.

La réalisation des grilles est systématiquement suivie d'une caractérisation électrique des diodes circulaires (structures tests) pour valider ces étapes technologiques. Ces mesures permettent de s'assurer de la bonne qualité des contacts Schottky et de détecter d'éventuels problèmes qui pourraient être causés par le procédé de fabrication ou par l'épitaxie. En polarisant la diode en direct (tension positive appliquée sur la diode), la barrière de potentiel Schottky métal/semiconducteur se réduit, ce qui se traduit par une augmentation exponentielle du courant à partir d'un certain seuil de tension correspondant à la hauteur de barrière. On retrouve ainsi deux caractéristiques électriques bien distinctes pour les structures à barrière d'AlN (structures A, B) et à barrière d'AlGaIn (structure C) comme on peut le voir sur la figure 2-20a (mesures réalisées sur des diodes circulaires de 60µm de diamètre). La tension de seuil des structures A et B (1,8V) est bien plus élevée que celle de la structure C (0,9V) du fait de la hauteur plus importante de la barrière Schottky avec l'AlN (comparativement à l'AlGaIn). La caractéristique électrique de la diode en inverse permet de mettre en évidence la présence de résidus de résine ou d'autres éléments non désirés à l'interface entre le métal et le semiconducteur qui, le plus souvent, provoquent une dégradation du courant de fuite inverse et de la tenue en tension de la diode Schottky. La figure 2-20b représente les caractéristiques Schottky en inverse de diodes de 60µm de diamètre pour les trois structures d'épitaxie A, B et C. Jusqu'à 200V, le courant de fuite de ces diodes reste faible (<10mA/cm²) et relativement similaire pour chaque épitaxie. A haute tension, ces observations ont été confirmées par les mesures de courant de fuite réalisées sur les transistors pour chacune des structures.

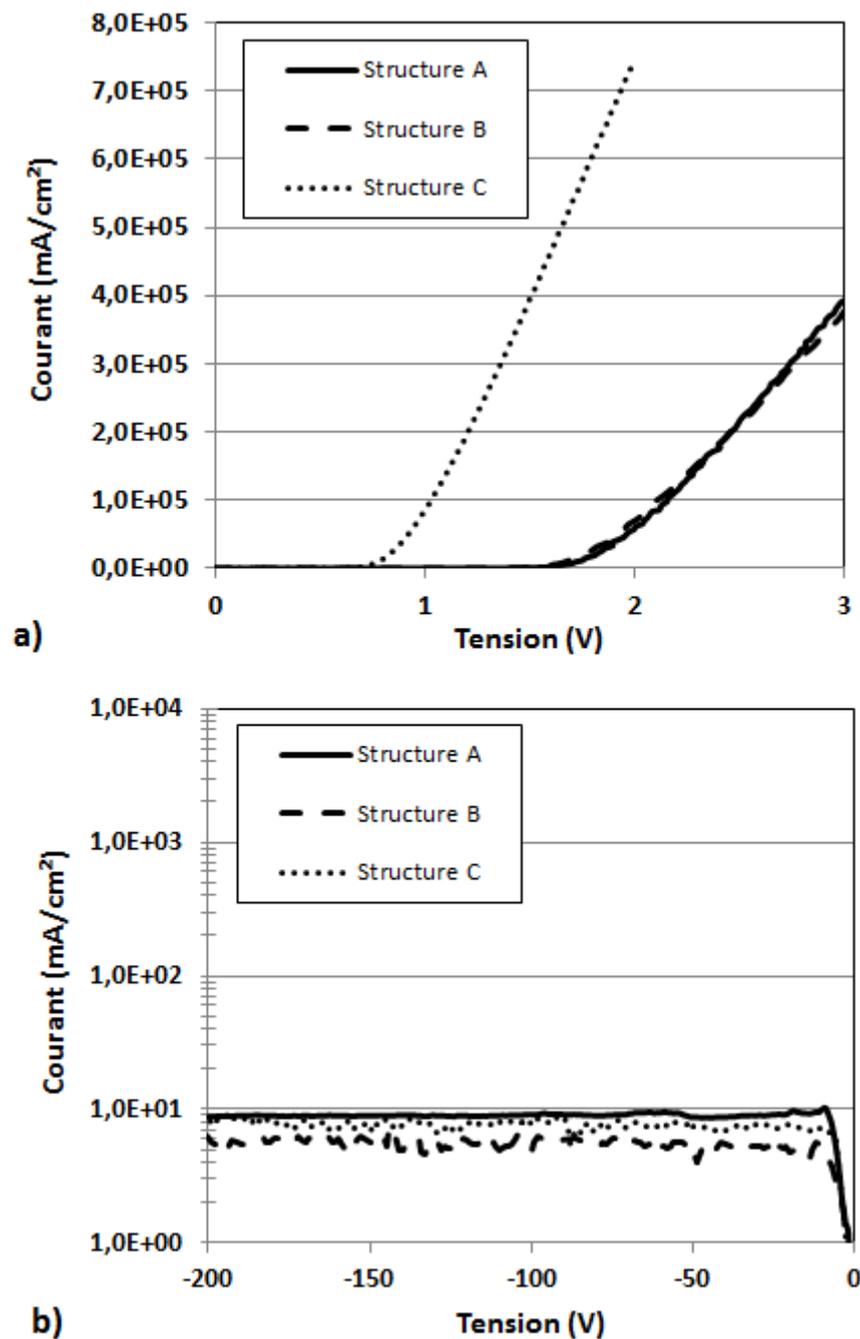


Figure 2-20 : Caractéristiques électriques des diodes Schottky en direct (a) et en inverse (b) pour les structures A,B et C. Les diodes Schottky sont des diodes circulaires de 60μm de diamètre.

2.3. ISOLATION

Il existe principalement deux méthodes d'isolation pour les composants HEMT GaN : l'isolation par implantation ionique et l'isolation par gravure de méso. La gravure de la méso est généralement effectuée à l'aide d'une gravure à plasma chloré (Cl_2 , BCl_3). Comme toutes les gravures physiques, ce procédé endommage inévitablement la surface de l'échantillon, générant des états d'énergie à la surface et sur les flancs de la gravure. Sous fort champ électrique, l'activation de ces états d'énergie peut dégrader les performances statiques et dynamiques [146] des transistors en générant une conduction parasite qui augmente le courant de fuite et diminue la tenue en tension des composants

[147]. De plus, la gravure de la méso aura tendance à complexifier la conception des circuits des convertisseurs de puissance de par le dénivelé engendré à la surface du wafer, ce qui a poussé notamment les industriels à rechercher d'autres solutions plus performantes et plus avantageuses du point de vue de la fabrication. L'isolation par implantation ionique est une excellente alternative puisqu'il s'agit d'une technologie planaire. Elle consiste à bombarder la surface de l'échantillon par des ions à haute énergie qui viennent casser les liaisons interatomiques du matériau jusqu'à une certaine profondeur et créer des ruptures de liaison atomique afin de rendre le matériau résistif. Bien que l'isolation par implantation montre de meilleurs résultats électriques (dynamiques et statiques) [146], [147], sa réalisation d'un point de vue technique est plus coûteuse et chronophage (à l'IEMN) que la gravure du méso. Ainsi, nous avons développé les 2 procédés d'isolation dans le but d'utiliser la gravure du méso pour les échantillons tests ou d'évaluation de l'épitaxie et de réserver l'isolation par implantation pour la fabrication des composants à haute tension.

Une fois que le procédé technologique est terminé, on utilise les barres d'isolation présentes sur le masque pour vérifier l'isolation électrique entre 2 plots de contacts ohmiques. Ces mesures électriques peuvent mettre en évidence un problème d'isolation lié au procédé technologique ou à une mauvaise résistivité du buffer.

2.3.1. ISOLATION PAR IMPLANTATION D'AZOTE

L'isolation par implantation peut être réalisée avec différentes espèces ioniques telles que H, He, N, O, Zn... [138], [148]. En raison du budget thermique élevé des procédés de fabrication des transistors HEMT GaN (lié au recuit à haute température des contacts ohmiques), de nombreuses études ont porté sur la stabilité thermique de l'isolation en fonction du type d'ions utilisés pour l'implantation [148], [149]. Pour notre procédé de fabrication, cette problématique est moins importante puisque le recuit des contacts ohmiques est effectué avant l'étape d'isolation, ce qui permet d'éviter de dégrader l'isolation électrique des composants. Nous avons donc développé un procédé d'implantation par azote qui présente un coût inférieur aux autres espèces ioniques utilisables à l'IEMN.

Le procédé technologique d'isolation par implantation est décrit figure 2-21. On procède d'abord à une lithographie avec une bicouche de résine S1828/LOR10A (2600nm/800nm) pour protéger la zone active du transistor. Après révélation de la résine, on effectue une gravure RIE à plasma SF₆ de l'ensemble des couches de SiN jusqu'à la surface de la barrière puis on réalise l'implantation d'azote dont les paramètres seront présentés dans le paragraphe suivant. Un système de refroidissement pendant le processus d'implantation permet de limiter l'échauffement de la surface de la résine qui est soumise au bombardement ionique. Après implantation, on réalise un plasma oxygène RIE pour décaper la surface de résine brûlée puis l'échantillon est placé dans un bain de solvant pour nettoyer le reste des couches de résine.

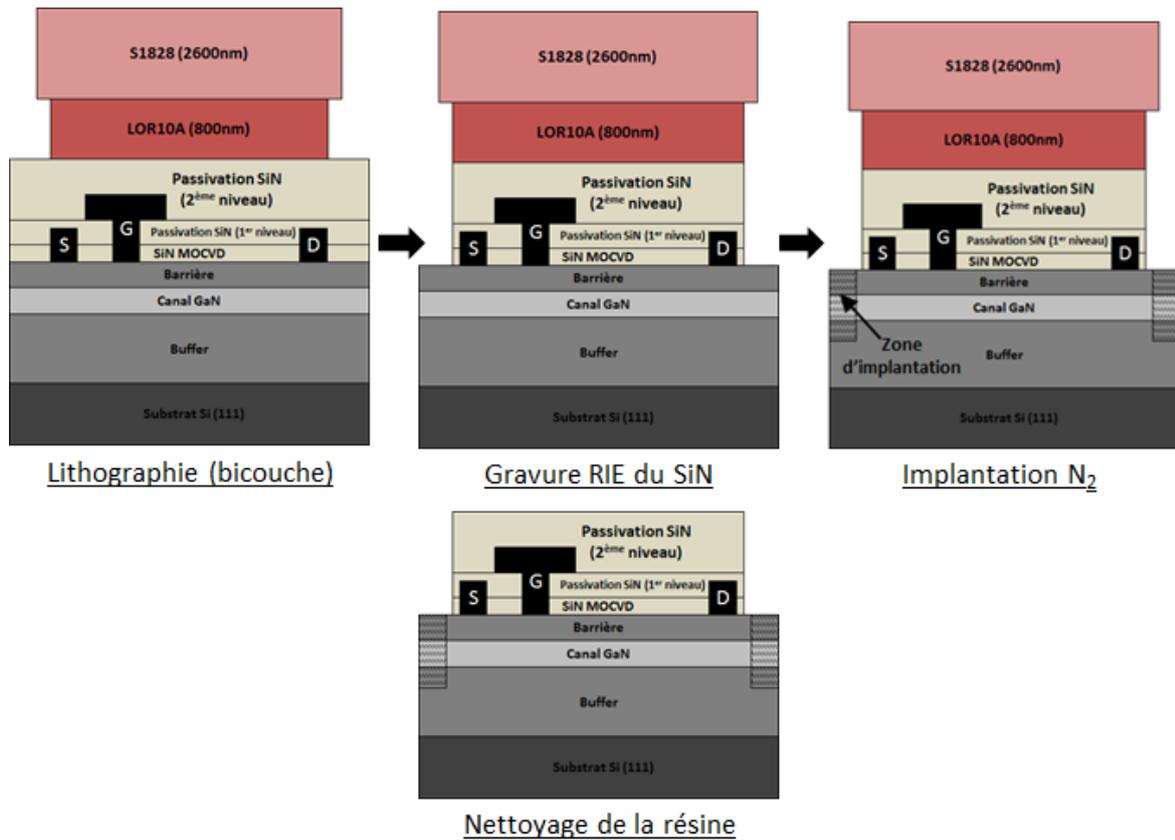


Figure 2-21 : Illustration du procédé d'isolation par implantation des transistors

L'implantation d'azote est optimisée à 4 énergies et 4 doses différentes afin d'obtenir une région isolée ultra-résistive. Une simulation SRIM (Stopping and Range of Ions in Matter) a permis de calculer la densité de lacunes produite à différents niveaux d'énergie et doses utilisées dans notre procédé en fonction de la profondeur (figure 2-22). Pour cette simulation, le matériau a été assimilé à du GaN pour faciliter les calculs. Les résultats montrent que la densité de lacunes dans le GaN reste relativement élevée ($>10^{22} \text{cm}^{-3}$) jusqu'à une profondeur de 300nm, ce qui permet d'isoler totalement la région du canal d'électrons.

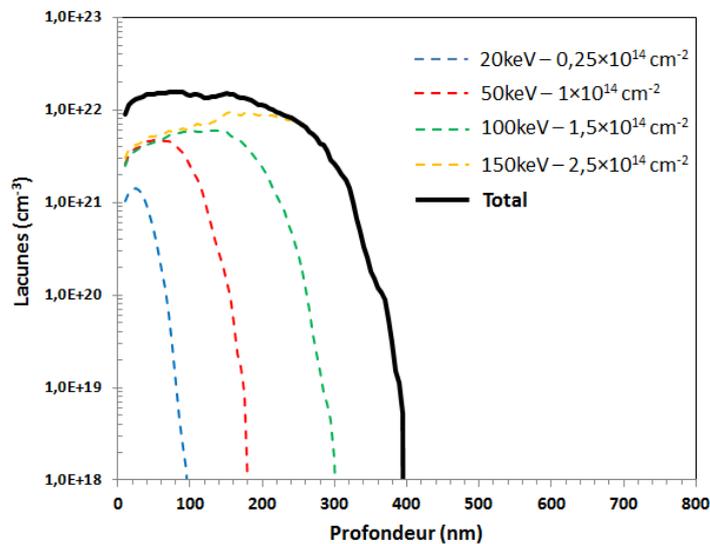


Figure 2-22 : Simulation SRIM de la densité de lacunes générée en fonction de l'énergie et la dose d'implantation d'azote dans le GaN

Les mesures sur les barres d'isolation des structures tests permettent de vérifier l'efficacité du procédé d'isolation. La mesure du courant de fuite entre deux plots de contact ohmique correctement isolés donne également une bonne indication sur la résistivité du buffer qui doit être la plus élevée possible. Sur la figure 2-23, nous comparons le courant électrique mesuré entre deux plots de contact ohmique de 100 μm de large et séparés de 5 μm pour les trois structures d'épitaxie A, B et C. Le courant de fuite reste extrêmement faible jusqu'à 200V (<100nA/mm) pour les trois structures, ce qui confirme l'efficacité de l'implantation ionique et la qualité des buffers. Des mesures à plus haute tension sont néanmoins nécessaires afin de différencier la résistivité de chacun de ces buffers.

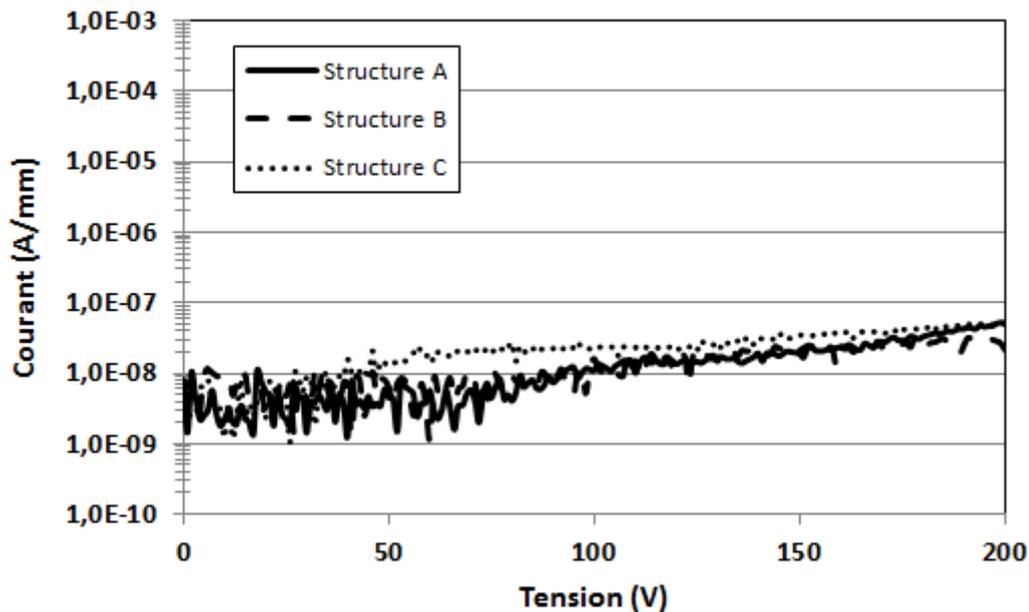


Figure 2-23 : Comparaison de l'isolation électrique entre 2 plots de contact ohmique de 100 μm de large et séparés de 5 μm .

2.3.2. ISOLATION PAR GRAVURE DU MESA

Le procédé technologique d'isolation par gravure du méso est décrit sur la figure 2-24. On dépose dans un premier temps une couche de 300nm de SiO₂ à 300°C qui servira de masque pour la gravure du méso. Dans un deuxième temps, on dépose une couche de résine S1828 de 2,6 μm avec laquelle on définit les motifs par lithographie optique qui seront ensuite transférés dans les couches de SiO₂ et de SiN par gravure RIE à plasma SF₆. La vitesse de gravure du SiO₂ est assez faible pour ce type de gravure malgré les puissances mises en jeu (10min à 150W), ce qui a tendance à polymériser fortement la résine. Pour nettoyer la résine, on effectue plusieurs bains de solvant successifs puis un plasma O₂ RIE qui permet de retirer efficacement les résidus polymérisés. Ce traitement n'aura aucun impact sur les performances des transistors puisque la surface de la zone active des composants est protégée par le masque SiO₂. On grave ensuite 250nm du reste de l'épitaxie (barrière, canal et buffer) afin de couper le 2DEG en dehors des zones actives et de définir les méso des transistors. Cette gravure est réalisée à l'aide d'un plasma ICP dont les paramètres sont discutés dans le paragraphe suivant. On termine le procédé de fabrication en gravant chimiquement la couche de SiO₂ dans une solution de HF faiblement diluée (BOE 7:1).

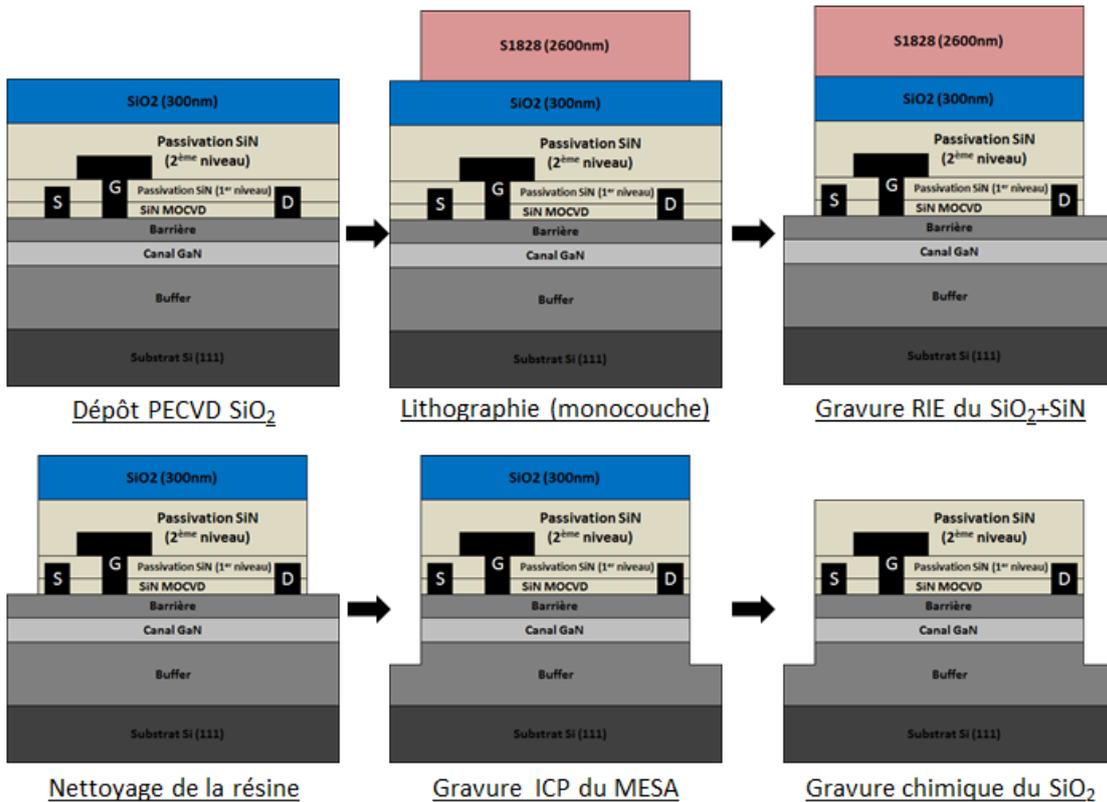


Figure 2-24 : Illustration du procédé de réalisation de la gravure du méso

Le GaN étant un matériau quasiment inerte chimiquement, seules les gravures physiques permettent de graver efficacement ce matériau. Si quelques procédés de gravure reportés dans la littérature sont réalisés avec des composés fluorés (SF_6 [150]), les plus répandus utilisent des composés chlorés (BCl_3 [151], SiCl_4 [151], Cl_2 [152]). Pour la gravure de la méso, nous avons développé une gravure ICP à base de Cl_2 et d'Ar dont les paramètres sont les suivants : $T = 20^\circ\text{C}$, $p = 15 \text{ mTorr}$, $\text{Gaz} = \text{SF}_6$ (20 sccm), $P_{\text{RIE}}/P_{\text{ICP}} = 0\text{W}/0\text{W}$. Avant la gravure, un nettoyage et un conditionnement sont effectués pour préparer la chambre et obtenir des conditions de gravure similaires d'un échantillon à l'autre. Le choix du porte-substrat s'est avéré être déterminant pour la gravure. En utilisant un porte-substrat oxydé, nous avons pu observer un phénomène de micro-masquage très prononcé sur l'ensemble de la surface des zones gravées (figure 2-25). Le micro-masquage engendre une importante rugosité de surface qui peut se traduire électriquement par une dégradation de l'isolation des composants.

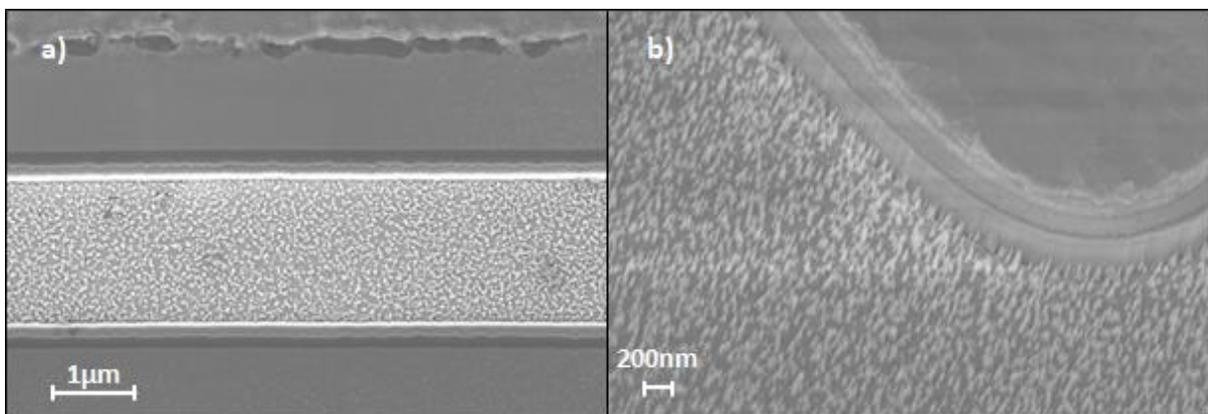


Figure 2-25 : Image MEB vue du dessus (a) et vue de profil (b) de la gravure du méso réalisée avec un porte-substrat oxydé

En réalité, ce phénomène met en évidence la présence d'oxygène résiduel issu de la pulvérisation de l'oxyde du porte-substrat pendant la gravure [145]. L'oxygène qui est libéré dans la chambre oxyde localement la surface de l'échantillon, ce qui génère du micro-masquage étant donné que la gravure de l'oxyde est beaucoup plus lente que celle du GaN (environ dix fois plus lente avec nos conditions de gravure). Cette problématique est totalement résolue en ayant recours à un porte substrat en Si non-oxydé qui permet de retrouver une surface de gravure plane et non-rugueuse comme on peut le voir sur la figure 2-26.

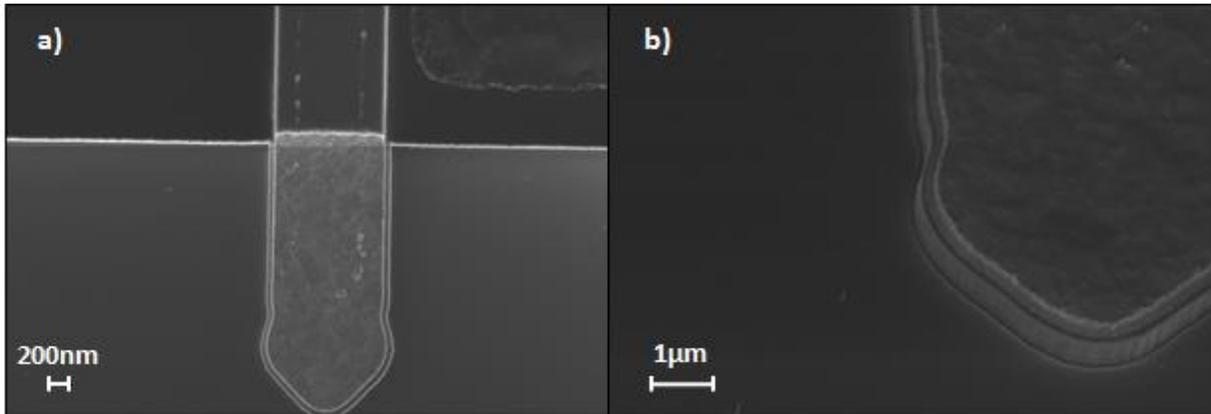


Figure 2-26 : Image MEB vue du dessus (a) et vue de profil (b) de la gravure du méso réalisée avec un porte-substrat non oxydé.

Les mesures du courant de fuite des plots d'isolation des structures tests ont permis d'étudier la qualité de l'isolation par la technique de gravure du méso par rapport à l'implantation ionique (figure 2-27).

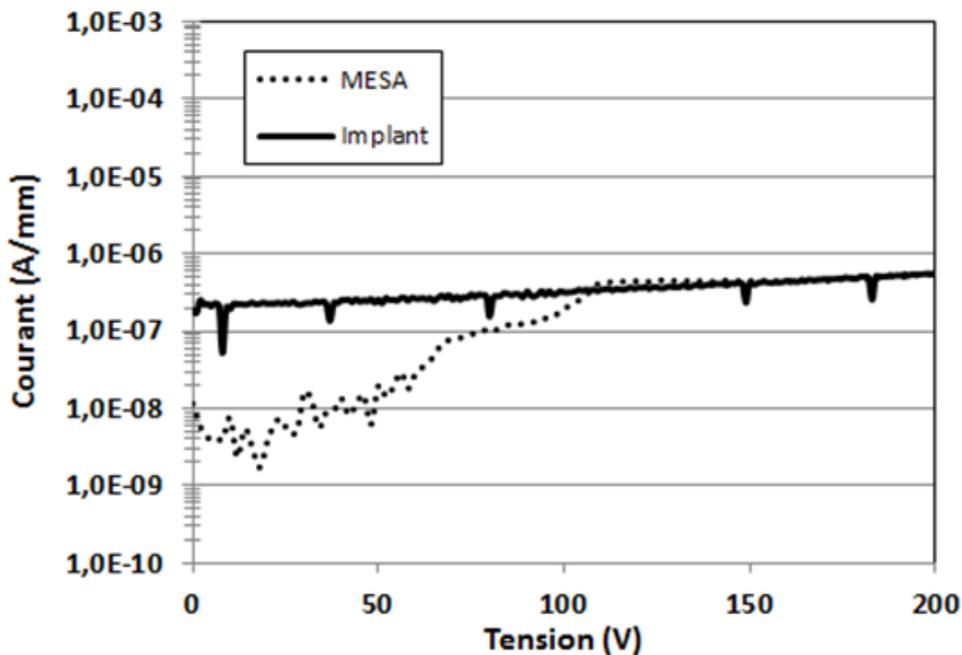


Figure 2-27 : Comparaison du courant de fuite entre 2 plots de contacts ohmiques de 100µm de large et distants de 5µm, isolés par gravure du méso et par implantation ionique sur une même épitaxie.

Nous comparons le courant de fuite entre deux plots de contact ohmique (larges de 100µm, séparés de 5µm) isolés par gravure du méso et par implantation pour une même épitaxie. Dans le cas de la méso, le courant de fuite évolue en deux temps : on retrouve une première phase avec un courant de

fuite extrêmement faible (proche de 1 nA en valeur absolue ce qui correspond au seuil de détection de l'équipement). On observe ensuite une augmentation brutale du courant de fuite. Cette évolution correspond à la propagation verticale du champ électrique sous les plots d'isolation : pour les plus faibles valeurs de tension, le champ électrique est trop faible et reste confiné sous le contact ohmique. A partir d'une certaine tension, le champ électrique atteint la zone sous la méssa ce qui permet à une partie des électrons de transiter d'un plot d'isolation à l'autre à travers le buffer, d'où l'augmentation brutale du courant de fuite. Au-delà de cette valeur de tension, on retrouve ainsi un courant de fuite similaire à celui de l'implantation ionique qui correspond au courant de fuite dans le buffer. Ces mesures démontrent l'efficacité de ce procédé d'isolation pour les basses tensions. Une étude à haute tension est cependant nécessaire pour confirmer la qualité de l'isolation à plus fort champ électrique [147].

3. DEVELOPPEMENT DE LA GRAVURE LOCALISEE DU SUBSTRAT

3.1. PRESENTATION DES MOTIFS DE GRAVURE FACE-ARRIERE

Bien que plusieurs publications aient rapporté l'utilisation de la gravure locale du substrat pour améliorer les performances du transistor [89], [91], aucune d'entre elles n'indique précisément le design des motifs de gravure optimal pour supprimer de façon efficace la conduction parasite des transistors dans le substrat. Pendant ces travaux, nous avons pu tester cinq différents designs et comparer leur influence sur le comportement électrique des transistors. Le choix du design de ces motifs ainsi que les résultats électriques associés seront présentés dans le chapitre suivant.

3.1.1. MOTIF 1 : BARRES PARALLELES

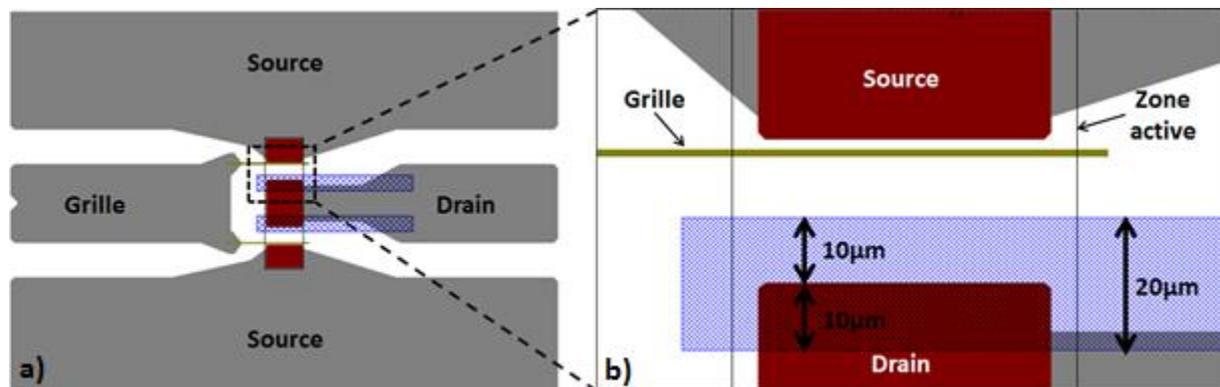


Figure 2-28 : (a) Motif de gravure en barres parallèles. (b) Zoom sur la zone active

Le motif 1 correspond à une simple tranche rectiligne de 200µm de long et 20µm de large qui traverse entièrement la largeur de la zone active (figure 2-28a). Elle est située entre la grille et le drain du transistor en débordant de 10µm sous le contact de drain et de 10µm vers la grille (figure 2-28b).

3.1.2. MOTIF 2 : GRAND RECTANGLE AUTOUR DU DRAIN A LARGEUR FIXE

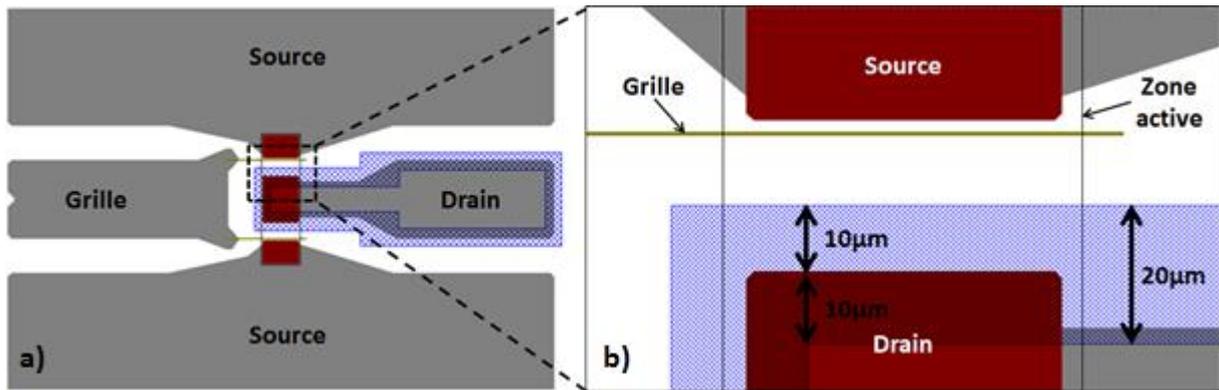


Figure 2-29 : (a) Motif de gravure en grand rectangle autour du drain à largeur fixe. (b) Zoom sur la zone active

Le motif 2 correspond à un rectangle gravé tout autour du pad de drain dont la largeur est de $20\mu\text{m}$ (figure 2-29a). En dehors de la zone active, le motif de gravure est situé en partie sous le pad de drain. A l'intérieur de la zone active, le motif est situé entre la grille et le drain du transistor en débordant de $10\mu\text{m}$ sous le contact de drain et de $10\mu\text{m}$ vers la grille (figure 2-29b).

3.1.3. MOTIF 3 : GRAND RECTANGLE AUTOUR DU DRAIN INCLUANT LA GRILLE

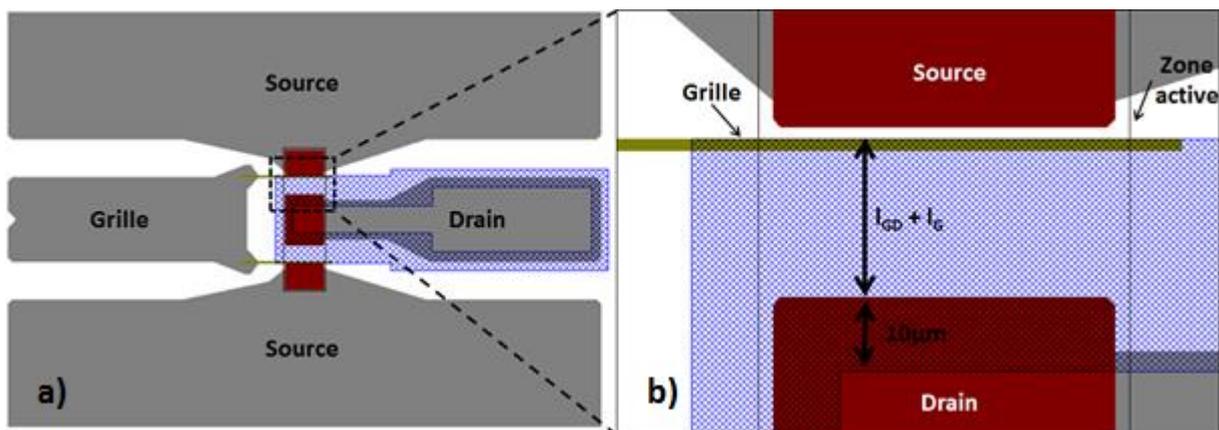


Figure 2-30 : (a) Motif de gravure en grand rectangle autour du drain en incluant la grille. (b) Zoom sur la zone active

Le motif 3 correspond à un rectangle gravé tout autour du pad de drain qui diffère du motif 2 par sa largeur dans la zone active (figure 2-30a). Pour les transistors dont la distance grille-drain est inférieure à $10\mu\text{m}$, on conserve un motif identique au motif 2 avec une largeur constante de $20\mu\text{m}$ et un débordement de $10\mu\text{m}$ sous le contact de drain. Pour les transistors dont la distance grille-drain est supérieure à $10\mu\text{m}$, la gravure couvre entièrement la distance grille-drain en incluant le pied de grille (côté grille) avec une superposition de $10\mu\text{m}$ sous le contact de drain (figure 2-30b). Cela équivaut à une largeur totale, $l_{\text{totale}} = 10\mu\text{m} + l_{\text{GD}} + l_{\text{G}}$, qui varie donc de $22\mu\text{m}$ pour $L_{\text{GD}}=10\mu\text{m}$, à $52\mu\text{m}$ pour $L_{\text{GD}}=40\mu\text{m}$. De cette manière, la grille de chaque design de transistor est superposée au motif de gravure.

3.1.4. MOTIF 4 : PETIT RECTANGLE AROUND DU DRAIN INCLUANT LA GRILLE

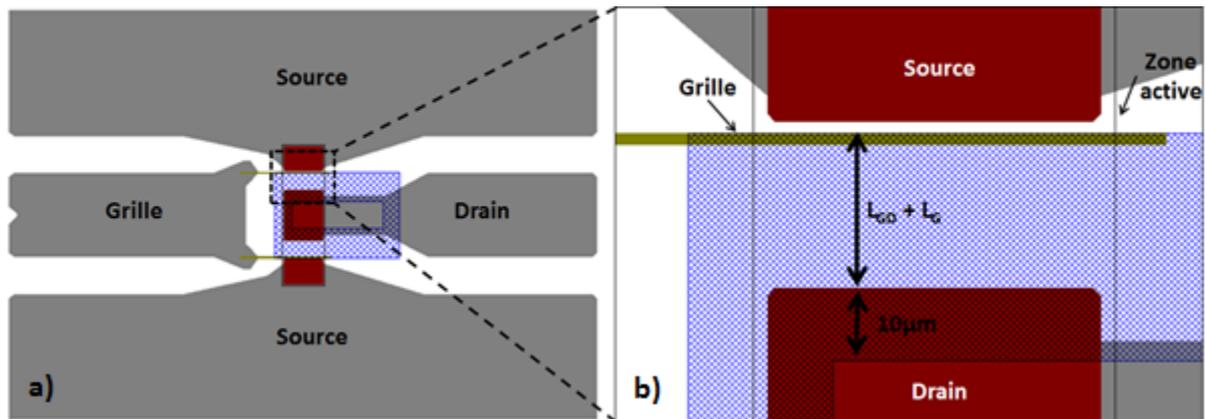


Figure 2-31 : (a) Motif de gravure en petit rectangle autour du drain en incluant la grille. (b) Zoom sur la zone active

Le motif 4 correspond à un rectangle gravé autour de la partie du pad de drain située proche de la zone active du transistor (figure 2-31a). La largeur du motif est la même que celle du motif 3 de manière à inclure également la grille de chaque design de transistor dans le motif de gravure (figure 2-31b).

2.3.7. MOTIF 5 : CINTRE AROUND DU DRAIN INCLUANT LA GRILLE

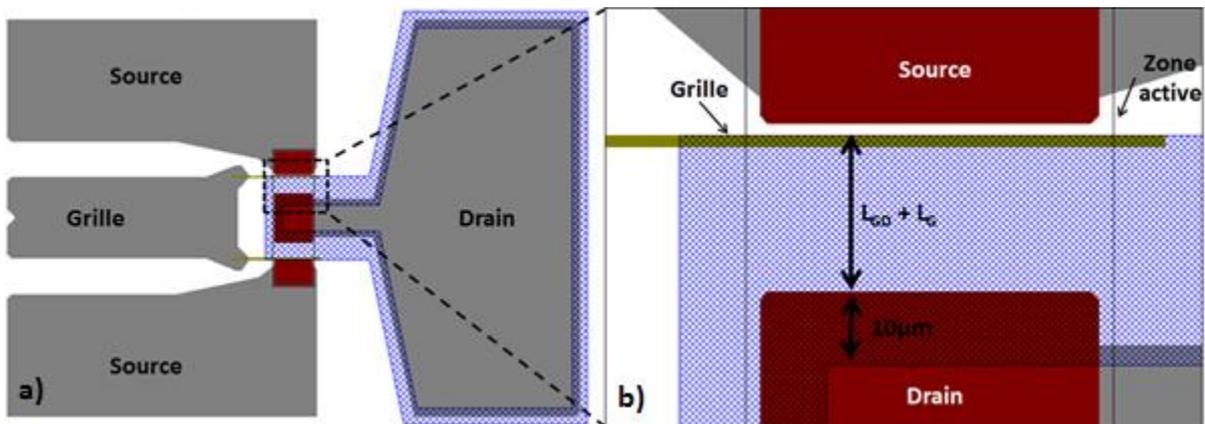


Figure 2-32 : (a) Motif de gravure en cintre autour du drain en incluant la grille. (b) Zoom sur la zone active

Pour le motif 5, la forme du pad de drain a été totalement modifiée pour être élargie comme on peut le voir sur la figure 2-32a. La forme du motif de gravure tout autour du drain qui en résulte s'apparente à la forme d'un cintre. Comme pour les motifs 2 et 3, le motif de gravure est constamment situé en partie sous le pad de drain en dehors de la zone active. A l'intérieur de la zone active, la largeur du motif est la même que celle du motif 3 et 4 de manière à inclure la grille de chaque design de transistor dans le motif de gravure (figure 2-32b).

3.2. DEROULEMENT DES ETAPES TECHNOLOGIQUES

Le procédé de gravure localisée du substrat n'intervient qu'une fois que les composants face-avant aient été terminés et que les mesures électriques n'aient révélé aucune anomalie. Ce procédé a été développé avec l'aide d'Isabelle Roch-Jeune, ingénieure de recherche CNRS à l'IEMN. Le déroulement des étapes technologiques de la gravure locale du substrat est présenté sur la figure 2-33.

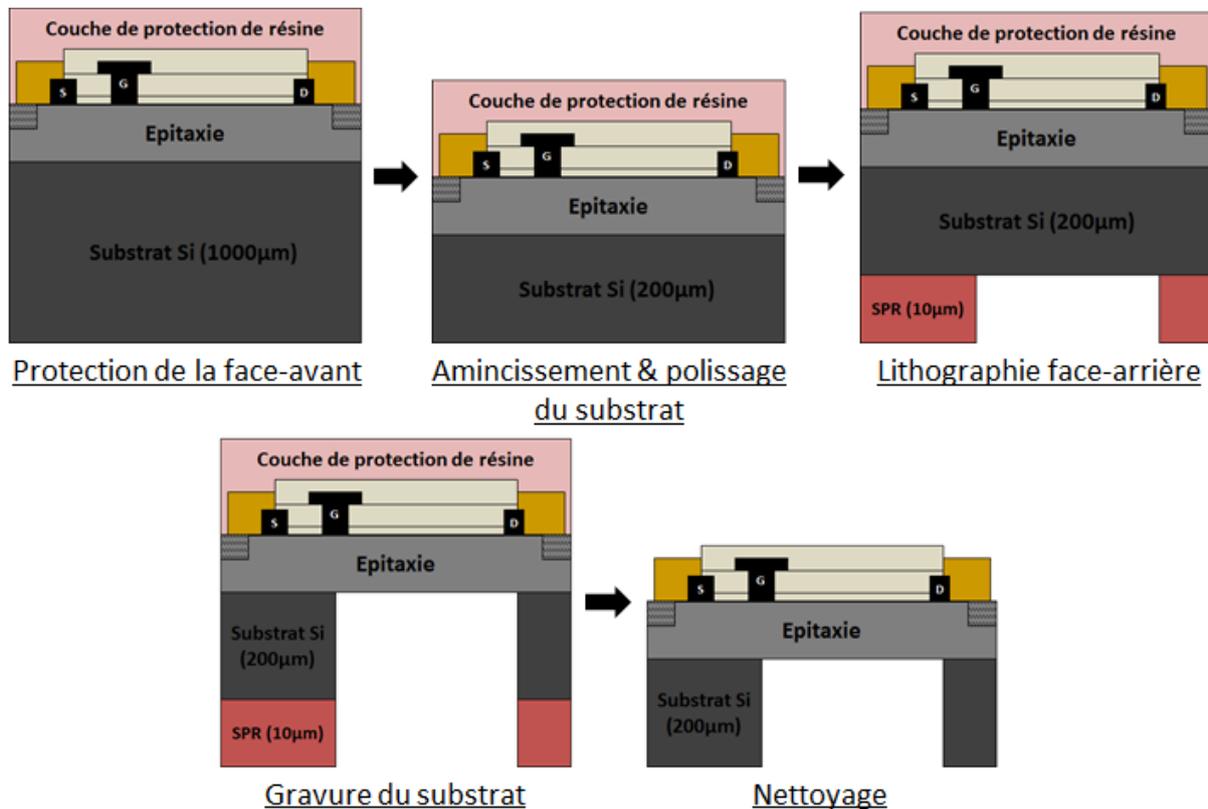


Figure 2-33 : Illustration du procédé de gravure localisée du substrat des transistors

1. Protection de la face-avant

Pendant toute la durée du procédé de la face-arrière, il est impératif de protéger la face-avant afin de ne pas endommager les composants et ne pas dégrader leurs performances électriques. La couche protectrice doit résister à l'ensemble des traitements qui suivront mais doit également pouvoir être retirée facilement sans affecter les composants. Nous avons testé deux types de protection : une couche de SiO₂ PECVD de 300nm qui peut être gravée facilement par voie chimique et une couche de résine qui peut être dissoute dans les solvants. Comme on peut le voir sur la figure 2-34, la faible adhérence du SiO₂ sur l'or des pads des transistors entraîne l'apparition de craquelures dans la couche pendant l'étape d'amincissement et de polissage du substrat en raison des forces mécaniques mises en jeu. Ces craquelures laissent une partie de la surface de la face-avant exposée, ce qui est problématique pour le reste du procédé de fabrication. Nous avons donc opté pour une couche de protection de résine.

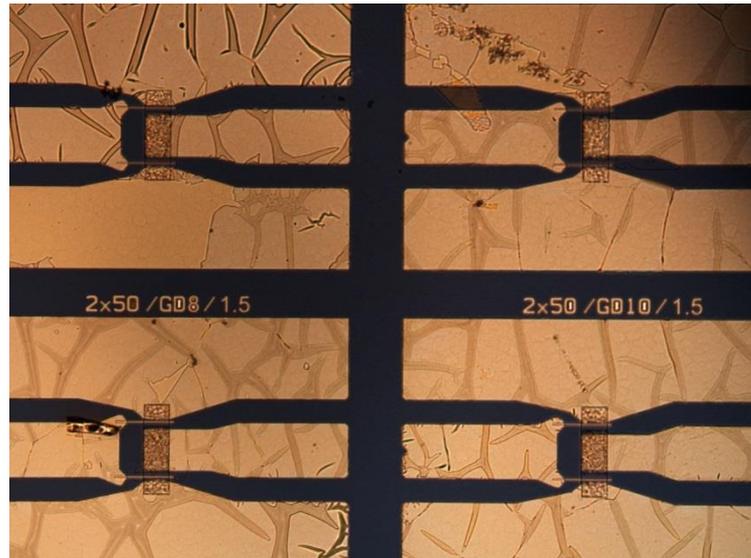


Figure 2-34 : Photographie réalisée au microscope optique de la surface des composants protégés d'une couche de SiO₂. On peut voir les craquelures de la couche de SiO₂ après l'étape d'amincissement et de polissage du substrat.

2. Amincissement & polissage du substrat

Pour ne pas devoir graver entièrement le substrat qui peut mesurer jusqu'à 1mm d'épaisseur, on réalise un amincissement du substrat jusqu'à 200 μ m. En deçà de cette épaisseur, l'échantillon devient extrêmement fragile, ce qui peut occasionner des dommages lors des manipulations suivantes. Les équipements d'amincissement à l'IEMN n'étant pas compatibles avec des pièces de petite taille, il nous est nécessaire de coller l'échantillon à amincir sur un support en verre de 3 pouces (figure 2-35). La face-avant, protégée par de la résine, est collée avec de la cire sur le support en verre grâce à une colleuse automatique Logitech 1WBS1. Cette technique garantit un parallélisme optimal entre l'échantillon et le porte-échantillon.

L'amincissement du substrat de l'échantillon est ensuite réalisé par un procédé de *Grinding* (rectification). Le *Grinding* consiste à arracher mécaniquement de la matière par abrasion à l'aide d'une roue dont la surface est incrustée de grains de diamant. L'amincissement se fait sous débit régulier d'eau permettant de refroidir et de nettoyer la surface traitée. Ce procédé permet donc un enlèvement rapide d'épaisseurs importantes. La plaque à amincir est aspirée sur une table en céramique (alumine poreuse) et mise ensuite en rotation. La position de l'échantillon sous la roue diamantée est contrôlée précisément pour obtenir une rectification uniforme. L'équipement que nous utilisons à l'IEMN, le *grinder* G&N MPS 2 R300 DCS, possède une précision de 3 μ m et garantit une uniformité de l'épaisseur inférieure au micromètre.

Le procédé de *grinding* provoque l'apparition de stries à la surface de l'échantillon qu'il est nécessaire de faire disparaître pour les étapes technologiques suivantes. Ceci est réalisé par un polissage du substrat qui permet d'améliorer l'état de surface de l'échantillon en utilisant la polisseuse PM5 Logitech. La combinaison des frottements générés entre l'échantillon et le plateau de polissage en rotation ainsi que l'utilisation d'un agent chimique abrasif (SF1) permet de diminuer la rugosité de surface et d'aplanir le relief à la surface de l'échantillon. Pour finir, l'échantillon est décollé du porte-substrat dans une solution spécialement dédiée à cet effet.

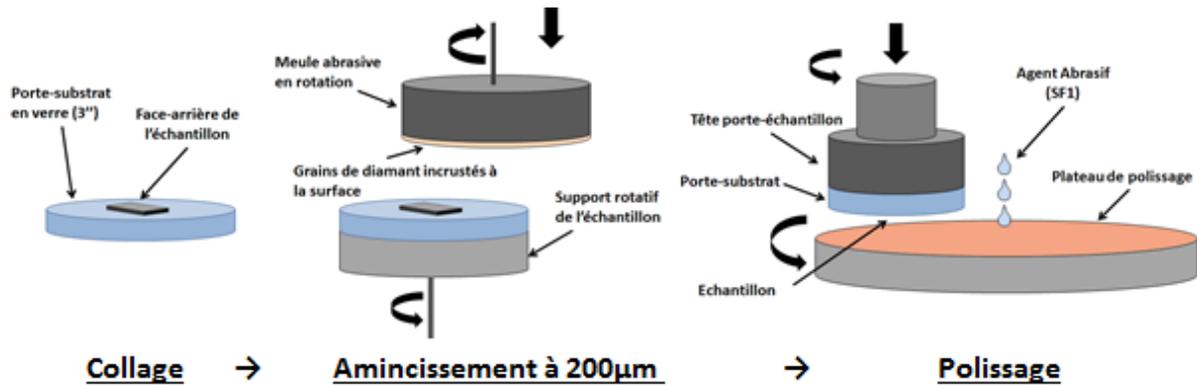


Figure 2-35 : Représentations des étapes de collage, d'amincissement et de polissage de l'échantillon

3. Lithographie face-arrière

La définition des motifs de gravure du substrat est réalisée par lithographie optique face-arrière. Les différents motifs de gravure que nous avons pu tester ainsi que les raisons pour lesquelles nous les avons étudiés seront présentés dans la partie suivante. Pour la lithographie, nous utilisons la résine optique SPR 220 dont l'épaisseur déposée peut varier de 1 à 30µm tout en conservant une excellente uniformité sur l'ensemble de la surface résinée. Dans notre procédé de fabrication, cette résine servira de masque pour la gravure du substrat d'où la nécessité d'en déposer une épaisseur relativement importante. Travailler avec de telles épaisseurs de résine n'est pas anodin et nécessite des temps de repos de plusieurs heures entre chaque étape de lithographie : étalement de la résine, exposition et révélation. Un recuit de la résine peut éventuellement être effectué après la révélation afin de durcir la résine et de la rendre plus résistante à la gravure. Cependant, ce recuit a tendance à élargir les motifs initiaux et à affaïsser les flancs des motifs (figure 2-36a). Ceci a des conséquences importantes sur la gravure puisqu'on observe une modification de l'angle de gravure du Si comme on peut le voir sur la figure 2-37a. On passe d'un angle de gravure de 89,4° sans durcissement à 82,2° avec durcissement ce qui déforme d'autant plus les motifs gravés dans le substrat. Après plusieurs tests réalisés sur différents échantillons, nous avons déterminé qu'une épaisseur de 10,5µm de SPR 220 non durcie était suffisante pour notre procédé de gravure, permettant ainsi d'obtenir un angle de gravure le plus proche de 90° qui facilite l'alignement de la gravure avec les transistors.

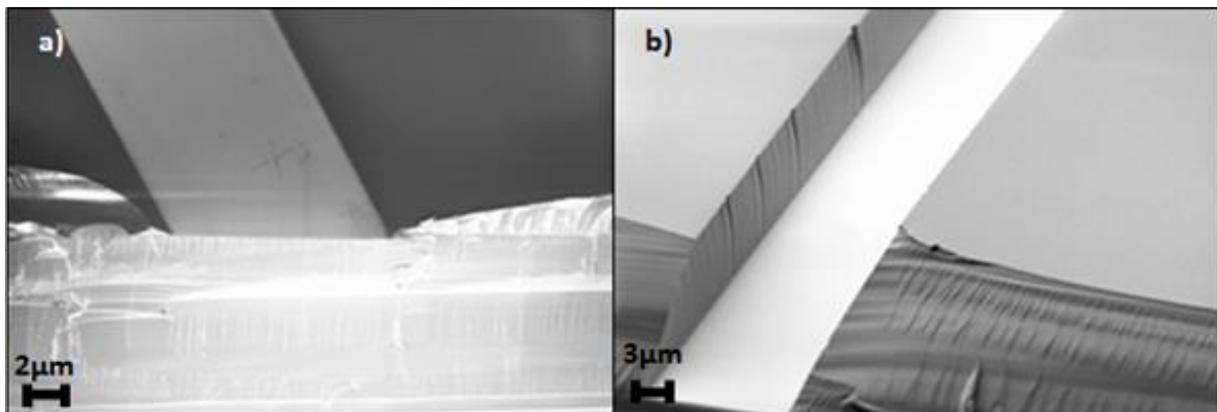


Figure 2-36 : Image MEB des flancs de la SPR (a) avec recuit de durcissement (b) sans recuit de durcissement

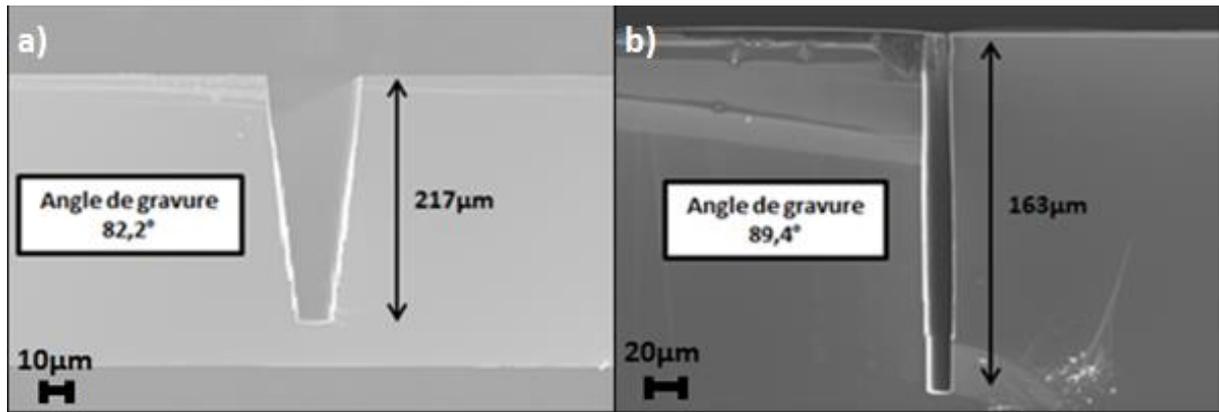


Figure 2-37 : Image MEB du profil de gravure profonde de Si (a) avec durcissement de la SPR (b) sans durcissement de la SPR

4. Gravure du substrat

Le profil de gravure du substrat recherché est représenté sur la figure 2-38. La largeur des motifs de gravure peut varier de 20µm pour les plus petits designs de transistor à 51,5µm pour les plus larges. Avec une profondeur de gravure d'environ 200µm, cela équivaut dans le pire des cas à un rapport d'aspect de 10.

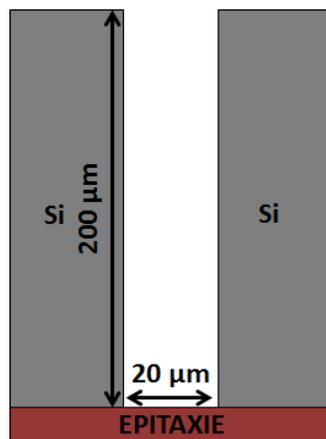


Figure 2-38 : Profil de gravure recherché

Pour obtenir un tel rapport d'aspect sur une telle profondeur, la gravure du substrat est réalisée à l'aide du procédé de gravure Bosch sur un équipement de gravure réactive ionique profonde (deep reactive ion etching – DRIE).

5. Nettoyage

Après la gravure du substrat, on effectue dans un premier temps un plasma oxygène RIE à 100W sur la face-arrière pour éliminer la résine polymérisée en surface. Dans un deuxième temps, on effectue plusieurs bains successifs de solvant chauffés à 70°C afin de dissoudre le reste de la résine sur l'échantillon. Pendant cette étape, la couche de protection de résine de la face-avant est, elle aussi, dissoute. L'utilisation de solvants perfluorés permet de dissoudre également l'huile Fomblin qui a été utilisée sur la face-avant pour coller l'échantillon pendant l'étape de gravure. On termine ensuite par un plasma oxygène RIE sur la face-arrière pour éliminer les résidus de résine non dissouts par le solvant qui se seraient redéposés sur l'échantillon. La forte puissance de ce dernier plasma

(500W) permet également de graver les résidus du polymère déposé lors du procédé Bosch au sein même des cavités pour éviter la création d'une conduction parasite à l'interface avec l'épitaxie, sous fort champ électrique.

3.3. PROCÉDE DE GRAVURE DU SUBSTRAT

La gravure du substrat a été développée dans un réacteur ICP de type DRIE de la marque STS (Surface Technology System). Le procédé utilisé est le procédé Bosch, technique très répandue dans l'industrie de la microélectronique pour les gravures profondes de Si [153]. Ce procédé utilise une alternance de plasma de gravure (SF_6) et de plasma de passivation (C_4F_8 , C_2F_6 , CF_4 ou CHF_3). Le plasma SF_6 grave de manière isotrope le silicium. Après le court plasma SF_6 , le plasma de passivation C_4F_8 dépose une couche mince de polymère sur la surface du Si gravée. L'épaisseur du dépôt de passivation est conditionnée par les paramètres du plasma de l'étape de passivation. L'étape de gravure suivante détruit la couche de passivation au fond du motif à l'aide du bombardement ionique. Le silicium non protégé par la couche de passivation est alors gravé dans cette même étape par les radicaux fluorés provenant du plasma SF_6 . En augmentant le nombre d'alternances des étapes de gravure et de passivation, une gravure profonde anisotrope peut être alors obtenue avec un fort rapport d'aspect comme on peut le voir sur la figure 2-39.

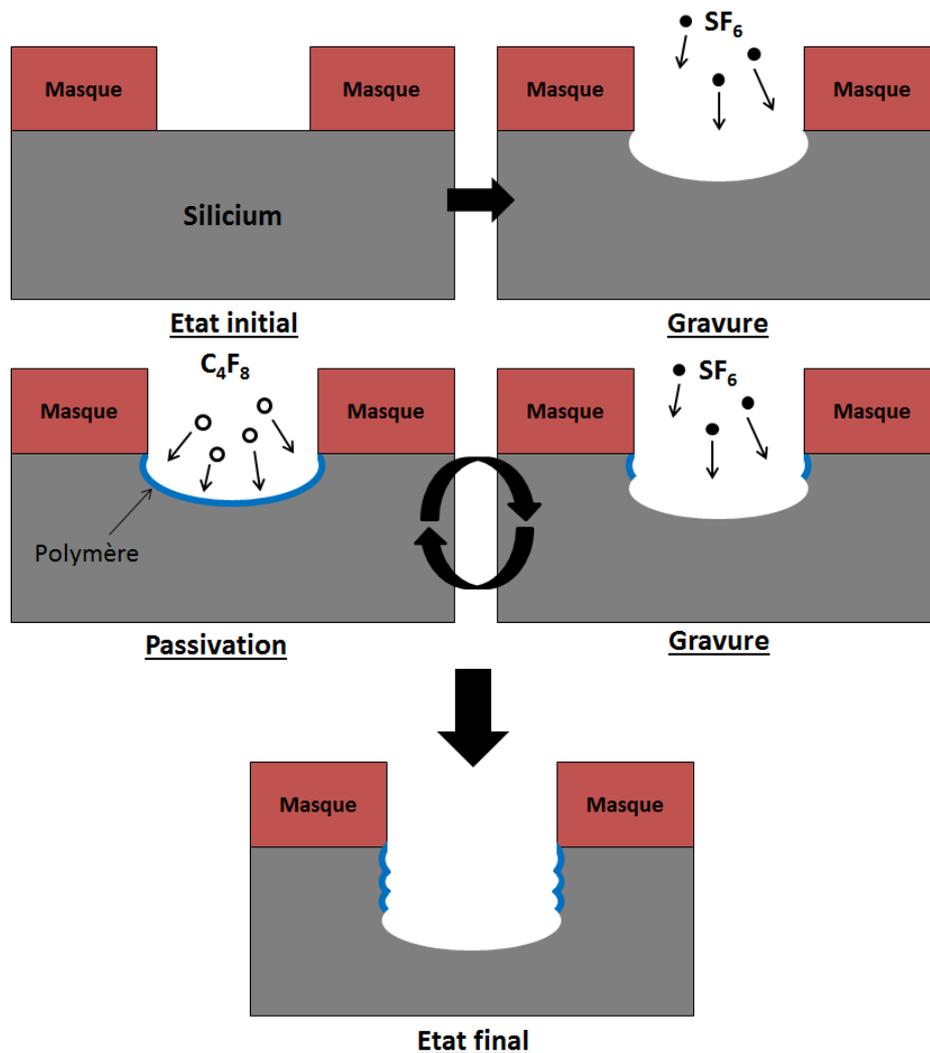


Figure 2-39 : Principe du procédé Bosch

Ce procédé permet d'obtenir un profil de gravure quasi-vertical avec un angle proche de $89,5^\circ$ (figure 2-40a). La vitesse de gravure du Si est relativement homogène sur l'ensemble de la surface de l'échantillon mais varie selon les dimensions des motifs : autour de $4,5 \mu\text{m}/\text{min}$ pour les plus petits motifs. Cela équivaut à un temps de gravure d'environ 50min pour un substrat de $200\mu\text{m}$ d'épaisseur. La fin de gravure est déterminée visuellement au microscope optique en contrôlant l'apparition des motifs de la face-avant (plots métalliques) par transparence au travers de l'épitaxie (figure 2-40cd). Une fois que les motifs de la face-avant deviennent visibles depuis la face-arrière, une surgravure de quelques minutes est réalisée pour graver les résidus de silicium dans le fond des cavités sur l'ensemble de la surface de l'échantillon, ce qui garantit la suppression complète de la conduction parasite éventuelle à l'interface entre le substrat et l'épitaxie. L'importante sélectivité de gravure entre la couche de nucléation d'AlN (première couche de l'épitaxie dont la croissance est réalisée directement sur le substrat) et le Si permet d'effectuer cette surgravure sans que l'épitaxie ne soit gravée par le plasma. Le procédé Bosch est systématiquement terminé par une phase de gravure afin d'enlever la couche de passivation dans le fond de la cavité pour obtenir un fond de gravure propre et sans impureté (figure 2-40b). En prenant en compte la surgravure, on obtient un élargissement d'environ $5\mu\text{m}$ de part et d'autre des plus petits motifs de gravure (dont la largeur était initialement de $20\mu\text{m}$), soit une largeur finale d'environ $30\mu\text{m}$.

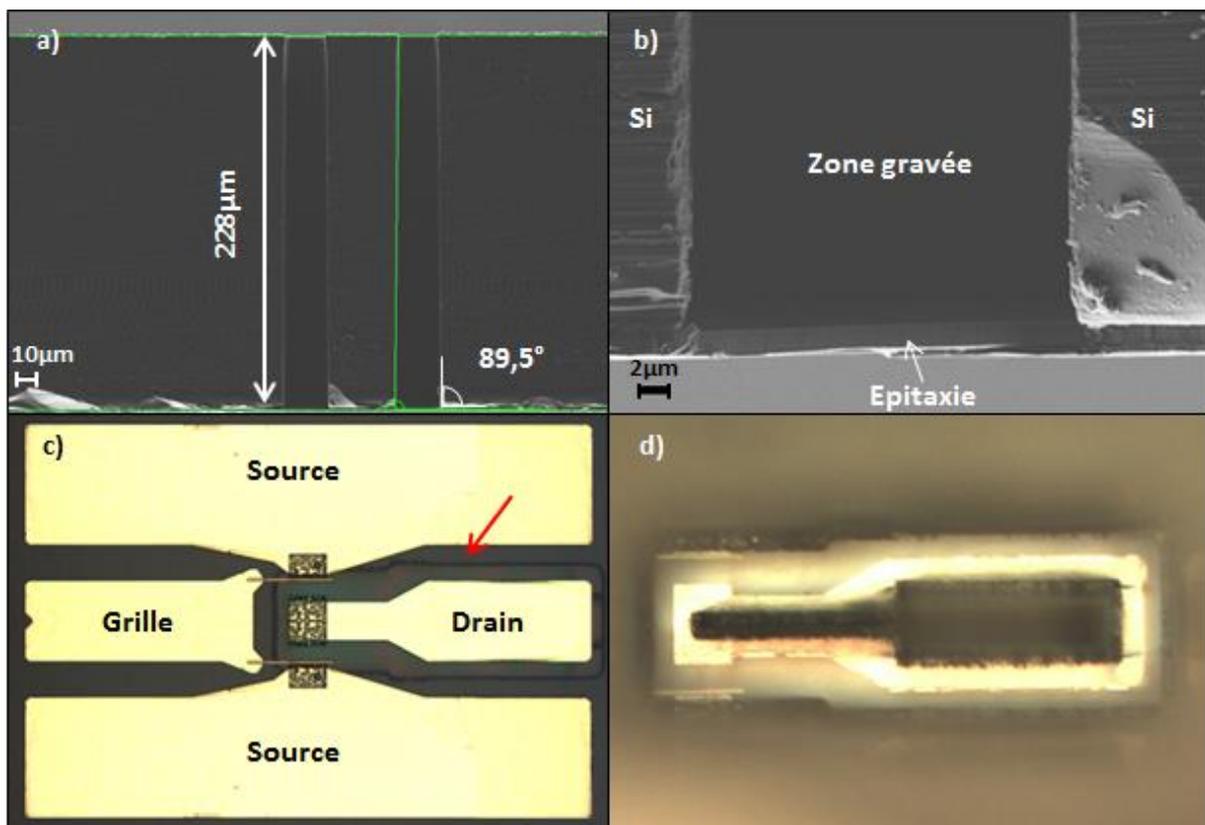


Figure 2-40 : (a) Image MEB du profil de gravure du substrat réalisée sur une épitaxie GaN sur Si (b) Image MEB du fond de gravure (c) Photo au microscope optique d'un motif de gravure du substrat (fléché en rouge) sous un transistor vu de la face-avant de l'échantillon (d) Photo prise au microscope optique d'une partie d'un transistor par transparence au travers de l'épitaxie dans un motif de gravure du substrat de la face-arrière.

Compte tenu des puissances mises en jeu pour le procédé Bosch et des temps de gravure, le budget thermique est un aspect important dont il faut tenir en compte pour la gravure. Un échauffement trop important de l'échantillon peut, en effet, avoir des conséquences regrettables sur la gravure telles que la dégradation du masque de résine, l'emballement de la vitesse de gravure

du Si ou encore la modification du profil de gravure. Pour cela, il est essentiel d'assurer une bonne évacuation de la chaleur de l'échantillon tout au long de la gravure du substrat. La gravure est effectuée sur un porte-substrat de 3 pouces constamment soumis à un flux d'azote afin de le refroidir pendant la gravure. L'échantillon est collé au porte-substrat en Si oxydé à l'aide d'huile Fomblin permettant de garantir un bon transfert thermique entre l'échantillon et le porte-substrat. La couche protectrice de résine qui est déposée sur la face-avant pour cette étape de gravure est relativement fine (300nm) dans l'objectif de réduire la résistance thermique entre l'échantillon et le porte-substrat. Enfin, la gravure est réalisée par pas de 20min entre lesquels on observe un temps de repos suffisamment important pour laisser la chambre de gravure et l'échantillon refroidir à température ambiante. En prenant ces différentes précautions, nous sommes en mesure de reproduire de façon précise les motifs de gravure dans le substrat comme on peut le voir sur la figure 2-41a et 2-41b

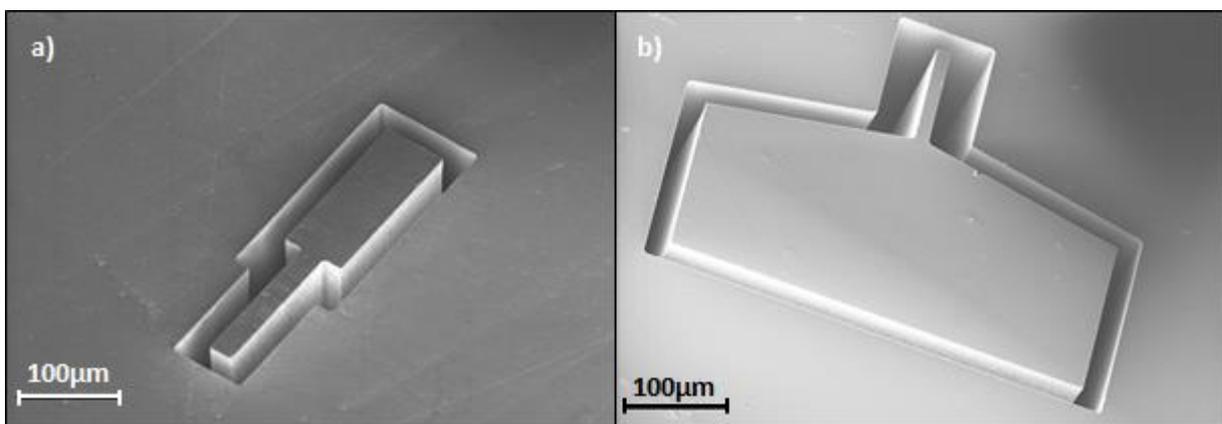


Figure 2-41 : (c) Image MEB du motif 2 obtenu par le procédé de gravure (d) Image MEB du motif 5 obtenu par le procédé de gravure

CONCLUSION DU CHAPITRE 2

Un procédé de fabrication innovant de transistors HEMT à base de GaN sur substrat Si (111), mettant en jeu une gravure localisée du substrat, a été développé pour les applications de convertisseur de puissance à haute tension. Ce procédé de fabrication a été réalisé sur la plateforme technologique de l'IEMN à partir de différentes épitaxies commerciales de notre partenaire EpiGaN.

Afin d'améliorer les performances électriques des transistors, nous nous sommes focalisés sur l'optimisation de trois briques technologiques du procédé de fabrication des transistors : la réalisation des contacts ohmiques, la réalisation de la grille et l'isolation du composant. L'étude de la température et du temps de recuit thermique rapide des contacts ohmiques de type Ti/Al/Ni/Au a permis d'obtenir, de façon reproductible, de faibles valeurs de résistance de contact (à l'état de l'art) pour ce type de technologie ($<0,5\Omega\cdot\text{mm}$). Une attention toute particulière a été portée aux problématiques liées à l'inefficacité du nettoyage des résidus de résines polymérisés pendant les gravures plasmas des étapes de contact ohmique et de grille. Ces résidus requièrent habituellement l'utilisation de nettoyages physiques par plasma O_2 qui ne sont pas utilisables avec les composants HEMT à base de GaN. Des solutions adaptées ont été apportées pour corriger ces problèmes telles que l'optimisation des procédés de nettoyage par solvant pour la réalisation des contacts ohmiques ou encore la prémétallisation pour la réalisation de la grille. Bien que les observations MEB et les caractérisations électriques des structures tests aient montré une nette amélioration grâce à ces

différentes solutions, des mesures en dynamique devront être menées pour confirmer le réel apport de ces techniques de fabrication. Un procédé d'isolation par gravure du méso a été étudié afin de constituer une alternative bas-coût au procédé d'implantation ionique. Ce procédé a démontré d'excellents résultats d'un point de vue électrique sur les plots d'isolation mais nécessite une étude plus poussée pour déterminer son influence sur les performances des transistors à haute tension et en régime dynamique.

Un procédé de gravure localisée du substrat a été développé dans le but de supprimer la conduction parasite dans le substrat et d'améliorer la tenue en tension des transistors. La gravure du substrat a été réalisée à l'aide d'un équipement de gravure profonde utilisant le procédé Bosch afin d'obtenir un profil de gravure vertical et très reproductible. Différents motifs de gravure du substrat ont pu ainsi être testés pendant ces travaux, ce qui a permis de comparer leurs influences sur les performances électriques des transistors. Les résultats électriques sont présentés dans le chapitre 3.

CHAPITRE 3

CARACTERISATION ELECTRIQUE DES TRANSISTORS HEMT A BASE DE GAN

Dans ce chapitre, nous présenterons l'ensemble des caractérisations électriques réalisées sur les transistors qui ont été fabriqués pendant ces travaux à partir des 3 structures d'épitaxie A, B et C présentées dans le chapitre 2. Ces caractérisations électriques n'interviennent qu'une fois que le procédé de fabrication des transistors ait été entièrement terminé afin de comparer les performances électriques des transistors avec et sans gravure locale du substrat. Trois différents types de mesures électriques ont été effectués sur les transistors. Dans un premier temps, une première campagne de caractérisation à l'IEMN permet de vérifier le bon fonctionnement des transistors à basse-tension (<40V). Si aucune anomalie n'a été détectée à basse-tension, nous réalisons une campagne de mesure à haute tension chez un de nos afin d'évaluer le comportement à l'état OFF des transistors à haute-tension (jusqu'à 3000V) en fonction des différents types de motifs de gravure du substrat. Ces mesures nous ont permis de mettre en évidence la suppression de la conduction parasite dans le substrat grâce à la technique de gravure locale du Si. Pour terminer, nous avons pu étudier l'évolution en température de la tenue en tension des transistors de la structure C avec et sans la conduction parasite dans le substrat. L'ensemble des résultats de ces différentes caractérisations électriques seront présentés dans ce chapitre.

1. CARACTERISATION ELECTRIQUE A BASSE TENSION

Les caractérisations électriques à basse-tension des composants permettent de mesurer un certain nombre de paramètres clés caractéristiques du fonctionnement des transistors. Nous avons donc pu comparer les différents transistors selon la structure d'épitaxie à partir de laquelle ils ont été fabriqués, selon leur design (distance grille-drain) mais aussi selon le type de motif de gravure face-arrière. Pendant cette étude, aucune variation notable des caractéristiques à basse-tension n'a été mesurée pour permettre de différencier clairement l'influence de chacun des motifs de gravure du substrat sur les transistors. Dans cette partie, nous ne différencierons donc pas les performances électriques des transistors avec gravure locale du substrat (GLS) selon les motifs de gravure utilisés. Les transistors sans gravure locale du substrat seront considérés comme les composants de référence.

1.1. CARACTERISTIQUES I_D - V_{DS}

Les figures 3-1, 3-2 et 3-3 représentent les caractéristiques I_D - V_{DS} de transistors $1,5 \times 50 \mu\text{m}^2$, de distance grille-drain de $30 \mu\text{m}$, avec et sans GLS, pour les 3 structures d'épitaxie, respectivement A, B et C. Dans un premier temps, on peut remarquer que les composants des structures A et B présentent une densité maximale de courant de drain bien plus élevée ($\sim 0,6 \text{ A/mm}$) que pour la structure C ($\sim 0,4 \text{ A/mm}$). Cette forte densité de courant reflète la faible résistivité du 2DEG pour ces structures grâce à l'utilisation d'une barrière d'AlN à forte polarisation comparativement à la structure C qui possède une barrière d'AlGaIn.

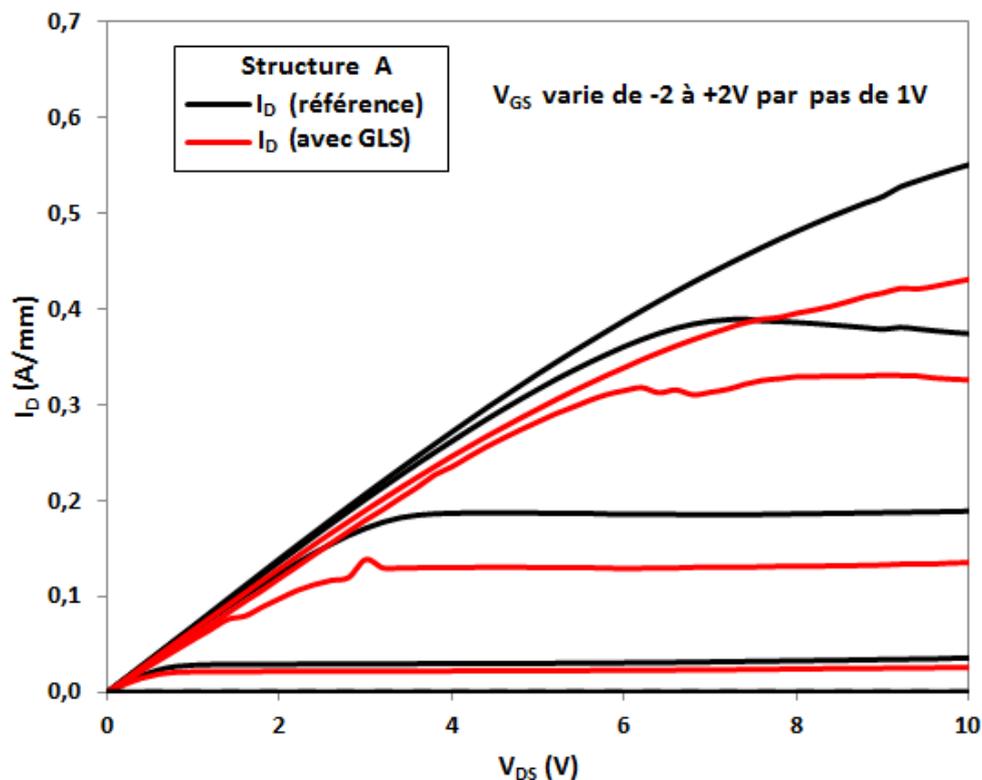


Figure 3-1 : Caractéristique I_D - V_{DS} de transistors ($1,5 \times 50 \mu\text{m}^2$ $L_{GD}=30 \mu\text{m}$) avec et sans GLS de la structure A

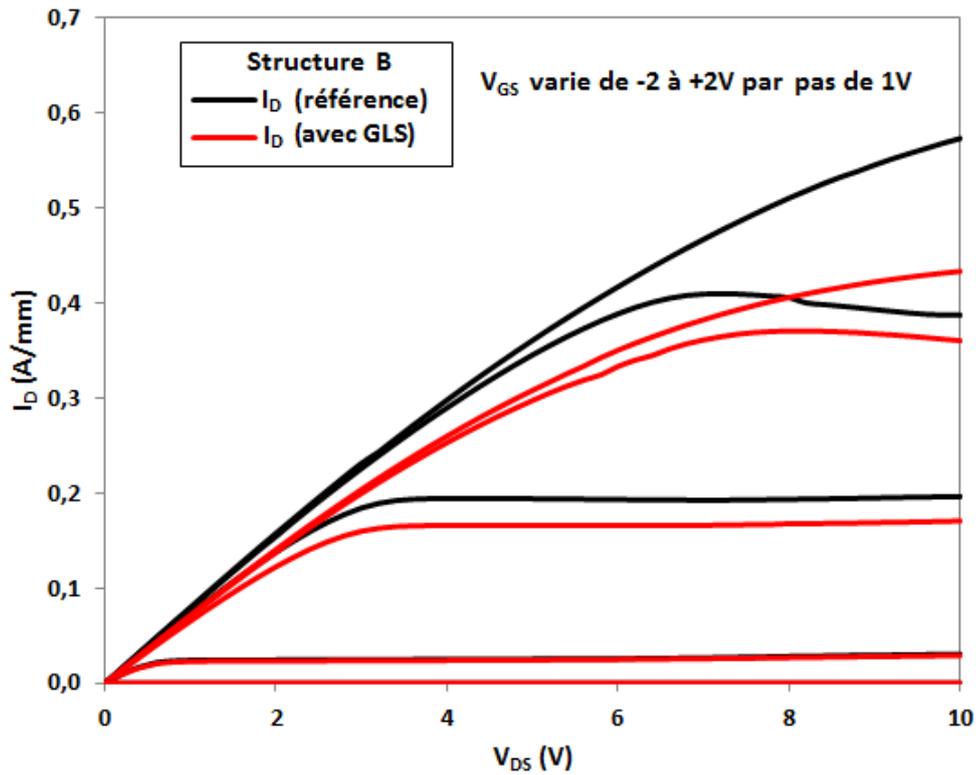


Figure 3-2: Caractéristique I_D - V_{DS} de transistors ($1,5 \times 50 \mu\text{m}^2$ $L_{GD}=30 \mu\text{m}$) avec et sans GLS de la structure B

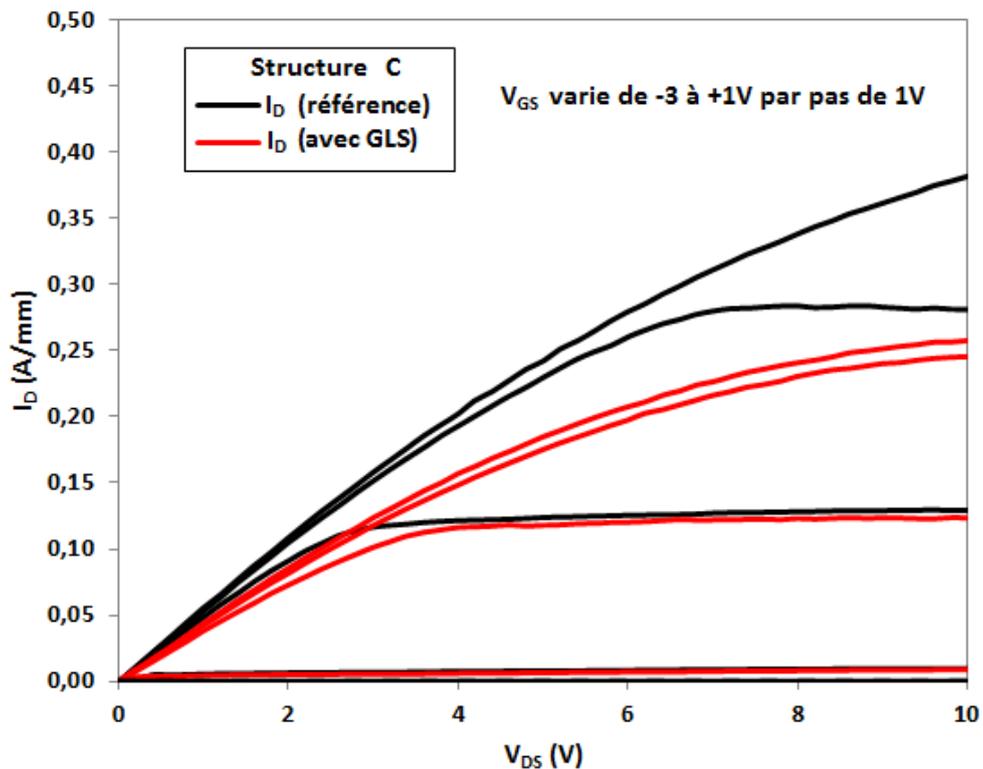


Figure 3-3 : Caractéristique I_D - V_{DS} de transistors ($1,5 \times 50 \mu\text{m}^2$ $L_{GD}=30 \mu\text{m}$) avec et sans GLS de la structure C

On notera également, pour chacune des structures d'épitaxie, la dégradation de la densité de courant pour les transistors avec GLS par rapport aux transistors sans GLS. La densité de courant maximale passe de 0,6 A/mm à 0,4 A/mm pour les structures A et B et de 0,4 A/mm à 0,25A/mm

pour la structure C. Nous pensons que cette diminution du courant s'explique par la dégradation significative de la dissipation thermique après la gravure locale du substrat étant donné que les propriétés du 2DEG restent, elles, inchangées. En effet, le substrat joue le rôle de dissipateur thermique situé relativement proche de la zone active permettant d'évacuer la chaleur générée lors du fonctionnement du transistor. Pour les transistors avec GLS, ce dissipateur thermique est donc inexistant, ce qui entraîne une forte augmentation de la température dans la zone active provoquant une dégradation de la mobilité électronique dans le canal et donc une augmentation de la résistivité du transistor. Ceci peut donc constituer un réel inconvénient pour les performances des composants, notamment pour les applications à haute puissance où l'aspect thermique devient primordial pour le rendement du convertisseur. Des solutions sont envisagées pour limiter ce phénomène et seront discutées plus en détail dans la conclusion et les perspectives de ces travaux.

Le tableau 3-1 résume les paramètres significatifs moyens extraits à partir de plusieurs caractéristiques I_D-V_{DS} des différents designs de transistor avec et sans GLR pour les 3 structures d'épitaxie : la résistance spécifique à l'état passant des transistors et la densité de courant maximale mesurée (nous avons mesuré une dispersion inférieure à 15% autour des valeurs présentées dans ce tableau sur l'ensemble des composants étudiés). Pour les composants des structures A et B, les caractéristiques statiques à basse-tension se sont révélées similaires et ont été regroupées dans une seule et même colonne. Grâce à la forte polarisation provenant de la barrière d'AlN, le $R_{on,sp}$ des transistors des structures A et B est bien inférieur à celui des transistors de la structure C, ce qui confirme l'intérêt de cette technologie pour les applications de puissance. La dégradation de la dissipation thermique due à la gravure locale du substrat entraîne également une diminution de la densité de courant maximale pour chaque design de transistor. L'effet thermique de la GLS est cependant moins marqué pour le $R_{on,sp}$ des transistors puisque la puissance mise en jeu à $V_{DS}=1V$ reste faible. Pour l'ensemble des designs de transistor, on observe en moyenne une augmentation proche de 10% du $R_{on,sp}$ avec GLS. Les valeurs de $R_{on,sp}$ restent néanmoins très faibles pour les transistors avec GLS des structures A et B ($< 5m\Omega.cm^2$ pour une distance grille-drain de $30\mu m$), ce qui témoigne encore une fois de l'avantage de la barrière d'AlN par rapport à l'AlGaIn ($> 6m\Omega.cm^2$ pour le même design).

Tableau 3-1: Récapitulatif des caractéristiques I_D-V_{DS} des transistors $1,5 \times 50\mu m^2$ des structures A,B et C*

L_{GD} (μm)	Structure A & B sans GLS/avec GLR		Structure C sans GLS/avec GLR	
	$R_{on,sp}$ ($m\Omega.cm^2$)	$I_{D,max}$ (A/mm)	$R_{on,sp}$ ($m\Omega.cm^2$)	$I_{D,max}$ (A/mm)
2	0,2/0,29	0,69/0,5		
5	0,37/0,41	0,7/0,52	0,49/0,51	0,55/0,52
8	0,54/0,69	0,67/0,51	0,81/0,94	0,54/0,49
10	0,85/0,93	0,71/0,49	1,13/1,22	0,53/0,42
15	1,27/1,58	0,69/0,5	1,92/2,06	0,51/0,4
20	2,29/2,52	0,73/0,5	3,02/3,17	0,46/0,37
30	4,42/4,94	0,64/0,43	5,93/6,5	0,39/0,27
40			9,42/10,1	0,34/0,26

*La résistance spécifique à l'état passant a été calculée à partir de la valeur de courant mesurée à $V_{DS}=1V$ et $V_{GS}=2V$ pour les structures A et B et à $V_{GS}=1V$ pour la structure C.

1.2. CARACTERISTIQUES I_D - V_{GS}

Les figures 3-4, 3-5 et 3-6 représentent les caractéristiques de transfert (I_D - V_{GS}) ainsi que les transconductances mesurées à $V_{DS}=4V$ sur les transistors $1,5 \times 50 \mu m^2$, de distance grille-drain de $30 \mu m$, avec et sans GLS, pour les 3 structures d'épitaxie, respectivement A, B et C. La tension de seuil des transistors, V_{TH} , est plus élevée pour les structures A et B que pour la structure C. Cette différence s'explique par la faible épaisseur de la barrière d'AlN des structures A et B qui réduit la distance entre la grille et le gaz d'électrons comparativement à la structure C à barrière d'AlGaIn. Pour la même raison, nous pouvons observer que la transconductance maximale mesurée pour les structures A et B est plus élevée que pour la structure C. La transconductance d'un transistor traduit sa capacité à commuter plus ou moins rapidement sans engendrer de perte énergétique.

Pour les composants avec GLS, la tension de seuil est similaire à celle des composants de référence, ce qui confirme que le procédé de gravure du substrat n'a aucune influence sur la densité de charges dans le canal d'électrons. On remarque cependant une réduction de la transconductance pour toutes les structures d'épitaxie avec GLS par rapport aux composants de référence. Cette réduction est très probablement provoquée par la diminution de la mobilité des électrons du gaz 2D suite à l'auto-échauffement dans le canal. L'auto-échauffement a un impact plus important sur la mobilité dans le cas des transistors avec GLS en raison de la dégradation de la dissipation thermique.

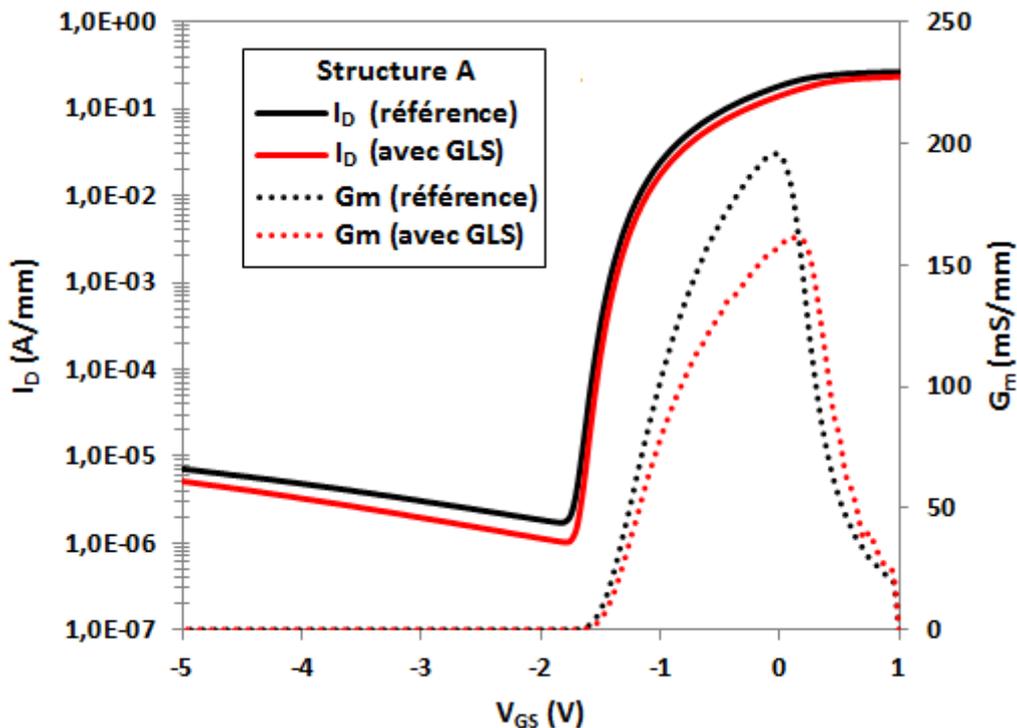


Figure 3-4 : Caractéristique I_D - V_{GS} et transconductance à $V_{DS}=4V$ de transistors ($1,5 \times 50 \mu m^2$ $L_{GD}=30 \mu m$) avec et sans GLS de la structure A

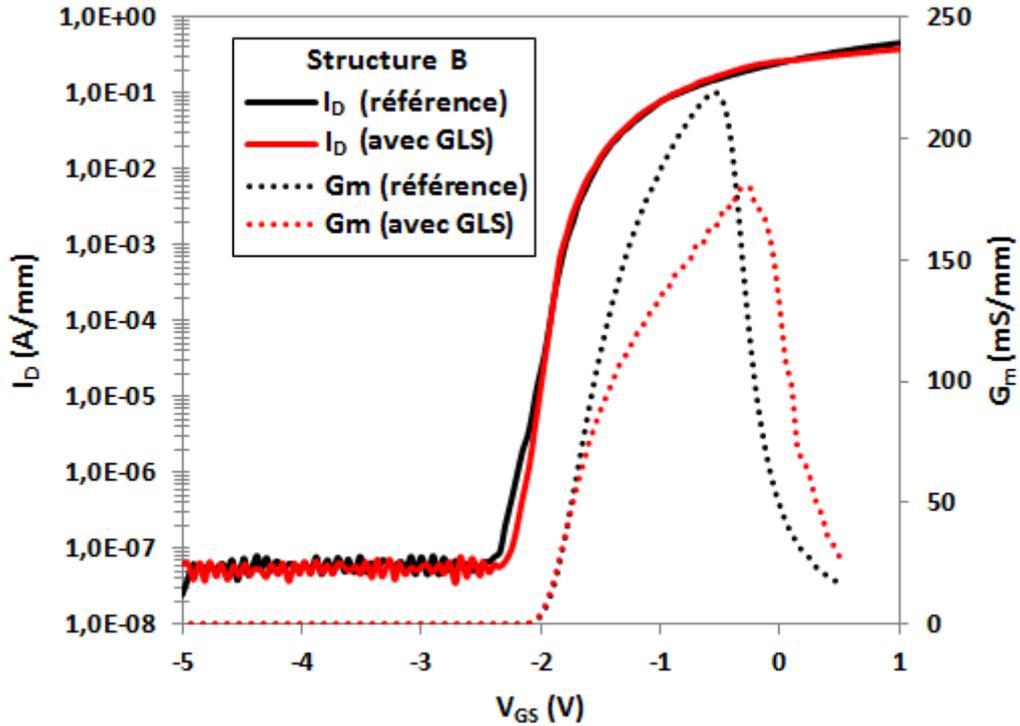


Figure 3-5 : Caractéristique I_D - V_{GS} et transconductance à $V_{DS}=4V$ de transistors ($1,5 \times 50 \mu m^2$ $L_{GD}=30 \mu m$) avec et sans GLS de la structure B

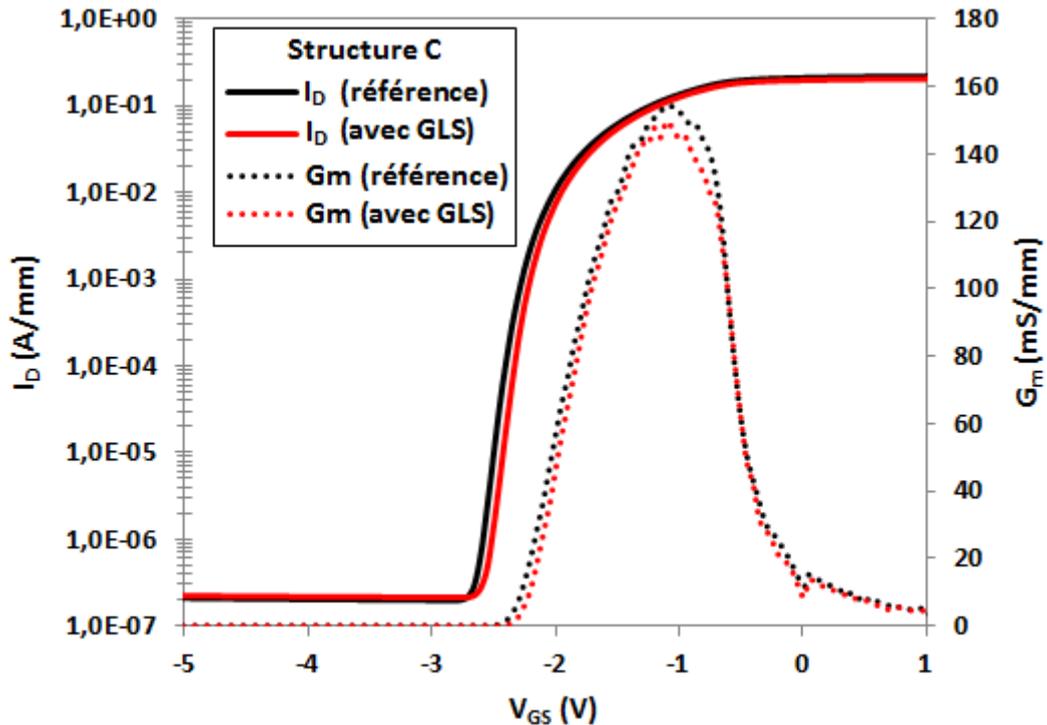


Figure 3-6 : Caractéristique I_D - V_{GS} et transconductance à $V_{DS}=4V$ de transistors ($1,5 \times 50 \mu m^2$ $L_{GD}=30 \mu m$) avec et sans GLS de la structure C

Le tableau 3-2 récapitule les valeurs de tension de seuil, V_{TH} , et de transconductance maximale mesurées sur l'ensemble des designs de transistor des structures A, B et C (nous avons mesuré une dispersion inférieure à 15% autour des valeurs présentées dans ce tableau sur l'ensemble des composants étudiés). Pour chaque structure, la tension de seuil reste constante sur

chaque design de transistor, ce qui témoigne de l'homogénéité des structures d'épithaxie sur les échantillons. La dégradation du $G_{m,max}$ des transistors avec GLS est plus importante dans le cas de la structure C par rapport aux structures A et B. En effet, nous observons en moyenne une diminution de 20 à 25% du pic de transconductance pour les transistors des structures A et B contre moins de 10% dans le cas de la structure C. Avec une densité de courant plus faible pour la structure C, il semble que l'auto-échauffement des transistors soit moins prononcé que dans le cas des structures à barrière d'AlN, ce qui limite la dégradation de la transconductance. Nous pouvons également remarquer que le courant de fuite à basse-tension est plus faible dans le cas des structures B et C que dans le cas de la structure A. Etant donné que les mesures de courant de fuite sur les plots d'isolation ont montré des résultats similaires, il semble que ces différences proviennent de variations directement liées au procédé technologique de fabrication des grilles des transistors.

Tableau 3-2 : Récapitulatif des caractéristiques I_D - V_{GS} des transistors $1,5 \times 50 \mu m^2$ des structures A,B et C*

L_{GD} (μm)	Structure A		Structure B		Structure C	
	V_{TH} (V)	$G_{m,max}$ (mS/mm)	V_{TH} (V)	$G_{m,max}$ (mS/mm)	V_{TH} (V)	$G_{m,max}$ (mS/mm)
2	-1,8	249/195	-2,3		-2,65	
5	-1,8	252/192	-2,3	260/198	-2,65	163/154
8	-1,8	242/196	-2,3	269/205	-2,65	163/155
10	-1,8	257/198	-2,3	258/202	-2,65	165/153
15	-1,8	262/194	-2,3	272/211	-2,65	163/151
20	-1,8	245/185	-2,3	267/201	-2,65	163/150
30	-1,8	195/161	-2,3	219/179	-2,65	155/145
40	-1,8		-2,3		-2,65	149/140

2. CARACTERISATION ELECTRIQUE STATIQUE A HAUTE TENSION

Les mesures électriques statiques à haute tension ont été réalisées chez 2 partenaires : au G2ELab (Laboratoire de génie électrique de Grenoble), et à EpiGaN, entreprise fabricante d'épithaxie à base de GaN sur substrat Si et SiC située à Hasselt en Belgique. L'équipement utilisé (identique dans les 2 cas) était une station de mesure sous pointe qui permettait de mesurer les composants directement « on-wafer ». La station était limitée à une tension maximale de 3000V et à un courant maximal de 8mA. Afin d'éviter le claquage dans l'air, les échantillons étaient plongés dans une solution de Fluorinert, un isolant électrique liquide.

Pour ces campagnes de mesures, les échantillons ont été mesurés avec le substrat flottant et avec une tension $V_{GS} = -5V$ pour assurer un pincement profond du transistor. Nous avons fixé une limite de courant à l'état OFF de 1mA/mm, courant à partir duquel nous considérerons que le transistor n'est plus à l'état bloqué.

2.1. MESURES AVEC SUBSTRAT

2.1.1. STRUCTURE A (BUFFER FIN)

Les tenues en tension de l'ensemble des designs de transistor avec Si pour la structure d'épitaxie A ont pu être mesurées et ont été reportées ci-dessous (figure 3-7). Sur la figure 3-7a, on peut voir que la tenue en tension des transistors en fonction de la distance entre la grille et le drain évolue en deux temps. Dans la zone linéaire (de $L_{GD}=2\mu\text{m}$ à $8\mu\text{m}$), la tenue en tension augmente linéairement avec la distance grille-drain. L'augmentation de la tenue en tension des transistors dans cette zone est due à la diminution du champ électrique à mesure que la distance grille-drain devient plus importante. A partir de $L_{GD}=8\mu\text{m}$ et pour tous les L_{GD} supérieurs, la tenue en tension sature à une valeur proche de 760V. Cette saturation s'explique par le phénomène de conduction parasite dans le substrat décrit dans le chapitre 1 qui provoque une augmentation du courant de fuite des transistors réduisant leur tenue en tension indépendamment du L_{GD} .

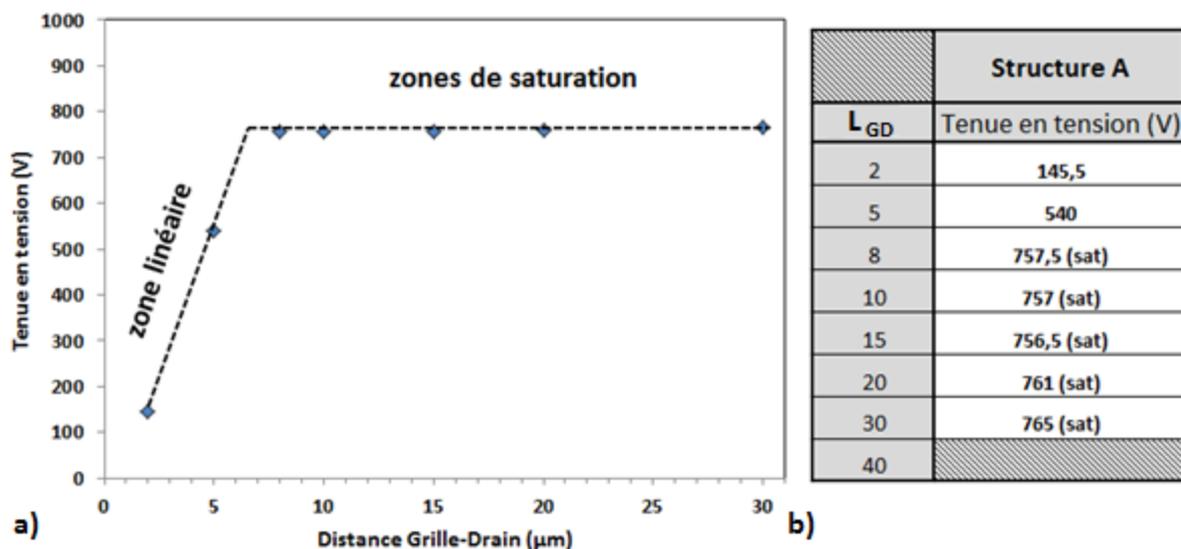


Figure 3-7 : (a) Tenue en tension des transistors HEMT GaN sur Si de la structure A en fonction de L_{GD} (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor de la structure A. (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Nous observons donc deux phénomènes limitatifs distincts de la tenue en tension des transistors selon la distance grille-drain. Sur les figures 3-8 et 3-9, les mesures de courant de fuite à haute-tension de 2 designs de transistor sont représentées respectivement pour $L_{GD}=5\mu\text{m}$ et $L_{GD}=30\mu\text{m}$ appartenant respectivement à la zone linéaire et à la zone de saturation présentées précédemment.

Dans le cas du transistor à $L_{GD}=5\mu\text{m}$, l'augmentation du champ électrique avec la polarisation de drain provoque le claquage du transistor peu avant 600V (figure 3-8). La tenue en tension du transistor est alors limitée par le champ électrique latéral maximal entre grille et drain que peut supporter le buffer. Cette limite est atteinte à $V_{DS}=591\text{V}$ (figure 3-9a) dans notre cas. Le phénomène de claquage a lieu dans le buffer de l'épitaxie et rend inutilisable le transistor après la mesure (figure 3-9b). La mesure est destructive.

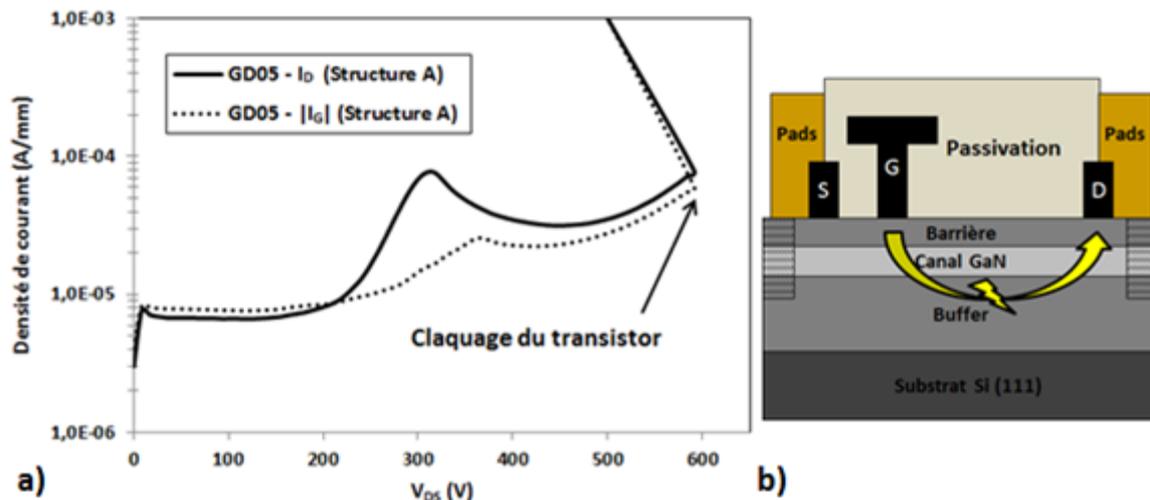


Figure 3-8 : (a) Mesure électrique statique du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure A ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=5 \mu\text{m}$) (b) Représentation schématique de la limitation de la tenue en tension par le champ électrique horizontal observée pour les transistors HEMT GaN sur Si à grille Schottky dans la zone linéaire. La flèche jaune représente le mécanisme dominant de fuite de courant.

Dans le cas du transistor à $L_{GD}=30 \mu\text{m}$, la tenue en tension du transistor est réduite par l'augmentation du courant de fuite qui se déclenche autour de 600V. Le courant de fuite atteint la valeur limite de 1mA/mm pour une tension $V_{DS}=765 \text{V}$ (figure 3-9a). On observe un comportement similaire pour chaque design de transistor avec $L_{GD} \geq 8 \mu\text{m}$. Contrairement au claquage du transistor observé à $L_{GD}=5 \mu\text{m}$, cette mesure est reproductible car le composant n'a pas été endommagé physiquement par la mesure. L'augmentation exponentielle du courant de fuite au-delà de 600V est provoquée par la conduction parasite dans le substrat de Si qui est activée lorsque le champ électrique, en se propageant verticalement, atteint le substrat Si. Le Si étant beaucoup moins résistif que le buffer de l'épitaxie de GaN et compte tenu des niveaux de champ électrique mis en jeu, les électrons peuvent alors circuler plus librement entre la grille et le drain en passant par le substrat Si dans le cas d'un transistor à grille Schottky (figure 3-9b). La tenue en tension des transistors n'est donc plus limitée par le champ électrique latéral mais par sa propagation verticale qui est indépendante de la distance grille-drain du transistor.

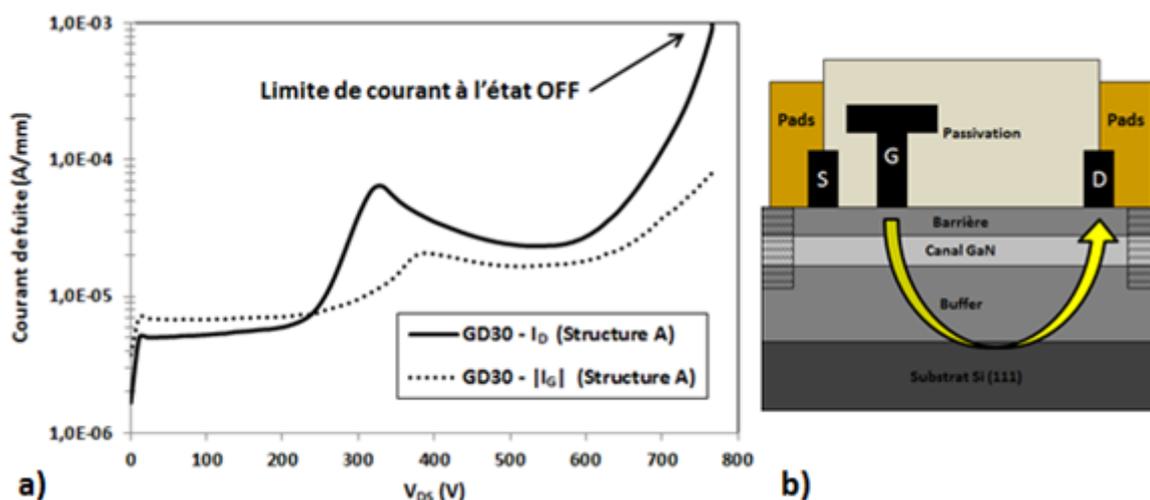


Figure 3-9 : (a) Mesure électrique statique du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure A ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=30 \mu\text{m}$) (b) Représentation schématique de la limitation de la tenue en tension par le phénomène de conduction parasite dans le substrat observé pour les transistors HEMT GaN sur Si à grille Schottky dans la zone de saturation. La flèche jaune représente le mécanisme dominant de fuite de courant.

Pour l'ensemble des composants, on peut remarquer que l'évolution du courant de fuite de grille est très similaire au courant de fuite de drain ce qui indique que les fuites du transistor proviennent majoritairement du courant inverse de la grille Schottky. Ces fuites pourraient donc être fortement réduites en ajoutant un oxyde de grille grâce auquel nous pouvons espérer des valeurs de courant de fuite de l'ordre du nA/mm. On peut noter également la présence systématique d'un pic de courant autour de 350V pour tous les composants avec substrat. Cette variation de courant est due à l'activation de pièges profonds confinés à l'interface entre la couche de nucléation (première couche de l'épitaxie) et le substrat Si [154] par le champ électrique. Ce phénomène est néfaste pour les performances d'un convertisseur de puissance car en augmentant le courant de fuite du transistor, les pertes énergétiques à l'état OFF seront augmentées en travaillant au-delà de 200V alors que la tenue en tension du transistor est largement supérieure.

2.1.2. STRUCTURES B & C (BUFFERS EPAIS)

Les tenues en tension pour l'ensemble des designs de transistor avec Si des structures B et C sont reportées ci-dessous (figure 3-10). Comme on peut le voir, les transistors des structures B et C présentent des tenues en tension extrêmement proches, ce qui confirme la similarité des buffers pour ces 2 épitaxies. Comme pour la structure A, on peut voir que la tenue en tension des transistors en fonction de la distance entre la grille et le drain évolue en deux temps avec la zone linéaire de $L_{GD}=2\mu\text{m}$ à $20\mu\text{m}$ et une saturation au-delà. Dans le cas des structures B et C, la saturation a lieu autour de 1570V soit environ 800V de plus que pour la structure A. L'amélioration de la tenue en tension de ces structures est rendue possible par l'utilisation de buffers plus épais ($5,5\mu\text{m}$ pour les structures B et C contre $2\mu\text{m}$ pour la structure A). Ce buffer représente une barrière d'épaisseur plus importante à traverser pour que les électrons puissent atteindre le substrat. Par conséquent, l'énergie nécessaire pour atteindre le régime de saturation sera plus élevée, ce qui se traduit, en terme de performance électrique, par un recul du phénomène de conduction parasite dans le substrat et l'amélioration de la tenue en tension du transistor.

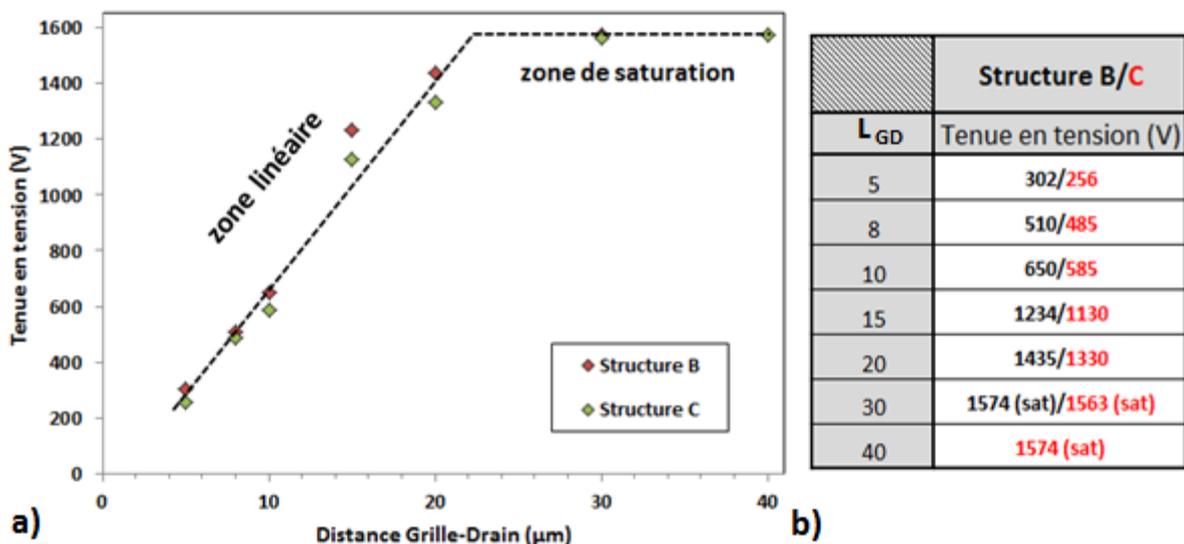


Figure 3-10 : (a) Tenue en tension des transistors HEMT GaN sur Si de la structure B&C en fonction de L_{GD} (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor des structures B&C. (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Pour les structures B et C, on retrouve donc également les deux phénomènes limitatifs de la tenue en tension pour les différents designs de transistor observés pour les transistors de la structure A. Sur les figures 3-11 et 3-12, les mesures de courant de fuite à haute-tension sont représentées respectivement pour $L_{GD}=5\mu\text{m}$ et $L_{GD}=30\mu\text{m}$ appartenant respectivement à la zone linéaire et à la zone de saturation.

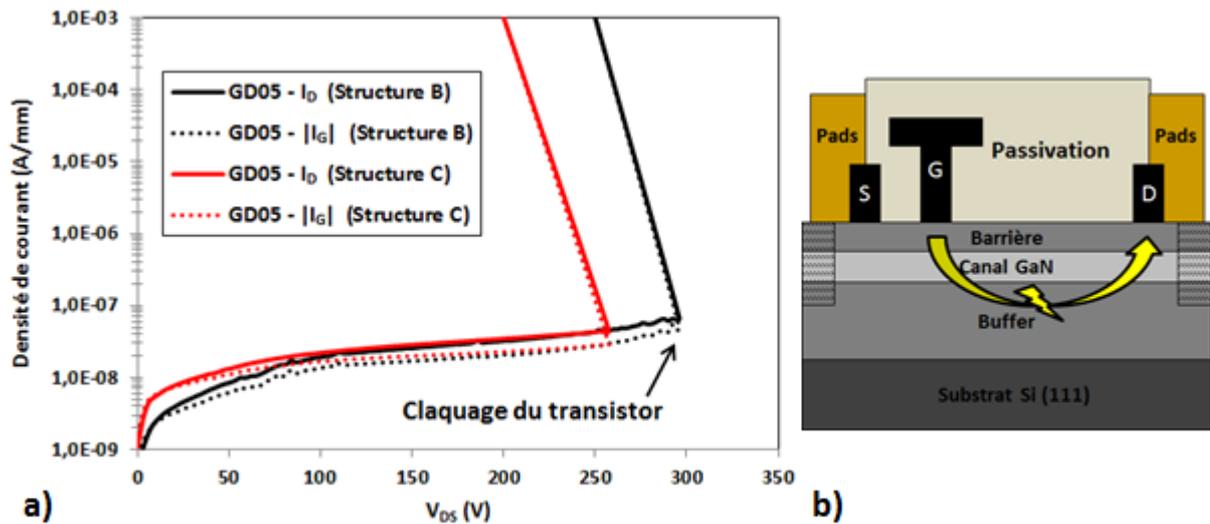


Figure 3-11 : (a) Mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure B & C ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=5 \mu\text{m}$) (b) Représentation schématique de la limitation de la tenue en tension par le champ électrique horizontal observée pour les transistors HEMT GaN sur Si à grille Schottky dans la zone linéaire. La flèche jaune représente le mécanisme dominant de fuite de courant.

Pour les transistors à $L_{GD}=5 \mu\text{m}$, la tenue en tension est limitée par le champ électrique latéral qui provoque le claquage du composant avant 300V (figure 3-11a). A noter que les tensions de claquage des composants des structures B et C sont inférieures à celle des composants de la structure A. Une comparaison détaillée des performances pour les différentes structures d'épitaxie sera effectuée dans la conclusion des mesures à haute-tension.

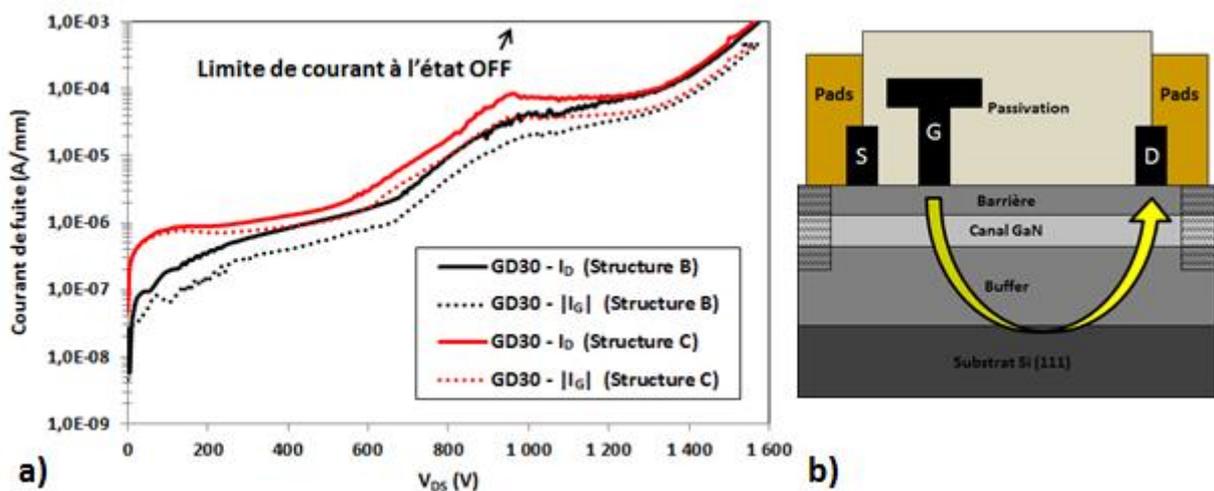


Figure 3-12 : (a) Mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure B et C ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=30 \mu\text{m}$) (b) Représentation schématique de la limitation de la tenue en tension par le phénomène de conduction parasite dans le substrat observé pour les transistors HEMT GaN sur Si dans la zone de saturation. La flèche jaune représente le mécanisme dominant de fuite de courant.

Comme pour la structure A, la tenue en tension des transistors à $L_{GD}=30\mu\text{m}$ est limitée par la conduction parasite dans le substrat (figure 3-12b). Grâce au buffer épais des structures B et C, l'augmentation du courant de fuite due à la conduction parasite est repoussée à 1300V. Le courant de fuite atteint 1mA/mm à 1570V où le transistor n'est plus considéré comme étant à l'état OFF (figure 3-12a). Le pic de courant qui était présent à 350V pour la structure A est lui aussi repoussé à 950V pour les structures B et C. On remarque également que la majorité du courant de fuite provient du courant inverse des contacts Schottky de grille et pourrait être diminué grâce à une structure MOS. Cependant, une tenue en tension similaire devrait être mesurée avec une structure MOS puisque le phénomène de conduction parasite dans le substrat reste l'élément limitatif du transistor. Dans ce cas, la conduction parasite s'établirait entre la source et le drain du transistor.

2.1.3. PROBLEMATIQUE DE LA POLARISATION DU SUBSTRAT A LA MASSE

Bien que le buffer épais des structures d'épitaxie B et C permette de repousser la limitation liée au substrat, la tenue en tension des transistors n'est pas encore suffisante pour les applications fonctionnant au-delà d'un kilovolt si l'on prend en compte la polarisation du substrat à la masse. En effet, les applications de convertisseur de puissance requièrent que le substrat soit polarisé à la masse, ce qui a un impact négatif sur la tenue en tension des transistors. Nous avons donc comparé les mesures statiques à haute tension du courant de fuite des transistors de la structure C avec substrat flottant et avec substrat à la masse. Comme on peut le voir sur la figure 3-13, la saturation de la tenue en tension des transistors avec substrat à la masse intervient pour des designs de transistor plus petits (à partir de $L_{GD}=15\mu\text{m}$ avec substrat à la masse contre $30\mu\text{m}$ avec substrat flottant). La tenue en tension des transistors dans la zone de saturation est ainsi divisée quasiment par 2 avec substrat à la masse par rapport aux composants avec substrat flottant, soit une tenue en tension finale d'environ 850V.

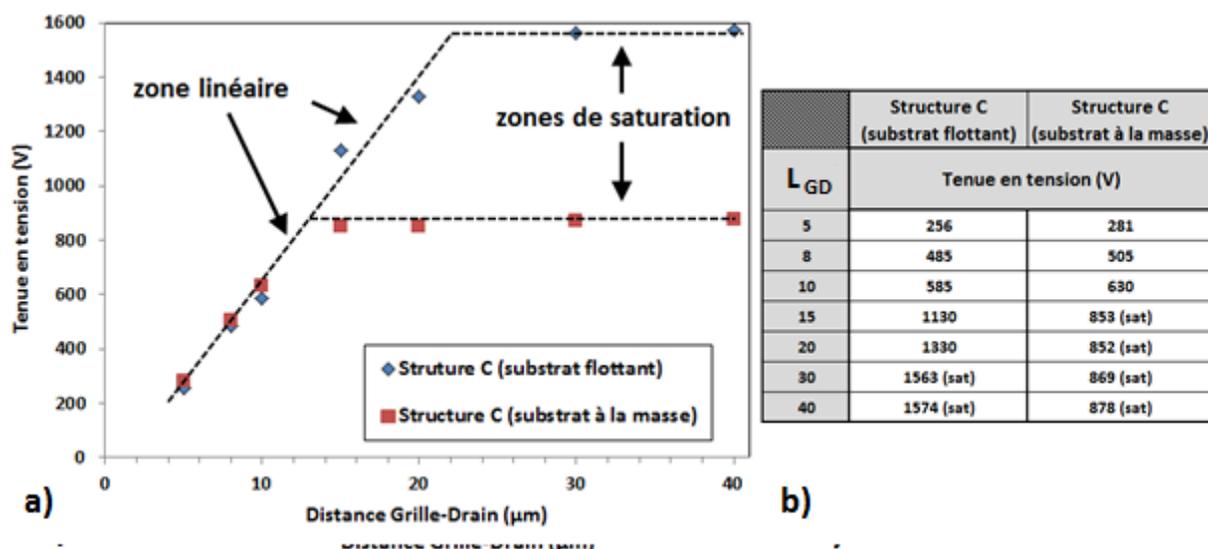


Figure 3-13 : (a) Comparaison de la tenue en tension des transistors HEMT GaN sur Si de la structure C en fonction de L_{GD} avec substrat flottant et avec substrat à la masse (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor de la structure C avec substrat flottant et avec substrat à la masse. (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Sur la figure 3-14, on peut comparer les mesures de courant de fuite à haute tension avec substrat à la masse et avec substrat flottant pour un même design de transistor ($1,5 \times 50 \mu\text{m}^2$,

$L_{GD}=30\mu\text{m}$). On peut voir que l'augmentation du courant de fuite due à la conduction parasite du substrat a lieu autour de 600V avec le substrat à la masse contre 1300V avec substrat flottant. La tenue en tension finale pour ce design de transistor est donc réduite de 1563V à 869V avec le substrat polarisé à la masse. Contrairement à ce que l'on a pu voir sur l'ensemble des mesures effectuées avec le substrat flottant, le courant de fuite du transistor avec substrat à la masse n'est pas majoritairement lié aux fuites de la grille Schottky.

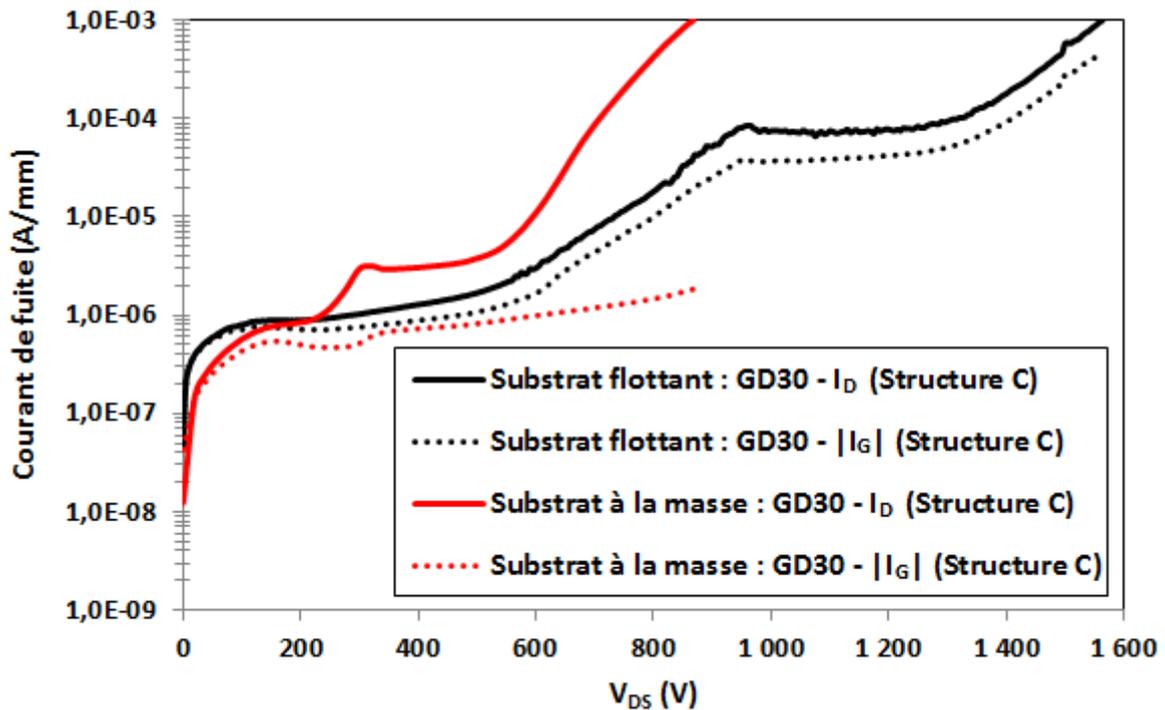


Figure 3-14 : Comparaison des mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure C avec substrat flottant et avec substrat à la masse ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=30\mu\text{m}$)

Afin d'expliquer ce comportement, il faut considérer la nouvelle orientation du champ électrique induite par la polarisation du substrat. En effet, en polarisant le substrat Si à la masse, la composante verticale du champ électrique est renforcée, ce qui accélère le phénomène de conduction parasite dans le substrat par rapport au substrat flottant. Lorsque le champ électrique entre le drain et la masse du substrat est suffisamment élevé, une conduction verticale supplémentaire se crée entre ces deux terminaux et provoque ainsi une augmentation drastique du courant de fuite du transistor (figure 3-15). De par les phénomènes de conduction parasite liés au substrat Si, la tenue en tension des transistors GaN sur Si avec substrat à la masse est encore inférieure au kilovolt. Avec un champ électrique de claquage équivalent à celui mesuré sur la structure C, une tenue en tension de 1000V requerrait une épaisseur d'épitaxie proche de $10\mu\text{m}$, ce qui est difficilement envisageable aujourd'hui avec les technologies de croissance MOCVD actuelles sur substrat Si. Dans ce contexte, nous avons donc développé une gravure locale du substrat Si afin de supprimer la conduction parasite du substrat et améliorer la tenue en tension des transistors indépendamment de l'épaisseur de l'épitaxie.

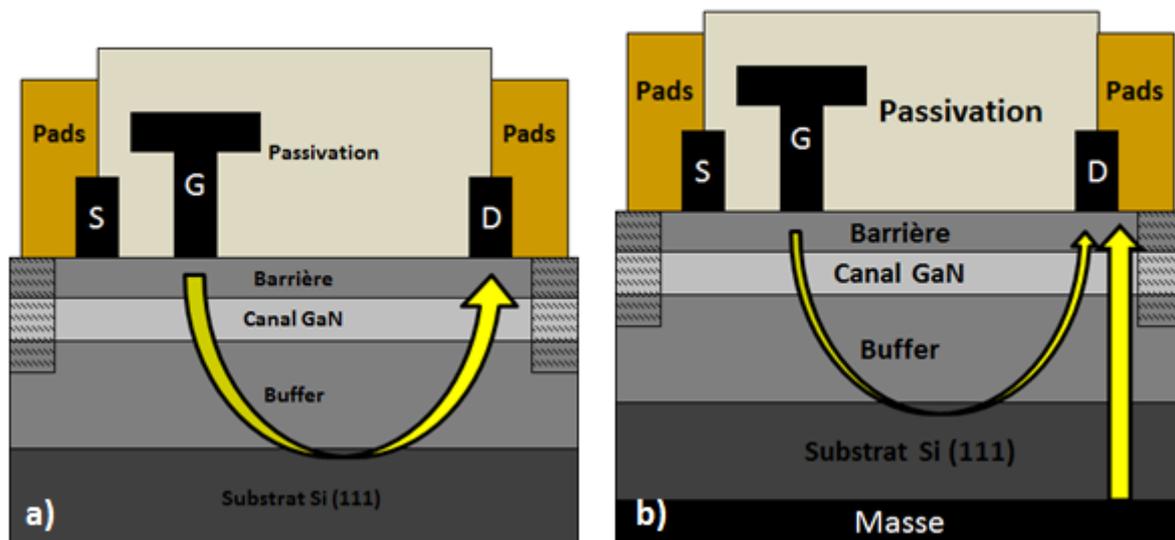


Figure 3-15 : Schéma représentatif des phénomènes de conduction parasite à haute tension pour les transistors GaN sur substrat Si (a) avec substrat flottant (b) avec substrat à la masse. La flèche jaune représente le mécanisme dominant de fuite de courant.

2.2. MESURES AVEC GRAVURE LOCALISEE DU SUBSTRAT

2.2.1. MOTIF 1 (STRUCTURE A)

Les premiers tests de gravure locale du substrat ont été réalisés sur des composants de la structure d'épitaxie A avec le motif 1 (barres parallèles). Sur la figure 3-16, on compare les tenues en tension mesurées pour les transistors avec et sans GLS (référence) pour le motif 1. Ces mesures n'ont révélé aucune modification de la tenue en tension des transistors ayant été soumis à la GLS avec le motif 1 par rapport aux transistors de référence (sans GLS).

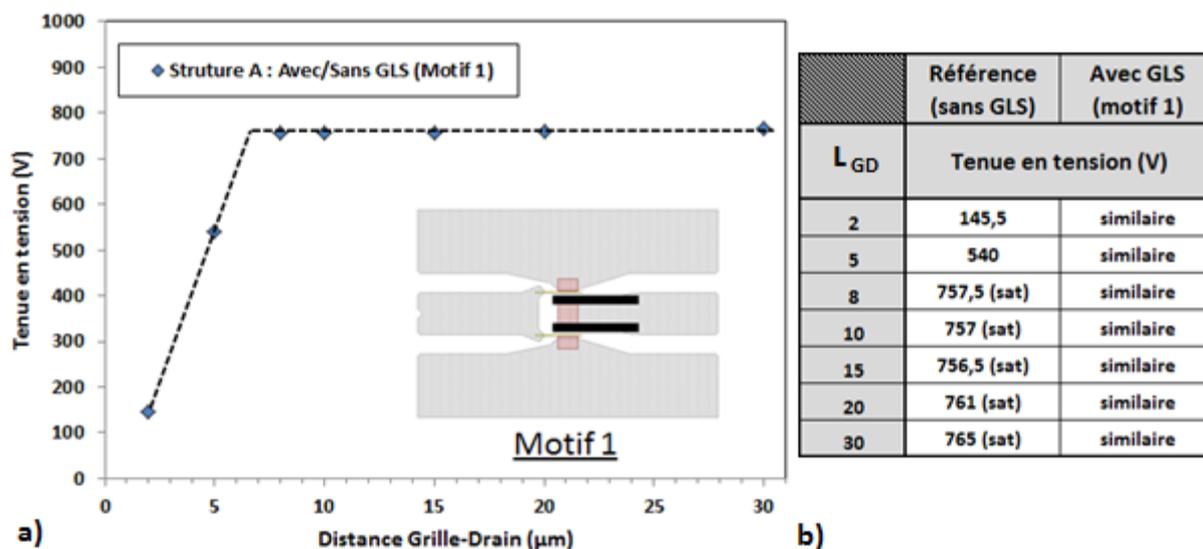


Figure 3-16 : (a) Comparaison de la tenue en tension des transistors HEMT GaN sur Si de la structure A en fonction de L_{GD} avec et sans GLS (motifs 1) (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor de la structure A avec et sans GLS (motif 1). (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Comme on peut le voir sur la figure 3-17, l'influence de la conduction parasite du substrat reste inchangée pour les composants dont le substrat a été gravé avec le motif 1 ($L_{GD}=30\mu\text{m}$). Le courant de fuite suit précisément les mêmes variations pour les composants avec et sans gravure du substrat ce qui montre que le motif 1 de gravure est inadapté pour supprimer conduction parasite du substrat. On remarque néanmoins que le courant de fuite a été réduit pour le transistor avec GLS. Cette diminution est attribuée à l'implantation d'ions négatifs dans le buffer pendant les étapes technologiques de gravure face-arrière. L'implantation a pu avoir lieu pendant la gravure du Si avec le plasma fluoré (implantation d'ions F) ou pendant les étapes de nettoyage physique au plasma oxygène (implantation d'ions O). Ces espèces produisent des états d'énergie dans le buffer qui peuvent entraîner une dégradation des performances dynamiques du transistor. Une étude plus détaillée devra être menée afin de déterminer précisément la cause de cette diminution et de mesurer les conséquences sur les performances dynamiques du transistor.

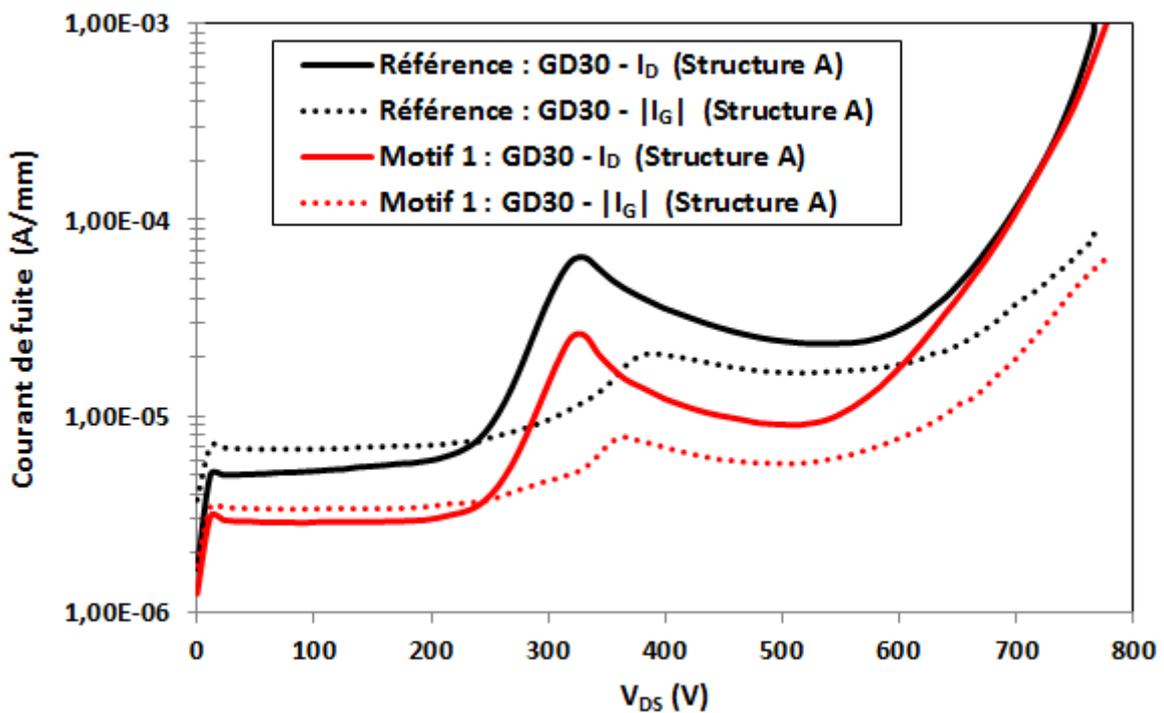


Figure 3-17 : Comparaison des mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure A ($1,5\times 50\mu\text{m}^2$, $L_{GD}=30\mu\text{m}$) avec et avec sans gravure localisée du substrat (motif 1)

Pour expliquer l'inefficacité de ce motif de gravure à supprimer la conduction parasite dans le substrat, nous avons représenté schématiquement les chemins de conduction dans le substrat après la réalisation du motif 1 de gravure sur la figure 3-18. L'hypothèse la plus probable serait que les électrons traversent verticalement l'épitaxie jusqu'au substrat à partir du drain. La conduction parasite se crée alors en dehors de la zone active directement entre les contacts métalliques de grille et de drain. Par conséquent, nous en avons déduit qu'il est impératif de graver tout autour du pad de drain pour isoler le substrat directement situé sous le drain du transistor.

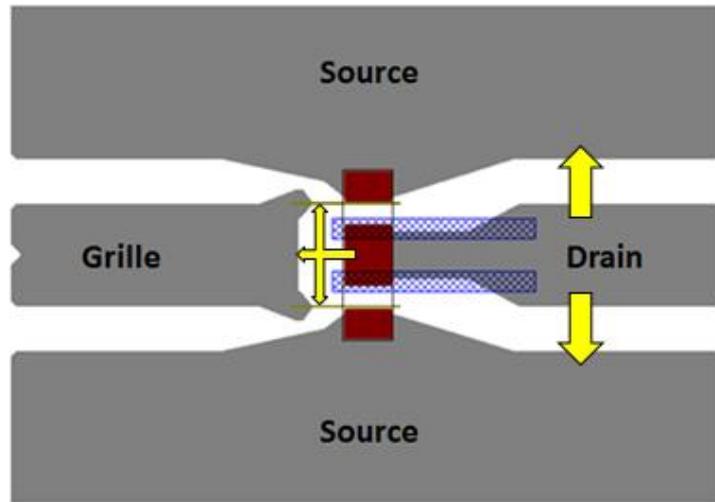


Figure 3-18 : Représentation schématique de la conduction parasite dans le substrat pour un transistor avec GLS (motif 1). Les flèches jaunes représentent les courants de fuite possibles empruntés dans le substrat.

2.2.2. MOTIF 2 (STRUCTURE A)

Pour le motif 2 de gravure du substrat, l'ensemble du contact de drain est isolé du reste du transistor par un grand rectangle de largeur fixe (20 μm). Les résultats des mesures de tenue en tension des transistors avec et sans GLS sont présentés sur la figure 3-19. Le motif 2 a été testé sur la structure d'épitaxie A. Nous avons pu observer une amélioration de la tenue en tension des transistors avec GLS mais seulement pour certains d'entre eux. Jusqu'à $L_{GD}=8\mu\text{m}$, la tenue en tension des transistors avec et sans GLS reste similaire puisque le phénomène limitatif n'était pas la conduction parasite du substrat. Pour les composants à $L_{GD}=10$ et $15\mu\text{m}$, la tenue en tension est améliorée pour atteindre respectivement 1032V et 1879V, ce qui indique que la GLS a eu un effet significatif sur la conduction parasite du substrat pour ces deux transistors. Cette dernière valeur représente une augmentation de près de 150% par rapport à la valeur du transistor de référence correspondant. Au-delà de $L_{GD}=15\mu\text{m}$, la tenue en tension des transistors avec GLS redevient similaire à celles des composants de référence et sature à des valeurs proches de 750V.

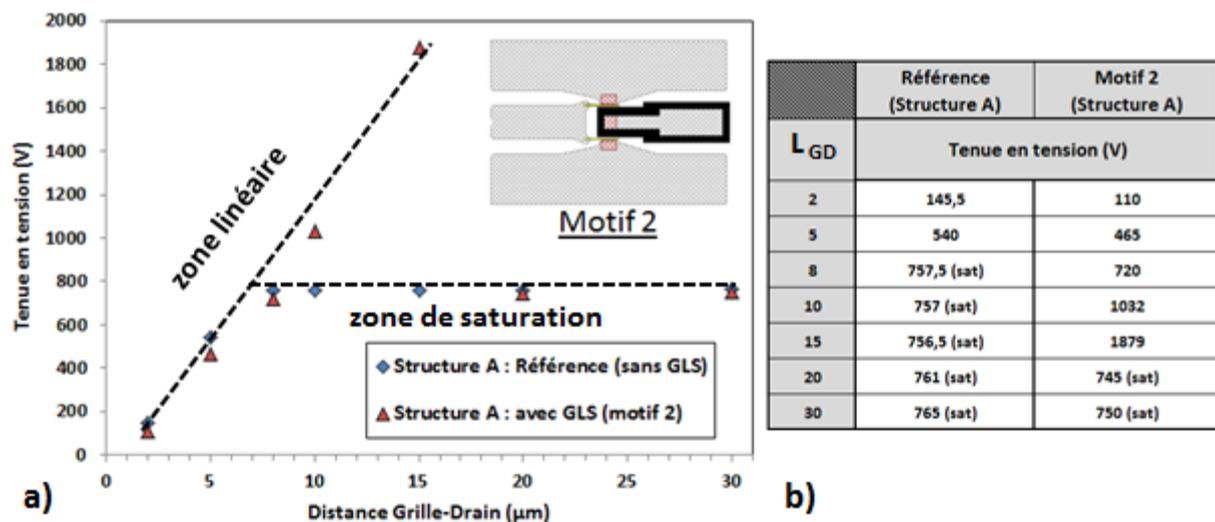


Figure 3-19 : (a) Comparaison de la tenue en tension des transistors HEMT GaN sur Si de la structure A en fonction de L_{GD} avec et sans GLS (motifs 2) (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor de la structure A avec et sans GLS (motif 2). (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Les mesures du courant de fuite pour les transistors avec et sans GLS dans les cas $L_{GD}=30\mu\text{m}$ et $L_{GD}=15\mu\text{m}$ sont représentées respectivement sur les figures 3-20 et 3-21.

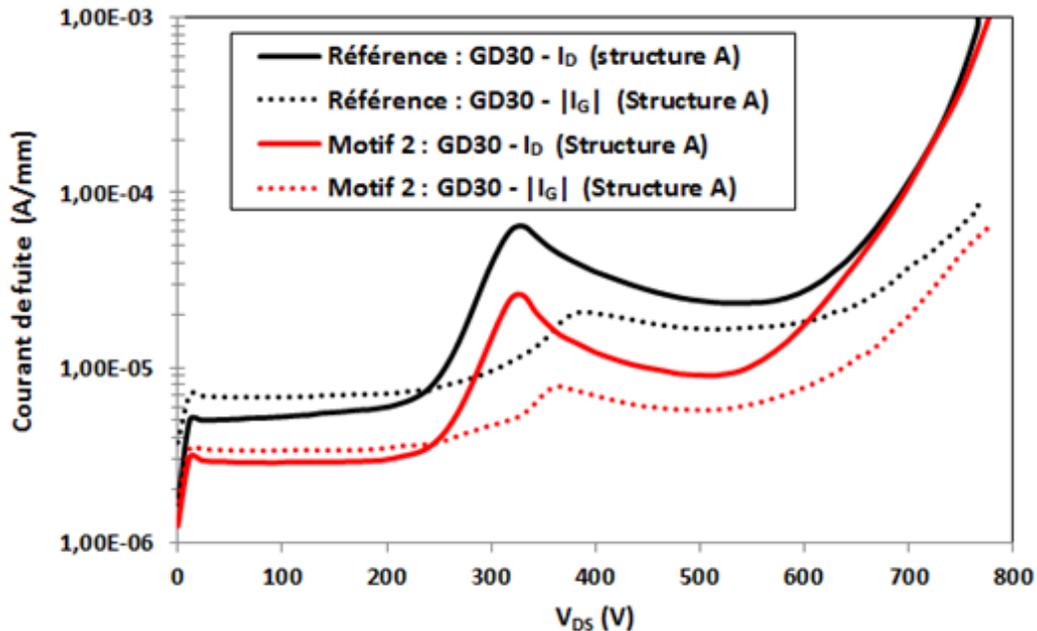


Figure 3-20 : Mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure A ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=30\mu\text{m}$) avec et sans gravure localisée du substrat (motif 2)

Dans le cas où $L_{GD}=30\mu\text{m}$, la gravure locale du substrat ne semble avoir eu aucune influence sur le phénomène de conduction parasite dans le substrat (figure 3-20). Le courant de fuite du transistor avec GLS augmente de façon exponentielle autour de 600V en raison de la conduction parasite dans le substrat limitant la tenue en tension du transistor à 750V. Les mesures électriques sont similaires pour $L_{GD}=20\mu\text{m}$. Comme pour le motif 1, on en conclut que la gravure du motif 2 est inadaptée pour supprimer la conduction parasite dans le substrat pour $L_{GD}>15\mu\text{m}$ puisque les variations de courant sont similaires avec et sans GLR. La réduction du courant de fuite à basse tension est également attribuée à l'implantation d'ions négatifs dans le buffer.

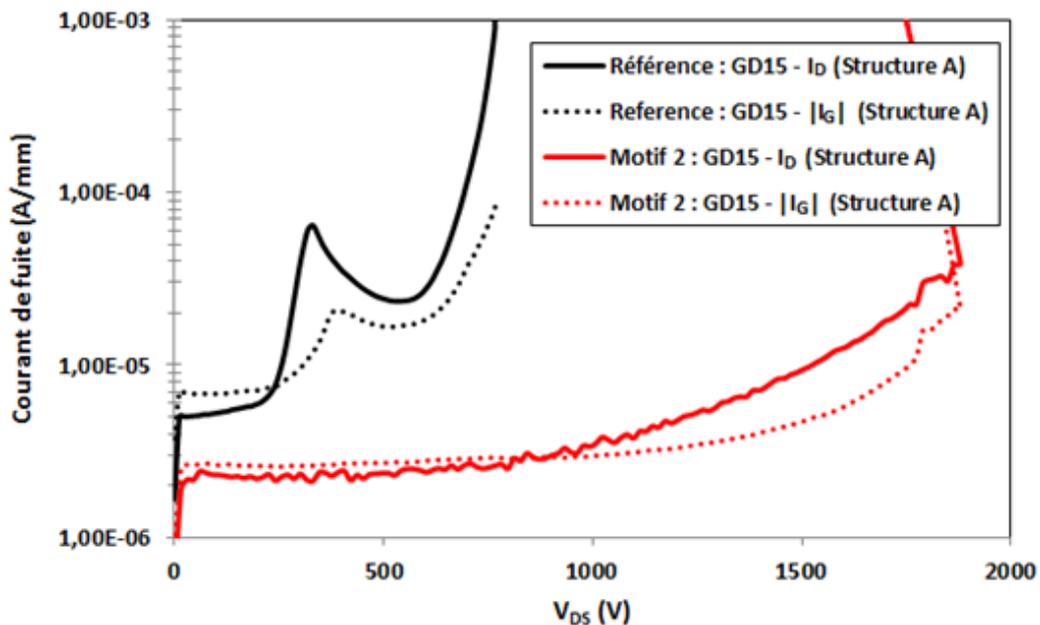


Figure 3-21 : Mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure A ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=15\mu\text{m}$) avec et sans gravure localisée du substrat (motif 2)

Dans le cas où $L_{GD}=15\mu\text{m}$, les comportements électriques des transistors avec et sans GLS sont totalement différents (figure 3-21). Le courant de fuite avec GLS ne présente plus aucune variation comme dans le cas du composant de référence. Le courant de fuite de drain reste relativement constant jusqu'à 1000V ($<3\mu\text{A}/\text{mm}$) puis augmente progressivement jusqu'à $39\mu\text{A}/\text{mm}$ à 1879V où survient le claquage du transistor. Cette légère augmentation du courant de fuite (comparativement à celle du courant de fuite du transistor de référence) est attribuée à l'augmentation du champ électrique latéral entre grille et drain. La disparition du pic de courant à 350V, normalement dû aux états d'interface entre l'épithaxie et le substrat, indique que la gravure a permis d'éliminer complètement le Si dans la zone du substrat exposée au champ électrique. Nous en concluons que la GLS avec le motif 2 a permis de supprimer la conduction parasite du substrat pour les transistors de distance grille-drain inférieure ou égale à $15\mu\text{m}$. Les mêmes effets ont été observés avec $L_{GD}=10\mu\text{m}$, et le pic de courant à 300V a également disparu pour les transistors de distance grille-drain inférieure ou égale à $15\mu\text{m}$. La tenue en tension de ces transistors est à présent limitée par le champ électrique latéral qui a provoqué le claquage du transistor. A noter également, comme pour les mesures précédentes, que la majorité des fuites de courant du transistor proviennent de la grille Schottky.

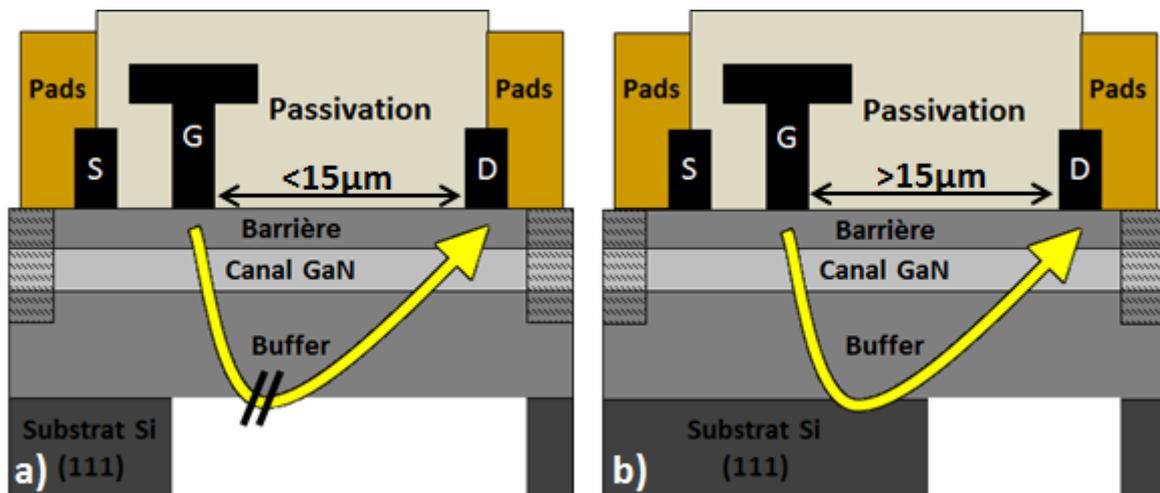


Figure 3-22 : Représentations schématiques de la conduction parasite dans le substrat avec GLS (motif 2) pour les designs de transistors avec une distance grille-drain (a) inférieure à $15\mu\text{m}$ et (b) supérieure à $15\mu\text{m}$. La flèche jaune représente le mécanisme dominant de fuite de courant.

Pour comprendre l'influence de la gravure du motif 2 dans le substrat pour les différents designs de transistor, nous avons schématisé la conduction verticale dans le substrat pour les transistors avec GLS correspondant à $L_{GD}\leq 15\mu\text{m}$ (figure 3-22a) et $L_{GD}>15\mu\text{m}$ (figure 3-22b). La position relative du motif de gravure verticalement par rapport à la grille est différente pour les composants à $L_{GD}\leq 15\mu\text{m}$ et à $L_{GD}>15\mu\text{m}$. Lorsque $L_{GD}\leq 15\mu\text{m}$, la partie du substrat située verticalement sous la grille a été gravée alors que cela n'est pas le cas lorsque $L_{GD}>15\mu\text{m}$. De par ces observations, nous supposons donc que le courant de fuite se propage verticalement sous la grille jusqu'au substrat et traverse ensuite en « diagonale » l'épithaxie pour atteindre le drain du transistor (figure 3-22b). Pour les transistors à $L_{GD}\leq 15\mu\text{m}$, le Si est inexistant sous la grille du transistor grâce à la GLS rendant impossible la conduction parasite. Une discussion plus détaillée du phénomène de conduction parasite dans le substrat observé sera effectuée dans la conclusion des mesures à haute tension.

2.2.3. MOTIF 3 (STRUCTURE B & C)

En prenant en compte les observations effectuées sur l'influence des motifs de gravure 1 et 2, nous avons donc testé le motif 3 sur les transistors des structures B et C. Le motif 3 correspond à un grand rectangle gravé tout autour du drain de largeur variable de manière à ce que la grille se retrouve verticalement incluse dans le motif pour tous les designs de transistor. Les résultats des mesures de tenue en tension des transistors des structures B et C avec et sans GLS (motif 3) sont présentés sur la figure 3-23. Grâce à la GLS, aucune saturation de la tenue en tension des transistors n'est observée. La tenue en tension des transistors augmente ainsi linéairement avec la distance grille-drain sur l'ensemble des designs et ne semble plus être limitée par la conduction verticale dans le substrat. On observe des valeurs de tenue en tension très proches pour les composants des structures B et C pour les mêmes L_{GD} , ce qui s'explique par la similarité de leurs buffers. Pour la structure B, la tenue en tension des transistors avec GLS augmente jusqu'à 2290V pour $L_{GD}=30\mu\text{m}$, ce qui correspond à une amélioration de 45% par rapport à la tenue en tension sans GLS. Pour la structure C, les transistors avec GLS à $L_{GD}=30\mu\text{m}$ et $L_{GD}=40\mu\text{m}$ présentent des tenues en tension respectives de 2429V et 3000V, soit des augmentations de 55 et 90% par rapport aux valeurs de référence.

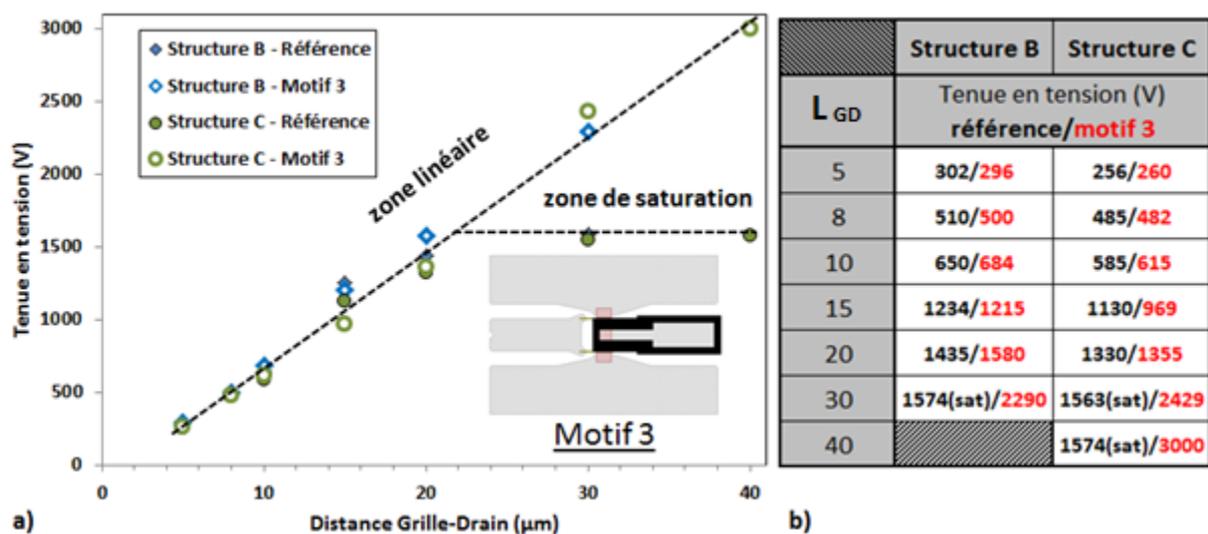


Figure 3-23 : (a) Comparaison de la tenue en tension des transistors HEMT GaN sur Si des structures B&C en fonction de L_{GD} avec et sans GLS (motifs 3) (b) Tableau récapitulatif des valeurs de tenue en tension des différents designs de transistor des structures B&C avec et sans GLS (motif 3). (sat) indique que la tenue en tension est limitée par la limite de courant à l'état OFF fixée à 1mA/mm

Les mesures du courant de fuite à haute-tension avec et sans GLS dans les cas $L_{GD}=30\mu\text{m}$ pour la structure B et $L_{GD}=40\mu\text{m}$ pour la structure C sont représentées figures 3-24 et 3-25.

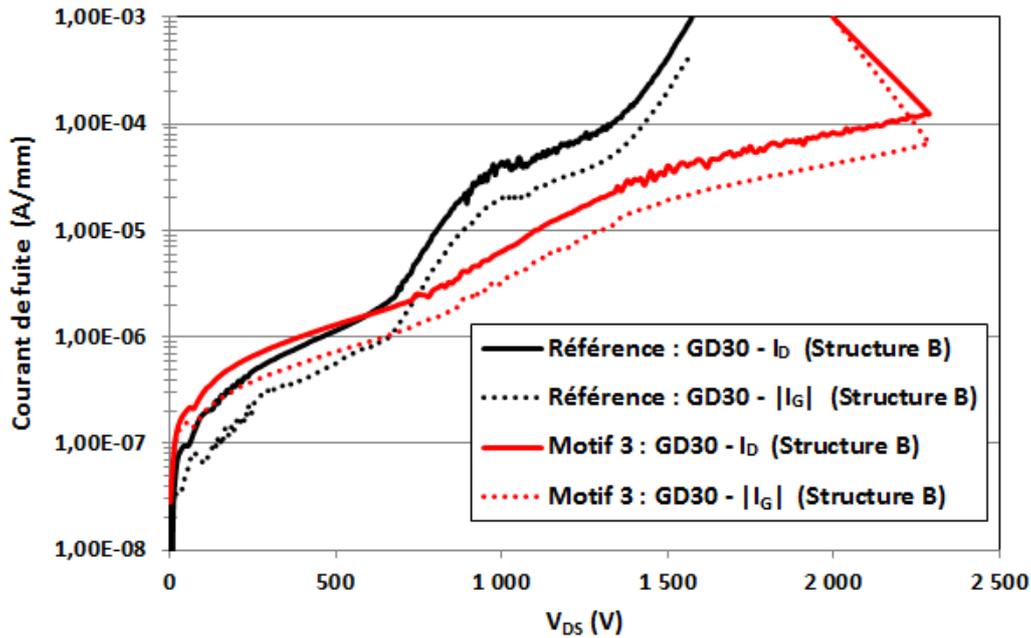


Figure 3-24 : Comparaison des mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure B ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=30 \mu\text{m}$) avec et sans gravure localisée du substrat (motif 3)

Dans le cas du transistor à $L_{GD}=30 \mu\text{m}$ de la structure d'épitaxie B, la tenue en tension du transistor est augmentée de 1574V sans GLS à 2290V avec GLS. Comme ce qu'on a pu observer pour la structure A, les variations du courant de fuite, normalement induites par le substrat, sont inexistantes après GLS. Le courant de fuite augmente linéairement avec le champ électrique latéral provoquant principalement l'augmentation du courant inverse de la grille Schottky.

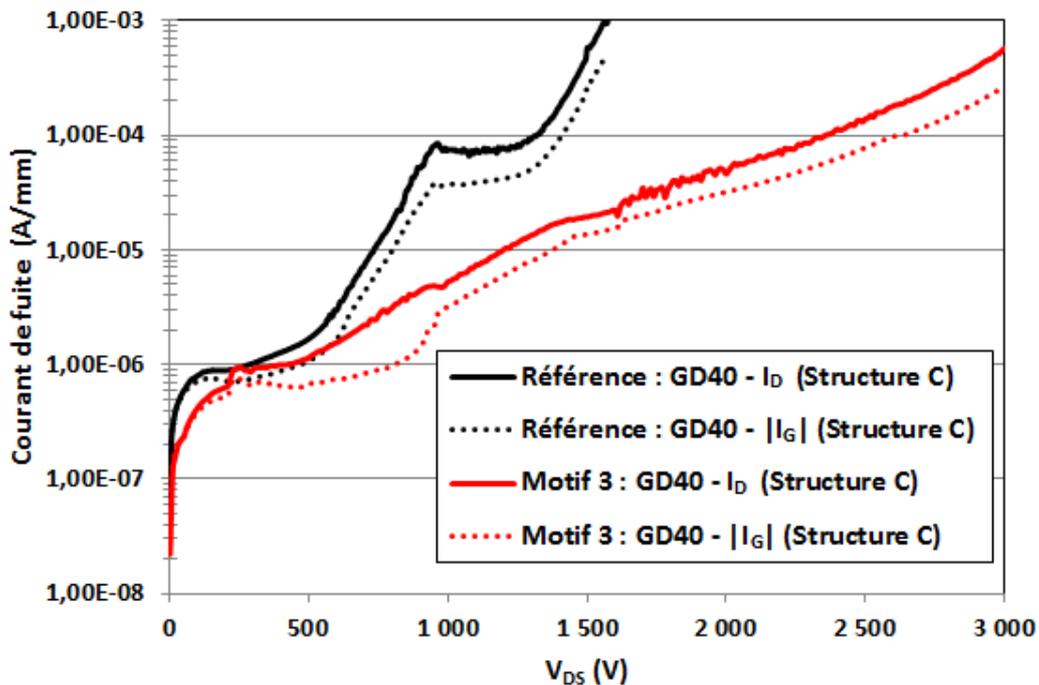


Figure 3-25 : Comparaison des mesures électriques statiques du courant de fuite à haute tension de transistors HEMT GaN sur Si de la structure B ($1,5 \times 50 \mu\text{m}^2$, $L_{GD}=40 \mu\text{m}$) avec et sans gravure localisée du substrat (motif 3)

Les mêmes effets ont été observés suite à la GLS sur les composants de la structure d'épitaxie C (figure 3-25). Pour le plus large design d'entre eux ($L_{GD}=40\mu\text{m}$), la tenue en tension passe de 1574V pour les composants de référence à plus de 3000V avec GLS (limite de l'équipement). Ces mesures confirment la suppression effective de la conduction parasite du substrat et démontrent l'efficacité de ce motif de gravure pour améliorer la tenue en tension des transistors HEMT GaN sur Si. Il est également important de noter que, contrairement aux transistors de la structure A, les niveaux des courants de fuite à basse tension pour les composants avec et sans GLS sont relativement similaires. Nous pensons que dans le cas des buffers épais, les espèces implantées ont moins d'influence sur le courant de fuite en raison de la distance plus importante des couches actives de l'épitaxie.

2.2.4. MOTIF 4 & 5 (STRUCTURE C)

Les motifs 4 et 5 ont été réalisés et testés dans le but d'améliorer la résistance mécanique du contact de drain. En effet, de par la largeur des cavités du motif 3 (pouvant aller jusqu'à $50\mu\text{m}$ pour les transistors à $L_{GD}=40\mu\text{m}$) et la faible épaisseur de l'épitaxie (de 2 à $5\mu\text{m}$ d'épaisseur), le contact de drain devient extrêmement fragile après la gravure locale du substrat (figure 3-26). Avec la structure du transistor fragilisée par la GLS, il devient extrêmement complexe de poser les pointes de mesure pour contacter le drain du transistor sans détériorer l'épitaxie qui relie le contact de drain au reste du transistor. Cette fragilité est évidemment très contraignante également pour le packaging (futur) de ce type de composants.

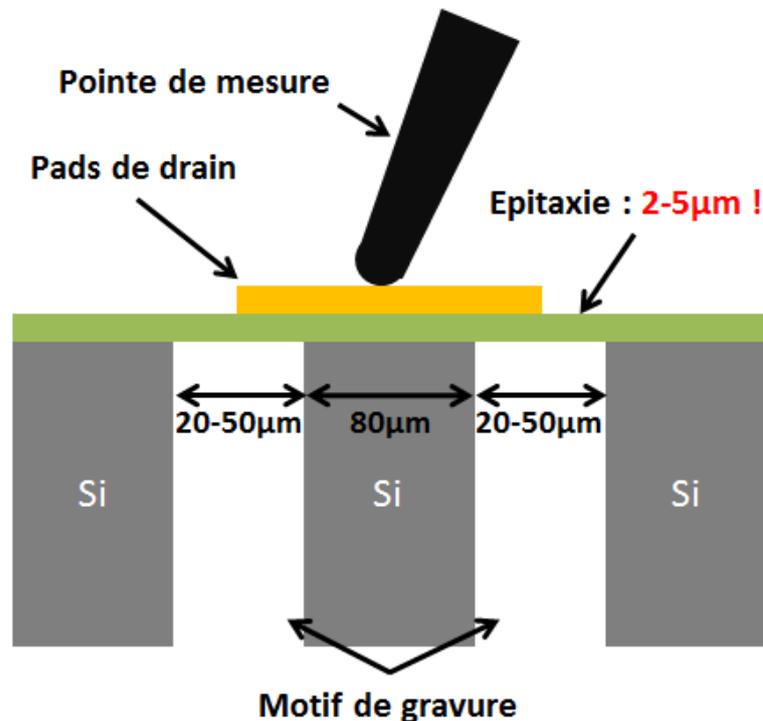


Figure 3-26 : Schéma représentatif en coupe du contact de drain d'un transistor avec la gravure localisée du substrat du motif 3

Ainsi, pour le motif 4, seule la partie du drain située proche de la zone active du transistor a été gravée, permettant de poser la pointe de mesure sur l'autre partie du contact sans risquer de générer de dommages. Ce motif a été testé sur des transistors de la structure C et les mesures ont

été comparées aux résultats obtenus précédemment avec le motif 3. Les mesures de courant de fuite du transistor réalisées à haute tension ont révélé que le motif 4 n'était pas adapté pour supprimer la conduction parasite du transistor dans le substrat. En effet, le courant de fuite et la tenue en tension des composants étaient similaires à ceux des composants de référence (sans GLS). Ce résultat laisse à penser que la conduction parasite s'établit dans le substrat entre le contact de drain et le contact de grille alors même qu'ils sont éloignés de plusieurs centaines de microns ($>200\mu\text{m}$). Sous plus fort champ, on peut également penser qu'une conduction parasite supplémentaire pourrait s'établir entre les contacts de drain et de source (figure 3-27).

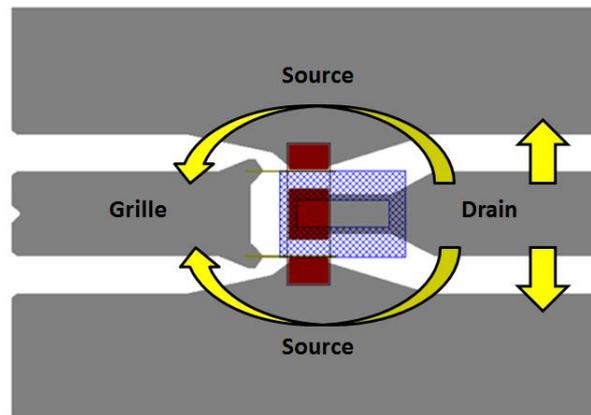


Figure 3-27 : Représentation schématique de la conduction parasite d'un transistor dans le substrat malgré la GLS (motif 4). La flèche jaune représente le mécanisme dominant de fuite de courant.

Pour le motif 5, la surface du pad de drain a été élargie afin d'augmenter sa résistance mécanique (figure 3-28). Les mesures du courant de fuite des transistors à haute tension avec le motif 5 sur la structure d'épitaxie C ont révélé des résultats similaires en termes de tenue en tension et de courant de fuite que le motif 3. Tout comme le motif 3, le motif 5 a donc permis de supprimer la conduction parasite des transistors dans le substrat tout en présentant une robustesse plus importante d'un point de vue mécanique.

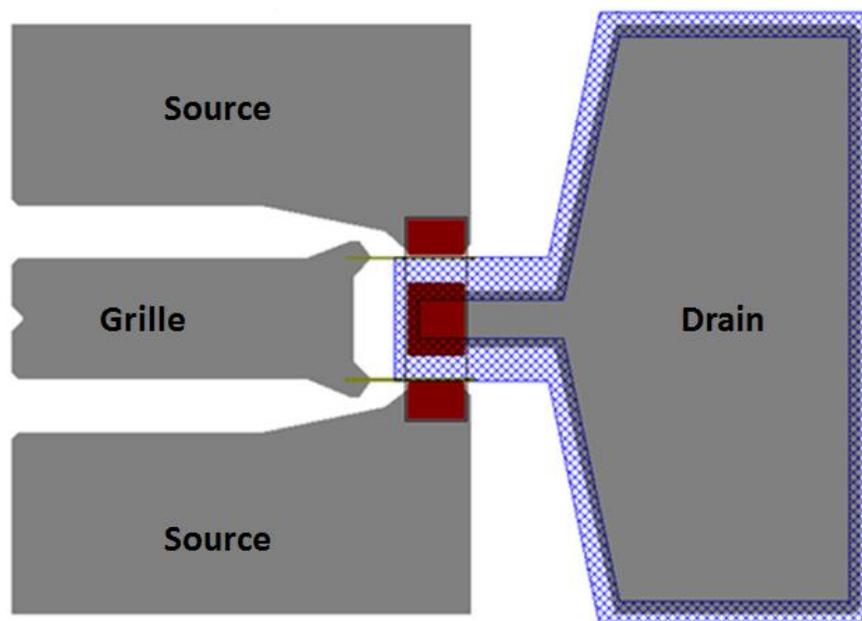


Figure 3-28 : Représentation schématique du motif 5 de gravure locale du substrat

2.3. BILAN ET DISCUSSIONS

2.3.1. BILAN & COMPARAISON A L'ETAT DE L'ART

Le tableau 3-3 regroupe un certain nombre de performances électriques en termes de tenue en tension reportées dans la littérature au-delà d'un kilovolt (substrat flottant) pour les composants de type HEMT GaN-sur-Si [155], [156], [90], [157], [158], [88], [87], [147], [91]. En plus de la tenue en tension, plusieurs paramètres ont été pris en compte : l'épaisseur du buffer utilisée qui conditionne la limitation de la conduction parasite dans le substrat, la distance grille-drain (L_{GD}) qui détermine le champ électrique latéral et la résistance à l'état passant du transistor ($R_{on,sp}$). Les tenues en tension des transistors avec GLS que nous avons obtenues sont parmi les plus élevées jamais reportées pour des composants HEMT GaN-sur-Si. Pendant ces travaux, nous avons donc obtenu quatre performances au-delà de 1,8 kV. Avant cela, seules deux performances avaient été reportées dans cette gamme de tension : Furukawa en 2009 qui a obtenu une tenue en tension de 2450V grâce à un buffer de 7,3 μm d'épaisseur [88] et l'IMEC en 2011 qui a utilisé une gravure locale du substrat pour atteindre une tension de claquage de 2,2kV [91]. Nous avons obtenu pour la première fois une tenue en tension supérieure à 2kV pour un transistor HEMT GaN-sur-Si à barrière ultrafine d'AlN (2290V pour la structure B), permettant également de réduire sa résistance à l'état passant comparativement au transistor de même design de la structure C (4,61m $\Omega\cdot\text{cm}^2$ contre 6,5m $\Omega\cdot\text{cm}^2$) [159]. La tenue en tension au-delà de 3000V obtenue sur la structure C pour $L_{GD}=40\mu\text{m}$ constitue un nouveau record absolu pour des composants HEMTs GaN-sur -Si [160], ce qui a fait l'objet d'un article de presse dans le magazine *Compound Semiconductor* en 2015.

Tableau 3-3 : Liste non-exhaustive des tenues en tension reportées au-delà du kilovolt dans la littérature pour les composants HEMT GaN-sur-Si

Groupe (année) [Référence]	Tenue en tension (V)	Epaisseur de buffer (μm)	L_{GD} (μm)	$R_{on,sp}$ (m $\Omega\cdot\text{cm}^2$)
Georgiatech, USA (2011)	1250	4,8	18,5	6,2
Furukawa, Japon (2008)	1300	5,2	15	5
MIT, USA (2010)	1370	2	18	4,3
NIT, Japon (2012)	1400	5	20	9,6
SNU, Corée (2013)	1410	4	10	2,28
MIT, USA (2010)	1500	2	20	5,3
Furukawa, Japon (2009)	1730	7,3	24	5,9
Furukawa, Japon (2008)	1800	6	24	7
MIT, USA (2012)	1800	4	10	1,9
IEMN, France (2013)	1879	2 (Structure A)	15	1,6
IMEC, Belgique (2011)	2200	2	20	4,1
IEMN, France (2014)	2290	5,5 (Structure B)	30	4,61
IEMN, France (2015)	2429	5,5 (Structure C)	30	6,5
Furukawa, Japon (2009)	2450	7,3	24	non précisé
IEMN, France (2015)	3000	5,5 (Structure C)	40	10,1

L'état de l'art des composants de puissance GaN HEMT sur substrat Si est représenté sur la figure 3-29. On compare la résistance à l'état passant en fonction de la tenue en tension des transistors GaN-sur-Si reportés au-delà d'un kilovolt. Les performances que nous avons établies pendant ces travaux se placent favorablement par rapport à l'état de l'art. Nous avons obtenu un record de combinaison de résistance à l'état passant et de tenue en tension grâce aux résultats du transistor de la structure A à $L_{GD}=15\mu\text{m}$ (1879V ; $1,6\text{m}\Omega\cdot\text{cm}^2$). Ces résultats ont également fait l'objet d'une publication dans le journal Applied Physics Express en 2014 [161].

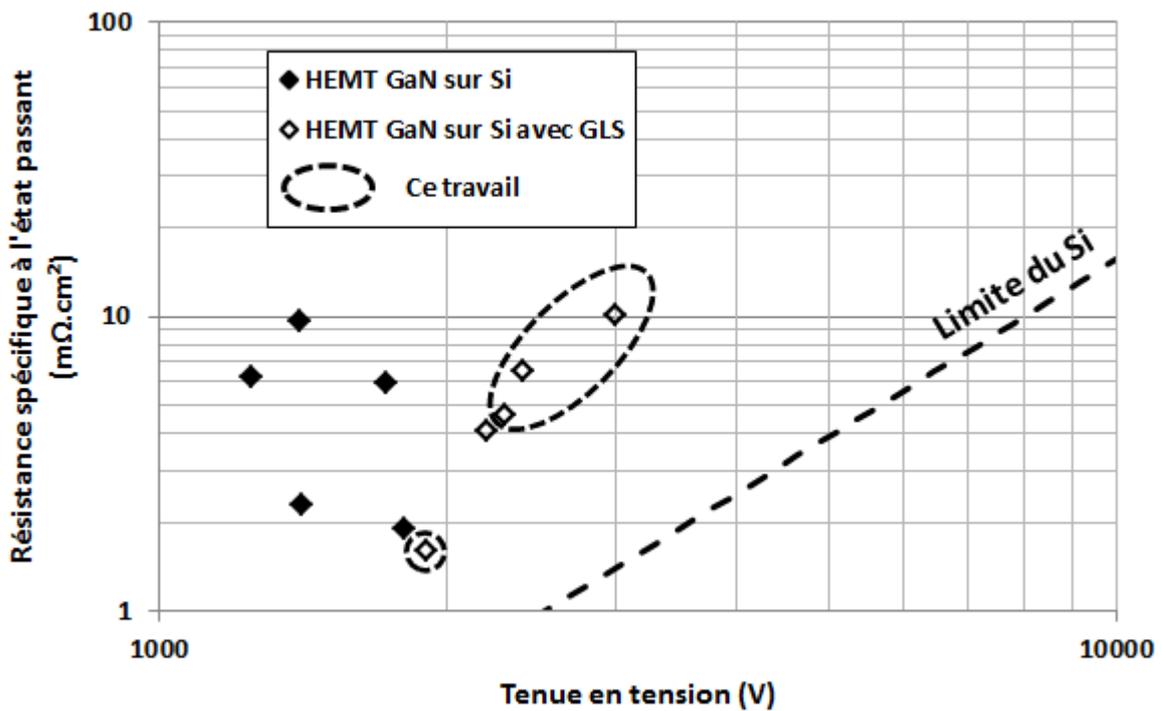


Figure 3-29 : Résistance à l'état passant en fonction de la tenue en tension des transistors HEMT GaN-sur-Si reportés au-delà du kilovolt.

2.3.2. INTERPRETATION DU PHENOMENE DE CONDUCTION PARASITE DANS LE SUBSTRAT

Jusqu'à aujourd'hui, les explications du phénomène de conduction parasite dans le substrat restent extrêmement vagues en raison notamment d'un manque d'études à son sujet. Au travers des tests sur les différents motifs de gravure du substrat testés, nous avons pu améliorer notre compréhension de ce phénomène. Les différences observées entre l'influence électrique des motifs 2 et 3 nous ont montré que la position relative de la grille par rapport au motif de gravure était d'une extrême importance. Cette information, qui semble être primordiale à la suppression de la conduction parasite du transistor dans le substrat, n'est mentionnée à aucun moment dans la littérature [162].

Nous pensons que la conduction parasite s'établit à partir du moment où le champ électrique de grille, suffisamment élevé, atteint le silicium rendant cette partie du substrat conductrice. Le champ électrique se propage verticalement à partir de la grille vers le substrat. La zone du substrat atteinte par le champ électrique est donc située exactement sous la grille, d'où l'importance de la position relative du motif de gravure par rapport à la grille du transistor. Dans le cas où il n'y a pas eu

de GLS, le courant d'électrons se propage alors de la grille directement vers cette zone puis traverse diagonalement l'épitaxie vers le drain en contournant la zone de charge d'espace (figure 3-30).

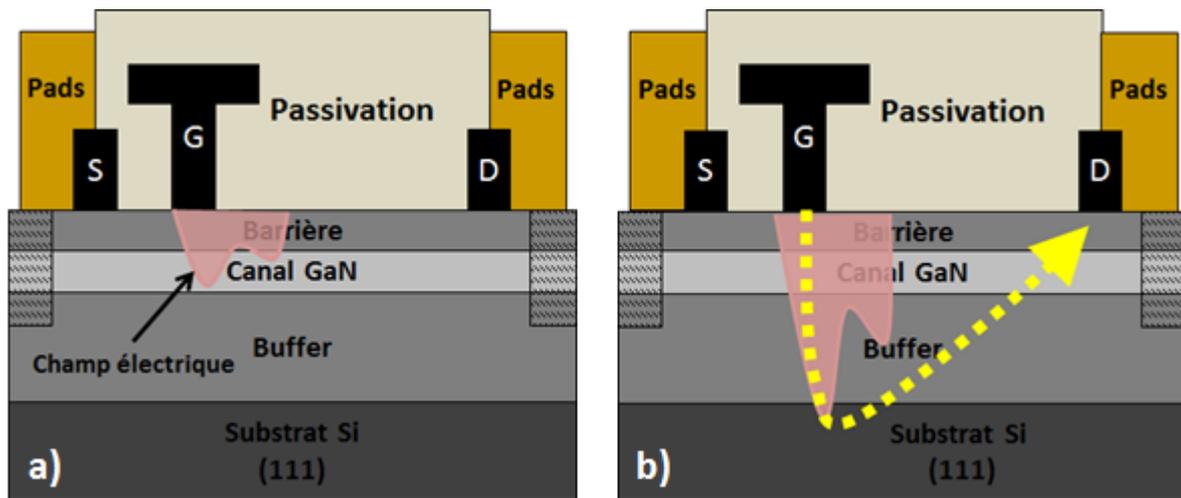


Figure 3-30 : Représentation schématique du champ électrique et de la conduction parasite dans le substrat (flèche jaune) de composant GaN HEMT sur Si. (a) Lorsque V_{DS} est trop faible, le champ électrique reste confiné dans l'épitaxie. (b) Lorsque V_{DS} est suffisamment élevé, le champ électrique atteint le substrat ce qui entraîne l'apparition de la conduction parasite.

En prenant en compte cette hypothèse, on peut penser qu'il suffirait de graver le substrat sous la grille pour éliminer le Si exposé au champ électrique et couper la conduction parasite (figure 3-31). Des simulations de la propagation verticale du champ électrique dans l'épitaxie devraient permettre de déterminer la largeur et la position exacte du motif pour couper la conduction parasite verticale en fonction du design de transistor et de l'épaisseur du buffer. On obtiendrait ainsi une amélioration similaire de la tenue en tension du transistor pour un motif de gravure beaucoup plus fin, ce qui permettrait de limiter la dégradation de la dissipation thermique après GLS et d'améliorer la résistance mécanique du transistor. Néanmoins, on peut également penser que la propagation du champ électrique n'est pas confinée sous la grille et englobe finalement une grande partie de la distance grille-drain. Des tests supplémentaires spécifiques devront être réalisés pour confirmer ces hypothèses.

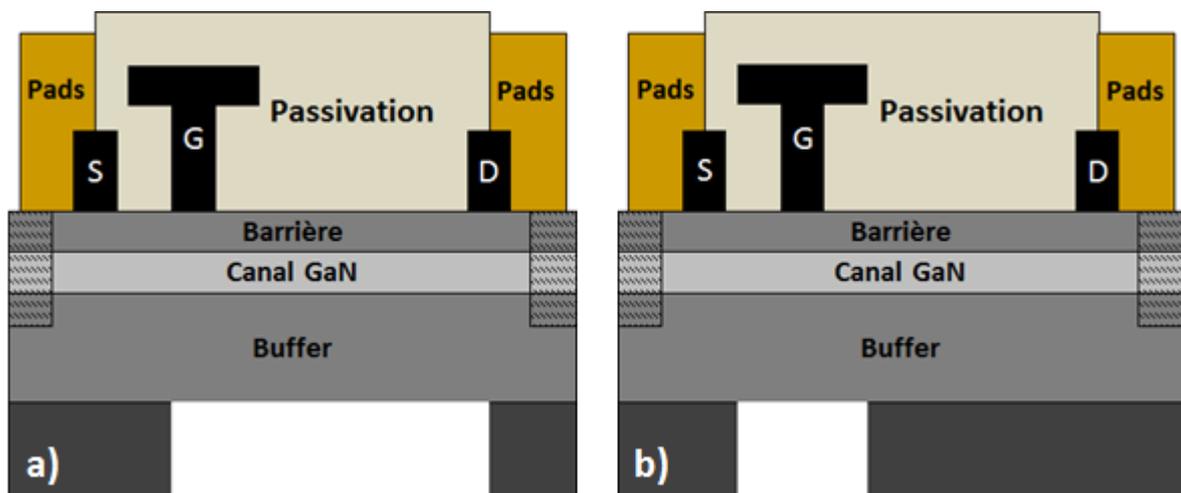


Figure 3-31 : Schéma représentatif d'un transistor GaN HEMT sur Si (a) avec le motif de gravure actuel (couvrant la distance grille-drain) (b) avec un motif de gravure seulement sous la grille

2.3.3. COMPARAISON DES EPITAXIES

Les tenues en tension des transistors après gravure locale du substrat sont comparées pour chaque structure d'épitaxie sur la figure 3-32. Après la suppression de la conduction parasite dans le substrat, la tenue en tension des transistors est uniquement limitée par le champ électrique maximal que peut supporter l'épitaxie. Typiquement, le claquage du transistor est provoqué au bord de la grille côté drain, au niveau du pic de champ électrique (figure 3-30). Ce pic de champ électrique présent en sortie de grille est donc à l'origine du claquage du transistor. La présence de défauts dans le matériau réduit la tenue en tension des transistors par rapport à la valeur théorique du champ électrique critique du GaN ($\sim 3\text{MV/cm}$). Pour nos composants, nous obtenons donc un champ de claquage d'environ $1,2\text{MV/cm}$ pour les transistors de la structure A et $0,8\text{MV/cm}$ pour les transistors des structures B et C (figure 3-32). Ces estimations donnent des indications quant au choix de la structure d'épitaxie idéale pour les applications de conversion de puissance à haute tension.

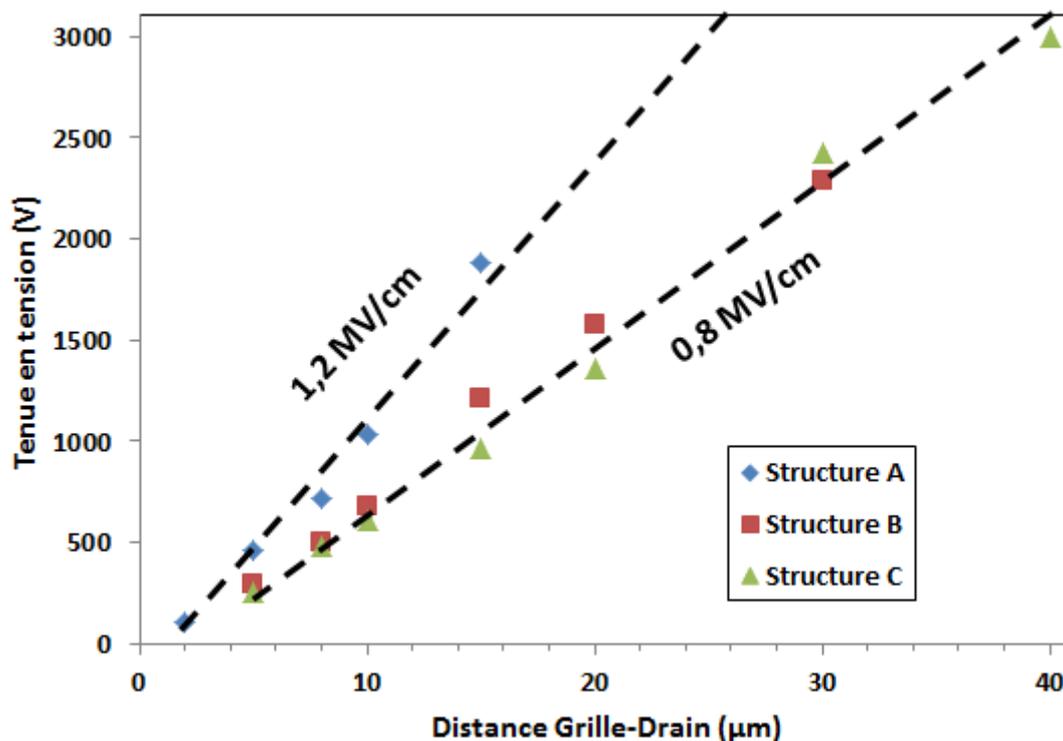


Figure 3-32 : Comparaison de la tenue en tension des transistors avec GLS pour les épitaxies A, B et C

Dans un premier temps, nous avons pu remarquer que les tenues en tension des transistors des structures B et C sont très similaires. Pour les deux structures, le champ électrique de claquage est proche de $0,8\text{MV/cm}$. Ces deux structures ayant le même buffer, on peut en conclure que la tenue en tension des transistors ne semble dépendre que du buffer de l'épitaxie et non des couches actives dès lors que le procédé de fabrication est maîtrisé. La forte polarisation induite par la barrière d'AlN de la structure d'épitaxie B ne semble pas avoir dégradé la tenue en tension des transistors. Dans la mesure où la structure d'épitaxie est d'une qualité assez élevée, nous pensons que la faible distance entre la grille et le canal à haute densité d'électrons (seulement 6nm dans notre cas) n'est pas limitatif de la tenue en tension des transistors.

Dans un deuxième temps, on peut voir que la tenue en tension des transistors de la structure A est plus élevée que celle des transistors de la structure B. On obtient un champ électrique critique

d'environ 1,2MV/cm pour la structure A contre 0,8MV/cm pour la structure B. Avec des couches actives similaires (barrière d'AlN de 6nm), seules les différences liées aux buffers peuvent expliquer cet écart de performance à haute tension. Dans le cas de la structure B, la tenue en tension des transistors semble limitée par les problématiques de croissance liées à l'épaisseur élevée du buffer (5,5 μ m). La croissance de buffer épais peut notamment engendrer des défauts plus importants dans l'épithaxie, dégradant la tenue en tension des transistors. Même si de meilleures performances (en termes de champ électrique) peuvent être obtenues en optimisant la croissance, ces résultats reflètent les difficultés pour la réalisation d'épithaxie GaN sur Si à buffers épais de haute qualité. Pour ces raisons, nous pensons que les buffers fins (2 μ m) sont mieux adaptés aux fortes tenues en tension à condition de supprimer la conduction parasite dans le substrat.

D'après nos travaux, la structure d'épithaxie A semble donc être la structure la plus adaptée pour les applications de conversion de puissance à haute tension. Elle permet de combiner à la fois une faible résistivité à l'état ON grâce à la forte polarisation de la barrière d'AlN avec une tenue en tension élevée après la gravure locale du substrat. Cependant, des mesures électriques devront également être réalisées pour confirmer l'influence en dynamique des défauts engendrés lors de la croissance dans le cas d'un buffer plus épais. Le comportement dynamique des transistors avec l'une ou l'autre de ces structures devra aussi être pris en compte dans le choix final de la structure d'épithaxie optimale.

3. MESURES PRELIMINAIRES EN TEMPERATURE

3.1. DESCRIPTION DU PROTOCOLE EXPERIMENTAL

Des mesures électriques préliminaires en température ont également pu être réalisées sur des composants de la structure d'épithaxie C. Pour cet échantillon, le motif de gravure 5 a été utilisé. Contrairement aux mesures à température ambiante, les mesures à haute température (>150°C) ne permettent pas l'utilisation du fluorinert comme passivant de surface du fait de sa volatilité. Afin de combiner les mesures à haute température et à haute tension, il est donc nécessaire d'utiliser une station de mesure adaptée. Pour cela, nous avons bénéficié de la station de mesure sous vide de notre partenaire G2ELab à Grenoble (figure 3-33). Avec cette station, l'échantillon est placé dans une chambre hermétique reliée à une pompe à vide. Cette pompe permet d'établir un vide secondaire dans la chambre (jusqu'à 10⁻⁶ bar). Cela permet d'éviter le claquage externe des transistors par la formation d'arc électrique dans l'air et ainsi d'effectuer des mesures à haute tension. La station est limitée à une tension maximale de 3000V et à un courant maximal de 8mA. La température du porte-substrat, contrôlée via un thermocouple au sein de la chambre, peut varier de -50°C jusqu'à 400°C. Un bouclier thermique à l'intérieur de la chambre permet d'éviter à la chaleur de se propager jusqu'aux parois de la station pour des raisons de sécurité. Une caméra permet de visualiser l'échantillon ainsi que les pointes de mesure électrique au sein même de la chambre.

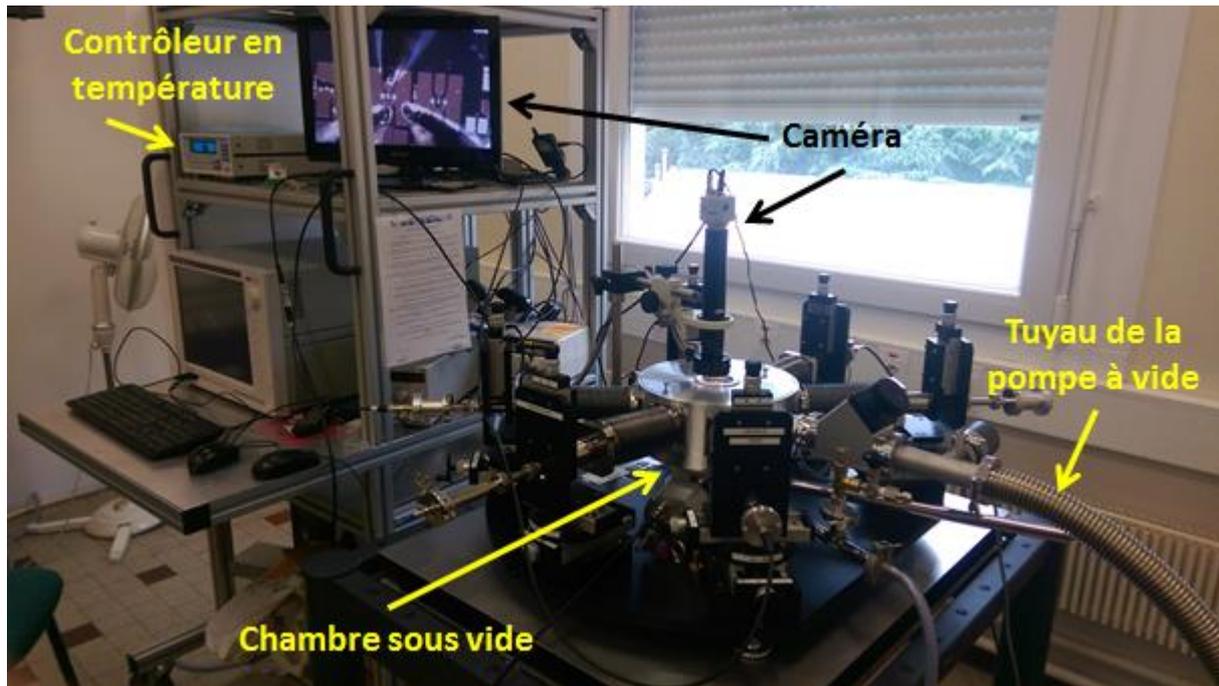


Figure 3-33 : Photo de la station de mesure sous pointe utilisée dans le cadre des mesures à haute température

Etant donné le temps limité dont nous disposons pour cette campagne de mesure, nous n'avons pu caractériser qu'un certain nombre de composants sur toute la plage de température. Nous avons fait varier la température de 300K à 600K par pas de 50K. L'influence de la température sur les caractéristiques électriques a été étudiée sur des transistors avec et sans GLS à distance grille-drain fixe : $L_{GD} = 40\mu\text{m}$. Les mesures ont été dupliquées sur des composants similaires pour vérifier leur reproductibilité. A chaque palier de température, 3 types de mesures sont réalisés sur les transistors :

- Caractéristique I_D-V_{DS} à $V_{GS}=+2\text{V}$ pour étudier le transistor à l'état ON.
- Caractéristique I_D-V_{GS} à $V_{DS}= 10\text{V}$ pour étudier le pincement du transistor.
- Mesure du courant de fuite à l'état OFF ($V_{GS}=-5\text{V}$) pour V_{DS} variant de 0 à 1500V.

3.2. CARACTERISTIQUES ELECTRIQUES A BASSE-TENSION

A chaque palier de température, nous avons commencé par mesurer les caractéristiques basse-tension des transistors. A partir des caractéristiques I_D-V_{DS} des transistors à $V_{GS}=+2\text{V}$, nous avons extrait la résistance spécifique à l'état passant des transistors (à $V_{DS}=+1\text{V}$) et étudié son évolution avec la température. Les mesures sont représentées sur le graphique de la figure 3-34a et récapitulées dans le tableau 3-34b. On peut observer que les valeurs de la résistance à l'état passant des transistors sont très similaires avec et sans GLS, du fait du faible auto-échauffement à basse polarisation. On note également que le $R_{on,sp}$ augmente avec la température. La résistance à l'état passant des transistors à 600K équivaut à un peu plus du double de la valeur à 300K. Cette augmentation est due à la dégradation de la mobilité électronique dans le canal avec la température [163]. A 600K, le $R_{on,sp}$ pour les transistors avec et sans GLS est inférieur à $25\text{m}\Omega\cdot\text{cm}^2$, ce qui reste relativement peu élevé dans ces gammes de température.

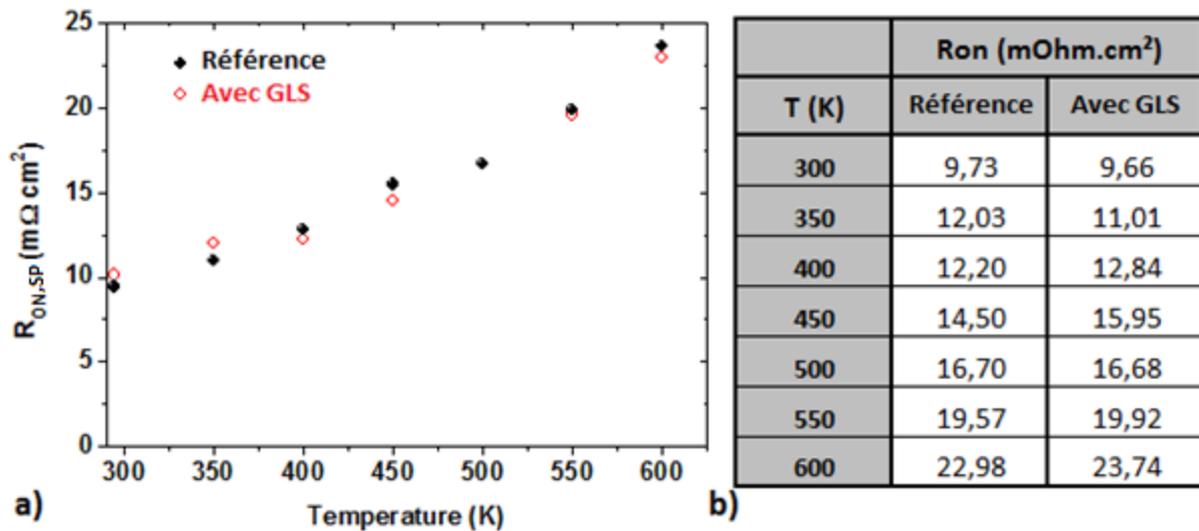


Figure 3-34 : (a) Evolution du R_{ON} des transistors HEMT GaN $1,5 \times 50 \mu m^2$ $L_{GD}=40 \mu m$ de la structure 3 avec et sans GLS avec la température (b) Tableau récapitulatif des valeurs de $R_{on,sp}$ à chaque température.

Sur la figure 3-35 sont représentées les évolutions avec la température des caractéristiques I_D-V_{GS} de transistors HEMT GaN $1,5 \times 50 \mu m^2$, $L_{GD}=40 \mu m$ de référence (figure 3-35a) et avec GLS (figure 3-35b). Comme pour les mesures effectuées à température ambiante, on retrouve des caractéristiques électriques avec et sans GLS très similaires. On peut constater que l'évolution de la tension de seuil des transistors (V_{TH}) est très faible avec l'augmentation de la température [164]. On mesure une augmentation de seulement 200mV de la tension de seuil jusqu'à 600K que nous attribuons à l'activation thermique d'états de piège à proximité de la grille du transistor. Ces faibles variations confirment l'indépendance de la densité de charges dans le canal avec la température ainsi que la robustesse des transistors sous des conditions d'utilisation extrêmes [165].

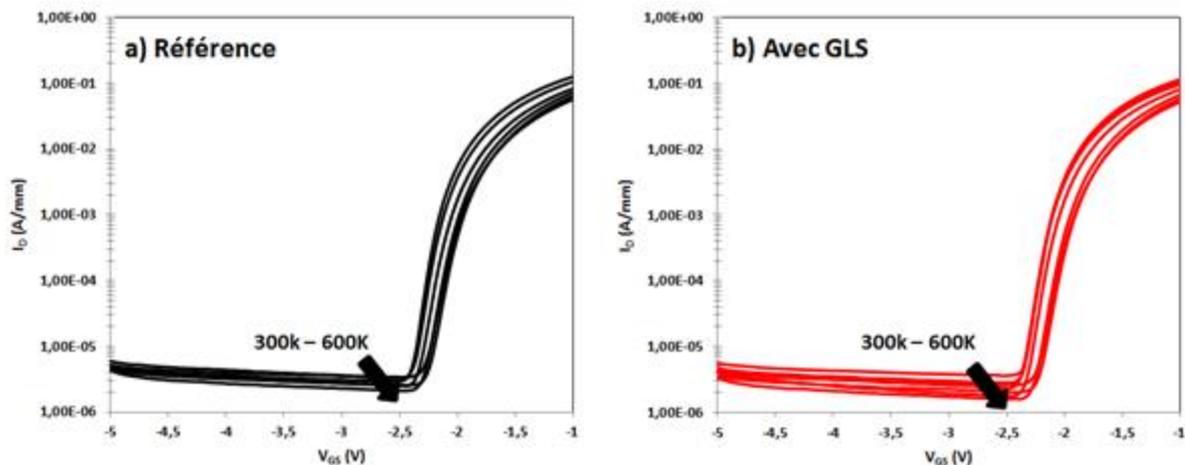


Figure 3-35 : (a) Evolution de la caractéristique I_D-V_{GS} à $V_{DS}=10V$ pour un transistor HEMT GaN $1,5 \times 50 \mu m^2$ - $L_{GD}=40 \mu m$ de référence (sans GLS) (b) avec GLS

3.3. CARACTERISTIQUES ELECTRIQUES A HAUTE-TENSION

Suite aux caractérisations électriques à basse-tension, nous avons effectué, à chaque température, la mesure du courant de fuite du transistor en 3-terminal jusqu'à 1500V avec et sans GLS. Comme à température ambiante, nous avons fixé une limite de courant à 1mA/mm à partir de laquelle nous considérerons que le transistor n'est plus à l'état bloqué. Les mesures de courant de

fuite de drain effectuées sur un composant de référence (sans GLS) et sur un composant avec GLS sont représentées respectivement sur les figures 3-36 et 3-37. On peut observer dans les deux cas une augmentation du courant de fuite du transistor avec l'élévation de la température. Sur l'ensemble de la plage de température, les fuites de courant des transistors sont principalement constituées du courant inverse des grilles Schottky qui augmente avec la température. Cette augmentation correspond environ à un facteur 10 entre 300K et 600K à $V_{DS}=1000V$ pour les deux types de transistors (référence et avec GLS). En comparaison, on mesure généralement une augmentation du courant de fuite de l'ordre de cinq décades entre 300K et 500K sur les composants de puissance à base de Si présents sur le marché [166]. Le faible niveau de courant de fuite ainsi que son évolution limitée à haute température des transistors HEMT GaN comparativement aux composants Si reflète les excellentes propriétés thermiques du GaN et la haute qualité d'épithaxie de la structure C.

Pour les transistors de référence (sans GLS), la tenue en tension est limitée par la conduction parasite dans le substrat qui conduit à l'augmentation du courant de fuite du transistor jusqu'à la limite de 1mA/mm à 1500V à température ambiante. Avec l'augmentation de la température, la tenue en tension des transistors est réduite à 1200V à 600K de par la dégradation du courant de fuite (figure 3-36). Dans le cas des transistors avec GLS, la tenue en tension à haute température reste limitée par le champ électrique latéral entre la grille et le drain. Nous avons pu obtenir une tension de claquage proche de 2500V à 600K malgré l'augmentation du courant de fuite du transistor (figure 3-37). Ces résultats confirment que la gravure locale du substrat permet également d'améliorer fortement les performances électriques des transistors GaN HEMT à haute température, ce qui est primordial pour les applications à haute puissance.

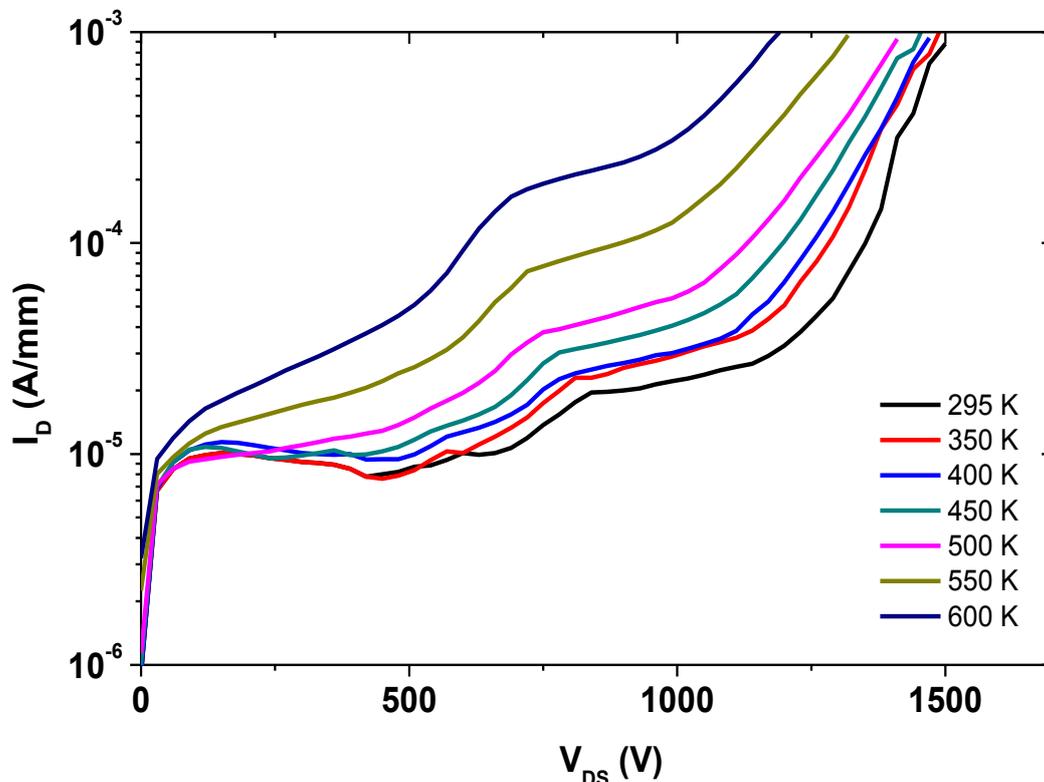


Figure 3-36 : Mesure du courant de fuite d'un transistor HEMT GaN de référence de la structure C ($1,5 \times 50 \mu m^2$, $L_{GD}=40 \mu m$) à $V_{GS}=-5V$ entre 300K et 600K

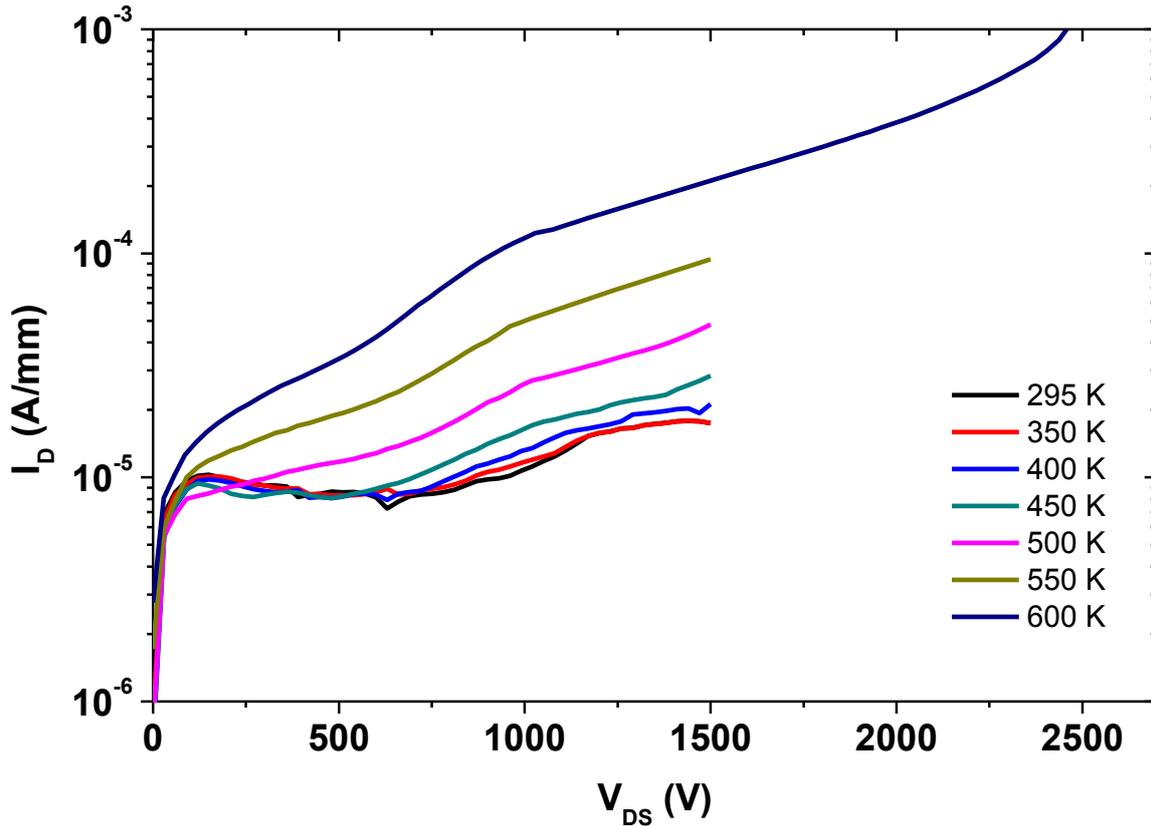


Figure 3-37 : Mesure du courant de fuite d'un transistor HEMT GaN avec GLS de la structure C ($1,5 \times 50 \mu\text{m}^2$, $I_{GD}=40 \mu\text{m}$) à $V_{GS}=-5\text{V}$ entre 300K et 600K

D'après ces premières mesures de courant de fuite effectuées jusqu'à 600K, nous avons observé une évolution en deux temps. Jusqu'à 500K, le courant de fuite évolue très peu avec la température. La non-dépendance du courant de fuite avec la température laisse à penser que le mécanisme dominant à l'origine du courant inverse de la grille Schottky à faible température est l'effet tunnel. Au-delà de 500K, le courant de fuite augmente fortement avec la température, ce qui suggère un mécanisme de conduction suivant la loi d'Arrhenius :

$$I \propto e^{-\frac{E_a}{kT}} \quad (23)$$

Avec I le courant, E_a , l'énergie d'activation, k , la constante de Boltzmann et T la température. La courbe $\ln(I_D)$ en fonction de $1/T$ permet d'extraire l'énergie d'activation E_a des états de pièges responsables du mécanisme de conduction pour une polarisation V_{DS} donnée dans le cas des deux transistors avec et sans GLS (figure 3-38). A $V_{DS}=1000\text{V}$, on retrouve deux tendances qui confirment l'existence de deux mécanismes de conduction distincts à basse et à haute températures. Entre 450K et 500K, le changement de pente semble indiquer l'activation d'un phénomène de conduction électrique différent et dépendant de la température. Cependant, le nombre limité de points de mesure à haute température rend impossible une extraction claire et précise de l'énergie d'activation à haute température car la pente semble encore évoluer au-delà de 600K. Il serait donc nécessaire de reproduire ces mesures à plus haute température (700K) sur un plus grand nombre de transistors. Cela permettrait d'extraire plus précisément l'énergie d'activation à haute température afin de mieux interpréter l'évolution du courant de fuite pour $T>450\text{K}$. Ces mesures électriques supplémentaires devraient permettre de distinguer clairement les mécanismes de conduction avec

et sans GLS pour améliorer d'autant plus notre compréhension du phénomène de conduction parasite dans le substrat observé [167].

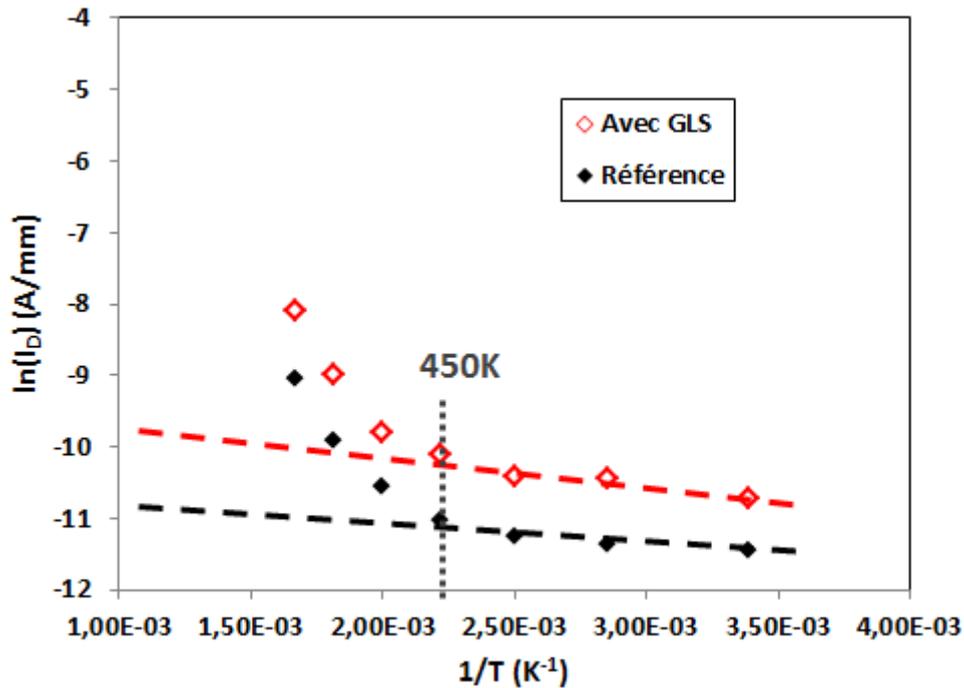


Figure 3-38 : $\ln(I_D)$ en fonction de $1/T$ à $V_{DS}=1000V$ pour un transistor HEMT GaN de la structure C ($1,5 \times 50 \mu m^2$, $L_{GD}=40 \mu m$) avec et sans GLS.

CONCLUSION DU CHAPITRE 3

Dans ce chapitre, nous avons pu évaluer l'influence du procédé de gravure locale du substrat sur les performances électriques de transistors HEMT GaN pour les 3 structures d'épitaxie A, B et C. Les mesures électriques à basse-tension nous ont montré l'intérêt des structures à barrière d'AlN (structures A et B) par rapport aux barrières d'AlGaIn (structure C). D'une part, celles-ci permettent de réduire la résistance à l'état passant des transistors et donc les pertes à l'état ON du convertisseur de puissance. D'autre part, la transconductance de ces transistors est plus élevée, ce qui laisse envisager leur utilisation à plus haute fréquence dans les circuits. Concernant la gravure locale du substrat, nous avons vu qu'elle entraînait une réduction relativement faible de la résistance spécifique à l'état passant et de la transconductance des transistors à basse tension. Cependant, la dégradation de la dissipation thermique par ablation du substrat peut devenir extrêmement limitative pour les applications de forte puissance puisque l'aspect thermique devient primordial lors de la commutation des transistors. Une solution à cette problématique sera discutée dans les perspectives de ces travaux.

A haute tension, nous avons mis en évidence le phénomène de conduction parasite dans le substrat qui réduit la tenue en tension des transistors. La tenue en tension des transistors est alors limitée par l'épaisseur des couches tampons de l'épitaxie: 760V dans le cas de la structure A (buffer de $2 \mu m$ d'épaisseur) contre 1570V pour les structures B et C (buffer de $5,5 \mu m$ d'épaisseur). Nous avons donc testé l'influence de différents motifs de gravure locale du substrat décrits dans le chapitre précédent sur les performances à haute tension des transistors. Deux conditions doivent

être remplies pour que la gravure du substrat puisse supprimer efficacement la conduction parasite des transistors. Dans un premier temps, il est nécessaire de graver le substrat tout autour du contact de drain pour l'isoler électriquement du reste du transistor. Dans un deuxième temps, nous avons pu voir que la position relative du motif de gravure par rapport à la grille est également un paramètre essentiel afin de ne plus dépendre de la conduction verticale dans le substrat. D'après nos observations, le motif de GLS doit impérativement être situé sous la grille du transistor pour supprimer définitivement la conduction parasite. Ainsi, les motifs de gravure face-arrière 3 et 5 ont conduit à une amélioration drastique des performances électriques à l'état OFF des transistors avec des tenues en tension parmi les plus élevées jamais rapportées dans la littérature. Un nouveau record de tenue en tension supérieure à 3kV (substrat flottant) a été établi pour les transistors HEMT GaN-sur-Si grâce à cette technique. Une combinaison record de $R_{on,sp}$ et de tenue en tension pour les transistors HEMT GaN-sur-Si a été obtenue pour la structure d'épitaxie A : $R_{on,sp} = 1,6m\Omega.cm^2$ et $BV = 1879V$. Ce dernier résultat témoigne de l'avantage unique de ce type de structure associée au procédé de GLS pour les applications de forte puissance.

Des mesures préliminaires en température ont été réalisées jusqu'à 600K sur des composants avec et sans GLS de la structure C. Une augmentation d'un facteur 10 entre 300K et 600K du courant de fuite des transistors a été mesurée jusqu'à 1500V. La gravure localisée du substrat sur les transistors de plus large dimension ($L_{GD}=40\mu m$) a permis de conserver une tension de claquage de 2500V à 600K, ce qui confirme également l'intérêt de ce procédé pour les applications à haute tension et à haute température. Néanmoins, le manque de points de mesure ne nous a pas permis d'identifier et de différencier les mécanismes de conduction à haute température avec et sans GLS. D'autres campagnes de mesures devront être réalisées afin de compléter ces mesures préliminaires et tirer des conclusions plus précises sur les phénomènes physiques mis en jeu.

CONCLUSION GENERALE

La conjoncture économique et écologique mondiale pousse la communauté scientifique à développer de nouvelles technologies pour réduire notre consommation énergétique dans les prochaines années. Dans ce sens, un effort de recherche et développement est réalisé autour des systèmes d'électronique de puissance, impliqués dans l'alimentation électrique d'un nombre croissant d'applications, et pouvant être à l'origine de pertes énergétiques non désirables. Dans le premier chapitre, nous avons présenté le marché des composants de puissance comme étant divisé en plusieurs filières de semiconducteurs, actuellement largement dominées par la filière des composants à base de Si. Pour les applications de conversion de puissance dans les gammes de moyennes et hautes tensions (au-delà de 1000V), les performances électriques des technologies Si souffrent toutefois de nombreux compromis qui sont limités par les propriétés physiques du silicium. Nous avons vu que les composants à base de semiconducteur à large bande interdite tels que le SiC et le GaN pouvaient offrir une sérieuse alternative aux composants Si dans ces gammes de tension. De par les propriétés physiques supérieures du GaN et les progrès réalisés dans la croissance MOCVD de GaN sur substrat Si, les transistors GaN-sur-Si de type HEMT devraient apporter une réelle rupture en termes de performance (tenue en tension, densité de courant, température maximale de fonctionnement, fréquence de commutation) tout en conservant un coût de production compétitif par rapport aux composants Si. Cependant, la maturation de cette technologie est aujourd'hui encore entravée par plusieurs limitations techniques qui ralentissent notamment son développement pour les applications fonctionnant à plusieurs centaines de volts. Dans ces travaux, nous nous sommes principalement focalisés sur l'amélioration de la tenue en tension des composants GaN-sur-Si grâce à la suppression du phénomène de conduction parasite des transistors dans le substrat.

Nous avons développé un procédé technologique de fabrication de transistors HEMT GaN-sur-Si sur la plateforme technologique de l'IEMN à partir de trois structures d'épitaxie industrielles distinctes (EpiGaN). Dans le chapitre 2, nous avons pu présenter les différentes étapes technologiques du procédé ainsi que les points clés qui ont permis l'amélioration des performances électriques des transistors. A cause de la proximité du gaz d'électrons avec la surface des épitaxies, toutes les procédures de nettoyage de l'échantillon pendant la fabrication du transistor sont cruciales pour conserver des performances électriques élevées. Ces problématiques peuvent notamment amener à dégrader le courant de fuite ou les performances dynamiques des transistors. Plusieurs approches ont donc été décrites dans ce chapitre afin d'optimiser les phases de nettoyage et de minimiser la présence de résidus de résine lors de plusieurs étapes technologiques clés. Nous avons également développé une étape de gravure localisée du substrat à la fin du procédé de fabrication dans le but de supprimer la conduction parasite dans le substrat et d'améliorer la tenue en tension des transistors. A l'aide d'un équipement de gravure profonde RIE utilisant le procédé Bosch, nous avons été en mesure de définir des motifs de gravure au travers du substrat entre la grille et le drain du transistor de manière extrêmement précise et reproductible. Le procédé final est entièrement compatible avec les technologies Si et pourrait être facilement adapté au niveau industriel à la production de masse.

Conclusion générale

Dans le dernier chapitre, nous avons pu observer et améliorer notre compréhension du phénomène de conduction verticale des transistors qui limite aujourd'hui les composants GaN à une utilisation à basse tension (<600V). Nos mesures électriques à haute tension ont permis de mettre en évidence la suppression effective de cette conduction parasite grâce au procédé de gravure locale du substrat. Après gravure, la tenue en tension transistors est drastiquement améliorée et devient indépendante de l'épaisseur des couches tampons. Nous avons ainsi pu comparer les différentes structures d'épitaxies indépendamment de la conduction parasite dans le substrat. L'épitaxie à barrière ultrafine d'AlN et à buffer fin est une structure prometteuse pour les applications de conversion de puissance grâce à la combinaison unique d'une faible résistance à l'état passant et d'une forte tenue en tension comparativement aux structures à buffers épais. Les résultats obtenus constituent une contribution importante à l'état de l'art des composants HEMT GaN-sur-Si à haute tension grâce à des démonstrations de transistors à tenues en tension parmi les plus élevées jamais reportées dans la littérature. Un record absolu en termes de tenue en tension a notamment été établi pour ce type de technologie avec une tension de claquage mesurée à plus de 3kV. Ces résultats laissent donc envisager la possibilité d'utiliser les composants GaN sur Si à des tensions au-delà du kilovolt, valeurs bien plus élevées que la gamme de tension dans laquelle ils sont commercialisés actuellement.

PERSPECTIVES ET FUTURS TRAVAUX

1. MESURES ELECTRIQUES PULSEES A HAUTE TENSION

A court terme, il est nécessaire de réaliser des mesures électriques pulsées à haute tension sur nos composants. Cette technique, communément utilisée pour les composants d'électronique de puissance, permet d'étudier les performances dynamiques des transistors en reproduisant les commutations de l'état ON à OFF comme dans un convertisseur de puissance. La dégradation du R_{on} dynamique des transistors et les effets de piégeage peuvent ainsi être mesurés en fonction de différents paramètres tels que les tensions de polarisation à l'état OFF, le temps d'excitation des états de piège (correspondant au temps de polarisation à l'état OFF).

Ce type de mesure est extrêmement important pour les applications de puissance et d'autant plus pour les composants HEMT GaN-sur-Si qui souffrent du phénomène de dégradation du R_{on} dynamique [92]–[95]. Dans le cadre de nos travaux, trois raisons majeures nous motivent à réaliser d'autant plus ces mesures :

- Ces mesures pourront constituer un test électrique supplémentaire de validation de notre procédé de fabrication. Les mesures électriques pulsées sur les transistors nous serviront à mettre en évidence l'augmentation ou la diminution de la densité de défauts engendrée pendant la fabrication afin de valider la pertinence des innovations technologiques qui ont été présentées dans ce manuscrit.
- De par nos mesures statiques à haute tension, nous avons conclu que les épitaxies à buffer fin combinées à la technique de gravure locale du substrat présentent des performances électriques supérieures à celles des épitaxies à buffer épais grâce notamment à une qualité de matériau plus élevée. Les mesures électriques pulsées des transistors nous permettront de mener cette étude comparative d'un point de vue dynamique.
- Plusieurs travaux ont indiqué que le phénomène de conduction parasite dans le substrat pouvait être à l'origine d'une forte dégradation du R_{on} dynamique des transistors GaN-sur-Si [168], [169]. Nous supposons donc que la technique de gravure locale du substrat pourrait avoir des conséquences positives sur les effets de piégeage dans l'épitaxie. Comme pour les mesures statiques, la suppression des états d'interface entre la couche de nucléation et le substrat après gravure face-arrière devrait également améliorer les performances des transistors en dynamique à condition de passiver les charges de surface en face arrière.

2. METALLISATION DE LA FACE-ARRIERE

Lorsqu'ils sont utilisés dans un circuit de convertisseur de puissance, le substrat des composants est polarisé à la masse. Pour les transistors HEMT GaN-sur-Si, cela a pour conséquence de réduire la tenue en tension des transistors par un facteur 2 par rapport aux mesures effectuées à substrat flottant. D'une part, l'orientation du champ électrique est modifiée, accélérant sa propagation verticale, ce qui active la conduction parasite dans le substrat à plus faible tension. D'autre part, un courant de fuite vertical est généré directement entre l'électrode de drain et la masse du substrat limitant d'autant plus la tenue en tension du transistor. D'un point de vue technologique, cela implique de métalliser la face-arrière de l'échantillon puis de connecter ce métal à la masse du convertisseur (figure 4-1a). Pour les transistors HEMT GaN-sur-Si ayant été soumis au procédé de gravure localisé du substrat, les conséquences de la métallisation du substrat seraient donc exactement les mêmes que pour les composants de référence puisque le Si gravé en face-arrière serait remplacé par un métal qui engendrerait une nouvelle conduction parasite (figure 4-1b). Dans ce cas, le procédé de gravure du substrat deviendrait totalement inutile puisque les améliorations de la tenue en tension mesurées à substrat flottant n'auraient aucun impact lorsque le substrat serait polarisé à la masse.

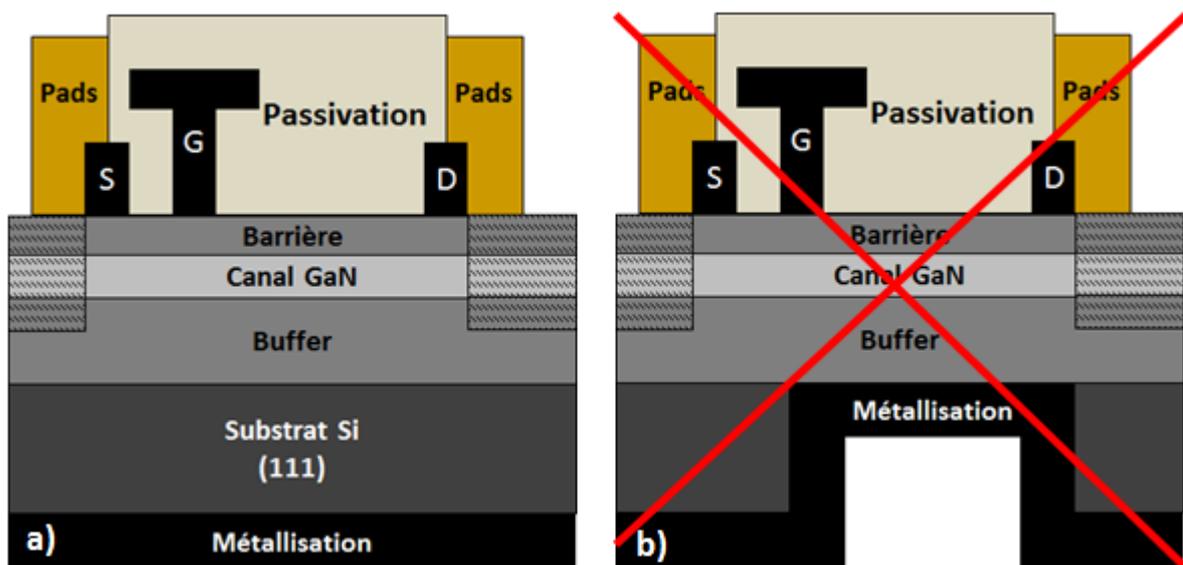


Figure 4-1 : Représentations schématiques d'un transistor HEMT GaN avec substrat à la masse (a) sans GLS (b) avec GLS.

Pour pallier cette nouvelle limitation, il serait souhaitable de compléter le procédé de gravure locale du substrat afin de conserver les avantages de la suppression de la conduction parasite après métallisation du substrat. Pour cela, il est possible de déposer, après la gravure locale du substrat et avant la métallisation de la face-arrière, un diélectrique sur l'ensemble de la face-arrière de l'échantillon (figure 4-2). Afin d'obtenir une épaisseur de dépôt relativement uniforme aussi bien sur le substrat que dans les motifs du substrat gravés, le profil de gravure devra sans doute être modifié pour augmenter l'ouverture des motifs comme représenté sur la figure 4-2. L'objectif de ce dépôt est multiple :

Perspectives et futurs travaux

- Le diélectrique devra permettre de bloquer le passage du courant entre la masse de la face-arrière et les autres terminaux du transistor sur la face-avant en étant soumis à un fort champ électrique.
- Le diélectrique devra permettre de passiver les états de surface et de bloquer toute conduction parasite dans les motifs de gravure même sous fort champ électrique.
- Le diélectrique devra permettre d'améliorer la dissipation thermique au sein même des motifs de gravure. Le métal déposé par-dessus constituera par la suite un excellent dissipateur thermique.

Pour réaliser l'ensemble de ces objectifs, le matériau utilisé devra présenter à la fois d'excellentes propriétés d'isolation électrique mais aussi une bonne conduction thermique. Plusieurs matériaux présentent ces propriétés tels que le diamant ou encore l'AlN. L'AlN déposé par pulvérisation cathodique réactive présente l'avantage d'être un matériau à faible coût tout en possédant une conductivité thermique bien supérieure à celle du Si. Le fait que l'AlN soit également un nitrure laisse envisager qu'il sera plus facile de réduire les états d'interface au sein des motifs de gravure. Il est intéressant de noter que la couche de nucléation des croissances d'épitaxies sur substrat Si est généralement composée d'AlN.

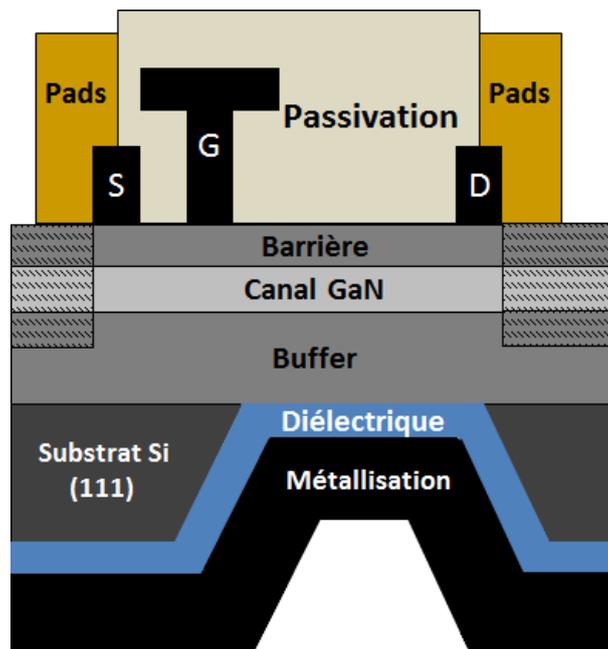


Figure 4-2 : Représentation schématique d'un transistor HEMT GaN dont le substrat est à la masse avec une GLS adaptée en forme conique. Un diélectrique est déposé entre le métal du substrat et l'épitaxie pour conserver l'avantage du procédé de GLS.

Des premiers tests de dépôts d'AlN ont été réalisés en collaboration avec l'école d'ingénieur ESIEE à Paris. Afin d'évaluer les propriétés électriques d'isolation de ce matériau, nous avons étudié la tenue en tension de structures MIM (Métal-Isolant-Métal) rectangulaires de $150 \times 250 \mu\text{m}^2$ de superficie avec une épaisseur d'AlN de $8 \mu\text{m}$ (figure 4-3). Nous avons obtenu une tension de claquage de 2460V (équivalent à un champ électrique de plus de 3MV/cm), ce qui témoigne de la qualité du dépôt réalisé malgré l'épaisseur de la couche relativement faible. Ce matériau semble donc tout à fait convenir à notre application en termes de tenue en tension. Cependant, de nombreuses études doivent encore être effectuées pour valider définitivement l'utilisation de ce matériau telles que l'étude d'un profil de gravure adapté pour obtenir un dépôt conforme, le comportement électrique

statique et dynamique de l'interface avec l'épitaxie lorsque le transistor est en fonctionnement ou encore l'impact du dépôt d'AlN d'un point de vue thermique sur le transistor. Ces études feront l'objet de travaux à moyen termes.

L'apport thermique de ce procédé est également primordial pour la suite de ces travaux. Si la dissipation thermique est améliorée grâce au dépôt d'AlN sur la face-arrière, il nous sera alors possible d'envisager le développement de composants à développement de grille plus large (W_g) pour maintenir un certain niveau de performance électrique malgré l'augmentation des puissances mises en jeu.

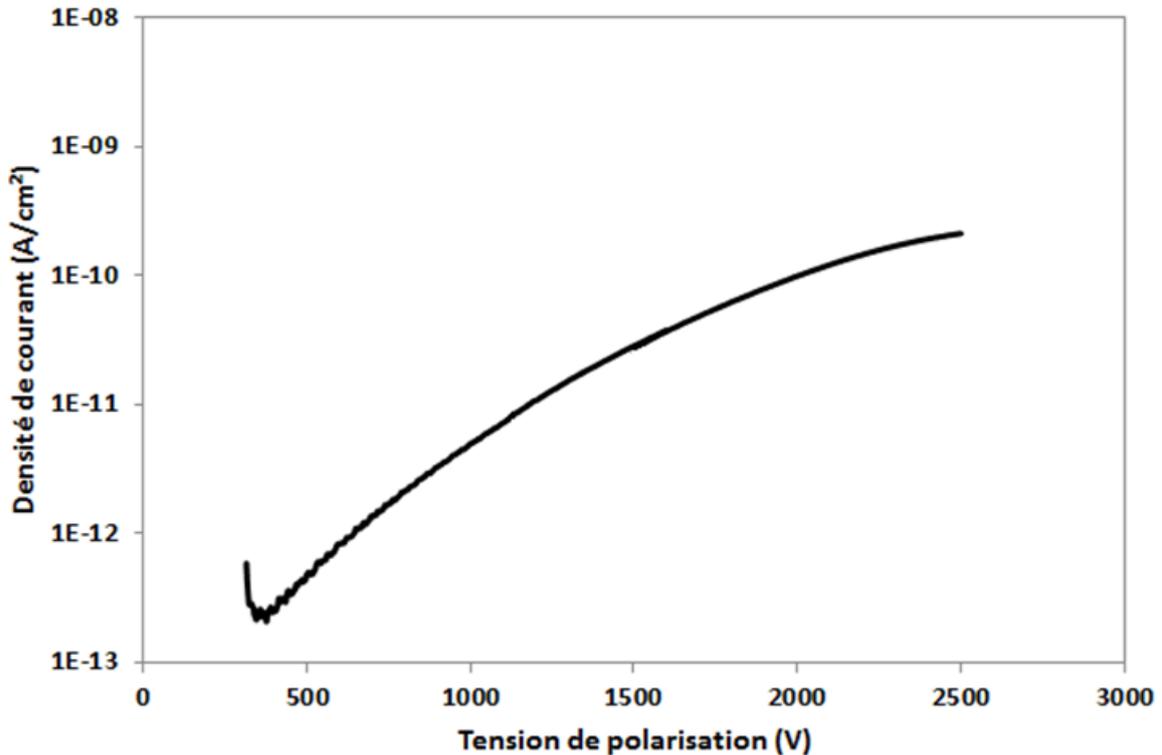


Figure 4-3 : Mesure du courant de fuite d'une capacité MIM rectangulaire ($150 \times 250 \mu\text{m}^2$) avec un film d'AlN de $8 \mu\text{m}$ d'épaisseur

3. NORMALLY-OFF : DIGITAL ETCHING

Comme nous l'avons vu avec la présentation des limitations des composants GaN dans le chapitre 1, les transistors de type HEMT GaN sont des composants naturellement « normally-on » alors qu'un comportement « normally-off » est préféré pour les applications de convertisseur de puissance. L'un des procédés technologiques le plus utilisé aujourd'hui pour obtenir un comportement normally-off à partir d'une structure d'épitaxie HEMT à base de GaN est la gravure partielle de la barrière sous la grille, généralement appelé « recess » de grille. Cette technique est basée sur le principe que la densité de charges dans le canal est directement liée à l'épaisseur de la barrière [50]. En réduisant l'épaisseur de la barrière sous la grille, le gaz d'électrons est localement dépeuplé, ce qui permet d'augmenter la tension de seuil du transistor [170]. A partir d'une certaine épaisseur de gravure, la densité d'électrons dans le canal est suffisamment faible pour obtenir une tension de seuil positive engendrant un comportement normally-off.

Afin de réduire localement l'épaisseur de la barrière sous la grille, une gravure physique par plasma chloré est généralement utilisée. En effet, les alliages de matériaux à base de GaN qui sont le plus souvent employés en tant que barrière des structures HEMT (AlGa_N, InAlN, InAlGa_N, AlN) sont inertes chimiquement, ce qui rend impossible les gravures par voie chimique. Plusieurs travaux ont déjà prouvé l'efficacité de cette technique pour augmenter la tension de seuil des transistors à des valeurs positives [133]. Néanmoins, les procédés de gravure physique engendrent inévitablement des dommages à la surface du matériau (partiellement) gravé en raison du bombardement des espèces du plasma. Les défauts ainsi générés pendant la gravure sont très problématiques puisqu'ils sont à la fois situés dans une zone exposée au champ électrique de grille et aussi extrêmement proche du gaz d'électrons. Le plus souvent, cette technique de gravure a donc tendance à dégrader les performances électriques du transistor d'un point de vue statique et dynamique rendant irréalizable son implémentation au niveau industriel [137], [138].

L'une des alternatives prometteuses de la gravure physique par plasma pour le recess de grille est la technique du « digital etching » ([171]). Cette technique correspond à une alternance de phases d'oxydation du matériau à graver et de gravure chimique de l'oxyde créé (figure 4-4). La phase d'oxydation peut être réalisée grâce à différentes techniques qui dépendent du type de matériau à oxyder (oxydation dans une solution chimique, oxydation dans une atmosphère saturée en oxygène ou ozone, par plasma oxygène...). Dans le cas des matériaux de type GaN, seule la technique par plasma permet d'oxyder efficacement la surface du matériau. La phase de gravure de l'oxyde est réalisée par voie chimique grâce à une solution adaptée aux matériaux présents sur l'échantillon. Ces étapes sont répétées jusqu'à ce que la profondeur de gravure désirée soit atteinte. Cette technique, originellement utilisée sur les composants à base de GaAs, peut être adaptée aux composants GaN. Elle présente ainsi deux avantages majeurs par rapport à la technique de gravure par plasma. D'une part, la gravure par voie humide présente un excellent contrôle de la profondeur de gravure qui peut poser problème pour les gravures extrêmement fines par plasma, comme c'est le cas pour le recess de grille. D'autre part, cette technique permet d'éviter potentiellement la génération de dommages par plasma. Ce dernier avantage laisse envisager une amélioration des performances électriques des transistors ayant été soumis au recess de grille par cette technique comparativement au procédé classique par gravure plasma [172].

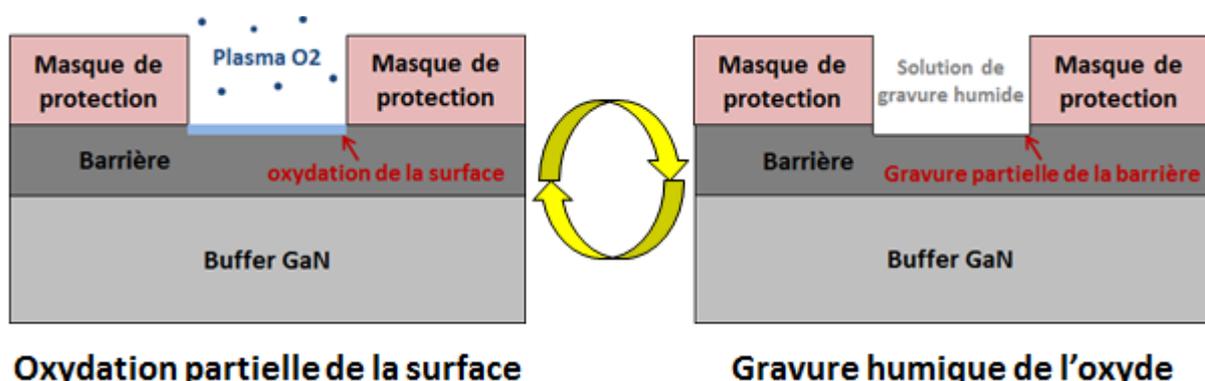


Figure 4-4 : illustration du procédé de « digital etching »

La limitation principale de cette technique de gravure du recess de grille des composants HEMT à base de GaN est le nombre de cycle qu'il est nécessaire d'effectuer pour dépeupler suffisamment le gaz d'électrons et obtenir un transistor normally-off. En effet, l'épaisseur de

matériau gravé à chaque cycle est limitée à l'épaisseur oxydée pendant la phase précédente ($<10\text{\AA}$). Généralement, une vingtaine de cycles sont donc nécessaires dans le cas des structures à barrière d'AlGaN qui font entre 20 et 30nm d'épaisseur (structures communément utilisées en industrie), ce qui n'est pas envisageable au niveau industriel. Dans le cas de structures à barrière d'AlN, cette limitation disparaît puisque la barrière peut être extrêmement fine (quelques nanomètres) [173].

Nous avons donc réalisé des tests préliminaires pour étudier l'influence du digital etching de la barrière sur les propriétés du gaz d'électrons pour différentes structures d'épitaxie : une structure à barrière d'AlN de 6nm d'épaisseur et une structure à barrière d'AlGaN de 20nm à 30% d'aluminium. Dans les deux cas, les structures étaient initialement passivées par une couche de SiN MOCVD. Le procédé d'oxydation est réalisé sur toute la plaque par plasma oxygène à très faible puissance afin d'éviter l'implantation ionique en surface. Par la suite, les échantillons sont plongés dans une solution de HF faiblement concentrée pour effectuer la gravure. Pour ces tests préliminaires, nous avons mesuré l'évolution des propriétés du 2DEG à l'aide de trèfles de Hall. L'évolution de la densité d'électrons en fonction du nombre de cycles est représentée sur la figure 4-5.

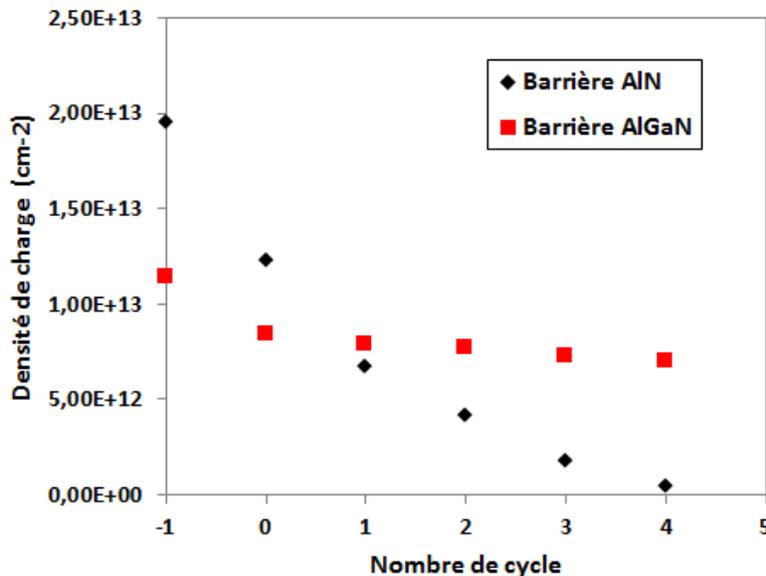


Figure 4-5 : Densité d'électrons dans le 2DEG en fonction du nombre de cycle de digital etching pour deux structures d'épitaxie : (en noir) structure à barrière d'AlN, (en rouge) et structure à barrière d'AlGaN.

Le passage du cycle -1 à 0 correspond à la gravure de la couche de passivation SiN qui provoque une forte diminution de la densité d'électrons pour les deux types de structure. Dès le premier cycle, la densité de charges pour la structure à barrière d'AlN est réduite d'un facteur 2. Après quatre cycles seulement, la densité de charges devient presque nulle pour cette structure alors que l'évolution pour la structure à barrière d'AlGaN reste très faible. Cette différence s'explique par le fait que la forte densité de charges dans le cas de la barrière d'AlN est générée pour une épaisseur de barrière extrêmement faible. Ainsi, la densité d'électrons dans ce cas est plus sensible à l'épaisseur de la barrière l'AlN comparée à la barrière d'AlGaN. Nous avons pu, dans le même temps, mesurer également l'évolution de l'épaisseur de barrière par la technique de réflectivité des rayons X. Les évolutions de la densité de charges et de la mobilité électronique en fonction de l'épaisseur de barrière dans le cas de la barrière d'AlN sont représentées sur la figure 4-6.

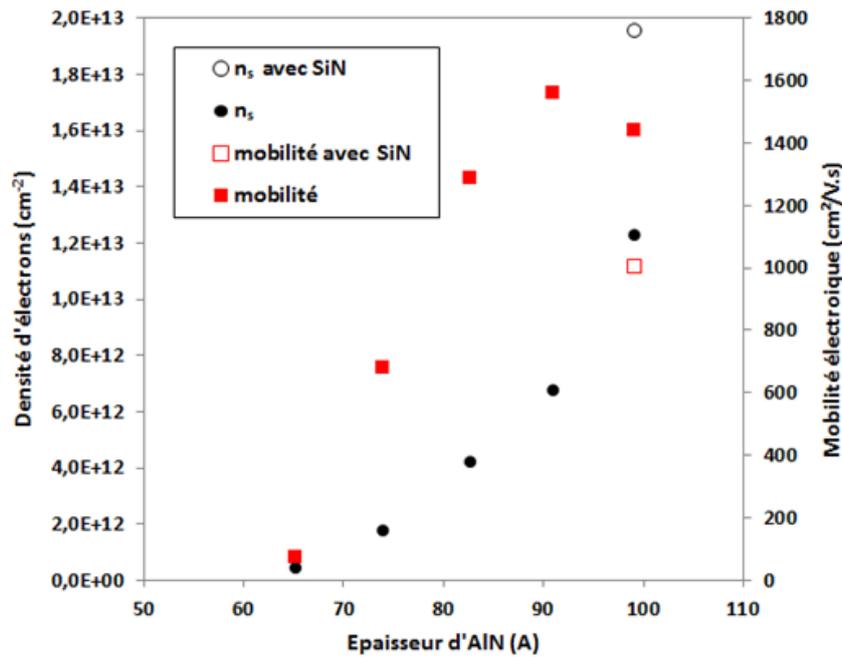


Figure 4-6 : Propriétés du 2DEG d'une structure HEMT (densité d'électrons et mobilité électronique) en fonction de l'épaisseur de la barrière d'AlN

Après gravure de la couche de passivation SiN MOCVD, la densité d'électrons est réduite de $2 \times 10^{13} \text{ cm}^{-2}$ à $1,2 \times 10^{13} \text{ cm}^{-2}$ [174], ce qui provoque une amélioration de la mobilité due à l'augmentation du temps de libre parcours moyen des électrons dans le canal. L'épaisseur d'AlN initialement mesurée est d'environ 100Å, qui est relativement éloignée de l'épaisseur théorique de 60Å. Plusieurs facteurs peuvent expliquer ce différentiel. Dans un premier temps, nous pensons que l'instrument de mesure ne fait pas la distinction entre la barrière d'AlN et le spacer d'AlN qui est interposé directement entre la barrière et le canal de GaN. L'épaisseur de cette couche peut varier de 2 à 3nm. D'autre part, l'échantillon pour ces tests n'était pas de taille, ni de forme optimales pour une mesure précise par XRR, ce qui peut également ajouter une imprécision supplémentaire. Cependant, cette imprécision restera identique à chaque mesure puisque nous avons travaillé avec un seul et même échantillon pendant tous ces travaux. Les valeurs extraites de ces mesures sont donc bien comparables les unes aux autres. Pour chaque cycle de gravure, nous avons pu mesurer une perte d'épaisseur d'environ 8Å témoignant de la reproductibilité de ce procédé. Il est également important de noter que la mobilité électronique après les deux premiers cycles reste élevée ($>1300 \text{ cm}^2/\text{V.s}$) puis chute à partir du troisième cycle de gravure. Les hautes valeurs de mobilité pour les premiers cycles indiquent que ce procédé ne dégrade pas les propriétés du gaz d'électrons en générant des états de pièges dans la barrière, ce qui est très encourageant pour les performances électriques des transistors. Par la suite, la mobilité chute car l'épaisseur de barrière n'est plus suffisante pour le confinement 2D des électrons.

Ces résultats préliminaires sont très prometteurs en vue d'obtenir des composants GaN HEMT de type normally-off. Un oxyde de grille tel que l' Al_2O_3 devra être implémenté parallèlement au procédé normally-off pour conserver non seulement une amplitude de commande de grille assez large mais aussi d'éliminer les fuites de grille du transistor. L'objectif final sera de réaliser un transistor HEMT GaN-sur-Si normally-off ($V_{\text{TH}} > +3 \text{ V}$) présentant les mêmes performances électriques statiques et dynamiques que les composants normally-on présentés dans ce manuscrit.

REFERENCES

- [1] « TransphormUSA », *TransphormUSA*. [En ligne]. Disponible sur: <http://www.transphormusa.com/technology>. [Consulté le: 08-juill-2015].
- [2] « Status of Power Electronics Industry 2015 », *I-Micronews*. [En ligne]. Disponible sur: <http://www.i-micronews.com/power-electronics-report/product/status-of-power-electronics-industry-2015.html>. [Consulté le: 08-juill-2015].
- [3] « Power GaN Market », *I-Micronews*. [En ligne]. Disponible sur: <http://www.i-micronews.com/compound-semi-report/product/power-gan-market.html>. [Consulté le: 08-juill-2015].
- [4] T. Kachi, « Recent progress of GaN power devices for automotive applications », *Jpn. J. Appl. Phys.*, vol. 53, n° 10, p. 100210, oct. 2014.
- [5] F. Bernot, « Electronique de puissance - Introduction ». Technique de l'ingénieur.
- [6] « Convertisseur Boost », *Wikipédia*. 03-mars-2015.
- [7] Z. Leng, Q. Liu, J. Sun, et J. Liu, « A research of efficiency characteristic for Buck converter », in *2010 2nd International Conference on Industrial Mechatronics and Automation (ICIMA)*, 2010, vol. 1, p. 232-235.
- [8] A. Q. Huang, « New unipolar switching power device figures of merit », *IEEE Electron Device Lett.*, vol. 25, n° 5, p. 298-301, mai 2004.
- [9] B. Hauke, « Basic Calculation of a Boost Converter's Power Stage », Texas Instrument, Application report SLVA372C, nov. 2009.
- [10] R. Nowakowski et B. King, « Challenges of designing high-frequency, high-nput-voltage D/DC converters ». Power Management - Texas Instrument Incorporated.
- [11] U. Drofenik, G. Laimer, et J. W. Kolar, « Theoretical Converter Power Density Limits for Forced Convection Cooling », présenté à Proc. Int. PCIM Eur. Conf., 2005, p. 608-619.
- [12] « Application Note : DC/DC converter thermal characteristics ». MartekPower.
- [13] On Semiconductor, « Effects of High Switching Frequency on Buck Regulators ».
- [14] B. J. Baliga, « Semiconductors for high-voltage, vertical channel field-effect transistors », *J. Appl. Phys.*, vol. 53, n° 3, p. 1759-1764, mars 1982.
- [15] T. Fujihira, « Theory of Semiconductor Superjunction Devices », *Jpn. J. Appl. Phys.*, vol. 36, n° 10R, p. 6254, oct. 1997.
- [16] G. Deboy, N. Marz, J.-P. Stengl, H. Strack, J. Tihanyi, et H. Weber, « A new generation of high voltage MOSFETs breaks the limit line of silicon », in *Electron Devices Meeting, 1998. IEDM '98. Technical Digest, International*, 1998, p. 683-685.
- [17] J. M. Hancock, « Superjunction FETs Boost Efficiency in PWMs », *Power Electronics*, 01-juill-2005. [En ligne]. Disponible sur: <http://powerelectronics.com/content/superjunction-fets-boost-efficiency-pwms>. [Consulté le: 16-juill-2015].
- [18] « Suppliers / Supplier Microsites / Infineon / ArrowEurope - CoolMOS C7 Power MOSFET ». [En ligne]. Disponible sur: <http://www.arroweurope.com/suppliers/supplier-microsites/infineon/coolmos-c7-power-mosfet.html>. [Consulté le: 16-juill-2015].
- [19] D. Disney et G. Dolny, « JFET Depletion in SuperJunction Devices », in *20th International Symposium on Power Semiconductor Devices and IC's, 2008. ISPSD '08*, 2008, p. 157-160.
- [20] K. P. Gan, Y. C. Liang, G. S. Samudra, S. M. Xu, et L. Yong, « Poly flanked VDMOS (PFVDMOS): a superior technology for superjunction devices », in *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, 2001, vol. 4, p. 2156-2159 vol. 4.
- [21] D. O. Neacsu, *Switching Power Converters: Medium and High Power, Second Edition*. CRC Press, 2013.

Références

- [22] L. Lorenz, G. Deboy, A. Knapp, et N. Marz, « COOLMOSTM-a new milestone in high voltage power MOS », in *The 11th International Symposium on Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings*, 1999, p. 3-10.
- [23] « Application Note AN-983 ». International Rectifier.
- [24] G. Deboy, « Advanced Silicon Devices – Applications and Technology Trends - Infineon », présenté à APEC 2015.
- [25] A. Lidow, « Is it the end of the road for silicon in power conversion? », in *2010 6th International Conference on Integrated Power Electronics Systems (CIPS)*, 2010, p. 1-8.
- [26] K. Shenai, M. Dudley, et R. F. Davis, « Current Status and Emerging Trends in Wide Bandgap (WBG) Semiconductor Power Switching Devices », *ECS J. Solid State Sci. Technol.*, vol. 2, n° 8, p. N3055-N3063, janv. 2013.
- [27] R. Rupp, T. Laska, O. Haberlen, et M. Treu, « Application specific trade-offs for WBG SiC, GaN and high end Si power switch technologies », in *Electron Devices Meeting (IEDM), 2014 IEEE International*, 2014, p. 2.3.1-2.3.4.
- [28] « High-Voltage Silicon MOSFETs, GaN, and SiC: All have a place », *EDN*. [En ligne]. Disponible sur: <http://www.edn.com/design/components-and-packaging/4375812/High-Voltage-Silicon-MOSFETs-still-hold-lead-over-SiC-and-GaN>. [Consulté le: 26-juill-2015].
- [29] R. T. Kemerley, H. B. Wallace, et M. N. Yoder, « Impact of wide bandgap microwave devices on DoD systems », *Proc. IEEE*, vol. 90, n° 6, p. 1059-1064, juin 2002.
- [30] L. M. Tolbert, « Wide bandgap semiconductors for utility applications », présenté à Proc. Power and Energy Systems, USA, 2003.
- [31] R. J. Trew, « SiC and GaN transistors - is there one winner for microwave power applications? », *Proc. IEEE*, vol. 90, n° 6, p. 1032-1047, juin 2002.
- [32] T. Mimura, S. Hiyamizu, T. Fujii, et K. Nanbu, « A New Field-Effect Transistor with Selectively Doped GaAs/n-AlxGa1-xAs Heterojunctions », *Jpn. J. Appl. Phys.*, vol. 19, n° 5, p. L225, mai 1980.
- [33] J. D. Cressler et H. A. Mantooth, *Extreme Environment Electronics*. CRC Press, 2012.
- [34] S. Chowdhury, B. L. Swenson, M. H. Wong, et U. K. Mishra, « Current status and scope of gallium nitride-based vertical transistors for high-power electronics application », *Semicond. Sci. Technol.*, vol. 28, n° 7, p. 074014, juill. 2013.
- [35] « Cree Inc - SiC Milestones ». [En ligne]. Disponible sur: <http://www.cree.com/About-Cree/History-and-Milestones/Milestones>.
- [36] Yole Développement, « SiC Modules, Devices and Substrates for Power Electronics Market 2014... », 09:47:06 UTC.
- [37] M. B. J. Wijesundara et R. Azevedo, *Silicon Carbide Microsystems for Harsh Environments*, vol. 22. New York, NY: Springer New York, 2011.
- [38] H. Goronkin, *Compound Semiconductors 1994, Proceedings of the Twenty-First INT Symposium on Compound Semiconductors held in San Diego, California, 18-22 September 1994*. CRC Press, 1995.
- [39] M. Loboda, « Considerations for Designing Power Electronic Devices Based on Advanced SiC Technologies ». Dow Corning.
- [40] A. Agarwal, « Manufacturing Perspective on Wide Bandgap Devices: Can WBG Prices Compete with Today's Si Prices », présenté à MRS 2014, Boston, 03-déc-2014.
- [41] « RFMD® Introduces World's First 6-Inch GaN-on-SiC Wafers for RF Power Transistors ». [En ligne]. Disponible sur: <http://www.rfmd.com/content/rfmdr-introduces-worlds-first-6-inch-gan-sic-wafers-rf-power-transistors>. [Consulté le: 29-juill-2015].
- [42] « Application Note : SiC Power Devices and Modules ». Rohm semiconductor, Juin-2013.
- [43] « ROHM Semiconductors : 1200V SiC MOSFETs ». [En ligne]. Disponible sur: <http://www.rohm.com/web/eu/sic-mosfet>.
- [44] L. Abbatelli, « Highly efficient ST SiC MOSFETs enables wider frequency range for power conversion », Bologna, 10-juill-2014.

Références

- [45] « SiC MOSFETs Improve PV and UPS Inverters and Industrial Power Supplies | PowerGuru - Power Electronics Information Portal » .
- [46] I. Ben-Yaacov, Y.-K. Seck, U. K. Mishra, et S. P. DenBaars, « AlGaIn/GaN current aperture vertical electron transistors with regrown channels », *J. Appl. Phys.*, vol. 95, n° 4, p. 2073-2078, févr. 2004.
- [47] « When will bulk GaN be price-competitive with silicon? | Solid State Technology » .
- [48] D. Christy, T. Egawa, Y. Yano, H. Tokunaga, H. Shimamura, Y. Yamaoka, A. Ubukata, T. Tabuchi, et K. Matsumoto, « Uniform Growth of AlGaIn/GaN High Electron Mobility Transistors on 200 mm Silicon (111) Substrate », *Appl. Phys. Express*, vol. 6, n° 2, p. 026501, févr. 2013.
- [49] Yole Développement, « GaN-on-silicon wafers: the enabler of GaN power electronics », n° 4, p. 6-9, janv. 2012.
- [50] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, et U. K. Mishra, « Polarization effects, surface states, and the source of electrons in AlGaIn/GaN heterostructure field effect transistors », *Appl. Phys. Lett.*, vol. 77, n° 2, p. 250-252, juill. 2000.
- [51] F. Medjdoub, M. Zegaoui, N. Rolland, et P. A. Rolland, « Demonstration of low leakage current and high polarization in ultrathin AlN/GaN high electron mobility transistors grown on silicon substrate », *Appl. Phys. Lett.*, vol. 98, n° 22, p. 223502, mai 2011.
- [52] F. Medjdoub, M. Alomari, J.-F. Carlin, M. Gonschorek, E. Feltn, M. A. Py, N. Grandjean, et E. Kohn, « Barrier-Layer Scaling of InAlN/GaN HEMTs », *IEEE Electron Device Lett.*, vol. 29, n° 5, p. 422-425, mai 2008.
- [53] R. S. Balmer, K. P. Hilton, K. J. Nash, M. J. Uren, D. J. Wallis, A. Wells, M. Missous, et T. Martin, « AlGaIn/GaN microwave HFET including a thin AlN carrier exclusion layer », *Phys. Status Solidi C*, vol. 0, n° 7, p. 2331-2334, déc. 2003.
- [54] Y. Cordier, M. Hugues, F. Semond, F. Natali, P. Lorenzini, Z. Bougrioua, J. Massies, E. Frayssinet, B. Beaumont, P. Gibart, et J.-P. Faurie, « Structural and electrical properties of AlGaIn/GaN HEMTs grown by MBE on SiC, Si(111) and GaN templates », *J. Cryst. Growth*, vol. 278, n° 1-4, p. 383-386, mai 2005.
- [55] M. A. Briere, « GaN Based Power Devices: Cost-Effective Revolutionary Performance », *Power Semiconductor Materials*, juin 2008.
- [56] U. K. Mishra, P. Parikh, et Y.-F. Wu, « AlGaIn/GaN HEMTs-an overview of device operation and applications », *Proc. IEEE*, vol. 90, n° 6, p. 1022-1031, juin 2002.
- [57] F. Medjdoub, M. Zegaoui, B. Grimbert, D. Ducatteau, N. Rolland, et P. A. Rolland, « First Demonstration of High-Power GaN-on-Silicon Transistors at 40 GHz », *IEEE Electron Device Lett.*, vol. 33, n° 8, p. 1168-1170, août 2012.
- [58] B. Hughes, Y. Y. Yoon, D. M. Zehnder, et K. S. Boutros, « A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid-IC Boost-Converter with 425-W Output Power at 1 MHz », in *2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2011, p. 1-3.
- [59] « Efficient Power Conversion (EPC) to Present DC-DC Converter Using eGaN® Transistors Operating at 10 MHz with 89% Peak Efficiency and the Ability to Operate in Harsh Environmental Conditions at GOMACTe », *Efficient Power Conversion Corporation*. [En ligne]. Disponible sur: <http://epc-co.com/epc/EventsandNews/News/ArtMID/1627/ArticleID/1572/Efficient-Power-Conversion-EPC-to-Present-DC-DC-Converter-Using-eGaN174-Transistors-Operating-at-10-MHz-with-89-Peak-Efficiency-and-the-Ability-to-Operate-in-Harsh-Environmental-Conditions-at-GOMACTe.aspx>. [Consulté le: 11-août-2015].
- [60] W. Zhang, Z. Xu, Z. Zhang, F. Wang, L. M. Tolbert, et B. J. Blalock, « Evaluation of 600 V cascode GaN HEMT in device characterization and all-GaN-based LLC resonant converter », in *2013 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2013, p. 3571-3578.
- [61] W. Yifeng, « Demands for High-efficiency Magnetics in GaN Power Electronics », Fort Worth, Texas, 16-mars-2014.

Références

- [62] « Transphorm launches first 600V GaN transistor in TO-247 package ». [En ligne]. Disponible sur: http://www.semiconductor-today.com/news_items/2015/mar/transphorm_170315.shtml. [Consulté le: 11-août-2015].
- [63] N.-Q. Zhang, B. Moran, S. p. DenBaars, U. k. Mishra, X. w. Wang, et T. p. Ma, « Kilovolt AlGa_N/Ga_N HEMTs as Switching Devices », *Phys. Status Solidi A*, vol. 188, n° 1, p. 213-217, nov. 2001.
- [64] N. Tipirneni, A. Koudymov, V. Adivarahan, J. Yang, G. Simin, et M. A. Khan, « The 1.6-kV AlGa_N/Ga_N HFETs », *IEEE Electron Device Lett.*, vol. 27, n° 9, p. 716-718, sept. 2006.
- [65] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, et U. K. Mishra, « High Breakdown Voltage Achieved on AlGa_N/Ga_N HEMTs With Integrated Slant Field Plates », *IEEE Electron Device Lett.*, vol. 27, n° 9, p. 713-715, sept. 2006.
- [66] B. Lu, E. L. Piner, et T. Palacios, « Schottky-Drain Technology for AlGa_N/Ga_N High-Electron Mobility Transistors », *IEEE Electron Device Lett.*, vol. 31, n° 4, p. 302-304, avr. 2010.
- [67] S. L. Selvaraj, T. Suzue, et T. Egawa, « Breakdown Enhancement of AlGa_N/Ga_N HEMTs on 4-in Silicon by Improving the Ga_N Quality on Thick Buffer Layers », *IEEE Electron Device Lett.*, vol. 30, n° 6, p. 587-589, juin 2009.
- [68] S. Karmalkar, M. S. Shur, G. Simin, et M. A. Khan, « Field-plate engineering for HFETs », *IEEE Trans. Electron Devices*, vol. 52, n° 12, p. 2534-2540, déc. 2005.
- [69] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, et U. K. Mishra, « High breakdown voltage AlGa_N-Ga_N HEMTs achieved by multiple field plates », *IEEE Electron Device Lett.*, vol. 25, n° 4, p. 161-163, avr. 2004.
- [70] S. Karmalkar et U. K. Mishra, « Enhancement of breakdown voltage in AlGa_N/Ga_N high electron mobility transistors using a field plate », *IEEE Trans. Electron Devices*, vol. 48, n° 8, p. 1515-1521, août 2001.
- [71] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, I. Omura, et T. Ogura, « 600V AlGa_N/Ga_N power-HEMT: design, fabrication and demonstration on high voltage DC-DC converter », in *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International, 2003*, p. 23.7.1-23.7.4.
- [72] M. Kuball, J. M. Hayes, M. J. Uren, I. Martin, J. C. H. Birbeck, R. S. Balmer, et B. T. Hughes, « Measurement of temperature in active high-power AlGa_N/Ga_N HFETs using Raman spectroscopy », *IEEE Electron Device Lett.*, vol. 23, n° 1, p. 7-9, janv. 2002.
- [73] Z. H. Liu, G. I. Ng, H. Zhou, S. Arulkumaran, et Y. K. T. Maung, « Reduced surface leakage current and trapping effects in AlGa_N/Ga_N high electron mobility transistors on silicon with Si_N/Al₂O₃ passivation », *Appl. Phys. Lett.*, vol. 98, n° 11, p. 113506, mars 2011.
- [74] M. A. Khan, X. Hu, A. Tarakji, G. Simin, J. Yang, R. Gaska, et M. S. Shur, « AlGa_N/Ga_N metal-oxide-semiconductor heterostructure field-effect transistors on SiC substrates », *Appl. Phys. Lett.*, vol. 77, n° 9, p. 1339-1341, août 2000.
- [75] P. D. Ye, B. Yang, K. K. Ng, J. Bude, G. D. Wilk, S. Halder, et J. C. M. Hwang, « Ga_N metal-oxide-semiconductor high-electron-mobility-transistor with atomic layer deposited Al₂O₃ as gate dielectric », *Appl. Phys. Lett.*, vol. 86, n° 6, p. 063501, févr. 2005.
- [76] M. Van Hove, S. Boulay, S. R. Bahl, S. Stoffels, X. Kang, D. Wellekens, K. Geens, A. Delabie, et S. Decoutere, « CMOS Process-Compatible High-Power Low-Leakage AlGa_N/Ga_N MISHEMT on Silicon », *IEEE Electron Device Lett.*, vol. 33, n° 5, p. 667-669, mai 2012.
- [77] S. Yang, Z. Tang, K.-Y. Wong, Y.-S. Lin, C. Liu, Y. Lu, S. Huang, et K. J. Chen, « High-Quality Interface in MIS Structures With In Situ Pre-Gate Plasma Nitridation », *IEEE Electron Device Lett.*, vol. 34, n° 12, p. 1497-1499, déc. 2013.
- [78] W. Choi, O. Seok, H. Ryu, H.-Y. Cha, et K.-S. Seo, « High-Voltage and Low-Leakage-Current Gate Recessed Normally-Off Ga_N MIS-HEMTs With Dual Gate Insulator Employing PEALD-/RF-Sputtered- », *IEEE Electron Device Lett.*, vol. 35, n° 2, p. 175-177, févr. 2014.

Références

- [79] S. Kato, Y. Satoh, H. Sasaki, I. Masayuki, et S. Yoshida, « C-doped GaN buffer layers with high breakdown voltages for high-power operation AlGaIn/GaN HFETs on 4-in Si substrates by MOVPE », *J. Cryst. Growth*, vol. 298, p. 831-834, janv. 2007.
- [80] Y. C. Choi, M. Pophristic, B. Peres, H.-Y. Cha, M. G. Spencer, et L. F. Eastman, « High breakdown voltage C-doped GaN-on-sapphire HFETs with a low specific on-resistance », *Semicond. Sci. Technol.*, vol. 22, n° 5, p. 517, mai 2007.
- [81] Y. C. Choi, L. F. Eastman, et M. Pophristic, « Effects of an Fe-doped GaN Buffer in AlGaIn/GaN Power HEMTs on Si Substrate », in *Solid-State Device Research Conference, 2006. ESSDERC 2006. Proceeding of the 36th European*, 2006, p. 282-285.
- [82] F. Medjdoub, M. Zegaoui, B. Grimbert, N. Rolland, et P.-A. Rolland, « Effects of AlGaIn Back Barrier on AlN/GaN-on-Silicon High-Electron-Mobility Transistors », *Appl. Phys. Express*, vol. 4, n° 12, p. 124101, déc. 2011.
- [83] H. Umeda, A. Suzuki, Y. Anda, M. Ishida, T. Ueda, T. Tanaka, et D. Ueda, « Blocking-voltage boosting technology for GaN transistors by widening depletion layer in Si substrates », in *Electron Devices Meeting (IEDM), 2010 IEEE International*, 2010, p. 20.5.1-20.5.4.
- [84] B. Lu, E. L. Piner, et T. Palacios, « Breakdown mechanism in AlGaIn/GaN HEMTs on Si substrate », in *Device Research Conference (DRC), 2010*, 2010, p. 193-194.
- [85] C. Zhou, Q. Jiang, S. Huang, et K. J. Chen, « Vertical Leakage/Breakdown Mechanisms in AlGaIn/GaN-on-Si Devices », *IEEE Electron Device Lett.*, vol. 33, n° 8, p. 1132-1134, août 2012.
- [86] N. Ikeda, Y. Niiyama, H. Kambayashi, Y. Sato, T. Nomura, S. Kato, et S. Yoshida, « GaN Power Transistors on Si Substrates for Switching Applications », *Proc. IEEE*, vol. 98, n° 7, p. 1151-1161, juill. 2010.
- [87] N. Ikeda, S. Kaya, J. Li, Y. Sato, S. Kato, et S. Yoshida, « High power AlGaIn/GaN HFET with a high breakdown voltage of over 1.8 kV on 4 inch Si substrates and the suppression of current collapse », in *20th International Symposium on Power Semiconductor Devices and IC's, 2008. ISPSD '08*, 2008, p. 287-290.
- [88] N. Ikeda, S. Kaya, J. Li, T. Kokawa, M. Masuda, et S. Katoh, « High-power AlGaIn/GaN MIS-HFETs with field-plates on Si substrates », in *21st International Symposium on Power Semiconductor Devices IC's, 2009. ISPSD 2009*, 2009, p. 251-254.
- [89] P. Srivastava, J. Das, D. Visalli, J. Derluyn, M. Van Hove, P. E. Malinowski, D. Marcon, K. Geens, K. Cheng, S. Degroote, M. Leys, M. Germain, S. Decoutere, R. P. Mertens, et G. Borghs, « Silicon Substrate Removal of GaN DHFETs for Enhanced (<1100 V) Breakdown Voltage », *IEEE Electron Device Lett.*, vol. 31, n° 8, p. 851-853, août 2010.
- [90] B. Lu et T. Palacios, « High Breakdown () AlGaIn/GaN HEMTs by Substrate-Transfer Technology », *IEEE Electron Device Lett.*, vol. 31, n° 9, p. 951-953, sept. 2010.
- [91] P. Srivastava, J. Das, D. Visalli, M. Van Hove, P. E. Malinowski, D. Marcon, S. Lenci, K. Geens, K. Cheng, M. Leys, S. Decoutere, R. P. Mertens, et G. Borghs, « Record Breakdown Voltage (2200 V) of GaN DHFETs on Si With 2- Buffer Thickness by Local Substrate Removal », *IEEE Electron Device Lett.*, vol. 32, n° 1, p. 30-32, janv. 2011.
- [92] P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, et R. L. Henry, « Current collapse and the role of carbon in AlGaIn/GaN high electron mobility transistors grown by metalorganic vapor-phase epitaxy », *Appl. Phys. Lett.*, vol. 79, n° 21, p. 3527-3529, nov. 2001.
- [93] S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, D. Park, H. B. Dietrich, D. D. Koleske, A. E. Wickenden, et R. L. Henry, « Trapping effects and microwave power performance in AlGaIn/GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 465-471, mars 2001.
- [94] R. Vetury, N. Q. Zhang, S. Keller, et U. K. Mishra, « The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs », *IEEE Trans. Electron Devices*, vol. 48, n° 3, p. 560-566, mars 2001.

Références

- [95] G. Verzellesi, G. Meneghesso, A. Chini, E. Zanoni, et C. Canali, « DC-to-RF dispersion effects in GaAs- and GaN-based heterostructure FETs: performance and reliability issues », *Microelectron. Reliab.*, vol. 45, n° 9-11, p. 1585-1592, sept. 2005.
- [96] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, K. Tsuda, I. Omura, et M. Yamaguchi, « Suppression of Dynamic On-Resistance Increase and Gate Charge Measurements in High-Voltage GaN-HEMTs With Optimized Field-Plate Structure », *IEEE Trans. Electron Devices*, vol. 54, n° 8, p. 1825-1830, août 2007.
- [97] W. Saito, « Reliability of GaN-HEMTs for high-voltage switching applications », in *Reliability Physics Symposium (IRPS), 2011 IEEE International*, 2011, p. 4E.1.1-4E.1.5.
- [98] G. Koley et M. G. Spencer, « On the origin of the two-dimensional electron gas at the AlGaNGaN heterostructure interface », *Appl. Phys. Lett.*, vol. 86, n° 4, p. 042107, janv. 2005.
- [99] L. Gordon, M.-S. Miao, S. Chowdhury, M. Higashiwaki, U. K. Mishra, et C. G. V. de Walle, « Distributed surface donor states and the two-dimensional electron gas at AlGaNGaN heterojunctions », *J. Phys. Appl. Phys.*, vol. 43, n° 50, p. 505501, déc. 2010.
- [100] A. M. Wells, M. J. Uren, R. S. Balmer, K. P. Hilton, T. Martin, et M. Missous, « Direct demonstration of the 'virtual gate' mechanism for current collapse in AlGaNGaN HFETs », *Solid-State Electron.*, vol. 49, n° 2, p. 279-282, févr. 2005.
- [101] J. R. Shealy, T. R. Prunty, E. M. Chumbes, et B. K. Ridley, « Growth and passivation of AlGaNGaN heterostructures », *J. Cryst. Growth*, vol. 250, n° 1-2, p. 7-13, mars 2003.
- [102] S. Huang, Q. Jiang, S. Yang, C. Zhou, et K. J. Chen, « Effective Passivation of AlGaNGaN HEMTs by ALD-Grown AlN Thin Film », *IEEE Electron Device Lett.*, vol. 33, n° 4, p. 516-518, avr. 2012.
- [103] S. Arulkumaran, T. Egawa, H. Ishikawa, T. Jimbo, et Y. Sano, « Surface passivation effects on AlGaNGaN high-electron-mobility transistors with SiO₂, Si₃N₄, and silicon oxynitride », *Appl. Phys. Lett.*, vol. 84, n° 4, p. 613-615, janv. 2004.
- [104] N. Onojima, M. Higashiwaki, J. Suda, T. Kimoto, T. Mimura, et T. Matsui, « Reduction in potential barrier height of AlGaNGaN heterostructures by SiN passivation », *J. Appl. Phys.*, vol. 101, n° 4, p. 043703, févr. 2007.
- [105] T. Hashizume, S. Ootomo, et H. Hasegawa, « Suppression of current collapse in insulated gate AlGaNGaN heterostructure field-effect transistors using ultrathin Al₂O₃ dielectric », *Appl. Phys. Lett.*, vol. 83, n° 14, p. 2952-2954, oct. 2003.
- [106] J. Derluyn, S. Boeykens, K. Cheng, R. Vandersmissen, J. Das, W. Ruythooren, S. Degroote, M. R. Leys, M. Germain, et G. Borghs, « Improvement of AlGaNGaN high electron mobility transistor structures by in situ deposition of a Si₃N₄ surface layer », *J. Appl. Phys.*, vol. 98, n° 5, p. 054501, sept. 2005.
- [107] G. Koley, V. Tilak, L. F. Eastman, et M. G. Spencer, « Slow transients observed in AlGaNGaN HFETs: effects of Si_xN_y passivation and UV illumination », *IEEE Trans. Electron Devices*, vol. 50, n° 4, p. 886-893, avr. 2003.
- [108] S. Ganguly, J. Verma, G. Li, T. Zimmermann, H. Xing, et D. Jena, « Presence and origin of interface charges at atomic-layer deposited Al₂O₃/III-nitride heterojunctions », *Appl. Phys. Lett.*, vol. 99, n° 19, p. 193504, nov. 2011.
- [109] Y. Yue, Y. Hao, J. Zhang, J. Ni, W. Mao, Q. Feng, et L. Liu, « AlGaNGaN MOS-HEMT With Dielectric and Interfacial Passivation Layer Grown by Atomic Layer Deposition », *IEEE Electron Device Lett.*, vol. 29, n° 8, p. 838-840, août 2008.
- [110] R. D. Long et P. C. McIntyre, « Surface Preparation and Deposited Gate Oxides for Gallium Nitride Based Metal Oxide Semiconductor Devices », *Materials*, vol. 5, n° 7, p. 1297-1335, juill. 2012.
- [111] M. Meneghini, D. Bisi, I. Rossetto, C. De Santi, A. Stocco, O. Hilt, E. Bahat-Treidel, J. Wuerfl, F. Rampazzo, G. Meneghesso, et E. Zanoni, « Trapping processes related to iron and carbon doping in AlGaNGaN power HEMTs », 2015, vol. 9363, p. 936314-936314-7.

Références

- [112] V. Desmaris, M. Rudzinski, N. Rorsman, P. R. Hageman, P. K. Larsen, H. Zirath, T. C. Rodle, et H. F. F. Jos, « Comparison of the DC and Microwave Performance of AlGa_N/Ga_N HEMT's Grown on SiC by MOCVD With Fe-Doped or Unintentionally Doped Ga_N Buffer Layers », *IEEE Trans. Electron Devices*, vol. 53, n° 9, p. 2413-2417, sept. 2006.
- [113] O. Hilt, E. Bahat-Treidel, E. Cho, S. Singwald, et J. Wurfl, « Impact of buffer composition on the dynamic on-state resistance of high-voltage AlGa_N/Ga_N HFETs », in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, p. 345-348.
- [114] D. Bisi, M. Meneghini, F. A. Marino, D. Marcon, S. Stoffels, M. Van Hove, S. Decoutere, G. Meneghesso, et E. Zanoni, « Kinetics of Buffer-Related RON-Increase in Ga_N-on-Silicon MIS-HEMTs », *IEEE Electron Device Lett.*, vol. 35, n° 10, p. 1004-1006, oct. 2014.
- [115] W. Saito, T. Noda, M. Kuraguchi, Y. Takada, K. Tsuda, Y. Saito, I. Omura, et M. Yamaguchi, « Effect of Buffer Layer Structure on Drain Leakage Current and Current Collapse Phenomena in High-Voltage Ga_N-HEMTs », *IEEE Trans. Electron Devices*, vol. 56, n° 7, p. 1371-1376, juill. 2009.
- [116] J. Wurfl, O. Hilt, E. Bahat-Treidel, R. Zhytnytska, P. Kotara, F. Brunner, O. Krueger, et M. Weyers, « Techniques towards Ga_N power transistors with improved high voltage dynamic switching properties », in *Electron Devices Meeting (IEDM), 2013 IEEE International*, 2013, p. 6.1.1-6.1.4.
- [117] C. Li, Z. Li, D. Peng, J. Ni, L. Pan, D. Zhang, X. Dong, et Y. Kong, « Improvement of breakdown and current collapse characteristics of Ga_N HEMT with a polarization-graded AlGa_N buffer », *Semicond. Sci. Technol.*, vol. 30, n° 3, p. 035007, mars 2015.
- [118] P. Leclaire, S. Chenot, L. Buchailot, Y. Cordier, D. Théron, et M. Faucher, « AlGa_N/Ga_N HEMTs with very thin buffer on Si (111) for nanosystems applications », *Semicond. Sci. Technol.*, vol. 29, n° 11, p. 115018, nov. 2014.
- [119] « How 600 V Ga_N Transistors Improve Power Supply Efficiency and Density », *Power Electronics Europe*, vol. Power Semiconductor, n° 2, mars 2015.
- [120] P. Parikh, Y. Wu, et L. Shen, « Commercialization of high 600V Ga_N-on-silicon power HEMTs and diodes », in *2013 IEEE Energytech*, 2013, p. 1-5.
- [121] A. Lidow, « Ga_N Transistors for Efficient Power Conversion », présenté à Darnell's Energy Summit, oct-2014.
- [122] X. Huang, Q. Li, Z. Liu, et F. C. Lee, « Analytical Loss Model of High Voltage Ga_N HEMT in Cascode Configuration », *IEEE Trans. Power Electron.*, vol. 29, n° 5, p. 2208-2219, mai 2014.
- [123] T. Hirose, M. Imai, K. Joshin, K. Watanabe, T. Ogino, Y. Miyazaki, K. Shono, T. Hosoda, et Y. Asai, « Dynamic performances of Ga_N-HEMT on Si in cascode configuration », in *2014 Twenty-Ninth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2014, p. 174-181.
- [124] H. Hahn, F. Benkhelifa, O. Ambacher, F. Brunner, A. Nocolak, H. Kalisch, et A. Vescan, « Threshold Voltage Engineering in Ga_N-Based HFETs: A Systematic Study With the Threshold Voltage Reaching More Than 2 V », *IEEE Trans. Electron Devices*, vol. 62, n° 2, p. 538-545, févr. 2015.
- [125] K. J. Chen et C. Zhou, « Enhancement-mode AlGa_N/Ga_N HEMT and MIS-HEMT technology », *Phys. Status Solidi A*, vol. 208, n° 2, p. 434-438, févr. 2011.
- [126] Y. Cai, Y. Zhou, K. M. Lau, et K. J. Chen, « Control of Threshold Voltage of AlGa_N/Ga_N HEMTs by Fluoride-Based Plasma Treatment: From Depletion Mode to Enhancement Mode », *IEEE Trans. Electron Devices*, vol. 53, n° 9, p. 2207-2215, sept. 2006.
- [127] Y. Uemoto, M. Hikita, H. Ueno, H. Matsuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, et D. Ueda, « Gate Injection Transistor (GIT) #x2014;A Normally-Off AlGa_N/Ga_N Power Transistor Using Conductivity Modulation », *IEEE Trans. Electron Devices*, vol. 54, n° 12, p. 3393-3399, déc. 2007.

Références

- [128] R. Chu, A. Corrion, M. Chen, R. Li, D. Wong, D. Zehnder, B. Hughes, et K. Boutros, « 1200-V Normally Off GaN-on-Si Field-Effect Transistors With Low Dynamic on-Resistance », *IEEE Electron Device Lett.*, vol. 32, n° 5, p. 632-634, mai 2011.
- [129] Z. Tang, Q. Jiang, Y. Lu, S. Huang, S. Yang, X. Tang, et K. J. Chen, « 600-V Normally Off /AlGaIn/GaN MIS-HEMT With Large Gate Swing and Low Current Collapse », *IEEE Electron Device Lett.*, vol. 34, n° 11, p. 1373-1375, nov. 2013.
- [130] L. Yuan, M. J. Wang, et K. J. Chen, « Molecular dynamics calculation of the fluorine ions' potential energies in AlGaIn/GaN heterostructures », *J. Appl. Phys.*, vol. 104, n° 11, p. 116106, déc. 2008.
- [131] M. Ishida, T. Ueda, T. Tanaka, et D. Ueda, « GaN on Si Technologies for Power Switching Devices », *IEEE Trans. Electron Devices*, vol. 60, n° 10, p. 3053-3059, oct. 2013.
- [132] I. Hwang, H. Choi, J. Lee, H. S. Choi, J. Kim, J. Ha, C.-Y. Um, S.-K. Hwang, J. Oh, J.-Y. Kim, J. K. Shin, Y. Park, U.-I. Chung, I.-K. Yoo, et K. Kim, « 1.6kV, 2.9 m² normally-off p-GaN HEMT device », in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, p. 41-44.
- [133] T. Oka et T. Nozawa, « AlGaIn/GaN Recessed MIS-Gate HFET With High-Threshold-Voltage Normally-Off Operation for Power Electronics Applications », *IEEE Electron Device Lett.*, vol. 29, n° 7, p. 668-670, juill. 2008.
- [134] H. Kambayashi, Y. Satoh, Y. Niiyama, T. Kokawa, M. Iwami, T. Nomura, S. Kato, et T. P. Chow, « Enhancement-mode GaN hybrid MOS-HFETs on Si substrates with Over 70 A operation », in *21st International Symposium on Power Semiconductor Devices IC's, 2009. ISPSD 2009*, 2009, p. 21-24.
- [135] D. Buttari, A. Chini, G. Meneghesso, E. Zanoni, P. Chavarkar, R. Coffie, N.-Q. Zhang, S. Heikinan, L. Shen, H. Xing, C. Zheng, et U. K. Mishra, « Systematic characterization of Cl₂ reactive ion etching for gate recessing in AlGaIn/GaN HEMTs », *IEEE Electron Device Lett.*, vol. 23, n° 3, p. 118-120, mars 2002.
- [136] T. J. Anderson, M. J. Tadjer, M. A. Mastro, J. K. Hite, K. D. Hobart, C. R. Eddy, et F. J. Kub, « Characterization of Recessed-Gate AlGaIn/GaN HEMTs as a Function of Etch Depth », *J. Electron. Mater.*, vol. 39, n° 5, p. 478-481, mars 2010.
- [137] C.-H. Chen, S. Keller, E. D. Haberler, L. Zhang, S. P. DenBaars, E. L. Hu, U. K. Mishra, et Y. Wu, « Cl₂ reactive ion etching for gate recessing of AlGaIn/GaN field-effect transistors », *J. Vac. Sci. Technol. B*, vol. 17, n° 6, p. 2755-2758, nov. 1999.
- [138] S. J. Pearton, J. C. Zolper, R. J. Shul, et F. Ren, « GaN: Processing, defects, and devices », *J. Appl. Phys.*, vol. 86, n° 1, p. 1-78, juill. 1999.
- [139] « EpiGaIn », *EpiGaIn - Your GaN epiwafer supplier*. [En ligne]. Disponible sur: <http://www.epiga.com/>. [Consulté le: 17-août-2015].
- [140] B. P. Luther, S. E. Mohney, T. N. Jackson, M. A. Khan, Q. Chen, et J. W. Yang, « Investigation of the mechanism for Ohmic contact formation in Al and Ti/Al contacts to n-type GaN », *Appl. Phys. Lett.*, vol. 70, n° 1, p. 57-59, janv. 1997.
- [141] B. V. Daele, G. V. Tendeloo, W. Ruythooren, J. Derluyn, M. R. Leys, et M. Germain, « The role of Al on Ohmic contact formation on n-type GaN and AlGaIn/GaN », *Appl. Phys. Lett.*, vol. 87, n° 6, p. 061905, août 2005.
- [142] A. N. Bright, P. J. Thomas, M. Weyland, D. M. Tricker, C. J. Humphreys, et R. Davies, « Correlation of contact resistance with microstructure for Au/Ni/Al/Ti/AlGaIn/GaN ohmic contacts using transmission electron microscopy », *J. Appl. Phys.*, vol. 89, n° 6, p. 3143-3150, mars 2001.
- [143] D. Qiao, L. S. Yu, L. Jia, P. M. Asbeck, S. S. Lau, et T. E. Haynes, « Transport properties of the advancing interface ohmic contact to AlGaIn/GaN heterostructures », *Appl. Phys. Lett.*, vol. 80, n° 6, p. 992-994, févr. 2002.
- [144] D. Selvanathan, F. M. Mohammed, A. Tesfayesus, et I. Adesida, « Comparative study of Ti/Al/Mo/Au, Mo/Al/Mo/Au, and V/Al/Mo/Au ohmic contacts to AlGaIn/GaN heterostructures », *J. Vac. Sci. Technol. B*, vol. 22, n° 5, p. 2409-2416, sept. 2004.

Références

- [145] D. Buttari, A. Chini, T. Palacios, R. Coffie, L. Shen, H. Xing, S. Heikman, L. McCarthy, A. Chakraborty, S. Keller, et U. K. Mishra, « Origin of etch delay time in Cl₂ dry etching of AlGa_N/Ga_N structures », *Appl. Phys. Lett.*, vol. 83, n° 23, p. 4779-4781, déc. 2003.
- [146] H. Sun, A. R. Alt, S. Tirelli, D. Marti, H. Benedickter, E. Piner, et C. R. Bolognesi, « Nanometric AlGa_N/Ga_N HEMT Performance with Implant or Mesa Isolation », *IEEE Electron Device Lett.*, vol. 32, n° 8, p. 1056-1058, août 2011.
- [147] M. Sun, H.-S. Lee, B. Lu, D. Piedra, et T. Palacios, « Comparative Breakdown Study of Mesa- and Ion-Implantation-Isolated AlGa_N/Ga_N High-Electron-Mobility Transistors on Si Substrate », *Appl. Phys. Express*, vol. 5, n° 7, p. 074202, juill. 2012.
- [148] S. J. Pearton, C. B. Vartuli, J. C. Zolper, C. Yuan, et R. A. Stall, « Ion implantation doping and isolation of Ga_N », *Appl. Phys. Lett.*, vol. 67, n° 10, p. 1435-1437, sept. 1995.
- [149] S. C. Binari, H. B. Dietrich, G. Kelner, L. B. Rowland, K. Doverspike, et D. K. Wickenden, « H, He, and N implant isolation of n-type Ga_N », *J. Appl. Phys.*, vol. 78, n° 5, p. 3008-3011, sept. 1995.
- [150] D. Basak, M. Verdú, M. T. Montojo, M. A. Sánchez-García, F. J. Sánchez, E. Muñoz, et E. Calleja, « Reactive ion etching of Ga_N layers using », *Semicond. Sci. Technol.*, vol. 12, n° 12, p. 1654-1657, déc. 1997.
- [151] M. E. Lin, Z. F. Fan, Z. Ma, L. H. Allen, et H. Morkoç, « Reactive ion etching of Ga_N using BCl₃ », *Appl. Phys. Lett.*, vol. 64, n° 7, p. 887-888, févr. 1994.
- [152] H. Cho, C. B. Vartuli, C. R. Abernathy, S. M. Donovan, S. J. Pearton, R. J. Shul, et J. Han, « Cl₂-based dry etching of the AlGaIn_N system in inductively coupled plasmas », *Solid-State Electron.*, vol. 42, n° 12, p. 2277-2281, déc. 1998.
- [153] F. Laermer et A. Schilp, « Method of anisotropically etching silicon », 5501893, 26-mars-1996.
- [154] D. Visalli, M. V. Hove, M. Leys, J. Derluyn, E. Simoen, P. Srivastava, K. Geens, S. Degroote, M. Germain, A. P. D. Nguyen, A. Stesmans, et G. Borghs, « Investigation of Light-Induced Deep-Level Defect Activation at the AlN/Si Interface », *Appl. Phys. Express*, vol. 4, n° 9, p. 094101, août 2011.
- [155] T.-T. Kao, C.-Y. Wang, S.-C. Shen, D. A. Girdhar, et F. Hebert, « 2,5-Ampere AlGa_N/Ga_N HFETs on Si Substrates with Breakdown Voltage >1,250V », présenté à CS MANTECH Conference, Palm Springs, California, USA, 2011.
- [156] N. Ikeda, S. Kaya, J. Li, Y. Sato, T. Kokawa, et S. Kato, « High power AlGa_N/Ga_N HFETs on 4 inch Si substrates », *Phys. Status Solidi C*, vol. 6, n° S2, p. S933-S936, juin 2009.
- [157] S. L. Selvaraj, A. Watanabe, A. Wakejima, et T. Egawa, « 1.4-kV Breakdown Voltage for AlGa_N/Ga_N High-Electron-Mobility Transistors on Silicon Substrate », *IEEE Electron Device Lett.*, vol. 33, n° 10, p. 1375-1377, oct. 2012.
- [158] O. Seok, W. Ahn, M.-K. Han, et M.-W. Ha, « High-breakdown voltage and low onresistance AlGa_N/Ga_N on Si MOS-HEMTS employing an extended tan gate on HfO₂ gate insulator », *Electron. Lett.*, vol. 49, n° 6, p. 425-427, mars 2013.
- [159] N. Herbecq, I. Roch-Jeune, A. Linge, B. Grimbert, M. Zegaoui, et F. Medjdoub, « Above 2000V breakdown voltage on ultrathin barrier AlN/GaN-on-Silicon transistors », présenté à CS MANTECH Conference, Scottsdale, Arizona, USA, 2015.
- [160] N. Herbecq, I. Roch-Jeune, A. Linge, B. Grimbert, M. Zegaoui, et F. Medjdoub, « Ga_N-on-silicon high electron mobility transistors with blocking voltage of 3 kV », *Electron. Lett.*, vol. 51, n° 19, p. 1532-1534, 2015.
- [161] N. Herbecq, I. Roch-Jeune, N. Rolland, D. Visalli, J. Derluyn, S. Degroote, M. Germain, et F. Medjdoub, « 1900 V, 1.6 mΩ cm² AlN/GaN-on-Si power devices realized by local substrate removal », *Appl. Phys. Express*, vol. 7, n° 3, p. 034103, mars 2014.
- [162] « Method for fabrication of iii-nitride device and the iii-nitride device thereof ».
- [163] A. Pérez-Tomás, M. Placidi, N. Baron, S. Chenot, Y. Cordier, J. C. Moreno, A. Constant, P. Godignon, et J. Millán, « Ga_N transistor characteristics at elevated temperatures », *J. Appl. Phys.*, vol. 106, n° 7, p. 074519, oct. 2009.

Références

- [164] N. K. M Hatano, « Comparative high-temperature DC characterization of HEMTs with GaN and AlGaIn channel layers ».
- [165] D. Marcon, F. Medjdoub, D. Visalli, M. Van Hove, J. Derluyn, J. Das, S. Degroote, M. Leys, K. Cheng, S. Decoutere, R. Mertens, M. Germain, et G. Borghs, « High temperature on- and off-state stress of GaN-on-Si HEMTs with in-situ Si₃N₄ cap layer », in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, 2010, p. 146-151.
- [166] U. Schlapbach, M. Rahimo, C. von Arx, A. Mukhitdinov, et S. Linder, « 1200V IGBT operating at 200°C? An investigation on the potentials and the design constraints », présenté à International Symposium on Power Semiconductor Devices and ICs (ISPSD), Jeju_Island, Korea, 2007.
- [167] P. Srivastava, J. Das, R. P. Mertens, et G. Borghs, « Silicon Substrate Engineered High-Voltage High-Temperature GaN-DHFETs », *IEEE Trans. Electron Devices*, vol. 60, n° 7, p. 2217-2223, juill. 2013.
- [168] G. Meneghesso, M. Meneghini, E. Zanoni, P. Vanmeerbeek, et P. Moens, « Trapping induced parasitic effects in GaN-HEMT for power switching applications », in *2015 International Conference on IC Design Technology (ICICDT)*, 2015, p. 1-4.
- [169] D. Bisi, M. Meneghini, M. Van Hove, D. Marcon, S. Stoffels, T.-L. Wu, S. Decoutere, G. Meneghesso, et E. Zanoni, « Trapping mechanisms in GaN-based MIS-HEMTs grown on silicon substrate », *Phys. Status Solidi A*, vol. 212, n° 5, p. 1122-1129, mai 2015.
- [170] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, et I. Omura, « Recessed-gate structure approach toward normally off high-voltage AlGaIn/GaN HEMT for power electronics applications », *IEEE Trans. Electron Devices*, vol. 53, n° 2, p. 356-362, févr. 2006.
- [171] G. C. DeSalvo, C. A. Bozada, J. L. Ebel, D. C. Look, J. P. Barrette, C. L. A. Cerny, R. W. Dettmer, J. K. Gillespie, C. K. Havasy, T. J. Jenkins, K. Nakano, C. I. Pettiford, T. K. Quach, J. S. Sewell, et G. D. Via, « Wet Chemical Digital Etching of GaAs at Room Temperature », *J. Electrochem. Soc.*, vol. 143, n° 11, p. 3652-3656, nov. 1996.
- [172] D. Buttari, S. Heikman, S. Keller, et U. K. Mishra, « Digital etching for highly reproducible low damage gate recessing on AlGaIn/GaN HEMTs », in *IEEE Lester Eastman Conference on High Performance Devices, 2002. Proceedings*, 2002, p. 461-469.
- [173] F. Medjdoub, J. Derluyn, K. Cheng, M. Leys, S. Degroote, D. Marcon, D. Visalli, M. Van Hove, M. Germain, et G. Borghs, « Low on-resistance high-breakdown normally off AlN/GaN/AlGaIn DHFET on Si substrate », *IEEE Electron Device Lett.*, vol. 31, n° 2, p. 111-113, 2010.
- [174] M. Higashiwaki, N. Hirose, et T. Matsui, « Cat-CVD SiN-passivated AlGaIn-GaN HFETs with thin and high Al composition barrier layers », *IEEE Electron Device Lett.*, vol. 26, n° 3, p. 139-141, mars 2005.

LISTE DES PUBLICATIONS

Revue internationale à comité de lecture

- N. Herbecq, I. Roch-Jeune, N. Rolland, D. Visalli, J. Derluyn, S. Degroote, M. Germain, et F. Medjdoub, « 1900 V, 1.6 mΩ cm² AlN/GaN-on-Si power devices realized by local substrate removal », *Appl. Phys. Express*, vol. 7, n° 3, p. 034103, mars 2014.
- N. Herbecq, I. Roch-Jeune, A. Linge, B. Grimbert, M. Zegaoui, et F. Medjdoub, « GaN-on-silicon high electron mobility transistors with blocking voltage of 3 kV », *Electronics Letters*, vol. 51, n° 19, p. 1532-1534, 2015.
- N. Herbecq, I. Roch-Jeune, A. Linge, M. Zegaoui, P.-O. Jeannin, N. Rouger, and F. Medjdoub, "Above 2000 V breakdown voltage at 600 K GaN-on-silicon high electron mobility transistors," *Phys. Status Solidi A*, DOI:10.1002/pssa.201532572, janv 2016

Conférences nationales et internationales à comité de lecture et avec proceeding

- N. Herbecq, I. Roch-Jeune, et F. Medjdoub, « High polarization high breakdown voltage AlN/GaN-on-silicon transistors », in *38th Workshop on Compound Semiconductor Devices and Integrated Circuits in Europe, WOCSDICE 2014*, Delphi, Greece, 2014
- N. Herbecq, I. Roch-Jeune, et F. Medjdoub, « Combinaison d'une polarisation élevée et d'une forte tenue en tension pour les transistors AlN/GaN sur Si », in *17èmes Journées Nationales du Réseau Doctoral en Micro-Nanoélectronique, JNRDM 2014*, Villeneuve d'Ascq, France, 2014
- N. Herbecq, I. Roch-Jeune, et F. Medjdoub, « Pushing the limits of GaN-on-silicon device breakdown voltage for high power applications », in *Communications Microsystems Optoelectronics Sensors Emerging Technologies, CMOSET 2014*, Grenoble, France, 2014
- N. Herbecq, I. Roch-Jeune, A. Linge, B. Grimbert, M. Zegaoui, et F. Medjdoub, «Above 2000V breakdown voltage on ultrathin barrier AlN/GaN-on-Silicon transistors», in *30th Conference on Compound Semiconductor Manufacturing Technology, CSMANTECH 2015*, Scottsdale, Arizona, USA, 2015
- N. Herbecq, I. Roch-Jeune, A. Linge, M. Zegaoui, D. Visalli, J. Derluyn, S. Degroote, M. Germain, et F. Medjdoub, « Towards higher voltage GaN-on-Si power devices », in *42th International Symposium on Compound Semiconductors, ISCS 2015*, Santa Barbara, California, USA, 2015

RESUME

Les transistors à haute mobilité électronique à base de Nitrure de Gallium sur substrat de silicium (GaN-sur-Si) sont des candidats prometteurs pour les futures générations de convertisseurs de puissance. Aujourd'hui, plusieurs verrous techniques ralentissent la commercialisation de cette technologie au niveau industriel, en particulier pour les applications requérant des hautes tensions (≥ 600 V). Dans ce contexte, ces travaux constituent une contribution au développement de composants innovants à base de GaN-sur-Si fonctionnant au-delà du kilovolt. Nous nous sommes principalement focalisés sur l'amélioration de la tenue en tension de ce type de transistors au travers du développement d'un procédé de gravure localisée du substrat en face arrière permettant de supprimer le phénomène de conduction parasite localisée entre les couches tampons et le substrat. Ce procédé ainsi que l'utilisation de structures d'épitaxie innovantes nous ont permis d'observer une amélioration drastique des performances électriques des transistors à haute tension. Nous avons pu notamment démontrer pour la première fois la possibilité de délivrer des tenues en tension de plus de 3 kV sur cette filière émergente. Ces résultats obtenus, supérieurs à l'état de l'art, laissent envisager l'utilisation des technologies GaN-sur-Si pour les gammes de moyennes et hautes tensions (>1000 V).

ABSTRACT

GaN-based High Electron Mobility Transistors (HEMTs) on Silicon substrate (GaN-on-Si) are promising candidates for future generations of power converters. Today, technical limitations need to be overcome in order to allow the industrial commercialization of this technology, particularly for high-voltage applications (≥ 600 V). In this frame, this work constitutes a contribution to the development of innovative GaN-on-Si devices operating above 1kV. We mainly focused on the improvement of the blocking voltage of the transistors with the realization of a local substrate removal process with the aim of suppressing the parasitic conduction phenomena between the buffer layer and the substrate. Owing to an improved technological process and innovative epitaxial structures, we observed a drastic improvement of the electrical performances of the transistor under high voltages. In particular, we have been able to demonstrate for the first time a blocking voltage above 3kV for this emerging technology. These results, well beyond the state of the art, pave the way for higher voltage operation GaN-on-Si power devices.