

UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE 1

Ecole Doctorale : Sciences Pour l'Ingénieur

THESE

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE DE LILLE

Spécialité : MICRO ET NANO TECHNOLOGIES

Par

Alice BOSSUET

Intégration sur silicium de solutions complètes de caractérisation
en puissance de transistor HBT en technologie BiCMOS 55 nm à
des fréquences au-delà de 130 GHz

Présentée et soutenue publiquement le 20 mars 2017 devant la Commission d'examen

Membres du Jury :

Pr. Thierry TARIS	Rapporteur et Président	IMS - Bordeaux
Dr. Patrice GAMAND	Rapporteur	XLIM - Limoges
Dr. Mathieu LE PIPEC	Examineur	DGA - Bruz
Dr. Stéphane ROCHETTE	Examineur	Thales Alenia Space - Toulouse
Dr. Thomas QUEMERAIS	Examineur	STMicroelectronics - Grenoble
Pr. Christophe GAQUIERE	Directeur de thèse	IEMN - Lille
Pr. Jean-Michel FOURNIER	Co-directeur de thèse	IMEP LaHC - Grenoble
Dr. Estelle LAUGA-LARROZE	Co-encadrante de thèse	IMEP LaHC - Grenoble
Mr. Daniel GLORIA	Membre invité	STMicroelectronics - Crolles

Remerciements

Ces travaux de doctorat se sont déroulés au sein de l'entreprise STMicroelectronics à Crolles en collaboration avec le laboratoire de l'IEMN à Villeneuve d'Ascq et le laboratoire de l'IMEP-LAHC à Grenoble.

Je remercie tout d'abord Monsieur le Professeur Thierry Taris pour sa présence en tant que Président de la Commission d'examen ainsi que Monsieur Patrice Gamand, qui m'ont fait l'honneur de juger ce travail et d'en être rapporteurs.

J'adresse mes remerciements respectueux à Monsieur Mathieu Le Pipec, Ingénieur Docteur à la DGA et à Monsieur Stéphane Rochette, Ingénieur Docteur à Thales Alinea Space, pour leur présence et leurs retours techniques en tant qu'examinateurs.

Je tiens à remercier très sincèrement Daniel Gloria pour m'avoir accueilli au sein de l'équipe (*Mich*) RF Team, pour tous ses précieux conseils durant ces travaux de recherche, et sa participation à mon jury de thèse.

Je remercie également Christophe Gaquière pour avoir encadré ces travaux de recherche en tant que Directeur de thèse et pour tous ses conseils pertinents. Grâce à ta grande connaissance du monde scientifique j'ai toujours pu situer clairement mes travaux face à l'état de l'art.

Je remercie bien évidemment Jean Michel Fournier pour avoir supervisé ces travaux de recherche en tant que co-directeur de thèse. Je lui témoigne toute ma reconnaissance pour ses qualités de professeur car j'ai eu la chance de faire partie de ceux qui ont bénéficié de sa formation académique mais aussi de son encadrement très rigoureux, nécessaire pour mener à bien ces travaux.

Je tiens à remercier sincèrement Estelle Lauga Larroze pour avoir encadré cette thèse en tant que co-encadrante. Je lui témoigne toute ma reconnaissance pour ses qualités humaines, techniques et pour l'aide et le soutien qu'elle a pu m'apporter durant ces trois années.

Mes plus sincères remerciements vont à Thomas Quemerais, qui a dirigé ces travaux. Je lui suis très reconnaissante en tant que thésarde, pour ses qualités techniques mais aussi pour ses grandes qualités humaines grâce auxquelles j'ai pu donner le meilleur de moi-même. Ces trois années n'auraient pu être aussi bien sans toi et je ne te remercierai jamais assez pour tout ce que tu as fait. Bien sûr je n'oublierai jamais tous ces moments partagés ensemble (au boulot ou en dehors !). Merci mon petit Tom !

Je souhaite également remercier toute l'équipe de caractérisation RF, vous êtes une belle brochette de comiques ! Cela a rendu ces trois années extra. Merci à Florence pour ta douceur et ta présence féminine. Merci Fredo pour tous tes conseils techniques mais aussi pour toutes tes taquineries. Cédric et Jean Marc pour ces sorties VTT mémorables! Mich pour ta bonne humeur toujours au rendez-vous. Seb pour tes blagues graveleuses d'un niveau au moins identique à celles de Tom. Vevent merci pour ton succulent calva et merci aussi pour avoir pris le relais du souffre-douleur de temps en temps. Eli, merci pour ta crémaillère, je m'en rappelle encore quelle soirée ! Merci Paco pour ta bonne humeur, ton sourire et tes conseils, tant en jeux vidéo qu'en design. Merci Simon pour toutes tes blagues, ma préféré restera ta blague du double stub !! Merci à Romain pour ton superbe pading *qu'on n'aura jamais utilisé*. Merci à Didier pour ton aide et

conseils sur le modèle du bipolaire, ainsi qu'à Nicolas. Merci à Stéphane pour tes blagues toujours très raffinées mais aussi pour tes conseils en design. Merci aussi à Denis pour ton aide en design.

Je voudrais également remercier toutes les personnes du laboratoire de l'IMEP qui ont contribué à ces travaux de recherches mais aussi à la bonne ambiance au labo, Jean Daniel, Philippe, José, Alfredo, Ziad, Fred. Merci Ayssar pour tes conseils et ton aide en design. Merci également à Nicolas pour les caractérisations, c'était un réel plaisir d'avoir travaillé avec toi. Un grand merci à toi Walid pour tes qualités humaines, et bien sûr merci pour les mesures de dernières minutes du détecteur de puissance !!

Je remercie également tout le laboratoire de l'IEMN et plus particulièrement Sylvie Le Pilliet. Sans toi je n'aurais jamais pu mesurer mes circuits autant dire que cette thèse n'aurait pu être soutenue autrement. En tout cas tu es un sacré personnage dont je me souviendrai ! Merci également à toute l'équipe de carac, Joao pour ton aide et ta bonne humeur, merci également à Marina, Guillaume, Francois, Gilles, Etienne et Vanessa pour ces moments passés ensemble.

J'aimerais aussi remercier tous mes amis d'avoir été là et plus particulièrement Mirou, Nono et ma petite Simone pour m'avoir hébergé les deux semaines avant ma soutenance. Vous avez été des amours avec moi j'étais une vraie princesse !! Merci bien sûr à Antoine, Tiffany, Tacos qui complète notre petit groupe inséparable. Merci à mon tit Yann, Lastek, Brenzouille, Isa, Titi, Lolo, Marvin, Kev et Flo d'avoir été présents pour ce grand moment de ma vie ;) ! Merci aussi à mon Ju.

J'aimerais également remercier ma famille. Mes parents car sans eux je n'en serais jamais arrivée là aujourd'hui. Merci pour votre amour au quotidien, pour vos encouragements permanents et votre gentillesse. Vous êtes des parents extraordinaires. Merci à ma sœur Fabienne, mon bof Greg et mes spécimens de frères Guillaume et Pierre pour vos conseils techniques toujours très pertinents. Non je rigole! Merci également à ma belle maman Mimi et ma belle-sœur Lisou, en espérant que vous m'accepterez définitivement dans la famille maintenant que j'ai un vrai diplôme !

Et enfin merci à toi l'amour de ma vie. J'aimerais simplement dire que sans toi rien de tout cela n'aurait été possible, tu es celui qui m'a toujours encouragé et qui m'a donné la force de me surpasser. Merci pour ce magnifique cadeau, notre petit Victor, qui fait notre plus grand bonheur (et nos nuits blanches haha!). Love my Doum'.

A mes deux amours Rémi et Victor

Table des matières

Table des matières	7
Introduction générale	9
Chapitre I. Caractérisation fort signal en bande de fréquence millimétrique : État de l'art et défis	13
I.1. Introduction du Chapitre I	14
I.2. Méthodologie de caractérisation large signal des transistors.....	14
I.2.1. Effets des non linéarités des transistors	14
I.2.2. Principe de la caractérisation grand signal de type load-pull.....	17
I.2.3. Les différentes méthodes de caractérisation load-pull	19
I.2.4. Besoin de caractérisation load-pull des technologies silicium dans les bandes de fréquences millimétriques	24
I.3. Défis posés pour le développement d'environnement de caractérisation large signal en bande G pour les technologies silicium	27
I.3.1. La problématique de la génération d'impédances en bande G	28
I.3.2. La problématique de la génération de signaux en bande G	33
I.3.3. La détection de signaux en bande G	38
I.4. Conclusion du Chapitre I	41
Chapitre II. Conception de la source de puissance et du synthétiseur d'impédances dédiés à la caractérisation in situ large signal au-delà de 130 GHz	43
II.1. Introduction du Chapitre II	44
II.2. Conception de la source de puissance en bande D	44
II.2.1. Cahier des charges de la source de puissance.....	44
II.2.2. État de l'art de la génération de signaux hyperfréquence	45
II.2.3. Méthodologie de conception et d'implémentation	51
II.2.4. Performances mesurées de la source de puissance	62
II.3. Conception du synthétiseur d'impédances	67
II.3.1. Cahier des charges du synthétiseur d'impédances	68
II.3.2. État de l'art de la génération d'impédances en hyperfréquence.....	68
II.3.3. Méthodologie de conception et implémentation du synthétiseur d'impédances.....	72
II.3.4. Performances mesurées du synthétiseur d'impédances	77
II.4. Conclusion du Chapitre II	80
Chapitre III. Conception du détecteur de puissance intégré dédié à la caractérisation in situ large signal au-delà de 130 GHz	81
III.1. Introduction du Chapitre III	82
III.2. Cahier des charges du détecteur de puissance	82

III.3. Etat de l'art de la détection de puissance de signaux RF et choix du système réalisé dans cette thèse	83
III.3.1. Détecteur de puissance : Montage de Meyer	84
III.3.2. Détecteur de puissance à paire différentielle.....	85
III.3.3. Détecteur de puissance à simple transistor.....	87
III.3.4. Conclusion de l'état de l'art	87
III.4. Conception d'un système de détection de puissance en bande G à large dynamique.....	89
III.4.1. Conception et implémentation de la cellule de détection de puissance	90
III.4.2. Performances mesurées du détecteur	95
III.4.3. Développement d'un atténuateur de puissance réglable	99
III.4.4. Performances mesurées du système de détection complet	107
III.5. Conclusion du chapitre III.....	109
Chapitre IV. Caractérisation in-situ large signal en bande D de transistors bipolaires en technologie BiCMOS 55 nm	111
IV.1. Introduction du Chapitre IV	112
IV.2. Technique d'extraction des paramètres grands signaux du dispositif sous test dans le banc load-pull intégré	114
IV.2.1. Modélisation du plot de test RF	116
IV.2.2. Technique d'extraction de la puissance P_{in_DST} d'entrée absorbée.....	117
IV.2.3. Technique d'extraction de la puissance P_{out_DST} de sortie disponible.....	120
IV.3. Validation de la caractérisation load pull à 150 GHz sur un véhicule de test	122
IV.3.1. Méthode d'extraction de P_{in_DST} et P_{out_DST} sur le véhicule de test.....	124
IV.3.2. Caractérisation à 150 GHz du véhicule de test	128
IV.4. Simulation et mesure du banc de caractérisation large signal.....	131
IV.4.1. Simulation du banc de caractérisation load-pull complet : comparaison des résultats entre la méthode de calcul et la simulation	132
IV.4.2. Mesure du banc de caractérisation load-pull complet.....	135
IV.5. Conclusion du chapitre IV	138
Conclusion générale	139
Annexe I. : La technologie BiCMOS 55 nm.....	143
Annexe II. : Détecteur de puissance avec transistor MOS : montage à source commune.....	157
Annexe III. : Puissance de sortie en fonction de la puissance d'entrée du multiplieur de fréquence	163
Annexe IV. : Mise en boîtier des circuits.....	165
Annexe V. : Publications liées à ces travaux	167
Table des références	169

Introduction générale

Grâce aux récents progrès de la filière silicium, il est aujourd'hui possible de développer de nombreuses applications fonctionnant en bande de fréquence millimétrique au-delà de 110 GHz. Ces avancées technologiques concernent principalement le secteur du médical, de l'automobile (radar) ou encore des télécoms pour des communications très hauts débits. Aux fréquences supérieures à 100 GHz le nombre d'allocations diminue fortement et va permettre d'accéder à des bandes passantes jusque-là encore non envisageables. D'autre part, concernant la transmission de données, l'augmentation de la bande passante permet d'accroître les débits de transmission. Ainsi nous voyons naître de nouveaux systèmes de communications sans fil hautes fréquences tel que le WiGig, fonctionnant à 60 GHz et permettant d'atteindre des débits 50 fois plus élevés qu'un réseau Wi-Fi standard. Des applications de plus courtes portées sont également en cours de développement et permettront des transferts de données quasi instantanés. Le domaine de l'automobile présente un certain intérêt pour ces nouvelles technologies silicium dans le cadre du développement de capteurs radars visant à fournir une assistance aux automobilistes. En effet, la bande passante étant directement proportionnelle à la résolution d'un radar, il est alors possible, lorsqu'il fonctionne à très haute fréquence, d'améliorer la faculté d'un radar à évaluer précisément une vitesse de déplacement ou une distance. Les fréquences millimétriques apportent aussi un intérêt dans l'amélioration des systèmes d'imagerie, que ce soit pour le secteur médical ou bien pour la sécurité lors de la détection d'objets sur un individu. Les rayonnements aux fréquences millimétriques n'ayant pas d'impact connus sur la santé sont préférables aux rayons X. De plus, leur faculté à pénétrer différents types de matériaux, tels que le plastique ou le bois, ouvrent le champ à de nouvelles applications, comme par exemple la détection d'objets non conducteurs dans les portiques de sécurités des aéroports.

Toutes ces applications sont et seront rendues possibles grâce aux progrès des performances des technologies silicium. Cette évolution se traduit par une croissance des fréquences de fonctionnement f_T et f_{max} des transistors. Par ailleurs, cela va nécessiter à terme, le développement d'outils industriels de test et de caractérisation; ceci afin de valider la modélisation et l'optimisation de ces transistors, ainsi que des composants passifs intégrés dans ces technologies (capacités, résistances, inductances et lignes de transmission).

Une caractérisation classique a pour but d'extraire des figures de mérite d'un dispositif sous test (DST) sur une large bande de fréquences. Aujourd'hui, il existe trois principaux types de caractérisations radiofréquences pour un DST actif:

- La caractérisation en bruit : elle permet d'extraire les quatre paramètres de bruit (NF_{min} , R_{on} , Γ_{opt}) [1] [2]
- La caractérisation petit signal : il s'agit d'une caractérisation en paramètres S, elle permet de connaître le comportement linéaire d'un DST
- La caractérisation en puissance : elle permet de mesurer les performances grands signaux d'un DST actif (linéarité, point de compression, rendement en puissance, gain)

Ces travaux sont consacrés à la caractérisation en puissance en bande D (130 GHz-170 GHz) et plus précisément à la caractérisation de type load-pull, qui consiste à mesurer le niveau de linéarité, le gain ou le rendement en puissance d'un dispositif actif en fonction de l'impédance qu'on lui présente sur sa charge (Γ_{load}). Ces paramètres, difficiles à obtenir notamment à hautes fréquences, sont ensuite intégrés dans les cartes modèles des transistors. Une caractérisation load-pull nécessite trois éléments majeurs présentés en Figure 1 : le générateur de signaux, le synthétiseur d'impédances et le détecteur de puissance.

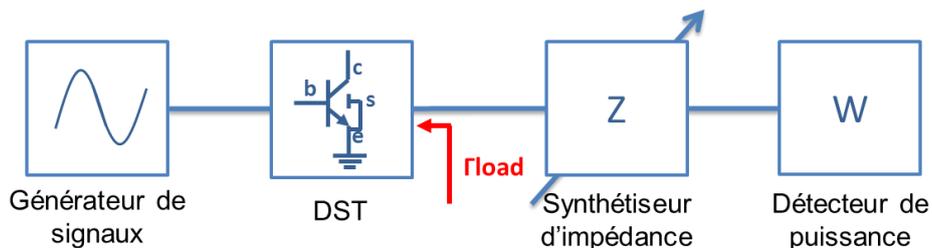


Figure 1 : Principe d'une caractérisation load-pull

De précédents travaux de thèse révèlent aujourd'hui plusieurs limitations pour adresser la caractérisation en puissance aux fréquences millimétriques:

- En bande 50 - 110 GHz, la mesure des paramètres de puissance de type load pull est réalisable avec des équipements disponibles sur le marché.
- De 110 GHz à 220 GHz, l'instrumentation disponible ne présente plus les performances requises pour une caractérisation en puissance. À commencer par le synthétiseur d'impédances, dont les impédances présentées au DST vont être limitées par les pertes dues à la connectique entre le silicium et le synthétiseur externe. Les sources de signaux

sont réalisables en éléments externes localisés souvent bande étroite (quelques GHz) ce qui est une réelle limitation à la modélisation large bande requise. Pour répondre à ce verrou technologique, des bancs de mesures expérimentaux ont été développés avec cette approche dans la littérature scientifique [3] [4] mais restent limités pour les raisons venant d’être évoquées.

- Au-delà de 220 GHz, aucune instrumentation n’est disponible pour la mesure en puissance à l’exception de la détection utilisant un calorimètre mais qui ne permet pas de mesurer un signal en bande étroite. De plus cette solution demande des temps d’acquisition extrêmement longs incompatibles avec des tests industriels.

Par conséquent nous souhaitons répondre à ce besoin d’instrumentation à très hautes fréquences. Dans ces travaux de thèse, nous proposons de réaliser directement sur silicium et donc au plus près du dispositif à caractériser, un banc de caractérisation en puissance. Ceci afin de nous affranchir des pertes liées aux connectiques qui limitent les performances des générateurs de signaux et des synthétiseurs d’impédances, mais également de permettre de couvrir des bandes passantes plus importantes. L’intégration sur silicium a donc pour objectif d’apporter des éléments de réponses aux lacunes identifiées et présentées dans le Tableau 1. Nous appellerons cette approche la caractérisation « in-situ ».

		50-110 GHz	130-220 GHz	> 220 GHz
Source de puissance avec un $P_{out} > 5 \text{ dBm}$ dans le plan du DST	Source externe large bande	Disponible	Limitée en puissance	Non Disponible
	Source externe bande étroite	Disponible	à 150 GHz uniquement	Non Disponible
	Source intégrée large bande	Disponible	Travaux de thèse	Non Disponible
Synthétiseur d’impédances avec un $\Gamma > 0.5$ dans le plan du DST	Tuner externe	Disponible	Limité en couverture d’impédance	Non Disponible
	Tuner intégré	Disponible	Travaux de thèse	Non Disponible
Détecteur de puissance	Détecteur de puissance à forte dynamique	Disponible	Travaux de thèse	Disponible



Tableau 1 : Outils disponibles pour la caractérisation en puissance de 50 GHz jusqu'à 220 GHz

Le banc de caractérisation load-pull que nous proposons de réaliser est représenté Figure 2. Il est constitué d'une source de puissance externe basse fréquence, d'un multiplieur de fréquence intégré, d'un synthétiseur d'impédances ainsi que d'un détecteur de puissance intégré. Ce dernier génère une tension proportionnelle à la puissance présente en sortie du DST, un simple voltmètre permettra donc de faire l'acquisition en sortie du banc.

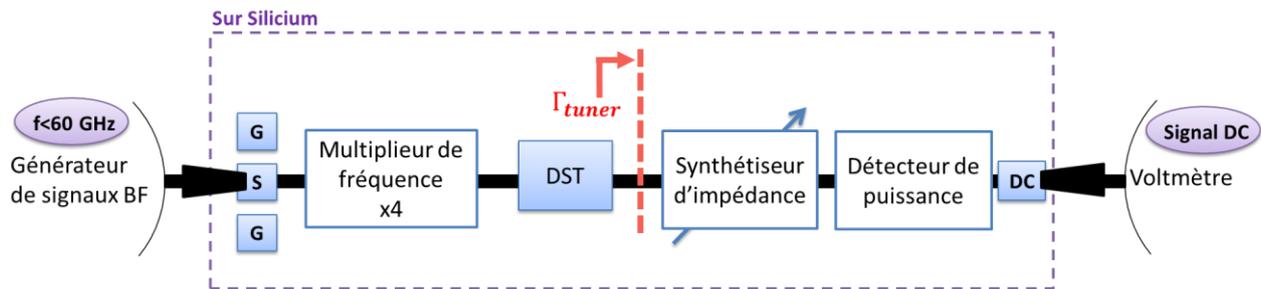


Figure 2 : Banc de caractérisation load-pull « in situ »

Chaque circuit intégré sera réalisé avec la technologie BiCMOS 55 nm de STMicroelectronics qui est dédiée aux applications très hautes fréquences.

Nos travaux sont présentés au travers de quatre chapitres. Le premier chapitre présente l'état de l'art de l'instrumentation actuellement disponible. Ceci nous permet d'établir un cahier des charges pour les trois éléments qui composent le banc de caractérisation. On définit ainsi les niveaux de puissance attendus par la source, les impédances à générer par le synthétiseur, ainsi que les seuils de puissance devant être mesurés par le détecteur. Le second chapitre est consacré à la réalisation et à la caractérisation de la source de puissance et du synthétiseur d'impédances. Le détecteur de puissance est présenté dans le troisième chapitre. Enfin, nous présentons dans un quatrième et dernier chapitre, les méthodes d'extractions des paramètres grands signaux puis les performances du banc load-pull complet constitué de chacun des éléments validant ainsi l'approche in situ. Enfin, des perspectives sont proposées lors du chapitre de conclusion.

Chapitre I

Caractérisation fort signal en bande de fréquence millimétrique : État de l'art et défis

I.1. Introduction du Chapitre I

L'un des trois fondateurs d'Intel, Gordon E. Moore a exprimé en 1965 la loi nommée depuis « loi de Moore » selon laquelle la taille des transistors diminue linéairement tous les ans, permettant ainsi d'intégrer de plus en plus de transistors sur une puce pour une même surface d'intégration. Cette perpétuelle évolution technologique permet de développer des circuits toujours plus complexes améliorant ainsi leur capacité d'intégration, leur vitesse de fonctionnement et une réduction de leur consommation. Le développement de ces transistors commence toujours par une phase de modélisation précise théorique qui consiste à décrire suivant des équations leur comportement physique. Il est ensuite nécessaire de caractériser ces transistors pour établir une modélisation de leur comportement électrique. La constante évolution de leurs performances implique aussi l'évolution des systèmes de mesure en charge de cette caractérisation électrique. Cette dernière passe par une modélisation de leurs comportements statiques et dynamiques. Quatre mesures fondamentales doivent être réalisées pour élaborer un modèle complet : la caractérisation en régime statique (caractéristiques DC), la caractérisation linéaire en faible signal (paramètres S), en fort signal et la caractérisation en bruit. Dans ces travaux, nous nous concentrons principalement sur la caractérisation fort signal des transistors. Ce premier chapitre décrit les différentes méthodes existantes pour ce type de caractérisation. S'en suit une description des performances actuelles des transistors MOS et bipolaire en technologie sur silicium afin d'aborder la problématique liée à la montée en fréquence qui nécessite le développement de nouveaux environnements de caractérisation au-delà de 130 GHz.

I.2. Méthodologie de caractérisation large signal des transistors

I.2.1. Effets des non linéarités des transistors

Lorsque la puissance d'un signal en entrée d'un dispositif atteint une valeur élevée, de nombreux effets spectraux dus aux non-linéarités du dispositif apparaissent. Le synoptique présenté Figure 3 montre l'impact de la non-linéarité d'un transistor sur le signal fondamental à la fréquence f_0 . Si le dispositif est en zone de fonctionnement non linéaire, alors le signal en sortie est composé d'une somme de plusieurs harmoniques à $n.f_0$.

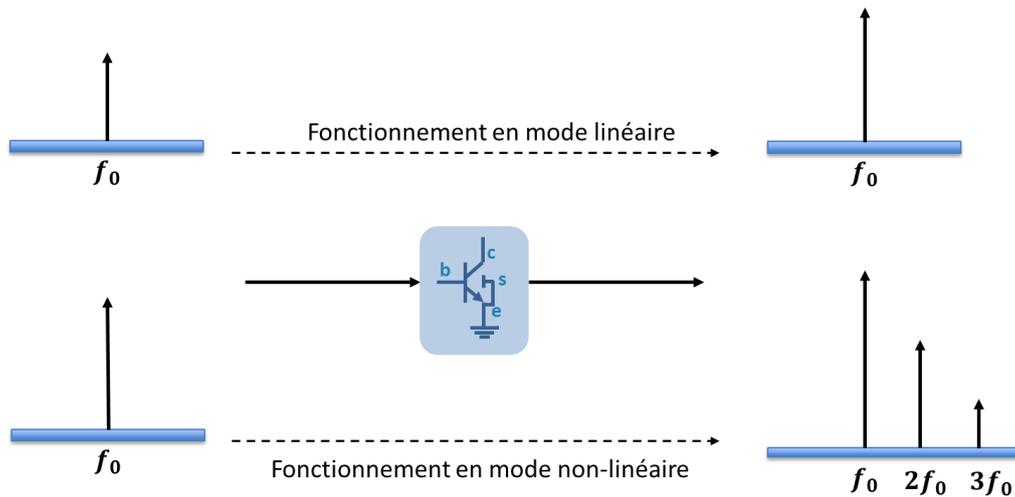


Figure 3 : Impact du niveau de puissance en entrée sur un dispositif non linéaire

Rappelons tout d'abord quelques définitions des figures de mérite des dispositifs actifs :

- Le gain en puissance G_p en dB d'un DST (Dispositif Sous Test) est le rapport entre la puissance fournie à une charge P_{out} et la puissance absorbée P_{in} :

$$G_p = 10 \cdot \log\left(\frac{P_{out}}{P_{in}}\right) [dB] \quad (1.1)$$

- Le rendement en puissance ajoutée PAE (Power Added Efficiency) est le rapport entre la puissance ajoutée par le dispositif (puissance de sortie moins la puissance injectée en entrée) et la puissance totale consommée, il s'exprime en % :

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} [\%] \quad (1.2)$$

- La puissance maximale de sortie P_{max} en dBm est définie comme étant la puissance maximale pouvant être atteinte en sortie du dispositif sous test.
- Le point de compression à 1dB en sortie OCP_{1dB} d'un dispositif non linéaire caractérise sa limite en mode de fonctionnement linéaire. Il s'agit d'un paramètre fondamental dans le développement des amplificateurs de puissance. Il correspond à la puissance en sortie pour laquelle le gain en puissance du dispositif présente une baisse de 1 dB. Ce phénomène est illustré sur la Figure 4.

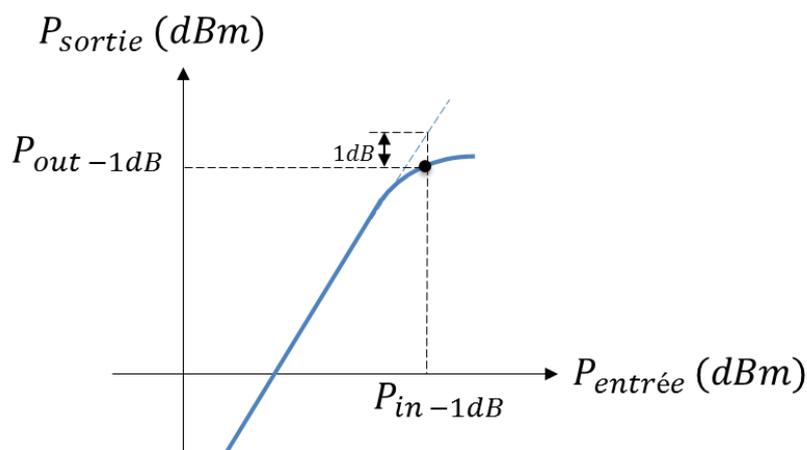


Figure 4 : Effet de la compression sur le signal de sortie

- L'intermodulation d'ordre 3 IMD3 : Lorsqu'on injecte un signal composé de deux fréquences en entrée d'un dispositif non linéaire, des raies d'intermodulation aux fréquences définies par la relation $f_{\text{IMD}}=nf_1+mf_2$ ($n,m \in \mathbb{Z}$) se forment en sortie (Figure 5).

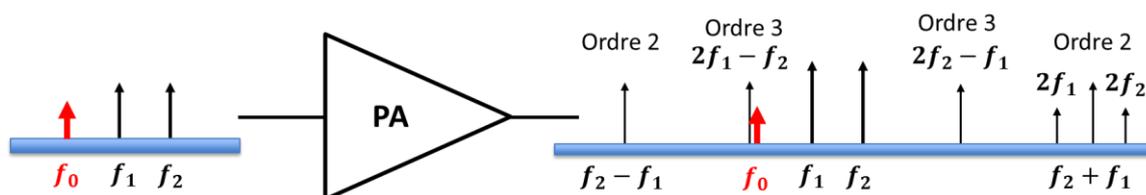


Figure 5 : Spectre d'entrée et de sortie d'un amplificateur non linéaire avec les produits d'intermodulation des deux fréquences d'entrée f_1 et f_2

Si des signaux présents en entrée ont des fréquences f_1 et f_2 proches de la fréquence f_0 du signal utile, les produits d'intermodulation IMD3 de fréquences $2f_1-f_2$ et $2f_2-f_1$ seront difficiles à filtrer en sortie du fait de leurs proximités avec le signal utile. De plus le niveau de puissance de ces produits d'intermodulation évolue trois fois plus vite que celui des fondamentaux aux fréquences f_1 et f_2 . Le point d'intermodulation d'ordre 3 correspond au point de croisement entre la courbe d'évolution de la puissance en sortie des fréquences fondamentales avec celle des produits d'intermodulation liés aux signaux d'excitations. Il s'agit d'une valeur théorique qui n'est jamais atteinte à cause de la saturation.

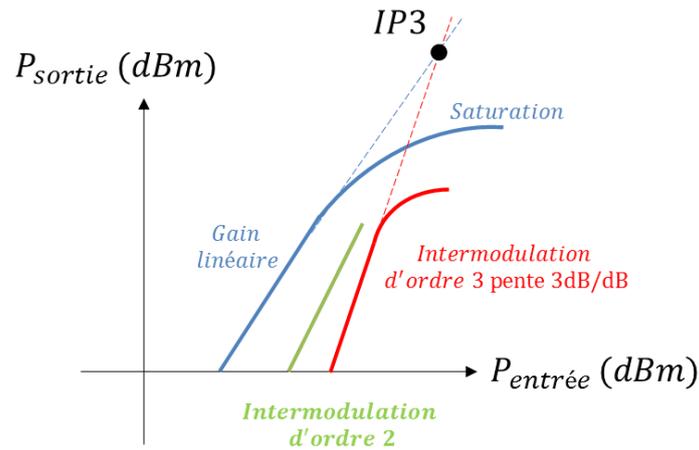


Figure 6 : Variation des produits d'intermodulation en fonction de la puissance d'entrée

Nous venons de décrire les différents figures de mérite grand signal des transistors. Une caractérisation grand signal est donc nécessaire pour mesurer ces figures de mérites et établir le modèle des transistors. Le principe de cette de mesure est présenté dans la partie suivante.

1.2.2. Principe de la caractérisation grand signal de type load-pull

Ce type de caractérisation est nécessaire en particulier pour l'optimisation des circuits tels que les amplificateurs de puissance, les mélangeurs de fréquences ou les oscillateurs dont le fonctionnement met en œuvre le comportement non linéaire des dispositifs qui les constituent.

Le synoptique d'une mesure load-pull est présenté Figure 7.

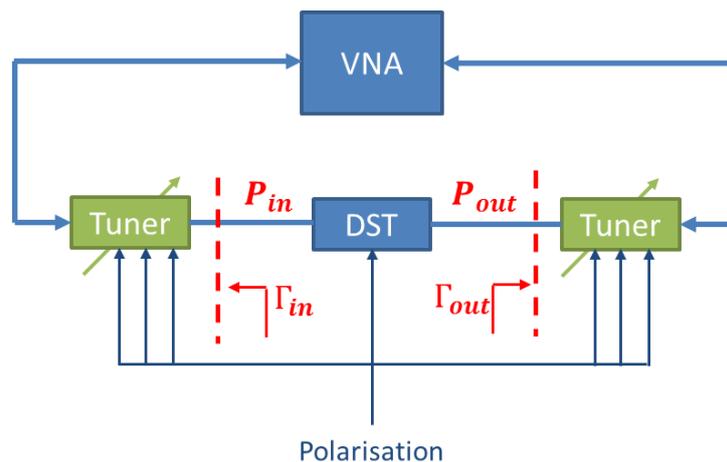


Figure 7 : Synoptique simplifié d'une caractérisation source-pull / load-pull

Le but de cette caractérisation est de mesurer la réponse en puissance d'un transistor en fonction des impédances qu'on lui présente à l'entrée (source-pull) et/ou à la sortie (load-pull). Ces impédances sont générées par des synthétiseurs d'impédance appelés « tuner ». En fonction du choix des impédances Z_{in} et Z_{out} , ou des coefficients de réflexion qui leur sont associés Γ_{in} et Γ_{out}

respectivement en entrée et en sortie du DST, la puissance en sortie passera par une valeur maximale pour un choix d'impédances optimales. Le banc de mesure load-pull illustré sur la Figure 7 utilise un analyseur de réseau vectoriel VNA (Vector Network Analyzer). Le VNA injecte un signal en entrée du système permettant d'obtenir un signal de puissance P_{in} à l'entrée du DST puis de mesurer la puissance du signal de sortie. Une étape d'épluchage (de-embedding) des pertes liées au tuner est nécessaire pour extraire P_{in} et P_{out} , les valeurs de la puissance du signal d'entrée et de sortie du DST. Cependant, un VNA n'est pas capable de fournir un niveau de puissance suffisant dans la gamme de fréquence millimétrique pour faire fonctionner le transistor en régime non linéaire. Il faut donc envisager un autre type de banc de mesure.

Le banc de caractérisation de type load-pull présenté sur la Figure 8, utilise une source de puissance permettant d'atteindre des niveaux de puissance plus élevés pour amener le DST en régime non linéaire.

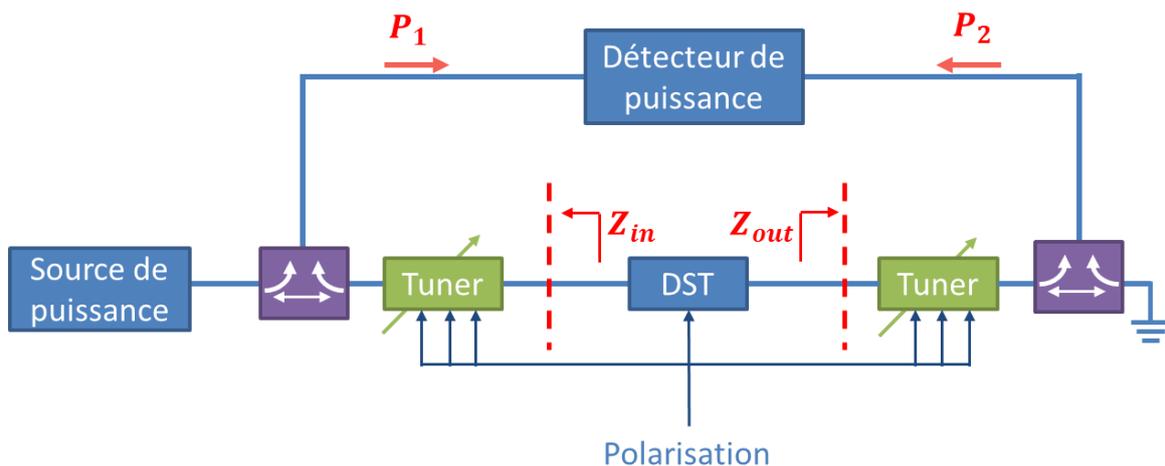


Figure 8 : Synoptique simplifié d'un banc de caractérisation grand signal

Un détecteur de puissance permet de mesurer la puissance de sortie en fonction des impédances de charge Z_{out} et de source Z_{in} afin d'en déduire les figures de mérite (point de compression, gain en puissance maximum et PAE) du dispositif sous test. Les tuners d'impédances sont placés au plus près du DST. Dans cette configuration nous avons seulement accès aux puissances P_1 et P_2 disponibles avant le tuner d'entrée et après le tuner de sortie. Comme précédemment, cette configuration nécessite un de-embedding des tuners et des éléments d'accès au composant à tester [5, 6]. Afin de se dispenser de cette étape de de-embedding et réduire les temps de mesure, il est possible de mettre en place un système de mesures en temps-réel qui permet de connaître directement dans le plan du composant sous test les ondes

incidentes et réfléchies, comme expliqué dans les travaux [7, 8]. Toutefois, cette méthode nécessite l'insertion de coupleurs directionnels entre chacun des tuners et le DST.

Dans le cas où les impédances présentées aux harmoniques affectent fortement les performances du DST, il est nécessaire d'utiliser une méthode de caractérisation multi-harmonique, qui consiste à présenter une charge optimale différente pour un ensemble de fréquences. Cette technique est aujourd'hui largement utilisée et son efficacité a été prouvée [9]. Ainsi, l'adaptation multi-harmoniques permet une très bonne optimisation du rendement en puissance ajoutée dans les amplificateurs de puissance [10, 11, 12, 13], paramètre indispensable à optimiser notamment dans la conception de systèmes de communication sans fil.

Nous allons maintenant regarder précisément les différentes méthodes de caractérisation load-pull existantes afin de choisir celle qui sera optimale pour nos travaux dans le domaine des très hautes fréquences.

1.2.3. Les différentes méthodes de caractérisation load-pull

Les méthodes de caractérisation non linéaire de type load-pull ne cessent d'évoluer. On peut en distinguer deux catégories principales : la méthode load pull dite passive et celle dite active. Ces méthodes se différencient selon le synthétiseur d'impédances utilisé qui peut être à base d'éléments actifs ou d'éléments passifs.

Pour synthétiser une charge passive, il faut contrôler la valeur du coefficient de réflexion à l'aide d'éléments passifs. La charge générée est donc indépendante du niveau du signal d'excitation utilisé lors de la caractérisation. Pour synthétiser une charge active, on utilise le signal d'excitation afin de modifier son amplitude et sa phase au moyen d'un atténuateur ou d'un amplificateur et d'un déphaseur. Ces deux méthodes de caractérisation non-linéaires ont chacune leurs avantages et inconvénients et dépendent des spécifications de mesures.

1.2.3.1. Système de caractérisation grand signaux utilisant une charge passive

Le principe d'un système load-pull à charge passive est présenté Figure 9.

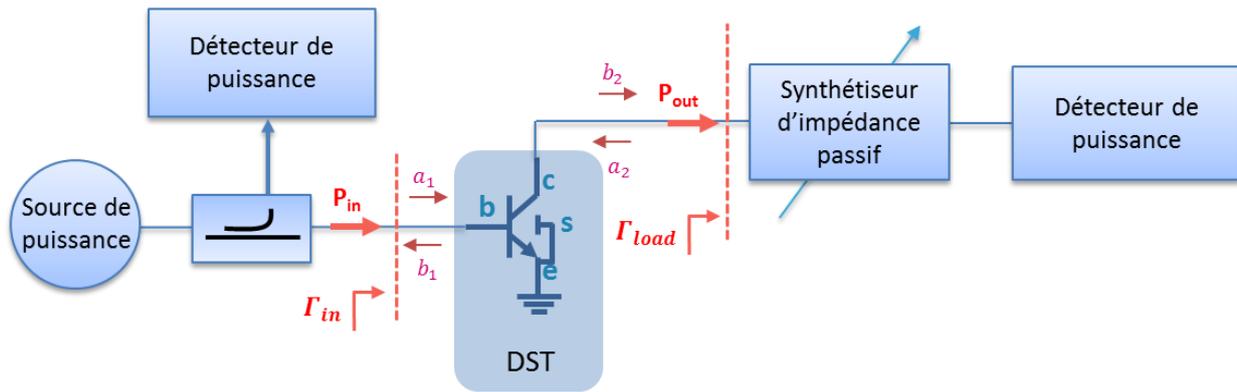


Figure 9 : Synoptique d'un système load-pull passif

Le DST, représenté ici par un transistor bipolaire, est chargé par un synthétiseur d'impédances passif lui présentant un lot d'impédances Z_{Load} (représenté par le coefficient de réflexion Γ_{Load} Figure 9) à différentes fréquences. Le synthétiseur d'impédances étant passif, le module du coefficient de réflexion Γ_{Load} ne peut excéder l'unité. Selon l'impédance présentée par le synthétiseur, le DST va générer des niveaux de puissance différents en sortie. Cette puissance est ensuite mesurée en sortie grâce à un détecteur de puissance. Un de-embedding du tuner devra être effectué afin de connaître la puissance P_{out} disponible en sortie du DST, sachant que le tuner présente des pertes différentes pour chacun de ses états. L'impédance optimale Z_{opt} synthétisée par le tuner correspond donc à la puissance de sortie P_{out_max} maximale après de-embedding. La puissance disponible P_{in} en entrée du DST est mesurée grâce à un autre détecteur, ce qui permet de prendre en compte les réflexions en entrée dues à la désadaptation. Cette puissance doit être suffisamment importante pour amener le DST dans sa zone de fonctionnement non linéaire. Il est possible de se passer de l'utilisation d'un coupleur et d'un détecteur de puissance en entrée grâce à une méthode de calcul, qui sera décrit Chapitre 4, nous permettant de connaître la puissance absorbée en entrée du DST.

On peut exprimer les puissances d'entrée et de sortie P_{in} et P_{out} dans le plan du composant sous test en fonction des ondes incidentes et réfléchies représentées sur la Figure 9 par les relations suivantes :

$$P_{in} = |a_1|^2 - |b_1|^2 = |a_1|^2(1 - |\Gamma_{in}|^2) \quad (1.3)$$

$$P_{out} = |b_2|^2 - |a_2|^2 = |b_2|^2(1 - |\Gamma_{Load}|^2) \quad (1.4)$$

Avec Γ_{in} et Γ_{Load} les coefficients de réflexions en entrée et en sortie du DST, et a et b les indices représentant les ondes incidentes et réfléchies selon le port d'entrée (1) et de sortie (2).

On relève ainsi pour chaque impédance les niveaux de puissances d'entrée et de sortie après de-embedding, pour toutes les fréquences auxquelles nous souhaitons caractériser le DST. Cela va nous permettre de déterminer ses paramètres tel que son gain, son rendement en puissance et sa PAE. Regardons à présent la caractérisation load-pull à charge active.

1.2.3.2. Système utilisant une charge active

Contrairement au synthétiseur passif, la charge active est capable de synthétiser des coefficients de réflexion supérieurs à 1, ce qui s'avère utile pour caractériser des composants où les impédances optimales se trouvent en bord d'abaque [14, 15]. Il existe différents types de charges actives : à boucle fermée, à « feed-forward » ou à boucle ouverte.

- La charge active à boucle fermée

Le principe d'un synthétiseur actif à boucle fermée est d'extraire une partie du signal en sortie du DST et de le réinjecter en modifiant son amplitude et sa phase.

Un synoptique simplifié du système à charge active à boucle fermée est présenté Figure 10.

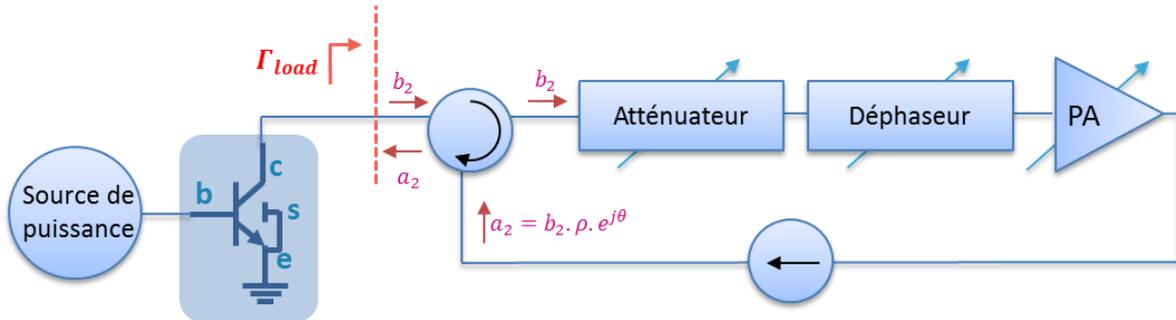


Figure 10 : Principe d'un système load-pull à charge active à boucle fermée

Le circulateur va présenter à la charge l'onde incidente b_2 et réfléchir l'onde a_2 vers le DST. La phase et l'amplitude de l'onde incidente b_2 vont être modifiées au moyen d'un déphaseur ainsi que d'un atténuateur et amplificateur afin d'obtenir la phase θ et l'amplitude ρ . Dans le cas où on considère un circulateur sans perte, le coefficient de réflexion Γ_{load} ainsi synthétisé et présenté au DST s'exprime par la relation :

$$\Gamma_{load} = \frac{a_2}{b_2} = \frac{b_2 \rho e^{j\theta}}{b_2} = \rho e^{j\theta} = G \quad (1.5)$$

On exprime G le gain complexe de la boucle.

Si le gain de l'amplificateur est trop élevé, cela peut engendrer un coefficient de réflexion supérieur à 1, pouvant provoquer un risque d'oscillation dans la boucle. Il est donc important de toujours veiller à avoir un gain de boucle inférieur à l'unité.

- La charge active « feed forward »

Contrairement au système à boucle fermée, le signal appliqué à la charge est directement prélevé à la source via un diviseur de signal comme on peut le voir Figure 11 :

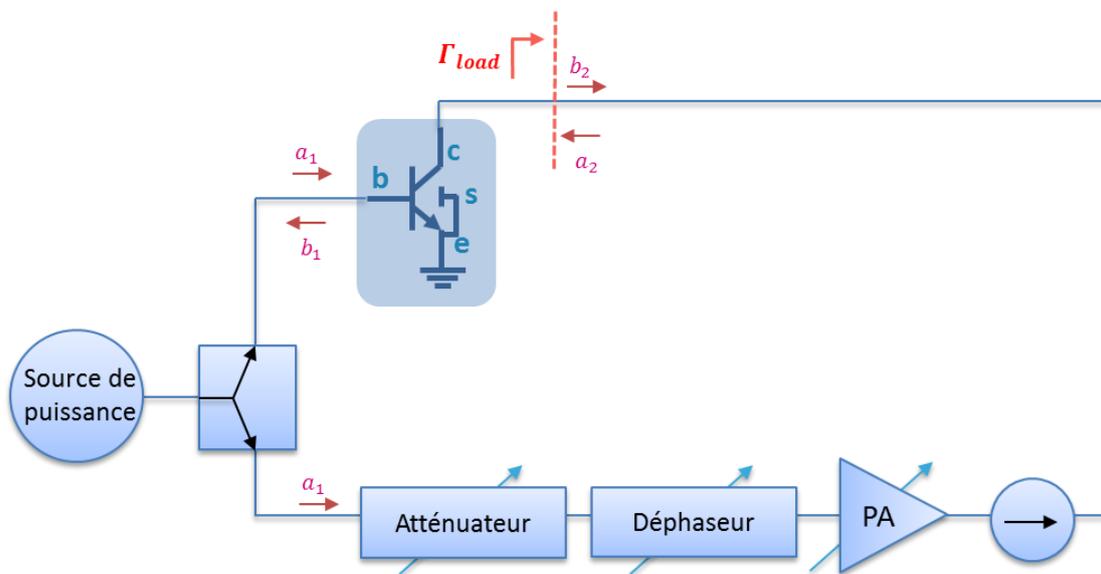


Figure 11 : Synoptique d'un système load pull à charge active "feed forward"

Un isolateur est placé entre la sortie du DST et la charge afin que le signal en sortie du DST ne vienne pas modifier la charge.

Ce type de technique présente moins de risque d'oscillation qu'un système à boucle fermée, du fait de la présence d'un diviseur de signal en entrée présentant une bonne isolation, ainsi que de la présence d'un isolateur entre la charge active et la sortie du DST. Si on considère le diviseur de puissance et l'isolateur comme étant des éléments parfait et sans pertes, alors on peut exprimer le coefficient de réflexion a_2 présenté au DST sous la forme suivante :

$$a_2 = G \cdot a_1 \quad (1.6)$$

Avec G , le gain complexe de la charge active qui comprend le gain de l'atténuateur, de l'amplificateur et du déphaseur.

Dans cette configuration, l'onde incidente b_2 en sortie du DST, dépend de l'onde a_1 provenant de la source ainsi que de l'onde réfléchie vers le plan du DST a_2 mais également des paramètres S du DST S_{21} et S_{22} :

$$b_2 = S_{21} \cdot a_1 + S_{22} \cdot a_2 \quad (1.7)$$

Le coefficient de réflexion Γ_{load} ainsi synthétisé est présenté au DST. Il s'exprime par la relation :

$$\Gamma_{load} = \frac{a_2}{b_2} = \frac{1}{\frac{S_{21}}{G} + S_{22}} \quad (1.8)$$

La charge présentée au DST ne dépend plus seulement du gain G mais également des paramètres intrinsèques du DST. Cela rend le système complexe car il est difficile d'anticiper la charge qu'on va réellement présenter. Si on veut fixer une impédance Γ_{load} , il faut tout d'abord régler la valeur du gain G et utiliser les paramètres S_{21} et S_{22} du DST issus de la mesure précédente. Mais ces derniers sont susceptibles de varier en même temps que le nouveau gain G. Le coefficient de réflexion doit être ainsi généré selon un processus itératif, rendant la mesure plus longue et complexe.

- La charge active à boucle ouverte

La caractérisation load-pull à charge active à boucle ouverte utilise deux sources indépendantes. Une source qui injecte un signal au DST et une source qui injecte un signal à la charge. Le principe d'une charge active à boucle ouverte est présenté Figure 12 :

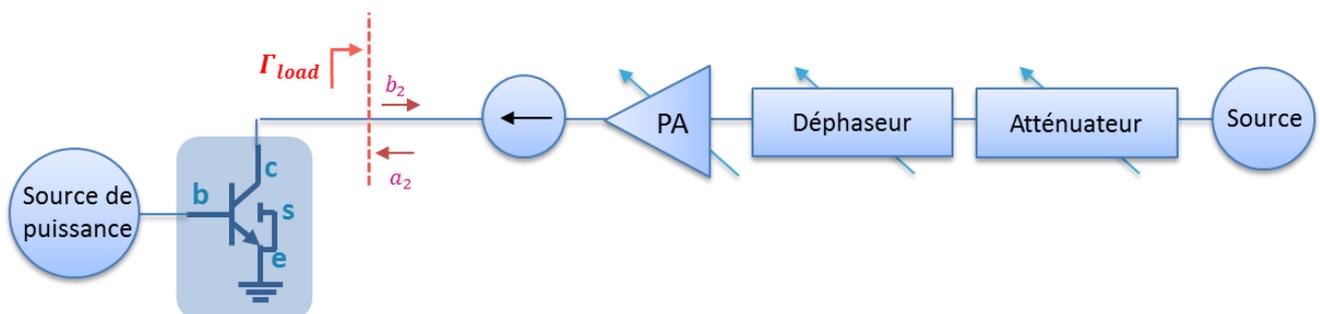


Figure 12 : Synoptique d'un système load-pull à boucle ouverte

Le système à boucle ouverte est similaire au système « feed forward » à la différence que le signal appliqué dans la charge active n'est plus le signal de la source de puissance mais un signal provenant d'une source annexe. Cette configuration offre une stabilité absolue et permet de

mesurer des DST soumis à de très forte puissance. Pour obtenir un plus grand coefficient de réflexion il suffit d'augmenter la puissance de sortie de la source. Cela ne vient pas impacter le DST, contrairement à un système en boucle fermée. Ce type de charge se prête parfaitement aux caractérisations load-pull multi-harmoniques. Pour cela il suffit de choisir un nombre de charges identique au nombre d'harmoniques qu'on souhaite mesurer en utilisant des sources aux fréquences f_0 , $2f_0$ et $3f_0$ par exemple.

Nous venons de présenter deux méthodes de génération d'impédances, l'une à base d'éléments passifs et l'autre à base d'éléments actifs. Les caractérisations load-pull passives présentent l'avantage d'être plus rapides en termes de génération d'impédances du fait d'une mise en place du système moins complexe et donc un coût d'implémentation plus faible. Un système load-pull actif nécessite le réglage de nombreux éléments tels que l'amplificateur, le déphaseur et l'atténuateur, eux même difficiles à réaliser en bande de fréquence millimétrique, et pouvant présenter des non-linéarités dû à la présence de composants actifs. De plus, ce type de système est sujet à d'importants risques d'oscillation propres aux systèmes en boucle fermée. Pour une mesure en forte puissance, la linéarité et l'absence d'oscillation sont indispensables pour assurer une caractérisation fiable et précise. Les isolateurs et circulateurs présentent également le désavantage d'être souvent bande étroite. De plus, à notre connaissance, ces circuits n'existent pas aux fréquences millimétriques. Pour toutes ces raisons, nous avons fait le choix dans ce travail de thèse d'utiliser un système à charge passive pour la caractérisation en bande G.

1.2.4. Besoin de caractérisation load-pull des technologies silicium dans les bandes de fréquences millimétriques

Comme nous l'avons évoqué dans l'introduction de ce chapitre, la technologie silicium a fait des progrès considérables en termes de montée en fréquence au cours des dernières années. Une technologie BiCMOS (Bipolar Complementary Metal Oxide Conductor) permet actuellement d'intégrer sur le même silicium des systèmes complexes regroupant les systèmes VLSI à forte densité et faible coût à base de transistors MOS et les systèmes analogiques RF et millimétriques utilisant le transistor bipolaire HBT (Heterojunction Bipolar Transistor) SiGe (Silicium Germanium). Les performances hautes fréquences d'un transistor sont définies par ses fréquences de coupures f_T/f_{max} , son gain disponible, sa linéarité, sa compression, sa puissance maximale de sortie et son bruit minimum. Les fréquences de coupures f_T/f_{max} sont des grandeurs utilisées pour définir les performances fréquentielles des transistors :

- f_T est la fréquence de transition et représente la fréquence pour laquelle le gain en courant (h_{21}) est unitaire.
- f_{max} est la fréquence maximale d'oscillation et représente la fréquence pour laquelle le gain en puissance unilatéral de Mason (U) est unitaire.

Un transistor polarisé à sa fréquence de transition (f_T) maximale permet d'assurer un certain gain. Si par contre on cherche plutôt des performances en puissance, on polarise le transistor autour de sa fréquence d'oscillation (f_{max}) maximale afin de chercher un gain maximum de puissance. La première technologie BiCMOS développée par STMicroelectronics présentait des f_T/f_{max} de 43/55 GHz. L'évolution des technologies BiCMOS développées par STM est montrée Figure 13.

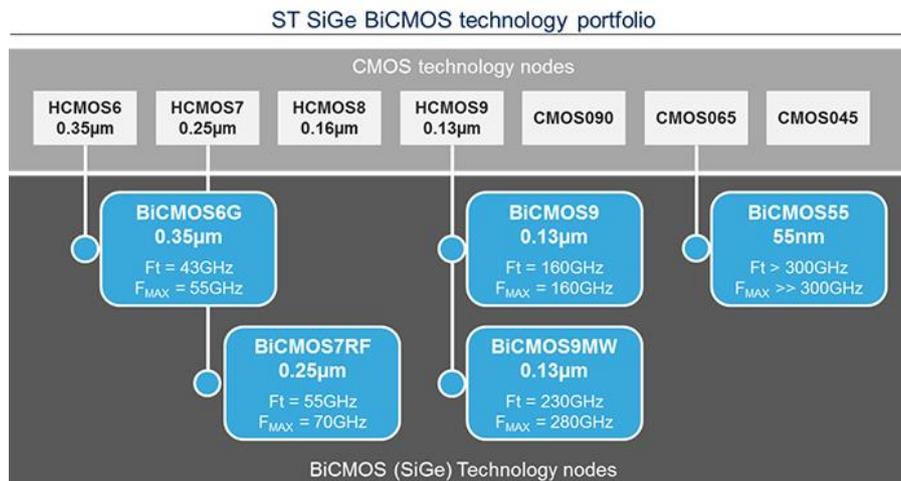


Figure 13 : Evolution des technologies SiGe BiCMOS de ST

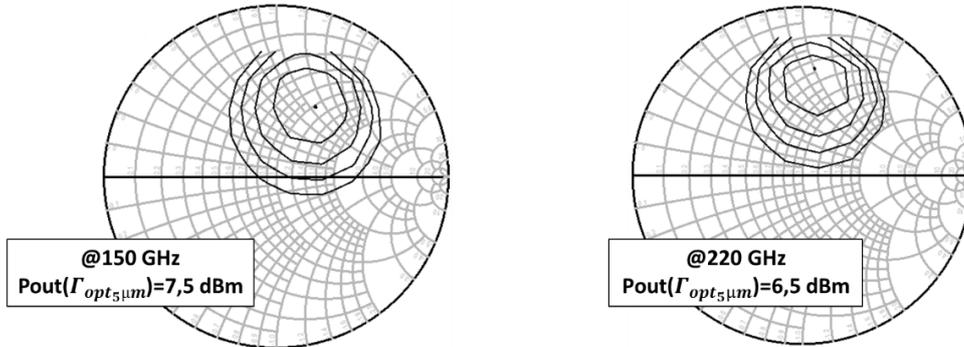
La dernière technologie BiCMOS développée par STM est la technologie BiCMOS 55 nm [16], dérivée de la technologie CMOS 65 nm [17]. Cette technologie offre aujourd'hui la possibilité d'atteindre de très bonnes performances aux hautes fréquences avec des transistors bipolaires ayant des fréquences de coupures f_T/f_{max} de 320/370 GHz. Ainsi cette perpétuelle montée en fréquence nous amène à développer des systèmes de caractérisation toujours plus performants. De précédents travaux de thèse [18, 19] révèlent plusieurs limitations pour adresser la caractérisation aux fréquences millimétriques à la fois en termes de performances que de coût d'appareillage.

Nous avons tracés, en Figure 14, les impédances optimales aux fréquences 150 et 220 GHz de deux transistors bipolaires HBT en technologies BiCMOS 55 nm en configuration CBEB à titre d'exemple. Les cercles de puissances sont tracés tous les 0,5 dB. Ces deux transistors ont

respectivement un émetteur d'une longueur de 5 μm et 10 μm et sont polarisés à f_{max} de telle manière qu'ils présentent leurs performances en puissance maximales. Ce sont des transistors communément utilisés dans les circuits de puissance à haute fréquence.

HBT BiCMOS 55 nm - $L_e = 5 \mu\text{m}$ - $N_e = 1$

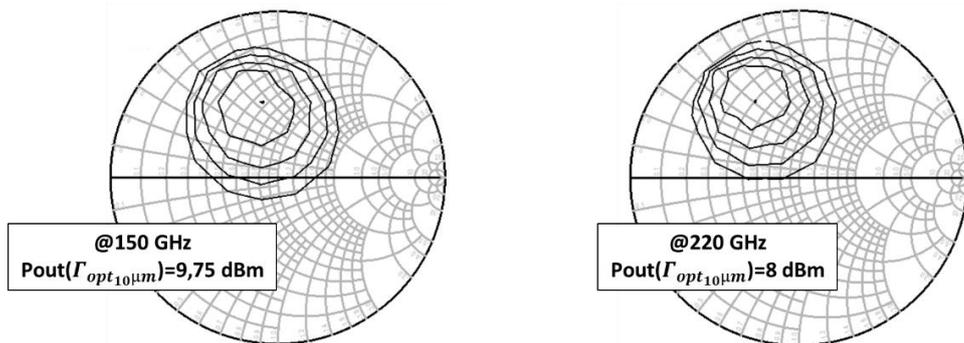
$\Gamma_{opt5\mu\text{m}}$



(a)

HBT BiCMOS 55 nm - $L_e = 10 \mu\text{m}$ - $N_e = 1$

$\Gamma_{opt10\mu\text{m}}$



(b)

Figure 14 : Simulation des impédances de charges optimums pour deux HBT d'une longueur d'émetteur de 5 μm (a) et 10 μm (b) en technologie BiCMOS 55 nm à 150 GHz et 220 GHz / $V_c = 1,2 \text{ V}$ / $i_c = 8 \text{ mA}$ ($L_e = 5 \mu\text{m}$) et $i_c = 13,5 \text{ mA}$ ($L_e = 10 \mu\text{m}$) pour $P_{in}=5\text{dBm}$

Les résultats de simulation, obtenus pour une puissance d'entrée $P_{in}=5\text{dBm}$, sont résumés dans le Tableau 2 :

Fréquence (GHz)	$L_e = 5 \mu\text{m}$		$L_e = 10 \mu\text{m}$	
	150	220	150	220
Impédance optimale ($Z_0=50\Omega$)	0,78+j1,2	0,48+j1	0,57+j0,65	0,41+j0,5
P_{out_max} (dBm)	7,5	6,5	9,75	8

Tableau 2 : Performances en puissance d'un transistor d'une longueur d'émetteur de 5 et 10 μm à son impédance de charge optimum pour $P_{in}=5\text{dBm}$

Naturellement, les impédances optimales de ces transistors sont toutes situées dans la partie supérieure de l'abaque de Smith (impédances inductives). Afin de déterminer quels sont les

niveaux de puissances nécessaires à présenter dans le plan du DST pour l'amener en zone non linéaire, nous traçons la puissance de sortie en fonction de la puissance d'entrée pour différentes fréquences. La Figure 15 montre les courbes des puissances de sorties en fonction des puissances d'entrées pour deux tailles de transistors chargés par leurs impédances optimales en puissance:

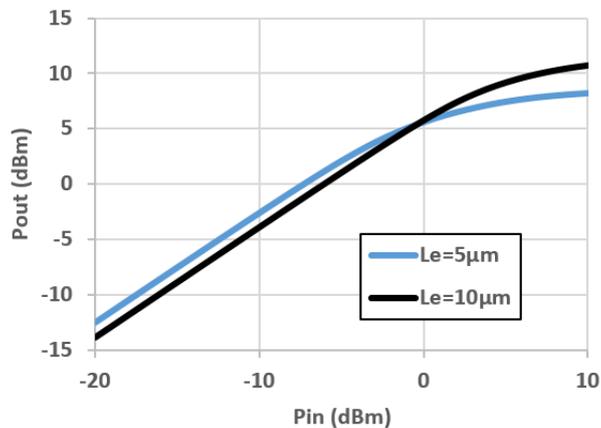


Figure 15 : Simulation de $P_{out}=f(P_{in})$ à 150 GHz pour deux DST de tailles différentes et chargés respectivement par leur impédances optimales Γ_{opt}

Pour réaliser une caractérisation load-pull sur ce type de transistors et analyser leurs comportements grands signaux, nous devons donc disposer d'un banc fonctionnant dans ces bandes de fréquences et qui soit capable de présenter au DST un jeu d'impédances inductives autour des Γ_{opt} (Figure 14) et générer au moins une puissance de 5 dBm dans le plan d'entrée du DST (Figure 15). Ce type de banc n'est pas réalisable avec les équipements commerciaux actuellement disponibles sur table en bande G.

Dans la partie suivante, nous allons présenter les problématiques et les limitations rencontrées pour réaliser ce type de banc de caractérisation en puissance dans la bande de fréquences millimétriques.

I.3. Défis posés pour le développement d'environnement de caractérisation large signal en bande G pour les technologies silicium

Dans cette partie nous présentons l'ensemble des équipements clés commerciaux ou en cours de développement utilisés pour effectuer des caractérisations en puissance en bande de fréquence millimétrique. Nous regarderons donc les synthétiseurs d'impédances, les sources de puissance et les détecteurs de puissance.

I.3.1. La problématique de la génération d'impédances en bande G

Comme expliqué dans la première partie de ce chapitre, nous avons fait le choix d'utiliser un système de caractérisation load-pull en bande G à charge passive pour lequel on distingue deux types de configurations : les synthétiseurs d'impédances électromécaniques et les synthétiseurs d'impédances intégrés, réalisés le plus communément avec des composants variables (capacités et résistances variables).

- Les synthétiseurs d'impédances électromécaniques

Ils sont réalisés à base de stubs mécaniques. Le tuner le plus simple qu'on puisse trouver dans le commerce est le tuner en guide d'onde, uniquement constitué d'un stub en court-circuit. Sa longueur électrique est contrôlée manuellement à travers une vis micrométrique.

Il existe également des tuners avec davantage de degrés de liberté [20] où une ouverture dans le guide d'onde permet d'introduire une sonde qui se déplace le long du guide. Cela permet de modifier le module du coefficient de réflexion par un réglage vertical de la longueur du court-circuit (Figure 16.a) et de modifier la phase du coefficient de réflexion en venant déplacer la sonde le long du guide (Figure 16.b).

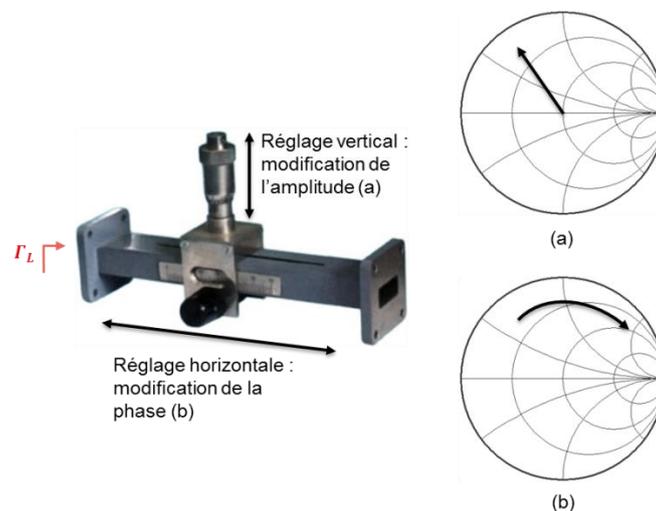


Figure 16 : principe de fonctionnement d'un tuner simple stub

L'avantage de ces tuners est qu'ils offrent une large couverture d'impédances mais ont l'inconvénient d'être manuel avec une répétabilité très limitée, ce qui est pénalisant dans une approche de caractérisation dite « industrielle ». Il existe également les tuners dits « slide screw » où la position de la sonde est contrôlée de manière très précise à l'aide de moteurs pas à pas et offrant ainsi une meilleure répétabilité. Ces tuners sont généralement constitués de plusieurs

sondes afin de contrôler des impédances différentes à chaque harmonique. Ils sont la plupart du temps automatiques et ne nécessitent aucune intervention manuelle. Ce type de tuner a été utilisé en 2010 par l'université de Massachusetts pour démontrer la faisabilité d'une caractérisation load-pull à 43 GHz sur des transistors SiGe d'un f_T de 200 GHz [21]. A. Pottrain a également présenté, en 2012 lors de ses travaux de thèse au laboratoire de l'IEMN, la faisabilité d'une caractérisation load pull en bande de fréquence millimétrique à 200 GHz [19] [22].

Cependant, lors de la montée en fréquence, la limitation du coefficient de réflexion Γ_L pouvant être présentée dans le plan du composant devient critique. En effet plus on monte en fréquence, plus les guides d'onde et la sonde positionnée entre le DST et l'entrée du synthétiseur d'impédances externe présentent des pertes. Ceci a pour effet de venir réduire la plage d'impédances présentée au DST.

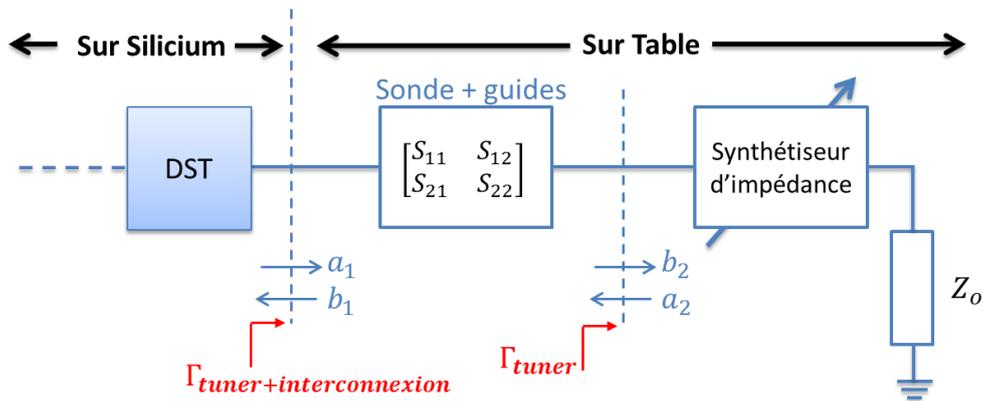


Figure 17 : Influence des interconnexions sur le coefficient de réflexion présenté dans le plan du composant

Sur la Figure 17 le quadripôle Q_i représenté par ses paramètres $[S]$ représente l'ensemble des interconnexions entre le dispositif sous test et le synthétiseur d'impédances externe. Ainsi le coefficient de réflexion présenté dans le plan du composant n'est plus $\Gamma_L = \Gamma_{tuner}$ mais :

$$\Gamma_L = \Gamma_{tuner+interconnexion} = S_{11} + \frac{S_{12}S_{21}\Gamma_{tuner}}{1 - S_{22}\Gamma_{tuner}} \quad (1.9)$$

Ce coefficient de réflexion peut donc être fortement réduit par les pertes (S_{21}) des interconnexions, et cela même si le tuner présente à l'origine de très bonnes performances, ce qui n'est déjà pas toujours le cas à hautes fréquences.

Admettons donc un synthétiseur d'impédances capable de présenter un coefficient de réflexion $|\Gamma_{tuner}| = 0,7$. Sachant que les sondes Cascade Infinity [140-220 GHz] communément utilisées dans les plateformes de caractérisation (comme celle de l'IEMN) présentent des pertes de

3 dB à 150 GHz et 5 dB à 220 GHz, ceci réduit encore le coefficient de réflexion à un niveau $<0,5$ pouvant être synthétisé dans le plan du composant. Pour mieux comprendre l'impact de cette limitation du coefficient de réflexion globale, nous représentons sur la Figure 18 les coefficients de réflexion $\Gamma_{opt_5\mu m}$ et $\Gamma_{opt_10\mu m}$ qu'il faut présenter à un transistor en technologie BiCMOS 55 nm pour une longueur d'émetteur de 5 μm et 10 μm , polarisé à f_{max} et avec un $\Gamma_{tuner}=0,5$.

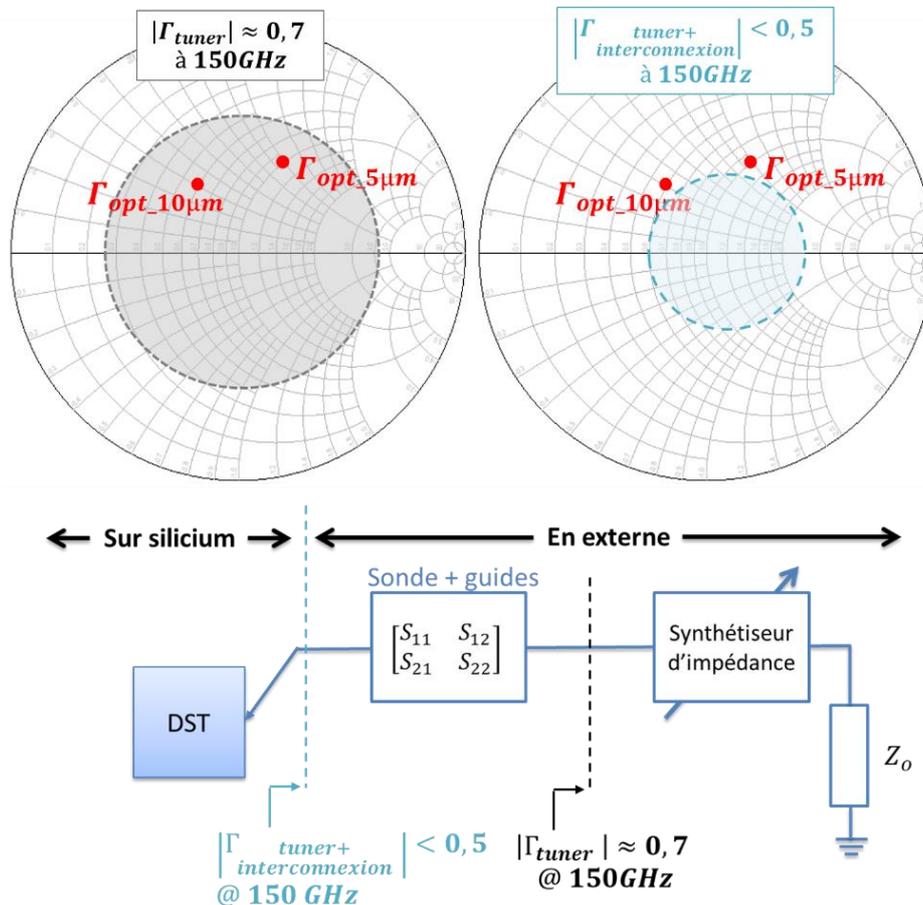


Figure 18 : impact sur la constellation des pertes dans les interconnexions et dans un réseau d'adaptation

Les pertes rajoutées par les interconnexions entre le synthétiseur d'impédances et le DST induisent une réduction importante de la couverture d'impédance couverte par le tuner, et ne permettent plus de présenter les impédances optimales des transistors que nous souhaitons caractériser. Ceci vient rendre caduque l'utilisation de tuner sur table en bande G.

Une solution assez simple pour palier à ce problème est d'insérer un réseau d'adaptation directement sur silicium entre le DST et le tuner. Ce réseau va permettre de « décaler » la zone de couverture du tuner vers les impédances souhaitées comme expliqué Figure 19.

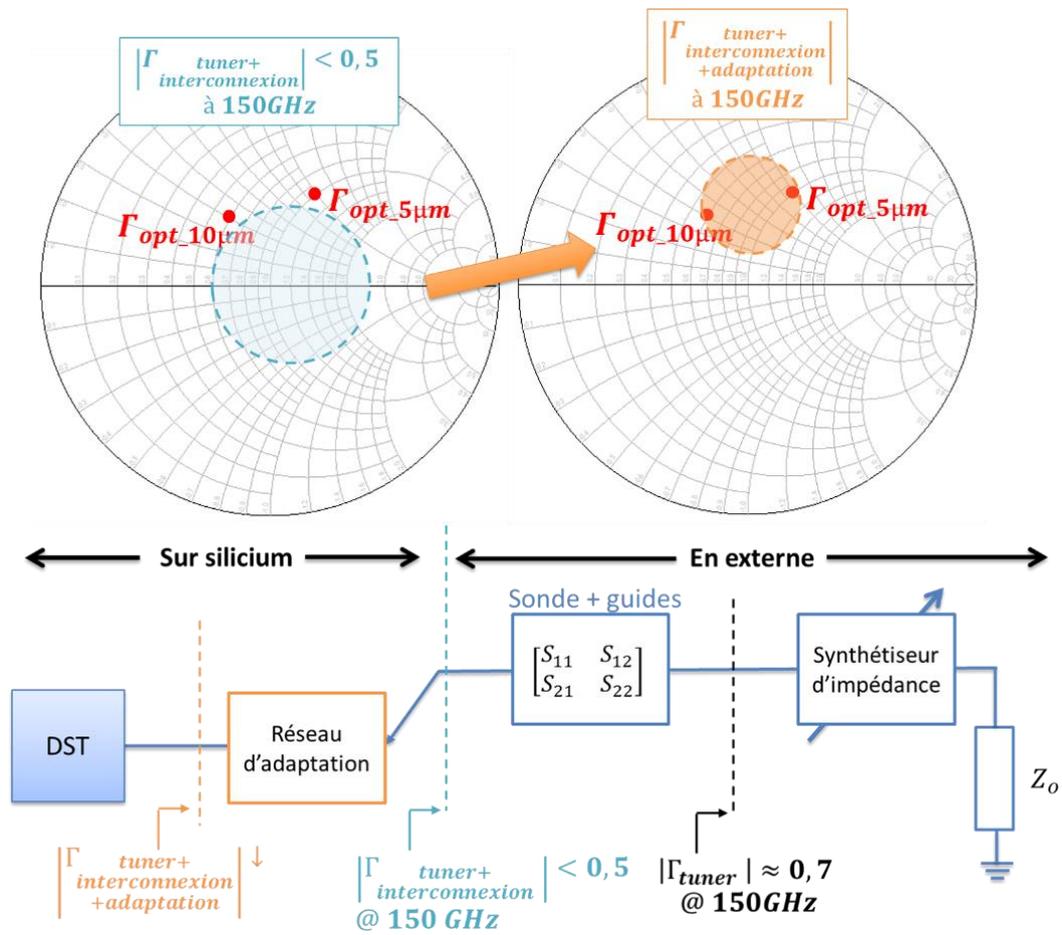


Figure 19 : Méthode d'adaptation pour couvrir les zones d'intérêts

Bien que ce réseau d'adaptation présente lui aussi des pertes, ce qui réduit à nouveau la constellation du tuner, cette solution peut être suffisante pour certains DST. Cette méthode a déjà été utilisée dans le but de présenter des impédances bien particulières (en bord d'abaque par exemple), inaccessibles avec un tuner passif classique [23, 24, 25]. Le principal désavantage de cette solution se trouve dans les pertes induites par le réseau demandant des étapes de calibrations supplémentaires, augmentant la complexité de la mesure.

Une autre solution a été proposée par Cascade Microtech et ATN Microwave qui consiste à réaliser un système de préadaptation intégré directement dans la sonde de mesure [26], dont les résultats sont illustrés Figure 18.

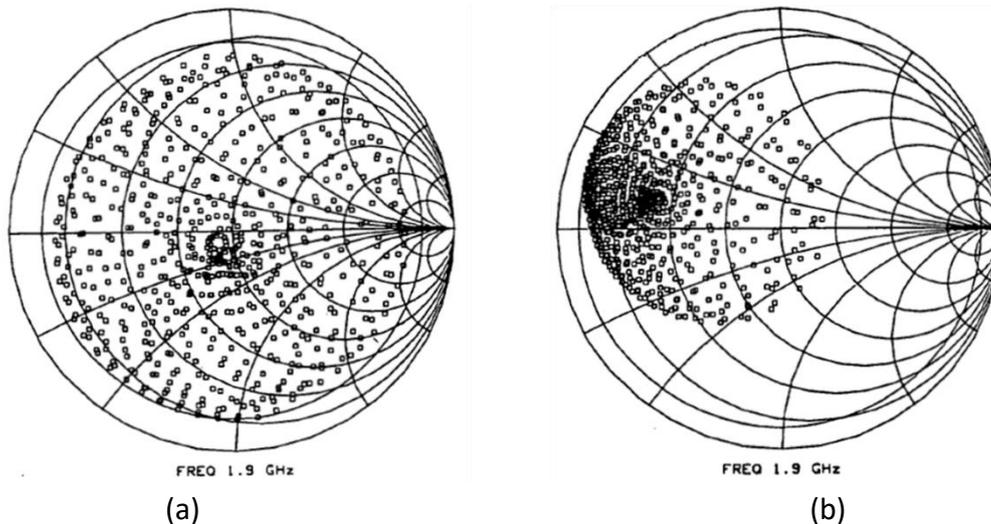


Figure 20 : Impédances présentées au DUT [26] : via une sonde ACP standard (a) via une sonde qui intègre un réseau de préadaptation 50 Ω vers 10 Ω (b)

Des sondes adaptées à des impédances plus faibles grâce à l'intégration d'un réseau d'adaptation sur deux technologies différentes ont été réalisées : des sondes à membrane et des sondes ACP (Air-Coplanar-Probe). Ces technologies présentent des performances intéressantes jusqu'à 40 et 110 GHz respectivement.

L'ensemble de ces solutions basées sur un tuner externe ne conviennent donc pas pour notre application en bande G tant au niveau de la fréquence d'utilisation que de la largeur de la bande devant être couverte. Ces contraintes nous amènent donc à choisir une autre solution pour répondre aux besoins en bande de fréquence millimétrique c'est à dire concevoir et intégrer directement sur silicium un tuner électronique, au plus proche du DST. Cela permet de gagner en couverture d'impédance en s'affranchissant des pertes des sondes. D'après les simulations de la Figure 14, ce tuner devra être optimisé autour des impédances utiles, inductives dans tous les cas.

- Les tuners électroniques intégrés

Les tuners électroniques intégrés sont limités par les performances intrinsèques de la technologie. A chaque fois que nous devons caractériser des composants d'une nouvelle technologie, il faudra à nouveau développer un synthétiseur d'impédances. Cependant, étant au plus proche du DST, ils présentent des performances suffisantes pour caractériser les composants dans leur intégralité ce qui est un avantage considérable face aux synthétiseurs externes (sur table).

Différents travaux de caractérisation multi-impédances soit en bruit ou en puissance ont pu être réalisés en utilisant des tuners intégrés sur silicium. Dans le but de développer des bancs

de caractérisation en bruit tout intégré, Y. Tagro a réalisé des tuners intégrés dans la bande 50-110 GHz [27, 2], L. Poulain et M. Deng entre 130 et 170 GHz [18, 28] et Kenneth H. K. Yau entre 70 et 170 GHz [29]. A. Pottrain a également démontré la faisabilité d'une mesure load-pull en utilisant un tuner intégré à 200 GHz [22, 30]. Le tuner intégré ne sert pas seulement à la caractérisation des composants actifs, mais est aussi utilisé dans le but d'optimiser des circuits tel qu'un amplificateur de puissance [31, 32]. Ces tuners sont basés sur des composants électroniques, le plus communément des MEMS (Micro Electro Mechanical System) [33], des capacités variables (varactors) [34], des capacités de type digital (DTC Digital Tunable Capacitance) [35] ou encore des diodes [36]. Le choix du type de tuner dépend de l'application et de ses performances selon plusieurs critères : la fréquence de fonctionnement, la technologie disponible, la linéarité.

Dans le but de développer un banc load-pull tout intégré, nous avons choisi de développer un synthétiseur d'impédances intégré en technologie BiCMOS 55 nm afin de couvrir une gamme suffisamment importante d'impédances. Les spécifications du tuner que nous souhaitons réaliser sont résumées dans le Tableau 3 suivant :

Coefficient de réflexion Γ	$\Gamma > 0,6$
Conservation de la linéarité en fonction du niveau de puissance	Linéarité conservée pour des puissances = 10 dBm
Impédances	- Inductives quelle que soit la fréquence - Autour du Γ_{opt} des DST

Tableau 3 : Spécifications du tuner d'impédance

Les impédances présentées par le tuner doivent être autour des impédances optimales des composants à tester. Enfin, il doit être linéaire en fonction de la puissance. Un état de l'art détaillé sur les tuners intégrés fonctionnant aux fréquences millimétriques sera présenté dans le Chapitre 2 de ce manuscrit.

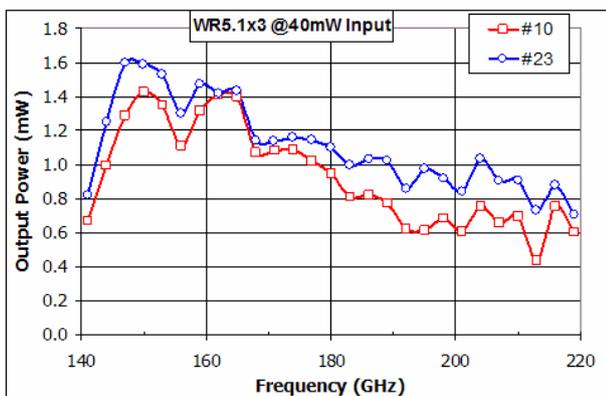
I.3.2. La problématique de la génération de signaux en bande G

Il existe aujourd'hui dans le commerce de nombreux appareils pouvant générer des signaux de 50 GHz jusqu'au THz. Nous présenterons dans cette partie l'état de l'art des sources de puissance millimétriques actuellement disponibles et leurs limitations par rapport à nos besoins.

Les récents progrès en technologie silicium et en technologie III-V permettent aujourd'hui le développement de sources de puissance en bandes de fréquences millimétriques. Des sources de puissance bande étroite peuvent atteindre le THz et sont utilisées dans le domaine de

l'imagerie à des fins d'analyse médicale [37] ou par exemple pour détecter des matériaux non conducteurs notamment lors des contrôles de sécurité [38, 39]. En effet, développer des générateurs de signaux dans ces bandes de fréquences peut permettre d'améliorer considérablement la résolution de l'image. De plus, certains liquides et solides ont des caractéristiques d'absorption et de dispersion qui sont dépendant de la fréquence, ce qui rend leurs raies spectrales uniquement visibles en gamme de fréquences millimétriques. On note aussi qu'à ces fréquences, on accède à une large bande passante pour le développement de systèmes de communications à haut débit. Les applications sont nombreuses et poussent aujourd'hui les universités et industriels à développer des solutions pour générer des signaux jusqu'au THz.

Les technologies III-V telles que l'Arséniure de Galium (GaAs) et Phosphore Indium (InP) sont réputées pour présenter de bonnes performances dans ces bandes de fréquences et sont aujourd'hui les leaders sur le marché de la génération de signaux millimétriques et sub-THz. Virginia Diode (VDI) est un constructeur très présent sur le marché des fréquences millimétriques. Les appareillages qu'il développe utilisent la technologie GaAs et sont principalement composés de diode Schottky et de structures de filtres intégrés. A l'aide d'un générateur sur table qui fonctionne entre 45 et 75 GHz, il est possible de générer un signal entre 140 et 220 GHz en utilisant un multiplieur de fréquences par trois dont les performances sont présentées Figure 21.



(a)



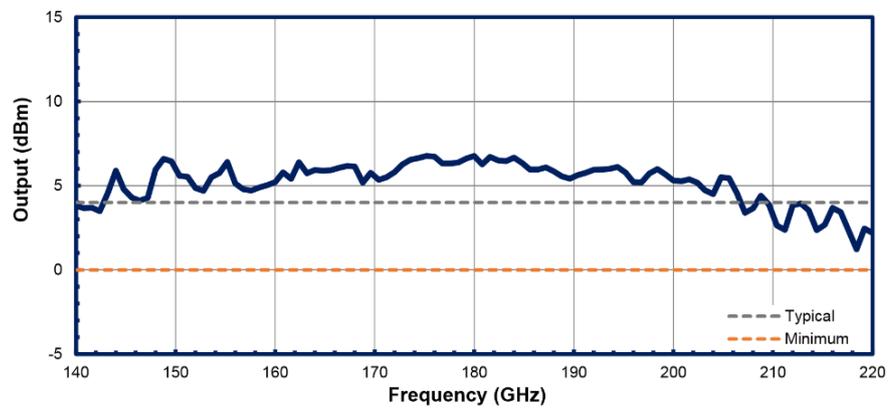
(b)

Figure 21 : Multiplieur par 3 de VDI ; puissance de sortie du multiplieur en fonction de la fréquence pour un Pin à $f_0/3$ de 40 mW (a) photo du multiplieur guide d'onde WR 15 en entrée et WR 5 en sortie (b)

Avec ce type de multiplieur il est possible d'atteindre des niveaux de puissances autour de 0 dBm entre 140 et 220 GHz, pour une puissance d'entrée à f_0 de 16 dBm. VDI a également développé des « extensions de générateurs » large bande allant de 50 GHz à 1,1 THz et qui sont constituées de multiplicateurs de fréquence par 6 ou par 12. Les performances qu'il est possible d'atteindre en sortie de ces multiplieurs dépendent de la bande de fréquence de sortie choisie et

du niveau de puissance de la source basse fréquence en entrée. Les performances et spécifications en puissance de leur multiplieur en bande G sont présentés Figure 22 (a) et Figure 22 (b).

WR5.1SGX Specifications	
RF Frequency Band (GHz)	140-220
RF Output Flange (UG-387/U-M)	WR-5.1
Output Power (Typical/Minimum, dBm)	4 / 0
Multiplication Factors (Low/High)	12 / 6
Low Frequency RF Input (GHz)	11.67-18.33
High Frequency RF Input (GHz)	23.33-36.67
Typical Dimensions (LxWxH, in)	8x5x3



(a)

(b)

Figure 22 : Spécifications du générateur d'entrée et performances en sortie de l'extension en bande G (a) puissance de sortie en fonction de la fréquence (b) [40]

Ce multiplieur permet d'atteindre un niveau de puissance en sortie de 4 dBm typique sur toute la bande 140-220 GHz avec un maximum de 6 dBm à 180 GHz et un minimum de 1 dBm à 220 GHz. Il est possible de choisir de multiplier le signal d'entrée par 12 ou par 6 selon la source dont on dispose en entrée.

D'autre part, de nombreuses réalisations encore au stade de la recherche et non commercialisées aujourd'hui présentent de très bons résultats en terme de niveaux de puissance pour la génération de signaux en bande de fréquence millimétrique. Récemment, un multiplicateur de fréquence par quatre à 160 GHz a été réalisé avec des diodes en GaAs épitaxiées sur un substrat de silicium isolant SOI [41]. L'utilisation d'un « Silicium Sur Isolant » couplé avec un substrat fortement résistif, permet d'obtenir de meilleures performances sur les éléments à la fois passifs (lignes coplanaires) et actifs (suppression des courants de fuites). Le circuit a été intégré dans des structures de guide d'onde WR 22 (33-50 GHz) pour le signal d'entrée à 40 GHz et WR 5.1 pour le signal de sortie à 160 GHz dont les performances sont présentées Figure 23.

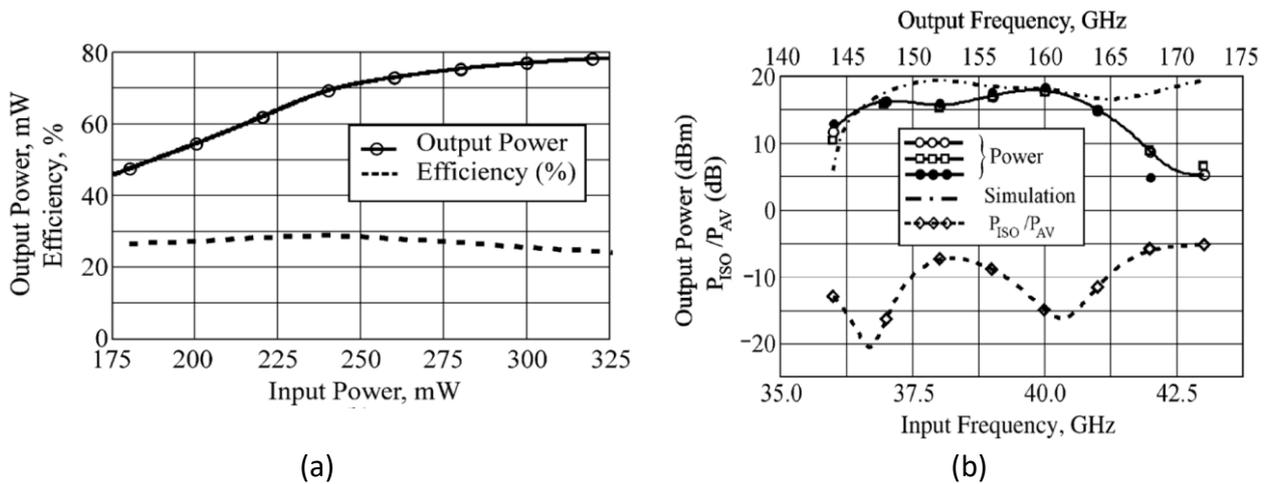


Figure 23 : Puissance de sortie et efficacité du quadrupleur à 160 GHz pour une polarisation de 10V en fonction de la puissance d'entrée à 40 GHz (a) et puissance de sortie du quadrupleur ainsi que la puissance du port d'isolation en fonction de la fréquence d'entrée [41]

Ce quadrupleur permet d'atteindre une puissance de sortie de 18,5 dBm à 160 GHz pour une puissance d'entrée de 25 dBm, Figure 23(a), avec une bande passante de -3 dB d'environ 25 GHz, Figure 23(b). Ces résultats mettent en avant les performances de la technologie GaAs pour la multiplication de signaux en bande de fréquence millimétrique. Les transistors HEMT sont aussi largement utilisés pour la réalisation de multiplieurs. A titre d'exemple A. Zamora a réalisé en 2015 deux multiplieurs actifs : par 9 [42] et par 18 [43], réalisés avec des transistors HEMT sur substrat InP. Le principe et la photographie du multiplieur de fréquence par 9 sont illustrés Figure 24.

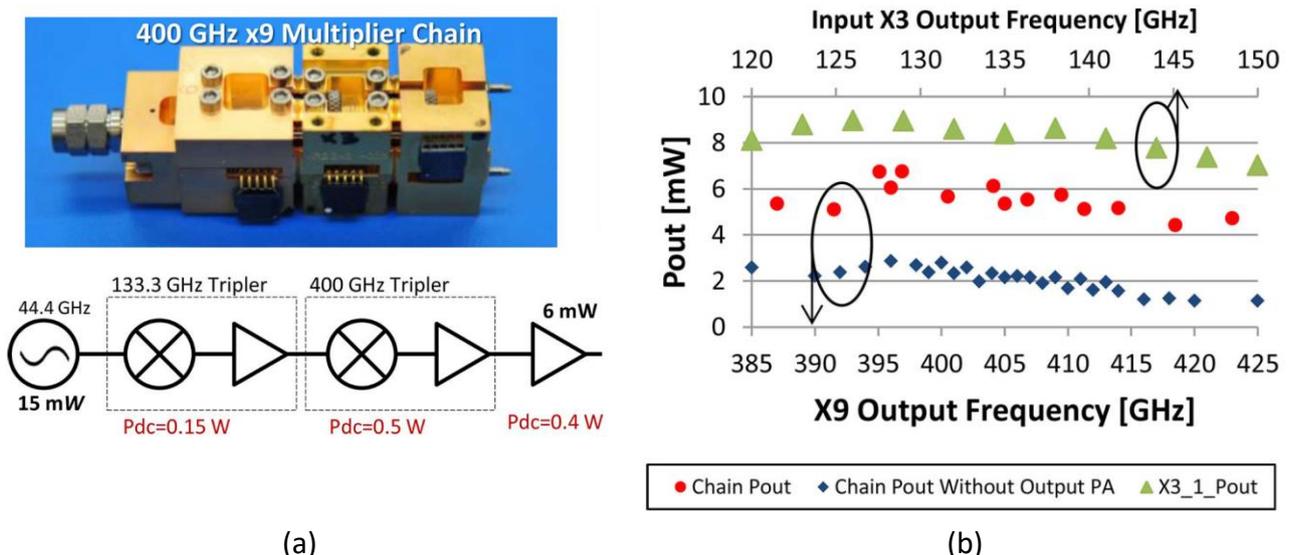


Figure 24 : image du multiplieur package compose de trois modules cascades : un triplieur à 133,3 GHz suivi d'un triplieur à 400 GHz ainsi qu'un PA à 400 GHz & schéma bloc de la chaine (a) Puissance de sortie mesurée à la sortie du 1^{er} triplieur et à la sortie du deuxième triplieur, en fonction de la fréquence de sortie (b). [42]

La Figure 24(b) montre la puissance de sortie de la chaine complète à 400 GHz avec et sans amplificateur de puissance de sortie. La fréquence du signal d'entrée varie de 43 à 47 GHz

permettant d'obtenir une variation de fréquence en sortie variant de 387 à 423 GHz. Pour une puissance d'entrée de 15 mW on obtient en sortie en moyenne 4 mW avec PA avec un pic à 6,9 mW et une bande passante à 10 %.

Tous ces résultats montrent que grâce à leurs performances les technologies III-V sont présentes dans la plupart des systèmes de génération de signaux forte puissance aux fréquences millimétriques. Cependant, les technologies III-V ne sont pas compatibles avec les technologies silicium et ne permettent pas de réaliser des bancs de mesure intégrés pour caractériser des dispositifs développés dans ces technologies, alors que ces dernières permettent d'intégrer à leur tour des systèmes fonctionnant aux fréquences millimétriques. Enfin, les technologies BiCMOS SiGe permettent la co-intégration de systèmes numériques et analogiques RF et millimétriques contrairement aux III-V qui sont réduit aux circuits purement analogiques.

Afin de développer un banc load-pull en bande G intégré sur silicium, nous devons disposer d'une source large bande capable de fournir suffisamment de puissance dans le plan du composant pour l'amener dans sa zone de fonctionnement non linéaire. Les équipements externes actuellement disponibles sur le marché en bande G comme présenté Figure 21 et Figure 22 ne nous permettent pas d'atteindre de tels niveaux de puissance. En effet, nous sommes soumis aux mêmes problématiques qu'avec le synthétiseur d'impédances: les pertes apportées par les interconnexions ramenées par les sondes et les guides d'ondes sont trop importantes à ces fréquences. Rappelons que les sondes Cascade Infinity [140-220 GHz] que nous utilisons à l'IEMN présentent des pertes de 3 dB à 150 GHz et 5 dB à 220 GHz. Sachant qu'une source externe vendue par VDI (Figure 22) fournit dans son plan de sortie une puissance maximale de 4 dBm à 150 GHz et 1 dBm à 220 GHz, la puissance disponible dans le plan du DST serait de 1 dBm à 150 GHz et -5 dBm à 220 GHz comme présenté Figure 25.

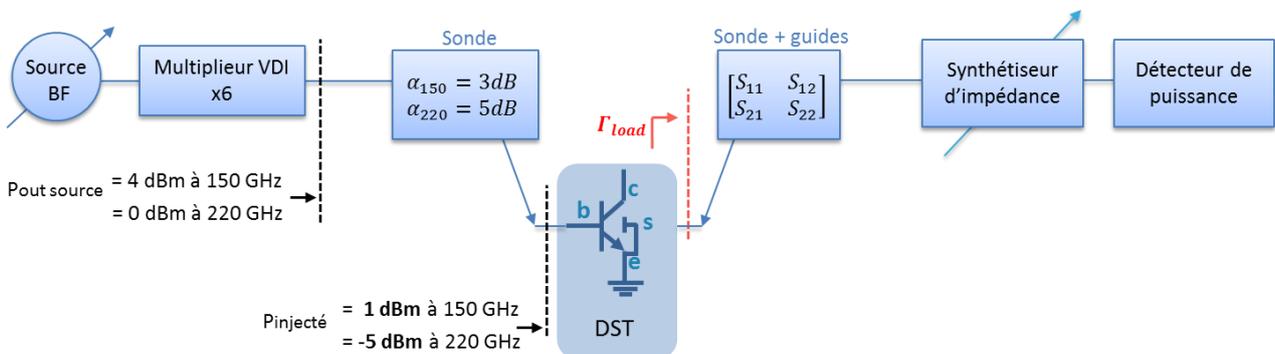


Figure 25 : Pertes dues à la connectique en entrée du DST pour la génération de signaux de forte puissance

D'après les simulations présentées sur la Figure 15, ces niveaux de puissance sont inférieurs aux niveaux de puissance nécessaires ($P_{in} > 5 \text{ dBm}$) pour correctement amener le DST dans sa zone de fonctionnement non linéaire.

Aujourd'hui, la technologie silicium nous offre la possibilité de développer des sources de puissance intégrées au plus près du DST et compatibles avec ce niveau de puissance. Les spécifications de la source de puissance que nous souhaitons réaliser sont résumées dans le Tableau 4 suivant :

Puissance de sortie	> 5 dBm
Bande passante	140 – 220 GHz
Consommation	contrainte relâchée (caractérisation)
Adaptation en sortie	Puissance de sortie suffisante en fonction de la charge

Tableau 4 : Spécifications de la source de puissance

La source de puissance devra générer une puissance suffisamment élevée pour atteindre le régime non linéaire des composants à tester (Figure 15). Cette puissance devra être supérieure à 5 dBm, sachant qu'on aura nécessairement une désadaptation entre l'impédance de la source et du DST. Un état de l'art des sources de puissance sur silicium sera présenté dans le chapitre 2 qui est consacré au développement de la source de puissance intégrée que nous avons réalisée en technologie SiGe 55 nm de STMicroelectronics.

1.3.3. La détection de signaux en bande G

Après avoir étudié les synthétiseurs d'impédance et les sources de puissance commerciaux (ou en cours de développement), nous nous intéressons dans ce paragraphe aux détecteurs de puissance.

Rappelons que lors d'une caractérisation load-pull, la détection du signal est utilisée pour connaître les niveaux de puissance en entrée et en sortie du DST (Figure 26).

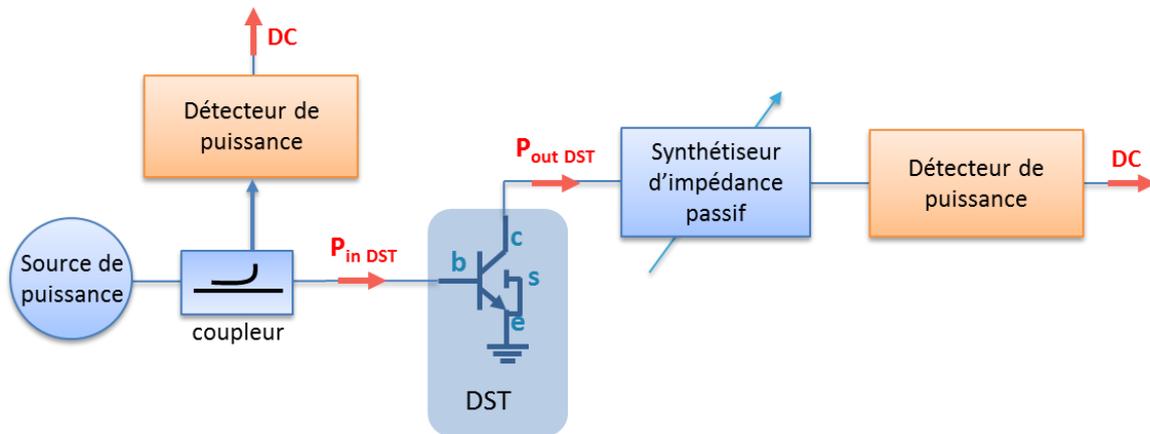


Figure 26 : Détecteurs de puissance dans un banc de caractérisation load pull

En entrée, un coupleur est inséré entre la source de puissance et le DST pour connaître la puissance réellement injectée $P_{in\ DST}$. Cependant, ce coupleur vient rajouter des pertes et limiter le niveau de puissance disponible dans le plan du composant à caractériser. Pour ces raisons, nous utiliserons uniquement un détecteur de puissance en sortie. Nous expliquerons dans le chapitre 4 de ce manuscrit, comment remonter à la puissance disponible P_{in} du DST après épluchage des éléments.

Il existe aujourd'hui plusieurs types de détecteurs de puissance : ceux à base de composants électroniques (diodes et/ou transistors), et les détecteurs de type calorimètre à effet Joule que nous allons maintenant décrire.

- Détecteur de type calorimètre

Pour la mesure de puissance à haute fréquence, l'IEMN dispose d'un calorimètre fabriqué par Virginia Diodes qui est capable de mesurer des niveaux de puissance allant de $1\ \mu\text{W}$ à $200\ \text{mW}$ sur une bande de fréquence de $75\ \text{GHz}$ à $> 3\ \text{THz}$. Le principe de la calorimétrie est basé sur un matériau absorbant qui capte le signal incident et qui induit un échauffement selon la puissance du signal. Ce matériau est relié à une référence thermique dont la température est maintenue à température constante. La différence de température entre l'échauffement du matériau et la référence thermique est mesurée via une thermistance. Cette différence permet de connaître le niveau de puissance du signal injecté. Pour la détection de signaux en dessous de $200\ \mu\text{W}$ les temps de mesures peuvent vite devenir très longs. En effet, entre deux mesures, il faut attendre que le matériau absorbant reprenne sa température d'origine. De plus, ce type de détecteur de puissance étant très large bande, il mesure la somme des puissances des signaux sur toute la bande de fréquence y compris les puissances des harmoniques.

- Détecteur de puissance électronique

Les détecteurs de puissance à base de composants électroniques utilisent la jonction PN d'une diode ou d'un transistor bipolaire. Le courant I_D à travers la jonction PN s'exprime par la relation :

$$I_D = I_s \left(\exp\left(\frac{V_D}{V_t}\right) - 1 \right) = I_s \frac{V_D}{V_t} + \frac{I_s}{2} \left(\frac{V_D}{V_t}\right)^2 + \dots \quad (1.10)$$

Avec I_s le courant de saturation dans la diode, V_t la tension thermique de la jonction et n une constante technologique. Si on exprime le signal RF appliqué en entrée de la diode $V_D = v_{RF} = V_{ac} \cdot \cos(\omega t)$ alors on peut décomposer le courant à travers la jonction. Ainsi :

$$I_D = I_s \frac{V_{ac} \cdot \cos(\omega t)}{V_t} + \frac{I_s}{2} \cdot \frac{V_{ac}^2}{V_t^2} \left(\frac{1 + \cos(2\omega t)}{2} \right) + \dots \quad (1.11)$$

Après filtrage des harmoniques du courant, on obtient une composante statique $\left(\frac{V_{ac}^2}{V_t^2}\right)$ indépendante de la fréquence et proportionnelle à la puissance du signal RF V_{ac} . Ce type de détecteur a l'avantage de proposer un temps de réponse faible ce qui le rend plus compatible à un contexte industriel. Cependant ce type de détecteur est limité en dynamique de détection. Sa sensibilité est limitée par le bruit de la diode et la puissance maximale détectable par l'effet de saturation. A titre d'exemple, Virginia Diode commercialise des détecteurs utilisant des diodes avec une sensibilité de 2000 V/W en bande G mais avec une puissance maximale détectable de -15 dBm [44] (Figure 27).

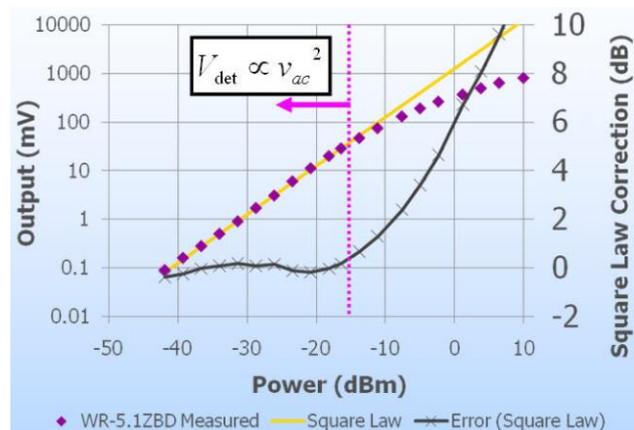


Figure 27 : Fonction de transfert de Détection de puissance d'une diode commercialisée par VDI, représentant la tension de sortie détectée en fonction de la puissance en entrée à 140 GHz [44]

Au vue de cette faible puissance maximale détectable, ce type de détecteur n'est pas utilisable dans notre application. Ainsi, dans le but de réaliser un banc load pull tout intégré, nous avons aussi réalisé un détecteur de puissance électronique intégré. Les spécifications du détecteur de puissance que nous souhaitons réaliser sont regroupées dans le Tableau 5 suivant :

	Min	Max
Plage de détection	-20 dBm	10 dBm
Bande passante < -10 dB	130 GHz	220 GHz
Niveau de tension détectable en sortie	1 mV	/

Tableau 5 : Spécifications du détecteur de puissance

Le détecteur de puissance doit être optimisé autour des niveaux de puissance attendus en sortie du synthétiseur d'impédances soit entre -20 dBm et 10 dBm. L'intégration du détecteur permet également de n'avoir plus qu'une tension statique à mesurer en sortie du banc de caractérisation ce qui rend la mesure plus simple et rapide. Cette tension devra cependant être suffisamment élevée pour être mesurable précisément soit d'au moins 1 mV pour une puissance détectée de -20 dBm. L'étude de ce circuit fera l'objet du chapitre 3 de ce manuscrit.

I.4. Conclusion du Chapitre I

Dans ce chapitre nous avons présenté les différentes méthodes load-pull, passives et actives existantes. Les bancs conventionnels utilisés dans le commerce impliquent des temps de caractérisation très long dus aux nombreuses étapes de calibration de chaque appareil pour remonter aux niveaux de puissance dans le plan du composant sous test. De plus, nous savons que les pertes dues aux connectiques en bande G ne permettent pas de réaliser une caractérisation load-pull conventionnelle avec des équipements sur table. En ce qui concerne le synthétiseur d'impédances, son intégration directe au plus près du DST, permet de l'optimiser pour qu'il génère une constellation d'impédances compatible avec les impédances optimales du DST. Il en est de même des sources de puissance commerciales externes qui compte tenu des pertes dans les câbles et les sondes ne permettent pas de présenter au DST les puissances nécessaires. Là aussi, le choix de son intégration sur silicium au plus près du DST permet de disposer d'une puissance suffisamment importante dans la bande G afin d'amener le DST en zone de fonctionnement non linéaire. Enfin, en ce qui concerne le détecteur de puissance intégré en sortie du tuner, il doit être optimisé de façon à disposer d'une dynamique de détection adapté aux niveaux de puissance attendus avec un temps de réponse raisonnable.

L'étude et la conception de ces trois fonctions (la source de puissance, le synthétiseur d'impédances et le détecteur de puissance) en technologie BiCMOS 55nm font l'objet des deux chapitres suivants.

Chapitre II

Conception de la source de puissance et du synthétiseur d'impédances dédiés à la caractérisation in situ large signal au-delà de 130 GHz

II.1. Introduction du Chapitre II

Nous avons défini les principales caractéristiques de notre banc de mesure load-pull en bande G dans le chapitre précédent. Les caractéristiques de chacun des blocs (source de puissance, tuner d'impédance et détecteur de puissance) ont été établies précisément. L'intégration de ces blocs a été effectuée dans la technologie BiCMOS 55 nm de STMicroelectronics. En effet, une bonne connaissance des éléments actifs (transistors MOS et bipolaire) et passifs (lignes de transmissions, capacités, résistances) est indispensable. Pour valider le comportement de ces éléments aux fréquences millimétriques, nous avons aussi veillé à mesurer des composants tels que la capacité MIM et la résistance à ces fréquences et ainsi éviter les problèmes liés à la résonance dans nos circuits. Nous avons détaillé l'ensemble de ces travaux préliminaires en Annexe I en réservant le corps de ce mémoire à la réalisation des blocs constituant le banc load-pull. L'intégration et la caractérisation de la source de puissance et du tuner d'impédance font donc l'objet de ce deuxième chapitre.

II.2. Conception de la source de puissance en bande D

Dans un premier temps nous rappelons le cahier des charges de la source de puissance relatif à l'application visée. Ensuite, nous étudierons les différentes méthodes de génération de signaux avant de choisir la méthode la plus adaptée à notre application. Enfin les performances de la source de puissance ainsi réalisée seront présentées dans une dernière partie.

II.2.1. Cahier des charges de la source de puissance

La source de puissance doit générer suffisamment de puissance en entrée du composant à caractériser pour permettre de mesurer son point de compression ($>5\text{dBm}$). La charge qui lui est présentée à sa sortie est amenée à varier et ne doit pas perturber son fonctionnement. Si le niveau de puissance diminue avec la charge, celui-ci doit être parfaitement connu et suffisant pour notre application. Idéalement, cette source doit être capable de générer un signal couvrant la bande G [140-220] GHz. De plus, du fait que ce circuit soit développé pour la caractérisation, les contraintes de consommation sont relâchées. Rappelons les spécifications de la source de puissance dans le Tableau 6 suivant :

Puissance de sortie	> 5 dBm
Bande passante	140 – 220 GHz
Consommation	contrainte relâchée (caractérisation)
Adaptation en sortie	Puissance de sortie suffisante en fonction de la charge

Tableau 6 : Cahier des charges de la source de puissance

Nous allons à présent étudier l'état de l'art des sources de puissance en bande de fréquence millimétrique.

II.2.2. État de l'art de la génération de signaux hyperfréquence

La génération d'un signal en bande de fréquence millimétrique peut s'effectuer de deux façons : soit en utilisant une source basse fréquence externe suivie d'un multiplieur de fréquence intégré, ou bien en réalisant un oscillateur contrôlé en tension intégré (VCO) qui peut être lui aussi suivi d'un multiplieur de fréquence. Pour obtenir une large variation de la puissance du signal suffisante, un amplificateur de puissance variable peut être ajouté. Ces deux méthodes sont présentées Figure 28 :

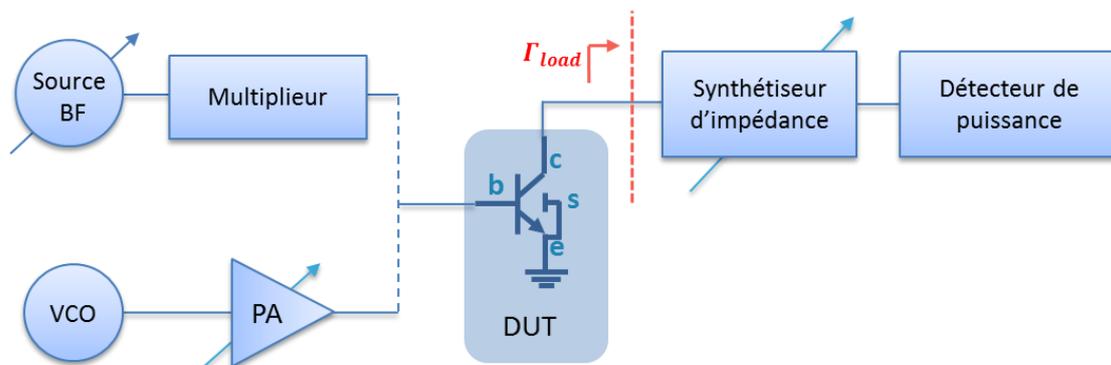


Figure 28 : Deux façons possibles de générer un signal HF dans un banc de caractérisation grand signal

Un état de l'art des générateurs de signaux (VCO et multiplieur) en bande de fréquence millimétrique réalisés sur silicium est décrit dans le Tableau 7. Seuls les circuits concernant notre bande de fréquence [140-220] GHz sont présentés. Nous avons choisi la bande passante à -3 dB et la puissance de sortie maximale comme étant les caractéristiques de référence pour mener cette comparaison. Le gain de conversion sera aussi discuté.

Ref	Structure	Techno.	BP -3 dB (GHz)	P _{max} (dBm)	Gain de conv. max (dB)	Conso. (mW)	Année
[45]	Doubleur push-push injection locked	65 nm CMOS	112-120 (18 GHz)	-2,6	-2,6	NA	2010
[46]	Doubleur émetteur commun	0,35 μm SiGe	124-138 (14 GHz)	0,7	-3,6	7,2	2011
[47]	VCO + push-push	0,35 μm SiGe	125 – 155 (40 GHz)	3,8	NA	410	2012
			Bruit de phase : -93 dBc/Hz				
[48]	Quadrupleur push-push à phase contrôlée	0,35 μm SiGe	121-137 (16 GHz)	-2,4	0,6	35,2	2012
[49]	VCO + gilbert-cell	0,35 μm SiGe	130-160 (30 GHz)	-3	NA	430	2012
			Bruit de phase : -90 dBc/Hz				
[50]	Doubleur push-push	45 nm SOI CMOS	175-195 (25 GHz)	0	0	91	2012
[51]	Doubleur push-push	45 nm SOI CMOS	142-158 (16 GHz)	3,5	-4,5	25	2014
[52]	ICS (inter coupling Superposition)	0,35 μm SiGe	124-132,5 (8,5 GHz)	4,4	2,4	115	2015
[53]	Doubleur push-push	0,13 μm SiGe	138-170 (32 GHz)	5,6	4,9	36	2016
[54]	Doubleur push-push	65 nm CMOS	170 – 220 (50 GHz)	3	3	70	2016

NA : donnée non applicable ou non disponible

Tableau 7 : Etat de l'art des VCO et multiplieurs de fréquence en bande G en technologie silicium

D'après le Tableau 7, la génération de signaux en bande millimétrique peut s'effectuer à l'aide d'un oscillateur contrôlé en tension intégrée, ou d'une source externe suivie d'un multiplieur intégré.

L'oscillateur contrôlé est un circuit permettant de générer un signal à travers un circuit résonnant dont la fréquence peut être contrôlée avec la tension de contrôle de la capacité variable. Dans ce type de circuits, nous regardons aussi le bruit de phase, couplé à la plage de variation de la fréquence et de la puissance de sortie. Ainsi, comparée aux technologies CMOS, la technologie BiCMOS permet de réaliser des VCOs avec un bruit de phase plus faible et une

meilleure puissance de sortie [55, 56, 47, 49]. La plage de variation qu'offrent aujourd'hui les capacités variables sur silicium (varactors) permet de réaliser des VCOs à forte bande passante mais leur faible facteur de qualité dégrade généralement le bruit de phase du signal. Une méthode couramment utilisée pour palier à ce problème, est de réaliser des VCO appelés push-push dont le principe consiste à réaliser un oscillateur à la moitié de la fréquence voulue, suivie d'un doubleur push-push [57, 58, 47]. Cela évite de travailler autour de la fréquence de coupure de la technologie. Cette solution a permis le développement de VCO atteignant de très bonnes performances en termes à la fois de puissance de sortie et de bande passante [47, 59, 49], et réalisé en technologie SiGe BiCMOS.

Cependant, la solution d'intégrer un oscillateur offre une bande passante et une qualité spectrale généralement moins bonne qu'une source externe. Leur utilisation est privilégiée pour le développement de systèmes embarqués complets mais ne présente pas un intérêt particulier dans le domaine de la caractérisation. De plus, leur conception est complexe et nécessite une bonne connaissance de ce type de circuit. C'est pourquoi nous choisirons par simplicité et par sécurité d'utiliser une source externe basse fréquence suivie d'un multiplieur de fréquences intégré pour générer notre signal en bande G. Cela nous assurera un signal fonctionnel et de bonne qualité spectrale, sur une grande bande passante. De plus, la variation de la puissance du signal d'entrée est nécessaire afin de tracer la puissance de sortie des DST en fonction de la puissance d'entrée.

A présent nous allons décrire les différents types de multiplieurs de fréquences, il en existe deux grandes catégories: les multiplieurs basés sur les effets non-linéaires de composant actif et les multiplieurs à base de mélangeur. Cette deuxième approche consiste à mélanger le signal RF avec un signal LO pour obtenir une somme de ces deux signaux. Si on applique le signal d'entrée à la fois sur l'entrée RF et LO on obtient une composante en sortie à la deuxième harmonique. Le montage le plus connu pour effectuer ce mélange est la structure de Gilbert dont nous rappelons le principe Figure 29 :

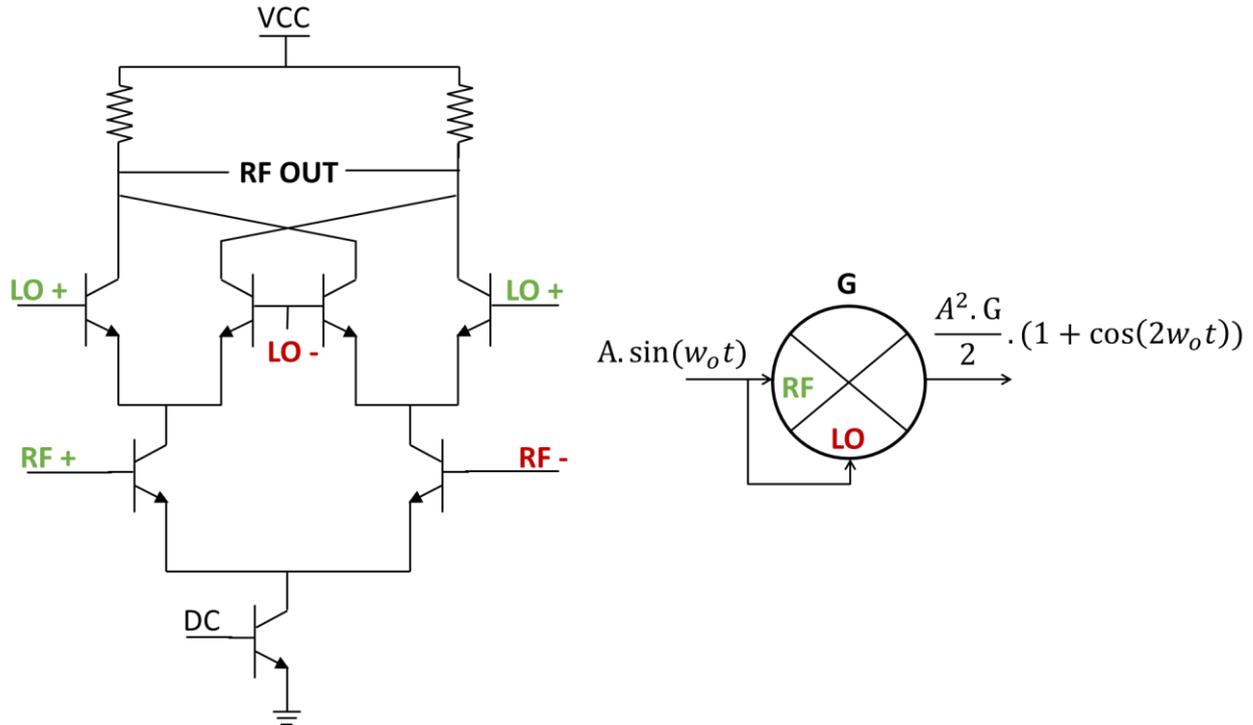


Figure 29 : Multiplieur par 2 basé sur la cellule de Gilbert

La multiplication du signal permet d'obtenir en sortie un signal différentiel à la fréquence $2.f_0$. Les harmoniques aux autres fréquences s'annulent naturellement et ne nécessitent pas de filtre en sortie. Cette méthode a été utilisée pour développer des doubleurs en bande de fréquence millimétrique, notamment un multiplicateur par 16 composé de quatre doubleurs-gilbert cascades, générant un signal entre 235 et 265 GHz avec une puissance maximale de 0 dBm en sortie [60]. Un simple doubleur en cellule de Gilbert a également été utilisé pour doubler un signal généré par un VCO, générant un signal dans la bande 130 – 160 GHz avec une puissance maximum de -3 dBm [49]. Une version améliorée de ce circuit utilisant un doubleur push-push a été présentée dans [47] et a permis d'atteindre une puissance de 3,8 dBm dans la même bande de fréquence. Cette version utilise d'ailleurs la non-linéarité des transistors bipolaires, qui est un autre moyen de multiplier la fréquence. Pour cela les transistors sont polarisés en classe B afin d'augmenter la création d'harmonique paire. Son principe est présenté Figure 30 :

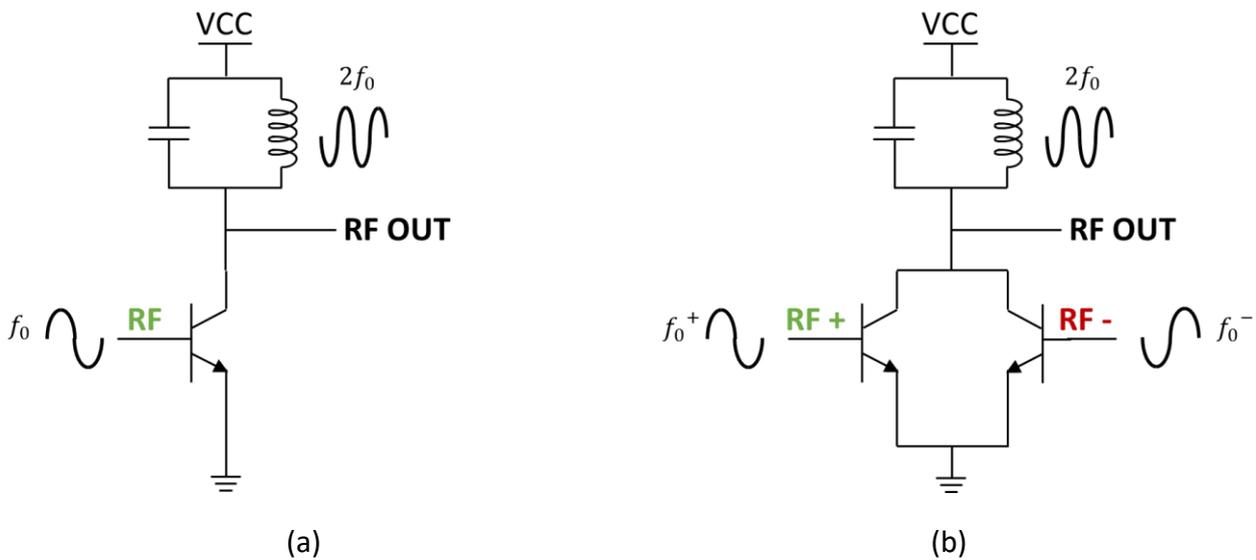


Figure 30 : Principe du doubleur utilisant un simple transistor (a) et une structure push-push (b)

Le doubleur à simple transistor présenté Figure 30 (a) est un étage à émetteur commun où le transistor est polarisé en région fortement non linéaire. Un circuit résonnant ou un réseau d'adaptation permet de récupérer le signal en sortie autour de l'harmonique $2f_0$ et filtrer la fondamentale. La structure push-push présentée Figure 30 (b) permet quant à elle une forte réjection d'harmonique. En effet, appliquer en entrée un signal différentiel engendre l'annulation de la porteuse fondamentale et des harmoniques impaires lors de la recombinaison des deux collecteurs en sortie [61, 62, 51, 47].

Regardons à présent une méthode qui combine l'utilisation d'un circuit en montage cascode à phase contrôlée avec une structure push-push. Cette méthode permet de générer directement un signal en sortie à une fréquence quatre fois plus élevée que la fondamentale, dont le principe est présenté Figure 31 [48].

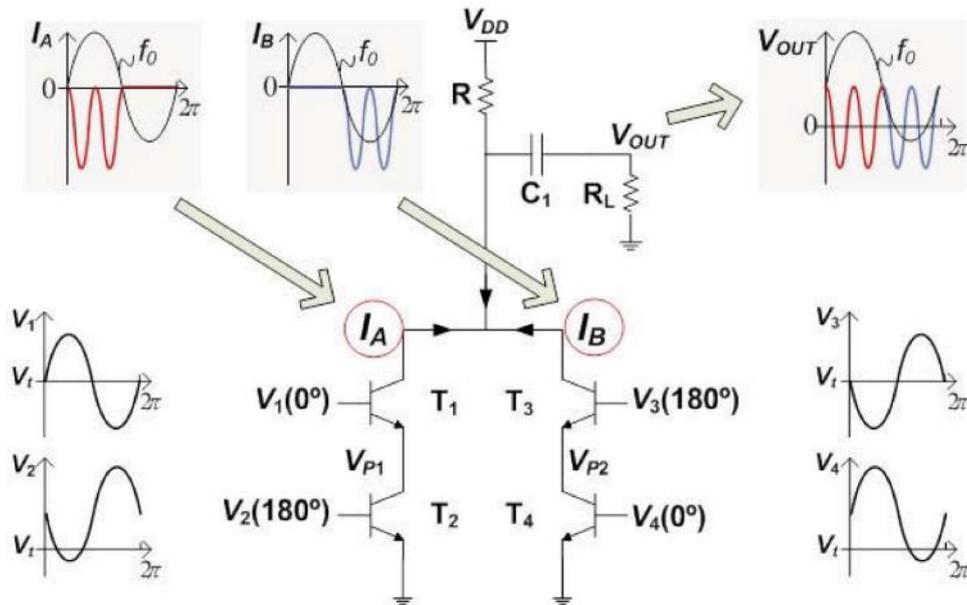


Figure 31 : Quadrupler push push à phase contrôlée

Après avoir construit les deux signaux V_A et V_B en sortie des étages cascode, obtenus grâce à des méthodes de polarisation en classe non linéaires C et AB, la recombinaison en sortie permet d'obtenir un signal à une fréquence 4 fois plus élevée que la fréquence du signal d'entrée. Ce circuit a permis de générer un signal dans la bande 121 – 137 GHz avec une puissance maximum de -2,4 dBm.

Enfin, la technique de superposition linéaire est un autre moyen de générer un signal à plus haute fréquence, et consiste à additionner quatre signaux déphasés de 90° permettant la création d'un signal de sortie à l'harmonique quatre. Des résultats ont été montrés avec cette technique à 324 GHz mais avec de très faibles niveaux de puissance (-46 dBm) [63].

Nous venons de présenter brièvement les différentes méthodes de génération de signaux en bande de fréquence millimétrique proposés dans la littérature: les mélangeurs de type Gilbert, les doubleurs de type push-push, les quadrupleurs à phase contrôlée push-push ainsi que la méthode de superposition linéaire. Dans notre contexte nous souhaitons une structure capable de générer un signal avec une puissance suffisante, à partir d'un générateur basse fréquence (autour de 30-50 GHz). C'est pour cela qu'un multiplicateur de facteur au moins égal à quatre cascadié avec des amplificateurs inter étage pour atteindre un bon niveau de puissance est nécessaire. Les topologies différentielles sont évitées car cela nécessite l'intégration de transformateurs (balun) qui présentent d'importantes pertes dans ces bandes de fréquences. Il existe également d'autres méthodes de multiplicateur que nous ne présenterons pas dans ce manuscrit (mélangeur en anneau, diode,...) car ils ne sont pas utilisables avec la technologie silicium ciblée.

II.2.3. Méthodologie de conception et d'implémentation

La solution choisie pour concevoir les sources de puissances en silicium est d'associer une source de puissance basse fréquence externe avec un multiplieur de fréquence par quatre intégré sur silicium. Ceci afin d'assurer un signal fonctionnel et de pureté spectrale acceptable. Pour pouvoir fonctionner avec des sources de puissances externes facilement disponibles (générateurs de fréquences RF classique < 60 GHz), le circuit conçu doit pouvoir multiplier la fréquence par quatre. De plus cette solution doit permettre de contrôler la puissance d'entrée, indispensable pour tracer les courbes de puissances et en déduire le point de compression de nos dispositifs. Le générateur externe devra donc fournir un signal entre 35 et 55 GHz afin de couvrir la bande de fréquence 140-220 GHz désirée après multiplication par 4.

Le synoptique de la source de puissance proposé est présentée Figure 32 :

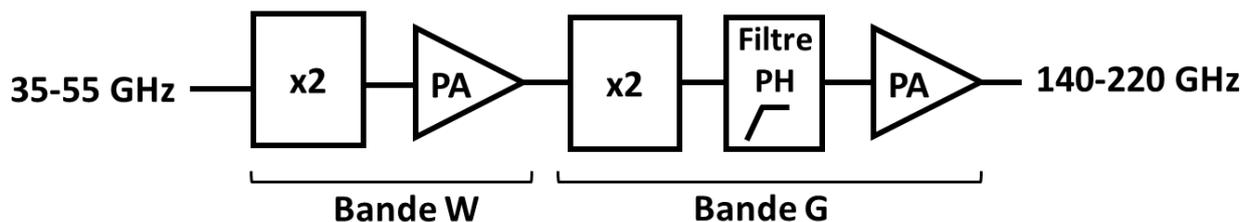


Figure 32 : Synoptique simplifié de la source de puissance

La source de puissance est composée d'un premier doubleur générant un signal à la deuxième harmonique dans la bande W 70-110 GHz. Ce signal est ensuite amplifié avant d'être appliqué à un second doubleur. L'amplificateur de puissance est optimisé autour de cette deuxième harmonique, permettant d'atténuer naturellement la porteuse fondamentale et éviter la saturation des étages supérieurs. En sortie du deuxième doubleur, un filtre passe haut filtre le second harmonique, fortement amplifié par l'amplificateur en bande W. Enfin un amplificateur en bande G permet d'amplifier le signal à l'harmonique 4, afin de compenser les pertes dues au filtre et de servir « d'isolateur » entre la sortie et les étages précédents. Enfin, pour obtenir suffisamment de puissance sur le signal de sortie à l'harmonique 4, nous proposons de réaliser deux branches en parallèle de façon à multiplier la puissance du signal par deux, soit un gain de 3 dB sur le signal de sortie. L'amplificateur en bande W est composé de 4 étages pour amplifier suffisamment le signal à l'harmonique 2 sans le distordre. L'amplificateur en bande G est formé quant à lui de 2 étages car il a pour rôle principal d'isoler la sortie du reste du circuit. En effet nous

ne cherchons pas des performances en puissance sur cet étage étant donné le gain des transistors en bande G. Un synoptique détaillé du multiplieur est décrit Figure 33 :

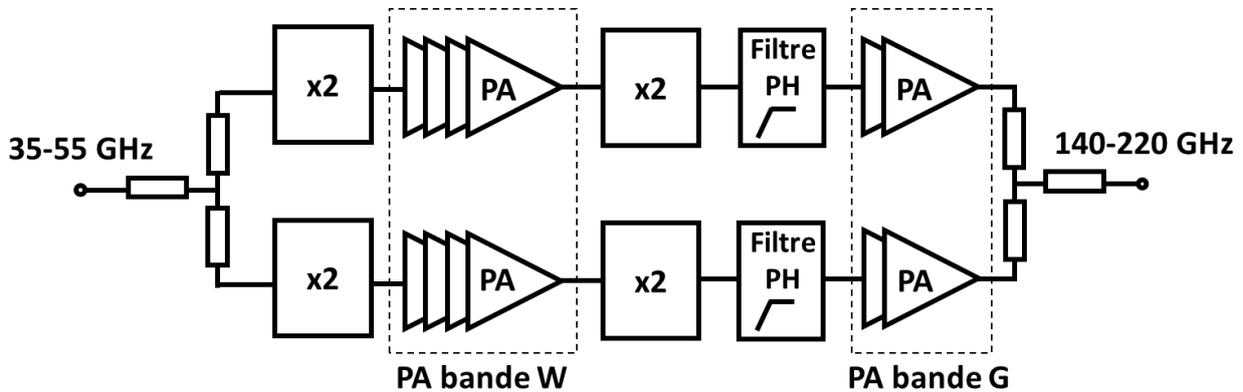


Figure 33 : Structure de la source de puissance

Un diviseur de signal en entrée, composé de lignes de transmission, va diviser en deux le signal provenant du générateur externe. Les longueurs de lignes ont été calculées pour obtenir une impédance de 50Ω en entrée dans la bande 35-55 GHz. L'impédance de sortie du diviseur de signal (splitter) est adaptée à l'impédance d'entrée du doubleur. Les pertes séries simulées sont de 5 dB à 37,5 GHz avec une isolation entre les deux branches de 11 dB. Ces pertes ne présentent pas d'inconvénient étant donné les forts niveaux de puissance fournis par le générateur de signaux en entrée.

Rappelons que nous avons fait le choix de réaliser un système non différentiel pour limiter les pertes présentées par les transformateurs à ces fréquences, c'est pourquoi les doubleurs et amplificateurs sont basés sur des structures non-différentielles. Ils sont uniquement constitués par des étages simples utilisant un transistor de type bipolaire en émetteur commun afin d'obtenir les meilleurs performances possibles en termes de puissance.

Nous allons à présent décrire la méthodologie de conception de chacun des blocs constituant le multiplieur de fréquence.

- Doubleur $f_0 \rightarrow 2.f_0$

La topologie du doubleur qui a été choisie est un étage bipolaire simple à émetteur commun. Pour créer un maximum d'harmonique 2, le transistor est polarisé en classe B en zone de fonctionnement fortement non linéaire. La puissance en entrée doit être suffisamment élevée pour faire comprimer le transistor afin qu'il génère des harmoniques. Le schéma du doubleur précédé du splitter (diviseur de signal) est présenté Figure 34 :

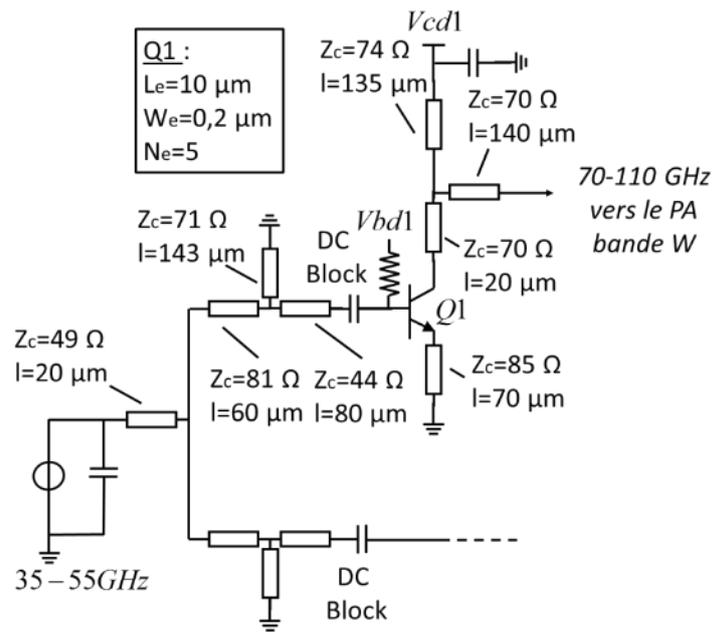


Figure 34 : schéma électrique du doubleur en bande W à un étage émetteur commun

La conception du doubleur suit les étapes suivantes :

- Détermination du point de polarisation optimale pour fonctionner en région fortement non-linéaire (classe B).
- Calcul des dimensions du transistor (longueur d'émetteur et nombre de doigts) pour optimiser le point de compression à 1dB de l'harmonique 2 en sortie. En effet ce dernier est proportionnel au courant de collecteur I_c , qui dépend des dimensions du transistor.
- Calcul du réseau d'adaptation pour charger le doubleur par son impédance optimale à l'harmonique 2.

Les dimensions optimales du transistor (en configuration CBEC) sont de 5 émetteurs d'une longueur de 10 μm . Il s'agit d'un transistor de taille importante car cela permet d'atteindre un point de compression à l'harmonique 2 élevé. Le collecteur et la base du transistor sont polarisés en zone fortement non linéaire à $V_c=1,2\text{V}$ et $V_b=0,8\text{V}$. Le courant de collecteur est limité à 1,7 mA afin de rester en classe B. Le réseau d'adaptation en sortie du doubleur est dimensionné pour présenter l'impédance qui permet au transistor de fournir un maximum de puissance à l'harmonique 2 dans la bande de fréquence 70-110 GHz. Pour déterminer cette impédance nous avons réalisé une simulation load-pull du transistor à l'harmonique 2 (H2) excité par l'harmonique fondamentale. Ainsi nous avons supprimé la partie imaginaire de l'impédance de sortie du transistor à la deuxième harmonique grâce à une inductance mise en parallèle. Une variation de la partie réelle de cette impédance a ensuite été effectuée pour maximiser la puissance de cette

harmonique. La Figure 35 montre l'évolution de cette puissance en fonction de la partie réelle présentée Z_{load} .

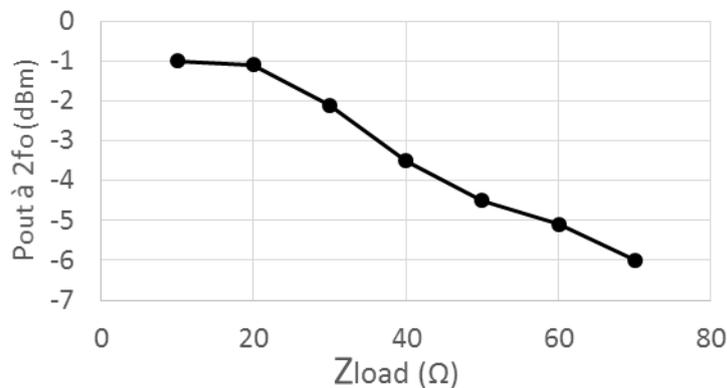


Figure 35 : Simulation de la variation de la puissance en sortie à $2.f_0$ en fonction de l'impédance réelle de charge pour un P_{in} à $f_0 = 4\text{dBm}$

Le réseau d'éléments passifs qui permet de générer l'impédance est constitué d'un stub microruban en parallèle et de capacités MIM assurant le découplage entre les signaux RF et DC. Ce réseau d'éléments passifs permet aussi de polariser le collecteur du transistor. Les lignes de transmissions couplées à des capacités intégrées sont couramment utilisées aux fréquences millimétriques [64], [65], [66]. Ces différents travaux montrent aussi qu'il est difficile de générer de faibles parties réelles d'impédances (en dessous de 20Ω) avec les lignes de transmission (voir également Annexe I). Les performances de ce doubleur, après optimisation de son impédance de charge à 20Ω , nous permet de générer un signal à $2f_0$ à -1 dBm lorsque celui-ci est excité avec un signal à la fréquence f_0 de 4 dBm de puissance incidente, soit un gain de -5 dB . Ce signal est ensuite amplifié à l'aide d'un amplificateur de puissance, que nous allons maintenant décrire.

- Amplificateur de puissance en bande W [70-110 GHz]

L'objectif de cet amplificateur est de rehausser fortement le deuxième harmonique généré par le premier doubleur de façon à arriver dans la zone de compression du deuxième doubleur, et ainsi générer une quatrième harmonique avec un niveau de puissance élevé. Pour obtenir suffisamment de gain en bande de fréquence millimétrique, il a été nécessaire de cascader plusieurs étages d'amplification. Pour notre application nous avons été amenés à réaliser un amplificateur de puissance à quatre étages câblés en émetteur commun et polarisés en classe A. Nous visons un gain d'au moins 15 dB tout en conservant un point de compression global supérieur à 10 dBm .

Nous avons ainsi choisi comme topologie le montage à émetteur commun car il offre un gain relativement élevé et une meilleure linéarité en sortie, contrairement au montage cascode. L'inconvénient de cette topologie est l'instabilité due à l'effet Miller. Afin de veiller à toujours être stables, nous rajoutons systématiquement une ligne de dégénérescence sur l'émetteur de chaque transistor, ramenant ainsi une partie réelle positive en entrée du montage. Cela permet également d'augmenter la linéarité de l'amplificateur au détriment de son gain. Le montage équivalent petit signal simplifié d'un transistor dégénéré par une ligne de transmission au niveau de l'émetteur est présenté Figure 36 :

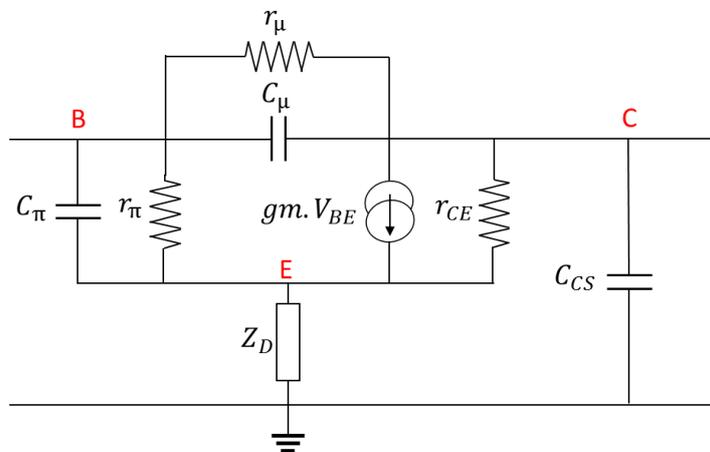


Figure 36 : Montage équivalent petit signal d'un transistor bipolaire avec une impédance de dégénération dans l'émetteur

On peut alors exprimer sa transconductance équivalente gm' , son impédance d'entrée r_{π}' et de sortie r_{ce}' équivalente en fonction de Z_D par les équations suivantes (en considérant $gm.r_{\pi} \gg 1$) :

$$gm' = \frac{gm}{1 + gm.Z_D} \quad (II.1)$$

$$C_{\pi}' = \frac{C_{\pi}}{1 + gm.Z_D} \quad (II.2)$$

$$r_{\pi}' = Z_D + r_{\pi}(1 + gm.Z_D) \quad (II.3)$$

$$r_{CE}' = r_{CE}(1 + gm(Z_D/r_{\pi})) \quad (II.4)$$

Nous voyons que l'impédance Z_D participe à la stabilité de l'émetteur commun en réduisant la capacité d'entrée équivalente C_{π}' . Cependant les résistances d'entrée et de sortie sont

augmentées. De plus, la réduction de la transconductance gm' participe à la linéarité de l'amplificateur et nous permet d'atteindre des points de compression plus élevés en sortie de l'amplificateur. Les dimensions de cette ligne de transmission sont déterminées plus loin.

Chaque étage d'amplification est polarisé en classe A, qui est la classe de fonctionnement offrant la meilleure linéarité ainsi que le gain et le point de compression les plus élevés. Ainsi, l'optimum en termes de linéarité et de puissance de sortie est obtenu lorsque la tension de sortie aux bornes du transistor varie entre $V_{ce,sat}$ et V_{max} . V_{max} est la tension maximale qu'il est possible d'appliquer sur le collecteur du transistor et qui dépend de la technologie utilisée. Ainsi, la variation de tension en sortie maximum est de $V_{var} = V_{max} - V_{cesat} = 2V_{cc} - V_{ce,sat}$.

D'après la littérature et les différents travaux de thèse effectués sur les amplificateurs de puissances millimétriques [64] [67], il faut tout d'abord polariser les transistors à leur pic f_T pour maximiser leurs performances. Ce pic f_T est une donnée technologique obtenue d'après les données technologiques pour une densité de courant de $J_c=16 \text{ mA}/\mu\text{m}^2$ [68]. Le courant de notre transistor s'exprime donc approximativement par :

$$I_c \approx J_c \cdot L_e \cdot W_e \cdot N_e \quad (\text{II.5})$$

Avec L_e la longueur d'émetteur, W_e la largeur d'émetteur et N_e le nombre d'émetteur.

De plus, un transistor qui fonctionne en classe A, présente un courant de polarisation I_{DC} qui s'exprime selon la partie réelle de son impédance de charge Z_{load} et sa tension de polarisation V_{cc} par la relation :

$$I_{DC} = \frac{V_{CC}}{Re(Z_{load})} \quad (\text{II.6})$$

D'après les travaux [69], on peut exprimer la puissance maximum P_{MAX} en sortie du transistor par :

$$P_{MAX} = \frac{I_{DC} \cdot (V_{CC} - V_{ce,sat})}{2} \quad (\text{II.7})$$

Ainsi, pour une puissance de sortie P_{MAX} voulue et une tension d'alimentation donnée V_{cc} , on peut déterminer le courant de polarisation I_{dc} ainsi que les dimensions du transistor.

Rappelons que le doubleur en amont génère un signal composé de la fondamentale et d'une harmonique d'ordre 2 déjà distordue. Cherchant à amplifier cette deuxième harmonique il est donc impératif de dimensionner le premier transistor de cet amplificateur en bande W avec des dimensions suffisamment importantes pour ne pas comprimer le signal dès le premier étage tout en conservant un gain d'au moins 5 dB. En prenant l'exemple du premier étage d'amplification où on cherche un P_{max} d'au moins 10 dBm, on obtient un courant de polarisation de 30 mA pour $L_e=10 \mu m$, $W_e=0,2 \mu m$ et $N_e=3$ avec une tension $V_{ce}=1.2V$ et une charge de 20Ω . Cette charge, comme expliqué plus haut, est la plus petite synthétisable avec nos réseaux de passifs intégrés et correspond à la charge optimale à présenter en sortie de nos étages.

Nous répétons la procédure pour chaque étage d'amplification tout en conservant un point de compression suffisamment élevé, ce qui implique de conserver des tailles de transistors suffisamment élevées d'un étage à l'autre. En effet, le point de compression de sortie de l'étage n doit toujours être supérieur au point de compression d'entrée de l'étage $n+1$. Il faut ensuite dimensionner les réseaux d'adaptation d'entrée et de sortie de chaque étage afin de présenter la charge optimale pour maximiser la puissance de sortie et s'adapter à l'entrée de l'étage suivant. Ces réseaux sont constitués de lignes de transmission utilisées en stub et de capacités MIM. Le schéma électrique de l'amplificateur en bande W est présenté Figure 37 avec toutes les dimensions et valeurs des éléments actifs et passifs.

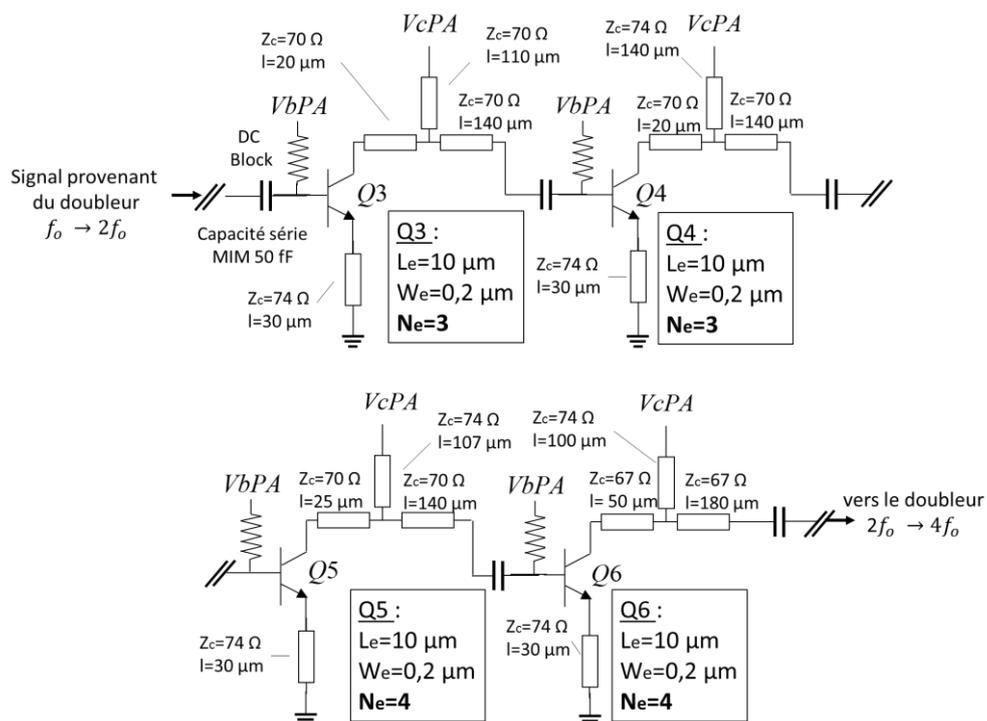


Figure 37 : Schéma de l'amplificateur de puissance en bande W

Les transistors Q3 et Q4 ont 3 émetteurs d'une longueur de 10 μm et ont un courant de polarisation de 30 mA. Les transistors Q5 et Q6 ont 4 émetteurs d'une longueur de 10 μm et ont un courant de polarisation de 33 mA. Les réseaux d'adaptation et de synthétisation de l'impédance optimale sur chacun des étages permettent également de filtrer et d'atténuer le signal à la fréquence fondamentale. Sur la Figure 38 nous montrons le niveau de puissance du signal à la fondamentale et à l'harmonique 2 en sortie de l'amplificateur. Nous observons une amplification de 15 dB de l'H2 et une atténuation de -45 dB sur la fondamentale par rapport au signal d'entrée (fixé à $f_0=37,5$ GHz dans cet exemple).

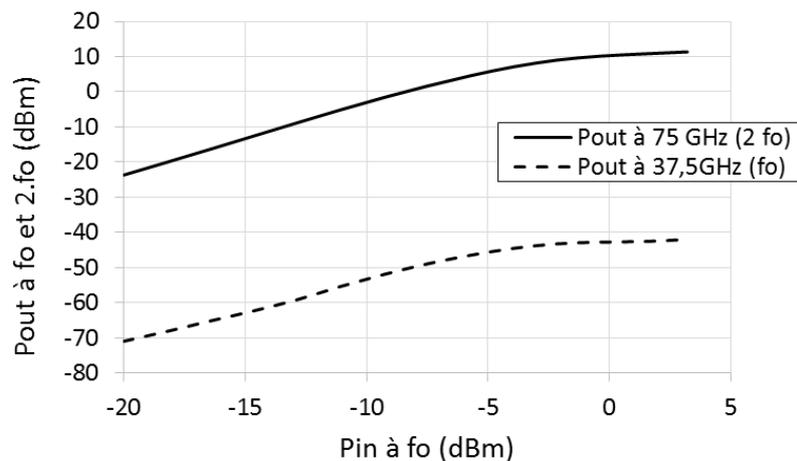


Figure 38 : Simulation de la puissance de sortie à f_0 (37,5 GHz) et $2.f_0$ (75 GHz) en sortie de l'amplificateur en bande W, en fonction de la puissance d'entrée à f_0

Ce signal est ensuite injecté dans un second doubleur, qui est facilement amené en compression grâce aux niveaux de puissance du signal à l'H2 obtenus. Cela permet d'obtenir une puissance suffisamment importante à l'H4.

- Doubleur $2.f_0 \rightarrow 4.f_0$

L'harmonique 2, fortement amplifiée par l'étage d'amplification précédent, permet d'amener le transistor Q2 en saturation. Ce dernier, polarisé en classe B génère un harmonique 4. La topologie du deuxième doubleur est identique au premier dont le circuit est détaillé ci-dessous :

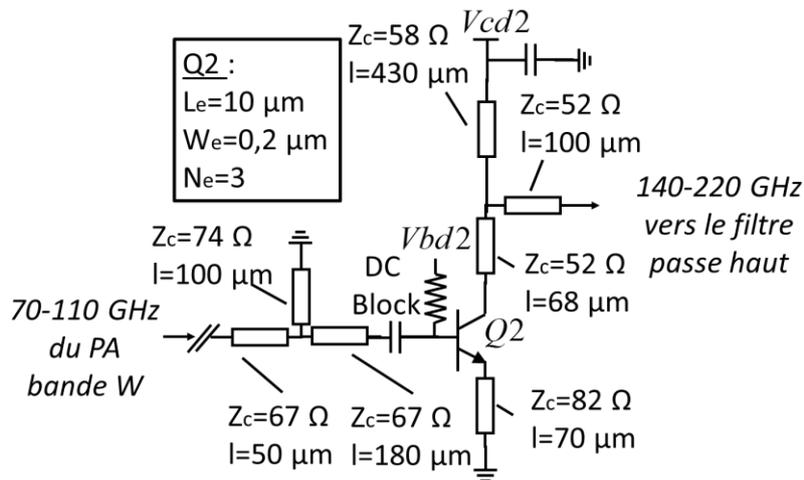


Figure 39 : Doubleur de l'harmonique 2 vers l'harmonique 4

La méthodologie de conception de cet étage est identique au 1^{er} doubleur. La Figure 40 présente la puissance simulée du signal en sortie du deuxième doubleur à $4f_0 = 150$ GHz et $2f_0 = 75$ GHz en fonction de la puissance du signal à $f_0 = 32,5$ GHz en entrée du premier doubleur :

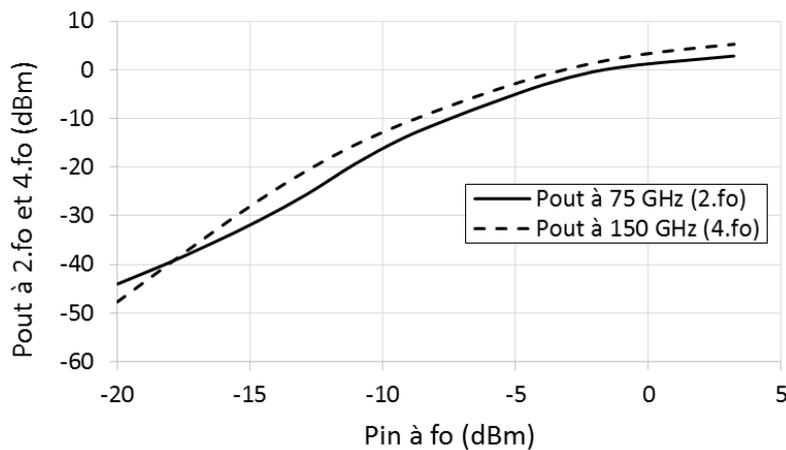


Figure 40 : Simulation de la puissance de sortie à $2.f_0$ (75 GHz) et $4.f_0$ (150 GHz) en fonction de la puissance d'entrée à la sortie du deuxième doubleur

Nous constatons cependant que le niveau de l'harmonique 2 reste important en sortie du deuxième doubleur car il a été fortement amplifié par les étages précédents. L'ajout d'un filtre passe haut est alors indispensable afin d'obtenir un signal propre à la quatrième harmonique et ainsi éviter de saturer les étages d'amplification à $4f_0$.

- Filtre passe haut

Le filtre passe haut est composé de deux étages, chacun composé d'une ligne de transmission en série avec une capacité MIM de 50 fF. Son schéma électrique est présenté Figure 41 :

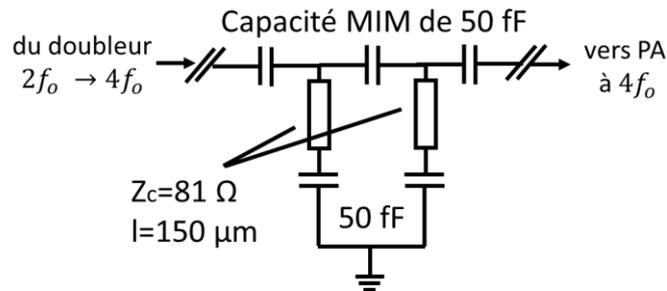


Figure 41 : Filtre passe haut

Les capacités séries de liaisons permettent déjà de filtrer en partie les faibles fréquences. Afin de créer une résonance et ainsi atténuer fortement les fréquences hors de la bande G, nous rajoutons deux circuits passifs résonnants qui ont une fréquence de coupure à environ 95 GHz. Les performances en paramètres S mesurées et simulées de ce filtre sont présentées ci-dessous :

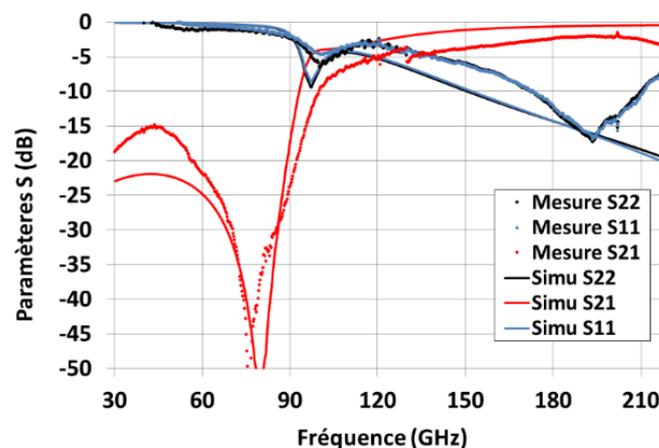


Figure 42 : Mesures et simulations des paramètres S du filtre entre 30 et 220 GHz

Ce filtre, d'après la Figure 42 permet d'atténuer l'harmonique 2 d'au moins 20 dB jusqu'à 95 GHz. Les pertes du filtre varient au maximum de 3,6 dB à 130 GHz et au minimum de 2,1 à 190 GHz en mesure. Cela nous assure en sortie du filtre un signal à l'harmonique 4 dispensé de fréquences indésirables à l'H2 et à la fondamentale. Nous vérifions par une simulation de type « harmonique balance » l'atténuation de l'H2 Figure 43 :

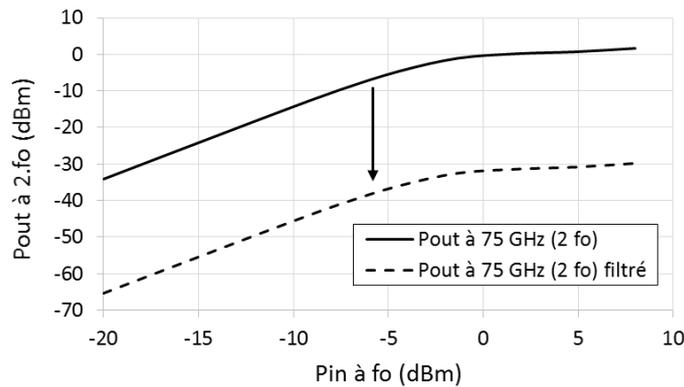


Figure 43 : Simulation de la puissance du signal à l'harmonique 2 avant et après filtrage, en fonction de la puissance du signal à f_0

Le signal à l'H2 en sortie du filtre est atténué de 30 dB. Enfin notre signal est amplifié par un dernier étage d'amplification réalisé en bande G.

- Amplificateur de puissance en bande G [140-220 GHz]

La topologie de l'amplificateur est identique à l'amplificateur en bande W, c'est-à-dire deux étages cascades en émetteur commun et polarisés en classe A. Son schéma électrique est présenté Figure 44 :

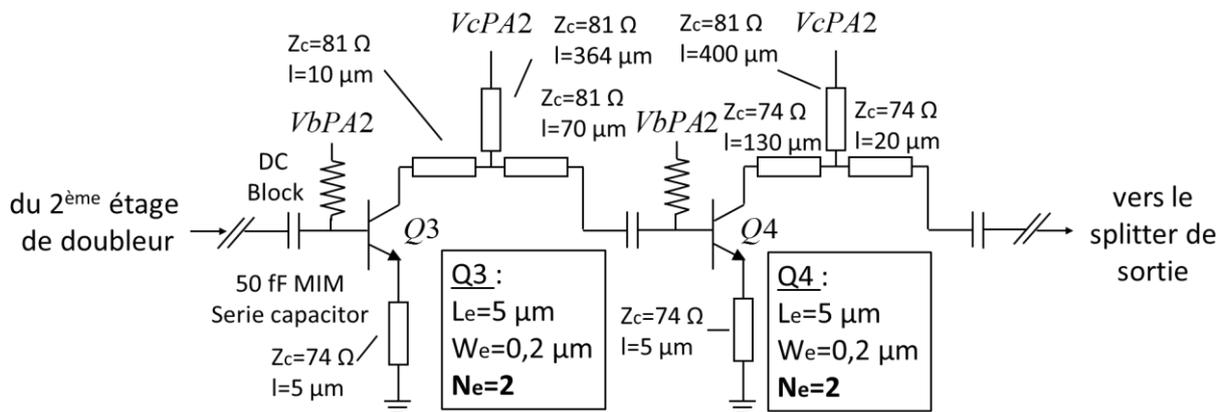


Figure 44 : Schéma électrique de l'amplificateur en bande G

Chaque transistor est composé de deux émetteurs d'une longueur de 5 μm . A ces fréquences les transistors ont un faible gain, c'est pourquoi nous privilégions des transistors de petite taille tout en conservant un point de compression suffisant. Les deux étages sont polarisés à $V_{ce} = 1,3 \text{ V}$ et $V_{be} = 0,9 \text{ V}$ ce qui correspond à leur pic f_T , avec un courant de collecteur de 20 mA. Les réseaux d'adaptation d'entrée et de sortie, composés de lignes en parallèle et de capacités MIM, permettent de présenter une partie réelle d'impédance optimale autour de 20 Ω en sortie de chaque étage. Cela permet d'atteindre un point de compression en sortie supérieur à 10 dBm

tout en conservant un gain d'au moins 3 dB. La stabilité est assurée grâce à une ligne de dégénérescence dans l'émetteur. L'étage de sortie (Q4) joue également le rôle « d'isolateur » entre les étages en amont et la sortie du quadrupleur. L'objectif étant de limiter la variation de la puissance de sortie en fonction de l'impédance de charge présentée par le dispositif sous test, qui ne sera pas nécessairement 50 Ω .

Enfin, les deux branches sont recombinaées par l'intermédiaire d'un recombineur de puissance (splitter) afin de gagner 3 dB de puissance en sortie. Les lignes de transmission qui servent à polariser le collecteur du dernier étage constituent également le recombineur, il n'y a ainsi pas de pertes directement liées à la recombinaison.

Les performances mesurées grand signal de cette source de puissance vont être maintenant présentées ainsi que les caractéristiques petits signaux en paramètres S.

II.2.4. Performances mesurées de la source de puissance

La Figure 45 présente la photographie de la puce intégrant la source de puissance. La taille du circuit est de 1,7 x 1,35 mm² :

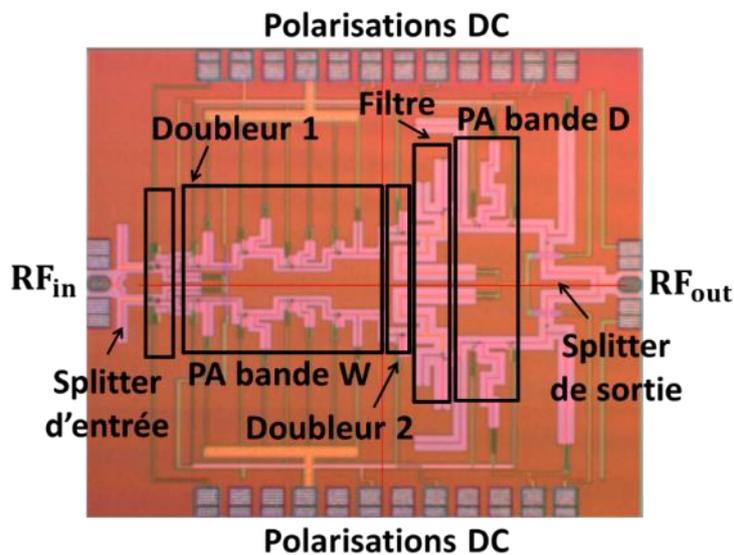


Figure 45 : Micro-photographie de la source de puissance

La caractérisation en paramètres S a été réalisée avec un analyseur vectoriel de réseau (VNA) fonctionnant entre 10 MHz et 20 GHz et qui est combiné avec des têtes millimétriques permettant d'effectuer la mesure entre 140 et 220 GHz. La Figure 46 montre le paramètre S₂₂ simulé et mesuré du quadrupleur.

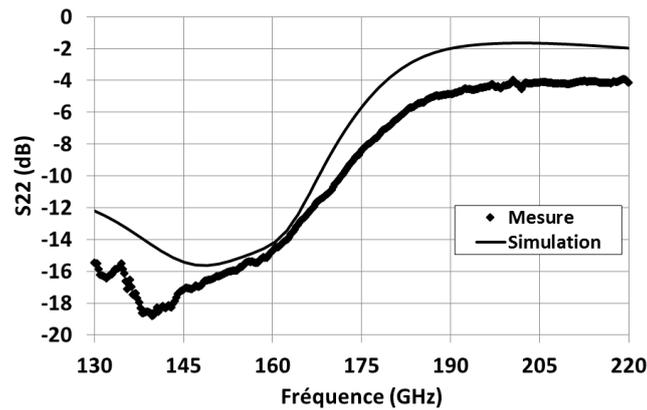


Figure 46 : Paramètre S de sortie du quadrupleur en fonction de la fréquence

Nous obtenons en mesure un paramètre S_{22} inférieur à -10 dB entre 130 et 171 GHz ce qui nous assure une impédance de sortie relativement constante et proche de 50Ω sur une large bande de fréquence.

La caractérisation en puissance utilise un générateur de signaux externe qui permet d'injecter un signal d'entrée entre 30-40 GHz. La détection de la puissance de sortie peut s'effectuer à l'aide d'un détecteur de puissance PM5 de Erickson (Calorimètre) ou bien avec un analyseur de spectre. La méthode de détection qui utilise un analyseur de spectre est présentée Figure 47 :

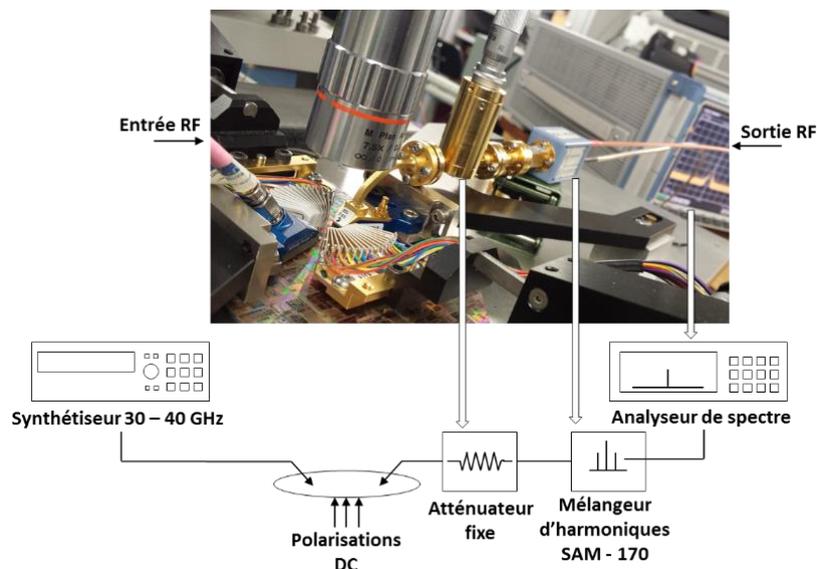


Figure 47 : Caractérisation en puissance utilisant un analyseur de spectre

L'analyseur de spectre est précédé d'un mélangeur permettant de transposer le signal dans sa bande de fréquence de fonctionnement (10 MHz-20 GHz). L'atténuateur fixe atténue le

signal en sortie de quadrupleur afin de ne pas saturer le mélangeur. Nous avons choisi une atténuation de 20 dB.

La seconde méthode de caractérisation consiste à utiliser un calorimètre (détecteur de puissance PM5). Le principe de la calorimétrie a déjà été expliqué dans le premier chapitre. La calorimétrie mesure sur toute la bande de fréquence et ne permet pas une mesure bande étroite. Dans le cas où des signaux brouilleurs parasites sont présents dans le spectre, cela va augmenter le niveau de puissance totale et donner une mesure erronée de la puissance réelle du signal à $4 f_0$. Il n'est donc pas possible de vérifier qu'on dispose bien d'une seule harmonique avec cette méthode. Cependant, les guides d'ondes WR5 utilisés à ces fréquences sont équivalents à des filtres passe haut avec une fréquence de coupure de 116 GHz. Ainsi, cela nous assure que toute la puissance mesurée au calorimètre est une somme de puissances pour des signaux au-delà de 116 GHz. Le banc de caractérisation en puissance avec un PM5 est présenté Figure 48 :

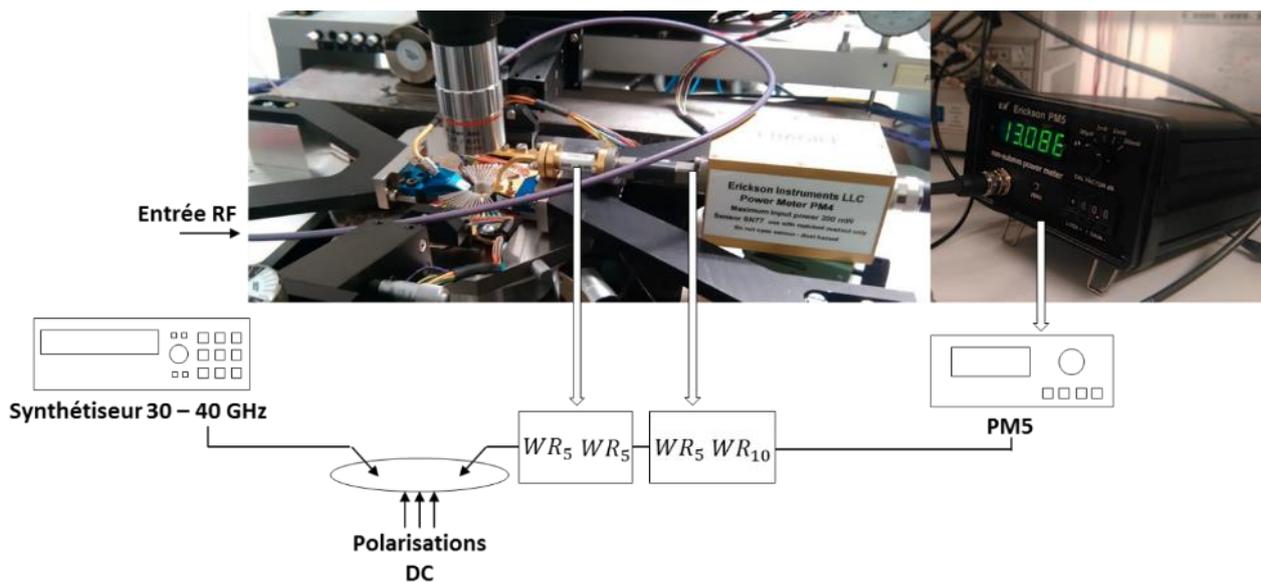


Figure 48 : Caractérisation en puissance utilisant un PM5

La mesure et la simulation de la puissance de sortie du quadrupler à 140 GHz, en fonction de la puissance du signal d'entrée à 35 GHz au niveau du pad, sont présentées sur la Figure 49. La mesure effectuée a été réalisée avec les deux méthodes, présentées Figure 47 et Figure 48. Les simulations des puissances de sortie à f_0 et $2f_0$ sont également présentées afin de contrôler la bonne rejection de ces harmoniques. Cependant, la mise en place d'une mesure entre 30 et 110 GHz permettant de connaître leurs niveaux de puissances n'a pas pu être effectuée par manque de temps.

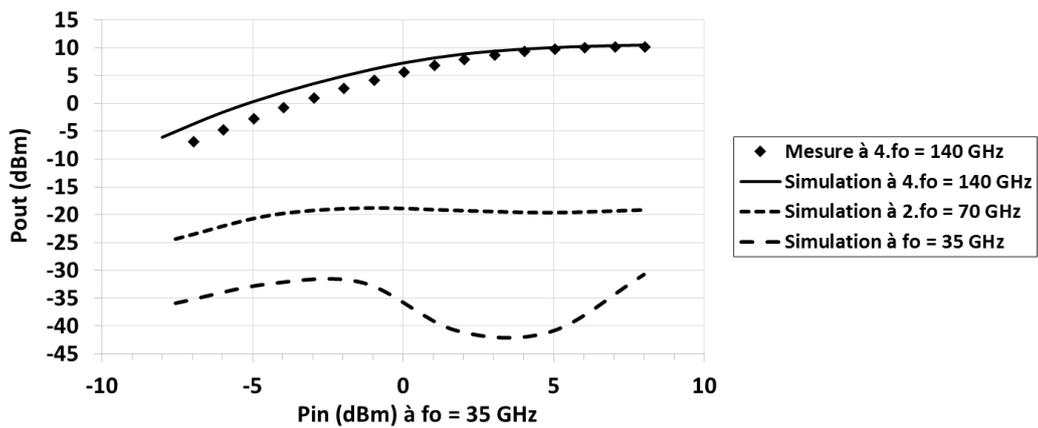


Figure 49 : Puissance de sortie à $4f_0=140$ GHz en fonction de la puissance d'entrée à $f_0=35$ GHz

Une puissance maximum de 10 dBm est mesurée en sortie à 140 GHz pour une puissance d'entrée de 5 dBm, ce qui correspond à un gain de conversion de 5 dB. La mesure et la simulation de la puissance de sortie en fonction de la fréquence pour une puissance d'entrée constante de 5 dBm sont présentées ci-dessous :

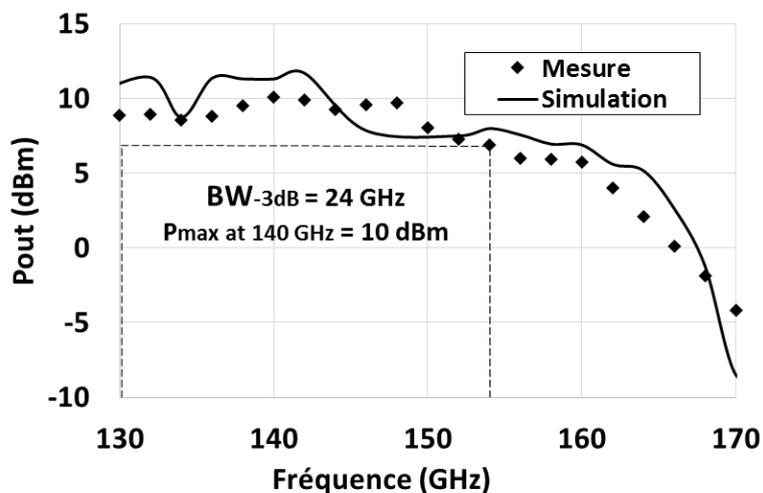


Figure 50 : Mesure de la puissance de sortie du quadrupleur en fonction de la fréquence pour une puissance d'entrée de 5 dBm

Une puissance de sortie constante de 9 dBm est obtenue entre 130 et 149 GHz avec une bande passante à -3 dB de 24 GHz. Une bonne corrélation entre les simulations et les mesures est observée. Les polarisations des amplificateurs en bande W et G sont identiques et fixées à des tensions de $V_{ce}=1,3V$ et $V_{b_{plot}}=1,1V$ (correspondant à un $V_{be}\sim 0,9V$). Le courant total de collecteur du premier amplificateur s'élève à 330 mA et du second amplificateur à 90 mA. Ces courants sont plus élevés que ceux obtenus en simulation car nous avons choisi de légèrement augmenter la tension de polarisation de ces amplificateurs ($V_{b_{plot}}=1,1V$) dans le but d'obtenir une puissance plus

élevée en sortie. Les doubleurs sont polarisés à $V_{ce}=1,3V$ et $V_b=0,8V$ avec des courants de collecteurs respectivement de 1,7 mA et 1 mA. Ces tensions de polarisation respectent les niveaux de tension autorisés par la technologie. Il est possible d'atteindre des niveaux de puissance plus élevés en augmentant d'avantage les courants de collecteurs des amplificateurs de puissances mais nous ne respecterions plus les règles de fiabilité des transistors [16].

La consommation totale du circuit est de 0,55 W ce qui est relativement élevé comparé à l'état de l'art. Cela se justifie par la présence d'amplificateurs de puissance en bande W, nécessaires pour amplifier la seconde harmonique. Ceci n'est pas le cas lorsque seul un doubleur constitue le multiplieur [53] [51], qui dispose dès l'entrée d'un signal élevé en fréquence et en puissance et donc ne nécessite pas l'ajout d'amplificateurs aux harmoniques inférieures. Le fort niveau de puissance obtenu en sortie (10 dBm à 140 GHz) se justifie également par cette consommation, ce qui n'est pas une contrainte pour notre application.

Les performances de notre quadrupleur viennent d'être présentées pour une impédance de charge de 50 Ω . Cependant dans le cadre de notre application, les impédances présentées sur sa charge sont les impédances d'entrées du DST. De plus, le DST est chargé par le tuner ce qui amène une variation son impédance d'entrée (capacitive). Notons que notre application vise plutôt la caractérisation de DST de type bipolaire utilisé pour les applications en bande G. Ainsi, l'impédance d'entrée de ces dispositifs et par conséquent la puissance injectée, est relativement peu influencée par la charge qui lui est présentée. Ceci est dû au faible couplage entrée-sortie en configuration émetteur commun des dispositifs bipolaires.

Nous avons vérifié par simulation, la variation de la puissance en sortie du dernier étage du quadrupleur pour différentes impédances de charges. Ainsi, la puissance générée par la source diminue d'environ 1 dB par rapport à sa puissance sous 50 Ω , pour une impédance de charge correspondant aux impédances présentées par un DST de type bipolaire (soit environ $Z_{in_DST}= 20 \Omega$ et 53 fF à 150 GHz pour un bipolaire d'une longueur d'émetteur de 5 μm en configuration CBEBBC).

Enfin, nous avons situé notre quadrupleur par rapport à l'état de l'art dans le tableau suivant :

Ref	Structure	Techno.	BP -3 dB (GHz)	P_{max} (dBm)	Gain de conv. max (dB)	Conso. (mW)	Année
[51]	Doubleur push-push	45 nm SOI CMOS	142-158 (16 GHz)	3,5	-4,5	25	2014
[52]	ICS (inter coupling Superposition)	0,35 μ m SiGe	124-132,5 (8,5 GHz)	4,4	2,4	115	2015
[53]	Doubleur push-push	0,13 μ m SiGe	138-170 (32 GHz)	5,6	4,9	36	2016
Ce travail	Quadrupleur	55 nm BiCMOS	130-154 (24 GHz)	10	5	550	2016

Tableau 8 : Spécifications et performances mesurées du quadrupleur par rapport à l'état de l'art

D'après le Tableau 8, les performances de notre source de puissance sont à l'état de l'art avec une puissance de sortie maximum de 10 dBm à 140 GHz et une bande passante à -3 dB de 24 GHz sous 50 Ω . Ces travaux ont fait l'objet d'une publication internationale IEEE au « Bipolar/BiCMOS Circuits and Technology Meeting (BCTM) » [70] ainsi que d'une publication dans le journal IEEE « Microwave and Wireless Components Letters (MWCL) » [71].

Nous allons à présent décrire la conception du synthétiseur d'impédances intégré.

II.3. Conception du synthétiseur d'impédances

Le deuxième élément de notre banc de caractérisation grand signal est le synthétiseur d'impédances. Ce circuit présente en sortie du dispositif sous test différentes impédances de charge. Ceci permet de déterminer ses impédances optimales lors de l'acquisition des différents niveaux de puissance de sortie en fonction des états du tuner et par conséquent les performances en puissance du DST. Dans le premier chapitre nous avons décrit les limitations des tuners actuellement disponibles pour la caractérisation directement sur puce aux bandes de fréquences millimétriques. En effet l'utilisation de tuners d'impédance mécaniques commerciaux a révélé des pertes importantes entre le tuner et le dispositif sous test (DST), dues aux câbles et aux sondes, limitant significativement le coefficient de réflexion maximal pouvant être présenté au DST. Par conséquent, au-delà de 75 GHz, l'utilisation de tuners externes reste très limitée à des niveaux d'impédances optimales proches de 50 Ω . Ces contraintes ont motivé le développement de tuners intégrés sur silicium dans la bande W- (75-110 GHz) [72] [73] [74] et dans la bande D [74] [75] [76]

[77] (130-170 GHz) que nous allons décrire brièvement dans un premier temps. Ceci nous permettra d'asseoir le développement d'un tuner qui réponde aux besoins spécifiques à la caractérisation load pull dans ces domaines de fréquences.

II.3.1. Cahier des charges du synthétiseur d'impédances

Le tuner doit synthétiser un jeu d'impédances autour des impédances de charges optimales des dispositifs sous test, c'est à dire avec une partie imaginaire positive ainsi qu'un coefficient de réflexion Γ au moins égal à 0.6. En effet, aux fréquences millimétriques et au-delà, les impédances de charges optimales des transistors (MOS et bipolaires) sont systématiquement inductives, comme nous l'avons expliqué dans le Chapitre 1 (Figure 14). Idéalement, l'ensemble des impédances synthétisées doivent rester localisées dans la partie supérieure de l'abaque de Smith, pour permettre une caractérisation load-pull large bande. De plus, le tuner doit être linéaire en fonction de la puissance injectée afin de ne pas fausser la caractérisation. Rappelons les spécifications du tuner dans le Tableau 9 suivant :

Coefficient de réflexion Γ	$\Gamma > 0,6$
Conservation de la linéarité en fonction du niveau de puissance	Linéarité conservée pour des puissances = 10 dBm
Impédances	- Inductives quelle que soit la fréquence - Autour du Γ_{opt} des DST

Tableau 9 : Spécifications du tuner d'impédance

Nous allons à présent étudier les différentes structures de tuners intégrés sur silicium qui ont été développées dans la littérature en bande de fréquence millimétrique.

II.3.2. État de l'art de la génération d'impédances en hyperfréquence

Dans le but de réaliser un banc de caractérisation en bruit intégré dans la bande de fréquence 60-110 GHz, Y. Tagro a réalisé un tuner en technologie 65 nm SOI à l'université de Lille Figure 51 [78]. Le schéma électrique et les performances du tuner sont présentés Figure 51. L'objectif consiste à extraire les 4 paramètres de bruit d'un transistor nMOS en technologie SOI 65 nm, à savoir son bruit minimum NF_{min} , sa résistance R_n ainsi que la partie réelle et la partie imaginaire du coefficient de réflexion optimal Γ_{opt} .

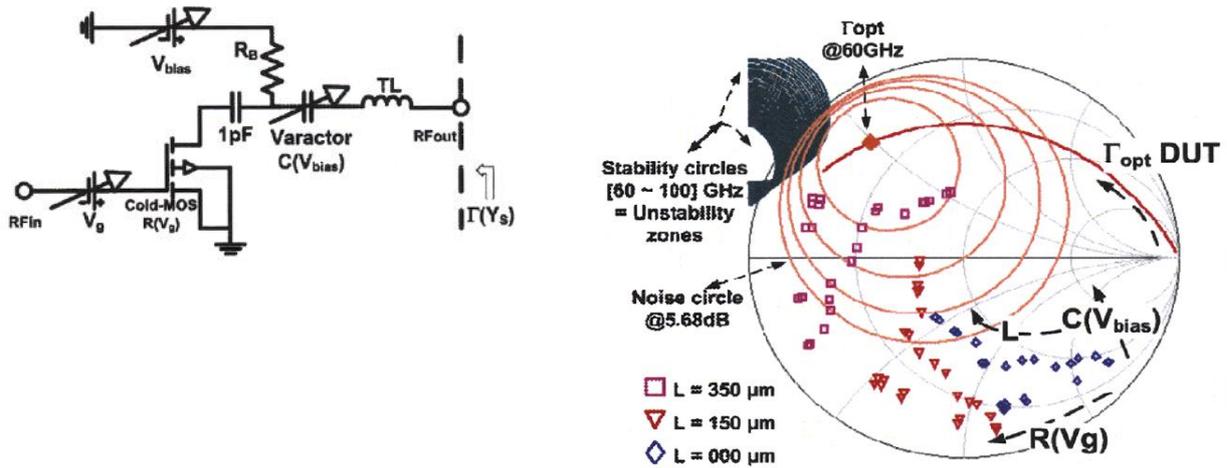


Figure 51 : Tuner intégré pour une caractérisation en bruit en technologie 65 nm HR SOI [18]

Ce tuner est réalisé à base d'un nMOS froid (fonctionnant comme un élément passif contrôlé sur sa grille) en série avec un varactor (capacité MOS variable) et une ligne de transmission. La Figure 51 présente les différentes impédances synthétisées par le tuner pour trois longueurs de lignes différentes entre 60 et 110 GHz. Le nMOS, contrôlé sur sa grille (drain flottant) permet de modifier la partie réelle de l'impédance et le varactor la partie imaginaire. L'objectif est de présenter des impédances autour du coefficient de réflexion optimale Γ_{opt} tout en évitant les cercles d'instabilité que présente le DST. Cependant, pour couvrir l'ensemble des valeurs d'impédance permettant la caractérisation, trois tuners sont nécessaires, soit 3 longueurs de lignes différentes, correspondant à trois structures de test différentes, ce qui n'est pas compatible avec les contraintes industrielles en termes de temps de tests et de coût (surface utilisée sur la plaque de silicium).

Une alternative au varactor présentée Figure 52 est d'utiliser des capacités commutées DTC (digitally tuned capacitor) pouvant offrir une meilleure couverture d'impédance grâce à cinq bits de contrôle [75, 79]. On obtient ainsi 32 états d'impédance soit un rapport C_{max}/C_{min} de 9 contre 3,5 pour le varactor [78]. La couverture d'impédance obtenue en remplaçant le varactor par une DTC est présentée Figure 53.

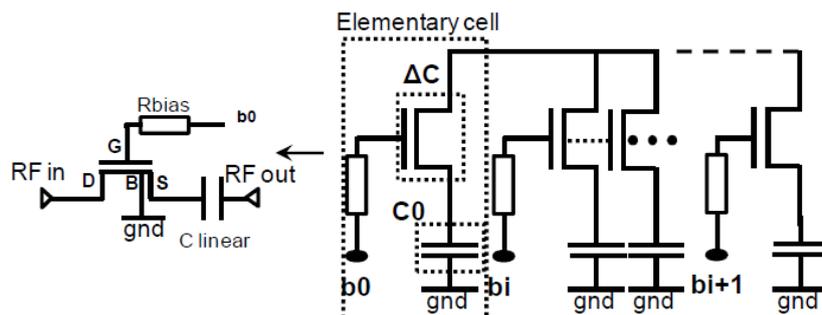


Figure 52 : Schéma de la DTC développé par R. Debroucke [79]

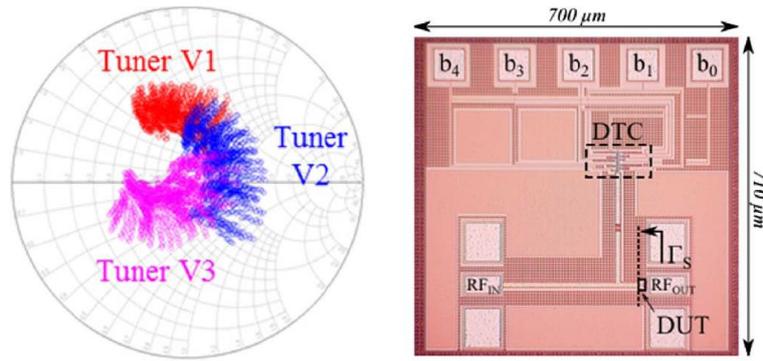


Figure 53 : Performances du tuner développé par M. Deng en utilisant une DTC [75]

L'université de Linz a également récemment développé un tuner fonctionnant entre 70 et 170 GHz réalisé en technologie 130 nm CMOS [77]. Ces travaux mettent en avant la simplicité du tuner qui est uniquement réalisé à base de 20 transistors MOS commutés en parallèle. Le modèle équivalent d'une cellule (MOS + ligne) est représenté par une résistance variable et une ligne de transmission variable Figure 54.

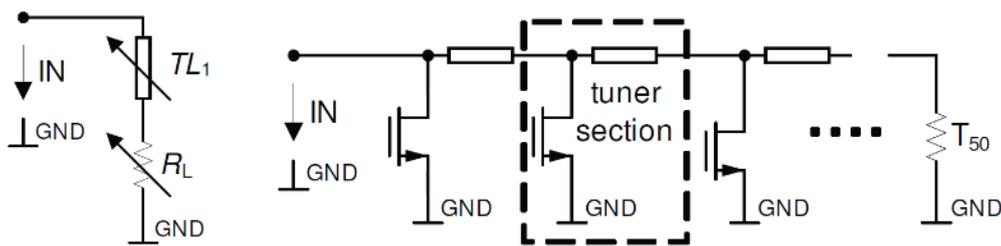


Figure 54 : Tuner contrôlé numériquement (droite), chaque cellule est équivalente à une résistance et ligne de transmission variable (gauche) [77]

Sur la Figure 55(a), la longueur équivalente de ligne de transmission TL_1 dépend du nombre de MOS du tuner qui ont été commuté à l'état OFF en entrée. La résistance variable R_1 est quant à elle générée par les MOS suivants commutés à l'état ON. Enfin, la longueur de la ligne TL_T dépend du nombre de MOS polarisé à l'état OFF en sortie. La dernière cellule T_{50} est représentée par une charge 50Ω .

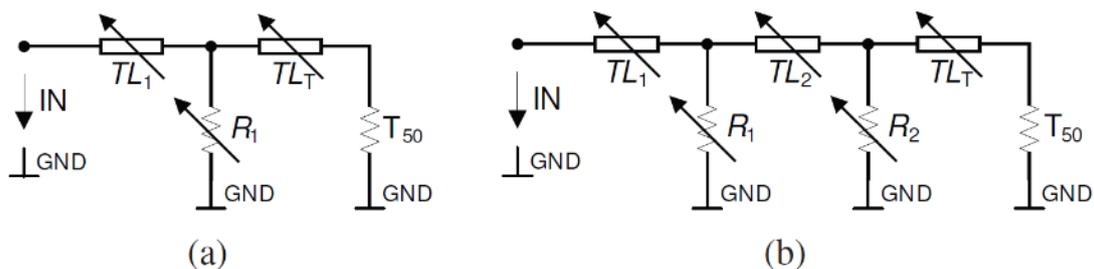


Figure 55 : (a) modèle équivalent du tuner polarisé de tel sorte à obtenir 2 lignes de transmissions variables et une résistance variable (b) modèle équivalent du tuner avec une TL et une résistance variable en plus permettant d'augmenter le nombre d'état [77]

Dans le but d'augmenter le nombre d'états du tuner, deux composants variables TL_2 et R_2 sont ajoutés Figure 55(b). Le principe est le même que celui décrit précédemment. Les performances de ce tuner sont présentées Figure 56 et correspondent aux deux états présentés Figure 55(a) et (b).

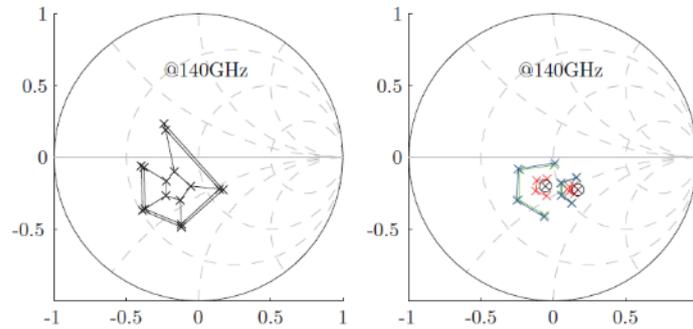


Figure 56 : Résultats de mesures du tuner à 140 GHz selon les 2 états de la Figure 55 [77]

Bien que ce tuner soit large bande (70-140 GHz), il ne présente pas des impédances dans les zones d'impédances qui nous intéressent car elles sont capacitives. Enfin, dans les articles [75] et [76], les tuners présentent un ensemble restreint d'impédances synthétisées ($\Gamma < 0.4$) et une faible bande de fréquence utilisable, rendant impossible la caractérisation de transistors de différentes tailles.

Nous venons de présenter différents tuners d'impédances qui existent aujourd'hui aux fréquences millimétriques. La principale difficulté rencontrée dans leur réalisation est d'obtenir une constellation d'impédances suffisante et dans des zones d'impédances inductives. Y. Tagro propose une structure qui nécessite l'utilisation de 3 circuits différents avec 3 longueurs de lignes différentes [78]. M. Deng a proposé de remplacer le varactor par une banque de capacité commutée (DTC) [79] pour étendre la couverture d'impédance mais malgré cela, 3 circuits sont encore nécessaires pour obtenir une couverture d'impédance acceptable [75]. Enfin, le tuner développé par l'université de Linz utilise des transistors commutés en parallèle. L'impédance équivalente d'un transistor étant capacitive, la couverture d'impédance de ce tuner se situe alors majoritairement dans la partie inférieure de l'abaque de Smith, ce qui n'est pas applicable dans notre application.

Nous présentons dans la partie suivante le développement d'un tuner intégré en technologie BiCMOS 55 nm et qui doit répondre à notre cahier des charges présenté Tableau 9.

II.3.3. Méthodologie de conception et implémentation du synthétiseur d'impédances

Après avoir étudié l'ensemble des topologies de tuner utilisables aux fréquences millimétriques, nous avons choisi de développer un tuner en utilisant le phénomène dit de « travelling wave » existant à haute fréquence [80]. C'est-à-dire que nous cherchons à réaliser une ligne de transmission « variable » en la chargeant, à différents points, avec des éléments d'impédances appelés cellule unitaire comme présenté Figure 57.

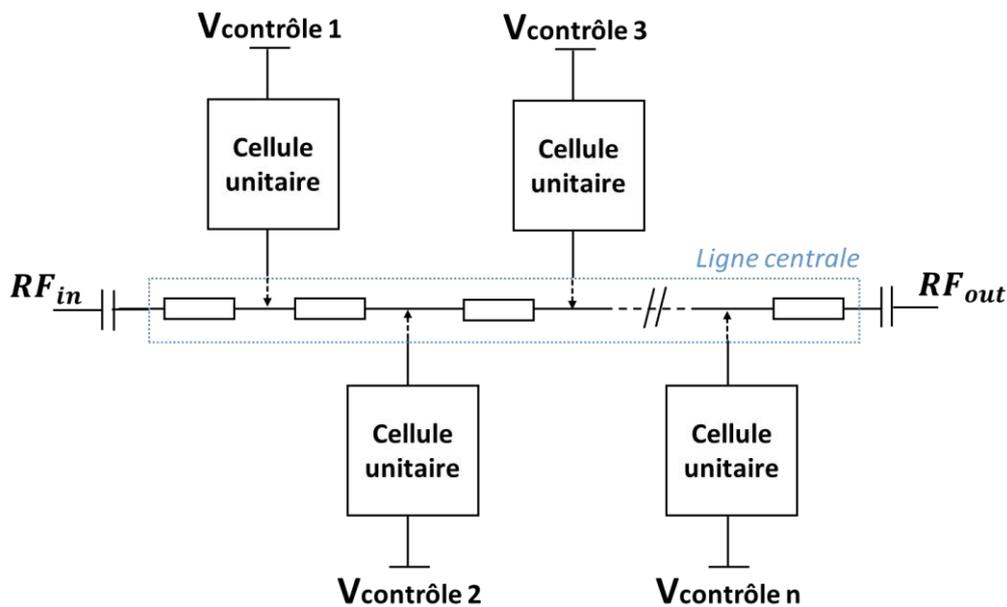


Figure 57 : Synoptique du tuner proposé

Chaque cellule unitaire est un élément d'impédance variable qui est composée d'un transistor MOS fonctionnant en interrupteur (état ON ou OFF) en série avec des lignes de transmission. Cette cellule unitaire permet de présenter à un point précis de la ligne centrale deux impédances différentes (MOS à l'état OFF et ON). Cependant, cela a tendance à ramener des impédances trop capacitives comme c'est le cas dans le tuner développé par Y. Tagro [78] et le tuner développé à l'université de Linz [77]. Pour orienter ces impédances en zone plutôt inductive, nous rajoutons une ligne de transmission en série avec le MOS. Cette cellule unitaire est présentée Figure 58. Elle comprend un transistor MOS utilisé en interrupteur (états ON ou OFF) et une ligne de transmission série TL_2 . Cette ligne de transmission TL_2 est connectée en série avec le transistor pour conserver la nature inductive de l'impédance présentée par la cellule, que le transistor soit à l'état ON ou OFF.

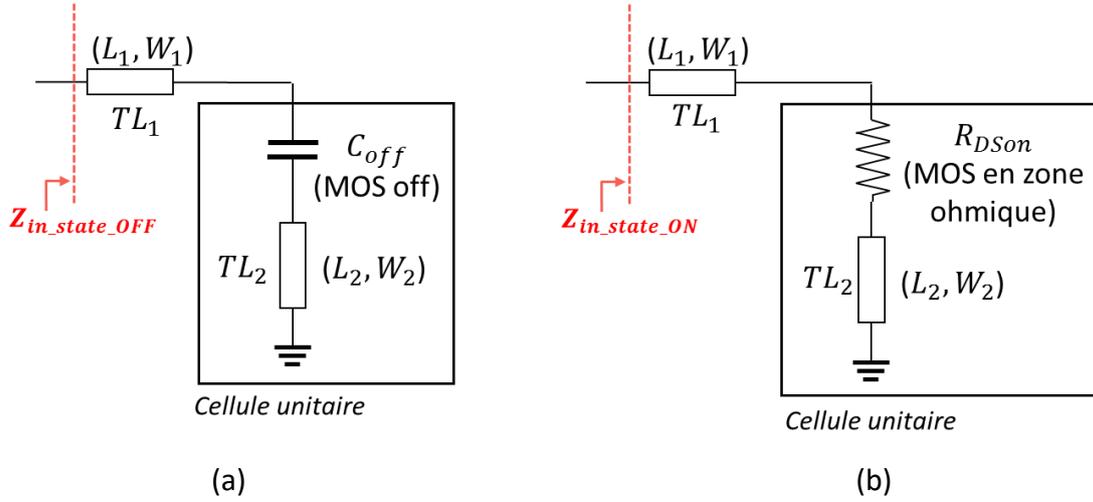


Figure 58 : Cellule unitaire du tuner : MOS état OFF (a) MOS état ON (b)

Le dimensionnement des longueurs de lignes TL₁ (extrait de la ligne centrale) et TL₂ ainsi que de la taille du transistor est effectué de manière à garder les impédances Z_{in_state_ON} et Z_{in_state_OFF} inductives. Leurs équations sont données par les formules suivantes :

$$Z_{in_state_ON} = Z_{01} \cdot \frac{R_{ON} + Z_{02} \cdot \tanh(\gamma_2 \cdot L_2) + Z_{01} \cdot \tanh(\gamma_1 \cdot L_1)}{Z_{01} + (R_{ON} + Z_{02} \cdot \tanh(\gamma_2 \cdot L_2)) \cdot \tanh(\gamma_1 \cdot L_1)} \quad (II.8)$$

$$Z_{in_state_OFF} = Z_{01} \cdot \frac{\frac{1}{j \cdot C_{OFF} \cdot \omega} + Z_{02} \cdot \tanh(\gamma_1 \cdot L_2) + Z_{01} \cdot \tanh(\gamma_1 \cdot L_1)}{Z_{01} + \left(\frac{1}{j \cdot C_{OFF} \cdot \omega} + Z_{02} \cdot \tanh(\gamma_2 \cdot L_2) \right) \cdot \tanh(\gamma_1 \cdot L_1)} \quad (II.9)$$

où γ_1 et γ_2 sont les constantes de propagations des lignes TL₁ et TL₂ qui sont fonction de la longueur L₁, L₂ et de la largeur W₁, W₂ de ces deux lignes. Z₀₁ et Z₀₂ sont les impédances caractéristiques des lignes TL₁ et TL₂. R_{ON} est la résistance équivalente du MOS à l'état ON dont la valeur dépend du W_{MOS}, L_{MOS} et N_f. C_{OFF} est la capacité équivalente du transistor à l'état OFF proportionnelle à 1/(W_{MOS}, L_{MOS}, N_f).

Nous présentons les deux impédances Z_{in_state_ON} et Z_{in_state_OFF} à 130 GHz sur l'abaque de Smith Figure 59(a) pour L₁ = 4 μm, W₁ = 3 μm (Z₀₁ = 67 Ω), L₂ = 30 μm, W₂ = 5 (Z₀₂ = 58 Ω), W_{MOS} = 10 μm, L_{MOS} = 60 nm et N_f = 10. Ensuite, afin d'obtenir plusieurs états d'impédances, nous cascadons deux cellules unitaires ce qui nous offre la possibilité d'avoir 2² = 4 états comme décrit Figure 59(b). Les résultats de simulation obtenus avec une association de 3 cellules sont également présentés Figure 59(c).

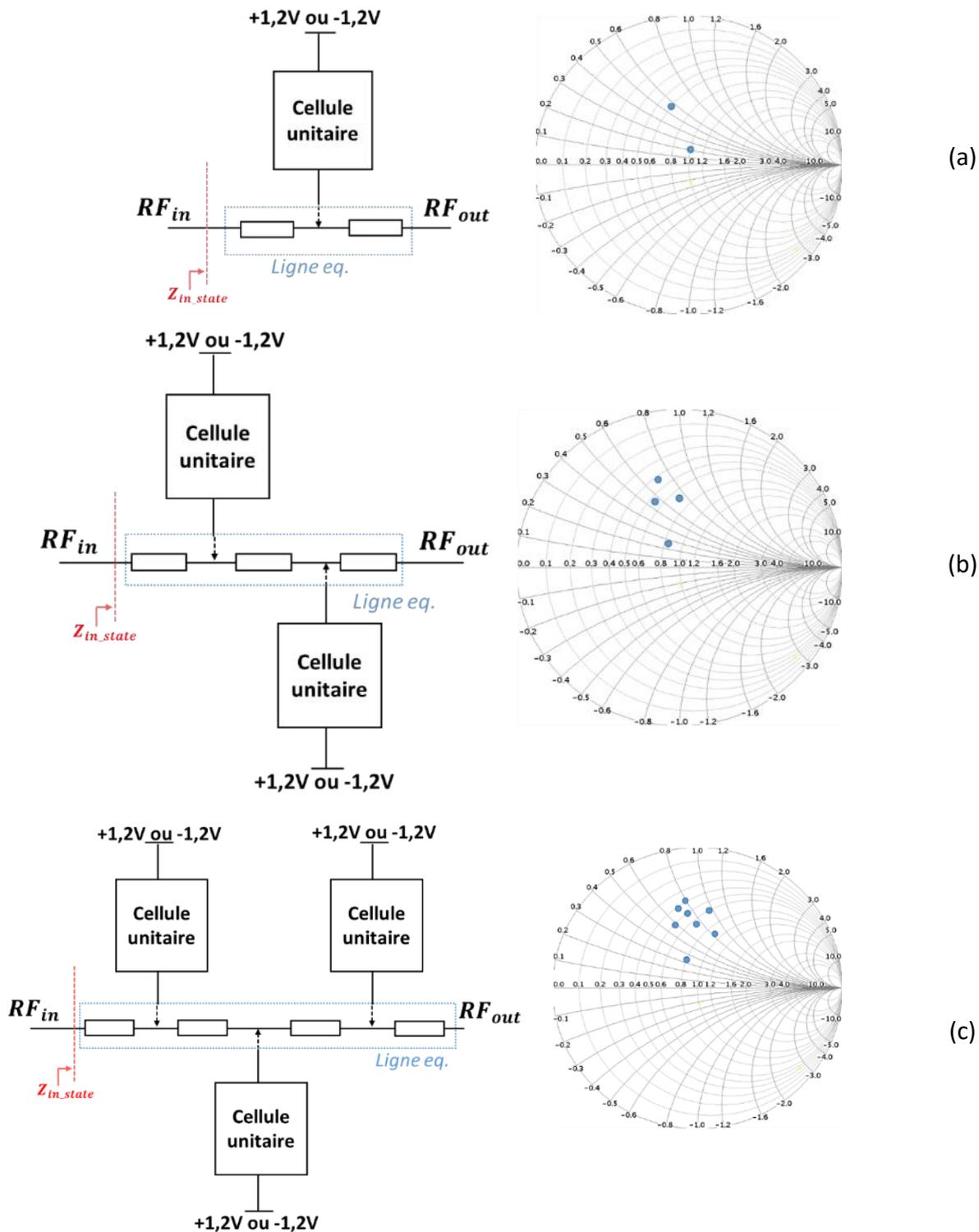


Figure 59 : Impédances d'entrées équivalentes Z_{in_state} à 130 GHz selon si 1, 2 ou 3 cellules unitaires sont cascadées

Nous obtenons bien Figure 59 des impédances inductives ce qui permet de caractériser nos DST autour de leurs zones d'impédances Γ_{opt} optimales. Afin d'étendre cette constellation nous avons modifié les tailles des transistors MOS d'une cellule à l'autre, comme décrit dans le papier [79]. Cependant à une fréquence donnée, la couverture d'impédance reste insuffisante. Nous

avons choisi alors de rajouter un degré de liberté supplémentaire à notre structure, en connectant entre les cellules unitaires une ligne de transmission. Cela permet de conserver les impédances en zones inductives et d'étendre la couverture d'impédance. Le schéma de principe du tuner est présenté Figure 60 :

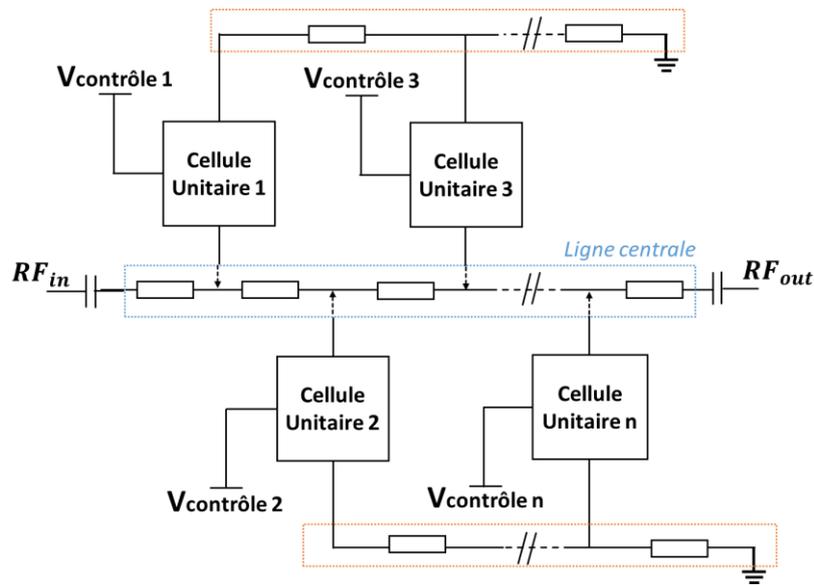
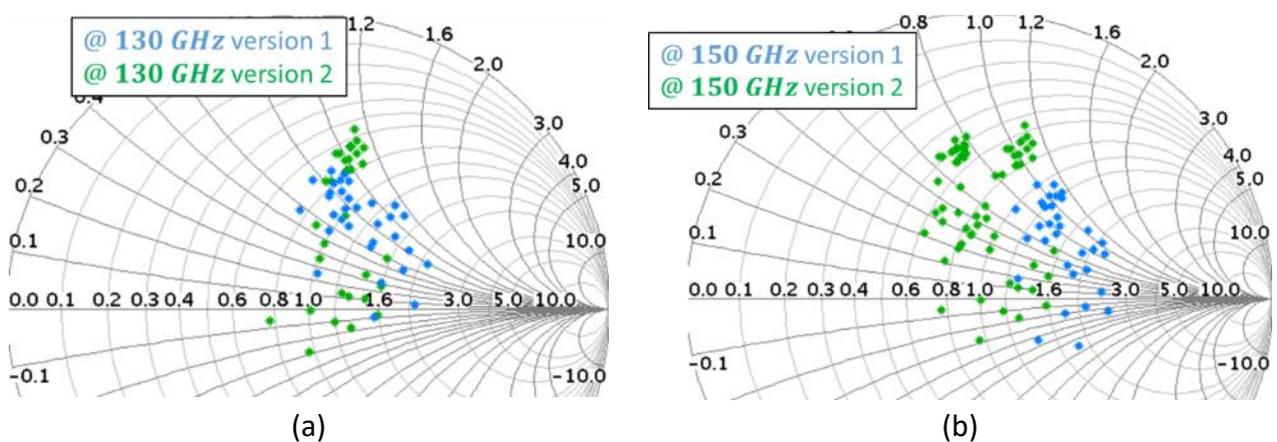


Figure 60 : Synoptique du tuner d'impédance améliorée avec des cellules unitaires différentes et connectées par une ligne de transmission (représentée dans le cadre orange)

Pour réaliser cette structure nous nous sommes inspirés des travaux de Laleh Rabieirad démontrés à plus basse fréquence [80]. La Figure 61 compare les impédances obtenues en simulation à différentes fréquences, entre la 1ère structure de tuner proposée en bleu (Figure 57) et la 2^{ème} en vert (Figure 60), pour 6 cellules unitaires (soit $2^6=64$ états).



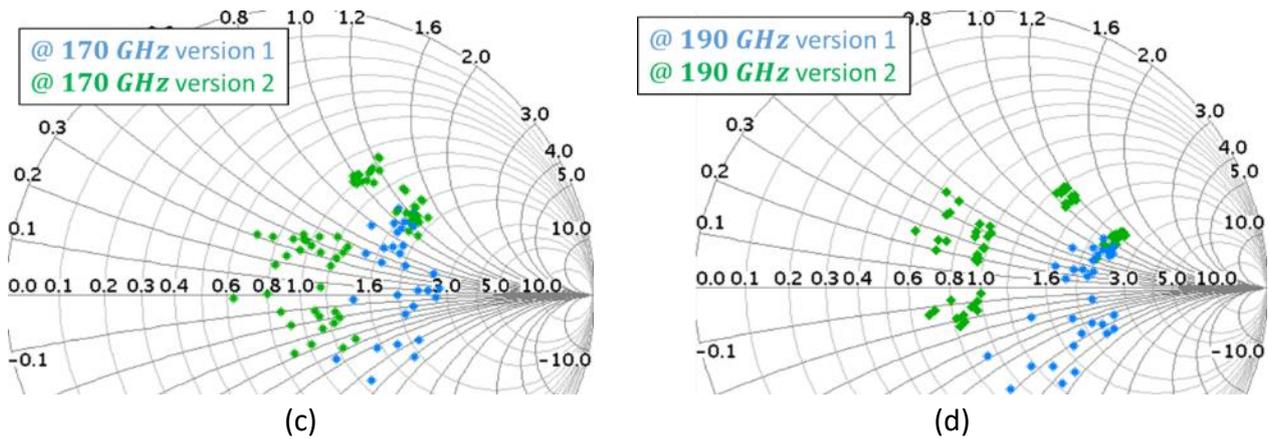


Figure 61 : Simulation des impédances présentées par le tuner à $f=130$ GHz(a), $f=150$ GHz(b), $f=170$ GHz(c), $f=190$ GHz(d) avec la 1^{ère} structure (bleu) et 2^{ème} structure (vert) proposées

Nous constatons une nette amélioration des zones d'impédances couvertes par le tuner. De plus elles sont davantage inductives et ce pour des fréquences comprises entre 130 et 190 GHz. Le schéma électrique complet du tuner à 6 bits de contrôle avec les dimensions des éléments utilisés est présenté Figure 62. Nous avons également ajouté des capacités MOM de liaison de 140 fF en entrée et sortie du tuner permettant de l'isoler des autres circuits du banc de test. Elles permettent aussi de présenter une impédance capacitive au dispositif sous test aux basses fréquences afin de ne pas le rendre instable.

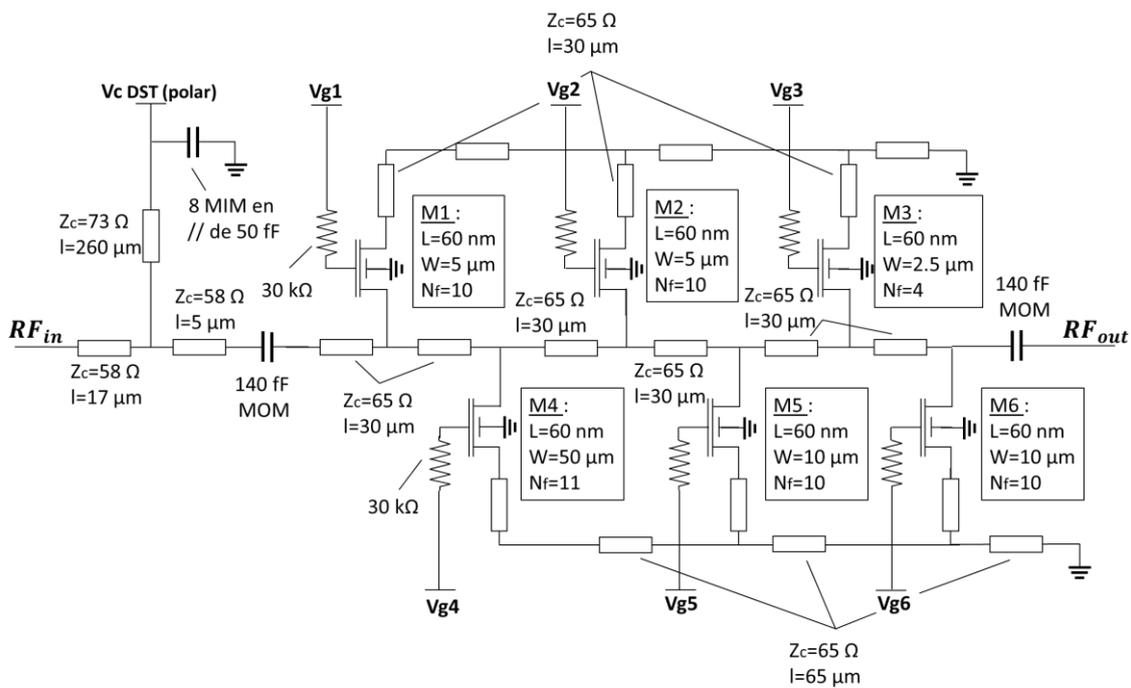


Figure 62 : Schéma électrique du synthétiseur d'impédances réalisé

Les dimensions des transistors ont respectivement des longueurs de grilles de 60 nm et des largeurs de grilles totales de 2,5 μm , 5 μm , 10 μm et 50 μm . En commutant à l'état ON et OFF les transistors MOS, nous obtenons $2^6=64$ états d'impédances différents.

Enfin, nous devons pouvoir polariser le dispositif sous test directement via le tuner. C'est pourquoi la polarisation sur le collecteur du DST doit s'effectuer via le tuner afin de ne pas influencer l'impédance qui lui est présentée au niveau de son collecteur. C'est pour cela que nous avons ajouté à l'entrée du tuner Figure 62 une ligne de transmission quart d'onde à 150 GHz découplée par des capacités MIM.

II.3.4. Performances mesurées du synthétiseur d'impédances

La caractérisation en paramètres S du tuner a été effectuée au laboratoire IEMN à Lille. Une micro photographie du circuit est présentée Figure 63.

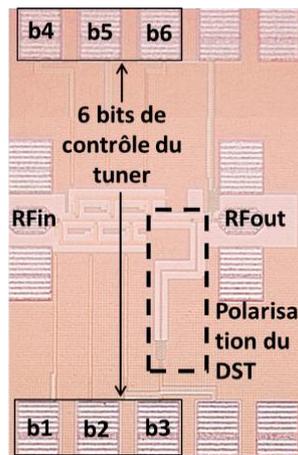


Figure 63 : micro-photographie du tuner d'impédance - taille = 0.45 x 0.5 mm²

Les six bits de contrôles sont connectés par des alimentations séparées ce qui permet de générer 64 états différents d'impédance. Les transistors MOS sont commandés par une alimentation de +1,2V pour l'état ON et -1,2V pour l'état OFF. La mesure et la simulation des impédances présentées par le tuner pour ses 64 états sont présentées Figure 64 aux fréquences 130, 150, 170 et 190 GHz.

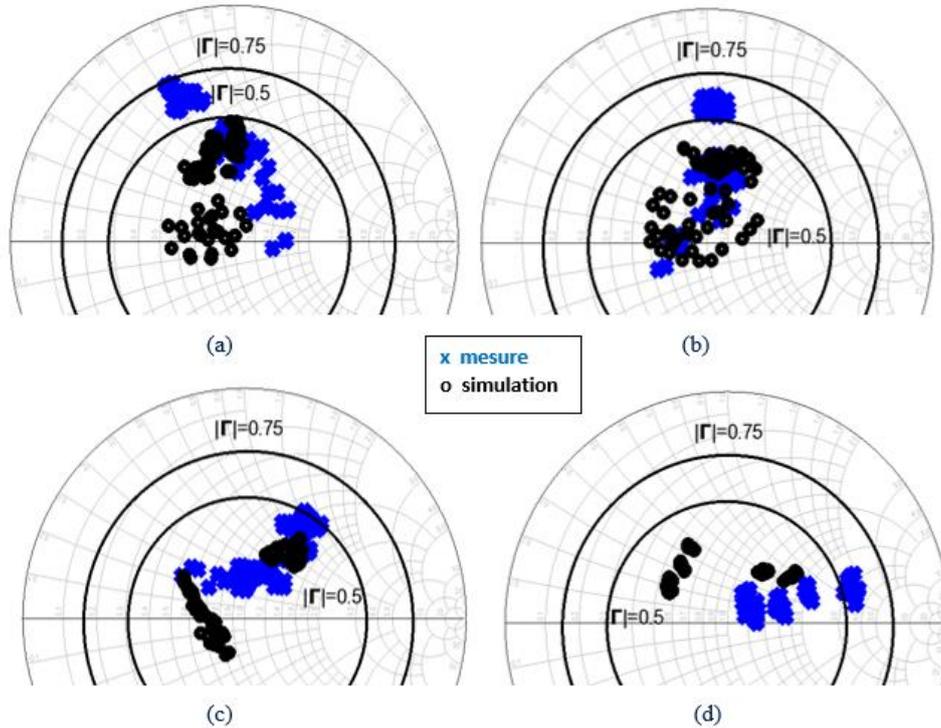


Figure 64 : Mesures et simulations des impédances présentées par le tuner en fonction de la fréquence, (a) $f=130$ GHz, (b) $f=150$ GHz, (c) $f=170$ GHz, (d) $f=190$ GHz

Nous constatons que les impédances restent localisées dans la partie nord de l'abaque entre 130 et 190 GHz, ce qui permet une caractérisation large bande. Cependant, les impédances ne sont pas nécessairement proches des Γ_{opt} aux fréquences désirées. Mais étant donné que le tuner présente un Γ_{tuner} proche de 0.75, cela nous permettra tout de même de tracer les cercles de puissances et ainsi en déduire la zone des impédances optimales des DST.

Les différences entre les mesures et les simulations proviennent d'éléments parasites tels que les retours de masses inductifs non pris en compte lors des simulations. Il est difficile de développer un modèle de ces retours de masses car leur comportement diffère en chaque point du circuit. Nous avons cependant effectué des retro-simulations sur HFSS afin de prendre en compte le couplage entre les lignes.

Sur la Figure 65 nous comparons la mesure et la simulation des pertes d'insertions du tuner en fonction de la fréquence pour les états 1, 9, 51 et 64. Nous avons choisi de ne présenter que 4 états afin de rendre ces graphiques plus lisibles. Les états 9 et 51 sont respectivement les états présentant le moins et le plus de pertes. Nous obtenons ainsi des pertes d'insertion comprises entre -5 dB et -17 dB en bande D pour tous les états.

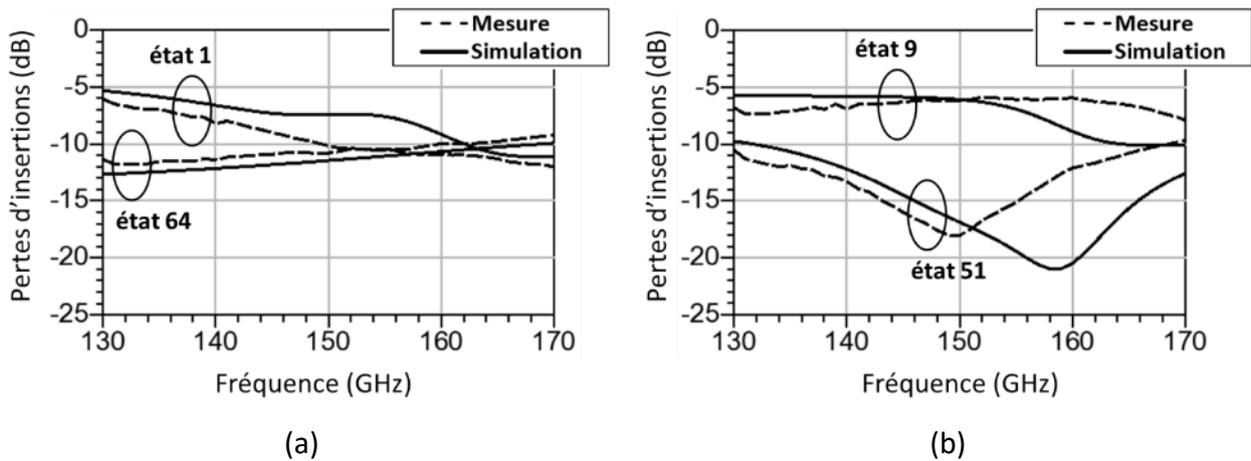


Figure 65 : Mesure et simulation des pertes d'insertions du tuner (S21) en fonction de la fréquence pour 4 états différents (1, 2, 9 and 51)

La Figure 66 montre la linéarité du tuner à 150 GHz pour l'état 1 (tous les MOS à l'état « ON ») et pour l'état 64 (tous les MOS à l'état « OFF »).

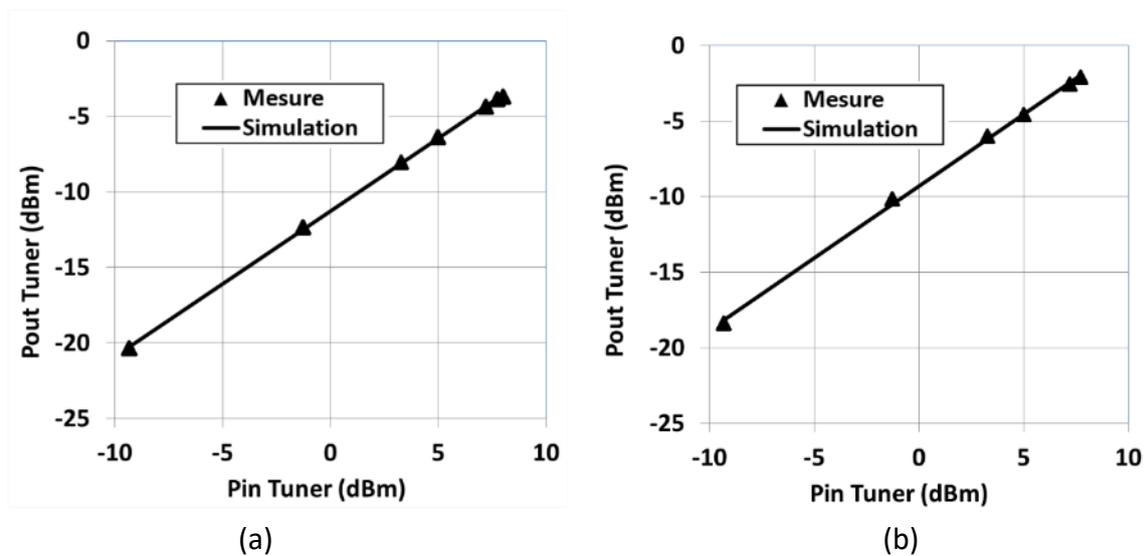


Figure 66 : Mesures et simulations de la linéarité du tuner à 150 GHz pour les états 1 (a) et 64 (b)

Un point de compression d'au moins 8 dBm est mesuré à 150 GHz pour ces deux états. Etant donné que nous ne disposons que d'une source haute puissance et bande étroite autour de 150 GHz au laboratoire, la mesure de linéarité sur toute la bande n'a pas pu être effectuée. De plus, la puissance injectée est limitée par les accès entre la source externe et le tuner, ce qui nous limite à une puissance injectée de 8 dBm dans le plan du composant. Une mesure intéressante aurait été de cascader notre source de puissance intégrée avec le tuner intégré pour effectuer ces mesures, mais cela aurait nécessité une place non négligeable sur silicium.

Pour conclure, ce synthétiseur d'impédances nous permet de réaliser une caractérisation load-pull en bande D car il présente une couverture d'abaque suffisante autour des Γ_{opt} , notamment entre 130 et 150 GHz. De plus une bonne linéarité du tuner a été validée. Les pertes d'insertion ne sont pas une limitation, bien que celles-ci doivent rester raisonnables afin que les puissances à détectées en sortie se situent dans la dynamique de détection du détecteur de puissance.

Ces travaux ont fait l'objet d'une présentation en session spéciale à la conférence IEEE Newcas 2015 et d'une publication dans la conférence IEEE SiRF 2017 [81].

II.4. Conclusion du Chapitre II

Dans ce chapitre nous avons décrit les deux principaux éléments du banc load pull intégré.

Tout d'abord nous avons développé une source de puissance qui offre la possibilité de générer un signal d'une puissance suffisante dans le plan d'entrée du composant sous test et sur une large bande passante. Un générateur de signaux externe nous assure un signal de bonne pureté spectrale, à puissance variable, à des fréquences comprises entre 32,5 et 40 GHz soit une variation en fréquence entre 130 et 160 GHz en sortie du quadrupleur. Les performances obtenues sont à l'état de l'art et suffisantes pour amener en compression nos dispositifs sous tests, avec une puissance de sortie de maximum 10 dBm à 140 GHz sous 50 Ω sur une bande passante à -3 dB de 24 GHz.

En ce qui concerne le synthétiseur d'impédances, celui-ci a été intégré sur silicium afin de s'affranchir des pertes liées aux accès et pouvoir ainsi améliorer la constellation d'impédances. Le synthétiseur que nous avons développé présente des impédances autour des Γ_{opt} des transistors bipolaires de la technologie BiCMOS 55 nm avec un Γ_{tuner} proche de 0,75 entre 130 et 150 GHz et de 0,6 entre 150 et 190 GHz. Le tuner est linéaire jusqu'à au moins 8 dBm et présente des pertes comprises entre -5 dB et -17 dB en bande D pour tous les états.

Enfin, un détecteur de puissance est également développé afin de mesurer les niveaux de puissances en sortie du synthétiseur d'impédances avec des temps de réponse compatible dans un contexte industriel. Sa dynamique de détection doit se situer entre -15 dBm et 10 dBm pour être dans la plage de variation des niveaux de puissances escomptés en sortie du synthétiseur d'impédances. Cette dynamique se base sur les niveaux de puissances de la source, le gain du DST et les pertes du tuner. La conception du détecteur de puissance intégré fait l'objet du chapitre suivant.

Chapitre III

Conception du détecteur de puissance intégré dédié à la caractérisation in situ large signal au-delà de 130 GHz

III.1. Introduction du Chapitre III

Dans ce troisième chapitre, nous présentons un détecteur de puissance intégré sur silicium dans le but d'être compatible avec des temps de tests industriels. Une simple mesure de sa tension de sortie permettra de connaître la puissance détectée. En effet, comme expliqué dans le 1^{er} chapitre, la détection par calorimétrie utilisée aujourd'hui aux fréquences millimétriques nécessite des temps de mesures longs, notamment pour la détection de faibles signaux car un étalonnage à chaque acquisition de mesure (remise à « zéro » de la température) est nécessaire. De plus, disposer d'un détecteur de puissance intégré offre la possibilité de mesurer la puissance du signal RF en différents points du banc. Ainsi, il peut être utilisé pour mesurer la puissance disponible à l'entrée du dispositif sous test, à travers un coupleur de puissance (Figure 8 Chapitre 1). Dans notre application il est utilisé pour mesurer les niveaux de puissance en sortie du banc, en fonction des impédances présentées par le tuner au DST.

III.2. Cahier des charges du détecteur de puissance

Compte tenu des niveaux de puissance mis en jeu dans le système, la dynamique du détecteur de puissance doit être suffisamment grande (entre - 20 dBm et + 10 dBm), pour couvrir la plage de variation de la puissance en sortie du DST en fonction des impédances que lui présente le tuner. Ajouté à cela, le détecteur de puissance doit être adapté sur 50 Ω en entrée sur la bande D. Nous devons veiller à ce que l'adaptation soit conservée malgré une augmentation de la puissance en entrée. De plus, dans notre application qui est la caractérisation de composants, nous jugeons important de conserver le même type de détection pour toutes les puissances lors d'une acquisition de mesure. Ceci nous permettra de connaître de manière précise le niveau de puissance détectée. Ainsi, la tension de sortie du détecteur en sortie doit être toujours proportionnelle à la puissance détectée, ce qui permettra d'éviter une source d'erreur supplémentaire lié au changement de type de détection (quadratique vers linéaire).

Enfin, le niveau de tension obtenu en sortie du détecteur en fonction de la puissance devra être d'une valeur suffisante (>1 mV) afin de rendre la mesure réalisable et précise avec un voltmètre classique. Le cahier des charges du détecteur de puissance est résumé Tableau 10:

	Min	Max
Plage de détection	-20 dBm	10 dBm
Bande passante < -10 dB	130 GHz	220 GHz
Niveau de tension détectable en sortie	1 mV	/

Tableau 10 : Cahier des charges du détecteur de puissance

III.3. Etat de l'art de la détection de puissance de signaux RF et choix du système réalisé dans cette thèse

Des détecteurs de puissance intégrés ont déjà été réalisés et testés sur silicium à 6 GHz [82], 20 GHz [83], 60 GHz [84] [85], 77 GHz [86] et 150 GHz [3]. Ils ne détectent pas des niveaux de puissance dépassant les 10 dBm à l'exception de [83] que nous étudierons plus en détail par la suite. Le Tableau 11 suivant regroupe l'état de l'art des détecteurs fonctionnant à des fréquences comprises entre 5 et 150 GHz. Nous nous sommes intéressés à quatre caractéristiques fondamentales :

- La dynamique : plage de détection en puissance
- Le type de détection : quadratique ou linéaire
- La puissance maximale détectable
- La fréquence d'utilisation

Ref	Techno.	Structure	Type de détection	Fréq. (GHz)	Plage de détection (dB)	P _{max} détectable (dBm)
[82]	130 nm BiCMOS	Détecteur de puissance Meyer	Quadratique	6	45	0
[83]	180 nm BiCMOS	Détecteur de puissance Meyer	Linéaire et Quadratique	20	20	-10
			Quadratique	5	> 40	> 10
[84]	130 nm BiCMOS	Détecteur différentiel RMS	Linéaire	60	8	10
[85]	65 nm CMOS	Détecteur différentiel RMS	Quadratique	60	30	5
[86]	130 nm BiCMOS	Détecteur diode	Quadratique	77	22	-10
[3]	130 nm BiCMOS	Détecteur de puissance MOS simple	Quadratique	150	25	0
[87]	55 nm BiCMOS	Détecteur de puissance à base commune	Linéaire et Quadratique	50-66	38	8.5

Tableau 11 : Etat de l'art des détecteurs de puissance sur technologie silicium

On peut regrouper les détecteurs de puissance développés dans la littérature selon 3 principales structures : la structure de Meyer (6 GHz [82], 20 GHz et 5 GHz [83]), la structure à paire différentielle (60 GHz [84] [85]) et la structure simple à un transistor utilisé en diode (77 GHz [86], 150 GHz [3] et 66 GHz [87]).

Nous nous basons sur les références [83] [84] et [3] pour présenter le principe de fonctionnement de chacune d'elle :

- Le détecteur de Meyer [83]: il propose une structure permettant d'effectuer des mesures de puissance sur un large dynamique.
- Le détecteur à paire symétrique [84] : il est conçu dans le but de détecter un niveau de puissance en sortie d'un amplificateur de puissance, ce qui se rapproche de notre application étant donné les niveaux de puissance élevés.
- Le détecteur à simple transistor [3] pour sa fréquence de fonctionnement de 150 GHz

III.3.1. Détecteur de puissance : Montage de Meyer

Le montage de Meyer permet une détection d'amplitude [88] ou RMS [83]. La Figure 67 présente le détecteur de puissance de Meyer RMS [83] :

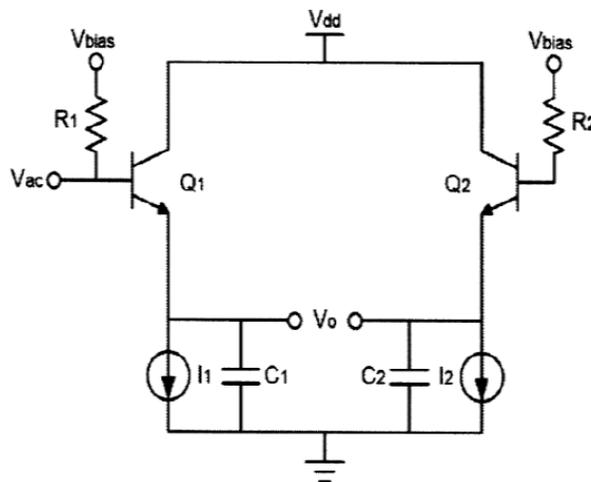


Figure 67 : Détecteur de puissance de Meyer [83]

V_{ac} est le signal d'entrée haute fréquence qu'on peut exprimer sous la forme d'une somme d'harmonique N :

$$V_{ac} = \sum_{i=1}^N |V_{ac_i}| \cdot \cos(\omega_i t + \Phi_i) \quad (III.1)$$

La tension V_0 obtenue en sortie, est proportionnelle à la somme des amplitudes des harmoniques au carré. Cette somme correspond à la puissance totale du signal.

$$V_0 \cong \frac{1}{4V_T} \sum_{i=1}^N V_{ac_i}^2 \quad (III.2)$$

D'après la Figure 67, le transistor Q_2 permet de supprimer la tension de mode commun pour recentrer V_0 autour de zéro volt. Le condensateur C_1 joue le rôle de passe bas et permet de filtrer les composantes fréquentielles. La tension V_{bias} polarise les transistors Q_1 et Q_2 et a été dissociée de la tension V_{dd} pour s'affranchir du bruit induit par l'alimentation. La mesure de la tension de sortie V_0 , Figure 68, a été effectuée à 20 GHz pour une tension d'entrée purement sinusoïdale:

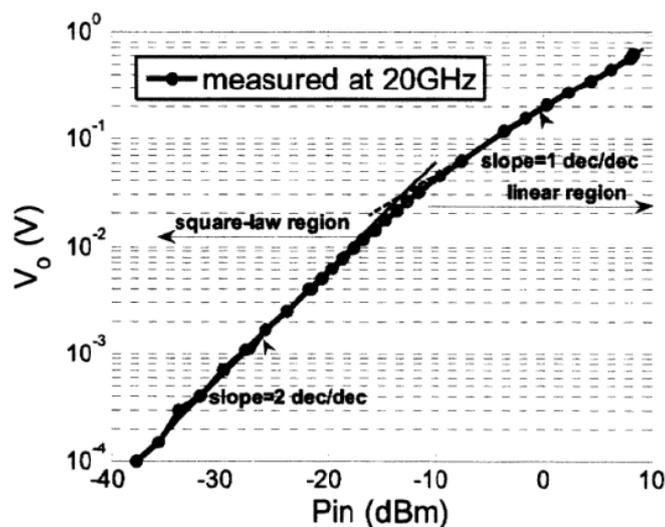


Figure 68 : Tension de sortie V_0 (V) en fonction de P_{in} (dBm)

La détection de la puissance peut s'effectuer dans deux zones : linéaire et quadratique. La détection quadratique est limitée à $P_{max} = -15$ dBm alors que la zone linéaire étend la détection à des puissances élevées de l'ordre de 10 dBm. Cependant la transition entre les deux zones est mal définie ce qui est un facteur d'imprécision de la mesure pour notre application.

III.3.2. Détecteur de puissance à paire différentielle

Ce détecteur présenté dans la référence [84] a pour but de détecter la puissance en sortie d'un amplificateur de puissance (PA) à 60 GHz, et est inspiré des travaux présentés dans le papier [89].

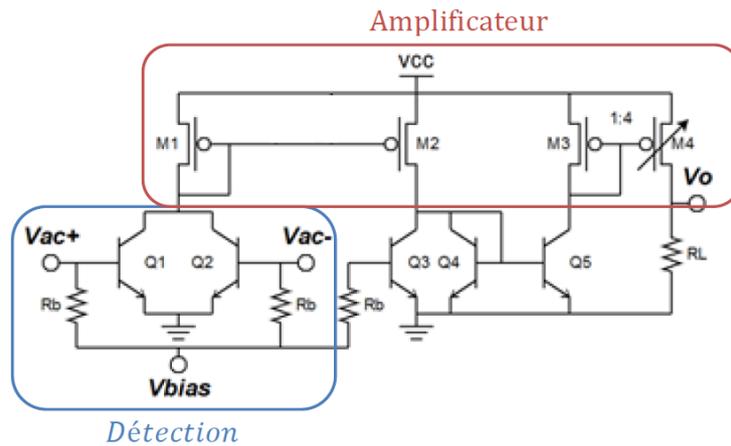


Figure 69 : Détecteur de puissance à paire différentielle

D'après la Figure 69, la paire différentielle Q1 et Q2 montée en émetteur commun convertit le signal RF $V_{ac\pm}$ en un courant I_{Q1+Q2} , proportionnel à la puissance d'entrée. Ce courant est ensuite amplifié par les miroirs de courants (M1, M2), (Q4, Q5) et (M3, M4).

La tension V_0 obtenue en sortie aux bornes de R_L dépend du courant de sortie du détecteur qui est proportionnel à la puissance d'entrée. Dans cette application, R_L est la résistance d'entrée d'un comparateur. Il est possible d'insérer dans le miroir de courant (M1, M2) un filtre passe bas RC [89], [85]) dans le but d'atténuer les composantes fréquentielles.

La Figure 70 montre la puissance en entrée du détecteur en fonction de la tension DC mesurée. Ici, la détection s'effectue en régime linéaire sur une plage dynamique de 8 dB, pour un signal d'entrée de 60 GHz.

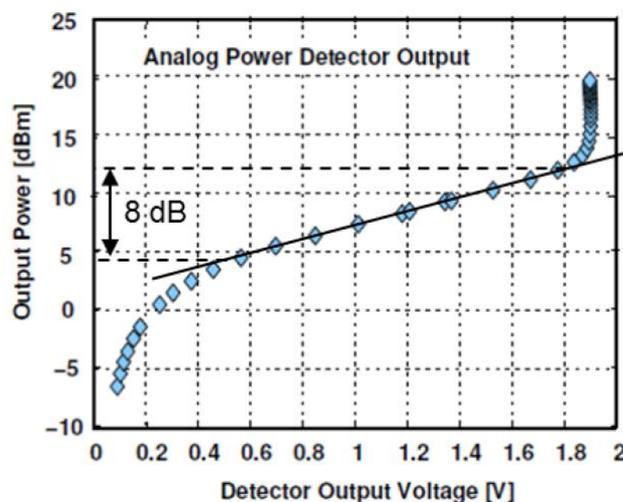


Figure 70 : Puissance du PA en fonction de V_0

L'avantage de ce détecteur est de pouvoir mesurer de forts niveaux de puissance (12,5 dBm max) mais avec une très faible plage de détection (8 dB).

III.3.3. Détecteur de puissance à simple transistor

La dernière structure que nous regardons est le détecteur présenté par A. Pottrain dans sa thèse [3] qui se base sur un MOS froid (utilisé en diode) et qui fonctionne à 150 GHz. Ce montage, présenté sur la Figure 71 (a), a été réalisé dans une application semblable à la nôtre. C'est à dire détecter un niveau de puissance en sortie d'un variateur d'impédance à très haute fréquence. Le réseau d'adaptation en entrée permet une adaptation sur 50 Ω et améliore la sensibilité du détecteur.

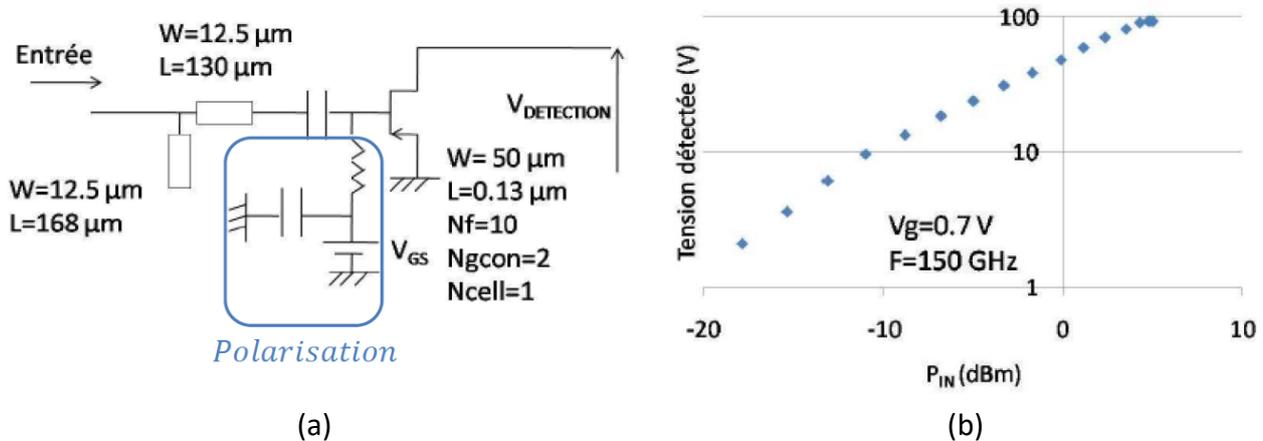


Figure 71 : Détecteur de puissance MOS (a) et tension détectée en fonction de P_{IN} (b)

D'après la Figure 71(b) ce détecteur permet une détection quadratique jusqu'à environ -12 dBm et linéaire jusqu'à 4 dBm.

III.3.4. Conclusion de l'état de l'art

Nous venons de donner un aperçu des différentes structures de détecteurs intégrés en technologie silicium qui existent dans l'état de l'art. Une spécification importante n'est cependant pratiquement jamais respectée dans ces réalisations à savoir la détection de forte puissance sur une grande dynamique, tout en restant dans la même zone de détection. Nous rappelons qu'il est important dans notre application de conserver la même pente de détection pour pouvoir remonter de manière précise à la mesure du niveau de puissance détectée. Nous souhaitons que la détection de la puissance se fasse en zone quadratique (petit signal) afin, entre autre, que le coefficient de réflexion en entrée du transistor de détection ne varie pas en fonction de la puissance injectée (paramètre S_{11} grand signal). Ceci étant indispensable pour ne pas fausser notre mesure.

T. Zhang [83] propose une solution qui permet de détecter des puissances sur une grande dynamique tout en conservant un même régime de fonctionnement. La Figure 72 en présente le principe : Le détecteur « DET » est une cellule de Meyer qui présente une caractéristique quadratique limitée à une puissance d'entrée maximale de -15dBm.

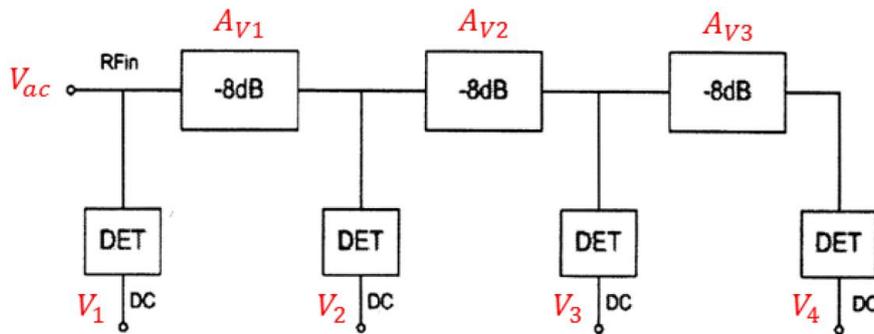


Figure 72 : Schéma bloc d'une nouvelle structure de détecteur

Le principe consiste à atténuer le niveau de puissance d'entrée, dans le but de toujours rester en zone quadratique permettant de générer une tension de sortie V_i proportionnelle à la puissance d'entrée selon une pente toujours identique et sur une grande dynamique.

D'après la Figure 73, lorsque le signal d'entrée atteint - 15 dBm, la réponse en tension V_1 ne sera plus quadratique. Or, la puissance à l'entrée du deuxième détecteur est de $- 15 \text{ dBm} - \alpha_{\text{atténuateur}} (8 \text{ dB ici}) = - 23 \text{ dBm}$, donc le détecteur n°2 est dans sa zone de fonctionnement quadratique. Pour connaître quel détecteur n'est pas en saturation, il faut que le rapport V_{i+1}/V_i soit égal à la valeur de l'atténuation $\alpha_{\text{atténuateur}}$. On obtient ainsi la puissance d'entrée P_{in} par la relation eq. (III.3) à partir de V_i ou la relation eq. (III.4) à partir de V_{i+1} :

$$P_{in} \cong \frac{V_i}{\gamma} - (i - 1)\alpha_{\text{atténuateur}} \quad (\text{III.3})$$

$$P_{in} \cong \frac{V_{i+1}}{\gamma} - i \cdot \alpha_{\text{atténuateur}} \quad (\text{III.4})$$

La valeur de l'atténuation $\alpha_{\text{atténuateur}}$ ne doit pas être plus grande que la moitié de la dynamique d'un détecteur. Dans cet exemple la dynamique du détecteur est de 20 dB (soit 16 dB en valeur efficace), nous ne pouvons donc avoir qu'au maximum $|\alpha_{\text{atténuateur}}| = 16/2 = 8 \text{ dB}$.

La caractéristique du système de détection complet comportant 4 détecteurs identiques est montrée sur la Figure 73 à 5,2 GHz.

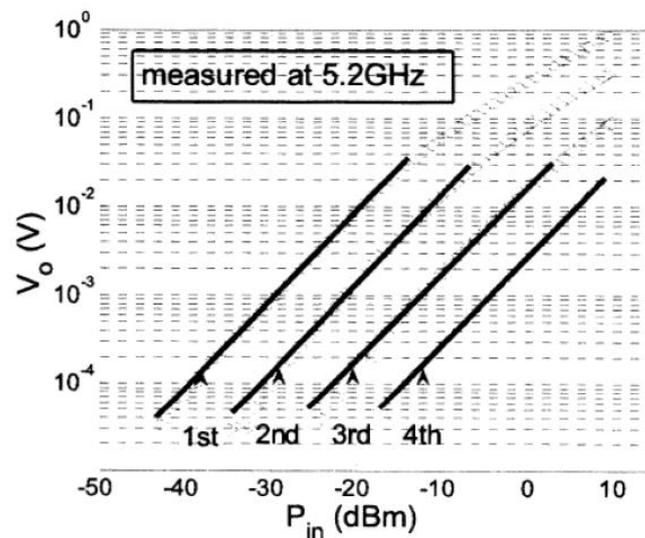


Figure 73 : $V_o = f(P_{in})$ de la nouvelle structure du détecteur

Cette caractéristique montre qu'il est possible de détecter en régime quadratique jusqu'à 10 dBm avec une dynamique de l'ordre de 45 dB. Ce détecteur présente cependant des limites, notamment pour la réalisation des atténuateurs aux fréquences millimétriques. Ceci pourrait expliquer pourquoi ce détecteur n'a été réalisé qu'à 5,2 GHz au lieu des 20 GHz initialement prévus.

III.4. Conception d'un système de détection de puissance en bande G à large dynamique

Notre détecteur de puissance est inspiré du système présenté dans la partie précédente [83]. Le schéma du système proposé est présenté Figure 74. En ce qui concerne la cellule de détection de puissance, nous avons choisi une structure de Meyer optimisée aux domaines de fréquence ciblés dans notre application. Nous avons aussi développé un atténuateur de puissance réglable fonctionnant dans le même domaine de fréquence.

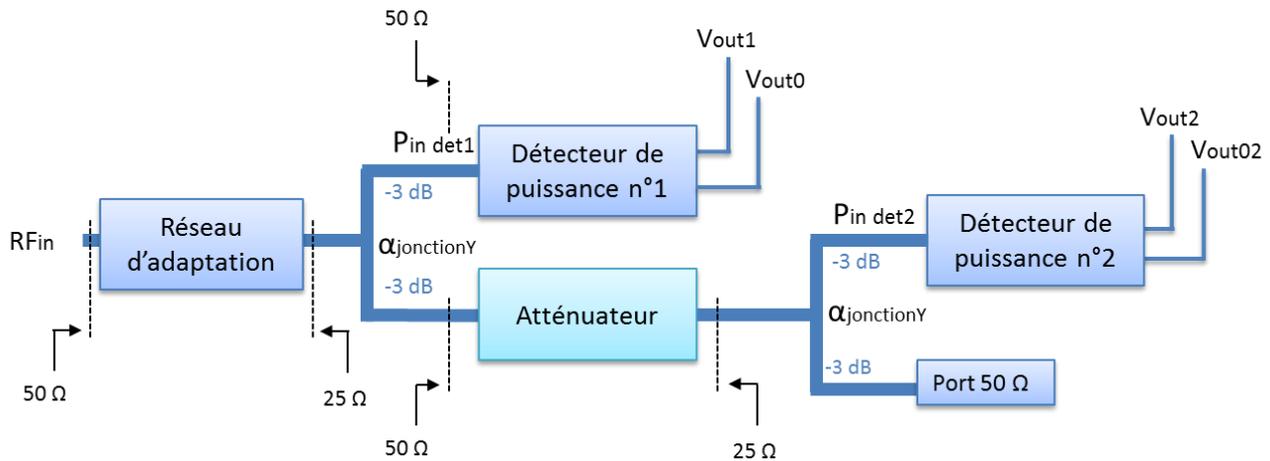


Figure 74 : Synoptique du système de détection à forte dynamique proposé

Tout d’abord, les niveaux d’adaptation entre les différents blocs (détecteurs et atténuateurs) doivent être parfaitement maîtrisés pour garantir un bon fonctionnement de l’ensemble. En effet, nous voulons que notre puissance incidente se divise en deux pour se répartir équitablement entre le détecteur n°1 et l’atténuateur. Ce signal voit au niveau de la première jonction Y deux impédances de 50 Ω en parallèle soit $50 \Omega_{\text{détecteur}} // 50 \Omega_{\text{atténuateur}} = 25 \Omega$. Pour conserver l’adaptation, nous devons donc présenter une impédance de 25 Ω à l’entrée de la jonction. Etant donné que notre signal RF est généré à partir d’une référence de 50 Ω, un réseau d’adaptation est donc nécessaire pour passer sur 25 Ω. De la même manière, notre atténuateur doit être adapté en sortie sur 25 Ω pour assurer une bonne transition vers le détecteur n °2. De plus, le signal étant divisé par deux il perd 3 dB à chaque fois qu’il passe dans une jonction Y. Nous devons donc prendre en considération ces 3 dB de perte, ainsi que les pertes de la jonction elle-même, lors de la conception de notre atténuateur, afin de maîtriser l’atténuation totale du signal.

III.4.1. Conception et implémentation de la cellule de détection de puissance

Dans cette partie nous allons présenter la conception de la cellule de détection. La topologie choisie est identique à celle proposée par Meyer [90]. Deux architectures de détecteur ont été abordées. Dans un premier temps une solution utilisant un transistor MOS monté en source commune a été étudiée. Nous avons comparé ce détecteur avec un détecteur utilisant un transistor bipolaire monté en collecteur commun. Suite aux résultats de simulation obtenus spécialement en ce qui concerne la bande passante (cf. Tableau 12), nous avons choisi de réaliser sur silicium la structure utilisant le bipolaire comme cellule de détection. L’étude de la cellule en MOS a été reportée en Annexe II.

La Figure 75 présente le schéma électrique de la cellule.

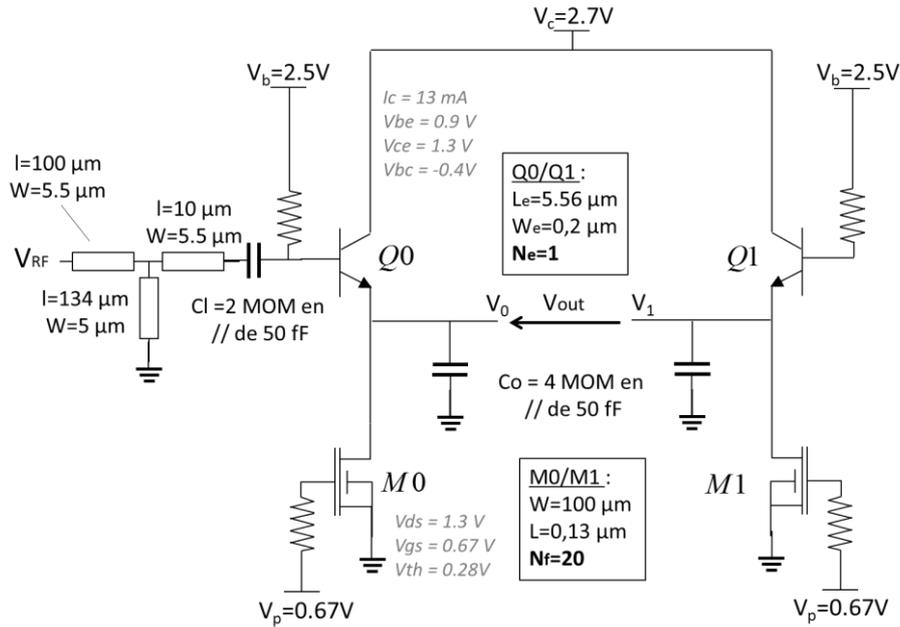


Figure 75 : Détecteur de puissance proposé à base de transistor bipolaire

L'étage de détection est composé du transistor bipolaire Q0. Le réseau d'adaptation en entrée, composé de lignes de transmission et d'une capacité MOM, permet d'adapter l'impédance d'entrée présentée par l'étage de détection sur 50 Ω. La capacité C₁ sert à bloquer les composantes statiques. La source de courant représentée par le transistor M0 permet de polariser notre étage à courant constant. La capacité de sortie Co intègre le signal afin d'obtenir en sortie une tension proportionnel au niveau de puissance en entrée et indépendant de la fréquence du signal. Le montage en symétrique Q1/M1 permet de soustraire la tension d'offset du signal détecté et d'atténuer les effets de la température, comme expliqué dans la référence [86]. En effet, le signal V₁ obtenu en sortie varie autour d'une tension V_{DS} nécessaire à la polarisation du transistor. Pour ne récupérer que la variation dynamique de ce signal, la tension d'offset est soustraite (tension statique V_{DS}) à l'aide du montage symétrique polarisé de manière identique. On extrait donc en sortie une différence de tension V₀ qui représente uniquement la variation de la puissance du signal d'entrée.

Le transistor Q0 possède naturellement un courant exponentiel en fonction de la tension d'entrée V_{rf} qu'on exprime par :

$$I_{c1} = I_o \left(\exp\left(\frac{V_{BE}}{nV_t}\right) - 1 \right) \quad (\text{III.5})$$

Avec V_{BE} le signal d'entrée $V_{BE} = v_{RF} = V_{ac} \cdot \cos(\omega t)$ et V_t la tension thermique donnée par $V_t = \frac{KT}{q} \approx 26 \text{ mV}$ à une température de 27°C . Le coefficient n est une constante de non-idéalité des transistors bipolaires. Par développement limité on obtient :

$$I_{c1} \cong I_o \frac{V_{BE}}{V_t} + \frac{I_s}{2} \left(\frac{V_{BE}}{V_t} \right)^2 + \dots = I_o \frac{V_{ac} \cdot \cos(\omega t)}{V_t} + \frac{I_o}{2} \cdot \frac{V_{ac}^2}{V_t^2} \left(\frac{1 + \cos(\omega t)}{2} \right) + \dots$$

On obtient donc un courant I_{c1} proportionnel au rapport $\left(\frac{V_{BE}}{V_t} \right)^2$ avec :

$$\left(\frac{V_{BE}}{V_t} \right)^2 = \left(\frac{V_{ac} \cdot \cos(\omega t)}{V_t} \right)^2 = \frac{V_{ac}^2}{V_t^2} \left(\frac{1 + \cos(\omega t)}{2} \right) \quad (\text{III.6})$$

Après le filtrage des harmoniques effectué par la capacité C_o , on obtient en sortie une tension proportionnelle au carré de la tension v_{RF} et indépendante de la fréquence :

$$\frac{V_{ac}^2}{2V_t^2}$$

D'après T. Zhang [83], on peut ainsi exprimer notre tension de sortie par :

$$V_{out} = V_o - V_1 \cong V_t \cdot \ln \left(1 + \frac{V_{ac}^2}{4V_t^2} \right) \quad (\text{III.7})$$

A noter que cette approximation n'est valable qu'en petit signal pour des signaux de faible puissance, équivalent à une zone de détection quadratique. Dans le cas d'une détection de forte puissance, le transistor Q0 passe en mode de fonctionnement redresseur où le courant se met à circuler pendant une demi-période. Notre cahier des charges nous impose de conserver le même mode de fonctionnement du transistor Q0 pour éviter une source d'erreur supplémentaire liée au changement de type de détection (quadratique vers linéaire). Pour augmenter la zone de détection quadratique, nous polarisons nos transistors Q0/Q1 à un fort courant de collecteur. Ainsi malgré une augmentation du signal d'entrée V_{RF} les transistors Q0/Q1 ne passent jamais en mode de fonctionnement redresseur. La Figure 76 montre l'évolution de la puissance de sortie $V_{out}=V_0-V_1$ en fonction de la puissance d'entrée P_{in} à 150 GHz pour deux polarisations : à faible courant $I_c=60 \text{ uA}$ et à fort courant $I_c=13 \text{ mA}$ et utilisant une source de courant parfaite.

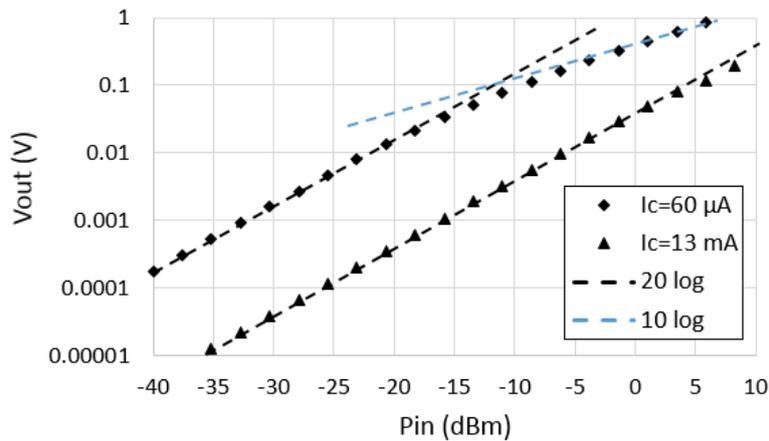


Figure 76 : Simulation de $V_{out}=f(P_{in})$ pour deux polarisations différentes $I_c=60 \mu A$ et $I_c = 13 \text{ mA}$ à $f=150\text{GHz}$

Nous observons sur la Figure 76 l'existence de deux régimes de fonctionnement (redresseur \rightarrow pente 10log, quadratique \rightarrow pente 20log) à un courant de polarisation $I_c=60 \mu A$. La transition entre ces deux modes de fonctionnement ne permet pas une bonne connaissance de $V_{out}=f(P_{in})$ entre -15 dBm et -5 dBm de puissance d'entrée. La polarisation à un courant $I_c=13 \text{ mA}$ étend le régime de fonctionnement vers les puissances élevées. Enfin lorsque la tension de sortie V_{out} devient trop élevée la tension V_{ce} aux bornes de Q1 diminue, Q1 rentre alors dans un régime de saturation (non visible Figure 76).

Rappelons que nous cherchons également à rester en régime de fonctionnement petit signal afin que l'impédance d'entrée du détecteur de puissance ne varie pas en fonction du niveau de puissance d'entrée. C'est un problème couramment rencontré en caractérisation de signaux forte puissance et qui nécessite d'être vérifié afin de valider la fiabilité de notre détecteur. Nous traçons Figure 77 l'évolution du paramètre S11 grand signal en entrée du détecteur en fonction de la puissance pour ces deux courants.

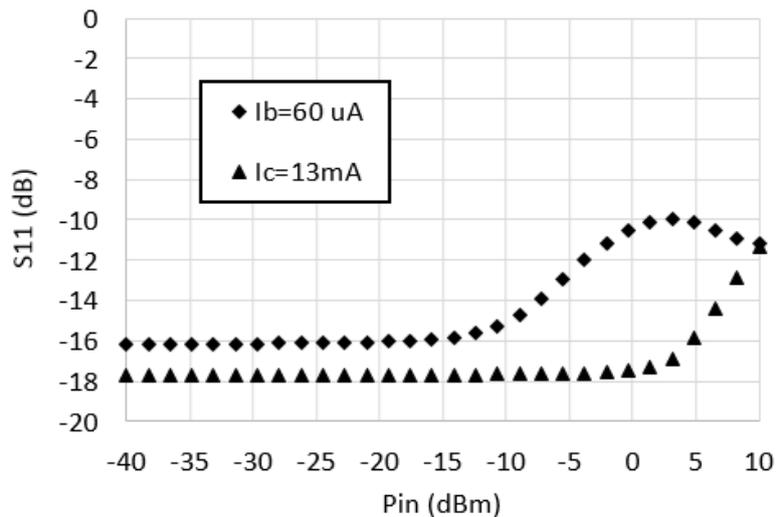


Figure 77 : Simulation de l'évolution du paramètre S11 en entrée en fonction de la puissance – f=150GHz

On ne constate aucune variation du coefficient de réflexion en entrée S11 du détecteur en fonction de la puissance d'entrée tant qu'on reste en régime quadratique (jusqu'à 0 dBm). Cela confirme notre intérêt à polariser le détecteur en fort courant pour rester en détection quadratique tout en présentant un coefficient de réflexion inférieur à 10 dB en entrée de la cellule.

La Figure 78 présente l'évolution du paramètre S11 (dB) en fonction de la fréquence. Nous obtenons une bonne adaptation proche de 50 Ω entre 130 et 180 GHz, lorsque le paramètre S11 est inférieur à -10 dB.

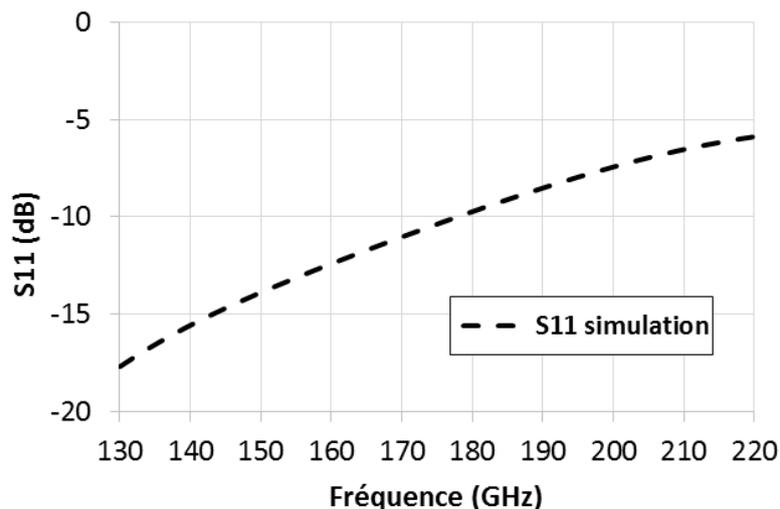


Figure 78 : paramètre S11 du détecteur de puissance à Ic=13 mA

Le Tableau 12 répertorie les résultats de simulation obtenus par le détecteur à transistors bipolaires et ceux obtenus avec la version MOS en les comparant aux spécifications visées :

	Spécifications	Détecteur MOS	Détecteur Bipolaire
Plage de détection	-20 -> 10 dBm	-20 dBm -> 8 dBm	-20 dBm -> 3 dBm
Bande passante < -10 dB	130 - 220 GHz	144 – 154 GHz	130-180 GHz
Pin à Vout = 1 mV	-20 dBm	-15 dBm	-15 dBm

Tableau 12 : Résultats de simulation des détecteurs Bipolaire et MOS et comparaison avec le cahier des charges

D’après le Tableau 12, le détecteur de puissance à transistors bipolaires présente de meilleures performances en termes de bande passante, ainsi que des niveaux de tension suffisants, contrairement au détecteur à transistor MOS. La sensibilité n’a pas fait l’objet d’une étude approfondie dans notre cas, étant donné notre application. Cependant nous pouvons nous attendre à avoir une meilleure sensibilité avec le montage en bipolaire car il présente moins de bruit en $1/f$ que le MOS [91]. Enfin, il faut assurer des niveaux de tension suffisants pour que ceux-ci soient mesurables de manière précise et répétable (supérieure au mV).

Le détecteur à transistors bipolaires répondant donc mieux à nos besoins, nous avons ciblé cette solution pour une réalisation sur silicium. Nous allons à présent présenter les performances mesurées du détecteur de puissance.

III.4.2. Performances mesurées du détecteur

La Figure 79 présente la photographie du détecteur de puissance de Meyer réalisé à base de cellules bipolaires. La taille du circuit est de $0,87 \times 1,3 \text{ mm}^2$.

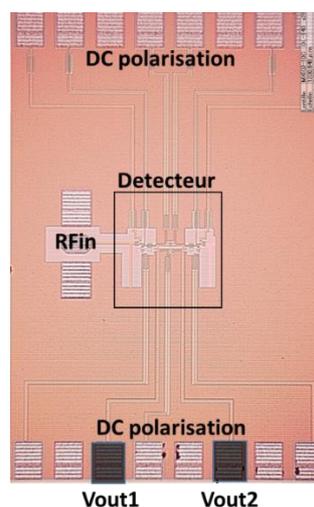


Figure 79 : micro-photographie du détecteur de puissance

La caractérisation en paramètres S en entrée entre 130 et 220 GHz a été réalisée à l'aide d'un analyseur vectoriel équipé de têtes millimétriques dont les mesures sont présentées Figure 80 :

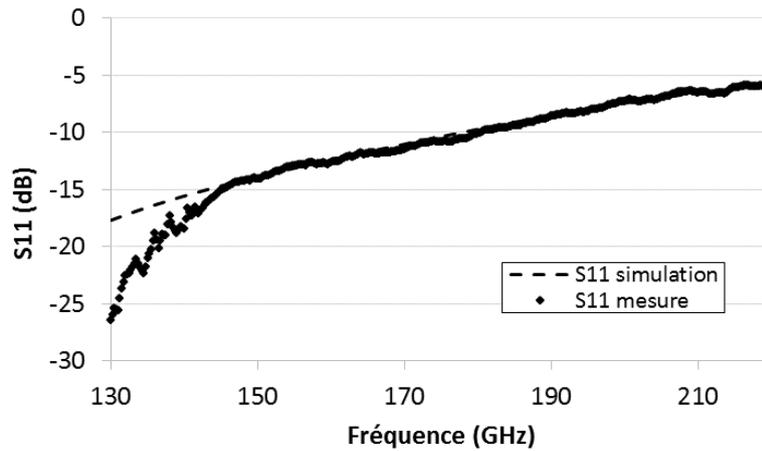


Figure 80 : Mesure du paramètre S d'entrée en bande G

Nous observons une bonne corrélation entre la mesure et la simulation du paramètre S11 du détecteur. De plus ce paramètre S11 est inférieur à 10 dB entre 130 GHz et 180 GHz, ce qui nous assure une bonne adaptation sur 50 Ω .

Au même titre que la mesure en puissance du tuner, la caractérisation en puissance n'a pu s'effectuer qu'à 150 GHz car seule cette source de puissance est disponible. Elle est cependant capable de générer des niveaux de puissance élevés de 7 dBm entre 148 et 155 GHz. Nous avons donc caractérisé les détecteurs de puissance dans cette bande de fréquence.

Le banc de mesure en puissance est présenté Figure 81 :

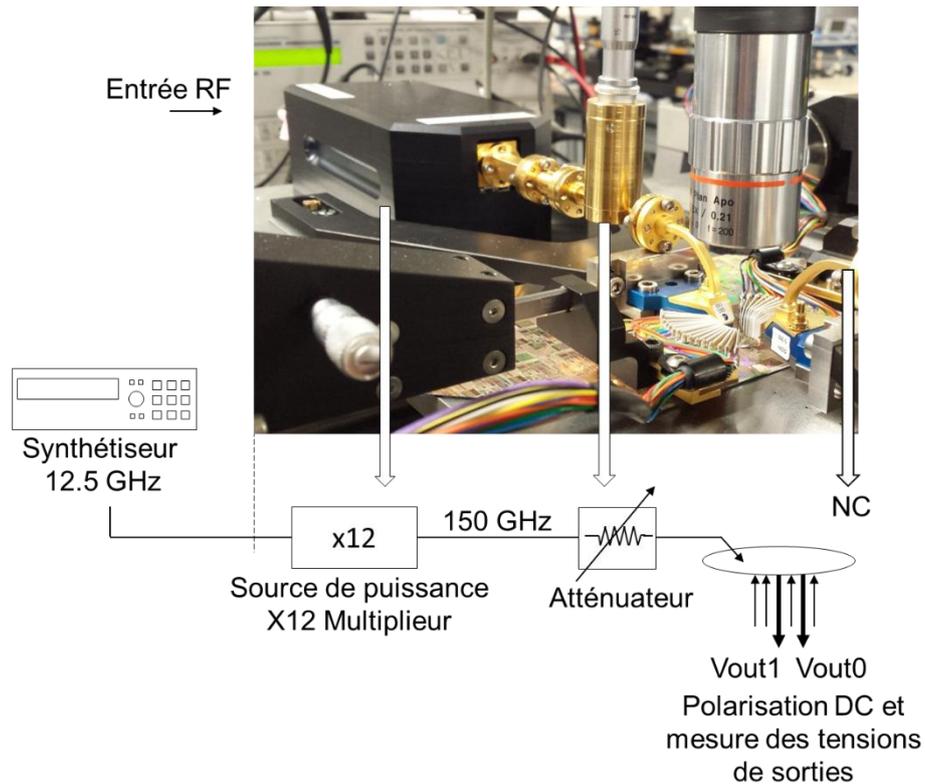


Figure 81 : Caractérisation en puissance du détecteur de puissance

Un synthétiseur basse fréquence permet de générer un signal entre 12,5 et 12,75 GHz en entrée du multiplieur par 12 (source) afin d'obtenir un signal entre 150 GHz et 153 GHz. La source de puissance est calibrée au préalable afin de connaître précisément les niveaux de puissance qu'elle est capable de générer selon sa fréquence de fonctionnement. Cependant, nous avons remarqué que la puissance générée par la source dépend de son impédance de charge. C'est pourquoi nous isolons cette source grâce à un atténuateur externe qui va nous servir également à faire varier le niveau de puissance (plutôt que de contrôler cette puissance via le générateur externe). Les transistors sont polarisés à courant constant $I_c=13,5$ mA via le transistor MOS polarisé à une tension de grille de 670 mV. Les tensions et les courants du circuit sont tous indiqués sur la Figure 75.

La comparaison entre la simulation et la mesure des tensions détectées sont présentées ci-dessous :

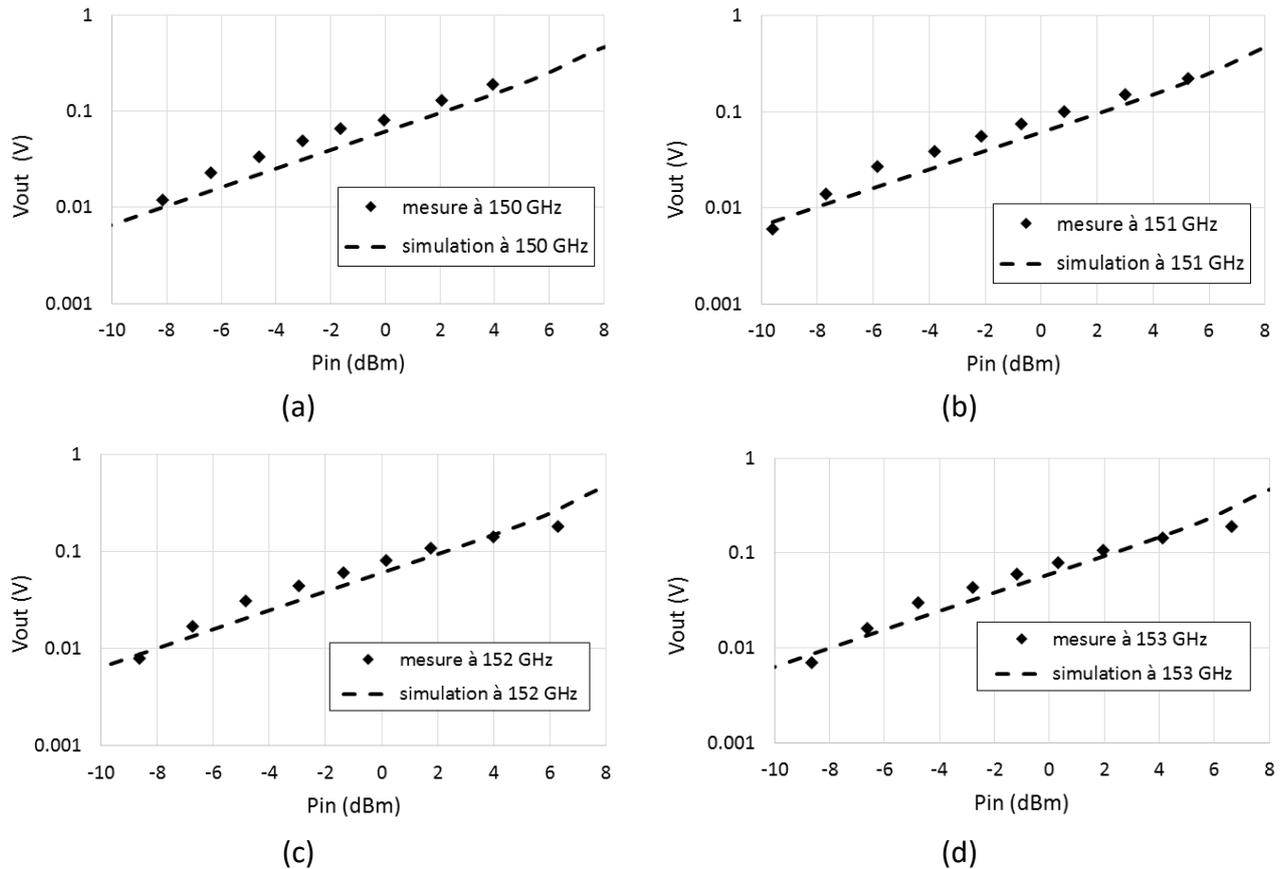


Figure 82 : Tension de sortie V_{out} en fonction de la puissance d'entrée P_{in} à 150 GHz (a), 151 GHz (b), 152 GHz (c) et 153 GHz (d)

La puissance disponible P_{in} est limitée par les performances de la source de puissance externe suivie de l'atténuateur, ce qui nous limite à environ $P_{in_max} = 5$ dBm en entrée à 150 et 152 GHz et 7 dBm à 152 et 153 GHz. Nous ne pouvons donc pas mettre en évidence par la mesure le changement du régime de fonctionnement de notre détecteur. Dans un premier temps nous avons vérifié que nous obtenions bien une tension identique au niveau des tensions V_1 et V_0 soit $V_{out} = V_0 - V_1 = 0V$. En augmentant la puissance P_{in} du signal d'entrée on obtient une augmentation de la tension de sortie V_{out} . D'après la Figure 82, on observe une bonne corrélation sur les niveaux de tension obtenus en sortie du détecteur entre la simulation et la mesure. La légère dispersion des points provient de la fluctuation des tensions mesurées. Nous restons cependant autour des niveaux de tension attendus. La mesure a été effectuée sur plusieurs cellules de détecteur afin d'en vérifier leur répétabilité.

Maintenant que nous avons validé par la mesure la cellule de détection de puissance, nous allons à présent étudier et réaliser la cellule d'atténuation rentrant dans la constitution du système de détection complet à forte dynamique (Figure 74).

III.4.3. Développement d'un atténuateur de puissance réglable

L'atténuateur est utilisé pour atténuer la puissance du signal d'entrée et ne doit pas perturber les autres éléments du circuit. Le cahier des charges de l'atténuateur est le suivant :

- Bande passante 130-220 GHz (limité dans tous les cas par la bande passante du détecteur qui est de 130-180 GHz)
- Atténuation optimale = 5dB

Nous choisissons une atténuation de 5 dB qui permet de rester dans la dynamique de détection du détecteur de puissance en régime de fonctionnement quadratique. Les pertes des jonctions étant de 3 dB, l'atténuation totale escomptée est de $5+(2 \times 3)=11\text{dB}$. Le développement de l'atténuateur s'est basé sur une étude bibliographique que nous présentons ici.

III.4.3.1. Etude bibliographique

La structure proposée dans le papier [83] utilise des atténuateurs avec des résistances montées en T ou en π . Ils sont facile à mettre en œuvre, prennent peu de place sur silicium, et présentent une atténuation constante sur une plage d'au moins 20 GHz. Nous avons déjà étudié les comportements des résistances dans l'annexe I, et nous en avons conclu qu'elles sont inutilisables à nos fréquences de travail. Nous devons donc utiliser un autre moyen d'atténuer notre signal. Pour cela nous effectuons un état de l'art sur les atténuateurs existants en recherchant principalement des atténuateurs constitués d'éléments capables de fonctionner à des fréquences autour de 150 GHz, à savoir des transistors ou des lignes de propagations.

Les atténuateurs présents dans l'état de l'art à des fréquences > 10 GHz sont présentés dans le tableau suivant :

Réf.	Structure	BP (GHz) pour un S_{11} (dB) <-10 dB	BP (GHz) pour un S_{22} (dB) <-10 dB	Atténuation (dB)	Méthode de réglage de l'atténuation
[92]	Atténuateur actif en bipolaires	3,1 – 10,6	NA (inconnu)	0 à -40	analogique
[93]	Atténuateur passif en MOS	10 – 67	15 – 45	-10 à -60	numérique (par commutation)

Tableau 13 : Etat de l'art des atténuateurs

Le Tableau 13 nous permet de constater tout d'abord qu'il n'existe pas d'atténuateur fonctionnant à nos fréquences de travail. Cependant, nous pouvons voir qu'aucune résistance n'est utilisée dans le chemin RF dès que nous montons haut en fréquence. En effet, ces atténuateurs n'utilisent que des transistors bipolaires ou MOS ou des lignes de propagation.

Le premier atténuateur présenté dans le papier [92], utilise des transistors bipolaires, fonctionnant en zone linéaire et en zone de saturation. Le schéma du montage est présenté sur la Figure 83:

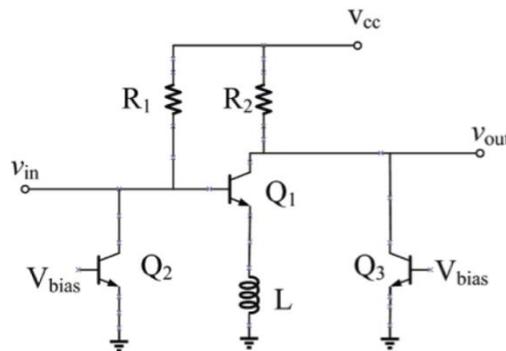


Figure 83 : montage d'un atténuateur en pi actif [92]

Les tensions V_{bias} modifient la polarisation des transistors Q2 et Q3 et donc leur zone de fonctionnement. En faisant « commuter » l'état de ces transistors, il est alors possible de régler l'atténuation. L'atténuation minimum correspond à Q1 en zone active, Q2 et Q3 en zone de saturation et l'atténuation maximale correspond à Q1 en zone de saturation, Q2 et Q3 en zone active. Q1 permettant d'isoler l'entrée de la sortie. Un tel montage permet de régler l'atténuation de manière analogique. Cependant, nous n'avons aucune information concernant son niveau d'adaptation en sortie. En effet, l'état des transistors change de manière importante ce qui modifie les impédances vues en entrée et en sortie et ne permet pas une adaptation fixe et large bande.

Nous avons également étudié un atténuateur passif [93], réalisé avec des transistors MOS, utilisés dans leur zone ohmique comme commutateurs et présenté Figure 84.

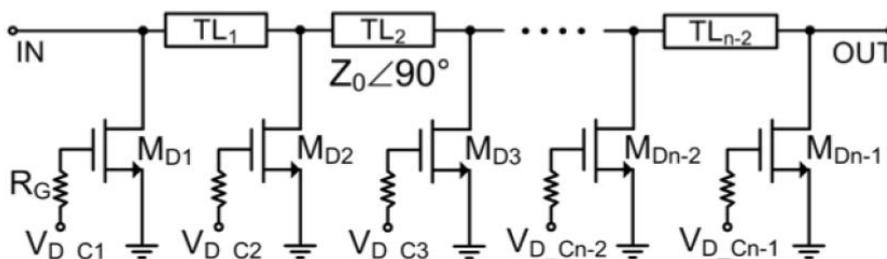


Figure 84 : Montage atténuateur passif à base de MOS [93]

Le principe consiste à cascader des transistors MOS en parallèle et de les commuter à l'aide d'une tension V_{D_Cn} . On peut ainsi faire varier l'atténuation totale selon le nombre de résistance R_{DSON} équivalente en parallèle. Chaque étage de transistor est relié à l'aide d'une ligne microruban de longueur $\lambda/4$, qui dépend donc de la fréquence utilisée. Le niveau d'atténuation minimal est de -10 dB, or nous souhaitons des niveaux d'atténuation moins importants, de l'ordre de -5 dB. De plus les valeurs d'atténuation sont discrètes et d'un pas imposé par la dimension des MOS.

Ainsi, les atténuateurs que nous venons d'étudier ne conviennent pas à notre application. On propose donc d'utiliser une autre structure que celles présentées dans l'état de l'art. Nous avons constaté que notre détecteur, fonctionnant à 150 GHz, atténuait notre signal en puissance tout en étant adapté large bande. Nous proposons d'utiliser un étage similaire comme atténuateur.

III.4.3.2. Etude et réalisation de l'atténuateur

Notre idée consiste à utiliser le même étage que celui utilisé pour le détecteur à savoir un transistor bipolaire monté en collecteur commun, contrôlé par un MOS polarisé en zone ohmique. Un schéma de principe de l'atténuateur est présenté Figure 85 (a). La Figure 85 (b) montre le schéma petit signal simplifié correspondant.

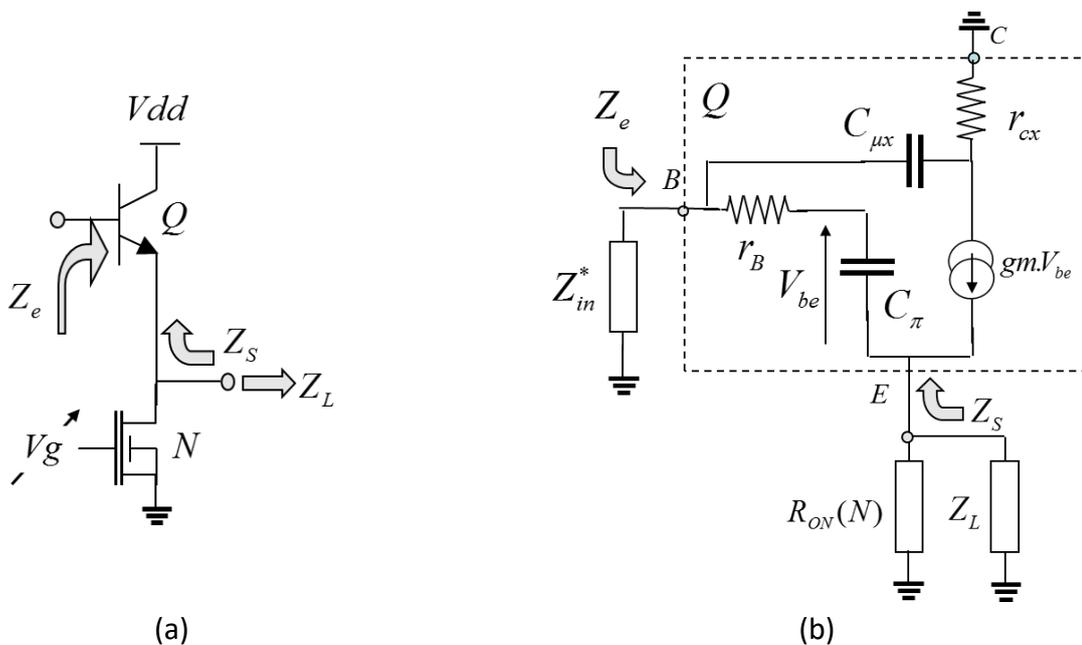


Figure 85 : Schéma de principe de l'atténuateur (a) et son modèle petit signal (b)

Le signal en entrée est injecté dans le transistor bipolaire Q monté en émetteur suiveur et dégénéré par la résistance R_{ON} équivalente au transistor NMOS polarisé en zone ohmique.

L'atténuation entre l'entrée et la sortie dépend de la résistance R_{ON} dont la valeur est ajustée par la tension de commande V_g polarisant la grille du MOS. Le transistor bipolaire, polarisé à courant constant, présente une transconductance indépendante de la valeur de R_{ON} . L'atténuateur doit être adapté sur 50Ω en entrée et 25Ω en sortie, afin de conserver l'adaptation entre les détecteurs et atténuateurs (Figure 74).

Le gain en puissance du circuit peut être exprimé par la relation (III.8), où $\Re(Z_L)$ et $\Re(Z_{e//})$ sont les parties réelles de l'impédance d'entrée Z_e et de la charge Z_L . G_v est le gain en tension.

$$G_p = |G_v|^2 \frac{\Re(Z_{e//})}{\Re(Z_L)} \quad (III.8)$$

A partir du schéma de la Figure 85 (b) le gain en tension G_v peut être exprimé par la relation (III.9).

$$G_v(p) = \frac{V_{out}}{V_{in}} = \frac{F(p)}{1 + F(p)} \quad (III.9)$$

Avec

$$F(p) = gm(R_{ON} // Z_L) \frac{\frac{C_{\pi} \cdot p}{gm} + 1}{1 + gm \cdot R_E + (R_E + R_B) C_{\pi} \cdot p} \quad (III.10)$$

La variation du gain G_v en faisant varier la valeur de R_{ON} induit une variation du gain en puissance. La variation de l'impédance d'entrée Z_e est reliée à celle de R_{ON} par la relation:

$$Z_e = \left[\frac{1}{C_{\mu M} \cdot p} \right] // \left[[R_B + R_E + (R_{ON} // Z_L)] + \frac{1}{C_{\pi} \cdot p} [1 + gm(R_{ON} // Z_L + R_E)] \right] \quad (III.11)$$

Avec $C_{\mu M}$ la capacité Miller introduite par la résistance $C_{\mu x}$ par la relation : $C_{\mu M} = (1 + gm \cdot r_{cx}) C_{\mu x}$

L'atténuation théorique peut être calculée en incluant la valeur de chaque paramètre exprimé dans les relations précédentes à un point de polarisation de $I_c = 6 \text{ mA}$ et une fréquence de fonctionnement de 150 GHz . Pour une variation de V_g de $0,6 \text{ V}$ à $0,9 \text{ V}$, la résistance R_{ON} varie de 41

L'atténuateur a été caractérisé sur silicium en utilisant des sondes infinity de la société Cascade WR-5 en entrée et en sortie. La mesure des paramètres S est effectuée à l'aide d'un analyseur de réseau fonctionnant entre 10 MHz et 20GHz et un module d'extension WR-5 dans la bande de fréquence 140-220 GHz. La mesure en puissance est effectuée à l'aide d'une source de puissance fonctionnant à 150 GHz. La puissance de sortie est mesurée à l'aide d'un analyseur de spectre précédé d'un mélangeur comme présenté Figure 47.

La Figure 88 présente l'évolution du paramètre S21 de l'atténuateur en fonction de la fréquence pour les deux valeurs extrêmes de R_{ON} .

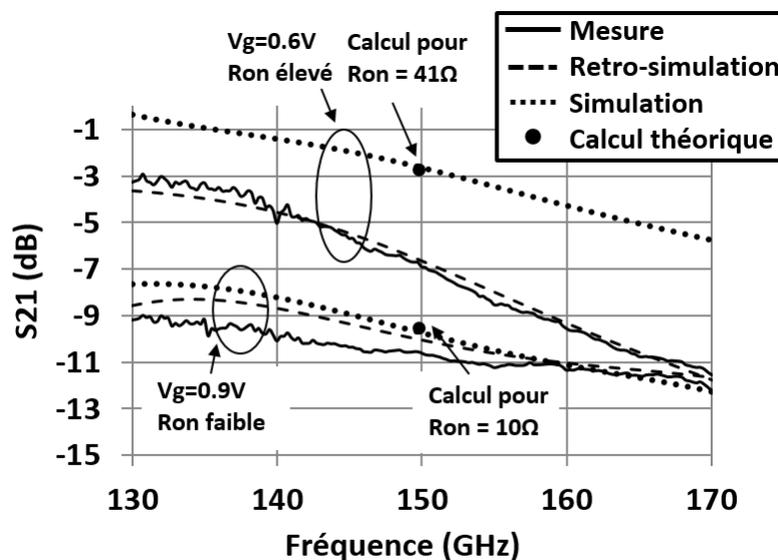


Figure 88 : Comparaison entre la simulation, la rétro-simulation, la mesure et le calcul théorique de l'atténuation en fonction de la fréquence pour deux valeurs de R_{ON}

Tous les résultats Figure 88 sont obtenus à un point de polarisation identique. La simulation initiale prend en compte les composants parasites issus d'une simulation « post-layout ». Une bonne corrélation est obtenue à 150 GHz, entre la simulation initiale et le calcul du gain théorique détaillé dans l'étude précédente. Ces résultats (étude théorique et simulation initiale) font état d'une bonne dynamique entre 130 et 170 GHz.

Cependant, les résultats obtenus en mesure diffèrent de ceux attendus car nous n'obtenons pas les niveaux d'atténuation escomptés notamment pour les R_{ON} élevés. Une étude approfondie et des rétro-simulations ont été effectuées afin de comprendre ce phénomène, qui peut s'expliquer par un retour de masse non modélisé. En effet la masse est imposée sur les plots RF et DC mais une certaine distance physique existe entre ces plots et la connexion effectuée à l'intérieur du circuit intégré. Il est difficile de modéliser cet accès car il dépend de nombreux paramètres. Afin de représenter au mieux l'effet de cette impédance d'accès en simulation, une

ligne de transmission de 10 μm a été insérée à chaque accès de masse dans le circuit (effet de dégénérescence). Ce retour de masse impacte fortement le niveau d'atténuation. En effet, l'impédance équivalente R_{eq} constituée de l'impédance R_{ON} en série avec cette impédance selfique, a pour effet de réduire fortement la dynamique d'atténuation. Une simulation de cette impédance R_{eq} a été effectuée pour observer l'impact du retour de masse (voir Tableau 14) :

	Sans dégénérescence	Avec une ligne de dégénérescence
$V_g = 0,6\text{V}$	$R_{eq}=41 \Omega$	$R_{eq}=28,6 \Omega$
$V_g = 0,9\text{V}$	$R_{eq}= 9,6 \Omega$	$R_{eq}=11,5 \Omega$
Dynamique ΔR_{eq}	31,4 Ω	17,1 Ω

Tableau 14 : Simulation de la variation de l'impédance réelle équivalente R_{eq} à 150 GHz avec une inductance de 7pH

L'intégration de cette impédance d'accès parasite dans le circuit permet de retrouver en rétro-simulation le comportement observé en mesure. En effet, la dynamique de variation de l'impédance équivalente R_{eq} étant réduite, la variation de l'impédance équivalente $Z_L//R_{eq}$ est plus faible, ce qui a pour effet de diminuer la dynamique d'atténuation. À 150 GHz, les mesures et les rétro-simulations montrent une variation de l'atténuation comprise entre -7 et -10,9 dB.

La Figure 89 montre une comparaison entre les mesures et les retro-simulations des paramètres S_{11} et S_{22} . Le paramètre S_{11} de l'atténuateur est inférieur à -10 dB jusqu'à 170 GHz pour des R_{ON} faibles et permet une bonne adaptation sur 50 Ω . En ce qui concerne le paramètre S_{22} , le décalage observé entre mesures et simulations provient d'une prise en compte partielle des éléments de couplage parasite difficilement modélisables, dans le réseau de sortie. La gamme d'atténuation mesurée permet cependant d'assurer la détection en régime quadratique sur une large plage de puissance [83]. Les résultats montrent une assez bonne corrélation entre la mesure et la rétro-simulation.

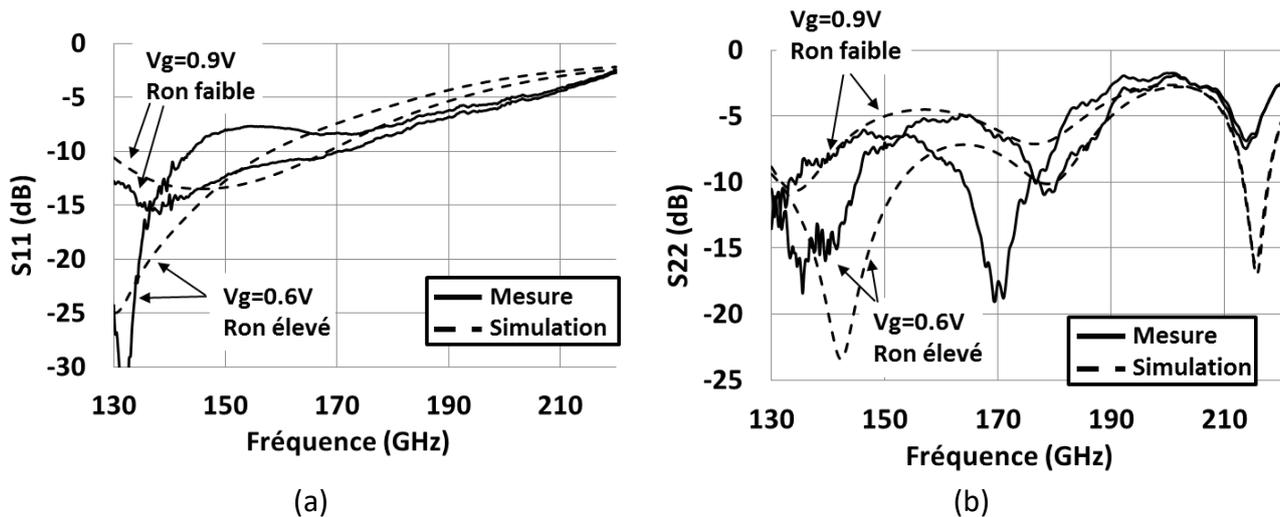


Figure 89 : Paramètres S11 (a) et S22 (b) en fonction de la fréquence pour deux valeurs de R_{ON}

Enfin, la linéarité de l'atténuateur a été caractérisée. Les points de compression mesurés en entrée et en sortie pour une polarisation sur la grille de $V_g=0,6V$ (atténuation minimum) sont respectivement $ICP1dB=-4dBm$ et $OCP1dB=-5dBm$ à 150 GHz. Etant donné que nous souhaitons utiliser cet atténuateur pour des puissances d'entrée élevées, nous ne pourrions pas l'utiliser à ce point de polarisation car il comprime trop bas. Cependant pour une polarisation de $V_g=0,9 V$ (atténuation maximum) l'atténuateur reste linéaire jusqu'à au moins 5 dBm et le rend utilisable dans notre application au prix cependant de niveaux d'atténuation importants, compris entre -9 dB à 130 GHz et -11 dB à 150 GHz.

Le Tableau 15 résume les performances de l'atténuateur ainsi réalisé. Nous obtenons une atténuation variable sur une bande passante de 20 GHz à des niveaux d'atténuation plus importants que ceux recherchés. La bande passante est réduite par rapport à celle escomptée. En effet il est très difficile d'obtenir une adaptation optimale en sortie, malgré l'utilisation de doubles stubs.

Bande passante	130 - 180 GHz	130 - 150 GHz
Atténuation optimale	-5 dB	- 9 dB à 130 GHz - 11 dB à 150 GHz

Tableau 15 : Performances obtenues de l'atténuateur

Nous allons maintenant présenter les performances du système de détection complet présenté Figure 91 et comprenant les deux cellules de détection de puissance et l'atténuateur.

III.4.4. Performances mesurées du système de détection complet

Le schéma du système complet est présenté Figure 90 ainsi que sa photographie Figure 91 dont le principe a été expliqué précédemment (cf. Figure 74).

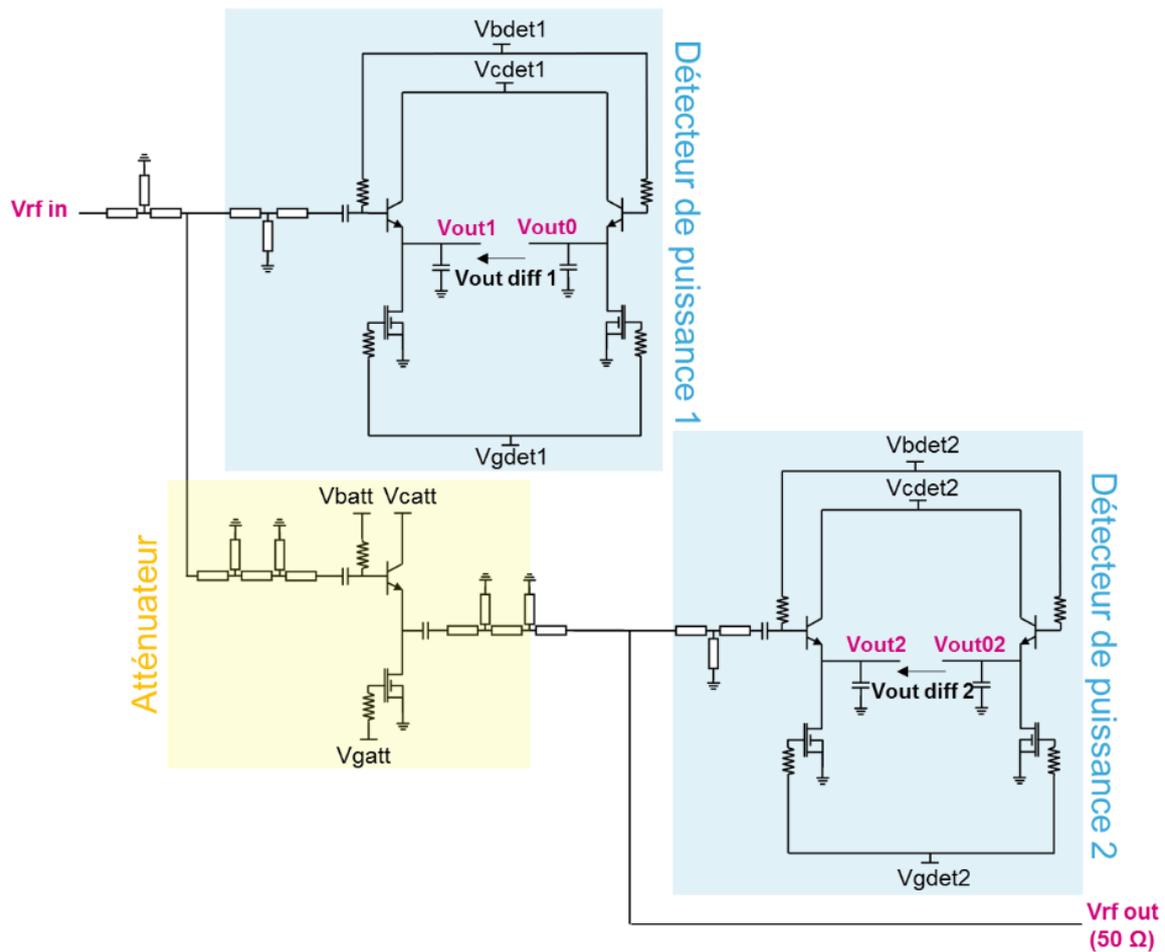


Figure 90 : Schéma du système de détection de puissance complet

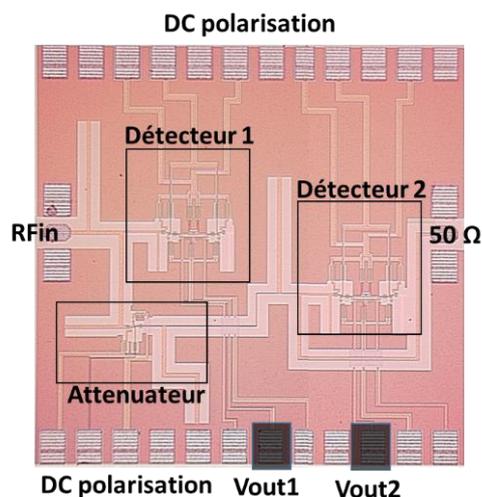


Figure 91 : Micro-photographie du détecteur complet

Le système est caractérisé autour de 150 GHz, avec la source de puissance externe générant un signal autour de 150 GHz. La sortie V_{RFout} (Figure 90) en sortie de l'atténuateur est connectée à l'analyseur de réseau, permettant de présenter une impédance de 50Ω . Les polarisations ainsi que la mesure des tensions DC V_{out1} et V_{out2} en sortie des deux détecteurs s'effectuent via des plots silicium. Quant au plan de masse, il est homogène et réparti équitablement sur tout le circuit. La taille du circuit est de $1,33 \times 1,28 \text{ mm}^2$.

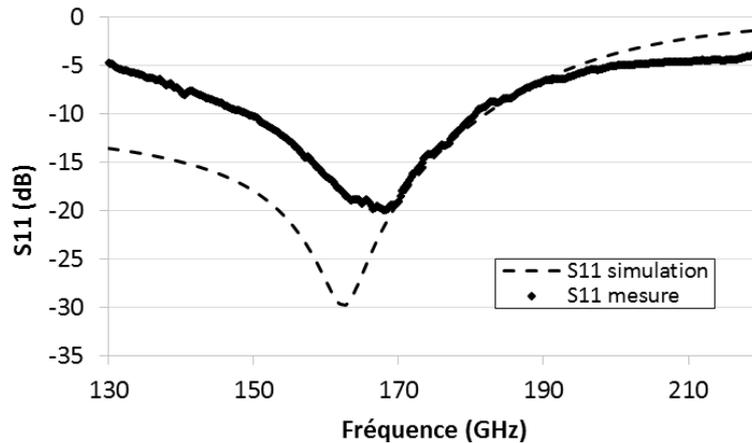


Figure 92 : Paramètre S11 du détecteur de puissance complet

La mesure du paramètre $S_{11} < 10 \text{ dB}$ entre 148 GHz et 180 GHz montre une bonne adaptation sur 50Ω dans cette bande de fréquence.

Les tensions des sorties différentielles V_{out1} et V_{out2} sont présentées Figure 93 :

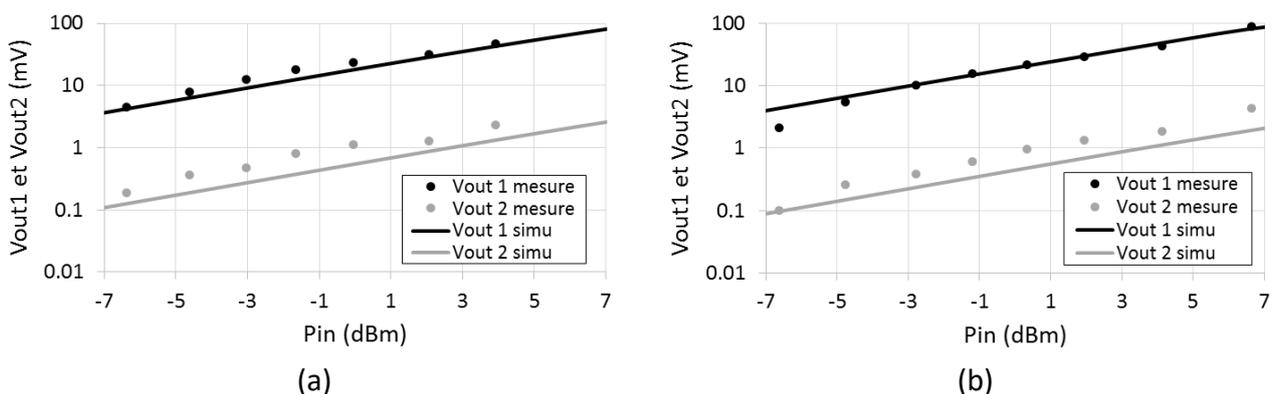


Figure 93 : Tensions de sortie V_{out1} et V_{out2} en fonction de la puissance d'entrée P_{in} à 150 GHz (a) et 153 GHz (b) pour une atténuation à $V_g=1,2 \text{ V}$ (atténuation maximum)

A partir d'une certaine puissance $P_{in}=10 \text{ dBm}$ soit $P_{indet1}= P_{in}-\alpha_{jonction}=10-3=7\text{dBm}$, le premier détecteur n'est plus en zone de détection quadratique. Il n'a pas été possible d'observer ce phénomène en mesure car la puissance maximale générée en entrée (P_{in}) à ces fréquences n'est pas suffisante. L'atténuateur est polarisé à $V_g=0,9 \text{ V}$ soit une atténuation de $-10,8 \text{ dB}$ (Figure 88).

On présente donc à l'entrée du deuxième détecteur une puissance de $P_{\text{indet2}} = P_{\text{in}} - \alpha_{\text{jonction}} * 2 - \alpha_{\text{atten}} = 10 - 6 - 10,8 = -6,8 \text{ dBm}$ située dans la gamme de détection quadratique de ce détecteur. Le système de détection permet donc bien de mesurer des puissances au-delà de 10 dBm tout en restant dans la zone de détection quadratique des cellules de détection de puissance.

III.5. Conclusion du chapitre III

Notre objectif a été de développer un détecteur de puissance intégré, compatible avec des temps de tests industriels et présentant une dynamique de détection suffisante pour notre application. Après avoir proposé un système de détection basé sur des détecteurs fonctionnant en régime quadratique et un atténuateur, nous avons étudié chaque bloc indépendamment.

Deux architectures de détecteur ont été abordées. Dans un premier temps une solution utilisant un MOS monté en source commune a montré des performances insuffisantes en simulation avec une bande passante de seulement 10 GHz et une plage de détection comprise entre -20 et 8 dBm. Nous avons donc comparé ce détecteur avec un détecteur utilisant un bipolaire monté en collecteur commun. Ce dernier offre de meilleures performances en simulation avec une bande passante de 50 GHz et une dynamique de détection quadratique comprise entre -20 dBm et 3 dBm. C'est ce détecteur bipolaire que nous avons choisi de réaliser sur silicium. Une bonne corrélation entre la mesure et la simulation a été obtenue avec une bande passante de 50 GHz et une dynamique de détection d'au moins 15 dB. La mesure en puissance a été limitée par les appareils de mesures disponibles.

Ensuite nous avons réalisé un atténuateur de puissance qui permet d'atténuer le signal RF pour rentrer dans la dynamique de détection quadratique d'un détecteur. La structure qui a été choisie est basée sur l'utilisation d'un bipolaire monté en collecteur commun et dégénéré dans son émetteur par un MOS polarisé en zone ohmique. La variation de la résistance R_{on} équivalente du MOS nous permet de faire varier le niveau d'atténuation. Nous avons ainsi obtenu une atténuation comprise entre -7 dB et -11 dB. Cependant l'atténuateur polarisé pour des faibles atténuations ($V_g = 0,6 \text{ V}$) présente des points de compression en entrée de -4 dBm et en sortie de -5 dBm ce qui le rend inutilisable dans notre système. Nous l'avons donc utilisé en le polarisant pour de fortes atténuations ($V_g = 0,9 \text{ V}$) car parfaitement linéaire jusqu'à au moins 5 dBm. Ses niveaux d'atténuation sont compris entre -9 dB à 130 GHz et -11 dB à 150 GHz.

Enfin nous avons réalisé le système complet en assemblant tous les blocs soit deux détecteurs de puissance et un atténuateur. Ce système de détection de puissance permet de détecter des forts niveaux de puissances (> 10 dBm) tout en restant dans la région de détection quadratique. Les niveaux de puissance disponibles en entrée du système de détection sous test sont cependant limités par la source externe et ne nous a pas permis de valider la simulation par la mesure.

Ces travaux ont fait l'objet d'une publication nationale aux JNMs (atténuateur) [94] et d'un brevet (atténuateur) [95].

Nous avons maintenant vu l'ensemble des circuits constituant le banc load-pull intégré sur silicium. Chacun de ces circuits respecte le cahier des charges fixé initialement permettant un bon fonctionnement du banc complet. Le chapitre suivant est consacré à l'assemblage du banc load-pull intégré complet et son application à la caractérisation d'un dispositif bipolaire issu de la technologie d'assemblage BiCMOS 55 nm.

Chapitre IV

Caractérisation in-situ large signal en bande D de transistors bipolaires en technologie BiCMOS 55 nm

IV.1. Introduction du Chapitre IV

L'enjeu de ce chapitre consiste à l'élaboration d'un environnement in situ de caractérisation load-pull en bande D pour extraire les paramètres non linéaires des transistors bipolaires en technologie BiCMOS 55 nm. L'assemblage (Figure 94) des éléments étudiés dans les chapitres précédents, à savoir la source de puissance, le synthétiseur d'impédances et le détecteur de puissance, constituera la base de notre banc de caractérisation intégré.

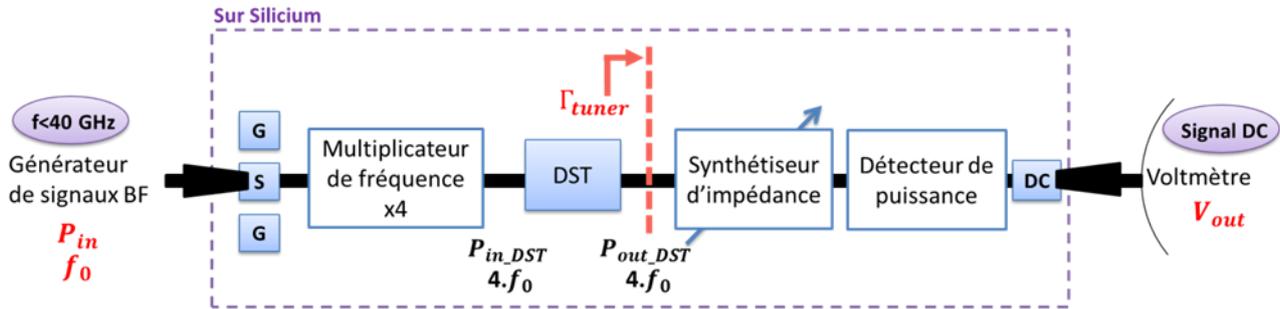


Figure 94 : Banc de caractérisation load-pull tout intégré

Nous rappelons dans le Tableau 16 les besoins d'instrumentation auxquels nous répondons dans ces travaux ainsi que les valeurs de figure de mérite de chaque élément qui a été réalisé :

		50-110 GHz	130-220 GHz	> 220 GHz
Source de puissance avec un $P_{out} > 5 \text{ dBm}$ dans le plan du composant	Source externe large bande	Disponible	Non Disponible	Non Disponible
	Source externe bande étroite	Disponible	à 150 GHz uniquement	Non Disponible
	Source intégrée large bande	Disponible	$P_{out} \text{ max} = 10 \text{ dBm}$ BP -3 dB = 24 GHz (130-154 GHz)	Non Disponible
Synthétiseur d'impédances avec un $\Gamma > 0.5$ dans le plan du composant	Tuner externe	Disponible	Non Disponible	Non Disponible
	Tuner intégré	Disponible	$\Gamma > 0,6$ 130-190 GHz	Non Disponible
Détecteur de puissance	Détecteur de puissance à forte dynamique	Disponible		

Disponible

Non Disponible

Travaux de thèse

Tableau 16 : Outils disponibles pour la caractérisation en puissance de 50 GHz jusqu'à 220 GHz et description des performances des circuits réalisés dans ces travaux pour répondre à ces besoins

D'après les performances des circuits présentés dans le Tableau 16, nous sommes en mesure d'affirmer que les différents éléments répondent aux exigences des spécifications établies au Chapitre 1.

La source de signal intégrée génère suffisamment de puissance pour amener le dispositif sous test ($P_{out} > 5$ dBm), que nous envisageons de caractériser au moins jusqu'au point de compression, et ce même sous une impédance différente de 50Ω (cf. Chapitre 2).

Concernant le synthétiseur d'impédances, il génère des impédances dans la partie inductive de l'abaque de Smith, ce qui correspond à la zone des impédances optimales des dispositifs sous test (transistors MOS ou bipolaires) aux fréquences millimétriques. Ceci permet d'envisager une caractérisation load-pull relativement complète (cf. Chapitre 2).

Enfin, la caractérisation du détecteur de puissance, quant à elle, montre qu'il est possible de faire une détection de -15 dBm et au-delà de 5 dBm (cf. Chapitre 3).

Grâce à l'intégration de ces trois circuits sur silicium, au plus près du dispositif sous test, un simple générateur de signaux basses fréquences et un voltmètre seront nécessaires pour établir une caractérisation load-pull en bande G. Cette étude a aussi pour objectif de rendre ce type de mesure générique et utilisable dans un contexte de caractérisation industriel en grand volume et dans un temps restreint.

Au travers de ce chapitre, nous présenterons, dans un premier temps, la méthode d'extractions des paramètres non-linéaires d'un dispositif caractérisé (DST) dans le contexte d'un banc load-pull entièrement intégré. On détaillera ainsi, comment remonter aux puissances d'entrées P_{in_DST} et de sorties P_{out_DST} du DST (cf Figure 94), après épluchage et traitements des résultats de mesures brutes (P_{in} et V_{out} Figure 94). Dans le but de valider le principe de la mesure load-pull à haute fréquence, nous présenterons ensuite une caractérisation load pull à 150 GHz d'un véhicule de test intégrant uniquement le synthétiseur d'impédances avec le dispositif sous test. La génération de signaux (limitée ici à une seule fréquence) ainsi que la détection s'effectuent, ici, en externe. Pour finir, nous présenterons et discuterons des résultats de simulations et de mesures du banc complet intégré sur silicium. Les limitations de notre banc de test, les problèmes rencontrés ainsi que les perspectives d'amélioration seront ensuite développés.

IV.2. Technique d'extraction des paramètres grands signaux du dispositif sous test dans le banc load-pull intégré

Dans cette partie nous développons notre technique permettant de remonter aux niveaux de puissance en entrée P_{in_DST} et en sortie P_{out_DST} du DST. Connaissant ces deux puissances il est possible d'en déduire les paramètres grand signal du dispositif sous test tels que l'impédance optimale en gain, en puissance ou en rendement en puissance ajoutée, son gain en puissance maximum et les points de compression 1, 2 ou 3 dB. Le synoptique du banc complet, ainsi que les grandeurs électriques et les niveaux de puissance qui nous intéressent, sont présentés Figure 95 :

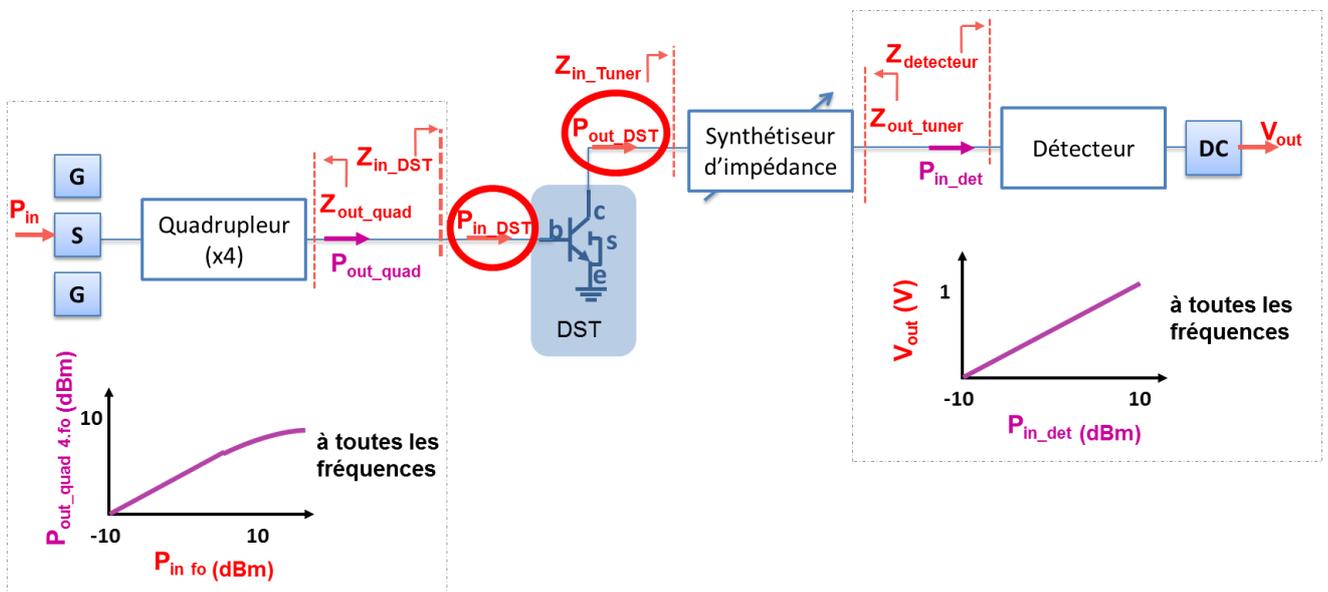


Figure 95 : Banc de caractérisation load-pull tout intégré avec toutes les grandeurs à connaître

Pour connaître les niveaux de puissance en entrée P_{in_DST} et en sortie P_{out_DST} du dispositif sous test, il convient de supprimer du bilan de puissance global les contributions amenées par chaque élément intégré à savoir le tuner, la source de puissance, le détecteur et les plots de test. Il est alors nécessaire de réaliser un épluchage en puissance (ou de-embedding) de ces éléments. Pour effectuer cet épluchage, chaque bloc doit être, au préalable, indépendamment caractérisé en puissance et en paramètres S. Le jeu de circuits et toutes les caractérisations à effectuer permettant de remonter aux niveaux de puissances P_{in_DST} et P_{out_DST} , sont présentés dans le Tableau 17. Les grandeurs électriques évoquées dans ce tableau sont visibles Figure 95. Pour chaque circuit décrit dans la colonne de gauche nous indiquons si oui ou non la mesure en paramètre S et/ou puissance est nécessaire et si un épluchage est à effectuer.

Circuit	Mesure en paramètres S	Mesures en puissance	épluchage à effectuer	Paramètre petit signal à extraire	Paramètres grands signaux à extraire
Quadrupleur	nécessaire et permet de connaître Z_{out_quad}	nécessaire et permet de connaître P_{out_quad}	épluchage du plot RF de sortie	S22	$P_{out_quad}=f(P_{in_fo})$ en fonction de la fréquence
DST + tuner	nécessaire et pour tous les états du tuner et permet de connaître Z_{in_DST}	non nécessaire	épluchage des plots RF d'entrée et sortie	Les 4 paramètres S en fonction des états du tuner	aucun
Tuner	nécessaire et pour tous les états du tuner et permet de connaître Z_{in_tuner} et $ABCD_{tuner}$	nécessaire pour vérifier qu'il ne comprime pas	épluchage des plots RF d'entrée et sortie	Les 4 paramètres S en fonction des états du tuner	aucun
Détecteur	nécessaire et permet de connaître Z_{in_det}	nécessaire et permet de connaître P_{in_det} en fonction de V_{out_det}	épluchage du plot RF d'entrée	S11	$V_{out_det}=f(P_{in_det})$ à toutes les fréquences
Banc complet	non nécessaire	A effectuer pour tous les états du tuner	non nécessaire	aucun	$V_{out_det}=f(P_{in_fo})$ à toutes les fréquences et pour différents états du tuner
Structure d'épluchage 1 : plot RF « open »	nécessaire	non nécessaire	non nécessaire	Paramètres S	aucun
Structure d'épluchage 1 : plot RF « short »	nécessaire	non nécessaire	non nécessaire	Paramètres S	aucun
Structure d'épluchage 2 : « thru »	nécessaire	non nécessaire	non nécessaire	Paramètres S	aucun

Tableau 17 : Ensemble des caractérisations à effectuer

Une fois cet ensemble de caractérisation effectué, il faut ensuite traiter les mesures et les éplucher des plots de test. Ces plots de test sont présents à chaque entrée et sortie des circuits intégrés réalisés. C'est pourquoi une bonne connaissance de cet élément est indispensable pour traiter correctement les mesures effectuées. Nous présentons dans un premier temps notre méthode de modélisation de cet élément.

IV.2.1. Modélisation du plot de test RF

Une description complète de la modélisation du plot RF est disponible Annexe I (présentation de la technologie). Toutefois nous souhaitons rappeler dans ce contexte notre méthode de modélisation.

Le plot RF qui a été utilisé dans ces travaux est un plot utilisé pour l'ensemble des produits RF de STMicroelectronics. En effet, nous nous sommes imposés l'utilisation de ce plot RF afin de se mettre dans des contraintes industrielles de caractérisation. Ce plot, d'une taille non négligeable répond aux contraintes mécaniques d'assemblage (wire bonding, flip chip). La conséquence de ces contraintes est l'observation de sa résonance intrinsèque dans la bande G. Les travaux de thèse de M. Deng [1] expliquent quels sont les problématiques liées aux plots de test sur la caractérisation hyperfréquence au-delà de 110 GHz, notamment sur les aspects de résonance de cet élément venant fausser l'étape d'épluchage. Ainsi, devant la difficulté d'exploiter une mesure de plot, nous avons choisi, nous aussi, de réaliser un modèle à partir des mesures « open » et « short ». Ce modèle est systématiquement utilisé lorsque nous épluchons un plot d'un circuit mesuré dans notre méthodologie de détermination des puissances d'entrée et de sortie du DST. Rappelons tout d'abord comment modéliser ce plot RF. Pour reconstruire son modèle nous devons mesurer une structure de ce plot en « open » et en « short » et ainsi en déduire ses paramètres séries et parallèles. Cette étape est très délicate car le plot est un motif difficile à caractériser au-delà de 130 GHz. La méthode utilisée pour réaliser notre modèle de plot est décrite Figure 96

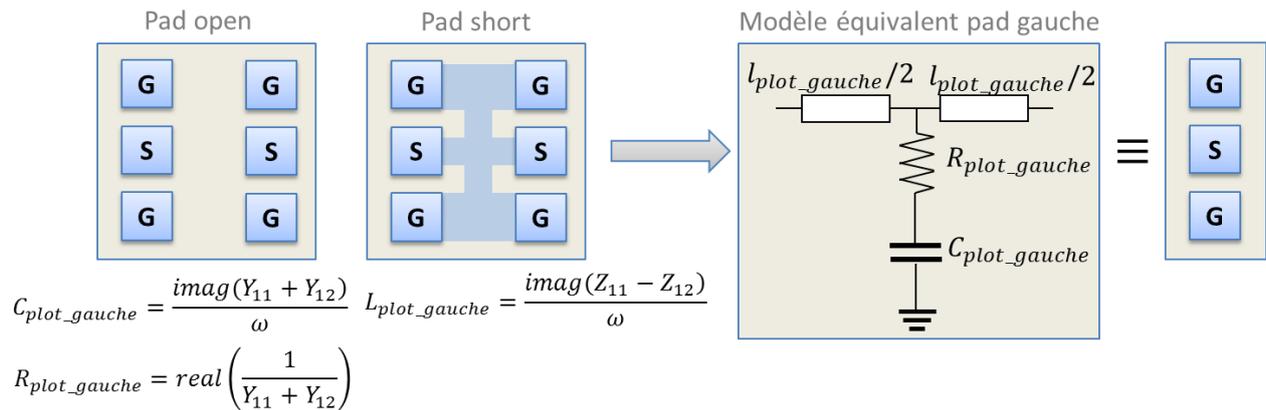


Figure 96 : Méthode pour obtenir en paramètre S un demi-pad (plot gauche ou droit)

Les motifs d'épluchage plot « open » et « short » permettent de déduire le modèle équivalent du plot RF composé d'une capacité parallèle en série avec une résistance et d'inductances en séries. À partir de ce modèle nous déduisons les matrices de paramètres Z et ABCD d'un plot hyperfréquence. Une description des mesures effectuées et des valeurs obtenues est disponible Annexe I.

Revenons maintenant à l'ensemble des mesures présentées dans le Tableau 17. Connaissant à présent le modèle du plot RF, ces mesures vont pouvoir être traitées et épluchées de leurs accès. Une fois toutes les mesures du Tableau 17 effectuées et traités, nous avons tous les éléments nécessaires pour pouvoir remonter aux niveaux de puissance du dispositif sous test qui nous intéresse : P_{in_DST} et P_{out_DST} (Figure 95). Cette étape calculatoire va être maintenant décrite.

IV.2.2. Technique d'extraction de la puissance P_{in_DST} d'entrée absorbée

Nous avons représenté sur la Figure 97 les puissances et les grandeurs électriques en entrée de notre banc de caractérisation. Nous cherchons ici à connaître la valeur de la puissance absorbée par le DST P_{in_DST} .

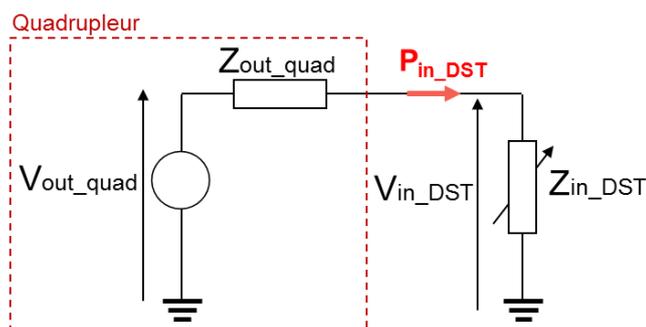


Figure 97 : Schéma équivalent des impédances vues à l'entrée du DST

Pour déterminer la puissance d'entrée absorbée P_{in_DST} nous avons besoin de connaître les valeurs de P_{out_quad} , Z_{out_quad} , Z_{in_DST} , qui sont extraites des mesures Tableau 17. Une étape d'épluchage des plots est donc nécessaire pour déterminer précisément leurs valeurs :

- L'impédance de sortie présentée par le quadrupleur, Z_{out_quad} est obtenue via la mesure des paramètres S corrigés du quadrupleur. Pour cela nous devons éplucher la contribution du plot de sortie, comme présenté en Figure 98 :

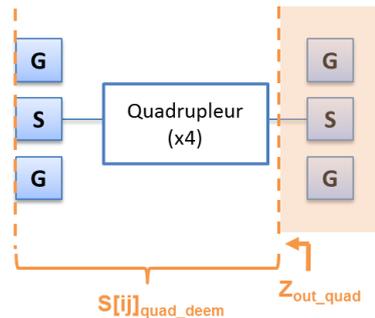


Figure 98 : Mesure de Z_{out_quad} à partir des paramètres S (plot RF épluché en sortie)

- L'impédance d'entrée du DST + Tuner pour tous les états du tuner Z_{in_DST} est obtenue de la mesure des paramètres S de cet ensemble à laquelle nous épluchons la contribution des plots d'entrée et de sortie, comme expliqué Figure 99:

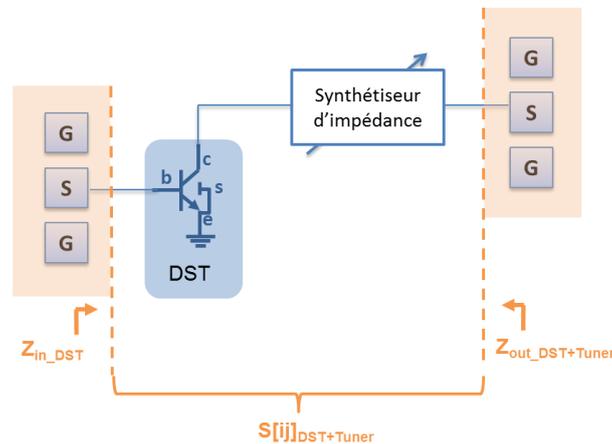


Figure 99 : Mesure de Z_{in_DST} à partir des paramètres S du DST + tuner (plot RF épluché en entrée et sortie)

Nous connaissons à présent l'ensemble des paramètres mesurés permettant de remonter à la puissance absorbée à l'entrée du dispositif sous test : P_{in_DST} . Cette grandeur électrique dépend, d'après le schéma de la Figure 97, de la tension à l'entrée du DST, V_{in_DST} et de son impédance d'entrée Z_{in_DST} et qu'on exprime par :

$$P_{in_DST} = \frac{1}{2} \Re \left(\frac{|V_{in_DST}|^2}{Z_{in_DST}} \right) \quad (IV.1)$$

On exprime la tension V_{out_quad} en fonction de l'impédance Z_{out_quad} et de la puissance P_{out_quad} dont nous connaissons les valeurs grâce à la caractérisation en puissance et en paramètres S du quadrupleur (Tableau 17). On en déduit ainsi V_{out_quad} par l'équation suivante :

$$V_{out_quad} = 2 \sqrt{2 \cdot Z_{out_quad} \cdot P_{out_quad}} \quad (IV.2)$$

D'après la Figure 97 on peut ainsi exprimer la tension d'entrée V_{in_DST} à travers une simple équation de pont diviseur :

$$V_{in_DST} = V_{out_quad} \frac{Z_{in_DST}}{Z_{in_DST} + Z_{out_quad}} \quad (IV.3)$$

Enfin, Z_{in_DST} est obtenue grâce à la mesure des paramètres S de l'ensemble DST + tuner et pour tous les états du tuner (Tableau 17) qu'on exprime:

$$Z_{in_DST} = Z_{DST+tuner}(1,1) - \frac{Z_{DST+tuner}(1,2) * Z_{DST+tuner}(2,1)}{Z_{DST+tuner}(2,2) + Z_{detecteur}} \quad (IV.4)$$

$Z_{DST+tuner}(i,j)$ est issue de la mesure des paramètres $S[i,j]_{DST+tuner}$ (avec i et j les ports d'entrée 1 et de sortie 2 correspondant). $Z_{detecteur}$ est déterminée à partir de la mesure du paramètre S_{11} du détecteur :

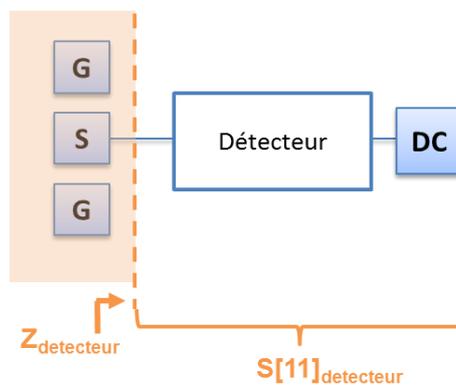


Figure 100 : Mesure de $Z_{detecteur}$ à partir des paramètres S du détecteur (plot RF épluché en entrée)

À noter que l'impédance d'entrée $Z_{detecteur}$ ne varie pas en fonction du niveau de puissance comme nous l'avons présenté Chapitre 3 Figure 77.

Maintenant que nous connaissons V_{in_DST} et Z_{in_DST} on peut ainsi calculer la puissance d'entrée P_{in_DST} absorbée à l'entrée du DST. Cependant, nous faisons l'approximation que l'impédance présentée par le DST ne varie pas en fonction de la puissance d'entrée et des impédances de charge. Ceci n'est pas rigoureux, mais cette approximation peut être considérée comme acceptable selon les travaux de A. Pottrain [96]. L'erreur commise autour de ces fréquences et pour les impédances présentées par le DST est inférieure à 0,2 dB.

IV.2.3. Technique d'extraction de la puissance P_{out_DST} de sortie disponible

Nous cherchons maintenant à connaître la puissance disponible en sortie du DST P_{out_DST} . La Figure 101 représente les puissances et les grandeurs électriques en sortie de notre banc de caractérisation.

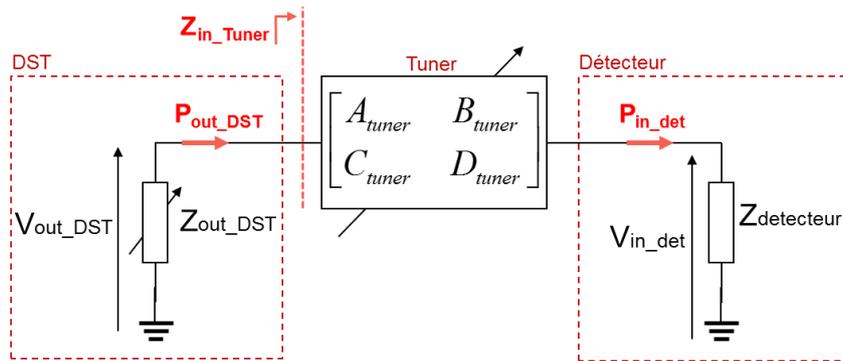


Figure 101 : Schéma équivalent du quadripôle de sortie

D'après la Figure 101, la puissance disponible en sortie du DST s'exprime :

$$P_{out_DST} = \frac{1}{2} \Re \left(\frac{|V_{out_DST}|^2}{Z_{in_tuner}} \right) \quad (IV.5)$$

Pour déterminer la puissance P_{out_DST} nous avons besoin de connaître les grandeurs P_{in_det} , Z_{in_det} , Z_{in_tuner} et la matrice ABCD du tuner, qui sont toutes issues des mesures présentées dans le Tableau 17. Pour déterminer Z_{in_tuner} et la matrice ABCD du tuner nous devons corriger des plots d'entrée et de sortie de la mesure des paramètres S du tuner:

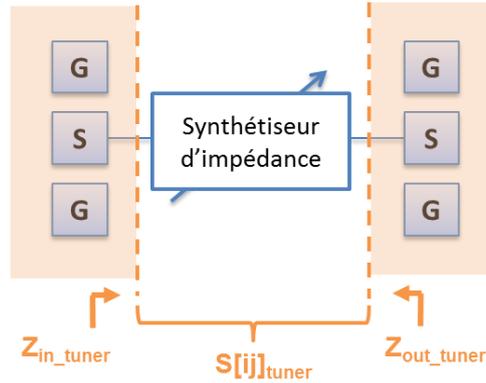


Figure 102 : Mesure de Z_{in_tuner} à partir des paramètres S du tuner (plots RF à éplucher en entrée et sortie)

On en déduit Z_{in_tuner} :

$$Z_{in_tuner} = Z_{tuner}(1,1) - \frac{Z_{tuner}(1,2) * Z_{tuner}(2,1)}{Z_{tuner}(2,2) + Z_{detecteur}} \quad (IV.6)$$

Ensuite, la tension de sortie V_{out_DST} s'exprime en fonction des paramètres ABCD du tuner, de l'impédance d'entrée du détecteur de puissance $Z_{detecteur}$ et de la tension V_{in_det} :

$$V_{out_DST} = V_{in_det} \left(A_{tuner} + \frac{B_{tuner}}{Z_{detecteur}} \right) \quad (IV.7)$$

L'impédance d'entrée du détecteur $Z_{detecteur}$ est obtenue avec la mesure de son paramètre S_{11} . La tension d'entrée du détecteur V_{in_det} est obtenue à partir de la puissance détectée P_{in_det} et de son impédance de charge $Z_{detecteur}$, elle s'exprime :

$$V_{in_det} = \sqrt{2 \cdot Z_{detecteur} \cdot P_{in_det}} \quad (IV.8)$$

La puissance détectée P_{in_det} est obtenue à partir de la tension mesurée en sortie du détecteur de puissance.

Disposant de la tension V_{out_DST} et de l'impédance Z_{in_tuner} , nous avons donc tous les paramètres nécessaires pour en déduire la puissance disponible P_{out_DST} en sortie du DST en fonction de tous les états du tuner.

En conclusion, nous sommes maintenant en mesure de remonter aux puissances P_{out_DST} et P_{in_DST} à partir des uniques paramètres $P_{in_f_0}$ et V_{out} (cf. Figure 95), après avoir extrait l'ensemble des paramètres électriques présentés dans le Tableau 17. Grâce à la connaissance de ces deux

puissances nous pourrions en déduire entre autre l'impédance optimale, le gain en puissance maximum et le point de compression du DST. Ainsi nous pouvons écrire :

- $G_{\max_DST} = \max(P_{out_DST} - P_{in_DST})$ pour l'état du tuner correspondant à l'impédance Z_{Gain_opt}

- $P_{\max_DST} = \max(P_{out_DST})$ pour l'état du tuner correspondant à l'impédance $Z_{Puissance_opt}$

Dans la suite de ce chapitre, nous avons cherché à valider le principe de cette mesure load-pull avec un véhicule de test dédié, avant d'effectuer une caractérisation du banc complet. Dans ce véhicule de test nous sommes strictement limités aux performances de la source externe disponible sur table qui est capable de générer un signal uniquement à 150 GHz (à plus ou moins 1 GHz) et dont les niveaux de puissances sont suffisants, à cette fréquence, pour amener le DST sous test en régime non linéaire. Ceci nous permet de valider notre méthode d'extraction des puissances.

IV.3. Validation de la caractérisation load pull à 150 GHz sur un véhicule de test

Pour valider le principe de fonctionnement du tuner chargeant un transistor (principe de la caractérisation load-pull), nous avons développé et conçu un véhicule de test ne contenant que le DST et le tuner, présenté sur la Figure 103. Le but de ce circuit n'est pas de faire une caractérisation load-pull complète de notre dispositif sous test mais de vérifier que ses niveaux de puissance varient bien en fonction des états du tuner et augmentent lorsqu'on se rapproche de ses impédances optimales.

La génération de signaux et les détections de puissance seront donc externes au circuit et sur table. La caractérisation à 150 GHz de ce véhicule de test permettra, dans un premier temps, de comprendre et valider le principe de la caractérisation load pull à haute fréquence.

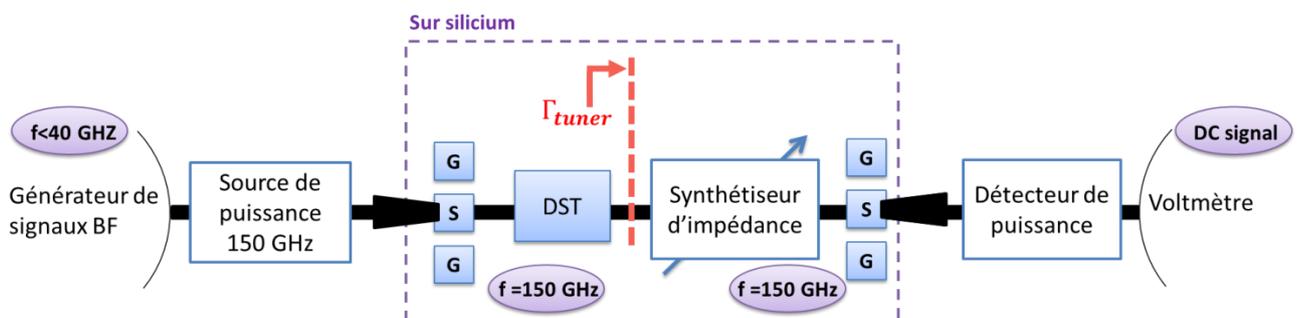


Figure 103 : Banc de caractérisation load-pull avec tuner intégré

La mesure a été effectuée pour deux dispositifs sous test de tailles différentes : un transistor bipolaire avec une longueur d'émetteur de 5 μm , une largeur de 0.2 μm avec 2 collecteurs en configuration CBEC (Annexe I) et l'autre avec une longueur d'émetteur de 10 μm , une largeur de 0.2 μm avec 2 collecteurs en configuration CBEC. Comme nous l'avons expliqué en début de chapitre, il nous faut connaître $P_{\text{in_DST}}$ et $P_{\text{out_DST}}$ afin de déterminer leurs paramètres grands signaux.

Pour connaître ces puissances nous utilisons la méthode présentée en partie 1. Le bilan des puissances du véhicule de test est présenté sur la Figure 104.

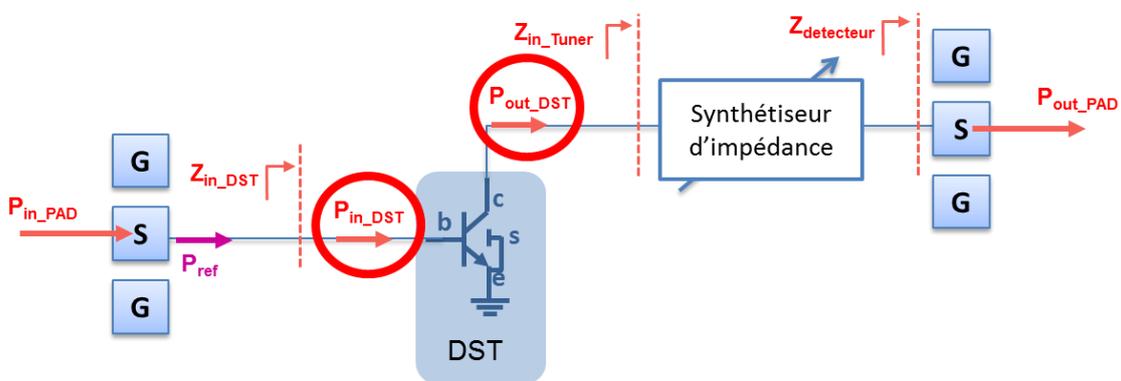


Figure 104 : Synoptique d'une caractérisation load pull avec tuner intégré

La connaissance de $P_{\text{in_DST}}$ et $P_{\text{out_DST}}$ passe avant tout par la connaissance des éléments $Z_{\text{in_tuner}}$, $Z_{\text{in_DST}}$ et les paramètres ABCD du tuner issus de la mesure. Nous avons présenté dans le Tableau 18 le plan de caractérisation à effectuer et les grandeurs à connaître.

Circuits	Mesure en paramètres S	Mesures en puissance	Paramètre petit signal à extraire	Paramètres grands signaux à extraire
DST + Tuner	nécessaire pour tous les états du tuner et permet de connaître Z_{in_DST}	nécessaire pour tous les états du tuner (caractérisation load-pull)	Les 4 paramètres S en fonction des états du tuner (épluchage du plot RF d'entrée uniquement)	$P_{out_pad}(P_{in_pad})$ en fonction de la fréquence et pour tous les états du tuner
Tuner	nécessaire pour tous les états du tuner et permet de connaître Z_{in_tuner} et $ABCD_{tuner}$	nécessaire pour vérifier qu'il ne comprime pas	Les 4 paramètres S en fonction des états du tuner (épluchage du plot RF d'entrée uniquement)	aucun
Structure d'épluchage 1 : plot RF « open »	non nécessaire	nécessaire	Paramètres S	aucun
Structure d'épluchage 1 : plot RF « short »	non nécessaire	nécessaire	Paramètres S	aucun
Structure d'épluchage 2 : thru	non nécessaire	nécessaire	Paramètres S	aucun

Tableau 18 : Plan de caractérisation complet du véhicule de test

La méthode utilisée pour déterminer P_{in_DST} et P_{out_DST} étant légèrement différente de celle utilisée pour le banc complet, celle-ci est décrite ci-dessous.

IV.3.1. Méthode d'extraction de P_{in_DST} et P_{out_DST} sur le véhicule de test

Contrairement au banc complet, la puissance injectée en entrée du dispositif sous test ne provient pas directement du quadrupleur mais d'une source de puissance externe bande étroite fonctionnant à 150 GHz. Cette source externe est alors calibrée afin de connaître exactement les niveaux de puissance dans le plan des pointes au niveau des plots du silicium. Il faut ensuite éplucher le plot d'entrée (Figure 104) pour connaître la puissance absorbée à l'entrée du DST. Cette puissance dépend de la tension à l'entrée du DST V_{in_DST} et de l'impédance vue en entrée du DST Z_{in_DST} et s'exprime selon l'équation suivante:

$$P_{in_DST} = \frac{1}{2} \Re \left(\frac{|V_{in_DST}|^2}{Z_{in_DST}} \right) \quad (IV.9)$$

Les schémas équivalents des impédances et tensions avant le DST sont représentés sur la Figure 105. Le plot de gauche (Figure 104) est représenté par sa matrice ABCD.

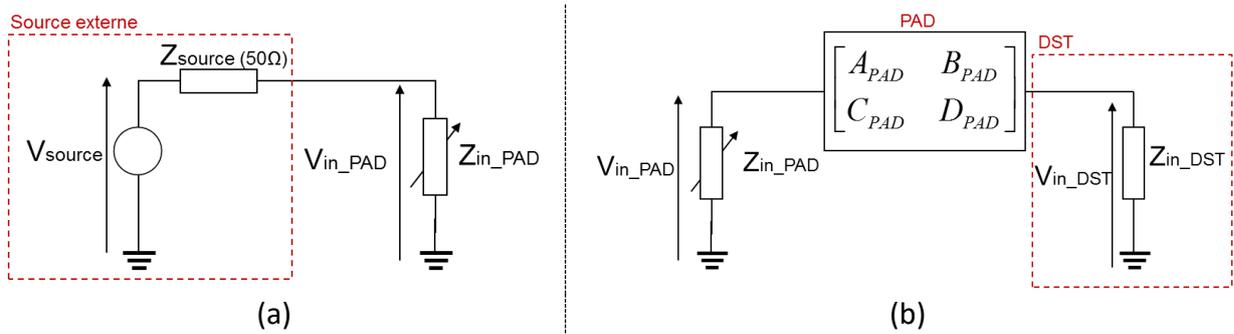


Figure 105 : Schémas équivalents de l'entrée avant le plot (a) et au niveau du plot (b)

La connaissance de Z_{in_DST} et V_{in_DST} nécessite les mesures décrites Tableau 18, soit :

- La mesure en paramètres S du plot RF
- La mesure en paramètres S du DST+Tuner pour connaître Z_{in_DST} :

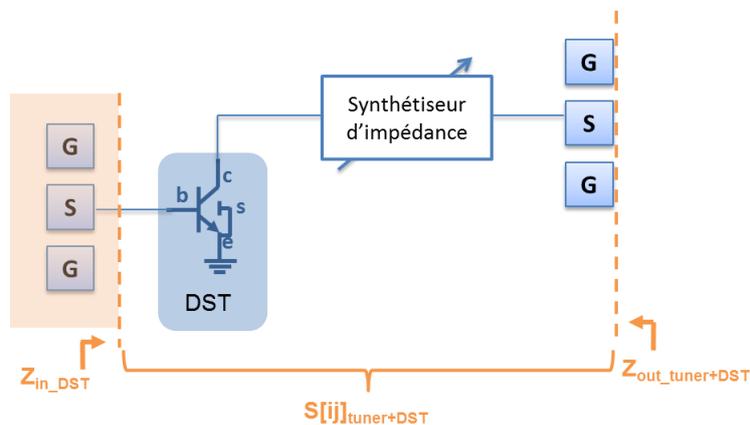


Figure 106 : Mesure de Z_{in_DST} à partir des paramètres S du DST + tuner (plot RF épluché uniquement en entrée)

Cette fois-ci le plot de sortie ne doit pas être épluché car il est présent physiquement dans le système de mesure load-pull de 150 GHz présenté Figure 104. Il intervient, mais très faiblement, dans l'impédance équivalente présentée au DST.

- De même, les paramètres S du tuner comprennent le plot de sortie :

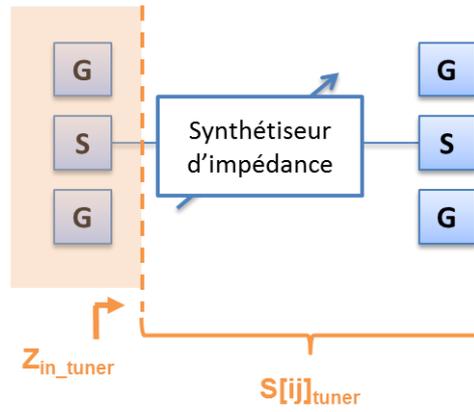


Figure 107 : Mesure de Z_{in_tuner} à partir des paramètres S du Tuner (plot RF épluché uniquement en entrée)

On peut maintenant déterminer la tension d'entrée V_{in_DST} qui dépend des paramètres ABCD du plot d'entrée et s'exprime :

$$V_{in_DST} = \frac{V_{in_PAD}}{A_{PAD} + \frac{B_{PAD}}{Z_{in_DST}}} \quad (IV.10)$$

Avec V_{in_PAD} la tension d'entrée qui dépend de l'impédance Z_{source} et de la tension V_{source} présentée par la source comme décrit Figure 105(b):

$$V_{in_PAD} = V_{source} \frac{Z_{in_PAD}}{Z_{in_PAD} + Z_{source}} \quad (IV.11)$$

La source externe étant connue et calibrée, nous connaissons la puissance qu'elle est capable de délivrer dans le plan des sondes et qu'on appellera P_{in_PAD} . On peut ainsi en déduire la valeur de V_{source} :

$$V_{source} = 2\sqrt{2 \cdot Z_{source} \cdot P_{in_PAD}} \quad (IV.12)$$

L'impédance présentée par la source à 150 GHz est de $Z_{source}=50 \Omega$.

$$Z_{in_PAD} = Z_{PAD_Gauche}(1,1) - \frac{Z_{PAD_Gauche}(1,2) * Z_{PAD_Gauche}(2,1)}{Z_{PAD_Gauche}(2,2) + Z_{source}} \quad (IV.13)$$

Les paramètres d'entrée V_{in_PAD} et Z_{in_PAD} sont maintenant déterminés. Enfin, d'après la mesure des paramètres S du bloc DST + tuner (Figure 106), nous calculons l'impédance d'entrée Z_{in_DST} qui s'exprime par :

$$Z_{in_DST} = Z_{DST+tuner}(1,1) - \frac{Z_{DST+tuner}(1,2) * Z_{DST+tuner}(2,1)}{Z_{DST+tuner}(2,2) + Z_{detecteur}} \quad (IV.14)$$

Nous avons maintenant tous les éléments nécessaires pour déterminer la valeur de V_{IN_DST} et ainsi remonter à la valeur de la puissance réellement injectée en entrée du DST P_{IN_DST} (équation IV.9).

Déterminons maintenant P_{out_DST} en suivant le même principe qu'avec P_{in_DST} . Nous devons retirer la contribution en puissance des éléments de sortie (Tuner + plot de sortie) pour remonter à la puissance de sortie du DST P_{OUT_DST} . Elle dépend de sa tension de sortie V_{out_DST} et de l'impédance d'entrée du tuner. Le quadripôle de sortie est représenté Figure 108 :

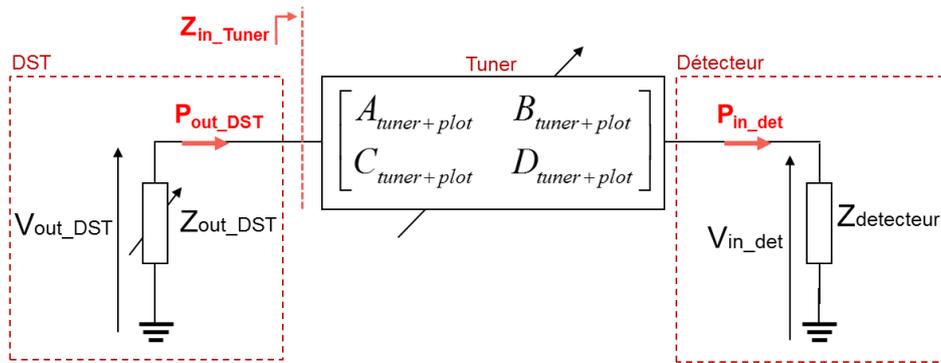


Figure 108 : Schéma équivalent du quadripôle de sortie

La puissance en sortie du DST que nous cherchons à déterminer s'exprime :

$$P_{out_DST} = \frac{1}{2} \Re \left(\frac{|V_{out_DST}|^2}{Z_{in_tuner}} \right) \quad (IV.15)$$

Avec

$$V_{out_DST} = V_{in_det} \left(A_{tuner+plot} + \frac{B_{tuner+plot}}{Z_{detecteur}} \right) \quad (IV.16)$$

La tension à l'entrée du détecteur de puissance V_{in_det} est obtenue à partir de la puissance de sortie mesurée au calorimètre :

$$V_{in_det} = \sqrt{2 \cdot Z_{detecteur} \cdot P_{out}} \quad (IV.17)$$

Avec $Z_{detecteur}$ l'impédance d'entrée du calorimètre qui est très proche de 50 Ω .

Enfin, Z_{in_tuner} est obtenue à partir des paramètres S du tuner + plot droit comme présenté sur la Figure 107 :

$$Z_{in_tuner} = Z_{tuner+plot}(1,1) - \frac{Z_{tuner+plot}(1,2) * Z_{tuner+plot}(2,1)}{Z_{tuner+plot}(2,2) + Z_{detecteur}} \quad (IV.18)$$

Nous connaissons à présent les puissances P_{IN_DST} et P_{OUT_DST} dans le plan du dispositif sous test. À présent nous allons regarder les mesures obtenues.

IV.3.2. Caractérisation à 150 GHz du véhicule de test

Rappelons juste que ce véhicule de test nous permet de valider la variation de puissance en sortie du DST en fonction des états du tuner. Ceci nous permet de valider aussi la méthodologie d'extraction des puissances aux bornes du DST présentée précédemment. Nous avons suivi le plan de caractérisation présenté dans le Tableau 18. La micro photographie de notre véhicule de test DST+tuner est présentée Figure 109 :

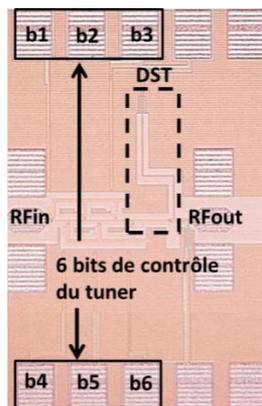


Figure 109 : microphotographie du tuner + DST sur silicium

Le banc de caractérisation en puissance de l'IEMN est présenté sur la Figure 110, avec une source de puissance externe bande étroite à 150 GHz et un calorimètre externe PM5 qui permet de mesurer la puissance. La source de puissance est capable de générer dans le plan du composant une puissance variant de -15 dBm à + 7 dBm. L'atténuateur représenté Figure 110 est uniquement présent pour des contraintes mécaniques.

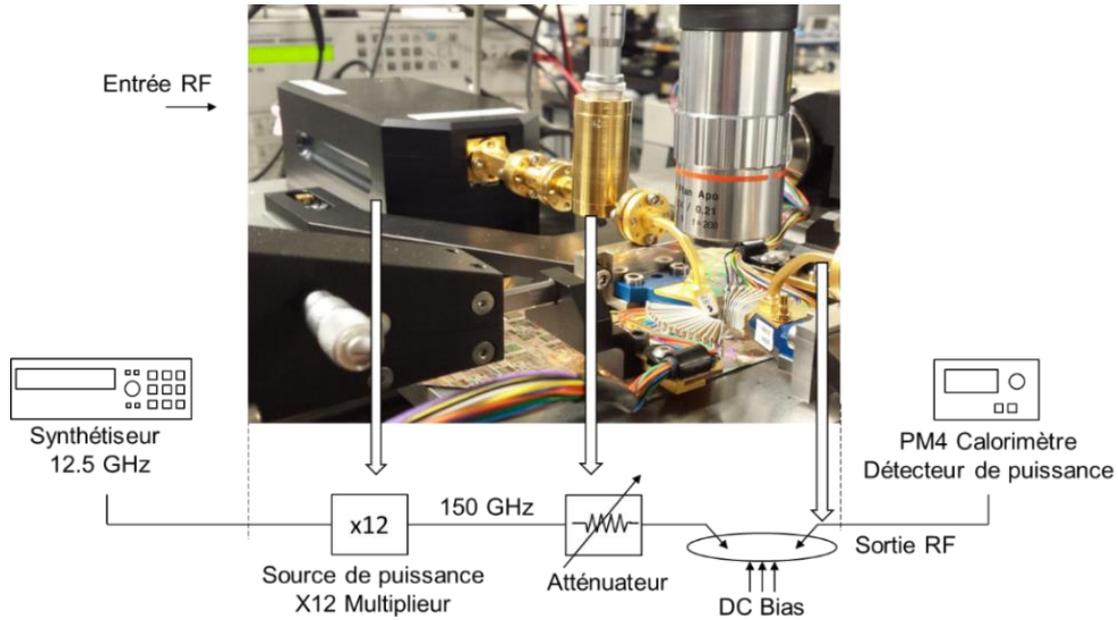


Figure 110 : description du banc de caractérisation load-pull à 150 GHz

Nous avons fait le choix d'effectuer une mesure en puissance pour seulement 2 états du tuner par soucis de clarté (appelés ici états 15 et 18) Figure 111. Une impédance choisie proche du Γ_{opt} en puissance (état 15) permet de se situer proche des puissances maximales des DST, et une impédance éloignée du Γ_{opt} (état 18) permet de souligner la différence de puissance obtenue en sortie des DST :

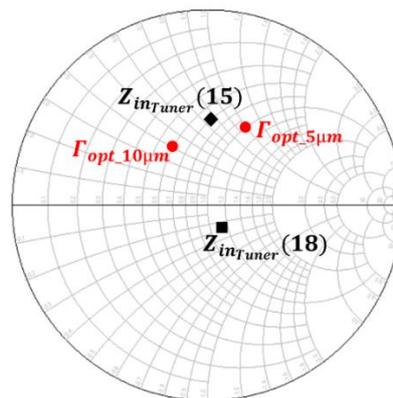


Figure 111 : Γ_{opt} en puissance simulés des DST d'une longueur d'émetteur de 5 et 10 μm et impédances présentées par le tuner mesurées à l'état 15 et 18 à 150 GHz

La puissance P_{OUT_DST} mesurée en sortie du DST, d'une longueur d'émetteur de 5 μm , est tracée en fonction de la puissance P_{IN_DST} pour les deux états du tuner (Figure 112 (a)) ainsi que son gain (Figure 112(b)). De même pour le deuxième DST, d'une longueur d'émetteur de 10 μm , dont les résultats sont présentés Figure 113(a) et (b). Nous avons comparé les résultats obtenus en mesure avec les performances simulées des DST pour ces deux longueurs.

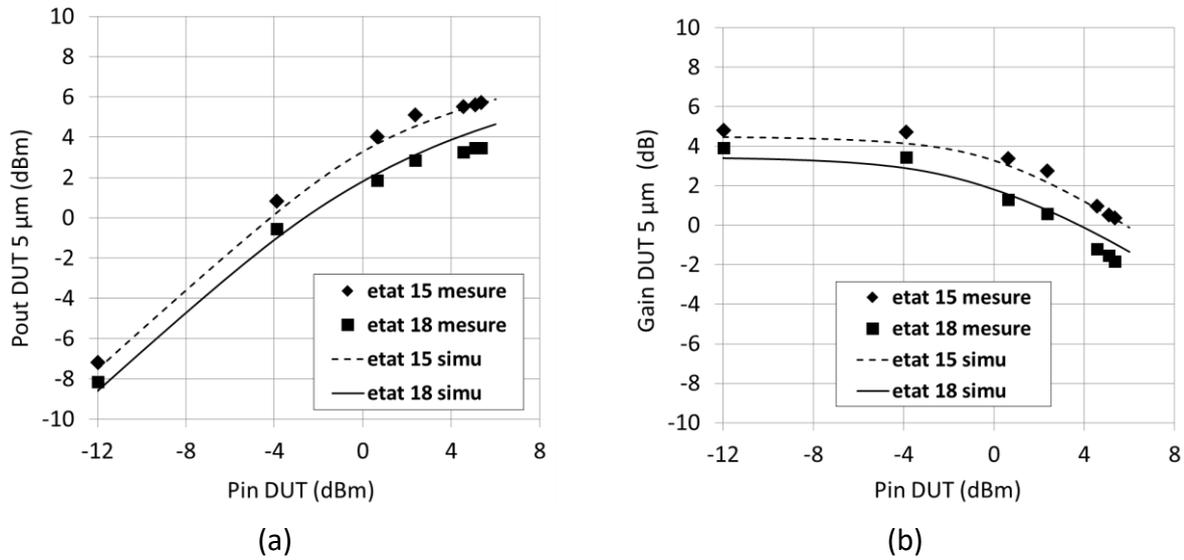


Figure 112: Puissance en sortie (a) et gain (b) en fonction de la puissance d'entrée pour un transistor de 5 μm de longueur d'émetteur

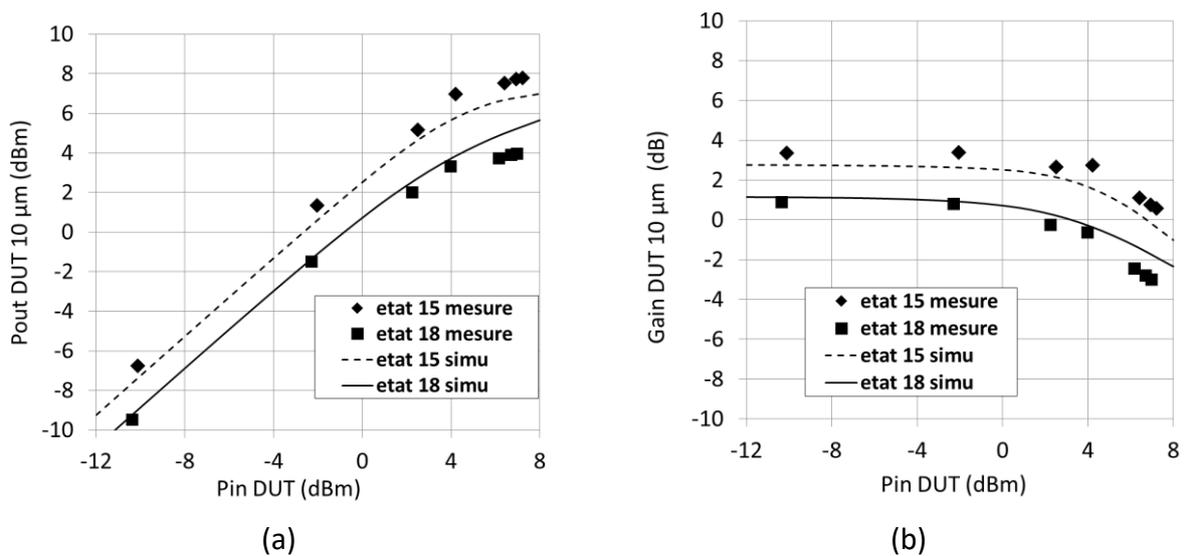


Figure 113 : Puissance en sortie (a) et gain (b) en fonction de la puissance d'entrée pour un transistor de 10 μm de longueur d'émetteur

Nous obtenons des résultats de mesure cohérents, en effet on mesure une puissance et un gain plus élevés sur les deux DST testés pour une impédance qui se situe proche du Γ_{opt} (état 15 du tuner). Cependant une différence entre la simulation et la mesure est observée soit environ un écart de ± 0.5 dB sur le gain. L'explication de cette différence peut s'expliquer par une combinaison de différents phénomènes. Tout d'abord l'épluchage des plots effectué sur nos structures de test est une première source d'imprécision. Cela peut expliquer les écarts en petits signaux (en deçà du point de compression). Ensuite, plus nous montons dans les hautes puissances et plus l'écart entre la simulation et la mesure s'accroît. Cet écart est difficile à expliquer car il

peut provenir soit d'une limitation de la modélisation du transistor au-delà du point de compression soit d'imprécisions de mesure.

Regardons et discutons maintenant des performances du banc load-pull complet tout intégré.

IV.4. Simulation et mesure du banc de caractérisation large signal

Nous souhaitons tout d'abord démontrer la faisabilité d'une caractérisation load pull large bande à des fréquences > 130 GHz. Rappelons Figure 114 les différents éléments qui constituent ce banc :

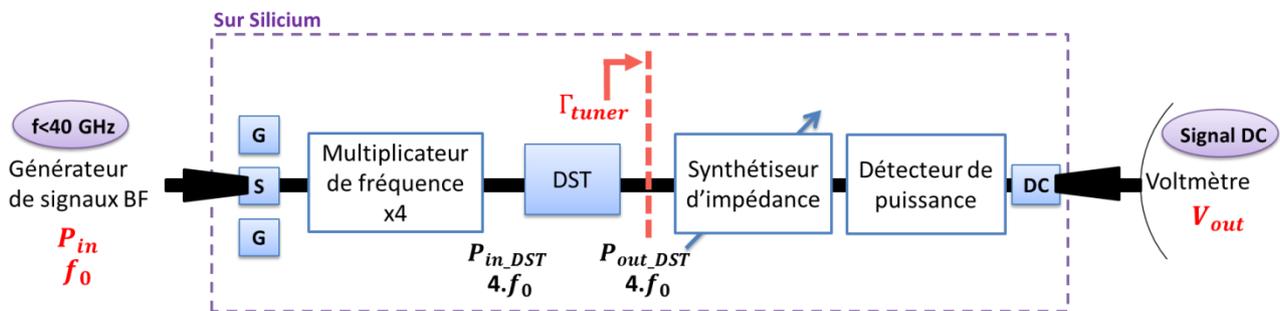


Figure 114 : Rappel de la topologie du banc de caractérisation load-pull tout intégré

Dans les paragraphes précédents, nous avons expliqué comment remonter aux puissances en entrée P_{in_DST} et en sortie P_{out_DST} du DST en fonction de tous les états du tuner Γ_{tuner} . Rappelons que la caractérisation load-pull final présentée Figure 114 consiste uniquement à présenter un signal RF de puissance variable P_{in} entre 30 et 40 GHz et à mesurer en sortie une tension DC V_{out} mesurable à l'aide d'un voltmètre classique.

Nous avons cherché dans un premier temps à valider par simulation le principe de fonctionnement du banc complet. Pour cela, nous simulons une caractérisation de DST en cascasant tous les circuits tel que décrit Figure 114. Nous nous mettons dans un contexte où seule la tension DC V_{out} en sortie du détecteur de puissance en fonction de la puissance d'entrée du multiplicateur de fréquence P_{in} à une fréquence f_0 donnée, est disponible et connue. A partir de ces valeurs on applique notre méthode de calcul d'extraction des puissances P_{in_DST} et P_{out_DST} expliquée paragraphe IV.2.2 et IV.2.3. Enfin, nous comparons ces valeurs calculées avec celles connus à partir de la simulation (sonde directement appliquée en simulation en entrée et en sortie du DST). Cela nous permettra de vérifier que nous ne commettons pas d'erreurs, tout du moins par simulation.

Enfin nous présentons les résultats de mesures obtenus sur le banc de caractérisation complet.

IV.4.1. Simulation du banc de caractérisation load-pull complet : comparaison des résultats entre la méthode de calcul et la simulation

Afin de simplifier la simulation du banc complet, nous choisissons arbitrairement deux impédances du tuner à présenter au composant (Figure 115). De plus nous choisissons de faire la simulation à une fréquence fixe, 140 GHz, fréquence pour laquelle le quadrupleur délivre le plus de puissance. Le dispositif sous test est un transistor bipolaire d'une longueur d'émetteur de 5 μm .

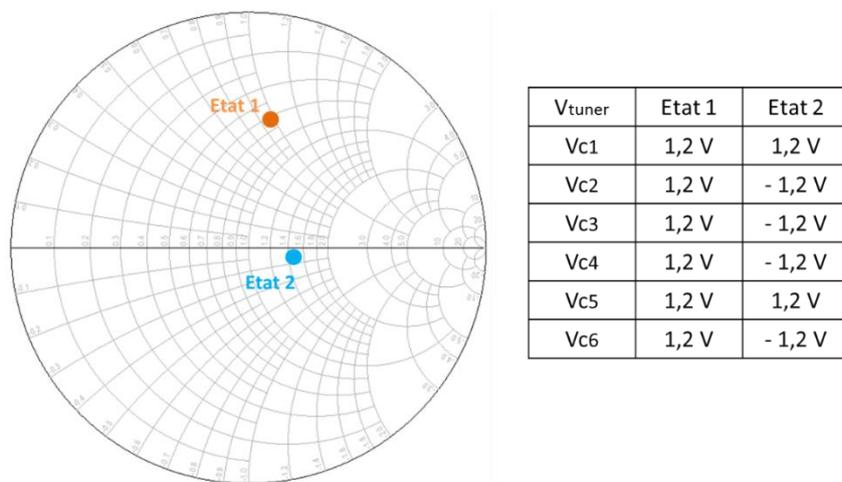


Figure 115 : Impédances présentées par le tuner à 140 GHz au DST dans le banc complet simulé

Dans un premier temps nous rappelons les performances du quadrupleur en puissance à 140 GHz afin de le « calibrer » :

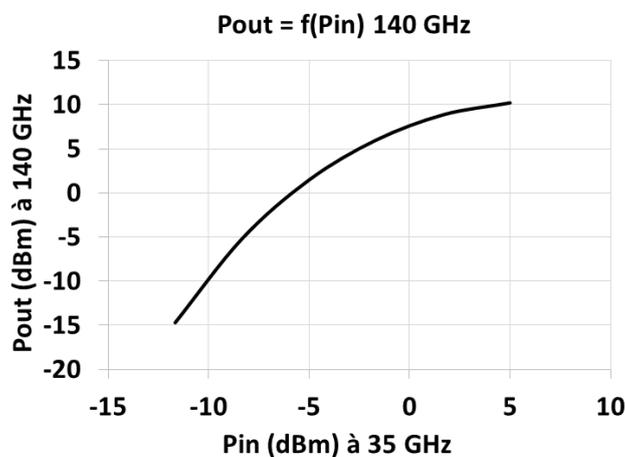


Figure 116 : Simulation des performances du quadrupleur en puissance Pout à 4fo = f (Pin à fo)

Nous connaissons ainsi P_{out_quad} à $4.f_0$ en fonction de P_{in} à f_0 . En utilisant les équations du paragraphe IV.2.2, nous pouvons tracer P_{in_DST} calculée et issue de la simulation du banc complet. En parallèle de ce calcul nous traçons en simulation la puissance obtenue directement en entrée du DST. La Figure 117 montre la P_{in_DST} simulée et calculée pour une fréquence d'entrée de 35 GHz :

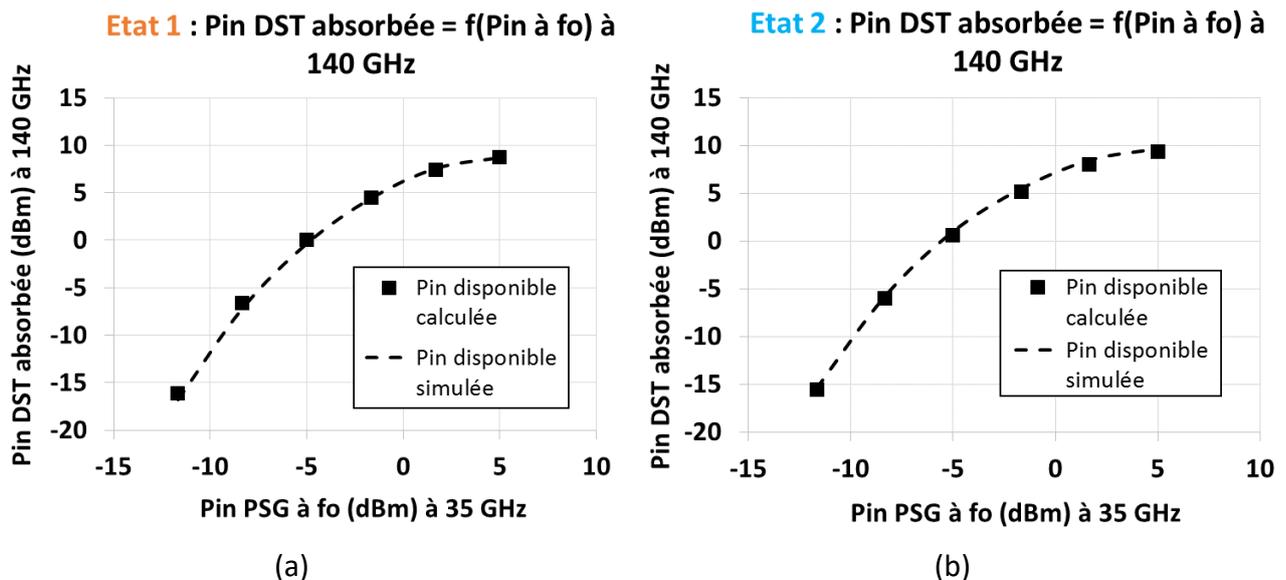


Figure 117 : Comparaison entre la simulation et le calcul de la puissance absorbée à l'entrée d'un DST (de longueur d'émetteur de 5 μm) polarisé à 8 mA à 140 GHz à l'impédance « Etat 1 » (a) et l'impédance « Etat 2 » (b) (Figure 115)

Nous observons une bonne corrélation entre la puissance en entrée du DST obtenue en simulation et celle calculée à partir de la puissance d'entrée P_{in} à f_0 . On constate cependant une différence de l'ordre de 0,2 à 0,3 dB aux puissances d'entrées élevées. Cet écart s'explique par la légère dépendance du niveau de puissance délivré par le quadrupleur en fonction de son impédance de charge. De plus, l'impédance d'entrée du DST dépend aussi légèrement du niveau de puissance injecté (S_{11_dst} grand signal) comme l'explique A. Pottrain dans ses travaux de thèse [96]. Ces deux dépendances ne sont pas prisent en compte dans le calcul.

Nous allons maintenant simuler la puissance en sortie du DST sachant que nous disposons uniquement d'une tension en sortie du détecteur de puissance. Nous allons calibrer le détecteur de puissance dans un premier temps. Ainsi, pour une tension de sortie V_{out_det} , on connaît la puissance détectée équivalente P_{in_det} . La courbe de détection, à 140 GHz, du détecteur de puissance est présentée Figure 118 :

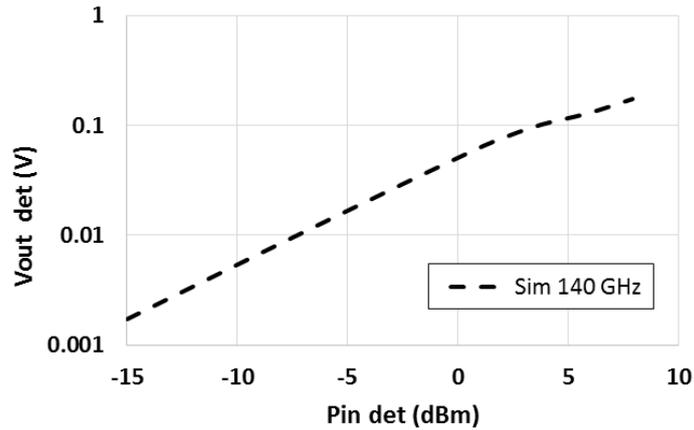


Figure 118 : Simulation des courbes de détection du détecteur de puissance à 140 GHz

En utilisant la méthode développée plus haut paragraphe IV.2.3 nous déterminons par le calcul P_{out_DST} à partir de la tension V_{out_det} . La Figure 119 montre la simulation et le calcul de la puissance de sortie disponible P_{out_DST} pour une fréquence d'entrée de 35 GHz :

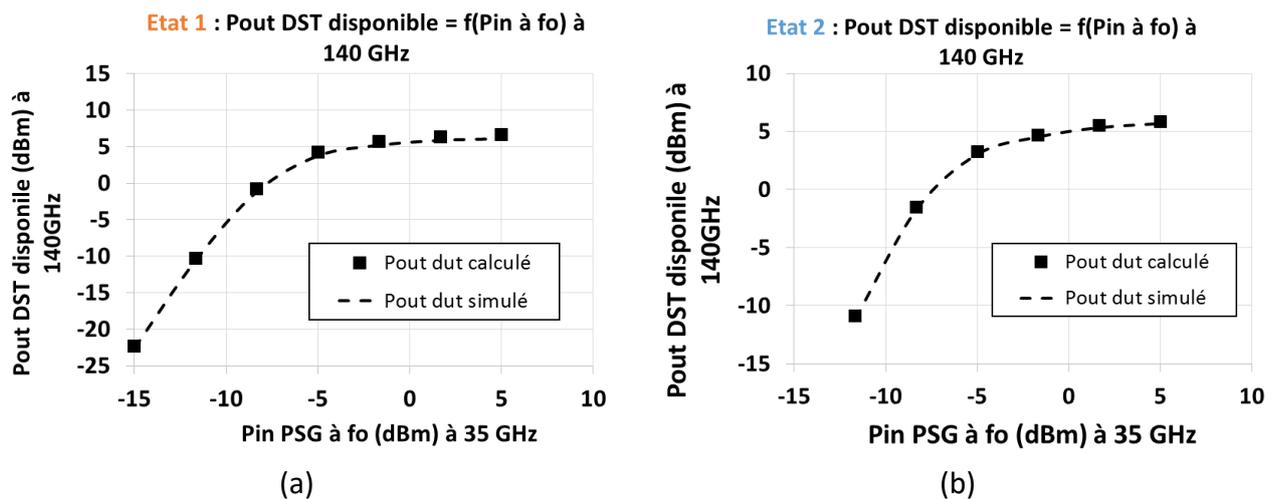


Figure 119 : Comparaison entre la simulation et le calcul de la puissance disponible à 140 GHz en sortie d'un transistor d'une longueur d'émetteur de $5 \mu\text{m}$ polarisé à 8 mA pour une impédance de charge à « l'Etat 1 » (a) et « l'Etat 2 » (b) (Figure 115)

Nous obtenons une bonne corrélation entre la puissance de sortie délivrée par le DST à la charge, simulée et calculée.

Maintenant que nous disposons de la puissance en entrée et en sortie du DST nous pouvons tracer sa caractéristique $P_{out_DST}=f(P_{in_DST})$ à 140 GHz :

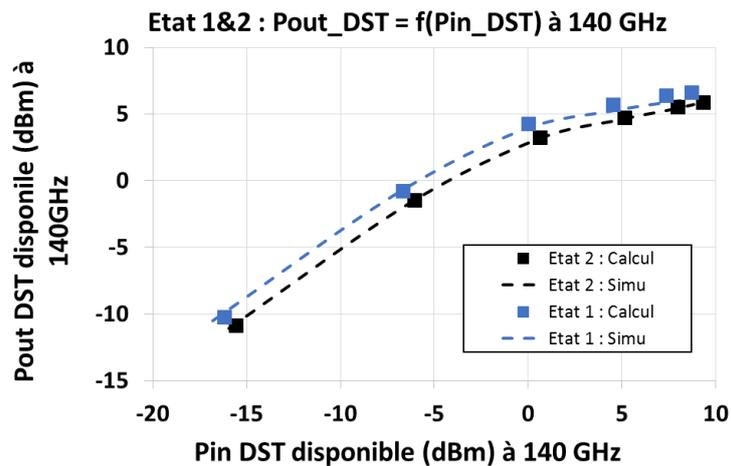


Figure 120 : $P_{out_DST} = f(P_{in_DST})$ à 140 GHz obtenu par le calcul et par la simulation

Les résultats obtenus sont cohérents puisque nous obtenons un meilleur gain et une meilleure puissance maximale disponible pour un état du tuner proche du Γ_{opt} . De plus, la corrélation entre la simulation et le calcul valide le fonctionnement de notre banc de caractérisation en simulation et notre méthode de calcul d'extraction des puissances P_{in_DST} et P_{out_DST} .

Nous allons à présent présenter le mode opératoire utilisé ainsi que les résultats de mesure du banc de caractérisation complet.

IV.4.2. Mesure du banc de caractérisation load-pull complet

La première étape consiste à imposer la polarisation statique sur l'ensemble des éléments du banc de caractérisation. En effectuant cela nous avons rencontré des difficultés à polariser le DST lorsque les autres éléments sont polarisés. Cela traduit une oscillation de ce composant. Regardons de plus près les résultats de mesure.

Nous avons effectué une mesure de puissance pour 5 états de tuner présentés sur la Figure 121.

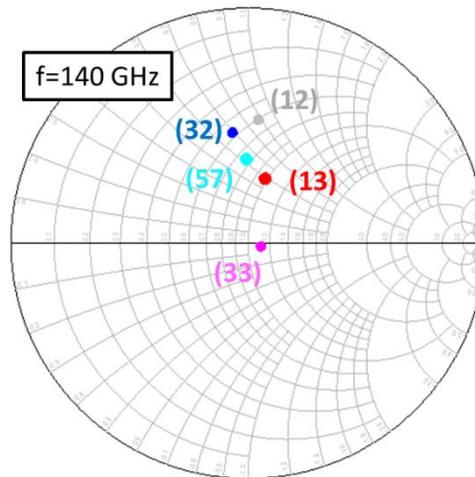


Figure 121 : Impédances présentées par le tuner au DST à 140 GHz

La Figure 122 présente les mesures de la puissance en sortie du DST obtenues pour les états 12, 13, 32, 33 et 57 du tuner (Figure 121), en fonction de la puissance d'entrée injectée par le quadrupleur à 140 GHz. Afin de revenir dans le plan du composant, l'ensemble des étapes de correction a été effectué.

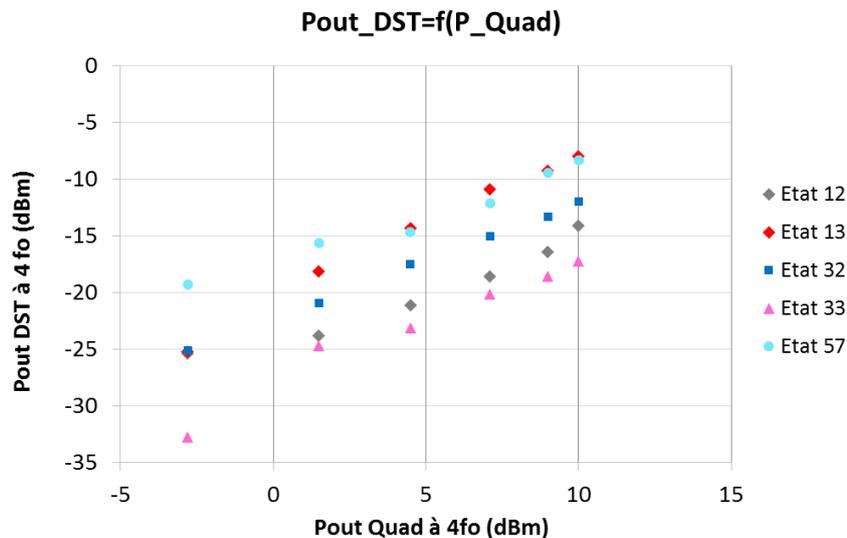


Figure 122 : Mesure $P_{out_DST}=f(P_{in_fo})$ pour cinq états du tuner (Figure 121)

Nous voyons immédiatement d'après la Figure 122 que le dispositif sous test n'a pas de gain. Cela confirme bien le comportement anormal du composant sous test qui se traduit certainement par une oscillation, provoquant ainsi les problèmes rencontrés lors de l'étape de polarisation. Cependant, nous avons réalisé une simulation transitoire du banc complet en simulation et aucune oscillation n'avait été détectée. Ceci nous avait permis d'écarter la probabilité d'avoir une oscillation due au chaînage des éléments entre eux.

Toutefois, un problème récurrent aux fréquences millimétriques, observé dans différents travaux de thèses au laboratoire, est l'impact des sondes de polarisation pas suffisamment découplées, pouvant engendrer un problème de fonctionnement du circuit intégré. Nous avons donc modélisé les pointes DC en ajoutant une inductance de 1 nH dans le chemin de polarisation de la base et du collecteur du DST avec une capacité de découplage en parallèle de 1 pF. Lorsque celles-ci sont ajoutées, des oscillations sont immédiatement observées sur la base et le collecteur du DST, lors d'une simulation transitoire, dont le résultat est présenté Figure 123. Cette simulation transitoire consiste à regarder en chaque point du circuit si une oscillation se crée. Pour cela nous effectuons des simulations d'une durée de 1 μ s ce qui nous permet de couvrir toutes les fréquences d'oscillation éventuellement présentes.

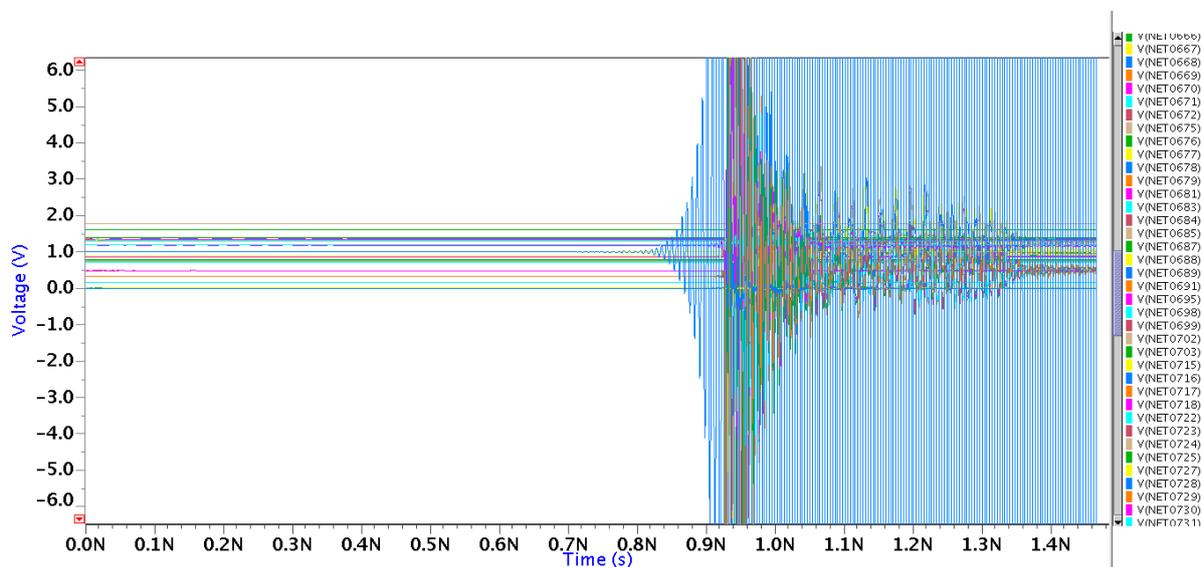


Figure 123 : Oscillations obtenues en simulation dans le système complet suite à l'ajout d'inductances de 1 nH dans la base et le collecteur du transistor DST

Les oscillations se situent sur la base et le collecteur du DST. Une solution pour pallier à ce problème est de rajouter une résistance de faible valeur sur ces accès (15 Ω) permettant ainsi de casser le coefficient de qualité de l'inductance de 1 nH. Une simulation transitoire montre en effet qu'on est capable de stopper cette oscillation. Toutefois cette résistance va modifier l'impédance présentée sur la charge du DST et devra donc être prise en compte.

De manière générale il faut dans le cadre de circuit complexe revoir la gestion des polarisations en l'intégrant sur silicium via des miroirs de courant et des régulateurs de tension (power management). De plus il faudra utiliser des cartes à pointes DC de type masse-signal-masse afin de maîtriser au mieux la gestion de la masse. Nous n'avons pas pu utiliser ce genre de

matériel devant le grand nombre de polarisation à mettre sur le circuit (32 polarisations DC), indispensable pour le développement d'une première version de circuit.

IV.5. Conclusion du chapitre IV

Ce chapitre décrit la méthodologie d'extraction des paramètres grands signaux d'un dispositif sous test de type transistor dans un banc de caractérisation complet intégré sur silicium. Tout d'abord nous expliquons comment extraire la puissance absorbée à l'entrée et en sortie du DST pour tous les états du tuner. La méthode d'extraction de ces paramètres est décrite pour un banc de caractérisation complet avec tous les blocs intégrés (quadrupleur, tuner et détecteur). Souhaitant démontrer la faisabilité d'une caractérisation load pull à ces fréquences, nous avons mis en place un véhicule de test qui comporte uniquement le DST et le tuner intégré. Ces résultats nous ont permis de valider notre méthodologie d'extraction des puissances d'entrée et sortie du DST. Toutefois, une évaluation de la précision et des incertitudes commise dans l'extraction de ces puissances fait l'objet d'une étude en cours.

Ensuite nous décrivons et validons la simulation de notre banc complet. Pour cela nous comparons les puissances extraites d'entrée et de sortie du DST par calcul, aux valeurs connus à partir de la simulation. Une très bonne corrélation est observée entre ces résultats ce qui nous permet de valider notre mode opératoire. Enfin, les mesures du banc complet intégré sont présentées dans une dernière partie. Les résultats obtenus ne sont pas ceux attendus liés à une oscillation du DST. Cette hypothèse est confirmée par la simulation. Une perspective d'amélioration de ce banc, et notamment l'aspect polarisation, est discutée.

Conclusion générale

Ce travail de recherche porte sur l'étude de la faisabilité d'un banc de caractérisation load-pull intégré sur silicium fonctionnant dans les gammes de fréquences millimétriques en bande D (130 - 170 GHz) et conçu dans la technologie BiCMOS 55 nm de STMicroelectronics. Il a pour objectif de répondre à un besoin d'instrumentation non disponible et requis pour la caractérisation des transistors à très haute fréquence. Cette étude a nécessité dans un premier temps une analyse des différentes méthodes de caractérisation load-pull, passives et actives existantes. Dans ces bandes de fréquences, les pertes dues aux connectiques ne permettent pas de réaliser une caractérisation load-pull conventionnelle avec des équipements sur table. C'est pourquoi nous avons choisi d'intégrer un banc de caractérisation load-pull complet au plus près du dispositif sous test (DST). Concernant le synthétiseur d'impédances, son intégration sur silicium a permis de générer une constellation d'impédances compatibles avec les impédances optimales du DST. Il en est de même pour la source de puissance, où son intégration permet de disposer d'une puissance suffisamment importante dans la bande G afin d'amener le DST en zone de fonctionnement non linéaire. Enfin, concernant le détecteur de puissance intégré, il est optimisé de façon à disposer d'une dynamique de détection adaptée aux niveaux de puissances attendus avec un temps de réponse raisonnable dans le cadre d'un test industriel. Après avoir étudié les besoins de chacun de ces éléments, des spécifications ont été établies.

Dans un deuxième temps, chacune des fonctions réalisées en technologie BiCMOS 55 nm a été présentée. La présentation de cette technologie a été reportée en annexe I, et nous permet de valider le comportement des composants actifs et passifs aux fréquences millimétriques. En ce qui concerne la source de puissance, nous avons réalisé un multiplieur de fréquence par quatre générant une puissance de sortie maximale de 10 dBm à 140 GHz sous 50 Ω sur une bande passante à -3 dB de 24 GHz. Ces performances à l'état de l'art sont suffisantes pour amener en compression les dispositifs sous test. Ensuite, le synthétiseur d'impédances (tuner) réalisé présente des impédances autour des Γ_{opt} des transistors bipolaires de la technologie BiCMOS 55 nm avec un Γ_{tuner} proche de 0,75 entre 130 et 150 GHz et de 0,6 entre 150 et 190 GHz. Ce tuner est linéaire jusqu'à un niveau de puissance d'au moins 8 dBm et présente des pertes comprises entre -5 dB et -17 dB en bande D pour tous les états d'impédances synthétisés. Enfin, un détecteur de puissance basé sur une architecture permettant d'augmenter la dynamique de détection a été développé. Cette architecture a nécessité la réalisation d'un atténuateur de puissance permettant

de rester dans la zone de détection essentiellement quadratique du détecteur, même pour les fortes puissances. L'atténuateur réalisé offre une atténuation comprise entre -9 dB à 130 GHz et -11 dB à 150 GHz. La dynamique de détection mesurée se situe entre -10 dBm et 5 dBm à 150 GHz. Une publication de ces travaux est en cours de rédaction.

La dernière partie de ce travail porte sur la réalisation d'un banc de caractérisation load-pull complet intégré regroupant l'ensemble des blocs réalisés. Ce banc a pour but d'extraire les paramètres grands signaux d'un transistor bipolaire en technologie BiCMOS 55 nm. Tout d'abord nous expliquons comment nous avons procédé pour extraire la puissance absorbée à l'entrée et la puissance disponible en sortie du DST pour tous les états du tuner dans le contexte d'un banc de caractérisation complet, avec tous les blocs intégrés (quadrupleur, tuner et détecteur). L'étude menée sur un véhicule de test comportant uniquement le DST et le tuner intégré nous a permis de démontrer la faisabilité d'une caractérisation load pull à 150 GHz.

Enfin, un assemblage complet a pu être réalisé. Malheureusement, les premiers résultats obtenus (confirmés également en simulation), montrent que le DST oscille. Une perspective d'amélioration de ce banc concernant la gestion de la polarisation est envisagée, afin de réduire les difficultés de test et les risques d'oscillation. De plus une amélioration des aspects d'épluchage en petit et grand signal est nécessaire pour augmenter la précision de nos résultats. Pour la suite, l'insertion d'un coupleur de puissance entre la source de signal et le DST permettra de connaître exactement la puissance disponible à l'entrée du dispositif sous test. Cependant, un gros travail de miniaturisation du coupleur par rapport aux structures existantes doit être effectué avant son intégration dans un tel système. Ceci fait l'objet de thèses au laboratoire IMEP-LAHC de Grenoble.

A terme, la mise en place d'une caractérisation de type industrielle (BIST pour Build In Self Test) est envisagée sur un jeu de transistors dédiés à la modélisation, ainsi que le développement d'un programme de test permettant l'automatisation et l'optimisation de la mesure et du traitement des données.

Une seconde perspective concerne la mise en boîtier de chacun des éléments afin de permettre une caractérisation load-pull sur des transistors de technologies différentes et ainsi disposer d'outils de caractérisation en bande G à l'état de l'art. Ceci fait l'objet d'une thèse CIFRE en collaboration entre STMicroelectronics et le laboratoire IEMN de Lille qui est menée par Joao Azevedo Goncalves. Une étude amont est présentée dans l'annexe IV. Enfin, une première discussion a été établie avec les sociétés Cascade Microtech Inc. et Dominion MicroProbes Inc.

Conclusion générale

(DMPI) dans le but d'intégrer ces circuits actifs (multiplieur, tuner et détecteur) dans des sondes hyperfréquences. Ces sondes dites « actives » sont une nouvelle approche permettant de réduire la complexité d'une caractérisation conventionnelle en limitant les pertes entre blocs.

Annexe I. : La technologie BiCMOS 55 nm

La technologie BiCMOS 55 nm (Bipolar Complementary Metal-Oxyde-Semiconductor) est la technologie silicium développée par STMicroelectronics pour l'intégration de blocs fonctionnant aux fréquences millimétriques. Cette technologie comprend 8 niveaux de métallisation, son BEOL (Back End Of Line) est présenté Figure 124.

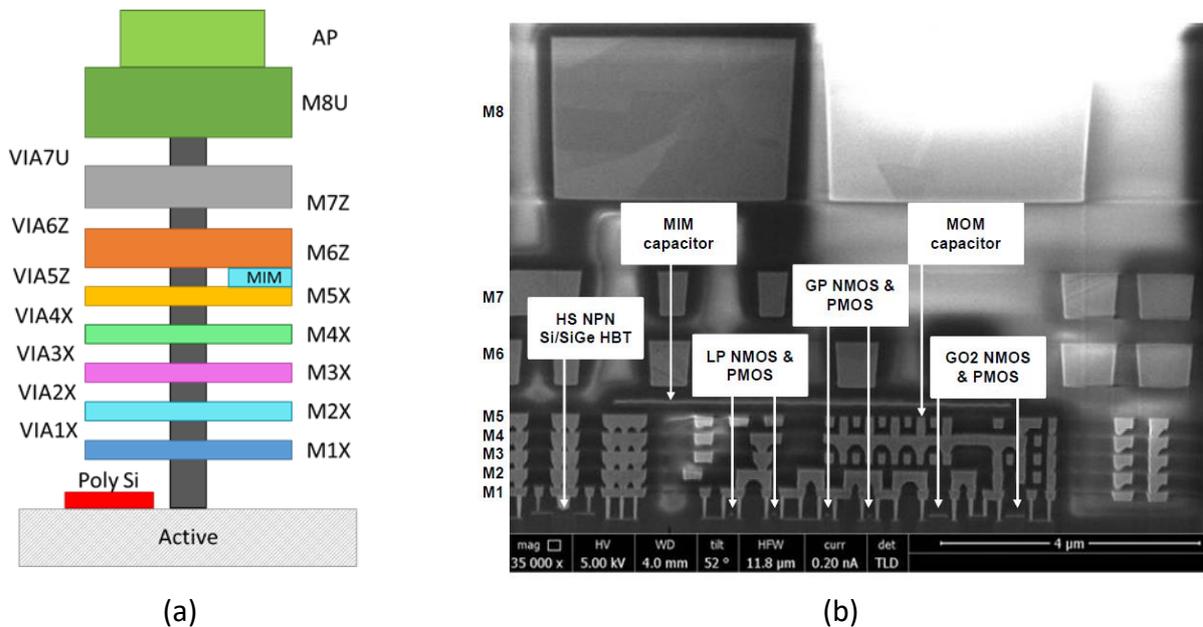


Figure 124 : BEOL (Back End Of Line) de la technologie BiCMOS 55 nm (a) et vue en coupe présentant les éléments actifs et passifs de la technologie [68] (b)

Le niveau le plus épais est le métal M8U en cuivre d'une épaisseur de 3 μm , et permet d'intégrer des composants passifs radiofréquences avec de bons facteurs de qualité [68]. Nous présenterons dans une première partie brièvement les performances en fréquence des transistors MOS et Bipolaire en technologie BiCMOS 55 nm. S'en suivra une description des composants passifs et des plots RF utilisés dans nos circuits.

I.1. Performances des transistors bipolaires et MOS

Le transistor MOS est issu du cœur de la technologie CMOS 65 nm. Il présente un f_T/f_{MAX} autour de 200 GHz. Il est modélisé à partir du modèle compact PSP (Penn. State Philips), co-développé par Philips et l'université de Pennsylvanie. La fréquence de transition f_T des transistors MOS dépend de la largeur de grille L_{gate} ainsi que de l'épaisseur de l'oxyde de grille. Une évolution de la fréquence de transition en fonction de la largeur de grille est présentée Figure 125.

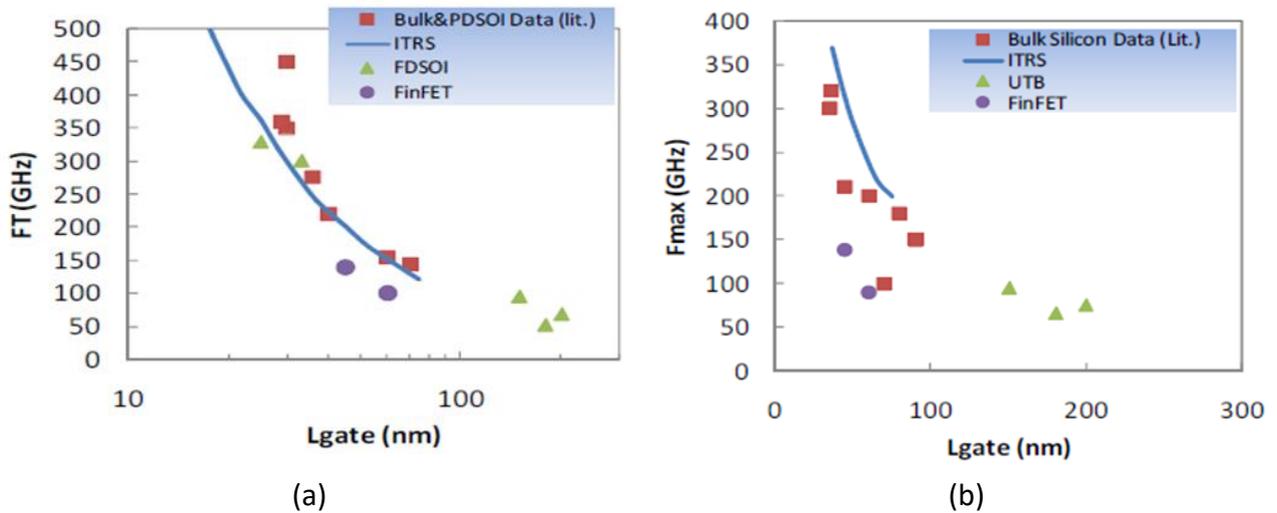


Figure 125 : évolution de F_T et F_{MAX} des transistors MOS en fonction de la largeur de grille L_{gate}

Quant au transistor bipolaire, il est basé sur l'architecture du transistor de la technologie B5T qui est une technologie exclusivement bipolaire. La fréquence de transition maximale obtenue pour un transistor bipolaire dans cette technologie s'obtient avec une longueur d'émetteur de 5 μm et une largeur de 0.2 μm en configuration CBEBC (Collecteur Base Emetteur Base Collecteur). Ce dispositif atteint des fréquences caractéristiques f_T/f_{MAX} de 320/370 GHz pour une densité de courant de collecteur de 16 $\text{mA}/\mu\text{m}^2$. Ce transistor est modélisé à partir du modèle HICUM (High Current Model) Level 2. Il s'agit d'un modèle compact de haute précision qui est basé sur le comportement physique des transistors BJTs (Bipolar Junction Transistor) et HBTs (Heterojunction Bipolar transistor) [97]. Un modèle simplifié (hors sources de bruit) est présenté Figure 126.

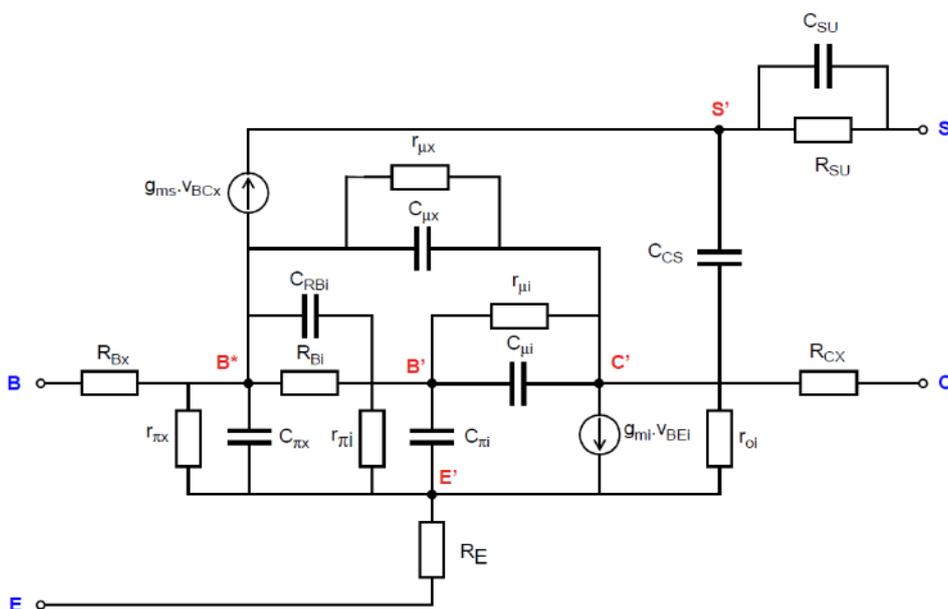


Figure 126 : modèle équivalent simplifié petit signal HICUM L2

La fréquence de transition f_T et la fréquence maximum d'oscillation f_{MAX} sont les figures de mérite du transistor qui évaluent son gain en courant et en puissance. Ces deux fréquences de coupure dépendent des paramètres décrits Figure 126 et s'expriment selon les équations simplifiées suivantes :

$$f_T = \frac{1}{2\pi \left(\tau_F + \frac{kT}{qI_C} (C_{BE} + C_{BC}) + (R_B + R_E) \cdot C_{BC} \right)} \quad (A.1)$$

Avec

$$C_{BE} = C_{\pi i} + C_{\pi x} \quad C_{BC} = C_{\mu i} + C_{\mu x}$$

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (A.2)$$

τ_F est le temps de transition, C_{BE} , C_{BC} les capacités Base-Emetteur et Base-Collecteur et R_E , R_C les résistances d'accès d'émetteur et collecteur.

La fréquence de transition f_T est la fréquence pour laquelle le gain petit signal $|H_{21}|$ en courant est unitaire. Le but est d'avoir cette fréquence la plus élevée possible pour conserver l'effet amplificateur du transistor à très haute fréquence. La fréquence d'oscillation f_{MAX} est la fréquence pour laquelle le gain en puissance unilatéral $|U|$ est unitaire. On exprime cette fréquence à partir du gain unilatéral de Mason car il est indépendant de l'environnement du transistor contrairement au gain transducique qui dépend de l'adaptation du transistor. Ces fréquences de coupure sont obtenues en extrapolant leurs courbes de gain en courant $|H_{21}|$ et en tension $\sqrt{|U|}$ dans leur zone de pente à -20 dB/décade. On peut exprimer ces gains d'après leurs paramètres S mesurés [98] :

$$f_T = \frac{1}{\text{Im} \left(\frac{1}{|H_{21}|} \right)} \quad (A.3)$$

$$\text{avec } |H_{21}| = \frac{2S_{11}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}$$

$$f_{MAX} = f \sqrt{|U|} \text{ avec } |U| = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left[k \left| \frac{S_{21}}{S_{12}} \right| - \text{Re} \left[\frac{S_{21}}{S_{12}} \right] \right]} \quad (A.4)$$

$$\text{avec } k = \frac{1 + |S_{11} \cdot S_{22} - S_{21} \cdot S_{12}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|}$$

Pour optimiser les performances des transistors lors de la conception de nos circuits, nous avons comme seuls degrés de liberté la taille du transistor, configurable par sa longueur et largeur d'émetteur, le nombre d'émetteurs, ainsi que sa structure (collecteur-base-émetteur CBE ou CBEBC). La structure CBEBC, que nous avons systématiquement choisie, offre une configuration symétrique du transistor qui permet de diminuer la résistance équivalente de base et de collecteur R_b et R_c . En augmentant le nombre d'émetteurs en parallèle on vient également diminuer R_b et R_c et aussi diminuer les capacités parasites entre ces nœuds. Nous chercherons à maximiser le gain de nos transistors ou la puissance qu'ils peuvent débiter.

Au niveau optimisation technologique, pour maximiser le gain en puissance, issu de f_{MAX} , (équation A.2), il faut polariser le transistor à son pic de f_T et minimiser ses résistances de base et ses capacités parasites base-collecteur. Pour augmenter la fréquence de transition f_T il faut diminuer les capacités parasites du transistor, ses résistances d'accès ainsi que son temps de transition, qui dépend de la capacité de diffusion entre la base et l'émetteur (équation A.1). Enfin, minimiser la profondeur de base neutre permet de diminuer aussi le temps de transition des porteurs.

Lorsque on veut augmenter la puissance délivrée par un transistor, il faut augmenter son courant de collecteur et sa transconductance. Il est donc nécessaire de trouver un bon compromis parmi tous ces paramètres géométriques pour trouver la taille de transistor optimum selon les performances recherchées. Une méthodologie de conception est établie pour chacun des circuits réalisés et sera décrite dans les parties correspondantes.

1.2. Les structures passives

Une bonne connaissance des éléments passifs est indispensable pour concevoir des circuits intégrés performants et plus particulièrement aux fréquences millimétriques. En effet leur comportement dépend fortement de leurs éléments parasites et ont un fort impact dans ces bandes de fréquences. Ces composants passifs sont essentiels pour l'adaptation en puissance ou le découplage entre les signaux RF et statiques.

Nous présenterons dans cette partie les composants passifs utilisés dans nos circuits : les lignes de transmission, les capacités MIM et MOM ainsi que les résistances. Nous regarderons ensuite brièvement les pads RF et leur comportement à ces fréquences.

I.2.1. Les lignes de transmission

Les lignes de transmission sont un des éléments clef de la conception des circuits en bande millimétriques, elles permettent une propagation optimale du signal et la conception de réseaux d'adaptation. Il existe à ce jour plusieurs types de structures de propagation : les lignes coplanaires (coplanar waveguide : CPW) et les lignes microrubans (thin film micro strip : TFMS). Les performances de ces lignes sont directement liées à la technologie utilisée, à savoir les performances du diélectrique et de la métallisation disponible. Une étude qui compare les performances de ces deux types de lignes en technologie BiCMOS 130 nm a déjà été réalisée dans des précédents travaux de thèse [99] [100]. Nous choisirons d'utiliser dans nos circuits des lignes microruban comme structure de propagation, car les pertes engendrées dans le substrat sont moins importantes. Le mode de propagation dans une ligne microruban intégrée est le mode quasi-TEM (transverse électromagnétique). Cela s'explique par le fait que les composantes longitudinales du champ sont plus faibles que les composantes transversales, dû à une résistivité différente entre le diélectrique (sous la ligne) et l'espace libre (au-dessus de la ligne).

Sur la Figure 127 nous représentons une vue 3D simplifiée d'une ligne microruban qui utilise un plan de masse sur les deux niveaux de métaux M1 et M2. Le plan de masse est constitué d'espace vide afin de respecter les règles de densités de la technologie. Le signal radiofréquence se propage dans un ruban de métal M8 qui est le niveau de métal le plus épais de la technologie et permet d'avoir le minimum de pertes conductrices. Le métal de propagation et le plan de masse sont séparés par une couche isolante en oxyde de silicium (SiO_2).

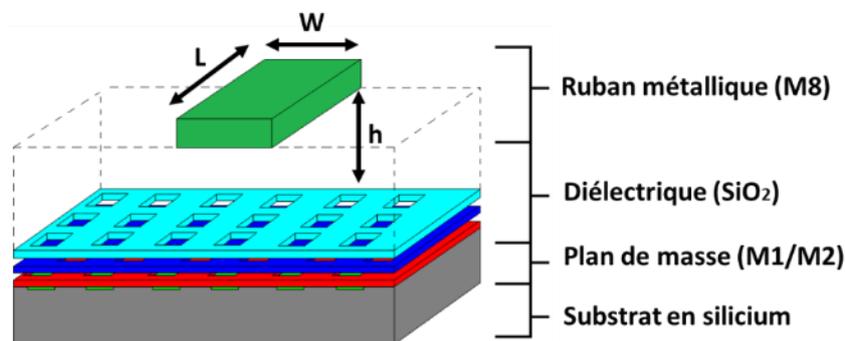


Figure 127 : Vue 3D simplifié d'une ligne microruban métal 8 sur métal1/métal 2

Rappelons les paramètres caractéristiques d'une ligne soit :

- L'impédance caractéristique Z_c
- La constante de propagation $\gamma = \alpha + j\beta$

- α représente les pertes de propagation et dépend des dimensions de la ligne : la largeur W et la hauteur h
- β représente la constante de phase et qui est définie par :

$$\beta = \frac{2\pi}{\lambda} [m^{-1}]$$

Avec λ la longueur d'onde guidée. La constante de propagation est donc définie selon la constante d'atténuation α , qui représente les pertes par unité de longueur, et la constante de phase β , qui permet de quantifier la vitesse de propagation dans le matériau.

L'impédance caractéristique de la ligne dépend de la largeur de la ligne W et de l'épaisseur du diélectrique $h\epsilon_{\text{reff}}$. Compte tenu des niveaux d'interconnexions et des règles de dessins autorisées, la technologie BiCMOS 55 nm nous permet de réaliser des structures de propagation avec des impédances caractéristiques de 25 à 80 Ω .

Nous utiliserons un modèle paramétrable en W et L qui a été développé par T. Quemerais [64]. Le modèle a été validé par des simulations électromagnétiques réalisées sur HFSS jusqu'à 220 GHz. Les figures suivantes présentent le comportement en fréquence de 130 à 220 GHz d'une ligne de largeur de $W=5 \mu\text{m}$ et de $1 \mu\text{m}$ d'une longueur $L=500 \mu\text{m}$ à titre d'exemple. Sa constante d'atténuation α est représentée Figure 128, sa constante de phase β Figure 129, et l'impédance caractéristique Z_c Figure 130:

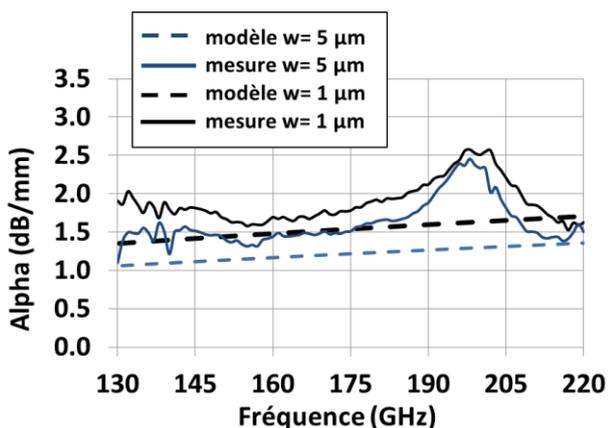


Figure 128 : comparaison simulation et mesure de la constante d'atténuation $\alpha=f$ (fréquence)

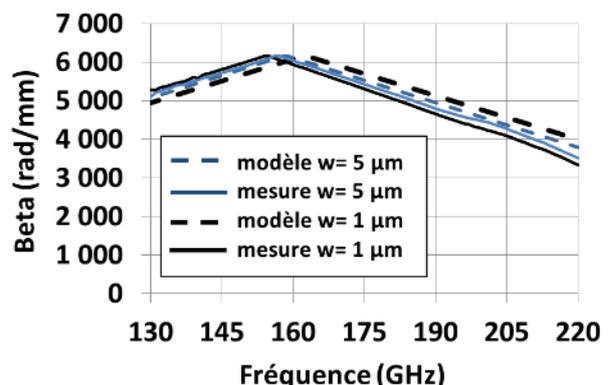


Figure 129 : comparaison simulation et mesure de la constante de phase $\beta=f$ (fréquence)

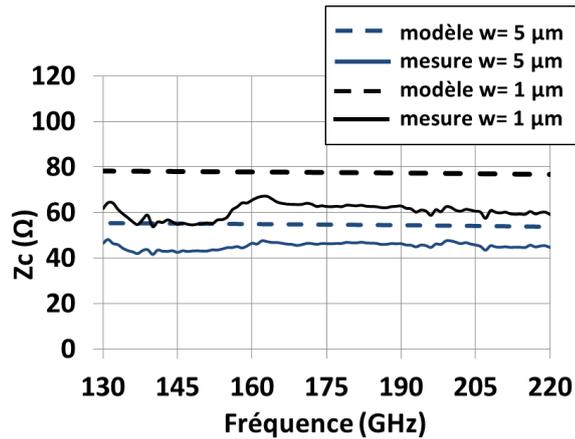


Figure 130 : comparaison simulation et mesure de la partie réelle $Z_c=f$ (fréquence)

Le modèle ainsi réalisé nous permet de correctement cerner les constantes d'atténuation et de phase ainsi que son impédance caractéristique à $\pm 10 \Omega$. A 150 GHz les pertes sont de l'ordre de 1,5 dB/mm avec des impédances caractéristiques de l'ordre de 60 Ω . Ces caractéristiques vont nous permettre de réaliser des réseaux d'adaptation performants dans la conception de nos circuits.

1.2.2. Les capacités

1.2.2.1. Les capacités MIM

Les capacités MIM (Métal-Isolant-Métal) sont des condensateurs constitués d'une couche isolante haute permittivité située entre deux couches métalliques : les électrodes. Contrairement aux capacités MOM (Métal-Oxyde-Métal), les capacités MIM ont besoin de deux étapes de fabrication supplémentaires [101]. Cependant elles présentent un bon facteur de qualité du à l'absence de via dans leur structure. Une représentation 3D de la capacité MIM est illustrée Figure 131.

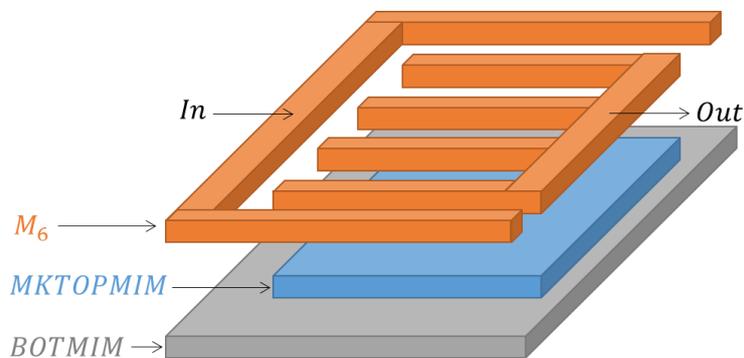


Figure 131 : Représentation 3D d'une capacité MIM de 500 fF en technologie BiCMOS 55nm

L'utilisation d'un oxyde à forte valeur de permittivité diélectrique (Ta_2O_5 : composé d'oxyde de Tantale, $\epsilon_r=20$) permet d'atteindre une valeur de capacité surfacique de l'ordre de 2fF/ μm^2

[99]. Ceci nous permet d'atteindre des valeurs suffisantes pour une faible occupation surfacique et limiter ainsi les phénomènes de résonance liés à l'inductance série.

Le modèle équivalent de la capacité MIM que nous avons développé est présenté Figure 132 :

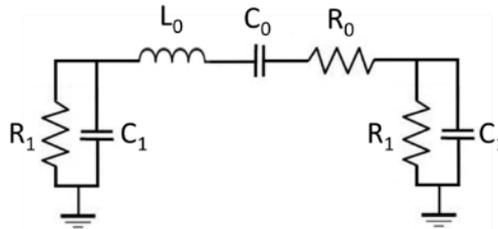


Figure 132 : modèle équivalent simplifié de la MIM

Ce modèle équivalent en π inclut les éléments série et parallèle de la MIM : L_0 modélise l'inductance parasite qui représente la partie inductive des électrodes, R_0 la résistance qui représente les pertes du diélectrique et enfin C_0 la capacité intrinsèque de la MIM. Le réseau R_1 - C_1 modélise le couplage et les pertes dans le substrat. Afin d'assurer une fréquence de résonance propre de la MIM suffisamment élevée, il est nécessaire de choisir une faible valeur de capacité unitaire. Pour cela nous avons choisi d'utiliser des capacités de 50 fF dont la fréquence de résonance se situe au-delà de 200 GHz. Elles sont utilisées comme capacités de liaison entre les étages de nos circuits et comme capacités de découplage.

Nous avons caractérisé en paramètre S cette capacité en utilisant un mode d'épluchage avec un motif en circuit ouvert et un motif en circuit fermé (de-embedding open short) [102].

Après épluchage, l'extraction des paramètres séries et parallèles de la MIM a été réalisée à partir des paramètres S corrigés. Nous pouvons exprimer sa capacité équivalente C_0 par l'équation suivante :

$$C_0 = -\frac{\text{imag}(Y_{12})^2 + \text{reel}(Y_{12})^2}{\omega \cdot \text{imag}(Y_{12})} [F] \quad (\text{A.5})$$

Une comparaison entre la simulation et la mesure de 0 à 220 GHz d'une capacité de 50 fF est présentée Figure 133. La bande 110 -130 GHz n'a pas pu être couverte car nous ne disposons pas des équipements requis en paramètres S à ces fréquences.

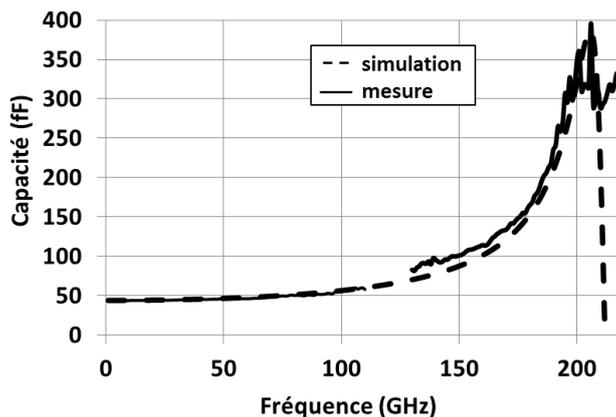


Figure 133 : Comparaison entre la simulation et la mesure d'une capacité de 50 fF

Comme nous avons basé notre modèle sur des résultats de mesures (calcul des paramètres Figure 132 à partir des paramètres S de la MIM), nous obtenons naturellement une bonne corrélation entre la simulation du modèle qui a été réalisé et la mesure. Ceci valide notre méthode de calcul des éléments de la MIM. Ce modèle a été ajouté dans notre simulateur (Mentor Graphics Eldo) et est utilisé pour la conception de nos circuits intégrés. Les capacités de liaison et de découplage étant présentes dans chaque étage de circuit, une bonne modélisation de cet élément est indispensable. Cependant, ces capacités présentent des fuites, bien que faibles, très pénalisantes lors de la conception de circuits nécessitant des copies de branches identiques, notamment dans les détecteurs de puissance différentiels. Nous utiliserons ces capacités pour les étages de puissance car elles présentent de faibles pertes contrairement aux capacités MOM, que nous allons maintenant présenter.

1.2.2.2. Les capacités MOM

Les capacités MOM (Métal-Oxyde-Métal) n'ont pas besoin d'étapes de fabrication supplémentaires et sont réalisées à partir de plusieurs niveaux de métaux : du métal 2 (niveau le plus bas) jusqu'au métal 5 (niveau le plus haut). Elles présentent cependant une densité bien inférieure aux capacités MIM. Une vue en 3D et une vue du dessus d'une capacité MOM sur 2 niveaux de métaux est présentée Figure 134.

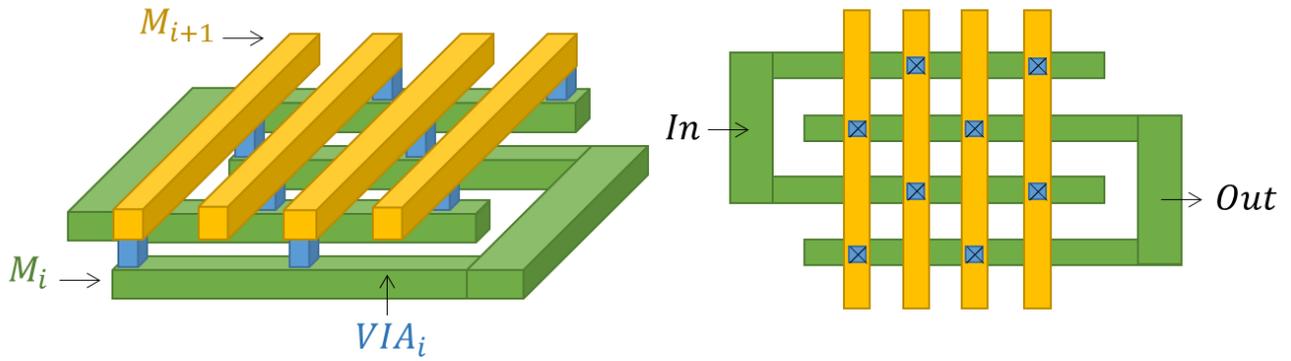


Figure 134 : présentation 3D d'une MOM sur deux niveaux de métaux M_i et M_{i+1} et vue du dessus

Le couplage se fait entre les doigts métalliques inter-digités M_i et M_{i+1} pour chaque niveau de métal. Une couche de diffusion OD connectée à la masse permet d'isoler la capacité du substrat. La faible épaisseur des niveaux de métaux utilisés en technologie BiCMOS 55 nm rend cette capacité fortement résistive lorsqu'on utilise des capacités de petites valeurs, obligatoire aux fréquences supérieures à 110 GHz. Ainsi, lors de la conception d'un circuit comme la source de puissance (II.2), les pertes série amenées par ces capacités de liaison deviennent rapidement importantes et nous pénalisent fortement quant aux performances en puissance. Ces capacités présentant beaucoup moins de fuites que les capacités MIM, nous les utiliserons pour concevoir notre détecteur de puissance.

1.2.3. Les résistances

Les résistances de la technologie BiCMOS 55 nm sont réalisées en polysilicium faiblement dopé et leurs valeurs en ohm dépendent de la section de ce barreau de polysilicium et de son niveau de dopage. Lorsque ce composant est excité par un signal radiofréquence, un fort couplage se produit entre la résistance et le substrat (faiblement distants). Cette résistance est donc équivalente à un filtre passe-bas distribué et présente une fréquence de coupure f_c , qui dépend de la valeur de la résistance et de la capacité équivalent de couplage. Une mesure effectuée jusqu'à 110 GHz d'une résistance de 420 Ω et présentée sur la Figure 135 montre la forte dépendance de la résistance en fonction de la fréquence.

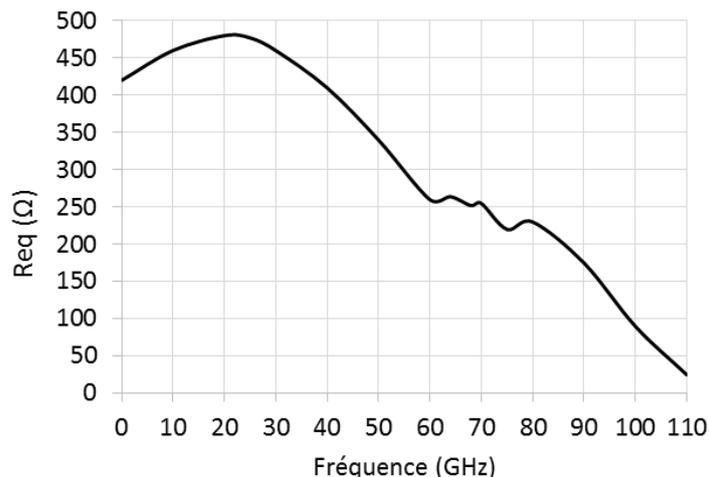


Figure 135 : Mesure de la variation de la résistance équivalente de 420 Ω en fonction de la fréquence

D'après la Figure 135 nous observons que notre résistance équivalente vaut 25,7 Ω à 110 GHz pour une résistance qui à basse fréquence en vaut 420 Ω . Nous observons le même type de comportement quelles que soit les valeurs de résistance mesurées, avec une fréquence de coupure qui varie selon la taille des résistances.

Pour polariser les bases et les grilles de transistors et filtrer la RF nous utilisons des résistances de fortes valeurs (entre 10 k Ω et 30 k Ω). Ces résistances diminuent avec la fréquence et les rend donc moins performantes en bande G. Des capacités en parallèle de ces résistances sont alors ajoutées pour assurer un bon découplage lors de la polarisation des dispositifs actifs. Cependant ce type de résistance ne pourra pas être utilisé pour réaliser un design tel qu'un atténuateur de puissance, nécessitant une bonne maîtrise de leur impédance équivalente, ce qui est impossible en bande G.

1.2.4. Les plots d'accès RF

Les plots d'accès RF influencent fortement la mesure surtout lorsqu'on monte en fréquence. Ainsi, ces plots sont inclus dans nos circuits et doivent être précisément modélisés. De plus, à ces fréquences de travail, le posé de pointes peut rapidement influencer la qualité d'une mesure. En effet des travaux de thèse réalisés à l'université de Chalmers sur une technologie Inp ont montré la sensibilité que présente le posé de pointe à très hautes fréquences [103] et la difficulté à réaliser une mesure en bande de fréquence millimétrique. Pour pouvoir réaliser un épluchage précis et reproductible des plots RF, il est impératif de bien maîtriser le posé des sondes à chaque mesure. De plus il faut concevoir des plots suffisamment petits afin de minimiser leur capacité parasite.

Dans nos circuits nous utiliserons des plots RF d'une longueur de $l_{plot}=80 \mu\text{m}$ et $h_{plot}=50 \mu\text{m}$ dont la vue est présentée Figure 136(a). Dans le cas où les sondes sont posées précisément au centre du plot, son modèle peut être représenté comme une ligne en circuit ouvert de longueur $l_{plot}/2$, d'une capacité de couplage C_{plot} en série avec une résistance R_{plot} et à nouveau d'une ligne de longueur $l_{plot}/2$ comme présenté Figure 136(b). Pour déterminer la capacité C_{plot} (équivalente au couplage entre le métal 8 et le substrat) il suffit d'effectuer une mesure en paramètres S en circuit ouvert de ces plots dont le modèle en π est représenté Figure 136(c).

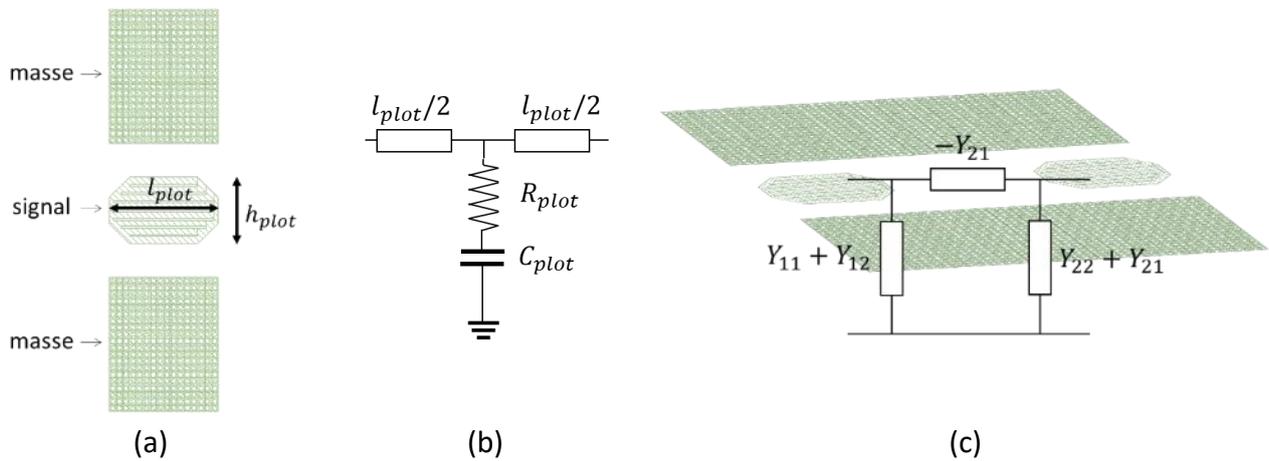


Figure 136 : Layout du plot RF (a) modèle équivalent simplifié du plot RF (b) layout du pad-ouvert et son modèle en π équivalent

Ainsi la capacité et la résistance du plot équivalent s'exprime par les équations (A.6) et (A.7).

$$C_{plot_gauche} = \frac{imag(Y_{11} + Y_{12})}{\omega} \quad (A.6)$$

$$R_{plot_gauche} = real\left(\frac{1}{Y_{11} + Y_{12}}\right) \quad (A.7)$$

Quant aux inductances séries, elles sont extraites des paramètres S d'un plot court-circuité à la masse (Figure 137). A partir d'un schéma équivalent en T on remonte aux inductances séries par l'équation (A.7).

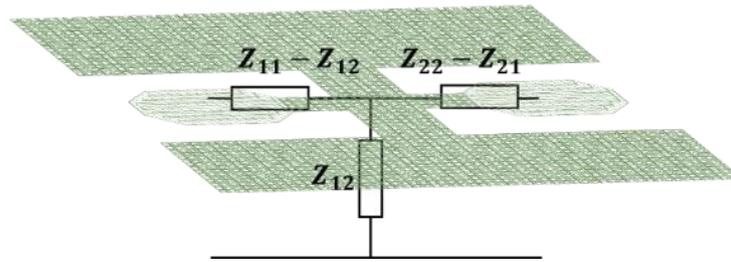


Figure 137 : structure pad en court-circuit et son modèle en T équivalent

On en déduit :

$$L_{plot_gauche} = \frac{\text{imag}(Z_{11} - Z_{12})}{\omega} \quad (\text{A.8})$$

La capacité C_{plot_gauche} obtenue en bande G varie de 19 fF à 130 GHz jusqu'à 24 fF à 220 GHz. Pour un posé de pointe parfaitement symétrique, $C_{plot_gauche} = C_{plot_droit}$ or on remarque une variation de 2 fF entre les deux mesures Figure 138(a), ce qui illustre bien la sensibilité du posé de pointe, critique à nos fréquences de travail. La valeur de la résistance R_{plot_gauche} est d'environ 3 Ω . L'inductance série L_{plot_gauche} varie de 6,5 pH à 130 GHz avec un minimum de 4 pH à 150 GHz et apparait symétrique Figure 138(b).

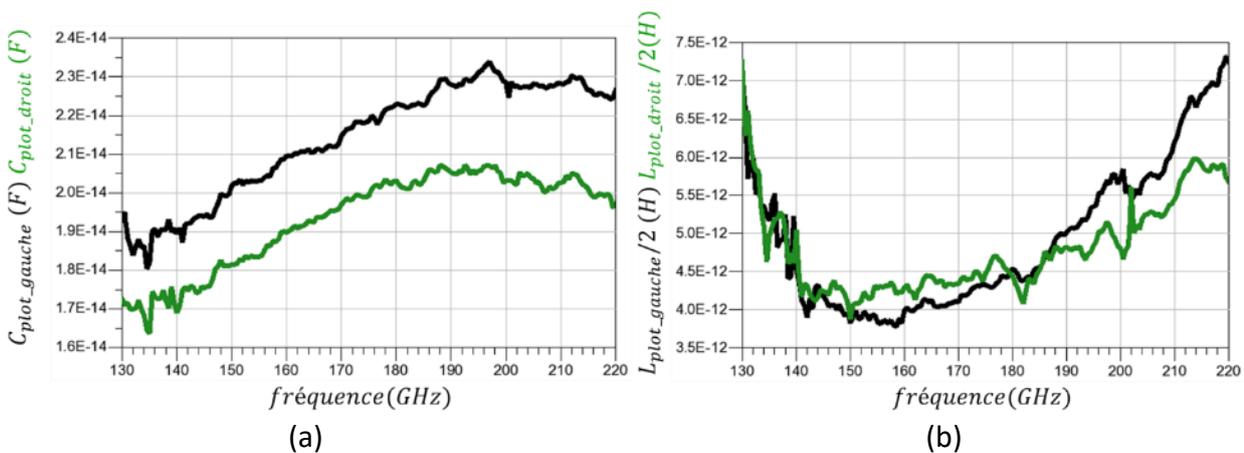


Figure 138 : Capacité équivalente C_{plot} (a) et Inductance équivalente L_{plot} (b) en fonction de la fréquence

I.3. Conclusion de l'annexe I

Nous avons présenté dans cette annexe la technologie BiCMOS 55 nm utilisée pour la conception de nos circuits intégrés, avec une rapide description des éléments actifs (transistors MOS et bipolaire) et passifs (lignes de transmissions, capacités, résistances). Une bonne connaissance du comportement de ces éléments aux fréquences millimétriques est indispensable. C'est pourquoi nous avons veillé à mesurer des composants tels que la capacité MIM et la

résistance en bande G pour analyser leur comportement à ces fréquences et ainsi éviter les problèmes liés à la résonance dans nos circuits.

Annexe II. : Détecteur de puissance avec transistor MOS : montage à source commune

Dans cette annexe nous présentons les résultats de simulations du détecteur de puissance utilisant un transistor MOS.

La détection du signal V_{rf} (Figure 139) se fait sur la grille du transistor MOS. Il est monté en source commune et permet de récupérer un terme quadratique sur son drain, proportionnel au signal d'entrée V_{rf} . Le montage est présenté sur la Figure 139.

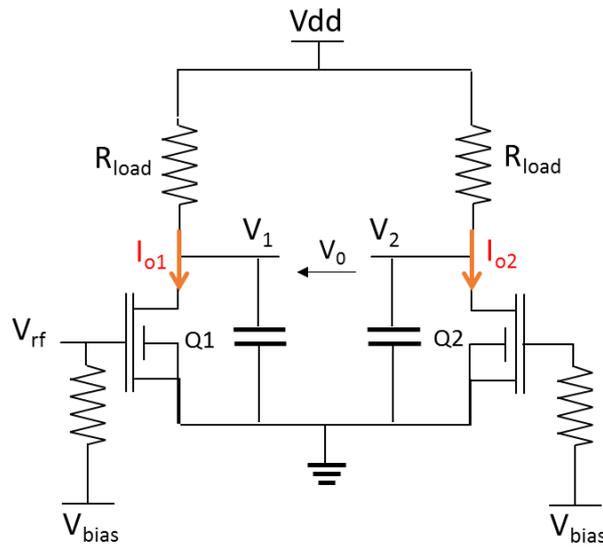


Figure 139 : Principe du détecteur de puissance MOS

On rappelle que le courant de sortie d'un transistor MOS en zone active s'exprime par :

$$I_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda \cdot v_{DS}) \quad (\text{A.1})$$

En envoyant un signal RF sur la grille on obtient donc :

$$I_{o1} \sim \frac{\mu_n C_{ox} W}{2L} (v_{GS} + v_{RF} - V_T)^2 (1 + \lambda \cdot v_{DS}) \quad (\text{A.2})$$

Avec μ_n la mobilité des électrons dans le canal, C_{ox} la capacité d'oxyde, W et L les dimensions du transistor, λ la longueur du canal et V_T la tension de seuil. v_{RF} est le signal RF d'entrée appliqué sur la grille du transistor Q1 qu'on exprime :

$$v_{RF} = V_{ac} \cdot \cos(\omega t) \quad (\text{A.3})$$

Le courant I_{o1} dépend donc du carré de la tension crête V_{ac} , ce qui va nous permettre de remonter au niveau de puissance équivalent en entrée. D'après la Figure 139, le montage en

symétrique Q_2 nous permet de soustraire la tension d'offset du signal détecté et aussi d'atténuer les effets de la température [86]. En effet, le signal V_1 obtenu en sortie varie autour d'une tension V_{DS} nécessaire à la polarisation du transistor. Pour ne récupérer que la variation dynamique de ce signal, nous allons soustraire la tension d'offset (tension statique V_{DS}) à l'aide du montage symétrique polarisé de manière identique. On extrait donc en sortie une différence de tension V_0 qui représente uniquement la variation de la puissance en entrée.

Si on exprime la différence des courants on obtient :

$$I_{o1} - I_{o2} \sim K \frac{W}{L} (v_{RF})^2 + K \frac{W}{L} (v_{GS} - V_T)$$

$$I_{o1} - I_{o2} \sim \frac{KW}{4L} (V_{ac})^2 + \frac{KW}{4L} (V_{ac})^2 \cos(2\omega t) + K \frac{W}{L} (v_{GS} - V_T) \cdot V_{ac} \cos(\omega t) \quad (A.4)$$

$$+ \dots$$

En décomposant le courant on obtient un terme $\frac{KW}{4L} (V_{ac})^2$ sans dépendance en fréquence et qui dépend de la tension crête du signal d'entrée RF V_{ac} , ainsi que des composantes RF à ω puis ses harmoniques. Pour ne récupérer que la composante continue il est nécessaire d'insérer un filtre passe bas. L'avantage de travailler à haute fréquence est que les fréquences à filtrer sont déjà très hautes, ce qui réduit la complexité du filtre. Ainsi, une capacité en parallèle suffit.

On peut ainsi exprimer la tension de sortie $V_0 = V_1 - V_2$:

$$V_{0\text{filtré}} \cong R_{load} \cdot (I_{o1} - I_{o2})_{DC} = R_{load} \cdot \frac{KW}{4L} (V_{ac})^2 \quad (A.5)$$

On obtient une tension différentielle V_0 qui évolue en fonction de la puissance d'entrée, de manière quadratique. Il est donc possible de récupérer, selon une courbe $V_0=f(P_{entrant})$, une tension proportionnelle à l'évolution de la puissance en entrée.

La Figure 140 montre un circuit de détection à base de transistor MOS en montage source commune utilisant des charges actives.

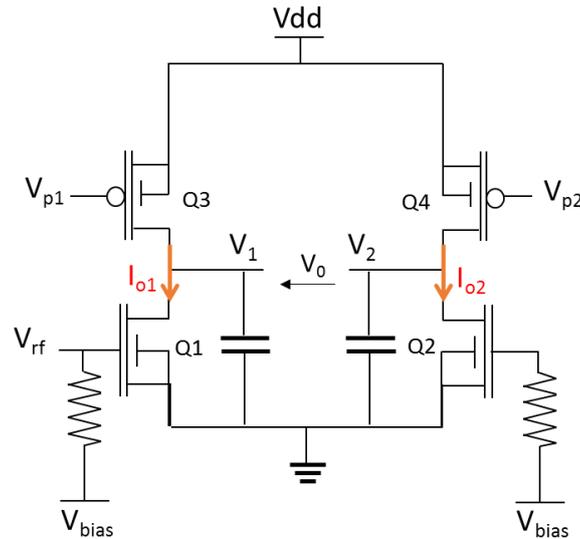


Figure 140 : Détecteur de puissance MOS à charge active

Sur le montage Figure 139 on obtient une résistance équivalente de sortie égale à $r_{eq} = R_{load} // r_{ds1}$ et un gain G équivalent à $G = -g_m \cdot (R_{load} // r_{ds1})$. Afin d'augmenter le gain et la dynamique de détection, il est possible d'utiliser une charge active. Ceci nous permet d'augmenter la résistance équivalente de charge et par défaut le gain et la sensibilité du détecteur. En effet, on obtient un gain de : $G = -g_m \cdot (r_{ds3} // r_{ds1})$. Etant donné que $r_{ds3} > R_{load}$ alors G est augmenté. De plus nous pouvons élargir notre plage de linéarité. En effet, notre dynamique de sortie maximale est comprise entre les limites des zones actives des transistors PMOS Q3 et Q4 et des NMOS Q1 et Q2. Cette structure nous permet également de pouvoir ajuster le courant à l'aide des tensions V_{p1} et V_{p2} , ce qui nous donne un degré de liberté contrairement à une résistance fixe.

Nous avons cherché à dimensionner les transistors NMOS et PMOS dans le but d'avoir une dynamique de sortie la plus grande possible à savoir un point de compression correspondant à la zone quadratique la plus étendue possible. De plus, nous ne lui présentons pas sur sa charge une impédance optimale, mais une capacité de filtrage. Ce type de transistor ne présentant plus de gain à 150 GHz, le point de compression en sortie devient donc inférieur au point de compression en entrée. Nous obtenons donc un transistor NMOS (Q1, Q2 Figure 140) de largeur de grille $W=70 \mu\text{m}$ de longueur de grille $L=0,3 \mu\text{m}$, et constitué de $N=50$ doigts. Pour les transistors PMOS (Q3, Q4 Figure 140) : $W=90 \mu\text{m}$; $L=0,13 \mu\text{m}$ et $N=10$. Nous polarisons nos transistors NMOS en limite de zone active à un $V_{GS} > V_T$ et $V_{DS} > V_{GS} - V_T$ soit un $V_{DS}=1\text{V}$ et $V_{GS}=800\text{mV}$.

A notre fréquence de travail nous n'avons plus de gain en puissance et en tension donc nous devons nous attendre à avoir de faibles niveaux de tension en sortie. En effet, d'après la Figure 140, on peut exprimer la fréquence de coupure de l'étage par :

$$f_c = \frac{1}{2\pi(r_{dsQ1}/r_{dsQ3}) \cdot C_s} \quad (\text{A.6})$$

Avec

$$C_s \cong C_{gsQ1} \left(1 + \frac{1}{G_{Q1}}\right) + C_{abQ1} + C_{qbQ3} + C_{dbQ3} \quad (\text{A.7})$$

En extrayant les valeurs de ces capacités et résistances par simulation, nous calculons une fréquence de coupure très basse de l'ordre de la dizaine de GHz. Nous obtenons donc des niveaux de tension de l'ordre du mV sur V_1 et V_2 car le gain en tension à 150 GHz est très inférieur à 1. Comme tout circuit RF nous devons également adapter notre montage sur une impédance réelle, que nous choisissons de 50 Ω . Les réseaux d'adaptation et les stubs court-circuités sont réalisés avec des lignes de transmissions microruban.

La Figure 141 (a) montre la simulation de la tension de sortie statique $V_0 = V_{out\ diff} = V_1 - V_2$ en Volts en échelle logarithmique en fonction de la puissance d'entrée en dBm à 150 GHz et la Figure 141 (b) le module en dB du paramètre S_{11} petit signal.

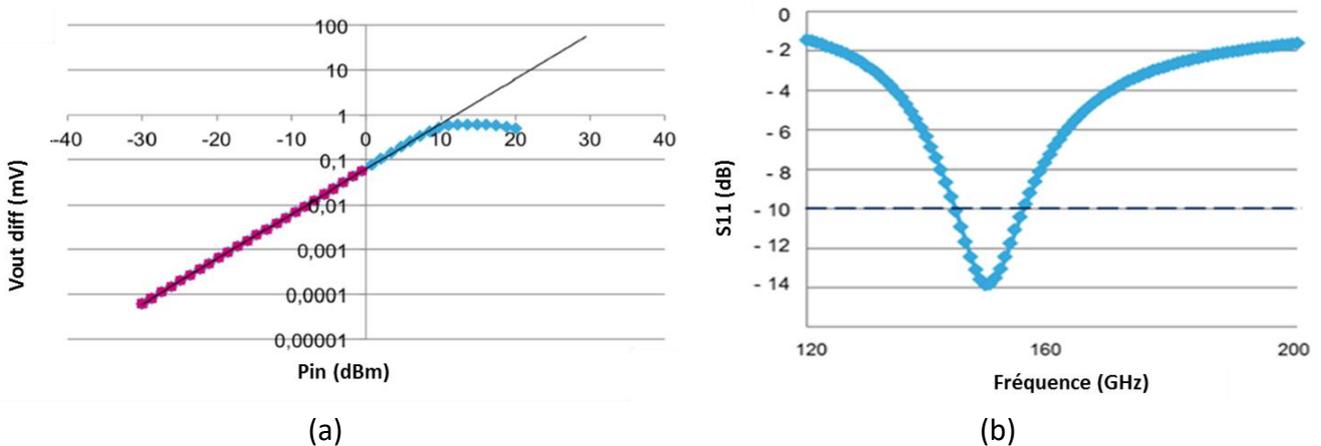


Figure 141 : Variation de la tension de sortie en fonction de la puissance d'entrée à 150 GHz (dBm) (a) et paramètre S_{11} (b)

D'après la Figure 141 (a) nous observons bien une réponse quadratique en sortie jusqu'à 8 dBm de puissance entrante. A partir de cette puissance, le transistor MOS se met à comprimer et il devient impossible de détecter précisément des puissances plus élevées. La détection basse puissance n'est cependant pas fiable car le bruit généré par les composants n'est pas pris en compte dans la simulation. Etant donné que nous souhaitons détecter des niveaux de puissance plus élevés dans notre application, le comportement en bruit des détecteurs n'a pas été étudié.

On obtient des niveaux de tension compris entre 60 μ V pour un $P_{in} = -30$ dBm et 440 mV pour un $P_{in}=8$ dBm.

Enfin, nous avons dimensionné les lignes de transmission nécessaire à l'adaptation en entrée afin d'obtenir un $S_{11} < -10$ dB à 150 GHz et être le plus large bande possible. Nous observons sur la Figure 141 (b) une adaptation en entrée sur 50 Ω entre 144 GHz et 154 GHz (critère de $S_{11} < -10$ dB) soit une bande passante de 10 GHz.

Les performances de notre détecteur sont résumées sur le tableau suivant :

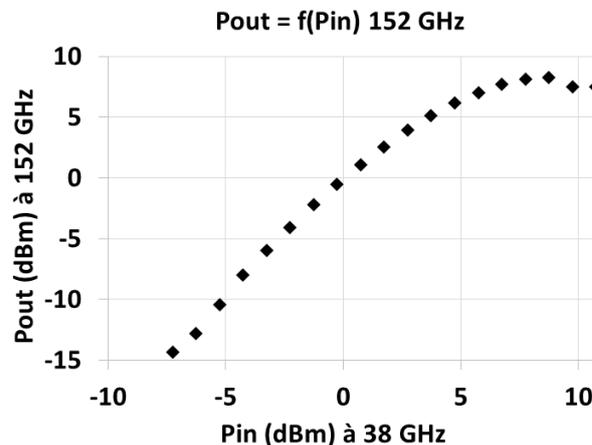
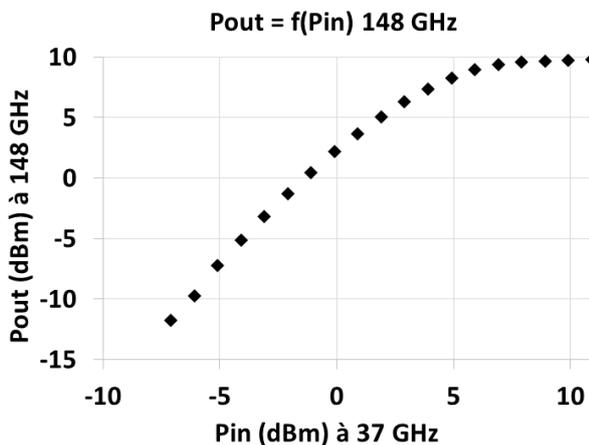
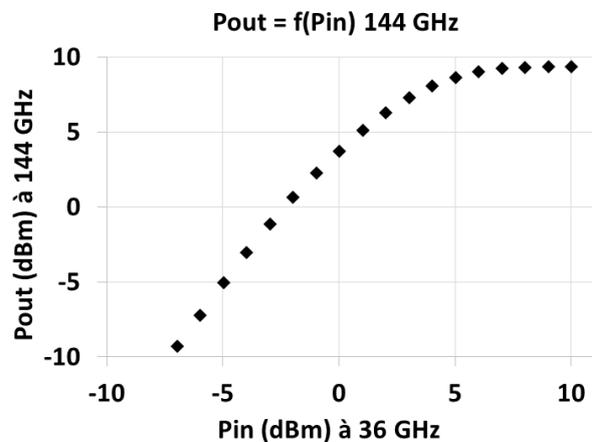
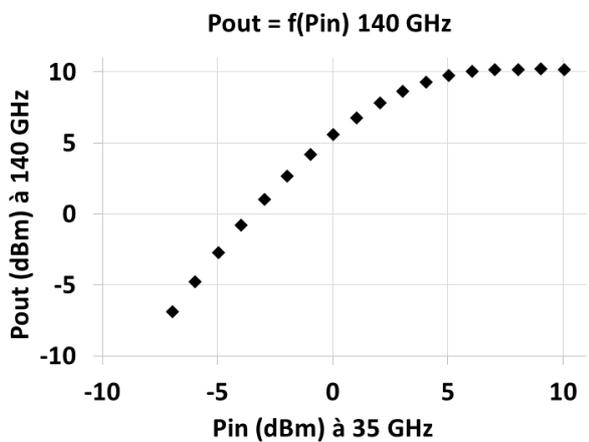
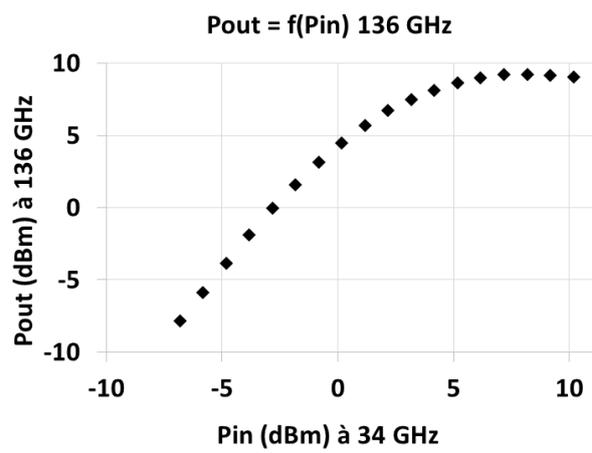
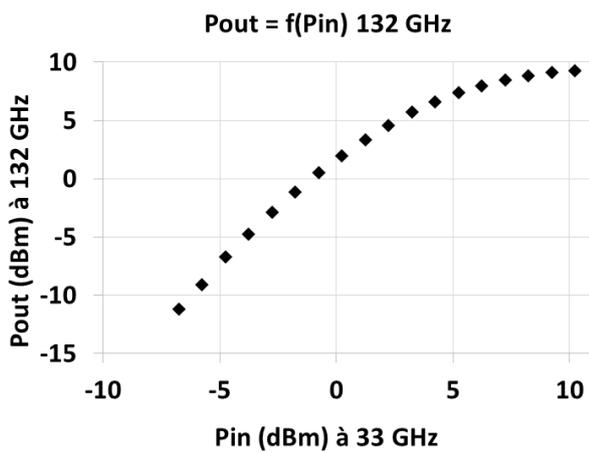
Plage de détection	<-20 dBm à 8 dBm
Bande passante < -10 dB	144 – 154 GHz
P_{in} min pour $V_{out} = 1$ mV	-15 dBm

Tableau 19 : Résultats du détecteur de puissance à transistor MOS

D'après le Tableau 19, la bande passante de notre circuit est trop faible par rapport à notre cahier des charges et ceci malgré une adaptation optimum. De plus pour une question de place sur silicium nous devons faire un choix entre nos deux structures. C'est pourquoi nous avons choisi d'intégrer uniquement le détecteur basé sur une structure utilisant un transistor bipolaire.

Annexe III. : Puissance de sortie en fonction de la puissance d'entrée du multiplieur de fréquence

Les résultats de mesures en puissance obtenues du multiplieur à $4.f_0$ lorsque le niveau de puissance en entrée évolue sont présentés dans cette annexe. Les résultats sont montrés pour un signal d'entrée compris entre les fréquences $f_0=33$ GHz et $f_0=40$ GHz soit une fréquence à $4.f_0$ variant de 132 et 160 GHz.



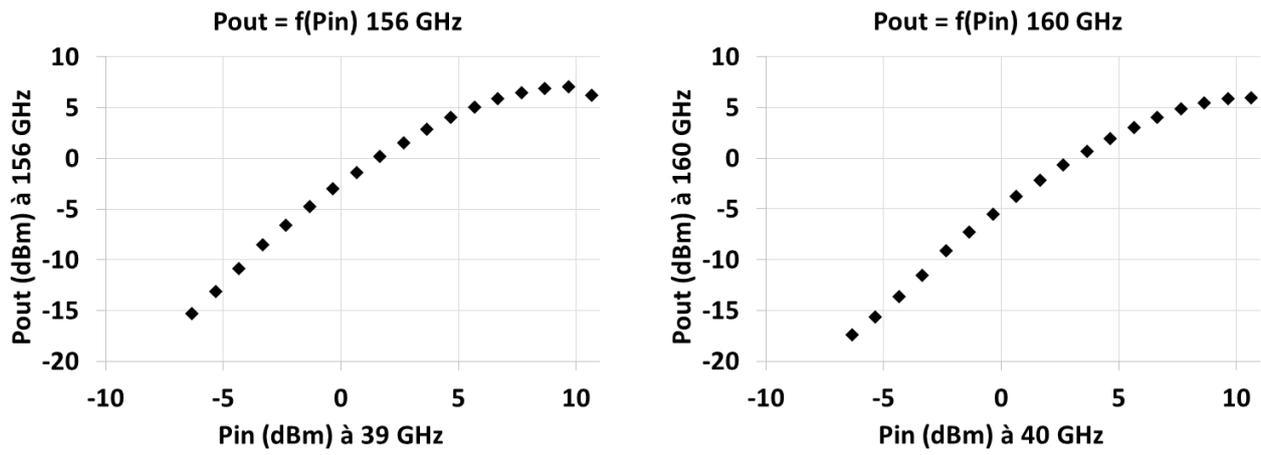


Figure 142 : Evolution de la puissance de sortie Pout à $4.f_0$ en fonction de la puissance d'entrée Pin à f_0 sous 50Ω

Annexe IV. : Mise en boîtier des circuits

La Figure 143 montre le synoptique de l'étude de la mise en boîtier du multiplieur de fréquence. Le circuit intégré serait monté en surface sur un réseau de grille à bille (BGA), lui-même soudé sur un support de type PCB. Le signal RF entre 35 et 55 GHz est généré via un générateur de signal externe conventionnel et appliqué sur un connecteur SMA. Grâce à une antenne dédiée, le signal de sortie RF est propagé dans un guide d'onde. Le dessin de l'anneau de plots de contact autour du quadrupleur a déjà été réalisé et montré Figure 144.

Enfin nous avons également imaginé le développement d'un démonstrateur à 140 GHz afin de mettre en commun les activités de conception de circuits et de conception d'antennes intégrées de l'équipe [104], pour démontrer une émission de puissance élevée dans la bande G, avec un EIRP (Equivalent Isotropically Radiated Power) idéalement compris entre 30 et 40 dBm. Le synoptique du démonstrateur est présenté Figure 145.

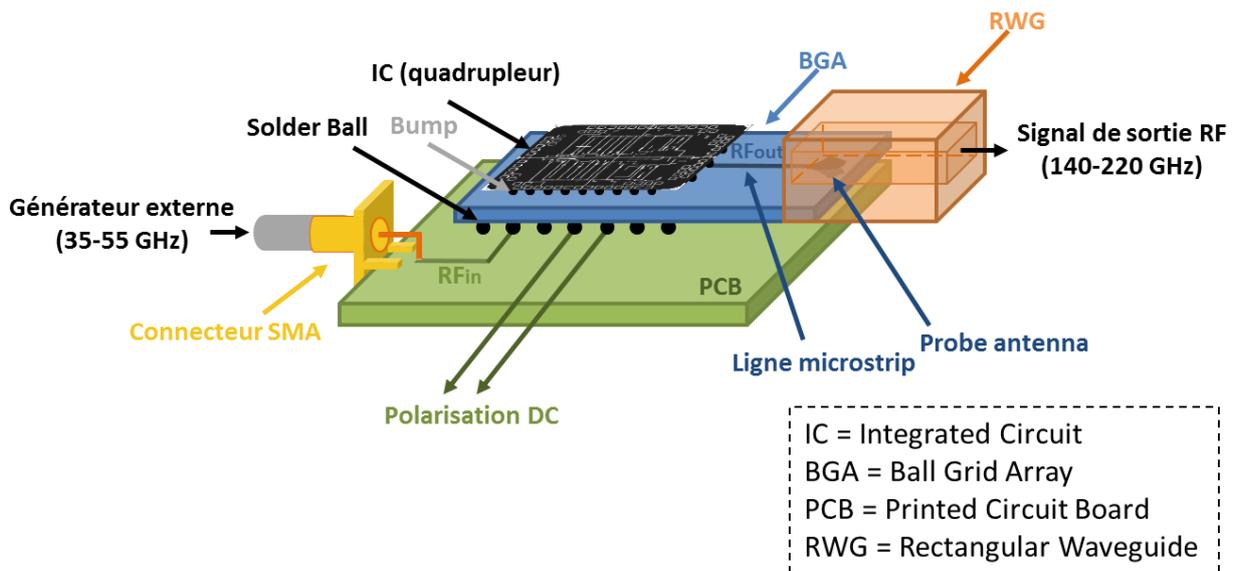


Figure 143 : Proposition de mise en boîtier du multiplieur de fréquence

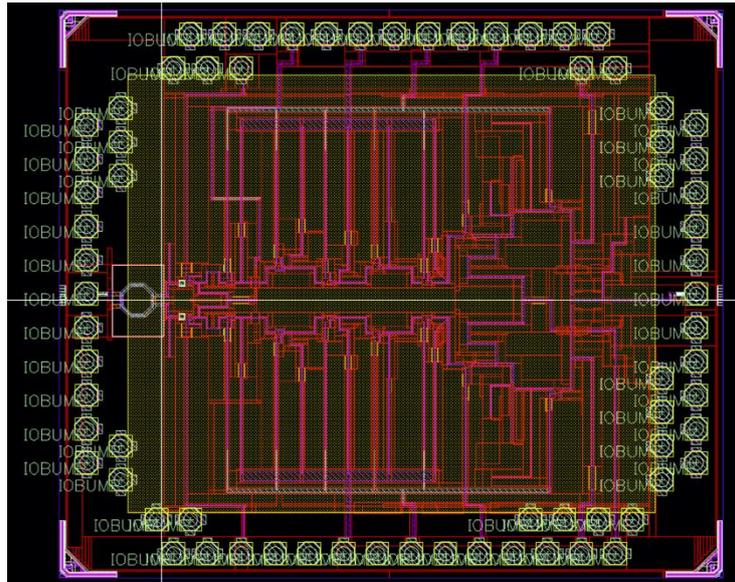


Figure 144 : Dessin du quadrupleur avec son anneau de plots de contact pour un assemblage sur BGA

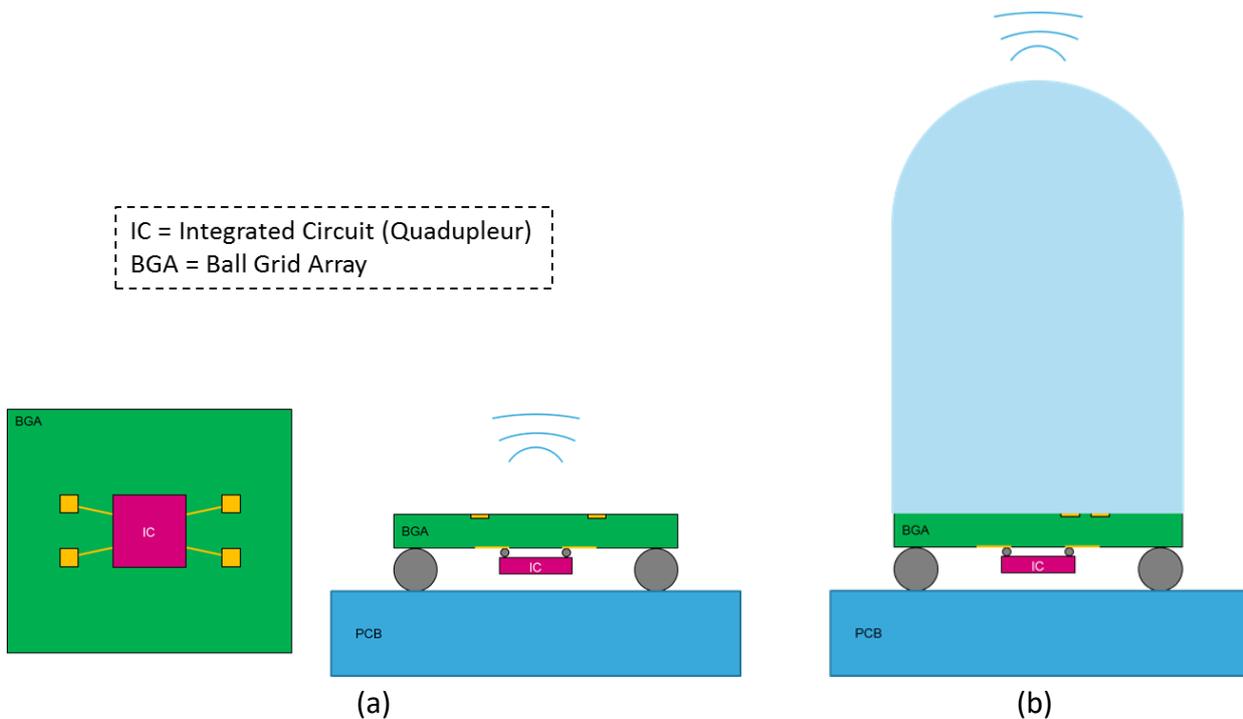


Figure 145 : Synoptique du démonstrateur à 140 GHz, avec (b) ou sans (a) lentille, assemblée avec l'antenne

Par manque de temps le développement de ces démonstrateurs n'a pu aboutir mais fait l'objet d'une thèse en cours à l'IEMN. Nous pouvons imaginer le même type d'assemblage pour le détecteur de puissance afin de l'utiliser en outil externe.

Annexe V. : Publications liées à ces travaux

- **Publication dans une revue internationale avec comité de lecture**

A. Bossuet, T. Quemerais, E. Lauga-Larroze, J-M. Fournier, C. Gaquiere, S. Lepilliet, D. Gloria "A 10 dBm Output Power D-Band Power Source with 5 dB Conversion Gain in BiCMOS 55 nm", IEEE Microwave and Wireless Components Letters, Vol. 26, No. 11, pp. 930 - 932, 2016

- **Communications internationales avec comité de lecture**

A. Bossuet, T. Quemerais, S. Lepilliet, J-M. Fournier, E. Lauga-Larroze, C. Gaquiere, D. Gloria "A 135-150 GHz Frequency Quadrupler with 0.5 dBm Peak Output Power in 55 nm SiGe BiCMOS technology", IEEE Bipolar/BiCMOS Circuits and Technology Meeting 2015, Boston US

S. Bouvot, A. Bossuet, T. Quemerais, G. Ducournau, F. Danneville, E. Lauga-Larroze, D. Gloria, J-M. Fournier and C. Gaquiere "A D-Band Tuner for In-situ Noise and Power Characterization in BiCMOS 55 nm", IEEE Silicon Monolithic Integrated Circuits in RF Systems 2016, Phoenix US

- **Communications internationales**

A. Bossuet, T. Quemerais, J-M. Fournier, E. Lauga-Larroze, C. Gaquiere, D. Gloria "150 GHz load pull measurements on BiCMOS 55 nm SiGe:C HBT using in situ tuner", IEEE International New Circuits And Systems 2015, Special Session, Grenoble France.

- **Communication nationale avec comité de lecture**

A. Bossuet, T. Quemerais, J-M. Fournier, E. Lauga-Larroze, C. Gaquiere, D. Gloria "Atténuateur Actif pour les Applications en Bande D réalisé en technologie BiCMOS 55 nm", Journées Nationales Microondes 2015, Bordeaux France

- **Brevet**

T. Quemerais, A. Bossuet, D. Gloria "High Frequency Attenuator", Europe B13632 FR, Issued December 9, 2014

Table des références

- [1] M. Deng, «Contribution à la caractérisation et la modélisation jusqu'à 325 GHz de transistors HBT des technologies BiCMOS,» *Thèse de doctorat de l'université de Lille 1*, 2014.
- [2] Y. Tagro; D. Gloria; S. Boret; Y. Morandini; G. Dambrine , «In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization,» *IEEE International Conference on Microelectronic Test Structures* , pp. 184 - 188, 2009.
- [3] A. Pottrain, «Caractérisation non linéaire des composants silicium jusque 220 GHz,» *Thèse de doctorat, Université de Lille*, 2012.
- [4] Y. Tagro, «Mise au point d'une méthodologie de caractérisation des 4 paramètres de bruit HF des technologies CMOS et HBT avancées dans la bande 60-110 GHz :« développement de système à impédance variable in-situ »,» *thèse de l'université de Lille 1*, 2010.
- [5] F. Deshours; E. Bergeault; F. Blache; J. -P. Villotte; B. Villeforceix, «Experimental comparison of load-pull measurement systems for nonlinear power transistor characterization,» vol. 46, n° 17, pp. 1251 - 1255, 1997.
- [6] G. F. Engen and C. A. Hoer, «Thru, reflect, line: An improved technique for calibrating the dual six-port automatic network analyzer,» *IEEE Trans. Microwave Theory Tech.*, Vols. 27 sur 28, n° 12, p. pp. 987–993, Dec. 1979..
- [7] Valeria Teppati; Andrea Ferrero; Umberto Pisani, «Recent Advances in Real-Time Load-Pull Systems,» *IEEE Transactions on Instrumentation and Measurement*, vol. 57, n° 11, pp. 2640 - 2646, 2008.
- [8] Serena Bonino; Valeria Teppati; Andrea Ferrero, «Further Improvements in Real-Time Load-Pull Measurement Accuracy,» *IEEE Microwave and Wireless Components Letters*, vol. 20, n° 12, pp. 121 - 123, 2010.
- [9] D. M. Snider, «A Theoretical Analysis and Experimental Confirmation of the Optimally Loaded and Overdriven RF Power Amplifier,» *IEEE Transactions on Electron Devices*, vol. 14, n° 12, pp. 851 - 857, 1967.
- [10] A. V. Grebennikov, «Circuit design technique for high efficiency class,» *IEEE MTT-S Int. Microw. Symp. Dig*, vol. 2, p. 771–774, 2000.
- [11] R. Negra, F. M. Ghannouchi, W. Bächtold, «Study and design optimization of multiharmonic transmission-line load networks for class-E and class-F -band MMIC power amplifiers,» *IEEE Trans. Microw. Theory Techn.*, vol. 55, n° 16, p. 1390–1397, 2007.

- [12] S. Gao, «High efficiency class-F RF/microwave power amplifiers,» *IEEE Microwave Magazine*, vol. 1, pp. 40 - 48, 2006.
- [13] Gholamreza Nikandish; Esmail Babakrpur; Ali Medi, «A Harmonic Termination Technique for Single- and Multi-Band High-Efficiency Class-F MMIC Power Amplifiers,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, n° 15, pp. 1212 - 1220, 2014.
- [14] Xian Cui; Seok Joo Doo; Patrick Roblin; Jeffrey Strahler; Roberto G. Rojas-Teran, «High Efficiency RF Power Amplifier Designed With Harmonic Real-Time Active Load-Pull,» *IEEE Microwave and Wireless Components Letters*, vol. 18, n° 14, pp. 266 - 268, 2008.
- [15] D. Barataud; F. Blache; A. Mallet; P. P. Bouysse; J. -M. Nebus; J. P. Villotte; J. Obregon; J. Verspecht; P. Auxemery, «Measurement and control of current/voltage waveforms of microwave transistors using a harmonic load-pull system for the optimum design of high efficiency power amplifiers,» *IEEE Transactions on Instrumentation and Measurement*, vol. 48, n° 14, pp. 835 - 842, 1999.
- [16] P. Chevalier; G. Avenier; G. Ribes; A. Montagné; E. Canderle; D. Céli; N. Derrier; C. Deglise; C. Durand; T. Quémerais; M. Buczko; D. Gloria; O. Robin; S. Petitdidier; Y. Campidelli; F. Abbate; M. Gros-Jean; L. Berthier; , «A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz fT / 370 GHz fMAX HBT and high-Q millimeter-wave passives,» *2014 IEEE International Electron Devices Meeting* , pp. 3.9.1 - 3.9.3, 2014.
- [17] F. Arnaud et al, «Low cost 65nm CMOS platform for Low Power & General Purpose applications,» *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on* , p. 10–11, 2004.
- [18] L. Poulain, «Développement d'un outil de caractérisation millimétrique de bruit dans la bande de fréquence 110 – 320 GigaHertz,» *Thèse de doctorat de l'université des sciences et technologies de Lille*, 2012.
- [19] A. Pottrain, «Caractérisation non linéaire des composants silicium jusque 220 GHz,» *Thèse de doctorat, université de Lille*, 2012.
- [20] «<http://www.millitech.com/pdfs/specsheets/IS000060-EHT-HBT.pdf>,» Millitech Inc. Northampton, MA. [En ligne].
- [21] Luciano Boglione; Richard T. Webster , «200GHz fT SiGe HBT load pull characterization at mm-wave frequencies,» *IEEE Radio Frequency Integrated Circuits Symposium* , pp. 215 - 218, 2010.
- [22] A. Pottrain; T. Lacave; D. Gloria; P. Chevalier; C. Gaquière, «State of the Art 200 GHz power measurements on SiGe:C HBT using an innovative load pull measurement setup,» *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, pp. 1 - 3, 2012.
- [23] J. F. Sevic, «A Sub 1 Ω Load-Pull Quarter-Wave Pre-Matching Network Based on a Two-Tier TRL Calibration,» *ARFTG Conference Digest-Fall, 52nd*, vol. 34, pp. 73 - 81, 1998.

Table des références

- [24] M. Microwave, «Device Characterization With Harmonic Load and Source Pull,» *Application Note: 5C-044*, 07 December 2000.
- [25] P. Bouysse; J. -M. Nebus; J. -M. Coupat; J. -P. Villotte, «A novel, accurate load-pull setup allowing the characterization of highly mismatched power transistors,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, n° 12, pp. 327 - 332, 1994.
- [26] Saswata Basu; Mike Fennelly; John E. Pence; Eric Strid, «Impedance Matching Probes for Wireless Applications,» *ARFTG Conference Digest-Fall, 46th*, vol. 28, pp. 80 - 87, 1995.
- [27] Yoann TAGRO, «Mise au point d'une méthodologie de caractérisation des 4 paramètres de bruit HF des technologies CMOS et HBT avancées dans la bande 60-110 GHz : développement de système à impédance variable in-situ,» *Thèse de doctorat de l'université des sciences et technologie de Lille*, Octobre 2010 .
- [28] Marina Deng; Laurent Poulain; Daniel Gloria; Thomas Quémerais; Pascal Chevalier; Sylvie Lépilliet; François Danneville; Gilles Dambrine, «Millimeter-Wave In Situ Tuner: An Efficient Solution to Extract the Noise Parameters of SiGe HBTs in the Whole 130–170 GHz Range,» *IEEE Microwave and Wireless Components Letters*, vol. 24, n° 19, pp. 649 - 651, 2014.
- [29] Kenneth H. K. Yau; Pascal Chevalier; Alain Chantre; Sorin P. Voinigescu, «Characterization of the Noise Parameters of SiGe HBTs in the 70–170-GHz Range,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, n° 18, pp. 1983 - 2000, 2011.
- [30] I. Hasnaoui; A. Pottrain; T. Lacave; P. Chevalier; D. Gloria; C. Gaquiere, «In situ integrated tuner approach for load-pull measurement of Si/SiGe:C HBT at 200 GHz,» *Electronics Letters*, vol. 50, n° 115, pp. 1070 - 1072, 2014.
- [31] Ali Soltani Tehrani; Hossein Mashad Nemati; Haiying Cao; Thomas Eriksson; Christian Fager, «Design of Varactor-Based Tunable Matching Networks for Dynamic Load Modulation of High Power Amplifiers,» *E MTT-S International*, pp. 1537 - 1540, 2009.
- [32] Geunyoung Lee; Jonghun Jung; Jong-In Song, «A SiGe BiCMOS Power Amplifier Using a Lumped Element-Based Impedance Tuner,» *IEEE Microwave and Wireless Components Letters*, vol. 26, n° 11, pp. 58 - 60, 2016.
- [33] Qin Shen; N. S. Barker, «Distributed MEMS tunable matching Network Using Minimal-Contact RF-MEMS Varactors,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 24, n° 16, pp. 2646 - 2658, 2006.
- [34] Laleh Rabieirad; Saeed Mohammadi , «A Reconfigurable MEMS-less CMOS Tuner for Software Defined Radio,» *IEEE MTT-S International* , pp. 779 - 782, 2008.
- [35] Romain Debroucke; Alexandre Pottrain; Diane Titz; Frederic Ganesello; Daniel Gloria; Cyril Luxey; Christophe Gaquière , «CMOS Digital Tunable Capacitance with tuning ratio up to 13 and 10dBm linearity for RF and Millimeterwave Design,» *IEEE Radio Frequency Integrated Circuits Symposium* , pp. 1 - 4, 2011.

- [36] B. W. Leake, «A Programmable Load for Power and Noise Characterization,» *IEEE MTT-S International*, pp. 348 - 350, 1982.
- [37] W. -G. Yeo; N. K. Nahar; C. L. Hitchcock; S. Park; O. Gurel; K. Sertel, «Real-time THz imaging of human tissue characteristics and cancer margins,» *2013 38th International Conference on Infrared, Millimeter, and Terahertz Waves (IRMMW-THz)*, pp. 1 - 2, 2013.
- [38] Konstantin Statnikov; Janusz Grzyb; Bernd Heinemann; Ullrich R. Pfeiffer , «160-GHz to 1-THz Multi-Color Active Imaging With a Lens-Coupled SiGe HBT Chip-Set,» *IEEE Transactions on Microwave Theory and Techniques* , vol. 63, n° %12, pp. 520 - 532, 2015.
- [39] Ken B. Cooper; Robert J. Dengler; Nuria Llombart; Tomas Bryllert; Goutam Chattopadhyay; Erich Schlecht; John Gill; Choonsup Lee; Anders Skalare; Imran Mehdi; Peter H. Siegel , «Penetrating 3-D Imaging at 4- and 25-m Range Using a Submillimeter-Wave Radar,» *IEEE Transactions on Microwave Theory and Techniques* , vol. 56, n° %112, pp. 2771 - 2778, 2008.
- [40] «<http://vadiodes.com/index.php/en/products/signal-generator?id=677>,» Vadiodes. [En ligne].
- [41] Naser Alijabbari; Matthew F. Bauwens; Robert M. Weikle , «160 GHz Balanced Frequency Quadruplers Based on Quasi-Vertical Schottky Varactors Integrated on Micromachined Silicon,» *IEEE Transactions on Terahertz Science and Technology* , vol. 4, n° %16, pp. 678 - 685, 2014.
- [42] Alexis Zamora; Gerry Mei; Kevin M. K. H. Leong; Mike Lange; Jane Lee; Wayne Yoshida; Ben S. Gorospe; Jose G. Padilla; William R. Deal , «A Submillimeter Wave InP HEMT Multiplier Chain,» *IEEE Microwave and Wireless Components Letters* , vol. 25, n° %19, pp. 591 - 593, 2015.
- [43] Alexis Zamora; X. B. Mei; Kevin M. K. H. Leong; M. Lange; J. Lee; W. Yoshida; Ben S. Gorospe; William R. Deal , «A $\times 18$ 340 GHz InP HEMT multiplier chain,» *2015 IEEE MTT-S International Microwave Symposium* , pp. 1-3, 2015.
- [44] «<http://www.vadiodes.com/en/products/detectors?id=120>,» Virginia Diode. [En ligne].
- [45] Enrico Monaco; Massimo Pozzoni; Francesco Svelto; Andrea Mazzanti , «Injection-Locked CMOS Frequency Doublers for μ -Wave and mm-Wave Applications,» *IEEE Journal of Solid-State Circuits* , vol. 45, n° %18, pp. 1565 - 1574, 2010.
- [46] Lei Wang; Yong-Zhong Xiong; Bo Zhang; San-Ming Hu; Teck-Guan Lim , «Millimeter-Wave Frequency Doubler With Transistor Grounded-Shielding Structure in 0.13- μ m SiGe BiCMOS Technology,» *IEEE Transactions on Microwave Theory and Techniques* , vol. 59, n° %15, pp. 1304 - 1310, 2011.
- [47] C. Bredendiek, N. Pohl, K. Aufinger and A. Bilgic, «An ultra-wideband D-Band signal source chip using a fundamental VCO with frequency doubler in a SiGe bipolar technology,» *IEEE Radio Freq. Integr. Circuits Symp.*, pp. 83 - 86, 2012.

Table des références

- [48] Yong Wang; Wang Ling Goh; Yong-Zhong Xiong , «A 9% Power Efficiency 121-to-137GHz Phase-Controlled Push-Push Frequency Quadrupler in 0.13 μ m SiGe BiCMOS,» *IEEE International Solid-State Circuits Conference* , pp. 262 - 264, 2012.
- [49] Roe Ben Yishay and Danny Elad, «A 240 GHz Multiplier Chain with -0.5 dBm Output Power in SiGe BiCMOS Technology,» *IEEE European Microwave Integrated Circuit Conference*, pp. 297-300, Oct 2014.
- [50] Berke Cetinoneri; Yusuf A. Atesal; Andy Fung; Gabriel M. Rebeiz , «W-band amplifiers with 6-dB noise figure and milliwatt-level 170–200 GHz doublers in 45-nm CMOS,» *IEEE Transactions on Microwave Theory and Techniques* , vol. 60, n° 13, pp. 692 - 701, 2012.
- [51] Hsin-Chang Lin; Gabriel M. Rebeiz , «A 135–160 GHz balanced frequency doubler in 45 nm CMOS with 3.5 dBm peak power,» *IEEE MTT-S International Microwave Symposium (IMS2014)* , pp. 1 - 4, 2014.
- [52] hu Li; Goh Wang-Ling; Yong-Zhong Xiong , «A 124 to 132.5 GHz frequency quadrupler with 4.4 dBm output power in 0.13 μ m SiGe BiCMOS,» *European Solid-State Circuits Conference (ESSCIRC), ESSCIRC 2015 - 41st* , pp. 132 - 135, 2015.
- [53] Christopher Coen; Saeed Zeinolabedinzadeh; Mehmet Kaynak; Bernd Tillack; John D. Cressler , «A highly-efficient 138–170 GHz SiGe HBT frequency doubler for power-constrained applications,» *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)* , pp. 23 - 26, 2016 .
- [54] Navneet Sharma; Wooyeol Choi; K. O Kenneth , «160–310 GHz frequency doubler in 65-nm CMOS with 3-dBm peak output power for rotational spectroscopy,» *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)* , pp. 186 - 189, 2016.
- [55] Koji Ishibashi; Mizuki Motoyoshi; Naoki Kobayashi; Minoru Fujishima , «76GHz CMOS Voltage-Controlled Oscillator with 7% Frequency Tuning Range,» *IEEE Symposium on VLSI Circuits* , pp. 176 - 177, 2007.
- [56] Hao Li; H. -M. Rein; T. Suttorp; J. Bock , «Fully integrated SiGe VCOs with powerful output buffer for 77-GHz automotive Radar systems and applications around 100 GHz,» *IEEE Journal of Solid-State Circuits* , vol. 39, n° 11, pp. 1650 - 1658, 2004.
- [57] P.-C. Huang, R.-C. Liu, H. Chang, C. Lin, M. Lei, H. Wang, C.-Y. Su, C.-L. Chang, and A. G.P. Vco, «A 131 GHz push-push VCO in 90-nm CMOS technology,» *Radio Frequency integrated Circuits (RFIC) Symposium*, p. 613–616, 2005.
- [58] Ping-Chen Huang; Ming-Da Tsai; George D. Vendelin; Huei Wang; Chun-Hung Chen; Chih-Sheng Chang , «A Low-Power 114-GHz Push–Push CMOS VCO Using LC Source Degeneration,» *IEEE Journal of Solid-State Circuits* , vol. 42, n° 16 , pp. 1230 - 1239, 2007.
- [59] K. Schmalz, J. Borngräber, B. Heinemann, H. Rücker, and J. C. Scheytt, «A 245 GHz Transmitter in SiGe Technology,» *IEEE Radio-Frequency Integrated Circuits Symposium*, pp. 195 - 198, 2012.

- [60] N. Sarmah, B. Heinemann, and U. R. Pfeiffer, «235-275 GHz (x16) Frequency Multiplier Chains with up to 0dBm Peak Output Power and Low DC Power Consumption,» *IEEE Radio Freq. Integr. Circuits Symp.*, pp. 181-184, 2014.
- [61] Roe Ben Yishay; Danny Elad , «A 240 GHz multiplier chain with -0.5 dBm output power in SiGe BiCMOS technology,» *European Microwave Integrated Circuit Conference*, pp. 297 - 300, 2014.
- [62] Hsin-Chang Lin; Gabriel M. Rebeiz , «A 200-245 GHz Balanced Frequency Doubler with Peak Output Power of +2 dBm,» *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)* , pp. 1 - 4, 2013.
- [63] Daquan Huang; Tim R. LaRocca; Lorene Samoska; Andy Fung; Mau-Chung Frank Chang , «324GHz CMOS Frequency Generator Using Linear Superposition Technique,» *IEEE International Solid-State Circuits Conference - Digest of Technical Papers* , pp. 476 - 629, 2008.
- [64] T. Quémerais, «Conception et étude de la faisabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées,» *Thèse de doctorat, Université de Grenoble*, 2010.
- [65] S. PRUVOST, «Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0,13 μm ,» *Thèse de doctorat à l'université de Lille*, 2005.
- [66] M. DENG, «Contribution à la caractérisation et la modélisation jusqu'à 325 GHz de transistors HBT des technologies BiCMOS,» *Thèse de doctorat à l'université de Lille*, 2014.
- [67] A. SERHAN, «Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm,» *Thèse de doctorat, université de Grenoble*, 2015.
- [68] P. Chevalier; G. Avenier; G. Ribes; A. Montagné; E. Canderle; D. Céli; N. Derrier; C. Deglise; C. Durand; T. Quémerais; M. Buczko; D. Gloria; O. Robin; S. Petitdidier; Y. Campidelli; F. Abbate; M. Gros-Jean; L. Berthier; , «A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz fT / 370 GHz fMAX HBT and high-Q millimeter-wave passives,» *IEEE International Electron Devices Meeting* , pp. 3.9.1 - 3.9.3, 2014.
- [69] Terry Yao; Michael Q. Gordon; Keith K. W. Tang; Kenneth H. K. Yau; Ming-Ta Yang; Peter Schvan; Sorin P. Voinigescu , «Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio,» *IEEE Journal of Solid-State Circuits* , vol. 42, n° 15, pp. 1044 - 1057, 2007.
- [70] Alice Bossuet; Thomas Quémerais; Sylvie Lepilliet; Jean-Michel Fournier; Estelle Lauga-Larroze; Christophe Gaquiere; Daniel Gloria , «A 135–150 GHz frequency quadrupler with 0.5 dBm peak output power in 55 nm SiGe BiCMOS technology,» *IEEE Bipolar/BiCMOS Circuits and Technology Meeting - BCTM* , pp. 186 - 189, 2015.
- [71] Alice Bossuet; Thomas Quémerais; Christophe Gaquière; Estelle Lauga-Larroze; Jean-Michel Fournier; Sylvie Lepilliet; Daniel Gloria , «A 10 dBm Output Power D-Band Power Source With 5 dB Conversion Gain in BiCMOS 55nm,» *IEEE Microwave and Wireless Components*

Table des références

- Letters*, vol. 26, n° 111, pp. 930 - 932, 2016.
- [72] K. H. K. Yau, M. Khanpour, Y. Ming-Ta, P. Schvan, S. P. Voinigescu, «On-die source-pull for the characterization of the W-band noise performance of 65 nm general purpose (GP) and low power (LP) n-MOSFETs,» *IEEE International Microwave Symposium*, pp. 773-776, 2009.
- [73] T. Quemerais, D. Gloria, S. Jan, N. Derrier, P. Chevalier, «Millimeter-Wave Characterization of SiGe HBTs Noise Parameters Featuring ft/fMAX of 310/400 GHz,» *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 351-354, 2012.
- [74] K. H. K. Yau, P. Chevalier, A. Chantre, S. P. Voinigescu, «Characterization of the Noise Parameters of SiGe HBTs in the 70-170 GHz Range,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, n° 18, pp. 1983-2000, 2011.
- [75] Marina Deng; Laurent Poulain; Daniel Gloria; Thomas Quémerais; Pascal Chevalier; Sylvie Lépilliet; François Danneville; Gilles Dambrine, «Millimeter-Wave In Situ Tuner: An Efficient Solution to Extract the Noise Parameters of SiGe HBTs in the Whole 130–170 GHz Range,» *IEEE Microwave and Wireless Components Letters*, vol. 24, n° 119, pp. 649 - 651, 2014.
- [76] A. Pottrain, T. Lacave, D. Gloria, P. Chevalier, C. Gaquiere, «State of the Art 200 GHz power measurements on SiGe:C HBT using an innovative load pull measurement setup,» *IEEE International Microwave Symposium*, pp. 1-3, 2012.
- [77] Matthias Porranzl ; Christoph Wagner ; Herbert Jaeger ; Andreas Stelzer, «A digital 70–140-GHz impedance tuner in 130-nm CMOS technology,» *Microwave Integrated Circuits Conference (EuMIC), 2015 10th European*, pp. 1184 - 1187, 2015.
- [78] Y. Tagro; D. Gloria; S. Boret; Y. Morandini; G. Dambrine, «In-Situ Silicon Integrated Tuner for Automated On-Wafer MMW Noise Parameters Extraction using Multi-Impedance Method for Transistor Characterization,» *IEEE International Conference on Microelectronic Test Structures*, pp. 184 - 188, 2009.
- [79] Romain Debroucke; Alexandre Pottrain; Diane Titz; Frederic Ganesello; Daniel Gloria; Cyril Luxey; Christophe Gaquière, «CMOS Digital Tunable Capacitance with tuning ratio up to 13 and 10dBm linearity for RF and Millimeterwave Design,» *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 1 - 4, 2011.
- [80] Laleh Rabieirad; Saeed Mohammadi , «Reconfigurable CMOS Tuners for Software-Defined Radio,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, n° 111, pp. 2768 - 2774, 2009.
- [81] Simon Bouvot, Alice Bossuet, Thomas Quemerais, Guillaume Ducournau, François Danneville, Estelle Lauga-Larroze, Daniel Gloria, Jean-Michel Fournier and Christophe Gaquiere, «A D-Band Tuner for In-situ Noise and Power Characterization in BiCMOS 55 nm,» *SiRF*, 2016.
- [82] Y. Zhou and M. Chia Yan Wah, «A Wide Band CMOS RF Power Detector,» *IEEE Circuits and Systems*, pp. 4231-4234, 2006.

- [83] T. Zhang, W. R. Eisenstadt, R. M. Fox, «20 GHz Bipolar RF RMS Power Detectors,» *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, p. 204 – 207, 2005.
- [84] U. Pfeiffer, «A 20dBm Fully-Integrated 60GHz SiGe Power Amplifier with Automatic Level Control,» *IEEE Solid-State Circuits Conference*, p. 356 – 359, 2006.
- [85] J. GORISSE, «Co-design & reconfigurability of a PA-Antenna Module in 65nm CMOS technology for 60GHz WLAN applications,» *Thèse de doctorat, Université de Lille*, 2005.
- [86] M. Zobiri, «Etude et conception d'un détecteur de puissance a 77GHz intégré sur silicium,» *Projet de Fin d'Etude, Université de Lille*, 2008.
- [87] Ayssar Serhan; Estelle Lauga-Larroze; Jean-Michel Fournier , «Common-Base/Common-Gate Millimeter-Wave Power Detectors,» *IEEE Transactions on Microwave Theory and Techniques* , vol. 63, n° 112, pp. 4483 - 4491, 2015.
- [88] T. Zhang, W; R. Eisenstadt, R; M. Fox, «A novel 5GHz RF power detector,» *IEEE Circuits and Systems*, pp. 897-900, 2004.
- [89] V. W. Leung, L. E. Larson, Fellow, and P. S. Gudem, «Digital-IF WCDMA Handset Transmitter IC in 0.25µm SiGe BiCMOS,» *IEEE Solid-State Circuits Conference*, p. 182 – 185, 2004.
- [90] R. G. Meyer, «Low-power monolithic RF peak detector analysis,» *IEEE Journal of Solid-State Circuits* , vol. 30, n° 11, pp. 65 - 67, 1995.
- [91] A. SERHAN, «Conception et réalisation de fonctions millimétriques en technologie BiCMOS 55nm,» *Thèse de doctorat à l'université de Grenoble*, 2015.
- [92] Guanghui Xing, Wanrong Zhang, Hongyun Xie, Chunbao Ding, Zhenjie Guo, Zhiyi Lu, Yujie Zhang, «A Flat Gain and Higher Linearity UWB Active Variable Attenuator,» *IEEE ICMMT*, pp. 1-3, 2012.
- [93] Juseok Bae, Jaeyoung Lee, and Cam Nguyen, «A 10–67-GHz CMOS Step Attenuator with Improved Flatness and Large Attenuation Range,» *IEEE SiRF*, pp. 78-80, 2013.
- [94] A. Bossuet, T. Quemerais, J-M. Fournier, E. Lauga-Larroze, C. Gaquiere, D. Gloria, «Atténuateur Actif pour les Applications en Bande D réalisé en technologie BiCMOS 55 nm,» *Journées Nationales Microondes* , 2015.
- [95] A. Bossuet, T. Quemerais et D. Gloria, «High Frequency Attenuator». Europe Brevet B13632 FR, 9 December 2014.
- [96] A. Pottrain, «CHARACTERISATION NON LINEAIRE DES COMPOSANTS SILICIUM JUSQUE 220 GHz,» *Thèse de doctorat à l'université de Lille*, 2012.
- [97] M. Schröter, A. Chakravorty, «Compact Hierarchical Bipolar Transistor Modeling with HICUM,» *International Series on Advances in Solid State Electronics and Technology, World Scientific*, 2010.

Table des références

- [98] M.S.Gupta, «Power gain in feedback amplifiers, a classic revisited,» *Transactions on Microwave Theory and Techniques*, p. 870, 1992.
- [99] S. Pruvot, «Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0,13 um,» *Thèse de doctorat, Université de Lille*, 2005.
- [100] J. L. ALVAREZ, «Lignes couplées à ondes lentes intégrées sur silicium en bande millimétrique - Application aux coupleurs, filtres et baluns,» *Thèse de doctorat de l'Université Grenoble Alpes*, 2015.
- [101] J. Piquet ; O. Cueto ; F. Charlet ; M. Thomas ; C. Bermond ; A. Farcy ; J. Torres ; B. Flechet , «Simulation and characterization of high-frequency performances of advanced MIM capacitors,» *Proceedings of 35th European Solid-State Device Research Conference, 2005. ESSDERC 2005.* , pp. 497 - 500, 2005.
- [102] M.C.A.M. Koolen, J.A.M. Geelen and M.P. J.G. Versleijen, «An improved de-embedding technique for on-wafer high-frequency characterization,» *IEEE Bipolar Circuits and Technology Meeting*, pp. 188 - 191, 1991.
- [103] K. Eriksson, «InP DHBT Amplifiers and Circui Packaging up to Submillimeter-Wave Frequencies,» *Thèse de doctorat de l'université de Chalmers (Gothenburg, Sweden)*, 2015.
- [104] A. Bisognin, «Évaluation de technologies organiques faibles pertes et d'impression plastique 3D afin de contribuer au développement de solutions antennaires innovantes dans la bande 60 GHz – 140GHz.,» *Thèse de doctorat de l'université de Nice*, 2015.
- [105] Eunyoung Seok, Changhua Cao, Swaminathan Sankaran, and Kenneth K. O, «A Millimeter-Wave Schottky Diode Detector in 130-nm CMOS Technology,» *IEEE VLSI Circuits*, pp. 142-143, 2006.
- [106] A. Çağrı Ulusoy; Peter Song; Wasif T. Khan; Mehmet Kaynak; Bernd Tillack; John Papapolymerou; John D. Cressler , «A SiGe D-Band Low-Noise Amplifier Utilizing Gain-Boosting Technique,» *IEEE Microwave and Wireless Components Letters* , vol. 25, n° %11, pp. 61 - 63, 2015.
- [107] A. M. Mangan; S. P. Voinigescu; Ming-Ta Yang; M. Tazlauanu , «De-Embedding Transmission Line Measurements for Accurate Modeling of IC Designs,» *IEEE Transactions on Electron Devices* , vol. 53, n° %12, pp. 235 - 241, 2006.

Intégration sur silicium de solutions complètes de caractérisation en puissance de transistor HBT en technologie BiCMOS 55 nm à des fréquences au-delà de 130 GHz

Résumé: L'évolution des technologies silicium rend aujourd'hui possible le développement de nombreuses applications dans les domaines millimétriques et submillimétriques tels que les systèmes d'imagerie pour la santé et la sécurité, ainsi que les systèmes de communication à très haut débit. Cette évolution se caractérise entre autre par une croissance des performances en fréquence des transistors disponibles dans ces technologies et nécessite la mise en place d'outils de mesure performants pour valider la modélisation et l'optimisation technologique de ces dispositifs. La caractérisation load-pull est une méthode incontournable pour modéliser le comportement en fort signal des transistors. En bande G [140-220 GHz], l'environnement de mesure classiquement disponible n'a plus les performances requises pour ce type de caractérisation compte tenu des pertes dans les accès au dispositif sous test. Ce travail de thèse a pour objectif de lever ce verrou en proposant de réaliser, en technologie BiCMOS 55 nm de STMicroelectronics, un banc load-pull entièrement intégré sur silicium afin d'être au plus près du dispositif à caractériser. Le mémoire est articulé autour de quatre chapitres. Le premier chapitre présente l'état de l'art de l'instrumentation actuellement disponible pour la caractérisation en puissance aux fréquences millimétriques et leurs limitations. Le second chapitre détaille la conception et la caractérisation des blocs constituant le banc intégré : le synthétiseur d'impédances et la source MMW de puissance. Le troisième chapitre décrit la réalisation et les performances du détecteur de puissance. Enfin, le quatrième chapitre présente le banc complet et son application à la caractérisation en bande G d'un dispositif bipolaire disponible dans la technologie BiCMOS 55 nm. La conclusion vient ensuite résumer ce travail de doctorat et proposer des perspectives à ces travaux de recherche.

Integration of in situ solutions for power characterization of HBT transistor in 55 nm BiCMOS technology beyond 130 GHz

Abstract: The evolution of silicon technologies now makes possible the development of many applications in the millimeter and submillimeter areas such as imaging systems for health and safety, and high speed communication systems. The evolution of these silicon technologies is characterized by the increase of the transistor performances with the frequency that requires the development of efficient radiofrequency measurement tools for accurate modeling of active components or the optimization of integrated circuits. In this framework, the load-pull characterization is an essential method to model the behavior of transistors in nonlinear region. In the G Band [140-220 GHz], the classical measurement environment typically available has not the required performance for this kind of characterization due to the losses in the accesses to the device under test. The aim of this thesis is to lift this lock by offering, in the STMicroelectronics BiCMOS 55 nm technology, a fully integrated load-pull characterization bench on silicon in order to be as close as possible to the device to characterize. The thesis manuscript is divided into four chapters. The first chapter presents the state of the art of the currently available instrumentation for power characterization at millimeter wave frequencies band and their limitations, which leads to the G band characterization bench specifications. The second chapter details the design and characterization of the main blocks constituting the integrated bench: the impedance synthesizer and the mmw power source. The third chapter present the design and characterization of the power detector. Finally, the fourth chapter presents the complete bench and its application with the G band load-pull characterization of a transistor bipolar device.