

N° d'ordre : 42390



THESE

Présentée à l'Université de Lille 1
École Doctorale Sciences Pour l'Ingénieur

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITE

Spécialité : SCIENCES ET TECHNOLOGIES DE L'INFORMATION ET DE
LA COMMUNICATION

Par

Yoann LECHAUX

**Étude et fabrication de MOSFET III-V à ionisation par impact
pour applications basse consommation**

Soutenue le 23 juin 2017 devant la commission d'examen

Membres du jury :

Dr. Xavier WALLART	Directeur de recherche CNRS, IEMN, Lille	Président du jury
Dr. Bassem SALEM	Chargé de recherche CNRS, LTM, Grenoble	Rapporteur
Dr. Liviu MILITARU	Maître de Conférences, INL, Lyon	Rapporteur
Pr. Nathalie LABAT	Professeur, IMS, Bordeaux	Examinatrice
Dr. Nicolas WICHMANN	Maître de Conférences, IEMN, Lille	Co-encadrant
Pr. Sylvain BOLLAERT	Professeur, IEMN, Lille	Directeur de thèse

« L'inconnu n'existe pas,
il n'y a que des choses qui attendent d'être découvertes »

Capt. Kirk, Star Trek

Remerciements

Ce travail de thèse a été réalisé à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) dirigé par Monsieur Lionel Buchaillot, et plus particulièrement au sein du groupe ANODE (Advanced Nanometric Devices) dirigé par Monsieur Mohamed Zaknune. Je les remercie de m'avoir accueilli durant ce travail de thèse.

Je tiens à remercier tout d'abord Monsieur Xavier Wallart (IEMN) pour l'honneur qu'il m'a fait d'accepter la présidence du jury ainsi que pour l'intérêt qu'il a porté à mes travaux de thèse.

J'exprime ma reconnaissance ainsi que mes remerciements respectueux à Monsieur Bassem Salem (LTM) ainsi qu'à Monsieur Liviu Militaru (INL) d'avoir jugé ce travail en tant que rapporteurs. Ma reconnaissance et mes remerciements vont aussi à Madame Nathalie Labat (IMS) d'avoir accepté d'être examinatrice de ce travail.

J'adresse tout particulièrement ma gratitude ainsi que mes remerciements à Monsieur Sylvain Bollaert et à Monsieur Nicolas Wichmann d'avoir dirigé et encadré ce travail de thèse. Je les remercie pour leurs conseils, leur rigueur, leur présence et pour tout ce qu'ils m'ont appris durant ces années. Ce fut un réel plaisir de partager et de travailler dans cette ambiance chaleureuse.

Je tiens à remercier aussi tout le personnel de l'IEMN, de la centrale de nanofabrication : J. L. Codron, C. Coinon, M. François, F. Vaurette, Y. Deblock, E. Galopin, M. Dewitte, A. Fattorini, B. Grimbert, C. Boyaval, A. Pageau, I. Roch Jeune, D. Troadec, D. Yarekha, P. Tilmant, L. Morgenroth, S. Ouendi ainsi que le personnel de la centrale de caractérisation : S. Lepilliet, E. Okada, V. Avramovic et S. Eliet.

Je suis reconnaissant aussi envers tous les membres du groupe ANODE et EIPPHY, Yannick Roelens, Mohamed Zaknune, Ludovic Desplanque, Michèle Carette, François Danneville, Gilles Dambrine et Alain Cappy qui m'ont permis d'accomplir ce travail de thèse.

Un grand merci aussi aux différentes personnes que j'ai côtoyées à l'IEMN et à l'Université de Lille 1 notamment à Patricia Lefebvre qui m'a fait découvrir le plaisir de vulgariser la science aux tout-petits, à Romain Kozlowski, Luc Dubois, Thomas Dargent pour ce qu'ils m'ont appris en termes d'enseignement et Ahmed Addad pour ses images TEM.

Remerciements

Je souhaite aussi remercier tous les doctorant(e)s du laboratoire et notamment mes collègues de bureau et amis à qui je dois énormément et qui m'ont fait découvrir plein de choses : Matej, Vinay, Alexandre, Marina, Aurélien, Maria, Gabriel, Srisaran, Mohammed, Colin, Vincent, Natalia, Kévin, Cibelle, Charlène, Mohamed, Khadim et Sara. Merci aussi à tous les anciens de la « pause café » et à tous les autres que j'ai oubliés de citer mais qui se reconnaîtront.

Merci également à tous mes amis de la fac de Rennes, Chloé, Anthony, Alexis, Minerve, Fanny, Gwen, Maxime...pour tous ces bons moments ensemble.

Enfin, j'adresse ces quelques mots pour exprimer l'immense reconnaissance envers ma famille, mes parents, mon frère et mes sœurs, mais aussi mes grands-parents sans qui cette réussite n'aurait pas été possible. Merci aussi énormément à toi Marine pour ton soutien, ton écoute mais aussi ton aide durant ces années.

Table des matières

Table des figures	XI
Introduction	1
Chapitre 1 – Évolution du MOSFET : du More Moore vers le Beyond CMOS	5
I - Historique et principe de fonctionnement du transistor MOSFET	8
1) Historique	8
2) Description du MOSFET classique et principe de fonctionnement	8
3) Fonctionnement et paramètres électriques du MOSFET	12
II - Évolution de l'architecture du MOSFET classique : More Moore	13
1) Les effets de canal court	13
2) Modification de l'empilement métal-oxyde-silicium	14
3) Les architectures alternatives 2D et 3D	16
4) Vers des transistors MOSFET III-V	19
III - Les limitations du MOSFET classique	21
1) Puissance consommée et tension d'alimentation	21
2) Pente sous le seuil	22
IV - Transistors innovants à faibles pentes sous le seuil : Beyond CMOS	23
1) Transistors à architectures et matériaux alternatifs	24
2) Les transistors à injection non thermique des porteurs	30
3) Les transistors à fonctionnement non-linéaire	33
4) Objectifs et solutions envisagés durant ces travaux	38
Bibliographie du chapitre 1	41
Chapitre 2 – Étude, fabrication et caractérisations des diodes <i>pin</i>	51
I - Comportement électrique des diodes <i>pin</i> : étude analytique	54
1) Evolution du champ électrique dans les diodes <i>pn</i> et <i>pin</i>	54
2) Comportement électrique en polarisation directe	55
3) Comportement électrique en polarisation inverse	56
II - Intérêt des matériaux III-V et hétérostructures	63
1) Coefficients d'ionisation des matériaux III-V et du silicium	63
2) Facteurs de multiplication des matériaux III-V et du silicium	64
3) Hétérostructures à base de matériaux III-V	65

III - Fabrication et caractérisations de la diode <i>pin</i> InP/ In_{0,53}Ga_{0,47}As	67
1) Structures épitaxiales et diagramme de bandes d'énergie.....	67
2) Réalisation technologique des diodes <i>pin</i> In _{0,53} Ga _{0,47} As, InP et InP/ In _{0,53} Ga _{0,47} As....	68
3) Mesure des résistances R_C des couches de contact	71
4) Caractéristiques courant-tension I_D - V_{DS}	73
5) Modélisation des diodes <i>pin</i> InGaAs et InP avec $L_i = 100\text{nm}$	80
IV - Étude, fabrication et caractérisation de la diode <i>pinin</i> In_{0,52}Al_{0,48}As/ In_{0,53}Ga_{0,47}As.....	82
1) Structure épitaxiale et diagramme de bandes d'énergie.....	82
2) Champ électrique critique et champ électrique dans la diode <i>pinin</i>	84
3) Réalisation technologique des diodes <i>pinin</i> In _{0,52} Al _{0,48} As/ In _{0,53} Ga _{0,47} As	87
4) Mesure des résistances R_C des couches de contact	88
5) Caractéristiques I_D - V_{DS} en polarisation inverse des diodes <i>pinin</i>	89
V - Fabrication et caractérisation de la diode <i>pin</i> GaSb.....	91
1) Structure épitaxiale et réalisation technologique des diodes <i>pin</i> GaSb.....	91
2) Mesure des résistances R_C et R_{\square} des couches de contact.....	93
3) Caractéristiques courant-tension I_D - V_{DS}	97
Conclusion du chapitre 2.....	102
Bibliographie du chapitre 2.....	103
Chapitre 3 – Étude, fabrication et caractérisations de capacités MOS.....	107
I - Généralités et caractéristiques électriques	110
1) Structure MOS réelle.....	110
2) Les différents régimes de fonctionnement et les capacités associées	113
II - Fabrication et analyses XPS des capacités MOS sur In_{0,53}Ga_{0,47}As	116
1) Structures épitaxiales et passivation de la surface de l'In _{0,53} Ga _{0,47} As	116
2) Dépôts d'oxydes high-k et traitement par plasma O ₂	117
3) Dépôt du contact de grille	122
4) Gravure d'oxydes et méso « peu profond »	123
5) Dépôt du contact de source et isolation.....	124
6) Étude XPS de la surface de l'In _{0,53} Ga _{0,47} As après passivation NH ₄ OH.....	125
7) Étude XPS de l'interface Al ₂ O ₃ / In _{0,53} Ga _{0,47} As et effet du plasma O ₂	127
III - Caractérisations électriques des capacités métal/ oxyde/ In_{0,53}Ga_{0,47}As	132
1) Principe de mesure et schémas équivalents.....	132
2) Grandeurs caractéristiques, capacité et conductance	135
3) Extraction de V_{FB} , Q_F et effet du plasma O ₂	138
4) Extraction de la densité de défauts d'interface et effet du plasma O ₂	142

5) Extraction de la densité de « Border traps » et effet du plasma O ₂	148
6) Caractérisations électriques de l'interface HfO ₂ / Al ₂ O ₃ / <i>n</i> -In _{0,53} Ga _{0,47} As	151
IV - Étude et analyses XPS de la structure oxyde/ GaSb	153
1) Structures épitaxiales et passivation de la surface du GaSb.....	153
2) Dépôt d'alumine (Al ₂ O ₃) et traitement par plasma O ₂	156
3) Étude XPS de la surface de GaSb après passivation NH ₄ OH et (NH ₄) ₂ S.....	157
4) Étude XPS de l'interface Al ₂ O ₃ / GaSb et effet du plasma O ₂	159
Conclusion du chapitre 3	166
Bibliographie du chapitre 3	167
Chapitre 4 – Étude et fabrication de transistors à faibles pentes sous le seuil	175
I - Étude, fabrication et caractérisation de <i>n</i>-TFETs InGaAs.....	178
1) Étude du <i>n</i> -TFET InGaAs (<i>L</i> _i = 100 nm) par simulation TCAD	178
2) Fabrication du <i>n</i> -TFET InGaAs avec <i>L</i> _i = 800 nm.....	183
3) Caractéristiques électriques du <i>n</i> -TFET InGaAs avec <i>L</i> _i = 800 nm.....	185
II - Étude, fabrication et caractérisation du I-MOSFET GaSb	187
1) Étude par simulation TCAD du I-MOSFET GaSb	187
2) Fabrication des transistors I-MOSFET GaSb.....	190
3) Caractéristiques électriques du I MOSFET GaSb.....	199
Conclusion du chapitre 4	201
Bibliographie du chapitre 4.....	202
Conclusion générale	203
Annexes	207
Liste des publications	231

Table des figures

Chapitre 1

figure 1 – Schéma 3D d'un transistor MOSFET à base de silicium contraint.	9
figure 2 – Diagramme de bandes d'énergies dans les régimes d'accumulation (a)-(d), de désertion (b)-(e) et de forte inversion (c)-(f) pour différentes polarisation V_{GS} . En haut coupe le long du canal et en bas coupe transverse au canal (structure MOS).	10
figure 3 – Diagramme de bande d'énergie dans les régimes d'accumulation (a), de bande plate (b) et d'inversion (c) pour différentes valeurs de Φ_{MS} de la structure MOS dopé p	11
figure 4 – Courbe de fonctionnement des transistors MOSFETs conventionnels pour différentes valeurs de V_{GS} (a) et courbe de transfert montrant le passage de l'état bloquant (OFF) à l'état passant (ON) (b).	13
figure 5 – Schéma simplifié de quelques effets négatifs dus à la réduction d'échelle des MOSFETs menant à une augmentation de la consommation (a) et schéma explicatif de l'effet DIBL et son effet sur une courbe de transfert (b).	14
figure 6 – Transistors 3D FinFETs 14nm de l'architecture Exynos 7420 de Samsung (a) ainsi qu'un transistor 3D FinFET 14 nm de l'architecture Broadwell Y de Intel (b). Source TechInsights et Intel.	16
figure 7 – Représentation simplifiée de l'évolution de l'architecture du MOSFET.	17
figure 8 – Caractéristiques de transfert d'un transistor UTB selon l'épaisseur du silicium t_{Si} réalisé par Y-K. Choi et al. [14] (a) et d'une cellule CMOS UTB [15] (b).	17
figure 9 – Image d'un FinFET 14nm de Samsung (Exynos 7420) (a) et d'un FinFET fabriqué par TSMC (b). Nous remarquons que la grille recouvre plusieurs ailettes (multi-grilles).	18
figure 10 – Image d'empilements verticaux de nanofils de silicium horizontaux réalisés par l'IMEC (a) ainsi que les courbes de transfert pour les transistors de type n et p (b) [26].	19
figure 11 – Image de microscopie électronique à balayage (MEB) d'un MOSFET de longueur de grille 90nm par Intel en 2003.	20
figure 12 – Caractéristique de transfert d'un transistor UTB avec un canal d'InAs de 6nm $L_G = 40$ nm par S. Lee et al. [30] (a) et images MEB de transistors UTB réalisés dans notre groupe par M. Pastorek (b) et M. Ridaoui (c).	21
figure 13 – Allure de la caractéristique de transfert d'un MOSFET. La pente sous le seuil définit l'inverse de la pente entre les états OFF et ON.	22
figure 14 – Représentation schématique du transistor à grille suspendue (a) et courbe I_D-V_{GS} expérimentale (b). Nous remarquons la faible pente sous le seuil de l'ordre de 2 mV/décade ainsi qu'une augmentation du courant de fuite I_G lors du passage à l'état ON à cause de la diminution de la longueur de gap entre l'oxyde et le métal de grille.	25

figure 15 – Représentation schématique d’un NEMFET [54] (a) et une courbe de transfert obtenue par l’équipe de J. H. Kim et al. [55] pour une longueur de grille $L_G = 1,6 \mu\text{m}$ (b). ...	26
figure 16 – Représentation schématique d’un ISFET sur silicium (a) et sa courbe de fonctionnement en fonction du pH de la solution (b). La faible taille apporte une sensibilité largement supérieure par rapport aux dispositifs classiques.	27
figure 17 – Illustration du transfert de porteurs dans un matériau à transition de Mott. Les atomes sont les cercles blancs (\circ), les trous sont les cercles noirs (\bullet). Sans dopage le transfert est impossible à cause de la répulsion Coulombienne. Cependant en dopant le matériau, la conservation d’énergie de l’état dégénéré va permettre le transport des trous [70].	28
figure 18 – Représentation schématique d’un MTFET à modulation de dopage à l’aide d’un empilement $\text{NdNiO}_3/\text{n-SrTiO}_3$ [72] (a) et courbe I_D - V_{DS} obtenue par modélisation (b).	29
figure 19 – Schéma d’un NCFET (a) et courbe I_D - V_{GS} pour différentes tensions V_{DS} (b).	29
figure 20 – Image de microscopie électronique à balayage d’un FinFET à barrière Schottky de longueur de grille 200 nm [88] (a) et sa courbe I_D - V_{GS} pour différentes valeurs de tension V_{SBB} afin de moduler la barrière Schottky (b). De fortes valeurs de V_{SBB} permettent de très faibles $SS < 5 \text{ mV/décade}$	31
figure 21 – Schémas des diagrammes de bandes d’une diode présentant l’effet tunnel bande à bande (a) et de TFET à l’état OFF (b) et ON (c) [89] pour différentes V_{GS} appliquées.	32
figure 22 – Graphe représentant la pente sous le seuil SS en fonction du courant de drain I_D pour différentes études sur les TFETs à base de plusieurs matériaux [96].	32
figure 23 – Transistor à effet tunnel (TFET), il s’agit d’un transistor à base de nanofils III-V sur silicium (a) permettant d’achever une pente sous le seuil faible (b) de l’ordre de 21 mV/décade à $V_{DS} = 100 \text{ mV}$ [101].	33
figure 24 – Transistor nommé hyperFET, il s’agit d’un transistor hybride comprenant un matériau à transition isolant-métal couplé à un transistor MOS à effet de champ classique (a). Cela permet d’atteindre des pentes sous-seuil faibles (b) de l’ordre de 10 mV/décade [113].	34
figure 25 – Représentation schématique d’un feedback FET (a) et la courbe de transfert obtenues sur un feedback FET à canal p en silicium avec $L_G = 310 \text{ nm}$ et $W = 2 \mu\text{m}$ (b). La pente sous le seuil est de l’ordre de 2 mV/décade avec $I_{ON}/I_{OFF} \approx 10^7$ à $ V_{DS} = 1,4 \text{ V}$	35
figure 26 – Représentation schématique du transistor à ionisation par impact consistant en une diode pin additionnée d’une grille recouvrant partiellement la zone intrinsèque (a) et ses diagrammes de bande associés aux états OFF et ON (b).	36
figure 27 – Représentation schématique et zoom au niveau de la zone intrinsèque d’un I-MOSFET en L par Toh et al. (a). Caractéristique de transfert pour différentes longueurs intrinsèques. Pour $L_G = 100 \text{ nm}$, $SS = 4,8 \text{ mV/décade}$ (b).	37
figure 28 – Courbes des coefficients d’ionisation des électrons permettant de comparer le silicium aux matériaux III-V. Nous pouvons noter que l’InGaAs est proche du silicium.	39

Chapitre 2

- figure 1** – Représentation du champ électrique calculé dans le cas d’une jonction *pn* (a) et dans le cas d’une jonction *pin* (b) pour des niveaux de dopages N_A et N_D identiques dans les deux cas. Nous pouvons voir que le champ électrique est plus faible dans la jonction *pin* que la jonction *pn* dû à la présence de la zone intrinsèque. L’influence d’un dopage résiduel *nid* (dans notre cas légèrement *n*) dans la zone intrinsèque d’une jonction *pin* est également représentée. 55
- figure 2** – Diagramme de bandes d’énergies simplifié d’une diode en polarisation inverse avec les zones *p* et *i* dégénérées. Il est possible de définir une barrière de potentielle triangulaire et obtenir $x_2 = x_1 + E_g / qF$ 57
- figure 3** – Principe de création d’une paire électron-trou dans un semiconducteur (a) et diagramme de bande montrant l’ionisation par impact (avalanche) dans une diode *pin* (b). . 59
- figure 4** – Facteurs de multiplication des électrons obtenus par calcul dans différents cas de coefficients d’ionisation α et β , lorsque $\alpha = \beta$ (en noir), $\alpha = i/2$ (-+ rouge) et $\beta = 0$ (-o bleu). 63
- figure 5** – Coefficients d’ionisation pour les électrons (a) et pour les trous (b) pour différents matériaux. Le silicium présente des caractéristiques similaires à l’InGaAs. 64
- figure 6** – Facteur de multiplication des électrons (a) et des trous (b) pour différents matériaux tels que le GaSb (o), l’InAs (- - -), l’InP (.....), l’InAlAs (x), l’InGaAs (++) et le silicium (___) avec $L_i = 300$ nm..... 65
- figure 7** – Représentation schématique des diagrammes de bandes d’énergie de transistors I-MOSFET basés sur l’hétérostructure SiGe/Si dans le cas de *E.H. Toh et al.* (a) et dans le cas de *D. Sarkar et al.* (b). 66
- figure 8** – Représentation schématique des diagrammes de bandes d’énergie d’un transistor I-MOSFET à matériaux III-V basé sur une hétérostructure de type 1. Cette hétérostructure permet un gain d’énergie cinétique grâce à la discontinuité ΔE_C et d’amplifier le champ électrique grâce à la discontinuité ΔE_V 66
- figure 9** – Schémas des hétérostructures InP/ InGaAs pour différentes longueurs intrinsèques : 30 nm, 50 nm, 100 nm (a) et des homostructures d’InP ou d’InGaAs de longueurs intrinsèques 100nm (b). 68
- figure 10** – Simulation TCAD montrant l’alignement des bandes de conduction et de valence de la diode *pin* InP/ InGaAs ($L_i = 100$ nm) sans polarisation et son zoom à droite. 68
- figure 11** – Masque permettant la réalisation du contact ohmique supérieur (a). Dans un premier temps le substrat est nettoyé et le contact Pd/Ti/Pt/Au est déposé par évaporation par faisceau d’électrons (b). 69
- figure 12** – Masque permettant la réalisation du méso « peu profond » (a). La gravure du méso est effectuée à l’aide d’une solution diluée d’acide orthophosphorique (b). 70

figure 13 – Masque permettant la réalisation du 2nd contact ohmique de type n (a). Les contacts ohmiques Ti/Pt/Au sont déposés par évaporation par faisceau d'électrons (b).	70
figure 14 – Masque permettant la réalisation du méso d'isolation (a). Image au microscope optique d'un champ du masque avec différents composants fabriqués (b). Ce masque a été réalisé par N. Wichmann.	71
figure 15 – Mesures de la résistance totale par la méthode TLM en fonction de la distance séparant deux contacts de même type pour le contact de source p (a) et de drain n (b).	73
figure 16 – Schéma d'une diode pin présentant la configuration de mesure avec la source du côté p et le drain du côté n . Ainsi la polarisation inverse est obtenue lorsque $V_{DS} > 0$ V.	74
figure 17 – Schéma d'une diode pin présentant les différentes dimensions de développement W et de longueur L . La section efficace $S = W \times L$ et le périmètre de la structure $P = 2 \times (W + L)$	74
figure 18 – Caractéristiques $J_D(I_D)-V_{DS}$ à température ambiante pour les différentes diodes pin InP/ InGaAs de longueurs intrinsèques 30 (a, b), 50 (c, d) et 100 nm (e, f) pour chaque valeur de développement W et de longueur L avec des normalisations volumique (à gauche) et linéique (à droite).	75
figure 19 – Caractéristiques $J_D(I_D)-V_{DS}$ à température ambiante pour les différentes diodes pin InGaAs (a, b) et InP (c, d) de longueurs intrinsèques 100 nm pour chaque valeur de développement W et de longueur L avec des normalisations volumique (à gauche) et linéique (à droite).	76
figure 20 – Caractéristiques I_D-V_{DS} en polarisation directe (à gauche) et inverse (à droite) en fonction de la température pour les diodes pin InP/ InGaAs de longueurs intrinsèques 30 (a, b), 50 (c, d) et 100 nm (e, f).	77
figure 21 – Caractéristiques I_D-V_{DS} en polarisation inverse (à gauche) et directe (à droite) en fonction de la température pour les deux diodes pin : InGaAs (a, b) et InP (c, d) de longueur intrinsèque 100 nm.	79
figure 22 – Caractéristiques I_D-V_{DS} pour les diodes pin InP, InGaAs et InP/ InGaAs de longueur intrinsèque 100 nm en polarisation directe (a) et en polarisation inverse (b).	80
figure 23 – Courbes des résultats expérimentaux et de modélisation analytique des diodes pin InGaAs de longueur intrinsèque 100 nm en polarisation directe (a) et inverse (b).	81
figure 24 – Courbes des résultats expérimentaux et de modélisation analytique des diodes pin InP de longueur intrinsèque 100 nm en polarisation directe (a) et inverse (b).	82
figure 25 – Représentation schématique de la structure épitaxiale des diodes pin InAlAs/ InGaAs.	83
figure 26 – Simulation TCAD montrant l'alignement des bandes de conduction et de valence de la diode pin InAlAs/ InGaAs (structure II) sans polarisation V_{DS} et son zoom à droite. .	84

figure 27 – Courbes I_D - V_{DS} des diodes <i>pin</i> InGaAs et InAlAs de longueur intrinsèque 800 nm obtenue par modélisation (tiret) et simulation TCAD (trait plein).	85
figure 28 – Évolution du champ électrique dans les diodes <i>pinin</i> , obtenue par simulation TCAD à $V_{DS} = 10$ V, en fonction du dopage n de la zone médiane pour $L_{i,InAlAs} = 100$ nm (a) et $L_{i,InAlAs} = 200$ nm (b).	86
figure 29 – Profil du champ électrique pour différentes tensions V_{DS} obtenue par simulation TCAD dans la diode <i>pinin</i> InAlAs/ InGaAs avec des longueurs intrinsèques $L_{i,InGaAs} = 800$ nm et $L_{i,InAlAs} = 200$ nm (a), comparée à la structure <i>pin</i> à base d' InGaAs de longueur intrinsèque $L_{i,InGaAs} = 800$ nm (b).	87
figure 30 – Structure des diodes <i>pinin</i> InAlAs/ InGaAs. Le dopage de la zone n médiane est de $5 \times 10^{17} \text{ cm}^{-3}$ lorsque $L_{i,InAlAs} = 100$ nm et de $8 \times 10^{17} \text{ cm}^{-3}$ lorsque $L_{i,InAlAs} = 200$ nm.	88
figure 31 - Mesures des résistances d'accès par la méthode TLM pour le contact de source p (a) et de drain n (b). Nous avons obtenu de faibles valeurs de résistances spécifiques de l'ordre de $10^{-7} \Omega \cdot \text{cm}^2$	88
figure 32 – Caractéristiques I_D - V_{DS} des diodes <i>pinin</i> en fonction de la polarisation inverse pour différentes températures allant de 100K à 400K.	89
figure 33 – Représentation du taux de génération thermique pour la structure II obtenue par simulation TCAD à $V_{DS} = 5$ V et $V_{DS} = 10$ V.	90
figure 34 – Caractéristiques I_D - V_{DS} des diodes <i>pinin</i> à une température de 100K en fonction de la polarisation inverse pour les différentes structures.	91
figure 35 – Représentations schématiques des structures épitaxiales des diodes <i>pin</i> GaSb sur substrat semi isolant GaAs (a) et sur substrat GaSb dopé (b).	92
figure 36 – Structure des diodes <i>pin</i> de la filière antimoniée sur substrat GaSb dopé ou GaAs	93
figure 37 – Mesure de résistances de contacts ohmiques de type p sur GaSb pour différents empilements de métaux sans recuit (a) et pour différentes températures de recuit du contact Pd/Ti/Pt/Au (b).	95
figure 38 – Mesure des résistances spécifiques des différents contacts sur n-GaSb (a) et l'effet du traitement avant métallisation du contact Ni/Ge/Au/Pt/Au (b).	96
figure 39 – Effet du recuit sur le contact Ni/Ge/Au/Pt/Au (a) ainsi que la mesure de résistance totale du contact Ni/Ge/Au/Pt/Au après traitement Ar et recuit à 285°C (b) par la méthode TLM.	97
figure 40 – Caractéristiques I_D - V_{DS} en polarisation inverse pour les diodes <i>pin</i> GaSb sur substrat GaSb pour différentes longueurs intrinsèques, $L_i = 400$ nm (bleue) et $L_i = 600$ nm (rouge) (a) et la comparaison avec la modélisation analytique de la diode <i>pin</i> avec $L_i = 400$ nm à 295K (b).	98

figure 41 – Caractéristiques I_D - V_{DS} des diodes <i>pin</i> GaSb sur substrat GaAs pour $L_i = 400$, 600 nm (a) et la comparaison avec la modélisation analytique de la diode <i>pin</i> avec $L_i = 400$ nm à 295K (b).	99
figure 42 – Caractéristiques I_D - V_{DS} en polarisation inverse pour les diodes <i>pin</i> GaSb pour $L_i = 400$ nm sur substrat GaSb (violet) et sur substrat GaAs (vert).	100
figure 43 – Image AFM de surface de GaSb après croissance sur une couche de GaSb dopée <i>n</i> au tellure présentant une forte rugosité (a) comparé après croissance sur une couche de GaSb non dopée (b).	100
figure 44 – Caractéristiques I_D - V_{DS} en polarisation directe (à gauche) et inverse (à droite) pour les diodes <i>pin</i> GaSb sur substrat GaSb pour $L_i = 400$ nm (a)-(b) et $L_i = 600$ nm (c)-(d) à différentes températures.	101
figure 45 – Caractéristiques I_D - V_{DS} en polarisation inverse pour des diodes <i>pin</i> GaSb sur substrat GaSb pour $L_i = 400$ nm (a) et $L_i = 600$ nm (b) à différentes températures présentant un claquage à forte tension.	101

Chapitre 3

figure 1 – Représentation schématique de la répartition des charges dans l'oxyde et à l'interface oxyde/semiconducteur en l'absence de potentiel appliqué sur la grille.	111
figure 2 – Représentation schématique de défauts en surface du semiconducteur comme les liaisons pendantes ou les oxydes natifs (a) entraînant des niveaux énergétiques dans la bande interdite du semiconducteur, ici pour une capacité MOS dopée <i>n</i> avec accumulation de trous à l'interface (b).	112
figure 3 – Allure des courbes C-V à basse fréquence pour des capacités MOS InGaAs dopée <i>n</i> avec une densité de défauts d'interface faible pour $V_{FB} = 0$ V ($Q_F = 0$) et $V_{FB} \neq 0$ V ($Q_F \neq 0$) (a) et dopée <i>n</i> avec $V_{FB} \neq 0$ V pour des valeurs de D_{it} faible et forte (b).	113
figure 4 – Diagramme de bandes de capacités MOS dopée <i>n</i> pour différentes tensions de polarisations. Nous observons différents régimes, accumulation (a), bandes plates (b), déplétion (c) et inversion (d).	114
figure 5 – Caractéristique C-V à 10 KHz d'une capacité MOS Al_2O_3/p -InGaAs (a) pour différentes épaisseurs d'oxyde t_{OX} et (b) courbe de la capacité maximale en fonction de l'épaisseur de l'alumine. Nous pouvons ainsi extraire $\epsilon_{OX} = 6,5$ et donc $C_{OX} = 1,44 \mu F/cm^2$ (avec $t_{OX} = 4nm$).	115
figure 6 – Représentation schématique des structures épitaxiales des capacités MOS à base d'InGaAs dopé <i>n</i> (a) et dopé <i>p</i> (b).	116

figure 7 – Image de microscopie électronique en transmission (MET) (en haut) d'un empilement métal/ Al_2O_3 / InGaAs , sans traitement (a) et avec traitement par plasma d'oxygène (b). Profil des concentrations sans (c) et avec plasma O_2 (d) montrant une zone riche en oxygène à l'interface après plasma O_2	120
figure 8 – Courbes des parties réelle et imaginaire de la permittivité diélectrique en fonction de l'énergie de photon incident sans (rouge) et avec le traitement par plasma O_2 (bleu).	121
figure 9 – Vue en coupe au microscope électronique en transmission (MET) de la structure MOS métal/ HfO_2 / Al_2O_3 / InGaAs après recuit PDA à 600°C (a) et concentration des espèces obtenue par EDX (b).	122
figure 10 – Image du 1er niveau du masque « capamos_4v » représentant le contact de grille (a) et vue en coupe d'une capacité MOS après l'étape du dépôt l'électrode de grille (b). ...	122
figure 11 – Image du 2ème niveau du masque « capamos_4v » représentant la gravure de l'oxyde et de l'épitaxie (a) et vue en coupe d'une capacité MOS après l'étape de gravure (b)	124
figure 12 – Courbe de la résistance totale en fonction de la distance entre les contacts obtenue par la méthode TLM pour le contact p (a) et n (b) des capacités MOS sur InGaAs	124
figure 13 – Image au microscope après dépôt du contact de source de la capacité MOS (a) et vue en coupe de la capacité MOS après dépôt du contact ohmique de source (b).	125
figure 14 – Spectres de spectroscopie de photoélectrons X (a) de l' InGaAs permettant d'observer ses différents niveaux de cœur et (b) spectres de la bande de valence (en noir) sans et (en rouge) après passivation par une solution de NH_4OH	126
figure 15 – Spectres XPS des niveaux de cœur de l' InGaAs sans (haut) et après passivation (bas). Les oxydes natifs observés sur les niveaux de cœur $\text{In } 3d_{5/2}$ (a) (d), $\text{Ga } 2p_{5/2}$ (b)-(e) et $\text{As } 2p_{5/2}$ (c)-(f) sont réduits après passivation.	127
figure 16 – Spectres XPS de l' InGaAs permettant d'observer les niveaux de cœur liés à l'alumine (en noir) avant et (en rouge) après dépôt de l'alumine (a). Spectres de la bande de valence (en noir) sans et (en rouge) avec plasma oxygène (b).	128
figure 17 – Spectres XPS des niveaux de cœur $\text{As } 3d$ et de valence pour l' InGaAs « bulk » (a-b), des niveaux de cœur $\text{Al } 2p$ et $\text{As } 3d$ pour la structure $\text{Al}_2\text{O}_3/\text{InGaAs}$ (c-d) et des niveaux $\text{Al } 2p$ et de valence pour l'alumine « bulk » (e-f). À gauche sans plasma O_2 , à droite avec plasma O_2	129
figure 18 – Spectres XPS du niveau de cœur $\text{O } 1s$ de la structure $\text{Al}_2\text{O}_3/\text{InGaAs}$ sans plasma O_2 (a). Schéma d'alignement des bandes d'énergies de la structure $\text{Al}_2\text{O}_3/\text{InGaAs}$ (b) où les valeurs avec le traitement par plasma O_2 sont indiquées entre parenthèses.	130
figure 19 – Spectres XPS des pics de l'oxygène $\text{O } 2s$ (a) et $\text{Al } 2p$ (b) sans et avec traitement par le plasma O_2 après dépôt d' Al_2O_3	131

figure 20 – Spectres XPS des niveaux de cœur As 3 <i>d</i> et In 3 <i>d</i> de l'InGaAs sans (a-b) et avec plasma O ₂ (c-d).	132
figure 21 – Schéma électrique d'une mesure de capacité-tension (C-V) sur une structure métal oxyde-semiconducteur (MOS).	133
figure 22 – Représentation du schéma équivalent général (a), simplifié (b), parallèle (c) et mesuré (d) de la structure MOS.	134
figure 23 – Courbes C _g -V _{GS} des capacités MOS Al ₂ O ₃ / n-InGaAs après passivation au HCl puis (NH ₄) ₂ S (a) ou au NH ₄ OH (b) pour un diamètre de 500 μm avec une épaisseur d'Al ₂ O ₃ de 4 nm sans traitement plasma O ₂	136
figure 24 – Courbes C _g -V _{GS} de la capacité MOS Al ₂ O ₃ / n-InGaAs passivée au NH ₄ OH sans (a) et avec traitement plasma O ₂ (b) pour un diamètre de 500 μm avec une épaisseur totale d'Al ₂ O ₃ de 4 nm.	137
figure 25 – Courbes G-V _{GS} des capacités MOS Al ₂ O ₃ / n-InGaAs après passivation au HCl puis (NH ₄) ₂ S (a) ou au NH ₄ OH (b) pour un diamètre de 500 μm avec une épaisseur d'Al ₂ O ₃ de 4 nm sans traitement plasma O ₂	137
figure 26 – Courbes G-V _{GS} de la capacité MOS Al ₂ O ₃ / n-InGaAs passivée au NH ₄ OH sans (a) et avec traitement plasma O ₂ (b) pour un diamètre de 500 μm avec une épaisseur totale d'Al ₂ O ₃ de 4 nm.	138
figure 27 – Courbe C _g -V _{GS} à 10 KHz et la dérivée première de 1/(C _{HF} /C _{OX}) ² pour une capacité MOS Al ₂ O ₃ / p-InGaAs d'épaisseur d'oxyde 10 nm permettant d'extraire la tension de bandes plates.	139
figure 28 – Courbe de la variation de ΔV _{FB} en fonction de l'épaisseur de l'oxyde permettant de déduire la quantité de charges fixes dans l'oxyde.	140
figure 29 – Quantité de charges fixes dans l'oxyde en fonction de chaque échantillon (a) et courbes d'hystérésis pour les différents échantillons de capacités MOS Al ₂ O ₃ /n-InGaAs à 1 MHz d'épaisseur d'oxyde 4 nm (b).	141
figure 30 – Modélisation de la fréquence de relaxation ω _{it} = 1/τ _{it} en fonction de l'énergie E _{it} du défaut d'interface pour différentes températures.	143
figure 31 – Évolution de G _p /q.ω en fonction de la fréquence et de la tension V _{GS} pour les capacités MOS Al ₂ O ₃ /n-InGaAs passivées au (NH ₄) ₂ S (a), au NH ₄ OH sans plasma O ₂ (b) et avec plasma O ₂ (c).	145
figure 32 – Schéma montrant la réaction des défauts d'interface en fonction de la fréquence du signal dynamique (a). Evolution de la densité de défauts d'interface en fonction de l'énergie dans la bande interdite de l'InGaAs pour les deux traitements au (NH ₄) ₂ S (rouge) et au NH ₄ OH (violet) avec un traitement par plasma O ₂ (bleu) (b).	146
figure 33 – Schémas équivalents de la structure MOS pour un signal dynamique à basse fréquence (a) et à haute-fréquence (b).	147

figure 34 – Courbe de densité de défauts d’interface D_{it} en fonction de l’énergie dans la bande interdite de l’InGaAs pour les deux traitements au $(NH_4)_2S$ (rouge) et au NH_4OH (violet) avec un traitement par plasma O_2 (bleu) (a). Temps de relaxation des niveaux donneurs et accepteurs en fonction de l’énergie dans la bande interdite (b) et schéma la répartition des niveaux donneurs et accepteurs sans ou avec plasma O_2 à partir de la courbe de densité de défauts d’interface extraite (c).	148
figure 35 – Diagramme représentant l’interaction par effet tunnel entre les charges du semiconducteur et les border traps (a). Schéma équivalent d’une capacité MOS en accumulation avec prise en compte des défauts distribués dans la profondeur de l’oxyde (b) [58].	149
figure 36 – Evolution fréquentielle de capacité (en bleue) et de la conductance (en rouge) sur les capacités MOS Al_2O_3/n -InGaAs en régime d’accumulation ($V_{GS} = 2$ V) après traitement au $(NH_4)_2S$ (a), au NH_4OH (b) et avec plasma O_2 (c).	150
figure 37 – Mesures du courant de fuite I_G de la capacité MOS pour les différents traitements.	151
figure 38 – Evolution de la capacité (a) et de la conductance (b) en fonction de la polarisation appliquée sur la grille V_{GS} d’une capacité MOS $HfO_2/Al_2O_3/n$ -InGaAs. La courbe C_g - V_{GS} à 100 KHz est tracée en noir afin d’observer la fausse inversion.	152
figure 39 – Représentation de la densité de défauts d’interface en fonction de l’énergie pour les capacités MOS Al_2O_3/n -InGaAs et $HfO_2/Al_2O_3/n$ -InGaAs (a) et la carte de conductance de (b).	152
figure 40 – Évolution de la capacité (a) et de la conductance (b) en fonction de la polarisation appliquée sur la grille V_{GS}	153
figure 41 - Représentation schématique des structures épitaxiales des capacités MOS à base de GaSb dopé n (a) et dopé p (b) sur substrat GaAs.	154
figure 42 – Photographies de l’effet de mouillage sur la surface de GaSb après passivation par différentes solutions de HCl puis $(NH_4)_2S$, de $(NH_4)_2S$ ou de NH_4OH	155
figure 43 – Images AFM d’une couche épitaxiale de GaSb dopée n sans passivation (a), après une passivation au HCl puis $(NH_4)_2S$ (b) et après plusieurs heures (c).	155
figure 44 – Spectres XPS du GaSb permettant d’observer ses différents niveaux de cœur (a) et spectre de la bande de valence (b) sans passivation (en noir), après passivation au NH_4OH (en rouge), puis après passivation au $(NH_4)_2S$ (en rouge).	157
figure 45 – Spectres XPS des niveaux de cœur du GaSb (à gauche) lié au Ga $3d$ et (à droite) lié au Sb $4d$ du GaSb in-situ (a)-(b), sans passivation (c)-(d) après une passivation par une solution de NH_4OH (e)-(f) et après une passivation par des solutions de HCl puis $(NH_4)_2S$ (g)-(h).	158

figure 46 – Spectres XPS (a) du GaSb permettant d’observer les niveaux de cœur liés à l’alumine et (b) spectres XPS de la bande de valence de l’interface Al ₂ O ₃ /GaSb sans (en noir) et avec plasma O ₂ (en rouge) après une passivation au (NH ₄) ₂ S et un recuit à 350°C.	160
figure 47 – Spectres XPS des niveaux de cœur Sb 4 <i>d</i> et de valence pour le GaSb « bulk » (a-b), des niveaux de cœur Al 2 <i>p</i> et Sb 4 <i>d</i> pour la structure Al ₂ O ₃ / GaSb après PDA à 350°C (c-d) et des niveaux Al 2 <i>p</i> et de valence pour l’alumine « bulk » (e-f). À gauche sans plasma O ₂ , à droite avec plasma O ₂	161
figure 48 – Spectres XPS du niveau de cœur O 1 <i>s</i> de la structure Al ₂ O ₃ / GaSb avec plasma O ₂ (a). Schéma d’alignement des bandes d’énergies de la structure Al ₂ O ₃ / GaSb (b) où les valeurs avec le traitement par plasma O ₂ sont indiquées entre parenthèses.	162
figure 49 – Spectres XPS du niveau de cœur Al 2 <i>p</i> de la structure Al ₂ O ₃ / GaSb pour différentes températures de recuit PDA, 350°C (rouge) et 600°C (bleue) (sans recuit en noir) sans (a) et avec traitement par plasma O ₂ (b) après passivation au (NH ₄) ₂ S.	162
figure 50 – Spectres XPS des niveaux de cœur Ga 3 <i>d</i> et O 2 <i>s</i> (a) et Al 2 <i>p</i> (b) de la structure Al ₂ O ₃ / GaSb après passivation au (NH ₄) ₂ S sans et avec plasma O ₂ et avec un recuit PDA de 350°C.	163
figure 51 – Spectres XPS des niveaux de cœur Sb 4 <i>d</i> (a-c) et Ga 3 <i>d</i> (b-d). Les spectres XPS du GaSb sans recuit PDA (en haut) et avec recuit PDA (en bas) ont été obtenus sans et avec traitement par plasma O ₂ avec une passivation au (NH ₄) ₂ S.	165

Chapitre 4

figure 1 – Représentation de la structure du TFET InGaAs ($L_i = 100$ nm) dont l’électrode de grille recouvre entièrement la zone intrinsèque.	178
figure 2 – Représentation des diagrammes de bandes d’énergie de valence et de conduction à $V_{GS} = 2$ V pour différentes valeurs de tensions V_{DS} , loin (a) et proche de l’interface oxyde/ InGaAs (b).	179
figure 3 – Caractéristiques de transfert I_D - V_{GS} pour une tension $V_{DS} = 0,2$ V pour le <i>n</i> -TFET dont la grille recouvre entièrement la zone intrinsèque.	180
figure 4 – Représentation des diagrammes de bandes d’énergie de valence et de conduction à $V_{DS} = 0,2$ V pour des tensions de grille $V_{GS} = -2$ V (a) et $V_{GS} = 2$ V (b).	180
figure 5 – Évolution de la pente sous le seuil en fonction du courant pour une tension $V_{DS} = 0,2$ V pour le <i>n</i> -TFET dont la grille recouvre entièrement la zone intrinsèque.	181
figure 6 – Représentation de la structure du transistor à effet tunnel dont la grille recouvre partiellement la zone intrinsèque (a) et courbe I_D - V_{DS} à $V_{GS} = 0$ V (b).	181

figure 7 – Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{GS} = 2$ V pour différentes valeurs de tensions V_{DS} , loin (a) ou proche de l'interface oxyde/ InGaAs (b).	182
figure 8 – Caractéristiques de transfert I_D - V_{GS} (a) et la pente sous le seuil extraite (b) pour une tension $V_{DS} = 0,2$ V pour un n -TFET dont la grille recouvre entièrement la zone intrinsèque (tiret) et partiellement la zone intrinsèque (trait plein).	182
figure 9 – Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{DS} = 0,2$ V pour des tensions de grille $V_{GS} = -2$ V (a) et $V_{GS} = 2$ V (b).	183
figure 10 – Structure épitaxiale du transistor à effet tunnel InGaAs de longueur intrinsèque $L_i = 800$ nm.	184
figure 11 – Schéma du procédé de fabrication simple d'un transistor à effet tunnel.	185
figure 12 – Caractéristiques I_D - V_{DS} en polarisation inverse pour différentes tensions V_{GS} pour le transistor TFET InGaAs ($L_i = 800$ nm) en échelle linéaire (a) et en échelle logarithmique (b). La courbe orange est celle à $V_{GS} = 0$ V.	186
figure 13 – Courbe de transfert I_D - V_{GS} pour différentes valeurs de tensions V_{DS} en échelle linéaire (a) et en échelle logarithmique (b) puis à $V_{DS} = 0,4$ et $0,6$ V permettant d'estimer l'effet de $DIBL$ (c). La pente sous seuil SS et la transconductance g_m en fonction du courant normalisé pour $V_{DS} = 0,6$ V (d).	187
figure 14 – Représentation de la structure du I MOSFET GaSb de longueur $L_i = 400$ nm... ..	188
figure 15 – Courbes I_D - V_{DS} du I-MOSFET GaSb pour différentes longueurs intrinsèques effectives obtenues par simulation TCAD (a) et évolution de la tension de claquage en fonction de $L_{i,eff}$ (b).	188
figure 16 – Courbes I_D - V_{DS} sans et avec polarisation V_{GS} (a) et caractéristique de transfert I_D - V_{GS} (b) du I MOSFET GaSb de longueur $L_{i,eff} = 200$ nm.	189
figure 17 – Courbe de la pente sous seuil en fonction du courant I_D pour le transistor I-MOSFET GaSb de longueur $L_{i,eff} = 200$ nm à $V_{DS} = 1$ V.	190
figure 18 – Représentation schématique de la structure épitaxiale des I-MOSFET GaSb sur substrat GaSb (a) ainsi que la structure finale du dispositif sur substrat GaAs où le buffer est gravé jusqu'au substrat (b).	190
figure 19 – Image du masque pour la réalisation du 1er contact, ici, $8 \times 8 \mu\text{m}^2$ (a) et la structure épitaxiale du I-MOSFET ainsi que son métal de source Pd/Ti/Pt/Au (b).	191
figure 20 – Images de microscopie électronique à balayage après gravure humide à l'aide de solution de HCl/H ₂ O ₂ /H ₂ O à 10/1/10 (a), 10/1/20 (b) et 10/1/40 (c).	192
figure 21 – Images de microscopie électronique à balayage après gravure humide à l'aide de solution de H ₃ PO ₄ /H ₂ O ₂ /H ₂ O à 1/1/10 (a), 5/1/40 (b) et 1/1/20 (c).	192
figure 22 – Images de microscopie électronique à balayage après gravure humide à l'aide de solution de H ₃ PO ₄ /H ₂ O ₂ /H ₂ O/C ₄ H ₆ O ₆ à 1/1/20/1g (a) et 5/5/200/1g (b).	193

figure 23 – Images de microscopie électronique à balayage après gravure humide par les solutions HCl/H ₂ O ₂ /H ₂ O/C ₄ H ₆ O ₆ à 80/7/100/7g (a) et H ₂ O ₂ /H ₂ O/C ₄ H ₆ O ₆ à 5/100/7g (b). ..	193
figure 24 – Image de microscopie électronique à balayage après gravure sèche du GaSb (a) et représentation 3D de la structure I-MOSFET (b). Nous pouvons remarquer des flancs et un fond de gravure peu rugueux.	194
figure 25 – Image de microscopie électronique à balayage après sous-gravure du GaSb à l'aide de la solution diluée d'acide fluorhydrique (a) et sa représentation 3D (b).	195
figure 26 – Image de microscopie électronique à balayage de l'échantillon après révélation de l'écriture pour la réalisation de l'électrode de grille (a) et schéma du procédé de métallisation par inclinaison (b).	196
figure 27 – Image STEM après la découpe FIB de l'échantillon permettant d'observer la métallisation sur le flanc de gravure (a) et image au microscope électronique à balayage après lift-off (b).	196
figure 28 – Image du masque pour la gravure de l'oxyde par plasma ICP (a) et image au microscope électronique à balayage après révélation (b), après gravure et dérésinage (c). ..	197
figure 29 – Image du masque pour le dépôt du contact inférieur de type <i>n</i> (a) et image au microscope électronique à balayage après dépôt métallique et lift-off (b).	197
figure 30 – Image du masque pour la gravure du Si ₃ N ₄ (a) et image au microscope électronique à balayage après gravure du nitrure (b).	198
figure 31 – Images au microscope électronique à balayage de la résine pour la réalisation des ponts à air après fluage en vue générale (a) et zoomée sur les électrodes de source et de grille (b).	198
figure 32 – Images MEB des différents dispositifs réalisés, une diode <i>pin</i> (à gauche) et un transistor à ionisation par impact (à droite).	199
figure 33 – Caractéristique I_D-V_{DS} du I-MOSFET GaSb de longueur intrinsèque 600 nm pour différentes tensions V_{GS}	200
figure 34 – Caractéristique I_D-V_{GN} du I-MOSFET GaSb de longueur intrinsèque 400 nm (a) ainsi que le courant de fuite I_{GN} lorsque la source est en potentiel flottant (b).	200

Annexes

figure 1 – Procédé de lithographie optique à l'aide d'un masque puis son résultat après révélation d'une résine positive (a) et négative (b).	208
figure 2 – Schéma d'un cycle de dépôt par ALD. Injection du premier précurseur (a), évacuation des précurseurs non réagit (b), injection du second précurseur (c) et purge à la fin du cycle, la première couche est déposée (d).	211

figure 3 - Schémas expérimentaux d'une mesure par la méthode TLM. Les résistances de contact R_C et du semiconducteur R_{\square} sont des paramètres importants (a), de plus les résistances parasites R_p sont négligées à l'aide d'une mesure 4 pointes (b).....	213
figure 4 – Courbe de la résistance totale R_{totale} en fonction de la distance L entre les plots métalliques.	214
figure 5 – Schéma de mesure de la tension de Hall V_H montrant par ailleurs le déplacement des charges vers bord du semiconducteur (a) et trèfle de Hall fabriqué à partir du masque « PIN_diode » (b).....	216
figure 6 – Schéma du changement de polarisation de la lumière après interaction avec un matériau.	217
figure 7 – Schéma d'un spectromètre avec la source de lumière, le polariseur, l'échantillon, l'analyseur et le détecteur (de Wikipédia).....	218
figure 8 – Schéma du processus d'interaction entre le photon incident et le matériau émettant un photoélectron dont l'énergie cinétique dépend de sa position énergétique initiale (niveau de cœur).....	219
figure 9 – Schéma représentant le spectromètre à photoélectrons X avec la source, l'échantillon, l'analyseur hémisphérique et le détecteur (de « Technique de l'ingénieur »).	220

Introduction générale

Depuis la découverte des transistors en 1947 par J. Bardeen, W. Shockley et W. Brattain, l'électronique et plus particulièrement la technologie CMOS (Complementary Metal-Oxide-Semiconductor) fait partie intégrante de notre société et ceci dans presque tous les domaines. Au début des années 2000, nous parlions alors d'intelligence ambiante. L'intelligence ambiante mise en avant lors du 6^{ème} Programme-cadre (6^{ème} PCRD entre 2002 et 2006) est un concept qui dit que les objets du quotidien sont attentifs (capteurs), interactifs, intelligents et ubiquitaires. Seulement maintenant, l'interaction n'est plus simplement entre l'utilisateur et l'objet mais entre les objets eux-mêmes, nous parlons alors d'internet des objets (IoT – Kevin Ashton 1998). Les dispositifs électroniques deviennent autonomes et connectés entre eux et leur nombre augmente drastiquement. Cependant un bilan alarmant a été dressé par l'Agence Internationale de l'Energie (AIE) en 2014ⁱ. En 2008, les objets connectés consommaient environ 420 TWh soit la consommation de la France (de 2014). En 2013, le nombre d'objets dans le monde a augmenté jusqu'à environ 14 milliards ($\approx 2,73$ milliards d'utilisateurs) pour une consommation globale encore plus élevée de 616 TWh soit un peu plus que la consommation du Canada (de 2014). En 2025, il est estimé qu'il y aura 50 milliards d'appareils connectés pour une consommation d'environ 1140 TWh correspondant à environ 6% de la consommation annuelle en électricité mondiale (équivalente à la consommation du Canada et de l'Allemagne réunis en 2014). La réduction de la consommation en énergie est donc un défi sociétal (8^{ème} PCRD Horizon 2020ⁱⁱ) à relever pour un développement durable.

Afin de répondre aux défis sociétaux actuels et futurs, comme utiliser des énergies sûres et efficaces, user de transports plus « verts et durables » ou encore améliorer la qualité de vie (santé et bien-être), il faut s'adapter pour créer des technologies innovantes à faible consommation d'énergie. De plus, cela permettra d'envisager une intégration plus complète de l'IoT dans de nombreux domaines tels que l'automobile, l'aérospatial, la domotique ou le médical ce qui deviendra l'IoE (Internet of Everything). Pour cela, il est donc nécessaire d'effectuer un travail sur la technologie CMOS employée représentant une grosse partie de la microélectronique actuelle. Durant plusieurs décennies, la stratégie fut de diminuer la consommation par la réduction de la tension d'alimentation et de la taille des dispositifs. Cette stratégie a bien fonctionné jusqu'à aujourd'hui, et semble arriver à terme (fin de la loi de Moore). De plus, cette stratégie ne peut pas répondre à l'explosion de la demande à plus long terme. En effet, pour des transistors classiques dont la limite théorique de la pente sous le seuil (SS) est fixée à 60 mV/décade, cette réduction de la tension d'alimentation entraîne une forte augmentation du courant de fuite (I_{OFF}) soit de nouveau une augmentation de la

puissance totale consommée. Cette limitation est donc un frein pour le développement des applications à faible consommation à partir de la technologie MOSFET classique. L'objectif est donc de diminuer cette valeur limite en modifiant les mécanismes de fonctionnement. Cette nouvelle catégorie de transistors fait partie de ce qui est appelé le « Beyond CMOS ». Des dispositifs émergents et innovants permettant déjà d'avoir des pentes sous le seuil inférieures à 60 mV/décade dont notamment les transistors à effet tunnel (TFET) ou les transistors à ionisation par impact (I-MOSFET). D'un côté, les TFETs sont capables de fonctionner à basse tension d'alimentation ($V_{DS} < 500\text{mV}$) mais leurs pentes sous le seuil restent élevées ($SS_{\min} \approx 20 \text{ mV/décade}$) et les courants I_{ON} sont faibles. D'un autre côté, les I-MOSFET réalisés à partir des matériaux de la filière IV (Si, Ge ou SiGe) permettent de faibles pentes sous le seuil ($SS_{\min} \approx 4 \text{ mV/décade}$) et présentent de forts courants I_{ON} ($I_{ON} \approx 0,4 \text{ A/mm}$) mais les tensions d'alimentation V_{DS} de l'ordre de 5 V restent trop élevées pour rendre cette technologie compétitive vis-à-vis de la technologie MOS conventionnelle à base de silicium.

La voie que nous envisageons d'explorer consiste à utiliser les matériaux III-V à faible énergie de bande interdite et l'ingénierie de bande d'énergie à partir d'hétérostructures III-V pour potentiellement réduire la tension V_{DS} et être cohérent avec les applications logiques à basse consommation d'énergie. Aujourd'hui les matériaux III-V sont des matériaux de choix pour la fabrication de dispositifs hautes-performances et sont utilisés pour l'électronique de puissance ou pour les applications hautes fréquences (THz) par exemple. Ils sont constitués de matériaux de la colonne III (ex. bore, aluminium, gallium, indium, etc...) et de la colonne V (ex. azote, phosphore, arsénique, antimoine, etc...) du tableau de Mendeleïev. Ainsi il existe des composés binaires (InP, GaAs, GaSb, InAs, etc...), ternaires ($\text{Al}_x\text{Ga}_{1-x}\text{As}$, $\text{In}_x\text{Ga}_{1-x}\text{As}$, etc...) ou quaternaires ($\text{In}_{0,53}\text{Ga}_{0,47}\text{AsSb}$, etc...). Ils ont l'avantage de présenter une grande mobilité électronique et une énergie de bande interdite variable selon la composition ($E_{g,\text{InAs}} = 0,354 \text{ eV}$ et $E_{g,\text{GaN}} = 3,43 \text{ eV}$ à température ambiante) par rapport au silicium très utilisé dans l'industrie du semiconducteur dont le coût est avantageux. Dans ce travail, différentes hétérostructures à base de matériaux arséniés et antimoniés seront proposées.

Le premier chapitre permettra de découvrir la problématique de ce sujet. Une première partie servira à montrer le principe de fonctionnement des transistors classiques tandis que dans une seconde partie nous aborderons les améliorations apportées à leur architecture afin de poursuivre la loi de Moore. Dans une troisième partie, nous verrons les limitations théoriques de la technologie MOSFET classique. Enfin dans une dernière partie, nous présenterons les nouvelles générations possibles de transistors à faible pente sous le seuil ainsi que les solutions que nous avons retenues pour ce travail de thèse.

Le deuxième chapitre concernera l'étude et la fabrication des diodes *pin* qui est le composant principal du transistor à ionisation par impact. Dans une première partie, nous présenterons quelques généralités des diodes *pin* permettant de comprendre le principe de fonctionnement de la diode *pin* ainsi que le phénomène de claquage par ionisation par impact et/ou par effet tunnel bande à bande intervenant dans ce composant. Dans une seconde partie, nous aborderons l'intérêt des matériaux III-V et des hétérostructures utilisés au cours de ce travail de thèse. Dans une troisième partie, nous détaillerons les différentes étapes de fabrication des diodes *pin* réalisées à partir de matériaux de la filière arséniée ainsi que sa caractérisation électrique. Dans une quatrième partie, nous présenterons une architecture particulière de diode *pin* réalisée à partir de matériaux de la filière arséniée avec pour objectif de limiter la contribution d'effet tunnel bande à bande sur le courant inverse de la diode. Dans une cinquième partie, nous résumerons les différentes étapes de fabrication des diodes *pin* à partir de la filière antimonée ainsi que sa caractérisation électrique.

Le troisième chapitre concernera l'étude, la fabrication et la caractérisation de structures métal-oxyde-semiconducteur (MOS) sur des matériaux III-V des filières arséniée (InGaAs) et antimonée (GaSb). En effet, la création d'un oxyde de bonne qualité est un point crucial pour le développement de la structure MOS sur III-V. Dans une première partie, nous introduirons les principes généraux de la structure MOS ainsi que différents paramètres électriques et grandeurs physiques. Dans une seconde partie, nous détaillerons les différentes étapes de fabrication de la structure MOS sur InGaAs ainsi que les caractérisations physico-chimiques de sa surface et de son interface avec l'oxyde. Dans une troisième partie, nous aborderons les différentes caractérisations électriques de la structure MOS sur InGaAs. Puis dans une quatrième partie, nous détaillerons les différentes étapes de fabrication de la structure MOS sur GaSb ainsi que ses caractérisations physico-chimiques.

Le quatrième et dernier chapitre est consacré à l'étude et la fabrication de deux transistors à faible pente sous le seuil et se veut être une ébauche pour de futurs travaux de recherche. Dans une première partie nous aborderons l'étude, la fabrication et la caractérisation d'un transistor à effet tunnel (TFET) à partir de la première structure *pin* à base d'InGaAs. En effet, le TFET est un transistor à faible pente sous le seuil et est similaire au transistor I-MOSFET. Dans une seconde partie, nous étudierons par simulation le I-MOSFET à base de GaSb puis exposerons les différentes étapes de fabrication de I-MOSFETs à base de GaSb présentant une architecture verticale de taille réduite dont l'électrode de grille est réalisée de façon auto-alignée.

¹More Data, Less Energy, International Energy Agency (IEA), Making Network Standby More Efficient in Billions of Connected Devices, 176 pages, 2014

²Le programme cadre Horizon 2020 est le programme définissant les enjeux sociétaux. Nous y trouvons notamment l'amélioration de la qualité de vie et la réduction de la consommation énergétique.

Chapitre 1 – Évolution du MOSFET : du More Moore vers le Beyond CMOS

Table des matières

I - Historique et principe de fonctionnement du transistor MOSFET	8
1) Historique.....	8
2) Description du MOSFET classique et principe de fonctionnement.....	8
a) Architecture conventionnelle du MOSFET.....	8
b) Régimes de fonctionnement du MOSFET	9
c) Généralités sur la structure métal-oxyde-semiconducteur.....	10
3) Fonctionnement et paramètres électriques du MOSFET	12
II - Évolution de l'architecture du MOSFET classique : More Moore	13
1) Les effets de canal court.....	13
2) Modification de l'empilement métal-oxyde-silicium	14
a) SiO ₂ et matériaux high- <i>k</i>	15
b) Métal de grille et travail de sortie effectif	15
3) Les architectures alternatives 2D et 3D	16
a) Le transistor « Ultra Thin Body ».....	17
b) Le transistor « FinFET ».....	18
c) Le transistor « Gate All-Around ».....	19
4) Vers des transistors MOSFET III-V	19
a) Canal à base de silicium contraint (Si sur SiGe)	20
b) Canal à base de matériaux III-V	20
III - Les limitations du MOSFET classique.....	21
1) Puissance consommée et tension d'alimentation	21
2) Pente sous le seuil	22
IV - Transistors innovants à faibles pentes sous le seuil : Beyond CMOS	23
1) Transistors à architectures et matériaux alternatifs.....	24
a) Transistors à grille suspendue – SG-FET	24
b) Transistors électromécaniques – NEMFET.....	26
c) Transistors actifs chimiquement – ISFET	27
d) Transistors à transition de Mott – MTFET	27
e) Les transistors à capacité négative – NC-FET.....	29

2) Les transistors à injection non thermique des porteurs	30
a) MOSFETs à barrière Schottky – SB-MOSFET modifié	30
b) Les transistors à effet tunnel – TFET	31
3) Les transistors à fonctionnement non-linéaire	33
a) Les transistors à changement de phase – HyperFET	34
b) Le feedback FET	34
c) Transistors à ionisation par impact – I-MOSFET	35
4) Objectifs et solutions envisagés durant ces travaux	38
Bibliographie du chapitre 1	41

Chapitre 1 :

Évolution du MOSFET : du More Moore vers le Beyond CMOS

Depuis le 23 décembre 1947, date de l'invention du premier transistor par les chercheurs J. Bardeen, W. Shockley et W. Brattain de la compagnie « Bell Telephone Laboratories », la technologie CMOS (Complementary Metal-Oxide-Semiconductor) fut une des innovations technologiques qui a révolutionné le monde de la micro/nanoélectronique. Elle est présente dans la plupart des technologies électroniques actuelles des domaines de l'informatique, de l'automobile, de la médecine par exemple ou dans les objets nomades (smartphones, GPS, bracelets connectés, etc...).

Cependant aujourd'hui nous utilisons de plus en plus d'objets électroniques connectés entre eux. Au début, nous parlions « d'intelligence ambiante » qui est le concept de l'omniprésence de composants électroniques communiquant entre eux de façon quasi autonome, la RFID (Radio Frequency IDentification) en est un exemple. Maintenant nous parlons d'internet des choses (IoT). En effet, Internet devient le cœur de la communication entre ces objets. Afin de diminuer la consommation en énergie de ce nombre croissant d'objets et ainsi faciliter leur intégration dans notre monde, la technologie classique à base de transistors MOS à effet de champ (MOSFET) doit être remplacée. En effet, l'énergie consommée dans les transistors MOSFET classiques est trop élevée pour une utilisation même quasi-autonome.

Le but de ce chapitre est d'introduire ce travail de thèse ainsi que l'état actuel des connaissances sur le sujet. Tout d'abord, le principe de fonctionnement des transistors MOSFET sera brièvement présenté. Nous aborderons également les limitations des MOSFETs conventionnels ainsi que les améliorations apportées à leur architecture afin de poursuivre la loi de Moore. Les nouvelles générations possibles de transistors à faible pente sous le seuil seront décrites. Enfin, nous présenterons la solution que nous avons retenue durant ce travail de thèse.

I - Historique et principe de fonctionnement du transistor MOSFET

1) Historique

Les semiconducteurs furent un élément clef pour la création des transistors et ont maintenant une place très importante dans les technologies électroniques de la société moderne. La diode électroluminescente (LED), pour laquelle *I. Akasaki* ainsi que deux de ses collègues ont reçu le prix Nobel de physique en 2014 pour l'invention de la LED bleue, est l'exemple d'une technologie à base de semiconducteur largement intégrée dans notre quotidien. Mais tout commence en 1833 lorsque *M. Faraday* découvre que certains matériaux voient leur résistance diminuer en augmentant la température. Ce comportement est contraire à celui des métaux. Ces matériaux sont les semiconducteurs. Quelques années plus tard en 1839, *A. Becquerel* et son fils ont découvert l'effet photovoltaïque¹. Ensuite *E. H. Hall*, montra en 1879 [1] qu'un champ magnétique traversant un semiconducteur crée une tension perpendiculaire à ce dernier lorsqu'il est traversé par un courant. Ce n'est qu'en 1925 que *J. E. Lilienfeld* a permis la première conception théorique ainsi que le premier brevet sur le transistor. Enfin, le 23 décembre 1947 eut lieu la première démonstration expérimentale du premier transistor dont le prix Nobel fut accordé en 1956 à *J. Bardeen*, *W. Shockley* et *W. Brattain*. Plusieurs types de transistors ont vu le jour comme par exemple le transistor à effet de champ à jonction (JFET) découvert en 1951 et notamment le transistor à effet de champ métal-oxyde-semiconducteur (MOSFET) découvert en 1960 par *M.M Atalla* et *D. Kahng*. Ils commencèrent à être produits quelques années après, ce qui fut une révolution pour l'électronique.

2) Description du MOSFET classique et principe de fonctionnement

a) Architecture conventionnelle du MOSFET

Un transistor MOSFET est une structure généralement planaire réalisée sur un substrat de semiconducteur dopé ou non, recouvert d'un oxyde et de l'électrode de grille (structure MOS)

¹Absorption de photons dans un semiconducteur entraînant la génération d'une paire électron-trou.

de longueur L_G . Deux caissons dopés recouverts par des électrodes de source (V_S) et de drain (V_D) sont les réservoirs des charges et sont séparés par la grille (**figure 1**). Le passage des charges d'un caisson à l'autre se fait par le canal de conduction et dépend des tensions appliquées sur la source et le drain ($V_{DS}=V_D-V_S$) mais aussi sur la grille (V_G). En effet cette dernière permet, en y appliquant une tension, de moduler la quantité de charges passant dans le canal. Nous parlons de n MOSFET et de p MOSFET lorsque les porteurs du canal sont respectivement des électrons n ou des trous p . Par la suite, nous décrirons uniquement le n MOSFET car ces deux transistors ont un fonctionnement « symétrique » en termes de tensions.

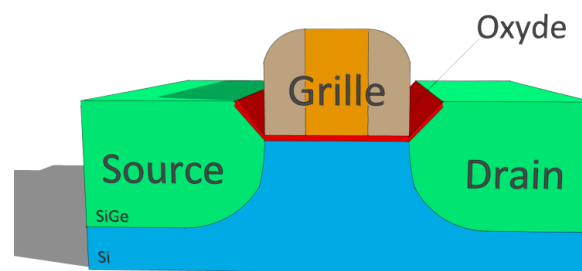


figure 1 – Schéma 3D d'un transistor MOSFET à base de silicium contraint.

b) Régimes de fonctionnement du MOSFET

Les transistors MOSFETs utilisés dans la technologie CMOS fonctionnent en enrichissement. Idéalement aucun courant ne circule à $V_{GS} = 0$ V, nous parlons alors de transistors « Normaly-OFF ». La source et le drain sont dopés différemment du canal. Dans le cas idéal où aucune charge identique à celles de la source et le drain ne compose le canal à $V_{GS} = 0$ V et $V_{DS} > 0$ V, il y aura une barrière de potentiel (jonction pn) entre la source et le canal ainsi qu'entre le canal et le drain empêchant les porteurs d'aller de la source vers le drain. Le transistor est alors à l'état bloquant et seul un courant de fuite est présent. Pour des zones de source et de drain dopées n et de canal dopé p (N_A), l'application d'une tension positive sur la grille entraîne la désertion des charges proches de la surface. Lorsque cette valeur dépasse une valeur de seuil V_{TH} , il y a formation d'une couche d'inversion de type n agissant comme un canal de conduction et le transistor est à l'état passant. Nous parlons alors de MOSFET canal n ou n MOSFET. La densité de porteurs majoritaires diminue et la profondeur de la zone d'inversion augmente. Nous distinguons trois régimes de fonctionnement (ici, pour V_{DS} positif) :

- Régime d'accumulation : pour des tensions négatives sur la grille, aucune charge ne traverse le canal. En effet, l'accumulation de charges p majoritaires entraîne une large barrière de potentiel à la jonction source-canal. Le diagramme de bandes

d'énergie montre que le niveau de Fermi se rapproche de la bande de valence (**figure 2.a et d**).

- Régime de désertion et de faible inversion : pour des tensions sur la grille comprises entre 0 V et V_{TH} , nous avons d'abord une désertion des porteurs majoritaires. Cette désertion permet d'abaisser la barrière de potentiel ϕ_B à la jonction source-canal. Nous avons alors création d'une zone de charge d'espace et le niveau de Fermi se rapproche de la bande de conduction (**figure 2.b et e**). En augmentant un peu plus V_{GS} , le nombre de porteurs n sous l'oxyde de grille augmente et devient supérieur à la densité de porteurs intrinsèques (n_i), nous avons alors un régime de faible inversion. Lorsque n devient supérieur à N_A , le régime de forte inversion est atteint.
- Régime de forte inversion : pour des tensions de grille supérieures à la tension de seuil V_{TH} , une zone d'inversion composée de porteurs n minoritaires permet le passage de porteurs de la source vers le drain. Dans ce cas, le niveau de Fermi est très proche de la bande de conduction (**figure 2.c et f**).

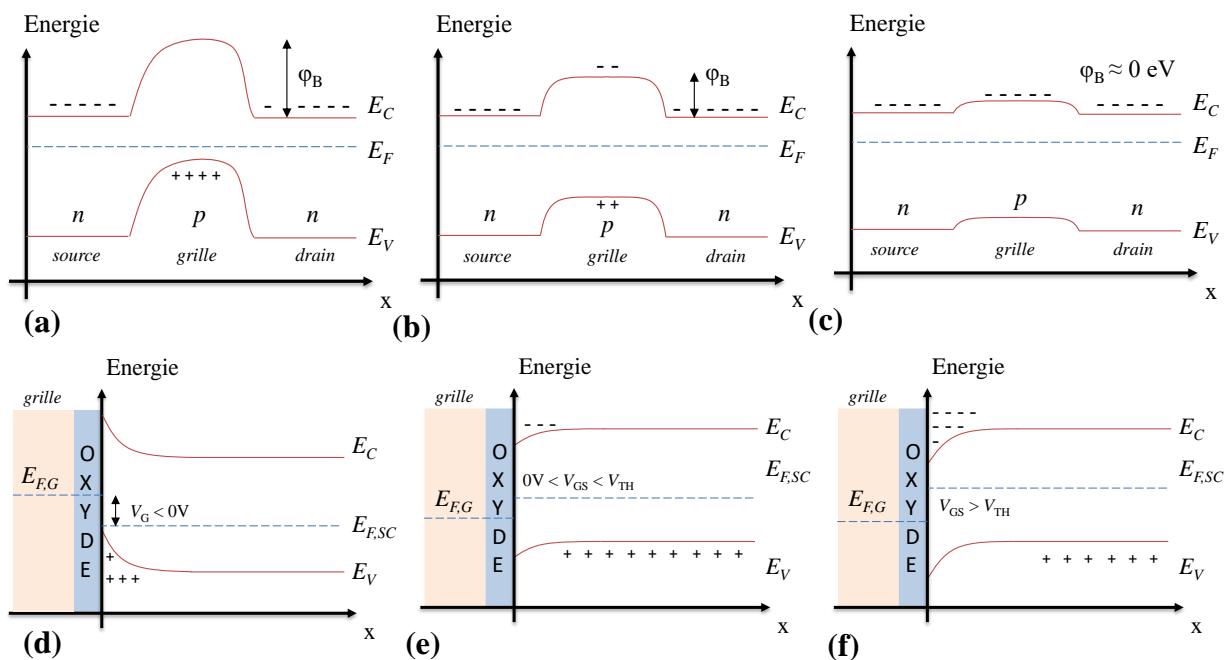


figure 2 – Diagramme de bandes d'énergies dans les régimes d'accumulation (a)-(d), de désertion (b)-(e) et de forte inversion (c)-(f) pour différentes polarisation V_{GS} . En haut coupe le long du canal et en bas coupe transverse au canal (structure MOS).

c) Généralités sur la structure métal-oxyde-semiconducteur

Dans le cas des transistors à effet de champ, la commande des charges dans le canal de conduction se fait par l'application d'une tension sur la grille et donc d'un champ électrique à

travers l'oxyde de grille. Nous parlons ainsi de structure métal-oxyde-semiconducteur (MOS) pour définir la zone de commande des charges du canal.

Nous définissons Φ_M et Φ_S^2 les travaux de sortie respectivement du métal et du semiconducteur et Φ_{MS} la différence des travaux de sortie. Le transistor sera considéré « normally-ON » lorsque la valeur de $\Phi_{MS} < 0$ ou « normally-OFF » lorsque $\Phi_{MS} > 0$. Considérons un semiconducteur de type p (cas du n MOSFET) idéal sans charges à l'interface, si $\Phi_{MS} > 0$ alors l'alignement des niveaux de Fermi en l'absence de polarisation sur la grille entraîne une zone d'accumulation de trous en surface du semiconducteur (**figure 3.a**). Si $\Phi_{MS} = 0$, le semiconducteur est en régime de bandes plates et la quantité de charges en surface correspond à la quantité de charges en volume (**figure 3.b**), le semiconducteur est neutre. Tandis que lorsque $\Phi_{MS} < 0$, alors il y aura une zone de déplétion composée d'ions accepteurs en surface du semiconducteur qui devient une zone d'inversion si $\Phi_{MS} \ll 0$ par accumulation d'électrons (**figure 3.c**).

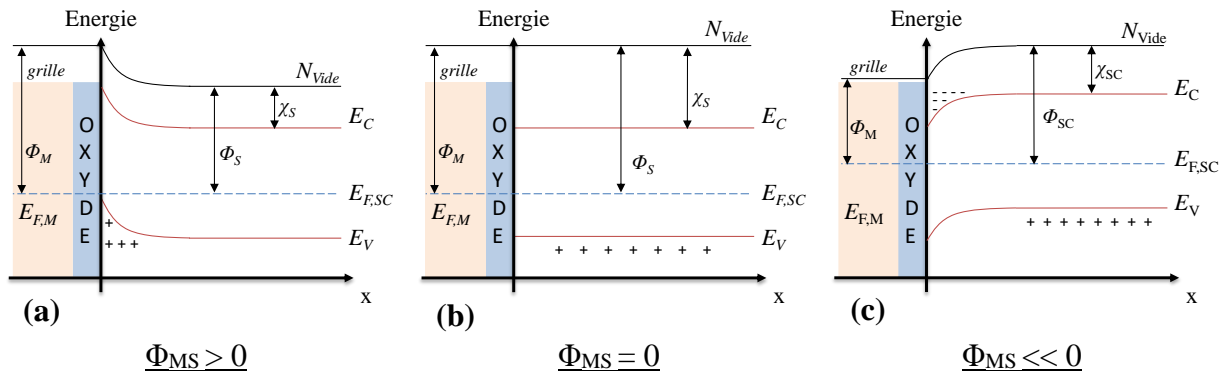


figure 3 – Diagramme de bandes d'énergie dans les régimes d'accumulation (a), de bande plate (b) et d'inversion (c) pour différentes valeurs de Φ_{MS} de la structure MOS dopé p .

Cependant en réalité, il existe des charges à l'interface Q_{it} ainsi que des charges fixes dans l'oxyde Q_F qui apportent un potentiel supplémentaire en surface. Ainsi pour être en régime de bande plate, il faut appliquer une tension $V_{FB} = \Phi_{MS} - (Q_{it} + Q_F)/C_{OX}$ avec $C_{OX} = \epsilon_{OX}/t_{OX}$ la capacité de l'oxyde. Les régimes de fonctionnement en fonction de V_{GS} ne sont quant à eux pas modifiés, cependant il faut tenir compte de l'ensemble des charges (chapitre 3).

La tension de seuil V_{TH} est la tension à partir de laquelle la structure MOS passe d'un régime de désertion à forte inversion. La condition est réalisée lorsque le potentiel de surface $\phi_s = 2 \cdot \Phi_b$ où Φ_b correspond à la différence d'énergie entre le niveau de Fermi en volume et le niveau intrinsèque. La tension de seuil se définit alors par l'équation (1).

² $\Phi_{S,InGaAs} = X_{S,InGaAs} + E_g/2 + (K_B \cdot T/q) \cdot \ln(N_A/n_i)$ où X est l'affinité, N_V et N_A les densités d'état de la bande de valence et de dopage p . Pour $N_A = 1 \times 10^{16} \text{ cm}^{-3}$, $\Phi_{S,InGaAs} = 5,12 \text{ eV}$.

$$V_{TH} = \Phi_{MS} - Q_{SC}/C_{OX} + \varphi_S \quad (1)$$

En régime d'inversion, la charge dans le semiconducteur Q_{SC} est la charge d'inversion dans le canal de conduction. À l'état passant, les tensions doivent satisfaire les conditions $V_{GS} > V_{TH}$ et $V_{GS} = V_{DS}$. De plus pour diminuer la consommation énergétique des transistors, il faut réduire la tension V_{DS} et donc a fortiori V_{TH} . La tension V_{TH} peut s'exprimer en fonction du potentiel de surface φ_S et de la tension de bande plate V_{FB} (2).

$$V_{TH} = V_{FB} + \varphi_S + \frac{\sqrt{2 q N_A \epsilon_{SC} \varphi_S}}{C_{OX}} \quad (2)$$

3) Fonctionnement et paramètres électriques du MOSFET

Dans cette partie, nous présentons le principe de fonctionnement ainsi que plusieurs paramètres électriques tels que la transconductance, les courants à l'état passant et bloquant ainsi que les différentes caractéristiques courant-tension des MOSFETs conventionnels.

La transconductance g_m (3) est le rapport entre le courant de sortie au drain I_D par rapport à la tension d'entrée sur la grille V_{GS} à une tension V_{DS} donnée. Cette grandeur caractérise la capacité du contrôle électrostatique par la grille du passage du courant.

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{V_{DS}} \quad (3)$$

Ainsi nous pouvons définir les courants I_{OFF} et I_{ON} qui sont respectivement les courants à l'état bloquant et passant. Le courant I_{OFF} correspond au courant de fuite lorsqu'aucun potentiel n'est appliqué sur la grille, i.e., à $V_{GS} = 0$ V et à $V_{DS} = V_{DD}$, où V_{DD} est la tension d'alimentation. Cette valeur est donc importante pour les applications à basse consommation (voir partie III). Le courant à l'état passant I_{ON} est le courant défini à $V_{GS} = V_{DS} = V_{DD}$.

Les **figure 4.a** et **figure 4.b** représentent les caractéristiques générales obtenues sur les transistors MOS à effet de champ. La première est la caractéristique de sortie (**figure 4.a**) correspondant à la courbe $I_D = f(V_{DS})$ pour différentes valeurs de tension V_{GS} . Cette première caractéristique nous permet de déduire les différents régimes de fonctionnement (linéaire et de saturation). En régime linéaire i.e. à faible tension V_{DS} , le transistor a un comportement résistif tandis qu'en régime de saturation au-delà d'une valeur $V_{DS,sat}$ le courant n'évolue plus avec V_{DS} soit à cause de la saturation de la vitesse des porteurs de charge soit à cause du pincement du canal du côté drain.

La deuxième est la courbe de transfert (**figure 4.b**) représentant l'évolution du courant de sortie en fonction de V_{GS} à une tension V_{DS} donnée. Cette dernière permet de montrer le contrôle du courant en appliquant un potentiel sur l'électrode de grille.

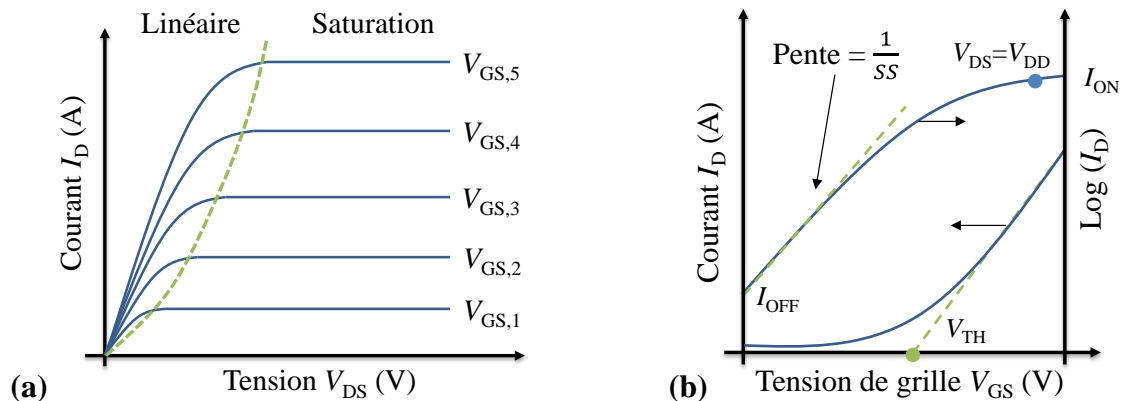


figure 4 – Courbe de fonctionnement des transistors MOSFETs conventionnels pour différentes valeurs de V_{GS} (a) et courbe de transfert montrant le passage de l'état bloquant (OFF) à l'état passant (ON) (b).

Dans cette partie, nous avons décrit le principe de fonctionnement du transistor MOS à effet de champ classique ainsi que quelques paramètres décrivant ses performances. Nous savons que la loi de Moore, inventée par *G. E. Moore* en 1965, indique que la quantité de transistors sur une puce de microprocesseur doit doubler tous les 18 mois. Bien que cette dernière arrive bientôt à sa limite, l'industrie annonce la commercialisation de transistors pour le nœud de 10 nm. Cependant la technologie utilisée n'est plus celle du simple MOSFET classique. Dans une deuxième partie, nous allons donc aborder les différentes évolutions du MOSFET au fur et à mesure des années.

II - Évolution de l'architecture du MOSFET classique : More Moore

Afin de poursuivre la loi de Moore, l'échelle des transistors MOSFETs conventionnels s'est considérablement réduite avec des longueurs de grille de l'ordre d'une dizaine de nanomètres. Cette réduction a eu un impact négatif sur différents paramètres entraînant une augmentation de la consommation énergétique. On peut citer notamment les effets de canal court.

1) Les effets de canal court

Les effets de canaux courts apparaissent lorsque la commande électrostatique se réduit au détriment d'un plus fort couplage entre le canal et le drain. Ainsi les effets de canal court entraînent la dégradation du contrôle électrostatique de la grille, la diminution de la mobilité en surface, l'augmentation des effets de porteurs chauds, une variation de la tension V_{TH} ainsi

que l'effet DIBL (Drain Induced Barrier Lowering). D'autres effets apparaissent en diminuant l'échelle du MOSFET tels que l'augmentation du courant de fuite I_{OFF} ou du courant de fuite vers le substrat (**figure 5.a**).

Le premier effet nommé DIBL (**figure 5.b**) est défini par une réduction de la barrière de potentiel ϕ_B entre la source et le canal en réduisant la longueur de grille. Ainsi en augmentant la tension appliquée sur l'électrode de drain V_D , les porteurs de charges peuvent traverser la barrière de potentiel par effet thermoïonique et donc augmenter le courant I_D même si $V_{GS} < V_{TH}$. Cela se traduit par une diminution de la tension de seuil V_{TH} . Un deuxième effet est l'augmentation de la pente sous le seuil à faible longueur de grille car le contrôle de la grille est diminué à cause de l'interaction des charges du canal avec le drain. Il est nécessaire de diminuer l'épaisseur d'oxyde afin de conserver un bon contrôle électrostatique du canal.

Plusieurs stratégies ont été mises en place afin de réduire les différents effets d'augmentation de courant de fuite, de contrôle électrostatique et de variation de V_{TH} . Trois modifications majeures ont été apportées durant ces années telles que la modification de l'empilement métal-oxyde-semiconducteur sur silicium afin de diminuer le courant de fuite par l'oxyde, l'utilisation de structures alternatives de 2D à 3D pour l'amélioration du contrôle électrostatique puis le remplacement du silicium par les matériaux III-V pour la diminution de la tension de fonctionnement.

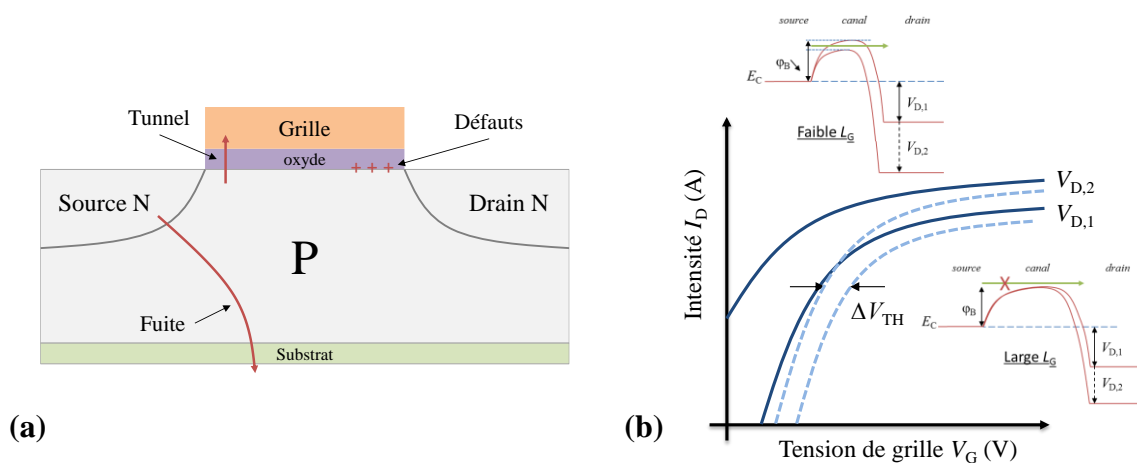


figure 5 – Schéma simplifié de quelques effets négatifs dus à la réduction d'échelle des MOSFETs menant à une augmentation de la consommation (a) et schéma explicatif de l'effet DIBL et son effet sur une courbe de transfert (b).

2) Modification de l'empilement métal-oxyde-silicium

Au début le MOSFET était réalisé à base de silicium massif, l'oxyde de grille était constitué de son oxyde natif (dioxyde de silicium - SiO_2) et la grille en silicium polycristallin (poly-Si) fortement dopé. Cependant, il apparaît une zone de déplétion entre le silicium polycristallin et l'oxyde de grille de l'ordre de plusieurs angströms augmentant la distance grille-canal et diminuant ainsi le contrôle des charges dans le canal.

a) SiO₂ et matériaux high-*k*

Dans la règle de réduction d'échelle, la diminution de la longueur de grille doit s'accompagner d'une réduction de l'épaisseur d'oxyde T_{OX} , d'un même facteur. Toutefois cette stratégie n'est pas sans inconvénients, une trop faible épaisseur d'oxyde produit un courant de fuite dans la grille important. Une solution est de remplacer le matériau SiO₂ par un oxyde de plus forte permittivité, un high-*k*, ce qui permet d'augmenter la capacité de l'oxyde C_{OX} tout en conservant une épaisseur d'oxyde importante. Nous définissons alors l'épaisseur équivalente d'oxyde (EOT) de SiO₂ traduisant l'équivalence électrique entre le SiO₂ et l'oxyde à forte constante diélectrique, i.e., $C_{SiO_2} = C_{high-k}$ (4) pour une épaisseur d'oxyde donnée T_{OX} .

$$EOT = \frac{\epsilon_{SiO_2} \cdot T_{OX}}{\epsilon_{high-k}} \quad (4)$$

Dans les années 1980, plusieurs études ont été menées pour remplacer le SiO₂ par des oxydes de lanthanides tels que le CeO₂ ou le Y₂O₃ en accord de maille avec le silicium. Cependant ces derniers avaient des problèmes de fiabilité et beaucoup de courant de fuite dus à leur cristallisation. L'ajout d'azote dans le SiO₂ a ensuite permis d'augmenter sa constante diélectrique, cependant elle restait trop faible pour être compatible avec la réduction de l'EOT attendue par la loi de réduction d'échelle. C'est pourquoi dans les années 1990, les recherches ont convergé vers les oxydes à haute constante diélectrique (high-*k*) tels que l'Al₂O₃, le HfO₂ ou le ZrO₂. Les oxydes d'hafnium HfO, HfO₂ ou HfSiO ont émergé pour être des candidats potentiels pour les générations post-45 nm [2], [3]. En effet leurs constantes diélectriques sont élevées et leurs températures de cristallisation sont supérieures à celles du ZrO₂. De plus des études ont montré que l'ajout d'azote dans les oxydes d'Hf (ex : HfSiON), tout comme dans le SiO₂, permet d'augmenter leurs températures de cristallisation et d'améliorer leurs caractéristiques électriques. D'autres études ont été menées en incorporant de l'aluminium permettant ainsi d'augmenter la température de cristallisation de l'oxyde. Cependant l'accumulation d'Al à l'interface dégradait la mobilité dans le canal.

b) Métal de grille et travail de sortie effectif

Par ailleurs, à cause du défaut de stabilité thermique de la grille en poly-Si sur les high-*k* ainsi que de l'ancrage du niveau de Fermi à l'interface poly-Si/ high-*k*, différents métaux de grille ont été utilisés comme l'aluminium Al ($\Phi_M = 4,28$ eV) ou le platine Pt ($\Phi_M = 5,65$ eV). C'est ainsi qu'apparut le terme de travail de sortie effectif (EWF) traduisant la modification du travail de sortie par des dipôles créés à l'interface métal/oxyde en comparaison à l'interface poly-Si/SiO₂. Mais leurs valeurs de travaux de sortie effectifs, éloignées des

énergies des bandes de conduction $E_{C,si}$ et de valence $E_{V,si}$ du silicium, limitaient la réduction de la tension de seuil des MOSFET. En effet pour diminuer la tension de seuil, le travail de sortie effectif du métal de grille choisi doit être proche de $E_{C,si} \approx 4,05$ eV pour un n MOSFET et de $E_{V,si} \approx 5,17$ eV pour un p MOSFET.

Le nitrure de titane TiN [4] est un des métaux possédant un travail de sortie effectif (sur HfO_2) proche de $E_{V,si}$. L'incorporation d'Al [5] dans le TiN permet de moduler son EWF pour être proche de $E_{C,si}$. Ainsi le TiN(Al) peut être utilisé pour les p MOSFET ou n MOSFET. Par la suite sont apparus les siliciures tels que le $NiSi_3$ ou $NiSi$, cependant la modulation de l'EWF restait limitée. De plus, les matériaux tels que $HfSi$ ou le $PtSi$ étaient des candidats potentiels pour les n MOSFET et p MOSFET pour des applications à faible consommation.

Bien que différents métaux de grille aient permis une bonne modulation de l'EWF, dans certains cas la mobilité du canal se trouvait dégradée. En effet, l'interface entre l'oxyde et le silicium se modifiait engendrant des défauts d'interface à cause de la diffusion d'espèces. Par exemple, le titane tend à attirer l'oxygène de la surface [6] laissant des liaisons pendantes en surface du silicium. À ce jour, le TiN(Al ou W) est un métal très utilisé pour les technologies MOSFETs comme par exemple l'architecture Exynos 5430 de Samsung à base de MOSFETs 20 nm réalisés en 2014 ou alors cette étude sur un transistor à grille enrobante [7] de 2006.

La **figure 6.a** représente deux transistors 3D (FinFET) 14 nm de l'architecture Exynos 7420 de Samsung (intégrés dans le Galaxy S6) réalisé en 2015. Ce métal de grille est aussi utilisé pour l'architecture Broadwell Y à base de transistors 3D (FinFET) 14nm de la compagnie Intel [8] (**figure 6.b**) intégré dans les processeurs Intel Core M à faible consommation (2014) ou par la compagnie IBM [9], [10].

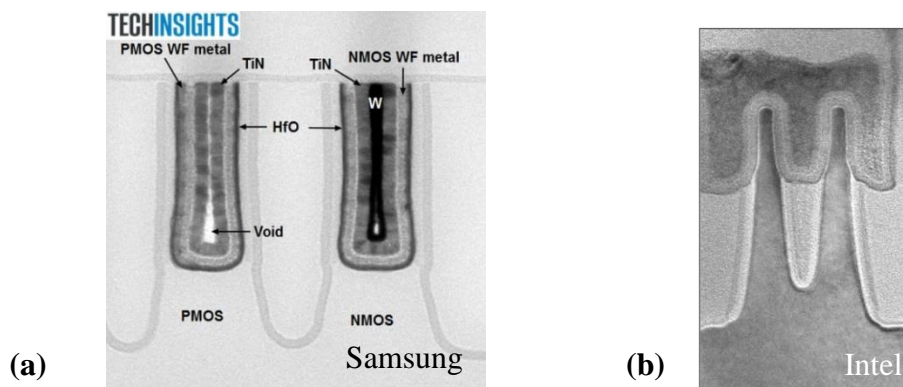


figure 6 – Transistors 3D FinFETs 14nm de l'architecture Exynos 7420 de Samsung (a) ainsi qu'un transistor 3D FinFET 14 nm de l'architecture Broadwell Y de Intel (b). Source TechInsights et Intel.

3) Les architectures alternatives 2D et 3D

La deuxième évolution majeure du MOSFET est son architecture, qui est passée d'une structure planaire 2D vers une structure 3D (**figure 7**). Compte tenu de la réduction d'échelle

des MOSFET, les courants de fuite n'étaient plus négligeables. C'est ainsi qu'en 2011, à partir du nœud 22 nm, Intel lança des transistors 3D tri-gate (Ivy Bridge) [11]. D'autres solutions sont apparues comme les transistors 2D Ultra Thin Body (UTB), 3D comme les transistors à ailettes (FinFET) ou les MOSFETs à grille enrobante (GAA). Ces technologies permettent de limiter le courant de fuite vers le substrat et de réduire ces effets de canal court [12] lorsque l'épaisseur active est du même ordre de grandeur que la longueur de grille [13].

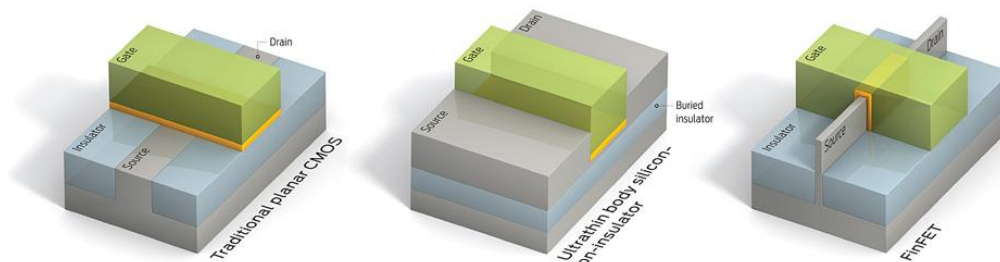


figure 7 – Représentation simplifiée de l'évolution de l'architecture du MOSFET.

a) Le transistor « Ultra Thin Body »

Le transistor Ultra Thin Body est une 1^{ère} solution prévue pour continuer la loi de Moore. L'intérêt est de réduire les capacités parasites (capacité de déplétion) limitant la pente sous le seuil mais aussi de diminuer les courants de fuite par le substrat. La fabrication des transistors UTB est similaire à celle des MOSFET classique, cependant le canal est limité à une très fine épaisseur. En général, le substrat utilisé dans l'industrie de la filière silicium est un substrat de silicium sur isolant (SOI). On parle ainsi de PDSOI (Partially Depleted) ou de FDSOI (Fully Depleted) suivant l'épaisseur du silicium enterré (ST Microelectronics). Quand la zone de déplétion, en appliquant un potentiel sur la grille, n'atteint pas l'oxyde enterré nous parlons de PDSOI et il y a une légère amélioration par une faible réduction des effets de canaux courts. Lorsque la zone de déplétion atteint cet oxyde, nous parlons de FDSOI et dans ce cas la réduction des effets de canaux courts améliore largement les performances.

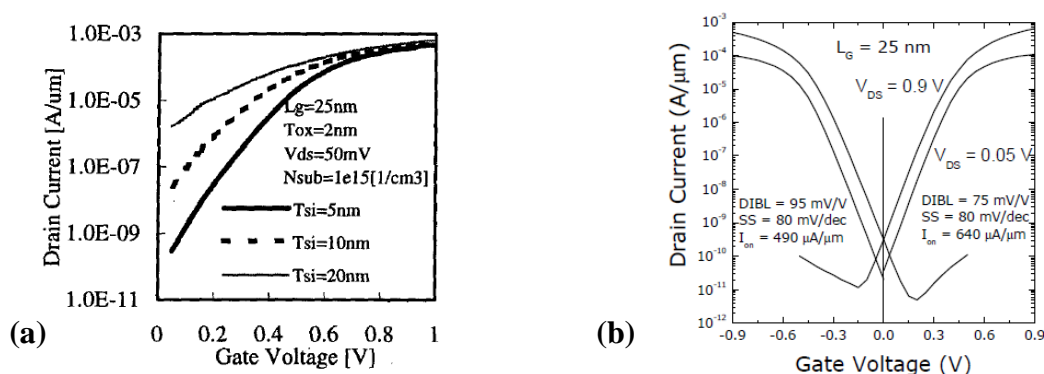


figure 8 – Caractéristiques de transfert d'un transistor UTB selon l'épaisseur du silicium t_{si} réalisé par Y.K. Choi *et al.* [14] (a) et d'une cellule CMOS UTB [15] (b).

Des travaux ont été reportés par *Y-K. Choi et al.* en 2004 [14] montrant la réalisation de transistors UTB d'épaisseur de silicium $T_{Si} = 5$ nm avec $L_G = 25$ nm à $V_{DS} = 50$ mV et présentant une pente sous le seuil $SS = 70$ mV/décade (**figure 8.a**). Une autre étude menée par *K. Cheng et al.* a montré la réalisation d'une cellule CMOS UTB (**figure 8.b**) [15].

b) Le transistor « FinFET »

La 2nd solution envisagée pour continuer la loi de Moore est l'utilisation de structures 3D en ailettes (FinFET). Cette dernière permet par le confinement du canal d'améliorer largement le contrôle électrostatique par la grille et une réduction des effets de canaux courts [13].

Les transistors FinFET ont été inventés à l'université de Berkeley par l'équipe de *C. Hu et al.* à la fin des années 1990 [16]. Ce type de transistor est basé sur une architecture « multi-grilles » 3D permettant l'amélioration du contrôle électrostatique lors de la réduction d'échelle. Les premières longueurs de grille étaient de l'ordre de 50 nm [17] en 1999 et ont commencé à diminuer rapidement en dessous de 20 nm [18],[19] tandis que l'ITRS prévoit son nœud technologique le plus petit à 1,8 nm en 2025. En 2015, Samsung commence à utiliser les FinFET 14 nm (**figure 9.a**) conjointement avec IBM et GlobalFoundries alors qu'Intel les avait intégrés en production quelques mois plus tôt [20]. Cette même année, TSMC a commencé à fabriquer des FinFET 16 nm (**figure 9.b**) et AMD depuis peu pour la réalisation de processeurs de cartes graphiques. Ce dispositif 3D très proche des MOSFETs classiques possède l'avantage d'être facilement intégrable dans l'industrie de fabrication des composants nanoélectroniques à base de silicium. Mais surtout, leur capacité d'intégration est largement supérieure et permet d'économiser la surface de silicium grâce à sa structure 3D.

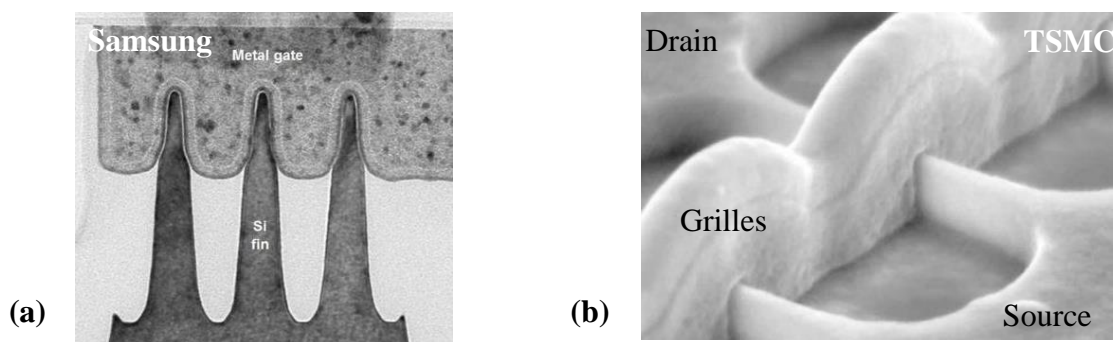


figure 9 – Image d'un FinFET 14nm de Samsung (Exynos 7420) (a) et d'un FinFET fabriqué par TSMC (b). Nous remarquons que la grille recouvre plusieurs ailettes (multi-grilles).

Le transistor FinFET est un transistor 3D où la grille est auto-alignée, cependant il existe plusieurs configurations possibles de formes de grilles. Nous pouvons citer par exemple la grille- Ω [21], multi-grilles [11], [22]–[24]. À ce jour, des valeurs de pente sous le seuil de l'ordre de 65 mV/décade ont été obtenues par *S. Natarajan et al.* pour un FinFET de longueur de grille 14nm [8].

c) Le transistor « Gate All-Around »

La dernière solution est le transistor à grille enrobante nommée Gate All-Around (GAA). Il s'agit d'une structure 3D reposant sur un nanofil de silicium entouré d'un empilement oxyde/métal de grille. Cette structure permet le confinement du champ électrostatique dans le canal et élimine la perte de courant par le substrat. Il y a deux façons de réaliser des nanofils, soit latéralement en gravant le matériau sous le canal (top-down) soit verticalement par la méthode bottom-up.

Un transistor GAA à base de silicium ($\phi = 5$ nm) présentant une faible valeur de SS de l'ordre de 66 mV/décade a été fabriqué par *N. Singh et al.* en 2006 [25]. Récemment des travaux ont montré la réalisation d'empilement vertical de nanofils de silicium horizontaux [26] (**figure 10**) présentant des pentes sous le seuil de l'ordre de 70/85 mV/décade. Cela montre la potentialité de réaliser des cellules CMOS à base de plusieurs nanofils horizontaux.

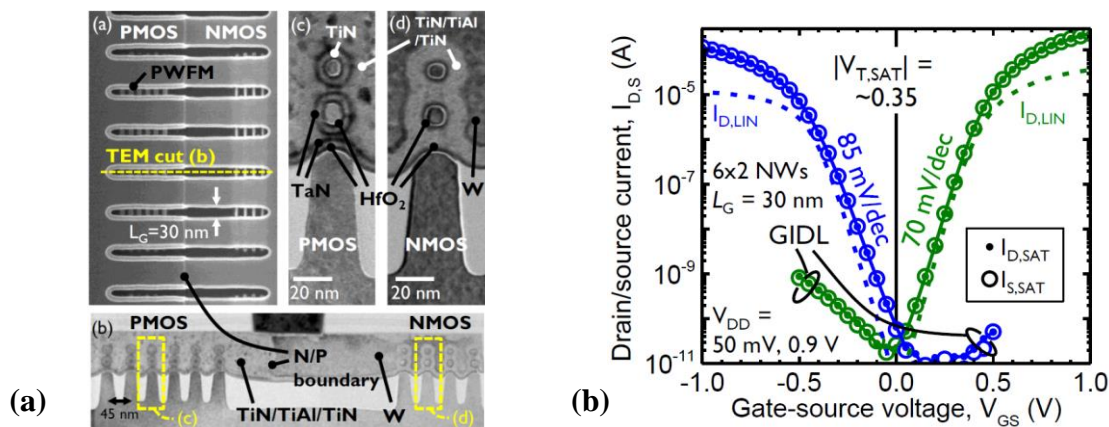


figure 10 – Image d'empilements verticaux de nanofils de silicium horizontaux réalisés par l'IMEC (a) ainsi que les courbes de transfert pour les transistors de type n et p (b) [26].

4) Vers des transistors MOSFET III-V

Le silicium est le deuxième composé le plus abondant sur terre après l'oxygène cependant il n'existe que sous forme de composé comme le dioxyde de silicium SiO_2 . Le silicium cristallin a été obtenu pour la première fois en 1854 par Henri Sainte-Claire Deville. Sous sa forme amorphe le SiO_2 était longtemps utilisé dans la fabrication du verre. Mais depuis la moitié du 20^{ème} siècle après l'apparition du transistor, il est utilisé aussi dans l'électronique pour ses caractéristiques de semiconducteur sous sa forme cristalline. Ci-dessous quelques grandeurs électriques à température ambiante du silicium cristallin **tableau 1**.

E_g (eV)	m_{te}^* (kg)	m_h^* (kg)	μ_e (cm ² /(V.s))	μ_h (cm ² /(V.s))	ϵ_r
1,12	0,2	0,49	1400	450	11,7

tableau 1 – Différentes grandeurs caractéristiques du silicium à température ambiante.

a) Canal à base de silicium contraint (Si sur SiGe)

Après de nombreuses recherches sur la croissance de SiGe, une équipe de l'Université de Stanford a montré un accroissement de la mobilité électronique d'une couche de silicium sur une couche de SiGe [27]. Dans ce cas, le silicium subit une contrainte en extension à cause du désaccord de maille entre les deux matériaux. Cette contrainte déforme alors la maille cristalline ayant pour effet de changer la symétrie de cette dernière et de lever la dégénérescence du minimum de la bande de conduction du silicium [28]. Ainsi la masse effective des électrons va diminuer ce qui aura pour conséquence l'augmentation de la mobilité électronique dans le *n*MOSFET. Ce procédé est apparu industriellement au nœud 90 nm en 2003 en ajoutant des caissons de SiGe sous la source et le drain afin d'ajouter une contrainte de compression pour la fabrication d'un *p*MOSFET (**figure 11**).

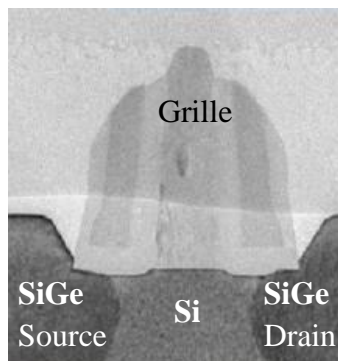


figure 11 – Image de microscopie électronique à balayage (MEB) d'un MOSFET de longueur de grille 90nm par Intel en 2003.

b) Canal à base de matériaux III-V

La masse effective des électrons des matériaux III-V, comparée au silicium, est plus faible ce qui permet une mobilité plus grande. De plus avec la réduction d'échelle, la réduction de la tension de fonctionnement est de plus en plus difficile. L'utilisation des matériaux III-V pouvant délivrer plus de courant à faible tension de fonctionnement devient évidente. C'est alors que, il y a 30 ans, le premier MOSFET à base d'InGaAs a été fabriqué [29].

Aujourd'hui, les matériaux III-V sont utilisés pour les MOSFETs UTB. Dans ce cas, le canal est défini à l'aide d'une hétérostructure faisant apparaître un puits quantique par l'empilement d'un matériau petit-gap entre deux matériaux grand-gap. En 2014, *S. Lee et al.* ont présenté un transistor UTB à base de matériaux III-V utilisant des contacts de source et de drain par recroissance sélective localisée. Un canal de 6 nm d'InAs entre 2 nm et 5 nm respectivement d'InGaAs et d'InAlAs permet de réduire les courants de fuite vers le substrat. Ainsi cette hétérostructure leur a permis d'obtenir une pente sous le seuil minimale de 73 mV/décade pour $L_G = 40$ nm et $V_{DS} = 0,1$ V (**figure 12.a**) [30]. Dans notre groupe, deux doctorants travaillent sur les MOSFETs UTB à base de matériaux III-V. L'hétérostructure fabriquée par épitaxie par jet moléculaire est composée de la façon suivante : une couche

d'InP non dopée servant d'interface oxyde/III-V, d'InAs non dopée servant de canal et d'InGaAs non dopée. Cette structure est déposée sur un « buffer » d'InAlAs sur un substrat d'InP (100). L'InAlAs est un matériau à plus grand gap et joue le rôle de couche isolante, permettant ainsi de réaliser une structure de type SOI à canal fin. Cette hétérostructure permet, en confinant les électrons dans le canal, de limiter les pertes vers le substrat et réduire le champ transverse. Les contacts de source et drain sont réalisés par recroissance d'InAs (Matej Pastorek) [31] (**figure 12.b**) ou par alliage de nickel (Mohamed Ridaoui) [32] (**figure 12.c**).

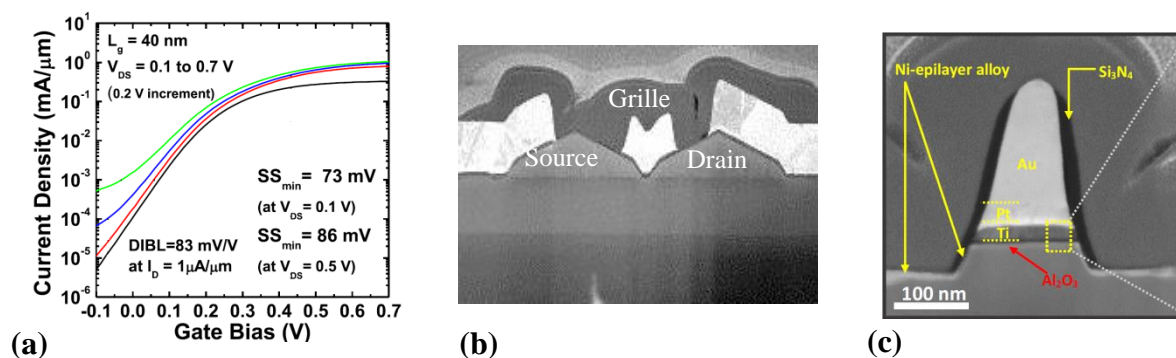


figure 12 – Caractéristique de transfert d'un transistor UTB avec un canal d'InAs de 6nm $L_G = 40$ nm par *S. Lee et al.* [30] (a) et images MEB de transistors UTB réalisés dans notre groupe par M. Pastorek (b) et M. Ridaoui (c).

D'autres transistors du type GAA à base de matériaux III-V ont été réalisés [33],[34] cependant les valeurs de pentes sous le seuil obtenues restent élevées de l'ordre de 200 mV/décade.

III - Les limitations du MOSFET classique

1) Puissance consommée et tension d'alimentation

Comme nous l'avons évoqué dans l'introduction, d'ici 2025 plus de 50 milliards d'objets seront connectés ensemble pour une consommation électrique équivalente à celle du Canada et de l'Allemagne réunies. Aujourd'hui, les objets deviennent de plus en plus connectés et autonomes, ils fonctionnent en permanence et sont donc très « énergivores ». Cette consommation liée aux appareils électroniques représente actuellement 15% de la consommation totale des ménages – chiffre qui va doubler d'ici 2022 voire tripler à l'horizon 2030 d'après l'AIE (Agence Internationale de l'Energie).

Dans le cas de la cellule CMOS, la puissance consommée est divisée en deux parties (5). La première, correspondant à la puissance dynamique, est définie à partir du carré de la tension d'alimentation V_{DD} , la capacité de l'oxyde C_{OX} et la fréquence de fonctionnement f .

Cette expression correspond à l'énergie multipliée par la fréquence de fonctionnement. La deuxième partie, correspondant à la puissance statique, est définie à partir du courant à l'état bloquant I_{OFF} et la tension d'alimentation. En effet, pour un inverseur CMOS en statique, un des deux transistors est à l'état OFF, l'alimentation débite alors I_{OFF} .

$$P_{cons} \approx f \cdot C_{OX} \cdot V_{DD}^2 + I_{OFF} \cdot V_{DD} \quad (5)$$

Actuellement, la seule méthode efficace pour réduire la puissance consommée est de diminuer la tension d'alimentation des transistors ainsi que la tension de seuil V_{TH} . Par exemple l'ITRS prévoit des valeurs de tension d'alimentation V_{DD} inférieures à 800 mV à partir de 2017 pour les composants dédiés aux applications basse consommation. À ce jour, des dispositifs à base de FinFET (14 nm) proposés par la compagnie Intel fonctionnent à $V_{DD} = 700\text{mV}$. Afin de comprendre l'enjeu de la réduction de V_{DD} , nous avons représenté l'allure de la caractéristique de transfert d'un transistor MOS (courbe de transfert - **figure 13**). Nous voyons que malgré la diminution de V_{DD} , la puissance consommée augmente en raison de l'accroissement du courant I_{OFF} .

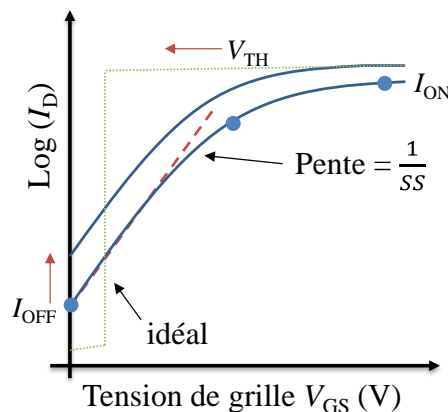


figure 13 - Allure de la caractéristique de transfert d'un MOSFET. La pente sous le seuil définit l'inverse de la pente entre les états OFF et ON.

2) Pente sous le seuil

Comme nous venons de le voir, la réduction de la tension d'alimentation tend à augmenter le courant à l'état bloquant. En effet, le principal facteur limitant des transistors MOS à effet de champ est la pente sous le seuil. La pente sous le seuil SS est définie, en régime sous le seuil (lorsque $V_{GS} < V_{TH}$), par l'inverse de la pente de la courbe $\log_{10}(I_D)=f(V_{GS})$. Cette dernière s'exprime alors par l'équation (6) pour un MOSFET.

$$SS = \frac{dV_{GS}}{d(\log_{10}(I_D))} = \ln(10) \frac{K_B T}{q} \cdot \left(1 + \frac{C_D + C_{it}}{C_{OX}}\right) \quad (6)$$

Le terme K_B est la constante de Boltzmann, T la température, q la charge élémentaire, C_D la capacité de déplétion, C_{it} la capacité liée aux défauts d'interface oxyde/semiconducteur et C_{OX} la capacité de l'oxyde. De plus, graphiquement à partir de la **figure 13**, nous pouvons relier la pente SS et le courant I_{OFF} par l'équation (7).

$$I_{OFF} \approx I_{ON} \cdot 10^{\left(-\frac{V_{DD}}{SS}\right)} \quad (7)$$

Ainsi en remplaçant l'équation (7) dans l'équation (5), la puissance consommée en fonction de la pente sous le seuil s'exprime par l'équation (8).

$$P_{cons} \approx f \cdot C_{OX} \cdot V_{DD}^2 + I_{ON} \cdot 10^{\left(-\frac{V_{DD}}{SS}\right)} \cdot V_{DD} \quad (8)$$

Nous voyons alors que pour réduire la valeur de la tension d'alimentation V_{DD} sans augmenter par la même occasion le courant à l'état OFF, il faut réduire la pente sous le seuil SS . Cependant cette dernière est limitée à 60 mV/décade à température ambiante à cause du principe physique régissant l'injection de porteur de charges dans le canal (injection thermique) des MOSFET conventionnels. Afin d'atteindre des valeurs de pentes sous le seuil inférieures à 60 mV/décade, il est nécessaire de modifier le mode de fonctionnement des transistors MOSFET, de créer des transistors innovants en changeant de matériaux et/ou d'architecture. De nombreux dispositifs à faible pente sous le seuil ont alors émergé depuis plusieurs années. Un premier exemple est le transistor à effet tunnel où la tension V_{DD} atteint des valeurs inférieures à 300 mV [35]. Ces technologies à faible pente sous le seuil semblent prometteuses dans le remplacement de la technologie à base de silicium dans les applications à basse consommation [36]. Une présentation non exhaustive des composants existant actuellement est décrite dans le paragraphe suivant.

IV - Transistors innovants à faibles pentes sous le seuil : Beyond CMOS

Comme nous venons de le voir dans la 3^{ème} partie de ce chapitre, il devient nécessaire de diminuer la pente sous le seuil à des valeurs inférieures à 60 mV/décade en utilisant d'autres mécanismes de fonctionnement. Pour cela, il est possible de [37]:

- utiliser une architecture innovante ou des matériaux alternatifs, mais bien souvent en dépit d'une intégration à grande échelle ;

- modifier le mode d'injection des porteurs de charges, de la génération thermique à l'effet tunnel [38] ;
- utiliser un mode fonctionnement du transistor basé sur des phénomènes physiques non linéaires (ionisation par impact). Cela permet d'avoir une amplification interne en termes de courant par avalanche par exemple [39].

Dans cette partie, nous verrons un état de l'art non exhaustif de différents transistors innovants permettant déjà d'atteindre des valeurs de pentes sous le seuil inférieures à 60 mV/décade [40]–[44]. Nous aborderons dans un premier temps les transistors présentant des structures ou matériaux alternatifs, comme par exemple les transistors à grille suspendue (SG-FET) ou les transistors à transition de Mott. Ensuite nous verrons de nouveaux modes d'injection des porteurs de charges non thermiques contrairement à la technologie classique, facteur limitant principal. Puis pour finir, nous verrons l'état de l'art des transistors à rétroaction et à gain interne dont le I-MOSFET qui sera détaillé et étudié dans la suite de ce rapport.

1) Transistors à architectures et matériaux alternatifs

La réduction d'échelle ne permet pas de réduire la consommation, il faut utiliser une technologie innovante comme par exemple changer l'architecture du MOSFET ou alors son type de matériaux. Le transistor à grille suspendue est l'un des premiers transistors à « architecture de rupture » qui fut développé.

a) Transistors à grille suspendue – SG-FET

Les transistors à grille suspendue ont été conçus suite à l'émergence des dispositifs micro/nano-électro-mécaniques (NEMS) depuis les années 2000 bien que le 1^{er} transistor à grille mobile date de 1966 par *W.E. Newell* [45]. L'équipe de *A.M. Ionescu et al.* fut l'une des premières à modéliser un SG-FET en 2002 permettant de démontrer une pente sous le seuil potentiellement inférieure à la limite théorique [46] dont une représentation schématique est montrée en **figure 14.a** [47]. Dans ce type de transistor, l'électrode de grille est séparée du diélectrique et, la réduction de la distance du gap ainsi créé permet de passer de l'état bloquant à passant.

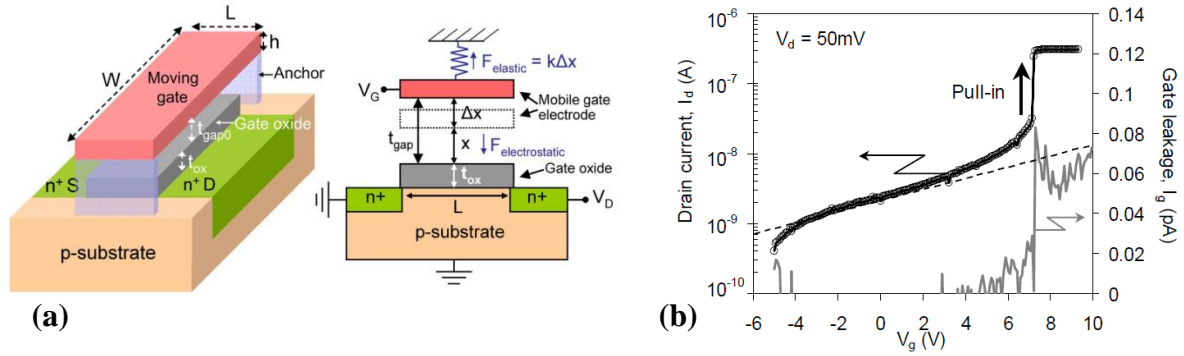


figure 14 – Représentation schématique du transistor à grille suspendue (a) et courbe I_D - V_{GS} expérimentale (b). Nous remarquons la faible pente sous le seuil de l'ordre de 2 mV/décade ainsi qu'une augmentation du courant de fuite I_G lors du passage à l'état ON à cause de la diminution de la longueur de gap entre l'oxyde et le métal de grille.

À l'état OFF, le métal de grille est maintenu à une certaine hauteur au-dessus du canal à cause de l'équilibre entre les forces électrostatique et élastique, engendrant une capacité supplémentaire C_{gap} en série avec la capacité d'oxyde C_{OX} . En appliquant un potentiel sur la grille, la force électrostatique va attirer la grille vers le canal modifiant ainsi la capacité totale de grille (9) et ainsi créer une couche d'inversion, le transistor passe alors à l'état ON. Lorsque la grille est en contact, le courant de drain va augmenter avec la tension de grille comme un MOSFET classique [48]. Pour revenir à l'état OFF, il suffit de diminuer la tension appliquée sur la grille, cependant il existe un régime métastable qui entraîne un déplacement de V_{TH} à cause du piégeage de charges en surface du diélectrique [49].

$$C_{totale} = \left(\frac{1}{C_{OX}} + \frac{1}{C_{gap}} \right)^{-1} \quad (9)$$

En 2005, l'équipe de *N. Abelé et al.* a fabriqué le 1^{er} SG-FET compatible avec la technologie CMOS de la filière silicium [50] et ont obtenu une pente sous le seuil de l'ordre de 2 mV/décade (**figure 14.b**). En 2008, une étude complète du fonctionnement des SG-FET a été faite par *K. Akarvardar et al.* montrant une large réduction du courant à l'état OFF [47] de plusieurs ordres de grandeur comparée aux transistors MOS à effet de champ classiques. En 2011, un SG-FET à base de graphène et de nanotubes de carbone a été réalisé mais la pente sous le seuil obtenue était supérieure à 60 mV/décade [51]. Plusieurs applications ont été envisagées comme par exemple les capteurs d'humidité ou alors le pHmètre dont le principe est de quantifier le déplacement de V_{TH} en fonction du taux d'humidité [52] ou du pH [53]. Cependant le défaut de ces transistors est de devoir appliquer une forte tension V_{GS} sur la grille afin de réduire la distance entre la grille et le canal. De plus, le fort caractère métastable

(décalage de V_{TH} selon le sens de balayage en tension) de ce type de transistor ne permet pas d'en faire un candidat potentiel pour des applications de faibles consommations.

b) Transistors électromécaniques – NEMFET

Les transistors à effet de champ à base de dispositifs nano-électro-mécaniques (NEMFET) ont été conçus pour diminuer la tension de grille nécessaire pour passer à l'état ON dans les SG-FET. À la différence d'utiliser le mode de déplétion comme sur les SG-FET, les transistors NEMFET utilisent le mode d'accumulation pour fonctionner. À l'état OFF, la grille est en contact avec le matériau diélectrique à cause de la différence de travail de sortie entre la grille et le semiconducteur (Φ_{MS}) ayant pour effet la création d'un potentiel se traduisant par une force électrostatique (**figure 15.a**). Le canal est complètement déserté. L'état ON est ensuite atteint lorsque la longueur de déplétion dans le semiconducteur devient quasi-nulle et le courant peut donc circuler entre la source et le drain. Cette condition est obtenue lorsque le métal de grille est éloigné de l'oxyde. L'avantage d'éloigner la grille du canal est de réduire le courant de grille I_G à l'état ON. Ainsi une augmentation de tension de la grille entraînera une diminution de la longueur de déplétion et donc une augmentation du courant (**figure 15.b**) par réduction de la force électrostatique jusqu'à V_{ON} à partir de laquelle la grille se détache du matériau diélectrique. L'équipe de *H. Kam et al.* [54] a obtenu par simulation une faible valeur de pente sous le seuil < 10 mV/décade.

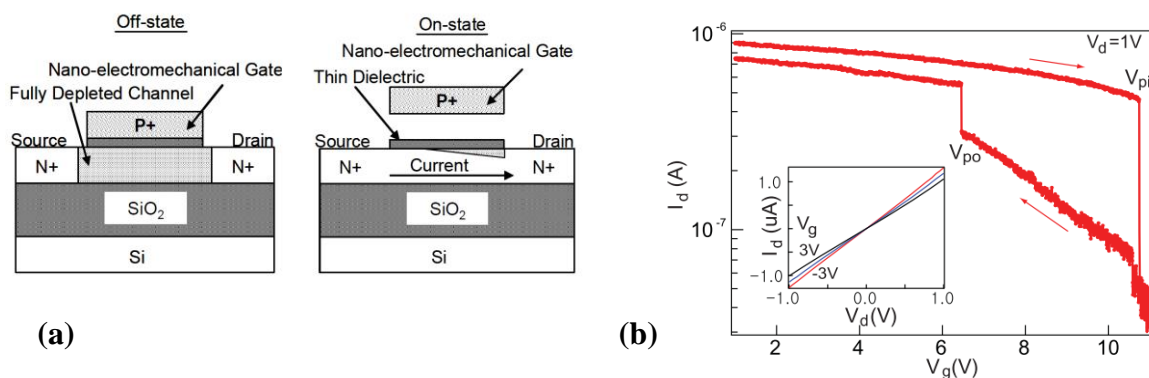


figure 15 – Représentation schématique d'un NEMFET [54] (a) et une courbe de transfert obtenue par l'équipe de *J. H. Kim et al.* [55] pour une longueur de grille $L_G = 1,6 \mu m$ (b).

D'autres dispositifs ont été réalisés par l'équipe de *J. H. Kim et al.* dans lesquels le canal est suspendu. Ces derniers ont été démontrés expérimentalement [56] et permettent d'obtenir des pentes sous le seuil d'environ 7 mV/décade. Malgré de bonnes performances, le défaut principal de ce type de transistors est d'être encapsulé sous vide pour réduire la force nécessaire pour « décoller » la grille du matériau diélectrique. Le deuxième défaut est l'hystérésis observée sur la courbe de transfert tout comme les SG-FET.

c) Transistors actifs chimiquement – ISFET

Vers les années 1970, *Piet Bergveld* introduisait de nouveaux transistors actifs chimiquement [57], [58]. Contrairement aux MOSFET, la grille est remplacée par une solution ou électrolyte et repose sur une couche sélective qui est généralement un oxyde de grille (**figure 16.a**). Cette dernière peut être fonctionnalisée pour la rendre spécifique et agir comme détecteur [59]. Dans cette catégorie, on y trouve notamment les Ion Sensitive Field Effect Transistor (ISFET) encore répandus à ce jour pour la détection d'ions [60], [61]. Dans ces dispositifs, la modulation du potentiel de « grille » se fait à l'aide du potentiel chimique apporté par des ions en solution. Ainsi, le pH permet de moduler la tension de seuil ainsi que le courant à l'état passant comme le montre la courbe de fonctionnement en **figure 16.b**. En effet les charges mobiles dans l'oxyde vont être créées en réaction aux ions (processus électrochimique) ayant pour effet de décaler la tension de seuil du dispositif [62].

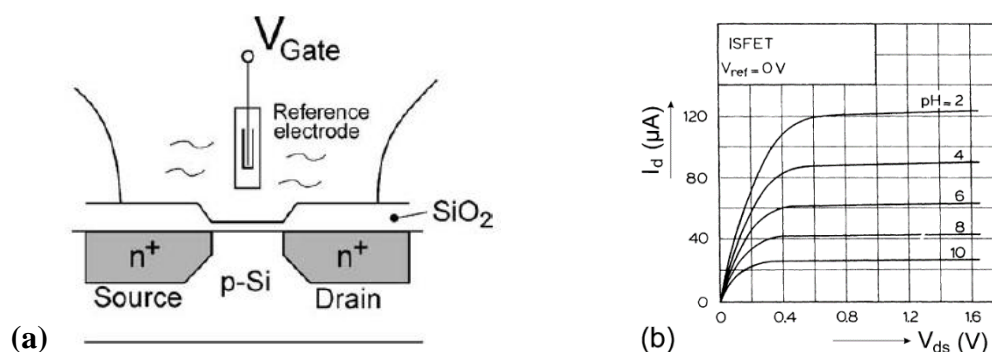


figure 16 – Représentation schématique d'un ISFET sur silicium (a) et sa courbe de fonctionnement en fonction du pH de la solution (b). La faible taille apporte une sensibilité largement supérieure par rapport aux dispositifs classiques.

L'intérêt est la forte sensibilité apportée par l'échelle mésoscopique bien meilleure que la sensibilité de Nernst de l'ordre de quelques mV/pH. Bien sûr, l'utilisation de tels dispositifs en remplacement des transistors à effet de champ actuels est impossible mais peut être une voie sur laquelle s'engager. Des travaux ont démontré des pentes sous le seuil inférieures à 60 mV/décade lors de la détection d'ions potassium et sodium [63]–[65].

d) Transistors à transition de Mott – MTFET

Ces transistors pensés par IBM depuis le milieu des années 1990 utilisent la transition de Mott découverte en 1949 [66]. Cette transition est le passage d'un état métal à un état isolant ou inversement (TIM), de matériaux à l'aide de grandeurs externes telles que la température ou le dopage. Des matériaux tels que le TTF-TCNQ qui est un métal synthétique [67], le CuO_2 [68], le VO_2 [69] ou alors le YPBCO qui est un semiconducteur organique [70] présentent une transition de Mott. Dans l'état isolant, les électrons ne peuvent se déplacer

entre les sites (« atomes ») car l'énergie cinétique liée à l'intégrale de transfert intersite t est inférieure à la barrière de potentiel liée à la répulsion Coulombienne U (blocage de Coulomb). Le passage vers l'état conducteur va se faire en ajoutant des porteurs sur les différents sites, cela va permettre la percolation des porteurs sans considérer la barrière de potentiel due à la dégénérescence des niveaux énergétiques sur les sites dopés. En effet, dans le cas du YPBCO, le Cu possède une couche $3d$ non remplie (d^9), i.e, un trou potentiellement déplaçable (**figure 17**). Sans dopage, le trou ne peut se déplacer pour former un état $d^{10}d^8$ à cause de la répulsion Coulombienne. Cependant avec un dopage, l'état d^8d^9 ainsi formé va pouvoir se transporter dans la structure du fait de la conservation d'énergie ($d^8d^9 - d^9d^8$). En utilisant un dopage élevé, il est donc possible de former un métal avec un comportement conducteur.

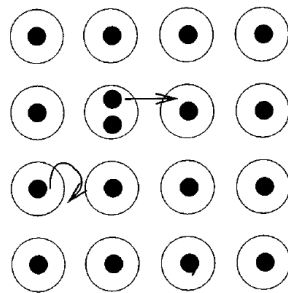


figure 17 - Illustration du transfert de porteurs dans un matériau à transition de Mott. Les atomes sont les cercles blancs (\circ), les trous sont les cercles noirs (\bullet). Sans dopage le transfert est impossible à cause de la répulsion Coulombienne. Cependant en dopant le matériau, la conservation d'énergie de l'état dégénéré va permettre le transport des trous [70].

Dans le cas du transistor MTFET, l'ajout de porteurs va se faire en appliquant un potentiel sur la grille donc par effet de champ [71]. Dans le mode « normally OFF », le matériau de Mott est isolant et aucun courant ne passe entre la source et le drain. L'application d'une tension sur la grille va apporter un dopage au matériau à transition de Mott et ainsi créer le canal de conduction d'épaisseur 0,5 – 1 nm proche de l'oxyde. Le passage à l'état métal à V_{TIM} va faire augmenter la quantité de charges du canal qui sera supérieure à celle sur le métal de grille, et de la même façon le courant va augmenter de façon abrupte (I étant proportionnel à la quantité de charge). Une équipe a proposé un MTFET à modulation de dopage à l'aide d'un empilement $NdNiO_3/n\text{-SrTiO}_3$ [72] (**figure 18.a**) et en a extrait la courbe de fonctionnement pour différentes valeurs de tensions V_{GS} (**figure 18.b**). Lorsque les deux matériaux sont en contact, les électrons vont être transférés vers le $NdNiO_3$ qui devient ainsi métallique si $V_{GS} > V_{TIM}$ donnée. Cependant, la réalisation technologique utilisant ces matériaux semble difficile à ce jour. En effet la modulation de dopage n'apporte principalement qu'une distorsion du paramètre de maille plutôt qu'un transfert dans la bande de conduction.

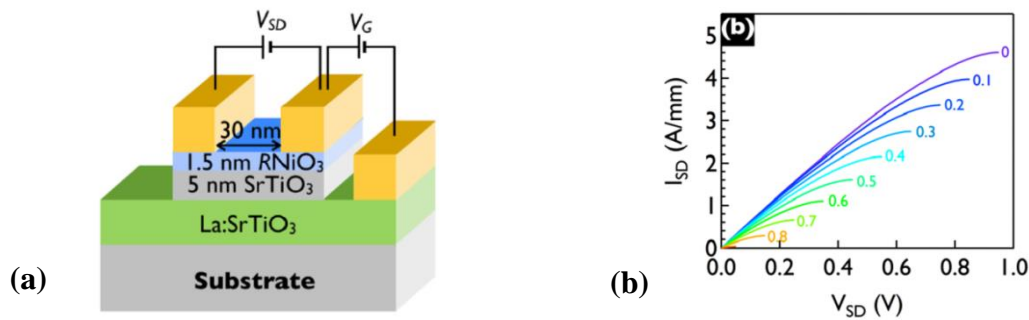


figure 18 – Représentation schématique d'un MTFET à modulation de dopage à l'aide d'un empilement NdNiO₃/ n-SrTiO₃ [72] (a) et sa courbe I_D - V_{DS} obtenue par modélisation (b).

Malgré des capacités de switch très rapide (de l'ordre de la picoseconde), le désavantage de ces matériaux est la nécessité d'avoir une densité suffisamment grande pour obtenir l'effet de Mott. Un autre problème est la réalisation de contacts ohmiques sur de tels matériaux.

e) Les transistors à capacité négative – NC-FET

Un autre exemple de transistor utilisant des matériaux alternatifs est le transistor à capacité négative nommé « NC-FET » utilisant des matériaux ferroélectriques (**figure 19.a**). Une des premières démonstrations théoriques de l'utilisation de ferroélectriques pour des transistors à faible pente sous le seuil a été effectuée par *S. Salahuddin et al.* en 2007 [73].

L'utilisation d'un matériau ferroélectrique permet d'amplifier la variation du potentiel de surface en surface du semiconducteur par rapport à la variation de V_{GS} . En effet, ce dernier présente une polarisation spontanée (dipôle) qui peut être contrôlée par un champ électrique. Il apparaît alors une hystérèse sur la courbe P-E (polarisation-champ électrique) due au caractère rémanent de la polarisation se traduisant par une capacité négative [74].

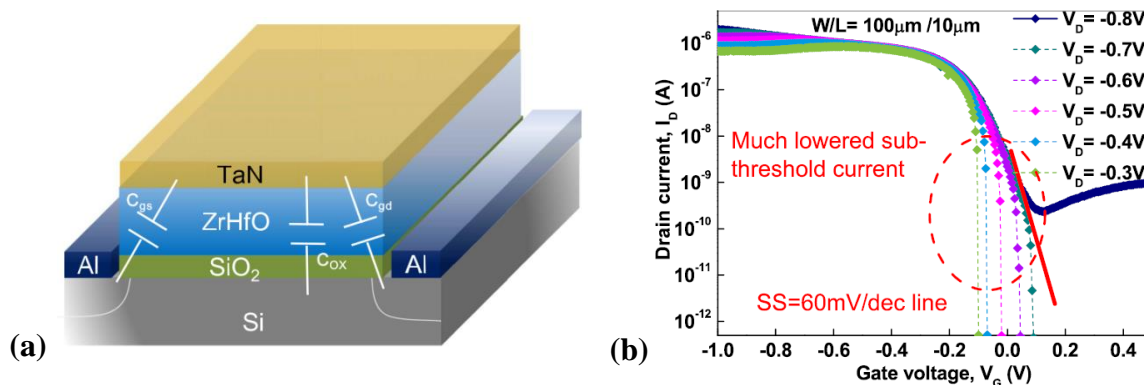


figure 19 – Schéma d'un NCFET (a) et courbe I_D - V_{GS} pour différentes tensions V_{DS} (b).

Plusieurs matériaux ferroélectriques permettent d'observer une capacité négative comme par exemple le ZrHfO [75], le BaTiO₃ [76] ou le Pb(Zr_{0,2}Ti_{0,8})O₃ [77]. Cependant il est difficile de faire croître des matériaux ferroélectriques sur silicium c'est pourquoi dans la plupart des études le matériau ferroélectrique est déposé soit sur un oxyde soit sur un métal (TiN), soit en complément d'un transistor MOSFET. Quelques travaux ont reporté la réalisation/modélisation de transistors utilisant un matériau ferroélectrique en complément d'un MOSFET [78]–[80] ou FinFET [81], [82].

À ce jour, de faibles valeurs de pente sous le seuil (< 20 mV/décade) ont été obtenues dans la filière silicium pour des transistors uniquement NC-FET utilisant soit du ZrHfO déposé sur du SiO₂ [75] (**figure 19.b**) soit du ZrHfO₂ déposé sur du TiN [83]. Cependant les points négatifs de cette technologie sont l'immaturation des recherches sur les matériaux ferroélectriques ainsi qu'une tension de commande importante et une hystérésis dans la caractéristique de transfert $I_D=f(V_{GS})$

2) Les transistors à injection non thermique des porteurs

Dans les transistors MOS conventionnels, l'injection des porteurs de charges dans le canal se fait de façon thermoïonique ce qui est le facteur limitant de la pente sous le seuil. En modifiant le mécanisme d'injection il est alors possible de s'affranchir de cette contrainte.

a) MOSFETs à barrière Schottky – SB-MOSFET modifié

À la différence d'un transistor MOSFET classique, les transistors à barrière Schottky présentent des caissons de source et de drain métalliques, généralement des alliages de silicium [84]. Les avantages de cette technologie sont la réduction de la longueur de grille en dessous de 10 nm, l'élimination des effets bipolaires, la faible température de procédé ainsi que la faible résistance de contact à la jonction métal (alliage) – silicium. La première idée d'utiliser un métal pour la source et le drain vient de l'équipe japonaise de *Y. Nishi et al.* en 1966.³ Par la suite, *M. P. Lepselter et al.* ont publié les premiers papiers concernant des MOSFETs avec des contacts à base d'un alliage de platine (PtSi) [85]. Puis le premier SB-MOS apparaît dans les années 1980 à partir des travaux de *T. Mochizuki et al.* [86].

Ce dispositif possède une électrode permettant la modulation de la barrière Schottky, ainsi ce dernier rentre en régime de faible ionisation par impact, ce qui permet d'atteindre de très faibles valeurs de SS . Mais à ce jour, aucune démonstration de transistors MOSFETs planaires à barrière Schottky à pente sous le seuil inférieure à 60 mV/décade n'a été faite. Cependant, quelques transistors FinFETs 3D ont été fabriqués [87] avec une pente sous le seuil de l'ordre de 6 mV/décade [88].

³ Un brevet a été publié quelques années après la première idée en 1970 par l'équipe de *Y. Nishi et al.*

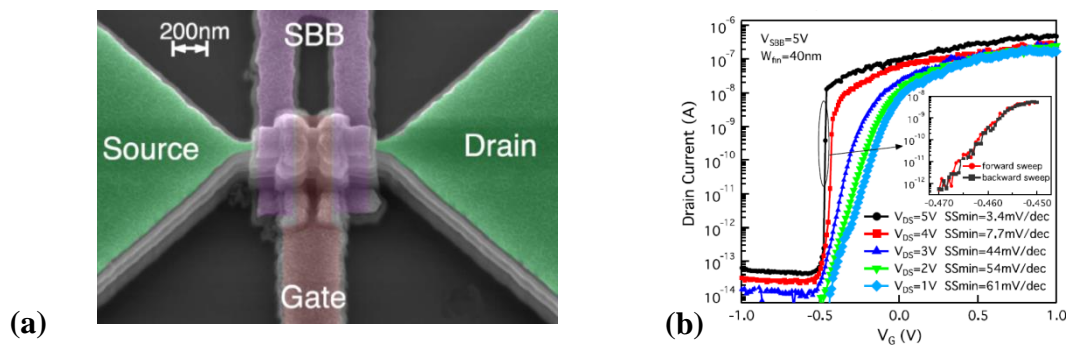


figure 20 – Image de microscopie électronique à balayage d'un FinFET à barrière Schottky de longueur de grille 200 nm [88] (a) et sa courbe I_D - V_{GS} pour différentes valeurs de tension V_{SBB} afin de moduler la barrière Schottky (b). De fortes valeurs de V_{SBB} permettent de très faibles SS < 5 mV/décade.

Le premier désavantage de ce type de dispositif est la forte tension V_{DS} de l'ordre de 5 V nécessaire pour avoir une valeur de pente sous le seuil d'environ 4 mV/décade. De plus l'addition d'une quatrième électrode V_{SBB} polarisée à 5V ne permet pas encore des applications à basse consommation.

b) Les transistors à effet tunnel – TFET

Les transistors à effet tunnel (TFET) est l'une des technologies les plus avancées en termes de transistors à faible pente sous le seuil [89], [90]. Ces dispositifs ont été développés peu après l'apparition de l'effet tunnel bande à bande dans des transistors à nanotubes de carbone en 2004 par J. Appenzeller *et al.* [91]. Cette équipe avait démontré le passage des charges à travers un nanotube de carbone par effet tunnel bande à bande en polarisant une grille et ainsi obtenir une pente sous le seuil de l'ordre de 40 mV/décade. Le fonctionnement des TFET est semblable à celui des diodes à effet tunnel. La première diode à effet tunnel a été fabriquée par L. Esaki en 1957 en utilisant une jonction *pn* faite de Germanium [92]. L'effet tunnel est défini par le passage des porteurs à travers la bande interdite à cause du fort champ électrique pliant les bandes de valence et de conduction (**figure 21.a**). Ces diodes Esaki présentent une résistance négative en polarisation directe ainsi qu'une augmentation du courant en polarisation inverse par effet tunnel bande à bande à partir de $V_{DS} = 0$ V. Un deuxième type de diode présentant un effet tunnel a été inventé par C. Zener [93] mais à la différence des diodes Esaki, ces dernières ont une longueur intrinsèque plus importante. Ainsi elles ne présentent pas de résistance négative en polarisation directe mais seulement un phénomène d'avalanche par effet tunnel bande à bande à partir d'une certaine valeur non nulle ($V_{BD,Zener}$) en polarisation inverse [94].

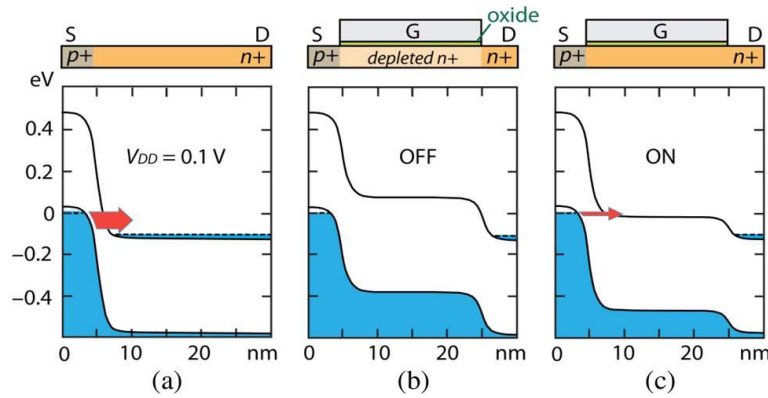


figure 21 – Schémas des diagrammes de bandes d’une diode présentant l’effet tunnel bande à bande (a) et de TFET à l’état OFF (b) et ON (c) [89] pour différentes polarisations de grille appliquées.

La structure des transistors à effet tunnel est basée sur une diode *pin* de longueur intrinsèque généralement faible et entièrement recouverte par un empilement oxyde-métal. Pour un TFET de type *n*, la source (dopée *p*) est polarisée négativement par rapport au drain de sorte que les électrons majoritaires de la bande de valence passent par effet tunnel vers la bande de conduction côté drain (dopé *n*) lorsqu’un potentiel de grille est appliqué. À l’état OFF, peu d’électrons ne passent car le champ résidant dans la jonction *n*’est pas suffisamment élevé (**figure 21.b**). En appliquant une tension positive sur la grille, l’abaissement de la structure de bandes sous la grille va permettre le passage d’électrons par effet tunnel de la source vers le canal (**figure 21.c**). L’état ON sera ainsi atteint. Les transistors à effet tunnel (TFET) ne possèdent pas de limite théorique pour la pente sous le seuil contrairement aux MOSFET classiques ce qui permet d’envisager des puissances consommées largement plus faibles que les MOSFET conventionnels [95]. De faibles valeurs de pente sous seuil ont été obtenues cependant ces valeurs sont limitées à quelques décades de courant (**figure 22**).

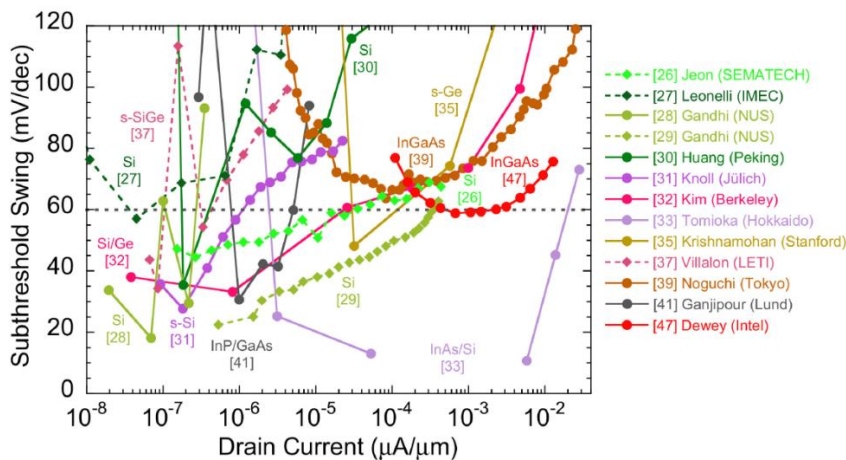


figure 22 – Graphe représentant la pente sous le seuil *SS* en fonction du courant de drain I_D pour différentes études sur les TFET à base de plusieurs matériaux par *H. Lu* et *A. Seabaugh* [96].

Des TFET à base d'hétérostructures $\text{In}_{1-x}\text{Ga}_x\text{As}/\text{InP}$ ont été réalisés par l'équipe de *A. Seabaugh et al.* pendant les valeurs de SS restaient élevées de l'ordre de 120 mV/décade [97], [98]. En 2014, des travaux de *J. A. del Alamo et al.* ont montré la réalisation de TFET verticaux à base de l'hétérostructure $\text{InAs}/\text{InGaAs}$ cependant leur valeur de SS reste supérieure à 75 mV/décade à $V_{DS} = 300$ mV [99]. Des travaux ont été reportés par *K. Tomioka et al.* sur des hétérojonctions à base de nanofils d' InAs/Si [100] (**figure 23.a**) ce qui a permis d'atteindre de faibles valeurs de SS (**figure 23.b**) de l'ordre de 21 mV/décade [101] à une tension $V_{DS} = 100$ mV. Très récemment, des études de l'équipe de *L-E. Wernersson* ont montré la fabrication et caractérisation de TFET verticaux InAs/GaSb obtenant des valeurs SS de 66 mV/décade [35] et 48 mV/décade [102].

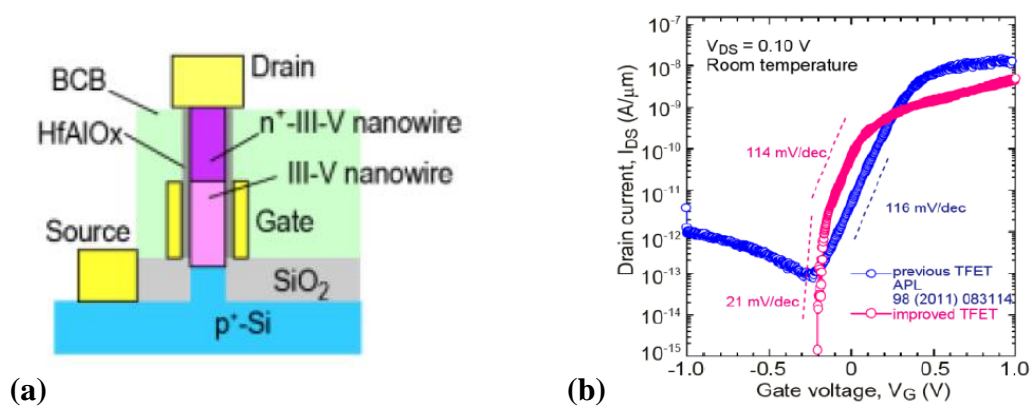


figure 23 - Transistor à effet tunnel (TFET), il s'agit d'un transistor à base de nanofils III-V sur silicium (a) permettant d'achever une pente sous le seuil faible (b) de l'ordre de 21 mV/décade à $V_{DS} = 100$ mV [101].

L'un des points négatifs est que le courant I_{ON} est très faible pour les TFETs à base de silicium [103]–[105] et de germanium Ge [106]–[108]. C'est pourquoi la recherche s'oriente vers les matériaux III-V [109]–[111] mais peu de travaux reportent des valeurs convenables de SS [101], [112]. De plus, encore quelques questions font encore débat auprès de la communauté des transistors à faible pentes sous le seuil concernant l'élément majeur de l'effet tunnel, à savoir la longueur tunnel ou le filtrage d'énergie par l'alignement des niveaux de Fermi dans les bandes de conduction et de valence. Ces transistors peuvent être une solution potentielle pour remplacer les technologies CMOS de la filière silicium, mais peu ou pas de fonderies acceptent à ce jour de modifier leur fabrication.

3) Les transistors à fonctionnement non-linéaire

Dans cette dernière partie, nous allons nous intéresser aux transistors ayant un mode de fonctionnement non-linéaire ayant pour effet une amplification du nombre de porteurs de façon très rapide.

entièrement recouverte par un empilement oxyde-grille. Deux zones proches des zones très dopées p et n sont non recouvertes, permettant l'accumulation de charges dans ces zones intermédiaires. En général, en polarisation directe, la grille n'a que peu d'effets sur le courant traversant la diode, mais l'ajout de zones d'accumulation permet dans ce cas de moduler l'injection des porteurs par la modulation des barrières de potentiel ainsi formées.

Dans le cas d'un transistor à canal n , le drain (n^+) est polarisé à 0 V et la source (p^+) est polarisée de façon positive ($V_{DS} < 0$ V). La barrière de potentiel entre les zones n et i va diminuer lorsqu'une tension positive sera appliquée sur la grille et des électrons vont traverser la zone intrinsèque et s'accumuler dans la zone non recouverte proche de la source p . Des trous vont ainsi traverser la zone et s'accumuler dans la zone non recouverte proche du drain n ce qui aura pour effet de diminuer la barrière de ce même côté. La diminution des deux barrières va permettre la réduction de la tension de seuil V_{TH} et ce phénomène va se générer de façon spontanée en augmentant V_{GS} (effet de boucle de rétroaction).

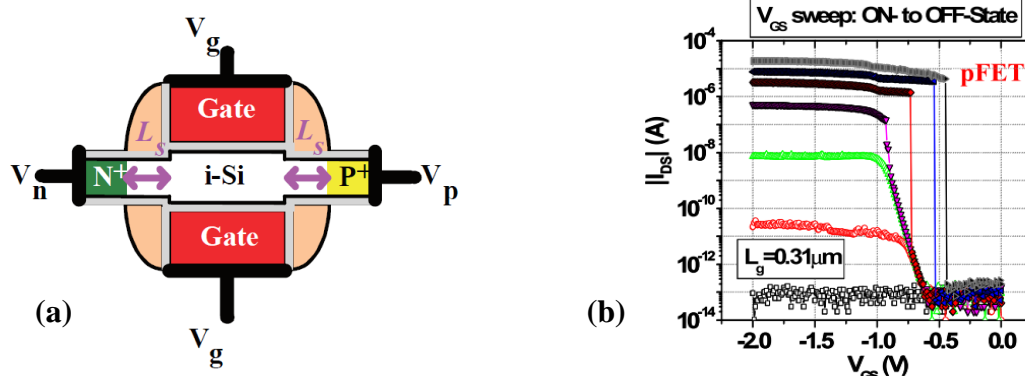


figure 25 – Représentation schématique d'un feedback FET (a) et la courbe de transfert obtenues sur un feedback FET à canal p en silicium avec $L_G = 310$ nm et $W = 2$ μm (b). La pente sous le seuil est de l'ordre de 2 mV/décade avec $I_{ON}/I_{OFF} \approx 10^7$ à $|V_{DS}| = 1,4$ V.

De bonnes performances ont été démontrées expérimentalement [114], [115]. Des tensions V_{DS} de l'ordre de 1 V ont été obtenues pour des transistors de type p et de longueur de grille $L_G = 310$ nm. La pente sous le seuil est inférieure à 2 mV/décade pour $V_{DS} = 1,4$ V tandis que le ratio I_{ON}/I_{OFF} est d'environ 10^7 avec un courant $I_{ON} = 0,1$ mA.mm⁻¹ [114].

Bien qu'il s'agisse d'un candidat potentiel pour le remplacement des MOSFET dans les technologies électroniques futures à basse consommation, la tension de fonctionnement V_{DS} qui reste élevée comparée au MOSFET classique est un point négatif. De plus le courant à l'état OFF est fortement dépendant de la température.

c) Transistors à ionisation par impact – I-MOSFET

Ce transistor MOSFET à fonctionnement non linéaire utilise une diode pin polarisée en inverse ($V_{DS} > 0$) dont la zone intrinsèque (nid) est partiellement recouverte par un empilement

oxyde – grille définissant la structure MOS. Ce transistor basé sur la création de paires électrons-trous utilise la modulation de la tension d’avalanche dépendante de la longueur intrinsèque pour passer de l’état OFF à l’état ON. En effet, à faible tension de grille, aucune couche d’inversion ne se forme dans la zone intrinsèque et la longueur du canal est la longueur entière de la zone non intentionnellement dopée. Le courant à l’état OFF est donc limité par le courant inverse de fuite d’une diode *pin* (génération thermique pour les matériaux III-V et effet tunnel bande à bande). En ajoutant une tension sur la grille, les porteurs vont s’accumuler en dessous de la grille et créer une couche d’inversion par effet de champ. Ainsi la longueur effective du canal est réduite et le champ électrique de la diode *pin* va augmenter entraînant l’avalanche par ionisation par impact. Le transistor passe ainsi à l’état ON et le courant I_{ON} va être limité par les différentes résistances du dispositif. Ce transistor possède l’avantage de limiter les effets de canal court car la zone intrinsèque doit être suffisamment grande (centaine de nm) pour obtenir de l’ionisation par impact [116]. Cependant, un point négatif est l’instabilité de la tension de seuil à cause de l’effet des porteurs chauds qui ont tendance par ailleurs à dégrader le composant.

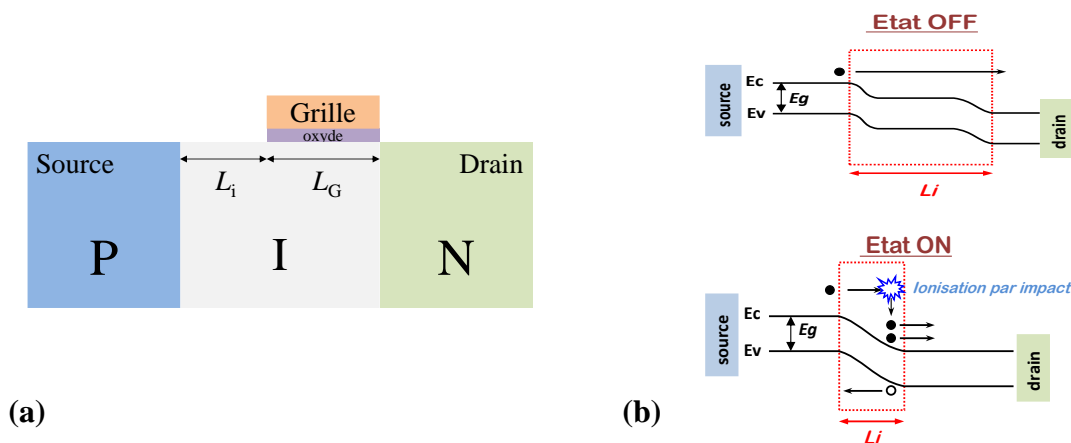


figure 26 – Représentation schématique du transistor à ionisation par impact consistant en une diode *pin* additionnée d’une grille recouvrant partiellement la zone intrinsèque (a) et ses diagrammes de bande associés aux états OFF et ON (b).

Les premiers transistors à ionisation par impact ont été fabriqués par l’équipe de *Gopalakrishnan et al.* [37] en 2002 sur un substrat de silicium pour une longueur intrinsèque de $2,5 \mu\text{m}$. Il s’agissait d’un transistor à canal *p* qui a permis d’obtenir des valeurs de SS d’environ 10 mV/décade mais pour de larges valeurs de V_{DS} (environ 20V). Étant une structure planaire, cette structure possédait le désavantage d’être désalignée car la grille et les contacts étaient fabriqués à l’aide de masques différents et donc entraînait des longueurs intrinsèques variables. Deux ans après, *Choi et al.* [117] ont proposé un nouveau procédé de fabrication utilisant un espaceur pour la définition de la grille et du contact de source en

même temps. Ainsi, un I-MOSFETs fonctionnant à $V_{DS} = 6,5$ V a pu être réalisé avec une longueur intrinsèque de l'ordre de 70 nm présentant une pente sous le seuil de 3,7 mV/décade pour un I-MOSFET à canal n [118]–[120]. Par la suite, *E. Toh et al.* ont introduit une technologie définissant la zone intrinsèque en L permettant une réduction de la taille du dispositif ainsi qu'une amélioration de la stabilité de V_{TH} [121]–[123]. Par ailleurs, le contrôle de la longueur de zone intrinsèque est amélioré par le contrôle de l'implantation des caissons p ou n (**figure 27**). Cette structure a démontré une pente sous le seuil inférieure à 10 mV/décade pour $V_{DS} \approx 8,5$ V ($L_G = 100$ nm) tandis que l'utilisation de germanium (Ge ou SiGe) permet de diminuer la tension d'avalanche des diodes pin [39],[124].

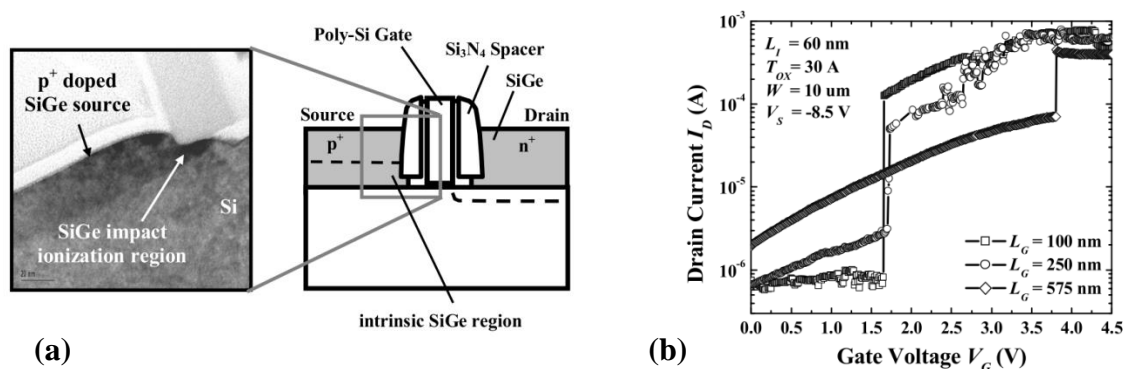


figure 27 – Représentation schématique et zoom au niveau de la zone intrinsèque d'un I-MOSFET en L par *Toh et al.* (a). Caractéristique de transfert pour différentes longueurs intrinsèques. Pour $L_G = 100$ nm, $SS = 4,8$ mV/décade (b).

En 2006, *Abelein et al.* ont introduit le concept d'I-MOSFET basé sur une structure verticale $ni\delta pin$ [125],[126]. Dans ce cas, la zone p est un plan de dopage (3 nm) fortement dopé ($>10^{19}$ cm $^{-3}$). La valeur de pente sous le seuil obtenue par simulation est de 20 mV/décade pour une longueur intrinsèque de 40 nm à $V_{DS} = 1,5$ V. L'avantage de cette structure est de limiter l'instabilité de V_{TH} due aux défauts proches de l'oxyde car les électrons résident dans la partie bulk du transistor [127],[128]. Par la suite, *Mayer et al.* ont démontré des pentes sous le seuil de l'ordre de 20 mV/décade à une forte tension $V_{DS} = 18$ V pour des longueurs de grille et intrinsèque respectivement de 1 μ m et 400 nm [129]. Dans leurs travaux, ils ont montré la faisabilité de co-intégration IMOS-CMOS pour des applications mémoire RAM (Random Access Memory) [130],[131]. L'un des derniers travaux expérimentaux a été fait par *C. Onal et al.* en 2009. Ils ont obtenu une pente sous le seuil de l'ordre de 12 mV/décade à une tension $V_{DS} = 11,5$ V.

Le **tableau 2** résume différents paramètres et valeurs obtenus pour les transistors à ionisation par impact. Nous pouvons notamment voir que la tension d'alimentation minimale nécessaire est de l'ordre de 6 V, ce qui reste élevée comparée à celle de la technologie TFET

actuelle. Néanmoins, la régularité des valeurs de pentes sous le seuil inférieures à 20 mV/décade allant jusqu'à une valeur faible de 3,7 mV/décade fait du transistor à ionisation par impact un candidat potentiel pour les technologies à faible pente sous le seuil.

Matériaux	SS (mV/déc)	I_{ON} ($\mu A/\mu m$)	I_{ON}/I_{OFF}	L_G (μm)	$ V_{DS} $ (V)	Réfs.
Si (p)	10	32	$>10^5$	2,0	20	[37]
Si (p)	10	100	$>10^5$	-	15	[39]
Si (n)	7,2	45	10^1	0,130	6,75	[117]
Si ($p ; n$)	12,2 ; 5,5	394 ; 385	$>10^{1-3}$	0,080	6,5	[118]
Si ($p ; n$)	11,8 ; 7,5	78 ; 81	$>10^1$	0,100	6,5	[119]
Si ($p ; n$)	8,9 ; 3,7	382 ; 396	$>10^6$	0,070	6,5	[120]
SiGe (n)	4,8	80	$>10^2$	0,100	8,5	[121]
SiGe ; Si (n)	3,3 ; 4,5	385 ; 120	$>10^3$	0,060	7,8	[123]
Si (p)	20	20	$>10^4$	1,0	18	[129]
Si (p)	2	40	$>10^5$	1,0	18	[130]
Si (p)	12,1	14	$>10^5$	0,80	11,5	[132]

tableau 2 – Résumé des différents travaux concernant les transistors à ionisation par impact indiquant les paramètres utilisés et valeurs obtenues.

À ce jour, les tensions d'alimentation des I-MOSFET restent élevées pour que ces derniers soient compétitifs vis-à-vis des transistors MOSFET classiques. C'est pourquoi l'utilisation de matériaux III-V permettant une ingénierie de bandes plus variée qu'avec le silicium semble être une voie pour diminuer la tension d'alimentation V_{DS} .

4) Objectifs et solutions envisagés durant ces travaux

Comme nous l'avons dit précédemment, l'ensemble des travaux sur les transistors à ionisation par impact utilise le silicium et/ou le germanium, mais aucun ne fait état de travaux à partir de matériaux III-V. De plus ces transistors souffrent de problèmes de fiabilité (dégradation et instabilité de tension de seuil) et les tensions de fonctionnement restent élevées (≈ 6 V). C'est pourquoi l'utilisation de matériaux III-V, grâce à leur faible énergie de bande interdite, permettant de diminuer la tension de fonctionnement sont des candidats potentiellement intéressants. L'objectif central est la compréhension du comportement

d'ionisation par impact dans les matériaux III-V ainsi que l'optimisation de la structure MOS afin de réaliser des transistors à ionisation par impact à faible tension de fonctionnement (applications basse consommation).

Le premier objectif de ce travail consiste à étudier les diodes à jonction *pin* de la fabrication à la caractérisation. Pour cela nous allons principalement utiliser des matériaux à partir des filières arséniée (InGaAs) et antimoniée (GaSb). Nous avons choisi ces matériaux car ils présentent une faible énergie de bande interdite ($\approx 0,74$ eV) et de bons coefficients d'ionisation, essentiels pour diminuer la tension d'alimentation du I-MOSFET. La **figure 28** représente les coefficients d'ionisation des électrons α en fonction du champ électrique extrait à partir de la littérature qui sera détaillée au chapitre 2. Nous pouvons remarquer que l'InGaAs possède un coefficient d'ionisation α proche de celui du silicium. À sa valeur maximale (et constante), le coefficient d'ionisation définit la longueur moyenne en deux chocs permettant l'ionisation ce qui indique des valeurs très proches pour ces deux matériaux et donc des valeurs de tension de fonctionnement proches. Cependant, dans notre cas, l'utilisation de matériaux III-V permet l'utilisation d'hétérostructures pour amplifier l'ionisation par impact. En effet une hétérostructure grand-gap – petit-gap avec l'InGaAs dans la zone intrinsèque permettrait d'acquérir de l'énergie cinétique dans le matériau grand-gap, de convertir cette énergie en énergie potentielle lors du passage dans le matériau petit-gap et de créer de l'ionisation par impact. Cette partie sera détaillée dans le second chapitre de thèse.

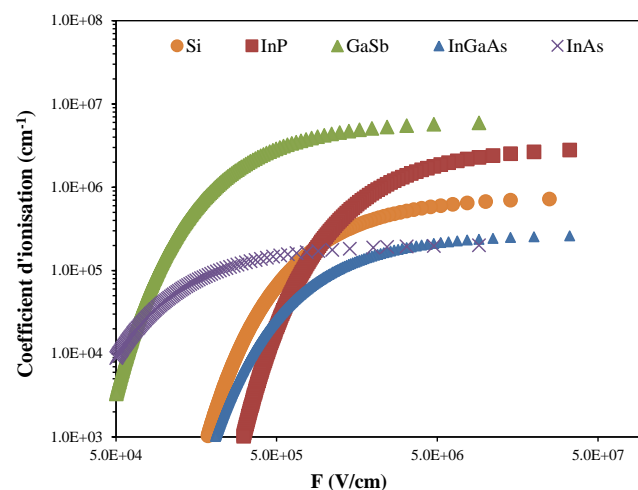


figure 28 – Courbes des coefficients d'ionisation des électrons permettant de comparer le silicium à différents matériaux III-V. Nous pouvons noter que l'InGaAs est proche du silicium.

Le deuxième objectif de ce travail est l'étude de la structure MOS sur ces matériaux III-V qui fera l'objet du troisième chapitre. En effet contrairement au silicium, la croissance d'un oxyde de bonne qualité sans défauts à l'interface entre l'oxyde et les semiconducteurs III-V est encore un challenge. Nous avons choisi de fabriquer des structures MOS high- k / InGaAs

et high-k/ GaSb puis de caractériser leurs interfaces et surfaces à l'aide de techniques physico-chimiques telles que la spectroscopie de photoélectrons X. Afin de déterminer le comportement électrique de ces structures, des mesures de capacité-tension permettront d'estimer les densités de défauts à l'interface et dans l'oxyde.

Le dernier objectif de ce travail de thèse est l'étude de transistors à faible pente sous le seuil. Comme nous l'avons vu auparavant, aucun travail ne fait état de la réalisation technologique de transistors à ionisation par impact sur matériaux III-V. Par ailleurs, l'un des points négatifs de la technologie sur silicium actuellement employée est le manque de précision de l'alignement de la grille sur la zone intrinsèque. Nous avons choisi de créer un procédé de fabrication basé sur une structure verticale grâce à la croissance par épitaxie par jets moléculaires ainsi que sur la réalisation de la grille de façon auto-alignée. Cela permet d'obtenir une meilleure précision et un meilleur contrôle de la tension de seuil, dont la variabilité sera réduite en raison du confinement électrostatique apporté par la forme verticale. À partir des résultats obtenus dans la première partie (diodes *pin*), nous réaliserons et caractériserons des transistors afin d'estimer la pente sous le seuil et la tension de fonctionnement puis ces résultats seront comparés à ceux obtenus sur silicium par d'autres équipes. Ce procédé de fabrication ainsi que les résultats obtenus seront détaillés dans un quatrième chapitre.

Bibliographie du chapitre 1

- [1] E. H. Hall, “On a New Action of the Magnet on Electric Currents,” *Source Am. J. Math.*, vol. 2109, no. 3, pp. 287–292, 1879.
- [2] A. P. Huang, Z. C. Yang, and P. K. Chu, “Hafnium-based high-k gate dielectrics,” *Adv. Solid State Circuits Technol.*, no. April, pp. 333–350, 2010.
- [3] B. H. Lee, P. Kirsch, S. Song, R. Choi, and R. Jammy, “Gate stack technology for nanoscale devices,” *2006 IEEE Nanotechnol. Mater. Devices Conf. NMDC*, vol. 1, no. 6, pp. 206–207, 2006.
- [4] L. P. B. Lima, H. F. W. Dekkers, J. G. Lisoni, J. A. Diniz, S. Van Elshocht, and S. De Gendt, “Metal gate work function tuning by Al incorporation in TiN,” *J. Appl. Phys.*, vol. 115, no. 7, 2014.
- [5] R. Singanamalla, S. Member, H. Y. Yu, B. Van Daele, S. Kubicek, and K. De Meyer, “Effective Work-Function Modulation by Aluminum-Ion Implantation for Metal-Gate Technology (Poly-Si / TiN / SiO₂),” vol. 28, no. 12, pp. 1089–1091, 2007.
- [6] R. Winter, P. Shekhter, K. Tang, L. Floreano, A. Verdini, P. C. McIntyre, and M. Eizenberg, “Effects of Titanium Layer Oxygen Scavenging on the High-k/InGaAs Interface,” *ACS Appl. Mater. Interfaces*, vol. 8, no. 26, pp. 16979–16984, 2016.
- [7] T. Ernst, C. Dupré, C. Isheden, E. Bernard, R. Ritzenthaler, V. Maffini-Alvaro, J. C. Barbé, F. De Crecy, A. Toffoli, C. Vizioz, S. Borel, F. Andrieu, V. Delaye, D. Lafond, G. Rabillé, J. M. Hartmann, M. Rivoire, B. Guillaumot, A. Suhm, P. Rivallin, O. Faynot, G. Ghibaudo, and S. Deleonibus, “Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAÀ (NBG) FinFETs with HfO₂/TiN gate stack,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 9–12, 2006.
- [8] S. Natarajan et al., “À 14nm Logic Technology Featuring 2nd-Generation FinFET Interconnects , Self-Aligned Double Patterning and a 0.0588 m² SRAM cell size,” *IEDM, IEEE Tech. Dig. - Int. Electron Devices Meet.*, p. 3.7.1-3.7.3, 2014.
- [9] H. Tsai, H. Miyazoe, J. B. Chang, J. Pitera, C. C. Liu, M. Brink, I. Lauer, J. Y. Cheng, S. Engelmann, J. Rozen, J. J. Bucchignano, D. P. Klaus, S. Dawes, L. Gignac, C. Breslin, E. A. Joseph, D. P. Sanders, M. E. Colburn, and M. A. Guillorn, “Electrical characterization of FinFETs with fins formed by directed self assembly at 29 nm fin pitch using a self-aligned fin customization scheme,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015–Febru, no. February, p. 32.1.1-32.1.4, 2015.
- [10] C. Lin, B. Greene, S. Narasimha, J. Cai, a Bryant, C. Radens, V. Narayanan, B. Linder, H. Ho, a Aiyar, E. Alptekin, J. An, M. Aquilino, and R. Bao, “High Performance 14nm SOI FinFET CMOS Technology with 0.0174µm² embedded DRAM and 15 Levels of Cu Metallization,” *IEEE Int. Electron Devices Meet.*, pp. 74–76, 2014.
- [11] C. Auth et al., “À 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors,” *Dig. Tech. Pap. - Symp. VLSI Technol.*, vol. m, no. 2003, pp. 131–132, 2012.
- [12] C.Hu, “3D FinFET and other sub-22nm transistors,” in *Proceedings of the International Symposium on the Physical and Failure Analysis of Integrated Circuits, IPFA*, 2012, pp. 1–5.
- [13] C.Hu, “Thin-body FinFET as scalable low voltage transistor,” *Int. Symp. VLSI Technol. Syst. Appl. Proc.*, pp. 1–4, 2012.

- [14] Yang-Kyu Choi, K. Asano, N. Lindert, V. Subramanian, Tsu-Jae King, J. Bokor, and Chenming Hu, "Ultrathin-body SOI MOSFET for deep-sub-tenth micron era," *IEEE Electron Device Lett.*, vol. 21, no. 5, pp. 254–255, May 2000.
- [15] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoht, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S. C. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozlowski, D. McHerron, J. O'Neill, and B. Doris, "Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 49–52, 2009.
- [16] D. Hisamoto, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, and J. Bokor, "À folded-channel MOSFET for deep-sub-tenth micron era," *Int. Electron Devices Meet. 1998. Tech. Dig.*, vol. 38, pp. 1032–1034, 1998.
- [17] Xuejue Huang, Wen-Chin Lee, Charles Kuo, D. Hisamoto, Leland Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Yang-Kyu Choi, K. Asano, V. Subramanian, Tsu-Jae King, J. Bokor, and Chenming Hu, "Sub 50-nm FinFET: PMOS," in *International Electron Devices Meeting 1999. Technical Digest (Cat. No.99CH36318)*, 1999, pp. 67–70.
- [18] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T. J. King, F. Jeffrey Bokor, and C. Hu, "FinFET-À self-aligned double-gate MOSFET scalable to 20 nm," *IEEE Trans. Electron Devices*, vol. 47, no. 12, pp. 2320–2325, 2000.
- [19] Yang-Kyu Choi, N. Lindert, Peiqi Xuan, S. Tang, Daewon Ha, E. Anderson, Tsu-Jae King, J. Bokor, and Chenming Hu, "Sub-20 nm CMOS FinFET technologies," in *International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224)*, 2001, p. 19.1.1-19.1.4.
- [20] R. Loukil, "Semi-conducteurs : Samsung met fin à l'avance technologique d'Intel en production," *usine-digitale.fr*, 2015. [Online]. <http://www.usine-digitale.fr/article/semi-conducteurs-samsung-met-fin-a-l-avance-technologique-d-intel-en-production.N314228>. [Accessed: 31-Aug-2016].
- [21] J.-P. Colinge, "Multiple-gate SOI MOSFETs," *Solid. State. Electron.*, vol. 48, no. 6, pp. 897–905, Jun. 2004.
- [22] X. Zhang, H. X. Guo, X. Gong, and Y.-C. Yeo, "Multiple-Gate In_{0.53}Ga_{0.47}As Channel n-MOSFETs with Self-Aligned Ni-InGaAs Contacts," *ECS J. Solid State Sci. Technol.*, vol. 1, no. 2, pp. P82–P85, Jul. 2012.
- [23] X. Zhang, H. X. Guo, Z. Zhu, X. Gong, and Y.-C. Yeo, "In_{0.53}Ga_{0.47}As FinFETs with self-aligned molybdenum contacts and HfO₂/Al₂O₃ gate dielectric," *Solid. State. Electron.*, vol. 84, pp. 83–89, Jun. 2013.
- [24] A. B. Sachid and C. Hu, "Denser and More Stable SRAM Using FinFETs With Multiple Fin Heights," *IEEE Trans. Electron Devices*, vol. 59, no. 8, pp. 2037–2041, Aug. 2012.
- [25] H. M. Fahad and M. M. Hussain, "Are Nanotube Architectures More Advantageous Than Nanowire Architectures For Field Effect Transistors?," *Sci. Rep.*, vol. 2, pp. 2–8, 2012.
- [26] H. Mertens, R. Ritzenthaler, A. Chasin, T. Schram, E. Kunnen, A. Hikavy, L. Ragnarsson, H. Dekkers, T. Hopf, K. Wostyn, K. Devriendt, S. A. Chew, M. S. Kim, Y. Kikuchi, E. Rosseel, G. Mannaert, S. Kubicek, S. Demuyne, A. Dangol, N. Bosman, J. Geypen, P. Carolan, H. Bender, K. Barla, N. Horiguchi, and D. Mocuta,

- “Vertically Stacked Gate-All-Around Si Nanowire CMOS Transistors with Dual Work Function Metal Gates,” pp. 2–5, 2016.
- [27] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, “Strained Si, SiGe, and Ge channels for high-mobility metal-oxide- semiconductor field-effect transistors,” *J. Appl. Phys.*, vol. 97, no. 1, 2005.
- [28] S. H. Olsen, A. G. O’Neill, P. Dobrosz, S. J. Bull, L. S. Driscoll, S. Chattopadhyay, and K. S. K. Kwa, “Study of strain relaxation in Si/SiGe metal-oxide-semiconductor field-effect transistors,” *J. Appl. Phys.*, vol. 97, no. 11, 2005.
- [29] J. A. Del Alamo, D. A. Antoniadis, J. Lin, W. Lu, A. Vardi, and X. Zhao, “III-V MOSFETs for Future CMOS,” *2015 IEEE Compd. Semicond. Integr. Circuit Symp. CSICS 2015*, pp. 1–4, 2015.
- [30] S. Lee, C. Huang, D. Cohen-elias, B. J. Thibeault, W. J. Mitchell, V. Chobpattana, S. Stemmer, A. C. Gossard, and M. J. W. Rodwell, “Highly Scalable Raised Source/Drain InAs Quantum Well MOSFETs Exhibiting Ion=482 uA/um at Ioff=100 nA/um and VDD=0.5 V,” *IEEE Electron Device Lett.*, vol. 35, no. 6, pp. 621–623, 2014.
- [31] M. Pastorek, N. Wichmann, L. Desplanque, M. Ridaoui, A. Fadje, X. Wallart, and S. Bollaert, “Ultra thin body InAs MOSFET with selectively raised InAs n+ S/D contacts,” *Wocsdice*, pp. 4–6, 2016.
- [32] M. Ridaoui, A.-B. Fadgie-Djomkam, M. Pastorek, N. Wichmann, A. Jaouad, H. Maher, and S. Bollaert, “High-performance self-aligned InAs MOSFETs with L-shaped Ni-epilayer alloyed source/drain contact for future low-power RF applications,” in *2016 11th European Microwave Integrated Circuits Conference*, 2016, pp.173–176.
- [33] J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, and P. D. Ye, “First experimental demonstration of gate-all-around III-V MOSFETs by top-down approach,” in *International Electron Devices Meeting*, 2011, no. 100, p. 33.2.1-33.2.4.
- [34] H. Lee, L.-E. Yu, S.-W. Ryu, J.-W. Han, K. Jeon, D.-Y. Jang, K.-H. Kim, J. Lee, J.-H. Kim, S. Jeon, G. Lee, J. Oh, Y. Park, W. Bae, H. Lee, J. Yang, J. Yoo, S. Kim, and Y.-K. Choi, “Sub-5nm All-Around Gate FinFET for Ultimate Scaling,” in *2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers.*, 2006, vol. 25, no. 9, pp. 58–59.
- [35] E. Memisevic, J. Svensson, M. Hellenbrand, E. Lind, and L.-E. Wernersson, “Scaling of Vertical InAs–GaSb Nanowire Tunneling Field-Effect Transistors on Si,” *IEEE Electron Device Lett.*, vol. 37, no. 5, pp. 549–552, May 2016.
- [36] X. Li, K. Ma, S. George, J. Sampson, and V. Narayanan, “Enabling Internet-of-Things : Opportunities Brought by Emerging Devices , Circuits , and Architectures.”
- [37] K. Gopalakrishnan, “I-MOS: A novel semiconductor device with a subthreshold slope lower than kT/q ,” *Electron Devices ...*, pp. 289–292, 2002.
- [38] D. Hisamoto, S. Saito, A. Shima, H. Yoshimoto, K. Torii, and E. Takeda, “Cx-FET: A novel steep subthreshold swing CMOS featuring a tunnel-injection bipolar transistor and MOSFET device complex,” *2010 Int. Electron Devices Meet.*, p. 10.2.1-10.2.4, Dec. 2010.
- [39] K. Gopalakrishnan, R. Woo, C. Jungemann, P. B. Griffin, and J. D. Plummer, “Impact Ionization MOS (I-MOS)—Part II: Experimental Results,” *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 77–84, Jan. 2005.
- [40] J. Song, J. Woo, S. Lee, A. Prakash, J. Yoo, K. Moon, and H. Hwang, “Steep Slope Field-Effect Transistors With Ag/TiO₂ -Based Threshold Switching Device,” *IEEE Electron Device Lett.*, vol. 37, no. 7, pp. 932–934, Jul. 2016.

- [41] C. Hu, "Green transistor as a solution to the IC power crisis," in *International Conference on Solid-State and Integrated Circuits Technology Proceedings, ICSICT*, 2008, pp. 16–19.
- [42] C.-W. Lee, A. N. Nazarov, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, R. T. Doria, and J.-P. Colinge, "Low subthreshold slope in junctionless multigate transistors," *Appl. Phys. Lett.*, vol. 96, no. 10, p. 102106, 2010.
- [43] A. M. Ionescu, L. De Michielis, N. Dagtekin, G. Salvatore, J. Cao, A. Rusu, and S. Bartsch, "Ultra low power: Emerging devices and their benefits for integrated circuits," in *2011 International Electron Devices Meeting*, 2011, p. 16.1.1-16.1.4.
- [44] S. Cristoloveanu, J. Wan, and A. Zaslavsky, "A review of sharp-switching devices for ultra-low power applications," *IEEE J. Electron Devices Soc.*, vol. 4, no. 5, pp. 215–226, 2016.
- [45] W. Newell, "Novel circuit aspects of the resonant gate transistor," in *1966 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, 1966, pp. 62–63.
- [46] A. M. Ionescu, V. Pott, R. Fritschi, K. Banerjee, M. J. Declercq, P. Renaud, C. Hibert, P. Fluckiger, and G. A. Racine, "Modeling and design of a low-voltage SOI suspended-gate MOSFET (SG-MOSFET) with a metal-over-gate architecture," in *Proceedings - International Symposium on Quality Electronic Design, ISQED*, 2002, vol. 2002–Janua, pp. 496–501.
- [47] K. Akarvardar, C. Eggimann, D. Tsamados, Y. S. Chauhan, G. C. Wan, A. M. Ionescu, R. T. Howe, and H. S. P. Wong, "Analytical modeling of the suspended-gate FET and design insights for low-power logic," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 48–59, 2008.
- [48] M. Enachescu, S. Cotofana, A. van Genderen, D. Tsamados, and A. Ionescu, "Can SG-FET Replace FET in Sleep Mode Circuits?," in *Lecture Notes of the Institute for Computer Sciences, Social-Informatics and Telecommunications Engineering*, vol. 20 LNICST, no. 224525, 2009, pp. 99–104.
- [49] D. Molinero, N. Abele, L. Castaner, and A. M. Ionescu, "Oxide charging and memory effects in suspended-gate FET," in *2008 IEEE 21st International Conference on Micro Electro Mechanical Systems*, 2008, pp. 685–688.
- [50] N. Abele, R. Fritschi, K. Boucart, F. Casset, P. Ancey, and A. M. Ionescu, "Suspended-gate MOSFET: bringing new MEMS functionality into solid-state MOS transistor," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 0, no. c, pp. 8–10, 2005.
- [51] J. Svensson, N. Lindahl, H. Yun, M. Seo, D. Midtvedt, Y. Tarakanov, N. Lindvall, O. Nerushev, J. Kinaret, S. Lee, and E. E. B. Campbell, "Carbon nanotube FET with suspended graphene gates," *Nano Lett.*, vol. 11, no. 9, pp. 3569–3575, 2011.
- [52] O. De Sagazan, B. Da Silva Rodrigues, S. Crand, F. LeBihan, and T. Mohammed-Brahim, "Investigation on suspended gate field effect transistor as humidity sensor," in *Procedia Engineering*, 2010, vol. 5, pp. 1434–1437.
- [53] A. C. Salaün, F. Le Bihan, and T. Mohammed-Brahim, "Modeling the high pH sensitivity of Suspended Gate Field Effect Transistor (SGFET)," *Sensors Actuators, B Chem.*, vol. 158, no. 1, pp. 138–143, 2011.
- [54] H. K. H. Kam, D. T. Lee, R. T. Howe, and T.-J. K. T.-J. King, "A new nano-electro-mechanical field effect transistor (NEMFET) design for low-power electronics," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 0, no. c, pp. 8–11, 2005.

- [55] J. H. Kim, Z. C. Y. Chen, S. Kwon, and J. Xiang, "Three-terminal nanoelectromechanical field effect transistor with abrupt subthreshold slope," *Nano Lett.*, vol. 14, no. 3, pp. 1687–1691, 2014.
- [56] J. H. Kim, Z. C. Y. Chen, S. Kwon, and J. Xiang, "Steep subthreshold slope nanoelectromechanical field-effect transistors with nanowire channel and back gate geometry," *Device Res. Conf. - Conf. Dig. DRC*, vol. 930, no. 858, pp. 209–210, 2013.
- [57] P. Bergveld, "Development of an Ion-Sensitive Solid-State Device for Neurophysiological Measurements," *IEEE Trans. Biomed. Eng.*, vol. BME-17, no. 1, pp. 70–71, Jan. 1970.
- [58] P. Bergveld, "Thirty years of ISFETOLOGY," *Sensors Actuators B Chem.*, vol. 88, no. 1, pp. 1–20, Jan. 2003.
- [59] J. M. Chovelon, J. J. Fombon, P. Clechet, N. Jaffrezic-Renault, C. Martelet, A. Nyamsi, and Y. Cros, "Sensitization of dielectric surfaces by chemical grafting: application to pH ISFETs and REFETs," *Sensors Actuators B Chem.*, vol. 8, no. 3, pp. 221–225, Jun. 1992.
- [60] J. C. van Kerkhof, P. Bergveld, and R. B. M. Schasfoort, "The ISFET based heparin sensor with a monolayer of protamine as affinity ligand," *Biosens. Bioelectron.*, vol. 10, no. 3–4, pp. 269–282, 1995.
- [61] B.-K. Sohn, B.-W. Cho, C. Kim, and D.-H. Kwon, "ISFET glucose and sucrose sensors by using platinum electrode and photo-crosslinkable polymers," *Sensors Actuators B Chem.*, vol. 41, no. 1–3, pp. 7–11, Jun. 1997.
- [62] P. Bergveld, "The operation of an ISFET as an electronic device," *Sensors and Actuators*, vol. 1, no. C, pp. 17–29, Jan. 1981.
- [63] K.-I. Ho, T.-F. Lu, C.-P. Chang, C.-S. Lai, and C.-M. Yang, "Sodium and potassium ion sensing properties of EIS and ISFET structures with fluorinated hafnium oxide sensing film," in *2009 IEEE Sensors*, 2009, pp. 1128–1131.
- [64] M. Wipf, R. L. Stoop, A. Tarasov, K. Bedner, W. Fu, M. Calame, and C. Schonenberger, "Potassium sensing with membrane-coated silicon nanowire field-effect transistors," *2013 Transducers Eurosensors XXVII 17th Int. Conf. Solid-State Sensors, Actuators Microsystems, Transducers Eurosensors 2013*, no. June, pp. 1182–1185, 2013.
- [65] N. Moser, C. L. Leong, Y. Hu, M. Boutelle, P. Georgiou, and U. Kingdom, "An Ion Imaging ISFET Array for Potassium and Sodium Detection," no. 1, pp. 2847–2850, 2016.
- [66] N. F. Mott, "Metal-insulator transition," *Reviews of Modern Physics*, vol. 40, no. 4, pp. 677–683, 1968.
- [67] J. B. Torrance, "The difference between metallic and insulating salts of tetracyanoquinodimethone (TCNQ): how to design an organic metal," *Acc. Chem. Res.*, vol. 12, no. 3, pp. 79–86, Mar. 1979.
- [68] C. Zhou, D. M. Newns, J. A. Misewich, and P. C. Pattnaik, "A field effect transistor based on the Mott transition in a molecular layer," *Appl. Phys. Lett.*, vol. 70, no. 5, p. 598, 1997.
- [69] H. Kim, B. Chae, D. Youn, S.-L. Maeng, G. Kim, K.-Y. Kang, and Y.-S. Lim, "Mechanism and observation of Mott transition in VO₂ -based two- and three-terminal devices," *New J. Phys.*, vol. 6, pp. 52–52, May 2004.
- [70] D. M. Newns, J. A. Misewich, C. C. Tsuei, A. Gupta, B. A. Scott, and A. Schrott, "Mott transition field effect transistor," *Appl. Phys. Lett.*, vol. 73, no. 6, p. 780, 1998.

- [71] C. H. Ahn, A. Bhattacharya, M. Di Ventra, J. N. Eckstein, C. D. Frisbie, M. E. Gershenson, A. M. Goldman, I. H. Inoue, J. Mannhart, A. J. Millis, A. F. Morpurgo, D. Natelson, and J.-M. Triscone, "Electrostatic modification of novel materials," *Rev. Mod. Phys.*, vol. 78, no. 4, pp. 1185–1212, Nov. 2006.
- [72] J. Son, S. Rajan, S. Stemmer, and S. James Allen, "À heterojunction modulation-doped Mott transistor," *J. Appl. Phys.*, vol. 110, no. 8, p. 84503, 2011.
- [73] S. Salahuddin and S. Datta, "Use of negative capacitance to provide voltage amplification for low power nanoscale devices," *Nano Lett.*, vol. 8, no. 2, pp. 405–410, 2008.
- [74] G. Catalan, D. Jimenez, and A. Gruverman, "Ferroelectrics: Negative capacitance detected," *Nat. Mater.*, vol. 14, no. 2, pp. 137–139, 2015.
- [75] C. H. Cheng and A. Chin, "Low-voltage steep turn-on pMOSFET using ferroelectric high- κ gate dielectric," *IEEE Electron Device Lett.*, vol. 35, no. 2, pp. 274–276, 2014.
- [76] D. J. R. Appleby, N. K. Ponon, K. S. K. Kwa, B. Zou, P. K. Petrov, T. Wang, N. M. Alford, and A. O'Neill, "Experimental observation of negative capacitance in ferroelectrics at room temperature," *Nano Lett.*, vol. 14, no. 7, pp. 3864–3868, 2014.
- [77] A. I. Khan, K. Chatterjee, B. Wang, S. Drapcho, L. You, C. Serrao, S. R. Bakaul, R. Ramesh, and S. Salahuddin, "Negative capacitance in a ferroelectric capacitor," *Nat. Mater.*, vol. 14, no. 2, pp. 182–6, 2015.
- [78] B. Lei, C. Li, D. Zhang, Q. F. Zhou, K. K. Shung, and C. Zhou, "Nanowire transistors with ferroelectric gate dielectrics: Enhanced performance and memory effects," *Appl. Phys. Lett.*, vol. 84, no. 22, pp. 4553–4555, 2004.
- [79] H. Fang, S. Chuang, T. C. Chang, K. Takei, T. Takahashi, and A. Javey, "High-performance single layered WSe₂ p-FETs with chemically doped contacts," *Nano Lett.*, vol. 12, no. 7, pp. 3788–3792, 2012.
- [80] J. Jo and C. Shin, "Negative Capacitance Field Effect Transistor with Hysteresis-Free Sub-60-mV / decade Switching," *IEEE Electron Device Lett.*, vol. 37, no. 3, pp. 245–248, 2016.
- [81] K. S. Li, P. G. Chen, T. Y. Lai, C. H. Lin, C. C. Cheng, C. C. Chen, Y. J. Wei, Y. F. Hou, M. H. Liao, M. H. Lee, M. C. Chen, J. M. Sheih, W. K. Yeh, F. L. Yang, S. Salahuddin, and C. Hu, "Sub-60mV-swing negative-capacitance FinFET without hysteresis," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2016–Febru, p. 22.6.1-22.6.4, 2016.
- [82] A. I. Khan, K. Chatterjee, J. P. Duarte, Z. Lu, A. Sachid, S. Khandelwal, R. Ramesh, C. Hu, and S. Salahuddin, "Negative Capacitance in Short-Channel FinFETs Externally Connected to an Epitaxial Ferroelectric Capacitor," *IEEE Electron Device Lett.*, vol. 37, no. 1, pp. 111–114, 2016.
- [83] M. H. Lee, Y. Wei, K. Chu, J. Huang, C. Chen, C. Cheng, M. Chen, H. Lee, Y. Chen, L. Lee, and M. Tsai, "Steep Slope and Near Non-Hysteresis of FETs With Antiferroelectric-Like HfZrO for Low-Power Electronics," *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 294–296, 2015.
- [84] J. M. Larson and J. P. Snyder, "Overview and status of metal S/D Schottky-barrier MOSFET technology," *IEEE Trans. Electron Devices*, vol. 53, no. 5, pp. 1048–1058, May 2006.
- [85] C. J. Koeneke, S. M. Sze, R. M. Levin, and E. Kinsbron, "Schottky MOSFET for VLSI," in *1981 International Electron Devices Meeting*, 1981, pp. 367–370.
- [86] T. Mochizuki and K. D. Wise, "An n-channel MOSFET with Schottky source and drain," *IEEE Electron Device Lett.*, vol. 5, no. 4, pp. 108–111, Apr. 1984.

- [87] B. Y. Tsui and C. P. Lin, "A novel 25-nm modified Schottky-barrier FinFET with high performance," *IEEE Electron Device Lett.*, vol. 25, no. 6, pp. 430–432, 2004.
- [88] J. Zhang, M. De Marchi, P. Gaillardon, and G. De Micheli, "A Schottky-barrier silicon FinFET with 6.0 mV/dec Subthreshold Slope over 5 decades of current," in *2014 IEEE International Electron Devices Meeting*, 2014, no. step 3, p. 13.4.1-13.4.4.
- [89] A. C. Seabaugh and Q. Zhang, "Low-voltage tunnel transistors for beyond CMOS logic," *Proc. IEEE*, vol. 98, no. 12, pp. 2095–2110, 2010.
- [90] A. M. Ionescu and H. Riel, "Tunnel field-effect transistors as energy-efficient electronic switches.," *Nature*, vol. 479, no. 7373, pp. 329–37, 2011.
- [91] J. Appenzeller, Y.-M. Lin, J. Knoch, and P. Avouris, "Band-to-band tunneling in carbon nanotube field-effect transistors.," *Phys. Rev. Lett.*, vol. 93, no. 19, p. 196805, Nov. 2004.
- [92] L. Esaki, "New Phenomenon in Narrow Germanium pn Junctions," *Phys. Rev.*, vol. 109, no. 2, pp. 603–604, Jan. 1958.
- [93] C. Zener, "A Theory of the Electrical Breakdown of Solid Dielectrics," *Proc. R. Soc. A Math. Phys. Eng. Sci.*, vol. 145, no. 855, pp. 523–529, Jul. 1934.
- [94] M. Singh Tyagi, "Zener and avalanche breakdown in silicon alloyed p-n junctions," *Solid. State. Electron.*, vol. 11, pp. 117–128, 1968.
- [95] K. Boucart and A. M. Ionescu, "Double-Gate Tunnel FET With High-k Gate Dielectric," *IEEE Trans. Electron Devices*, vol. 54, no. 7, pp. 1725–1733, Jul. 2007.
- [96] H. A. O. Lu and A. Seabaugh, "Tunnel Field-Effect Transistors : State-of-the-Art," vol. 2, no. 4, 2014.
- [97] G. Zhou, Y. Lu, R. Li, Q. Zhang, W. S. Hwang, Q. Liu, T. Vasen, C. Chen, H. Zhu, J. Kuo, S. Koswatta, T. Kosel, M. Wistey, P. Fay, S. Member, A. Seabaugh, and H. Xing, "Vertical InGaAs / InP Tunnel FETs With Tunneling Normal to the Gate," vol. 32, no. 11, pp. 1516–1518, 2011.
- [98] S. Paper, "Self-aligned In_{0.53}Ga_{0.47}As /InP vertical Tunnel FET," vol. 2, no. c, pp. 1–2, 2011.
- [99] X. Zhao, A. Vardi, and J. A. Del Alamo, "InGaAs/InAs heterojunction vertical nanowire tunnel FETs fabricated by a top-down approach," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015–Febru, no. February, p. 25.5.1-25.5.4, 2015.
- [100] K. Tomioka and T. Fukui, "Tunnel field-effect transistor using InAs nanowire/Si heterojunction," *Appl. Phys. Lett.*, vol. 98, no. 8, 2011.
- [101] K. Tomioka, M. Yoshimura, and T. Fukui, "Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction," *Dig. Tech. Pap. - Symp. VLSI Technol.*, no. 2010, pp. 47–48, 2012.
- [102] E. Memisevic, J. Svensson, M. Hellenbrand, E. Lind, and L. Wernersson, "Vertical InAs / GaAsSb / GaSb Tunneling Field-Effect Transistor on Si with $S = 48$ mV/decade and $I_{on} = 10$ μ A/ μ m for $I_{off} = 1$ nA/ μ m at $V_{DS} = 0.3$ V," pp. 6–9, 2016.
- [103] K. K. Bhuiwarka, S. Sedlmaier, A. K. Ludsteck, C. Tolksdorf, J. Schulze, and I. Eisele, "Vertical tunnel field-effect transistor," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 279–282, 2004.
- [104] T. Nirschl, P.-F. Wang, C. Webe, J. Sedlmeir, R. Heinrich, R. Kakoschke, K. Schrufer, J. Holz, C. Pacha, T. Schulz, M. Ostermayr, A. Olbrich, G. Georgakos, E. Ruderer, W. Hansch, and D. Schmitt-Landsiedel, "The tunneling field effect transistor (TFET) as an add-on for ultra-low-voltage analog and digital processes," in *IEDM Technical Digest. IEEE International Electron Devices Meeting*, 2004., 2004, pp. 195–198.

- [105] P. F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weis, D. Schmitt-Landsiedel, and W. Hansch, "Complementary tunneling transistor for low power application," *Solid. State. Electron.*, vol. 48, no. 12, pp. 2281–2286, 2004.
- [106] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-gate strained-ge heterostructure tunneling FET (TFET) with record high drive currents and $<60\text{mV}/\text{dec}$ subthreshold slope," in *Technical Digest - International Electron Devices Meeting, IEDM*, 2008, vol. 67, no. May 2006, pp. 7–9.
- [107] D. Kazazis, P. Jannaty, A. Zaslavsky, C. Le Royer, C. Tabone, L. Clavelier, and S. Cristoloveanu, "Tunneling field-effect transistor with epitaxial junction in thin germanium-on-insulator," *Appl. Phys. Lett.*, vol. 94, no. 26, p. 263508, 2009.
- [108] A. Villalon, C. Le Royer, M. Casse, D. Cooper, J. M. Hartmann, F. Allain, C. Tabone, F. Andrieu, and S. Cristoloveanu, "Experimental investigation of the tunneling injection boosters for enhanced I_{on} ETSOI Tunnel FET," *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4079–4084, 2013.
- [109] S. Mookerjea, D. Mohata, R. Krishnan, J. Singh, A. Vallett, A. Ali, T. Mayer, V. Narayanan, D. Schlom, A. Liu, and S. Datta, "Experimental demonstration of 100nm channel length InGaAs-based vertical inter-band tunnel field effect transistors (TFETs) for ultra low-power logic and SRAM applications," in *2009 IEEE International Electron Devices Meeting (IEDM)*, 2009, pp. 1–3.
- [110] L. Wang, E. Yu, Y. Taur, and P. Asbeck, "Design of tunneling field-effect transistors based on staggered heterojunctions for ultralow-power applications," *IEEE Electron Device Lett.*, vol. 31, no. 5, pp. 431–433, 2010.
- [111] S. Mookerjea, D. Mohata, T. Mayer, V. Narayanan, and S. Datta, "Temperature-dependent I-V characteristics of a vertical InGaAs tunnel FET," *IEEE Electron Device Lett.*, vol. 31, no. 6, pp. 564–566, 2010.
- [112] G. Dewey, B. Chu-Kung, J. Boardman, J. M. Fastenau, J. Kavalieros, R. Kotlyar, W. K. Liu, D. Lubyshev, M. Metz, N. Mukherjee, P. Oakey, R. Pillarisetty, M. Radosavljevic, H. W. Then, and R. Chau, "Fabrication, characterization, and physics of III-V heterojunction tunneling Field Effect Transistors (H-TFET) for steep subthreshold swing," in *2011 International Electron Devices Meeting*, 2011, vol. 3, p. 33.6.1-33.6.4.
- [113] N. Shukla, A. V Thathachary, A. Agrawal, H. Paik, A. Aziz, D. G. Schlom, S. K. Gupta, R. Engel-Herbert, and S. Datta, "A steep-slope transistor based on abrupt electronic phase transition," *Nat. Commun.*, vol. 6, p. 7812, Aug. 2015.
- [114] A. Padilla, Chun Wing Yeung, C. Shin, C. Hu, and Tsu-Jae King Liu, "Feedback FET: A novel transistor exhibiting steep switching behavior at low bias voltages," in *2008 IEEE International Electron Devices Meeting*, 2008, pp. 1–4.
- [115] C. W. Yeung, A. Padilla, T.-J. K. Liu, and C. Hu, "Programming characteristics of the steep turn-on/off feedback FET (FBFET)," *Symp. VLSI Technol.*, pp. 176–177, 2009.
- [116] K. Gopalakrishnan, P. B. Griffin, and J. D. Plummer, "Impact Ionization MOS (I-MOS)—Part I: Device and Circuit Simulations," *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 69–76, Jan. 2005.
- [117] W. Choi, B. Choi, and D. Woo, "A new fabrication method for self-aligned nanoscale I-MOS (impact-ionization MOS)," ... [Includes' Late News ..., 2004.
- [118] W. Choi, J. Song, and B. Choi, "80nm self-aligned complementary I-MOS using double sidewall spacer and elevated drain structure and its applicability to amplifiers with high linearity," ... *Meet. 2004. IEDM ...*, pp. 203–206, 2004.

- [119] W. Y. Choi, S. Member, J. Y. Song, S. Member, J. D. Lee, Y. J. Park, and B. Park, "100-nm n-/p-Channel I-MOS Using a Novel Self-Aligned Structure," *Electron Device Lett.*, vol. 26, no. 4, pp. 261–263, 2005.
- [120] Woo Young Choi, Jae Young Song, Jong Duk Lee, Young June Park, and Byung-Gook Park, "70-nm impact-ionization metal-oxide-semiconductor (I-MOS) devices integrated with tunneling field-effect transistors (TFETs)," in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, 2005, vol. 6, no. c, pp. 955–958.
- [121] Eng-Huat Toh, Grace Huiqi Wang, Guo-Qiang Lo, N. Balasubramanian, Chih-Hang Tung, F. Benistant, Lap Chan, G. Samudra, and Yee-Chia Yeo, "A novel CMOS compatible L-shaped impact-ionization MOS (LI-MOS) transistor," in *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest.*, 2005, vol. 0, no. c, pp. 951–954.
- [122] E. Toh, G. H. Wang, L. Chan, G. Samudra, and Y. Yeo, "Device Design and Scalability of an Impact Ionization MOS Transistor with an Elevated Impact Ionization Region" *Simul. Semicond. Process. devices*, vol. 12, no. September, pp. 129–132, 2007.
- [123] E.-H. Toh, G. H. Wang, L. Chan, G.-Q. Lo, G. Samudra, and Y.-C. Yeo, "Strain and Materials Engineering for the I-MOS Transistor With an Elevated Impact-Ionization Region," *IEEE Trans. Electron Devices*, vol. 54, no. 10, pp. 2778–2785, Oct. 2007.
- [124] E.-H. Toh, G. H. Wang, L. Chan, G. Samudra, and Y.-C. Yeo, "Reduction of impact-ionization threshold energies for performance enhancement of complementary impact-ionization metal-oxide-semiconductor transistors," *Appl. Phys. Lett.*, vol. 91, no. 15, p. 153501, 2007.
- [125] U. Abelein and M. Born, "A novel vertical impact ionisation MOSFET (I-MOS) concept," *Microelectron. ...*, no. Miel, pp. 8–10, 2006.
- [126] U. Abelein, A. Assmuth, and P. Iskra, "Vertical 40 nm impact ionization MOSFET (I-MOS) for high temperature applications," *MIEL 2008.*, no. Miel, pp. 11–14, 2008.
- [127] M. Born, U. Abelein, K. K. Bhuwarka, M. Schindler, M. Schmidt, A. Ludsteck, J. Schulze, and I. Eisele, "Sub-50 nm high performance PDBFET with impact ionization," *Thin Solid Films*, vol. 508, no. 1–2, pp. 323–325, Jun. 2006.
- [128] U. Abelein, M. Born, K. K. Bhuwarka, M. Schindler, M. Schlosser, T. Sulima, and I. Eisele, "Improved Reliability by Reduction of Hot-Electron Damage in the Vertical Impact-Ionization MOSFET (I-MOS)," *IEEE Electron Device Lett.*, vol. 28, no. 1, pp. 65–67, Jan. 2007.
- [129] F. Mayer, C. Le Royer, G. Le Carval, C. Tabone, L. Clavelier, and S. Deleonibus, "Comparative study of the fabricated and simulated Impact Ionization MOS (IMOS)," *Solid. State. Electron.*, vol. 51, no. 4, pp. 579–584, 2007.
- [130] F. Mayer, C. Royer, G. Carval, C. Tabone, L. Clavelier, and S. Deleonibus, "Co-integration of 2 mV/dec Subthreshold Slope Impact Ionization MOS (I-MOS) with CMOS," *2006 Eur. Solid-State Device Res. Conf.*, pp. 303–306, Sep. 2006.
- [131] F. Mayer, C. Le Royer, G. Le Carval, L. Clavelier, and S. Deleonibus, "Static and Dynamic TCAD Analysis of IMOS Performance: From the Single Device to the Circuit," *IEEE Trans. Electron Devices*, vol. 53, no. 8, pp. 1852–1857, Aug. 2006.
- [132] C. Onal, R. Woo, and H. S. KOH, "A novel depletion-IMOS (DIMOS) device with improved reliability and reduced operating voltage," *IEEE electron device ...*, pp. 1–4, 2009.

Chapitre 2 – Étude, fabrication et caractérisations des diodes *pin*

Table des matières

I - Comportement électrique des diodes <i>pin</i> : étude analytique	54
1) Évolution du champ électrique dans les diodes <i>pn</i> et <i>pin</i>	54
2) Comportement électrique en polarisation directe	55
a) Courant de génération-recombinaison en polarisation directe	55
b) Courant de diffusion	56
3) Comportement électrique en polarisation inverse.....	56
a) Courant de génération-recombinaison en polarisation inverse.....	56
b) Description analytique de l'effet tunnel bande à bande	56
c) L'effet tunnel bande à bande assisté par les défauts.....	58
d) Historique et description analytique de l'ionisation par impact.....	58
e) Coefficients d'ionisation par impact α et β	60
f) Facteurs de multiplication M_n et M_p	61
II - Intérêt des matériaux III-V et hétérostructures	63
1) Coefficients d'ionisation des matériaux III-V et du silicium.....	63
2) Facteurs de multiplication des matériaux III-V et du silicium.....	64
3) Hétérostructures à base de matériaux III-V	65
III - Fabrication et caractérisations de la diode <i>pin</i> InP/ In_{0,53}Ga_{0,47}As.....	67
1) Structures épitaxiales et diagramme de bandes d'énergie	67
2) Réalisation technologique des diodes <i>pin</i> In _{0,53} Ga _{0,47} As, InP et InP/ In _{0,53} Ga _{0,47} As .	68
a) Réalisation du contact ohmique supérieur.....	68
b) Gravure du méso « peu profond »	69
c) Réalisation du contact ohmique inférieur	70
d) Gravure du méso d'isolation des dispositifs	71
3) Mesure des résistances R_C des couches de contact	71
a) État de l'art des contacts <i>p</i> et <i>n</i> sur InGaAs.....	71
b) Résistances R_C des contacts <i>p</i> et <i>n</i>	73
4) Caractéristiques courant-tension I_D - V_{DS}	73
a) Normalisation des caractéristiques I_D - V_{DS}	74
b) Effet de la température	76
c) Effet de l'hétérostructure	79
5) Modélisation des diodes <i>pin</i> InGaAs et InP avec $L_i = 100\text{nm}$	80

**IV - Étude, fabrication et caractérisation de la diode *pinin* In_{0,52}Al_{0,48}As/
In_{0,53}Ga_{0,47}As..... 82**

- 1) Structure épitaxiale et diagramme de bandes d'énergie..... 82
- 2) Champ électrique critique et champ électrique dans la diode *pinin*..... 84
 - a) Champ électrique critique d'effet tunnel bande à bande 84
 - b) Modulation du champ électrique dans la diode *pinin*..... 85
- 3) Réalisation technologique des diodes *pinin* In_{0,52}Al_{0,48}As/ In_{0,53}Ga_{0,47}As 87
- 4) Mesure des résistances R_C des couches de contact 88
- 5) Caractéristiques I_D-V_{DS} en polarisation inverse des diodes *pinin*..... 89
 - a) Étude en température 89
 - b) Effet de la longueur intrinsèque 90

V - Fabrication et caractérisation de la diode *pin* GaSb 91

- 1) Structure épitaxiale et réalisation technologique des diodes *pin* GaSb 91
 - a) Croissance métamorphique et pseudo-morphique..... 91
 - b) Structure épitaxiale des diodes sur substrat GaAs et GaSb 92
 - c) Procédé de fabrication 93
- 2) Mesure des résistances R_C et R_{\square} des couches de contact 93
 - a) État de l'art de contacts n sur GaSb..... 93
 - b) Mesure des résistances de contact 95
- 3) Caractéristiques courant-tension I_D-V_{DS} 97
 - a) Caractéristiques I_D-V_{DS} et modélisation des diodes *pin* GaSb sur substrat GaSb 97
 - b) Caractéristiques I_D-V_{DS} et modélisation des diodes *pin* GaSb sur substrat GaAs 98
 - c) Effet du substrat sur les caractéristiques I_D-V_{DS} des diodes *pin* GaSb 99
 - d) Effet de la température sur la diode *pin* GaSb sur substrat GaAs 100

Conclusion du chapitre 2 102

Bibliographie du chapitre 2 103

Chapitre 2 :

*Étude, fabrication et caractérisations des diodes *pin**

Nous avons vu dans un premier chapitre un bref état de l'art de différents transistors MOS à effet de champ ainsi que de transistors à faible pente sous le seuil et plus particulièrement le I-MOSFET (transistors MOS à effet de champ à ionisation par impact). Le principe de fonctionnement de ce transistor est basé sur le claquage par ionisation par impact d'une diode *pin* polarisée en inverse. Il est donc important d'étudier le comportement électrique, la structure et les différents matériaux possibles pour concevoir cette diode *pin* afin de réduire les tensions de fonctionnement V_{DS} du transistor. Actuellement, le silicium permet d'obtenir des I-MOSFET fonctionnant à une tension $V_{DS} \approx 6V$. Cependant, nous avons vu que les matériaux III-V des filières arséniée et antimoniée possèdent des coefficients d'ionisation similaires ou meilleurs que le silicium, et sont donc susceptibles de réduire la tension de fonctionnement V_{DS} . Dans ce second chapitre, nous présentons ainsi l'étude, la fabrication ainsi que la caractérisation de diodes *pin* à base de matériaux III-V des filières arséniée et antimoniée.

Ce chapitre est divisé en cinq parties. Tout d'abord nous présentons quelques généralités des diodes *pin*. Cette partie permet de comprendre le principe de fonctionnement de la diode *pin* ainsi que le phénomène de claquage par ionisation par impact et/ou par effet tunnel bande à bande intervenant dans ce composant. L'effet tunnel, étant un facteur négatif pour les I-MOSFET, est donc à limiter. Il aura tendance à dégrader la pente sous le seuil. Dans une seconde partie, nous abordons l'intérêt des matériaux III-V et des hétérostructures utilisées au cours de ce travail de thèse par rapport à la filière silicium. Dans une troisième partie, nous

détaillons les différentes étapes de fabrication des diodes *pin* réalisées à partir de matériaux de la filière arséniée ainsi que sa caractérisation électrique. Des mesures en température permettent de déterminer les phénomènes mis en jeu dans ces dispositifs tels que l'effet tunnel bande à bande. Dans une quatrième partie, nous présentons une architecture particulière de diode *pin* réalisée à partir de matériaux de la filière arséniée avec pour objectif de limiter la contribution de l'effet tunnel bande à bande sur le courant inverse de la diode. Dans une cinquième partie, nous résumons les différentes étapes de fabrication de la diode *pin* à partir d'une filière antimoniée ainsi que sa caractérisation électrique.

I - Comportement électrique des diodes *pin* : étude analytique

Dans un premier temps, nous abordons l'évolution du champ électrique dans les diodes *pn* et *pin*. Contrairement aux diodes à jonction *pn*, le champ électrique dans la diode *pin* est quasi-uniforme dans la zone intrinsèque, ce qui permet aux porteurs de charges d'acquérir une énergie cinétique lors du passage de la première zone dopée vers la seconde. Dans un deuxième temps, nous introduirons les différents modèles analytiques en polarisation directe. Dans une troisième partie, les différents modèles analytiques en polarisation inverse comme l'effet tunnel bande à bande ainsi que l'ionisation par impact sont présentés.

1) Évolution du champ électrique dans les diodes *pn* et *pin*

Une diode à jonction *pn* est la mise en contact d'un semiconducteur dopé *p* et un semiconducteur dopé *n*. Dans ce cas, il apparaît une zone de charge d'espace (ZCE) désertée de charges libres à la jonction. Cette zone de charge d'espace se crée par diffusion des électrons majoritaires de *n* vers *p* et des trous majoritaires de *p* vers *n* suivi d'un processus de recombinaison. Dans les zones *n* et *p* apparaissent alors de zones désertées respectivement d'électrons et de trous libres définissant ainsi la zone de charge d'espace. Cette ZCE va faire apparaître une barrière de potentiel et donc un champ électrique qui s'oppose au passage des porteurs et crée un équilibre. Ce champ électrique varie de façon quasi linéaire jusqu'à une valeur maximale dans la ZCE de plusieurs nanomètres (**figure 1.a**).

Dans le cas d'une diode *pin*, l'ajout d'une zone non intentionnellement dopée (intrinsèque) fait apparaître un champ électrique réparti de façon quasiment uniforme dans la zone intrinsèque (**figure 1.b**). Ce champ électrique constant pouvant s'étendre sur plusieurs micromètres est plus faible que pour une jonction *pn*. En effet, contrairement à la jonction *pn*, la barrière de potentiel créée se répartit sur toute la longueur intrinsèque induisant ainsi un champ électrique plus faible.

Pour des dopages *p* et *n* identiques dans les deux cas, nous observons que le champ électrique est plus faible dans le cas de la jonction *pin* que pour la jonction *pn* dû à la présence de la zone intrinsèque faiblement dopée. Par ailleurs pour une diode *pin* réelle, le dopage de la

zone intrinsèque est légèrement p (n) et on parle de diode $p\pi n$ (pvn). Ainsi, le champ électrique sera asymétrique dû à la dissymétrie de dopage aux jonctions pi ou in . Cette asymétrie est d'autant plus forte que le dopage de la zone intrinsèque est élevé.

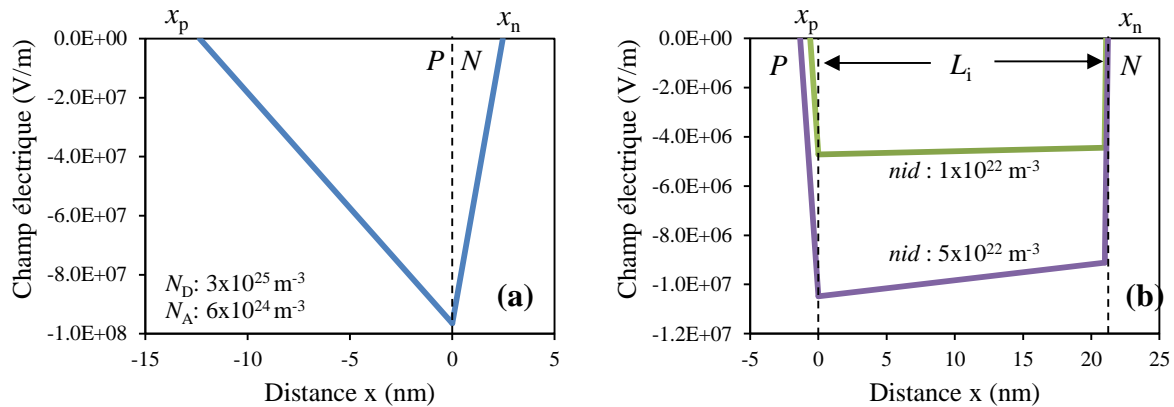


figure 1 – Représentation du champ électrique calculé dans le cas d'une jonction pn (a) et dans le cas d'une jonction pin (b) pour des niveaux de dopages N_A et N_D identiques dans les deux cas. Nous pouvons voir que le champ électrique est plus faible dans la jonction pin que la jonction pn à cause de la présence de la zone intrinsèque. L'influence d'un dopage résiduel n_{id} (dans notre cas légèrement n) dans la zone intrinsèque d'une jonction pin est également représentée.

L'avantage de la diode pin par rapport à la diode pn est de faire travailler la totalité de la zone intrinsèque sous un champ quasi-constant. Ainsi l'ajout d'une zone intrinsèque va influencer sur les caractéristiques électriques en polarisations directe et inverse.

2) Comportement électrique en polarisation directe

Pour des tensions positives, le courant est possible par la recombinaison de paires électrons-trous. Contrairement à la diode pn où les recombinaisons s'effectuent majoritairement dans la zone de charge d'espace, dans la diode pin elles s'effectuent soit dans la zone intrinsèque à faible tension soit dans les deux zones dopées p et n à forte tension. Cependant à forte tension, le courant de diffusion devient prédominant.

a) Courant de génération-recombinaison en polarisation directe

À basse tension, le courant de génération-recombinaison dans la région intrinsèque $J_{recombinaison}$ est donné par l'équation (1). Les constantes n_i , L_i , k_B , T , V_{bi} , τ_a sont respectivement la densité de porteurs intrinsèques, la longueur de la zone intrinsèque, la constante de Boltzmann, la température, la tension intrinsèque à la jonction pin et le temps de relaxation ambipolaire [1].

$$J_{recombinaison} = \frac{2n_i \cdot L_i \cdot k_B \cdot T}{(V_{bi} - V) \cdot \tau_a} \cdot \left[\exp\left(\frac{q \cdot V}{2k_B \cdot T}\right) - 1 \right] \quad (1)$$

b) Courant de diffusion

À plus forte tension le courant est majoritairement un courant de diffusion (2). Les constantes q , $\mu_{n(p)}$, $\tau_{n(p)}$, $N_{d(a)}$, sont respectivement charge puis la mobilité des électrons (trous), le temps de relaxation des électrons (trous) ainsi que la densité de donneurs (accepteurs) [2], [3].

$$J_{diff} \propto q \cdot n_i^2 \sqrt{k_B \cdot T} \cdot q \left[\sqrt{\frac{\mu_n}{\tau_n}} \left(\frac{1}{N_a} \right) + \sqrt{\frac{\mu_p}{\tau_p}} \left(\frac{1}{N_d} \right) \right] \cdot \left[\exp \left(\frac{q \cdot V}{k_B \cdot T} \right) - 1 \right] \quad (2)$$

Puis à très forte tension le courant devient limité par les résistances d'accès du dispositif.

3) Comportement électrique en polarisation inverse

a) Courant de génération-recombinaison en polarisation inverse

En polarisation inverse, la zone intrinsèque est complètement déserte et sa résistance est élevée. À très faible tension inverse, le courant est celui dû à la génération-recombinaison thermique des porteurs dans la zone intrinsèque. Le courant de génération-recombinaison thermique (3) dépend ainsi de la température et correspond au passage d'électrons de la bande de valence vers la bande de conduction [4], [2] par activation thermique.

$$J_{génération} = \frac{2n_i \cdot L_i \cdot k_B \cdot T}{(V_{bi} - V) \cdot \tau_a} \sinh \left(\frac{q \cdot V}{2k_B \cdot T} \right) \cdot f(V) \quad (3)$$

Où

$$f(V) = \int_0^\infty \frac{du}{u^2 + 2u \exp \left(-\frac{q \cdot V}{2k_B \cdot T} \right) + 1} \quad (4)$$

Avec u une variable d'intégration. À plus forte polarisation inverse apparaît le claquage de la jonction (augmentation brutale du courant inverse). Ce claquage n'est destructif que s'il conduit à un auto-échauffement important. L'origine de ce claquage est liée à deux phénomènes : l'effet tunnel bande à bande et l'ionisation par impact.

b) Description analytique de l'effet tunnel bande à bande

L'effet tunnel est un phénomène quantique dans lequel une particule (l'électron par exemple) considérée comme une onde a la capacité de franchir une barrière de potentiel même si son énergie est inférieure à celle requise pour la franchir. Dans cette partie, nous nous intéressons à la description du modèle analytique de l'effet tunnel bande à bande. Traduisant le passage des électrons de la bande de valence vers la bande de conduction, la probabilité de

transmission $\tau(E)$ donnée par l'équation (5) est obtenue à partir de la théorie WKB (G. Wentzel, H. Kramer et L. Brillouin) [5].

$$\tau(E) = \exp\left(-\frac{2}{\hbar} \int_{x_1}^{x_2} \sqrt{2m_T^* \cdot (E_C(x) - E)} dx\right) \quad (5)$$

Où x_1 et x_2 sont les abscisses selon l'axe x sur le diagramme de bandes d'énergie, \hbar la constante de Planck, m_T^* la masse tunnel correspondant en général à la masse effective du porteur et E est la différence d'énergie entre le haut de la bande de valence côté p et le bas de la bande conduction côté n (**figure 2**).

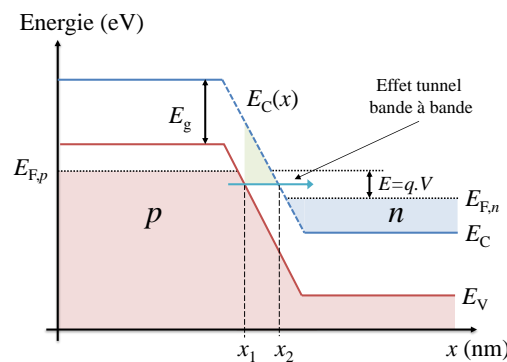


figure 2 - Diagramme de bandes d'énergie simplifié d'une diode en polarisation inverse avec les zones p et n dégénérées. Il est possible de définir une barrière de potentielle triangulaire et obtenir $x_2 = x_1 + \frac{E_g}{qF}$.

À l'aide de ce diagramme de bandes d'énergie, nous pouvons définir l'équation (6) et l'insérer dans l'équation (5) où F est le champ électrique dans la zone intrinsèque de la diode pin .

$$E_C(x) - E = E_g - q F (x - x_1) \quad (6)$$

Par intégration, nous en déduisons la probabilité de transmission $\tau(E)$ à une tension donnée (7). Ce cas n'est applicable que pour les semiconducteurs à gap direct.

$$\tau(E) = \exp\left(-\frac{4\sqrt{2m_T^*} \cdot E_g^{3/2}}{3q \cdot \hbar \cdot F}\right) \quad (7)$$

Le courant tunnel $j_{V \rightarrow C}$ associé au passage des porteurs de charges de la bande de valence vers la bande de conduction peut donc s'exprimer par (8) où $f_C(E)$ et $f_V(E)$ sont les fonctions de distribution de Fermi-Dirac.

$$j_{V \rightarrow C} \propto \int_{E_{V,p}}^{E_{C,n}} N_C(E) \cdot (1 - f_C(E)) \cdot \tau(E) \cdot N_V(E) \cdot f_V(E) dE \quad (8)$$

Et le courant tunnel $j_{C \rightarrow V}$ associé au passage des porteurs de charges de la bande de conduction vers la bande de valence est donné par (9).

$$j_{C \rightarrow V} \propto \int_{E_{C,n}}^{E_{V,p}} N_C(E) \cdot f_C(E) \cdot \tau(E) \cdot N_V(E) \cdot (1 - f_V(E)) dE \quad (9)$$

En polarisation inverse, le courant d'électrons vaut $j_{tunnel} = j_{V \rightarrow C} - j_{C \rightarrow V}$ [6] et est donné par l'équation (10). Ce modèle analytique [7], [8] est utilisé en comparaison avec nos mesures expérimentales. La grandeur σ_t permet d'ajuster le modèle et est proche de 1.

$$j_{tunnel} = \frac{\sqrt{2m_T^*} \cdot q^3 F \cdot V}{h^2 \cdot \sqrt{E_g}} \exp\left(-\frac{2\pi \cdot \sigma_t \cdot \sqrt{m_T^*}}{q \cdot h \cdot F} E_g^{3/2}\right) \quad (10)$$

c) L'effet tunnel bande à bande assisté par les défauts

L'effet tunnel bande à bande peut être aussi assisté par les défauts (de densité n_t) dans le semiconducteur présentant des niveaux énergétiques dans la bande interdite E_t . Le modèle analytique est donné par l'équation (11) où M^2 est une matrice associée au potentiel apporté par les impuretés [2], [9].

$$J_{tat} = \frac{q^3 \cdot m^* \cdot V \cdot L_i \cdot M^2 \cdot n_t}{8\pi \cdot \hbar^3 \cdot (E_g - E_t)} \cdot \exp\left(-\frac{4\sqrt{2m^*}}{3q \cdot \hbar \cdot F} (E_g - E_t)^{3/2}\right) \quad (11)$$

d) Historique et description analytique de l'ionisation par impact

C'est entre 1897 et 1901 que le phénomène d'avalanche électronique dans un gaz a été découvert par John Sealy Townsend, il y donna le nom de « avalanche Townsend ». Ce phénomène implique des électrons libres dans un gaz à fort champ électrique. Les électrons accélérés par le champ électrique vont entrer en collision avec d'autres électrons liés aux atomes ou molécules. Lors de l'impact, l'atome ou la molécule va s'ioniser et libérer un ou des électrons devenant libres. Cette réaction en chaîne va créer au final une avalanche tant que le champ électrique existe.

Des phénomènes utilisant ce principe d'ionisation sont les arcs électriques lors des orages, les étincelles (claquage électrique) ou les décharges Corona (décharge électrique sans claquage). Dans les semiconducteurs, nous parlons d'ionisation par impact lorsque les électrons libres de la bande de conduction soumis à un fort champ électrique interagissent avec les

électrons de la bande de valence des atomes du réseau en créant des paires électron-trou (**figure 3.a**). Si les électrons et trous créés acquièrent suffisamment d'énergie pour créer d'autres paires électron-trou alors il y aura pour conséquence la multiplication du nombre de porteurs libres donc un accroissement de l'intensité du courant. Ce phénomène alors est nommé « avalanche » (**figure 3.b**).

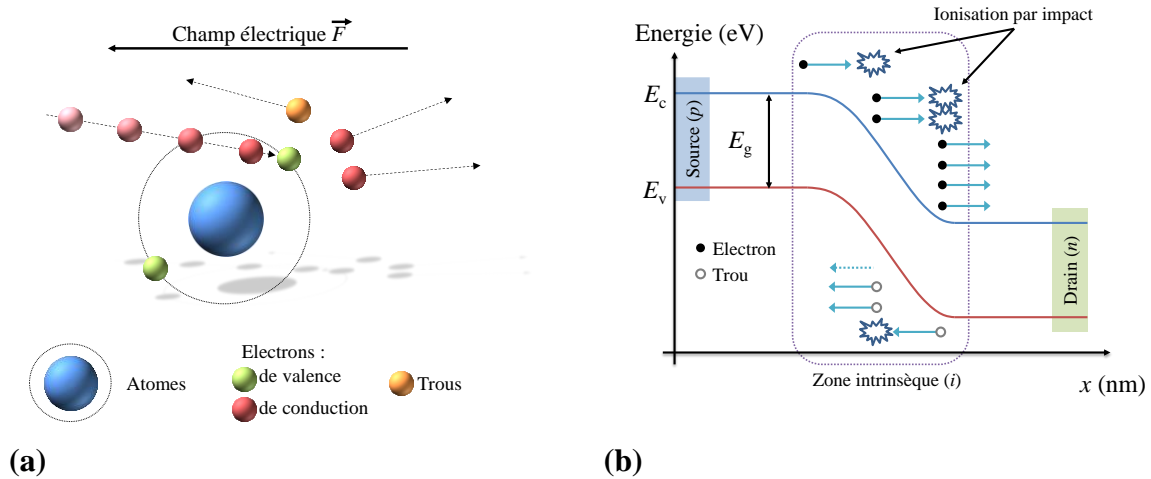


figure 3 – Principe de création d'une paire électron-trou dans un semiconducteur (a) et diagramme de bande montrant l'ionisation par impact (avalanche) dans une diode *pin* (b).

Dans la théorie, pour qu'un électron libre puisse ioniser un électron de la bande de valence et compte tenu des lois de conservation d'énergie et de moment, il lui faut une énergie de seuil E_i supérieure à l'énergie de bande interdite E_g . Cette énergie peut se calculer par l'équation (12) pour les électrons et vaut environ $3/2 \times E_g$ lorsque les masses effectives de l'électron m_e^* et du trou m_h^* sont égales [10].

$$E_i = E_g \left(1 + \frac{m_e^*}{m_e^* + m_h^*} \right) = \frac{3}{2} E_g \quad \text{si } m_e^* = m_h^* \quad (12)$$

La probabilité d'ionisation p pour le porteur de charge est reliée à son énergie E par la relation (13) où A est un facteur de normalisation. Cependant la densité de porteurs de charges diminue exponentiellement avec l'énergie, ce qui induit une dépendance exponentielle de la probabilité d'ionisation (14) en fonction de l'énergie moyenne des porteurs \bar{E} [11].

$$p = A (E - E_i)^2 \quad (13)$$

Soit,

$$p = A \exp(-E_i/\bar{E}) \quad (14)$$

Cette probabilité peut se calculer pour l'InGaAs à température ambiante et sans champ électrique. Admettons que l'énergie moyenne à l'équilibre thermique est liée à l'énergie potentielle $\bar{E} = E_0 = \frac{3}{2}k_B T \approx 39 \text{ meV}$ et que l'énergie de seuil $E_i \approx 0,81 \text{ eV}$ alors la probabilité d'ionisation $p \approx \exp\left(-\frac{0,81}{0,039}\right) \approx 1,1 \times 10^{-9}$. La densité de porteurs pouvant ioniser dans une zone intrinsèque, à un dopage de $1 \times 10^{16} \text{ cm}^{-3}$, est de l'ordre de $1 \times 10^7 \text{ cm}^{-3}$ soit un pourcentage de $10^{-7} \%$ de porteurs pouvant ioniser. Afin d'amplifier l'ionisation par impact et atteindre l'effet d'avalanche, il est nécessaire d'appliquer un champ électrique F suffisamment grand pour donner de l'énergie aux porteurs de charges $E = E_0 + q \cdot \mu \cdot \tau \cdot F^2$, où μ est la mobilité et τ le temps de relaxation.

Cependant, même si les porteurs de charges peuvent acquérir de l'énergie par le champ électrique F , ils peuvent aussi en perdre par des interactions avec les phonons (optiques ou acoustiques) ou avec les impuretés. L'énergie des phonons optiques ou acoustiques du réseau vaut $E_{\text{ph}} = \hbar\omega$ et est inférieure à l'énergie de seuil. Par exemple pour le silicium, l'énergie des phonons optiques est de $E_{\text{ph}} = 0,063 \text{ eV}$, tandis que pour l'InGaAs l'énergie des phonons optiques est de $E_{\text{ph}} = 0,034 \text{ eV}$. De plus dans les matériaux III-V, les phonons acoustiques sont prédominants et possèdent une énergie plus faible que les phonons optiques. Nous voyons donc que l'ionisation par impact est plus difficile dans le cas des matériaux III-V que dans le cas du silicium due à la forte interaction avec les phonons.

Néanmoins, la meilleure mobilité et les énergies de seuil nécessaires à l'ionisation par impact plus faibles pour les matériaux III-V que pour le silicium montre un intérêt d'utiliser ces matériaux. Le **tableau 1** résume les énergies de seuil pour les électrons pour différents semiconducteurs III-V et pour le silicium ainsi que la probabilité d'ionisation à l'équilibre thermique sans champ électrique.

Semiconducteur	InAs	GaSb	InGaAs	InP	InAlAs	Si
$E_i^{e^-}$ (eV)	0,37	0,80	0,80	1,51	1,74	1,83
Probabilité p	7.1×10^{-5}	1.1×10^{-9}	1.1×10^{-9}	$1,4 \times 10^{-17}$	$4,1 \times 10^{-20}$	$3,8 \times 10^{-21}$

tableau 1 – Energie de seuil d'ionisation des électrons pour différents semiconducteurs III-V et pour le silicium, ainsi que leur probabilité d'ionisation à l'équilibre thermique sans champ électrique.

e) Coefficients d'ionisation par impact α et β

Le modèle le plus utilisé pour l'effet d'ionisation par impact est celui de *A.G. Chynoweth* [12]. Il définit des coefficients d'ionisation α et β représentant le nombre d'ionisation par impact par unité de longueur parcourue respectivement par un électron ou un trou en fonction du champ électrique local. Ces coefficients d'ionisation évoluent très rapidement avec le champ

électrique. Comme nous l'avons vu, il faut un certain temps avant que le porteur de charge acquiert de l'énergie à cause des interactions avec les phonons. Nous pouvons alors définir la longueur l_{ionis} , parcourue par les porteurs, exprimant la distance entre chaque ionisation à un champ F supérieur au champ de claquage $F_{i,n(p)}$. À un champ F inférieur au champ de claquage, pour obtenir une énergie de seuil E_i suffisante il faut une longueur minimale l_f , parcourue par les porteurs, qui soit supérieure à l_{ionis} afin de mener à l'ionisation par impact. Cette longueur peut s'exprimer par l'équation (15), ce qui permet de déduire la probabilité d'ionisation par impact en fonction du champ électrique (16). Nous pouvons noter que la distance l_{ionis} est égale au libre parcours moyen du semiconducteur.

$$l_f \approx \frac{E_i}{qF} \quad (15)$$

La probabilité qu'un porteur parcourt une distance l_f sans collision afin d'atteindre l'énergie E_i devient (16).

$$p \approx A \exp\left(-\frac{l_f}{l_{ionis}}\right) \approx A \exp\left(-\frac{E_i}{qFl_{ionis}}\right) \quad (16)$$

Ce qui permet de définir empiriquement les coefficients d'ionisation pour les électrons α (17) et pour les trous β (18) en fonction du champ électrique [13].

$$\alpha = \alpha_\infty \exp\left(-\frac{F_{i,n}}{F}\right)^{\gamma_n} \quad (17)$$

$$\beta = \beta_\infty \exp\left(-\frac{F_{i,p}}{F}\right)^{\gamma_p} \quad (18)$$

Où α_∞ et β_∞ représentent les valeurs limites des coefficients α et β lorsque le champ F devient très supérieur aux champs critiques $F_{i,n}$ et $F_{i,p}$ tandis que γ_n et γ_p représentent des facteurs d'ajustement proches de 1 pour les matériaux III-V (égaux à 1 pour le silicium). Ces valeurs limites correspondent à l'inverse de la distance l_{ionis} parcourue par les porteurs dans le semiconducteur en supposant que chaque interaction engendre une ionisation par impact.

f) Facteurs de multiplication M_n et M_p

Pour l'ionisation par impact, nous pouvons définir l'augmentation du courant d'électrons par avalanche d'électrons et de trous après une distance dx à l'aide de dérivées partielles (19).

$$\frac{dj_n}{dx} = -\frac{dj_p}{dx} = \frac{\partial j_n}{\partial x}\Big|_n + \frac{\partial j_n}{\partial x}\Big|_p = \alpha j_n + \beta j_p \quad (19)$$

Pour les trous, l'équation est équivalente au signe près. Le courant total d'ionisation par impact dû aux électrons et aux trous est donc défini par l'équation (20).

$$j_{\text{ionisation}} = j_n + j_p \quad (20)$$

Considérons maintenant un électron injecté dans une zone peu dopée d'un semiconducteur présentant la caractéristique $\alpha \approx \beta$. Dans ce cas, il y aura autant d'évènements d'ionisation initiés par les électrons que par les trous et l'augmentation du courant d'électron est donnée par l'équation (21).

$$\frac{dj_n}{dx} = (\alpha - \beta) \cdot j_n + \beta \cdot j_{\text{ionisation}} \quad (21)$$

La multiplication du nombre de porteurs est exprimée à l'aide du facteur de multiplication $M_{n,(p)}$ et correspond au gain de courant, pour les électrons $M_n = j_n(L_i)/j_n(0)$. Ce facteur de multiplication peut se calculer en résolvant l'équation différentielle (21) et s'exprime sous la forme des équations (22) et (23) pour un électron ou un trou traversant une zone intrinsèque de longueur L_i [11]. L'ionisation par impact a lieu lorsque M tend vers l'infini.

$$M_n = \frac{1}{1 - \int_0^{L_i} \alpha \exp(-\int_0^x (\alpha - \beta) dx') dx} \geq 1 \quad (22)$$

$$M_p = \frac{1}{1 - \int_0^{L_i} \beta \exp(-\int_0^x (\alpha - \beta) dx') dx} \geq 1 \quad (23)$$

La **figure 4** représente les facteurs de multiplication obtenus par calcul pour les électrons et les trous dans différents cas de coefficients d'ionisation. Nous remarquons premièrement que le meilleur cas est obtenu lorsque les coefficients d'ionisation sont égaux, $\alpha = \beta$. Lorsque le coefficient et $\beta = \alpha/2$, le champ électrique pour lequel le facteur de multiplication va tendre vers l'infini augmente. Cette observation est d'autant plus importante que le coefficient β tend vers 0. Ainsi, nous pouvons remarquer que pour favoriser l'ionisation par impact il faut satisfaire la condition $\alpha \approx \beta$.

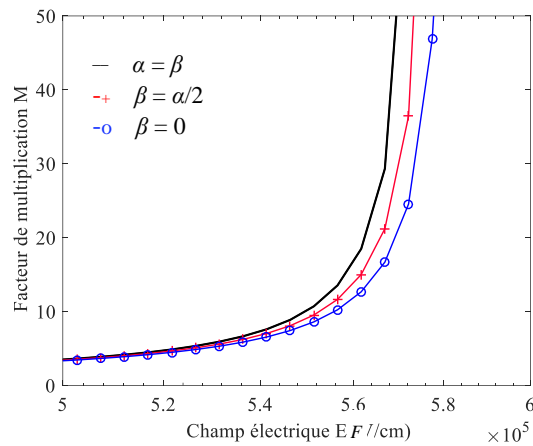


figure 4 – Facteurs de multiplication des électrons obtenus par calcul dans différents cas de coefficients d'ionisation α et β , lorsque $\alpha = \beta$ (en noir), $\alpha = \beta/2$ (-+ rouge) et $\beta = 0$ (-o bleu).

II - Intérêt des matériaux III-V et hétérostructures

Nous venons de voir qu'il est intéressant d'avoir des coefficients d'ionisation pour les électrons et les trous quasiment égaux, ce qui permet de diminuer le champ électrique à fournir pour rentrer en régime d'avalanche. Cependant dans la plupart des semiconducteurs, cette condition n'est pas réalisée.

1) Coefficients d'ionisation des matériaux III-V et du silicium

K.G. McKay et al. sont les premiers en 1953 à avoir constaté l'avalanche par ionisation par impact dans le silicium puis dans le germanium [14], [15]. Par la suite, *S. L. Miller* basé sur la théorie de *P.A. Wolff* [16] a déterminé des coefficients d'ionisation pour le silicium [17] et le germanium [10]. Ce n'est que plusieurs années après, à partir des années 1980, que des mesures ont été effectuées pour estimer les coefficients d'ionisation dans les matériaux III-V. La **figure 5** montre les différents coefficients d'ionisation α et β extraits à partir de données expérimentales puis calculés à l'aide du modèle analytique (17), (18). Nous pouvons remarquer que les coefficients d'ionisation de l'InGaAs sont similaires à ceux du silicium. De plus, sachant que l'énergie de bande interdite est plus faible pour l'InGaAs que le silicium, ce dernier peut être un candidat potentiel pour remplacer le silicium dans les transistors à ionisation par impact.

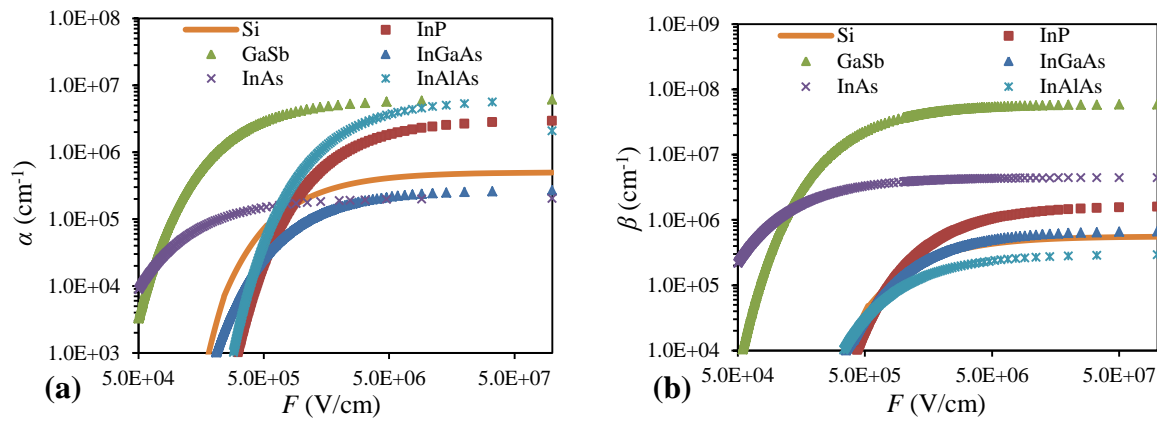


figure 5 – Coefficients d’ionisation pour les électrons (a) et pour les trous (b) pour différents matériaux. Le silicium présente des caractéristiques similaires à l’InGaAs.

Les valeurs α_∞ , $F_{i,n}$, β_∞ et $F_{i,p}$ des différents coefficients d’ionisation, calculés à partir des données expérimentales et du modèle analytique, sont extraites de la littérature puis reportées dans le **tableau 2**. Nous pouvons noter que l’InAs ainsi que le GaSb possèdent des coefficients $\alpha(\beta)_\infty$ élevés et $F_{i,n(p)}$ faibles ce qui peut supposer une faible tension d’avalanche, cependant les coefficients d’ionisation α et β sont trop différents pour émettre cette conclusion. D’un autre côté, les matériaux comme l’InP, l’InGaAs ou l’InAlAs possèdent des coefficients d’ionisations α et β proches et similaires au silicium, ce qui permet de concentrer nos premières recherches sur ces derniers.

Semiconducteur	InAs	GaSb	InGaAs	InP	InAlAs	Si
	[18], [19]	[20]	[21]	[22], [23]	[24], [25]	[26], [27]
$\alpha_\infty \times 10^6 \text{ (cm}^{-1}\text{)}$	0,202	6,11	0,269	2,99	2,1	0,758
$F_{i,n} \times 10^6 \text{ (V.cm}^{-1}\text{)}$	0,157	0,379	1,17	2,85	1,62	1,23
$\beta_\infty \times 10^6 \text{ (cm}^{-1}\text{)}$	4,44	59,1	0,678	1,62	2,4	1,39
$F_{i,p} \times 10^6 \text{ (V.cm}^{-1}\text{)}$	0,152	0,473	1,56	2,21	1,86	1,91

tableau 2 – Valeurs des coefficients d’ionisations pour différents matériaux III-V comparés au silicium.

2) Facteurs de multiplication des matériaux III-V et du silicium

La **figure 6** montre les facteurs de multiplication des électrons et des trous, calculés à partir de ces coefficients d’ionisations, en fonction du champ électrique pour une longueur intrinsèque $L_i = 300 \text{ nm}$. Les matériaux tels que le GaSb ou l’InAs présentent des facteurs de multiplication très élevés pour un champ électrique plus faible que pour le silicium. Cependant la technologie de fabrication sur ces deux matériaux n’est pas mature. Néanmoins, les facteurs de multiplication de l’InGaAs, de l’InP ou de l’InAlAs sont proches de ceux du silicium, ce qui fait de ces matériaux des candidats potentiels pour remplacer le silicium.

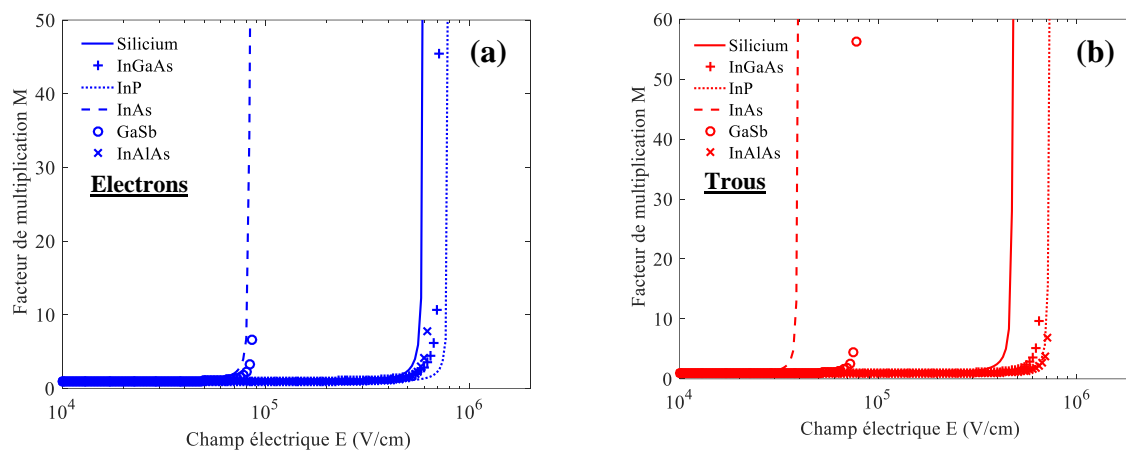


figure 6 – Facteur de multiplication des électrons (a) et des trous (b) pour différents matériaux tels que le GaSb (o), l'InAs (---), l'InP (.....), l'InAlAs (x), l'InGaAs (++) et le silicium (–) avec $L_i = 300$ nm

3) Hétérostructures à base de matériaux III-V

Comme nous venons de le voir, tous les matériaux ne sont pas favorables pour obtenir de l'ionisation par impact à faible tension tout en évitant l'effet tunnel bande à bande. Nous nous sommes particulièrement intéressés aux matériaux III-V car ils permettent une ingénierie de structures de bandes d'énergie plus variées que pour le silicium. De plus, leurs faibles valeurs d'énergie de bande interdite E_g entraînent des plus faibles énergies de seuil favorisant ainsi l'ionisation par impact. Ainsi l'utilisation d'hétérostructures basées sur ces matériaux peut donc artificiellement améliorer les coefficients d'ionisation et rendre les matériaux III-V plus attractifs que le silicium pour cette technologie de transistor à ionisation par impact.

En 2007, *E. H. Toh et al.* [28] ont proposé une architecture de transistors à ionisation par impact L-shape utilisant une hétérostructure $\text{Si}_{0,75}\text{Ge}_{0,25}/\text{Si}$ (**figure 7.a**). Cette structure permet d'éloigner l'ionisation par impact de la grille et d'éviter les dégradations par les porteurs chauds (voir chapitre 1). En 2010, *D. Sarkar et al.* [29] ont proposé une architecture nommée E^2 I-MOSFET basée sur l'hétérostructure $\text{Si}_{0,5}\text{Ge}_{0,5}/\text{Si}$ (**figure 7.b**). La « discontinuité » de bande de valence ΔE_v formée par l'alignement des bandes d'énergie permet d'accumuler les trous à l'interface des deux matériaux. Ainsi, l'accumulation de trous va modifier la structure de bandes d'énergie et accroître le champ électrique dans la zone intrinsèque. L'ionisation par impact sera alors amplifiée. Les auteurs ont montré, par simulation, une diminution de la tension de fonctionnement de l'ordre de 1,8 V.

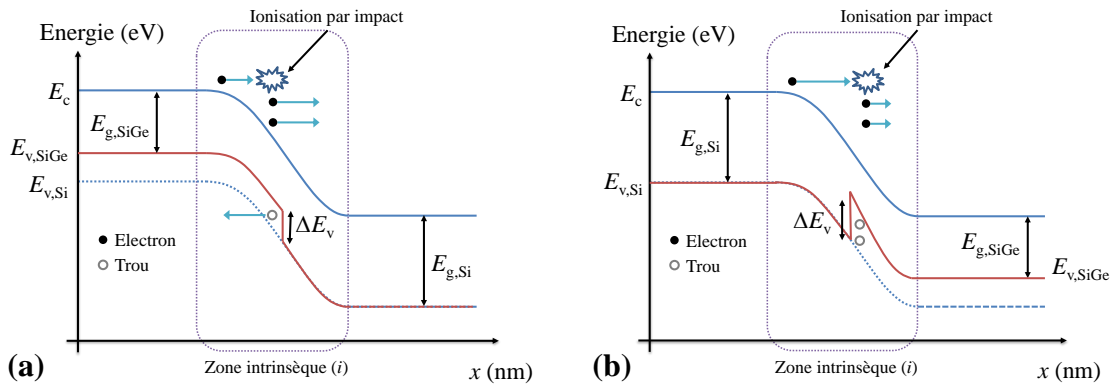


figure 7 – Représentation schématique des diagrammes de bandes d’énergie de transistors I-MOSFET basés sur l’hétérostructure SiGe/Si dans le cas de *E.H. Toh et al.* (a) et dans le cas de *D. Sarkar et al.* (b).

Bien que le silicium permette actuellement d’obtenir une pente sous le seuil faible inférieure à 5 mV/décade, la tension de fonctionnement reste de l’ordre de 5 V. L’utilisation de Germanium peut potentiellement réduire cette tension à environ 1V par sa faible énergie de bande interdite. Les matériaux III-V avec une énergie de bande interdite peuvent potentiellement réduire la tension de fonctionnement. De plus la variété d’ingénierie de bande d’énergie peut accroître l’effet d’ionisation par impact et réduire la tension d’alimentation. Par exemple, une hétérostructure de type 1 (**figure 8**) permet de créer deux « discontinuités » de bandes de valence ΔE_v et de conduction ΔE_c . Dans ce cas, la discontinuité de bande de conduction ΔE_c permet aux électrons d’acquérir de l’énergie cinétique par la diminution de l’énergie potentielle (conservation de l’énergie). Tandis que la « discontinuité » de bande de valence ΔE_v permet d’accumuler des trous à l’interface des deux matériaux et amplifier le champ électrique. Ainsi l’hétérostructure de type 1 peut potentiellement réduire la tension de fonctionnement.

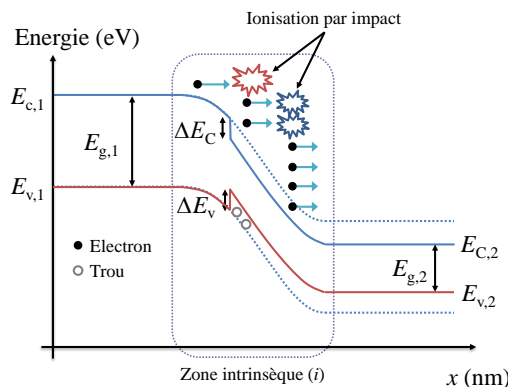


figure 8 – Représentation schématique des diagrammes de bandes d’énergie d’un transistor I-MOSFET à matériaux III-V basé sur une hétérostructure de type 1. Cette hétérostructure permet un gain d’énergie cinétique grâce à la discontinuité ΔE_c et d’amplifier le champ électrique grâce à la discontinuité ΔE_v .

Contrairement à la filière silicium, de nombreuses hétérostructures de type 1 peuvent être réalisées à partir des matériaux III-V. Par exemple, dans la filière arsénée l'hétérostructure $\text{In}_{0,65}\text{Ga}_{0,35}\text{As}/\text{In}_{0,65}\text{Al}_{0,35}\text{As}$ permet des « discontinuités » de bandes d'énergie $\Delta E_V = 0,17$ eV et $\Delta E_C = 0,33$ eV. L'hétérostructure $\text{Ga}_{0,5}\text{In}_{0,5}\text{Sb}/\text{Ga}_{0,25}\text{In}_{0,5}\text{Al}_{0,25}\text{Sb}$, de la filière antimonée, permet des « discontinuités » de bandes d'énergie $\Delta E_V = 0,09$ eV et $\Delta E_C = 0,3$ eV.

III - Fabrication et caractérisations de la diode *pin* InP/ $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$

1) Structures épitaxiales et diagramme de bandes d'énergie

La première diode *pin* de la filière arsénée est basée sur une hétérostructure InP/ InGaAs adaptée en maille. Cette première structure est liée au fait que sa technologie de fabrication à l'IEMN est mature même si a priori il ne s'agit pas de la filière la plus intéressante pour concevoir des transistors I-MOSFET d'après nos études précédentes.

Afin d'étudier le comportement électrique des diodes *pin* à base d'InP et d'InGaAs, trois hétérostructures InP/ InGaAs (**figure 9.a**) de longueurs intrinsèques différentes ont été réalisées ($L_i = 30, 50$ et 100 nm). Par ailleurs, l'effet de l'hétérostructure a été observé par comparaison avec des diodes *pin* InP et InGaAs (**figure 9.b**) de longueurs $L_i = 100$ nm. En effet, la tension de claquage varie avec la longueur intrinsèque, la diminution de cette dernière permettrait une diminution de la tension de claquage. De plus, deux hétérostructures ont été étudiées afin de voir l'impact du gain en énergie cinétique à la jonction sur la tension de claquage.

Les couches épitaxiales sont réalisées de la façon suivante : une couche tampon (« buffer » en anglais) semi-isolante d'InAlAs adaptée en maille est déposée sur un substrat d'InP permettant l'isolation électrique des diodes *pin*. Sur ce buffer est ensuite déposée une couche d'InGaAs fortement dopée *n* ($3 \times 10^{19} \text{ cm}^{-3}$) pour le contact ohmique de type *n*. Dans le cas des hétérostructures InP/ InGaAs, la zone intrinsèque est composée d'une première couche d'InGaAs non intentionnellement dopée *nid* ($\approx 10^{16} \text{ cm}^{-3}$) d'épaisseur 20, 40 ou 90 nm et d'une couche d'InP *nid* d'épaisseur 10 nm. Dans le cas des diodes *pin* InP ou InGaAs, la zone intrinsèque est composée d'une couche d'InP ou d'InGaAs non intentionnellement dopée *nid* d'épaisseur 100 nm. Ensuite, dans les deux types de diodes *pin*, une couche fortement dopée *p* d'InGaAs ($3 \times 10^{19} \text{ cm}^{-3}$) est déposée sur une couche d'InP ou d'InGaAs fortement dopée *p* ($3 \times 10^{19} \text{ cm}^{-3}$) pour le contact ohmique de type *p*. Le détail des étapes technologiques menant à la réalisation de ces diodes est présenté en annexe.

In _{0,53} Ga _{0,47} As	$p = 3 \times 10^{19} \text{ cm}^{-3}$	10nm	In _{0,53} Ga _{0,47} As	$p = 3 \times 10^{19} \text{ cm}^{-3}$	10nm
InP	$p = 3 \times 10^{19} \text{ cm}^{-3}$	50nm	InP ou In _{0,53} Ga _{0,47} As	$p = 3 \times 10^{19} \text{ cm}^{-3}$	50nm
InP	<i>nid</i>	10nm	InP ou In _{0,53} Ga _{0,47} As	<i>nid</i>	100nm
In _{0,53} Ga _{0,47} As	<i>nid</i>	20, 40 ou 90nm	In _{0,53} Ga _{0,47} As	$n = 3 \times 10^{19} \text{ cm}^{-3}$	300nm
In _{0,53} Ga _{0,47} As	$n = 3 \times 10^{19} \text{ cm}^{-3}$	300nm	In _{0,52} Al _{0,48} As (buffer)		
In _{0,52} Al _{0,48} As (buffer)			InP (substrat)		

figure 9 – Schémas des hétérostructures InP/ InGaAs pour différentes longueurs intrinsèques : 30 nm, 50 nm, 100 nm (a) et des homostructures d’InP ou d’InGaAs de longueur intrinsèque 100nm (b).

L’alignement des bandes de valence et de conduction a été extrait par la simulation TCAD à l’équilibre thermodynamique sans polarisation pour la diode *pin* InP/ InGaAs de longueur intrinsèque 100 nm (**figure 10**). Les valeurs $\Delta E_C = 0,2 \text{ eV}$ et $\Delta E_V = 0,4 \text{ eV}$ ainsi extraites confirment les valeurs théoriques obtenues par la différence des affinités électroniques.

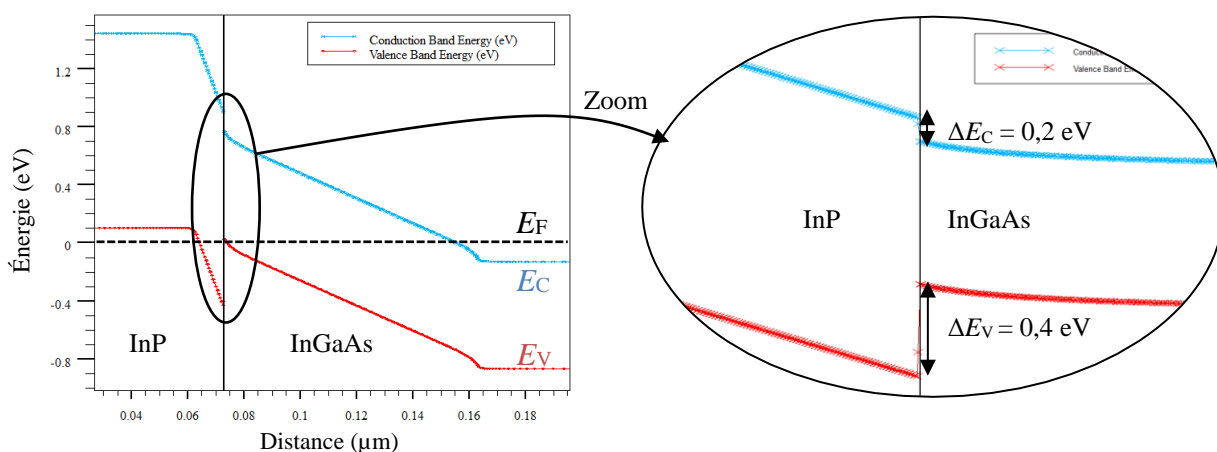


figure 10 – Simulation TCAD montrant l’alignement des bandes de conduction et de valence de la diode *pin* InP/ InGaAs ($L_i = 100 \text{ nm}$) sans polarisation et son zoom à droite.

2) Réalisation technologique des diodes *pin* In_{0,53}Ga_{0,47}As, InP et InP/ In_{0,53}Ga_{0,47}As

a) Réalisation du contact ohmique supérieur

Avant de procéder aux différentes étapes technologiques, nous avons éliminé les contaminations de surface (ex : résidus organiques) sur nos échantillons par un nettoyage à l’aide d’acétone puis d’alcool (IPA) pendant 10 min sous ultrasons.

Dans un premier temps nous avons réalisé, par la technique de lift-off, les marques d’alignement ainsi que les contacts ohmiques supérieurs sur une couche de 10nm d’épaisseur d’In_{0,53}Ga_{0,47}As fortement dopée *p* ($3 \times 10^{19} \text{ cm}^{-3}$). Le dopage élevé de cette dernière permet de diminuer la résistance de contact [30]. Pour cela, un empilement de résine électronique est

exposé en le balayant par un faisceau d'électrons selon un masque représenté en **figure 11**. La résine électronique est révélée et le contact métallique est déposé par évaporation par faisceau d'électrons d'une séquence métallique de Pd/Ti/Pt/Au (4/25/25/350 nm). Le palladium Pd crée une couche d'interface et réduit la barrière de potentiel entre le semiconducteur de type p et le métal [30]. Le titane Ti et le platine Pt sont utilisés comme une barrière diffusante lors des recuits [31] et l'or est utilisé pour le contact pointe-métal.

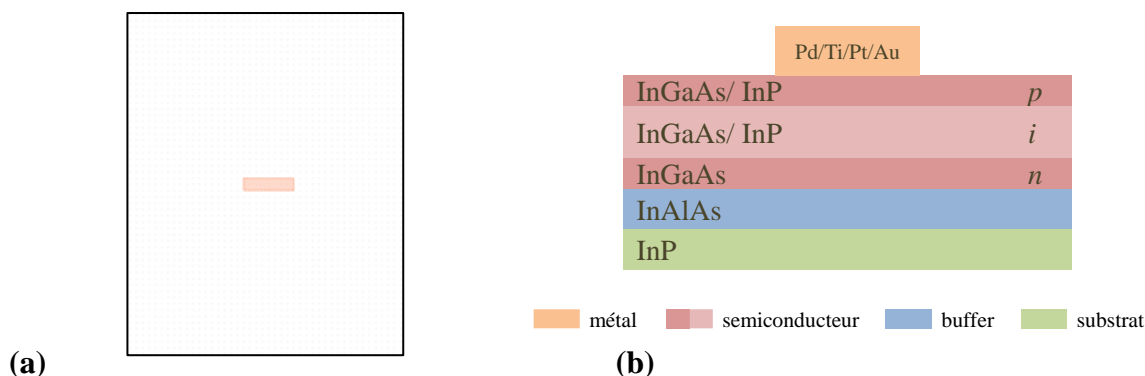


figure 11 – Masque permettant la réalisation du contact ohmique supérieur (a). Dans un premier temps le substrat est nettoyé et le contact Pd/Ti/Pt/Au est déposé par évaporation par faisceau d'électrons (b).

Dans cette étape, l'évaporation sous vide est préférée à la technique de pulvérisation cathodique car elle permet un dépôt anisotrope, en effet les atomes arrivent principalement de façon perpendiculaire au substrat. Par ailleurs, grâce au vide poussé (10^{-5} mTorr), le dépôt est très peu sujet aux contaminations dans la chambre du bâti.

b) Gravure du méso « peu profond »

Afin de déposer le contact ohmique inférieur sur la couche d'InGaAs (n) enterrée, nous avons effectué une gravure humide jusque celle-ci définissant ainsi le méso « peu profond ». Pour cela nous avons déposé une résine optique positive AZ1518 que nous avons exposée ensuite à travers un masque optique (**figure 12**) à l'aide d'un aligneur optique.

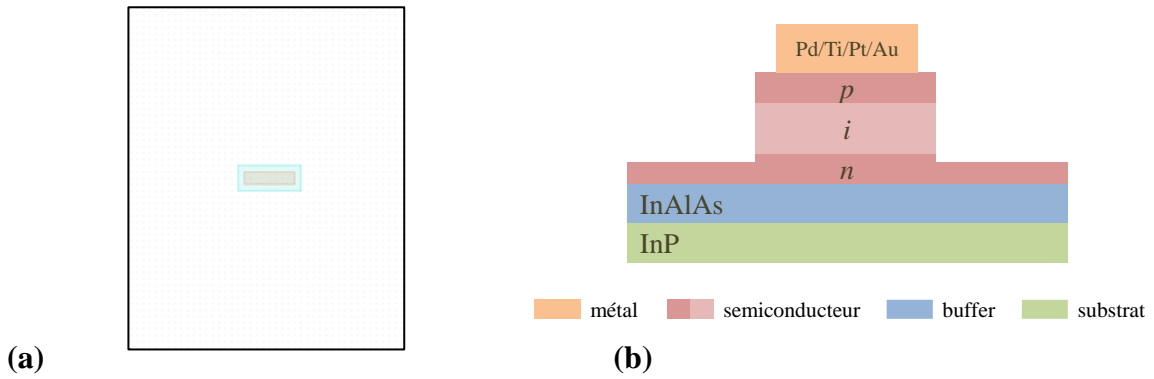


figure 12 – Masque permettant la réalisation du méso « peu profond » (a). La gravure du méso est effectuée à l’aide d’une solution diluée d’acide orthophosphorique (b).

La gravure humide a été réalisée en 3 étapes compte tenu des matériaux composant l’hétérostructure. Premièrement, la couche fortement dopée p d’InGaAs a été gravée avec une solution d’acide orthophosphorique. Cette solution étant très sélective avec l’InP, la gravure s’arrête naturellement sur la couche InP dopée p . Les couches d’InP (p et i) sont ensuite gravées à partir d’une solution d’acide chlorhydrique. Cette solution étant très sélective vis-à-vis de l’InGaAs, cette gravure s’arrête également naturellement sur l’InGaAs de la zone intrinsèque. Enfin, nous finalisons la gravure du méso « peu profond » en gravant l’InGaAs avec la solution d’acide orthophosphorique précédemment utilisée jusqu’à atteindre l’intérieur de la couche fortement dopée n d’InGaAs afin d’y déposer le second contact ohmique.

c) Réalisation du contact ohmique inférieur

De la même façon que le contact ohmique supérieur, nous avons utilisé la technique de lift-off. Le métal déposé par évaporation par faisceau d’électrons est une séquence de Ti/Pt/Au d’épaisseurs respectives 25/25/350 nm, qui permet d’obtenir un contact ohmique sur le matériau n . Le masque utilisé pour le contact ohmique inférieur est montré en **figure 13**.

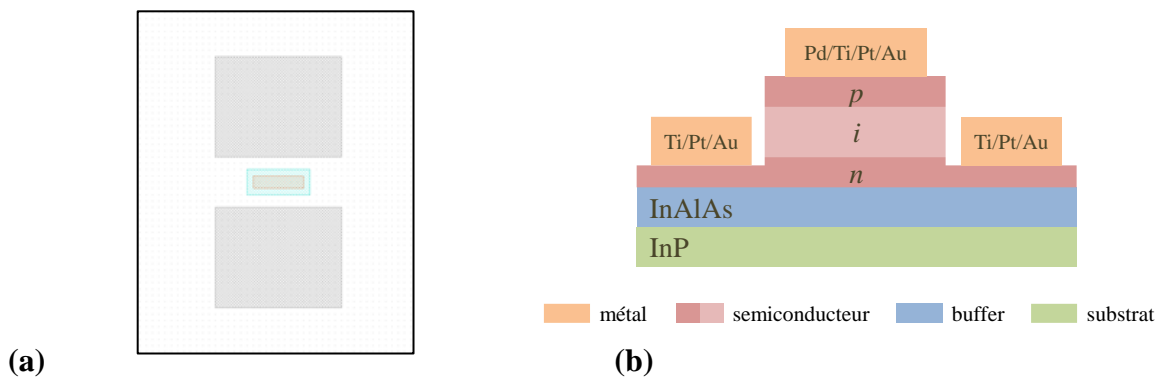


figure 13 – Masque permettant la réalisation du 2nd contact ohmique de type n (a). Les contacts ohmiques Ti/Pt/Au sont déposés par évaporation par faisceau d’électrons (b).

d) Gravure du méso d'isolation des dispositifs

Afin d'isoler les dispositifs entre eux, nous avons effectué une gravure humide de la couche d'InGaAs dopée n jusqu'au buffer semi-isolant d'InAlAs en utilisant la solution d'acide orthophosphorique. Le second masque optique utilisé est représenté en **figure 14**. Différents dispositifs ont été fabriqués comme par exemple les diodes *pin*, des transistors mais aussi des trèfles de Hall, des dispositifs de mesure de résistances de contact par la méthode des lignes de transmission (TLM), des tests d'isolation ainsi que différents motifs d'aide à la réalisation technologique tels que les marques d'alignements optiques et électroniques.

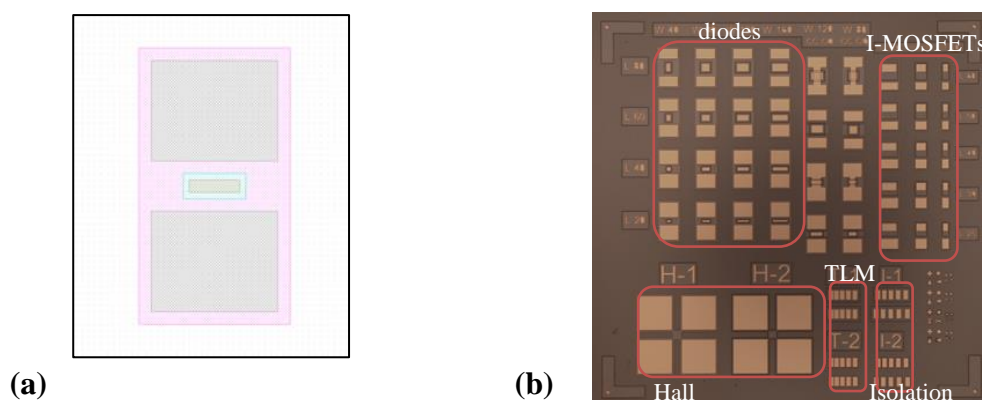


figure 14 – Masque permettant la réalisation du méso d'isolation (a). Image au microscope optique d'un champ du masque avec différents composants fabriqués (b). Ce masque a été réalisé par N. Wichmann.

3) Mesure des résistances R_C des couches de contact

Tout dispositif semiconducteur est inévitablement relié à des lignes métalliques pour le transport du courant. Afin d'obtenir les meilleures performances, il est indispensable que les contacts entre le métal et le semiconducteur laissent passer le courant dans les deux sens avec des résistances les plus faibles possibles. Dans cette première structure l'InGaAs, par sa faible énergie de bande interdite, permet de diminuer la barrière de potentiel entre le métal et le semiconducteur qui lie également à la différence des travaux de sortie. Cependant, l'apparition de charges en surface du semiconducteur a pour effet d'augmenter la barrière de potentiel. Dans le cas de l'InGaAs, le niveau de Fermi en surface se rapproche du bas de la bande de conduction, ce qui indique une accumulation d'électrons en surface favorisant ainsi le contact ohmique de type n , mais rendant le contact ohmique de type p plus difficile à fabriquer.

a) État de l'art des contacts p et n sur InGaAs

Les premières études, depuis la fin des années 1980, ont ainsi concerné la fabrication de contacts ohmiques de type p sur InGaAs. L'équipe de A. Katz *et al.*, en 1989, ont utilisé une séquence métallique de (Ti/Pt) permettant d'atteindre des valeurs de résistances très faibles de $\rho_c = 1,3 \times 10^{-4} \Omega \cdot \text{cm}^2$ sans recuit et $\rho_c = 3,4 \times 10^{-8} \Omega \cdot \text{cm}^2$ après recuit à 450°C pendant 30s [32], cependant ces valeurs n'ont jamais été reproduites avec cette séquence. Le recuit permet une

diffusion du titane dans l'InGaAs pour créer une interface non abrupte et riche en InAs [33]. Cependant, si la température de recuit devient trop élevée ($> 450\text{ }^{\circ}\text{C}$), la profondeur de diffusion du métal augmente tandis qu'apparaît une zone riche en In en surface ce qui tend à augmenter la résistance de contact. L'utilisation d'un métal réfractaire comme le tungstène [34] leur a permis d'augmenter la température de recuit et d'obtenir $\rho_c = 7,5 \times 10^{-6}\ \Omega\cdot\text{cm}^2$ à 600°C . Malgré la possible augmentation de température pour la fabrication, la résistance reste plus élevée que précédemment en utilisant le titane. Par la suite, la séquence (Ti/Pt/Au) devient populaire néanmoins le dopage nécessaire pour diminuer la barrière Schottky Φ_{bp} ($\Phi_{bp} = E_g + q \cdot (\chi - \Phi_M)$) entre l'InGaAs et le métal doit être élevé. Dans cette formule E_g est l'énergie de bande interdite de l'InGaAs, χ son affinité et Φ_M le travail de sortie du métal. Ainsi *J.S. Yu et al.* ont eu l'idée d'utiliser un métal à fort travail de sortie comme le palladium ($\Phi_M = 5,12\text{ eV}$) ou le platine ($\Phi_M = 5,65\text{ eV}$) à l'instar du titane à faible travail de sortie ($\Phi_m = 4,33\text{ eV}$) pour diminuer Φ_{bp} à faible dopage [30]. Ces travaux, en utilisant des séquences (Pd/Ti/Pt/Au) ou (Pt/Ti/Pt/Au) ont par ailleurs permis de mettre en évidence la réaction du palladium ou du platine avec l'InGaAs après un recuit thermique créant une couche d'interface. Ces couches de palladium ou de platine ont permis de diminuer la valeur de résistance de contact de $5 \times 10^{-6}\ \Omega\cdot\text{cm}^2$ à $2 \times 10^{-6}\ \Omega\cdot\text{cm}^2$ après recuit à 500°C . Bien que ces contacts à base de palladium ou platine permettent de faibles résistances contrairement à la séquence (Ti/Pt/Au), ils ne sont pas stables thermiquement et se dégradent [35]. En 2013, l'équipe de *J.C. Lin et al.* a obtenu une faible valeur de résistance de contact de l'ordre de $4 \times 10^{-8}\ \Omega\cdot\text{cm}^2$ [36] avec une séquence (Pd/Ti/Pt/Au) sur *p*-InGaAs après traitement à l'ozone suivi d'une désoxydation au BOE (buffered oxide etch). Pour le contact ohmique de type *p*, nous avons donc choisi d'utiliser une séquence (Pd/Ti/Pt/Au) après une désoxydation à l'acide chlorhydrique.

D'un autre côté le contact ohmique *n* sur InGaAs a été légèrement étudié dans les années 1980. L'équipe de *K. Kajiyama* a premièrement étudié la hauteur de barrière de potentiel Φ_{bn} à l'interface Au/*n*-In_xGa_{1-x}As estimant une barrière $\Phi_{bn} = \Phi_M - \chi \approx 0,2\text{ eV}$ [37]. Cette faible hauteur de barrière Schottky permettait déjà la réalisation d'un contact ohmique sur une surface *n*-InGaAs (dopé Si). Ensuite, *T. Fujii et al.* ont étudié un contact fabriqué par une séquence de Cr/Au et ont obtenu des valeurs de résistance spécifique de l'ordre de $1,7 \times 10^{-8}\ \Omega\cdot\text{cm}^2$ sur de l'InGaAs dopé à $5 \times 10^{19}\text{cm}^{-3}$ (Si) [38]. Des contacts diffusants à base de germanium (Pd/Ge/Ti/Al et Ni/Ge/Au/Ti/Au) ont ensuite été étudiés sur une structure InGaAs/InP afin de diminuer la hauteur de barrière à l'interface. Ces contacts présentaient un caractère ohmique ($\rho_c \approx 5 \times 10^{-7}\ \Omega\cdot\text{cm}^2$ après recuit) [39]. Cependant, le nickel Ni possède un fort caractère diffusant et est instable thermiquement en comparaison à la séquence Ti/Pt/Au [31]. De plus les contacts conventionnels à base de Ge/Au ou Au/Ge diffusent trop pour être utilisés. La séquence Ti/Pt/Au étudiée par *G. Stareev et al.* présentait une résistance spécifique $\rho_c \approx 4,3 \times 10^{-8}\ \Omega\cdot\text{cm}^2$

[40]. Ainsi, nous avons donc choisi d'utiliser la séquence Ti/Pt/Au pour le contact ohmique de type n sur InGaAs.

b) Résistances R_C des contacts p et n

Pour évaluer les différentes résistances des contacts métalliques R_C , nous avons utilisé la méthode des lignes de transmission TLM (Transmission Line Method). Les mesures ont été faites sur un banc Keithley à quatre pointes afin de supprimer les résistances parasites venant des fils (voir Annexes).

Dans le cas de la première diode pin de la filière arséniée, le contact de source (p) est composé d'une séquence Pd/Ti/Pt/Au d'épaisseurs 4/25/25/350nm tandis que le contact de drain (n) est composé d'une séquence Ti/Pt/Au d'épaisseurs 25/25/350nm. Ces deux contacts sont déposés par évaporation respectivement sur une couche d'InGaAs dopée p à $3 \times 10^{19} \text{ cm}^{-3}$ et n à $3 \times 10^{19} \text{ cm}^{-3}$. La **figure 15** montre l'évolution de la résistance totale des contacts p (a) et n (b), moyennée sur différents dispositifs, en fonction de la distance entre deux plots obtenus pour une diode pin InP/ InGaAs de longueur intrinsèque 100 nm.

Nous avons obtenu de faibles valeurs de résistances spécifiques de l'ordre de $10^{-7} \Omega \cdot \text{cm}^2$ pour le contact p et de $10^{-8} \Omega \cdot \text{cm}^2$ pour le contact n . Cette dernière valeur de résistance de contact n est très bonne, cependant il existe une incertitude sur la distance L .

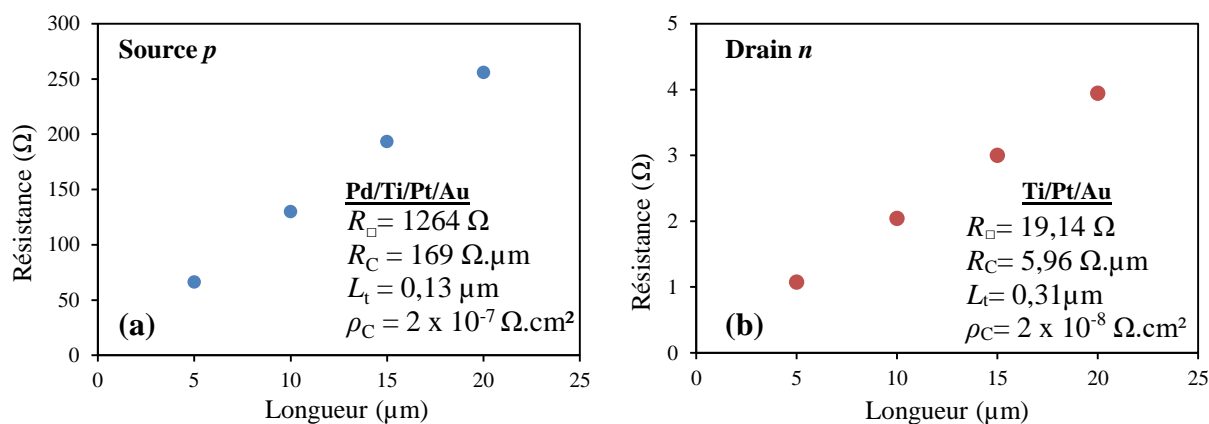


figure 15 - Mesures de la résistance totale par la méthode TLM en fonction de la distance séparant deux contacts de même type pour le contact de source p (a) et de drain n (b).

4) Caractéristiques courant-tension I_D - V_{DS}

Afin d'étudier le comportement électrique des diodes pin , nous avons effectué des mesures courant-tension en régime statique pour différentes températures et différentes surfaces de contact supérieur.

La **figure 16** présente un schéma d'une diode pin montrant la configuration des potentiels de source V_S et de drain V_D (avec $V_D = 0V$). Dans ce cas la polarisation inverse est obtenue lorsque la tension V_{DS} est positive (i.e. $V_S < 0V$) et la polarisation directe lorsque $V_{DS} < 0V$.

($V_s > 0V$). Les mesures ont été réalisées sur un banc quatre pointes afin de négliger les résistances parasites des pointes et du banc de mesure.

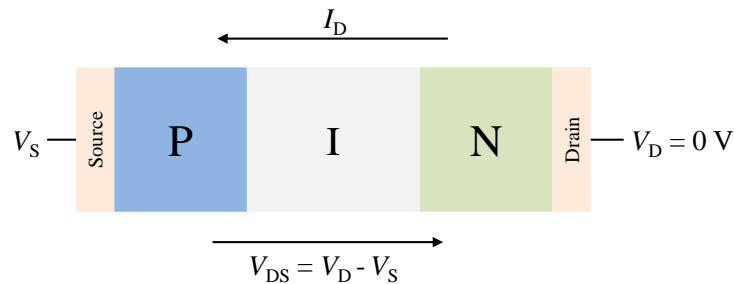


figure 16 – Schéma d'une diode *pin* présentant la configuration de mesure avec la source du côté *p* et le drain du côté *n*. Ainsi la polarisation inverse est obtenue lorsque $V_{DS} > 0 V$.

a) Normalisation des caractéristiques I_D - V_{DS}

Nous avons dans un premier temps étudié la normalisation des courants au sein des diodes *pin* permettant ainsi de déduire l'origine du courant, de surface ou en volume. Le courant de surface sera sensible à la position du niveau de fermi en surface du semiconducteur tandis que le courant en volume sera sensible aux défauts dans le semiconducteur. Nous avons mesuré les caractéristiques densité de courant-tension (J_D - V_{DS}) ainsi que courant-tension (I_D - V_{DS}) à température ambiante pour chaque dimension réalisée. Pour les diodes *pin*, le développement W (**figure 17**) vaut 40, 80, 120 et 160 μm tandis que la longueur L vaut 20, 40, 60 et 80 μm .

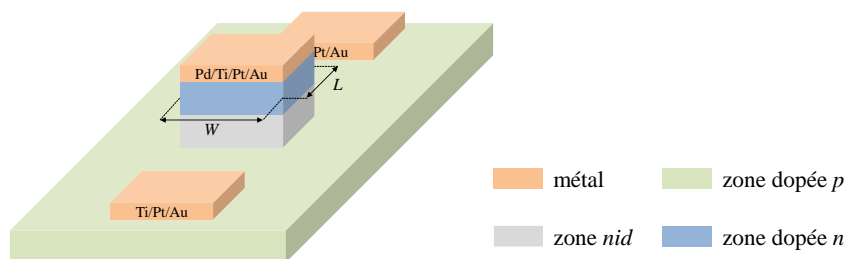


figure 17 – Schéma d'une diode *pin* présentant les différentes dimensions de développement W et de longueur L . La section efficace $S = W \times L$ et le périmètre de la structure $P = 2 \times (W + L)$.

La **figure 18** représente les courbes J_D - V_{DS} et I_D - V_{DS} normalisées soit par rapport à la section efficace S (en volume, à gauche) soit par rapport au périmètre P de la structure verticale (en surface, à droite) pour les diodes *pin* InP/ InGaAs de longueur intrinsèque $L_i = 30, 50$ et 100 nm. En forte polarisation inverse, nous pouvons remarquer que le courant se normalise correctement à partir du périmètre du dispositif ce qui indique une composante de courant essentiellement de surface. À faibles tensions inverses, le courant se normalise plutôt à partir de la section efficace ce qui indique des phénomènes majoritairement en volume. Néanmoins il existe une composante de courant pour la diode *pin* InP/ InGaAs avec $L_i = 100$ nm, pour des tensions

inverses intermédiaires, qui ne se normalise ni à partir du périmètre ni avec la section efficace ce qui montre qu'il s'agit d'une composante de surface et en volume. En polarisation directe, pour de faibles tensions le courant est composé d'une composante de surface et en volume. Pour des tensions plus élevées, nous pouvons remarquer une normalisation correcte du courant par le périmètre des dispositifs ce qui indique la prédominance d'une composante de surface.

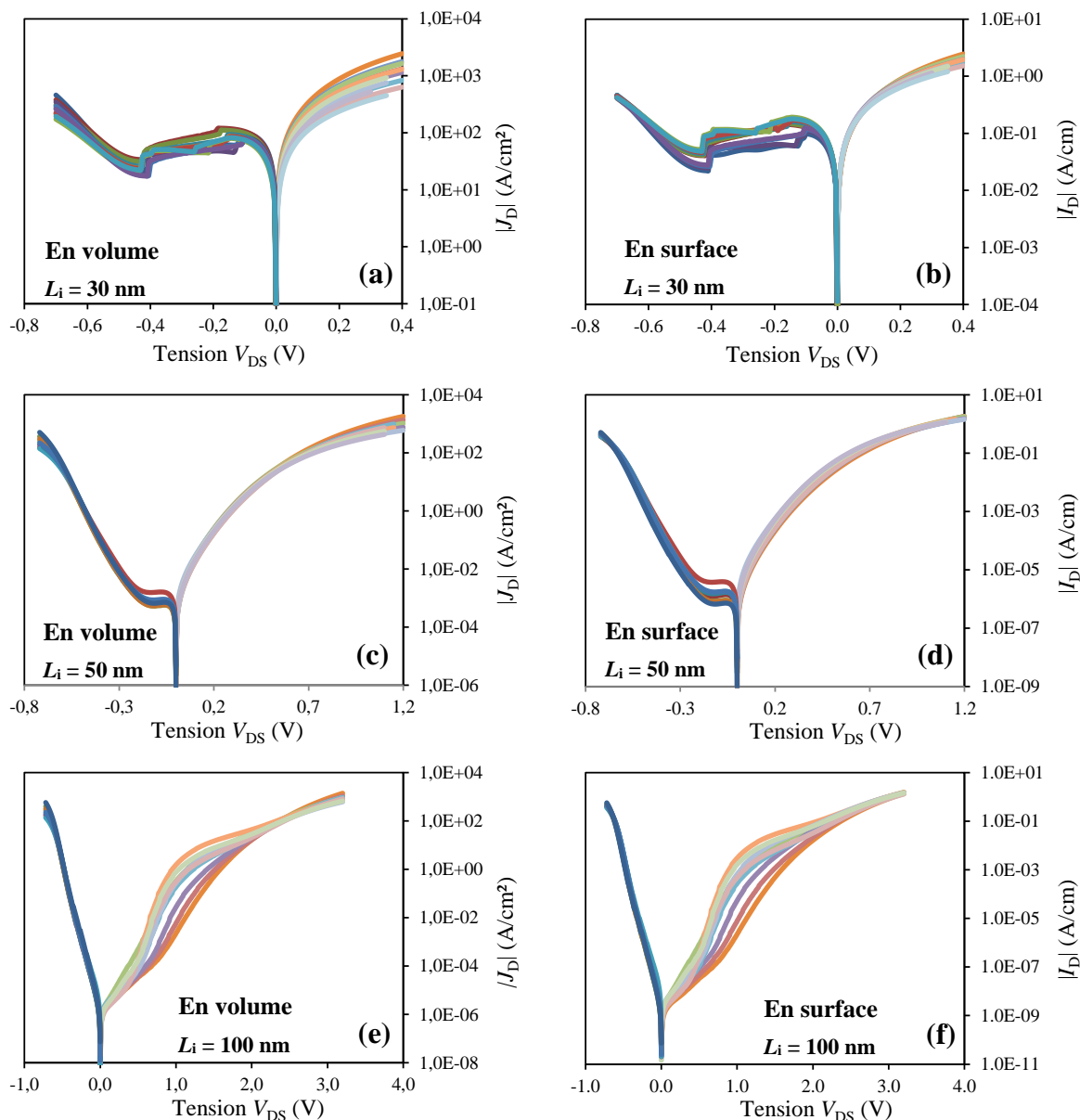


figure 18 – Caractéristiques $J_D(I_D)-V_{DS}$ à température ambiante pour les différentes diodes *pin* InP/ InGaAs de longueurs intrinsèques 30 (a, b), 50 (c, d) et 100 nm (e, f) pour chaque valeur de développement W et de longueur L avec des normalisations en volume (à gauche) et en surface (à droite).

La **figure 19** représente les courbes $J_D(I_D)-V_{DS}$ normalisées soit par rapport à la section efficace S (en volume, à gauche) soit par rapport au périmètre P de la structure verticale (en surface, à droite) pour les diodes *pin* InGaAs et InP de longueur intrinsèque 100 nm. Les mêmes observations sont faites que précédemment. À fortes tensions inverses, le courant des diodes

pin InGaAs et InP est majoritairement surfacique. Pour la diode *pin* InGaAs, il existe à des tensions inverses intermédiaires une composante de surface et en volume. Nous pouvons néanmoins remarquer que pour la diode *pin* InP, pour des tensions inverses intermédiaires, le courant se normalise majoritairement par rapport à la surface ce qui indique une composante plutôt volumique. Pour des tensions plus élevées, nous pouvons remarquer une normalisation correcte du courant par le périmètre des dispositifs indiquant qu'il s'agit d'une composante essentiellement de surface.

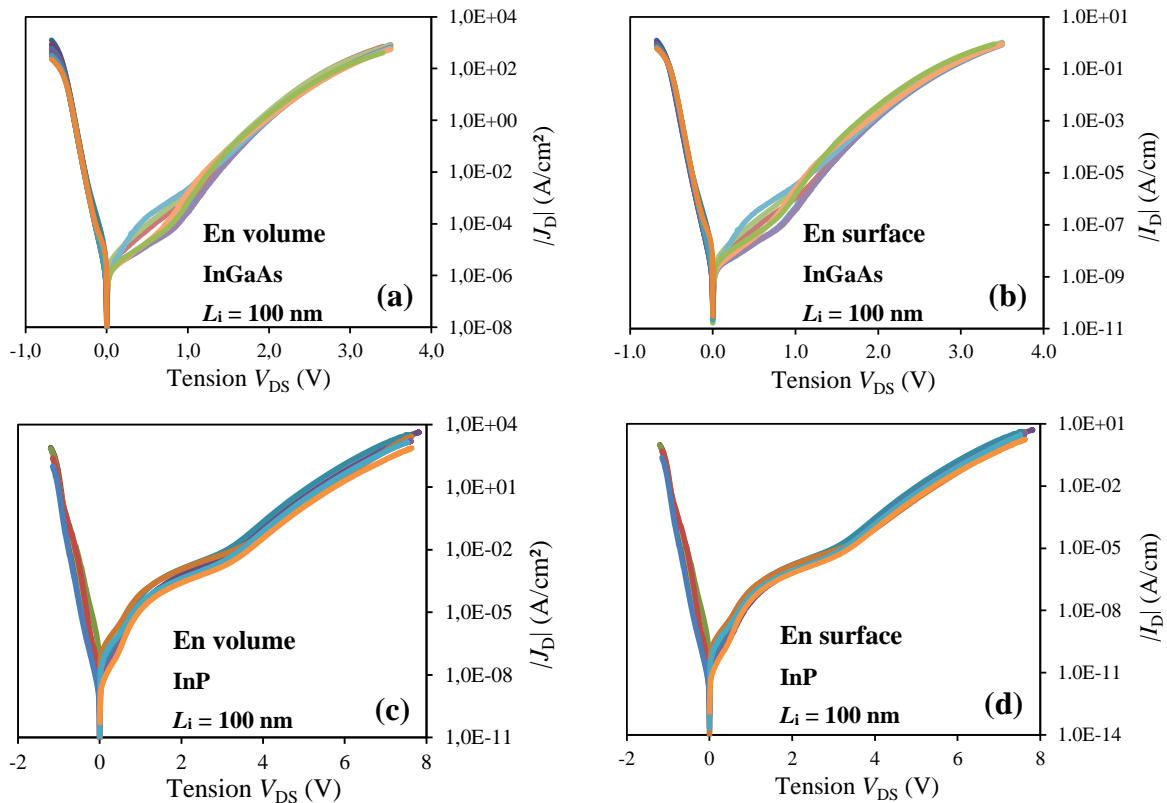


figure 19 – Caractéristiques $J_D(I_D)$ - V_{DS} à température ambiante pour les différentes diodes *pin* InGaAs (a, b) et InP (c, d) de longueurs intrinsèques 100 nm pour chaque valeur de développement W et de longueur L avec des normalisations en volume (à gauche) et en surface (à droite).

b) Effet de la température

Des mesures en température ont été menées afin de déterminer l'origine physique du courant dans les diodes *pin*. Nous avons ainsi mesuré les caractéristiques courant-tension (I_D - V_{DS}) pour différentes températures (295K, 335K et 370K).

La **figure 20** représente les courbes I_D - V_{DS} des diodes *pin* InP/ InGaAs pour chaque température pour un développement $W = 40$ μ m en polarisation directe (à gauche) et inverse (à droite) pour une longueur intrinsèque de 30 nm (a, b), de 50 nm (c, d) et de 100 nm (e, f).

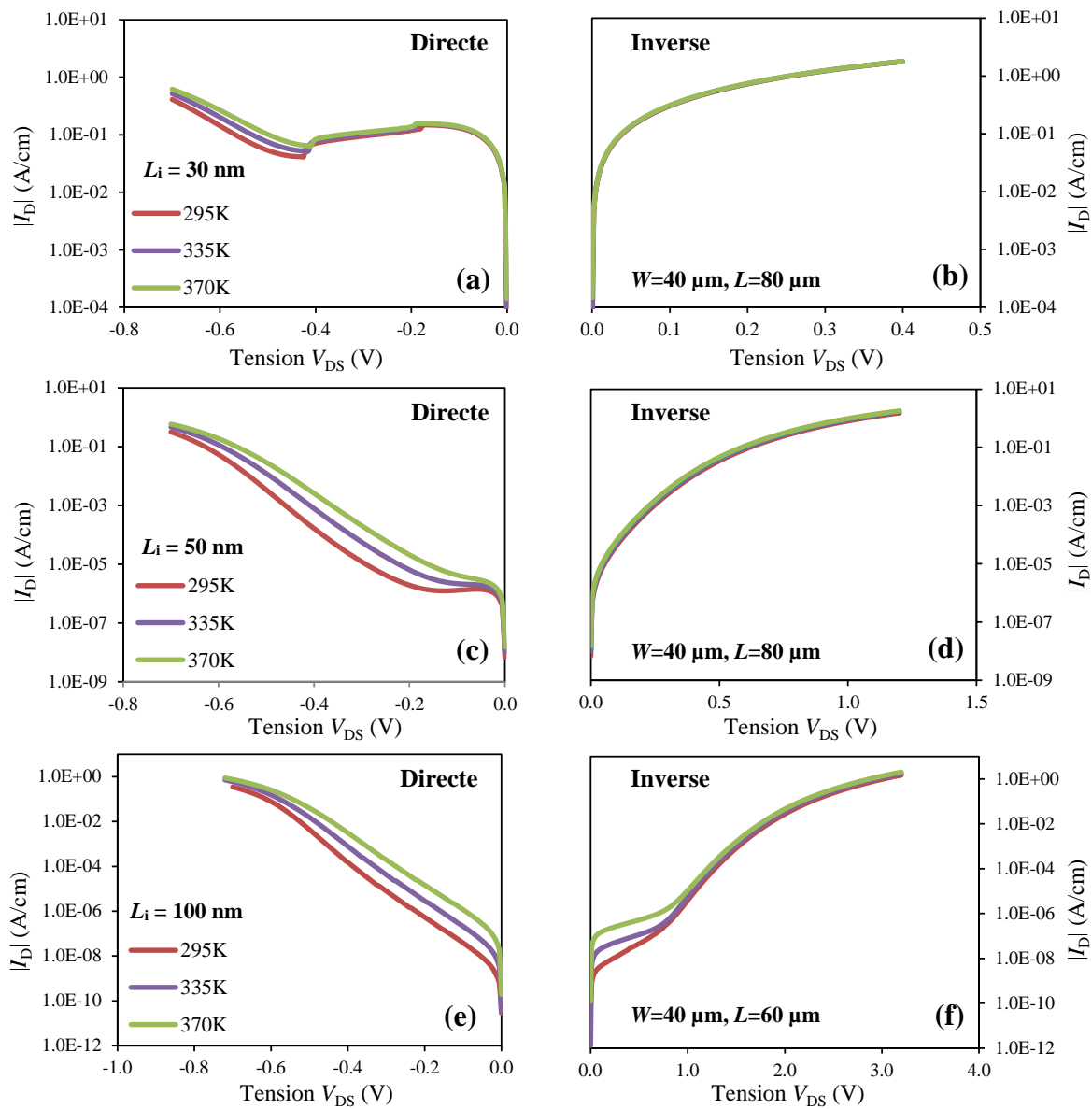


figure 20 – Caractéristiques I_D - V_{DS} en polarisation directe (à gauche) et inverse (à droite) en fonction de la température pour les diodes *pin* InP/ InGaAs de longueurs intrinsèques 30 (a, b), 50 (c, d) et 100 nm (e, f).

Lorsque la longueur intrinsèque de la diode *pin* est inférieure à 100 nm, le courant en polarisation inverse à partir de $V_{DS} = 0$ V, ne dépend pas de la température ce qui indique un courant uniquement par effet tunnel. En effet, comme nous l'avons vu en début de chapitre, l'effet tunnel bande à bande contrairement à l'ionisation est très peu dépendant de la température. Seul l'effet de la réduction d'énergie de bande interdite [41] a un impact sur l'effet tunnel mais cet effet reste négligeable. Cette observation est confirmée par la résistance négative en polarisation directe, entre $V_{DS} = -0,42$ V et $V_{DS} = -0,18$ V pour la diode *pin* avec $L_i = 30$ nm, et entre $V_{DS} = -0,15$ V et $V_{DS} = -0,104$ V pour la diode *pin* avec $L_i = 50$ nm. Pour des tensions supérieures, le courant est majoritairement dû à la diffusion des porteurs pour être ensuite limité par les résistances d'accès au-delà de $V_{DS} = -0,7$ V. Pour la diode *pin* avec

$L_i = 50$ nm, l'effet de résistance négative diminue en augmentant la température dû au gain en énergie potentielle des porteurs majoritaires leurs permettant de franchir la barrière de potentielle de la zone dopée n vers la zone dopée p .

Pour la diode pin de longueur intrinsèque 100 nm, le courant en polarisation inverse peut se décomposer en deux parties : pour des tensions comprises entre $V_{DS} = 0$ V et $V_{DS} = 1$ V, le courant bien que quasiment indépendant de la tension dépend de la température, cet effet est dû à la génération thermique de porteurs dans la zone intrinsèque dont la concentration augmente exponentiellement avec la température. Ensuite, pour une tension $V_{DS} > 1$ V, la nature du courant est de type tunnel car indépendant de la température. En polarisation directe, le courant est majoritairement dû à la génération-recombinaison ainsi qu'à la diffusion des porteurs.

La **figure 21** représente les courbes I_D - V_{DS} des diodes pin InGaAs et InP de longueur intrinsèque 100 nm pour chaque température en polarisation directe (à gauche) et inverse (à droite). Dans le cas de la diode pin InGaAs, nous pouvons observer une première dépendance en température pour des tensions comprises entre $V_{DS} = 0$ V et $V_{DS} = 0,6$ V. Cette augmentation possède la même origine que précédemment à faible tension, i.e., la génération thermique. Une seconde dépendance en température pour des tensions comprises entre $V_{DS} = 0,6$ V et $V_{DS} = 1,4$ V semble indiquer de l'effet tunnel assisté par les défauts. Pour de plus fortes tensions inverses, le courant devient indépendant de la température correspondant à de l'effet tunnel bande à bande.

Dans le cas de la diode pin InP, le courant de génération thermique est dominant jusqu'à $V_{DS} = 0,6$ V tandis que pour des tensions comprises entre $V_{DS} = 0,6$ V et $V_{DS} = 3,5$ V, le courant semble être dominé par l'effet tunnel assisté par les défauts. Ensuite à plus forte tension inverse le courant devient indépendant de la température correspondant à de l'effet tunnel bande à bande. En polarisation directe, l'évolution en température du courant des diodes pin InGaAs et InP confirme un courant dû à la génération thermique et à la diffusion des porteurs.

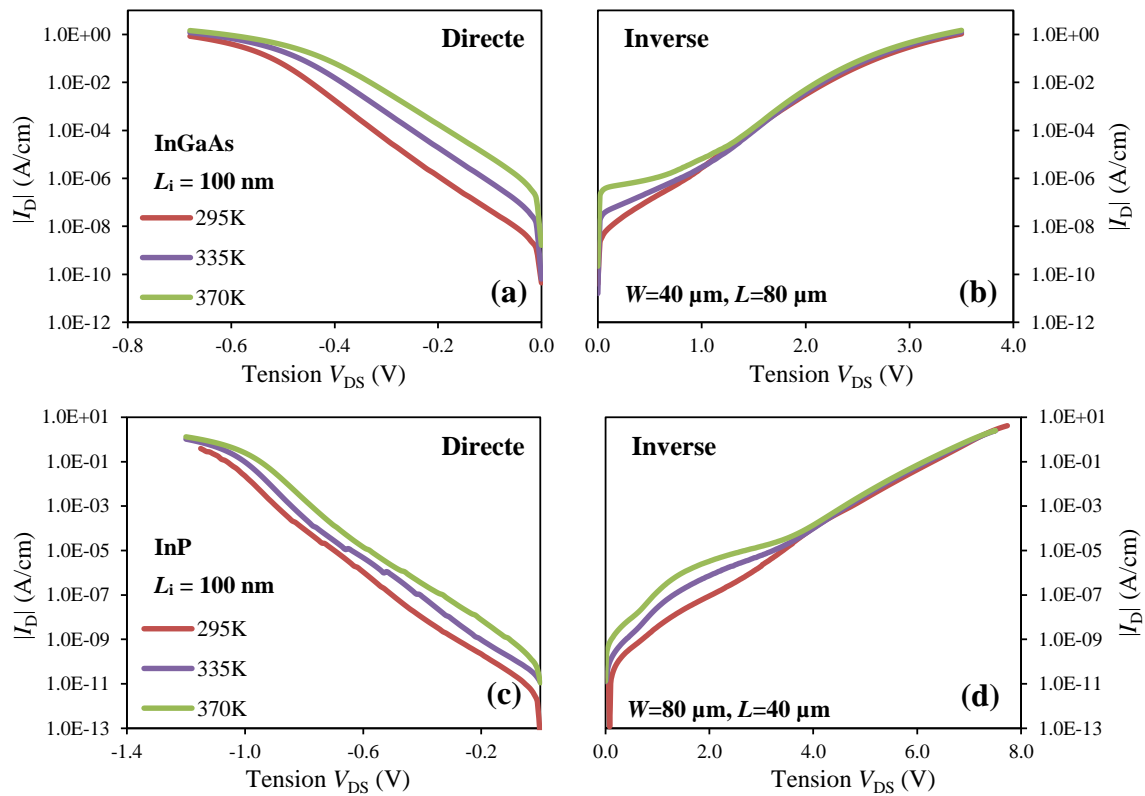


figure 21 – Caractéristiques I_D - V_{DS} en polarisation inverse (à gauche) et directe (à droite) en fonction de la température pour les deux diodes *pin* : InGaAs (a, b) et InP (c, d) de longueur intrinsèque 100 nm.

Cette étude en température nous a permis de mettre en évidence trois phases distinctes en polarisation inverse. La première phase à basse tension est une augmentation de l'intensité du courant par la génération thermique de porteurs minoritaires. Ensuite apparaît une phase de génération de porteurs par effet tunnel assisté par les défauts dans la bande interdite pour des longueurs intrinsèques de 100 nm. La troisième phase est une avalanche par effet tunnel bande à bande. Nous constatons ainsi que l'effet d'ionisation par impact recherché pour nos futurs transistors I-MOSFET est inexistant sur l'ensemble des diodes réalisées même à plus forte polarisation inverse. En effet, l'effet d'ionisation par impact dépend fortement de la température à travers les coefficients d'ionisation contrairement à l'effet tunnel bande à bande.

c) Effet de l'hétérostructure

La **figure 22** représente les caractéristiques I_D - V_{DS} à température ambiante en polarisation inverse et directe pour les diodes *pin* InP, InGaAs et InP/ InGaAs avec $L_i = 100$ nm et un développement $W = 40$ μm . En polarisation directe, nous voyons que le courant de diffusion est plus faible dans le cas de la diode *pin* InP/ InGaAs que pour la diode *pin* InGaAs (pour la même tension). En effet, la barrière apportée par la jonction InP/ InGaAs limite le passage des électrons par diffusion. Cependant, ce courant de diffusion est supérieur à celui de la diode *pin* InP à cause de la large barrière de potentiel de cette dernière. En polarisation inverse, nous avons remarqué que l'utilisation de l'hétérojonction entraîne un accroissement de l'effet tunnel

bande à bande. Le gain d'énergie cinétique apporté par la différence des énergies de bande de conduction de la diode *pin* InP/ InGaAs n'est pas suffisant pour entraîner de l'ionisation par impact.

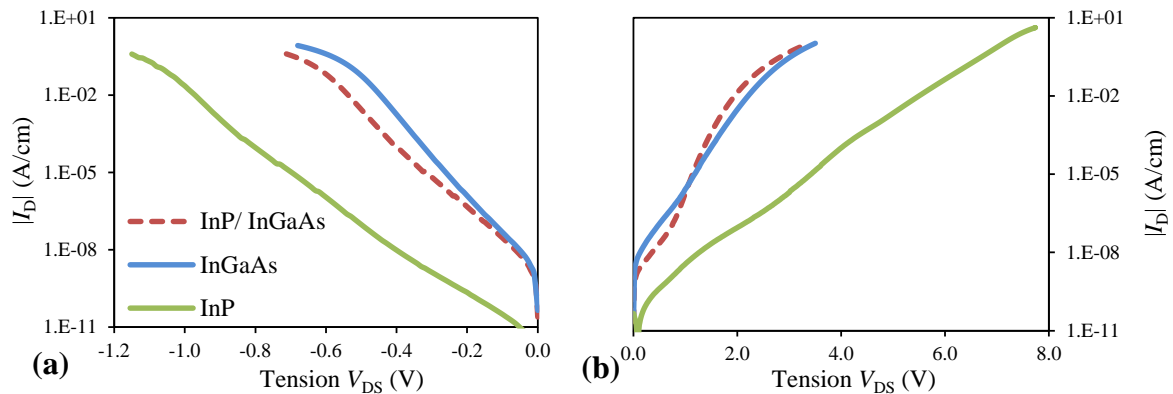


figure 22 - Caractéristiques I_D - V_{DS} pour les diodes *pin* InP, InGaAs et InP/ InGaAs de longueur intrinsèque 100 nm en polarisation directe (a) et en polarisation inverse (b).

5) Modélisation des diodes *pin* InGaAs et InP avec $L_i = 100$ nm

Nous avons vu précédemment que l'effet tunnel est prédominant dans nos structures *pin*. Afin d'en confirmer l'origine, nous avons comparé nos résultats expérimentaux à ceux de modélisation analytique. Les modèles analytiques utilisés pour la modélisation en polarisation directe sont définis aux équations (1) et (2) pour le courant de génération-recombinaison et de diffusion. Les modèles analytiques utilisés pour la modélisation en polarisation inverse sont définis aux équations (3), (10) et (11) pour le courant de génération-recombinaison, tunnel bande à bande et assisté par les défauts.

La **figure 23** représente les courbes J_D - V_{DS} obtenues par modélisation analytique comparées aux courbes expérimentales pour la diode *pin* InGaAs. Les différentes composantes des modèles de génération-recombinaison, diffusion, tunnel bande à bande ainsi que tunnel assisté par les défauts sont également représentées. En polarisation directe (**figure 23.a**), pour une tension comprise entre $V_{DS} = -0,15$ V et $V_{DS} = 0$ V, le courant est dû à la génération-recombinaison de porteurs dans la zone intrinsèque de la diode *pin* tandis que pour une tension comprise entre $V_{DS} = -0,5$ V et $V_{DS} = -0,15$ V, le courant est dû à la diffusion des porteurs majoritaires de la zone *n* vers la zone *p* et inversement. Pour $V_{DS} < -0,5$ V, le modèle ne suit plus la courbe expérimentale compte tenu des résistances d'accès de la diode *pin*.

Pour la diode *pin* à base d'InGaAs en polarisation inverse (**figure 23.b**), nous voyons que l'effet tunnel assisté par les défauts (TAT) domine pour des tensions comprises entre $V_{DS} = 0,6$ V et $V_{DS} = 1,5$ V ce qui correspond aux observations extraites des mesures expérimentales. Tandis qu'à plus forte tension l'effet tunnel bande à bande (BTBT) domine. Toutefois, nous constatons que la modélisation ne suit pas la courbe expérimentale pour des

tensions comprises $V_{DS} = 0,35$ V et $V_{DS} = 1,4$ V. Ceci peut s'expliquer par le fait que le courant, dans cette gamme de tensions, est un courant de surface et en volume (voir paragraphe III-3).

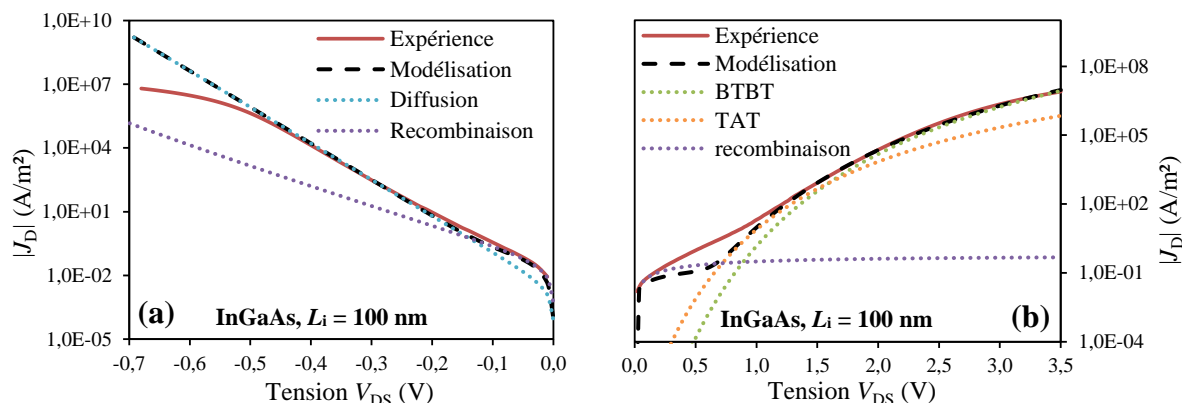


figure 23 – Courbes des résultats expérimentaux et de modélisation analytique des diodes *pin* InGaAs de longueur intrinsèque 100 nm en polarisation directe (a) et inverse (b).

La **figure 24** représente les courbes J_D - V_{DS} obtenues par modélisation analytique comparées aux courbes expérimentales pour la diode *pin* InP. En polarisation directe (**figure 24.a**), pour une tension V_{DS} comprise entre $V_{DS} = -0,8$ V et $V_{DS} = 0$ V, le courant est dû à la génération-recombinaison de porteurs dans la zone intrinsèque de la diode *pin*. Tandis que pour une tension comprise entre $V_{DS} = -0,95$ V et $V_{DS} = -0,8$ V, le courant est dû à la diffusion des porteurs majoritaires de la zone *n* vers la zone *p* (et inversement) pour être ensuite limité par les résistances d'accès. Contrairement à la diode *pin* InGaAs, l'effet de génération thermique en polarisation directe dans la diode *pin* InP prédomine sur une large gamme de tension à cause de la forte barrière de potentiel V_{bi} apportée par la jonction *pin* de l'ordre de $V_{bi} \approx 1,5$ V contre $V_{bi} \approx 0,9$ V pour l'InGaAs. En polarisation inverse (**figure 24.b**), nous pouvons voir que l'effet tunnel assisté par les défauts domine pour des tensions comprises entre $V_{DS} = -3$ V et $V_{DS} = 0$ V, correspondant aux observations extraites des mesures expérimentales. À plus forte tension l'effet tunnel bande à bande domine. Le **tableau 3** ci-dessous résume les paramètres importants pour chaque modèle utilisé.

Matériau	Recombinaison		Diffusion		BTBT		TAT	
	τ_a (s)	V_{bi} (V)	$\mu_{n,p}$ (m ² .V ⁻¹ .s ⁻¹)	$\tau_{n,p}$ (s) x 10 ⁻⁹	m_T/m_0	m^*/m_0	M^2 (V ² .m ³)	n_t (m ⁻³)
InGaAs	2×10^{-8}	0,9	1,2 et 0,03	8 et 9	0,041	0,041	1×10^{-28}	1×10^{13}
InP	2×10^{-10}	1,5	0,54 et 0,02	0,1 et 0,1	0,032	0,08	1×10^{-28}	1×10^{11}

tableau 3 – Résumé des paramètres importants utilisés lors de la modélisation pour chaque modèle.

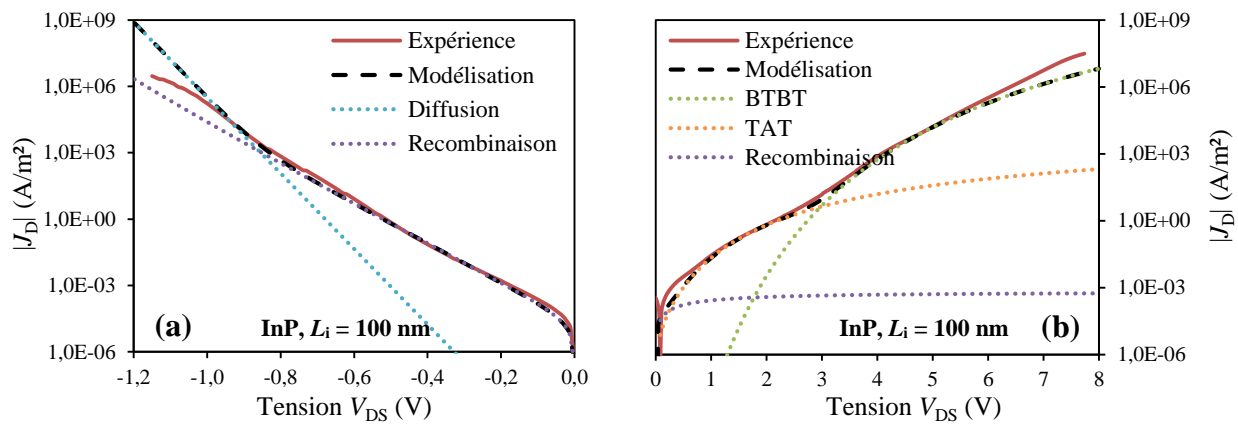


figure 24 – Courbes des résultats expérimentaux et de modélisation analytique des diodes *pin* InP de longueur intrinsèque 100 nm en polarisation directe (a) et inverse (b).

La modélisation nous a permis d'affirmer nos observations à partir des mesures expérimentales. De plus l'utilisation d'une hétérojonction permet de diminuer la tension d'avalanche, cependant il s'agit d'une avalanche par effet tunnel. En effet le champ électrique résidant dans le matériau à faible énergie de bande interdite reste trop élevé. Nous voyons qu'il est nécessaire de réduire le champ électrique dans le matériau à faible énergie de bande interdite tout en conservant un champ électrique suffisamment élevé dans le matériau à grande énergie de bande interdite afin que les porteurs acquièrent de l'énergie cinétique pour ioniser les électrons de valence. Les diodes *pin*, souffrant d'un large courant tunnel en polarisation inverse (bande à bande et assisté par les défauts), ne semblent pas favorables pour la réalisation de transistors I-MOSFETs.

IV - Étude, fabrication et caractérisation de la diode *pinin* $\text{In}_{0,52}\text{Al}_{0,48}\text{As}/\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$

Dans le paragraphe précédent, nous avons constaté que le courant inverse des diodes *pin* réalisées était principalement causé par l'effet tunnel au détriment de l'effet d'ionisation par impact. L'ionisation par impact étant l'effet recherché pour concevoir nos transistors I-MOSFET. Cette composante d'effet tunnel joue donc un rôle néfaste dans nos transistors puisqu'elle engendrera un courant I_{OFF} important. C'est pourquoi, nous avons imaginé une architecture particulière de diode, celle-ci est de type « *pinin* ». L'objectif est de retarder l'apparition de la composante d'effet tunnel en polarisation inverse et d'observer la composante d'ionisation par impact.

1) Structure épitaxiale et diagramme de bandes d'énergie

La deuxième structure de la filière arséniée étudiée est de type 1 comprenant un matériau à grande énergie de bande interdite (InAlAs) ainsi qu'un matériau à faible énergie de bande interdite (InGaAs). Nous avons remplacé l'InP par l'InAlAs afin de bénéficier d'une

« discontinuité » de bande de conduction ΔE_C plus élevée. Les structures épitaxiales sont réalisées de la façon suivante (**figure 25**) : un buffer InAlAs semi-isolant déposé sur un substrat InP (100), une couche d'InGaAs d'une épaisseur de 200 nm fortement dopée p ($3 \times 10^{19} \text{ cm}^{-3}$) pour le contact ohmique de type p , une couche d'InAlAs d'une épaisseur de 50 nm dopée p ($6 \times 10^{18} \text{ cm}^{-3}$) ; le plus faible dopage permet de réduire la tension intrinsèque V_{bi} de la diode *pinin* et limiter l'effet tunnel bande à bande, une couche d'InAlAs d'épaisseur $L_{i,\text{InAlAs}}$ non intentionnellement dopée *nid*, une couche médiane d'InAlAs d'une épaisseur de 30 nm dopée n , une couche d'InGaAs d'épaisseur $L_{i,\text{InGaAs}}$ non intentionnellement dopée *nid*, une couche d'InGaAs d'une épaisseur de 50 nm dopée n ($6 \times 10^{18} \text{ cm}^{-3}$) puis une couche d'InGaAs d'une épaisseur de 10 nm fortement dopée n ($3 \times 10^{19} \text{ cm}^{-3}$) pour le contact ohmique de type n . La longueur intrinsèque de l'InGaAs a été choisie à 500 et 800 nm tandis que la longueur intrinsèque de l'InAlAs a été choisie à 100 et 200 nm. La longueur d'InAlAs est volontairement inférieure au libre parcours moyen inélastique dans ce dernier afin d'éviter d'ioniser dans celui-ci. Cependant une longueur suffisante a été choisie pour acquérir suffisamment d'énergie cinétique. Quatre structures ont ainsi été réalisées avec différentes longueurs intrinsèques d'InGaAs et d'InAlAs résumées dans le **tableau 4**. Le contact p correspond à la source (V_S) et le contact n au drain (V_D).

In _{0,53} Ga _{0,47} As	$n = 3 \times 10^{19} \text{ cm}^{-3}$	10nm
In _{0,53} Ga _{0,47} As	$n = 6 \times 10^{18} \text{ cm}^{-3}$	50nm
In _{0,53} Ga _{0,47} As	<i>nid</i>	500 ou 800 nm
In _{0,52} Al _{0,48} As	$n = 5 - 8 \times 10^{17} \text{ cm}^{-3}$	30nm
In _{0,52} Al _{0,48} As	<i>nid</i>	100 ou 200nm
In _{0,52} Al _{0,48} As	$n = 6 \times 10^{18} \text{ cm}^{-3}$	50nm
In _{0,53} Ga _{0,47} As	$p \ 3 \times 10^{19} \text{ cm}^{-3}$	200nm
In _{0,52} Al _{0,48} As (buffer)		
InP (substrat)		

figure 25 – Représentation schématique de la structure épitaxiale des diodes *pinin* InAlAs/ InGaAs.

Structure	I	II	III	IV
$L_{i,\text{InGaAs}}$ (nm)	500	500	800	800
$L_{i,\text{InAlAs}}$ (nm)	100	200	100	200

tableau 4 – Résumé des valeurs de longueur intrinsèque $L_{i,\text{InGaAs}}$ et $L_{i,\text{InAlAs}}$ pour les quatre diodes *pinin*.

La **figure 26** montre l’alignement des bandes de valence et de conduction sans polarisation de la diode *pin* InAlAs/ InGaAs (structure II). Les valeurs $\Delta E_C \approx 0,5$ eV et $\Delta E_V \approx 0,2$ eV ont été extraites par simulation TCAD sur cette diode *pin* confirmant les valeurs théoriques obtenues par la différence d’affinité électronique.

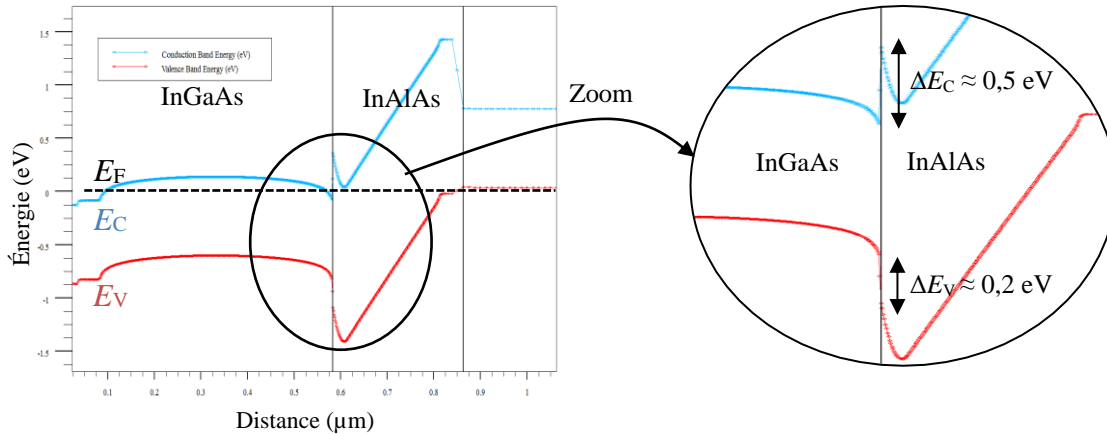


figure 26 – Simulation TCAD montrant l’alignement des bandes de conduction et de valence de la diode *pin* InAlAs/ InGaAs (structure II) sans polarisation V_{DS} et son zoom à droite.

2) Champ électrique critique et champ électrique dans la diode *pin*

a) Champ électrique critique d’effet tunnel bande à bande

À partir des résultats de modélisation des diodes *pin* InP/ InGaAs, nous avons extrait les valeurs de champ électrique critique F_{cr} d’apparition de l’effet tunnel pour l’InGaAs et l’InP respectivement de l’ordre de $F_{cr,InGaAs} = 1,5 \times 10^5$ V/cm et $F_{cr,InP} = 3,5 \times 10^5$ V/cm. Nous avons estimé ensuite le champ électrique critique d’apparition de l’effet tunnel dans l’InAlAs à l’aide de la modélisation et de la simulation TCAD. La **figure 27** montre l’évolution du courant tunnel obtenue à partir du modèle analytique et à partir de la simulation TCAD pour des diodes *pin* InGaAs et InAlAs de longueur intrinsèque $L_i = 800$ nm et de développement $1 \times 1 \mu\text{m}$. La diode *pin* InGaAs permet d’observer l’erreur effectuée sur l’extraction de F_{cr} en comparant modèle et simulation par rapport à la valeur extraite en comparant modèle et expérience. Les valeurs de champ électrique critique d’apparition de l’effet tunnel pour l’InGaAs et l’InAlAs (par simulation et modélisation) sont respectivement de l’ordre de $F_{cr,InGaAs} = 2 \times 10^5$ V/cm et $F_{cr,InAlAs} = 7 \times 10^5$ V/cm. Nous pouvons remarquer qu’il y a peu de différences entre les deux valeurs extraites de $F_{cr,InGaAs}$. De plus, d’après une étude menée par *M. Yee et al.* [42] sur l’InGaAs, l’effet tunnel apparaît pour un champ électrique critique $F_{cr,InGaAs} = 2,1 \times 10^5$ V/cm ce qui confirme nos valeurs extraites. De plus, d’après une étude menée par *Y. L. Goh et al.* sur l’InAlAs à 300K [25], l’effet tunnel apparaît pour un champ électrique critique plus élevé, $F_{cr,InAlAs} = 6,8 \times 10^5$ V/cm correspondant à notre valeur extraite. Nous pouvons donc voir que

le champ électrique critique d'apparition de l'effet tunnel bande à bande est plus élevé dans l'InAlAs que l'InP.

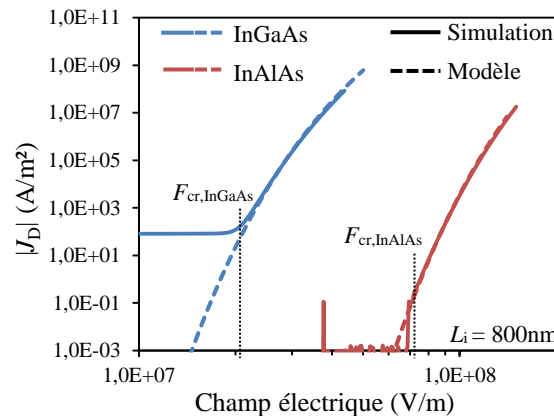


figure 27 – Courbes J_D - V_{DS} des diodes *pin* InGaAs et InAlAs de longueur intrinsèque 800 nm obtenue par modélisation (tiret) et simulation TCAD (trait plein).

b) Modulation du champ électrique dans la diode *pinin*

Le champ électrique critique d'apparition de l'effet tunnel bande à bande est d'autant plus élevé que l'énergie de bande interdite est élevée. Le premier objectif est donc d'accroître le champ électrique dans la zone intrinsèque du matériau grand-gap (InAlAs) pour acquérir une énergie cinétique des porteurs plus grande que pour une simple diode *pin* tout en évitant d'atteindre le champ électrique critique. Le second objectif est de diminuer le champ électrique dans le matériau petit-gap (InGaAs) en dessous du champ électrique critique pour favoriser l'ionisation par impact au détriment de l'effet tunnel.

Dans le cas de la diode *pin*, le champ électrique est fixé par la tension appliquée à ses bornes ainsi qu'à sa longueur intrinsèque. La diode *pinin* est une diode *pin* définie par deux zones intrinsèques à base de deux matériaux différents, un grand-gap du côté *p* et un petit-gap du côté *n* et séparées d'une couche dopée *n*. Cette couche médiane permet de moduler les champs électriques dans les deux zones intrinsèques en changeant son dopage. Afin de ne modifier qu'un paramètre de la zone médiane, nous avons fixé sa longueur à $L_n = 30$ nm.

La **figure 28** montre l'évolution du champ électrique pour la diode *pinin* de longueur intrinsèque $L_{i,InAlAs} = 100$ nm (a) et $L_{i,InAlAs} = 200$ nm (b) en fonction du dopage *n* de la zone médiane à une tension inverse $V_{DS} = 10$ V (avec $L_{i,InGaAs} = 500$ nm). Lorsque le dopage de la zone dopée *n* médiane diminue, le champ électrique dans l'InGaAs augmente et diminue dans l'InAlAs. Cela entraînerait une augmentation de la probabilité d'effet tunnel bande à bande dans l'InGaAs ainsi qu'un trop faible gain d'énergie cinétique dans l'InAlAs. Par ailleurs, nous pouvons observer qu'à très faible dopage, le champ électrique tend vers une constante pour les deux matériaux qui correspond à celui des deux matériaux pris séparément. À l'inverse, une augmentation du dopage *n* de la zone médiane tend à diminuer le champ dans le matériau petit-gap et augmenter le champ électrique dans le matériau grand-gap. De plus, nous voyons que le

champ électrique dans l’InAlAs est plus faible lorsque sa longueur intrinsèque augmente. Ainsi, afin d’acquérir suffisamment d’énergie cinétique dans l’InAlAs, il faut un dopage n plus élevé de la zone médiane dans la diode *pinin* de plus grande longueur intrinsèque d’InAlAs. Nous avons donc choisi un dopage $n = 5 \times 10^{17} \text{ cm}^{-3}$ lorsque $L_{i,\text{InAlAs}} = 100 \text{ nm}$ et $n = 8 \times 10^{17} \text{ cm}^{-3}$ lorsque $L_{i,\text{InAlAs}} = 200 \text{ nm}$. De plus cela permet de réduire le champ électrique dans l’InGaAs et éviter l’effet tunnel bande à bande dans ce dernier.

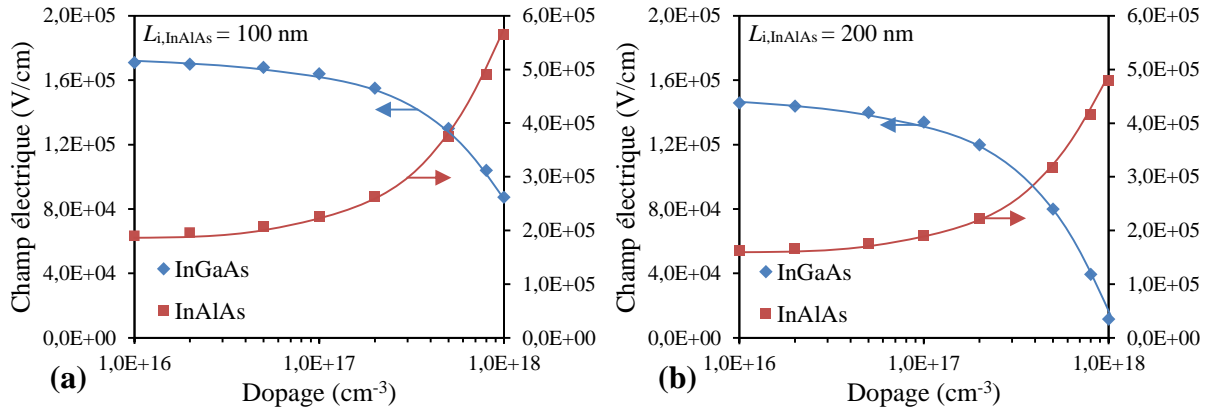


figure 28 – Évolution du champ électrique dans les diodes *pinin*, obtenue par simulation TCAD à $V_{DS} = 10 \text{ V}$, en fonction du dopage n de la zone médiane pour $L_{i,\text{InAlAs}} = 100 \text{ nm}$ (a) et $L_{i,\text{InAlAs}} = 200 \text{ nm}$ (b).

Comme nous l’avons vu précédemment, les champs électriques critiques à partir duquel l’effet tunnel bande à bande devient prépondérant à 300K dans l’InGaAs et l’InAlAs sont respectivement $F_{cr,\text{InGaAs}} = 2 \times 10^5 \text{ V/cm}$ et $F_{cr,\text{InAlAs}} = 7 \times 10^5 \text{ V/cm}$. La **figure 29** montre le profil du champ électrique F , obtenu par simulation TCAD, pour différentes tensions V_{DS} pour la diode *pinin* InAlAs/ InGaAs de longueurs $L_{i,\text{InGaAs}} = 800 \text{ nm}$ et $L_{i,\text{InAlAs}} = 200 \text{ nm}$ (à gauche) et pour la diode *pin* InGaAs de longueur intrinsèque $L_{i,\text{InGaAs}} = 800 \text{ nm}$ (à droite). Nous notons que le champ électrique dans l’InGaAs est plus élevé dans la structure *pin* que dans la structure *pinin* indiquant un retardement (en tension) de l’effet tunnel bande à bande à l’aide de cette nouvelle architecture.

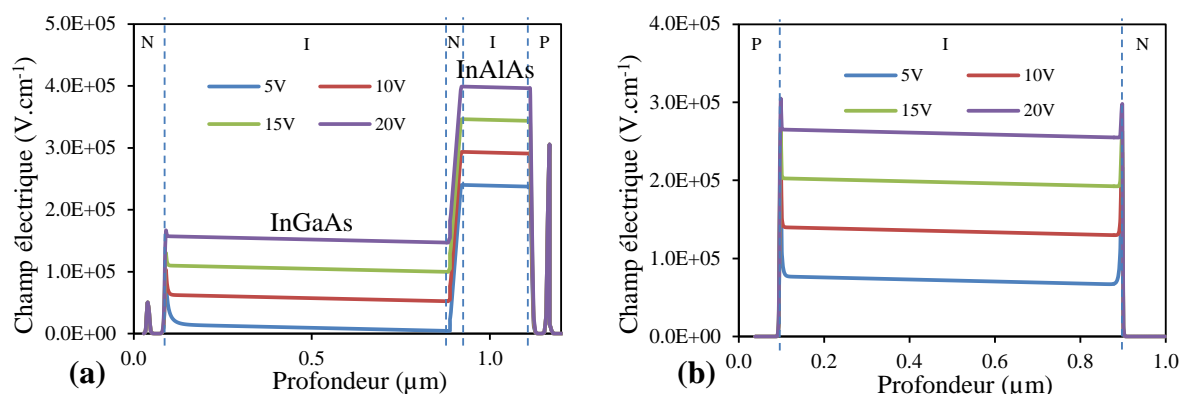


figure 29 – Profil du champ électrique pour différentes tensions V_{DS} obtenu par simulation TCAD dans la diode *pinin* InAlAs/ InGaAs avec des longueurs intrinsèques $L_{i,InGaAs} = 800$ nm et $L_{i,InAlAs} = 200$ nm (a), comparée à la structure *pin* à base d' InGaAs de longueur intrinsèque $L_{i,InGaAs} = 800$ nm (b).

Le champ électrique dans l'InGaAs et l'InAlAs a été estimé pour les quatre structures *pinin* à l'équilibre thermodynamique pour une polarisation $V_{DS} = -15$ V (**tableau 5**).

Structures	$L_{i,InGaAs}$ (nm)	$E_{i,InGaAs}$ (V/cm)	$L_{i,InAlAs}$ (nm)	$E_{i,InAlAs}$ (V/cm)
I	500	$2,1 \times 10^5$	100	$4,6 \times 10^5$
II	500	$1,5 \times 10^5$	200	$3,9 \times 10^5$
III	800	$1,4 \times 10^5$	100	$3,9 \times 10^5$
IV	800	$1,1 \times 10^5$	200	$3,5 \times 10^5$

tableau 5 – Résumé des valeurs de champ électrique estimé à l'aide de la simulation TCAD pour les quatre structures *pinin* étudiées pour une tension $V_{DS} = 15$ V en fonction des longueurs intrinsèques.

3) Réalisation technologique des diodes *pinin* $In_{0,52}Al_{0,48}As/ In_{0,53}Ga_{0,47}As$

Les diodes *pinin* ont été réalisées à partir d'un empilement épitaxié InAlAs/ InGaAs adapté en maille sur un substrat InP (100). Le masque utilisé est similaire à celui utilisé pour la fabrication des diodes précédentes. Des diodes de différentes longueurs intrinsèques ($L_{i,InGaAs}$ et $L_{i,InAlAs}$) ont été fabriquées afin d'estimer l'effet de la longueur intrinsèque sur le comportement en régime d'avalanche (**figure 25**). La première étape consiste au dégraissage de l'échantillon avec de l'acétone ainsi que de l'alcool. Ensuite nous avons déposé un 1^{er} contact ohmique sur la couche fortement dopée *n* d'InGaAs. Ce contact ohmique est réalisé par évaporation par faisceau d'électrons d'une séquence de Ti/Pt/Au d'épaisseurs respectives 25/25/350 nm. Après mesure, nous avons mesuré une résistance spécifique de contact de l'ordre de $1 \times 10^{-7} \Omega.cm^{-2}$. Ensuite une gravure par voie humide à l'aide d'une solution diluée d'acide orthophosphorique pendant des temps différents pour chaque longueur de zone intrinsèque *I* permet le dépôt du 2nd contact ohmique. Ce dernier est déposé par l'évaporation par faisceau d'électrons d'une séquence de Pd/Ti/Pt/Au d'épaisseurs respectives 4/25/25/350 nm sur la couche fortement dopée *p* d'InGaAs. Ce contact permet d'obtenir une résistance spécifique de

l'ordre de $5 \times 10^{-7} \Omega \cdot \text{cm}^{-2}$. Pour finir, l'isolation des dispositifs a été faite par gravure humide à l'aide d'une solution diluée d'acide orthophosphorique. Les détails de fabrication étant semblables aux premières diodes *pin* InP/ InGaAs sont fournis en annexe.

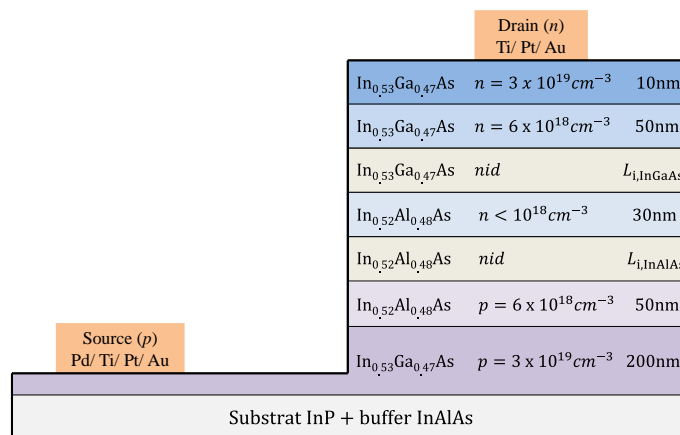


figure 30 – Structure des diodes *pin* InAlAs/ InGaAs. Le dopage de la zone *n* médiane est de $5 \times 10^{17} \text{cm}^{-3}$ lorsque $L_{i,\text{InAlAs}} = 100 \text{nm}$ et de $8 \times 10^{17} \text{cm}^{-3}$ lorsque $L_{i,\text{InAlAs}} = 200 \text{nm}$.

4) Mesure des résistances R_C des couches de contact

Les résistances de contact ont été mesurées à l'aide de la méthode TLM sur un banc quatre points Keithley. Les contacts ohmiques *p* et *n* sont respectivement réalisés à partir des empilements Pd/Ti/Pt/Au et Ti/Pt/Au par évaporation par faisceau d'électrons.

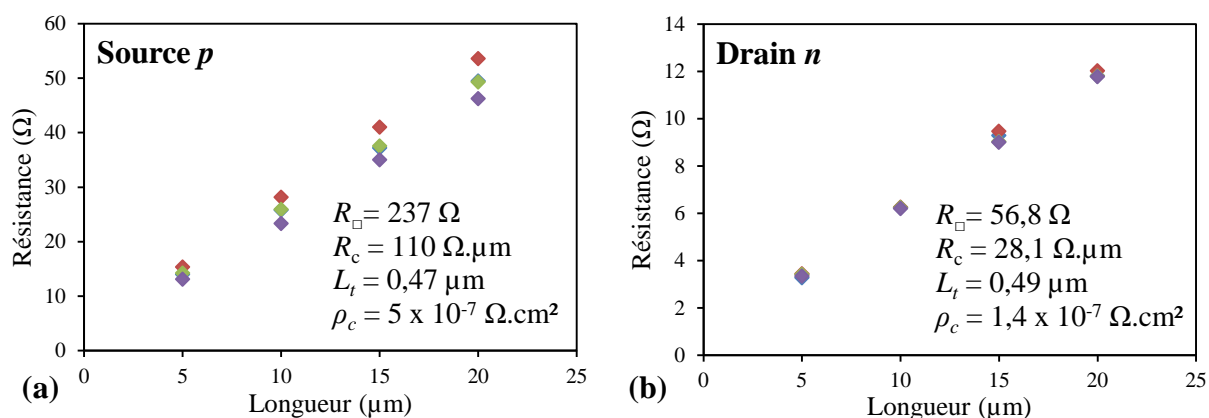


figure 31 – Mesures des résistances d'accès par la méthode TLM pour le contact de source *p* (a) et de drain *n* (b). Nous avons obtenu de faibles valeurs de résistances spécifiques de l'ordre de $10^{-7} \Omega \cdot \text{cm}^2$.

Ces mesures révèlent des valeurs de résistances spécifiques de contact $\rho_{c,p} = 5 \times 10^{-7} \Omega \cdot \text{cm}^2$ pour le contact de source et $\rho_{c,n} = 1 \times 10^{-7} \Omega \cdot \text{cm}^2$ pour le contact de drain. Ces valeurs restent élevées par rapport à l'état de l'art ainsi que par rapport à nos précédentes diodes *pin*. Cependant la valeur de résistance de contact totale (source et drain) $R_{C,SD} = 138 \Omega \cdot \mu\text{m}$ est inférieure à la

valeur attendue en 2017 pour la technologie FinFET sur substrat FDSOI dont la résistance de contact $R_{C,SD} \approx 170 \Omega \cdot \mu\text{m}$ selon l'ITRS.

5) Caractéristiques I_D - V_{DS} en polarisation inverse des diodes *pinin*

a) Étude en température

Nous avons étudié le comportement en température des diodes *pinin* afin de discriminer les mécanismes physiques observés sur les caractéristiques électriques. Les mesures ont été effectuées à l'aide d'un banc cryogénique 4 pointes sous vide, en l'absence d'éclairement, pour des températures allant de 100K à 400K. La **figure 32** représente les caractéristiques I_D - V_{DS} pour les quatre diodes *pinin* en fonction de la polarisation inverse. Les valeurs de développement W et de longueur L sont indiquées sur les figures. Quelle que soit la diode envisagée, nous pouvons distinguer trois zones selon la valeur de V_{DS} . Dans cette analyse, nous observons uniquement la diode *pinin* avec des longueurs intrinsèques $L_{i,\text{InGaAs}} = 500 \text{ nm}$ et $L_{i,\text{InAlAs}} = 200 \text{ nm}$ (structure II - **figure 32.b**) pour simplifier la compréhension du lecteur.

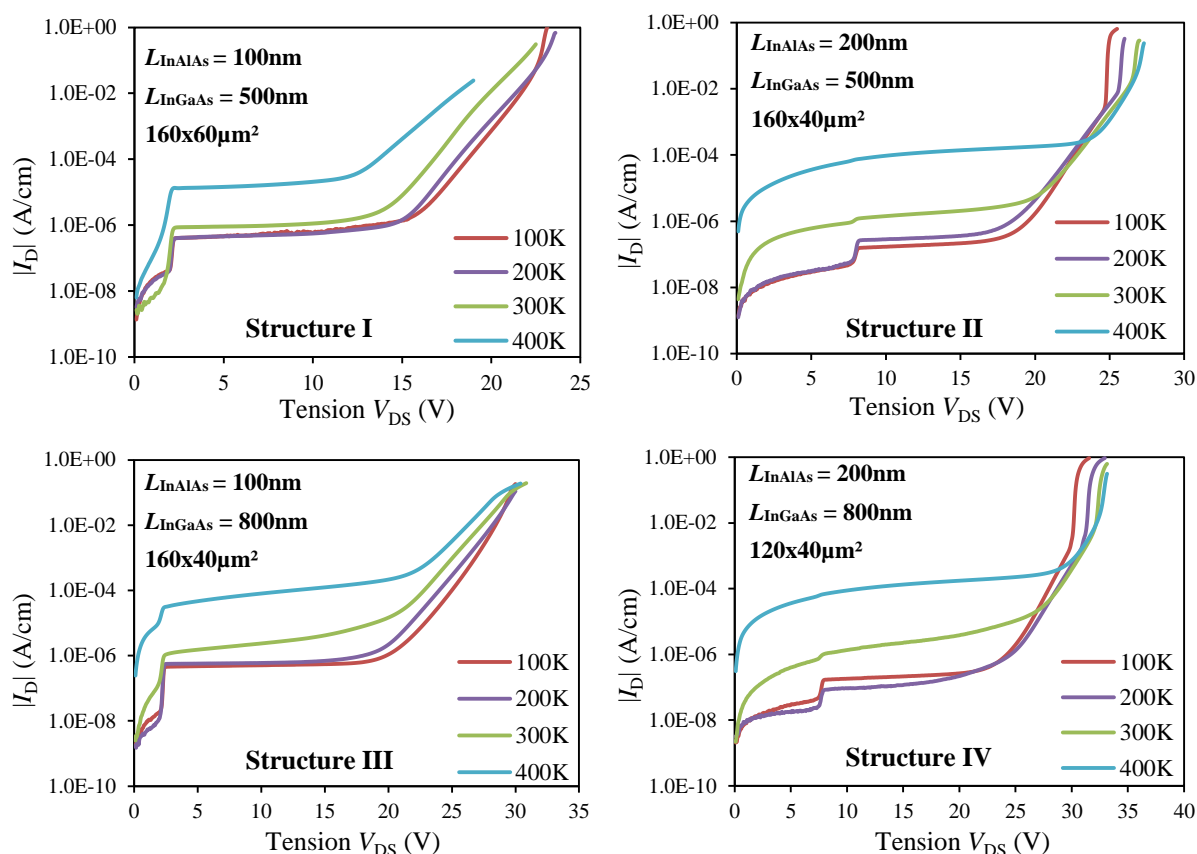


figure 32 – Caractéristiques I_D - V_{DS} des diodes *pinin* en fonction de la polarisation inverse pour différentes températures allant de 100K à 400K.

Premièrement, pour des tensions $V_{DS} \leq 20 \text{ V}$, nous observons un premier palier de courant pour $V_{DS} \leq 8 \text{ V}$ suivi d'un second palier pour $8 \text{ V} \leq V_{DS} \leq 20 \text{ V}$. Ces deux paliers de courant correspondent au courant de génération thermique dans les zones intrinsèques d'InGaAs et

d'InAlAs. En effet, bien qu'étant quasiment indépendant de la tension, ces derniers varient en fonction de la température à travers la concentration de porteurs intrinsèques des matériaux. Le premier palier est lié à la génération thermique dans InAlAs et le second dans l'InGaAs. Des simulations TCAD valident ces propos, par exemple la **figure 33** représente le taux de génération pour la structure II pour $V_{DS} = 5$ V (en bleu) et $V_{DS} = 10$ V (en rouge). Nous observons qu'à faible tension le courant augmente par génération thermique dans l'InAlAs puis par génération thermique dans l'InGaAs à tension plus élevée.

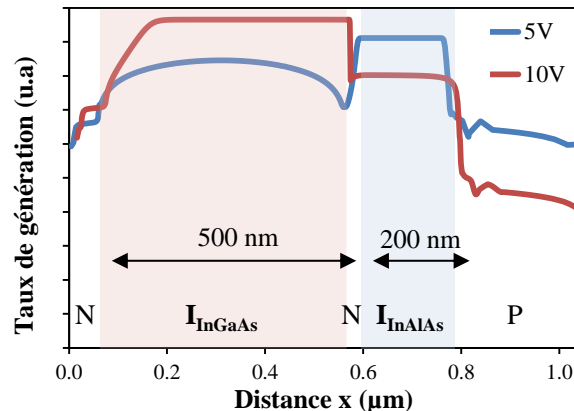


figure 33 – Représentation du taux de génération thermique pour la structure II obtenue par simulation TCAD à $V_{DS} = 5$ V et $V_{DS} = 10$ V.

La tension pour laquelle la génération thermique des porteurs dans l'InGaAs devient prépondérante vis-à-vis de celle dans l'InAlAs est modulée par le dopage de la zone n médiane qui lui-même module le champ électrique dans les zones intrinsèques (**figure 28**). Le dopage plus faible dans les structures I et III ($L_{i,InAlAs} = 100$ nm) que dans les structures II et IV ($L_{i,InAlAs} = 200$ nm) déplace cette tension vers des valeurs plus faibles.

Ensuite, pour des tensions V_{DS} comprises entre 20 V et 30 V, nous observons une augmentation du courant I_D principalement lié à l'effet tunnel bande à bande car ce dernier ne dépend que peu de la température à travers la variation d'énergie de bande interdite [41]. Pour finir, pour des tensions $V_{DS} \geq 30$ V, nous remarquons un accroissement brutal du courant I_D . La dépendance positive, i.e., le décalage de la tension d'avalanche vers des tensions plus élevées si la température augmente prouve que cette composante est due à l'ionisation par impact.

b) Effet de la longueur intrinsèque

La **figure 34** représente les caractéristiques I_D - V_{DS} en polarisation inverse à une température de 100K pour les quatre structures. Nous pouvons déjà constater que lorsque $L_{i,InAlAs} = 100$ nm (structure I et III), la composante de courant par effet tunnel bande à bande est prédominante même à fortes tensions et l'effet d'ionisation par impact est masqué. En revanche lorsque $L_{i,InAlAs} = 200$ nm (structure II et IV), nous observons la composante liée à l'effet d'ionisation par impact quelle que soit la longueur $L_{i,InGaAs}$. Nous constatons ainsi qu'une forte longueur de

zone intrinsèque de l'InAlAs permet de retarder l'apparition de la composante d'effet tunnel bande à bande.

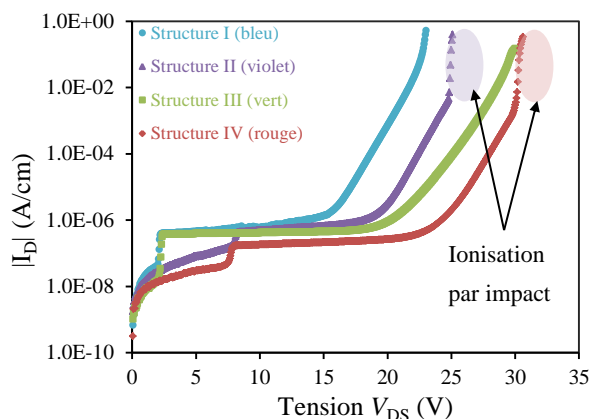


figure 34 – Caractéristiques I_D - V_{DS} des diodes *pinin* à une température de 100K en fonction de la polarisation inverse pour les différentes structures.

Ces résultats démontrent que l'ajout d'une zone intrinsèque de longueur suffisante réalisée à partir d'un matériau grand-gap permet de favoriser l'apparition du phénomène d'ionisation par impact et de réduire l'effet tunnel bande à bande en déplaçant sa tension critique vers des valeurs plus élevées. Cependant, l'avalanche par effet tunnel bande à bande apparaît toujours avant l'effet d'ionisation par impact. Nous constatons également que les tensions de claquage par ionisation par impact sont beaucoup trop importantes. Ainsi, des I-MOSFET conçus avec ce type d'architecture ne pourront concurrencer l'état de l'art actuel. L'utilisation d'un matériau à coefficients d'ionisations très élevés a été étudiée par la suite, nous nous sommes donc concentrés sur le GaSb.

V - Fabrication et caractérisation de la diode *pin* GaSb

Nous avons étudié la diode *pin* à base de GaSb fabriquée par épitaxie par jets moléculaires sur des substrats de GaAs ou de GaSb. Deux substrats ont été étudiés afin d'observer l'impact d'une croissance de type métamorphique et adaptée en maille sur les caractéristiques électriques des diodes *pin*.

1) Structure épitaxiale et réalisation technologique des diodes *pin* GaSb

a) Croissance métamorphique et pseudo-morphique

Les matériaux semiconducteurs sont des cristaux présentant un paramètre de maille a bien défini. Dans le cas de nos semiconducteurs III-V, l'ordre de grandeur est compris entre 5,6 Å et 6,2 Å. Lorsque deux semiconducteurs sont « empilés » pour la création d'hétérostructures par exemple, il y a donc un désaccord de maille $\Delta a/a$ (qui peut être nul). En épitaxie, il existe

trois types de croissance : adaptée en maille lorsque $\Delta a/a = 0$, pseudo-morphique lorsque le désaccord de maille est faible ($|\Delta a/a| < 2\%$) et métamorphique lorsque le désaccord de maille est élevé ($|\Delta a/a| > 2\%$). Ainsi si le désaccord de maille est élevé, il y aura apparition de contraintes (de tension ou de compression) et donc de dislocations émergentes. Afin de réduire la quantité de défauts, un « buffer » est réalisé entre le substrat et la couche épitaxiale.

Dans le cas de cette structure de la filière antimonée, la croissance du GaSb sur le substrat de GaAs commence par la croissance d'un buffer de GaSb métamorphique non dopé. Compte tenu du large désaccord de maille entre le GaSb et le GaAs ($\Delta a/a = 7,3\%$ en compression), le buffer de GaSb va permettre d'éliminer les relaxations dues à la compression du GaSb sur le GaAs.

b) Structure épitaxiale des diodes sur substrat GaAs et GaSb

Les diodes *pin* ont été réalisées par épitaxie de GaSb sur des substrats de GaAs ou GaSb (100) avec différentes longueurs intrinsèques ($L_{i,GaSb}$). La structure épitaxiale des diodes *pin* sur substrat GaAs (**figure 35.a**) est réalisée de la façon suivante : un buffer de GaSb non dopé d'épaisseur 500 nm environ sur un substrat de GaAs semi-isolant, une couche de GaSb d'épaisseur 450 nm dopée *n* pour le contact ohmique inférieur de drain. Cette couche est dopée à une valeur de $3 \times 10^{18} \text{ cm}^{-3}$, correspondant à la valeur maximale atteinte de dopage par des atomes de tellure (Te). Une couche de GaSb d'épaisseur variable $L_{i,GaSb}$ non intentionnellement dopée ($n_{id} \approx 4 \times 10^{16} \text{ cm}^{-3}$), une couche de GaSb d'une épaisseur de 50 nm dopée *p* (Si : $3 \times 10^{18} \text{ cm}^{-3}$) puis une couche de GaSb d'épaisseur 50 nm fortement dopée *p* (Si : $3 \times 10^{19} \text{ cm}^{-3}$) pour le contact ohmique supérieur de source.

La structure épitaxiale des diodes *pin* sur substrat GaSb dopé (**figure 35.b**) est réalisée de la façon suivante : une couche de GaSb d'épaisseur 450 nm dopée *n* (Te : $3 \times 10^{18} \text{ cm}^{-3}$) pour le contact ohmique inférieur de drain déposée sur un substrat de GaSb dopé *n* (Te : $1,5 \times 10^{18} \text{ cm}^{-3}$), une couche de GaSb d'épaisseur variable $L_{i,GaSb}$ non intentionnellement dopée ($n_{id} \approx 4 \times 10^{16} \text{ cm}^{-3}$), une couche de GaSb dopée *p* (Si : $3 \times 10^{18} \text{ cm}^{-3}$) d'épaisseur 50 nm puis une couche de GaSb fortement dopée *p* (Si : $3 \times 10^{19} \text{ cm}^{-3}$) et d'épaisseur 50 nm pour le contact ohmique supérieur de source.

GaSb	$p \text{ (Si)} = 3 \times 10^{19} \text{ cm}^{-3}$	50 nm	GaSb	$p \text{ (Si)} = 3 \times 10^{19} \text{ cm}^{-3}$	50 nm
GaSb	$p \text{ (Si)} = 3 \times 10^{18} \text{ cm}^{-3}$	50 nm	GaSb	$p \text{ (Si)} = 3 \times 10^{18} \text{ cm}^{-3}$	50 nm
GaSb	<i>n_{id}</i>	$L_{i,GaSb}$	GaSb	<i>n_{id}</i>	$L_{i,GaSb}$
GaSb	$n \text{ (Te)} = 3 \times 10^{18} \text{ cm}^{-3}$	450 nm	GaSb	$n \text{ (Te)} = 3 \times 10^{18} \text{ cm}^{-3}$	450 nm
GaSb (buffer)	<i>n_{id}</i>	$\approx 500 \text{ nm}$	GaSb (substrat)	$n \text{ (Te)} = 1,5 \times 10^{18} \text{ cm}^{-3}$	
GaAs (substrat)					

(a)

(b)

figure 35 – Représentations schématiques des structures épitaxiales des diodes *pin* GaSb sur substrat semi-isolant GaAs (a) et sur substrat GaSb dopé (b).

c) Procédé de fabrication

La première étape consiste au dégraissage de l'échantillon avec de l'acétone ainsi que de l'alcool. Ensuite nous avons désoxydé la surface à l'aide d'une solution diluée d'acide chlorhydrique puis déposé un 1^{er} contact ohmique sur la couche fortement dopée p de GaSb. Ce contact ohmique est réalisé par évaporation par faisceau d'électrons d'une séquence de Pd/Ti/Pt/Au d'épaisseurs respectives 4/25/25/350 nm. Ensuite une gravure par voie sèche à l'aide d'un plasma ICP à base de BCl_3/Ar pendant des temps différents pour chaque longueur de zone intrinsèque permet l'apparition de la zone dopée n . Un nettoyage à l'aide d'une solution diluée d'acide fluorhydrique avant le dépôt du 2nd contact ohmique permet d'éliminer les contaminations apportées par la gravure plasma. Le 2nd contact est ensuite déposé par l'évaporation par faisceau d'électrons d'une séquence de Ni/Ge/Au/Pt/Au d'épaisseurs respectives 4/40/20/25/350 nm sur la couche fortement dopée n de GaSb après désoxydation à l'aide d'une solution diluée d'acide chlorhydrique. Pour finir, l'isolation des dispositifs a été faite par gravure humide à l'aide de la solution diluée d'acide fluorhydrique. Les détails de fabrication par ailleurs sont fournis en annexe.

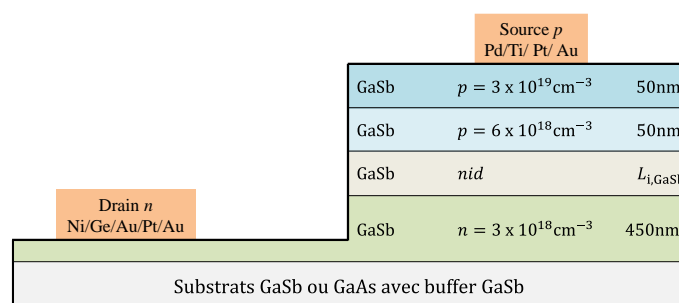


figure 36 – Structure des diodes pin de la filière antimoniée sur substrat GaSb dopé ou GaAs.

2) Mesure des résistances R_C et R_{\square} des couches de contact

a) État de l'art de contacts n sur GaSb

Contrairement à l'InGaAs, il est plus facile de fabriquer un contact ohmique de type p à faible résistance sur le GaSb du fait de l'ancrage du niveau de fermi proche du haut de la bande de valence en surface du GaSb. C'est pourquoi, nous présentons ici qu'un bref état de l'art des contacts ohmiques de type n sur GaSb (**tableau 6**).

Des études ont été menées à partir des années 1990 pour fabriquer des contacts ohmiques sur GaSb à faible résistance spécifique en commençant par *C. Heinz et al.*. Par la suite, deux équipes ont étudié la séquence Ni/Ge/Au obtenant un contact ohmique sur GaSb dopé n présentant des valeurs de résistance spécifique ρ_C élevées ($10^{-3} \Omega \cdot \text{cm}^2$) [43], [44]. Le germanium sert ici de donneur d'électrons en surface et permet de réduire la barrière de potentiel. Ensuite, *A. Vogt et al.* ont obtenu une faible valeur de ρ_C de l'ordre de $4,9 \times 10^{-6} \Omega \cdot \text{cm}^2$ avec une séquence de Pd/Ge/Au/Pt/Au [45]. Le palladium permet ici de créer une couche d'adhésion sur

le semiconducteur tandis que le platine permet de bloquer la diffusion des espèces dans le métal. Cependant, la résistance de ce contact est fortement dépendante de la température due à la diffusion du palladium. Une température trop élevée entraîne une trop grande diffusion du palladium et augmente la résistance spécifique [46]. L'équipe de *J.A. Robinson et al.* a ensuite utilisé l'indium (Pd/In/Pd/Pt/Au) [47] pour créer un alliage avec le GaSb par recuit comme *K. Ikossi et al.* [48]. Cette étude a permis d'obtenir une valeur ρ_C d'environ $2,4 \times 10^{-6} \Omega \cdot \text{cm}^2$. Cependant, la création de l'alliage dans ce cas n'est pas uniforme et conduit à l'agglomération du métal en surface sous forme de grains. Cette même équipe a par la suite étudié l'effet d'une passivation au soufre de la surface de GaSb avant dépôt de cette même séquence métallique [49] sans montrer une réelle amélioration de ρ_C . *W. Yue et al.* ont alors repris la séquence Ni/Ge/Au en ajoutant une couche de molybdène (Ni/Ge/Au/Mo/Au) afin d'éviter la diffusion de l'or vers le semiconducteur [50]. Bien que la résistance spécifique ne soit pas améliorée, ils ont obtenu une meilleure morphologie de surface ainsi que la possibilité de recuits plus élevés. Plus récemment, *N. Rahimi et al.* ont comparé les séquences classiques Pd/Ge/Au/Pt/Au et Ni/Ge/Au/Pt/Au [51], [52] et ont observé une résistance plus faible en utilisant le Ni ($\rho_C = 1,1 \times 10^{-6} \Omega \cdot \text{cm}^2$). D'après ces études et nos contraintes, nous avons donc choisi d'utiliser une séquence métallique Ni/Ge/Au/Pt/Au d'épaisseurs respectives 4/40/20/25/250 nm pour le contact ohmique de type *n*.

Équipe	Dopage (cm^{-3})	Traitement	Métal	Recuit	ρ_C ($\Omega \cdot \text{cm}^2$)	Réf.
<i>Su et al.</i>	5×10^{17}	HCl puis HF 5min	Ni/Ge/Au	400°C 2min N ₂	2×10^{-3}	[45]
<i>Subekti et al.</i>	6×10^{17}	HCl dilué 1min	Ni/Ge/Au	250°C 2min N ₂	0,4	[46]
<i>Vogt et al.</i>	6×10^{17}	HCl dilué puis HF	Pd/Ge/Au/Pt/Au	300°C 1min	$4,9 \times 10^{-6}$	[45]
<i>Robinson et al.</i>	2×10^{18}	HCl dilué 30s	Pd/In/Pd/Pt/Au	125°C 1h, 350°C 10min	$2,4 \times 10^{-6}$	[47]
<i>Ikossi et al.</i>	$5,6 \times 10^{17}$	-	Pd/Ge/Pd/In/Au	350°C 1min	$1,4 \times 10^{-6}$	[48]
<i>Yue et al.</i>	2×10^{17}	acétone	Ni/Ge/Au/Mo/Au	250°C 10min H ₂	$2,2 \times 10^{-5}$	[50]
<i>Rahimi et al.</i>	1×10^{17}	HCl dilué 1min	Ni/Ge/Au/Pt/Au Pd/Ge/Au/Pt/Au	290°C 45s N ₂	$1,1 \times 10^{-6}$ 3×10^{-6}	[51], [52]

tableau 6 – Résumé de différentes études sur le contact ohmique de type *n* sur GaSb.

b) Mesure des résistances de contact

Dans notre cas, le contact ohmique de type p a été réalisé à l'aide de deux séquences Ti/Pt/Au ou Pd/Ti/Pt/Au sur une surface ayant uniquement été nettoyée par une solution d'acétone, d'IPA puis d'eau déionisée. La **figure 37.a** représente la résistance totale, mesurée à l'aide de la méthode TLM, en fonction de la distance séparant deux pads de contacts p pour les deux séquences. La séquence Ti/Pt/Au présente une valeur de $\rho_C \approx 5 \times 10^{-6} \Omega \cdot \text{cm}^2$, sans recuit, d'un ordre de grandeur supérieur aux valeurs obtenues par *B. Sun et al.* [53] ainsi que *L.S. Wu et al.* [54] sur cette même séquence après désoxydation et optimisation du recuit. De plus sa valeur de R_{\square} , différente avec celle obtenue avec la séquence Pd/Ti/Pt/Au, peut s'expliquer par le fait que la séquence Ti/Pt/Au ne présente pas un caractère ohmique sans recuit. La séquence Pd/Ti/Pt/Au a permis une large diminution de $\rho_C = 4,4 \times 10^{-7} \Omega \cdot \text{cm}^2$. Cette valeur est comparable à celle obtenue pour un contact à alliage de nickel par *M. Yokoyama et al.* [55]. Cependant, nous pouvons voir une dégradation de ce dernier contact ohmique après recuit à forte température (**figure 37.b**). Après un recuit à 400°C , le contact devient non ohmique et sa résistance spécifique est de l'ordre de $3,8 \times 10^{-6} \Omega \cdot \text{cm}^2$.

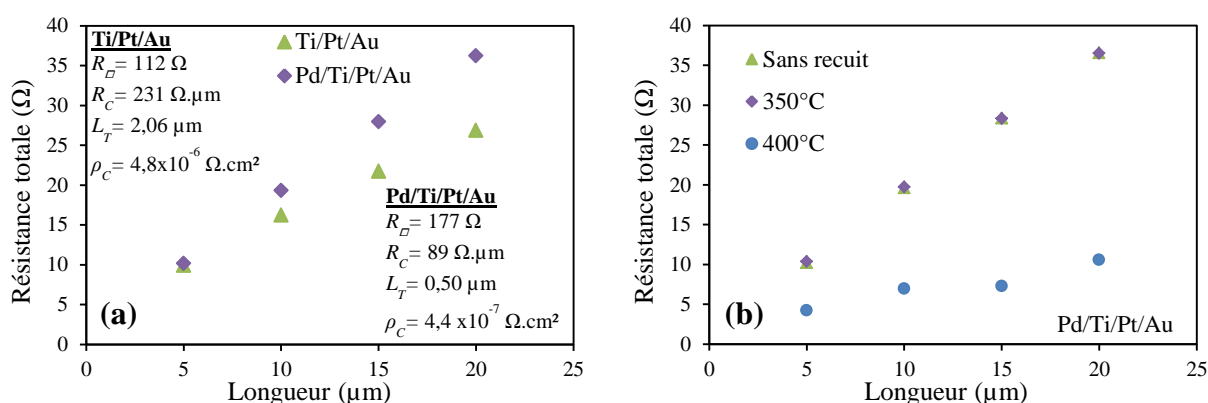


figure 37 – Mesure de résistances de contacts ohmiques de type p sur GaSb pour différents empilements de métaux sans recuit (a) et pour différentes températures de recuit du contact Pd/Ti/Pt/Au (b).

En ce qui concerne le contact ohmique de type n , plusieurs séquences métalliques à base de molybdène, de palladium et de nickel ont été testées par Aurélien Olivier. Les deux premières séquences sont basées sur les travaux sur $\text{Ga}_{0,35}\text{In}_{0,65}\text{Sb}$ de Estelle Mairiaux à l'IEMN. Ces deux séquences sont Mo/Pt/Au et Pd/Mo/Pt/Au et ont permis d'obtenir des résistances spécifiques $\rho_C = 8,7 \times 10^{-7} \Omega \cdot \text{cm}^2$ sur $\text{Ga}_{0,35}\text{In}_{0,65}\text{Sb}$. La troisième séquence Ni/Ge/Au/Pt/Au est basée sur les précédentes études présentées plus haut. La **figure 38.a** représente les valeurs de résistances spécifiques extraites par la méthode TLM pour chaque séquence métallique après recuit à 285°C pendant 1min sous N_2H_2 et après un traitement Ar. Nous voyons que le contact Ni/Ge/Au/Pt/Au permet une valeur de ρ_C plus faible que les autres contacts à base de molybdène. Le contact de type n étant plus difficile à réaliser d'une part à cause de l'oxydation

du GaSb en surface et d'autre part de la position du niveau de Fermi en surface, il est nécessaire d'effectuer un traitement avant le dépôt du contact. Le premier traitement consiste en une désoxydation à l'aide d'une solution diluée (10%) d'acide chlorhydrique pendant 5min suivi d'un rinçage dans l'EDI et le second en un traitement Ar in-situ (dans la chambre d'évaporation) à 150 eV pendant 1min. La **figure 38.b** représente la résistance totale, obtenue par la méthode TLM, en fonction de la distance séparant deux contacts Ni/Ge/Au/Pt/Au sans traitement, avec traitement HCl et avec traitement Ar (et sans recuit). Nous pouvons noter que le traitement Ar permet une résistance ρ_c plus faible qu'avec le traitement au HCl, et une réduction de la résistance spécifique de $\rho_c = 1 \times 10^{-3} \Omega.cm^2$ (sans traitement) à $\rho_c = 8,6 \times 10^{-6} \Omega.cm^2$ (avec traitement Ar).

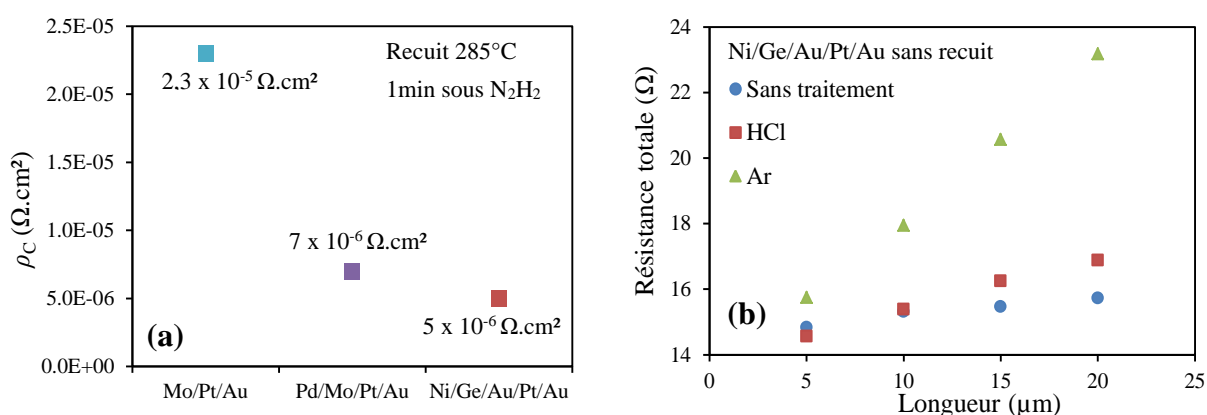


figure 38 – Mesure des résistances spécifiques des différents contacts sur *n*-GaSb (a) et l'effet du traitement avant métallisation du contact Ni/Ge/Au/Pt/Au (b).

La **figure 39.a** présente l'effet du recuit sur la résistance spécifique ainsi que la longueur de transfert du contact Ni/Ge/Au/Pt/Au après traitement Ar. Le recuit entraîne une diminution de la valeur de ρ_c pour atteindre une valeur minimale à 285°C, à plus haute température de recuit ρ_c augmente (non montré). La **figure 39.b** montre la résistance totale en fonction de la distance entre deux contacts Ni/Ge/Au/Pt/Au après un traitement Ar et un recuit à 285°C. La valeur minimale de ρ_c obtenue est $\rho_c = 4,98 \times 10^{-6} \Omega.cm^2$, ce qui est proche de ce qui a été obtenu auparavant pour cette même séquence par *N. Rahimi et al.* [48].

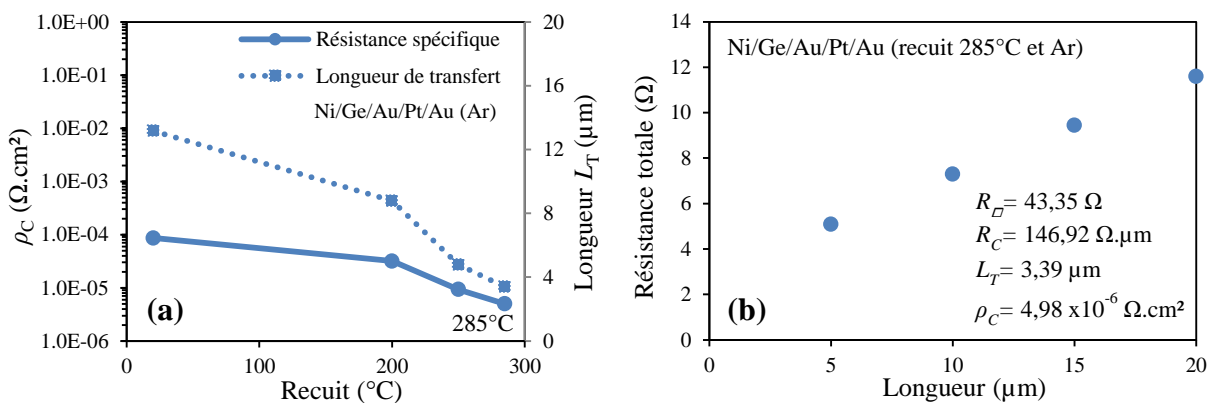


figure 39 – Effet du recuit sur le contact Ni/Ge/Au/Pt/Au (a) ainsi que la mesure de résistance totale du contact Ni/Ge/Au/Pt/Au après traitement Ar et recuit à 285°C (b) par la méthode TLM.

3) Caractéristiques courant-tension I_D - V_{DS}

Dans un premier temps, nous avons caractérisé les échantillons sur les substrats GaSb et GaAs. Afin d'étudier le comportement électrique des diodes *pin*, nous avons effectué des mesures courant-tension en régime statique pour différentes températures et différentes surfaces de contact supérieur. Le potentiel de source (V_S) est appliqué sur la zone dopée *p* et le potentiel de drain (V_D) est appliqué sur la zone dopée *n*. Ainsi la polarisation inverse est obtenue lorsque la tension V_{DS} est positive (i.e. $V_S < 0V$) et la polarisation directe lorsque V_{DS} est négative. Pour les diodes *pin*, le développement W vaut 40, 80, 120 et 160 μm tandis que la longueur L vaut 20, 40, 60 et 80 μm .

a) Caractéristiques I_D - V_{DS} et modélisation des diodes *pin* GaSb sur substrat GaSb

Nous avons dans un premier temps étudié les caractéristiques courant-tension des diodes *pin* sur substrat GaSb. La **figure 40** représente les caractéristiques I_D - V_{DS} à température ambiante en polarisation inverse ($V_{DS} > 0$ V) pour les diodes *pin* de longueurs intrinsèques $L_i = 400$ nm (bleue) et $L_i = 600$ nm (rouge). Les dimensions de la diode présentée sont $W = 160$ μm et $L = 80$ μm . Nous avons premièrement observé un claquage des diodes *pin* pour des tensions V_{DS} inférieures à 5V. Ce claquage diminue avec la longueur intrinsèque ce qui semble cohérent avec l'ionisation par impact. Par ailleurs, nous voyons que le courant est plus élevé dans le cas de la diode *pin* à plus faible longueur intrinsèque (**figure 40.a**). Compte tenu que le champ électrique dans la diode *pin* de longueur intrinsèque la plus petite est plus fort, cette différence de niveau de courant montre que ce dernier ne peut être associé qu'à un simple phénomène de génération-recombinaison mais aussi à de l'effet tunnel assisté par les défauts. Afin d'en déterminer l'origine physique, nous avons comparé les résultats expérimentaux à la modélisation. La **figure 40.b** représente la courbe I_D - V_{DS} expérimentale comparée à la modélisation analytique des différents modèles de génération-recombinaison et tunnel en polarisation inverse à 295K. La diode modélisée est celle avec $L_i = 400$ nm et les paramètres utilisés sont les mêmes que ceux des diodes *pin* InGaAs. Nous pouvons voir qu'aucun modèle

ne modélise correctement la courbe expérimentale. Seul le modèle de recombinaison possède une forme proche mais avec des niveaux de courant différents. Or dans le modèle de recombinaison, le niveau de courant est majoritairement lié au temps de relaxation τ_a des porteurs et plus sa valeur est faible plus le courant est élevé. Ainsi, nous pouvons émettre l'hypothèse que le temps de relaxation est très faible entraînant un large courant même à basse tension V_{DS} à cause d'une large quantité de défauts dans le semiconducteur. De plus, le plus faible courant à plus forte longueur intrinsèque semble indiquer une augmentation du temps de relaxation en diminuant le champ électrique [56]. La composante de génération-recombinaison avec deux valeurs de τ_a a été représentée, $\tau_a = 1 \times 10^{-8}$ s (tiret rouge) et $\tau_a = 1 \times 10^{-12}$ s (tiret bleu) pour la diode *pin* de longueur intrinsèque 400 nm.

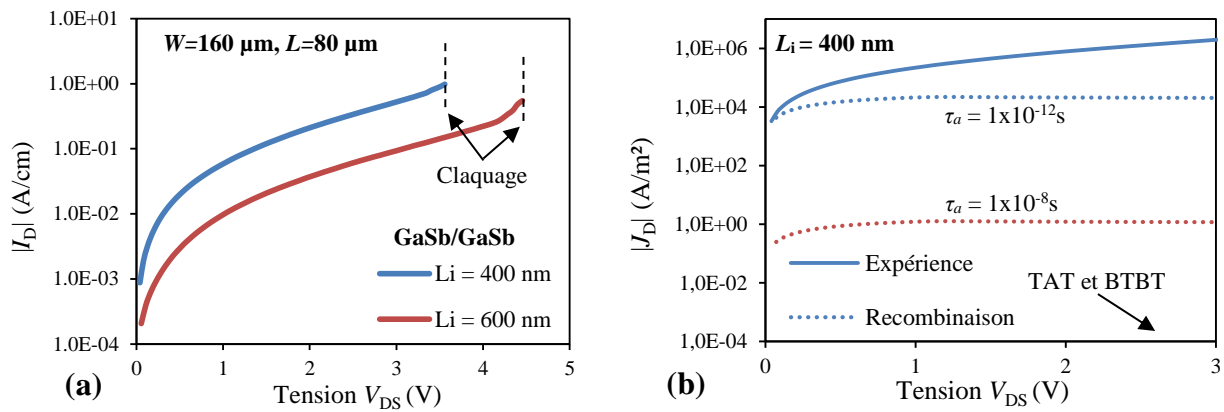


figure 40 – Caractéristiques I_D - V_{DS} en polarisation inverse pour les diodes *pin* GaSb sur substrat GaSb pour différentes longueurs intrinsèques, $L_i = 400$ nm (bleue) et $L_i = 600$ nm (rouge) (a) et la comparaison avec la modélisation analytique de la diode *pin* avec $L_i = 400$ nm à 295K (b).

b) Caractéristiques I_D - V_{DS} et modélisation des diodes *pin* GaSb sur substrat GaAs

Nous avons dans un second temps étudié les caractéristiques I_D - V_{DS} des diodes *pin* sur substrat GaAs sur la gamme de tension $-1 < V_{DS} < 3$ V. La **figure 41.a** représente les caractéristiques I_D - V_{DS} à température ambiante pour les diodes *pin* de longueurs intrinsèques $L_i = 400$ nm (bleue) et $L_i = 600$ nm (rouge). Les dimensions de la diode présentée sont $W = 120$ μm et $L = 40$ μm . En polarisation directe ($V_{DS} < 0$ V), le courant est dû à la génération-recombinaison ainsi qu'à la diffusion des porteurs à plus fortes tensions V_{DS} . Pour des tensions comprises entre $V_{DS} = -0,5$ V et $V_{DS} = 0$ V, le courant de recombinaison est plus élevé dans la diode *pin* de longueur intrinsèque plus faible comme sur substrat GaSb. Pour des tensions comprises entre $V_{DS} = -0,75$ V et $V_{DS} = -0,5$ V, le courant de diffusion est identique pour les deux diodes *pin*. En effet ce dernier est indépendant de la longueur intrinsèque et ne dépend pas des défauts dans le semiconducteur. À plus forte tension, le courant est limité par les résistances d'accès. En polarisation inverse ($V_{DS} > 0$ V), dans cette gamme de tension, aucun claquage n'a été observé. De plus le courant est plus élevé dans le cas de la diode *pin* à plus faible longueur intrinsèque montrant encore une fois qu'il peut s'agir d'un courant de recombinaison assisté

par les défauts. Afin d'en confirmer l'origine physique, nous avons comparé les résultats expérimentaux à la modélisation. La **figure 41.b** représente la caractéristique I_D-V_{DS} expérimentale à 295K pour la diode avec $L_i = 400\text{nm}$ comparée à la modélisation analytique utilisant les différents modèles de génération-recombinaison et tunnel en polarisation inverse. De la même façon que sur substrat GaSb, les composantes d'effet tunnel ne sont pas observées dans cette gamme de tension et le temps de relaxation nécessaire pour « accorder » la modélisation à l'expérience est très faible ($\tau_a = 1 \times 10^{-11} \text{ s}$).

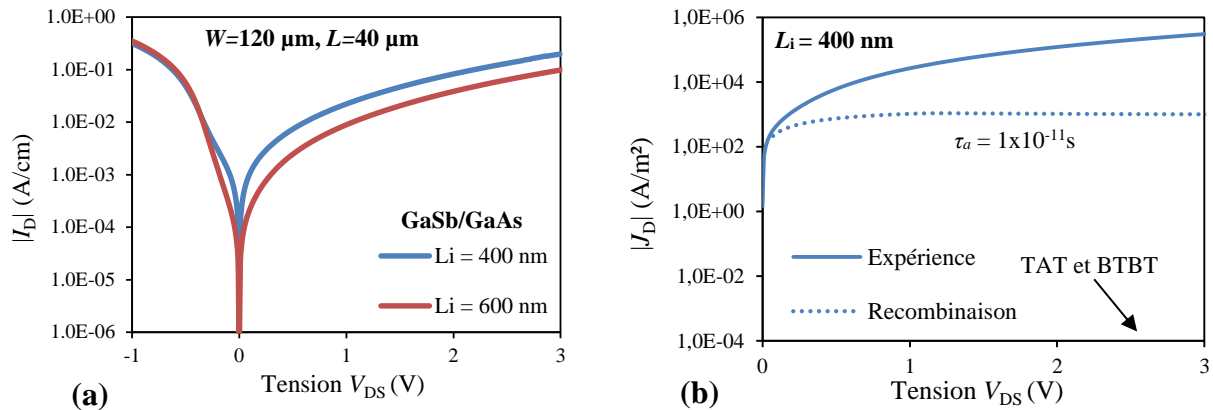


figure 41 – Caractéristiques I_D-V_{DS} des diodes *pin* GaSb sur substrat GaAs pour $L_i = 400, 600 \text{ nm}$ (a) et la comparaison avec la modélisation analytique de la diode *pin* avec $L_i = 400 \text{ nm}$ à 295K (b).

c) Effet du substrat sur les caractéristiques I_D-V_{DS} des diodes *pin* GaSb

La **figure 42** représente les caractéristiques I_D-V_{DS} de la diode *pin* de longueur intrinsèque 400 nm à 295K avec les dimensions $W = 160 \mu\text{m}$ et $L = 80 \mu\text{m}$. Nous pouvons noter que les deux courbes ont la même forme mais le courant dans la diode *pin* sur substrat GaSb est plus important que sur substrat GaAs. Compte tenu des observations précédentes, ce courant semble être associé à la génération-recombinaison et donc lié au temps de relaxation. Le temps de relaxation de recombinaison des porteurs dans la diode sur substrat GaSb est donc plus faible que dans la diode sur substrat GaAs. L'hypothèse est qu'il y a plus de défauts dans le GaSb à partir d'un substrat de GaSb de type n (Te).

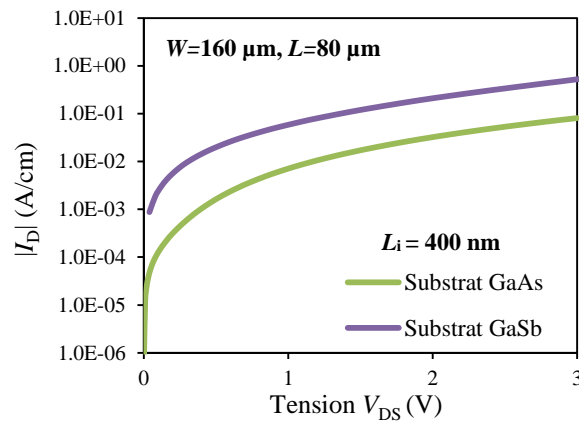


figure 42 – Caractéristiques I_D - V_{DS} en polarisation inverse pour les diodes *pin* GaSb pour $L_i = 400$ nm sur substrat GaSb (violet) et sur substrat GaAs (vert).

Après discussion avec le groupe Epiphy, ce dernier a montré par AFM (**figure 43**), que la croissance de GaSb sur une couche de GaSb dopée au tellure (*n*) entraîne une rugosité de surface, donc de défauts, plus importante que pour une croissance de GaSb sur GaSb non dopée. Cela s'explique par le fait que la température d'évaporation du GaTe est supérieure à celle du GaSb entraînant des dislocations dans le GaSb.

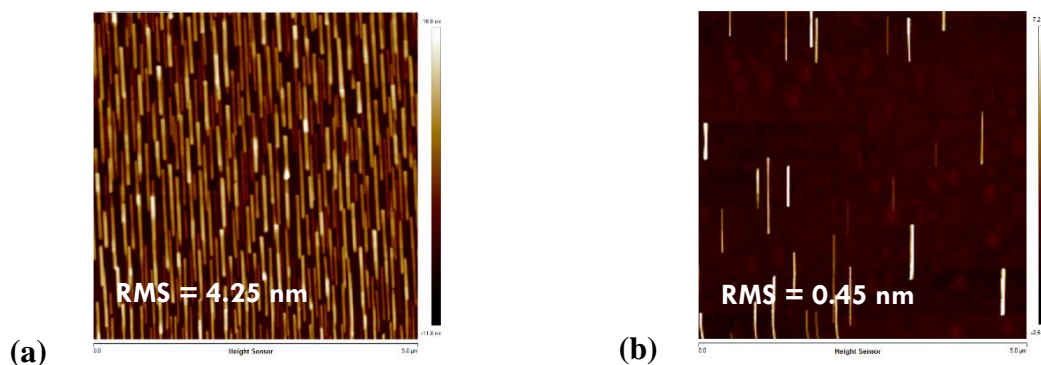


figure 43 – Image AFM de surface de GaSb après croissance sur une couche de GaSb dopée *n* au tellure présentant une forte rugosité (a) comparé après croissance sur une couche de GaSb non dopée (b).

d) Effet de la température sur la diode *pin* GaSb sur substrat GaAs

Nous avons observé un claquage des diodes *pin* pour des tensions $|V_{DS}|$ inférieures à 5 V sur les diodes *pin* GaSb sur substrat GaSb, cependant le courant I_D est supérieur au courant des diodes *pin* GaSb sur substrat GaAs. Afin de déterminer l'origine du claquage des mesures en température ont été menées dans les diodes *pin* pour des longueurs intrinsèques de 400 nm et 600 nm. Nous avons ainsi mesuré les caractéristiques courant-tension (I_D - V_{DS}) pour différentes températures (77K, 125K, 250K et 300K).

En polarisation directe, l'évolution du courant en fonction de la température est cohérente avec une composante de génération-recombinaison à faible tension V_{DS} et de diffusion à plus haute tension V_{DS} . En polarisation inverse, le courant augmente lorsque la température

augmente ce qui est cohérent avec la génération-recombinaison. Cependant sur cette gamme de tension, aucun claquage n'a été observé.

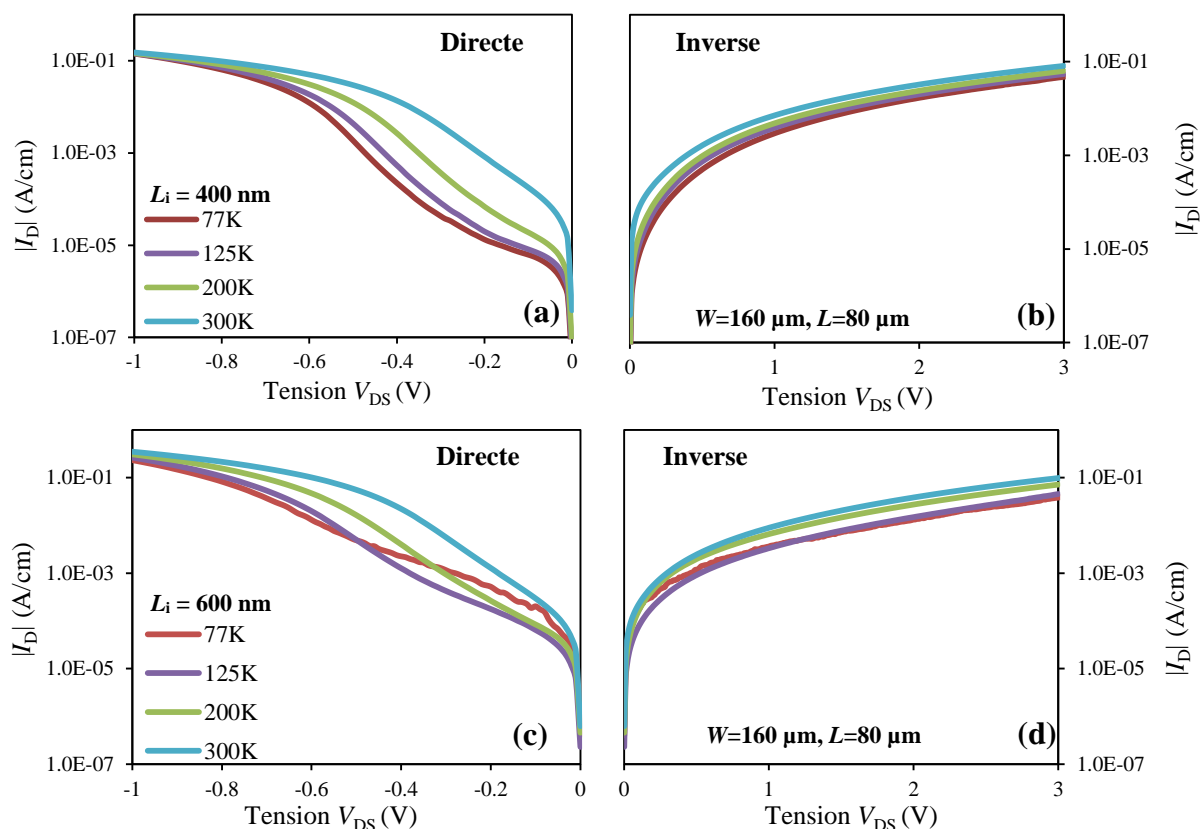


figure 44 – Caractéristiques I_D - V_{DS} en polarisation directe (à gauche) et inverse (à droite) pour les diodes *pin* GaSb sur substrat GaSb pour $L_i = 400$ nm (a)-(b) et $L_i = 600$ nm (c)-(d) à différentes températures.

Toutefois, nous avons parfois observé un claquage à forte tension inverse $V_{DS} \approx 5$ V, cependant ce dernier n'était pas reproductible. La **figure 45** montre deux caractéristiques I_D - V_{DS} en polarisation inverse de diodes *pin* GaSb sur substrat GaSb de longueurs intrinsèques $L_i = 400$ nm et $L_i = 600$ nm présentant une dépendance inverse avec la température, i.e., que le courant augmente moins à haute température qu'à basse température.

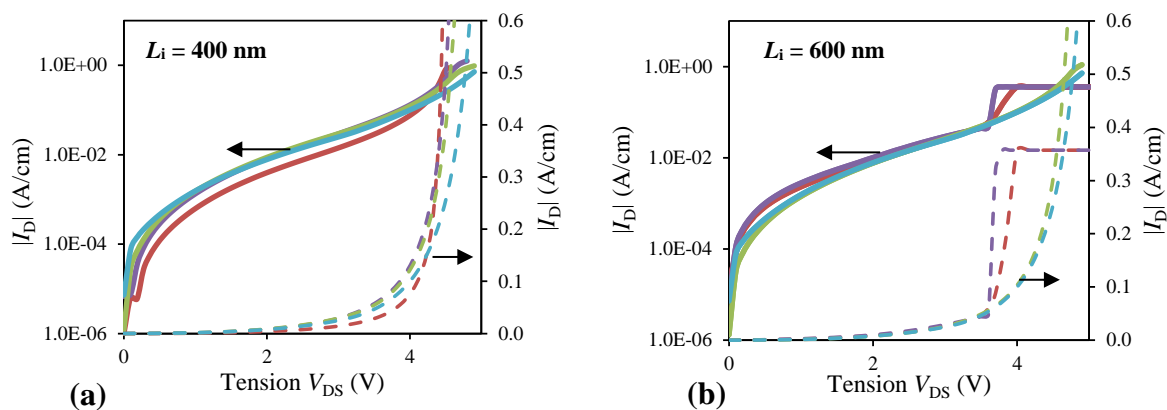


figure 45 – Caractéristiques I_D - V_{DS} en polarisation inverse pour des diodes *pin* GaSb sur substrat GaSb pour $L_i = 400$ nm (a) et $L_i = 600$ nm (b) à différentes températures présentant un claquage à forte tension.

Conclusion du chapitre 2

Dans ce chapitre nous avons tout d'abord étudié analytiquement le comportement électrique des diodes *pin* en passant par l'explication des phénomènes d'effet tunnel bande à bande ainsi que d'ionisation par impact. Dans un second temps, nous avons introduit les matériaux III-V, leur intérêt et leurs potentialités dans la réalisation d'une technologie de transistors à ionisation par impact (I-MOSFET). Nous avons noté que certains matériaux des filières arséniée et antimoniée peuvent être des candidats potentiels pour atteindre une faible tension de claquage par ionisation par impact. Nous avons ensuite étudié la première diode *pin* de la filière arséniée InP/ In_{0,53}Ga_{0,47}As montrant de l'effet tunnel bande à bande néfaste pour la technologie I-MOSFETs menant à un accroissement du courant de fuite. Ensuite, une deuxième diode présentant une architecture particulière de type « *pinin* » de la filière arséniée In_{0,52}Al_{0,48}As/ In_{0,53}Ga_{0,47}As a été ainsi réalisée. Nous avons réduit la composante d'effet tunnel bande à bande vis-à-vis de la composante d'ionisation par impact. Cependant cette dernière nécessitait une large tension pour entrer en régime de claquage de l'ordre de plusieurs dizaines de volts rédhibitoire pour des applications de basse consommation. C'est pourquoi nous avons étudié une troisième diode *pin* de la filière antimoniée (GaSb), en effet le GaSb présente de forts coefficients d'ionisation comparés aux autres matériaux III-V. Cependant sa technologie de fabrication n'étant pas mature, cette filière n'avait pas été privilégiée. Nous avons observé un large courant qui semble dû aux défauts dans le semiconducteur bien que nous ayons remarqué une réduction de ce dernier en utilisant un substrat de GaAs. Néanmoins, nous avons observé sur substrat GaSb un claquage à une tension de l'ordre de 5 V bien que non reproductible.

Bibliographie du chapitre 2

- [1] A. Vapaille et R. Castagné, *Dispositifs et circuits intégrés semiconducteurs, physique et technologie*. Dunod, 1987.
- [2] V. Gopal, Q. Li, J. He, K. He, C. Lin, and W. Hu, “Current transport mechanisms in mercury cadmium telluride diode,” *J. Appl. Phys.*, vol. 120, no. 8, p. 84508, 2016.
- [3] B. Chen, J. Yuan, and A. L. Holmes, “Dark current modeling of InP based SWIR and MWIR InGaAs/GaAsSb type-II MQW photodiodes,” *Opt. Quantum Electron.*, vol. 45, no. 3, pp. 271–277, 2013.
- [4] P. Martyniuk et al., “Modeling of midwavelength infrared InAs/GaSb type II superlattice detectors,” *Opt. Eng.*, vol. 52, no. 6, p. 61307, 2013.
- [5] S. M. Sze et al., *Physics of Semiconductor Devices*. J. Wiley and Sons, 2006.
- [6] M. Singh Tyagi, “Zener and avalanche breakdown in silicon alloyed p-n junctions,” *Solid. State. Electron.*, vol. 11, pp. 117–128, 1968.
- [7] S. R. Forrest, R. F. Leheny, R. E. Nahory, and M. A. Pollack, “In_{0.53}Ga_{0.47}As photodiodes with dark current limited by generation-recombination and tunneling,” *Appl. Phys. Lett.*, vol. 37, no. 3, pp. 322–325, 1980.
- [8] S. R. Forrest et al., “Evidence for tunneling in reverse-biased III-V photodetector diodes,” *Appl. Phys. Lett.*, vol. 36, no. 7, p. 580, 1980.
- [9] V. Gopal, S. K. Singh, and R. M. Mehra, “Analysis of dark current contributions in mercury cadmium telluride junction diodes,” *Infrared Phys. Technol.*, vol. 43, no. 6, pp. 317–326, 2002.
- [10] S. L. Miller, “Avalanche Breakdown in Germanium,” *Phys. Rev.*, vol. 99, no. 4, pp. 1234–1241, Aug. 1955.
- [11] M. Levinshstein, J. Kostamovaara, and S. Vainshtein, *Breakdown Phenomena in Semiconductors and Semiconductor Devices*. World Scientific, 2005.
- [12] A. G. Chynoweth, “Ionization Rates for Electrons and Holes in Silicon,” *Phys. Rev.*, vol. 109, no. 5, pp. 1537–1540, Mar. 1958.
- [13] G. A. Baraff, “Distribution functions and ionization rates for hot electrons in semiconductors,” *Phys. Rev.*, vol. 128, no. 6, pp. 2507–2517, 1962.
- [14] K. G. McKay and K. B. McAfee, “Electron Multiplication in Silicon and Germanium,” *Phys. Rev.*, vol. 91, no. 5, pp. 1079–1084, Sep. 1953.
- [15] K. G. McKay, “Avalanche Breakdown in Silicon,” *Phys. Rev.*, vol. 94, no. 4, pp. 877–884, May 1954.
- [16] P. A. Wolff, “Theory of Electron Multiplication in Silicon and Germanium,” *Phys. Rev.*, vol. 95, no. 6, pp. 1415–1420, Sep. 1954.
- [17] S. L. Miller, “Ionization Rates for Holes and Electrons in Silicon,” *Phys. Rev.*, vol. 105, no. 4, pp. 1246–1249, Feb. 1957.
- [18] a. R. J. Marshall, C. H. Tan, M. J. Steer, and J. P. R. David, “Electron dominated impact ionization and avalanche gain characteristics in InAs photodiodes,” *Appl. Phys. Lett.*, vol. 93, no. 11, p. 111107, 2008.
- [19] A. R. J. Marshall, P. Vines, P. J. Ker, J. P. R. David, and C. H. Tan, “Avalanche multiplication and excess noise in InAs electron avalanche photodiodes at 77 K,” *IEEE J. Quantum Electron.*, vol. 47, no. 6, pp. 858–864, 2011.
- [20] Xiaoguang Sun et al., , “GaAsSb: a novel material for near infrared photodetectors on GaAs substrates,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 8, no. 4, pp. 817–822, Jul. 2002.

- [21] T. P. Pearsall, "Impact ionization rates for electrons and holes in Ga_{0.47}In_{0.53}As," *Appl. Phys. Lett.*, vol. 36, no. 3, p. 218, 1980.
- [22] L. W. Cook, "Electron and hole impact ionization coefficients in InP determined by photomultiplication measurements," *Appl. Phys. Lett.*, vol. 40, no. 7, p. 589, 1982.
- [23] F. Osaka, T. Mikawa, and T. Kaneda, "Impact ionization coefficients of electrons and holes in," *IEEE J. Quantum Electron.*, vol. 21, no. 9, pp. 1326–1338, Sep. 1985.
- [24] Y. L. Goh, A. R. J. Marshall, D. J. Massey, J. S. Ng, C. H. Tan, M. Hopkinson, J. P. R. David, S. K. Jones, C. C. Button, and S. M. Pinches, "Excess Avalanche Noise in In_{0.52}Al_{0.48}As," *IEEE J. Quantum Electron.*, vol. 43, no. 6, pp. 503–507, Jun. 2007.
- [25] C. H. Tan, Y. L. Goh, A. R. J. Marshall, L. J. J. Tan, J. S. Ng, and J. P. R. David, "Extremely low excess noise InAlAs avalanche photodiodes," in *2007 IEEE 19th IPRM*, 2007, no. May, pp. 81–83.
- [26] W. Maes, K. De Meyer, and R. Van Overstraeten, "Impact ionization in silicon: A review and update," *Solid State Electron.*, vol. 33, no. 6, pp. 705–718, 1990.
- [27] W. N. Grant, "Electron and hole ionization rates in epitaxial silicon at high electric fields," *Solid. State. Electron.*, vol. 16, no. 10, pp. 1189–1203, 1973.
- [28] E.-H. Toh, G. H. Wang, L. Chan, G.-Q. Lo, G. Samudra, and Y.-C. Yeo, "Strain and Materials Engineering for the I-MOS Transistor With an Elevated Impact-Ionization Region," *IEEE Trans. Electron Devices*, vol. 54, no. 10, pp. 2778–2785, Oct. 2007.
- [29] D. Sarkar, N. Singh, and K. Banerjee, "A novel enhanced electric-field impact-ionization MOS transistor," *IEEE Electron Device Lett.*, vol. 31, no. 11, pp. 1175, 2010.
- [30] J. S. Yu, S. H. Kim, and T. I. Kim, "PtTiPtAu and PdTiPtAu ohmic contacts to p-InGaAs," in *Compound Semiconductors 1997. Proceedings of the IEEE Twenty-Fourth International Symposium on Compound Semiconductors*, 1997, pp. 175–178.
- [31] J. W. Wu, C. Y. Chang, K. C. Lin, E. Y. Chang, J. S. Chen, and C. T. Lee, "The thermal stability of ohmic contact to n-type InGaAs layer," *J. Electron. Mater.*, vol. 24, no. 2, pp. 79–82, 1995.
- [32] A. Katz et al., "Pt/Ti/p-In_{0.53}Ga_{0.47}As low-resistance nonalloyed ohmic contact formed by rapid thermal processing," *Appl. Phys. Lett.*, vol. 54, no. 23, pp. 2306–2308, 1989.
- [33] S. N. G. Chu, a. Katz, T. Boone, P. M. Thomas, V. G. Riggs, W. C. Dautremont-Smith, and W. D. Johnston, "Interfacial microstructure and electrical properties of the Pt/Ti ohmic contact in p-In_{0.53}Ga_{0.47}As formed by rapid thermal processing," *J. Appl. Phys.*, vol. 67, no. 8, pp. 3754–3760, 1990.
- [34] A. Katz et al., "Highly stable W/p-In_{0.53}Ga_{0.47}As ohmic contacts formed by rapid thermal processing," *Appl. Phys. Lett.*, vol. 55, no. 21, pp. 2220–2222, 1989.
- [35] E. F. Chor, D. Zhang, H. Gong, W. K. Chong, and S. Y. Ong, "Electrical characterization, metallurgical investigation, and thermal stability studies of (Pd, Ti, Au)-based ohmic contacts," *J. Appl. Phys.*, vol. 87, no. 5, pp. 2437–2444, 2000.
- [36] J. C. Lin, S. Y. Yu, and S. E. Mohney, "Characterization of low-resistance ohmic contacts to n- and p-type InGaAs," *J. Appl. Phys.*, vol. 114, no. 4, p. 44504, 2013.
- [37] K. Kajiyama, Y. Mizushima, and S. Sakata, "Schottky barrier height of n-In_xGa_{1-x}As diodes," *Appl. Phys. Lett.*, vol. 23, no. 8, pp. 458–459, 1973.
- [38] T. Fujii, T. Inata, K. Ishii, and S. Hiyamizu, "Heavily Si-doped InGaAs lattice-matched to InP grown by MBE," *Electron. Lett.*, vol. 22, no. 4, p. 191, 1986.
- [39] W. L. Chen, "Ohmic contact study for quantum effect transistors and heterojunction bipolar transistors with InGaAs contact layers," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 10, no. 6, p. 2354, 1992.

- [40] G. Stareev and H. Künzel, "Tunneling behavior of extremely low resistance nonalloyed Ti/Pt/Au contacts to n(p)-InGaAs and n-InAs/InGaAs," *J. Appl. Phys.*, vol. 74, no. 12, pp. 7592–7595, 1993.
- [41] Y. P. Varshni, "Temperature dependence of the energy gap in semiconductors," *Physica*, vol. 34, no. 1, pp. 149–154, Jan. 1967.
- [42] M. Yee, W. K. Ng, J. P. R. David, P. A. Houston, C. H. Tan, and A. Krysa, "Temperature dependence of breakdown and avalanche multiplication in In/sub 0.53/Ga/sub 0.47/As diodes and heterojunction bipolar transistors," *IEEE Transactions on Electron Devices*, vol. 50, no. 10, pp. 2021–2026, 2003.
- [43] Y. Su, F. Juang, and K. Gan, "OHMIC CONTACTS OF AUGENI AND AG.AUGENI TO N-GASB with various sintering temperatures," *Jpn. J. Appl. Phys.*, vol. 30, no. 5, pp. 914–916, 1991.
- [44] A. Subekti, V. W. L. Chin, and T. L. Tansley, "Ohmic contacts to n-type and p-type GaSb," *Solid. State. Electron.*, vol. 39, no. 3, pp. 329–332, 1996.
- [45] A. Vogt, A. Simon, H. L. Hartnagel, J. Schikora, V. Buschmann, M. Rodewald, H. Fuess, S. Fascko, C. Koerdt, and H. Kurz, "Ohmic contact formation mechanism of the PdGeAu system on n-type GaSb grown by molecular beam epitaxy," *J. Appl. Phys.*, vol. 83, no. 12, p. 7715, 1998.
- [46] R. K. Huang, C. A. Wang, C. T. Harris, M. K. Connors, and D. A. Shiau, "Ohmic contacts to n-type GaSb and n-type GalnAsSb," *J. Electron. Mater.*, vol. 33, no. 11, pp. 1406–1410, 2004.
- [47] K. Ikossi, M. Goldenberg, and J. Mittereder, "Metallization options and annealing temperatures for low contact resistance ohmic contacts to n-type GaSb," in *Solid-State Electronics*, 2002, vol. 46, no. 10, pp. 1627–1631.
- [48] J. Robinson and S. Mohney, "An improved In-based ohmic contact to n-GaSb," *Solid. State. Electron.*, vol. 48, no. 9, pp. 1667–1672, Sep. 2004.
- [49] J. Robinson and S. Mohney, "Characterization of sulfur passivated n-GaSb using transmission electron microscopy and the influence of passivation on ohmic contact resistance," *J. Appl. Phys.*, vol. 96, no. 5, p. 2684, 2004.
- [50] W. Yue, L. Juncheng, L. Guojun, A. Ning, L. Zhanguo, W. Zhipeng, and W. Yuxia, "Barrier," pp. 20–23, 2011.
- [51] N. Rahimi, A. Aragon, O. S. Romero, D. M. Shima, T. J. Rotter, S. D. Mukherjee, G. Balakrishnan, and L. F. Lester, "Electrical and microstructure analysis of nickel-based low-resistance ohmic contacts to n-GaSb," *APL Mater.*, vol. 1, no. 6, p. 62105, 2013.
- [52] N. Rahimi et al., "Ohmic contacts to n-type GaSb grown on GaAs by the interfacial misfit dislocation technique," *Proc. SPIE*, vol. 8620, p. 86201K–86201K–12, 2013.
- [53] B. Sun et al., "Source/drain ohmic contact optimization for GaSb pMOSFETs," in *2012 IEEE 11th ICSICT*, 2012, pp. 1–3.
- [54] L.-S. Wu, B. Sun, H.-D. Chang, W. Zhao, B.-Q. Xue, X. Zhang, and H.-G. Liu, "GaSb p-Channel MOSFET with Ni/Pt/Au Source/Drain Ohmic Contacts," *Chinese Phys. Lett.*, vol. 29, no. 12, p. 127303, Dec. 2012.
- [55] M. Yokoyama, K. Nishi, S. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Self-aligned Ni-GaSb source/drain junctions for GaSb p-channel MOSFET," *Appl. Phys. Lett.*, vol. 104, no. 9, p. 93509, Mar. 2014.
- [56] A. Schenk, "A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon," *Solid State Electron.*, vol. 35, no. 11, pp. 1585–1596, 1992.

Chapitre 3 – Étude, fabrication et caractérisations de capacités MOS

Table des matières

I - Généralités et caractéristiques électriques.....	110
1) Structure MOS réelle	110
a) Charges dans l'oxydes Q_F , Q_M , Q_{OT} et Q_{bt}	110
b) Défauts à l'interface oxyde/ semiconducteur Q_{it}	111
c) Tension de bandes plates et effet de la densité de défauts d'interface	112
2) Les différents régimes de fonctionnement et les capacités associées	113
a) Régimes de fonctionnement	113
b) Capacité en régime d'accumulation et extraction de C_{ox} et de ϵ_{ox}	114
c) Capacité minimale en régime d'inversion $C_{inv,MIN}$	116
II - Fabrication et analyses XPS des capacités MOS sur $In_{0,53}Ga_{0,47}As$	116
1) Structures épitaxiales et passivation de la surface de l' $In_{0,53}Ga_{0,47}As$	116
a) Structures épitaxiales.....	116
b) Passivations ammoniacque et sulfure d'ammonium	117
2) Dépôts d'oxydes high-k et traitement par plasma O_2	117
a) Matériaux high-k	118
b) Dépôt d'alumine (Al_2O_3) et traitement par plasma O_2	118
c) Dépôt bicouche Al_2O_3/ HfO_2	121
3) Dépôt du contact de grille	122
4) Gravure d'oxydes et méssa « peu profond »	123
a) Gravure de l'alumine (Al_2O_3).....	123
b) Gravure de l'oxyde d'hafnium (HfO_2) et Al_2O_3	123
c) Gravure humide de l'épitaxie	123
5) Dépôt du contact de source et isolation	124
6) Étude XPS de la surface de l' $In_{0,53}Ga_{0,47}As$ après passivation NH_4OH	125
a) Variation du potentiel de surface de l' $In_{0,53}Ga_{0,47}As$ après passivation.....	125
b) Étude XPS des niveaux de cœur de l' $In_{0,53}Ga_{0,47}As$ après passivation.....	126
7) Étude XPS de l'interface $Al_2O_3/ In_{0,53}Ga_{0,47}As$ et effet du plasma O_2	127
a) Effet du plasma O_2 sur le potentiel de surface et offset des bandes de valence.....	127
b) Effet du plasma O_2 sur les offsets des bandes de valence et de conduction	128
c) Étude XPS des niveaux de cœur de l' Al_2O_3 et effet du plasma O_2	130
d) Étude XPS des niveaux de cœur de l' $In_{0,53}Ga_{0,47}As$ et effet du plasma O_2	131

III - Caractérisations électriques des capacités métal/ oxyde/ In_{0,53}Ga_{0,47}As. 132

1) Principe de mesure et schémas équivalents	132
a) Principe de mesure C-V.....	132
b) Schémas équivalents des capacités MOS	133
2) Grandeurs caractéristiques, capacité et conductance	135
a) Effet de la passivation et du traitement par plasma O ₂ sur la capacité C _g	135
b) Effet de la passivation et du traitement par plasma O ₂ sur la conductance G	137
3) Extraction de V _{FB} , Q _F et effet du plasma O ₂	138
a) Méthodes d'extraction de la tension de bandes plates V _{FB}	138
b) Extraction des charges fixes Q _F par variation de l'épaisseur d'oxyde	139
c) Effet de la passivation et du plasma O ₂ sur les quantités Q _F et Q _M	140
4) Extraction de la densité de défauts d'interface et effet du plasma O ₂	142
a) Différentes méthodes d'amélioration de la D _{it} à l'interface Al ₂ O ₃ / InGaAs	142
b) Extraction de la D _{it} par la méthode de la conductance	142
c) Extraction de la D _{it} par la méthode HF-LF.....	146
5) Extraction de la densité de « Border traps » et effet du plasma O ₂	148
a) Méthode d'extraction de la densité de « Border traps » D _{bt} dans l'oxyde.....	148
b) Estimation de la densité de « Border traps » D _{bt} dans l'oxyde et plasma O ₂	150
c) Courant de fuite de grille I _G	151
6) Caractérisations électriques de l'interface HfO ₂ / Al ₂ O ₃ / n-In _{0,53} Ga _{0,47} As	151

IV - Étude et analyses XPS de la structure oxyde/ GaSb 153

1) Structures épitaxiales et passivation de la surface du GaSb	153
a) Structures épitaxiales.....	153
b) Passivations ammoniacale et sulfure d'ammonium	154
c) Mouillage de la surface de GaSb et AFM	155
2) Dépôt d'alumine (Al ₂ O ₃) et traitement par plasma O ₂	156
a) Dépôt d'alumine Al ₂ O ₃	156
b) Traitement par plasma O ₂	156
3) Étude XPS de la surface de GaSb après passivation NH ₄ OH et (NH ₄) ₂ S.....	157
a) Variation du potentiel de surface du GaSb après passivation.....	157
b) Étude XPS des niveaux de cœur du GaSb après passivation	157
4) Étude XPS de l'interface Al ₂ O ₃ / GaSb et effet du plasma O ₂	159
a) Effet du plasma O ₂ sur le potentiel de surface et offset des bandes de valence.....	159
b) Effet du plasma O ₂ sur les offsets des bandes de valence et de conduction	160
c) Étude XPS des niveaux de cœur de l'Al ₂ O ₃ , effet recuit et du plasma O ₂	162
d) Étude XPS des niveaux de cœur du GaSb et effet du recuit et du plasma O ₂	164

Conclusion du chapitre 3 166**Bibliographie du chapitre 3 167**

Chapitre 3 :

Étude, fabrication et caractérisations de capacités MOS

Ce troisième chapitre est consacré à l'étude, la fabrication et la caractérisation de structures métal-oxyde-semiconducteur (MOS) sur des matériaux III-V des filières arséniée (InGaAs) et antimoniée (GaSb). En effet, les transistors à ionisation par impact (I-MOSFET) envisagés sont constitués des empilements oxyde/ InGaAs ou oxyde/ GaSb et l'étude de leurs capacités MOS a été menée en parallèle avec l'étude des diodes *pin*. Même si l'intérêt pour ces matériaux III-V est grandissant, leurs surfaces sont très actives chimiquement et s'oxydent rapidement après exposition à l'air entraînant des défauts en surface. Ces derniers se traduisent par des états de surface (liaisons pendantes, dimères), de la rugosité ou par une modification de la stœchiométrie et se caractérisent électriquement par le paramètre D_{it} (densité de défauts d'interface). Ces derniers vont agir comme des pièges et vont limiter la commande électrostatique des charges par la grille en dégradant la pente sous le seuil SS et la transconductance g_m . Contrairement au silicium où l'oxyde natif (SiO_2) offre une densité de défauts d'interface très faible de l'ordre de $1 \times 10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$, les valeurs de D_{it} obtenues sur les matériaux III-V restent de l'ordre de $1 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ par la technique de dépôt de couche atomique (ALD¹). La réduction de la D_{it} sur les matériaux III-V reste donc à ce jour un challenge à franchir pour la réduction de la pente sous le seuil des composants. Plusieurs

¹ À ce jour, la technique de dépôt de couche atomique (ALD - Annexe) est la plus répandue pour les dépôts d'oxydes tels que l' Al_2O_3 ou le HfO_2 sur les matériaux III-V et permet de réduire l'épaisseur déposée jusqu'à quelques nanomètres.

méthodes existent pour améliorer la qualité de l'interface oxyde-semiconducteur. Nous pouvons citer par exemple les techniques de traitement avant dépôt de l'oxyde comme la passivation de surface par voie humide ou l'utilisation de plasma (dihydrogène H_2 , ozone O_3 , diazote N_2).

Ce chapitre est divisé en quatre parties. Dans une première partie, nous introduirons les principes généraux de la structure MOS ainsi que différents paramètres électriques et grandeurs physiques. Dans une seconde partie, nous détaillerons les différentes étapes de fabrication de la structure MOS à base d'InGaAs ainsi que les caractérisations physico-chimiques de sa surface et de son interface avec l'oxyde. Dans une troisième partie, nous aborderons les différentes caractérisations électriques de la structure MOS à base d'InGaAs. Puis dans une quatrième partie, nous détaillerons les différentes étapes de fabrication de la structure MOS à base de GaSb ainsi que les caractérisations physico-chimiques de sa surface et de son interface avec l'oxyde.

I - Généralités et caractéristiques électriques

Nous savons que la commande de charges du transistor I-MOSFET fonctionne, sur le même principe qu'un MOSFET conventionnel, par la modulation de la densité de charges du canal à travers un oxyde par effet de champ (chapitre 1). L'étude de la structure MOS ainsi que ses différents paramètres et grandeurs physiques est donc nécessaire à sa compréhension.

1) Structure MOS réelle

Une structure MOS idéale n'a pas de charges dans l'oxyde ni d'états d'interface entre le semiconducteur et l'oxyde. Les seules charges existantes sont celles dans le semiconducteur compensant celles apportées à l'interface métal/oxyde par la polarisation appliquée sur la grille. De plus, aucun transport de charges n'est permis dans l'oxyde par effet tunnel. Cependant pour une structure MOS réelle, la présence de ces charges dans l'oxyde et/ou de défauts à l'interface oxyde/semiconducteur va affecter les caractéristiques de ces structures MOS.

a) Charges dans l'oxydes Q_F , Q_M , Q_{OT} et Q_{bt}

Dans l'oxyde, nous trouvons trois types de charges ayant pour effet de modifier les caractéristiques de capacité C et de conductance G de la structure MOS (**figure 1**). Les charges fixes Q_F , généralement positives (+) et apportées lors la croissance de l'oxyde, sont situées proche de l'interface oxyde/semiconducteur mais n'interagissent pas en tant que pièges pour les charges du semiconducteur. Les charges mobiles Q_M généralement négligées car leur densité est faible sont généralement des ions de petite taille (Na^+ ,...). Les charges piégées Q_{OT} (\bullet^+o^-) sont distribuées dans l'oxyde dont l'origine provient de l'injection de

porteurs chauds sous fort champ électrique par effet tunnel Fowler-Nordheim. Il s'agit du principal mécanisme de dégradation de l'oxyde sous forte polarisation. Néanmoins, ces charges sont généralement diminuées à l'aide d'un recuit après dépôt sous atmosphère gazeuse comme le dihydrogène H_2 [1].

Dans ce dernier type de charges, nous distinguons les charges piégées loin de l'interface (en bleu) interagissant peu avec les charges du semiconducteur et les charges proches de l'interface (en rouge) ayant une forte interaction et nommées « border traps » Q_{bt} [2]. Ces « border traps » distribués dans l'oxyde (~3-4 nm) interagissent avec les charges du semiconducteur et sont caractérisés par un temps de relaxation τ_{bt} .

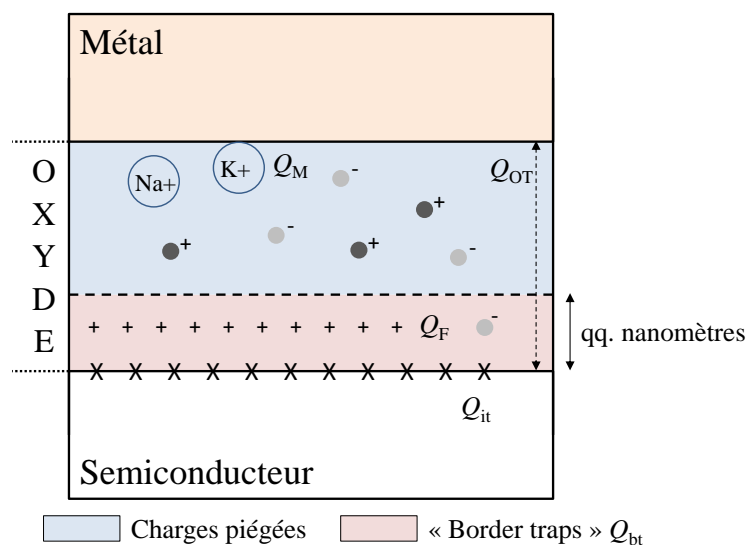


figure 1 - Représentation schématique de la répartition des charges dans l'oxyde et à l'interface oxyde/semiconducteur en l'absence de potentiel appliqué sur la grille.

b) Défauts à l'interface oxyde/ semiconducteur Q_{it}

Nous trouvons par ailleurs les pièges à l'interface oxyde/semiconducteur (x) apportés par les défauts à la surface du semiconducteur comme les oxydes natifs et les liaisons pendantes (**figure 2.a**). Leurs conséquences sont de piéger des charges à l'interface Q_{it} (1) et donc d'ancrer le niveau de Fermi diminuant ainsi le contrôle des charges dans le canal du MOSFET et augmentant alors la pente sous le seuil. Ces derniers possèdent des niveaux énergétiques situés majoritairement dans la bande interdite du semiconducteur et réagissent électriquement lorsqu'ils sont alignés avec le niveau de Fermi E_F du semiconducteur. Nous parlons de niveaux donneurs ou niveaux accepteurs en fonction de leur position par rapport au niveau de neutralité E_0 . Les niveaux situés au-dessous de E_0 sont les niveaux donneurs et les niveaux situés au-dessus de E_0 sont les niveaux accepteurs. Ainsi, les niveaux donneurs (lorsque $E_F < E_0$) au-dessous de E_F sont occupés par des électrons et sont donc neutres tandis que ceux compris entre E_F et E_0 sont chargés positivement. De plus, les niveaux accepteurs

(lorsque $E_F > E_0$) en dessous de E_F sont chargés négativement tandis que ceux compris au-dessus de E_F sont neutres (**figure 2.b**). La densité de défauts d'interface D_{it} représente la quantité de charges surfaciques par niveau énergétique et s'exprime en $eV^{-1}.cm^{-2}$. Ces défauts d'interface sont caractérisés par un temps de relaxation τ_{it} .

$$Q_{it} = q \int_{E_F}^{E_0} D_{it}(E). dE = -q \int_{E_0}^{E_F} D_{it}(E). dE \quad (1)$$

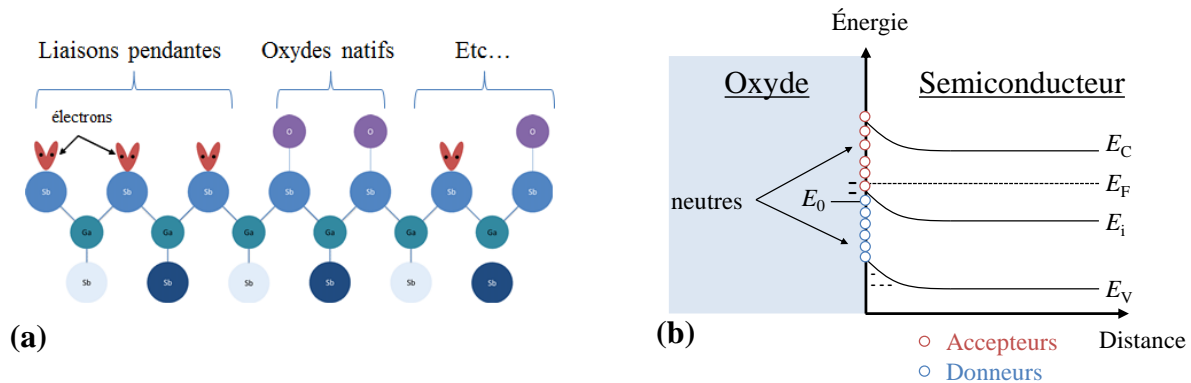


figure 2 - Représentation schématique de défauts en surface du semiconducteur comme les liaisons pendantes ou les oxydes natifs (a) entraînant des niveaux énergétiques dans la bande interdite du semiconducteur, ici pour une capacité MOS dopée n avec accumulation de trous à l'interface (b).

c) Tension de bandes plates et effet de la densité de défauts d'interface

Dans le cas d'une capacité MOS, le potentiel de surface ϕ_s est nul lorsque les bandes d'énergie sont plates et que la quantité de charges du semiconducteur à l'interface est identique à la quantité en volume. Lorsque le semiconducteur est dopé et que son travail de sortie est différent de celui du métal, la tension pour laquelle $\phi_s = 0$ est différente de 0 V et est nommée V_{FB} . Pour un semiconducteur dopé n , la tension de bande plate théorique $V_{FB,théo}$ est donnée par l'équation (2) et correspond à la différence des travaux de sortie entre le métal et le semiconducteur Φ_{MS} et donc à la position du niveau de Fermi dans la bande interdite.

$$V_{FB,théo} = \Phi_M - (\chi_S - (K_B \cdot T/q) \cdot \ln(N_C/N_D)) \quad (2)$$

La **figure 3.a** représente la courbe C-V à basse (LF) et haute fréquence (HF) d'une capacité MOS avec une densité de défauts d'interface donnée présentant un décalage dû aux charges dans l'oxyde ($V_{FB} \neq 0$ V). De plus, une hystérèse apparaît en balayant par une tension de grille vers les valeurs positives puis vers les valeurs négatives. En effet le mouvement des charges dans l'oxyde doit être compensé en appliquant une tension V_{GS} légèrement supérieure.

Tout comme les charges dans l'oxyde entraînent une modification de la courbe C-V, les pièges à l'interface modifient la courbe C-V par un effet de « stretch-out ». La **figure 3.b** représente la courbe C-V d'une capacité MOS avec une tension de bande plate donnée présentant l'effet de la diminution de la densité de défauts d'interface. Le principal effet est la diminution du « stretch-out » (élargissement) de la capacité en diminuant la D_{it} montrant une amélioration de la commande des charges.

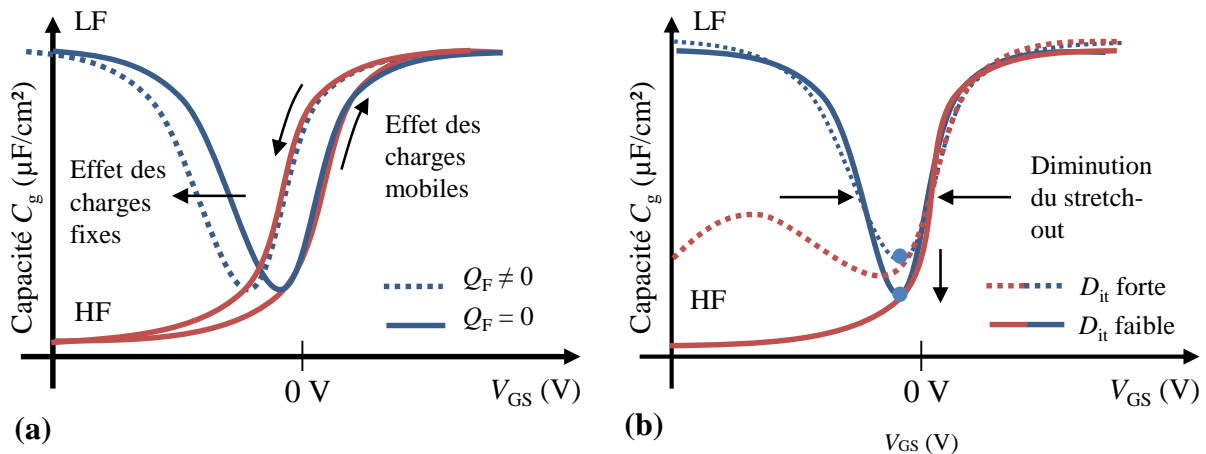


figure 3 – Allure des courbes C-V à basse fréquence pour des capacités MOS InGaAs dopée n avec une densité de défauts d'interface faible pour $V_{FB} = 0$ V ($Q_F = 0$) et $V_{FB} \neq 0$ V ($Q_F \neq 0$) (a) et dopée n avec $V_{FB} \neq 0$ V pour des valeurs de D_{it} faible et forte (b).

Les « border traps » interagissent avec les charges du semiconducteur faisant apparaître une dispersion fréquentielle en accumulation. Cet effet sera discuté à posteriori dans la partie III.5 de ce chapitre.

2) Les différents régimes de fonctionnement et les capacités associées

a) Régimes de fonctionnement

Comme nous l'avons vu dans le premier chapitre, selon tension appliquée sur la grille il existe différents régimes de fonctionnement (**figure 4**). Dans le cas de la capacité MOS (ici, dopée n), il existe essentiellement quatre régimes :

- Le régime d'accumulation d'électrons (a) lorsque $\phi_s > 0$. Les porteurs majoritaires, s'accumulent à l'interface oxyde/semiconducteur ;
- le régime de bandes plates (b) lorsque $\phi_s = 0$. Les bandes d'énergie (de conduction et de valence) sont plates et les charges dans le semiconducteur compensent celles dans l'oxyde, à l'interface et celles apportées par la polarisation sur la grille ;

- le régime de déplétion (c) (ou désertion) lorsque $0 > \varphi_F > \varphi_S$. Avec φ_F le potentiel entre le niveau de Fermi et le niveau intrinsèque en volume. Les électrons majoritaires sont repoussés de l'interface oxyde/semiconducteur. Il y a création d'une zone de charge d'espace ;
- le régime d'inversion (d) lorsque $|\varphi_S| > \varphi_F$. Il y a une inversion des porteurs de charges à l'interface oxyde/semiconducteur. Ce sont les trous minoritaires qui s'accroissent à l'interface. Nous parlons respectivement de faible et forte inversion lorsque le potentiel de surface $|\varphi_S| > \varphi_F$ et $|\varphi_S| > 2 \cdot \varphi_F$.

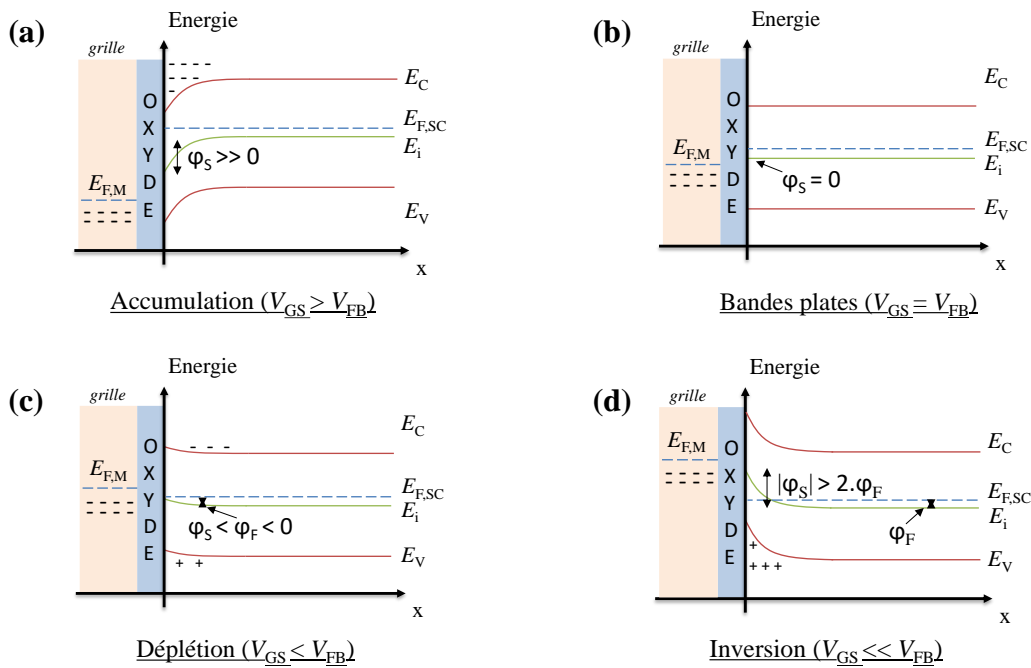


figure 4 - Diagrammes de bandes de capacités MOS dopée n pour différentes tensions V_{GS} . Nous observons différents régimes, accumulation (a), bandes plates (b), déplétion (c) et inversion (d).

b) Capacité en régime d'accumulation et extraction de C_{ox} et de ϵ_{ox}

En régime d'accumulation et à basse fréquence, la capacité maximale C_{MAX} est reliée à la capacité de l'oxyde C_{OX} , à la capacité des défauts d'interface C_{it} ainsi qu'à la capacité du semiconducteur $C_{S,n}$. Or dans le cas de l'InGaAs dopé n , $C_{S,n}$ dépend de la capacité créée par l'accumulation des charges mais surtout de la capacité due à la densité d'états de la bande de conduction $C_{DOS,Nc}$ qui dépend de la masse effective du semiconducteur (4). En effet, comparé au silicium, la densité d'états de la bande de conduction Nc des matériaux III-V est plus faible (masse effective plus faible). La valeur de la capacité $C_{DOS,Nc}$ peut donc être du même ordre de grandeur que C_{OX} pour les matériaux III-V ce qui a pour effet de diminuer la valeur de la capacité maximale en accumulation (3).

$$C_{MAX} = \left(\frac{1}{(C_{S,n} + C_{it})} + \frac{1}{C_{OX}} \right)^{-1} \approx \frac{(C_{DOS,Nc} + C_{it}) \cdot C_{OX}}{C_{DOS,Nc} + C_{it} + C_{OX}} \quad (3)$$

Où

$$C_{DOS,Nc} = q^2 \cdot \frac{4\pi m_e^*}{h^2} = 2,75 \mu F/cm^2 \text{ pour l'InGaAs } (n) \quad (4)$$

Où la grandeur q est la charge élémentaire de l'électron, m_e^* sa masse effective et h la constante de Planck. Ainsi, pour une capacité MOS à base d'InGaAs dopée n , et dans le cas où C_{it} est négligée, la capacité maximale théorique en accumulation vaut $C_{MAX} = 0,96 \mu F/cm^2$ et est inférieure à la valeur de C_{OX} théorique qui vaut $C_{OX} = 1,44 \mu F/cm^2$ avec 4 nm d' Al_2O_3 .

Pour extraire la capacité de l'oxyde C_{OX} , nous avons effectué des mesures sur différents échantillons de capacités MOS $Al_2O_3/InGaAs$ dopée p pour différentes épaisseurs d'oxyde déposé (4nm, 10nm et 20nm) à haute fréquence afin de négliger les défauts d'interface et les « border traps ». En considérant que C_{it} est constante quelle que soit l'épaisseur d'oxyde, l'évolution de la capacité maximale en régime d'accumulation (ici en polarisation négative) en fonction de l'épaisseur de l'oxyde peut alors s'exprimer par la formule (5).

$$C_{MAX}^{-1} = \frac{1}{C_{S,p} + C_{it}} + \frac{1}{C_{OX}} \approx \frac{1}{C_{S,p} + C_{it}} + \frac{t_{OX}}{\epsilon_0 \epsilon_{OX}} \quad (5)$$

Où t_{OX} est l'épaisseur de l'oxyde déposé, ϵ_{OX} est la constante diélectrique de l'oxyde et ϵ_0 la permittivité diélectrique du vide. La **figure 5** représente les caractéristiques C-V à 10 kHz de capacités MOS $Al_2O_3/p-InGaAs$ pour différentes épaisseurs d'oxyde. À partir de la capacité en accumulation, nous avons extrait les valeurs de $\epsilon_{OX} = 6,5$ et $C_{OX} = 1,44 \mu F/cm^2$ pour 4 nm d'épaisseur d'oxyde.

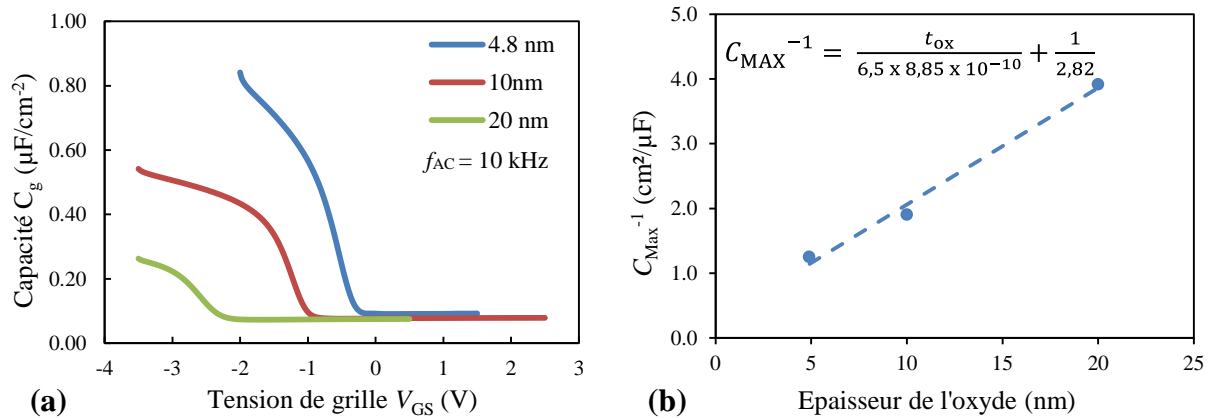


figure 5 - Caractéristique C-V à 10 KHz d'une capacité MOS $Al_2O_3/p-InGaAs$ (a) pour différentes épaisseurs d'oxyde t_{ox} et (b) courbe de la capacité maximale en fonction de l'épaisseur de l'alumine. Nous pouvons ainsi extraire $\epsilon_{OX} = 6,5$ et donc $C_{OX} = 1,44 \mu F/cm^2$ (avec $t_{OX} = 4$ nm).

c) Capacité minimale en régime d'inversion $C_{inv,MIN}$

À haute fréquence, la capacité minimale d'inversion $C_{inv,MIN}$ (6) est reliée à la capacité de déplétion limite C_{DL} (7) due à la déplétion des charges dans le semiconducteur par application d'un potentiel sur la grille. En forte inversion, la déplétion atteint une profondeur maximale x_{DL} définie par l'équation (8) où ϵ_S est la constante diélectrique du semiconducteur, K_B la constante de Boltzmann, T la température, N_A le dopage du semiconducteur et n_i la concentration intrinsèque de porteurs de charges.

$$C_{inv,MIN}^{-1} = \frac{1}{C_{DL}} + \frac{1}{C_{OX}} \quad (6)$$

Où
$$C_{DL} = \frac{\epsilon_S \epsilon_0}{x_{DL}} \quad (7)$$

Avec
$$x_{DL} = \sqrt{\frac{4 \epsilon_S \epsilon_0 K_B T}{q^2 N_A} \ln\left(\frac{N_A}{n_i}\right)} \quad (8)$$

Pour un dopage de l'ordre de $2 \times 10^{16} \text{ cm}^{-3}$, la valeur de X_{DL} est de 201 nm et la valeur de $C_{inv,MIN} = 0,059 \text{ } \mu\text{F}/\text{cm}^2$ indépendamment de l'épaisseur d'oxyde.

II - Fabrication et analyses XPS des capacités MOS sur $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$

1) Structures épitaxiales et passivation de la surface de l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$

a) Structures épitaxiales

La structure MOS choisie est composée de deux couches épitaxiées d'InGaAs avec différents dopages, sur un substrat d'InP (100), séparées de ce dernier par un buffer d'InAlAs. La première couche peu dopée, de l'ordre de $2 \times 10^{16} \text{ cm}^{-3}$ correspondant au dopage de la zone intrinsèque, est déposée sur une couche épitaxiée fortement dopée. Cette dernière est dopée à $1 \times 10^{19} \text{ cm}^{-3}$ pour le dépôt du contact ohmique de source. Nous avons fabriqué des capacités à dopage n (**figure 6.a**) ainsi qu'à dopage p (**figure 6.b**).

$\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$	$n = 2 \times 10^{16} \text{ cm}^{-3}$	200nm	$\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$	$p = 2 \times 10^{16} \text{ cm}^{-3}$	200nm
$\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$	$n^+ = 1 \times 10^{19} \text{ cm}^{-3}$	500nm	$\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$	$p^+ = 1 \times 10^{19} \text{ cm}^{-3}$	500nm
$\text{In}_{0,52}\text{Al}_{0,48}\text{As}$ (buffer)			$\text{In}_{0,52}\text{Al}_{0,48}\text{As}$ (buffer)		
InP (substrat)			InP (substrat)		

(a)

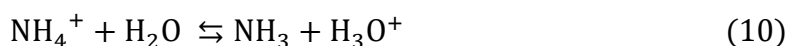
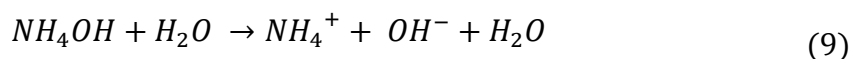
(b)

figure 6 – Représentation schématique des structures épitaxiales des capacités MOS à base d'InGaAs dopé n (a) et dopé p (b).

La première étape technologique et la plus importante est la passivation de la surface afin de réduire la densité de défauts d'interface. Les travaux de *W. E. Spicer et al.* ont montré que ces défauts de surface ont des niveaux énergétiques situés dans la bande interdite du semiconducteur et vont ancrer le niveau de Fermi en surface [3]. Il est donc impératif d'avoir la meilleure qualité d'interface entre l'oxyde et le semiconducteur.

b) Passivations ammoniacque et sulfure d'ammonium

Un des moyens pour améliorer la qualité de l'interface est l'utilisation de solutions de passivation. En effet la passivation permet de combler les liaisons pendantes à la surface des semiconducteurs. Dans le cas des semiconducteurs III-V, les passivations les plus utilisées sont les passivations par les solutions d'ammoniacque NH_4OH [4]–[10] ou de sulfure d'ammonium $(\text{NH}_4)_2\text{S}$ [1], [11]–[17]. En solution aqueuse, le NH_4OH se dissocie en ions NH_4^+ et OH^- . Les équations de dissociation (9) et d'équilibre en solution (10) sont les suivantes.



L'acide H_3O^+ va casser la liaison chimique semiconducteur – oxygène (SC)-O pour libérer un atome oxygène qui va réagir avec l'ion OH^- pour créer une molécule d'eau H_2O . Au même moment, un ion OH^- en solution va combler la liaison pendante formée précédemment et conduire à une liaison stable SC-O-H. On parle ainsi d'hydroxylation de surface. Dans notre cas, nous avons utilisé une solution diluée à 4% de NH_4OH pendant 10min. Le deuxième traitement utilisé pour la fabrication des capacités MOS est une solution diluée à 5% de sulfure d'ammonium $(\text{NH}_4)_2\text{S}$ pendant 10min, avec au préalable une gravure des oxydes natifs par une solution diluée à 10% d'acide chlorhydrique HCl pendant 1min. Cette gravure est nécessaire car les oxydes natifs à la surface du semiconducteur entraînent des états d'interface.

2) Dépôts d'oxydes high-k et traitement par plasma O_2

Dans notre étude, nous avons déposé deux oxydes couramment utilisés (Al_2O_3 et/ou HfO_2) par la technique de dépôt de couches atomiques (Annexes). La technique d'ALD est la plus utilisée pour déposer des oxydes sur les matériaux III-V. Il existe deux types de dépôts, le premier est la voie thermique où l'arrangement des atomes se fait thermiquement. La seconde voie est assistée par plasma froid nommée PEALD où, pour les oxydes, un plasma d'oxygène O_2 sert à oxyder la surface tout comme l' H_2O pour la voie thermique. Ses principaux

avantages sont la vitesse de croissance plus rapide et la température de dépôt plus faible. Dans notre cas, nous avons utilisé la voie thermique pour déposer nos oxydes de faible épaisseur.

a) Matériaux high- k

Bien que l'oxyde de silicium (SiO_2) permette d'obtenir de faibles valeurs de D_{it} sur le silicium, la réduction d'échelle nécessitant une diminution de l'épaisseur d'oxyde entraîne l'augmentation du courant de fuite par la grille. Sachant que la capacité dépend de l'épaisseur mais aussi de la constante diélectrique, l'utilisation de matériaux à fortes constantes diélectriques (high- k) tels que l'alumine (Al_2O_3 , $\epsilon \approx 7$) [6], [12] permet d'augmenter l'épaisseur d'oxyde tout en gardant la même capacité. Nous parlons alors d'épaisseur effective d'oxyde (EOT) pour définir l'épaisseur équivalente en silicium lorsque l'oxyde est un high- k^2 . D'autres matériaux sont couramment utilisés à ce jour pour la réalisation de transistors MOS à effet de champ de la filière III-V tels que le HfO_2 ($\epsilon \approx 25$) [18] ou le ZrO_2 ($\epsilon \approx 20-47$) [19].

b) Dépôt d'alumine (Al_2O_3) et traitement par plasma O_2

L'alumine est déposée dans une chambre à une pression de l'ordre de 0,01 mbar à 250°C pour les capacités MOS à base d'InGaAs. Le dépôt se fait à l'aide de précurseurs métallique (triméthylaluminium – TMA) et oxydant (H_2O) dont les sources sont présentes sous forme liquide. Le dépôt consiste en un premier pulse de TMA d'une durée de 150ms déposant la première monocouche d'aluminium Al en surface du semiconducteur suivi d'une purge sous azote (1s) afin d'éliminer les groupements CH_3 en surplus. Ensuite un pulse d' H_2O d'une durée de 250ms va déposer l'oxygène O sur l'aluminium suivi d'une purge (1,5s) pour éliminer ce qui n'a pas réagi. Cette séquence est répétée ensuite plusieurs fois (≈ 44 cycles pour 4nm). Cette technique permet d'obtenir un dépôt conforme et une densité de défauts d'interface sur InGaAs qui reste de l'ordre de $1 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$.

Plusieurs traitements ex-situ permettent de réduire la densité de défauts d'interface, comme la passivation par voie humide. Il est aussi possible d'effectuer des traitements in-situ utilisant des plasmas avant le dépôt d'oxyde. Nous pouvons citer les traitements par exemple la nitruration à l'aide d'un plasma N_2/Ar [20], [21], les plasmas d'hydrogène (H_2) [22]–[25] ou d'azote (N_2) [26] qui, alternés avec le TMA, permettent de nettoyer la surface des oxydes natifs et de passiver la surface [27]. Ainsi plusieurs travaux font état de traitements plasma avant dépôt de l'oxyde, néanmoins, très peu rapportent l'utilisation de plasma après dépôt. Par exemple, *S. Takagi et al.* ont étudié l'effet d'un plasma d'oxygène O_2 sur une structure MOS à base de germanium. Ces derniers ont observé, en exposant une structure $\text{Al}_2\text{O}_3/\text{Ge}$ par un plasma d'oxygène durant 10s, la création d'une couche d'interface de GeO_x sous l'alumine

² $\text{EOT} = \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{high-}k}} \cdot t_{\text{OX}}$

[28] permettant la réduction de la densité de défauts d'interface. Pour que cette couche d'interface soit efficace, celle-ci doit être localisée proche du semiconducteur [29] sans pour autant que le plasma O_2 n'atteigne la surface [30].

Dans notre cas, nous avons effectué un plasma oxygène après un premier dépôt de 2 nm d' Al_2O_3 . Ce plasma d'oxygène postoxydation consiste en un plasma déporté à partir d'une source radiofréquence à 100 W en utilisant les gaz O_2 (100 sccm) et Ar (200 sccm) dans la chambre ALD à 250°C. Une grille métallique entre le plasma et le substrat permet aux radicaux libres d'atteindre la surface du substrat. Cette technique possède l'avantage, comparée à un plasma direct, d'éliminer les bombardements ioniques et donc de dégrader la surface du semiconducteur. Ensuite, 2 nm d' Al_2O_3 sont ajoutés pour atteindre une épaisseur totale d'environ 4 nm ($EOT \approx 2,3nm$). Dans chaque cas, un recuit après dépôt d'oxyde (PDA) à 600°C sous N_2H_2 (95/5%) est effectué afin de stabiliser l'oxyde et de diminuer la D_{it} [31].

Nous avons effectué une coupe à l'aide de la technique FIB (Focus Ion Beam) pour observer la structure MOS Al_2O_3/n -InGaAs à l'aide de la microscopie électronique en transmission sur des échantillons sans (**figure 7.a**) et avec traitement par plasma O_2 (**figure 7.b**). Nous avons pu remarquer que l'épaisseur d'oxyde déposé est similaire dans les deux cas de l'ordre de 4,3 nm (4,5 nm avec plasma O_2), cependant une incertitude de $\pm 0,2$ nm est due à l'angle d'observation ainsi qu'à la non uniformité d'épaisseur apportée par la découpe FIB. Nous pouvons voir sur le profil de concentration après le traitement par plasma d'oxygène qu'il apparaît une zone riche en oxygène au-delà de l'oxyde à l'interface (**figure 7.d**). L'hypothèse avancée est qu'il s'agit d'une couche d'interface passivant la surface du semiconducteur. Par ailleurs, sur les deux échantillons, il apparaît une zone au milieu de l'oxyde où les concentrations d'aluminium et d'oxygène diminuent. Cet effet est attribué à la dégradation par l'observation au microscope électronique en transmission (MET) à 300 keV. De plus la zone floue à l'interface oxyde/ semiconducteur est aussi due à une dégradation par observation au MET. La transformée de Fourier effectuée par logiciel d'imagerie permet de déduire approximativement le paramètre de maille de l'InGaAs à environ 5,9 Å comme attendu dans la littérature.

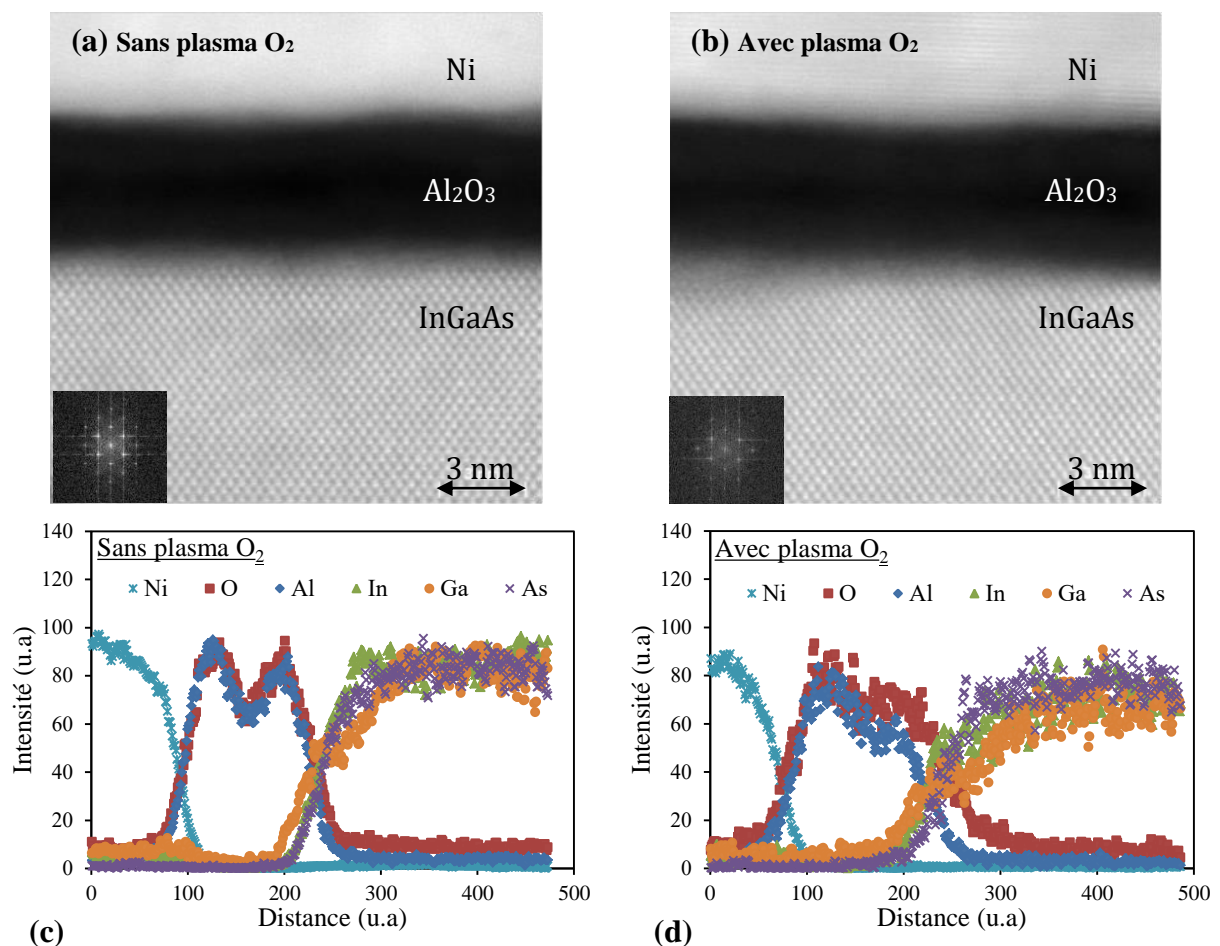


figure 7 - Image de microscopie électronique en transmission (MET) (en haut) d'un empilement métal/Al₂O₃/InGaAs, sans traitement (a) et avec traitement par plasma d'oxygène (b). Profil des concentrations sans (c) et avec plasma O₂ (d) montrant une zone riche en oxygène à l'interface après plasma O₂.

Des mesures d'ellipsométrie ont été effectuées afin d'estimer l'épaisseur d'oxyde déposé et d'observer l'effet du plasma d'oxygène postoxydation sur la valeur de la permittivité relative de l'oxyde. La **figure 8** montre les courbes des parties réelle et imaginaire de la fonction diélectrique de l'oxyde sans (rouge) et avec (bleu) le traitement par plasma d'oxygène postoxydation. En modélisant les courbes à l'aide du modèle de Tauc-Lorentz, nous avons déduit l'épaisseur de l'oxyde déposé qui est de l'ordre de 4,5 nm similaire à la mesure réalisée au MET. De plus, aucune différence n'est observable sur la fonction diélectrique ce qui indique que la constante diélectrique n'est pas modifiée. Ainsi nous pouvons en conclure que l'épaisseur effective d'oxyde n'est pas modifiée par le traitement par plasma O₂.

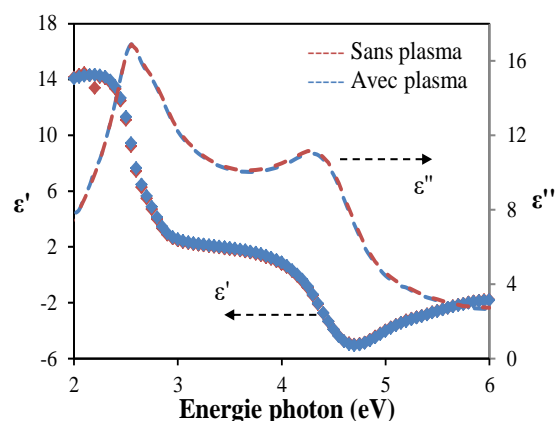


figure 8 – Courbes des parties réelle et imaginaire de la permittivité diélectrique en fonction de l'énergie de photon incident sans (rouge) et avec le traitement par plasma O₂ (bleu).

c) Dépôt bicouche Al₂O₃/ HfO₂

Le deuxième oxyde à forte constante diélectrique que nous avons étudié est l'oxyde d'hafnium (HfO₂). L'avantage d'utiliser le HfO₂ à forte constante diélectrique est de pouvoir augmenter l'épaisseur d'oxyde et de conserver une épaisseur d'oxyde effective faible. Dans le cas des matériaux III-V, une couche d'alumine est déposée au préalable pour améliorer l'interface entre l'oxyde et le semiconducteur [32], [33].

Dans notre cas, nous avons premièrement passivé la surface par une solution diluée à 4% de NH₄OH. Ensuite, l'alumine d'épaisseur 2 nm, est déposée à 250°C à l'aide des précurseurs de TMA et H₂O. Nous avons alors déposé 5 nm de HfO₂ à 150°C à l'aide de précurseurs métallique tetrakis(diméthylamido)hafnium(IV) (TDMAH) et oxydant (H₂O). Le cycle de croissance de l'HfO₂ commence par un pulse de TDMAH d'une durée de 250ms suivi d'une purge d'azote (1s). Ensuite un pulse d'H₂O d'une durée de 250ms suivi d'une purge d'azote (1s). Après dépôt, un recuit PDA est effectué à 600°C pendant 1min pour stabiliser les oxydes déposés.

La **figure 9.a** montre une vue en coupe de la structure MOS métal/HfO₂/Al₂O₃/InGaAs³ au microscope électronique en transmission après recuit PDA à 600°C. Nous pouvons observer que le HfO₂ est cristallin, or à la température de croissance de 150°C, la concentration en cristaux est faible [34]. Ainsi nous pouvons affirmer que le recuit après dépôt à 600°C cristallise l'oxyde d'hafnium [35] sans affecter la morphologie de l'alumine. Les images obtenues par la méthode de spectroscopie à dispersion d'énergie (EDS) (**figure 9.b**) permettent d'observer les concentrations des différents composants.

³ Cet empilement de 5nm de Al₂O₃/ HfO₂ permet d'obtenir une épaisseur d'oxyde effective de 1,98 nm.

Le calcul est :
$$EOT = \frac{\epsilon_{Si} \cdot (\epsilon_{HfO_2} \cdot t_{Al_2O_3} + \epsilon_{Al_2O_3} \cdot t_{HfO_2})}{\epsilon_{HfO_2} \cdot \epsilon_{Al_2O_3}}$$

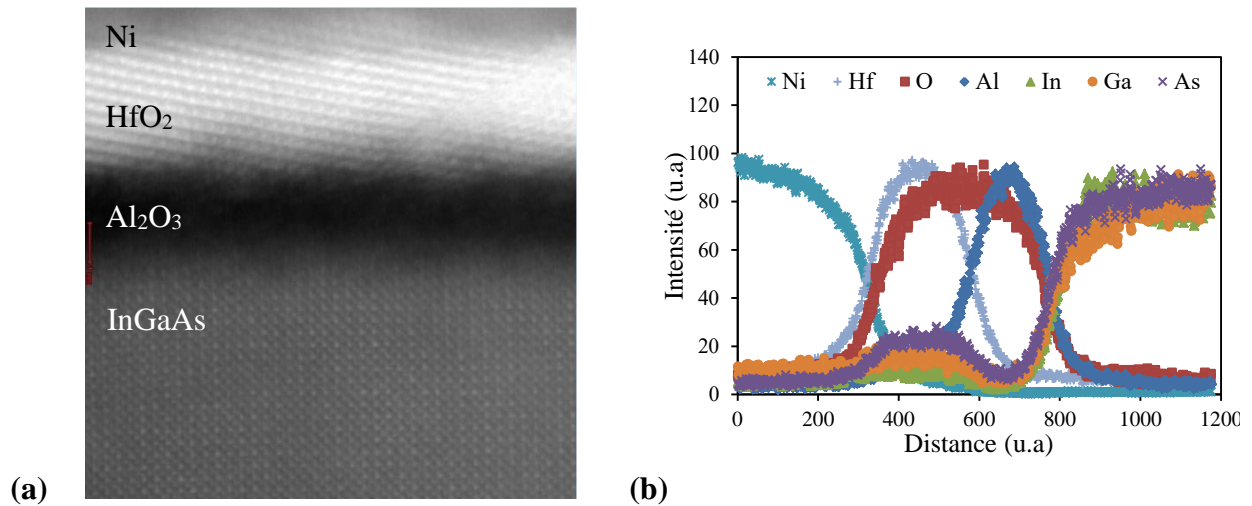


figure 9 - Vue en coupe au microscope électronique en transmission (MET) de la structure MOS métal/HfO₂/Al₂O₃/InGaAs après recuit PDA à 600°C (a) et concentration des espèces obtenue par EDX (b).

3) Dépôt du contact de grille

Le dépôt du contact de grille se fait par évaporation par faisceau d'électrons, dans une chambre sous vide, d'une séquence de Ni/ Au (100nm/ 250nm). Nous utilisons la technique de « lift-off » car elle permet de déposer un métal sous forme de motifs à l'aide d'une couche sacrificielle de résine. En outre, elle nous évite de graver le métal, ce qui pourrait être critique pour le semiconducteur. Le 1^{er} niveau du masque nommé « capamos_4v » permet de définir les contacts supérieurs de grille (**figure 10.a**). Différentes surfaces circulaires sont utilisées afin de normaliser la valeur de la capacité d'oxyde C_{OX} obtenues. La vue en coupe après l'étape de dépôt de l'électrode de grille est montrée à la **figure 10.b**.

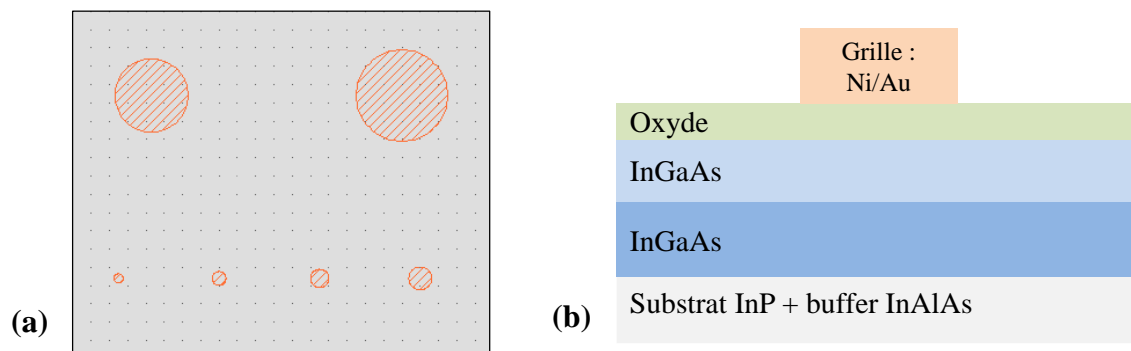


figure 10 - Image du 1^{er} niveau du masque « capamos_4v » représentant le contact de grille (a) et vue en coupe d'une capacité MOS après l'étape du dépôt l'électrode de grille (b).

Les différents diamètres des contacts de grille sont, dans l'ordre décroissant : 500µm, 400µm, 300µm, 200µm, 150µm, 125µm, 100µm, 75µm et 50µm.

4) Gravure d'oxydes et méssa « peu profond »

Le contact ohmique de source doit être déposé sur la couche du semiconducteur très dopé ($1 \times 10^{19} \text{cm}^{-3}$). Ainsi, une gravure de l'oxyde et de l'épitaxie est nécessaire pour atteindre cette couche. Pour cela nous avons utilisé la technique de lithographie optique (voir annexe 1) et utilisé le 2nd niveau du masque « capamos_4v » (**figure 11.a**). Sachant que nous avons réalisé deux types de capacité MOS avec des oxydes différents (Al_2O_3 et HfO_2), la méthode de gravure de l'oxyde diffère.

a) Gravure de l'alumine (Al_2O_3)

Afin de graver l' Al_2O_3 déposé par ALD, nous avons utilisé une solution diluée de BOE (Buffered Oxide Etch), solution de $\text{NH}_4\text{F}/\text{HF}$ (ratio volumique 1: 7), dans de l'eau déionisée (EDI) avec un ratio volumique 1: 5. Dans notre cas 30s de gravure à l'aide du BOE sont largement suffisantes pour graver 4nm d'oxyde.

b) Gravure de l'oxyde d'hafnium (HfO_2) et Al_2O_3

Plusieurs tests de gravures humides (BOE, Hf dilué) ont été effectués en vain pour graver l' HfO_2 déposé par ALD. Nous avons vu qu'après recuit PDA l'oxyde d'hafnium se cristallisait, ce qui semble donc engendrer une difficulté pour le graver lorsqu'il est déposé par ALD. Nous avons donc choisi de graver l'oxyde d'Hafnium à l'aide d'un plasma ICP à base de BCl_3/Ar avec une forte concentration d'Argon. Les concentrations des gaz sont 18 sccm d'Ar et 2 sccm de BCl_3 tandis que la puissance RIE est de 40 W et la puissance ICP de 180W. La pression dans la chambre est fixée à 4 mTorr. Nous avons noté que le plasma grave les deux oxydes déposés (HfO_2 et Al_2O_3) ainsi que le semiconducteur.

c) Gravure humide de l'épitaxie

Ensuite, la solution d'acide orthophosphorique (H_3PO_4) et d'eau hydrogénée (H_2O_2) diluée dans de l'eau déionisée avec un ratio volumique 5: 1: 40 est utilisée pour graver l'InGaAs. Dans notre cas, chaque échantillon a été plongé pendant 3min dans cette solution. Cela nous a permis de graver environ 390nm et de s'arrêter dans la couche d'InGaAs fortement dopée. La vue en coupe après l'étape de gravure est montrée à la **figure 11.b**. Les cercles de protection ont un diamètre 10 μm plus grand que les contacts métalliques pour faciliter l'alignement optique.

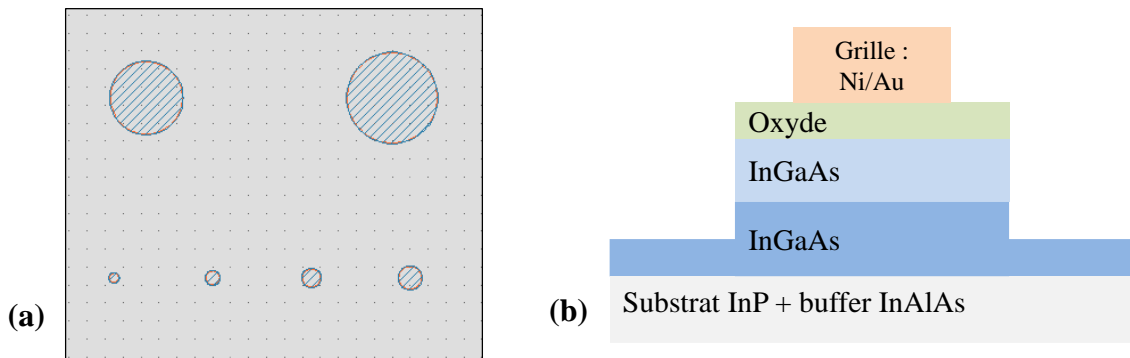


figure 11 – Image du 2^{ème} niveau du masque « capamos_4v » représentant la gravure de l’oxyde et de l’épitaxie (a) et vue en coupe d’une capacité MOS après l’étape de gravure (b).

5) Dépôt du contact de source et isolation

Le contact de source se fait par évaporation par faisceau d’électrons dans une chambre sous vide. Les métaux utilisés pour le contact de source sur InGaAs sont résumés dans le **tableau 1**.

Matériau	Dopage (cm ⁻³)	Métal	Epaisseur (nm)	Recuit (°C)	ρ_c (Ω.cm ⁻²)
InGaAs	$n : 3.10^{19}$	Ti/ Pt/ Au	25/ 25/ 350	Aucun	$9,1 \times 10^{-8}$
InGaAs	$p : 3.10^{19}$	Pd/ Ti/ Pt /Au	4/ 25/ 25/ 350	Aucun	5.6×10^{-6}

tableau 1 – Résumé des différents métaux utilisés pour la fabrication des contacts de source

La **figure 12** présente la résistance totale en fonction de la distance entre les contacts obtenue par la méthode TLM pour les capacités MOS sur InGaAs dopé p (**figure 12.a**) et dopé n (**figure 12.b**).

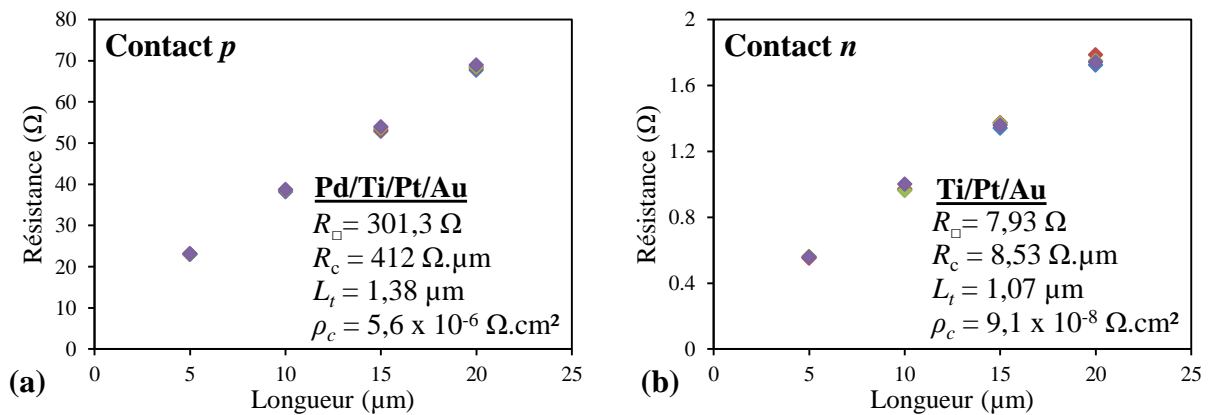


figure 12 – Courbe de la résistance totale en fonction de la distance entre les contacts obtenue par la méthode TLM pour le contact p (a) et n (b) des capacités MOS sur InGaAs.

De la même manière que le contact de grille, le contact de source est défini par procédé lift-off. L'image au microscope optique des capacités MOS réalisées est montrée à la **figure 13.a** et une vue en coupe schématique est représentée à la **figure 13.b**.

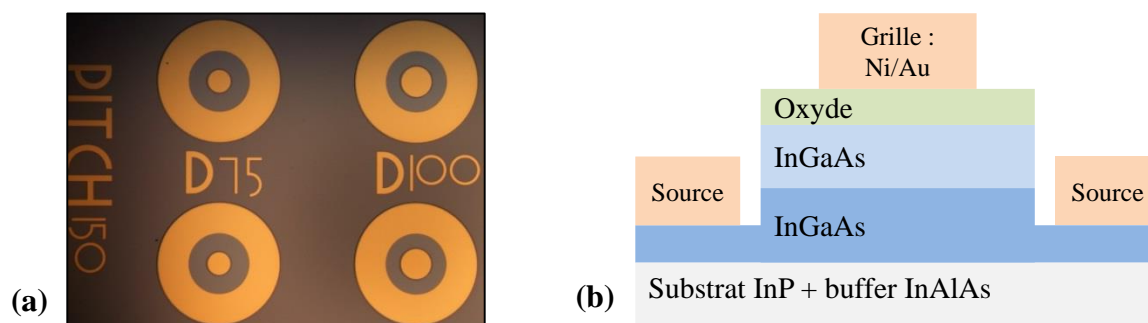


figure 13 – Image au microscope après dépôt du contact de source de la capacité MOS (a) et vue en coupe de la capacité MOS après dépôt du contact ohmique de source (b).

Enfin, une dernière étape de gravure jusqu'au buffer InAlAs est effectuée à l'aide d'une solution diluée d'acide orthophosphorique afin d'isoler les dispositifs entre eux.

6) Étude XPS de la surface de l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ après passivation NH_4OH

Pour la caractérisation physico-chimique de spectroscopie de photoélectrons X (XPS – Annexe), nous nous sommes concentrés sur la passivation au NH_4OH qui semble peu étudiée par rapport à la passivation $(\text{NH}_4)_2\text{S}$.

a) Variation du potentiel de surface de l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ après passivation

L'effet de la passivation par la solution de NH_4OH a été étudié à l'aide de la spectroscopie de photoélectrons X (XPS). La raie Al $k\alpha$ ($h\nu = 1486,6$ eV) est utilisée comme source d'émission et les mesures ont été effectuées à une pression de 5×10^{-9} mbar à un angle de 75° à température ambiante. La référence utilisée ici est le niveau de cœur C 1s placé à 284,8 eV. La **figure 14.a** montre les spectres XPS sur la gamme d'énergie de liaison de 0 eV à 1400 eV de l' InGaAs sans (en noir) et avec passivation (en rouge). La **figure 14.b** montre le spectre de la bande de valence sans (en noir) et avec passivation (en rouge). Après passivation par la solution de NH_4OH , nous observons une variation de +0,13 eV du potentiel de surface et donc un éloignement énergétique du haut de la bande de valence par rapport au niveau de Fermi. En effet en passivant la surface nous avons rempli la surface par des terminaisons O-H (hydroxylation). Cette terminaison crée une augmentation de la densité d'électrons en surface due à l'électronégativité de l'oxygène par transfert de charges vers la surface et donc un déplacement de la bande de valence vers les hautes énergies de liaison en surface.

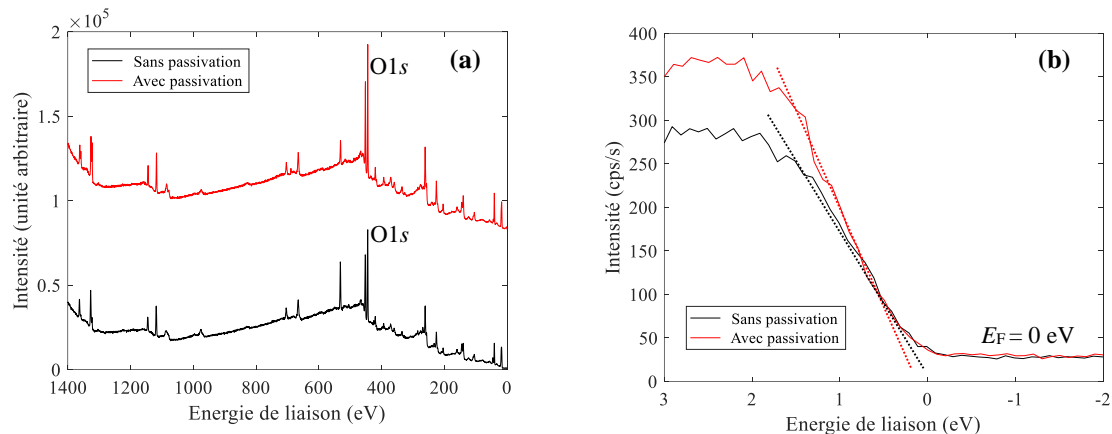


figure 14 – Spectres de spectroscopie de photoélectrons X (a) de l’InGaAs permettant d’observer ses différents niveaux de cœur et (b) spectres de la bande de valence (en noir) sans et (en rouge) après passivation par une solution de NH_4OH .

b) Étude XPS des niveaux de cœur de l’ $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ après passivation

Nous avons ensuite étudié l’effet de la passivation sur les niveaux de cœur principaux de l’InGaAs « bulk » tels que l’In $3d_{5/2}$, le Ga $2p_{3/2}$ ou l’As $2p_{3/2}$ (**figure 15.a-d, b-e et c-f** respectivement). Dans la suite de l’étude, la référence utilisée est le niveau de cœur C $1s$ placé à 286 eV. Sur chaque spectre, nous pouvons observer la présence d’une composante oxydée (oxydes natifs) et d’une composante bulk dont l’écart d’énergie de liaison entre elles sera noté (ΔE_L). Pour le niveau de cœur In $3d$, l’oxyde natif In-O ($\Delta E_L = +1$ eV) est diminué de 10% par rapport à l’aire totale avec un déplacement chimique de -0,4 eV ($\Delta E_L = +0,6$ eV) après passivation. La passivation par la solution de NH_4OH permet donc de réduire la composante oxydée avec un changement de stœchiométrie. De la même manière, pour le niveau de cœur Ga $2p$, l’oxyde natif Ga-O ($\Delta E_L = +1,2$ eV) est largement diminué d’environ 34% de l’aire totale après passivation ($\Delta E_L = +0,8$ eV) indiquant une large diminution de la composante d’oxyde et un changement de stœchiométrie potentiellement de l’oxyde Ga_2O_3 à GaO_2 [5]. Pour le niveau de cœur As $2p$, nous avons remarqué deux oxydes natifs avant passivation, l’ As_2O_3 et l’ As_2O_5 ($\Delta E_L = +3,3$ eV and $\Delta E_L = +4,4$ eV respectivement). Cependant après passivation, l’ As_2O_5 est diminué en deçà de la limite de détection tandis que l’aire de l’oxyde As_2O_3 diminue sans réel déplacement chimique. Nous pouvons donc voir que le traitement par la solution diluée de NH_4OH permet de réduire les oxydes natifs et donc d’améliorer potentiellement la qualité de surface avant le dépôt de l’oxyde.

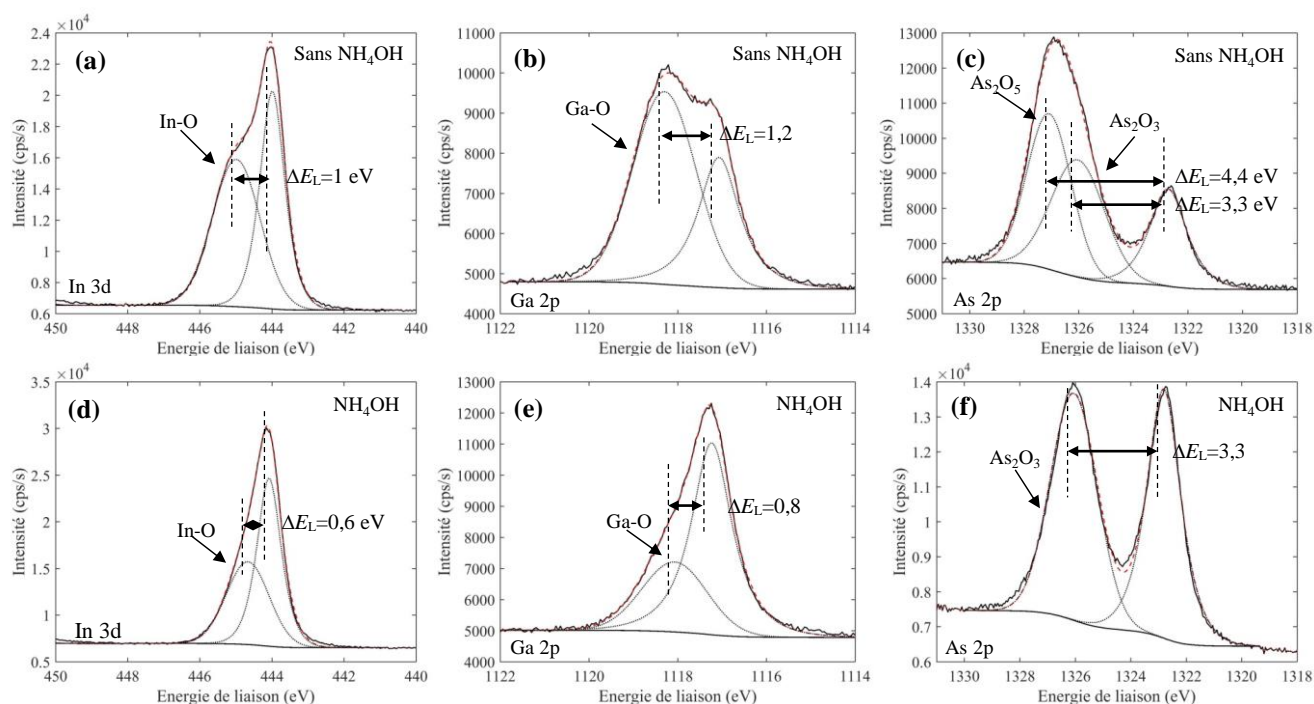


figure 15 – Spectres XPS des niveaux de cœur de l’InGaAs sans (haut) et après passivation (bas). Les oxydes natifs observés sur les niveaux de cœur $In\ 3d_{5/2}$ (a)-(d), $Ga\ 2p_{3/2}$ (b)-(e) et $As\ 2p_{3/2}$ (c)-(f) sont réduits après passivation.

7) Étude XPS de l’interface $Al_2O_3/In_{0,53}Ga_{0,47}As$ et effet du plasma O_2

Après avoir déposé l’alumine, nous avons étudié l’interface $Al_2O_3/In_{0,53}Ga_{0,47}As$ à l’aide de la technique de spectroscopie de photoélectrons X (XPS) afin d’observer, par ailleurs, l’effet du plasma O_2 sur les composantes bulk ainsi que sur l’offset des bandes de valence (ΔE_V) et de conduction (ΔE_C) entre l’ Al_2O_3 et l’InGaAs. Les dépôts d’oxyde sans ou avec traitement plasma O_2 sont résumés ci-dessous.

Pour l’échantillon sans plasma O_2 , nous avons déposé 4 nm d’ Al_2O_3 sur une surface d’InGaAs passivée au NH_4OH puis recuit l’échantillon à $600^\circ C$. Pour l’échantillon avec plasma O_2 , nous avons tout d’abord déposé 2nm d’ Al_2O sur une surface d’InGaAs passivée au NH_4OH , effectué le traitement par plasma O_2 , rajouté 2 nm d’ Al_2O_3 puis recuit l’échantillon à $600^\circ C$.

a) Effet du plasma O_2 sur le potentiel de surface et offset des bandes de valence

La **figure 16.a** représente les spectres XPS sur la gamme d’énergie de liaison de 0 eV à 1400 eV de l’InGaAs sans (en noir) et avec dépôt d’ Al_2O_3 (en rouge). Nous voyons apparaître les niveaux de cœur liés à l’alumine $O\ 1s$, $Al\ 2s$ et $Al\ 2p$. La **figure 16.b** montre les spectres de la bande de valence sans (en noir) et avec plasma oxygène (en rouge). Nous pouvons noter que compte tenu du bruit des mesures, ces dernières sont difficilement exploitables pour extraire une variation du potentiel de surface par le plasma O_2 . Cependant après dépôt d’oxyde (sans ou avec plasma O_2), le haut de la bande de valence de l’alumine est situé à

environ +4,7 eV au-dessous du niveau de Fermi tandis que le haut de bande de valence de l'InGaAs est située à environ +0,8 eV au-dessous du niveau de Fermi, soit $\Delta E_V = 3,9$ eV.

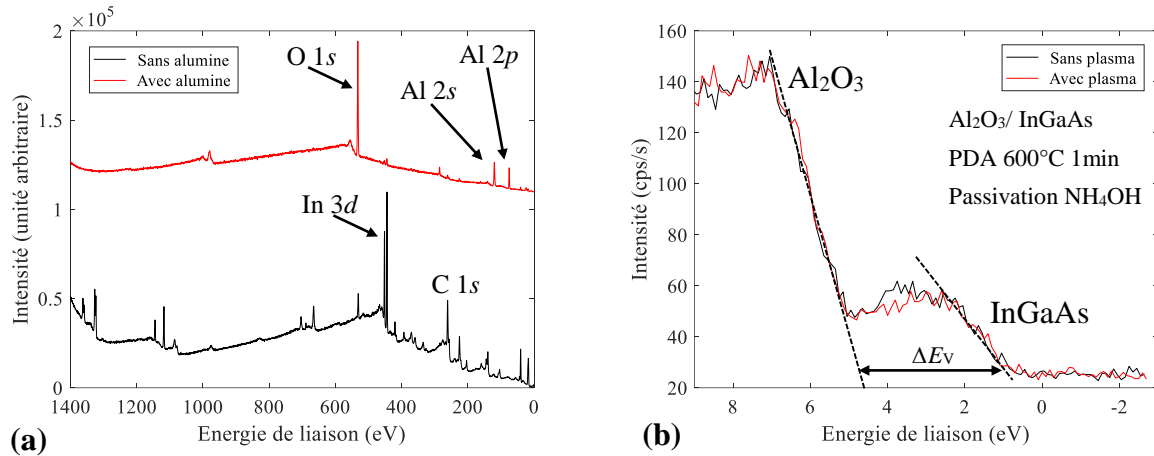


figure 16 – Spectres XPS de l'InGaAs permettant d'observer les niveaux de cœur liés à l'alumine (en noir) avant et (en rouge) après dépôt de l'alumine (a). Spectres de la bande de valence (en noir) sans et (en rouge) avec plasma oxygène (b).

b) Effet du plasma O₂ sur les offsets des bandes de valence et de conduction

Les spectres des bandes de valence de l'interface Al₂O₃/ InGaAs ne permettant pas d'extraire la variation des offsets ΔE_V et ΔE_C avec le plasma O₂, nous avons donc décidé d'extraire ces derniers à partir de la différence énergétique entre les niveaux de cœur et le haut de la bande de valence (MBV) pour l'alumine et pour l'In_{0,53}Ga_{0,47}As [36], [37].

Les **figure 17.a-b** montrent la différence énergétique entre le niveau de cœur As 3d et le haut de bande de valence de l'InGaAs indiquant une valeur $(E_{As3d} - E_{BV})^{InGaAs} \approx 40,5$ eV.

Les **figure 17.c-d** montrent la différence énergétique entre les niveaux de cœur Al 2p et As 3d. Sans traitement la valeur est $(E_{Al2p} - E_{As3d})^{Alumine-InGaAs} \approx 34,5$ eV tandis qu'avec plasma O₂ la valeur est $(E_{Al2p} - E_{As3d})^{Alumine-InGaAs} \approx 34,55$ eV. Ainsi aucune différence significative n'est observée avec le traitement par plasma O₂.

Les **figure 17.e-f** montrent la différence énergétique entre le niveau de cœur Al 2p et le haut de bande de valence de l'alumine bulk. Sans plasma O₂, $(E_{Al2p} - E_{BV})^{Alumine} \approx 70,9$ eV tandis qu'avec le plasma O₂, $(E_{Al2p} - E_{BV})^{Alumine} \approx 70,75$ eV. Un déplacement de -0,15 eV est observé sur le niveau de cœur Al 2p de l'alumine montrant un léger changement de stœchiométrie. En remplaçant les valeurs obtenues dans l'équation (11), les offsets de bandes de valence extraits sont $\Delta E_V \approx 4,1$ eV sans plasma O₂ et $\Delta E_V \approx 4,3$ eV avec plasma O₂. Cependant il réside une incertitude due à la résolution de mesure.

$$\Delta E_V = ((E_{As3d} - E_{BV})^{InGaAs} + (E_{Al2p} - E_{As3d})^{Alumine-InGaAs} - (E_{Al2p} - E_{BV})^{Alumine}) \quad (11)$$

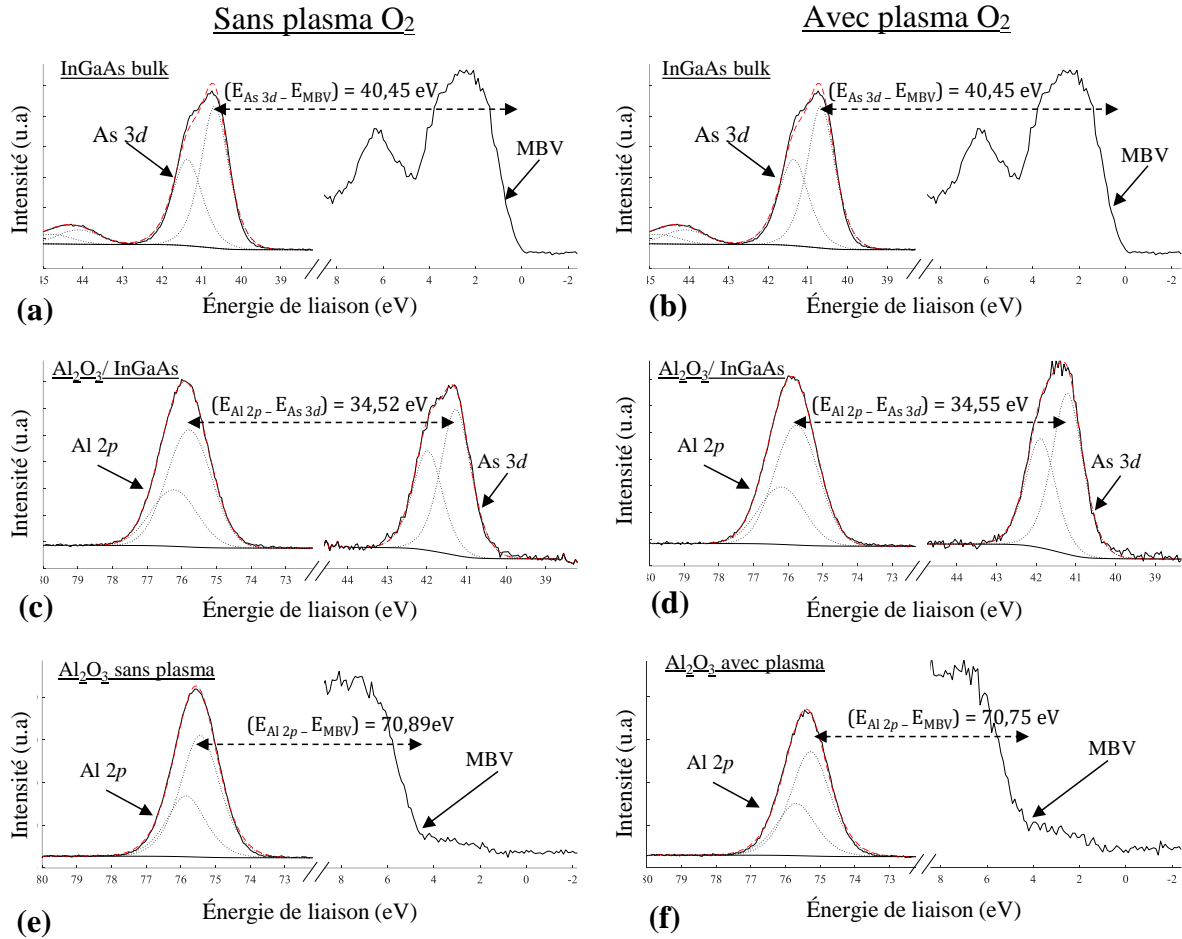


figure 17 – Spectres XPS des niveaux de cœur As 3d et de valence pour l’InGaAs « bulk » (a-b), des niveaux de cœur Al 2p et As 3d pour la structure Al₂O₃/ InGaAs (c-d) et des niveaux Al 2p et de valence pour l’alumine « bulk » (e-f). À gauche sans plasma O₂, à droite avec plasma O₂.

Après avoir déterminé l’offset de bande de valence, l’estimation de l’énergie de bande interdite E_g en analysant le spectre de perte d’énergie plasmon du niveau de cœur O 1s [38], [39] permet de calculer l’offset de bande de conduction ΔE_C entre l’alumine et l’InGaAs. La **figure 18.a** représente le spectre de perte d’énergie du niveau de cœur O 1s révélant la valeur de E_g pour l’alumine ($E_g \approx 6,5$ eV) pour l’échantillon sans plasma O₂. Cependant aucune différence n’est observée avec le traitement par plasma O₂. L’offset de bandes de conduction déterminé à partir de l’équation (12) est donc $\Delta E_C \approx 1,7$ eV sans plasma O₂ et $\Delta E_C \approx 1,5$ eV avec plasma O₂. Les valeurs ΔE_V , ΔE_C et E_g extraites expérimentalement sur l’échantillon sans plasma O₂ correspondent aux valeurs obtenues par *M.L. Huang et al.* sur l’alumine amorphe [40], [41].

$$\Delta E_C = E_g^{\text{Alumine}} - \Delta E_V - E_g^{\text{InGaAs}} \quad (12)$$

Ainsi nous pouvons représenter l'alignement des bandes de valence et de conduction entre le semiconducteur et l' Al_2O_3 (**figure 18.b**). Nous pouvons voir un rapprochement de la bande de conduction du semiconducteur vers la bande de conduction de l'alumine de l'ordre d'environ 0,2 eV avec le traitement par plasma O_2 .

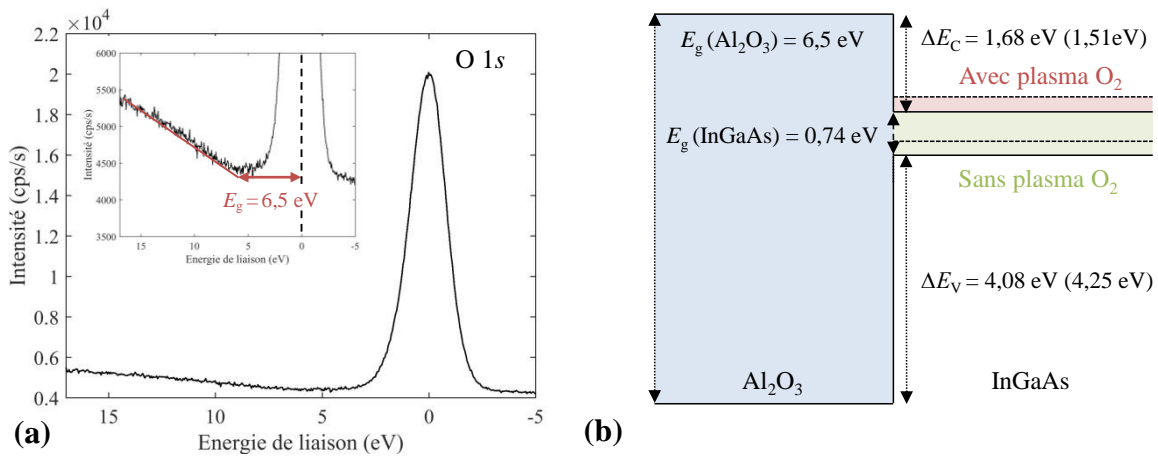


figure 18 – Spectres XPS du niveau de cœur O 1s de la structure $\text{Al}_2\text{O}_3/\text{InGaAs}$ sans plasma O_2 (a). Schéma d'alignement des bandes d'énergies de la structure $\text{Al}_2\text{O}_3/\text{InGaAs}$ (b) où les valeurs avec le traitement par plasma O_2 sont indiquées entre parenthèses.

c) Étude XPS des niveaux de cœur de l' Al_2O_3 et effet du plasma O_2

Nous avons effectué des mesures XPS après dépôt de l'oxyde sans et avec le traitement par le plasma d'oxygène afin d'en observer l'effet sur les pics caractéristiques de l'alumine O 2s et Al 2p. Nous avons premièrement choisi d'analyser le niveau de cœur O 1s car il présente les différentes composantes liées aux liaisons O-Ga et O-Al contrairement au niveau de cœur Al 2p. La **figure 19.a** montre les spectres XPS des niveaux de cœur O 1s de l'oxygène, In 4d et Ga 3d de l'InGaAs sans et avec traitement par plasma O_2 . Après avoir fitté les résultats et en gardant la largeur à mi-hauteur constante, nous avons pu extraire l'aire des différentes composantes. Nous pouvons observer une augmentation des ratios $\frac{A_{\text{O-Ga}}}{A_{\text{Ga 3d}}}$ et $\frac{A_{\text{O-Al}}}{A_{\text{Ga 3d}}}$ entre l'aire des composantes O-Ga ($A_{\text{O-Ga}}$) ou O-Al ($A_{\text{O-Al}}$) et l'aire du niveau de cœur Ga 3d ($A_{\text{Ga 3d}}$). De plus, le ratio $\frac{A_{\text{O-Al}}}{A_{\text{O-Ga}}}$ entre les aires des composantes O-Al ($A_{\text{O-Al}}$) et O-Ga ($A_{\text{O-Ga}}$) diminue légèrement ce qui indique une augmentation du nombre de liaison O-Ga en comparaison au nombre de liaisons O-Al avec le traitement par plasma O_2 . La **figure 19.b** montre le niveau de cœur Al 2p de l'aluminium sans et avec plasma O_2 . Un déplacement de l'ordre de -0,2 eV est observé ce qui indique un léger changement de stœchiométrie de l'oxyde. Nous pouvons donc suggérer que le plasma oxygène engendre la création d'une couche d'interface entre l'oxyde et le semiconducteur.

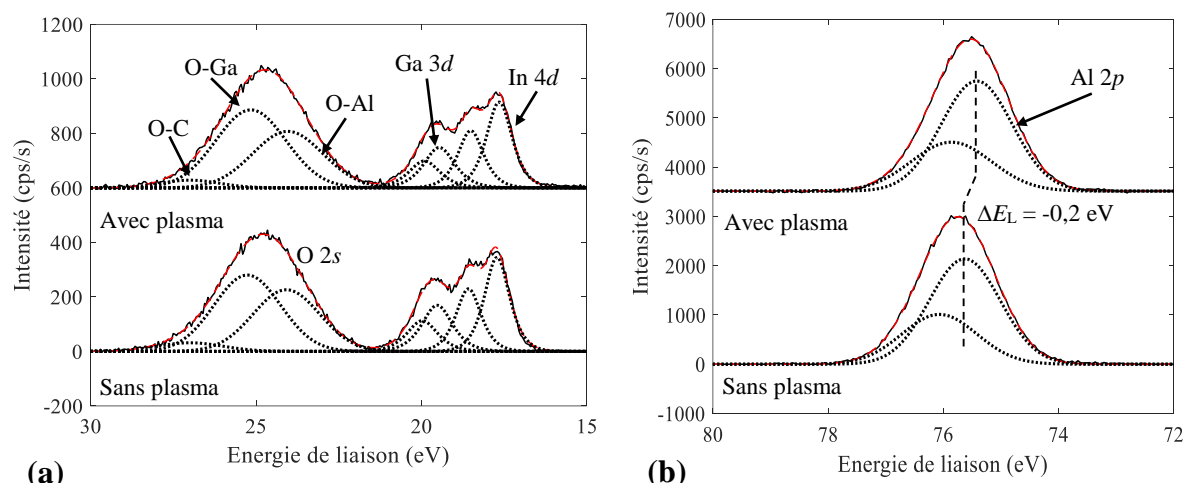


figure 19 – Spectres XPS des pics de l’oxygène O 2s (a) et Al 2p (b) sans et avec traitement par le plasma O₂ après dépôt d’Al₂O₃.

Le **tableau 2** résume les différents ratios $\frac{A_{O-Ga}}{A_{Ga\ 3d}}$, $\frac{A_{O-Al}}{A_{Ga\ 3d}}$ et $\frac{A_{O-Al}}{A_{O-Ga}}$ pour la structure Al₂O₃/ InGaAs sans et avec traitement par plasma O₂ après recuit PDA à 600°C.

Structure	Traitement	$\frac{A_{O-Ga}}{A_{Ga\ 3d}}$	$\frac{A_{O-Al}}{A_{Ga\ 3d}}$	$\frac{A_{O-Al}}{A_{O-Ga}}$
Al ₂ O ₃ / InGaAs	Sans plasma O ₂	706/213 ≈ 3,3	570/213 ≈ 2,7	570/706 ≈ 0,8
Al ₂ O ₃ / InGaAs	Avec plasma O ₂	761/189 ≈ 4,0	551/189 ≈ 2,9	551/761 ≈ 0,7

tableau 2 – Résumé des ratios entre les aires des composantes O-Ga, O-Al et Ga 3d des niveaux de cœurs O 2s et Ga 3d sans et avec traitement par plasma O₂ après recuit PDA.

d) Étude XPS des niveaux de cœur de l’In_{0,53}Ga_{0,47}As et effet du plasma O₂

Nous avons étudié l’interface entre l’Al₂O₃ et l’InGaAs en observant les pics liés aux niveaux de cœur In 3d et As 3d tandis que les niveaux de cœur In 4d et Ga 3d sont confondus et ne permettent pas une analyse de leurs composantes oxydées. La **figure 20** représente les spectres XPS des niveaux de cœur As 3d et In 3d sans et avec plasma O₂. Nous pouvons noter la disparition de l’As₂O₃ en-deçà du seuil de détection (**figure 20.a**) après dépôt d’alumine. Cet effet lié au sefl-cleaning, associé au nettoyage de la surface par le triméthylaluminium (TMA) au début du dépôt de l’alumine [27] avait déjà été observé sur la surface de GaAs. Aucune réoxydation n’a été observée avec le plasma O₂ (**figure 20.c**). Nous pouvons remarquer par ailleurs qu’après dépôt de l’alumine, le pic lié à l’oxyde d’indium In-O est déplacé à plus haute énergie de liaison ($\Delta E_L = +1,8$ eV) indiquant un changement de stoechiométrie. Par ailleurs, l’aire du pic lié à l’oxyde d’indium In-O [42], [43] ($\Delta E_L = +1,8$ eV) pour l’échantillon sans plasma O₂ (**figure 20.b**) augmente d’environ 6% par rapport à l’aire du pic In-O ($\Delta E_L = +1,8$ eV) de l’échantillon avec plasma O₂ (**figure 20.d**). Le

plasma O₂ permet donc de limiter la diffusion des espèces oxygènes à la surface du semiconducteur durant le recuit PDA. L'hypothèse avancée est la création d'une couche d'interface entre l'InGaAs et l'Al₂O₃ comme l'ont précédemment observée *S. Takagi et al.* sur l'empilement Al₂O₃/ Ge [44].

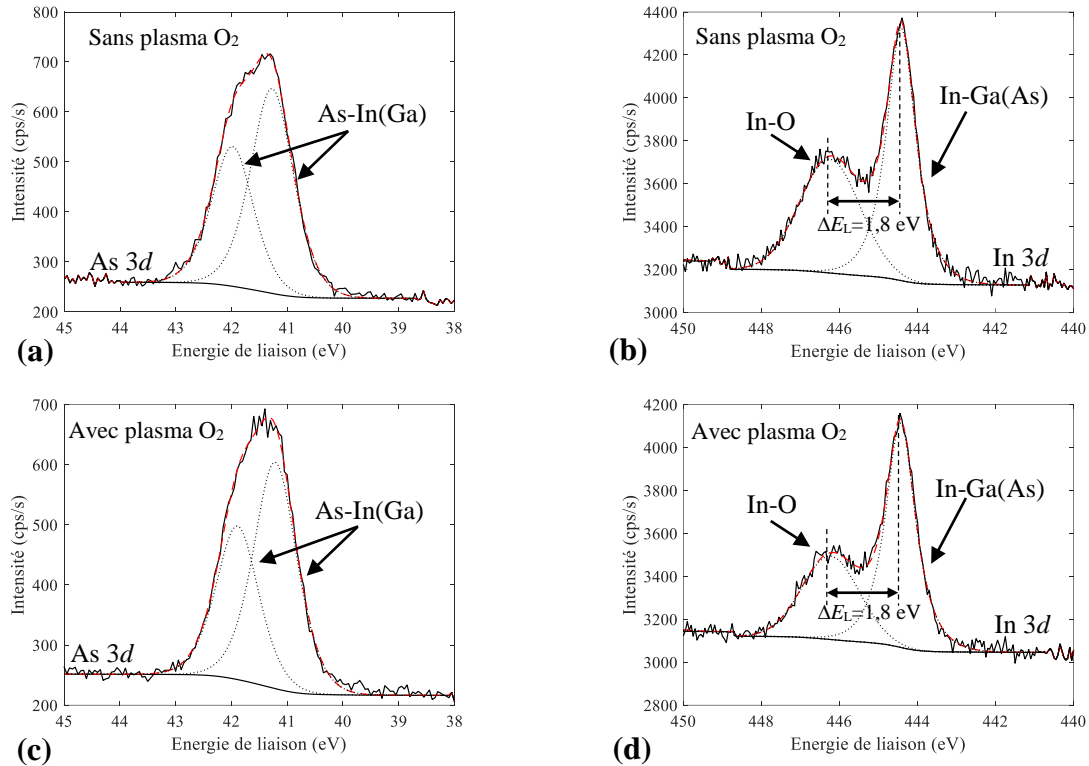


figure 20 – Spectres XPS des niveaux de cœur As 3d et In 3d de l'InGaAs sans (a-b) et avec plasma O₂ (c-d).

III - Caractérisations électriques des capacités métal/ oxyde/ In_{0,53}Ga_{0,47}As

Les mesures C-V nous permettent donc de déduire plusieurs caractéristiques de l'interface comme la densité d'états d'interface, la durée de vie des porteurs minoritaires à l'interface mais aussi des caractéristiques de l'oxyde comme sa quantité de charges [45].

1) Principe de mesure et schémas équivalents

a) Principe de mesure C-V

Pour une capacité métal-oxyde-métal, la capacité de l'oxyde C_{OX} est indépendante de la tension appliquée à ses bornes et est donnée par la relation (13).

$$C_{OX} = \frac{\epsilon_{OX} \cdot \epsilon_0}{t_{OX}} \quad (13)$$

Cependant dans une capacité métal-oxyde-semiconducteur, la capacité évolue en fonction de la tension de grille V_{GS} appliquée à cause du mouvement des charges du semiconducteur. La mesure consiste en l'application d'une tension continue (DC) entre la grille et la source notée V_{GS} que l'on va faire varier. Sur cette dernière est superposé un signal sinusoïdal (AC) de fréquence f donnée et d'amplitude de l'ordre de dizaines de millivolts. Ainsi la variation de charges nous permet de déduire une capacité dynamique ($C = dQ/dV$). Expérimentalement, les mesures ont été faites à l'aide d'un analyseur d'impédance Agilent 4924A sur des capacités dont le diamètre varie de $75\mu\text{m}$ à $500\mu\text{m}$ à température ambiante. Le système va mesurer l'impédance du circuit selon un modèle choisi, dans notre cas un modèle C - G en parallèle (**figure 21**). L'impédance est donnée par $\underline{Z} = \frac{U_{AB}}{I}$ et l'admittance dans le cas d'une capacité et d'une résistance en parallèle vaut $\underline{Y} = \frac{1}{\underline{Z}} = G + j\omega C$.

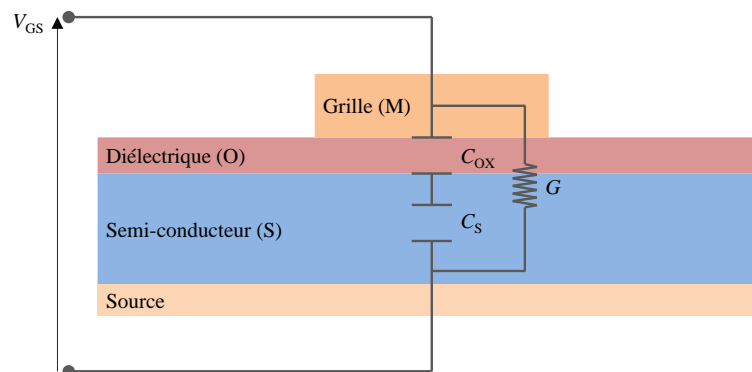


figure 21 – Schéma électrique d'une mesure de capacité-tension (C-V) sur une structure métal-oxyde-semiconducteur (MOS).

b) Schémas équivalents des capacités MOS

La **figure 22.a** montre le schéma équivalent correspondant à la structure MOS faisant apparaître la capacité de l'oxyde C_{OX} , la capacité du semiconducteur C_S , la capacité de défauts d'interface $C_{it} = q \cdot D_{it}$, la résistance R_{it} associée au temps de relaxation des défauts d'interface $\tau_{it} = C_{it} \cdot R_{it}$, la conductance tunnel G_{tunn} due à l'effet tunnel de Fowler-Nordheim et la résistance du semiconducteur R_S . Ce schéma peut être simplifié en négligeant la conductance tunnel ainsi que la résistance du semiconducteur (**figure 22.b**) pour de larges surfaces de contact. Expérimentalement, nous mesurons une capacité C_g et une conductance G selon le schéma équivalent montré à la **figure 22.c**.

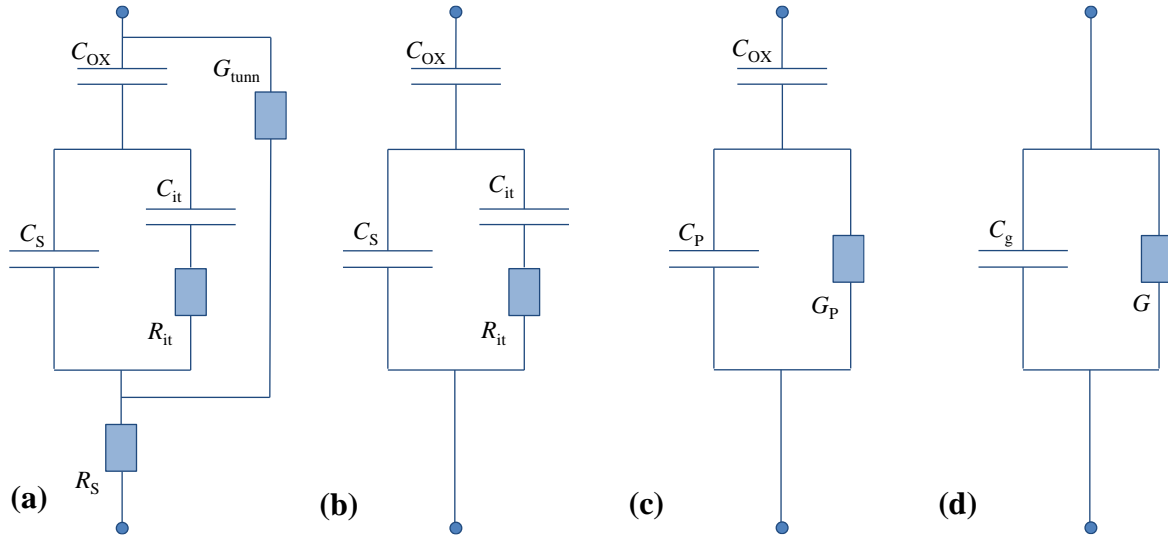


figure 22 – Représentation du schéma équivalent général (a), simplifié (b), parallèle (c) et mesuré (d) de la structure MOS.

Nous voyons dans le schéma équivalent à la **figure 22.a** que la résistance série peut-être une source d’erreur dans l’extraction des différentes grandeurs capacité et conductance. En effet, la résistance série R_s engendre une légère dispersion fréquentielle sur la capacité en régime d’accumulation. Dans nos mesures, en calculant la résistance série R_s à partir de la capacité maximale C_{MAX} ainsi que de la conductance maximale G_{MAX} en accumulation (16) [46], nous avons corrigé les grandeurs de capacité (14) et de conductance (15).

$$R_s = \frac{G_{MAX}}{G_{MAX}^2 + \omega^2 C_{MAX}^2} \quad (16)$$

$$C_{corrigée} = \frac{(G^2 + \omega^2 C_g^2) C_g}{a^2 + \omega^2 C_g^2} \quad (17)$$

$$G_{corrigée} = \frac{(G^2 + \omega^2 C_g^2) a}{a^2 + \omega^2 C_g^2} \quad (18)$$

Où
$$a = G - (G^2 + \omega^2 C_g^2) R_s \quad (19)$$

Sachant que la résistance série vaut $R_s = \rho.L/S$, l’augmentation de la surface S de l’électrode de grille va permettre de négliger la résistance série. Ainsi, nous avons choisi d’utiliser un diamètre de 500µm lors de l’analyse de nos mesures. En tenant compte de la géométrie (circulaire) de fabrication, la résistance série est de l’ordre de quelques ohms.

2) Grandeurs caractéristiques, capacité et conductance

a) Effet de la passivation et du traitement par plasma O₂ sur la capacité C_g

Comme nous l'avons observé dans la première partie du chapitre, il est nécessaire d'effectuer un traitement de surface avant le dépôt de l'oxyde afin d'éliminer les oxydes natifs. Nous avons étudié deux traitements différents, le premier à l'aide de solutions diluées à 10% de HCl puis à 5% de (NH₄)₂S et le second à l'aide d'une solution diluée à 4% de NH₄OH.

La **figure 23** montre l'effet de la passivation sur les caractéristiques C_g-V_{GS} à température ambiante pour des capacités de diamètres 500 μm et pour des fréquences de signal dynamique allant de 100 Hz à 1 MHz. Ces capacités ont une épaisseur d'Al₂O₃ de 4 nm et n'ont pas subi de traitement par plasma O₂. La **figure 23.a** montre la courbe C_g-V_{GS} après passivation au (NH₄)₂S tandis que la **figure 23.b** montre la courbe C_g-V_{GS} après passivation au NH₄OH. Nous observons en régime de déplétion (entre V_{GS} = -0,5 V et V_{GS} = 0,5 V), que l'étalement (stretch-out) de C_g en fonction de la tension de grille V_{GS} est plus faible pour l'échantillon passivé par la solution de NH₄OH ce qui semble indiquer une meilleure commande des charges. Cette observation est confirmée avec le fait que la différence entre la capacité maximale et la capacité minimale à basse fréquence (ΔC) est plus élevée pour l'échantillon passivé par une solution de NH₄OH.

En régime d'inversion (entre V_{GS} = -2,2 V et V_{GS} = -0,5 V), la dispersion fréquentielle ne montre aucune différence entre les deux échantillons et nous pouvons remarquer la présence de « bumps ». Ces « bumps » sont attribués à de la fausse inversion (ou faible inversion [47]) assistée par les défauts d'interface en milieu de bande interdite du semiconducteur [25], [48]. Ce phénomène a déjà été observé par *Krylov et al.* lorsqu'il comparait les oxydes de grille Si₃N₄ et Al₂O₃ [5], [49]. Par ailleurs, pour les deux échantillons, la capacité minimale d'inversion obtenue à haute fréquence C_{inv,MIN} est supérieure à la capacité minimale théorique pour une capacité MOS InGaAs avec un dopage *n* de 2 x 10¹⁶ cm⁻³ (C_{inv,théo} ≈ 0,06 μF/cm²) ce qui montre une difficulté à moduler le niveau de Fermi à cause des pièges d'interface. Néanmoins, nous constatons que C_{inv,MIN} est plus proche de la valeur théorique après passivation au NH₄OH ce qui semble indiquer une meilleure commande des charges.

En régime d'accumulation (entre V_{GS} = 1 V et V_{GS} = 2,2 V), la forte dispersion fréquentielle de la capacité est indépendante de la passivation choisie. Ce phénomène d'abord expliqué par la résistance série du semiconducteur [50], [51] fut ensuite attribué aux défauts dans l'oxyde comme par exemple les charges fixes proches du semiconducteur, sous le nom de « border traps » [52]. Ainsi nous pouvons conclure que la densité de « border traps » est très proche pour les deux passivations. La capacité maximale en accumulation C_{MAX} mesurée à basse fréquence est largement inférieure à la capacité de l'oxyde C_{OX} estimée à

1,44 $\mu\text{F}/\text{cm}^2$. Cet effet est, comme nous l'avons vu en première partie de ce chapitre, dû à la faible densité d'états des matériaux III-V.

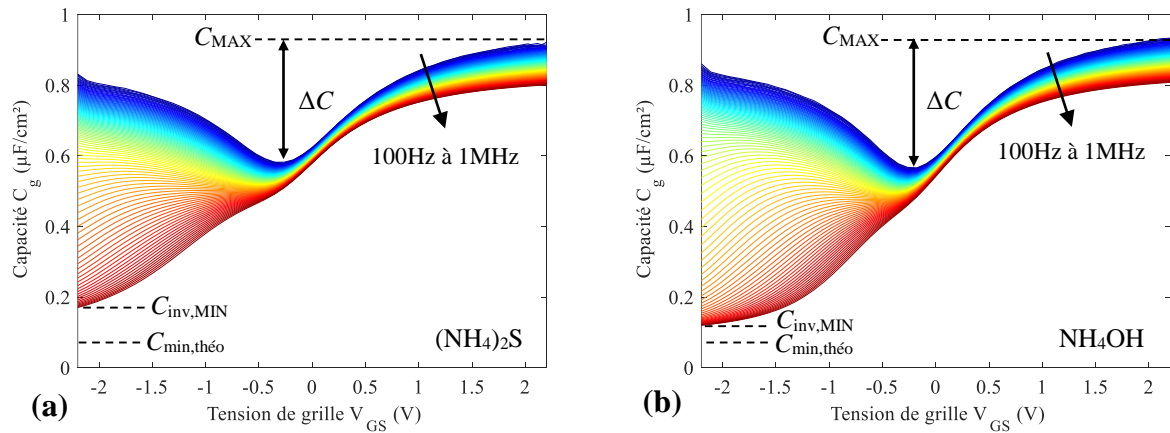


figure 23 – Courbes C_g - V_{GS} des capacités MOS $\text{Al}_2\text{O}_3/n$ -InGaAs après passivation au HCl puis $(\text{NH}_4)_2\text{S}$ (a) ou au NH_4OH (b) pour un diamètre de 500 μm avec une épaisseur d' Al_2O_3 de 4 nm sans traitement plasma O_2 .

Nous avons ensuite étudié l'effet du traitement par plasma O_2 sur la capacité MOS passivée par la solution diluée à 4% de NH_4OH . Les caractéristiques C_g - V_{GS} à température ambiante pour les capacités de diamètre 500 μm passivées au NH_4OH sont représentées en **figure 24.a** sans traitement par plasma O_2 et en **figure 24.b** avec traitement par plasma O_2 . Nous pouvons remarquer une forte dispersion fréquentielle en accumulation (entre $V_{GS} = 1\text{V}$ et $V_{GS} = 2\text{V}$) comme précédemment. Par ailleurs avec le traitement plasma O_2 , nous pouvons observer une large diminution de l'étalement (stretch-out) de C_g en régime de déplétion (entre $V_{GS} = -0,5\text{V}$ et $V_{GS} = 0,5\text{V}$), ce qui indique une nette amélioration de la commande de charges. Cet effet est confirmé par l'augmentation de l'amplitude ΔC . Nous remarquons par ailleurs que la capacité minimale ($C_{inv,MIN} = 0,08 \mu\text{F}/\text{cm}^2$) en régime d'inversion devient constante pour des valeurs de tension de grille $V_{GS} < -0,5\text{V}$ et devient proche de la valeur théorique.

Sur les **figure 24.a** et **figure 24.b**, nous avons tracé en noir la courbe C_g - V_{GS} à une fréquence de 10 KHz. Nous voyons, en régime de faible inversion, que la capacité à 10 KHz est plus faible avec le traitement par plasma O_2 indiquant que la fausse inversion, observée en régime de faible inversion, ne commence que pour des fréquences plus élevées avec le traitement par plasma O_2 , ce qui suggère une diminution de la densité de défauts d'interface [53], [54]. Ainsi l'utilisation du plasma O_2 permet donc de sonder des énergies plus basses vers la bande de valence et de diminuer l'effet d'ancrage du niveau de Fermi [55].

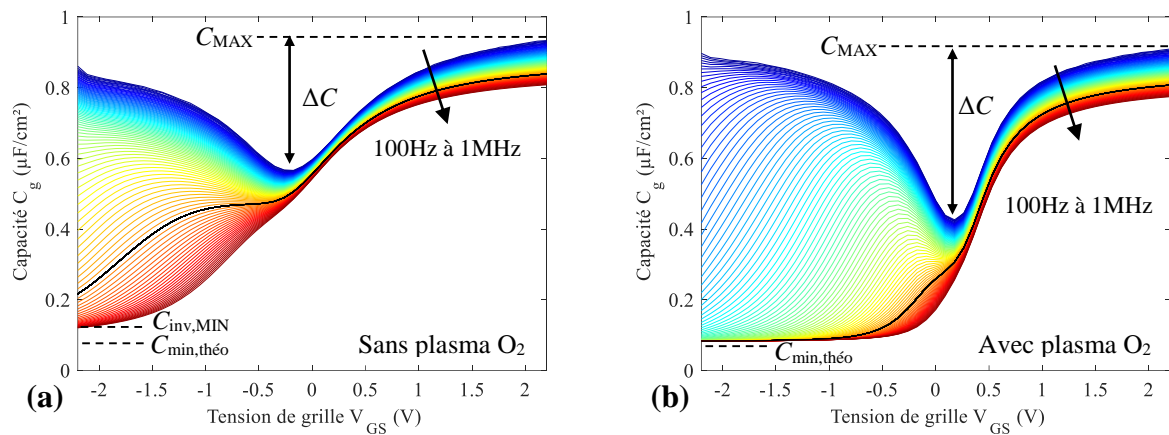


figure 24 – Courbes C_g - V_{GS} de la capacité MOS Al_2O_3 / n -InGaAs passivée au NH_4OH sans (a) et avec traitement plasma O_2 (b) pour un diamètre de $500 \mu\text{m}$ avec une épaisseur totale d' Al_2O_3 de 4 nm .

b) Effet de la passivation et du traitement par plasma O_2 sur la conductance G

L'étude de la conductance G en fonction de la tension de grille V_{GS} permet d'obtenir une information sur la densité de défauts d'interface ainsi que sur les « border traps ».

La **figure 25** montre l'effet de la passivation sur les caractéristiques G - V_{GS} à température ambiante pour des capacités de diamètre $500 \mu\text{m}$ et pour des fréquences de signal dynamique allant de 100 Hz à 1 MHz . Ces capacités ont une épaisseur d' Al_2O_3 de 4 nm et n'ont pas subi de traitement par plasma O_2 . Le premier pic de conductance est dû aux états d'interface en milieu de bande interdite [56] tandis que pour les tensions positives, la conductance est liée aux défauts dans l'oxyde [57], [58]. Premièrement, nous pouvons remarquer qu'il y a peu de différences selon la passivation choisie. Par contre, en comparaison à la passivation $(\text{NH}_4)_2\text{S}$ (**figure 25.a**), la tension au maximum de conductance est déplacée vers les tensions positives de $-1,5 \text{ V}$ à -1 V avec la passivation au NH_4OH (**figure 25.b**), ce qui semble indiquer une légère diminution de la densité de défauts d'interface en milieu de bande interdite.

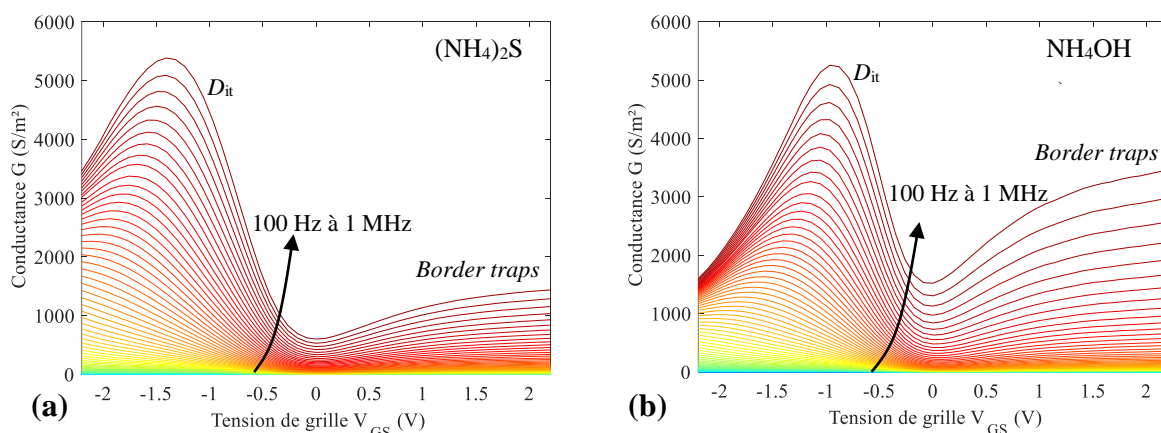


figure 25 – Courbes G - V_{GS} des capacités MOS Al_2O_3 / n -InGaAs après passivation au HCl puis $(\text{NH}_4)_2\text{S}$ (a) ou au NH_4OH (b) pour un diamètre de $500 \mu\text{m}$ avec une épaisseur d' Al_2O_3 de 4 nm sans traitement plasma O_2 .

La **figure 26** montre l'effet du traitement par plasma O_2 sur les caractéristiques $G-V_{GS}$ à température ambiante pour des capacités de diamètre 500 μm pour des fréquences de signal dynamique allant de 100 Hz à 1 MHz. Ces capacités ont une épaisseur totale d' Al_2O_3 de 4 nm et ont subi une passivation au NH_4OH . Avec traitement par plasma O_2 (**figure 26.b**), nous pouvons observer une nette diminution de la conductance mesurée pour des valeurs de tension de grille négative (entre $V_{GS} = -2,2$ V et $V_{GS} = -0,5$ V), ce qui indique une large diminution de la densité de défauts en milieu de gap. De la même manière, un déplacement de la tension au maximum de la conductance vers des valeurs positives avec le traitement par plasma O_2 indique une diminution de la densité de défauts d'interface en milieu de bande interdite.

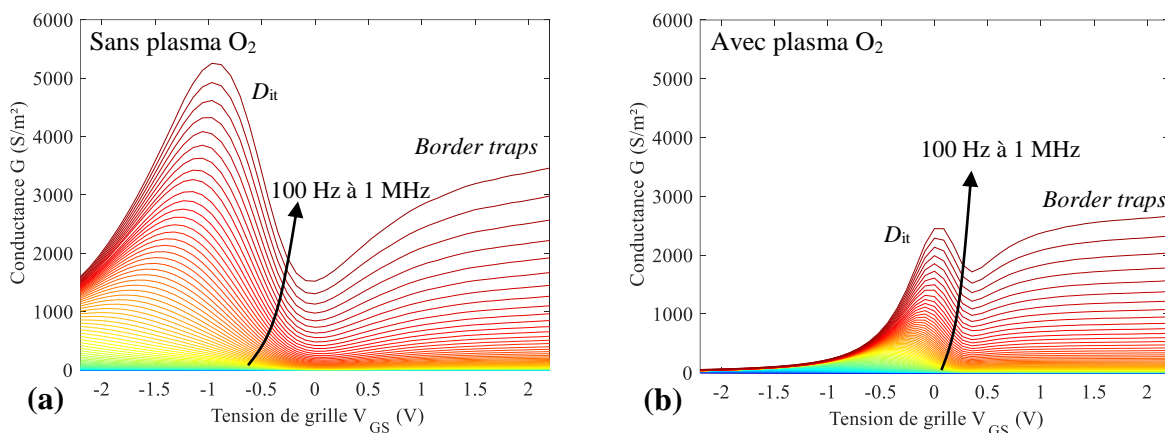


figure 26 – Courbes $G-V_{GS}$ de la capacité MOS Al_2O_3/n -InGaAs passivée au NH_4OH sans (a) et avec traitement plasma O_2 (b) pour un diamètre de 500 μm avec une épaisseur totale d' Al_2O_3 de 4 nm.

De plus une diminution de la conductance pour les tensions de grille $V_{GS} > 0,5$ V avec le plasma O_2 montre une diminution de la quantité de « border traps » en bord de bande de conduction avec ce traitement.

3) Extraction de V_{FB} , Q_F et effet du plasma O_2

La tension de bandes plates correspond à la tension nécessaire à appliquer sur la grille pour annuler les champs électriques dans l'oxyde et le semiconducteur (bandes d'énergie plates). L'extraction de la tension de bandes plates permet notamment de déterminer la quantité de charges fixes dans l'oxyde.

a) Méthodes d'extraction de la tension de bandes plates V_{FB}

La première méthode est de calculer la capacité de bandes plates C_{FB} à partir de la formule (20), puis de déterminer graphiquement la tension V_{FB} . La relation reliant la capacité de bandes plates à la capacité de l'oxyde à température ambiante est donnée par l'équation (20). Pour la structure Al_2O_3/p -InGaAs avec un dopage de l'ordre de $2 \times 10^{16} \text{ cm}^{-3}$ et 10 nm d'alumine, la capacité de bandes plates vaut $C_{FB} \approx 0,23 \mu F/cm^2$.

$$\frac{C_{FB}}{C_{OX}} = \frac{1}{1 + \frac{\epsilon_{OX} \cdot \epsilon_0 \cdot (K_B \cdot T)^{1/2}}{q \cdot t_{OX} \cdot (N_A \cdot \epsilon_{SC} \cdot \epsilon_0)^{1/2}}} \quad (20)$$

La deuxième méthode, de la même manière que proposée par *R. Winter et al.* [59], consiste à déterminer graphiquement le point d'inflexion de la courbe à haute fréquence négligeant ainsi les défauts d'interface. Lorsque le niveau de Fermi (i.e. la tension V_{GS}) passe en deçà de la tension de bande plate, alors le potentiel de surface devient négatif, nous passons d'un régime d'accumulation à déplétion. Afin de déterminer ce point, il faut calculer la dérivée première de $1/(C_{HF}/C_{OX})^2$ en fonction de V_{GS} et d'estimer la valeur de V_{GS} du « genou » de la courbe (accumulation). Un autre moyen est de calculer la dérivée seconde de $1/(C_{HF}/C_{OX})^2$ en fonction de V_{GS} et d'estimer le maximum de la courbe [60]. Nous avons tout d'abord extrait la tension de bande plates V_{FB} pour des capacités MOS Al_2O_3/p -InGaAs ($N_A : 2 \times 10^{16} \text{ cm}^{-3}$) pour différentes épaisseurs d'oxyde déposé (4nm, 10nm et 20nm) après passivation au NH_4OH . Pour cela, nous avons utilisé la seconde méthode décrite ci-dessus utilisant la dérivée première de $1/(C_{HF}/C_{OX})^2$. La **figure 27** représente une mesure C-V à haute fréquence ainsi que la dérivée première de $1/(C_{HF}/C_{OX})^2$ en fonction de V_{GS} lorsque l'épaisseur d'oxyde est de 10 nm. La valeur obtenue de tension de bande plate correspond à la valeur estimée par la première méthode avec C_{FB} .

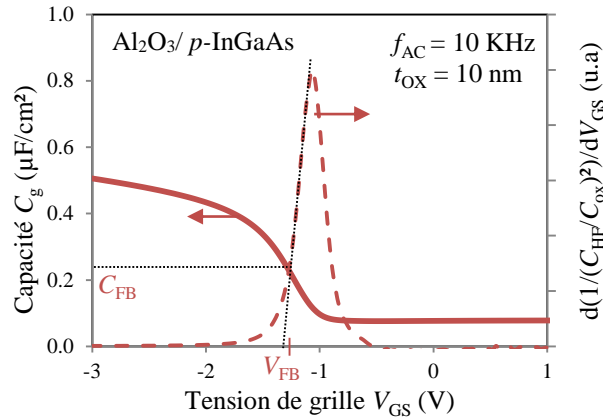


figure 27 - Courbe C_g - V_{GS} à 10 KHz et la dérivée première de $1/(C_{HF}/C_{OX})^2$ pour une capacité MOS Al_2O_3/p -InGaAs d'épaisseur d'oxyde 10 nm permettant d'extraire la tension de bandes plates.

b) Extraction des charges fixes Q_F par variation de l'épaisseur d'oxyde

Une première méthode pour extraire la quantité de charges fixes Q_F dans l'oxyde est de tracer la différence entre la tension de bande plate théorique avec la tension de bande plate mesurée ($\Delta V_{FB} = V_{FB,théo} - V_{FB}$) en fonction de l'épaisseur de l'oxyde t_{OX} (21). Pour les

capacités d'InGaAs dopée p dont le métal de grille est le nickel la valeur théorique est $V_{FB,théo} = 0,016 \text{ V}^4$.

$$\Delta V_{FB} = Q_F \cdot t_{OX} / (\epsilon_0 \epsilon_{OX}) \quad (21)$$

Ainsi, à partir des valeurs extraites de V_{FB} des capacités MOS $\text{Al}_2\text{O}_3/p\text{-InGaAs}$ ($N_A : 2 \times 10^{16} \text{ cm}^{-3}$) d'épaisseurs d'oxyde 4, 10 et 20nm après passivation au NH_4OH , nous avons tracé la différence ΔV_{FB} en fonction de l'épaisseur de l'oxyde t_{OX} (**figure 28**). La quantité de charges extraite à partir de la pente est $Q_F = 4,89 \times 10^{12} \text{ cm}^{-2}$.

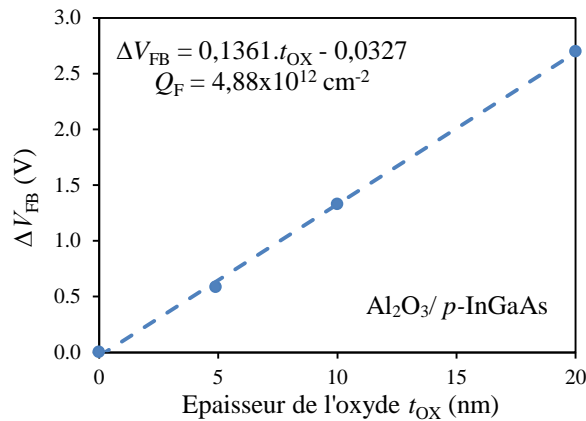


figure 28 – Courbe de la variation de ΔV_{FB} en fonction de l'épaisseur de l'oxyde permettant de déduire la quantité de charges fixes dans l'oxyde.

c) Effet de la passivation et du plasma O_2 sur les quantités Q_F et Q_M

Une seconde méthode pour déterminer la quantité de charges fixes Q_F dans l'oxyde est de calculer la différence entre la tension de bandes plates V_{FB} avec la valeur théorique de la tension de bandes plates à un dopage donné ($Q_F = (V_{FB,théo} - V_{FB}) \cdot C_{OX}$). Les valeurs de tension de bandes plates ont été extraites à l'aide de la dérivée première de la courbe à $1/(C_{HF}/C_{OX})^2$ pour les différents échantillons de capacités MOS $\text{Al}_2\text{O}_3/\text{InGaAs}$ dopée n ($N_D : 2 \times 10^{16} \text{ cm}^{-3}$) passivées au $(\text{NH}_4)_2\text{S}$ ou NH_4OH sans et avec plasma O_2 . Nous avons choisi d'utiliser la courbe à basse fréquence car à haute fréquence, la fausse inversion entraîne l'apparition d'un second maximum de la dérivée première de $1/(C_{HF}/C_{OX})^2$ faussant la valeur extraite de V_{FB} . La **figure 29.a** montre les quantités de charges fixes ainsi extraites pour chaque échantillon. Nous pouvons voir que le traitement par plasma O_2 permet de réduire la quantité de charges fixes dans l'oxyde.

D'autres charges composent l'oxyde, il s'agit des charges mobiles Q_M apportées par les ions durant la croissance de l'oxyde. Les charges mobiles entraînent une hystérèse due au

⁴ $V_{FB,théo} = \Phi_M - \Phi_S = \Phi_M - X_S + E_g - (K_B \cdot T/q) \cdot \ln(N_V/N_A)$

mouvement des charges dans l'oxyde. En effet, il faut appliquer plus de tension sur la grille pour être dans le même état que lors de la variation de tension en sens inverse. Nous avons effectué des mesures d'hystérésis pour chaque échantillon à haute fréquence 1 MHz pour négliger les effets dus aux défauts d'interface (**figure 29.b**). Ainsi la quantité de charges mobiles s'exprime par $Q_M = (V_{FB,aller} - V_{FB,retour}).C_{OX}$

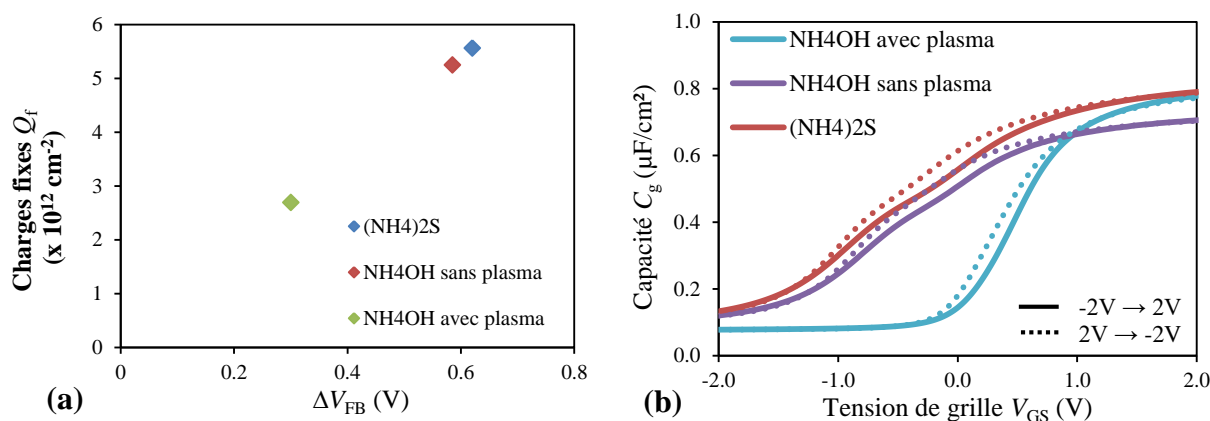


figure 29 – Quantité de charges fixes dans l'oxyde en fonction de chaque échantillon (a) et courbes d'hystérésis pour les différents échantillons de capacités MOS Al_2O_3/n -InGaAs à 1 MHz d'épaisseur d'oxyde 4 nm (b).

Le **tableau 3** ci-dessous résume les valeurs de tensions de bandes plates et de quantités de charges ainsi extraites.

Traitement	V_{FB} (V)	Q_F (cm^{-2})	$ \Delta V_{FB} $ (V)	Q_M (cm^{-3})
HCl puis $(NH_4)_2S$	-0,05	$5,57 \times 10^{12}$	0,22	$1,97 \times 10^{12}$
NH_4OH	-0,04	$5,25 \times 10^{12}$	0,20	$1,79 \times 10^{12}$
NH_4OH puis plasma O_2	0,31	$2,69 \times 10^{12}$	0,12	$1,10 \times 10^{12}$

tableau 3 – Valeurs des tensions de bandes plates (V_{FB}) et de quantités de charges fixe (Q_F) dans l'oxyde extraites graphiquement ainsi que l'estimation de la quantité de charges mobiles (Q_M) à l'aide d'une mesure d'hystérèse à haute fréquence.

Nous pouvons voir que le plasma d'oxygène engendre une diminution du nombre de charges fixes dans l'oxyde tandis que la quantité de charges mobiles reste quasiment constante. Cependant les valeurs élevées de l'ordre de $10^{12} cm^{-3}$ pour les charges mobiles peuvent être exagérées à cause des valeurs de D_{it} élevées sur les matériaux III-V. Ainsi nous pouvons affirmer une amélioration de l'oxyde par le traitement par plasma O_2 .

4) Extraction de la densité de défauts d'interface et effet du plasma O₂

a) Différentes méthodes d'amélioration de la D_{it} à l'interface Al₂O₃/ InGaAs

Dans le cas de l'InGaAs, les défauts d'interface sont principalement dus aux liaisons pendantes sur le Ga ou l'As ainsi qu'aux liaisons As-As (ou Ga-Ga) en surface [61]. Le **tableau 4** présente l'effet de différents traitements sur la densité de défauts d'interface pour les capacités MOS InGaAs. Nous notons essentiellement une réduction de la D_{it} en milieu de bande interdite ou alors un déplacement du minimum de D_{it} vers la bande de valence (BV). Les valeurs extraites sont de l'ordre de $1 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ bien que les traitements utilisant la création d'une couche d'interface tendent à diminuer la valeur de densité de défauts d'interface.

Traitement	Oxyde	PDA	Effet sur D_{it}	Réf.
NH ₄ OH	Al ₂ O ₃ (5nm)	400°C N ₂ (30min)	Réduction de D_{it} (à mi-bande interdite), $D_{it} = 2 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[5]
(NH ₄) ₂ S	Al ₂ O ₃ (3,4nm)	350°C N ₂ (30sec)	$D_{it} = 2,5 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[14]
Plasma H ₂ /TMA	Al ₂ O ₃ (3,2nm)	400°C N ₂ H ₂ (1h)	Déplacement minimum de D_{it} vers BV, $D_{it} = 1,7 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[24]
Plasma N ₂ /TMA	HfO ₂ /Al ₂ O ₃ (0,7nm)	400°C N ₂ H ₂ (15min)	Réduction de D_{it} (à mi-bande interdite), $D_{it} = 2 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[26]
AlN à l'interface	Al ₂ O ₃ PEALD	450°C N ₂ (2min)	$D_{it} = 8 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[62]
Nitridation	Al ₂ O ₃ (5,3nm)	500°C N ₂ (1min)	Déplacement minimum de D_{it} vers BV, $D_{it} = 2 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$	[21]

tableau 4 - Résumé de différentes études sur l'effet du traitement avant dépôt d'oxyde sur la densité de défauts à l'interface Al₂O₃/ InGaAs.

b) Extraction de la D_{it} par la méthode de la conductance

La première méthode dite « de la conductance » a été proposée en 1967 par *B. H. Nicollian and A. Goetzberger* [46]. Cette technique consiste à extraire la conductance parallèle G_p en fonction de la tension de polarisation et de la fréquence du signal dynamique. En comparant terme à terme l'impédance totale des circuits équivalents (**figure 22**), nous pouvons déterminer les formules de la capacité parallèle C_p (22) et de la conductance parallèle G_p (23).

$$C_p = C_s + \frac{C_{it}}{1 + (\omega \cdot \tau_{it})^2} \quad (22)$$

Et

$$\frac{G_p}{\omega} = \frac{q\omega D_{it}\tau_{it}}{1 + (\omega \cdot \tau_{it})^2} \quad (23)$$

Où ω est la pulsation du signal dynamique appliquée. Le temps de relaxation τ_{it} (24) des défauts d'interface est relié à la différence d'énergie ΔE entre l'énergie du niveau d'interface E_{it} et la bande d'énergie du porteur majoritaire (E_C si dopé n et E_V si dopé p) [63].

$$\tau_{it} = \frac{\exp(\frac{\Delta E}{K_B \cdot T})}{\sigma \cdot v_{th} \cdot N_{C,V}} \quad (24)$$

Avec

$$v_{th} = \sqrt{3 \cdot K_B T / m} \quad (25)$$

Où σ est la section efficace de capture et v_{th} la vitesse de diffusion thermique des porteurs. La **figure 30** présente l'évolution de la « fréquence » de relaxation $\omega_{it} = 1/\tau_{it}$ en fonction de la position en énergie des défauts d'interface dans la bande interdite pour différentes températures. Nous voyons que la fréquence de relaxation du défaut d'interface nous renseigne sur sa position dans la bande interdite. Les niveaux énergétiques des défauts donneurs sont proches de la bande de valence et plus ils se situent en milieu de bande interdite plus leur temps de relaxation sera grand. Les niveaux énergétiques des défauts accepteurs sont proches de la bande de conduction et plus ils se situent en milieu de bande interdite plus leur temps de relaxation sera grand.

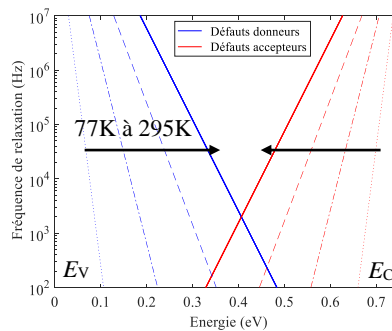


figure 30 – Modélisation de la fréquence de relaxation $\omega_{it} = 1/\tau_{it}$ en fonction de l'énergie E_{it} du défaut d'interface pour différentes températures ($\sigma = 10^{14} \text{ cm}^2$).

Lorsque la « fréquence » ω du signal dynamique appliqué sur la grille correspond à la fréquence de relaxation du défaut d'interface τ_{it} alors ce dernier peut interagir avec la charge du semiconducteur. Cela se traduit donc par un maximum de conductance, i.e., un maximum de G_p/ω lorsque $\omega \cdot \tau_{it} = 2$. En ce point, nous pouvons déduire la densité de défauts d'interface D_{it} (26).

$$D_{it} = \frac{2,5}{q \cdot S} \cdot \left(\frac{G_p}{\omega} \right)_{max} \quad (26)$$

Expérimentalement le terme G_p/ω (27) se détermine à partir des mesures de la capacité C_g et de la conductance G puis par identification avec les schémas équivalents (**figure 22**).

$$\frac{G_p}{\omega} = \frac{\omega G C_{OX}}{G^2 + \omega^2 \cdot (C_{OX} - C_g)^2} \quad (27)$$

Nous avons alors extrait les valeurs de G_p/ω pour les capacités MOS Al_2O_3/n -InGaAs passivées au $(NH_4)_2S$ ou au NH_4OH sans et avec plasma O_2 . Nous avons représenté l'évolution de G_p/ω en fonction de la fréquence du signal dynamique (de 200 Hz à 1 MHz) et de la tension V_{GS} (de -2V à 2V) pour l'échantillon passivé au $(NH_4)_2S$ (**figure 31.a**), passivé au NH_4OH sans plasma O_2 (**figure 31.b**) et passivé au NH_4OH avec plasma O_2 (**figure 31.c**).

Dans le cas des capacités MOS à dopage n , en régime d'accumulation (à $V_{GS} = 2$ V), les charges du semiconducteur interagissent majoritairement avec les défauts accepteurs car le niveau de Fermi est proche de la bande de conduction. Ensuite, en faisant varier la tension V_{GS} , le niveau de Fermi va balayer la bande interdite du semiconducteur jusqu'à la bande de valence. Cependant les défauts d'interface peuvent empêcher ce mouvement et ancrer le niveau de Fermi. Sachant que la fréquence du maximum de G_p/ω correspond à la fréquence de relaxation du défaut et donc de sa position dans la bande interdite, un mouvement horizontal (en fréquence) du maximum de G_p/ω en fonction de V_{GS} va indiquer l'ancrage de E_F . Au contraire, un mouvement vertical (en fréquence) du maximum de G_p/ω en fonction de V_{GS} va indiquer le balayage de E_F dans la bande interdite. Le mouvement du maximum de G_p/ω est représenté par une flèche sur chaque courbe en régime d'inversion et déplétion.

Nous pouvons observer que le mouvement du maximum de G_p/ω n'est pas modifié selon la passivation. Cependant, le mouvement du maximum de G_p/ω tend à être plus vertical (en fréquence) avec le plasma O_2 , ce qui suggère une diminution de l'ancrage du niveau de Fermi. De plus en régime de forte inversion (à $V_{GS} = -2V$), pour les échantillons sans plasma O_2 , le maximum de G_p/ω (à $V_{GS} = -2V$) se situe à une fréquence de 20 KHz tandis que pour l'échantillon avec plasma O_2 le maximum de G_p/ω se situe à une fréquence de 400 Hz. Or le

temps de relaxation (24) étant relié à la position énergétique du défaut d'interface dans la bande interdite alors le déplacement du maximum de G_p/ω vers les basses fréquences indique un balayage de E_F vers des énergies plus proches de E_V [64]. Pour l'échantillon sans plasma O_2 dont les défauts au minimum de D_{it} possèdent un temps de relaxation τ_1 , le signal de fréquence f_1 permettra aux défauts d'interface de réagir pour émettre (ou piéger) une charge. Pour l'échantillon avec plasma O_2 dont le minimum de D_{it} est plus proche de la bande de valence, le temps de relaxation de ces défauts d'interface τ_2 est donc supérieur à τ_1 . Ainsi en appliquant ce même signal à la fréquence f_1 , le temps de relaxation des défauts est trop long pour que les défauts d'interface réagissent pour émettre ou piéger une charge (**figure 32.a**). Il faudrait alors un signal dynamique à une fréquence f_2 plus faible. Cela traduit encore une fois l'amélioration du contrôle des charges et le meilleur balayage du niveau de Fermi dans la bande interdite. Ainsi nous pouvons dire que l'efficacité du balayage du niveau de Fermi est améliorée avec le traitement par plasma O_2 .

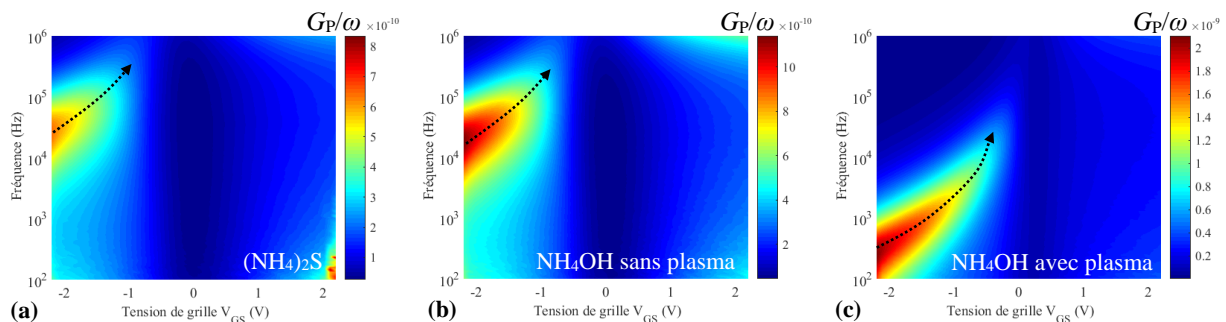


figure 31 – Évolution de G_p/ω en fonction de la fréquence et de la tension V_{GS} pour les capacités MOS Al_2O_3/n -InGaAs passivées au $(NH_4)_2S$ (a), au NH_4OH sans plasma O_2 (b) et avec plasma O_2 (c).

La **figure 32.b** présente l'évolution de la densité de défauts d'interface en fonction de l'énergie dans la bande interdite de l'InGaAs pour différentes passivations ainsi qu'avec le traitement par plasma O_2 . Nous pouvons noter le déplacement en tension du minimum de D_{it} avec le plasma O_2 vers la bande de valence bien que la D_{it} soit supérieure à celle sans plasma O_2 . Or nous avons remarqué une amélioration de la commande des charges avec le plasma O_2 , nous pouvons donc suggérer que le déplacement du minimum de D_{it} indique un meilleur mouvement du niveau de Fermi dans la bande interdite du semiconducteur.

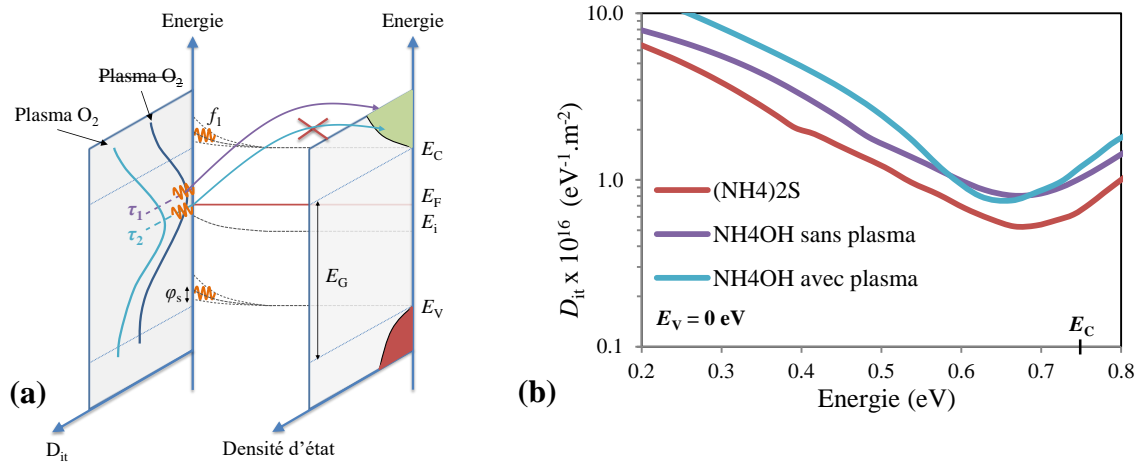


figure 32 – Schéma montrant la réaction des défauts d’interface en fonction de la fréquence du signal dynamique (a). Évolution de la densité de défauts d’interface en fonction de l’énergie dans la bande interdite de l’InGaAs pour les deux traitements au $(\text{NH}_4)_2\text{S}$ (rouge) et au NH_4OH (violet) avec un traitement par plasma O_2 (bleu) (b).

Les valeurs minimales de densité de défauts d’interface, après les passivations au $(\text{NH}_4)_2\text{S}$ et au NH_4OH , sont respectivement de l’ordre de $4 \times 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$ et $9 \times 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$. Tandis qu’après une passivation au NH_4OH suivi d’un traitement par plasma O_2 postoxydation, la densité minimale de défauts d’interface est légèrement réduite de l’ordre de $8 \times 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$.

Le point négatif de cette méthode est la sous-estimation de la valeur de densité de défauts d’interface [48], [55]. En effet, il est reporté que si la valeur de C_{it} est supérieure à celle de C_{OX} alors la mesure d’impédance va être dominée par C_{OX} et non C_{it} ayant pour effet de sous-estimer la valeur de D_{it} [65].

c) Extraction de la D_{it} par la méthode HF-LF

La deuxième technique que nous avons utilisée est la méthode haute-fréquence – basse-fréquence (HF-LF). Cette dernière est moins précise que la méthode de la conductance à cause de la dispersion fréquentielle en accumulation due aux border traps. Nous pouvons alors représenter les schémas équivalents de la structure MOS pour un signal dynamique à basse fréquence (**figure 33.a**) et à haute fréquence (**figure 33.b**).

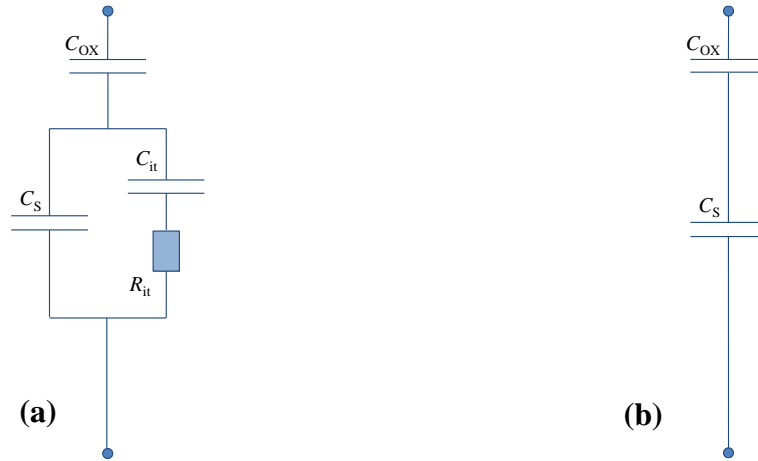


figure 33 – Schémas équivalents de la structure MOS pour un signal dynamique à basse fréquence (a) et à haute-fréquence (b).

À faible fréquence le signal dynamique est suffisamment lent pour que les défauts d'interface réagissent et participent à la capacité totale C_{LF} (28). À haute fréquence, le signal dynamique est trop rapide pour que les défauts d'interface réagissent et participent à la capacité totale C_{HF} (29).

$$\frac{1}{C_{LF}} = \frac{1}{C_{OX}} + \frac{1}{C_{it} + C_S} \quad (28)$$

Et

$$\frac{1}{C_{HF}} = \frac{1}{C_{OX}} + \frac{1}{C_S} \quad (29)$$

Ainsi, en isolant le terme C_{it} de la capacité à basse fréquence C_{LF} puis en y remplaçant la capacité de semiconducteur C_S isolée de la capacité à haute fréquence C_{HF} , nous pouvons déterminer la densité de défauts d'interface $D_{it} = q \cdot C_{it}$ par unité de surface S (30).

$$D_{it} = \frac{C_{OX}}{q^2 \cdot S} \left(\frac{C_{LF}/C_{OX}}{1 + C_{LF}/C_{OX}} - \frac{C_{HF}/C_{OX}}{1 + C_{HF}/C_{OX}} \right) \text{ en } eV^{-1} \cdot cm^{-2} \quad (30)$$

Les **figure 34.a** et **figure 34.b** montrent l'évolution de la densité de défauts d'interface en fonction de l'énergie dans la bande interdite de l'InGaAs et de la tension V_{GS} appliquée. Nous pouvons voir encore une fois un décalage du minimum de D_{it} avec le traitement par plasma O_2 . Son décalage vers les tensions positives avec le traitement plasma O_2 montre qu'il faut appliquer moins de tension sur la grille pour se situer plus bas dans la bande interdite. De plus son décalage vers la bande de valence indique un balayage des niveaux accepteurs plus bas dans la bande interdite avec le plasma O_2 (**figure 34.d**). En effet, ces niveaux sont reliés à un temps de relaxation et plus les défauts sont proches de E_V plus leur temps de relaxation est élevé (fréquence de relaxation faible) (**figure 34.c**). Ainsi avec le plasma O_2 , les niveaux

accepteurs proches de la bande de valence vont réagir ce qui montre une diminution de l'ancrage du niveau de Fermi.

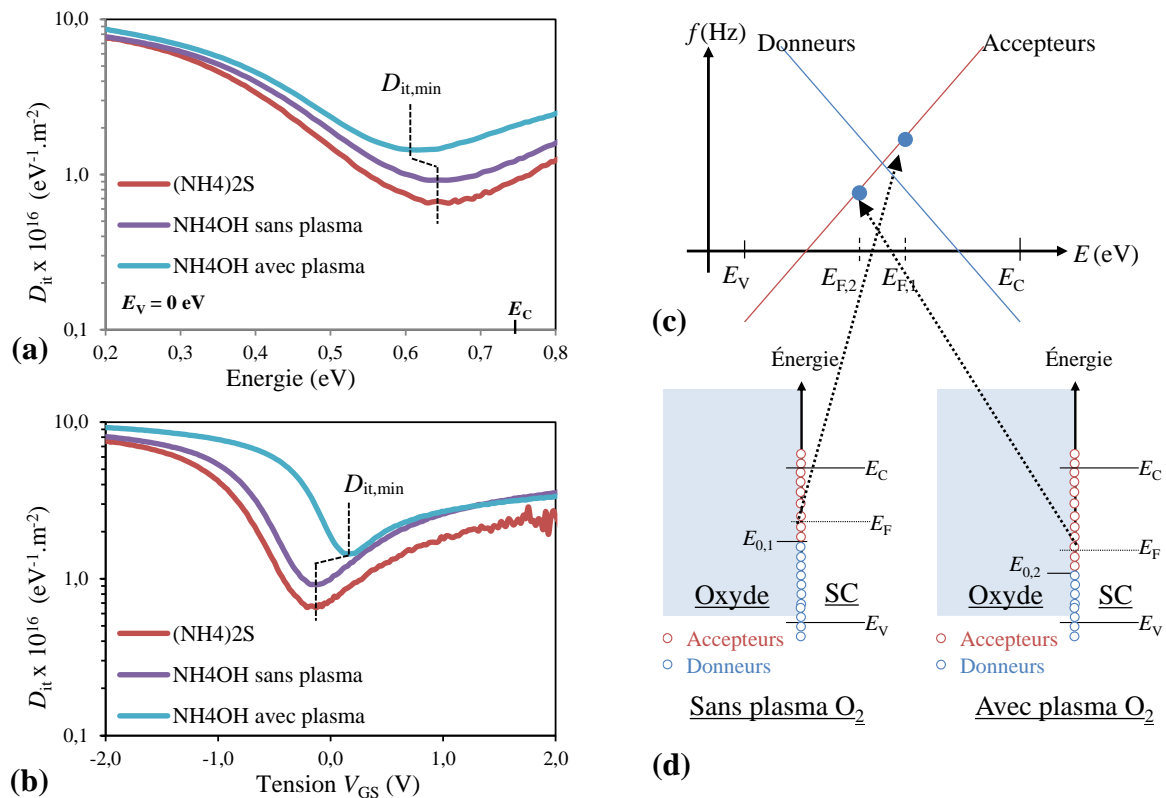


figure 34 – Courbe de densité de défauts d’interface D_{it} en fonction de l’énergie dans la bande interdite de l’InGaAs (a) et de V_{GS} (b) pour les deux traitements au $(\text{NH}_4)_2\text{S}$ (rouge) et au NH_4OH (violet) avec un traitement par plasma O_2 (bleu). Fréquence de relaxation des niveaux donneurs et accepteurs en fonction de l’énergie dans la bande interdite (c) et schéma de la répartition des niveaux donneurs et accepteurs sans ou avec plasma O_2 à $V_{GS} = -2 \text{ V}$ (d).

5) Extraction de la densité de « Border traps » et effet du plasma O_2

a) Méthode d’extraction de la densité de « Border traps » D_{bt} dans l’oxyde

De nombreuses recherches ont été effectuées pour réduire la densité minimale de défauts d’interface qui reste élevée ($1 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$) pour une structure $\text{Al}_2\text{O}_3/\text{InGaAs}$. La diminution de la densité de défauts d’interface reste un atout pour améliorer la commande des charges dans le canal. Cependant la réduction des défauts dans l’oxyde reste également un défi majeur. Ces défauts nommés « border traps » [2], [52], de densité D_{bt} , résident dans le diélectrique (proche de l’interface avec le semiconducteur) et leurs niveaux énergétiques sont situés dans la bande de conduction du semiconducteur. Les électrons du semiconducteur interagissent avec ces pièges dans l’oxyde par effet tunnel (**figure 35.a**) et leurs interactions ne dépendent que très peu de la température [66], [67]. À ce jour les principaux moyens afin de diminuer la valeur de D_{bt} est d’effectuer un recuit après dépôt ou de réduire la température de dépôt par ALD [57], [68], [69].

Ces « border traps » sont la source principale de la dispersion fréquentielle en régime d'accumulation (d'électrons) [57]. L'une des caractéristiques importantes est donc leur temps de relaxation τ_{bt} qui dépend exponentiellement de la profondeur du défaut dans l'oxyde [70] et correspond au temps de piégeage (dépiégeage) d'un électron dans un défaut.

$$\tau_{bt}(x) = \tau_0 e^{2\kappa x} \quad (31)$$

Où τ_0 est inversement proportionnel à la densité d'états du semiconducteur, κ le coefficient d'atténuation de la fonction d'onde de l'électron et x la profondeur du défaut dans l'oxyde. Le coefficient d'atténuation dépend de la position du niveau énergétique E_{bt} par rapport au bas de la bande de conduction de l'oxyde $E_{C,OX}$ (**figure 35.a**) et est défini par $\kappa = \sqrt{2m_{OX} \cdot (E_{C,OX} - E_{bt})}$. Un schéma équivalent a été proposé par *Y. Yuan et al.* [58] représenté en (**figure 35.b**) permettant d'extraire D_{bt} . Celui-ci est basé sur un modèle distribué de la densité de « border traps » dans l'oxyde.

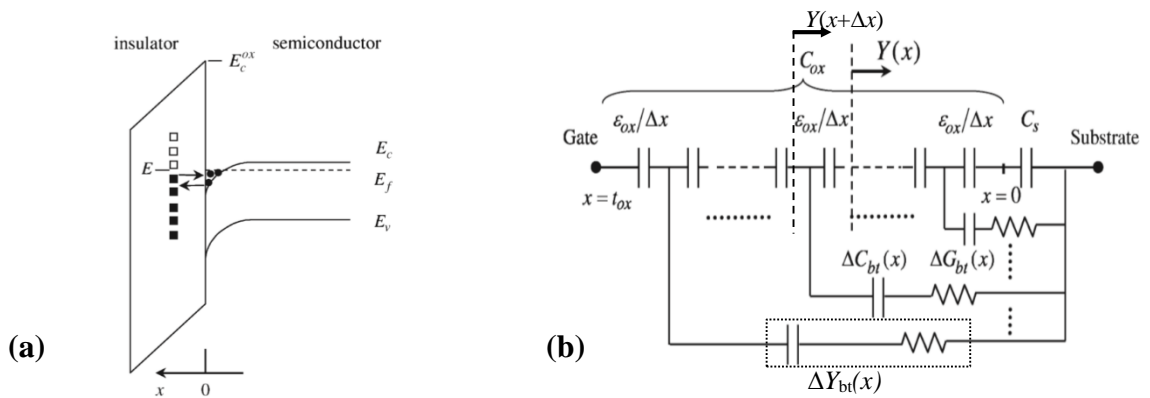


figure 35 – Diagramme représentant l'interaction par effet tunnel entre les charges du semiconducteur et les border traps (a). Schéma équivalent d'une capacité MOS en accumulation avec prise en compte des défauts distribués dans la profondeur de l'oxyde (b) [58].

À chaque branche correspond une admittance $\Delta Y_{bt}(x)$, il est ainsi possible de définir une capacité $\Delta C_{bt}(E, x)$ et une conductance $\Delta G_{bt}(E, x)$ entre x et $x + \Delta x$ connectées en série. L'admittance à la profondeur x est définie par $Y(x)$ tandis que l'admittance à une distance $x + \Delta x$ est définie par $Y(x + \Delta x)$.

$$Y(x + \Delta x) = \Delta Y_{bt}(x) + \frac{1}{\frac{\Delta x}{j\omega \epsilon_{OX}} + \frac{1}{Y(x)}} \quad (32)$$

Où

$$\Delta Y_{bt}(x) = \frac{q^2 D_{bt} \ln(1 + j\omega \tau(x))}{\tau(x)} \Delta x \quad (33)$$

En remplaçant (33) dans (32) et en faisant le développement limité au premier ordre, il est possible de trouver l'équation différentielle régissant l'évolution de $Y(x)$ (34).

$$\frac{dY(x)}{dx} = \frac{-Y(x)^2}{j\omega\epsilon_{OX}} + \frac{q^2 D_{bt} \ln(1 + j\omega\tau(x))}{\tau(x)} \quad (34)$$

Ainsi, en résolvant l'équation de $Y(x)$ en $x = t_{OX}$ et en identifiant ce résultat avec la mesure de l'admittance de notre capacité $Y(t_{OX}) = G + j\omega C_g$ [71], il est possible d'extraire les différentes grandeurs caractéristiques des « border traps ». La condition initiale étant $Y(x=0) = j\omega C_s$.

b) Estimation de la densité de « Border traps » D_{bt} dans l'oxyde et plasma O_2

Nous avons extrait les différentes densités de « border traps » pour les capacités MOS Al_2O_3/n -InGaAs après passivations NH_4OH et $(NH_4)_2S$ ainsi que pour la capacité MOS Al_2O_3/n -InGaAs avec plasma O_2 . La méthode repose sur la comparaison de la capacité C_g et de la conductance G mesurées en accumulation (ici $V_{GS} = 2$ V) avec le modèle proposé par *Y. Yuan et al.* (**figure 36**). Le paramètre D_{bt} est ensuite extrait en fittant les courbes expérimentales. Dans chaque cas, t_{OX} est fixée à 5 nm (5,3 nm avec plasma O_2).

Pour les échantillons sans plasma O_2 , les constantes $\kappa = 4,25 \text{ nm}^{-1}$, $\tau_{bt} = 2 \times 10^{-7} \text{ s}$, $D_{bt,NH_4OH} = 6,2 \times 10^{19} \text{ eV}^{-1} \cdot \text{cm}^{-3}$ et $D_{bt,NH_4_2S} = 6,0 \times 10^{19} \text{ eV}^{-1} \cdot \text{cm}^{-3}$ ont été utilisées. La passivation n'entraîne donc pas de changements significatifs de la densité de « border traps ». Pour l'échantillon avec plasma O_2 , les constantes utilisées sont $\kappa = 3,95 \text{ nm}^{-1}$, $\tau_{bt} = 2 \times 10^{-7} \text{ s}$, $D_{bt,NH_4OH} = 6,2 \times 10^{19} \text{ eV}^{-1} \cdot \text{cm}^{-3}$. Nous voyons que la densité de défauts d'interface n'est pas modifiée, cependant le terme κ est diminué. En effet la bande de conduction du semiconducteur est plus proche de la bande de valence avec le procédé de plasma d'oxygène (cf. partie II.7)). Ainsi, à faible fréquence, la distance d'interaction ($x_{tunn} = 1/2\kappa \cdot \ln(1/\omega\tau_0)$) des charges du semiconducteur avec les défauts d'interface dans l'oxyde est plus petite après plasma d'oxygène.

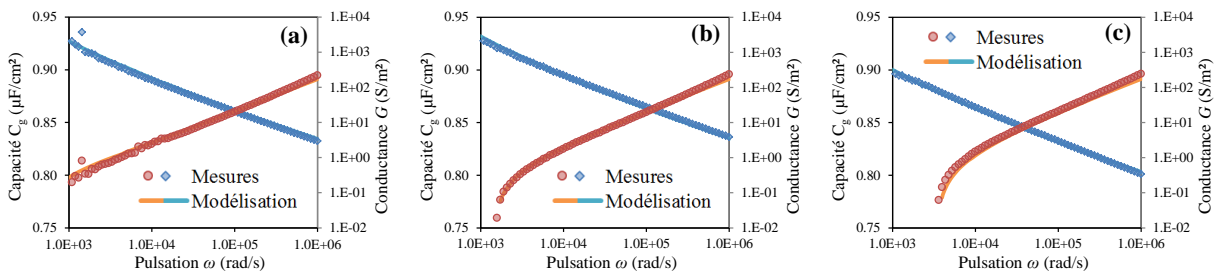


figure 36 - Évolution fréquentielle de capacité (en bleu) et de la conductance (en rouge) sur les capacités MOS Al_2O_3/n -InGaAs en régime d'accumulation ($V_{GS} = 2$ V) après traitement au $(NH_4)_2S$ (a), au NH_4OH (b) et avec plasma O_2 (c).

Nous venons donc de voir que la passivation n'entraîne que très peu de modification de la densité de défauts d'interface ou de la densité de border traps. Les valeurs obtenues sont similaires à celles observées dans la littérature (respectivement, $D_{it,min} \approx 1 \times 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ et $D_{bt} \approx 5 \times 10^{19} \text{ eV}^{-1} \cdot \text{cm}^{-3}$ [72]). De plus, nous avons remarqué que le plasma O_2 entraîne un déplacement du minimum de D_{it} vers la bande de valence du semiconducteur.

c) Courant de fuite de grille I_G

Une mesure statique I_G - V_{GS} permet de déterminer le courant de fuite de la grille (**figure 37**). Le courant de fuite est généralement dû aux défauts dans l'oxyde et le passage du courant se fait par effet tunnel Fowler-Nordheim [73]. Nous pouvons remarquer que des valeurs de densité de courant de fuite J_G inférieures à $1 \times 10^{-5} \text{ A} \cdot \text{cm}^{-2}$ ont été obtenues, ce qui indique une bonne qualité d'oxyde.

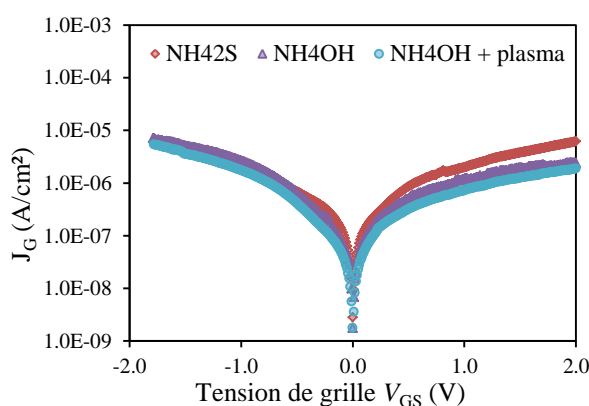


figure 37 – Mesures du courant de fuite I_G de la capacité MOS pour les différents traitements.

6) Caractérisations électriques de l'interface $\text{HfO}_2/\text{Al}_2\text{O}_3/n\text{-In}_{0,53}\text{Ga}_{0,47}\text{As}$

L'utilisation d'oxyde à grande constante diélectrique tel que le HfO_2 ($\epsilon_r \approx 26$) permet d'obtenir des épaisseurs effectives d'oxyde faibles tout en limitant le courant de fuite I_G . Afin d'étudier l'effet de l'ajout de HfO_2 , nous avons caractérisé la capacité MOS $\text{HfO}_2/\text{Al}_2\text{O}_3/n\text{-InGaAs}$. Pour rappel, nous avons déposé par ALD 2 nm d' Al_2O_3 suivi de 5 nm de HfO_2 après une passivation au NH_4OH . La **figure 38** présente les évolutions de la capacité et de la conductance en fonction de la tension appliquée sur la grille pour une capacité MOS de diamètre 500 μm pour des fréquences de signal dynamique allant de 100 Hz à 1 MHz. En régime d'accumulation (entre $V_{GS} = 0,5 \text{ V}$ et $V_{GS} = 2,2 \text{ V}$), la valeur de C_{MAX} ($1,3 \mu\text{F}/\text{cm}^2$) est inférieure à la valeur théorique de C_{OX} ($1,74 \mu\text{F}/\text{cm}^2$) en raison de la capacité C_{DOS} ($2,87 \mu\text{F}/\text{cm}^2$). Nous pouvons aussi noter que la fausse inversion est réduite et que la capacité minimale en inversion se rapproche de la valeur théorique indiquant que le contrôle des charges est amélioré par rapport à l' Al_2O_3 seul. De plus, l'étalement de la capacité à faible fréquence en régime de déplétion (entre $V_{GS} = -0,5 \text{ V}$ et $V_{GS} = 0,5 \text{ V}$) est réduit tandis que

l'amplitude ΔC est plus élevée par rapport à l' Al_2O_3 seul. L'observation de la courbe de conductance permet de déduire que les densités de défauts d'interface et de border traps plus élevées à l'interface $\text{HfO}_2/\text{Al}_2\text{O}_3/n\text{-InGaAs}$.

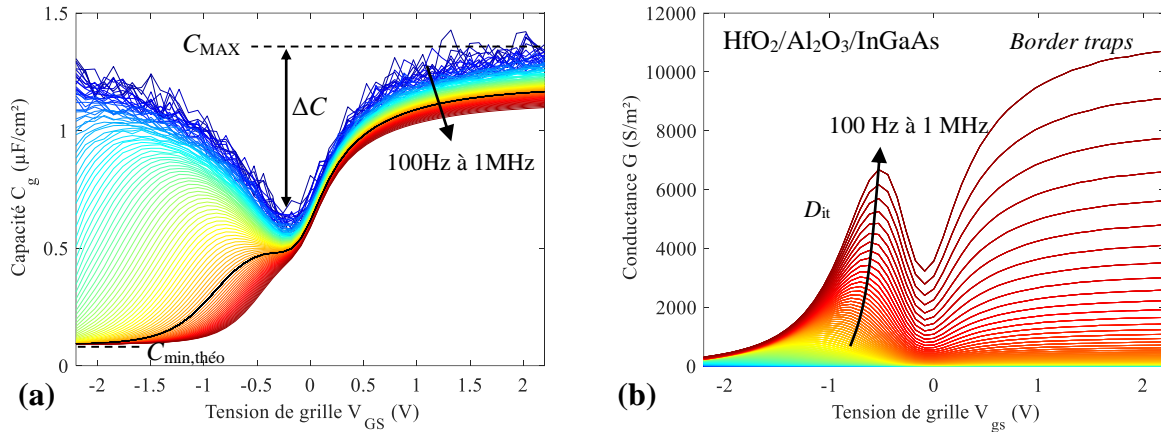


figure 38 – Évolution de la capacité (a) et de la conductance (b) en fonction de la polarisation appliquée sur la grille V_{GS} d'une capacité MOS $\text{HfO}_2/\text{Al}_2\text{O}_3/n\text{-InGaAs}$. La courbe $C_g\text{-}V_{GS}$ à 100 KHz est tracée en noir afin d'observer la fausse inversion.

La densité de défauts d'interface a été évaluée premièrement à l'aide de la méthode HF-LF ($D_{it,min} = 1,5 \times 10^{12} \text{ eV}^{-1}.\text{cm}^{-2}$) (**figure 39.a**). Cette valeur est plus élevée que pour l'empilement $\text{Al}_2\text{O}_3/\text{InGaAs}$ mais reste de l'ordre de grandeur des résultats obtenus par d'autres équipes [33]. Dans un second temps, nous avons tracé la carte de conductance (**figure 39.b**) puis extrait le maximum afin d'estimer la densité de défauts d'interface à son minimum ($D_{it,min} = 2,7 \times 10^{12} \text{ eV}^{-1}.\text{cm}^{-2}$). La valeur de D_{it} à l'interface $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{InGaAs}$ légèrement supérieure à celle obtenue à l'interface $\text{Al}_2\text{O}_3/\text{InGaAs}$ après passivation au NH_4OH ($D_{it,min} = 9 \times 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$) peut s'expliquer par le fait que des défauts peuvent se créer lors du recuit de l'oxyde.

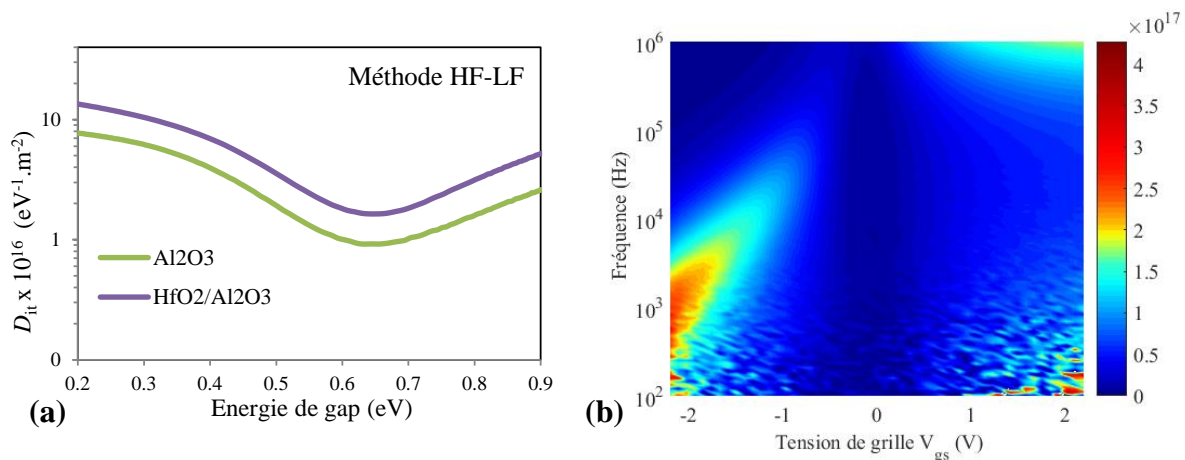


figure 39 – Représentation de la densité de défauts d'interface en fonction de l'énergie pour les capacités MOS $\text{Al}_2\text{O}_3/n\text{-InGaAs}$ et $\text{HfO}_2/\text{Al}_2\text{O}_3/n\text{-InGaAs}$ (a) et évolution de G_p/ω pour cette dernière (b).

La tension de bandes plates extraite par comparaison avec la valeur théorique est $V_{FB} = 0,13$ V, ce qui indique une quantité de charges fixes de l'ordre de $Q_F = 4,6 \times 10^{12} \text{ cm}^{-2}$ plus faible que pour l'alumine seul. Néanmoins, la dispersion fréquentielle est légèrement supérieure à celle observée dans l'empilement $\text{Al}_2\text{O}_3/\text{InGaAs}$. À partir du modèle de *Y. Yuan et al.*, nous avons estimé la densité de border traps ($D_{bt} = 9,2 \times 10^{19} \text{ eV}^{-1} \cdot \text{cm}^{-3}$). En effet il est connu que l'oxyde d'hafnium entraîne plus de défauts dans l'oxyde à cause de la nucléation par ALD, d'où la nécessité d'utiliser une couche d' Al_2O_3 (ou de HfSiO sur silicium) par exemple entre le HfO_2 et le semiconducteur. De plus le courant de grille est légèrement supérieur à faible tension V_{GS} ce qui peut s'expliquer par la plus grande densité de défauts dans l'oxyde et donc plus d'effet tunnel à basse tension. Cependant des valeurs inférieures à $1 \times 10^{-5} \text{ A} \cdot \text{cm}^{-2}$ ont été obtenues.

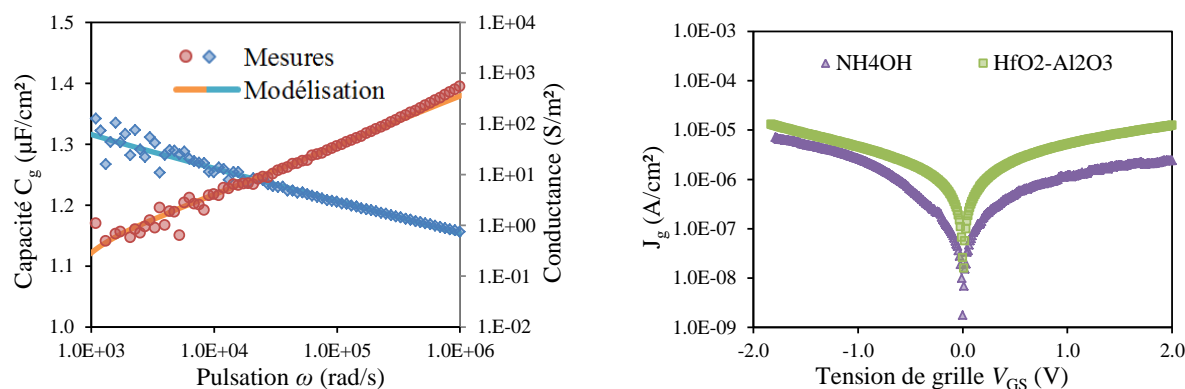


figure 40 – Évolution de la capacité (a) et de la conductance (b) en fonction de la polarisation appliquée sur la grille V_{GS} .

IV - Étude et analyses XPS de la structure oxyde/ GaSb

1) Structures épitaxiales et passivation de la surface du GaSb

a) Structures épitaxiales

La structure MOS choisie est composée de deux couches épitaxiées de GaSb avec différents dopages (p ou n) sur un substrat de GaAs et sont séparées par un buffer métamorphique de GaSb. La première couche peu dopée, de l'ordre de $2 \times 10^{16} \text{ cm}^{-3}$ correspondant au dopage de notre zone intrinsèque, est déposée sur une couche épitaxiée fortement dopée. Cette dernière est dopée à $1 \times 10^{19} \text{ cm}^{-3}$ pour le dépôt du contact ohmique de source. Nous avons fabriqué des capacités à dopage n (**figure 41.a**) ainsi qu'à dopage p (**figure 41.b**).

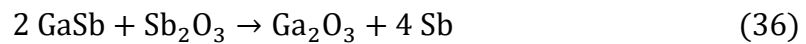
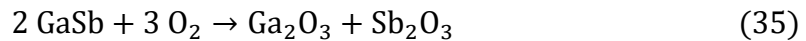
GaSb	$n = 2 \times 10^{16} \text{cm}^{-3}$	200nm	GaSb	$p = 2.10^{16} \text{cm}^{-3}$	200nm
GaSb	$n^+ = 1 \times 10^{19} \text{cm}^{-3}$	500nm	GaSb	$p^+ = 1.10^{19} \text{cm}^{-3}$	500nm
GaSb (buffer)			GaSb (buffer)		
GaAs (substrat)			GaAs (substrat)		

(a) (b)

figure 41 – Représentation schématique des structures épitaxiales des capacités MOS à base de GaSb dopé n (a) et dopé p (b) sur substrat GaAs.

b) Passivations ammoniacque et sulfure d'ammonium

Tout comme l'InGaAs, le GaSb est un matériau s'oxydant très facilement à l'air ce qui entraîne la formation de défauts de surface. À l'air libre, la formation de l'oxyde natif sur GaSb peut s'exprimer par les équations suivantes (à basse température) [74]. Le GaSb réagit avec l'oxygène pour créer les oxydes natifs de Ga_2O_3 et de Sb_2O_3 (35), cependant le Sb_2O_3 possède une plus grande énergie de formation que le Sb élémentaire ou le Ga_2O_3 , il va réagir avec le GaSb pour créer du Ga_2O_3 et du Sb élémentaire (36).



Plusieurs études ont été menées depuis quelques années afin d'améliorer la qualité de surface du GaSb pour fabriquer des p -MOSFET [75]–[77]. Il a été montré qu'un traitement par une solution de HCl suivi d'un rinçage à l'alcool permettait de limiter la croissance d'oxyde après retour à l'air comparé à un traitement par une solution de HCl suivi d'un rinçage à l'eau [78]. Des travaux ont été réalisés pour diminuer la densité de défauts d'interface à l'aide de solutions de passivation. Par exemple, *L. Zhao et al.* ont utilisé une solution de $(\text{NH}_4)_2\text{S}$ diluée à 10% menant à des valeurs de D_{it} minimales de l'ordre de $1,5 \times 10^{13} \text{eV}^{-1} \cdot \text{cm}^{-2}$ [79]. En augmentant la dilution pour avoir une solution diluée à 1% de $(\text{NH}_4)_2\text{S}$, *U. Peregalu et al.* ont obtenu une valeur minimale à $4 \times 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$ [80]. En utilisant une solution de HCl avant la passivation au $(\text{NH}_4)_2\text{S}$, *Z. Tan et al.* ont obtenu une valeur de D_{it} minimale de l'ordre de $1,1 \times 10^{13} \text{eV}^{-1} \cdot \text{cm}^{-2}$ [81]. La passivation au NH_4OH a été étudiée par *A. Nainani et al.* [75], [82] ou *M. Xu et al.* [77]. Une valeur minimale de D_{it} de l'ordre de $1 \times 10^{13} \text{eV}^{-1} \cdot \text{cm}^{-2}$ a été obtenue par ces derniers.

Dans notre cas, nous avons étudié deux types de passivation :

- passivation NH_4OH (solution diluée à 4%) ;
- passivation $(\text{NH}_4)_2\text{S}$ (HCl à 10% suivi du $(\text{NH}_4)_2\text{S}$ à 5%).

c) Mouillage de la surface de GaSb et AFM

Afin d'avoir une bonne nucléation de l'oxyde par ALD, la surface doit être hydrophile pour réagir au mieux avec le précurseur organométallique (TMA par exemple) [83]. L'effet de la passivation sur le mouillage de la surface du GaSb a donc été observé. La **figure 42** présente trois photographies de gouttes d' H_2O à la surface du GaSb après passivation au HCl puis $(\text{NH}_4)_2\text{S}$ (a), au $(\text{NH}_4)_2\text{S}$ seul (b) et au NH_4OH (c). L'angle de contact est extrait en mesurant l'angle entre le plan horizontal et la tangente au point de contact entre la goutte et le wafer. La passivation par les solutions diluées de HCl et de $(\text{NH}_4)_2\text{S}$ entraîne un caractère moins hydrophile ($\theta = 40^\circ$) que par la simple passivation au $(\text{NH}_4)_2\text{S}$ ($\theta = 29^\circ$). Cela s'explique par l'élimination, par la solution de HCl, des oxydes natifs de GaSb tel que le Ga_2O_3 qui rend sa surface hydrophile [84]. Dans le cas du NH_4OH , ce dernier permettant d'éliminer l'oxyde natif mais aussi de remplir la surface par des liaisons OH, nous pouvons ainsi voir que la surface est très hydrophile ($\theta = 9^\circ$) (tirets rouges). L'eau se fixe alors à la surface par liaisons hydrogènes.

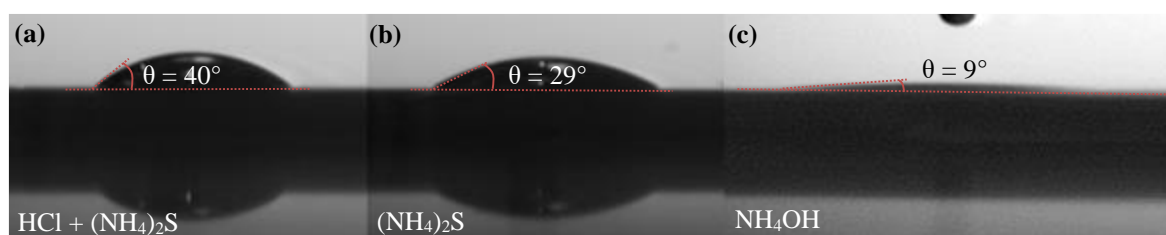


figure 42 - Photographies de l'effet de mouillage sur la surface de GaSb après passivation par différentes solutions de HCl puis $(\text{NH}_4)_2\text{S}$, de $(\text{NH}_4)_2\text{S}$ ou de NH_4OH .

Afin d'observer l'effet du traitement sur la rugosité de surface, des mesures AFM ont été effectuées (**figure 43**) sur surface d'une couche épitaxiale de GaSb dopée n déposée par EJM sur un substrat dopé n (Te). La rugosité de surface sans passivation est très faible ($\text{RMS} = 0,22\text{nm}$) et augmente légèrement après passivation au HCl puis $(\text{NH}_4)_2\text{S}$ ($\text{RMS} = 0,33\text{ nm}$) de plus nous voyons apparaître un oxyde natif après plusieurs expositions à l'air ($\text{RMS} = 0,63\text{nm}$).

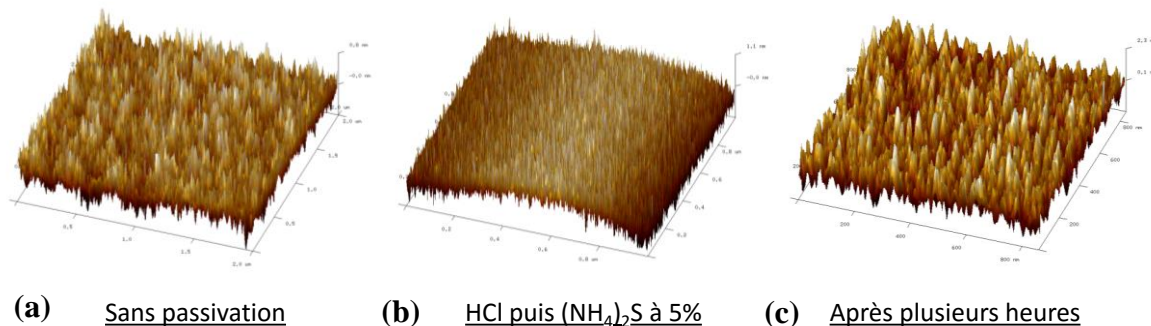


figure 43 - Images AFM d'une couche épitaxiale de GaSb dopée n sans passivation (a), après une passivation au HCl puis $(\text{NH}_4)_2\text{S}$ (b) et après plusieurs heures (c).

2) Dépôt d'alumine (Al₂O₃) et traitement par plasma O₂

a) Dépôt d'alumine Al₂O₃

Nous avons vu que plusieurs traitements de passivation avant le dépôt d'oxyde permettent de réduire la densité de défauts d'interface. Néanmoins, la réduction de la température de dépôt permet aussi d'améliorer la commande des charges sur GaSb. En effet, l'étude menée par *M. Yokoyama et al.* montre que la présence de SbO_x à une température de croissance de 150°C permet d'améliorer le contrôle de charges [85]. Il est aussi possible d'effectuer des traitements in-situ utilisant un plasma d'hydrogène avant dépôt d'oxyde [86]–[89] menant à des valeurs de D_{it} de l'ordre de $5 \times 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Dans ces études, il est montré que l'élimination de SbO_x permet de créer l'oxyde de gallium Ga₂O₃ et du Sb élémentaire. Ce résultat, bien qu'en contradiction avec l'étude menée par *M. Yokoyama et al.*, reste cohérent. En effet, *M. Yokoyama et al.* n'ont pas fait état du déplacement chimique de la composante d'oxyde de gallium, en diminuant la température de dépôt de l'oxyde, du Ga₂O vers le Ga₂O₃ qui semble le point important pour améliorer la commande de charges. D'autres traitements comme l'ozone (O₃) avant dépôt d'oxyde [90] ou après dépôt de l'oxyde [91] ont permis une légère réduction de la D_{it} à $1 \times 10^{13} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Le plasma d'ozone permet de créer une couche d'oxyde d'interface mais aussi de combler les liaisons pendantes en surface du GaSb [92].

Dans notre cas, l'alumine est déposé dans une chambre à une pression de l'ordre de 0,01 mbar à 200°C pour les capacités MOS à base de GaSb [93]. Le dépôt se fait à l'aide des précurseurs de TMA et H₂O et consiste en un premier pulse de TMA (150ms) suivi d'une purge sous azote (1s). Ensuite un pulse d'H₂O (250ms) est suivi d'une purge (1,5s) pour éliminer ce qui n'a pas réagi. Cette séquence est répétée ensuite plusieurs fois pour atteindre l'épaisseur souhaitée. Après dépôt d'oxyde, un recuit PDA à 350°C ou 600°C est effectué pour stabiliser l'oxyde.

b) Traitement par plasma O₂

Dans le cas où l'alumine subit le traitement par plasma O₂, nous avons effectué ce dernier après un premier dépôt de 2 nm d'Al₂O₃. Ce plasma d'oxygène postoxydation consiste en un plasma déporté à partir d'une source radiofréquence à 100 W en utilisant les gaz O₂ (100 sccm) et Ar (200 sccm) dans la chambre ALD à 250°C. Ensuite, 2 nm d'Al₂O₃ sont ajoutés pour avoir une épaisseur totale de 4 nm. Après dépôt d'oxyde, un recuit PDA pendant 1min à 350°C ou à 600°C est effectué pour stabiliser l'oxyde.

3) Étude XPS de la surface de GaSb après passivation NH₄OH et (NH₄)₂S

a) Variation du potentiel de surface du GaSb après passivation

L'effet de la passivation par les solutions de NH₄OH ou de (NH₄)₂S a été étudié à l'aide de la spectroscopie de photoélectrons X (XPS). La raie Al $\kappa\alpha$ ($h\nu = 1486,6$ eV) est utilisée comme source d'émission et les mesures ont été effectuées à une pression de 5×10^{-9} mbar à un angle de 75° à température ambiante. La référence utilisée est le niveau de cœur Sb 4d placé à 31,97 eV du GaSb in-situ. La **figure 44.a** représente les spectres XPS sur la gamme d'énergie de liaison de 0 eV à 1400 eV du GaSb sans passivation (en noir), avec passivation NH₄OH (en rouge) et avec passivation (NH₄)₂S (en bleu). La **figure 44.b** montre le spectre de la bande de valence du GaSb (en noir) sans passivation, (en rouge) avec passivation NH₄OH et (en bleu) avec passivation (NH₄)₂S. Après passivation par la solution de NH₄OH, nous observons une variation de +0,1 eV du potentiel de surface qui augmente à +0,15 eV après passivation au HCl puis (NH₄)₂S. En passivant la surface nous avons rempli la surface par des atomes électronégatifs (terminaisons S ou OH). Ces terminaisons créent donc une augmentation de la densité d'électrons en surface du semiconducteur ce qui éloigne alors la bande de valence du niveau de Fermi.

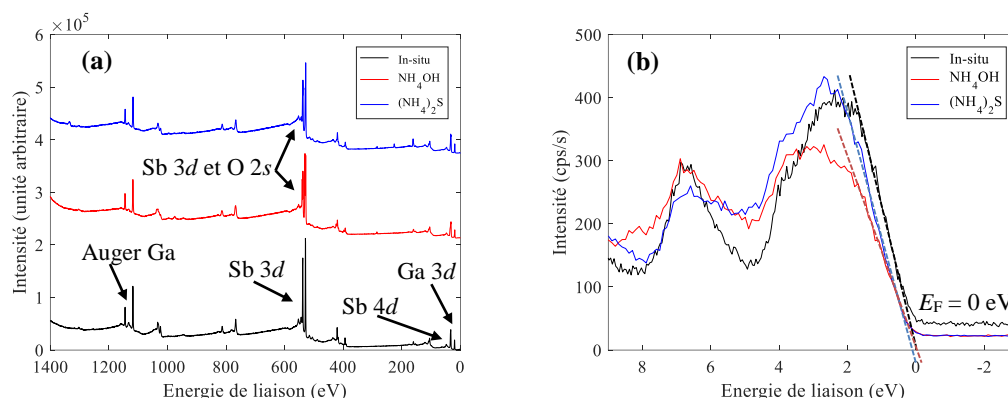


figure 44 – Spectres XPS du GaSb permettant d'observer ses différents niveaux de cœur (a) et spectre de la bande de valence (b) sans passivation (en noir), après passivation au NH₄OH (en rouge), puis après passivation au (NH₄)₂S (en rouge).

b) Étude XPS des niveaux de cœur du GaSb après passivation

Ensuite nous avons étudié l'effet de la passivation sur la surface de GaSb en analysant les niveaux de cœur Ga 3d et Sb 4d. La **figure 45** montre les spectres XPS des niveaux de cœur du GaSb in-situ et pour les deux passivations, à gauche pour le Ga 3d et à droite pour le Sb 4d.

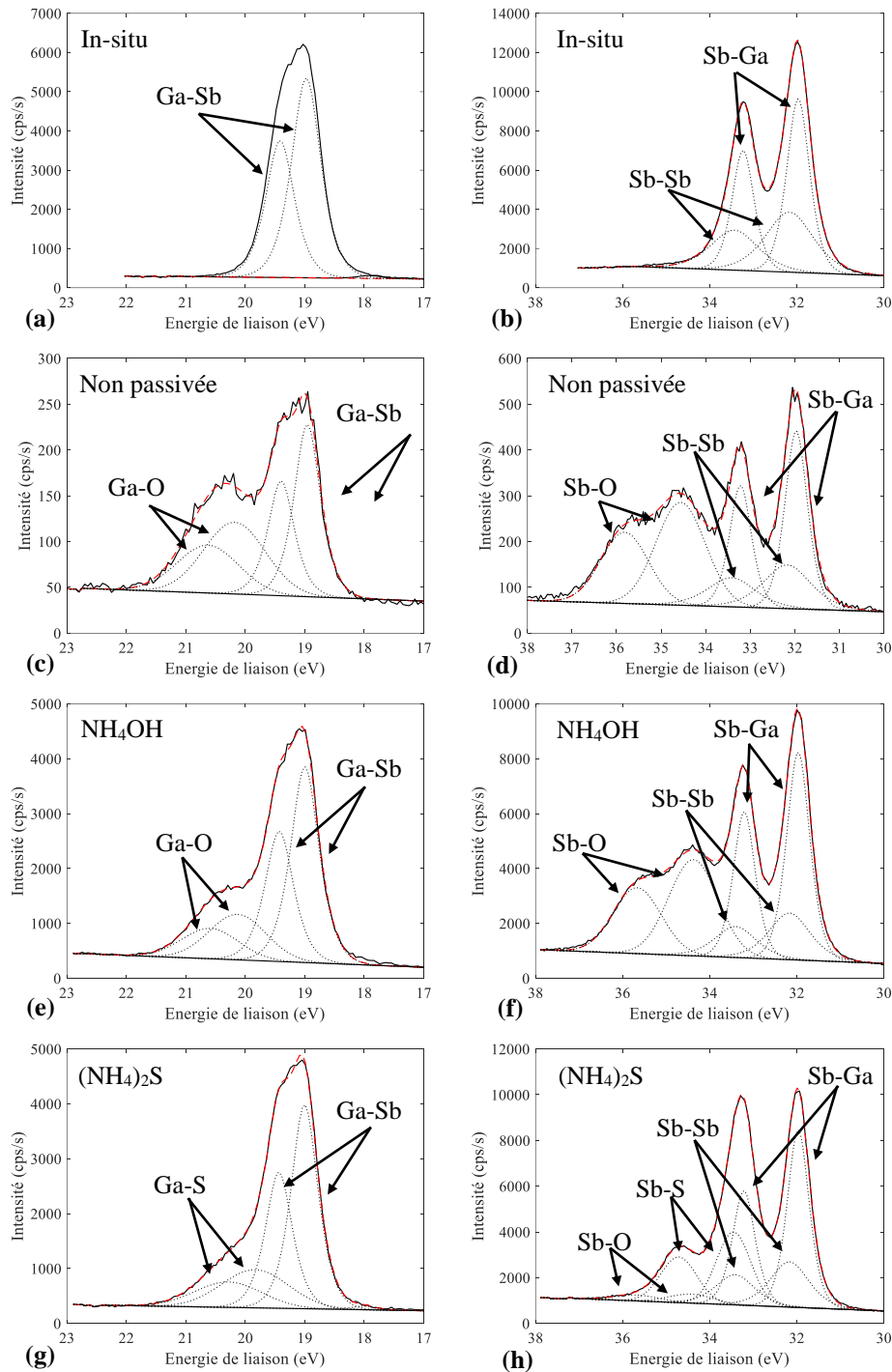


figure 45 – Spectres XPS des niveaux de cœur du GaSb (à gauche) lié au Ga 3*d* et (à droite) lié au Sb 4*d* du GaSb in-situ (a)-(b), sans passivation (c)-(d) après une passivation par une solution de NH₄OH (e)-(f) et après une passivation par des solutions de HCl puis (NH₄)₂S (g)-(h).

Dans le cas du GaSb in-situ (dans enceinte MBE) (**figure 45.a.b**), le niveau de cœur Ga 3*d* présente un doublement des pics qui sont séparés de +0,45 eV à cause du couplage spin-orbite 5/2 et 3/2 ainsi que deux composantes élémentaires. La première composante située à 19 eV est liée aux liaisons Ga-Sb [78] ainsi qu'une composante peu détectable liée aux liaisons Ga-Ga à 17,9 eV. Le niveau de cœur Sb 4*d* présente deux composantes

élémentaires Sb-Ga à 31,94 eV et Sb-Sb à 32,2 eV avec un couplage spin-orbite de +1,25 eV. Le pic Sb-Ga est ensuite utilisé comme référence pour les énergies de liaison. Sans passivation (**figure 45.c.d**), nous notons la présence d'oxydes natifs pour chaque niveau de cœur à plus haute énergie de liaison par rapport à la composante bulk (ΔE_L), Sb-O ($\Delta E_L = +2,6$ eV) et Ga-O ($\Delta E_L = +1,2$ eV). Après chaque passivation, nous observons une diminution de la composante Sb-Sb ainsi que la réduction des pics liés aux composantes oxydes et soufrées du GaSb. Après passivation par la solution diluée de NH_4OH (**figure 45.e.f**), nous notons la réduction de la composante d'oxyde pour chaque niveau de cœur, Sb-O ($\Delta E_L = +2,4$ eV) et Ga-O ($\Delta E_L = +1,1$ eV) due à l'élimination des oxydes natifs ainsi qu'à la passivation de surface du GaSb. Dans le cas de la passivation par la solution diluée de $(\text{NH}_4)_2\text{S}$ (**figure 45.g.h**), nous voyons apparaître deux composantes Sb-S ($\Delta E_L = +1,4$ eV) et Ga-S ($\Delta E_L = +0,8$ eV) ainsi que la réduction de la composante Sb-O ($\Delta E_L = +2,5$ eV) proche de la stœchiométrie Sb_2O_3 [94]. La passivation par la solution de sulfure d'ammonium engendre moins d'oxydes en surface du GaSb.

4) Étude XPS de l'interface $\text{Al}_2\text{O}_3/\text{GaSb}$ et effet du plasma O_2

Après avoir déposé l'alumine, nous avons étudié l'interface $\text{Al}_2\text{O}_3/\text{GaSb}$ à l'aide de la technique de spectroscopie de photoélectrons X (XPS) afin d'observer, par ailleurs, l'effet du plasma O_2 sur les composantes bulk ainsi que sur l'offset des bandes de valence (ΔE_V) et de conduction (ΔE_C) entre l' Al_2O_3 et le GaSb. La référence utilisée est le pic Sb 4d placé à 31,97 eV. Les dépôts d'oxyde sans ou avec traitement plasma O_2 sont résumés ci-dessous.

Pour l'échantillon sans plasma O_2 , nous avons déposé 4 nm d' Al_2O_3 sur une surface de GaSb passivée au NH_4OH ou au $(\text{NH}_4)_2\text{S}$ puis effectué un recuit PDA à 350°C ou 600°C. Pour l'échantillon avec plasma O_2 , nous avons tout d'abord déposé 2nm d' Al_2O sur une surface de GaSb passivée au NH_4OH ou au $(\text{NH}_4)_2\text{S}$, effectué le traitement par plasma O_2 , rajouté 2 nm d' Al_2O_3 puis effectué un recuit PDA à 350°C ou 600°C.

a) Effet du plasma O_2 sur le potentiel de surface et offset des bandes de valence

La **figure 46.a** représente les spectres XPS sur la gamme d'énergie de liaison de 0 eV à 1400 eV du GaSb sans (en noir) et avec dépôt d' Al_2O_3 (en rouge). Nous voyons apparaître les niveaux de cœur liés à l'alumine O 1s, Al 2s et Al 2p. La **figure 46.b** montre les spectres de la bande de valence sans (en noir) et avec plasma oxygène (en rouge) de la structure $\text{Al}_2\text{O}_3/\text{GaSb}$. Nous pouvons noter un léger décalage du spectre de la bande de valence vers les hautes énergies de liaison avec le traitement par plasma O_2 . Compte tenu du bruit des mesures, ces dernières sont difficilement exploitables pour extraire une variation du potentiel de surface par le plasma O_2 . Cependant après dépôt d'oxyde (sans ou avec plasma O_2), le haut de la bande de valence de l'alumine est situé à environ +4,1 eV au-dessous du niveau de

Fermi tandis que le haut de bande de valence du GaSb est proche de 0 eV au-dessous du niveau de Fermi, soit $\Delta E_V \approx 4,1$ eV.

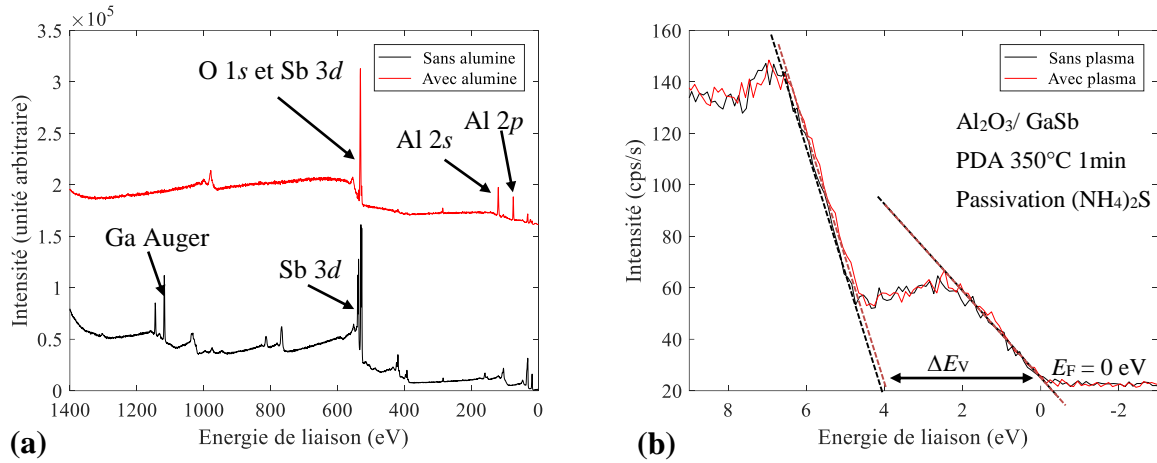


figure 46 - Spectres XPS (a) du GaSb permettant d’observer les niveaux de cœur liés à l’alumine et (b) spectres XPS de la bande de valence de l’interface $Al_2O_3/GaSb$ sans (en noir) et avec plasma O_2 (en rouge) après une passivation au $(NH_4)_2S$ et un recuit à $350^\circ C$.

b) Effet du plasma O_2 sur les offsets des bandes de valence et de conduction

Les spectres des bandes de valence de l’interface $Al_2O_3/GaSb$ ne permettent pas d’extraire la variation des offsets ΔE_V et ΔE_C avec le plasma O_2 . Nous avons alors décidé d’extraire ces derniers à partir de la différence énergétique entre les niveaux de cœur et le haut de la bande de valence (MBV) pour l’alumine et pour le GaSb. Nous nous sommes concentrés sur la structure $Al_2O_3/GaSb$ après une passivation $(NH_4)_2S$ ainsi qu’un recuit PDA de $600^\circ C$, sans et avec traitement par plasma O_2 . Les **figure 47.a-b** montrent la différence énergétique entre le niveau de cœur $Sb\ 4d$ et le haut de bande de valence du GaSb indiquant une valeur est $(E_{Sb\ 4d} - E_{MBV})^{GaSb} = 31,8$ eV. Les **figure 47.c-d** montrent la différence énergétique entre les niveaux de cœur $Al\ 2p$ et $Sb\ 4d$. Sans plasma, la valeur est $(E_{Al\ 2p} - E_{Sb\ 4d})^{Alumine-GaSb} \approx 43,3$ eV tandis qu’avec plasma O_2 la valeur est $(E_{Al\ 2p} - E_{Sb\ 4d})^{Alumine-GaSb} \approx 43,2$ eV. Nous observons un déplacement de $-0,15$ eV après traitement par plasma O_2 . Les **figure 47.e-f** montrent la différence énergétique entre le niveau de cœur $Al\ 2p$ et le haut de bande de valence de l’alumine bulk. Sans plasma O_2 , $(E_{Al\ 2p} - E_{BV})^{Alumine} = 70,9$ eV tandis qu’avec le plasma O_2 , $(E_{Al\ 2p} - E_{BV})^{Alumine} = 70,75$ eV. Un déplacement de l’ordre de $-0,15$ eV est observé sur le niveau de cœur $Al\ 2p$ de l’alumine montrant un léger changement de stœchiométrie. En remplaçant les valeurs obtenues dans l’équation (37), les offsets de bandes de valence extraits sont $\Delta E_V \approx 4,2$ eV sans ou avec plasma O_2 .

$$\Delta E_V = ((E_{Sb4d} - E_{BV})^{GaSb} + (E_{Al2p} - E_{Sb4d})^{Alumine-GaSb} - (E_{Al2p} - E_{BV})^{Alumine} \tag{37}$$

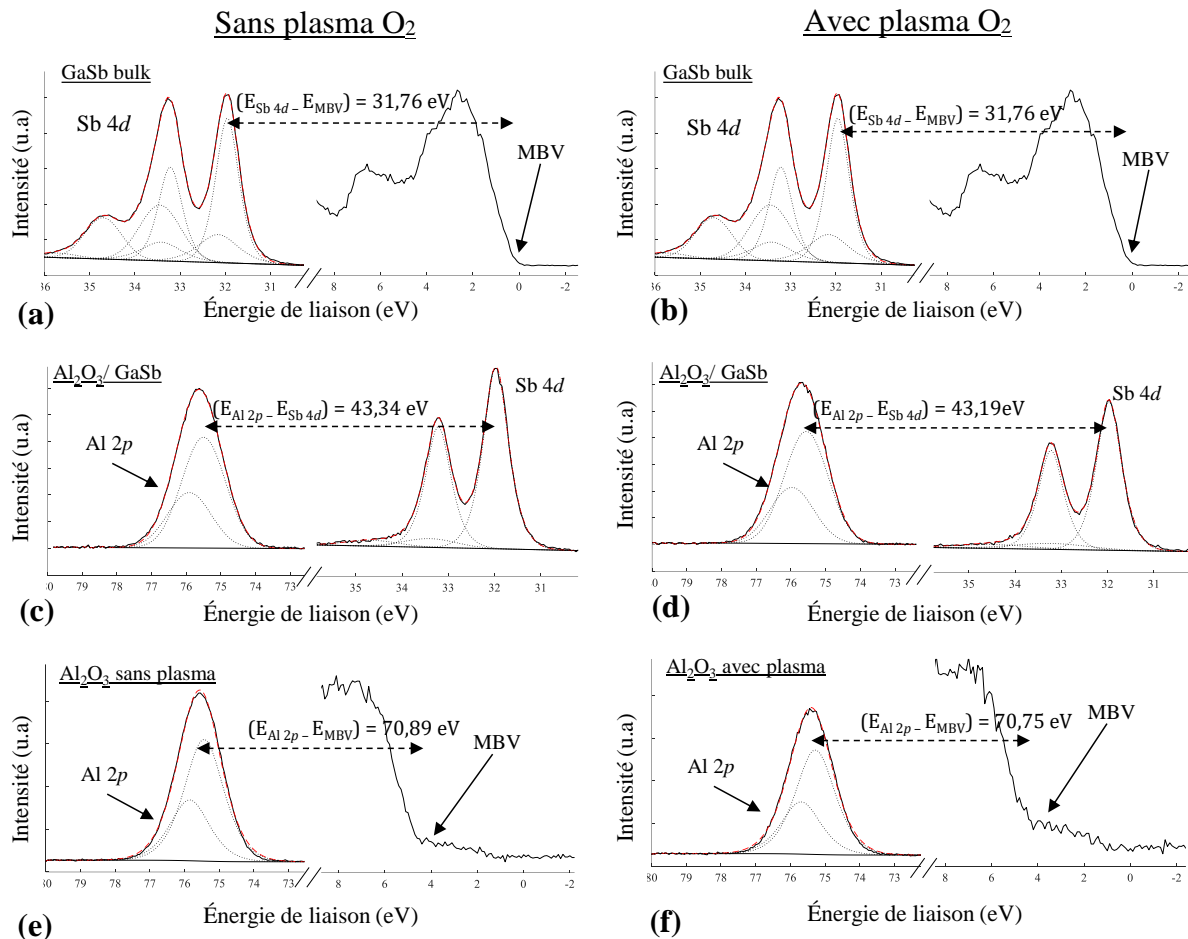


figure 47 – Spectres XPS des niveaux de cœur Sb 4*d* et de valence pour le GaSb « bulk » (a-b), des niveaux de cœur Al 2*p* et Sb 4*d* pour la structure Al₂O₃/ GaSb après PDA à 350°C (c-d) et des niveaux Al 2*p* et de valence pour l’alumine « bulk » (e-f). À gauche sans plasma O₂, à droite avec plasma O₂.

Ensuite, l’énergie de bande interdite de l’alumine a été estimée en analysant le spectre de perte d’énergie du niveau de cœur O 1*s* de l’échantillon avec traitement par plasma O₂ et sans recuit (**figure 48.a**). Une valeur de l’ordre de 6,5 eV a été obtenue correspondant aux valeurs obtenues par ellipsométrie et par *I. Geppert et al.* [95]. Cependant aucune différence n’est observée sans le traitement par plasma O₂ ou avec recuit PDA.

L’offset de bandes de conduction déterminé à partir de l’équation (38) est donc $\Delta E_C \approx 1,6\text{ eV}$ sans ou avec plasma O₂.

$$\Delta E_C = E_g^{\text{Alumine}} - \Delta E_V - E_g^{\text{GaSb}} \quad (38)$$

Ainsi nous pouvons représenter l’alignement des bandes de valence et de conduction entre le semiconducteur et l’Al₂O₃ (**figure 48.b**). Nous pouvons voir un léger éloignement de la

bande de conduction du semiconducteur vers la bande de conduction de l'alumine de l'ordre de 0,01 eV avec le traitement par plasma O₂ non significatif.

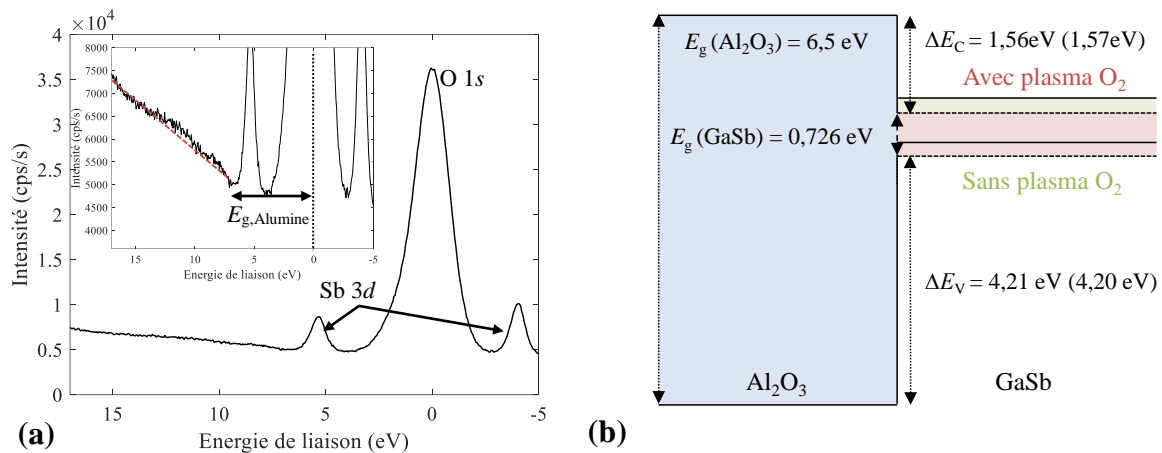


figure 48 – Spectres XPS du niveau de cœur O 1s de la structure Al₂O₃/ GaSb avec plasma O₂ (a). Schéma d’alignement des bandes d’énergies de la structure Al₂O₃/ GaSb (b) où les valeurs avec le traitement par plasma O₂ sont indiquées entre parenthèses.

c) Étude XPS des niveaux de cœur de l’Al₂O₃, effet recuit et du plasma O₂

La **figure 49** représente le spectre XPS du niveau de cœur Al 2p de la structure Al₂O₃/ GaSb pour différentes températures de recuit PDA (350°C et 600°C) sans (**figure 49.a**) et avec traitement par plasma O₂ (**figure 49.b**) avec une passivation au (NH₄)₂S. Sans le traitement plasma O₂, aucun déplacement chimique du niveau de cœur Al 2p est observé après recuit. Avec le traitement plasma O₂, nous pouvons observer un déplacement chimique du niveau de cœur Al 2p de l’ordre de +0,3 eV en augmentant la température de recuit après dépôt d’oxyde (PDA) à 600°C pendant 1min. Les mêmes observations sont faites avec la passivation au NH₄OH (non montré). Ces observations indiquent une modification de la stoechiométrie, par recuit PDA, de l’oxyde avec le traitement plasma O₂.

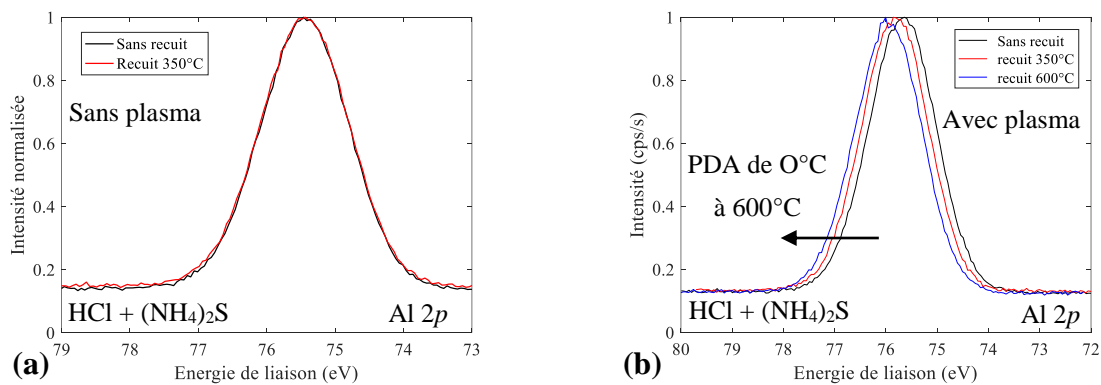


figure 49 – Spectres XPS du niveau de cœur Al 2p de la structure Al₂O₃/ GaSb pour différentes températures de recuit PDA, 350°C (rouge) et 600°C (bleue) (sans recuit en noir) sans (a) et avec traitement par plasma O₂ (b) après passivation au (NH₄)₂S.

Nous avons analysé l'effet du plasma O_2 sur les pics caractéristiques de l'oxygène $O 2s$ et de l'alumine $Al 2p$. La **figure 50.a** représente le spectre XPS des niveaux de cœur $O 2s$ et $Ga 3d$ de la structure $Al_2O_3/ GaSb$ sans ou avec plasma O_2 après passivations au $(NH_4)_2S$ après un recuit PDA de $350^\circ C$. Nous pouvons observer une augmentation des ratios $\frac{A_{O-Ga}}{A_{Ga 3d}}$ et $\frac{A_{O-Al}}{A_{Ga 3d}}$ entre l'aire des composantes O-Ga (A_{O-Ga}) ou O-Al (A_{O-Al}) et l'aire du niveau de cœur $Ga 3d$ ($A_{Ga 3d}$). De plus, le ratio $\frac{A_{O-Al}}{A_{O-Ga}}$ entre les aires des composantes O-Al (A_{O-Al}) et O-Ga (A_{O-Ga}) augmente légèrement ce qui indique une augmentation du nombre de liaisons O-Al en comparaison au nombre de liaisons O-Ga avec le traitement par plasma O_2 . De plus, nous avons observé un déplacement chimique vers les basses énergies de liaison des composantes O-Al et O-Ga avec le plasma O_2 . Ce déplacement vers les basses énergies de liaison est aussi observé sur le niveau de cœur $O 1s$ ce qui indique un changement de stœchiométrie de l'alumine. Nous avons admis la création d'une couche d'interface dense en oxygène bloquant la ré-oxydation durant le recuit PDA.

La **figure 50.b** montre le spectre XPS du niveau de cœur $Al 2p$ de l'aluminium sans et avec plasma O_2 . Un déplacement de l'ordre de $-0,2 eV$ est observé ce qui indique un changement de stœchiométrie de l'oxyde. Nous pouvons donc suggérer que le plasma oxygène engendre la création d'une couche d'interface entre l'oxyde et le semiconducteur.

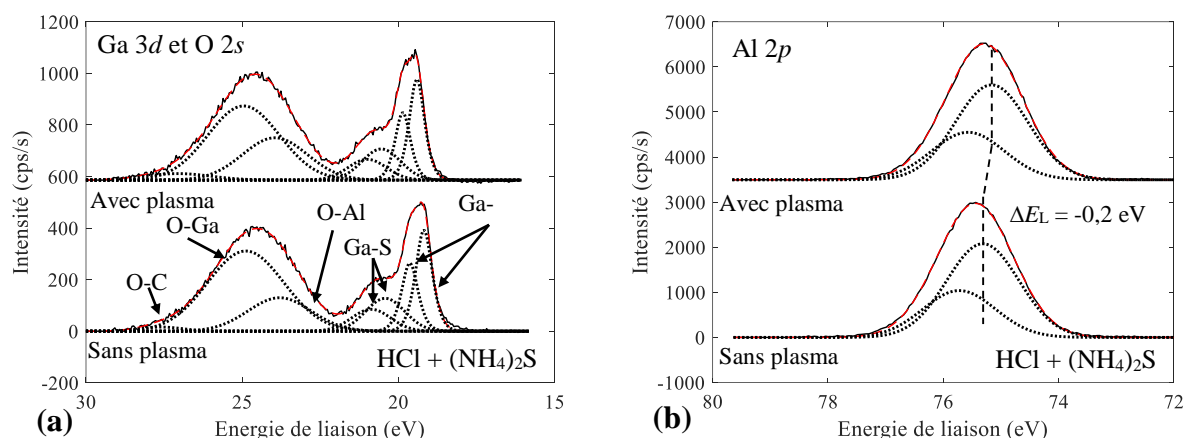


figure 50 – Spectres XPS des niveaux de cœur $Ga 3d$ et $O 2s$ (a) et $Al 2p$ (b) de la structure $Al_2O_3/ GaSb$ après passivation au $(NH_4)_2S$ sans et avec plasma O_2 et avec un recuit PDA de $350^\circ C$.

Le **tableau 5** résume les différents ratios $\frac{A_{O-Ga}}{A_{Ga 3d}}$, $\frac{A_{O-Al}}{A_{Ga 3d}}$ et $\frac{A_{O-Al}}{A_{O-Ga}}$ pour la structure $Al_2O_3/ GaSb$ sans et avec traitement par plasma O_2 après recuit PDA à $350^\circ C$ (passivation $(NH_4)_2S$).

Structure	Traitement	$\frac{A_{O-Ga}}{A_{Ga\ 3d}}$	$\frac{A_{O-Al}}{A_{Ga\ 3d}}$	$\frac{A_{O-Al}}{A_{O-Ga}}$
Al ₂ O ₃ / GaSb	Sans plasma O ₂	496/142 \approx 3,5	137/142 \approx 0,96	137/496 \approx 0,3
Al ₂ O ₃ / GaSb	Avec plasma O ₂	864/185 \approx 4,6	381/185 \approx 2,1	381/864 \approx 0,5

tableau 5 – Résumé des ratios entre les aires des composantes O-Ga, O-Al et Ga 3d des niveaux de cœurs O 2s et Ga 3d sans et avec traitement par plasma O₂ après un recuit PDA à 350°C (passivation (NH₄)₂S).

d) Étude XPS des niveaux de cœur du GaSb et effet du recuit et du plasma O₂

La **figure 51** montre l'effet du plasma O₂ sur les niveaux de cœur Sb 4d et Ga 3d du GaSb avant et après recuit PDA avec une passivation par une solution de sulfure d'ammonium (NH₄)₂S. Pour le niveau de cœur Sb 4d, sans ou avec PDA (**figure 51.a.c**), la composante Sb-O est quasiment réduite au seuil de détection. Pour le niveau de cœur Ga 3d, après dépôt d'oxyde et sans recuit PDA (**figure 51.b**) (sans ou avec plasma O₂), la composante oxyde du Ga 3d apparaît à plus haute énergie de liaison ($\Delta E_L = +1,19$ eV) ce qui suppose une transformation de cette composante en Ga₂O₃ qui semble augmenter la D_{it} [79]. Le plasma O₂ va cependant augmenter légèrement l'aire de la composante d'oxyde (A_{Ga-O}) par rapport à l'aire de la composante bulk Ga 3d ($A_{Ga\ 3d}$) en comparaison sans plasma O₂. Après recuit PDA et sans plasma O₂ (**figure 51.d-haut**), l'aire de la composante Ga-O ($\Delta E_L = +1,25$ eV) va augmenter d'environ 18% à cause de la diffusion de l'oxygène à l'interface. Après recuit PDA et avec plasma O₂ (**figure 51.d-bas**), l'aire de la composante Ga-O ($\Delta E_L = +1,14$ eV) va augmenter d'environ 9% ce qui montre une diminution de l'oxydation à l'interface lors du recuit avec le traitement par plasma O₂ [96]. Cet effet est le même que celui déjà observé sur InGaAs, i.e., le plasma O₂ après dépôt d'oxyde permet de diminuer l'oxydation pendant le recuit PDA en créant une couche d'interface entre le GaSb et l'alumine.

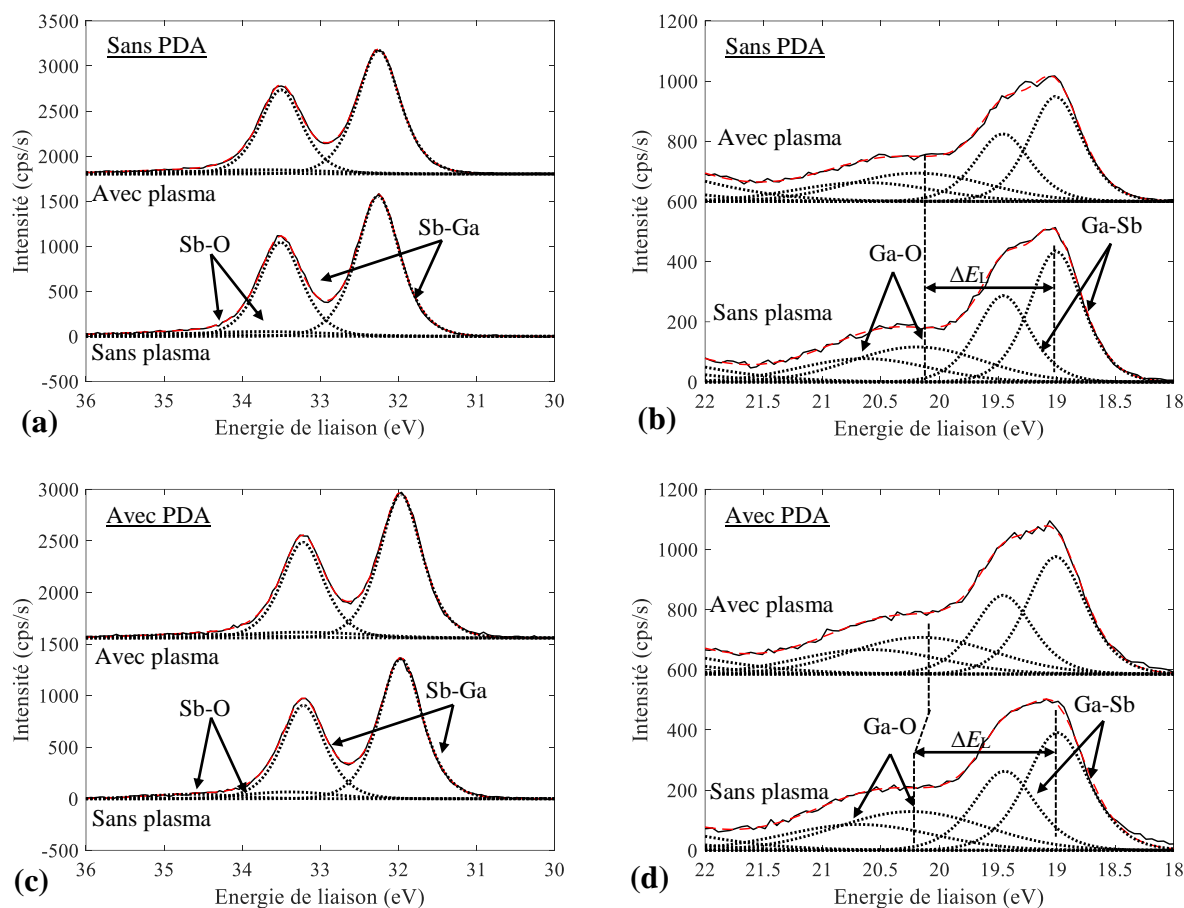


figure 51 – Spectres XPS des niveaux de cœur Sb 4d (a-c) et Ga 3d (b-d). Les spectres XPS du GaSb sans recuit PDA (en haut) et avec recuit PDA (en bas) ont été obtenus sans et avec traitement par plasma O₂ avec une passivation au (NH₄)₂S.

Le **tableau 6** résume les différents ratios $\frac{A_{Ga-O}}{A_{Ga\ 3d}}$ pour la structure Al₂O₃/ GaSb sans et avec traitement par plasma O₂ ainsi que sans ou avec recuit PDA à 350°C (passivation (NH₄)₂S).

Structure	Sans PDA		Avec PDA (350°C)	
	Sans plasma O ₂	Avec plasma O ₂	Sans plasma O ₂	Avec plasma O ₂
$\frac{A_{O-Ga}}{A_{Ga\ 3d}}$	0,62	0,66	0,73	0,72

tableau 6 – Résumé des ratios entre les aires des composantes Ga-O et Ga 3d sans et avec traitement par plasma O₂ ainsi que sans et avec un recuit PDA à 350°C (passivation (NH₄)₂S).

Conclusion du chapitre 3

Contrairement au silicium où l'oxyde natif (SiO_2) offre une densité de défauts d'interface très faible de l'ordre de $10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$, les valeurs de D_{it} obtenues sur les matériaux III-V restent limitées à $10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. En effet, les matériaux III-V exposés à l'air voient leur surface se modifier. Il apparaît alors des états de surface venant, par exemple, de la rugosité, des oxydes natifs ou des liaisons pendantes. La réduction de la D_{it} sur les matériaux III-V reste donc à ce jour un challenge à franchir pour la réduction de la pente sous le seuil des composants.

Dans ce chapitre, nous avons étudié deux matériaux semiconducteurs différents qui sont l'InGaAs et le GaSb ainsi que deux oxydes différents, l'alumine (Al_2O_3) et l'oxyde d'hafnium (HfO_2). Pour cela, nous avons fabriqué des capacités MOS puis effectué des caractérisations physico-chimiques et électriques. Nous avons montré que l'utilisation d'une passivation de surface (NH_4OH ou $(\text{NH}_4)_2\text{S}$) permet de diminuer les oxydes natifs. Bien que cette méthode permette d'obtenir des valeurs de D_{it} de l'ordre de $10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$, la commande des charges n'est pas nettement améliorée se traduisant par un phénomène de fausse inversion. Nous avons alors mis au point un procédé de traitement par plasma d'oxygène (O_2) in-situ après dépôt d'oxyde par ALD. Les mesures électriques ont montré que ce traitement permet une large amélioration de la commande de charges par une meilleure efficacité du balayage du niveau de Fermi dans la bande interdite du semiconducteur. Des mesures XPS ont montré que ce traitement diminue la réoxydation de surface après recuit de l'oxyde. Cet effet est attribué à la création d'une couche à l'interface entre l'oxyde et le semiconducteur, observé sur les deux structures oxyde/ InGaAs et oxyde/GaSb, permettant de modifier la distribution des défauts d'interface (niveaux donneurs et accepteurs) dans la bande interdite. Ainsi, d'un point de vue théorique il pourrait être intéressant d'étudier plus particulièrement la distribution des défauts dans la bande interdite du semiconducteur. D'un point de vue expérimental, l'utilisation de ce plasma O_2 sur le HfO_2 peut potentiellement améliorer son interface avec les semiconducteurs. En effet, actuellement, il est nécessaire d'ajouter une couche d'interface telle que l' Al_2O_3 pour améliorer la qualité de l'interface en dépit d'une augmentation de l'EOT. Ce traitement peut alors permettre une réduction de l'EOT vers de très faibles valeurs ainsi qu'une interface de qualité entre le HfO_2 et le semiconducteur.

Bibliographie du chapitre 3

- [1] H. D. Trinh, E. Y. Chang, P. W. Wu, Y. Y. Wong, C. T. Chang, Y. F. Hsieh, C. C. Yu, H. Q. Nguyen, Y. C. Lin, K. L. Lin, and M. K. Hudait, “The influences of surface treatment and gas annealing conditions on the inversion behaviors of the atomic-layer-deposition $\text{Al}_2\text{O}_3/\text{n-InGaAs}$ metal-oxide-semiconductor capacitor,” *Appl. Phys. Lett.*, vol. 97, no. 4, p. 42903, 2010.
- [2] D. M. Fleetwood, “‘Border traps’ in MOS devices,” *IEEE Trans. Nucl. Sci.*, vol. 39, no. 2, pp. 269–271, Apr. 1992.
- [3] W. E. Spicer, I. Lindau, P. Skeath, C. Y. Su, and P. Chye, “Unified Mechanism for Schottky-Barrier Formation and III-V Oxide Interface States,” *Phys. Rev. Lett.*, vol. 44, no. 6, pp. 420–423, Feb. 1980.
- [4] E. J. Kim, E. Chagarov, J. Cagnon, Y. Yuan, A. C. Kummel, P. M. Asbeck, S. Stemmer, K. C. Saraswat, and P. C. McIntyre, “Atomically abrupt and unpinned $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ interfaces: Experiment and simulation,” *J. Appl. Phys.*, vol. 106, no. 12, pp. 0–8, 2009.
- [5] I. Krylov, A. Gavrilov, M. Eizenberg, and D. Ritter, “Correlation between Ga-O signature and midgap states at the $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ interface,” *Appl. Phys. Lett.*, vol. 101, no. 6, pp. 11–16, 2012.
- [6] J. Hu and H.-S. Philip Wong, “Effect of annealing ambient and temperature on the electrical characteristics of atomic layer deposition $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor capacitors and MOSFETs,” *J. Appl. Phys.*, vol. 111, no. 4, p. 44105, 2012.
- [7] W. Jevasuwan, Y. Urabe, T. Maeda, N. Miyata, T. Yasuda, H. Yamada, M. Hata, N. Taoka, M. Takenaka, and S. Takagi, “Initial Processes of Atomic Layer Deposition of Al_2O_3 on InGaAs: Interface Formation Mechanisms and Impact on Metal-Insulator-Semiconductor Device Performance,” *Materials (Basel)*, vol. 5, no. 12, pp. 404–414, Mar. 2012.
- [8] M. Billaud, J. Duvernay, H. Grampeix, B. Pelissier, M. Martin, T. Baron, H. Boutry, Z. Chalupa, M. Cass, T. Ernst, and M. Vinet, “ $\text{Al}_2\text{O}_3/\text{InGaAs}$ interface study on MOS capacitors for a 300mm process integration,” *EUROSOI-ULIS 2015 - 2015 Jt. Int. EUROSOI Work. Int. Conf. Ultim. Integr. Silicon*, pp. 113–116, 2015.
- [9] W. Jevasuwan, T. Maeda, N. Miyata, M. Oda, T. Irisawa, T. Tezuka, and T. Yasuda, “Self-limiting growth of ultrathin Ga_2O_3 for the passivation of $\text{Al}_2\text{O}_3/\text{InGaAs}$ interfaces,” *Appl. Phys. Express*, vol. 7, no. 1, pp. 1–5, 2014.
- [10] B. Shin, J. Cagnon, R. D. Long, P. K. Hurley, S. Stemmer, and P. C. McIntyre, “Unpinned Interface Between Al_2O_3 Gate Dielectric Layer Grown by Atomic Layer Deposition and Chemically Treated $\text{n-In}_{0.53}\text{Ga}_{0.47}\text{As}$ (001),” *Electrochem. Solid-State Lett.*, vol. 12, no. 8, pp. G40–G43, 2009.
- [11] N. Goel, P. Majhi, C. O. Chui, W. Tsai, D. Choi, and J. S. Harris, “InGaAs metal-oxide-semiconductor capacitors with HfO_2 gate dielectric grown by atomic-layer deposition,” *Appl. Phys. Lett.*, vol. 89, no. 16, p. 163517, 2006.
- [12] H.-C. Lin, W.-E. Wang, G. Brammertz, M. Meuris, and M. Heyns, “Electrical study of sulfur passivated $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS capacitor and transistor with ALD Al_2O_3 as gate insulator,” *Microelectron. Eng.*, vol. 86, no. 7–9, pp. 1554–1557, Jul. 2009.
- [13] H. Zhao, J. Huang, Y.-T. Chen, J. H. Yum, Y. Wang, F. Zhou, F. Xue, and J. C. Lee, “Effects of gate-first and gate-last process on interface quality of $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor capacitors using atomic-layer-deposited Al_2O_3 and HfO_2 oxides,”

- Appl. Phys. Lett.*, vol. 95, no. 25, p. 253501, 2009.
- [14] E. O'Connor, B. Brennan, V. Djara, K. Cherkaoui, S. Monaghan, S. B. Newcomb, R. Contreras, M. Milojevic, G. Hughes, M. E. Pemble, R. M. Wallace, and P. K. Hurley, "A systematic study of $(\text{NH}_4)_2\text{S}$ passivation (22%, 10%, 5%, or 1%) on the interface properties of the $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ system for n-type and p-type $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ epitaxial layers," *J. Appl. Phys.*, vol. 109, no. 2, p. 24101, 2011.
- [15] V. Djara, T. P. O. Regan, K. Cherkaoui, M. Schmidt, S. Monaghan, É. O. Connor, I. M. Povey, D. O. Connell, M. E. Pemble, and P. K. Hurley, "Microelectronic Engineering Electrically active interface defects in the $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS system," *Microelectron. Eng.*, vol. 109, pp. 182–188, 2013.
- [16] A. Alian, G. Brammertz, R. Degraeve, M. Cho, C. Merckling, D. Lin, W.-E. Wang, M. Caymax, M. Meuris, K. de Meyer, and M. Heyns, "Oxide Trapping in the $\text{InGaAs}-\text{Al}_2\text{O}_3$ System and the Role of Sulfur in Reducing the Trap Density," *IEEE Electron Device Lett.*, vol. 33, no. 11, pp. 1544–1546, 2012.
- [17] Y. Xuan, H. C. Lin, and P. D. Ye, "Simplified surface preparation for GaAs passivation using atomic layer-deposited high-K dielectrics," *IEEE Trans. Electron Devices*, vol. 54, no. 8, pp. 1811–1817, 2007.
- [18] Y. Xuan, Y. Q. Wu, T. Shen, T. Yang, and P. D. Ye, "High performance submicron inversion-type enhancement-mode InGaAs MOSFETs with ALD Al_2O_3 , HfO_2 and HfAlO as gate dielectrics," in *2007 IEEE International Electron Devices Meeting*, 2007, pp. 637–640.
- [19] N. Goel, D. Heh, S. Koveshnikov, I. Ok, S. Oktyabrsky, V. Tokranov, R. Kambhampati, M. Yakimov, Y. Sun, P. Pianetta, C. K. Gaspe, M. B. Santos, J. Lee, S. Datta, P. Majhi, and W. Tsai, "Addressing the gate stack challenge for high mobility $\text{In}_x\text{Ga}_{1-x}\text{As}$ channels for NFETs," in *2008 IEEE International Electron Devices Meeting*, 2008, pp. 1–4.
- [20] T. Hoshii, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka, and S. Takagi, "Impact of InGaAs surface nitridation on interface properties of InGaAs metal-oxide-semiconductor capacitors using electron cyclotron resonance plasma sputtering SiO_2 ," *Appl. Phys. Lett.*, vol. 97, no. 13, pp. 2008–2011, 2010.
- [21] T. Hoshii, S. Lee, R. Suzuki, N. Taoka, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka, and S. Takagi, "Reduction in interface state density of $\text{Al}_2\text{O}_3/\text{InGaAs}$ metal-oxide-semiconductor interfaces by InGaAs surface nitridation," *J. Appl. Phys.*, vol. 112, no. 7, p. 73702, 2012.
- [22] E. J. Kim, L. Wang, P. M. Asbeck, K. C. Saraswat, and P. C. McIntyre, "Border traps in $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (100) gate stacks and their passivation by hydrogen anneals," *Appl. Phys. Lett.*, vol. 96, no. 1, p. 12906, Jan. 2010.
- [23] W. Melitz, J. Shen, T. Kent, A. C. Kummel, and R. Droopad, " InGaAs surface preparation for atomic layer deposition by hydrogen cleaning and improvement with high temperature anneal," *J. Appl. Phys.*, vol. 110, no. 1, pp. 1–7, 2011.
- [24] A. D. Carter, W. J. Mitchell, B. J. Thibeault, J. J. M. Law, and M. J. W. Rodwell, " Al_2O_3 Growth on (100) $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ Initiated by Cyclic Trimethylaluminum and Hydrogen Plasma Exposures," *Appl. Phys. Express*, vol. 4, no. 9, p. 91102, Aug. 2011.
- [25] T. Kent, K. Tang, V. Chobpattana, M. A. Negara, M. Edmonds, W. Mitchell, B. Sahu, R. Galatage, R. Droopad, P. McIntyre, and A. C. Kummel, "The influence of surface preparation on low temperature HfO_2 ALD on InGaAs (001) and (110) surfaces," *J. Chem. Phys.*, vol. 143, no. 16, p. 164711, Oct. 2015.
- [26] V. Chobpattana, J. Son, J. J. M. Law, R. Engel-Herbert, C.-Y. Huang, and S. Stemmer, "Nitrogen-passivated dielectric/ InGaAs interfaces with sub-nm equivalent oxide

- thickness and low interface trap densities,” *Appl. Phys. Lett.*, vol. 102, no. 2, p. 22907, 2013.
- [27] C. L. Hinkle, A. M. Sonnet, E. M. Vogel, S. McDonnell, G. J. Hughes, M. Milojevic, B. Lee, F. S. Aguirre-Tostado, K. J. Choi, H. C. Kim, J. Kim, and R. M. Wallace, “GaAs interfacial self-cleaning by atomic layer deposition,” *Appl. Phys. Lett.*, vol. 92, no. 7, pp. 2–5, 2008.
- [28] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, “Al₂O₃/GeO_x/Ge gate stacks with low interface trap density fabricated by electron cyclotron resonance plasma postoxidation,” *Appl. Phys. Lett.*, vol. 98, no. 11, p. 112902, Jun. 2011.
- [29] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, “Impact of GeO_x interfacial layer thickness on Al₂O₃/Ge MOS interface properties,” *Microelectron. Eng.*, vol. 88, no. 7, pp. 1533–1536, Jul. 2011.
- [30] R. Zhang, T. Iwasaki, N. Taoka, M. Takenaka, and S. Takagi, “High-Mobility Ge pMOSFET With 1-nm EOT Al₂O₃/GeO_x/Ge Gate Stack Fabricated by Plasma Post Oxidation,” *Electron Devices, IEEE Trans.*, vol. 59, no. 2, pp. 335–341, 2012.
- [31] Y. Hwang, R. Engel-Herbert, N. G. Rudawski, and S. Stemmer, “Effect of postdeposition anneals on the Fermi level response of HfO₂/In_{0.53}Ga_{0.47}As gate stacks,” *J. Appl. Phys.*, vol. 108, no. 3, pp. 0–4, 2010.
- [32] R. Suzuki, N. Taoka, M. Yokoyama, S.-H. Kim, T. Hoshii, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, “Impact of atomic layer deposition temperature on HfO₂/InGaAs metal-oxide-semiconductor interface properties,” *J. Appl. Phys.*, vol. 112, no. 8, p. 84103, 2012.
- [33] R. Suzuki, N. Taoka, M. Yokoyama, S. Lee, S. H. Kim, T. Hoshii, T. Yasuda, W. Jevasuwan, T. Maeda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, “1-nm-capacitance-equivalent-thickness HfO₂/Al₂O₃/InGaAs metal-oxide-semiconductor structure with low interface trap density and low gate leakage current density,” *Appl. Phys. Lett.*, vol. 100, no. 13, p. 132906, 2012.
- [34] D. M. Hausmann and R. G. Gordon, “Surface morphology and crystallinity control in the atomic layer deposition (ALD) of hafnium and zirconium oxide thin films,” *J. Cryst. Growth*, vol. 249, no. 1–2, pp. 251–261, 2003.
- [35] D. Triyoso, R. Liu, D. Roan, M. Ramon, N. V. Edwards, R. Gregory, D. Werho, J. Kulik, G. Tam, E. Irwin, X.-D. Wang, L. B. La, C. Hobbs, R. Garcia, J. Baker, B. E. White, and P. Tobin, “Impact of Deposition and Annealing Temperature on Material and Electrical Characteristics of ALD HfO₂,” *J. Electrochem. Soc.*, vol. 151, no. 10, p. F220, 2004.
- [36] E. A. Kraut, R. W. Grant, J. R. Waldrop, and S. P. Kowalczyk, “Precise determination of the valence-band edge in X-Ray photoemission spectra: Application to measurement of semiconductor interface potentials,” *Phys. Rev. Lett.*, vol. 44, no. 24, pp. 1620–1623, 1980.
- [37] S. A. Chambers, T. Droubay, T. C. Kaspar, and M. Gutowski, “Experimental determination of valence band maxima for SrTiO₃, TiO₂, and SrO and the associated valence band offsets with Si(001),” *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 22, no. 4, p. 2205, 2004.
- [38] H. Nohira, W. Tsai, W. Besling, E. Young, J. Petry, T. Conard, W. Vandervorst, S. De Gendt, M. Heyns, J. Maes, and M. Tuominen, “Characterization of ALCVD-Al₂O₃ and ZrO₂ layer using X-ray photoelectron spectroscopy,” *J. Non. Cryst. Solids*, vol. 303, no. 1, pp. 83–87, May 2002.

- [39] S. Miyazaki, "Photoemission study of energy-band alignments and gap-state density distributions for high-k gate dielectrics," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 19, no. 6, p. 2212, 2001.
- [40] M. L. Huang, Y. C. Chang, C. H. Chang, T. D. Lin, J. Kwo, T. B. Wu, and M. Hong, "Energy-band parameters of atomic-layer-deposition $\text{Al}_2\text{O}_3/\text{InGaAs}$ heterostructure," *Appl. Phys. Lett.*, vol. 89, no. 1, p. 12903, 2006.
- [41] M. L. Huang, Y. C. Chang, Y. H. Chang, T. D. Lin, J. Kwo, and M. Hong, "Energy-band parameters of atomic layer deposited Al_2O_3 and HfO_2 on $\text{In}_x\text{Ga}_{1-x}\text{As}$," *Appl. Phys. Lett.*, vol. 94, no. 5, p. 52106, 2009.
- [42] R. V. Galatage, H. Dong, D. M. Zhernokletov, B. Brennan, C. L. Hinkle, R. M. Wallace, and E. M. Vogel, "Effect of post deposition anneal on the characteristics of HfO_2/InP metal-oxide-semiconductor capacitors," *Appl. Phys. Lett.*, vol. 99, no. 17, p. 172901, 2011.
- [43] R. V. Galatage, H. Dong, D. M. Zhernokletov, B. Brennan, C. L. Hinkle, R. M. Wallace, and E. M. Vogel, "Electrical and chemical characteristics of $\text{Al}_2\text{O}_3/\text{InP}$ metal-oxide-semiconductor capacitors," *Appl. Phys. Lett.*, vol. 102, no. 13, p. 132903, 2013.
- [44] R. Zhang, P.-C. Huang, J.-C. Lin, M. Takenaka, and S. Takagi, "Atomic layer-by-layer oxidation of Ge (100) and (111) surfaces by plasma post oxidation of $\text{Al}_2\text{O}_3/\text{Ge}$ structures," *Appl. Phys. Lett.*, vol. 102, no. 8, p. 81603, Feb. 2013.
- [45] P. Hurley, E. O'Connor, and V. Djara, "The characterisation and passivation of fixed oxide charges and interface states in the $\text{Al}_2\text{O}_3/\text{InGaAs}$ MOS system," vol. 13, no. 4, pp. 429–443, 2013.
- [46] E. Nicollian and J. Brews, "MOS/metal oxide semiconductor/physics and technology," *NYork, Wiley-Interscience, 1982.*, vol. 130, no. 1. Wiley-Interscience, p. 46, 1982.
- [47] K. Martens, C. O. Chui, G. Brammertz, B. De Jaeger, D. Kuzum, M. Meuris, M. M. Heyns, T. Krishnamohan, K. Saraswat, H. E. Maes, and G. Groeseneken, "On the correct extraction of interface trap density of MOS devices with high-mobility semiconductor substrates," *IEEE Trans. Electron Devices*, vol. 55, no. 2, pp. 547–556, 2008.
- [48] R. Engel-Herbert, Y. Hwang, and S. Stemmer, "Comparison of methods to quantify interface trap densities at dielectric/III-V semiconductor interfaces," *J. Appl. Phys.*, vol. 108, no. 12, p. 124101, 2010.
- [49] I. Krylov, A. Gavrilov, D. Ritter, and M. Eizenberg, "Elimination of the weak inversion hump in $\text{Si}_3\text{N}_4/\text{InGaAs}$ (001) gate stacks using an in situ NH_3 pre-treatment," *Appl. Phys. Lett.*, vol. 99, no. 20, p. 203504, 2011.
- [50] K. J. Yang and C. Hu, "MOS capacitance measurements for high-leakage thin dielectrics," *IEEE Trans. Electron Devices*, vol. 46, no. 7, pp. 1500–1501, Jul. 1999.
- [51] Z. Luo and T. P. Ma, "A New Method to Extract EOT of Ultrathin Gate Dielectric With High Leakage Current," *IEEE Electron Device Lett.*, vol. 25, no. 9, pp. 655–657, Sep. 2004.
- [52] D. M. Fleetwood, P. S. Winokur, R. A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt, and L. C. Riewe, "Effects of oxide traps, interface traps, and 'border traps' on metal-oxide-semiconductor devices," *J. Appl. Phys.*, vol. 73, no. 10, pp. 5058–5074, 1993.
- [53] Y. Lechaux, A. B. Fadjie-Djomkam, S. Bollaert, and N. Wichmann, "Impact of oxygen plasma postoxidation process on $\text{Al}_2\text{O}_3/\text{n-In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor capacitors," *Appl. Phys. Lett.*, vol. 109, no. 13, p. 131602, 2016.

- [54] Y. Lechaux, A. Fadjie, S. Bollaert, V. Talbo, J. Mateos, T. González, B. G. Vasallo, and N. Wichmann, "Improvement of interfacial and electrical properties of $\text{Al}_2\text{O}_3 / \text{n-Ga}_{0.47}\text{In}_{0.53}\text{As}$ for III-V impact ionization MOSFETs," *J. Phys. Conf. Ser.*, vol. 647, no. 1, p. 12062, Oct. 2015.
- [55] H. C. Lin, G. Brammertz, K. Martens, G. de Valicourt, L. Negre, W.-E. Wang, W. Tsai, M. Meuris, and M. Heyns, "The Fermi-level efficiency method and its applications on high interface trap density oxide-semiconductor interfaces," *Appl. Phys. Lett.*, vol. 94, no. 15, p. 153508, 2009.
- [56] S. Stemmer, V. Chobpattana, and S. Rajan, "Frequency dispersion in III-V metal-oxide-semiconductor capacitors," *Appl. Phys. Lett.*, vol. 100, no. 23, p. 233510, 2012.
- [57] G. Brammertz, A. Alian, D. H.-C. Lin, M. Meuris, M. Caymax, and W.-E. Wang, "A Combined Interface and Border Trap Model for High-Mobility Substrate Metal-Oxide-Semiconductor Devices Applied to $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ and InP Capacitors," *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 3890–3897, Nov. 2011.
- [58] Y. Yuan, L. Wang, B. Yu, B. Shin, J. Ahn, P. C. McIntyre, P. M. Asbeck, M. J. W. Rodwell, and Y. Taur, "A Distributed Model for Border Traps in $\text{Al}_2\text{O}_3 - \text{InGaAs}$ MOS devices," *IEEE Electron Device Lett.*, vol. 32, no. 4, pp. 485–487, Apr. 2011.
- [59] R. Winter, J. Ahn, P. C. McIntyre, and M. Eizenberg, "New method for determining flat-band voltage in high mobility semiconductors," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 31, no. 3, p. 30604, 2013.
- [60] R.J. Hillard, "Direct and rapid method for determining flatband voltage from non-equilibrium capacitance voltage data," vol. 1991, pp. 261–274.
- [61] J. Robertson, "Model of interface states at III-V oxide interfaces," *Appl. Phys. Lett.*, vol. 94, no. 15, 2009.
- [62] Quang Ho Luc, E. Y. Chang, Hai Dang Trinh, Yueh Chin Lin, Hong Quan Nguyen, Yuen Yee Wong, Huy Binh Do, S. Salahuddin, and C. C. Hu, "Electrical Characteristics of n, p- $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSCAPs With In Situ PEALD- AlN Interfacial Passivation Layer," *IEEE Trans. Electron Devices*, vol. 61, no. 8, pp. 2774–2778, Aug. 2014.
- [63] G. Brammertz, H. C. Lin, K. Martens, D. Mercier, C. Merckling, J. Penaud, C. Adelman, S. Sioncke, W. E. Wang, M. Caymax, M. Meuris, and M. Heyns, "Capacitance–Voltage Characterization of GaAs –Oxide Interfaces," *J. Electrochem. Soc.*, vol. 155, no. 12, p. H945, 2008.
- [64] Y.-C. Lin, M.-L. Huang, C.-Y. Chen, M.-K. Chen, H.-T. Lin, P.-Y. Tsai, C.-H. Lin, H.-C. Chang, T.-L. Lee, C.-C. Lo, S.-M. Jang, C. H. Diaz, H.-Y. Hwang, Y.-C. Sun, and E. Y. Chang, "Low interface trap density $\text{Al}_2\text{O}_3 / \text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS capacitor fabricated on MOCVD-grown InGaAs epitaxial layer on Si substrate," *Appl. Phys. Express*, vol. 7, no. 4, p. 41202, Apr. 2014.
- [65] K. Martens, W. Wang, K. De Keersmaecker, G. Borghs, G. Groeseneken, and H. Maes, "Impact of weak Fermi-level pinning on the correct interpretation of III-V MOS C-V and G-V characteristics," *Microelectron. Eng.*, vol. 84, no. 9–10, pp. 2146–2149, Sep. 2007.
- [66] H. Chen, J. Ahn, P. C. McIntyre, and Y. Taur, "Effects of oxide thickness and temperature on dispersions in InGaAs MOS C-V characteristics," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 32, no. 3, p. 03D111, May 2014.
- [67] A. Vais, H. C. Lin, C. Dou, K. Martens, T. Ivanov, Q. Xie, F. Tang, M. Givens, J. Maes, N. Collaert, J. P. Raskin, K. Demeyer, and A. Thean, "Temperature dependence of frequency dispersion in III-V metal-oxide-semiconductor C-V and the capture/emission process of border traps," *Appl. Phys. Lett.*, vol. 107, no. 5, 2015.

- [68] E. C. S. Transactions and T. E. Society, "Border Trap Density in Al_2O_3 /InGaAs MOS: Dependence on Hydrogen Passivation and Bias Temperature Stress K. Tang," vol. 69, no. 5, pp. 53–60, 2015.
- [69] Y. Taur, H. P. Chen, Q. Xie, J. Ahn, P. C. McIntyre, D. Lin, A. Vais, and D. Veksler, "A unified two-band model for oxide traps and interface states in MOS capacitors," *IEEE Trans. Electron Devices*, vol. 62, no. 3, pp. 813–820, 2015.
- [70] F. P. Heiman and G. Warfield, "The effects of oxide traps on the MOS capacitance," *IEEE Trans. Electron Devices*, vol. 12, no. 4, pp. 167–178, 1965.
- [71] Y. Yuan, B. Yu, J. Ahn, P. C. McIntyre, P. M. Asbeck, M. J. W. Rodwell, and Y. Taur, "A Distributed Bulk-Oxide Trap Model for Al_2O_3 / InGaAs MOS Devices," *IEEE Trans. Electron Devices*, vol. 59, no. 8, pp. 2100–2106, Aug. 2012.
- [72] C. Zhang, M. Xu, P. D. Ye, and X. Li, "A distributive-transconductance model for border traps in III-V/high-k MOS capacitors," *IEEE Electron Device Lett.*, vol. 34, no. 6, pp. 735–737, 2013.
- [73] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO_2 ," *J. Appl. Phys.*, vol. 40, no. 1, pp. 278–283, Jan. 1969.
- [74] L. J. G. Zazo, "Chemical Cleaning of GaSb (1,0,0) Surfaces," *J. Electrochem. Soc.*, vol. 136, no. 5, p. 1480, 1989.
- [75] A. Nainani, T. Irisawa, Z. Yuan, B. R. Bennett, J. B. Boos, Y. Nishi, and K. C. Saraswat, "Optimization of the Al_2O_3 /GaSb interface and a high-mobility GaSb pMOSFET," *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3407–3415, 2011.
- [76] A. Nainani, T. Irisawa, Y. Sun, F. Crnogorac, and K. Saraswat, "A sub 350°C GaSb pMOSFET with ALD high-k dielectric," vol. 96, no. 5, pp. 9–10, 2009.
- [77] M. Xu, R. Wang, and P. D. Ye, "GaSb Inversion-Mode PMOSFETs With Atomic-Layer-Deposited Al_2O_3 as Gate Dielectric," *IEEE Electron Device Lett.*, vol. 32, no. 7, pp. 883–885, Jul. 2011.
- [78] Z. Y. Liu, B. Hawkins, and T. F. Kuech, "Chemical and structural characterization of GaSb(100) surfaces treated by HCl-based solutions and annealed in vacuum," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 21, no. 1, p. 71, 2003.
- [79] L. Zhao, Z. Tan, R. Bai, N. Cui, J. Wang, and J. Xu, "Effects of Sulfur Passivation on GaSb Metal–Oxide–Semiconductor Capacitors with Neutralized and Unneutralized $(\text{NH}_4)_2\text{S}$ Solutions of Varied Concentrations," *Appl. Phys. Express*, vol. 6, no. 5, p. 56502, May 2013.
- [80] U. Peralagu, I. M. Povey, P. Carolan, J. Lin, R. Contreras-Guerrero, R. Droopad, P. K. Hurley, and I. G. Thayne, "Electrical and physical characterization of the Al_2O_3 /p-GaSb interface for 1%, 5%, 10%, and 22% $(\text{NH}_4)_2\text{S}$ surface treatments," *Appl. Phys. Lett.*, vol. 105, no. 16, p. 162907, Oct. 2014.
- [81] Z. Tan, L.-F. Zhao, J. Wang, and J. Xu, "Interfacial and electrical properties of HfAlO/GaSb metal-oxide-semiconductor capacitors with sulfur passivation," *Chinese Phys. B*, vol. 23, no. 1, p. 17701, 2014.
- [82] A. Nainani, Y. Sun, T. Irisawa, Z. Yuan, M. Kobayashi, P. Pianetta, B. R. Bennett, J. Brad Boos, and K. C. Saraswat, "Device quality Sb-based compound semiconductor surface: A comparative study of chemical cleaning," *J. Appl. Phys.*, vol. 109, no. 11, p. 114908, 2011.
- [83] S. M. George, "Atomic layer deposition: An overview," *Chem. Rev.*, vol. 110, no. 1, pp. 111–131, 2010.
- [84] S. Dongwan, J. Leea, J. Na, and S. Lim, "Study on the Gallium Antimonide (GaSb) Semiconductor Surface in Wet Chemical Solutions," 2016.

- [85] M. Yokoyama, Y. Asakura, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of process temperature on GaSb metal-oxide-semiconductor interface properties fabricated by ex-situ process," *Appl. Phys. Lett.*, vol. 104, no. 26, p. 262901, Jun. 2014.
- [86] L. B. Ruppalt, E. R. Cleveland, J. G. Champlain, S. M. Prokes, J. Brad Boos, D. Park, and B. R. Bennett, "Atomic layer deposition of Al₂O₃ on GaSb using in situ hydrogen plasma exposure," *Appl. Phys. Lett.*, vol. 101, no. 23, p. 231601, 2012.
- [87] E. R. Cleveland, L. B. Ruppalt, B. R. Bennett, and S. M. Prokes, "Effect of an in situ hydrogen plasma pre-treatment on the reduction of GaSb native oxides prior to atomic layer deposition," *Appl. Surf. Sci.*, vol. 277, pp. 167–175, 2013.
- [88] M. Barth, G. Bruce Rayner, S. McDonnell, R. M. Wallace, B. R. Bennett, R. Engel-Herbert, and S. Datta, "High quality HfO₂/p-GaSb(001) metal-oxide-semiconductor capacitors with 0.8 nm equivalent oxide thickness," *Appl. Phys. Lett.*, vol. 105, no. 22, p. 222103, 2014.
- [89] L. B. Ruppalt, E. R. Cleveland, J. G. Champlain, B. R. Bennett, J. B. Boos, and S. M. Prokes, "Electronic properties of atomic-layer-deposited high-k dielectrics on GaSb(001) with hydrogen plasma pretreatment," *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 33, no. 4, p. 04E102, Jul. 2015.
- [90] Z. Tan, L. Zhao, and N. Cui, "Effects of Ozone pre-deposition treatment on GaSb MOS capacitors," *Electron Devices (CDE)*, ..., no. 2011, pp. 21–24, 2013.
- [91] L. Zhao, Z. Tan, J. Wang, and J. Xu, "Improved Characteristics of GaSb MOS Capacitors by Ozone Post Deposition Treatment," *ECS Trans.*, vol. 53, no. 1, pp. 177–182, May 2013.
- [92] L. Zhao, Z. Tan, J. Wang, and J. Xu, "Effects of ozone post deposition treatment on interfacial and electrical characteristics of atomic-layer-deposited Al₂O₃ and HfO₂ films on GaSb substrates," *Appl. Surf. Sci.*, vol. 289, pp. 601–605, 2014.
- [93] M. Yokoyama and Y. Asakura, "Impact of Al₂O₃ ALD temperature on Al₂O₃/GaSb metal-oxide-semiconductor interface properties," *Indium Phosphide ...*, vol. 4, no. V, pp. 31–32, 2013.
- [94] S. McDonnell, D. M. Zhernokletov, A. P. Kirk, J. Kim, and R. M. Wallace, "In situ X-ray photoelectron spectroscopy characterization of Al₂O₃/GaSb interface evolution," *Appl. Surf. Sci.*, vol. 257, no. 20, pp. 8747–8751, Aug. 2011.
- [95] I. Geppert, M. Eizenberg, A. Ali, and S. Datta, "Band offsets determination and interfacial chemical properties of the Al₂O₃/GaSb system," *Appl. Phys. Lett.*, vol. 97, no. 16, p. 162109, 2010.
- [96] Y. Lechaux, A.-B. Fadjie-Djomkam, S. Bollaert, L. Morgenroth, and N. Wichmann, "Improvement of interfacial properties of Al₂O₃/GaSb using O₂ plasma postoxidation process," in *2016 IEEE Nanotechnology Materials and Devices Conference (NMDC)*, 2016, pp. 1–2.

Chapitre 4 – Étude et fabrication de transistors à faibles pentes sous le seuil

Table des matières

I - Étude, fabrication et caractérisation de <i>n</i>-TFETs InGaAs	178
1) Étude du <i>n</i> -TFET InGaAs ($L_i = 100$ nm) par simulation TCAD	178
a) Cas du <i>n</i> -TFET avec recouvrement complet de la zone intrinsèque	178
b) Cas du <i>n</i> -TFET avec recouvrement de la jonction <i>pi</i>	181
2) Fabrication du <i>n</i> -TFET InGaAs avec $L_i = 800$ nm	183
a) Structure épitaxiale	183
b) Réalisation technologique	184
3) Caractéristiques électriques du <i>n</i> -TFET InGaAs avec $L_i = 800$ nm	185
a) Caractéristique I_D - V_{DS}	185
b) Caractéristiques I_D - V_{GS} , DIBL, pente sous le seuil et transconductance	186
II - Étude, fabrication et caractérisation du I-MOSFET GaSb	187
1) Étude par simulation TCAD du I-MOSFET GaSb	187
a) Structure simulée	187
b) Effet de la longueur intrinsèque effective sur la tension d'avalanche	188
c) Caractéristique I_D - V_{GS} et courbes I_D - V_{DS} sans et avec polarisation V_{GS}	189
2) Fabrication des transistors I-MOSFET GaSb	190
a) Dépôt du contact supérieur de source <i>p</i>	191
b) Gravure humide du méso peu-profond	191
c) Gravure sèche méso peu-profond	193
d) Dépôt de l'oxyde de grille	195
e) Dépôt de la grille auto-alignée	195
f) Gravure de l'oxyde de grille	197
g) Dépôt du contact inférieur de drain <i>n</i>	197
h) Dépôt et gravure du nitrure et réalisation des ponts à air	198
3) Caractéristiques électriques du I-MOSFET GaSb	199
Conclusion du chapitre 4	201
Bibliographie du chapitre 4	202

Chapitre 4 :

Étude et fabrication de transistors à faibles pentes sous le seuil

Nous avons vu, dans le second chapitre de ce rapport de thèse, que la structure épitaxiale et les matériaux composant le transistor MOSFET influent largement sur son fonctionnement. Les structures *pin* InP/ InGaAs présentaient un fort effet tunnel bande à bande en polarisation inverse, ce qui permet potentiellement de réaliser des transistors à effet tunnel (TFET). Les structures *pinin* InAlAs/InGaAs, bien que permettant de réduire l'effet tunnel bande à bande au profit de l'ionisation par impact, présentaient des tensions de claquage supérieures à 25 V. Cette architecture particulière ne permet donc pas de réaliser des transistors I-MOSFET compétitifs vis-à-vis de la technologie silicium. Les structures *pin* GaSb présentent un claquage proche de 5 V, cependant de nombreux défauts présents dans l'épitaxie engendraient un fort courant à faible tension. La réduction de la taille des dispositifs permettrait potentiellement de diminuer le courant et d'observer l'ionisation par impact.

Ce dernier chapitre est consacré à l'étude et la fabrication de deux transistors à faible pente sous le seuil. Dans une première partie nous aborderons l'étude, la fabrication et la caractérisation d'un transistor à effet tunnel à partir de la première structure *pin* à base d'InGaAs. Dans une seconde partie, nous étudierons par simulation le I-MOSFET à base de GaSb puis exposerons les différentes étapes de fabrication de transistors à ionisation par impact présentant une architecture verticale et de taille réduite dont l'électrode de grille est réalisée de façon auto-alignée. Ce dernier est ensuite caractérisé par des mesures électriques.

I - Étude, fabrication et caractérisation de *n*-TFETs InGaAs

Afin d'évaluer la possibilité de réaliser un transistor à effet tunnel à partir de la structure *pin* à base d'InGaAs, nous avons tout d'abord effectué des simulations TCAD. La structure *pin* InP/ InGaAs nécessitant un approfondissement en termes de simulation de l'hétérostructure, nous nous sommes concentrés sur la structure *pin* InGaAs. Dans nos simulations, le développement des structures est fixé à 1 μm .

1) Étude du *n*-TFET InGaAs ($L_i = 100 \text{ nm}$) par simulation TCAD

Nous avons étudié par simulation TCAD un transistor à effet tunnel (TFET) à base d'InGaAs de longueur intrinsèque 100 nm de type *n*. La structure simulée est définie par une zone dopée *n* ($3 \times 10^{19} \text{ cm}^{-3}$), une zone non intentionnellement dopée *i* ($1 \times 10^{15} \text{ cm}^{-3}$), une zone dopée *p* ($3 \times 10^{19} \text{ cm}^{-3}$). Le contact ohmique de source est le palladium, le contact ohmique de drain est le titane, l'oxyde est l'alumine Al_2O_3 (4 nm) et l'électrode de grille est le nickel. Les résistances de contact ainsi que l'effet des défauts d'interface sont négligés. Les différents paramètres utilisés pour simuler l'effet tunnel bande à bande dans l'InGaAs ont été déterminés à l'aide du modèle analytique présenté au chapitre 2. Nous allons présenter deux architectures de *n*-TFET, lorsque la grille recouvre l'ensemble de la zone intrinsèque et lorsqu'elle recouvre la jonction *pi*. En effet, lorsque la grille recouvre l'ensemble de la zone intrinsèque, le potentiel V_{GS} appliqué sur cette dernière engendre un pliage des bandes d'énergie de valence et de conduction aux jonctions *pi* ($V_{GS} > 0 \text{ V}$) et *in* ($V_{GS} < 0 \text{ V}$) augmentant l'effet tunnel et donc le courant à l'état OFF. Nous parlons dans ce cas d'effet d'ambipolarité.

a) Cas du *n*-TFET avec recouvrement complet de la zone intrinsèque

Le premier dispositif étudié est un transistor à effet tunnel basé sur la diode *pin* à base d'InGaAs de longueur intrinsèque $L_i = 100 \text{ nm}$ dont la grille recouvre complètement la zone intrinsèque (**figure 1**).

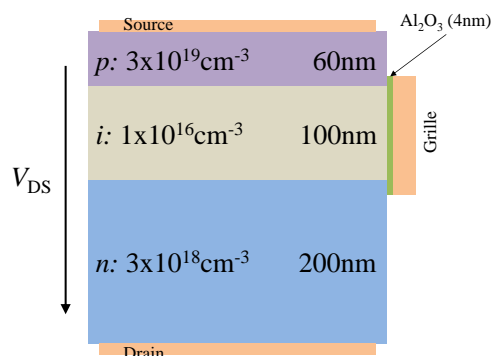


figure 1 – Représentation de la structure du TFET InGaAs ($L_i = 100 \text{ nm}$) dont l'électrode de grille recouvre entièrement la zone intrinsèque.

L'électrode de grille a pour effet de moduler la quantité de charges dans une zone d'épaisseur de plusieurs centaines de nanomètres sous la grille. Ainsi l'accumulation ou la déplétion de charges aura pour effet de plier les bandes d'énergie de valence et de conduction et de permettre le passage des porteurs par effet tunnel. La **figure 2** montre le diagramme de bandes d'énergie de conduction et de valence pour différentes tensions V_{DS} appliquées ($V_{DS} = 0,2$ V, $V_{DS} = 0,4$ V et $V_{DS} = 0,7$ V) au milieu de la structure (**figure 2.a**) et proche de l'interface oxyde/ InGaAs (**figure 2.b**) à une tension $V_{GS} = 2$ V. Lorsque nous observons le diagramme de bandes d'énergie en milieu de structure, aucun effet d'accumulation de charges n'est visible et le comportement électrique est le même qu'une diode *pin*. Cependant lorsque nous observons le diagramme de bandes d'énergie proche de l'interface oxyde/ InGaAs, l'effet d'accumulation s'observe par le pliage des bandes d'énergie dans la zone intrinsèque sous la grille. Nous pouvons remarquer que, proche de la grille, l'abaissement des bandes d'énergie de valence et de conduction à la jonction *pi* permet aux porteurs de passer par effet tunnel bande à bande. Cet effet est d'autant plus élevé que la tension V_{DS} est élevée.

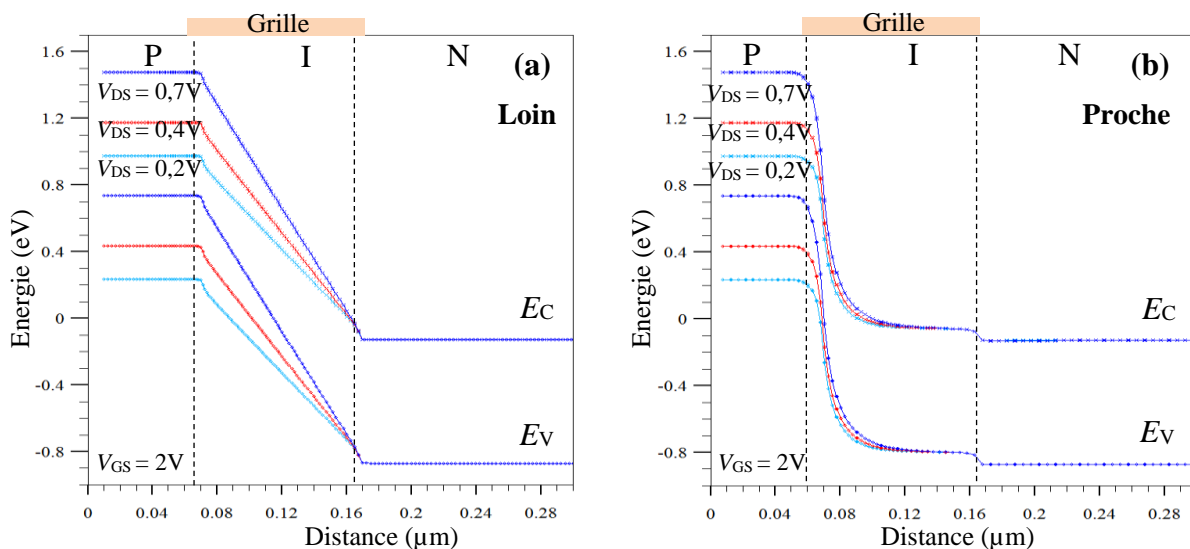


figure 2 - Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{GS} = 2$ V pour différentes valeurs de tensions V_{DS} , loin (a) et proche de l'interface oxyde/ InGaAs (b).

Pour obtenir la caractéristique de transfert I_D - V_{GS} du transistor à effet tunnel, il faut appliquer une tension négative suffisante sur la source de sorte à engendrer légèrement de l'effet tunnel puis polariser la grille afin de modifier localement la structure des bandes d'énergie en accumulant des charges à l'interface oxyde/ InGaAs. La caractéristique de transfert I_D - V_{GS} obtenue à $V_{DS} = 0,2$ V, représentée à la **figure 3**, présente deux maxima (I_{ON}) et un minimum (I_{OFF}). Nous pouvons par ailleurs noter que le courant de fuite est très élevé.

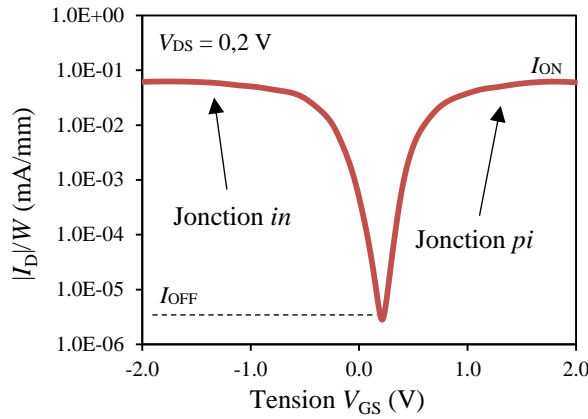


figure 3 - Caractéristiques de transfert I_D - V_{GS} pour une tension $V_{DS} = 0,2$ V pour le n -TFET dont la grille recouvre entièrement la zone intrinsèque.

La **figure 4** représente les diagrammes des bandes d'énergie à $V_{DS} = 0,2$ V pour des tensions de grille $V_{GS} = -2$ V et $V_{GS} = 2$ V. En polarisation négative de V_{GS} , l'accumulation de trous va donc créer une jonction très abrupte à la jonction *in* (**figure 4.a**) et permettre aux porteurs de traverser par effet tunnel bande à bande. Au contraire, en polarisation positive de V_{GS} , l'accumulation d'électrons va créer une jonction très abrupte à la jonction *pi* (**figure 4.b**) et permettre aussi l'effet tunnel bande à bande. Nous parlons alors d'effet d'ambipolarité.

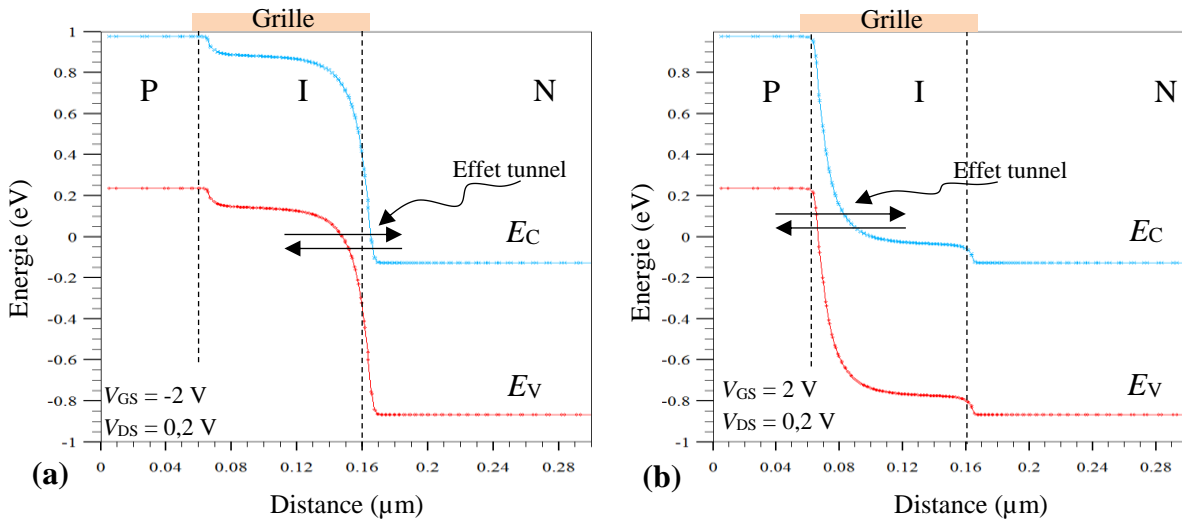


figure 4 - Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{DS} = 0,2$ V pour des tensions de grille $V_{GS} = -2$ V (a) et $V_{GS} = 2$ V (b).

La **figure 5** représente l'évolution de la pente sous le seuil en fonction du courant. Nous pouvons voir que sa valeur minimale est proche de 60 mV/décade.

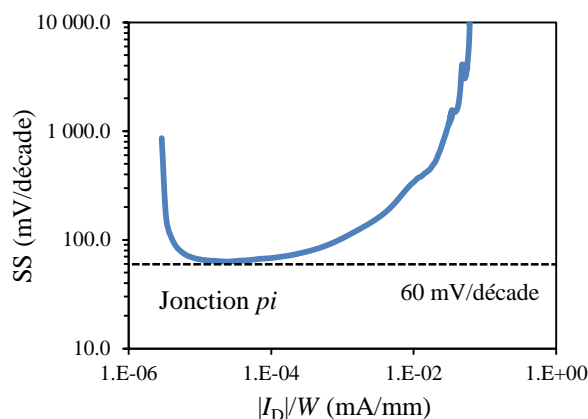


figure 5 – Évolution de la pente sous le seuil en fonction du courant pour une tension $V_{DS} = 0,2$ V pour le n -TFET dont la grille recouvre entièrement la zone intrinsèque.

Afin de réduire ce courant de fuite, il faut donc « confiner » la grille proche de la jonction pi . Cela va permettre ainsi de confiner la modulation des bandes de valence et de conduction du côté p .

b) Cas du n -TFET avec recouvrement de la jonction pi

Dans ce cas, la grille ne recouvre que partiellement la zone intrinsèque et plus particulièrement la jonction pi , nous parlons alors de n -TFET. La diminution de l'effet du potentiel apporté par la grille sur la courbe I_D - V_{DS} (**figure 6**) réduit fortement le courant à l'état bloquant I_{OFF} .

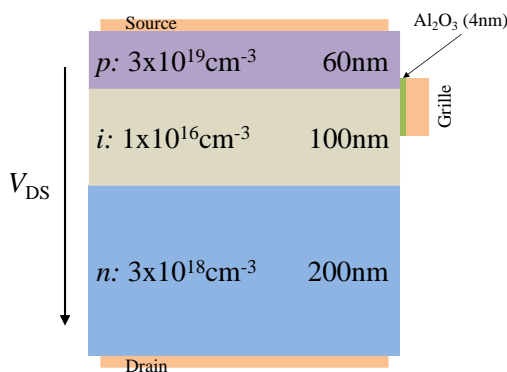


figure 6 – Représentation de la structure du transistor à effet tunnel dont la grille recouvre partiellement la zone intrinsèque (a) et sa courbe I_D - V_{DS} à $V_{GS} = 0$ V (b).

La **figure 7** montre le diagramme de bandes d'énergie de conduction et de valence pour différentes tensions V_{DS} appliquées loin (**figure 7.a**) et proche de l'interface oxyde/ InGaAs (**figure 7.b**) pour le transistor avec recouvrement partiel de la zone intrinsèque pour une tension $V_{GS} = 2$ V. Comme dans le cas précédent, nous pouvons voir qu'en milieu de structure, la polarisation appliquée sur la grille ne modifie pas les bandes d'énergie. Cependant, proche

de l'interface oxyde/ InGaAs, la tension appliquée sur la grille permet de moduler les bandes d'énergie et permettre aux électrons de passer par effet tunnel à V_{DS} suffisant. Lorsque la grille recouvre partiellement la zone intrinsèque, nous pouvons observer que le pliage des bandes d'énergie est confiné à l'espace sous la grille.

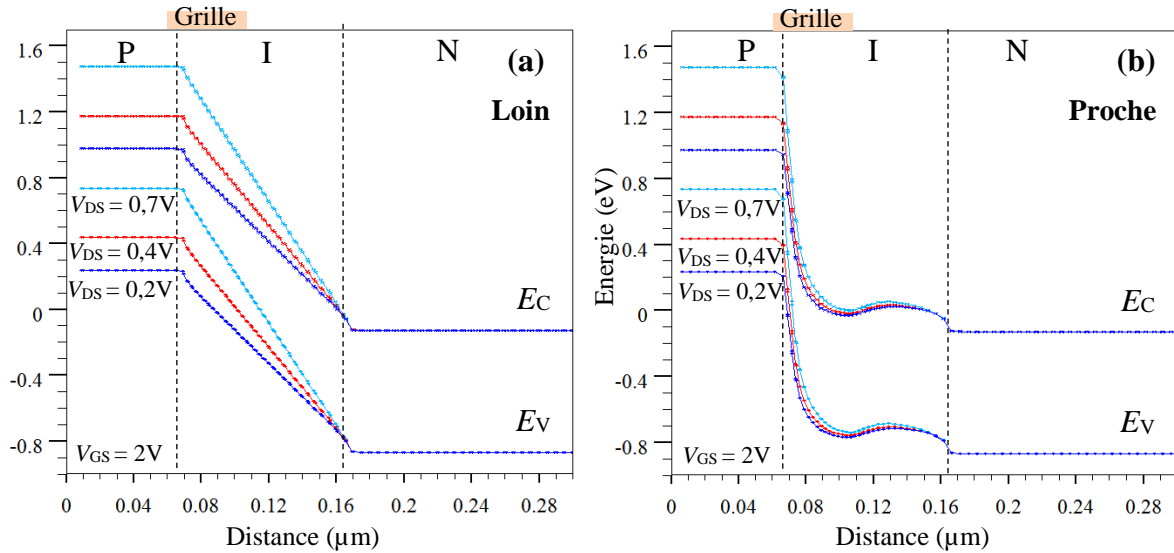


figure 7 - Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{GS} = 2\text{ V}$ pour différentes valeurs de tensions V_{DS} , loin (a) ou proche de l'interface oxyde/ InGaAs (b).

Nous avons ensuite extrait la caractéristique de transfert à une tension $V_{DS} = 0,2\text{ V}$ représentée à la **figure 8.a**. En comparaison au n -TFET dont la grille recouvre entièrement la zone intrinsèque, le courant I_{OFF} est beaucoup plus faible avec un ratio I_{ON}/I_{OFF} de l'ordre de 9×10^5 sans affecter significativement la pente sous le seuil (**figure 8.b**). Nous voyons que l'effet d'ambipolarité est absent sur toute gamme de tension V_{GS} .

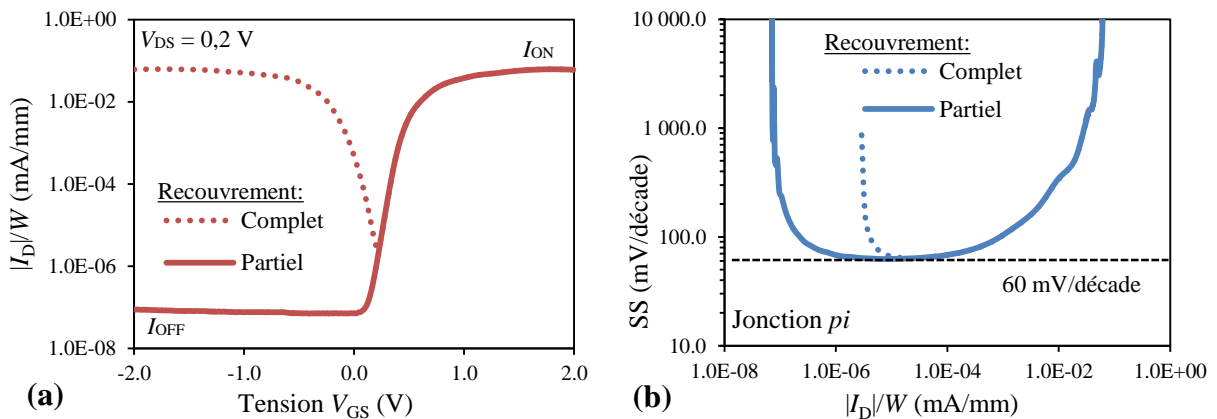


figure 8 - Caractéristiques de transfert I_D - V_{GS} (a) et la pente sous le seuil extraite (b) pour une tension $V_{DS} = 0,2\text{ V}$ pour un n -TFET dont la grille recouvre entièrement la zone intrinsèque (tiret) et partiellement la zone intrinsèque (trait plein).

Nous avons alors représenté le diagramme des bandes de valence et de conduction à $V_{DS} = 0,2 \text{ V}$ pour des polarisations de grille $V_{GS} = -2 \text{ V}$ et $V_{GS} = 2 \text{ V}$. Nous pouvons noter que l'effet tunnel est fortement réduit lorsque la tension $V_{GS} = -2 \text{ V}$ (**figure 9.a**) diminuant ainsi le courant à l'état OFF comparé à la structure précédente. Ensuite à $V_{GS} = 2 \text{ V}$ (**figure 9.b**), la faible largeur de la barrière de potentiel permet aux porteurs de passer par effet tunnel bande à bande, le transistor est à l'état passant.

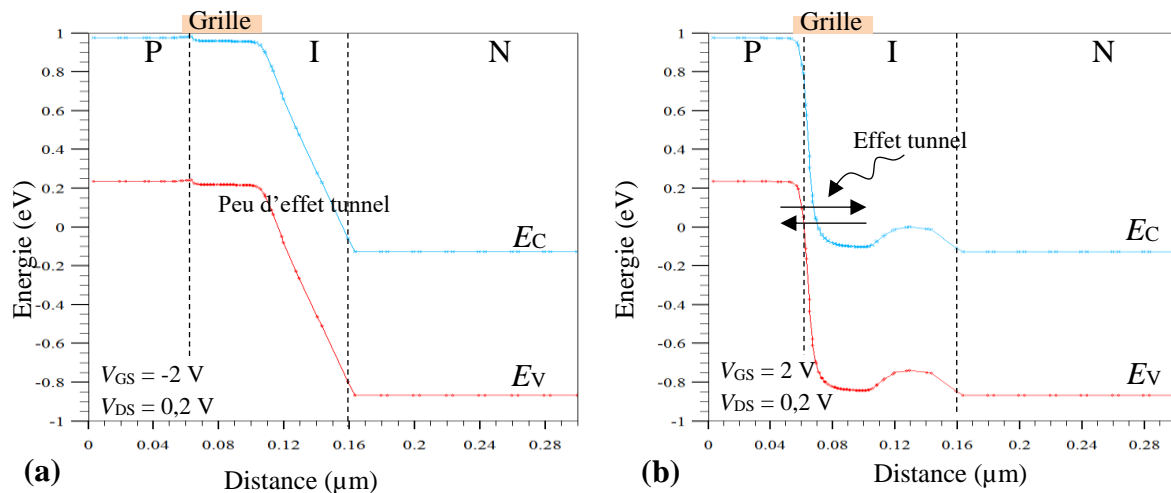


figure 9 – Représentation des diagrammes de bandes d'énergie de valence et de conduction à $V_{DS} = 0,2 \text{ V}$ pour des tensions de grille $V_{GS} = -2 \text{ V}$ (a) et $V_{GS} = 2 \text{ V}$ (b).

2) Fabrication du *n*-TFET InGaAs avec $L_i = 800 \text{ nm}$

Nous avons fabriqué un transistor à effet tunnel sur une structure *pin* de longueur intrinsèque 800 nm. Cette épaisseur a été choisie pour simplifier la technologie de fabrication pour le dépôt de la grille. Afin d'éviter l'effet d'ambipolarité, la grille ne recouvre que la zone *pi* du transistor.

a) Structure épitaxiale

La structure épitaxiale (**figure 10**) est réalisée de la façon suivante : un buffer InAlAs semi-insulant déposé sur un substrat InP (100), une couche fortement dopée *n* ($3 \times 10^{19} \text{ cm}^{-3}$) d'épaisseur 10 nm pour le contact ohmique de drain, une couche d'InGaAs dopée *n* ($6 \times 10^{18} \text{ cm}^{-3}$) d'épaisseur 50 nm, une couche non intentionnellement dopée *nid* d'InGaAs d'épaisseur 800 nm, une couche d'InGaAs dopée *p* ($6 \times 10^{18} \text{ cm}^{-3}$) d'épaisseur 50 nm et une couche d'InGaAs fortement dopée *p* ($3 \times 10^{19} \text{ cm}^{-3}$) d'épaisseur 400 nm pour le contact ohmique de source.

In _{0,53} Ga _{0,47} As	$p = 3 \times 10^{19} \text{cm}^{-3}$	10nm
In _{0,53} Ga _{0,47} As	$p = 6 \times 10^{18} \text{cm}^{-3}$	50nm
In _{0,53} Ga _{0,47} As	<i>nid</i>	800nm
In _{0,53} Ga _{0,47} As	$n = 6 \times 10^{18} \text{cm}^{-3}$	50nm
In _{0,53} Ga _{0,47} As	$n = 3 \times 10^{19} \text{cm}^{-3}$	400nm
In _{0,52} Al _{0,48} As (buffer)		
InP (substrat)		

figure 10 – Structure épitaxiale du transistor à effet tunnel InGaAs de longueur intrinsèque $L_i = 800$ nm.

b) Réalisation technologique

Le procédé de fabrication est basé sur le procédé de fabrication des diodes *pin* InGaAs décrit dans le chapitre 2. La réalisation d'un transistor nécessite également le dépôt d'un oxyde de grille et du métal de grille. Le procédé de fabrication détaillé ci-dessous est représenté en **figure 11**, il s'agit d'un procédé « Gate-first » car la grille est réalisée en première. Celle-ci est déposée exclusivement sur la zone *pi*.

Le premier méso est gravé par une solution d'acide orthophosphorique pour faire apparaître la couche fortement dopée *n* (**figure 11.1**). Ensuite un second méso a été réalisé jusqu'à la couche non dopée (*nid*) par gravure humide à l'aide d'une solution d'acide orthophosphorique (**figure 11.2**). La profondeur gravée a été mesurée par profilomètre et est de l'ordre de 360 nm laissant une longueur intrinsèque non recouverte de l'ordre de 500 nm. Un traitement par une solution diluée de NH₄OH (4%) permet de traiter la surface avant le dépôt de l'oxyde par ALD. L'oxyde de grille choisi est l'alumine Al₂O₃ en utilisant le procédé de plasma O₂ après dépôt d'oxyde (**figure 11.3**). Ce dernier a démontré de bonnes caractéristiques électriques de contrôle électrostatique de charges dans le cas des capacités MOS à base d'InGaAs (voir chapitre 3). L'épaisseur totale déposée est de 4nm soit une épaisseur effective d'oxyde de 2,4 nm. Un PDA à une température de 600°C pendant 1 min a été effectué par la suite pour stabiliser l'oxyde. Ensuite le métal de grille, composé d'une séquence métallique Ni/Au d'épaisseurs respectives 100/250 nm, a été déposé par évaporation par faisceau d'électrons (**figure 11.4**). L'oxyde est alors gravé par une solution diluée de BOE (ratio vol. 1:5 avec H₂O) pour pouvoir déposer les différents contacts ohmiques (**figure 11.5**). Le contact de source, composé d'une séquence métallique Pd/Ti/Pt/Au d'épaisseurs respectives 4/235/25/250 nm est déposé par évaporation par faisceau d'électrons. La résistance spécifique de contact associée a été mesurée par la méthode de TLM et estimée à $\rho_C = 7,7 \times 10^{-7} \Omega \cdot \text{cm}^2$. Puis le contact de drain, composé d'une séquence métallique Ti/Pt/Au

d'épaisseurs respectives 25/25/250 nm est réalisé par évaporation par faisceau d'électrons. La résistance spécifique associée est de l'ordre de $2 \times 10^{-8} \Omega \cdot \text{cm}^2$. Pour finir les dispositifs sont isolés entre eux par gravure humide jusqu'au buffer d'InAlAs.

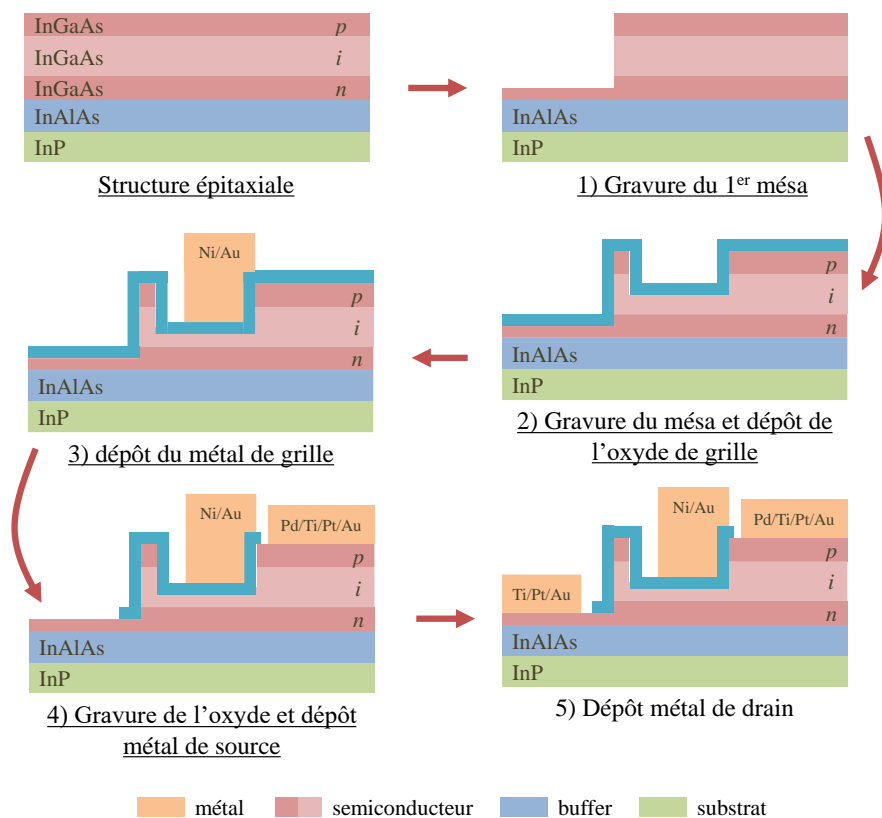


figure 11 – Schéma du procédé de fabrication simple d'un transistor à effet tunnel.

3) Caractéristiques électriques du n -TFET InGaAs avec $L_i = 800$ nm

Nous avons caractérisé électriquement le transistor à effet tunnel InGaAs de longueur intrinsèque 800 nm à température ambiante en régime statique.

a) Caractéristique I_D - V_{DS}

Nous avons extrait la courbe de fonctionnement en polarisation inverse du transistor à effet tunnel pour différentes valeurs de tensions de grille V_{GS} allant de $V_{GS} = 0$ V à $V_{GS} = 2$ V en échelle linéaire (**figure 12.a**) et en échelle logarithmique (**figure 12.b**). Nous pouvons voir que l'état OFF est atteint à $V_{GS} < 0,5$ V tandis que l'état ON est atteint à $V_{GS} = 2$ V (n -TFET) avec un courant I_{ON} de l'ordre de 3,5 mA/mm. Nous pouvons voir que l'effet tunnel n'apparaît pas pour de faibles tensions de grille V_{GS} à faible polarisation V_{DS} . Il faudrait alors appliquer une tension V_{DS} plus élevée pour observer l'effet tunnel bande à bande.

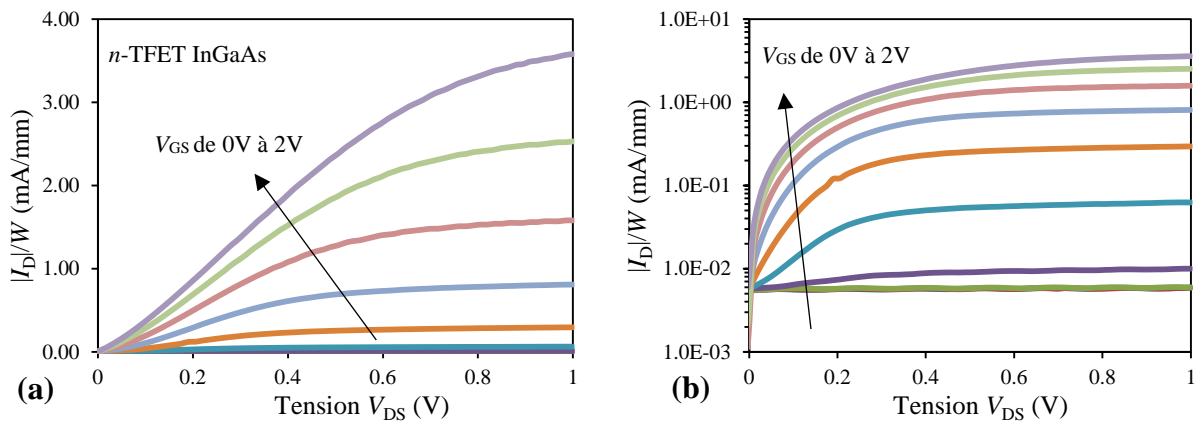


figure 12 – Caractéristiques I_D - V_{DS} en polarisation inverse pour différentes tensions V_{GS} pour le transistor TFET InGaAs ($L_i = 800$ nm) en échelle linéaire (a) et en échelle logarithmique (b).

b) Caractéristiques I_D - V_{GS} , DIBL, pente sous le seuil et transconductance

La caractéristique I_D - V_{GS} nous permet de déduire différents paramètres comme la pente sous le seuil, l'effet de DIBL ou le ratio I_{ON}/I_{OFF} . Nous avons représenté la courbe de transfert I_D - V_{GS} pour différentes valeurs de $V_{DS} > 0$ V en échelle linéaire (**figure 13.a**) et en échelle logarithmique (**figure 13.b**). La courbe I_D - V_{GS} pour des tensions positives de V_{DS} montre une augmentation du courant par effet tunnel bande à bande correspondant au fonctionnement du n -TFET. Le ratio I_{ON}/I_{OFF} à $V_{DS} = 0,5$ V est de l'ordre de $1,9 \times 10^2$ avec un courant I_{OFF} de 7 nA/ μ m. Nous avons ensuite estimé la valeur de DIBL de l'ordre de 220 mV/V extrait sur la courbe I_D - V_{GS} à $V_{DS} = 0,05$ et $V_{DS} = 0,5$ V (**figure 13.c**), tandis que les transconductances maximales sont respectivement de $0,25$ mS/mm et $4,26$ mS/mm. Cette valeur de DIBL montre un effet du drain sur le contrôle électrostatique de la grille. La pente sous le seuil SS en fonction de la tension de grille V_{GS} pour une tension $V_{DS} = 0,5$ V est montrée à la **figure 13.d**. La pente sous le seuil minimale est d'environ 200 mV/décade sur environ un peu plus d'une décade de courant. La valeur de la pente sous le seuil est de l'ordre de grandeur de celles obtenues par *S. Moorkejea et al.* ayant étudié des n -TFETs à base d'InGaAs de structure identique mais de longueur intrinsèque de 100 nm [1], [2].

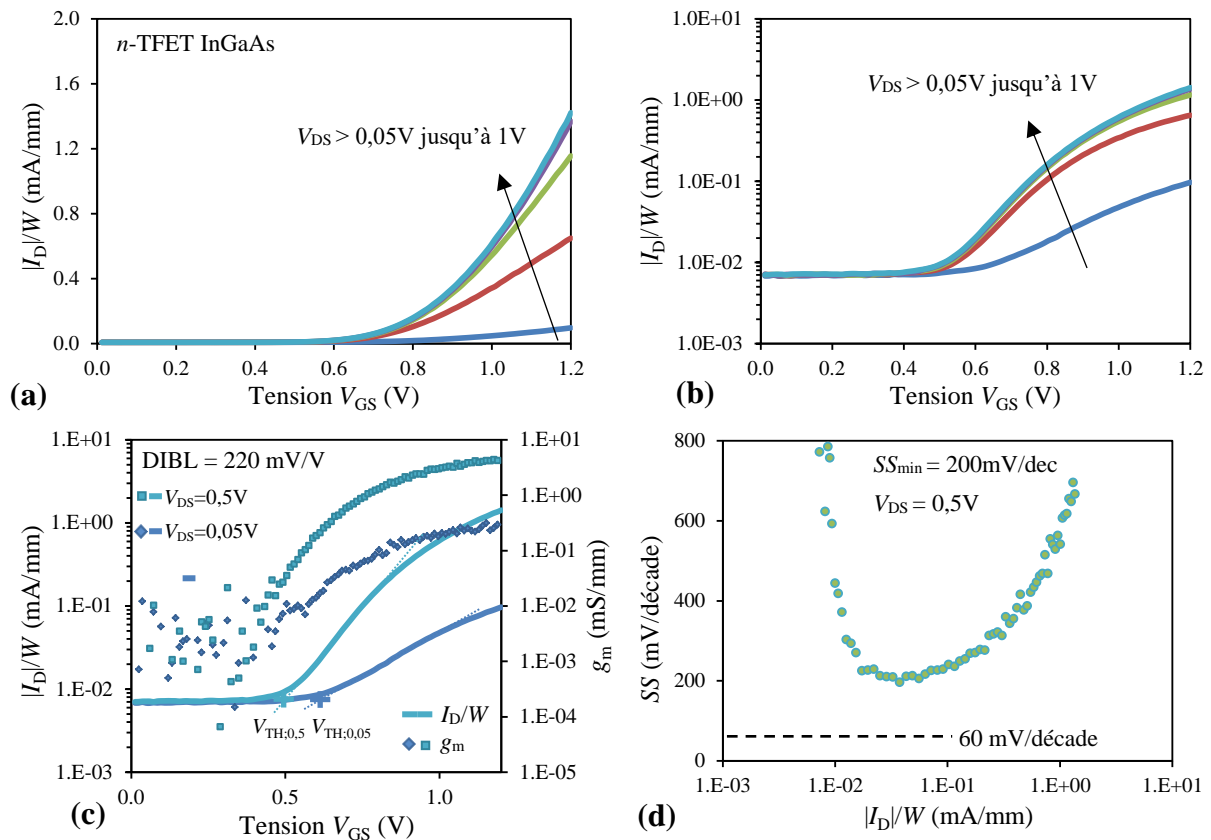


figure 13 – Courbe de transfert I_D - V_{GS} pour différentes valeurs de tension V_{DS} en échelle linéaire (a) et en échelle logarithmique (b) puis à $V_{DS} = 0,05$ et $0,5$ V permettant d'estimer l'effet de DIBL ainsi que la transconductance g_m à ces mêmes tensions (c). La pente sous le seuil SS en fonction du courant normalisé pour $V_{DS} = 0,5$ V (d).

II - Étude, fabrication et caractérisation du I-MOSFET GaSb

1) Étude par simulation TCAD du I-MOSFET GaSb

a) Structure simulée

Nous avons étudié par simulation TCAD un transistor à ionisation par impact (I-MOSFET) à base de GaSb de longueur intrinsèque $L_{i,GaSb} = 400$ nm. La structure simulée est définie par une zone dopée p ($3 \times 10^{19} \text{ cm}^{-3}$), une zone dopée p ($3 \times 10^{18} \text{ cm}^{-3}$), une zone non intentionnellement dopée i ($1 \times 10^{16} \text{ cm}^{-3}$) et une zone dopée n ($3 \times 10^{18} \text{ cm}^{-3}$). Le contact ohmique de source est le palladium, le contact ohmique de drain est le nickel tandis que l'oxyde est l'alumine Al_2O_3 (4 nm). Les résistances de contact ainsi que l'effet des défauts d'interface sont négligés. Les modèles utilisés sont le modèle tunnel bande à bande standard déterminé par la masse effective tunnel ($\approx m_e^*$), le modèle de génération-recombinaison SRH ainsi que le modèle d'ionisation par impact de Selberheer local. Pour l'étude du transistor I-MOSFET, nous avons tout d'abord observé l'effet de la longueur intrinsèque effective $L_{i,eff}$ sur la tension de claquage par ionisation par impact. La longueur $L_{i,eff}$ étant la longueur de

zone intrinsèque non recouverte par la grille et L_G la longueur de zone intrinsèque recouverte par la grille. Le développement du composant étant de $1\ \mu\text{m}$ et la largeur de $500\ \text{nm}$.

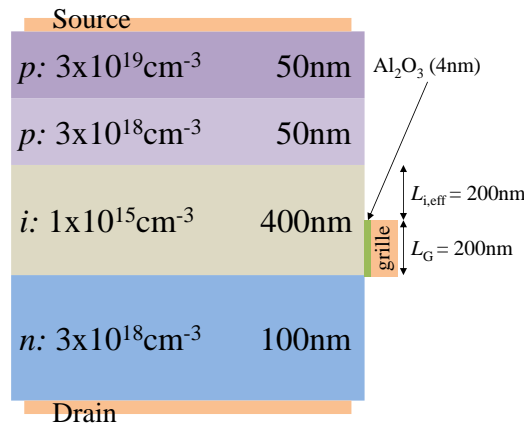


figure 14 – Représentation de la structure du I-MOSFET GaSb de longueur $L_i = 400\ \text{nm}$.

b) Effet de la longueur intrinsèque effective sur la tension d’avalanche

Nous avons étudié dans cette première partie l’effet de la longueur intrinsèque $L_{i,eff}$ sur la tension de claquage par ionisation du I-MOSFET GaSb. L’augmentation de la longueur intrinsèque entraîne une diminution du champ électrique $F = V_{DS}/L_{i,eff}$ à une tension donnée. Ainsi pour atteindre le champ d’ionisation, il faut alors appliquer une tension V_{DS} plus grande. La figure 15 représente la courbe I_D-V_{DS} pour différentes longueurs intrinsèques effectives allant de $50\ \text{nm}$ à $350\ \text{nm}$ ainsi que l’évolution de la tension de claquage en fonction de $L_{i,eff}$. Nous pouvons noter que les tensions de claquage du I-MOSFET GaSb ($L_i = 400\ \text{nm}$) obtenues par simulation TCAD sont inférieures à $2\ \text{V}$ ce qui semble prometteur en comparaison à la technologie silicium dont $V_{DS} \approx 5\ \text{V}$. De plus, lorsque la longueur $L_{i,eff}$ augmente, la tension de claquage augmente ce qui est cohérent avec la diminution du champ électrique dans la zone intrinsèque.

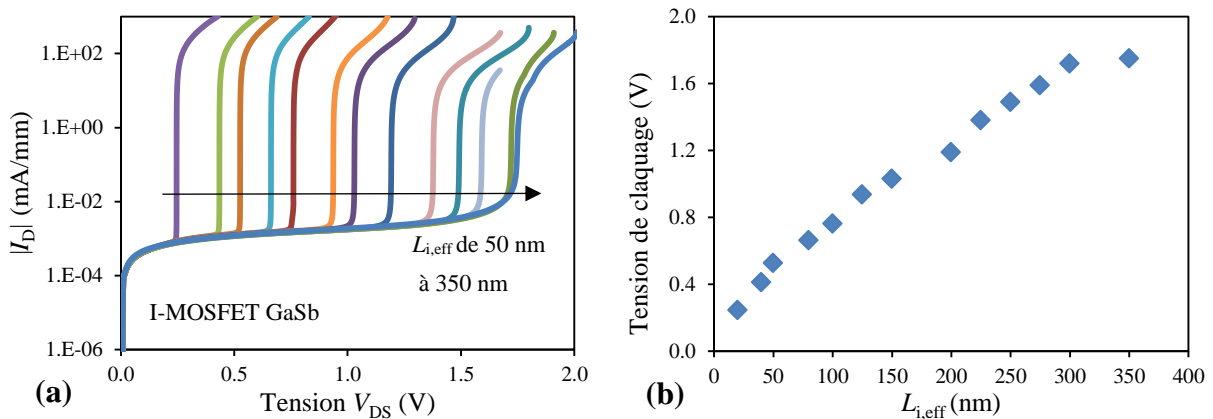


figure 15 – Courbes I_D-V_{DS} du I-MOSFET GaSb pour différentes longueurs intrinsèques effectives obtenues par simulation TCAD (a) et évolution de la tension de claquage en fonction de $L_{i,eff}$ (b).

c) Caractéristique I_D - V_{GS} et courbes I_D - V_{DS} sans et avec polarisation V_{GD}

La **figure 16.a** montre les courbes I_D - V_{DS} sans (en rouge) et avec (en bleu, $V_{GD} = 0,5$ V) polarisation sur la grille. En se plaçant à une tension V_{DS} inférieure à la tension de claquage (ici ≈ 1 V) sans polarisation V_{GD} puis en polarisant la grille positivement, l'accumulation d'électrons sous la grille va permettre de réduire la longueur intrinsèque effective et de rentrer en régime d'ionisation par impact. Nous avons alors extrait la caractéristique de transfert I_D - V_{GD} (**figure 16.b**) lorsque $L_{i,eff} = 200$ nm à $V_{DS} = 1$ V. Ainsi, le passage de l'état OFF à l'état ON est « abrupte » dû à l'ionisation par impact induit par la grille. Le ratio I_{ON}/I_{OFF} est de l'ordre de $3,9 \times 10^5$ avec un courant $I_{ON} = 698$ mA/mm (à $V_{GD} = 0,5$ V) et un courant $I_{OFF} = 1,77$ nA/ μ m (à $V_{GD} = 0$ V).

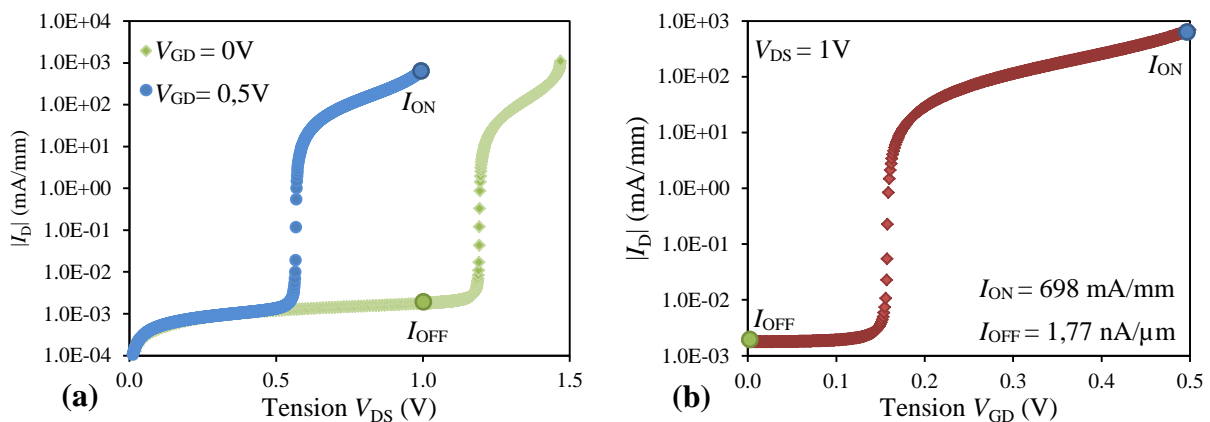


figure 16 – Courbes I_D - V_{DS} sans et avec polarisation V_{GD} (a) et caractéristique de transfert I_D - V_{GD} (b) du I-MOSFET GaSb de longueur $L_{i,eff} = 200$ nm.

Nous avons ensuite extrait la pente sous le seuil en fonction du courant I_D pour ce même transistor I-MOSFET de longueur $L_{i,eff} = 200$ nm à $V_{DS} = 1$ V représentée à la **figure 17**. Nous pouvons remarquer que la pente sous le seuil est inférieure à la limite théorique de 60 mV/décade mais aussi que sa valeur minimale est de l'ordre de 1 mV/décade. Ces faibles valeurs de tensions V_{DS} et de pente sous le seuil pour ce transistor I-MOSFET de longueur intrinsèque 400 nm indiquent que ce dernier semble prometteur pour atteindre une faible puissance consommée.

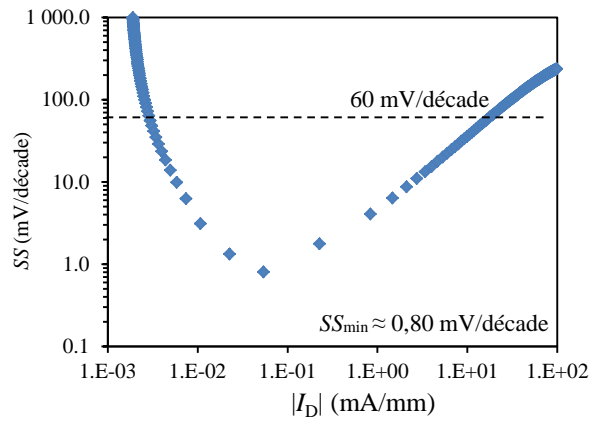


figure 17 – Courbe de la pente sous le seuil en fonction du courant I_D pour le transistor I-MOSFET GaSb de longueur $L_{i,eff} = 200$ nm à $V_{DS} = 1V$.

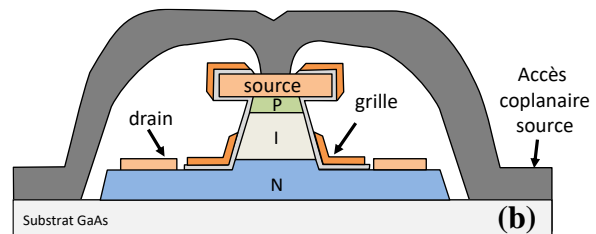
2) Fabrication des transistors I-MOSFET GaSb

La fabrication des transistors à ionisation par impact auto-alignés à base de GaSb a été réalisée en parallèle de la fabrication des diodes *pin* GaSb. Pour la réalisation des transistors I-MOSFET à base de GaSb, nous avons élaboré une nouvelle architecture du type verticale dans laquelle l'électrode de grille est réalisée de façon auto-alignée. Premièrement le contact ohmique de type *p* est déposé. Ensuite, l'épitaxie est d'abord gravée par gravure sèche ICP. Puis, à l'aide d'une gravure humide, une sous-gravure est réalisée pour déposer la grille sur le flanc de la structure de façon auto-alignée. En effet, le contact supérieur sert de masque et permet de positionner la grille de façon contrôlée. L'oxyde et la grille sont alors déposés. Enfin, le contact ohmique de type *n* est réalisé tandis que des ponts à air sont fabriqués pour mesurer électriquement nos dispositifs par la suite. Nous détaillons dans cette partie chaque étape du procédé de fabrication.

Les structures épitaxiales sont celles utilisées pour les diodes *pin* GaSb sur substrat GaAs et sur substrat GaSb. Nous rappelons ci-dessous un schéma de la structure épitaxiale sur substrat GaSb (**figure 18.a**) ainsi que la structure finale du dispositif (**figure 18.b**) sur substrat GaAs. Les longueurs intrinsèques $L_{i,GaSb}$ des I-MOSFET sont de 400 nm et 600 nm.

GaSb	$p (Si) = 3 \times 10^{19} cm^{-3}$	50 nm
GaSb	$p (Si) = 3 \times 10^{18} cm^{-3}$	50 nm
GaSb	<i>nid</i>	$L_{i,GaSb}$
GaSb	$n (Te) = 3 \times 10^{18} cm^{-3}$	450 nm
GaSb (substrat)	$n (Te) = 1,5 \times 10^{18} cm^{-3}$	

(a)



(b)

figure 18 – Représentation schématique de la structure épitaxiale des I-MOSFET GaSb sur substrat GaSb (a) ainsi que la structure finale du dispositif sur substrat GaAs où le buffer est gravé jusqu'au substrat (b).

a) Dépôt du contact supérieur de source p

Dans un premier temps, il faut définir les marques d'alignement ainsi que le contact supérieur par la technique de lift-off. Tout d'abord, le wafer de GaSb est dégraissé à l'acétone puis l'IPA et ensuite séché à l'azote. Enfin, une désoxydation au HCl est effectuée avant le dépôt du contact. Le premier contact de source est constitué d'une séquence Pd/Ti/Pt/Au d'épaisseurs respectives 4/25/25/350nm et est déposé par évaporation par faisceau d'électrons. Plusieurs tailles ont été réalisées dont le développement W et la longueur L valent 2, 4, 6 et 8 μm (de $2 \times 2 \mu\text{m}^2$ à $8 \times 8 \mu\text{m}^2$). Le masque utilisé pour la 1^{ère} étape est représenté en **figure 19**.

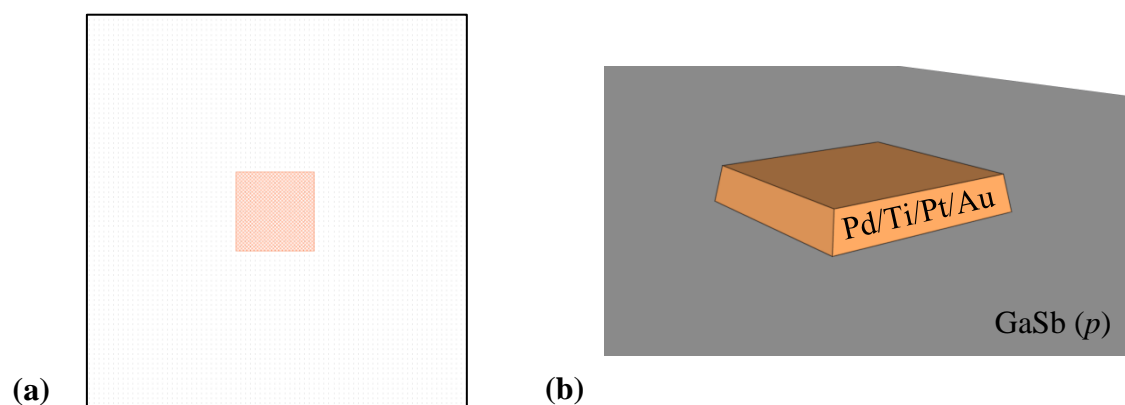


figure 19 - Image du masque pour la réalisation du 1^{er} contact, ici, $8 \times 8 \mu\text{m}^2$ (a) et la structure épitaxiale du I-MOSFET ainsi que son métal de source Pd/Ti/Pt/Au (b).

b) Gravure humide du méso peu-profond

Par la suite, nous avons d'abord envisagé d'effectuer la gravure du méso peu profond à l'aide d'une gravure humide. En effet plusieurs travaux reportent la possibilité de graver le GaSb à l'aide de solutions acides.

Plusieurs tests ont été menés pour graver le GaSb à l'aide de solutions à base d'acides et d'eau oxygénée H_2O_2 [3]. Nous avons tout d'abord utilisé une solution d'acide chlorhydrique ($\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) afin de graver le GaSb. Les travaux de *M.N. Kutty et al.* [4] utilisant une dilution (1/1/2 ou 1/1/4) ont montré que cette solution permet une forte vitesse de gravure ($\approx 2 \mu\text{m}/\text{min}$) et une surface lisse après gravure. Cependant la vitesse de gravure étant élevée, nous avons choisi d'augmenter la dilution de la solution à 10/1/10. La concentration en HCl a aussi été augmentée afin d'éviter l'effet d'oxydation de surface dû à la forte présence d'eau. La vitesse de gravure latérale étant élevée ($\approx 550 \text{ nm}/\text{min}$), les motifs de faibles tailles sont tombés (**figure 20.a**). En augmentant la concentration en H_2O , la vitesse de gravure latérale est toujours élevée et la surface du GaSb s'est oxydée (**figure 20.b**). Nous avons donc encore augmenté la concentration en H_2O afin de ralentir la réaction de gravure du HCl libérant ainsi

du SbCl_x qui réagit à son tour avec l' H_2O pour créer de l'oxyde en surface [4]. Nous pouvons noter que la surface présente une rugosité non négligeable et que la vitesse de gravure latérale est réduite ($\approx 160 \text{ nm/min}$) (**figure 20.c**), cependant la gravure sous le métal reste trop importante empêchant de déposer un métal de grille.

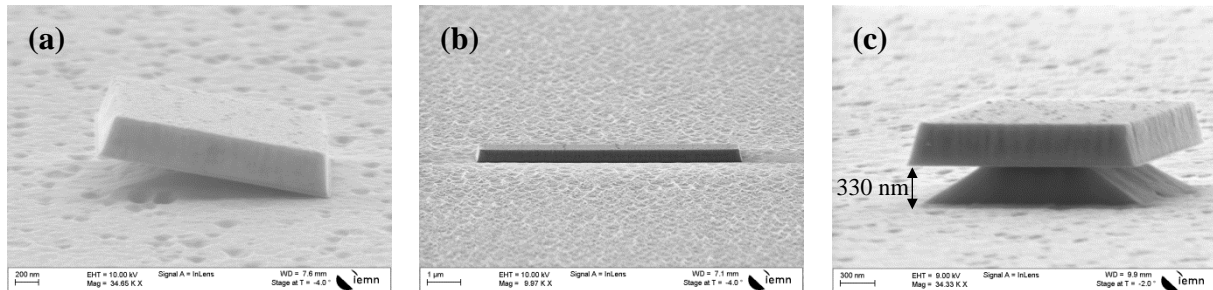


figure 20 – Images de microscopie électronique à balayage après gravure humide à l'aide de solution de $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ à 10/1/10 (a), 10/1/20 (b) et 10/1/40 (c).

Nous avons alors étudié la gravure par des solutions à base d'acide d'orthophosphorique. *M.N. Kutty et al.* ont étudié la gravure du GaSb à l'aide d'une solution $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ avec une dilution 1/1/10 et ont montré une vitesse de gravure de 200 nm/min . Nous avons alors utilisé cette même solution, la vitesse de gravure latérale estimée est de 90 nm/min mais la surface du GaSb s'oxyde pendant la gravure (**figure 21.a**). Une solution de gravure de dilution 5/1/40 a alors été testée, nous avons observé la forte présence d'oxyde en surface (**figure 21.b**) tandis qu'une dilution de 1/1/20 entraîne l'apparition aléatoire de films d'oxyde en surface empêchant complètement la gravure [5].

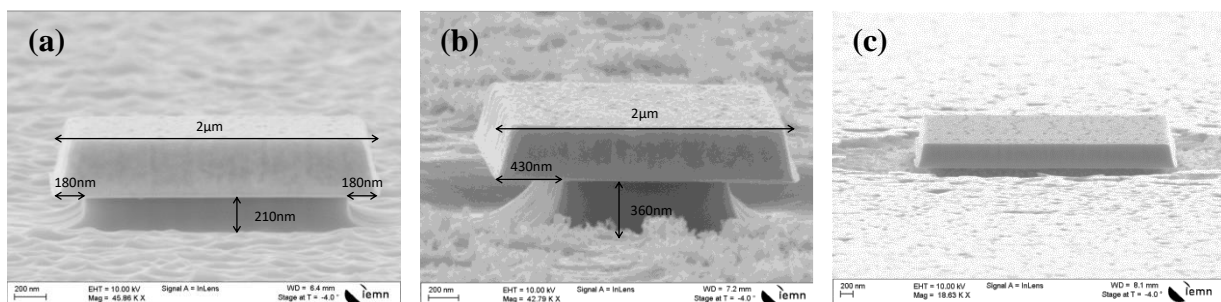


figure 21 – Images de microscopie électronique à balayage après gravure humide à l'aide de solution de $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ à 1/1/10 (a), 5/1/40 (b) et 1/1/20 (c).

L'utilisation de tartrate permet de diminuer la création d'oxyde de GaSb et améliore la gravure [6]. Nous avons alors ajouté de l'acide tartrique $\text{C}_4\text{H}_6\text{O}_6$ dans la solution diluée de $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ avec une dilution 1/1/20/1g. Bien que cela permette une reproductibilité de gravure et un flanc droit, il reste une forte rugosité en surface et une forte sous-gravure empêchant la réalisation de la grille auto-alignée (**figure 22.a**). Avec une dilution de

5/5/200/1g la vitesse de gravure diminue de 190 nm/min à 90nm/min réduisant légèrement la rugosité après gravure (**figure 22.b**). La vitesse de gravure latérale diminue de 145 nm/min à 60 nm/min.

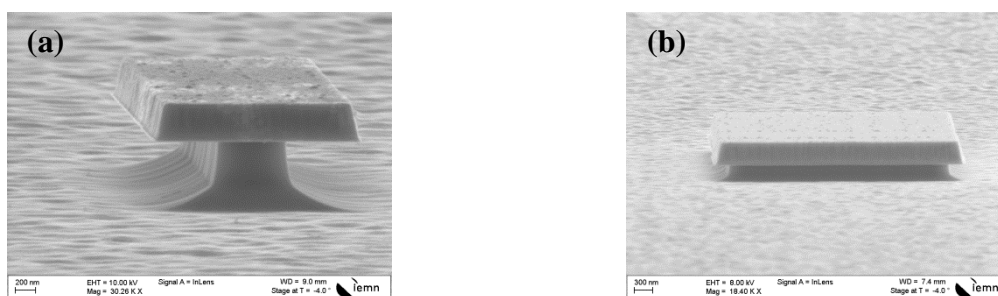


figure 22 – Images de microscopie électronique à balayage après gravure humide à l’aide de solution de $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}/\text{C}_4\text{H}_6\text{O}_6$ à 1/1/20/1g (a) et 5/5/200/1g (b).

A partir des travaux de *O. Dier et al.* [7] et d’*Estelle Mairiaux* durant sa thèse, nous avons utilisé des solutions à base d’acide tartrique. La première solution utilisée est une solution de $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}/\text{C}_4\text{H}_6\text{O}_6$ de dilution 80/7/100/7g, nous avons observé une gravure du GaSb cependant elle reste très aléatoire avec l’apparition d’oxyde en surface (**figure 23.a**). La deuxième solution est une solution de $\text{H}_2\text{O}_2/\text{H}_2\text{O}/\text{C}_4\text{H}_6\text{O}_6$ de dilution 5/100/7g. Cette solution nécessite d’être chauffée à 40°C afin d’augmenter la vitesse de gravure (quasi isotrope) qui reste très lente (≈ 30 nm/min). Néanmoins la surface moins rugueuse après gravure sans apparition d’oxyde en surface (**figure 23.b**).

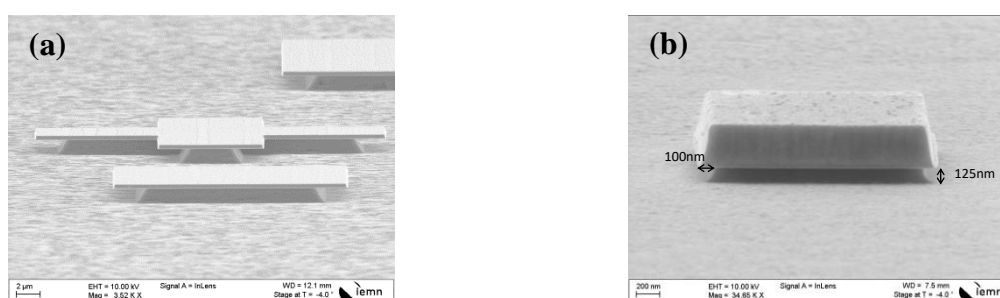


figure 23 – Images de microscopie électronique à balayage après gravure humide par les solutions $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}/\text{C}_4\text{H}_6\text{O}_6$ à 80/7/100/7g (a) et $\text{H}_2\text{O}_2/\text{H}_2\text{O}/\text{C}_4\text{H}_6\text{O}_6$ à 5/100/7g (b).

c) Gravure sèche méso peu-profond

La surface de GaSb s’oxydant dans la plupart des cas lors d’une gravure humide, nous avons décidé d’utiliser la gravure sèche. Cette gravure permet d’éviter l’oxydation de surface mais engendre une pollution de surface par les espèces chimiques présentes dans le plasma. Ces espèces chimiques doivent être éliminées par la suite par un traitement à base d’acide fluorhydrique HF.

Nous avons favorisé la gravure ICP-RIE pour graver le méso peu profond. Cette technique possède l'avantage d'être une gravure plus « chimique » du matériau semiconducteur par un plasma plus dense (comparé à la gravure RIE seule) et donc plus propre au niveau du fond de gravure. Plusieurs gaz permettent de graver le GaSb, cependant nous avons choisi d'utiliser le mélange BCl_3/Ar généralement utilisé dans la littérature [8], [9]. Les conditions optimales pour nos dispositifs sont les suivantes :

- Puissance RIE, $P_{\text{RIE}} = 40 \text{ W}$ et puissance ICP, $P_{\text{ICP}} = 180 \text{ W}$,
- Température, $T = 20^\circ\text{C}$ et pression de la chambre, $P_{\text{react}} = 4 \text{ mTorr}$,
- Espèces présentes : BCl_3/Ar avec un ratio en débit de 2/ 18 sccm.

La vitesse de gravure mesurée à l'aide de tests de gravure sur plusieurs épaisseurs est d'environ 80 nm/min, cette vitesse est réduite à 60 nm/min lorsque la puissance ICP diminue ($P_{\text{ICP}} = 120 \text{ W}$). Cette gravure à l'aide du mélange BCl_3/Ar permet d'avoir des flancs de gravure abrupte pour la structure verticale et peu rugueux pour le dépôt d'oxyde. Par ailleurs, le fond de gravure possède une rugosité nettement plus faible en comparaison aux gravures humides. La **figure 24** montre une image de microscopie électronique à balayage ainsi qu'une représentation 3D après gravure sèche par ICP.

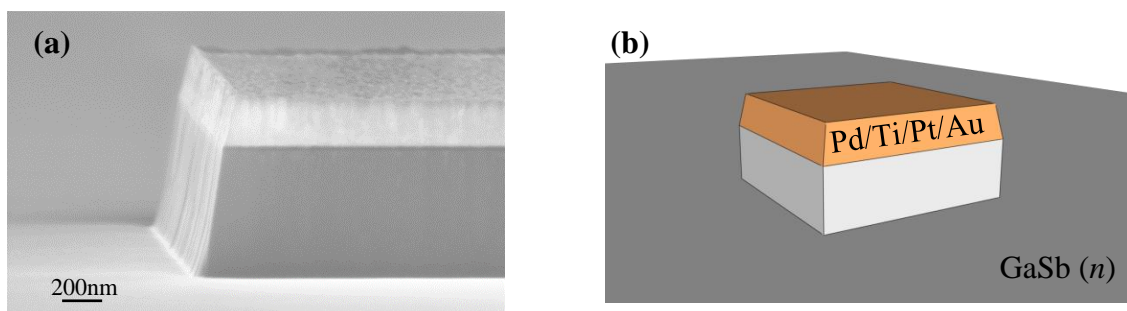


figure 24 - Image de microscopie électronique à balayage après gravure sèche du GaSb (a) et représentation 3D de la structure I-MOSFET (b). Nous pouvons remarquer des flancs et un fond de gravure peu rugueux.

Afin de déposer la grille de façon auto-alignée en utilisant le contact supérieur comme masque lors de la métallisation de la grille, il est nécessaire d'effectuer une gravure humide faisant apparaître une sous-gravure latérale (**figure 25**). Dans notre cas, nous avons choisi une gravure à l'aide de l'acide fluorhydrique car elle est rapide et plutôt anisotrope. En effet, nous avons remarqué que la gravure dans le plan (100) est plus rapide d'un facteur 2, ce qui permet de graver fortement latéralement sans trop graver verticalement. La solution utilisée $\text{Hf}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ avec une dilution 1/1/200 présente une vitesse de gravure latérale de l'ordre de 950 nm/min et une vitesse de gravure verticale de l'ordre de 400 nm/min.

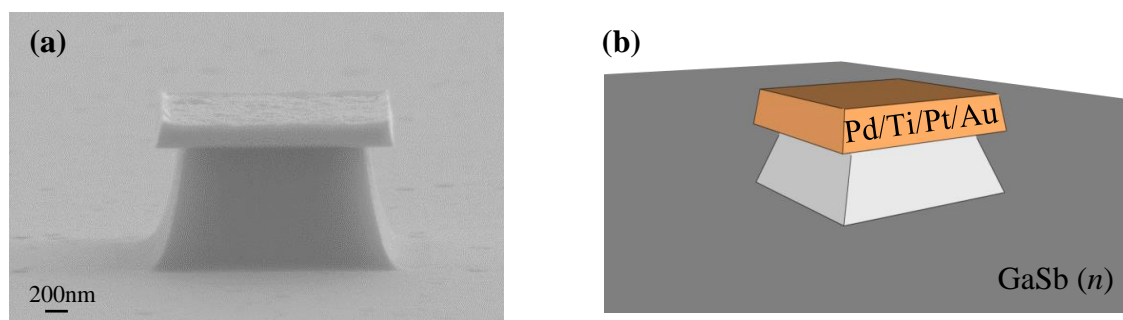


figure 25 – Image de microscopie électronique à balayage après sous-gravure du GaSb à l'aide de la solution diluée d'acide fluorhydrique (a) et sa représentation 3D (b).

Après gravure, les flancs de gravure sont très peu rugueux ce qui est favorable pour la croissance de l'oxyde de grille.

d) Dépôt de l'oxyde de grille

Dans le cas des transistors à ionisation par impact à base de GaSb, nous avons choisi la passivation à l'aide de solutions diluées à 10% de HCl puis à 5% de $(\text{NH}_4)_2\text{S}$ pour éliminer l'oxyde natif et passiver la surface du semiconducteur. L'oxyde de grille est un empilement $\text{Al}_2\text{O}_3/\text{HfO}_2$ d'épaisseurs respectives 2nm et 3nm. L'alumine est déposé à 200°C tandis que l'oxyde d'hafnium est déposé à 150°C. Un plasma oxygène est effectué après le dépôt de l'alumine, il permet une amélioration significative de la commande de charge en réduisant la réoxydation du GaSb après recuit [10] (voir chapitre 3). Pour finir un recuit après dépôt d'oxyde (PDA) à 350°C pendant 1min sous N_2H_2 permet de stabiliser l'oxyde.

e) Dépôt de la grille auto-alignée

Le positionnement de la grille est un point crucial dans la technologie du transistor à ionisation par impact car elle définit la longueur de la zone intrinsèque non recouverte et donc la tension de claquage. Afin d'obtenir la meilleure précision, nous avons réalisé la grille de façon auto-alignée. La structure étant verticale, en utilisant le contact supérieur comme un masque, nous pouvons choisir la longueur intrinsèque non recouverte. Pour cela, nous avons d'abord défini la zone à métalliser par lithographie en utilisant un empilement de résine COPO EL10% recuite à 140°C pendant 4min puis de PMMA 4% 950K recuite à 140°C pendant 4min. Après écriture au masqueur électronique, les résines sont d'abord révélées dans une solution de MIBK/IPA diluée à 1/1 pendant 1min, puis dans une solution de MIBK/IPA diluée à 1/3 pendant 30sec. Les résines sont enfin révélées dans une solution de méthanol/IPA diluée à 1/3 pendant plusieurs minutes. La solution méthanol/IPA étant sélective entre les résines COPO et PMMA, elle permet d'agrandir la longueur de la casquette formée par l'empilement des résines. La **figure 26.a** montre l'échantillon en vue de dessus après révélation.

Lors du dépôt métallique, l'échantillon est incliné d'un certain angle et mis en rotation afin de métalliser une partie des flancs de la zone intrinsèque. La longueur de la zone intrinsèque non recouverte par l'électrode de grille est alors définie par l'angle imposé lors de la métallisation (**figure 26.b**). Nous avons choisi, comme métal de grille, le nickel d'épaisseur 150 nm avec inclinaison tandis qu'un second dépôt de 20 nm de nickel est réalisé, par la suite, sans inclinaison afin d'épaissir le métal de grille.

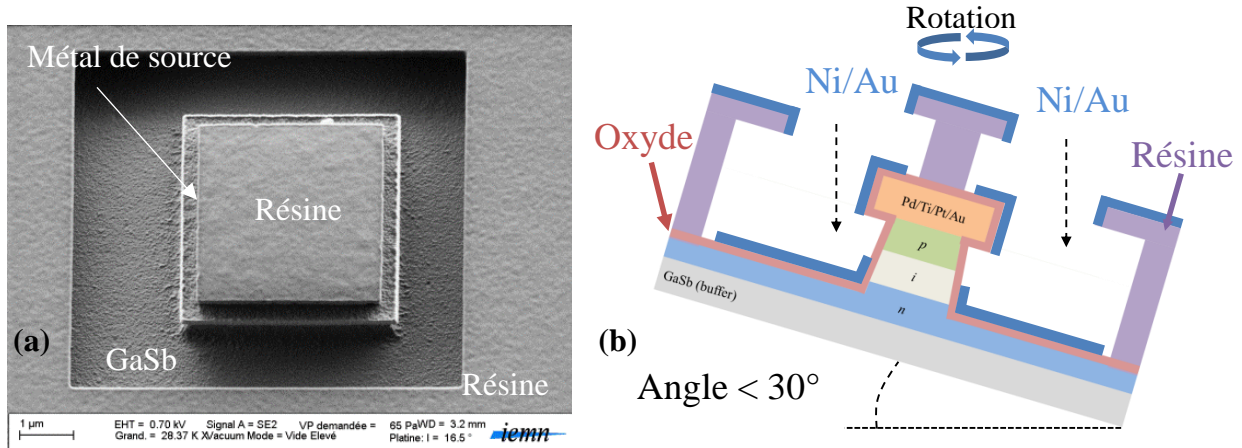


figure 26 - Image de microscopie électronique à balayage de l'échantillon après révélation de l'écriture pour la réalisation de l'électrode de grille (a) et schéma du procédé de métallisation par inclinaison (b).

Ensuite, le métal en surplus est éliminé par le lift-off en plongeant l'échantillon dans un bain à 70°C de SVC-14. Nous pouvons remarquer sur la **figure 27.a** (ici, sur un échantillon test) que l'oxyde est conforme et suit la forme du transistor. De plus, le métal de grille est déposé sur les flancs de gravure. Cependant il est plus fin sur les flancs en raison de la rotation de l'échantillon. La **figure 27.b** montre une image au microscope électronique à balayage de l'électrode de grille après lift-off. La résine au-dessus du contact de source permet d'éviter d'ajouter du nickel en dessus du contact de source.

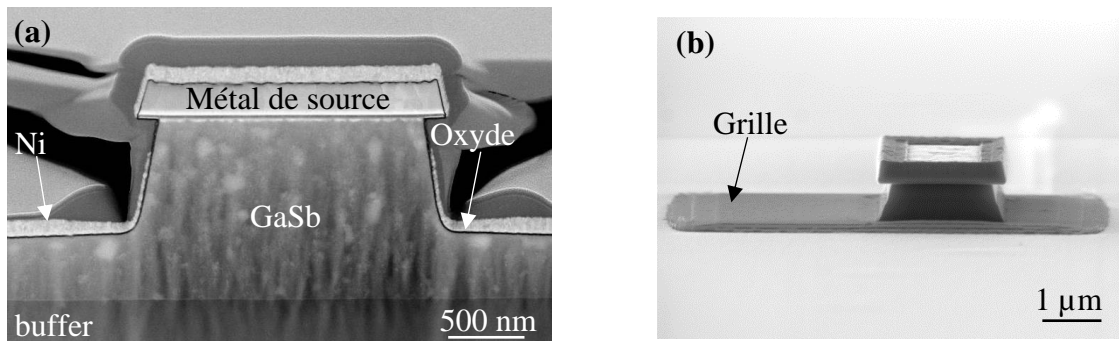


figure 27 - Image STEM après la découpe FIB de l'échantillon permettant d'observer la métallisation sur le flanc de gravure (a) et image au microscope électronique à balayage après lift-off (b).

f) Gravure de l'oxyde de grille

L'oxyde est alors gravé par plasma ICP à base de BCl_3/Ar dans les mêmes conditions que pour la gravure du méso, après une étape de lithographie dont le masque est représenté en **figure 28.a**. Après révélation, nous voyons apparaître le contact supérieur de source et l'ouverture pour graver l'oxyde sur la couche dopée n (**figure 28.b et c**).

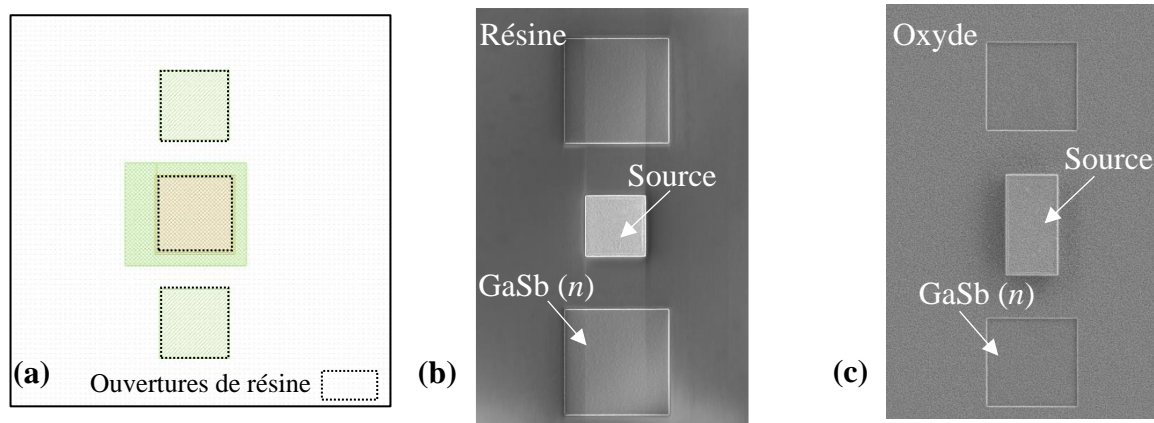


figure 28 - Image du masque pour la gravure de l'oxyde par plasma ICP (a) et l'image au microscope électronique à balayage après révélation (b) et après gravure et dérésinage (c).

g) Dépôt du contact inférieur de drain n

Le contact inférieur est réalisé par lithographie électronique. Le métal utilisé est une séquence Ni/Ge/Au/Pt/Au déposé par évaporation par faisceau d'électrons (**figure 29**). Ce contact est ensuite recuit à 285°C pendant 1min sous N_2H_2 pour faire diffuser le nickel dans le semiconducteur et apporter les charges n du germanium en surface du GaSb.

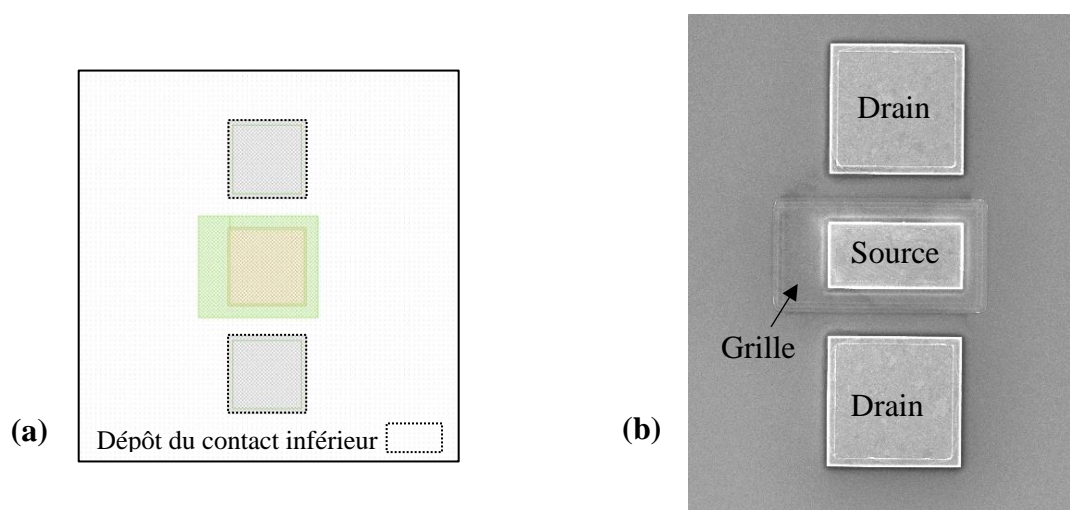


figure 29 - Image du masque pour le dépôt du contact inférieur de type n (a) et image au microscope électronique à balayage après dépôt métallique et lift-off (b).

h) Dépôt et gravure du nitrure et réalisation des ponts à air

Les structures des I-MOSFET étant petites, il est impossible de les caractériser avec les pointes de mesures. Pour cela, il est nécessaire de rajouter des plots d'épaissement. La structure des I-MOSFET étant verticale, la réalisation de ces plots d'épaissement nécessite une technologie de type « pont à air ». Cependant la structure étant conductrice, afin d'éviter un court-circuit entre les plots de source, de drain et de grille, une couche isolante telle que le nitrure Si_3N_4 est déposée pleine plaque. Dans notre cas, nous avons déposé 60 nm de Si_3N_4 à une température de 230°C . Ce dernier est ensuite gravé sur les contacts de drain, de source et de grille pour permettre la continuité métallique des contacts avec les ponts à air (**figure 30**). La gravure est effectuée par plasma RIE à l'aide des gaz CHF_3/CF_4 (100 W/ 50 mTorr et 20 sccm pour chaque gaz).

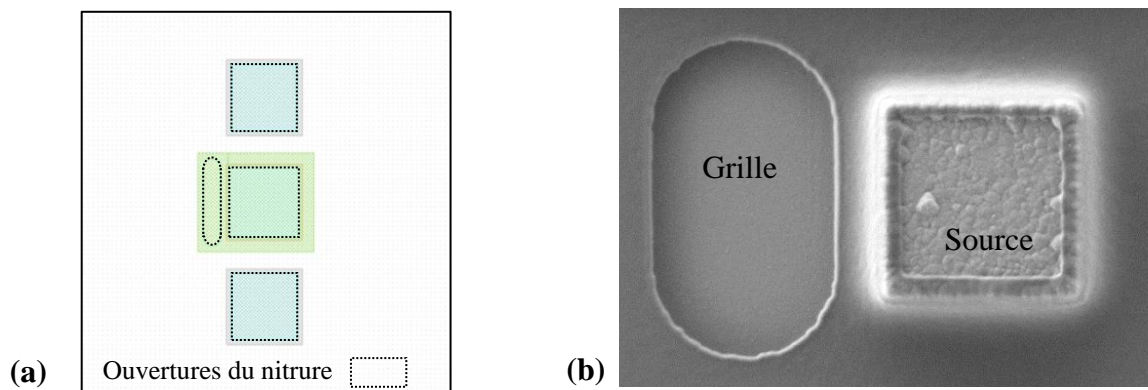


figure 30 - Image du masque pour la gravure du Si_3N_4 (a) et image au microscope électronique à balayage après gravure du nitrure (b).

L'étape suivante est la réalisation des ponts à air (avec le procédé de Mme Jionjiong Mo). La lithographie de pont à air commence par un premier résinage de PMGI SF11 recuite à 200°C pendant 5min. Cette résine est ensuite fluée afin d'adoucir les bords et éviter les ruptures au niveau du métal de pont à air (**figure 31**).

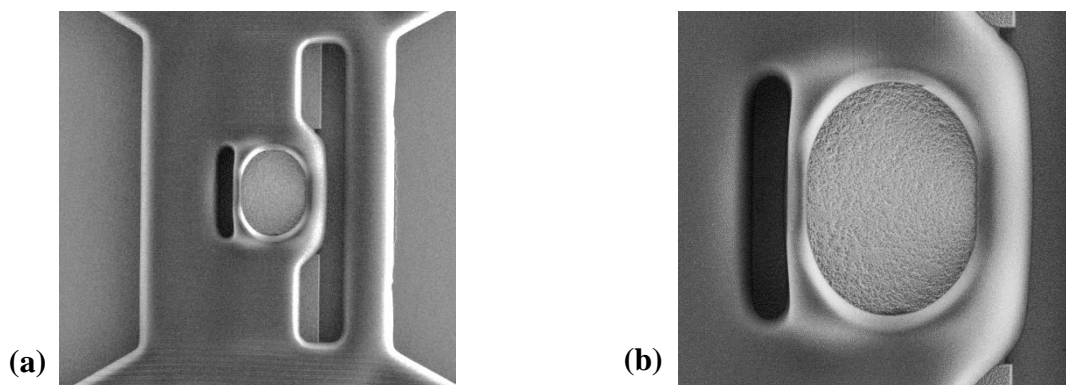


figure 31 - Images au microscope électronique à balayage de la résine pour la réalisation des ponts à air après fluage en vue générale (a) et zoomée sur les électrodes de source et de grille (b).

Ensuite, un empilement de COPO/PMMA permet de réaliser les ponts à air par la technique de lift-off. La séquence métallique utilisée est Ti/Au d'épaisseur 100/70 nm. La structure finale du composant est représentée **figure 32**, pour une diode *pin* (à gauche) et un I-MOSFET (à droite).

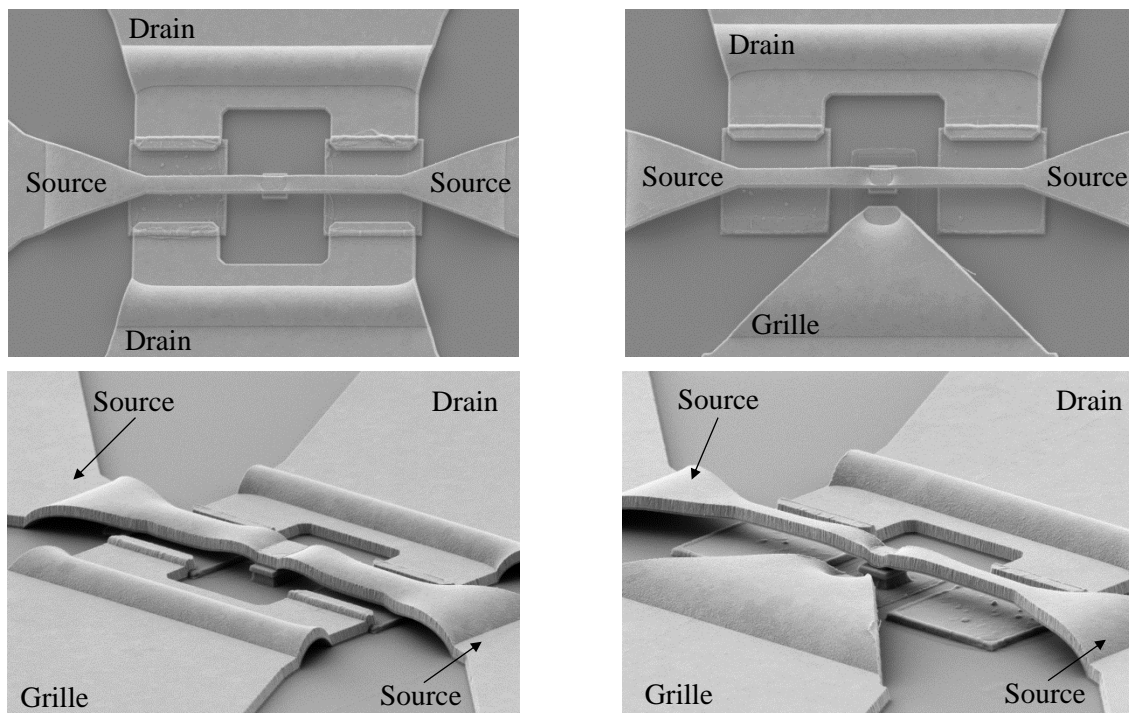


figure 32 – Images MEB des différents dispositifs réalisés, une diode *pin* (à gauche) et un transistor à ionisation par impact (à droite).

3) Caractéristiques électriques du I-MOSFET GaSb

Nous avons caractérisé électriquement le transistor à ionisation par impact possédant une longueur intrinsèque de 600nm. Nous avons tout d'abord extrait la caractéristique I_D - V_{DS} à température ambiante pour différentes valeurs de tension V_{GD} appliquées sur la grille allant de 0 V à 2,25 V (**figure 33.a**). Les caractéristiques obtenues sont similaires à celles d'une diode *pin* tandis que les niveaux de courant sont du même ordre de grandeur. Par exemple, à $V_{DS} = 3$ V, le courant I_D est proche de 1 A/cm pour le I-MOSFET tandis qu'il est divisé par deux pour la diode *pin* sur substrat GaSb. De plus, aucune variation de courant n'est observée en faisant varier la tension V_{GD} . Deux hypothèses peuvent être avancées. La première est que la commande des charges du canal est complètement inefficace, ne permettant pas de créer une couche d'inversion. La deuxième hypothèse est qu'une couche d'inversion peut se créer en augmentant la tension V_{GD} , cependant le courant en volume est supérieur au courant passant par le canal (**figure 33.b**). Afin d'observer une variation du courant I_D avec la tension V_{GD} , il faudrait alors appliquer une tension V_{DS} plus élevée pour entrer en régime d'ionisation par impact, ainsi le courant passant par le canal serait supérieur au courant en volume.

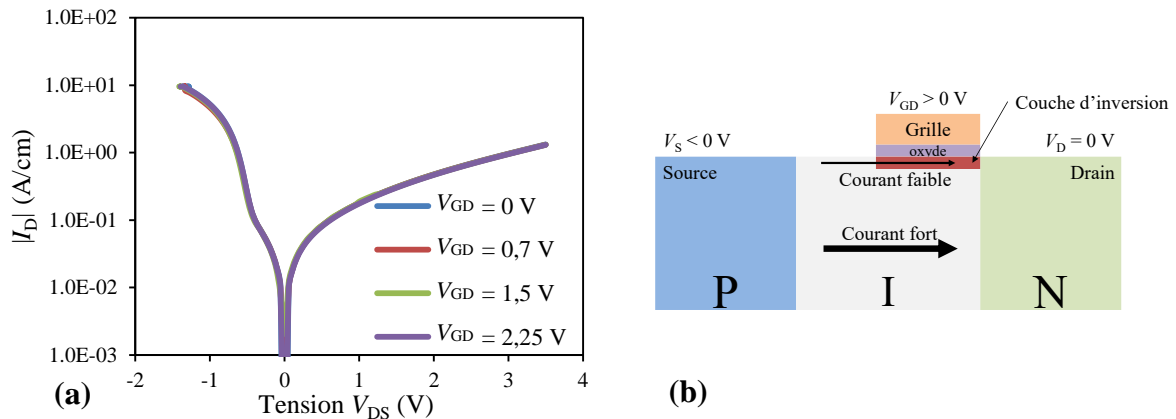


figure 33 – Caractéristique I_D - V_{DS} du I-MOSFET GaSb de longueur intrinsèque 600 nm pour différentes tensions V_{GD} (a) et représentation du I-MOSFET à $V_{DS} > 0$ V et $V_{GD} > 0$ V (b).

Nous avons ensuite extrait la caractéristique I_D - V_{GD} pour différentes valeurs de tensions V_{DS} (**figure 34.a**). À faible tension V_{DS} , nous pouvons observer un léger effet de la polarisation V_{GD} . Puis à $V_{DS} = 4,2$ V, nous observons un claquage à $V_{GD} = 1,94$ V, ce qui tend à affirmer la deuxième hypothèse avancée lors de l'analyse de la courbe I_D - V_{DS} ci-dessus. Malheureusement, le dispositif après claquage est détruit. Or dans cette gamme de tension, le courant de fuite reste faible lorsqu'aucune polarisation V_{DS} n'est appliquée (source en potentiel flottant) (**figure 34.b**) ce qui laisse penser que l'ionisation par impact a engendré une augmentation de l'effet des porteurs chauds dans l'oxyde et une destruction de ce dernier.

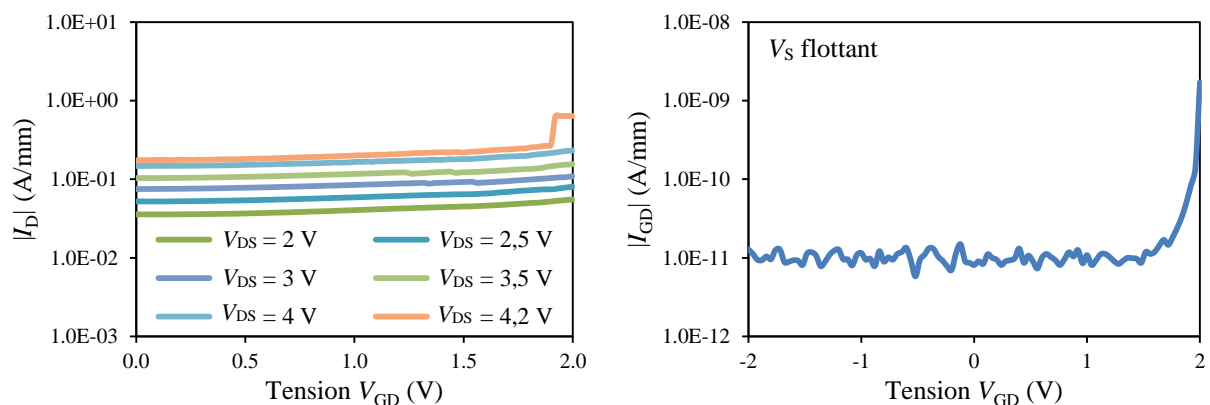


figure 34 – Caractéristique I_D - V_{GD} du I-MOSFET GaSb de longueur intrinsèque 600 nm (a) ainsi que le courant de fuite I_{GD} lorsque la source est en potentiel flottant (b).

Des solutions doivent donc être apportées comme par exemple éloigner l'ionisation par impact de la grille. Cette solution avait été apportée par *E. H. Toh et al.* sur une structure planaire dans la filière silicium [11].

Conclusion du chapitre 4

Nous avons montré dans un premier temps l'étude, la fabrication et la caractérisation d'un transistor à effet tunnel à base d'InGaAs bien que ce type de composant n'était pas le propos de cette thèse. Bien que la densité de défauts d'interface limite fortement les réductions du courant I_{OFF} et de la pente sous le seuil des TFETs, nous avons obtenu une valeur de pente sous le seuil minimale de l'ordre de 200 mV/décade à l'aide du traitement par plasma oxygène postoxydation (chapitre 3). Le courant I_{ON} reste toutefois très faible (5 mA/mm).

Dans un second temps, nous avons montré le développement d'une nouvelle architecture à base de GaSb pour la réalisation de transistors à ionisation par impact dont la grille est auto-alignée. Ce travail est une ébauche pour de futurs travaux sur les transistors à effet tunnel ainsi qu'à ionisation par impact.

Bibliographie du chapitre 4

- [1] S. Mookerjea, D. Mohata, R. Krishnan, J. Singh, A. Vallett, A. Ali, T. Mayer, V. Narayanan, D. Schlom, A. Liu, and S. Datta, "Experimental demonstration of 100nm channel length InGaAs-based vertical inter-band tunnel field effect transistors (TFETs) for ultra low-power logic and SRAM applications," in *2009 IEEE International Electron Devices Meeting (IEDM)*, 2009, pp. 1–3.
- [2] S. Mookerjea, D. Mohata, T. Mayer, V. Narayanan, and S. Datta, "Temperature-dependent I-V characteristics of a vertical InGaAs tunnel FET," *IEEE Electron Device Lett.*, vol. 31, no. 6, pp. 564–566, 2010.
- [3] D. Seo, J. Na, S. Lee, and S. Lim, "Behavior of a GaSb (100) Surface in the Presence of H₂O₂ in Wet-Etching Solutions," *J. Phys. Chem. C*, vol. 119, no. 44, pp. 24774–24780, 2015.
- [4] M. N. Kutty, E. Plis, A. Khoshakhlagh, S. Myers, N. Gautam, S. Smolev, Y. D. Sharma, R. Dawson, S. Krishna, S. J. Lee, and S. K. Noh, "Study of surface treatments on InAs/GaSb superlattice lwr detectors," *J. Electron. Mater.*, vol. 39, no. 10, pp. 2203–2209, 2010.
- [5] R. Chaghi, C. Cervera, H. Aït-Kaci, P. Grech, J.-B. Rodriguez, and P. Christol, "Wet etching and chemical polishing of InAs/GaSb superlattice photodiodes," *Semicond. Sci. Technol.*, vol. 24, no. 6, pp. 65010-1–6, 2009.
- [6] A. Garulli, R. Lotti, G. R. Weber, F. F. Morehead, J. E. E. Baglin, E. Arai, K. Kobayashi, K. Kudo, H. Potzl, R. Tielert, M. Grasserbauer, G. Stingeder, M. Bullis, S. Broydo, T. Electro-, B. J. Masters, J. M. Poate, A. Carabelas, G. Celotti, S. Solmi, G. Celotti, D. Nobili, S. Solmi, R. Rizzoli, A. G. Cullis, L. E. De Physique, L. Ulis, D. K. Sadana, J. Washburn, J. F. Gibbons, T. J. Magee, J. Peng, J. D. Hong, M. Tamura, T. Tokuyama, A. Armigliato, M. Vanzi, P. Negrini, S. Solmi, D. Nobili, D. Nobili, S. Solmi, A. Armigliato, and W. Krakow, "A Controllable Etchant for Fabrication of GaSb Devices," vol. 133, no. 12, pp. 2565–2567.
- [7] O. Dier, C. Lin, M. Grau, and M.-C. Amann, "Selective and non-selective wet-chemical etchants for GaSb-based materials," *Semicond. Sci. Technol.*, vol. 19, no. 11, pp. 1250–1253, 2004.
- [8] T. Maeda, J. W. Lee, R. J. Shul, J. Han, J. Hong, E. S. Lambers, S. J. Pearton, C. R. Abernathy, and W. S. Hobson, "Inductively coupled plasma etching of III-V semiconductors in BCl₃-based chemistries. I. GaAs, GaN, GaP, GaSb and AlGaAs," *Appl. Surf. Sci.*, vol. 143, no. 1, pp. 174–182, 1999.
- [9] T. Hong, Y. G. Zhang, T. D. Liu, and Y. L. Zheng, "BCl₃/Ar ICP Etching of GaSb and Related Materials for Quaternary Antimonide Laser Diodes," *Journal of The Electrochemical Society*, vol. 152, no. 5. p. G372, 2005.
- [10] Y. Lechoux, A.-B. Fadjie-Djomkam, S. Bollaert, L. Morgenroth, and N. Wichmann, "Improvement of interfacial properties of Al₂O₃/GaSb using O₂ plasma postoxidation process," in *2016 IEEE Nanotechnology Materials and Devices Conference (NMDC)*, 2016, pp. 1–2.
- [11] E.-H. Toh, G. H. Wang, L. Chan, G.-Q. Lo, G. Samudra, and Y.-C. Yeo, "Strain and Materials Engineering for the I-MOS Transistor With an Elevated Impact-Ionization Region," *IEEE Trans. Electron Devices*, vol. 54, no. 10, pp. 2778–2785, Oct. 2007.

Conclusion générale et perspectives

Cette thèse entre dans le cadre du projet ANR JCJC I-MOS35 dont l'objectif est l'étude de transistors à ionisation par impact (I-MOSFET) à base de matériaux III-V en particulier des filières arséniée et antimoniée. De plus, cette thèse fait partie de la thématique « faible consommation des transistors MOS III-V » du groupe ANODE au sein de l'IEMN.

Ce travail de recherche s'inscrit dans un contexte de réduction de la consommation en énergie des systèmes électroniques à base de MOSFET qui est un défi sociétal à relever pour un développement durable. Plusieurs solutions ont été envisagées pour remplacer les MOSFET classiques dont notamment le transistor à effet tunnel (TFET) et le I-MOSFET qui est l'objet principal de cette thèse. Dans la littérature, des transistors à ionisation par impact ont été présentés à partir de silicium. Bien que montrant de bonnes performances en termes de pente sous le seuil de l'ordre de 4 mV/décade et de ratio I_{ON}/I_{OFF} de l'ordre de 10^{5-6} , la tension d'alimentation des I-MOSFET silicium reste élevée de l'ordre de 5 V.

Dans un premier chapitre, l'évolution du MOSFET classique et ses limitations ainsi que plusieurs dispositifs à faible consommation potentielle avaient été présentés. Dans le cas du I-MOSFET, nous avons présenté un état de l'art sur la filière silicium puis montré l'intérêt des matériaux III-V. En effet, l'utilisation des matériaux III-V par leurs faibles énergies de bande interdite et leur variété d'ingénierie d'hétérostructures peut potentiellement réduire la tension d'alimentation du I-MOSFET. Dans ce cas, les discontinuités de bandes d'énergie de valence et de conduction permettent un gain d'énergie cinétique à l'hétérojonction pouvant alors amplifier l'ionisation par impact.

Dans un second chapitre, nous avons tout d'abord expliqué les deux phénomènes d'effet tunnel bande à bande et d'ionisation par impact dans la diode *pin* qui est le composant principal du transistor à ionisation par impact. Après avoir noté que certains matériaux des filières arséniée et antimoniée tels que l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ ou le GaSb peuvent être des candidats potentiels pour atteindre une faible consommation, nous avons étudié, fabriqué et caractérisé une première diode *pin* de la filière arséniée ($\text{InP}/\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$). Cependant, un fort courant de fuite dû à de l'effet tunnel bande à bande, néfaste pour la technologie I-MOSFET, nous a mené à une seconde structure. Cette seconde diode présentant une architecture particulière de type « *pinin* » de la filière arséniée ($\text{In}_{0,52}\text{Al}_{0,48}\text{As}/\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$) a été ainsi réalisée et caractérisée. La composante d'effet tunnel bande à bande a été réduite vis-à-vis de la composante d'ionisation par impact, cependant cette dernière nécessitait une large tension pour entrer en régime d'ionisation par impact incompatible avec la logique basse consommation. Nous avons alors fabriqué et caractérisé une troisième diode *pin* de la filière

antimoniée (GaSb). Nous avons observé un claquage à une tension de l'ordre de 5 V prometteur pour la réalisation d'un transistor à ionisation par impact.

C'est ainsi que dans un troisième chapitre, nous avons étudié deux structures oxyde/semiconducteur différentes. Cette interface est cruciale pour tout dispositif MOS sur matériaux III-V. Les deux matériaux semiconducteurs différents sont l' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ et le GaSb tandis que les deux oxydes sont l'alumine (Al_2O_3) et l'oxyde d'hafnium (HfO_2). Afin d'atteindre une faible pente sous le seuil, il est nécessaire d'optimiser et d'améliorer la qualité d'interface entre l'oxyde et le semiconducteur en passant par la réduction de la densité de défauts d'interface (D_{it}). En effet, contrairement au silicium où l'oxyde natif (SiO_2) offre une D_{it} de l'ordre de $10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$, les valeurs de D_{it} obtenues sur les matériaux III-V restent limitées à $10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. L'exposition à l'air modifie la surface des matériaux III-V en faisant apparaître des états de surface. Nous avons alors fabriqué des capacités MOS puis effectué des caractérisations physico-chimique et électrique. L'utilisation d'une passivation de surface (NH_4OH ou $(\text{NH}_4)_2\text{S}$) a montré une diminution des oxydes natifs bien que la commande des charges n'ait pas été nettement améliorée ce que se traduisait par un phénomène de fausse inversion. Nous avons alors utilisé un procédé de traitement par plasma d'oxygène (O_2) in-situ après dépôt d'oxyde par ALD mis au point dans l'équipe. Des mesures électriques ont permis de montrer que ce traitement améliorerait la commande de charges par une meilleure efficacité du balayage du niveau de Fermi dans la bande interdite du semiconducteur. Ensuite, à l'aide de mesures XPS, nous avons observé que ce traitement diminuait la réoxydation de surface après recuit de l'oxyde en créant une couche à l'interface entre l'oxyde et le semiconducteur. La distribution des défauts d'interface (niveaux donneurs et accepteurs) dans la bande interdite se trouvait alors modifiée. Cet effet avait été observé sur les deux structures oxyde/ InGaAs et oxyde/GaSb.

Après avoir amélioré la qualité de l'interface oxyde/semiconducteur par un traitement par plasma O_2 , nous avons utilisé ce dernier pour les fabrications d'un TFET à base d'InGaAs et d'un I-MOSFET à base de GaSb. Cette étude était l'objet du dernier chapitre de ce travail de thèse. Nous avons alors étudié par simulation, fabriqué et caractérisé le TFET à base d'InGaAs. La simulation nous a permis d'observer une réduction du courant I_{OFF} en positionnant la grille proche de la jonction pi . Les caractérisations électriques des dispositifs montrent une valeur de pente sous le seuil minimale de l'ordre de 200 mV/décade à l'aide du traitement par plasma O_2 , cependant le courant I_{ON} reste très faible de l'ordre de 5 mA/mm. Dans un second temps, nous avons simulé le I-MOSFET à base de GaSb. La tension de claquage par ionisation par impact est inférieure à 5 V tandis que le ratio $I_{\text{ON}}/I_{\text{OFF}}$ est de l'ordre de $3,9 \times 10^5$ avec un courant $I_{\text{ON}} = 698 \text{ mA/mm}$ (à $V_{\text{GD}} = 0,5 \text{ V}$) et un courant $I_{\text{OFF}} = 1,77 \text{ nA}/\mu\text{m}$ (à $V_{\text{GD}} = 0 \text{ V}$). Nous avons alors développé une nouvelle architecture verticale de I-MOSFET sur ce matériau dont la grille était auto-alignée. Bien que la

commande de charge n'était pas très efficace car peu reproductible, nous avons observé la destruction du dispositif par claquage à des tensions $V_{DS} = 4,2$ V et $V_{GD} = 1,94$ V. Ce claquage, très probablement engendré par l'ionisation par impact, est dû à la forte injection de nombreux porteurs chauds après ionisation par impact dégradant l'oxyde et donc le dispositif.

Bien que nous ayons développé plusieurs structures à base de différents matériaux et en ayant introduit des hétérostructures, l'ionisation par impact est difficile à obtenir à basse tension. De plus, les structures réalisées présentent un effet tunnel difficile à supprimer, qui limite la réduction de la pente sous le seuil. Plusieurs perspectives sont possibles afin de réduire l'effet tunnel bande à bande, réduire la pente sous le seuil et diminuer la tension d'alimentation. La première solution serait d'utiliser une hétérostructure de la filière antimonée dont la zone intrinsèque est du type GaSb/ $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{Sb}_{1-y}$ / $\text{InAs}_{0,91}\text{Sb}_{0,09}$ et dont la concentration du matériau quaternaire évolue de façon graduelle dans la zone intrinsèque. Les discontinuités de bandes d'énergie de valence et de conduction entre le GaSb et l' $\text{InAs}_{0,91}\text{Sb}_{0,09}$ sont supérieures à celles sur $\text{InP}/\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ ou sur $\text{In}_{0,52}\text{Al}_{0,48}\text{As}/\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ tandis que l'évolution graduelle de la concentration du matériau quaternaire permettrait de diminuer l'effet tunnel bande à bande. De plus, l'utilisation d' $\text{InAs}_{0,91}\text{Sb}_{0,09}$, dont l'énergie de bande interdite est faible en comparaison au GaSb, permettrait de réduire la tension V_{DS} nécessaire pour entrer en régime de claquage par ionisation par impact. Une deuxième perspective serait d'utiliser le traitement par plasma O_2 sur le HfO_2 ce qui peut potentiellement améliorer son interface avec les semiconducteurs et réduire l'EOT vers de très faibles valeurs. En effet, l'utilisation d'un matériau à forte constante diélectrique tel que le HfO_2 seul permettrait d'améliorer la commande des charges. La troisième perspective est de modifier légèrement la structure afin d'éloigner l'ionisation par impact de la grille limitant alors l'injection de porteurs chauds dans cette dernière et ainsi améliorer la fiabilité du dispositif, permettant la caractérisation des dispositifs.

Annexes

Contenu

I - La lithographie électronique ou optique	208
1) Principe de la lithographie	208
2) Réalisation technologique de la lithographie	209
II - Atomic Layer Deposition (ALD)	210
1) Introduction	210
2) Le principe de dépôt.....	211
III - Mesures des résistances par la méthode (TLM).....	212
1) Résistance de contact	212
2) Résistance carrée.....	212
3) Principe de mesure	213
IV - Caractérisation par effet Hall	214
1) Grandeurs caractéristiques V_H et R_H et mobilité	215
2) Principe de mesure	216
V - Ellipsométrie spectroscopique	217
1) Principe de mesure	217
2) Le spectromètre.....	218
VI - Spectroscopie de photoélectrons X (XPS)	219
1) Principe de mesure	219
2) Le spectromètre.....	219
VII - Le principe de fonctionnement de Silvaco TCAD	220
1) Equation de locale de Maxwell-Gauss et équation de Poisson.....	220
2) Equation de continuité et de transport.....	222
3) Simulation de l'effet tunnel bande à bande par le simulateur ATLAS - SILVACO.....	224
4) Simulation de l'ionisation par impact par le simulateur ATLAS - SILVACO.....	225
VIII - Procédé de fabrication détaillé des diodes <i>pin</i> InP/ InGaAs.....	226
IX - Procédé de fabrication détaillé des diodes <i>pin</i> GaSb/GaAs.....	227
X - Procédé de fabrication détaillé des TFETs InGaAs	228
Bibliographie.....	230

I - La lithographie électronique ou optique

La lithogravure qui signifie « gravure sur pierre » était un art largement utilisé dans l’Egypte ancienne, comme par exemple la gravure des hiéroglyphes sur la pierre de Rosette (découverte en 1799). La lithographie inventée en 1796 par Aloys Senefelder permet de reproduire des tracés effectués à l’encre ou au crayon sur une pierre calcaire. En microélectronique, nous parlons de photolithographie ou de lithographie électronique bien que nous utilisons lithographie par abus de langage. Il s’agit d’une technique permettant d’écrire de façon collective des motifs sur un substrat afin d’obtenir au final des dispositifs comme par exemple des diodes ou transistors.

1) Principe de la lithographie

La lithographie consiste en l’exposition d’un échantillon au travers d’un masque afin d’obtenir un motif. Il existe au moins trois types de lithographies : ionique, électronique et optique – l’insolation par faisceaux d’ions est plutôt utilisée pour la gravure tandis que les faisceaux d’électrons ou de photons sont plus utilisés pour la fabrication microélectronique. Les motifs sont définis à l’aide d’un masque interposé entre la surface et la source du faisceau ou par le balayage de la surface par le faisceau. Il existe par ailleurs d’autres types de lithographies comme par exemple la nano-lithographie [1] qui consiste en l’oxydation locale de surface à l’aide d’une pointe et d’un courant électrique (anodisation) [2] et permet d’obtenir des nano-transistors [3]. Dans un premier temps il faut déposer, par la méthode de spin-coating, une résine photosensible ou électro-sensible qui permettra le transfert du motif (**figure 1**). La résine est ensuite insolée à travers (ou à l’aide) un masque ; si la résine est positive alors la partie insolée va disparaître lors de la révélation tandis que si la résine est négative alors uniquement la partie exposée sera conservée après révélation.

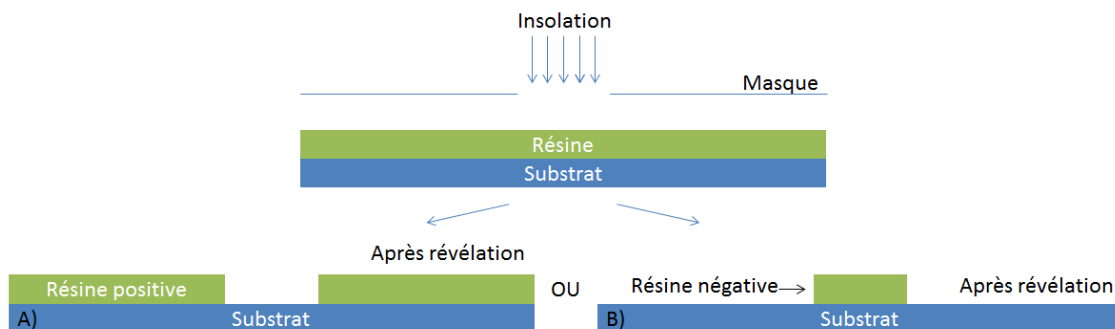


figure 1 – Procédé de lithographie optique à l’aide d’un masque puis son résultat après révélation d’une résine positive (a) et négative (b).

Deux paramètres sont importants et sont contrôlés lorsque le processus est bien défini, il s’agit de la résolution et du temps d’écriture. On trouve donc plusieurs types de

photolithographies : par contact, par proximité ou par projection (à l'aide d'un système de lentille). Le type utilisé va déterminer la résolution du motif transféré. La résolution limite de la photolithographie par contact ou proximité est de l'ordre de la centaine de nm et dépend de λ la longueur d'onde incidente, s la distance masque-résine et de e l'épaisseur de résine (1). Mais en réalité, la photolithographie est limitée par l'alignement du masque par l'utilisateur (soit le μm).

$$R_{lim} = 3 \cdot \sqrt{\lambda \left(s + \frac{1}{2} e \right)} \quad (1)$$

Dans le cas de la lithographie électronique, la longueur d'onde n'est plus une limite et les effets de diffraction sont négligeables. La résolution est meilleure et est de l'ordre de 5 nm pour un faisceau de 1 nm de diamètre. La formule de la longueur d'onde est donnée par l'équation (2) où h est la constante de Planck et E l'énergie du faisceau.

$$\lambda = \frac{h}{\sqrt{2 \cdot m \cdot E}} \quad (2)$$

Les limites en résolution de ce type de lithographie sont la taille du faisceau, l'effet de rétrodiffusion des électrons sur la surface ainsi que la déviation du faisceau lorsque la surface est chargée électroniquement. La lithographie électronique est utilisée pour fabriquer les masques car elle est beaucoup plus précise spatialement.

Après révélation pour faire apparaître le motif désiré, s'en suit une gravure ou un dépôt quelconque pour définir le motif puis pour finir le dérésinage.

2) Réalisation technologique de la lithographie

Nous avons utilisé deux types de lithographie pour la réalisation des dispositifs, la lithographie électronique pour les étapes nécessitant une précision de l'ordre du μm ainsi que la lithographie optique pour les étapes ne nécessitant pas de précision particulière. Dans cette partie, seul un type de lithographie sera expliqué, il s'agit de l'étape de réalisation de contacts ohmiques par lithographie électronique car il s'agit d'une technique couramment utilisée. Il peut être favorable pour le lecteur de connaître ces premières bases.

a) Etape de résinage

Nous avons tout d'abord déposé de la résine par spin-coating. La résine utilisée avant les étapes de dépôts métalliques est une bicouche de deux résines électroniques positives possédant des sélectivités différentes. La première couche est un copolymère

EL 10%/MAA8,5 et la deuxième couche un polymère PMMA 4% 950K dilué dans un solvant (anisole). Le copolymère étant plus sensible aux rayons UV que la deuxième, cela permet d'obtenir un profil « casquette » nécessaire à la technique de « lift-off ». Un recuit à 80°C pendant 1 min suivi d'un recuit à 180°C pendant 10 min permet de stabiliser les résines par l'évaporation des solvants. Les paramètres de vitesse, d'accélération ou de temps utilisés lors de ce dépôt sont les suivants : vitesse 2200 rpm, accélération 1000 rpm/s et le temps 12s.

b) Etape d'insolation et révélation

Après avoir recuit les résines, les substrats sont bombardés par des faisceaux d'électrons à travers un masque, il s'agit de l'insolation. Le matériel utilisé est un nanomasqueur VISTEC EBPG-5000Plus de la centrale de technologie de l'IEMN.

L'insolation effectuée, la résine est révélée/développée pendant 1 min 10s afin de faire apparaître les zones de dépôts de nos contacts métalliques. Le développeur utilisé est un mélange de MIBK/ IPA (ratio volumique 1/ 2) placé sur un tapis mouvant pour l'agitation. Un rinçage à l'alcool propan-2-ol pendant 30 s environ permet de stopper la révélation. Une vérification est obligatoire à l'aide d'un microscope et d'un profilomètre afin de vérifier la révélation des motifs et ainsi que la hauteur de la résine déposée. Ensuite un nettoyage préalable par plasma Argon (Ar) à 150 eV pendant 1 min permet de nettoyer la surface de la résine restante après développement. Cette étape est importante pour diminuer la résistance du contact ohmique. Finalement, le surplus de métal déposé par évaporation est éliminé en plongeant nos échantillons dans un bain d'acétone (C_3H_6O) à 40°C environ ou de SVC-14 à 70°C pour accélérer le « décollage ». Un rinçage à l'alcool est nécessaire pour nettoyer toutes traces de solvant sur l'échantillon.

II - Atomic Layer Deposition (ALD)

1) Introduction

La technique de dépôt par couche atomique (ALD) fait partie des dépôts en phase vapeur. Il existe deux catégories de méthodes de dépôts en phase vapeur, les méthodes chimiques (CVD) et les méthodes physiques (PVD). D'un côté, la CVD est basée sur une réaction chimique transformant les molécules gazeuses sous forme solide en film mince ou en poudre, à la surface d'un substrat par chimisorption. D'un autre côté, la PVD utilise des sources solides transportées en phase vapeur qui se condensent sur le substrat. Des forces faibles de type Van Der Waals entraînent la cohésion des atomes, i.e., la physisorption. L'ALD fait partie de la première catégorie car elle utilise la chimisorption tout comme la MOCVD (Metal-Organic Chemical Vapor Deposition) et la PECVD (Plasma Enhanced Chemical Vapor Deposition).

Le concept de dépôt par ALD (Atomic Layer deposition) a été proposé pour la première fois en 1952 par le Pr V.B. Aleskovskii durant sa thèse sous le nom de « Molecular Layer ». C'est au milieu des années 1970 qu'est venue l'idée d'utiliser l'ALD dans le monde industriel pour le dépôt de couches minces. L'ALD était exclusivement utilisée pour la manufacture de films minces électroluminescents (TFEL). Il faut attendre la fin 1990 pour que l'ALD trouve ses applications dans l'industrie des semi-conducteurs. Cette technique permet de faire des dépôts de couches atomiques, de façon séquentielle et auto-limitée, par adsorption chimique d'atomes à l'aide de précurseurs.

2) Le principe de dépôt

Cette technique d'adsorption chimique est dite « bottom-up ». L'échantillon que l'on souhaite recouvrir est placé dans un bâti fermé sous vide moyen (~ 0.01 mbar) puis le premier précurseur (métallique par exemple) est injecté (**figure 2**). Celui-ci est adsorbé à l'aide de liaisons fortes sur la surface de l'échantillon. Les précurseurs n'ayant pas réagi sont évacués de la chambre de réaction à l'aide d'un gaz inerte (N_2 ou Ar). Ensuite le deuxième précurseur (oxydant) est injecté puis va réagir avec le premier et ainsi créer la deuxième couche atomique. Il est possible d'utiliser un plasma d'oxygène afin de densifier l'oxyde déposé ou lorsqu'on utilise un seul précurseur. Le premier cycle se finit par l'évacuation des réactifs de la chambre de réaction et se répète autant de fois jusqu'à obtention de l'épaisseur souhaitée. La vitesse de dépôt est très lente et donc l'épaisseur est très contrôlée ($\sim 1 \text{ \AA} / \text{cycle}$). Par ailleurs, il est important de contrôler parfaitement les temps de pulse d'injection des précurseurs afin de recouvrir complètement la surface. De plus, certains précurseurs permettent de désoxyder la surface comme le TMA.

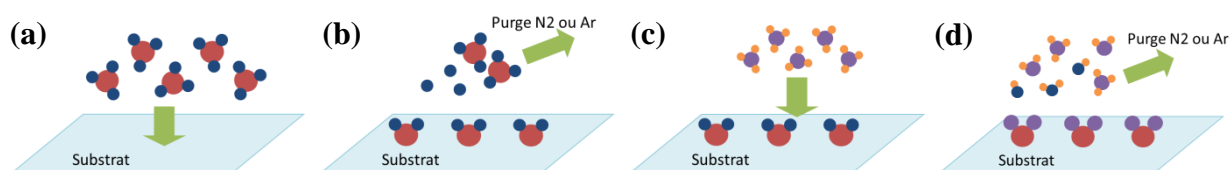


figure 2 – Schéma d'un cycle de dépôt par ALD. Injection du premier précurseur (a), évacuation des précurseurs non réagis (b), injection du second précurseur (c) et purge à la fin du cycle, la première couche est déposée (d).

L'intérêt d'utiliser l'ALD est d'avoir une bonne uniformité de la surface, de contrôler précisément l'épaisseur de façon nanométrique, d'utiliser des températures de dépôt faibles et d'avoir un dépôt conforme sur une large surface. Cette technique est utilisée pour les contacts métalliques, les semi-conducteurs III-V, II-VI mais surtout pour le dépôt des oxydes comme l'alumine (Al_2O_3 ou le HfO_2).

III - Mesures des résistances par la méthode de ligne de transmission (TLM)

Dans l'industrie des semi-conducteurs, par exemple dans les circuits intégrés, des transistors sont utilisés et sont reliés entre eux par des contacts métalliques. Les contacts métalliques permettent d'effectuer des interconnexions entre des niveaux de métallisations. Un paramètre important est donc la résistance engendrée entre le contact métallique et le semiconducteur. Nous allons donc décrire ici une méthode « dite » par lignes de transmission (TLM) permettant de caractériser la résistance de contact ainsi que la résistance du semiconducteur. Afin de transporter au mieux le courant il est nécessaire d'avoir la résistance la plus faible. Le premier contact métal-semiconducteur fut mis au point en 1874 par F. Braun et l'une des premières théories fut développée dans les années 1930 par W. H. Schottky.

1) Résistance de contact

Dans le cas d'une interface métal-semiconducteur, nous trouvons deux types de contacts, ohmique ou Schottky. Le premier est caractérisé par une résistance de contact faible, et la tension est linéairement dépendante du courant. Le contact Schottky est caractérisé par la présence d'une barrière de potentiel élevée. Afin d'avoir un contact ohmique, le travail de sortie du métal doit être inférieur à celui du semiconducteur, sinon les électrons voient une barrière de potentiel. Il est possible de diminuer la résistance de contact en augmentant le dopage sur quelques nanomètres de la couche en surface.

2) Résistance carrée

Dans un matériau macroscopique, la résistance est donnée par la formule (3) et est reliée aux paramètres géométriques tels que la section efficace S , la longueur L ainsi qu'à la résistivité ρ . La résistivité vaut respectivement pour un matériau dopé n : $\rho_n = (q \cdot \mu_n \cdot n)^{-1}$ et $\rho_p = (q \cdot \mu_p \cdot p)^{-1}$ pour un matériau dopé p .

$$R = \frac{\rho \cdot L}{S} \quad (3)$$

Pour une épitaxie, la résistance est nommée résistance carrée R_{\square} (4) et dépend de l'épaisseur du semiconducteur.

$$R_{\square} = \frac{\rho}{\text{épaisseur}} \quad (4)$$

3) Principe de mesure

Dans cette méthode, nous considérons que la résistivité sous le contact est uniforme et que la résistance de contact se fait à l'interface entre le semiconducteur et le métal. Pour cela nous avons utilisé un dispositif à quatre pointes (afin d'exclure les résistances parasites dues aux fils) que l'on place sur deux contacts métalliques séparés d'une distance L variable. Une tension est appliquée et par mesure du courant nous en déduisons la résistance totale (5).

$$R_{totale} = 2R_C + R_{\square} \cdot L/W \quad (5)$$

Le schéma expérimental est montré à la **figure 3**.

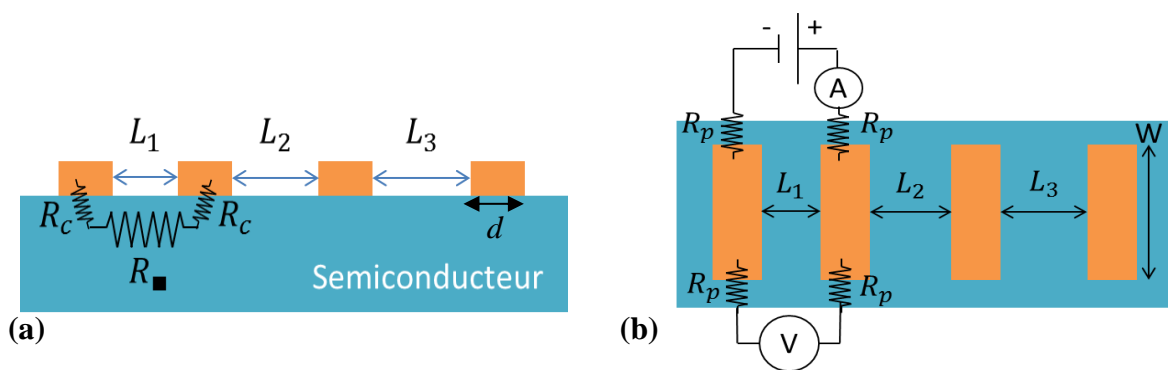


figure 3 - Schémas expérimentaux d'une mesure par la méthode TLM. Les résistances de contact R_C et du semiconducteur R_{\square} sont des paramètres importants (a), de plus les résistances parasites R_p sont négligées à l'aide d'une mesure 4 pointes (b).

Ensuite il suffit de tracer la résistance totale en fonction de la distance entre les contacts métalliques (**figure 4**) pour déterminer les différentes grandeurs par identification avec l'équation (5). La valeur de la pente nous renseigne donc sur la résistance carrée R_{\square} du semiconducteur tandis que l'ordonnée à l'origine nous permet de déterminer la valeur de la résistance de contact R_C entre le métal et le semiconducteur.

Par ailleurs, il est possible d'extraire la valeur de longueur lorsque la résistance est nulle. Cette longueur nommée longueur de transfert L_T est la distance pour laquelle le courant diminue de $1/e$, il s'agit donc de la distance pour laquelle la majeure partie du courant passe du métal au semiconducteur (en général de l'ordre du μm). Le courant circulant principalement au niveau des bords des contacts, la résistivité spécifique ρ_C représente la véritable valeur de résistance du contact et dépend du développement W et de la longueur de transfert (si la largeur du contact d est plus grande que L_T). La résistance R_C est donnée par l'équation (6).

$$R_C = \frac{\rho_C}{L_T \cdot W} \quad (6)$$

D'après *G. K. Reeves et al.* [4] que (si $d > L_T$), la résistance de contact peut s'exprimer en fonction de la résistance du semiconducteur par l'équation (7).

$$R_C = \frac{R_{\square} \cdot L_T}{W} \coth\left(\frac{d}{L_T}\right) = \frac{R_{\square} \cdot L_T}{W} \quad (7)$$

On en déduit la résistivité spécifique de contact donnée par l'équation (8).

$$\rho_C = R_{\square} \cdot L_T^2 \quad (8)$$

Remarque : Un contact ohmique est considéré comme bon lorsque $\rho_c < 10^{-6} \Omega \cdot \text{cm}^2$.

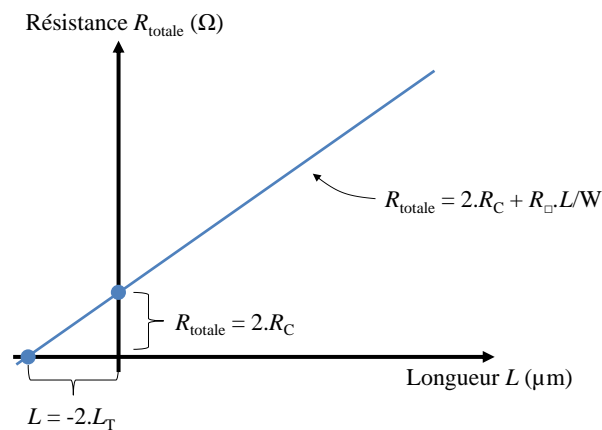


figure 4 - Courbe de la résistance totale R_{totale} en fonction de la distance L entre les plots métalliques.

IV - Caractérisation par effet Hall

La caractérisation par effet Hall, découvert en 1879 par E. H. Hall, permet de déterminer différentes grandeurs telles que la mobilité, la résistivité ainsi que la densité des porteurs dans une couche semiconductrice. Dans un premier temps nous allons introduire les différentes grandeurs comme la tension de Hall V_H et le coefficient de Hall R_H permettant de déduire la densité de porteurs ainsi que leurs mobilités. Dans un second temps, nous allons aborder le principe de mesure de ces grandeurs par effet Hall.

1) Grandeurs caractéristiques V_H et R_H et mobilité

L'effet Hall repose sur le fait qu'un semiconducteur traversé par un courant et placé dans un champ magnétique va produire une tension/champ électrique perpendiculaire à celui-ci. Les électrons vont subir une force de Lorentz ($F_L = q.v_x \times B_y$) et vont se déplacer sur l'un des côtés du matériau. Il y aura un déficit d'électrons de l'autre côté et un champ électrique E_z ainsi qu'une tension de Hall V_H vont apparaître. La vitesse des électrons est donnée par $\vec{v}_x = \frac{I_x}{q.n.A}$ où I_x est le courant, n la densité d'électrons et A la section. Sachant qu'aucun courant n'est possible selon la direction z , la force $F_E = q.E_z$ créée par le champ électrique E_z va s'équilibrer avec la force de Lorentz ce qui permet de déterminer la tension de Hall ($V_H = E_z.W$) avec W la largeur selon l'axe z . La tension de Hall est donnée par l'équation (9) où d est l'épaisseur.

$$V_H = \frac{I_x \cdot B_y \cdot W}{q \cdot n \cdot A} = \frac{I_x \cdot B_y}{q \cdot n \cdot d} \quad (9)$$

Cette tension est proportionnelle au coefficient de Hall R_H s'exprimant par l'équation (10) et plus généralement par l'équation (11) lorsque les deux porteurs participent à la conduction sous faible champ magnétique.

$$R_H = \frac{V_H \cdot d}{I_x \cdot B_y} = \frac{1}{q \cdot n} \quad (10)$$

$$R_H = \frac{r(p - b \cdot n^2)}{q(p + b \cdot n^2)} \quad \text{où } b = \frac{\mu_n}{\mu_p} \text{ et } r \approx 1 \quad (11)$$

De façon simple, le coefficient de Hall s'exprime en fonction de la mobilité de Hall μ_H et de la résistivité ρ (12).

$$R_H = \frac{1}{q \cdot n} = \mu_H \cdot \rho \quad (12)$$

En extrayant la résistivité ρ par une mesure de la résistance, il est alors possible de déterminer la mobilité des porteurs (13).

$$\mu_H = \frac{1}{q \cdot n \cdot \rho} \quad (13)$$

2) Principe de mesure

Le principe repose sur l'application d'un champ magnétique sur un matériau semiconducteur traversé par un courant afin de mesurer la tension créée par le déplacement des charges sur le bord (**figure 5.a**). Pour cela, il faut définir une structure de type trèfle (**figure 5.b**) puis mesurer les résistances $R_{12,34} = V_{34}/I_{12}$ et $R_{23,14} = V_{14}/I_{23}$ sans champ électrique. Van der Pauw a alors écrit l'équation (14) où $\rho = R_{\square}/d$.

$$e \frac{-\pi R_{12,34}}{R_{\square}} + e \frac{-\pi R_{23,14}}{R_{\square}} = 1 \quad (14)$$

Lorsque l'échantillon est symétrique et isotrope alors les résistances sont égales $R = R_{12,34} = R_{23,14}$ et la solution de l'équation (14) est donnée par l'équation (15).

$$\rho = \frac{\pi \cdot d}{\ln(2)} R \quad (15)$$

Ensuite, en appliquant le champ magnétique B , nous pouvons mesurer la tension ainsi que le coefficient de Hall pour enfin déduire la mobilité de la couche semiconductrice.

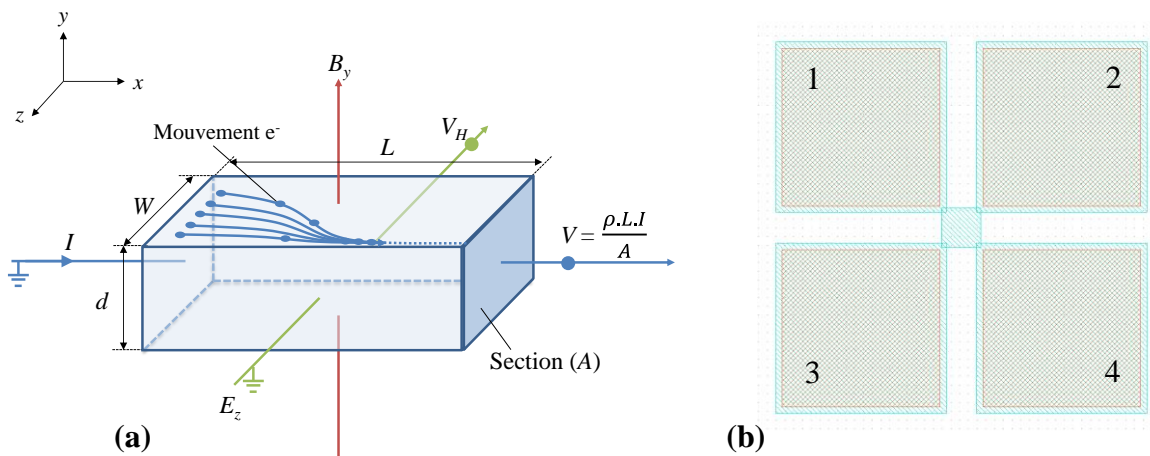


figure 5 – Schéma de mesure de la tension de Hall V_H montrant par ailleurs le déplacement des charges vers bord du semiconducteur (a) et trèfle de Hall fabriqué à partir du masque « PIN_diode » (b).

V - Ellipsométrie spectroscopique

L'ellipsométrie est une technique optique de caractérisation et d'analyse de surface. Elle est basée sur l'analyse du changement de polarisation de la lumière après réflexion et permet notamment de déterminer l'épaisseur d'une couche déposée.

1) Principe de mesure

Le faisceau lumineux incident est caractérisé par son angle d'incidence ϑ_0 et son champ électrique incident E_i qui se décompose selon deux axes en E_{pi} et E_{si} selon l'orientation de l'axe par rapport au plan d'incidence (p : parallèle et s : perpendiculaire au plan d'incidence). Le faisceau incident est réfracté et/ou réfléchi aux différentes interfaces de la jonction et éventuellement absorbé au sein de la couche ou de la multicouche. Le rayon réfléchi est caractérisé par son champ électrique de composantes E_{pr} et E_{sr} (**figure 6**).

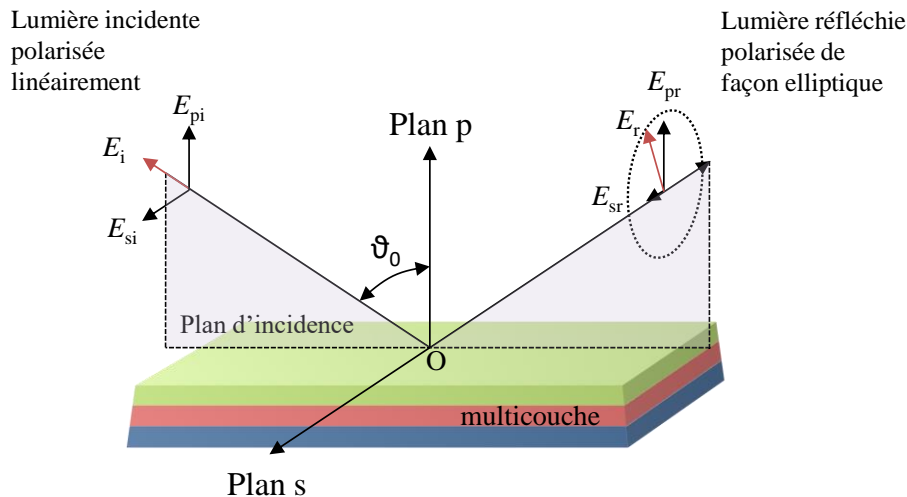


figure 6 – Schéma du changement de polarisation de la lumière après interaction avec un matériau.

Au point d'incidence O, les composantes des champs électriques sont égales avant et après réflexion à un coefficient près nommé coefficient de réflexion (r_p et r_s). Ainsi il est possible d'écrire les équations (16) et (17).

$$E_{pr} = r_p \cdot E_{pi} \quad (16)$$

$$E_{sr} = r_s \cdot E_{si} \quad (17)$$

Les coefficients de réflexion (18), (19) sont des nombres complexes et sont caractérisés par des amplitudes $|r_p|$, $|r_s|$ et des déphasages δ_p , δ_s .

$$r_p = |r_p| \cdot e^{j\delta_p} = \left| \frac{E_{pr}}{E_{pi}} \right| e^{j(\delta_{pr} - \delta_{pi})} \quad (18)$$

$$r_s = |r_s| \cdot e^{j\delta_s} = \left| \frac{E_{sr}}{E_{si}} \right| e^{j(\delta_{sr} - \delta_{si})} \quad (19)$$

On accède ainsi au rapport, $\rho = r_p / r_s = \tan(\psi) \cdot e^{j\Delta}$, où $\tan(\psi)$ est le rapport des modules des coefficients de réflexion $\tan(\psi) = \frac{|r_p|}{|r_s|}$ et Δ est la différence de phase introduite par la réflexion $\Delta = \delta_p - \delta_s$. Les grandeurs ψ et Δ sont nommées angles ellipsométriques. Plutôt que de représenter les angles ellipsométriques (ψ , Δ) en fonction de l'énergie des photons, nous représentons la pseudo-fonction diélectrique ε complexe avec $\varepsilon = n^2$ où n est l'indice de réfraction complexe. Cette pseudo-fonction diélectrique est donnée par la relation entre ρ et l'angle d'incidence ϑ_0 (20).

$$\varepsilon = \sin^2(\vartheta_0) \cdot \left[1 + \left(\frac{1 - \rho}{1 + \rho} \right)^2 \cdot \tan^2(\vartheta_0) \right] \quad (20)$$

En représentant l'évolution de cette fonction avec la longueur d'onde du faisceau incident, puis en modélisant à partir d'un modèle défini pour chaque matériau, il est possible de déterminer l'épaisseur du matériau déposé à partir d'une référence.

2) Le spectromètre

Le spectromètre utilisé au laboratoire est un spectromètre UVISEL *Horiba Yvon*. La lumière incidente (polarisée) à partir d'une source de lumière blanche (lampe Xenon) va se réfléchir sur l'échantillon vers le détecteur à travers un 2nd polariseur servant d'analyseur (**figure 7**). Le détecteur est constitué d'un photomultiplicateur et d'une photodiode. Ensuite, une analyse numérique à partir du signal détecté permet de déterminer les grandeurs ψ et Δ .

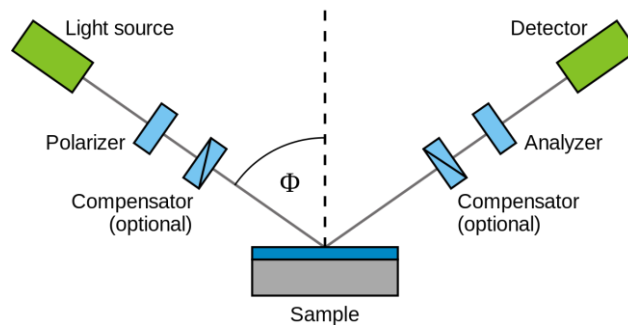


figure 7 – Schéma d'un spectromètre avec la source de lumière, le polariseur, l'échantillon, l'analyseur et le détecteur (de Wikipédia).

VI - Spectroscopie de photoélectrons X (XPS)

La spectroscopie de photoélectrons X (XPS) consiste à analyser la distribution de l'énergie des photoélectrons (effet photoélectrique) émis après ionisation par un faisceau de photons incident. Cette technique non destructive permet d'analyser la composition de surface sur une profondeur inférieure à 10 nm.

1) Principe de mesure

Le rayon incident est composé de photons X d'énergie $E = h\nu$ où h est la constante de Planck et ν la fréquence de la radiation. Ce rayon va impacter la surface du matériau à analyser et les électrons des niveaux de cœur vont alors s'ioniser lorsque leurs énergies de liaison sont égales à l'énergie d'ionisation pour les niveaux de cœur donnés. Un schéma simplifié du processus d'interaction entre le photon incident et le matériau est montré à la **figure 8**. La conservation de l'énergie impose la relation $E = E_L + E_{\text{cinétique}}$ où E_L et $E_{\text{cinétique}}$ sont, respectivement, l'énergie de liaison et l'énergie cinétique des photoélectrons émis. L'énergie de liaison étant dépendante de l'énergie du niveau de cœur sondé et donc du matériau, il sera alors possible de déterminer la composition en surface à partir de tables prédéfinies. De plus, l'énergie de liaison du photoélectron émis est sensible à l'environnement chimique et donc à l'état d'oxydation des éléments analysés ce qui permet par ailleurs d'observer les composantes d'oxydes natifs par exemple.

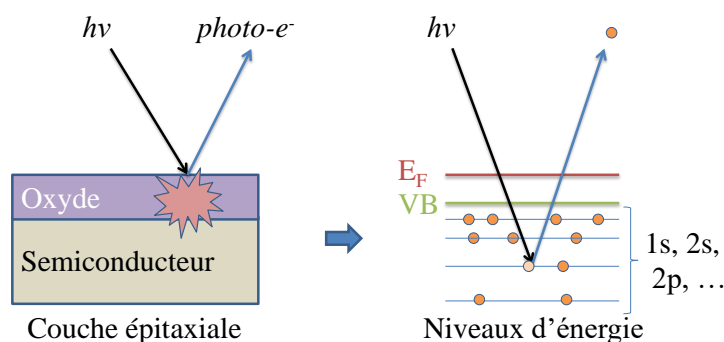


figure 8 - Schéma du processus d'interaction entre le photon incident et le matériau émettant un photoélectron dont l'énergie cinétique dépend de sa position énergétique initiale (niveau de cœur).

Les électrons sont émis dans toutes les directions avec une certaine distribution angulaire et sont collectés par un analyseur.

2) Le spectromètre

Le spectromètre est constitué d'une source de photon X, un analyseur ainsi qu'un système de comptage des photoélectrons et est maintenu sous vide (5×10^{-9} mbar) afin d'éviter les

interactions non souhaitées. La source de rayons X, dans notre cas, est un tube à rayons X à anode en Aluminium délivrant la raie principale Al $\kappa\alpha$ d'énergie $h\nu = 1486,6$ eV. L'analyseur est un analyseur hémisphérique avec des lentilles d'entrées retardatrices permettant de conserver une forte transmission selon l'énergie cinétique du photoélectron. Enfin le détecteur est un photomultiplicateur couplé à un système électronique de comptage. La **figure 9** représente le schéma du spectromètre avec la source, l'échantillon, l'analyseur hémisphérique et le détecteur.

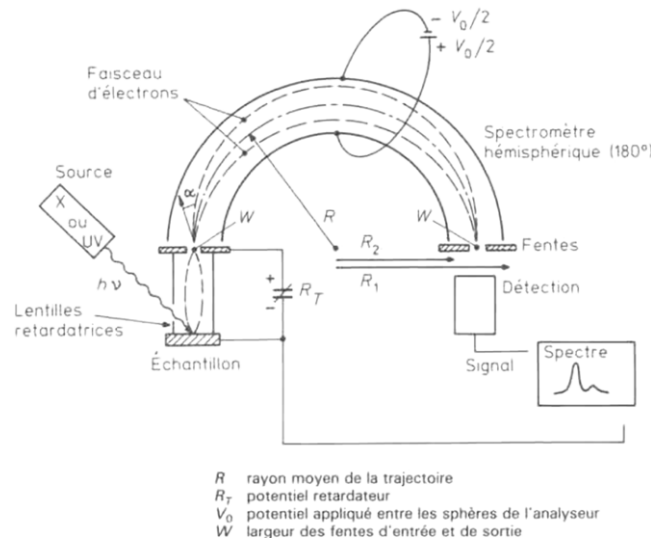


figure 9 – Schéma représentant le spectromètre à photoélectrons X avec la source, l'échantillon, l'analyseur hémisphérique et le détecteur (de « Technique de l'ingénieur »).

VII - Le principe de fonctionnement de Silvaco TCAD

La simulation Silvaco repose sur plusieurs équations fondamentales décrivant le comportement des dispositifs. Ces équations sont l'équation de Poisson, l'équation de Maxwell-Gauss, l'équation de continuité et ainsi que l'équation de transport.

1) Equation de locale de Maxwell-Gauss et équation de Poisson

La plupart des propriétés des systèmes physiques ou chimiques sont liées aux forces électriques c'est-à-dire aux interactions entre les charges électriques. Cette force est par exemple à l'origine de la cohésion des atomes, soit le système noyau-nuage électronique. La force d'interaction électrostatique entre deux charges q séparées d'une distance r est donnée par loi de Coulomb (énoncée en 1725 par C. A. Coulomb) (21), (22).

$$\vec{F}_{Coulomb} = \frac{1}{4 \cdot \pi \cdot \epsilon} \cdot \frac{q^2}{r^2} \cdot \vec{u} \quad (21)$$

Soit
$$\vec{F}_{Coulomb} = q \cdot \overrightarrow{E(r)} \quad (22)$$

Nous pouvons dire que la 1^{ère} particule agit sur la 2nd à l'aide d'un champ électrostatique noté \vec{E} . Lorsque le système est composé de N particules agissant ensemble sur une seule particule, nous pouvons définir l'équation (23).

$$\vec{F}_{Coulomb} = q \cdot \sum_{i=1}^{N+1} \frac{q_i}{r_i^2} \cdot \vec{u} = q \cdot \sum_{i=1}^{N+1} \vec{E}_i \quad (23)$$

En considérant une quantité de charge dq , il est possible de définir une densité de charge volumique ρ de sorte que (où $d\tau$ est un volume élémentaire) (24).

$$dq = \rho \cdot d\tau \quad (24)$$

Le champ dû à la densité de charge volumique peut s'écrire sous la forme (25).

$$\vec{E} = \frac{1}{4 \cdot \pi \cdot \epsilon} \iiint_{Vol} \frac{\rho}{r^2} \cdot d\tau \cdot \vec{u} \quad (25)$$

De cette façon, nous appelons la grandeur φ (V.m) le flux du champ électrique à travers une surface dS , et définie par l'équation (26) (d'après Green-Ostrogradski).

$$\varphi = \iint_S \vec{E} \cdot \vec{dS} = \iiint_{Vol} \vec{\nabla} \cdot \vec{E} \cdot d\tau \quad (26)$$

Qui donne le théorème de Gauss disant que « le flux sortant d'une surface fermée est égale à la charge intérieure totale divisée par la permittivité du vide » (27).

$$\varphi = \oiint_S \vec{E} \cdot \vec{dS} = \frac{Q_{int}}{\epsilon} = \frac{1}{\epsilon} \iiint_{Vol} \rho \cdot d\tau \quad (27)$$

Maintenant, en combinant l'équation (26) et (27), nous obtenons l'équation locale de Maxwell-Gauss (28).

$$\vec{\nabla} \cdot \vec{E} = \text{div } \vec{E} = \frac{\rho}{\epsilon} \quad (28)$$

Cette équation locale permet de déduire le champ électrique dans un matériau à partir de sa densité de charge volumique ainsi que le potentiel électrostatique ($\vec{E} = -\vec{\nabla} V$), cette dernière est nommée l'équation de Poisson (équation différentielle) (29).

$$\Delta V = -\frac{\rho}{\varepsilon} \quad (29)$$

Cette équation permettant de déduire le champ ainsi que le potentiel électrostatique est à combiner avec les équations de continuité et de transport des charges.

2) Equation de continuité et de transport

a) Equation de continuité

L'équation de continuité permet de comprendre le comportement des dispositifs hors-équilibre. Elle permet de relier la variation temporelle de la densité des porteurs de charges aux phénomènes de génération G et de recombinaison R ainsi qu'avec le flux de la densité de courant traversant le semiconducteur (conduction et diffusion). Ces phénomènes participent à l'établissement d'un régime permanent ou d'équilibre dans le semiconducteur. Elle s'exprime pour les porteurs majoritaires et minoritaires de la façon suivante (30), (31).

$$\frac{\partial n}{\partial t} = G_n - R_n + \frac{1}{e} \vec{\nabla} J_n \quad (30)$$

et

$$\frac{\partial p}{\partial t} = G_p - R_p - \frac{1}{e} \vec{\nabla} J_p \quad (31)$$

Bien que le transport des charges soit généralement dû à la conduction ainsi qu'à la diffusion, d'autres phénomènes peuvent être mis en jeu et devenir non négligeables pour le calcul des densités de courant, de la génération et de la recombinaison.

b) Equation de transport des charges

Afin de calculer tous les paramètres dans les équations (9), (10) et (11) il faut utiliser des modèles physiques permettant de décrire le modèle de transport des charges ainsi que les équations de densité de courant dans le semiconducteur. Plusieurs modèles de transport existent, nommés dérive-diffusion ou hydrodynamique ou Energy-Balance, et sont le résultat d'une simplification de l'équation de transport énoncées par L. Boltzmann en 1872. Cette équation permet de décrire la théorie cinétique d'un gaz peu dense (gaz d'électrons libre par exemple). Le modèle de « dérive-diffusion » est utilisé pour des dispositifs de grande taille

(> 1 μm) alors que les modèles hydrodynamique et d'équilibre énergétique sont utilisés pour des dispositifs de très petite taille.

Par défaut ATLAS utilise le modèle de dérive-diffusion. Le courant de dérive est donné par les équations suivantes (32)-(34).

$$J_n^{dérive} = e \cdot n \cdot \mu_n \cdot E = \sigma_n \cdot E \quad (32)$$

et

$$J_p^{dérive} = e \cdot p \cdot \mu_p \cdot E = \sigma_p \cdot E \quad (33)$$

où

$$\sigma_p = \frac{p \cdot e^2 \cdot \tau_p}{m_p^*} ; \sigma_n = \frac{n \cdot e^2 \cdot \tau_n}{m_n^*} \quad (34)$$

Tandis que le courant de diffusion, qui a pour origine la distribution inhomogène des porteurs, résulte de la loi de Fick (35), (36).

$$\varphi_n = -D_n \cdot \vec{\nabla} n = -\frac{K \cdot T_L}{e} \cdot \mu_n \cdot \vec{\nabla} n \quad (35)$$

et

$$\varphi_p = -D_p \cdot \vec{\nabla} p = -\frac{K \cdot T_L}{e} \cdot \mu_p \cdot \vec{\nabla} p \quad (36)$$

Ces équations dérivent de la 1^{ère} loi de Fick où D_p et D_n sont les coefficients de diffusion respectivement pour les trous et pour les électrons. Les courants de conduction sont donnés par les équations (37), (38).

$$J_n^{diffusion} = -e \cdot \varphi_n = e \cdot D_n \cdot \vec{\nabla} n \quad (37)$$

et

$$J_p^{diffusion} = e \cdot \varphi_p = -e \cdot D_p \cdot \vec{\nabla} p \quad (38)$$

Dans le cas du modèle de dérive-diffusion, la densité de courant sera donnée par les équations (39)-(41).

soit

$$J = J^{diffusion} + J^{dérive} \quad (39)$$

et

$$J_n = \sigma_n \cdot E + e \cdot D_n \cdot \vec{\nabla} n \quad (40)$$

et

$$J_p = \sigma_p \cdot E - e \cdot D_p \cdot \nabla p \quad (41)$$

Dans ce premier modèle, seuls les densités de courant et le potentiel électrostatique sont indépendants des autres paramètres. Hors à plus petite échelle ($< 1\mu\text{m}$), cette approximation n'est plus valable et il faut considérer que ces grandeurs ne sont plus indépendantes et varient en fonction du champ électrostatique local par exemple. Ces modèles sont plus réels mais prennent plus de temps de calcul dans Silvaco – ATLAS et bien souvent apparaissent des problèmes de convergence selon la méthode de résolution mathématique du programme.

Deux paramètres importants pour le calcul de l'évolution temporelle de la densité de charge sont la génération des porteurs ainsi que leurs recombinaisons. Dans notre cas deux modèles sont intéressants pour la génération des porteurs, il s'agit de l'effet d'ionisation par impact (phénomène principal) et l'effet tunnel bande à bande (facteur limitant dans notre cas). Le modèle de recombinaison est le modèle classique de Schottky-Read-Hall (*SRH*).

3) Simulation de l'effet tunnel bande à bande par le simulateur ATLAS - SILVACO

Dans le simulateur ATLAS, l'effet tunnel bande à bande se traduit par un terme additionnel de génération dans l'équation de continuité. Il existe plusieurs modèles de génération permettant la simulation de l'effet tunnel bande à bande, soit local soit non local. Dans le cas de modèles de type local, le taux de génération est lié au champ électrique qui reste constant dans la zone d'effet tunnel bande à bande. Dans le cas de modèles de type non-local, le champ électrique varie dans la zone d'effet tunnel. Bien que les modèles de type non-local soient plus précis, ils entraînent des problèmes de convergence nécessitant un maillage très fin. Nous nous contenterons donc de présenter les modèles de génération de type local. Le premier modèle est basé sur les équations proposées par *E.O. Kane* [5]. Dans ce modèle, le taux de génération par effet tunnel est donné par l'équation (42). Les coefficients *A*, *B*, *C* et *D* sont estimés par calcul à partir du modèle analytique tandis que le champ *F* est le champ électrique moyen.

$$G_{bbt} \propto \frac{A}{\sqrt{E_g}} F_{\text{moy}}^C \exp\left(-B \frac{E_g^{3/2}}{F_{\text{moy}}}\right) \quad (42)$$

Ce modèle basé sur les calculs de probabilité tunnel de *L.V. Keldysh* diffère de ce dernier par la façon de calculer la densité d'électrons de valence participant à l'effet tunnel. La conséquence est la modification de la masse effective qui aura un effet sur la structure de bande et donc sur l'effet tunnel bande à bande.

Le second modèle est basé sur le modèle local présenté en 1989 par *G.A.M. Hurkx et al.* [6], il s'agit d'une adaptation du modèle de *E.O. Kane* et considère un champ électrique maximal F_{\max} au lieu du champ électrique moyen F_{moy} de la jonction *pn* [7]. Le terme de génération se définit alors par l'équation (43) où les paramètres A' et B' (avec $C' = 1$ ou $3/2$) se calculent à partir de la masse effective de l'électron [8]. Le coefficient B' correspondant au champ électrique critique à partir duquel l'effet tunnel apparaît.

$$G_{bbt} \propto A' F_{\max}^{C'} \exp\left(-\frac{B'}{F_{\max}}\right) \quad (43)$$

Durant ces travaux de thèse, nous nous sommes concentrés sur ces deux modèles locaux pour la simulation des diodes en polarisation inverse.

4) Simulation de l'ionisation par impact par le simulateur ATLAS - SILVACO

Dans la simulation TCAD, le phénomène d'ionisation par impact est défini à l'aide du terme de génération $G = \alpha \cdot J_n + \beta \cdot J_p$ dont J_n et J_p sont les courants obtenus par dérive-diffusion. Ce terme de génération d'ionisation par impact dépend des coefficients d'ionisation des matériaux α et β . Tout comme pour la simulation de l'effet tunnel bande à bande, il existe deux types de modèles, local et non-local. Dans notre cas, nous nous sommes concentrés sur les modèles de type local bien que la tension de claquage soit légèrement sous-estimée.

Le modèle local que nous avons utilisé est celui de *S. Selberherr* [9] basé sur le modèle de *A.G. Chynoweth* [10]. Dans ce modèle, le terme de génération est directement calculé à partir des coefficients d'ionisations (44), (45).








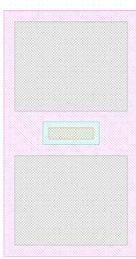
$$\alpha = \alpha_{\infty} \cdot \exp\left(-\frac{F}{F_{i,n}}\right) \quad (44)$$

et




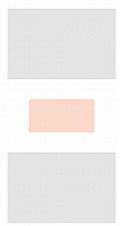

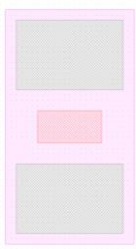
$$\beta = \beta_{\infty} \cdot \exp\left(-\frac{F}{F_{i,p}}\right) \quad (45)$$

Pour la simulation, nous avons pris comme références les coefficients d'ionisation extraits dans le chapitre 2.








VIII - Procédé de fabrication détaillé des diodes *pin* InP/ InGaAs


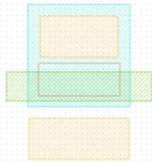

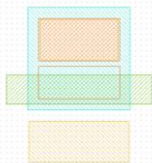

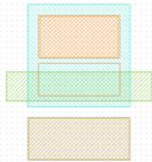

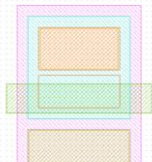
Étapes	Étapes élémentaires	Description des étapes	Dessin du masque
1 - Marques d'alignements et contacts ohmiques supérieurs Définition de marques pour l'alignement des différents niveaux de masques par lithographie électronique et optiques 	1.1 Résinage par spin-coating	- COPO EL13%/MAA8.5 (2700/1000/12sec) recuit 200°C 1min - PMMA 3% 195K (3400/1000/12sec) recuit 200°C 1min	
	1.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	1.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N ₂	
	1.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Pd/ Ti/ Pt/ Au (4/ 25/ 25/ 350 nm)	
	1.5 Lift-off	Acétone puis rinçage IPA et séchage sous N ₂	
2 - Mésa peu-profond Définition de la zone de gravure du mésa peu-profond 	2.1 Résinage par spin-coating	AZ 1518 (3500/1000/12sec) recuit 110°C 1min	
	2.2 Insolation UV	Exposition 1,8 sec à 10 mW/cm ² (HContact)	
	2.3 Révélation	AZ 400K/ H ₂ O (vol : 1/3) 25 sec en agitant, rinçage H ₂ O et séchage sous N ₂	
	2.4 Gravure humide du mésa	- H ₃ PO ₃ / H ₂ O ₂ / H ₂ O (vol : 5/1/40) ... min - HCl/ H ₂ O (vol : 1/2) ... sec - Rinçage H ₂ O et séchage sous N ₂	
	2.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N ₂	
3 - Contacts ohmiques inférieurs Définition des contacts inférieurs par lithographie électronique 	3.1 Résinage par spin-coating	- COPO EL13%/MAA8.5 (2700/1000/12sec) recuit 200°C 1min - PMMA 3% 195K (3400/1000/12sec) recuit 200°C 1min	
	3.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	3.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N ₂	
	3.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Ti/ Pt/ Au (25/ 25/ 350 nm)	
	3.5 Lift-off	Acétone puis rinçage IPA et séchage sous N ₂	
4 - Mésa d'isolation Définition de la zone de gravure du mésa d'isolation des dispositifs 	8.1 Résinage par spin-coating	AZ 1518 (3500/1000/12sec) recuit 110°C 1min	
	8.2 Insolation UV	Exposition 1,8 sec à 10 mW/cm ² (HContact)	
	8.3 Révélation	AZ 400K/ H ₂ O (vol : 1/3) 25 sec en agitant, rinçage H ₂ O et séchage sous N ₂	
	8.4 Gravure humide du mésa	- H ₃ PO ₃ / H ₂ O ₂ / H ₂ O (vol : 5/1/40) ... min - Rinçage H ₂ O et séchage sous N ₂	
	8.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N ₂	

IX - Procédé de fabrication détaillé des diodes *pin* GaSb/GaAs

Étapes	Étapes élémentaires	Description des étapes	Dessin du masque
1 - Marques d'alignements et contacts ohmiques supérieurs Définition de marques pour l'alignement des différents niveaux de masques par lithographie électronique et optiques 	3.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	3.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	3.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N_2	
	3.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Pd/ Ti/ Pt/ Au (4/ 25/ 25/ 350 nm)	
	3.5 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N_2	
2 -Mésa et nettoyage après gravure Définition de la zone de gravure du méso peu profond et élimination des contaminations après gravure plasma	2.1 Gravure ICP	ICP : 180W, RIE: 40W; BCl_3 : 18 sccm; Ar : 2 sccm; Température : 20°C; Pression : 4mTorr.	
	2.2 Nettoyage de la surface	- Hf/ H_2O_2 / H_2O (vol : 1/1/200) 16sec - Rinçage H_2O et séchage sous N_2	
3 - Contacts ohmiques inférieurs Définition des contacts inférieurs par lithographie électronique 	3.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	3.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	3.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N_2	
	3.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Ni/Ge/Au/Pt/Au (4/40/20/25/350nm)	
	3.5 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N_2	
4 -Mésa d'isolation Définition de la zone de gravure du méso d'isolation des dispositifs 	4.1 Résinage par spin-coating	AZ 1518 (3500/1000/12sec) recuit 110°C 1min	
	4.2 Insolation UV	Exposition 1,8 sec à 10 mW/cm^2 (HContact)	
	4.3 Révélation	AZ 400K/ H_2O (vol : 1/3) 25 sec en agitant, rinçage H_2O et séchage sous N_2	
	4.4 Gravure humide du méso	- Hf/ H_2O_2 / H_2O (vol : 1/1/200) 1min30sec - Rinçage H_2O et séchage sous N_2	
	4.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N_2	

X - Procédé de fabrication détaillé des TFETs InGaAs

Étapes	Étapes élémentaires	Description des étapes	Dessin du masque
1 - Marques d'alignement réfractaires Définition de marques pour l'alignement des différents niveaux de masques par lithographie électronique et optiques	4.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	4.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	4.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N ₂	
	4.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Mo/Ni/Mo (20/40/70 nm)	
	4.5 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N ₂	
2 - Mésa peu-profond Définition de la zone de gravure du mésa peu-profond 	2.1 Résinage par spin-coating	AZ 1518 (3500/1000/12sec) recuit 110°C 1min	
	2.2 Insolation UV	Exposition 1,8 sec à 10 mW/cm ² (HContact)	
	2.3 Révélation	AZ 400K/ H ₂ O (vol : 1/3) 25 sec en agitant, rinçage H ₂ O et séchage sous N ₂	
	2.4 Gravure humide du mésa	- H ₃ PO ₃ / H ₂ O ₂ / H ₂ O (vol : 5/1/40) 8min - Rinçage H ₂ O et séchage sous N ₂	
	2.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N ₂	
3 - Mésa de grille Définition de la zone de gravure du mésa pour déposer l'oxyde et la grille 	3.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	3.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	3.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N ₂	
	3.4 Gravure humide du mésa	- H ₃ PO ₃ / H ₂ O ₂ / H ₂ O (vol : 5/1/40) 1min - Rinçage H ₂ O et séchage sous N ₂	
	3.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N ₂	
4 - Oxyde de grille par ALD et métal de grille Dépôt de l'oxyde de grille par ALD et du métal de grille par évaporation par effet Joule 	4.1 Passivation de surface	NH ₄ OH/H ₂ O (vol: 2/13) 5min	
	4.2 Dépôt d'oxyde ALD	- 22 cycles d'Al ₂ O ₃ à 250°C - Plasma O ₂ 100W 100mTorr 6 sec - 22 cycles d' Al ₂ O ₃ à 250°C	
	4.3 Recuit PDA	PDA à 600°C 1min sous N ₂ H ₂	
	4.4 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	4.5 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	4.6 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N ₂	
	4.7 Métallisation	Ni/Au (100/200 nm)	
	4.8 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N ₂	

5 – Gravure de l'oxyde Elimination de l'oxyde par gravure humide au BOE 	5.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	5.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	5.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N_2	
	5.4 Gravure humide de l'oxyde	- BOE/ H_2O (vol : 1/5) 45 sec - Rinçage H_2O et séchage sous N_2	
	5.5 Dérésinage	SVC, acétone puis rinçage IPA et séchage sous N_2	
6 – Contacts ohmiques supérieurs Définition des contacts supérieurs par lithographie électronique 	6.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	6.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	6.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N_2	
	6.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Pd/Ti/Pt/Au (4/25/25/350nm)	
	6.5 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N_2	
7 – Contacts ohmiques inférieurs Définition des contacts inférieurs par lithographie électronique 	7.1 Résinage par spin-coating	- COPO EL10%/MAA8.5 (2200/1000/12sec) recuit 80°C 1min puis 180°C 1min - PMMA 4% 950K (3000/1000/12sec) recuit 80°C 1min puis 180°C 1min	
	7.2 Insolation par faisceau d'électrons	Dose 295 $\mu\text{C}/\text{cm}^2$	
	7.3 Révélation	MIBK/ IPA (vol : 1/2) 1min à 100tr/min, rinçage IPA et séchage sous N_2	
	7.4 Métallisation	Nettoyage plasma Ar 150 eV 1min Ni/Ge/Au/Pt/Au (4/40/20/25/350nm)	
	7.5 Lift-off	SVC 14, acétone puis rinçage IPA et séchage sous N_2	
8 – Mésa d'isolation Définition de la zone de gravure du mésa d'isolation des dispositifs 	8.1 Résinage par spin-coating	AZ 1518 (3500/1000/12sec) recuit 110°C 1min	
	8.2 Insolation UV	Exposition 1,8 sec à 10 mW/cm^2 (HContact)	
	8.3 Révélation	AZ 400K/ H_2O (vol : 1/3) 25 sec en agitant, rinçage H_2O et séchage sous N_2	
	8.4 Gravure humide du mésa	- $\text{H}_3\text{PO}_3/ \text{H}_2\text{O}_2/ \text{H}_2\text{O}$ (vol : 5/1/40) ... min - Rinçage H_2O et séchage sous N_2	
	8.5 Dérésinage	Acétone puis rinçage IPA et séchage sous N_2	

Bibliographie

- [1] P. M. Campbell, E. S. Snow, and P. J. McMarr, "Fabrication of nanometer-scale side-gated silicon field effect transistors with an atomic force microscope," *Appl. Phys. Lett.*, vol. 66, no. 11, p. 1388, 1995.
- [2] Avouris, Hertel, and Martel, "Atomic force microscope tip-induced local oxidation of silicon: Kinetics, mechanism, and nanofabrication," *Appl Phys Lett*, vol. 71, no. 2, pp. 285–287, 1997.
- [3] I. Ionica, L. Montès, S. Ferraton, J. Zimmermann, L. Saminadayar, and V. Bouchiat, "Field effect and Coulomb blockade in silicon on insulator nanostructures fabricated by atomic force microscope," *Solid. State. Electron.*, vol. 49, no. 9, pp. 1497–1503, Sep.2005.
- [4] G. K. Reeves and H. B. Harrison, "Obtaining the Specific Contact Resistance from Transmission Line Model Measurements," *IEEE Electron Device Lett.*, vol. 3, no. 5, pp. 111–113, 1982.
- [5] E. O. Kane, "Zener tunneling in semiconductors," *J. Phys. Chem. Solids*, vol. 12, no. 2, pp. 181–188, 1960.
- [6] G. A. M. Hurkx, D. B. M. Klaassen, M. P. G. Knuvers, and F. G. O'Hara, "A new recombination model describing heavy-doping effects and low-temperature behaviour," in *International Technical Digest on Electron Devices Meeting*, 1989, pp. 307–310.
- [7] G. A. M. Hurkx, "On the modelling of tunnelling currents in reverse-biased p-n junctions," *Solid. State. Electron.*, vol. 32, no. 8, pp. 665–668, Aug. 1989.
- [8] G. a. M. Hurkx, "A novel compact model description of reverse-biased diode characteristics including tunnelling," *Solid State Device ...*, pp. 49–52, 1990.
- [9] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*. Vienna: Springer Vienna, 1984.
- [10] A. G. Chynoweth, "Ionization Rates for Electrons and Holes in Silicon," *Phys. Rev.*, vol. 109, no. 5, pp. 1537–1540, Mar. 1958.

Liste des publications

1) Publications dans des revues scientifiques internationales

- 1 **Y. Lechaux**, A-B. Fadjie-Djomkam, S. Bollaert, N. Wichmann, “Impact of oxygen plasma postoxidation process on Al₂O₃/n-In_{0,53}Ga_{0,47}As metal-oxide-semiconductor capacitors”, *Applied Physics Letters*, vol. 109, n. 13, pp. 131602, 2016.
- 2 AR. Abdel Hamid, R. Lefort, **Y. Lechaux**, A. Moréac, A. Ghoufi, C. Alba-Simionesco and D. Morineau, “Solvation Effects on Self-Association and Segregation Processes in tert-Butanol–Aprotic Solvent Binary Mixtures”, *The Journal of Physical Chemistry B*, vol. 117, n. 35, pp. 10221-10230, 2013.

2) Communications internationales avec actes

- 1 B. G. Vasallo, V. Talbo, T. González, **Y. Lechaux**, N. Wichmann, S. Bollaert and J. Mateos, “Monte Carlo analysis of III-V PIN diodes for Tunnel-FETs and Impact Ionization-MOSFETs”, *11th CDE*, Barcelona, Spain, 2017.
- 2 **Y. Lechaux**, A-B. Fadjie-Djomkam, S. Bollaert, L. Morgenroth and N. Wichmann, “Improvement of interfacial properties of Al₂O₃/GaSb using O₂ plasma postoxidation process”, *11th IEEE NMDC*, Toulouse, France, pp. 1-2, 2016.
- 3 **Y. Lechaux**, A-B. Fadjie-Djomkam, S. Bollaert, V. Talbo, J. Mateos, T. Gonzalez, B. G. Vasallo and N. Wichmann, “Improvement of interfacial and electrical properties of Al₂O₃/n-In_{0,53}Ga_{0,47}As for III-V impact ionization MOSFETs”, *EDISON 19, Journal of Physics : Conference Series*, **647**, 12062, Salamanca, Spain, 2015.
- 4 V. Talbo, J. Mateos, T. Gonzalez, **Y. Lechaux**, N. Wichmann, S. Bollaert and B. G. Vasallo, “Monte Carlo model for the analysis and development of III-V tunnel-FETs and impact ionization-MOSFETs”, *EDISON 19, Journal of Physics : Conference Series*, **647**, 12056, Salamanca, Spain, 2015.

3) Communications internationales sans actes

- 1 B.G. Vasallo, T. González, V. Talbo, **Y. Lechaux**, N. Wichmann, S. Bollaert and J. Mateos, “Monte Carlo analysis of impact ionization processes and band-to-band tunneling in In_xGa_{1-x}As PIN ungated devices”, *19th IWCN*, Windermere, UK, 2017.
- 2 M. Pastorek, N. Wichmann, L. Desplanque, M. Ridaoui, A-B. Fadjie-Djomkam, **Y. Lechaux**, X. Wallart and S. Bollaert, “Ultra-thin body InAs MOSFET with selectively raised InAs n⁺ S/D contacts”, *40th WOCSDICE*, Aveiro, Portugal, 2016.
- 3 A-B. Fadjie-Djomkam, **Y. Lechaux**, N. Wichmann and S. Bollaert, “Reducing traps densities in high-k/III-V semiconductor interfaces using post plasma treatment”, *57th EMC*, Columbus, USA, 2015.

- 4 A-B. Fadjie-Djomkam, **Y. Lechaux**, N. Wichmann and S. Bollaert, “Low interfaces traps density on Al₂O₃ on InP interfaces using post oxygen plasma treatment”, *42th ISCS and 27th IPRM*, Santa Barbara, USA, 2015.

4) Communications nationales

- 1 M. Pastorek, N. Wichmann, L. Desplanque, M. Ridaoui, A-B. Fadjie-Djomkam, **Y. Lechaux**, X. Wallart et S. Bollaert, “Ultra thin body InAs MOSFET with raised S/D contacts for future high performance CMOS devices”, *19^{èmes} JNRDM*, Toulouse, France, 2016
- 2 **Y. Lechaux**, V. K. Chinni, V. Talbo, M. Pastorek, N. Wichmann et S. Bollaert, « Fabrication et caractérisation de diodes PIN GaSb pour la réalisation de transistors I-MOSFETs », *15^{èmes} JNMO*, Les Issambres, France, 2016.
- 3 L. Morgenroth, N. Najjari, **Y. Lechaux** et B. Guha, G.Moille, « Dépôt par couche atomique, intérêt des traitements plasma in-situ », *15^{èmes} JNMO*, Les Issambres, France, 2016.
- 4 S. Dutta, R. Lefort, D. Morineau, R. Mhanna, **Y. Lechaux**, T. Leclerc et A.R. Abdel Hamid, “Structure and Dynamics of binary liquids under nanoconfinement”, *J2NO*, Lille, France, 2015.
- 5 **Y. Lechaux**, N. Wichmann et S. Bollaert, « Etude des potentialités de diodes de type PININ pour la fabrication de transistors à ionisation par impact à base de matériaux III-V », *19^{èmes} JNM*, Bordeaux, France, 2015.
- 6 **Y. Lechaux**, A-B. Fadjie-Djomkam, N. Wichmann et S. Bollaert, « Optimisation de l’interface Al₂O₃/n-In_{0.53}Ga_{0.47}As pour la fabrication de transistors MOSFET III-V », *18^{èmes} JNRDM*, Bordeaux, France, 2015.

Résumé

La réduction de la puissance consommée des transistors à effet de champ (MOSFETs) est un challenge pour le futur de la nanoélectronique. En 2025, l'Agence Internationale de l'Énergie (AIE) estime qu'il y aura environ 50 milliards d'objets autonomes et nomades nécessitant alors une faible puissance consommée. L'apparition de nouveaux dispositifs tels que les transistors à effet tunnel (TFETs) ou les transistors à ionisation par impact (I-MOSFETs) permettra potentiellement de réduire la puissance consommée de ces objets.

Dans ce travail de thèse, nous avons étudié pour la première fois le transistor à ionisation par impact à base de matériaux III-V des filières arséniée et antimoniée. La structure *pin*, composant principal du I-MOSFET, est tout d'abord étudiée. L'ensemble des briques technologiques des I-MOSFET a ensuite été développé, et en particulier l'interface entre l'oxyde et le semiconducteur III-V qui a été optimisée par un traitement innovant par plasma d'oxygène (O₂). Ce traitement a montré une amélioration de la qualité de l'interface oxyde/semiconducteur conduisant à une commande des charges beaucoup plus efficace. Pour finir, nous avons montré les études, fabrications et caractérisations d'un transistor à effet tunnel InGaAs et d'un I-MOSFET GaSb présentant une architecture verticale où la grille est auto-alignée.

Mots-clés: MOSFET à ionisation par impact, faible consommation, matériaux III-V, capacités MOS, pente sous le seuil, hétérostructures, diode *pin*, TFET.

Abstract

The reduction in the power consumption of field effect transistors (MOSFETs) is a challenge for the future of nanoelectronics. By 2025, the International Energy Agency (IEA) estimates that there will be around 50 billion autonomous and nomadic objects requiring low power consumption. The appearance of new devices such as tunnel effect transistors (TFETs) or impact ionization transistors (I-MOSFETs) will potentially reduce the power consumption of these objects.

In this thesis work, we studied for the first time the impact ionization transistor based on materials III-V, especially arsenic and antimony based materials. The *pin* structure, the main component of the I-MOSFET, is first studied. We then developed all the process steps of the I-MOSFET fabrication, and in particular we optimized the interface between the oxide and the III-V semiconductor by an innovative treatment using oxygen plasma (O₂). This special treatment has shown a clear improvement in charge control. Finally, we have shown studies, fabrications and characterizations of an InGaAs based TFET and a GaSb based I-MOSFET with a vertical architecture, where the gate is self-aligned.

Keywords: impact ionization MOSFET, low power consumption, III-V materials, MOS capacitors, subthreshold slope, heterostructures, *pin* diode, TFET.