

UNIVERSITE DE LILLE 1 SCIENCES ET TECHNOLOGIES

Ecole doctorale : Sciences pour l'Ingénieur
Institut d'Electronique, de Microélectronique et de Nanotechnologie

THESE

Présentée par

Justine PHILIPPE

Pour obtenir le grade de

Docteur de l'Université

Spécialité Electronique, microélectronique, nanoélectronique et micro-ondes

**Intégration hétérogène de systèmes communicants
CMOS-SOI en gamme millimétrique sur substrat
flexible**

Soutenue le 12 Décembre 2017 devant le jury composé de :

M. Yvan BONNASSIEUX, Professeur, Ecole Polytechnique	Rapporteur
M. Abdelkader SOUIFI, Professeur, INSA Lyon	Rapporteur
Mme. Marina DENG, Maître de Conférence, Université de Bordeaux	Examineur
Mme. Esma ISMAILOVA, Maître de Conférence, Ecole Nat. Sup. des Mines de St. Etienne	Examineur
M. Jean-François ROBILLARD, Enseignant-Chercheur ISEN/IEMN, IEMN	Examineur
M. Daniel GLORIA, Ingénieur R&D, STMicroelectronics	Examineur
M. Emmanuel DUBOIS, Directeur de Recherche CNRS, IEMN	Directeur de Thèse
M. François DANNEVILLE, Professeur Université Lille 1, IEMN	Co-Directeur de Thèse

Remerciements

Au terme de cinq années de travaux de thèse réalisés au sein de l'équipe Microélectronique Silicium à l'IEMN de Villeneuve d'Ascq, je tenais à remercier sincèrement et chaleureusement, pour leur accueil, leur gentillesse, leur disponibilité, leur écoute, leur patience, leur aide précieuse et leurs conseils avisés :

- **Les Directeurs de laboratoire** : MM. Lionel BUCHAILLOT et Gille DAMBRINE
- **Les Directeurs de thèse** : MM. Emmanuel DUBOIS et François DANNEVILLE
- **Les Membres de l'équipe** : Mmes et MM. Florence ALBERTI, Thierno-Moussa BAH, Mathieu BERTHOME, Arun BHASKAR, Sofiene BOUAZIZ, Jean-Marc BOUCAUD, Jean-Marc CAPRON, Zhenkun CHEN, Stanislav DIDENKO, Pascal DIENER, Jean-Michel DROULEZ, Axel FLAMENT, Antoine FRAPPE, Hossein FTOUNI, Valentina GIORGIS, Maciej HARAS, Quentin HIVIN, Valeria LACATENA, Benoît LARRAS, Philip LATZEL, Aurélien LECAVELIER, Cristian Razvan MARIN, Pietro MARIS, François MORINI, Vikram PASSI, Jean-François ROBILLARD, Arnaud SCIBETTA, Bruno STEFANELLI, Jun YIN, Di ZHOU, Tianqi ZHU
- **Les Membres de la Centrale de Micro et Nanofabrication** : Mmes et MM. Karine BLARY, Christophe BOYAVAL, Flavie BRAUD, Guillaume COCHEZ, Yves DEBLOCK, David DELCROIX, Marc DEWITTE, Annie FATTORINI, Laurent FUGERE, Elisabeth GALOPIN, Bertrand GRIMBERT, Christine LEGRAND, André LEROY, François NEUILLY, Isabelle ROCH-JEUNE, Pascal TILMANT, François VAURETTE, Dimitri YAREKHA
- **Les Membres de la Centrale de Caractérisation** : Mmes et MM. Damien DUCATEAU, Sophie ELIET, Christopher FONTE DOS SANTOS, Sylvie LEPILLIET, Etienne OKADA, Vanessa SBRUGNERA-AVRAMOVIC, Joan TURUT

Je remercie les Membres du Jury : Mmes et MM. Marina DENG, Daniel GLORIA, Esma ISMAILOVA, Jean-François ROBILLARD

Je remercie les Rapporteurs : MM. Yvan BONNASSIEUX et Abdelkader SOUIFI

Je remercie également l'ensemble du personnel administratif, ma famille, ma troupe de théâtre, mes amis et proches.

Sommaire

Remerciements	3
Sommaire	5
Liste des figures	7
Liste des tableaux	14
Introduction générale.....	15
Chapitre 1. L'électronique flexible : entre performances et souplesse	17
1.1 Développements récents dans le domaine de l'électronique flexible.....	18
1.1.1 <i>Opportunités et défis de l'électronique flexible</i>	18
1.1.2 <i>Electronique imprimée : techniques et applications</i>	23
1.1.3 <i>Report sur film souple</i>	29
1.1.4 <i>Synthèse</i>	38
1.2 Potentiel de la technologie SOI-CMOS dans le domaine de l'électronique flexible	39
1.2.1 <i>Technologie Silicon-on-Insulator (SOI)</i>	39
1.2.2 <i>Technologie LP SOI CMOS 65 nm</i>	45
1.2.3 <i>Technologie SOI CMOS 0,13 μm</i>	50
1.3 Synthèse.....	58
Chapitre 2. Procédé de fabrication de circuits CMOS flexibles.....	59
2.1 Description des différentes méthodes d'amincissement.....	60
2.1.1 <i>Amincissement par meulage</i>	60
2.1.2 <i>Polissage mécano-chimique</i>	67
2.1.3 <i>Attaque au difluorure de xenon</i>	72
2.2 Report sur substrat souple	74
2.2.1 <i>Collage temporaire sur saphir</i>	74
2.2.2 <i>Collage définitif sur substrat souple</i>	76
2.3 Synthèse.....	80
Chapitre 3. Propriétés de circuits RF CMOS reportés sur film métallique.....	81
3.2 Performances électriques des circuits RF CMOS reportés	82
3.2.1 <i>Caractérisation DC</i>	83
3.2.2 <i>Caractérisation RF</i>	85
3.2.3 <i>Synthèse</i>	95
3.3 Propriétés thermiques des circuits RF CMOS reportés	95
3.3.1 <i>Un peu de théorie</i>	95
3.3.2 <i>Simulations avec le logiciel FlexPDE</i>	101
3.3.3 <i>Caractérisation thermique par imagerie infra-rouge</i>	105
3.4 Synthèse.....	107
Chapitre 4. Amélioration de la linéarité de circuits RF CMOS reportés sur substrat de verre	109
4.1 Un environnement fréquentiel toujours plus exigeant	110
4.2 Impact du substrat de silicium sur la génération d'harmonique	111
4.2.1 <i>Stratégie de modélisation</i>	111
4.2.2 <i>Définition d'une ligne coplanaire</i>	112
4.2.3 <i>Transformée de Fourier rapide</i>	116
4.2.4 <i>Analyse d'Elmore-Wyatt appliquée aux réseaux RLC</i>	120
4.3 Technologie des substrats RF	125
4.4 Physique du transport dans les semi-conducteurs	126
4.4.1 <i>Equations de bases</i>	126
4.4.2 <i>Défauts ponctuels dans le silicium</i>	128
4.4.3 <i>Mécanisme de génération et de recombinaison</i>	128
4.5 Simulations électriques physiques de dispositifs	130
4.5.1 <i>Outil de simulation</i>	130

4.5.2	<i>Etude de l'impact de la résistivité du substrat sur la distorsion harmonique.....</i>	<i>131</i>
4.5.3	<i>Modélisation d'une couche trap-rich au sein d'un substrat SOI à haute résistivité</i>	<i>133</i>
4.6	Résultats obtenus après report sur verre	140
4.7	Synthèse.....	142
	Conclusions et perspectives	143
	Bibliographie.....	147
	Liste des publications	167

Liste des figures

Figure 1.1 - a. Evolution des coûts de fabrication des circuits intégrés [Intel-16], [ITRS-10], [ITRS-11], [Moore-98], [Moore-03], b. Représentation des technologies développées dans le cadre du mouvement "More-Moore" [ITRS-13].	18
Figure 1.2 - a. Schéma présentant le développement parallèle des mouvements "More-Moore" et "More-than-Moore" [ITRS-10] et b. Diagramme expliquant comment les composants "More-Moore" et "More-than-Moore" peuvent se compléter afin de créer des systèmes mêlant traitement du signal, gestion d'énergie et interactions avec l'environnement.....	19
Figure 1.3 - Cercle vertueux de l'industrie électronique actuelle [ITRS-10].	20
Figure 1.4 - a. Schéma présentant les avantages et les inconvénients des domaines de la nano- et de la macroélectronique, b. Principe et objectifs de l'électronique flexible.....	21
Figure 1.5 - Schéma de principe de l'impression a. DoD et b. à jet d'encre électrodynamique	24
Figure 1.6 - Photographies de diodes électroluminescentes [Singh-10], [Sandström-12]	25
Figure 1.7 - Schéma de principe des connections 3D métallique, d'après [Gates-09]	27
Figure 1.8 - a. Schéma de principe d'un circuit intégré (IC) "collé" sur papier, b. et c. Exemples de dispositifs imprimé sur papier [Vyas-09], [Lakafosis-10]	28
Figure 1.9 - Schéma décrivant la méthode de report de microstructures par tampon d'élastomère depuis un substrat rigide vers un substrat flexible	29
Figure 1.10 - Schéma décrivant les méthodes de report de circuits finalisés par amincissement du substrat initial ou dissolution d'une couche enterrée.....	30
Figure 1.11 - Représentation schématique d'un matériau multicouches soumis à une contrainte cylindrique de rayon de courbure R_c (à gauche) et d'un empilement de n couches différentes ayant chacune une épaisseur t_i et un module d'Young E_i donnés [Lecavelier-13-1]	31
Figure 1.12 - Quelques exemples de circuits souples : a. transistors hautes performances [Shahrjerdi-12], b. amplificateur faibles bruits [Sharifi-13], c. dispositifs souples enroulés autour d'un tube [Park-12].....	33
Figure 1.13 - Montage d'un capteur à ultrasons sur un cathéter de 2 mm de diamètre [Mimoun-13]	33
Figure 1.14 - a. Photographie MEB de cellules photovoltaïques, ainsi que b. et c. leurs caractéristiques électriques [Lee-12].....	33
Figure 1.15 - a. Méthode de fabrication [Kim-14] et b. Photographie d'une mémoire RRAM appliquée sur différents supports [Kim-11-2]	34
Figure 1.16 - a. Procédé de fabrication et b. Photographie d'un écran OLED déformable (à droite, écran totalement ou partiellement allumé) [Liang-13].....	34
Figure 1.17 - Procédé de déformation et b. photographie du dispositif étudié, c. et d. Images MEB de la déformation du circuit et e. Caractéristiques électriques du circuit [Shin-11]	35
Figure 1.18 - Photographie et cartographie d'une électrode ultra fine ($\sim 2,5 \mu\text{m}$) posée à la surface du cerveau après dissolution du substrat temporaire [Kim-10].....	35
Figure 1.19 - Photographie d'un capteur multifonctionnel a. collé sur la peau, b. sous la forme de tatouage épidermique [Kim-11-1].....	36
Figure 1.20 - a. Photographie d'un cathéter gonflable [Kim-12], b. Photographie et schéma de principe d'un capteur de température [Horst-13].....	36
Figure 1.21 - Photographies d'un composant radiofréquence implanté sous la peau [Hwang-13] ..	36
Figure 1.22 - a. Schéma de principe et b. Photographie d'un capteur biochimique [Chuo-13].....	37
Figure 1.23 - Photographie de a. divers composants transférés sur une surface courbée [Chung-06], b. une puce électronique reporté sur un film plastique [Rempp-08], et c. un bio-capteur [Xie-12].	38

Figure 1.24 - a. Représentation schématique d'un substrat SOI, b. Schéma de principe du procédé <i>Smart Cut</i> TM permettant la fabrication de substrats SOI (SOITEC) [Bruel-95], [Bruel-97].	40
Figure 1.25 - Schémas de a. un MOSFET sur un <i>wafers</i> de silicium <i>bulk</i> , b. un FD MOSFET sur substrat SOI, c. un PD MOSFET sur substrat SOI. Les zones de déplétions sont indiquées. d. Image TEM d'un doigt de grille d'un FD SOI MOSFET, et e. Image TEM d'une vue large montrant plusieurs doigts de grille d'un FD SOI MOSFET [Lecavelier-13-1]	41
Figure 1.26 - Représentation schématique de la section de coupe d'un inverseur CMOS a. sur substrat de silicium <i>bulk</i> et b. sur substrat SOI [Martineau-08], [Colinge-97], [Pavageau-05], c. Exemples de <i>layout</i> sur substrat <i>bulk</i> (à gauche) et SOI (à droite) d'une porte NAND démontrant une réduction de ~25-30% sur substrat SOI [Simonen-01].	42
Figure 1.27 - Graphiques représentant a. les produits puissance/retard d'oscillateurs en anneau et b. la fréquence d'accès maximum d'une cellule SRAM basés sur une technologie CMOS 65 nm et fabriqués sur <i>bulk</i> (lignes bleues) et SOI (lignes rouges) [Raynaud-09]	43
Figure 1.28 - a. Caractéristiques courant-tension $I_{DS}-V_{DS}$, mettant en évidence "l'effet Kink" dans la technologie SOI à corps flottant, and b. Courant de drain I_{DS} et transconductance statique g_m^{DC} en fonction de la tension de grille V_{GS} [Lecavelier-13]	46
Figure 1.29 - a. Gain en courant H_{21} , et b. Gain de Mason U d'un transistor SOI n-MOSFET en fonction de la fréquence, la tension de grille variant de 200 mV à 0,8 V [Lecavelier-13].	47
Figure 1.30 - Schéma équivalent petit signal comprenant le transistor intrinsèque (en jaune), les paramètres extrinsèques (en vert) et les plots d'accès (en rouge)	47
Figure 1.31 - a. Paramètres S mesurés sur une bande de fréquences allant de 500 MHz à 110 GHz sur un transistor n-MOSFET (bleu) ainsi que les paramètres S rétro-simulés avec le modèle présenté Figure 1.30 et les paramètres donnés au Tableau 1.7. Le transistor est polarisé à $V_{DS} = 1,2$ V, $V_{GS} = 0,8$ V et $I_{DS} = 270$ mA.mm ⁻¹ , b. Les fréquences caractéristiques f_T (lignes continues) et f_{max} (ligne en pointillés) en fonction du courant de drain [Lecavelier-13-1]	48
Figure 1.32 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence, montrant une bonne adéquation entre le modèle et les mesures. Le transistor est polarisé à une tension de drain $V_{DS} = 1,2$ V, une tension de grille $V_{GS} = 0,8$ V et un courant de drain $I_{DS} = 270$ mA.mm ⁻¹ [Lecavelier-13-1]	48
Figure 1.33 - Module des paramètres S mesurés sur un transistor n-MOSFET (bleu), rétro-simulés à partir du modèle SSEC (vert) et l'erreur entre le modèle et les mesures (rouge) [Lecavelier-13-1]	49
Figure 1.34 - Argument des paramètres S mesurés sur un transistor n-MOSFET (bleu), rétro-simulés à partir du modèle SSEC (vert) et l'erreur entre le modèle et les mesures (rouge) [Lecavelier-13-1]	49
Figure 1.35 - a. Allocation de la bande de fréquence "700 MHz" [Frye-14], b. Figure de mérite $R_{on} \cdot C_{off}$	50
Figure 1.36 - Modèle équivalent d'un tronçon de ligne élémentaire	51
Figure 1.37 - Ligne coplanaire sur silicium	52
Figure 1.38 - Champs électrique et magnétique présents sur a. un substrat <i>bulk</i> et b. HR SOI	53
Figure 1.39 - Fonction de transfert de l'amplificateur réel pour le signal utile et les produits dus aux distorsions d'intermodulation [Dieuleveult-08]	54
Figure 1.40 - Schéma de coupe a. d'un substrat <i>Trap-rich</i> HR SOI, et b. après fabrication d'une ligne coplanaire pour une caractérisation RF. Toutes les dimensions sont en μ m.	55
Figure 1.41 - a. Vue au microscope optique et b. Représentation schématique des lignes coplanaires étudiées	56
Figure 1.42 - a. Génération du 2 nd harmonique et b. Points d'interception d'ordre 2 de lignes coplanaires fabriquées sur substrat HR-SOI et <i>Trap-rich</i> HR-SOI. CalKit Al ₂ O ₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.	56

Figure 1.43 - a. Génération du 3 ^{ème} harmonique et b. Points d'interception d'ordre 3 de lignes coplanaires fabriquées sur substrat HR-SOI et <i>Trap-rich</i> HR-SOI. CalKit Al ₂ O ₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.....	57
Figure 2.1 - Schéma de principe du procédé de fabrication, a. Collage temporaire sur saphir, b. Etape d'amincissement, c. Report sur substrat souple et d. Retrait du saphir.....	59
Figure 2.2 - Domaines d'application du meulage [Oliveira-09].....	60
Figure 2.3 - Schéma de principe du meulage de type Blanchard.....	61
Figure 2.4 - Schéma de principe du meulage de type <i>In-feed</i>	61
Figure 2.5 - a. Schéma de principe d'une meule boisseau, D représente son diamètre, E et L, respectivement, l'épaisseur et la largeur de la zone abrasive, b. Composition de la zone abrasive .	62
Figure 2.6 - a. Evolution de l'état de surface en fonction de la taille des grains abrasifs [Liu-07] et b. Mécanisme d'usure d'une meule, Evolution de la rugosité de surface en fonction c. du pourcentage de pores et d. de la taille des grains abrasifs composant une meule [Liu-07].....	62
Figure 2.7 - a. Photographie de la machine de meulage, ainsi que b. de ses éléments constitutifs..	63
Figure 2.8 - Description des différentes étapes d'un procédé de meulage.....	64
Figure 2.9 - Vues au microscope optique et au MEB, respectivement, de l'état de surface des échantillons issus a. et b. du test n°5 et c. et d. du test n°8	65
Figure 2.10 - Localisation des épaisseurs mesurées sur un échantillon	66
Figure 2.11 - Vues a. au microscope optique, b. au MEB et c. au profilomètre optique après amincissement à la meule grossière	66
Figure 2.12 - Photographie d'un dispositif électronique après meulage.....	67
Figure 2.13 - a. Schéma de principe et b. Photographie de la machine de CMP	68
Figure 2.14 - Représentation de la vitesse d'enlèvement de matière en fonction de a. la taille et b. la concentration en particules abrasives [Luo-03].....	69
Figure 2.15 - Notion d'abrasif actif	70
Figure 2.16 - a. Image MEB d'un <i>wafer</i> de silicium après CMP, b. Représentation de la variation d'épaisseur totale et de la quantité de silicium retiré en fonction de la durée de polissage.....	71
Figure 2.17 - Photographie de la machine de nettoyage mégasonique [ProSys-15].....	71
Figure 2.18 - Images MEB d'un <i>wafer</i> de silicium après nettoyage mégasonique à l'eau déionisée (a. P = 60 W, b. P = 90 W) et sous une solution ammoniacale à 2% (c. P = 60 W, d. P = 90 W)..	72
Figure 2.19 - Photographie d'un échantillon après attaque au XeF ₂	73
Figure 2.20 - Effet de la durée du cycle d'ablation sur la vitesse d'enlèvement (ligne bleue) et la rugosité moyenne (ligne rouge) du silicium, mesurée par profilométrie, durant l'attaque au XeF ₂ (durée : 10 min, P _{XeF2} = 3 Torr, P _{out} = 800 mTorr), et b. Mesure de la quantité de SiO ₂ retiré durant l'attaque au XeF ₂ . L'épaisseur d'oxyde enterré (BOX) d'un wafer SOI a été mesurée par ellipsométrie [Lecavelier-13]	74
Figure 2.21 - Schéma de principe du procédé de report, a. Collage temporaire sur saphir, b. Report sur substrat souple après amincissement et c. Retrait du saphir.....	74
Figure 2.22 - a. Schéma de principe et b. image MEB après relachement thermique [Karlitskaya-11] d'un film adhésif Revalpha, c. Représentation de la force d'adhésion en fonction de la température [Nitto-Denko-15-1]	75
Figure 2.23 - a. Schéma de principe de la lamination, b. et c. Vues au microscope optique de la face arrière d'un circuit CMOS-SOI après report sur substrat souple, d. Photographie du laminateur....	77
Figure 2.24 - Photographies d'un circuit SOI-CMOS reporté sur a. un film polyimide et b. un substrat en verre	78
Figure 2.25 - Photographie de a. la face avant et de b. la face arrière d'un circuit SOI-CMOS reporté sur une feuille d'acier inoxydable	79

Figure 3.1 - a. Photographie d'un circuit SOI RF-CMOS flexible, aminci et reporté sur une feuille d'acier de 25 μm d'épaisseur, en bas à gauche : le dispositif rigide initial, b. Sondes RF Infinity utilisée pour les mesures statiques et dynamique des circuits CMOS rigides et flexibles, en bas à droite : Vue au microscope optique d'un transistor RF-MOSFET avec les contacts de drain (D), source (S) et grille (G) et un zoom sur les doigts de grille.....	83
Figure 3.2 - Caractéristiques statiques a., c. et e. d'un n-MOSFET et b., d. et f. d'un p-MOSFET sur son substrat initial (en bleu) et après transfert sur un film métallique (en rouge)	84
Figure 3.3 - a. Représentation schématique d'un dispositif de mesure HF, composé d'un VNA idéal, ainsi que des erreurs systématiques en entrée et en sortie du réseau (câbles, sondes), placées avant et après le dispositif testé [Engen-79], b. Standards de calibrage, à savoir i) un circuit ouvert, ii) un court-circuit, iii) une ligne de transmission et iv) une charge adaptée 50 Ω [Waldhoff-09-1]	85
Figure 3.4 - a. Circuit équivalent de la méthode d'épluchage OPEN, présentant les contributions parasites des accès du transistor et le composant sous test (DUT), b. Image MEB et MET de la source, du drain et de la grille ainsi la multicouche d'interconnexion [Lecavelier-13].....	86
Figure 3.5 - a. Circuit équivalent de la méthode d'épluchage POSS, présentant les éléments série et parallèle des accès autour du DUT, b. (à gauche) Vue au microscope optique du transistor mesuré, et (à droite) Vue du dessus selon l'axe AA' de la structure du composant étudié (l'insert montre la grille du transistor et les vias en cuivre) [Lecavelier-13]	87
Figure 3.6 - a. Paramètres S des quatre structures d'épluchage requises pour la méthode POSS : de gauche à droite, <i>pad</i> , <i>open</i> , <i>short</i> ₁ et <i>short</i> ₂ , b. Comparaison des paramètres S pris à différents V_{GS} d'un SOI RF-MOSFET avant (en rouge) et après (en bleu) épluchage POSS [Lecavelier-13].....	88
Figure 3.7 - Paramètres S mesurés de 550 MHz jusqu'à 110 GHz sur un n-MOSFET rigide (en bleu) et après report sur film métallique (en rouge), ainsi que la rétro-simulation des paramètres S du dispositif flexible (en vert), les transistors sont polarisés à $V_{DS} = 1,2 \text{ V}$ et $V_{GS} = 0,8 \text{ V}$	89
Figure 3.8 - Paramètres S mesurés de 550 MHz jusqu'à 110 GHz sur un p-MOSFET rigide (en bleu) et après report sur film métallique (en rouge), ainsi que la rétro-simulation des paramètres S du dispositif flexible (en vert), les transistors sont polarisés à $V_{DS} = -1,5 \text{ V}$ et $V_{GS} = -1 \text{ V}$	89
Figure 3.9 - Gains en courant H_{21} et de Mason U mesurés sur des n- et p-MOSFETs rigides (en bleu) et souples (en rouge), polarisés respectivement à $V_{DS} = 1,2 \text{ V}$ et $V_{GS} = 0,8 \text{ V}$ et $V_{DS} = -1,5 \text{ V}$ et $V_{GS} = -1 \text{ V}$	90
Figure 3.10 - Comparaison des a. fréquences de coupure f_T et b. fréquences maximale d'oscillation f_{max} pour n- et p-MOSFETs avant (en bleu) et après (en rouge) report sur film métallique.....	91
Figure 3.11 - Comparaison des fréquences de coupure f_T en fonction de a. la longueur de grille et b. l'année pour des transistors n-MOSFET sur silicium et des dispositifs flexibles.....	91
Figure 3.12 - Schéma équivalent petit signal (SSEC) comprenant le transistor intrinsèque (en jaune), les paramètres extrinsèques (en vert) et les accès (en rouge)	92
Figure 3.13 - Modules des paramètres S mesurés uniquement sur p-MOSFET, sur substrat rigide (en bleu), après report sur film métallique (pointillés en rouge), calculés à partir du modèle SSEC extrait (pointillés en vert) et erreur entre le modèle et les mesures sur métal	93
Figure 3.14 - Arguments des paramètres S mesurés uniquement sur p-MOSFET, sur substrat rigide (en bleu), après report sur film métallique (pointillés en rouge), calculés à partir du modèle SSEC extrait (pointillés en vert) et erreur entre le modèle et les mesures sur métal	93
Figure 3.15 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence pour un p-MOSFET sur un film métallique. Les fréquences de coupure f_T et maximale d'oscillation f_{max} sur métal sont indiquées pour $V_{DS} = -1,5 \text{ V}$ et $V_{GS} = -1 \text{ V}$	94
Figure 3.16 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence pour un n-MOSFET sur un film métallique. Les fréquences de coupure f_T et maximale d'oscillation f_{max} sur métal sont indiquées pour $V_{DS} = 1,2 \text{ V}$ et $V_{GS} = 0,8 \text{ V}$	95

Figure 3.17 - Bilan thermique sur un transfert 1D par conduction et convection	97
Figure 3.18 - Définition de la température initiale d'un domaine constitué par son volume intérieur et sa frontière.....	99
Figure 3.19 - Bilan thermique à l'interface entre un matériau solide et un fluide en mouvement [Battaglia-10]	100
Figure 3.20 - Réseau électrique équivalent du transfert de chaleur 1D par conduction dans une paroi en régime permanent [Battaglia-10].....	101
Figure 3.21 - Schéma équivalent de la couche d'interconnexion	102
Figure 3.22 - Représentation schématique de la structure multicouche d'un circuit CMOS avant et après report sur substrat souple (à gauche), ainsi que des images MEB de ce même circuit sur son substrat initial [Lecavelier-13] (à droite)	103
Figure 3.23 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET sur substrat SOI	104
Figure 3.24 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET après transfert sur film de cuivre	104
Figure 3.25 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET après transfert sur film plastique.....	104
Figure 3.26 - Vues à la caméra thermique d'un transistor p-MOSFET polarisé à $V_{GS} = -1$ V et $V_{DS} = -1,5$ V,.....	105
Figure 3.27 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur silicium épais polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)	106
Figure 3.28 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur film de cuivre polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)	106
Figure 3.29 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur film polyimide polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)	106
Figure 4.1 - Affectation actuelle des bandes de fréquences en GHz [Quotient Associates-15].....	110
Figure 4.2 - Architectures radios reconfigurables munies de filtres de présélection adaptables, a. Architecture de conversion directe et b. Architecture RF d'échantillonnage [Rais-Zadeh-15], c. Représentation schématique d'un module Front-end pour la technologie LTE [Soitec-13].....	111
Figure 4.3 - Représentation schématique d'une ligne coplanaire sur substrat HR-SOI a. complète, b. constituée de plusieurs tronçons et c. ramené à un seul tronçon.....	112
Figure 4.4 - Représentation schématique a. d'une ligne de transmission à conducteurs parallèles et b. d'une ligne coplanaire et ses dimensions	113
Figure 4.5 - Paramètres caractéristiques d'une ligne coplanaire sur silicium ($\epsilon_{r1} = 11,6$) en fonction du rapport dimensionnel $S/(S + 2W)$ pour différentes épaisseurs de substrat (H_1). S est la largeur de la ligne centrale et W l'écart entre les bords de la ligne centrale et les lignes de masse. a. Capacité par unité de longueur, b. Inductance par unité de longueur, c. Permittivité relative diélectrique effective et d. Impédance caractéristique	115
Figure 4.6 - Paramètres caractéristiques d'une ligne coplanaire sur silicium ($\epsilon_{r1} = 3,9$) en fonction du rapport dimensionnel $S/(S + 2W)$ pour différentes épaisseurs de substrat (H_1). S est la largeur de la ligne centrale et W l'écart entre les bords de la ligne centrale et les lignes de masse. a. Capacité par unité de longueur, b. Inductance par unité de longueur, c. Permittivité relative diélectrique effective et d. Impédance caractéristique	115

Figure 4.7 - Un exemple d'un signal haute fréquence (en vert) "imitant" un signal basse fréquence (en rouge)	118
Figure 4.8 - Coefficients de la transformée de Fourier discrète vue comme une forme approchée de la transformée de Fourier continue, a. Forme d'onde en bande de fréquence limitée, b. Fonction porte, c. Forme d'onde de la source tronquée, d. Fonction d'échantillonnage, e. Forme d'onde échantillonnée, f. Périodisation du signal tronqué.....	118
Figure 4.9 - Modélisation d'une ligne coplanaire où R est la résistance, L l'inductance et C la capacité linéiques de la ligne de transmission. R, L et C peuvent être des fonctions non-linéaires de la tension par exemple.....	119
Figure 4.10 - Exemple de réseau RC [Ismail-00].....	121
Figure 4.11 - Réseau RLC général [Ismail-00]	123
Figure 4.12 - Schéma électrique d'une ligne de transmission a. complète et b. simplifiée. R, L et C sont, respectivement, la résistance (Ω), l'inductance (H) et la capacité (F) pour un tronçon élémentaire.	125
Figure 4.13 – Représentation schématique d'un substrat HR-SOI possédant une couche <i>Trap-rich</i>	126
Figure 4.14 - Diagramme de bande d'un substrat Si montrant, à gauche, l'occupation des pièges dans la bande interdite et à droite, la courbure de bande induite par ces pièges	126
Figure 4.15 - Distribution bidimensionnelle du potentiel sur une ligne coplanaire avec un logiciel de simulation basé sur une technique de discrétisation de type "différences finies"	127
Figure 4.16 - Modèle structurel d'une surface a. Si (111) et b. Si (100) [Schroder-03].....	128
Figure 4.17 - Diagramme de bande montrant un piège caractérisé par un niveau d'énergie E_T	129
Figure 4.18 – Interaction des porteurs libres avec un état localisé à une énergie E_i dans la bande interdite. Cet exemple montre un état de type accepteur.....	129
Figure 4.19 - Représentation schématique d'une ligne coplanaire a. en 3D, b. en coupe transversale et c. en coupe longitudinale au centre de la piste centrale. Les dimensions indiquées sont en microns.....	131
Figure 4.20 - Génération des 2ème, 3ème et 4ème harmoniques issues des simulations sous ATLAS pour une résistivité de substrat de a. 4400 Ω .cm, b. 880 Ω .cm, c. 440 Ω .cm et d. 45 Ω .cm. Sur chaque graphique sont représentées les mesures des 2ème et 3ème harmoniques effectuées sur un substrat de silicium à haute résistivité.....	132
Figure 4.21 - Spectre du signal de sortie de la ligne coplanaire pour un signal d'entrée de puissance a. -10 dBm, b. 0 dBm, c. 10 dBm, d. 20 dBm, e. 30 dBm et f. 36dBm.....	133
Figure 4.22 - Représentation schématique d'une ligne coplanaire sur un substrat HR-SOI muni d'une couche <i>Trap-rich</i> a. en 3D, b. en coupe transversale et c. en coupe longitudinale au centre de la piste centrale. Les dimensions indiquées sont en microns.	134
Figure 4.23 - Génération des 2ème, 3ème et 4ème harmoniques issues des simulations sous ATLAS pour une densité de piège de a. et b. $1.10^{15} \text{ cm}^{-3}$ et c. et d. $1.10^{16} \text{ cm}^{-3}$. La résistivité du substrat est $\rho_{\text{sub}} = 880 \text{ } \Omega$.cm et le dopage $C_{\text{sub}} = 5.10^{12} \text{ cm}^{-3}$. Sur chaque graphique sont représentées les mesures des 2ème et 3ème harmoniques effectuées sur un substrat <i>Trap-Rich</i>	135
Figure 4.24 - Modélisation à constantes localisée de la ligne de transmission dans l'approximation de d'Elmore-Wyatt-Ismail. (a) schéma électrique (b) détail de la structure de capacité (c) identification des différents courants de couplage capacitif.....	135
Figure 4.25 - Formes d'ondes associés aux tensions et courants intervenant dans le schéma électrique de la Figure 4.24.c. Trois cas sont considérés avec introduction de pièges Donneurs (DON) ou Accepteurs (ACC) ou sans défauts volumiques (No TRAP). (a) Tension d'entrée et tensions $V_{R_{\text{load}}} = V_{c_{\text{line}}}$ harmonique à 1GHz de tension crête de 20V correspondant à une puissance de 36 dBm. (b) Courant dans la charge R_{LOAD} (c) Courant total pénétrant la capacité de ligne	

coplanaire. (d) Courant partiel de capacité de ligne évacué par les plans de masse. (e) Fraction de courant de capacité de ligne évacué par le substrat de silicium.	136
Figure 4.26 - Variation de la capacité MIS normalisée en fonction de la polarisation de grille. La capacité totale résulte de l'association en série de la capacité d'oxyde (ici dénotée C_i) et de la capacité de charge d'espace C_{si} . Cette représentation fournit la capacité MIS totale normalisée à la capacité C_i . La partie non linéaire de la caractéristique intervient en mode de déplétion. En accumulation et forte inversion, la capacité totale se réduit à la capacité d'oxyde. On parle dès lors d'écrantage du semiconducteur par le canal d'inversion ou d'accumulation.....	137
Figure 4.27 – Diagrammes de bandes associés à la structure métal-oxyde-semiconducteur (MIS) sous le conducteur central de la ligne coplanaire. Ces diagrammes représentent les courbures de bandes dans le silicium de type n faiblement dopé en fonction du mode de fonctionnement de la capacité MIS (Accumulation/Déplétion/Inversion). L'hypothèse est faite de la présence de défauts de type donneur ou accepteur dont le niveau d'énergie est localisé au milieu de la bande interdite (niveaux d'énergie midgap). Les variations d'état de charge des pièges sont indiquées en fonction de la polarisation du conducteur central de la ligne coplanaire.....	139
Figure 4.28 – Bilan des états de charge liés à la déplétion et à la population de pièges (a) accepteurs et (b) donneurs.....	139
Figure 4.29 - a. et b. Photographies représentant une technologie RF SOI-CMOS 0,13 μm reportée sur un substrat de verre, c. Vue au microscope optique d'une ligne coplanaire de 1000 μm de longueur.....	140
Figure 4.30 - Génération du 2 nd harmonique et b. Points d'interception d'ordre 2 de lignes coplanaires fabriquées sur substrat HR-SOI, Trap rich HR-SOI et sur verre. CalKit Al_2O_3 fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.....	140
Figure 4.31 - Génération du 3 ^{ème} harmonique et b. Points d'interception d'ordre 3 de lignes coplanaires fabriquées sur substrat HR-SOI, Trap rich HR-SOI et sur verre. CalKit Al_2O_3 fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.....	140

Liste des tableaux

Tableau 1.1 - Principales techniques utilisées dans le domaine de l'électronique imprimée	23
Tableau 1.2 - Quelques exemples de transistors organiques	25
Tableau 1.3 - Quelques exemples de diodes électroluminescentes	26
Tableau 1.4 - Quelques exemples de cellules photovoltaïques	26
Tableau 1.5 - Quelques exemples de transistors fabriqués par transfert sur film souple	32
Tableau 1.6 - Aperçu des méthodes d'intégration hétérogène pour composants MEMS [Lapisa-11]	38
Tableau 1.7 - Paramètres extraits du SSEC présenté à la Figure 1.30, polarisé à une tension de drain $V_{DS} = 1,2$ V et une tension de grille $V_{GS} = 0,8$ V, donnant un courant de drain $I_{DS} = 270$ mA.mm ⁻¹	47
Tableau 2.1 - Matrice des tests.....	64
Tableau 2.2 - Tests d'aplanissement	66
Tableau 2.3 - Etapes de meulage.....	67
Tableau 2.4 - Exemples d'applications	68
Tableau 2.5 - Exemples de <i>slurries</i> à base de silicium colloïdal.....	69
Tableau 2.6 - Exemples de <i>pads</i>	70
Tableau 2.7 - Paramètres utilisés lors d'un cycle de polissage	70
Tableau 2.8 - Comparaison de différentes méthodes	73
Tableau 2.9 - Compatibilité entre différents types de collage temporaire avec diverses étapes de fabrication d'un circuit silicium [Lueck-15].....	75
Tableau 2.10 - Quelques méthodes de collage métallique	78
Tableau 3.1 - Figures de mérite statiques d'un n- et p-MOSFET sur son substrat initial et après transfert sur un film métallique.....	84
Tableau 3.2 - Caractéristiques RF de plusieurs n- et p-MOSFETs avant et après transfert sur film métallique	89
Tableau 3.3 - Paramètres intrinsèques et extrinsèques après extraction en utilisant le SSEC présenté à la Figure 3.12 à $V_{DS} = 1,2$ V, $V_{GS} = 0,8$ V et $I_{DS} = 308$ mA/mm pour un transistor n-MOSFET et $V_{DS} = -1,5$ V, $V_{GS} = -1$ V et $I_{DS} = -263$ mA/mm pour p-MOSFET	92
Tableau 3.4 - Table de correspondances entre les grandeurs électriques et thermiques [Taine-14]	100
Tableau 3.5 - Description de la structure multicouche d'un circuit CMOS via les paramètres utilisés pour les simulations sous FlexPDE	103
Tableau 3.6 - Températures des transistors n- et p-MOSFET obtenues sous la caméra thermique	105
Tableau 4.1 - Simulations sous ATLAS de substrats SOI à haute résistivité.....	131
Tableau 4.2 - Simulations sous ATLAS de substrats SOI <i>Trap-Rich</i> à haute résistivité	134

Introduction générale

Depuis la fin des années 1960, l'industrie des semi-conducteurs n'a cessé de croître jusqu'à générer près de 335 milliards de dollars [SIA-16]. Ainsi l'évolution constante des technologies, caractérisée par une amélioration des performances et de la densité d'intégration en plus d'une diminution des coûts de fabrication, a permis la diversification sans précédent du marché de l'électronique, allant de l'industrie automobile jusqu'aux télécommunications en passant par l'informatique. Depuis plus d'un demi-siècle, les efforts consentis à la miniaturisation respectent les spécifications liées à la "Loi de Moore" [Moore-98], [Moore-03]. Jusqu'au début des années 2000, la progression continue des performances des technologies CMOS basée sur une approche de miniaturisation a permis d'adhérer aux prédictions de la "Loi de Moore" sans rencontrer de verrous technologiques majeurs. Dans la continuité de cette période dite du *happy scaling*, l'accroissement des performances en fréquence et la maîtrise de la consommation ont cependant nécessité la mise en place d'options technologiques avancées (contraintes, grille métal, diélectrique *high-k*) et suscité l'exploration d'architectures évoluées de dispositifs (SOI, multi-grilles). Ces options technologiques avancées sont souvent reprise dans la littérature sous le vocable de "*boosters technologiques*". Alternativement, selon une approche qualifiée de "*More than Moore*", de nombreux enrichissements technologiques ont été également possibles grâce à une diversification des fonctions non exclusivement basées sur le micro-dimensionnement [ITRS-10], [ITRS-13].

L'électronique flexible en constitue l'une des déclinaisons depuis une dizaine d'années. D'intenses travaux de recherche ont été menés afin d'apporter flexibilité mécanique et élasticité mécanique à de nombreux dispositifs électroniques [Burgharz-09], [Lakafosis-10], [Reuss-05]. Cette technologie peut être utilisée dans divers domaines tels la biologie [Chuo-13], [Hwang-13], [Kim-12], le photovoltaïque [Disasolar-13], [Eom-10], [Lange-12], [Lee-12] ou encore l'électronique embarquée [Lakafosis-10], [Rida-09], [Vyas-09]. En conséquence, des capteurs, des batteries, des écrans ainsi que d'autres éléments peuvent être co-intégrés de manière hétérogène pour permettre la réalisation de systèmes intelligents totalement flexibles [Horst-13], [Liang-13], [Mimoun-13], [Tok-12], [Xie-12].

Actuellement, de nombreux composants organiques flexibles ont vu le jour grâce aux techniques d'impression. Ces procédés simples et peu coûteux permettent de réaliser sur de grandes surfaces des dispositifs possédant un seul niveau d'interconnexions [Halonen-09], [OEA-13]. Cependant, la faible mobilité des semi-conducteurs organiques (de l'ordre du $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) ne rend impossible toute utilisation en gamme d'onde radiofréquence [Noh-07], [Park-16], [Yuan-14]. De nouvelles techniques utilisant le principe du report sur substrat souple ont ainsi été créées afin de conférer aux technologies hautes performances des propriétés augmentées de *compliance* mécanique. Outre la flexibilité mécanique, le report sur substrat souple permet de conserver les propriétés

originelles des dispositifs reportés et rend possible l'intégration hétérogène [Lecavelier-14], [Zhai-12], [Zhang-12].

Ces travaux de thèse s'inscrivent dans ce contexte et ont pour objectif la réalisation sur substrat flexible de dispositifs possédant plusieurs niveaux d'interconnexions sans engendrer des coûts de fabrication supplémentaires. Pour cela, nous évaluerons l'impact de l'amincissement et du report sur les propriétés électriques, physiques et mécaniques du circuit reporté.

Le chapitre 1 de ce manuscrit situe ces travaux de recherche dans leur contexte technologique, en détaillant les principales notions nécessaires à la compréhension du sujet. En outre, ce chapitre fait le point sur les applications possibles de l'électronique flexible ainsi que les perspectives et défis associés.

Le chapitre 2 décrit la méthode de fabrication développée lors de ces travaux pour réaliser des circuits CMOS flexibles. Tout d'abord, une stratégie d'amincissement en trois étapes est détaillée afin de supprimer totalement le substrat de silicium par la face arrière, sans endommager la couche d'oxyde enterré. Enfin, le report du dispositif aminci depuis un support temporaire vers le film souple final est réalisé.

Le chapitre 3 évalue l'impact du procédé de fabrication sur des circuits RF CMOS reportés sur un film métallique. En effet, ces dispositifs sont souvent utilisés dans l'électronique de puissance où la dissipation de chaleur est importante, ce qui peut modifier les performances du système si celui-ci est intégré sur un substrat isolant thermiquement. Le but de ce chapitre sera alors de vérifier que les propriétés électriques du circuits sont préservées après report sur un film métallique facilitant les dissipations thermiques.

Le chapitre 4 détaille les améliorations apportées par le report sur substrat de verre sur des circuits RF CMOS. En effet, la diversification des moyens de télécommunications a permis le développement de systèmes complexes capables de fonctionner sur plusieurs bandes de fréquences. La linéarité est donc essentielle dans ce type d'application. L'objectif de cette étude est de montrer que le report sur verre réduit la distorsion harmonique au sein des circuits RF CMOS.

Une conclusion résume ces résultats et propose des perspectives pour de futurs travaux.

Cette thèse financée par la société ST Microelectronics et la région Haut-de-France a été réalisée à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) de Villeneuve d'Ascq.

Chapitre 1. L'électronique flexible : entre performances et souplesse

Ce premier chapitre fait le point sur les avancées technologiques dans le domaine de l'électronique flexible, notamment en détaillant ses applications possibles, ainsi que les perspectives et défis associés. Ce domaine couvre la réalisation de fonctions électroniques intégrées présentant des propriétés additionnelles de flexibilité mécanique se basant sur les techniques d'impression sur support organique. Cependant, les faibles mobilités de ces matériaux (de l'ordre du $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) rendent impossible toute utilisation en radiofréquence. De plus, ces dispositifs ne comportent, en général, qu'un seul degré d'intégration et sont assignés à une fonction unique. Alternativement, une nouvelle approche basée sur le report de puces sur substrat flexible donne la possibilité de disposer de systèmes complexes comportant de multiples niveaux d'interconnexion à faible coût additionnel. Cette section décrira alors différentes solutions permettant de répondre au mieux à cet objectif.

1.1	Développements récents dans le domaine de l'électronique flexible	18
1.1.1	<i>Opportunités et défis de l'électronique flexible</i>	<i>18</i>
1.1.1.1	<i>Contextes "More-Moore" et "More-than-Moore"</i>	<i>18</i>
1.1.1.2	<i>Macroélectronique : applications et perspectives</i>	<i>20</i>
1.1.2	Électronique imprimée : techniques et applications	23
1.1.2.1	<i>Techniques utilisées.....</i>	<i>23</i>
1.1.2.2	<i>Applications.....</i>	<i>24</i>
1.1.3	Report sur film souple	29
1.1.3.1	<i>Techniques utilisées.....</i>	<i>29</i>
1.1.3.2	<i>Applications.....</i>	<i>31</i>
1.1.3.3	<i>Vers l'intégration hétérogène</i>	<i>37</i>
1.1.4	<i>Synthèse</i>	<i>38</i>
1.2	Potentiel de la technologie SOI-CMOS dans le domaine de l'électronique flexible.....	39
1.2.1	Technologie Silicon-on-Insulator (SOI).....	39
1.2.1.1	<i>Substrats SOI.....</i>	<i>39</i>
1.2.1.2	<i>Technologie CMOS-SOI.....</i>	<i>41</i>
1.2.2	Technologie LP SOI CMOS 65 nm	45
1.2.2.1	<i>Caractéristiques statiques de transistors RF SOI CMOS 65 nm</i>	<i>45</i>
1.2.2.2	<i>Caractéristiques dynamiques de transistors RF SOI CMOS 65 nm</i>	<i>46</i>
1.2.3	Technologie SOI CMOS 0,13 μm	50
1.2.3.1	<i>Quelques définitions</i>	<i>51</i>
1.2.3.2	<i>Description de la technologie Trap-rich</i>	<i>54</i>
1.2.3.3	<i>Caractéristiques dynamiques d'une ligne coplanaire</i>	<i>55</i>
1.2.3.4	<i>Intérêt de la technologie UTTB pour l'amélioration de la linéarité</i>	<i>57</i>
1.3	Synthèse.....	58

1.1 Développements récents dans le domaine de l'électronique flexible

1.1.1 Opportunités et défis de l'électronique flexible

1.1.1.1 Contextes "More-Moore" et "More-than-Moore"

1.1.1.1.1 Défis associés à la ligne de développement "More-Moore"

Depuis la fin des années 1950, l'industrie microélectronique connaît un développement important, notamment grâce à la miniaturisation des composants et une constante amélioration de leurs performances. Cette tendance a été prédite par le cofondateur d'Intel® Gordon E. Moore aux tous débuts du circuit intégré. Ce principe, appelé "Loi de Moore", énonce que la densité de transistors par circuit intégré double tous les deux ans pour un coût minimum [Moore-98], [Moore-03]. Malgré les défis associés à la miniaturisation, la loi de Moore a permis l'émergence de nouvelles stratégies de conception (ingénierie mécanique, matériaux high-k, grille métallique) ainsi que le développement de nouveaux équipements (photolithographie et ultra-violet profond) et une augmentation constante du diamètre des *wafers* de silicium (Figure 1.1.a et b). Cependant, depuis plusieurs années, une limite physique est naturellement à prévoir dès que les transistors s'approcheront de l'échelle atomique. De plus, cette miniaturisation entrainera une forte augmentation des coûts en recherche et en équipement de production à chaque nouveau nœud technologique. Par ailleurs, en utilisant le dimensionnement vertical, l'approche 3D permettra d'empiler les transistors les uns sur les autres, augmentant ainsi le nombre de composants au millimètre carré là où le dimensionnement horizontal ne le permet pas [ITRS-10], [ITRS-13]. Ces observations ont conduit à la naissance d'un nouveau domaine appelé "More-than-Moore", dont la spécificité est de diversifier les fonctionnalités offertes par une technologie CMOS.

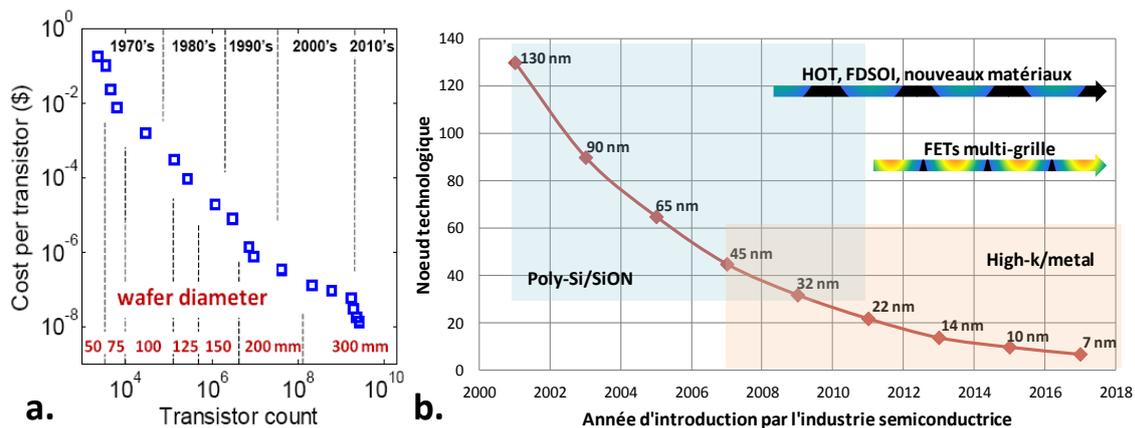


Figure 1.1 - a. Evolution des coûts de fabrication des circuits intégrés [Intel-16], [ITRS-10], [ITRS-11], [Moore-98], [Moore-03], b. Représentation des technologies développées dans le cadre du mouvement "More-Moore" [ITRS-13].

1.1.1.1.2 Développement du contexte "More-than-Moore"

Depuis plusieurs décennies, le contexte "More-than-Moore" (MtM) se développe en même temps que "More-Moore" (MM). Cette ligne de développement fait référence aux dispositifs comportant des fonctions micro- ou nanoélectroniques.

The industry is now faced with the increasing importance of a new trend, "More than Moore" (MtM), where added value to devices is provided by incorporating functionalities that do not necessarily scale according to "Moore's Law" [ITRS-10].

Le développement de fonctionnalités MtM ne constitue pas une alternative ou un frein au domaine numérique, mais se réfère à la co-intégration, monolithique ou hétérogène, de fonctions numériques et non-numériques à l'intérieur d'un système compact qui pourra être mis en œuvre dans de nombreux domaines comme la communication, l'automatique, le contrôle environnemental, la santé, la sécurité et les loisirs. Là où MM peut être vu comme le cerveau d'un système compact intelligent, MtM se réfère à ses capacités à interagir avec le monde extérieur et les utilisateurs. Cette diversification fonctionnelle accompagnée de la miniaturisation a alors conduit à un accroissement de la complexité du procédé de développement lui-même (Figure 1.2) [ITRS-10], [ITRS-13].

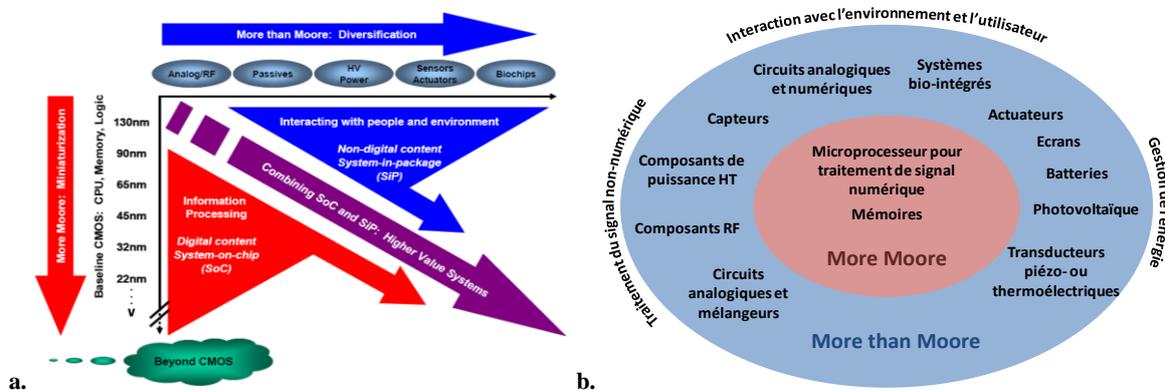


Figure 1.2 - a. Schéma présentant le développement parallèle des mouvements "More-Moore" et "More-than-Moore" [ITRS-10] et b. Diagramme expliquant comment les composants "More-Moore" et "More-than-Moore" peuvent se compléter afin de créer des systèmes mêlant traitement du signal, gestion d'énergie et interactions avec l'environnement.

Ainsi, la diversification fonctionnelle peut être vue comme un complément du signal numérique et du traitement de données. Ces fonctions comprennent un traitement de signal, l'intégration d'éléments passifs, de la haute tension, de la micromécanique, des capteurs, des actionneurs et de la micro-fluidique (fonction biologique). Les technologies MtM ont un impact considérable sur la microélectronique et les opportunités sont grandes. Avec le développement du marché et une augmentation des investissements, un cercle vertueux s'est mis en place, basé non seulement sur la miniaturisation mais aussi sur la création de nouvelles technologies, réduisant ainsi les coûts de fabrication (Figure 1.3). De plus, sachant que ces fonctionnalités sont définies à court terme, les systèmes conçus doivent être suffisamment versatiles afin de s'adapter aux variations du marché [ITRS-10].

L'industrie des semi-conducteurs porte un intérêt grandissant à la diversification fonctionnelle depuis plus d'une dizaine d'années. Un nombre croissant de références au MtM et plus particulièrement à l'électronique flexible a été constaté dans les derniers rapports de l'ITRS qui prédit, dans son édition de 2011, que l'électronique flexible est amenée à devenir une industrie de plusieurs milliards de dollars et à révolutionner notre

vision de l'électronique. Ce domaine rendra possible un grand nombre de dispositifs et d'applications impossible à fabriquer actuellement [ITRS-11], [ITRS-13].

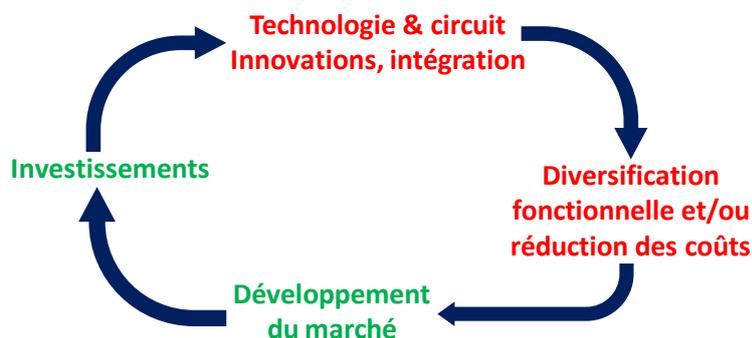


Figure 1.3 - Cercle vertueux de l'industrie électronique actuelle [ITRS-10].

1.1.1.2 Macroélectronique : applications et perspectives

1.1.1.2.1 Les avantages de la macroélectronique

Selon Reuss *et al.*, la macroélectronique représente essentiellement le domaine de l'électronique flexible. Grâce à l'utilisation de matériaux organiques, ces technologies sont souvent synonymes de dispositifs fins, légers, transparents, souples et/ou déformables. Ceux-ci peuvent être fabriqués en masse, sur de grandes surface et à faible coût (au moyen de diverses techniques d'impression ou de report). Bien que les éléments électroniques comme les composants passifs ou les antennes imprimées sur substrat souple sont utilisés depuis une décennie, l'intégration d'éléments actifs (diode, transistor) sur substrat souple est beaucoup plus délicate et se heurte à des défis de performances et de répétabilité. Pourtant, cette approche permettrait de réduire plus efficacement la taille et le poids des systèmes comparé au PCB [Reuss-05], [OEA-11]. Par ailleurs, certains domaines comme la communication sans fil ou le biomédical requièrent des performances électriques que l'électronique organique ne possède pas encore. La Figure 1.4.a représente les avantages et les inconvénients de la macroélectronique face à la filière classique de la micro-nano-électronique silicium. L'objectif de ces travaux est de réaliser des dispositifs hybrides alliant les points forts de ces deux domaines tout en améliorant une partie de leurs points faibles.

La Figure 1.4.b donne un aperçu des systèmes pouvant être fabriqués par combinaison de ces deux domaines. Il s'agit de systèmes totalement souples capables d'analyser diverses informations provenant de l'environnement grâce à l'intégration de nombreux capteurs. Ces données pourront être traitées localement et transmises par les ondes radio par exemple. L'énergie nécessaire au fonctionnement de ces différents modules serait fournie par des cellules photovoltaïques ou des unités piézo- ou thermoélectriques et stockée dans une micro-batterie intégrée au système. Par ailleurs, la possibilité de déformer le dispositif ouvre la voie à de nouveaux horizons. En effet, les systèmes flexibles peuvent se conformer aux surfaces curvilignes (le corps humain par exemple) afin de surveiller ou stimuler des endroits précis sur de grandes surfaces. Par la suite, nous évoquerons les récents progrès dans le domaine de l'électronique flexible.

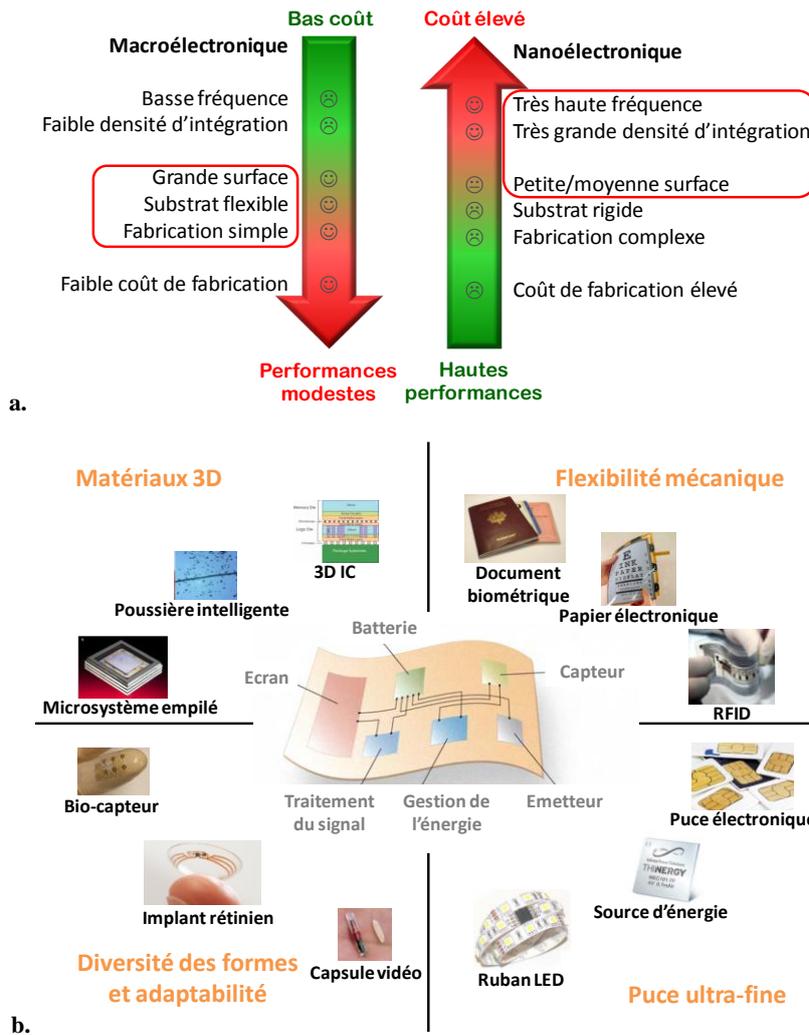


Figure 1.4 - a. Schéma présentant les avantages et les inconvénients des domaines de la nano- et de la macroélectronique, b. Principe et objectifs de l'électronique flexible

1.1.1.2.2 Défis de l'électronique flexible

Avant de décrire les avancées récentes réalisées ces dernières années dans le domaine de l'électronique flexible, les défis associés à l'émergence de dispositifs souples à hautes performances fabriqués à faible coût sur de grandes surfaces seront mis en lumière. Comme mentionné précédemment, une attention particulière est centrée sur le rassemblement de nombreuses fonctionnalités sur un film flexible (plastique ou métal) afin d'occuper le marché de l'électronique flexible haute performance. De plus, les performances sur film organique peuvent être améliorées par l'utilisation de couches fines de matériaux inorganiques. Le développement des équipements conventionnels utilisés dans l'industrie des semi-conducteurs a dû intégrer les films souples dans les procédés de fabrication. Au même moment, les techniques d'impression de masse utilisées pour l'électronique organique et imprimée sont également étudiées afin de fabriquer de nouvelles encres inorganiques semi-conductrices (c'est-à-dire possédant une haute mobilité des porteurs de charge) avec une haute résolution, permettant d'obtenir de meilleures performances [Reuss-05], [Nathan-12].

Cependant, les systèmes ayant le niveau de performance requis pour la communication RF sont actuellement basés sur l'industrie des semi-conducteurs inorganiques. Par ailleurs, il est important de trouver des solutions industrielles pour le traitement des substrats ultrafins. En particulier, dans le but de fabriquer des systèmes électroniques souples dans les fonderies semi-conductrices conventionnelles, de nombreux défis associés au transport et au traitement des *wafers* fins et flexibles doivent être envisagés. Ces problèmes sont communs aux nombreux domaines du contexte MtM requérant l'amincissement et le collage de puces électroniques (c'est-à-dire l'intégration 3D). Cependant, il est important de noter que ces limites technologiques ont été identifiées comme "*critiques*" dans l'édition 2013 de la feuille de route de l'ITRS :

"For the flows using wafer thinning before bonding, a robust thin wafer carrier process is required." [ITRS-13]

"The temporary glue layers for this process are very challenging and critical to the success of 3D-integration schemes. A complex combination of properties is required: stable during processing but still capable of easy debonding. A wide variety of debonding mechanisms is being studied: laser-assisted (glass carrier), melting and sliding (thermoplastic adhesives), dissolution in solvents and mechanical debonding (peeling)." [ITRS-13]

Actuellement, la recherche et l'industrie portent un intérêt croissant aux solutions possédant de nouveaux facteurs de forme (finesse, légèreté, adaptabilité, souplesse mécanique, grande surface et disponibilité). Ces caractéristiques correspondent parfaitement au domaine de l'électronique flexible et imprimée. Cependant, quand des fonctions plus complexes sont requises, il est difficile de les obtenir sans utiliser l'intégration hybride d'électronique conventionnelle. En effet, le développement des transistors à film fin issus des technologie silicium permet d'inclure des puces sur un circuit flexible [Reuss-15].

L'émergence de l'intégration 3D et la diminution des courants de fuite dans les technologies récentes [ITRS-13] a fourni les infrastructures pour l'amincissement de puce et de circuits intégrés sur substrat SOI. Il est alors possible d'obtenir facilement du silicium mince (<50 μm d'épaisseur), flexible et transparent. Ainsi, l'électronique flexible peut bénéficier de l'investissement massif dans la conception IC et les méthodes de fabrication autorisant les concepteurs à se focaliser sur le système lui-même. De plus, les méthodes d'impression ainsi que les techniques d'auto-assemblage (de puces, non de molécules) se sont améliorées offrant la possibilité de concevoir des systèmes intelligents par approche hybride notamment. Les technologies d'assemblage et de *packaging* sont également utilisées dans le domaine de l'électronique flexible, ainsi que les circuits souples, les interconnexions à faible résistivité et les techniques d'encapsulation à film mince. Par ailleurs, les capteurs et MEMS deviennent de plus en plus performants et diversifiés, ouvrant davantage d'opportunités de systèmes de capteurs. Donc, même si une feuille de route spécifique ne peut pas être vraiment définie, les exigences du produit et les moyens techniques promettent un brillant avenir pour l'électronique flexible [Reuss-15].

1.1.2 Electronique imprimée : techniques et applications

1.1.2.1 Techniques utilisées

Tableau 1.1 - Principales techniques utilisées dans le domaine de l'électronique imprimée

Technique d'impression	Résolution (μm)	Vitesse d'impression ($\text{m}\cdot\text{min}^{-1}$)	Remarques	Références
Flexographie	30-75	50-500	Nombreux substrats, encres peu visqueuses, couches minces	[OEA-13], [Suganuma-14], [Deganello-12], [Willmann-14]
Gravure	10-75	20-1000	Procédé simple, surface lisse recommandée	[OEA-13], [Suganuma-14], [Kang-12], [Park-12], [Kitsomboonloha-14]
Offset	20-50	15-1000	Encres très visqueuses recommandées, présence d'eau	[OEA-13], [Suganuma-14], [Tobjörk-11]
Sérigraphie	50-100	10-100	Grande rugosité, encres visqueuses	[OEA-13], [Suganuma-14], [Chang-14]
Jet d'encre	20-50	1-100	3D possible	[OEA-13], [Suganuma-14], [Hester-15]

Parmi les techniques présentées dans le Tableau 1.1, l'impression jet d'encre est la méthode la plus utilisée dans le domaine de l'électronique imprimée. Cette méthode d'impression point à point utilise le principe de la pulsation piézoélectrique afin de fabriquer des circuits sur substrat souple. Il s'agit a priori d'un procédé à bas coûts et à faible consommation de matière. Il en existe deux catégories : le *Drop-on-Demand* (DoD) et le jet continu [Halonen-09]. Cependant, les vitesses d'impression sont limitées et les encres utilisées peu volatiles et peu visqueuses ($<15 \text{ MPa}\cdot\text{s}$), ce qui peut occasionner des problèmes de bouchons, notamment au niveau des têtes d'impression. Par ailleurs, le séchage est inégal à cause de l'effet "tâche de café". Autrement dit, quand une goutte d'encre sèche sur une surface plane, elle laisse un dépôt dense en périphérie de la goutte. Le soluté, initialement dispersé dans la goutte entière, se retrouve alors dans une petite fraction de celle-ci. Ce phénomène est dû à des contraintes géométriques. La surface libre, contrainte par une ligne de contact fixe, comprime le fluide vers l'extérieur afin de compenser les pertes par évaporation. Plus la concentration en soluté est importante, plus ce cercle est épais. De plus, les matériaux constituant le substrat possèdent différentes énergies de surface qui affectent la taille et la forme d'une goutte d'encre ainsi que sa répartition à la surface de l'échantillon [Deegan-97], [Halonen-09], [Tobjörk-11].

1.1.2.1.1 Impression *Drop-on-Demand*

Pour encrer le substrat, les têtes d'impression *Drop-on-Demand* (DoD) appliquent une pression pulsée avec un piézo- ou thermo-élément qui éjecte une goutte si nécessaire au moyen d'une canule (Figure 1.5.a). Avec cette méthode, la possibilité est offerte de choisir l'encre et le substrat à imprimer. La résolution dépend du diamètre de la canule et de la variation statistique du volume de la goutte et de son étalement sur le substrat (taille minimale 50-100 μm). Des méthodes hybrides d'impression jet d'encre permettent d'améliorer la résolution de ce procédé grâce à des pré- ou post-traitements (photolithographie, ablation laser, etc...) [Halonen-09], [Ko-07].

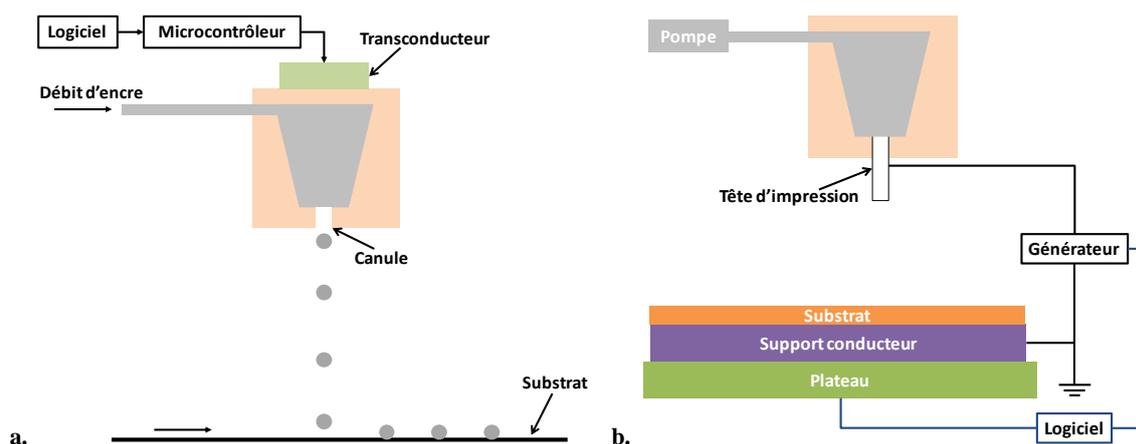


Figure 1.5 - Schéma de principe de l'impression a. DoD et b. à jet d'encre électrodynamique

1.1.2.1.2 Impression à jet d'encre électrodynamique

L'impression à jet d'encre électrodynamique est une technique qui utilise le champ électrique ainsi que l'énergie thermique ou acoustique pour créer le débit d'encre nécessaire à l'impression d'un circuit. Une pompe (débit $\leq 30 \text{ pL.s}^{-1}$) ou un contrôleur de pression ($P < 5 \text{ psi}$) relié à une canule ($\varnothing_{\text{int}} = 0,3\text{-}30 \text{ }\mu\text{m}$, $\varnothing_{\text{ext}} = 0,5\text{-}45 \text{ }\mu\text{m}$) délivre une encre fluide. Une tension appliquée entre la canule et le support conducteur crée un phénomène électrohydrodynamique qui conduit l'encre à se déposer sur le substrat. Ce substrat est posé sur un plateau métallique relié à la masse (Figure 1.5.b). Quand le champ électrique est suffisamment fort, une goutte est éjectée et se dépose sur le substrat. Grâce à cette méthode, le jet peut être continu ou pulsé, voire éventuellement multiple. Ce procédé à bas coût permet d'utiliser une grande variété d'encres organiques ou minérales sur des surfaces fragiles incompatibles avec la photolithographie. Cependant, la vitesse d'impression est lente et les gouttes déposées sont potentiellement chargées, ce qui peut avoir des conséquences non désirables sur la résolution et les propriétés des dispositifs imprimés (en particulier sur les couches électriquement importantes comme les diélectriques et les films semi-conducteurs) [Park-07].

1.1.2.2 Applications

L'impression jet d'encre est utilisée pour fabriquer des semi-conducteurs organiques comme, par exemple, des transistors ou des diodes électroluminescentes (DEL). Par ailleurs, cette technique permet la fabrication de cellules photovoltaïques, mais aussi de capteurs, de mémoires et d'applications magnétiques (RFID, antennes, etc...). Des contacts et autres structures métalliques sont également imprimées grâce à cette méthode. L'objectif de cette section est de décrire ces différentes applications.

1.1.2.2.1 Transistors organiques

Un OTFT (*Organic Thin-Film Transistor*) est formé par dépôt successif de plusieurs couches minces dont une couche diélectrique, une couche organique active et des couches métalliques pour constituer les contacts (source, drain et grille). Malgré la simplicité de sa structure, ce type de dispositif est difficile à fabriquer du fait de la méthode d'impression, des solvants employés et du substrat utilisé. De plus, la vitesse de

commutation du circuit dépend de la mobilité électronique et des dimensions du canal. Généralement, les imprimantes à jet d'encre offrent une résolution supérieure à 20 μm , ce qui limite la plus petite longueur de canal obtenue. Les vitesses ainsi obtenues oscillent entre 1 et 100 Hz [Singh-10].

Afin de résoudre ce problème, des méthodes hybrides à base de lithographie sont utilisées afin d'obtenir des canaux de l'ordre de quelques centaines de nanomètres. Mais celles-ci restent coûteuses et engendrent des problèmes d'alignement [Sirringhaus-00]. L'auto-alignement des électrodes peut être obtenu par l'emploi de poly(3,4-éthylènedioxythiophène):poly(styrènesulfonate) (PEDOT:PSS) traité avec un plasma de tétrafluorure de carbone pour créer des surfaces hydrophobes. La mobilité n'est alors que de $0,002 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [Sele-05]. En outre, l'utilisation d'un semi-conducteur organique comme le poly(2,5-bis(3dodécylthiophène-2-yl)thiényl[3,2-b]thiophène) (p-BTTF) ou les copolymères permet d'augmenter la mobilité jusqu'à quelques dizaines de $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [Noh-07], [Park-16], [Yuan-14]. Par ailleurs, l'emploi d'encre à base de nanoparticules métalliques dans l'impression des contacts permet d'obtenir des mobilités électroniques supérieures à $0,1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ et des rapports en courants de 10^4 - 10^6 [Molesa-04], [Sekitani-08]. Des encres à base de nanotubes de carbone ou de graphène ont également été utilisées. Dans ce cas, la fréquence du transistor obtenu varie entre 5 et 20 GHz [Petrone-13], [Vaillancourt-08], [Wei-14]. Le Tableau 1.2 regroupe quelques exemples de transistors.

Tableau 1.2 - Quelques exemples de transistors organiques

Type	Longueur de la grille (μm)	Mobilité électronique ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	On/Off ratio	Remarques	Références
n-OFET	0,1	-	-	$f_T=15,5 \text{ GHz}$	[Wei-14]
p-OFET	-	0,2	10^5	-	[Park-16]
p-OTFT	1	0,3	10^6	Bottom gate, $f_T=2 \text{ MHz}$	[Sekitani-08]
n-OTFT	1	0,02	10^4	Bottom gate	[Sekitani-08]
CNT TFT	100	-	10^2	CNT haute densité, $f_T=5 \text{ GHz}$	[Vaillancourt-08]
GFET	0,5	~ 1500	-	Graphène, $f_T=10,7 \text{ GHz}$	[Petrone-13]

1.1.2.2.2 Diodes électroluminescentes

De multiples expériences et de nombreuses campagnes de mesures sont alors nécessaires pour atteindre ces objectifs. Tekin *et al.* ont utilisé l'impression jet d'encre afin de comparer les propriétés d'émissions de différentes chaînes polymériques. Ils ont démontré qu'il existe une forte corrélation entre la longueur d'onde émise et les interactions inter-chaînes qui dépendent à la fois de la chimie et de l'épaisseur du dispositif. Ils ont également démontrés la photoluminescence des particules semi-conductrices utilisées dans certaines encres [Tekin-06], [Tekin-07].

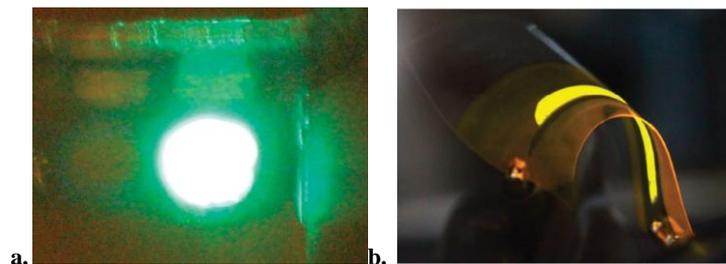


Figure 1.6 - Photographies de diodes électroluminescentes [Singh-10], [Sandström-12]

Par ailleurs, l'équipe de Singh a fabriqué des DELs à partir de macromolécules phosphorescentes à base d'iridium dissoutes dans une encre polymérique. La luminance obtenue est supérieure à 6000 cd.m^{-2} [Singh-10]. L'électroluminescence a été également démontrée par l'impression de nanoparticules semi-conductrices minérales entre un polymère de type p et une couche de type n. La luminance obtenue est de 381 cd.m^{-2} à 15.9 V. Cette technologie a permis la fabrication d'écrans de 243 pixels [Haverinen-09]. Quelques exemples de DELs sont représentés sur la Figure 1.6 et dans le Tableau 1.3.

Tableau 1.3 - Quelques exemples de diodes électroluminescentes

Matériaux	Tension de fonctionnement (V)	Luminance maximale (cd.m^{-2})	Références
Ir/POSS/PBD	6,8	6000	[Singh-10]
CdSe/ZnS	15,9	381	[Haverinen-09]
Al/LiF/Alq ₃ /NPB/ITO/PET	4,6	100	[Chiang-10]
ZnO/ITO/PEDOT:PSS	10	150	[Sandström-12]
CuPc/NPB/Alq ₃ /Al	-	2200	[Calil-09]
PEDOT/LEP/BaAl	4,1	14	[Harkema-09]

1.1.2.2.3 Cellules photovoltaïques

Le photovoltaïque organique devrait permettre à terme de fabriquer des panneaux solaires flexibles, sur mesure et à faible coût afin de les appliquer sur n'importe quel type de support, permettant ainsi des adaptations multiples. En outre, ces dispositifs pourraient être fabriqués à une température proche de l'ambiante, sous pression atmosphérique et suivant des conditions de confinement peu contraignantes. Par ailleurs, les cellules photovoltaïques devraient être capables de générer du courant sous une faible luminosité [Disasolar-13]. De nombreux travaux ont alors vu le jour afin de respecter ces conditions.

Tableau 1.4 - Quelques exemples de cellules photovoltaïques

Donneur	Accepteur	Solvant	Tension en circuit ouvert (V.cm^{-2})	Courant de court-circuit (mA.cm^{-2})	Facteur de forme (%)	Rendement (%)	Références
P3HT:PCBM	Ca:Ag	oDCB/mésitylène	0,537	10,05	64	3,5	[Hoth-08]
P3HT:PCBM	Ca:Al	Dichlorobenzène	0,618	9,78	53	3,31	[Steirer-09]
PSS:PFDTBTP	PC ₆₁ BM	Tétraline	0,675	5,88	47	1,9	[Lange-13]
P3HT:PCBM	LiF-Al	Chlorobenzène, dichlorobenzène	0,6	10,73	53	3,53	[Eom-10]
P3HT:PCBM	Al	Chlorobenzène, trichlorobenzène	0,573	9,34	45	2,4	[Lange-10]
P3HT:PCBM	Ca:Al	Dichlorobenzène	0,57	8,47	44	2,13	[Jeong-10]
P3HT:PCBM	ZnO	-	8,2	-5,7	51	1,7	[Angmo-13]

Ainsi, des cellules hybrides, comprenant une couche polymérique et des nanostructures minérales (CdSe, CdTe, CdS, CuInS₂, PbSe, PbS, TiO₂, ZnO), sont étudiées afin d'obtenir une meilleure absorption optique et augmenter le transport électronique dans une architecture de type hétérojonction, tout en bénéficiant de la flexibilité mécanique du polymère utilisé [Moulé-12]. Quelques exemples sont présentés dans le Tableau 1.4. Cependant, cette technologie implique le dépôt de précurseurs potentiellement toxique et très onéreux.

1.1.2.2.4 Contacts et structures métalliques

L'impression jet d'encre peut être utilisée pour fabriquer des semi-conducteurs organiques, mais également des contacts et des structures métalliques nécessitant un minimum de travail. Ahn *et al.* ont utilisé des encres à base d'argent colloïdal pour fabriquer des connexions 3D entre les éléments fonctionnels d'un dispositif flexible dont le schéma de principe se trouve Figure 1.7. Ces connexions ont une résistivité proche de l'argent et deux fois plus faible que les polymères conducteurs, ce qui entraîne une diminution de l'énergie dissipée par effet Joule. Par ailleurs, la forme en arche leur permet de s'adapter aux déformations du substrat. De plus, leurs dimensions, de 2 à 10 μm , augmentent le densité d'intégration des circuits tout en diminuant l'impact sur la qualité optique du substrat [Anh-09], [Gates-09].

D'autres applications comme des lignes coplanaires en argent sont également imprimées sur des substrats plastiques (téflon, PET, kapton). Leurs dimensions sont comprises entre 25 et 40 μm et leur résistance entre 84 et 184 $\Omega.\text{cm}^{-1}$ [Osch-08], [Meier-09]. De nombreux efforts ont été observés dans la fabrication d'électrodes avec l'emploi notamment de nanoparticules métalliques (or, argent, cuivre), leur conductivité est comprise entre 10^3 et 10^4 S.cm^{-1} . Des particules de polyaniline ou des nanotubes de carbones peuvent être également utilisées mais leurs performances restent faibles (4.10^{-4} S.cm^{-1}) [Gamerith-07], [Zhao-07], [Ngamna-07], [Singh-10].

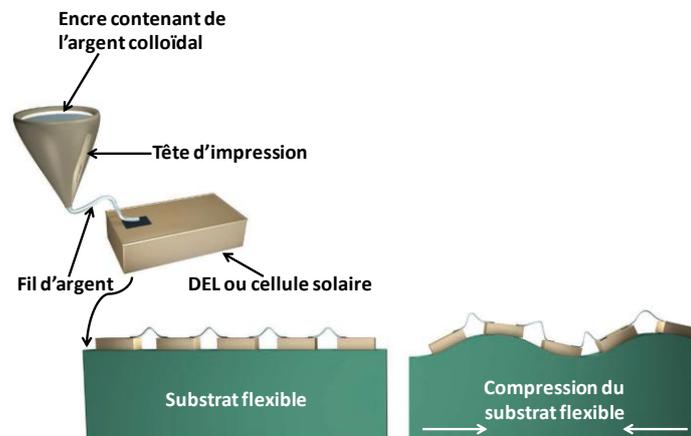


Figure 1.7 - Schéma de principe des connexions 3D métallique, d'après [Gates-09]

1.1.2.2.5 Composants RFID

Même si de nombreux travaux ont été effectués sur film plastique, quelques équipes ont imprimé des composants RFID (*Radio Frequency Identification*) sur une feuille de papier. En effet, ce matériau biodégradable peut être rendu hydrophobe, imputrescible voire ignifugé grâce à l'ajout de fibres textiles. Par ailleurs, ses propriétés isolantes (constante diélectrique et angle de perte) varient en fonction de sa densité, de son épaisseur et de sa texture. Enfin, ce procédé à bas coût est idéal pour imprimer de façon répétée un même dispositif sur une très grande surface, à condition que celui-ci ne contienne pas de zones métalliques importantes [Lakafosis-10], [Rida-09], [Vyas-11].

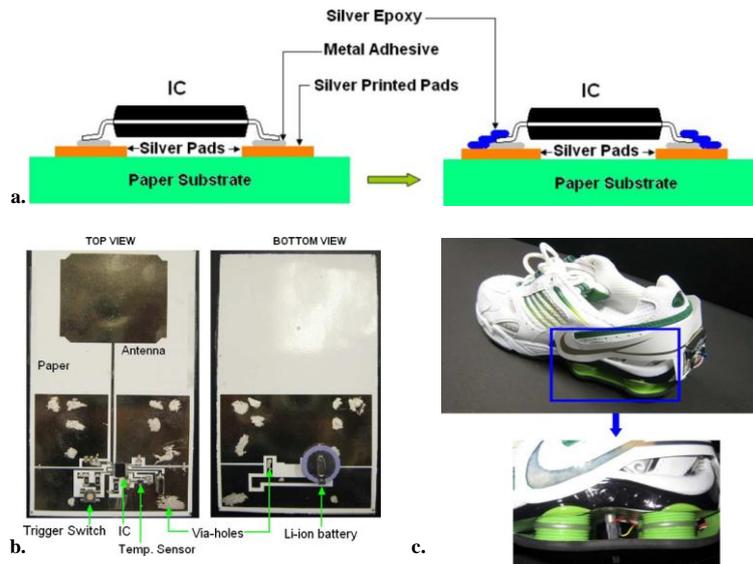


Figure 1.8 - a. Schéma de principe d'un circuit intégré (IC) "collé" sur papier, b. et c. Exemples de dispositifs imprimés sur papier [Vyas-09], [Lakafosis-10]

L'équipe de Vyas a mis au point une technique alliant des circuits imprimés au moyen d'une encre contenant des nanoparticules d'argent et des composants collés sur un substrat via un adhésif métallique, comme indiqué sur la Figure 1.8.a. En outre, cette méthode permet de fabriquer des dispositifs comprenant une antenne, un circuit électronique radiofréquence et des capteurs à très faible coût. Grâce à cette technique, ils ont obtenu des RFIDs dont la fréquence de fonctionnement est comprise entre 850 et 900 MHz avec une bande passante à -10 dB variant de 60 à 190 MHz. L'alimentation peut être effectuée par batterie ou cellule solaire (Figure 1.8.b). Les domaines d'application sont très variés, allant de l'aérospatiale à l'automobile en passant par le textile et les *smart-skins*, dont un exemple est présenté à la Figure 1.8.c [Lakafosis-10], [Vyas-09], [Yang-07].

1.1.2.2.6 Autres applications

Les capteurs jouent un rôle important dans l'industrie, la sécurité et les transports. Il existe de nombreux types de capteurs comme les photodétecteurs, les détecteurs de gaz, et les capteurs de contraintes mécaniques. Par exemple, un photodétecteur à base de nanoparticules HgTe montre une détectivité de $3,9 \cdot 10^{10} \text{ cm} \cdot \text{Hz}^{1/2} \cdot \text{W}^{-1}$ pour une longueur d'onde de $1,4 \mu\text{m}$ [Börberl-07].

Le *e-textile* comprend des dispositifs électroniques et des capteurs sous forme de fibre ou de bande qui peuvent être directement tissés. Cette technologie est très utile pour détecter et surveiller les paramètres vitaux d'un patient tels la température corporelle, le rythme cardiaque, etc., mais aussi pour améliorer la sécurité des personnes qui travaillent en environnement dangereux ou, tout simplement, pour fournir de l'énergie et/ou transmettre des données [Edmisson-06], [Magenes-11], [Marculescu-03], [Quinn-10]. Par exemple, les capteurs de température et d'humidité de Mattana *et al.* fabriqués par impression jet d'encre ont certes des performances plus faibles que leurs homologues fabriqués par photolithographie, cependant ils possèdent une meilleure résistance

mécanique et peuvent être utilisés sur de grandes pièces de tissu pour un coût modeste [Mattana-13].

Par ailleurs, l'impression jet d'encre peut être utilisée dans la fabrication de mémoires et autres applications magnétiques. Des nanoparticules d'oxyde de fer [$(\text{Fe}_2\text{O}_3, \gamma\text{-Fe}_2\text{O}_3)$ et Fe_3O_4] de 65-80 nm de diamètre sont synthétisées et recouvertes de polystyrène avant d'être dissoutes dans du dipropylène glycol. Des lignes de 40 à 200 μm de largeur seront imprimées grâce à cette encre [Voit-03]. Il est également possible de dissoudre des films de polystyrène/Cr/Au avec les bons solvants avant le dépôts de nanoparticules ferromagnétiques [van den Berg-07].

1.1.3 Report sur film souple

1.1.3.1 Techniques utilisées

1.1.3.1.1 Transfert indirect par tampon élastomérique

Le transfert indirect ou en voie sèche utilise un tampon d'élastomère, souvent du polydiméthylsiloxane (PDMS), pour prélever et transférer des microstructures depuis un substrat donneur vers un substrat receveur. Le principe est présenté à la Figure 1.9. Tout d'abord, des dispositifs sont fabriqués au moyen de techniques conventionnelles (photolithographie par exemple) sur un substrat SOI. Puis l'échantillon est plongé dans l'acide fluorhydrique pour retirer la couche d'oxyde enterré. Les dispositifs sont alors retenus par des forces de Van der Waals sur le silicium restant. Un tampon de PDMS est ensuite déposé sur l'échantillon afin de séparer le circuit du substrat donneur (Figure 1.9.a-c). Quant au substrat receveur, il est recouvert d'un film adhésif avant d'être mis en contact avec l'élastomère. Le PDMS est alors retiré (Figure 1.9.d-f). La propriété permettant ce transfert réside dans le fait que la force d'adhésion entre le tampon et l'élément à reporter (dues à des forces de type Van der Waals) est proportionnelle à la vitesse de séparation du tampon et du substrat. Un décollément rapide (vitesse supérieure à 10 cm.s^{-1}) permet le prélèvement des structures préalablement réalisées et après application sur le substrat final, un décollément lent (vitesse inférieure à 1 mm.s^{-1}) permet le report [Ahn-06-1], [Meitl-06], [Zhang-12].

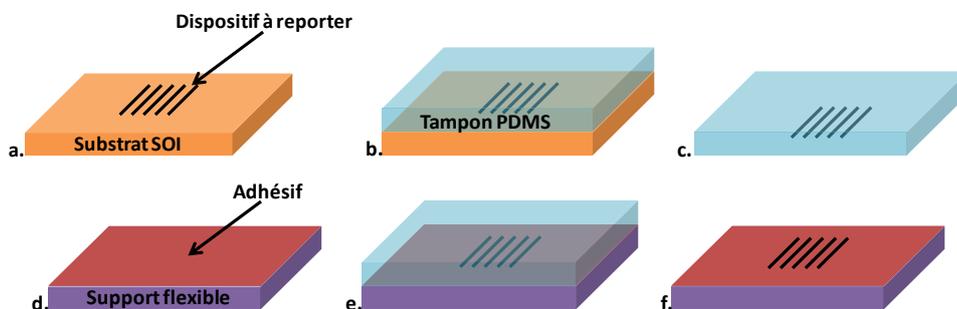


Figure 1.9 - Schéma décrivant la méthode de report de microstructures par tampon d'élastomère depuis un substrat rigide vers un substrat flexible

Grâce à cette méthode, il est possible de transférer une large gamme de dispositifs sur n'importe quel type de surface, pourvu que la rugosité soit inférieure à 3 nm. Il est

également possible d'inclure des microsillons dans le tampon d'élastomère afin de faciliter le report. En effet, plus la surface de contact est petite, plus la force d'adhésion est faible. De ce fait, la structure géométrique et la taille de l'échantillon est importante. Par ailleurs, selon la taille du tampon, il est possible de transférer un ou plusieurs éléments, ce qui ouvre la possibilité de créer des dispositifs souples comportant plusieurs niveaux d'éléments simples ou composés de divers composants électroniques [Kim-08], [Kim-09], [Lee-06], [Meitl-06].

1.1.3.1.2 Transfert direct sur substrat souple

Le transfert direct sur substrat souple est basé sur la dissolution d'une couche enterrée positionnée sous le film actif intégrant les dispositifs ou les circuits à reporter. Ces derniers peuvent donc être réalisés de façon conventionnelle sur un substrat rigide, typiquement une tranche SOI. Après réalisation des dispositifs, un support temporaire est collé afin d'assurer une rigidité mécanique pendant et après amincissement du substrat (Figure 1.10.a-d). La mise en contact avec un substrat souple recouvert d'un film adhésif puis le décollement du support temporaire permettent de réaliser le transfert (Figure 1.10.e-f) [Ahn-06-2], [Menard-04], [Yuan-06-1].

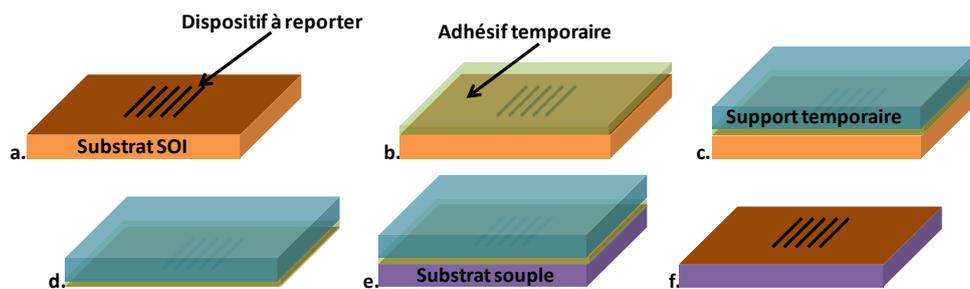


Figure 1.10 - Schéma décrivant les méthodes de report de circuits finalisés par amincissement du substrat initial ou dissolution d'une couche enterrée

Par ailleurs, l'implantation ionique peut être utilisée comme technique de dopage, mais également permettre le clivage d'une tranche SOI pour séparer une couche d'épaisseur contrôlée, libérant ainsi les éléments à reporter du reste de substrat initial. Cependant, cette méthode peut causer des problèmes de *mismatch* thermique. Le film souple se déforme alors, provoquant des problèmes d'alignement [Yuan-06-2], [Yuan-07], [Zhang-12].

Alternativement, le substrat initial peut être entièrement aminci jusqu'à l'épaisseur souhaitée au lieu de libérer le film contenant les dispositifs. Comme précédemment, un support temporaire peut tout d'abord être ajouté. Le substrat initial est ensuite aminci par différentes méthodes (meulage, polissage, attaque plasma,...) et une étape d'élimination des contraintes par polissage est nécessaire en fin de processus. Le film aminci est alors transféré sur un substrat flexible par collage puis décollement du substrat temporaire [Kao-05-1], [Kao-05-2], [Zhai-12].

Une autre méthode appelée UTTB (*Ultimate Thinning and Transfer-Bonding*) permet de dissocier totalement la fabrication du circuit et son transfert sur un substrat

flexible. L'idée est d'amincir de façon extrême le substrat initial avant de coller le dispositif sur film souple. Cette technique permet de bénéficier des technologies les plus avancées sans avoir à surmonter des procédés de fabrication inextricables et les problèmes de compatibilité des matériaux introduits par un support plastique. En outre, ces circuits intègrent plusieurs couches d'interconnexions, ce qui permet la réalisation de systèmes complexes. Cependant, l'application de contraintes peut modifier significativement le transport des porteurs de charge selon leur direction et leur symétrie. Ces contraintes sont par essence aléatoires et leur impact doit être minimisé, le cas le plus défavorable étant la flexion dans la direction du courant [Skotnicki-08]. Afin de s'affranchir de cette limitation intrinsèque, la notion de plan neutre permet d'appliquer des contraintes agressives tout en maintenant un niveau minimum de contraintes dans le circuit. Comme le montre la Figure 1.11, il s'agit d'un plan perpendiculaire au plan de coupe où il n'y a ni compression ni étirement. Dans un système multicouche, il est défini, au premier ordre, par l'équation suivante : $\delta = \frac{\sum_i z_i E_i t_i}{\sum_i E_i t_i}$ avec E_i représentant le module d'Young, t_i l'épaisseur et z_i la position de chaque couche. Cette relation indique clairement que l'ajout d'un film fin rigide sur un film organique souple (avec un faible E_i) a tendance à déplacer le plan neutre vers l'interface entre les deux couches ou éventuellement dans le film rigide. Le principe est alors d'associer un matériau épais souple à un film ultrafin rigide pour placer le plan neutre à proximité de l'interface. Suivant cette philosophie, les variations de la mobilité électronique dues à l'effet piézorésistif sont alors minimisées [Lecavelier-11], [Lecavelier-13-1], [Lecavelier-13-2], [Lecavelier-14].

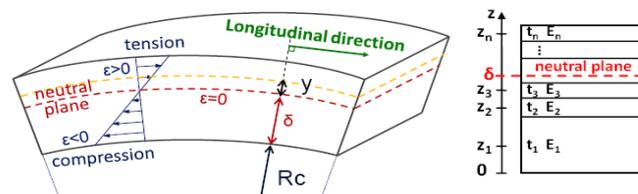


Figure 1.11 - Représentation schématique d'un matériau multicouche soumis à une contrainte cylindrique de rayon de courbure R_c (à gauche) et d'un empilement de n couches différentes ayant chacune une épaisseur t_i et un module d'Young E_i donnés [Lecavelier-13-1]

1.1.3.2 Applications

1.1.3.2.1 Transistors

Selon le Tableau 1.5, de nombreux matériaux sont utilisés afin de fabriquer des transistors toujours plus performants. Par exemple, l'emploi de nanotubes de carbone permet de réaliser des dispositifs possédant une grande mobilité intrinsèque (jusqu'à $2500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$), un fort niveau de courant ainsi que d'exceptionnelles propriétés mécaniques et optiques. Les fréquences de coupures obtenues sont de l'ordre du gigahertz [Cao-06], [Cao-08], [Sun-11].

Par ailleurs, il est possible de reporter des microfils à caractère métallique fabriqués par lithographie sur un film souple, l'idée étant de créer une couche active pour des dispositifs à hautes performances. Cette technique permet d'obtenir des mobilités électroniques très élevées et des capacités parasites très faibles. Cependant, cette opération

reste très délicate car les microfils sont très fragiles et peuvent se rompre durant le report [Sun-05], [Sun-06-1], [Sun-06-2], [Wang-12].

Tableau 1.5 - Quelques exemples de transistors fabriqués par transfert sur film souple

Type	Méthode de fabrication	Longueur de la grille (μm)	Mobilité électronique ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	On/off ratio	F_T (GHz)	Remarques	Références
TFT	Transfert indirect	-	240	10^4	-	-	[Zhu-05]
		-	$> 0,5$	$> 10^5$	-	Présence de nanotubes de carbone	[Cao-06]
0,12		-	-	33	μ -structures en AlGaIn/GaN	[Lee-06]	
5		8500	10^6	2	Fibres fragiles en GaAs	[Sun-06-1], [Sun-06-2]	
$> 0,075$		2300	500	105	μ -fibres en InAs	[Wang-12]	
n-MOSFET	Transfert direct	0,06	-	-	150	Report d'une puce complète	[Lecavelier-11]
p-MOSFET					100		
HEMT		0,1	7400	-	120	-	[Shi-11]
		0,12	1780	-	32	-	[Defrance-13]
TFT	Transfert direct/indirect	1	-	-	3,8	Alignement local	[Sun-10]
n-MOSFET	Exfoliation	0,15	252	10^6	-	Substrat Si de 25-30 μm	[Zhai-12]
p-MOSFET			51				

La méthode de fabrication est également importante pour obtenir de bonnes performances. Par exemple, l'équipe de Sun utilise un procédé d'alignement local. En effet, dans le domaine des radiofréquences, plus de 99% du substrat souple est recouvert d'éléments passifs (qui ne nécessitent aucun alignement) et un nombre limité de composants actifs requérant une étape de lithographie par niveau de masquage. L'idée est donc de créer un masque local afin d'aligner seulement les parties nécessaires et, par conséquent, de diminuer les coûts de fabrication [Sun-10]. Une méthode similaire permet de reporter, au moyen d'un tampon, chaque élément individuellement sur n'importe quel type de surface (plastique, métal, papier, tissu, verre, etc...) [Chung-11]. Par ailleurs, un procédé appelé CINE (*Combination of Interconnects and Electronics*) permet de reporter des contacts et des interconnexions métalliques, fabriqués de façon standard, sur un substrat extensible avant le "collage" de composants électroniques via un film conducteur. Ce procédé peut être utilisé dans la fabrication de capteurs, d'écrans, de systèmes de communication et de calcul [Hu-11].

1.1.3.2.2 Composants divers

Outre la réalisation de transistors hautes performances, les techniques de report permettent la fabrication de nombreux composants électroniques comme, par exemple, des cellules SRAM, des amplificateurs à faible bruit ou des lignes coplanaires (Figure 1.12.a et .b). De nombreuses applications sont également possibles dans le domaine des micro-ondes et des communications sans fil [Kao-05-1], [Kao-05-2], [Kao-06], [Kao-08], [Seo-13], [Shahrjerdi-12], [Sharifi-13]. Ces dispositifs sont capables de se déformer afin de s'adapter aux courbures de divers objets sans perdre de leurs performances (Figure 1.12.c). Par ailleurs, des éléments micro- ou nanométriques (films fins, nanofibres,

microstructures) peuvent être incorporés dans la couche active des circuits souples pour améliorer les dissipations thermiques par exemple [Feng-11], [Kim-08], [Park-12].

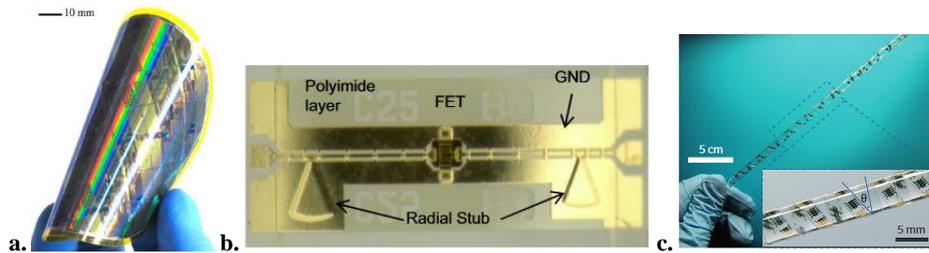


Figure 1.12 - Quelques exemples de circuits souples : a. transistors hautes performances [Shahrjerdi-12], b. amplificateur faibles bruits [Sharifi-13], c. dispositifs souples enroulés autour d'un tube [Park-12].

Des capteurs thermocouples sont collés via une couche de polyimide sur un film de cuivre pour améliorer les dissipation thermique tout en facilitant la méthode de fabrication et en isolant électriquement le circuit. Cette approche permet de concevoir des circuits sur de grandes surfaces métalliques comme des panneaux solaires ou des circuits flexibles [Mutyalala-14]. Par ailleurs, il est possible de fabriquer des capteurs sur un substrat rigide à plat avant de les installer sur des cathéters (Figure 1.13), l'idée étant de faciliter certains examens médicaux [Mimoun-13].

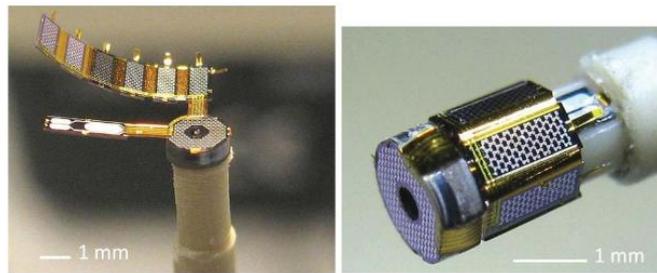


Figure 1.13 - Montage d'un capteur à ultrasons sur un cathéter de 2 mm de diamètre [Mimoun-13]

Des cellules solaires GaInP/GaAs ultra fines ont été conçues afin de réaliser des modules photovoltaïques extensibles (Figure 1.14.a). Sur les Figure 1.14.b et .c, les rendements obtenus sont de l'ordre de 20% avec des courants de court-circuit de $9,8 \text{ mA.cm}^{-2}$ et des tensions en circuit ouvert de 2,28 V. Cette technologie peut être utilisée dans la fabrication de composants semi-conducteurs tels que des écrans, des DELs ou encore des circuits intégrés [Lee-12].

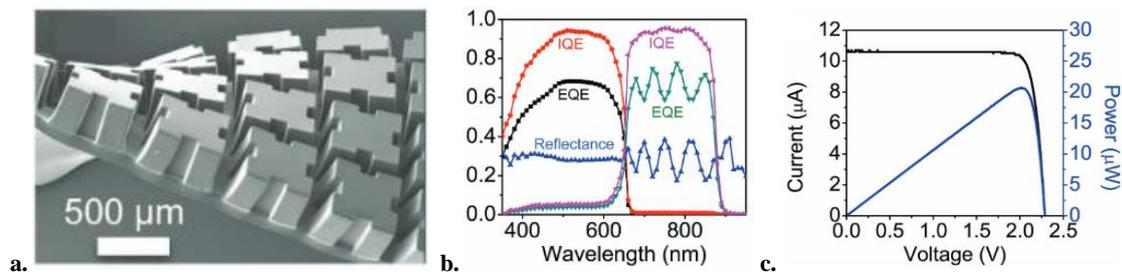


Figure 1.14 - a. Photographie MEB de cellules photovoltaïques, ainsi que b. et c. leurs caractéristiques électriques [Lee-12]

Des cellules RRAM (*Resistive Random Access Memory*) peuvent être reportées sur film plastique via un procédé d'exfoliation utilisant une couche sacrificielle pouvant être décollée par exposition au laser (Figure 1.15). Elles sont composées d'une mémoire résistive et d'un commutateur pour prévenir les interférences entre cellules, ces éléments peuvent être remplacés par des transistors ou memristors. Cette technique offre une stratégie facile et robuste pour fabriquer des mémoires non-volatiles flexibles avec une haute densité d'intégration puis pour la réalisation de systèmes électroniques plus complexes [Kim-11-2], [Kim-14].

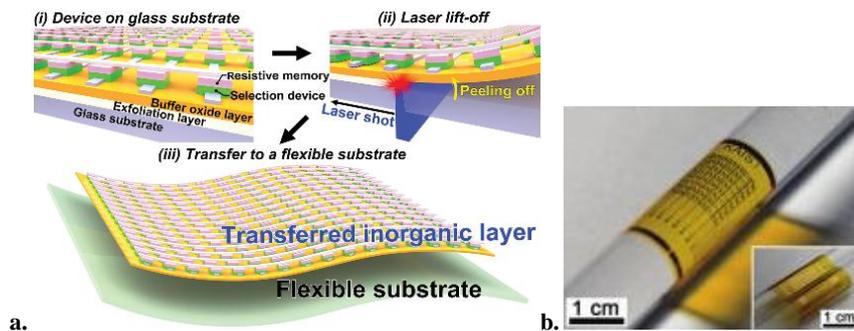


Figure 1.15 - a. Méthode de fabrication [Kim-14] et b. Photographie d'une mémoire RRAM appliquée sur différents supports [Kim-11-2]

En superposant en quinconce une couche élastomérique contenant plusieurs cathodes sur une autre composée d'anodes (Figure 1.16.a), l'équipe de Liang *et al.* a réussi à fabriquer une matrice souple de cinq DELs organiques par cinq ayant chacune une luminance de 2200 cd.m^{-2} pour une tension de 21 V (Figure 1.16.b). Cette technique pourrait également s'appliquer dans la fabrication de transistors, de polymères électroluminescents élastiques et d'écrans totalement déformables [Liang-13].

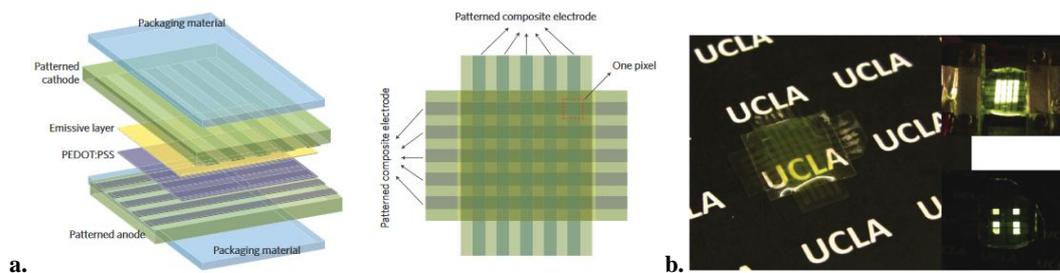
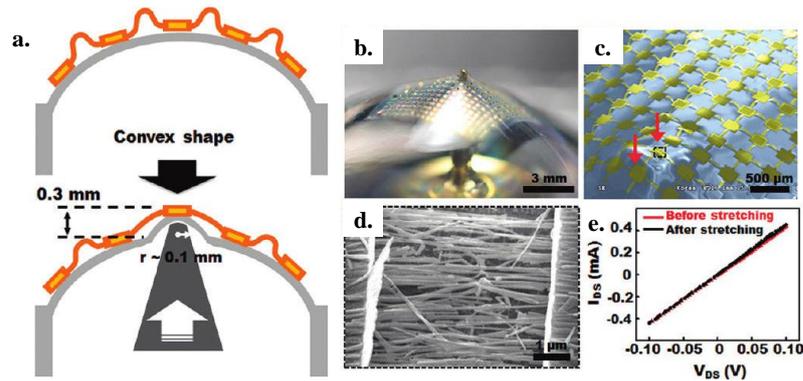


Figure 1.16 - a. Procédé de fabrication et b. Photographie d'un écran OLED déformable (à droite, écran totalement ou partiellement allumé) [Liang-13]

Par ailleurs, un système d'inverseurs reliés entre eux par des nanofils est reporté sur un élastomère. Une fois courbé et étiré au maximum, ce dispositif possède une mobilité de $80 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}$, une tension seuil de 0,7 V et un gain de 4,8 (Figure 1.17). Ce montage peut être utilisé pour fabriquer des patchs épidermiques, des implants ou des capteurs hautes performances [Shin-11].



1.1.3.2.3 Dispositifs bio-intégrés

Les avancées faites dans le domaine de l'électronique flexible ont rendu possible la fabrication de dispositifs de haute qualité dont la forme leur permet de s'adapter aux surfaces lisses, curvilignes et dynamiques du corps humain. Cette fonctionnalité crée de nouvelles opportunités, notamment dans l'étude des maladies, l'amélioration des actes chirurgicaux, le suivi des patients et la conception d'interfaces homme-machine [Interwoven-01], [Dewire-10], [Hochberg-06]. Dans ce paragraphe, nous présenterons l'emploi de ces technologies dans le cadre d'examen pouvant être pratiqué sur le cerveau, le coeur et la peau.

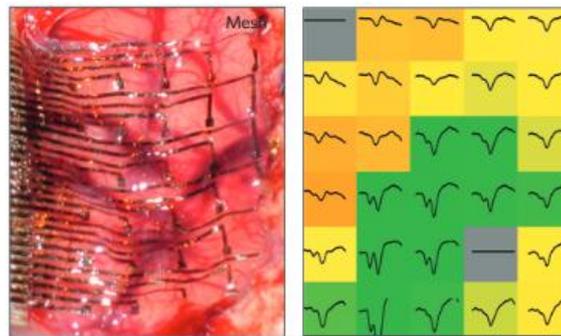


Figure 1.18 - Photographie et cartographie d'une électrode ultra fine ($\sim 2,5 \mu\text{m}$) posée à la surface du cerveau après dissolution du substrat temporaire [Kim-10]

Afin de collecter le signal neuronal dans le cadre de maladies comme l'épilepsie, de grandes électrodes peuvent être mises en contact avec le tissu cérébral, comme le montre la Figure 1.18. Celles-ci ont la particularité d'être fabriquées sur un film composé principalement de protéines de soie. Ce film possède la particularité de se dissoudre dans les tissus vivants sans dégrader les performances des composants. Cette technique est compatible avec l'optoélectronique et la plupart des composants actifs ou passifs. Cependant, ce type d'électrode peut être la cause d'inflammation et de détérioration des tissus vivants due aux micromouvements des tissus cérébraux. Par conséquent, le signal reçu par le capteur peut être dégradé [Kim-10], [Kim-12].

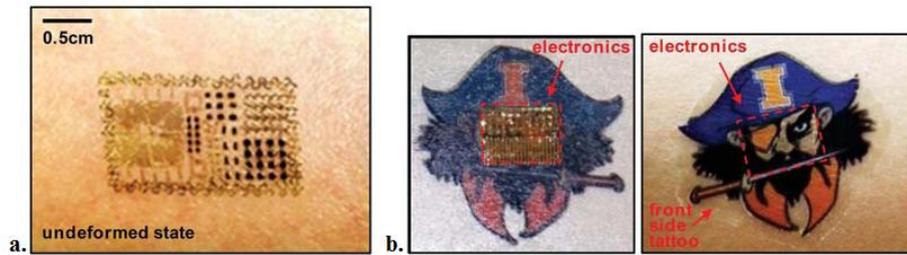


Figure 1.19 - Photographie d'un capteur multifonctionnel a. collé sur la peau, b. sous la forme de tatouage épidermique [Kim-11-1]

Des capteurs peuvent également être posés sur la peau afin de surveiller les constantes vitales d'un patient. Cependant, les gels conductifs utilisés pour coller les électrodes peuvent provoquer inflammation et inconfort. D'où l'idée de "tatouer" le capteur sur la peau afin de diminuer ces désagréments et améliorer les performances de ce dispositif. Cette électrode, présentée Figure 1.19.a, est composée de capteurs multifonctionnels, de DELs, de circuits actifs et/ou passifs (transistors MOSFET, diodes, résistances), d'une source d'énergie et d'un module de communication radiofréquence composé d'inductances, de capacités, d'oscillateurs et d'une antenne. Tous ces éléments sont intégrés au sein d'une membrane élastomérique de 30 μm d'épaisseur. Par la suite, un film hydrosoluble permet de transférer le dispositif sur la peau à la manière d'un "faux tatouage" (Figure 1.19.b), le tout étant fixé par les forces de Van der Waals [Kim-11-1], [Kim-12].

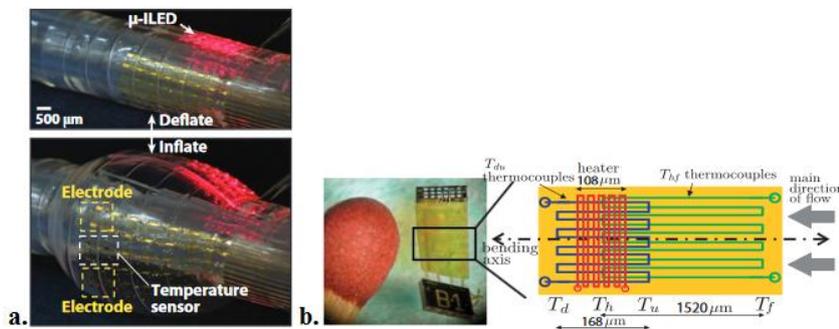


Figure 1.20 - a. Photographie d'un cathéter gonflable [Kim-12], b. Photographie et schéma de principe d'un capteur de température [Horst-13]

Par ailleurs, des capteurs, des surfaces multi-électrodes et des cathéters gonflables peuvent être intégrés au sein d'un seul cathéter multifonctionnel pour soigner une arythmie ou des lésions cardiaques. Il est également possible de mesurer la température et le flux sanguin dans certaines artères au moyen d'un capteur de température [Kim-12], [Horst-13]. Ces dispositifs sont présentés Figure 1.20.

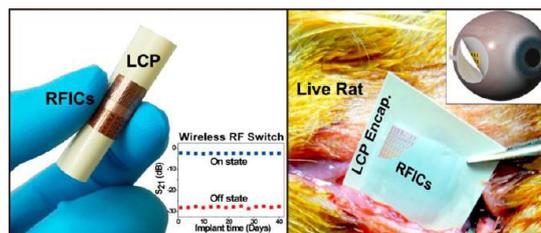


Figure 1.21 - Photographies d'un composant radiofréquence implanté sous la peau [Hwang-13]

Des circuits radiofréquences à hautes performances flexibles sont totalement recouvert de polymères à cristaux liquides permettant ainsi leur implantation dans les tissus vivants (Figure 1.21). Ces dispositifs ont une durée de vie de deux ans. Ce procédé peut être utilisé aussi bien dans le domaine des communications sans fil que dans la médecine pour fabriquer des implants rétiniens par exemple [Hwang-13].

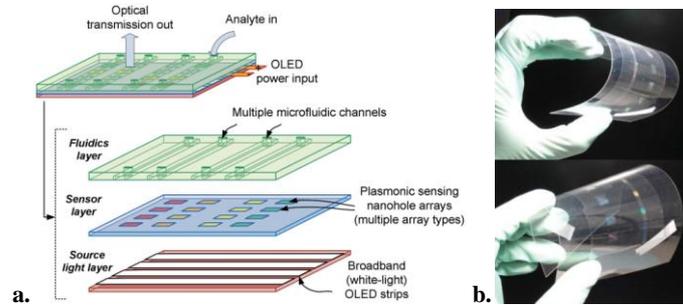


Figure 1.22 - a. Schéma de principe et b. Photographie d'un capteur biochimique [Chuo-13]

Une plateforme de capteurs biochimiques contenant différents types de nanocavités est fabriquée sur un film plastique (Figure 1.22). L'idée est d'utiliser un moule en quartz afin de modeler le composant. Cette méthode permet d'avoir des capteurs sélectifs, réutilisables, économiques et faciles à réaliser. Les domaines d'applications sont vastes allant de la médecine à l'automobile [Chuo-13].

1.1.3.3 Vers l'intégration hétérogène

L'intégration hétérogène est l'assemblage de divers matériaux et/ou composants au sein d'un seul et même système. Le collage de wafers est une technique permettant de coller atomiquement ensemble des semi-conducteurs et/ou des oxydes en utilisant la pression et la température. Cette méthode est très utile pour rendre un substrat receveur compatible avec les technologies semi-conductrices. Par ailleurs, les connexions ainsi que les contacts électriques peuvent être fait durant (*Via-first approaches*) ou après la phase de report (*Via-last approaches*). Un aperçu de ces différentes méthodes est présenté au Tableau 1.6. Cependant, le procédé de transfert peut dégrader le substrat receveur ainsi que les composants de petite taille [Gösele-99], [Jokerst-03], [Lapisa-11].

L'intégration de films fins permet d'intégrer des composants de faible épaisseur sur un substrat receveur pour former un microsystème intégré. Dans ce cas, la topographie du dispositif reste stable jusqu'à une épaisseur de quelques microns. Par ailleurs, les deux côtés du dispositif peuvent être processés et des structures 3D implémentées. Le cas échéant, les substrats qui absorbent optiquement peuvent être retirés. Cependant, ces films fins peuvent être transférés et collés avant ou après avoir retiré le substrat d'origine. Cette méthode a permis l'intégration hétérogène de microsystèmes ouvrant la voie à de nombreuses applications, notamment dans le domaine de l'optoélectronique [Jokerst-00], [Jokerst-97], [Seo-02], [Jokerst-03]. De nombreux exemples d'intégration hétérogène commencent à apparaître dans le domaine de l'électronique flexible. Par exemple, un procédé d'auto-assemblage a été utilisé pour fabriquer des composants (DELs, interconnexions) sur une surface non-plane (Figure 1.23.a) [Chung-06]. La fabrication d'un

circuit analogique/numérique sur film plastique (Figure 1.23.b) a également été démontrée [Rempp-08]. Par ailleurs, une puce électronique, une batterie, des interconnexions et des électrodes ont été intégrés hétérogènement sur un film plastique afin de créer un biocapteur (Figure 1.23.c) capable de mesurer les constantes vitales d'un patient et d'effectuer des examens médicaux [Xie-12].

Tableau 1.6 - Aperçu des méthodes d'intégration hétérogène pour composants MEMS [Lapisa-11]

	Procédé	Avantages	Inconvénients
<i>Via-first approaches</i>	Intégration de dispositifs complets ou partiels fabriqués sur un substrat partiellement aminci	Formation des contacts durant le collage	Réduction de taille limité Alignement requis
	Report de matériaux ou composants prédéfinis	Formation des contacts durant le collage	Réduction de taille limité Alignement requis
<i>Via-last approaches</i>	Intégration de dispositifs complets	Optimisation possible	Alignement requis Procédé post-collage
	Intégration de matériaux sur substrat aminci puis fabrication des composants	Dimensions et contacts extrêmement petits possibles	Procédé post-collage
	Report de matériaux puis fabrication des composants	Dimensions et contacts extrêmement petits possibles Pas d'alignement	Procédé post-collage
	Intégration de dispositifs complets ou partiels fabriqués sur un substrat partiellement aminci	Dimensions et contacts extrêmement petits possibles	Alignement requis Procédé post-collage
	Report de dispositifs complets ou partiels	Dimensions et contacts extrêmement petits possibles	Alignement requis Procédé post-collage

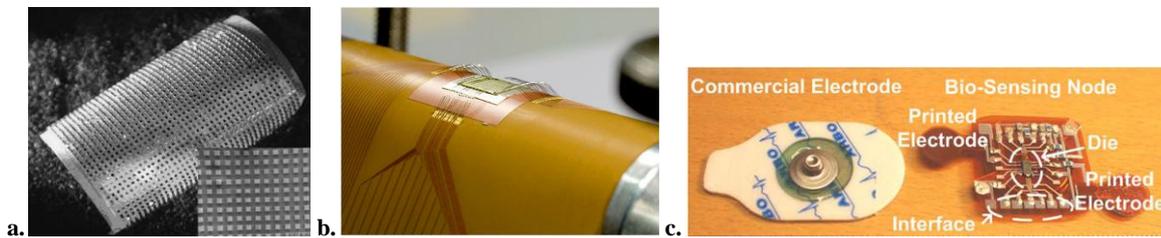


Figure 1.23 - Photographie de a. divers composants transférés sur une surface courbée [Chung-06], b. une puce électronique reportée sur un film plastique [Rempp-08], et c. un bio-capteur [Xie-12]

1.1.4 Synthèse

Afin de réaliser des composants alliant hautes performances électriques et haute flexibilité mécanique, de nombreuses technologies ont vu le jour sur la dernière décennie. Selon le type d'application visée, certaines propriétés électriques et mécaniques sont recherchées. L'objectif de ces travaux est la réalisation de composants électroniques flexibles hautes performances. L'état de l'art des technologies flexibles existantes présenté dans ce chapitre s'est focalisé sur la description des méthodes de fabrication ainsi que des différentes applications qui en découlent. L'électronique imprimée a d'abord été considérée. Même si cette technologie peut être utilisée dans de nombreux systèmes, les performances obtenues restent faibles comparées aux technologies semi-conductrices. Par ailleurs, ces dispositifs ne comportent souvent qu'un seul niveau d'interconnexion ne permettant pas la synthèse de fonctions complexes. Le report de technologies matures sur substrat souple a alors été envisagé. Cette technique permet de bénéficier de la flexibilité

mécanique du support tout en conservant les propriétés électroniques de l'élément originel. Pour cela, le circuit doit être inclus dans le plan neutre du système où il ne subira aucune contrainte mécanique et, par conséquent, aucune modification de ses propriétés électriques. Cette approche offre la possibilité de disposer de systèmes complexes comportant plusieurs niveaux d'interconnexion à faible coût additionnel. De plus, l'intégration hétérogène permet d'intégrer plusieurs fonctions au sein d'un même dispositif. Dans ce contexte, les travaux, décrits dans les chapitres suivants, ont été réalisés en partenariat avec *STMicroelectronics*. Le but de ce projet est d'obtenir une technologie mature et fiable possédant des propriétés spécifiques selon l'application visée comme la flexibilité mécanique, les dissipations thermiques et la transparence optique. La technologie RF CMOS sur substrat SOI a été choisie pour ces travaux, elle sera décrite dans la suite de ce chapitre. Les raisons ayant guidé ce choix sont liées aux performances dans le domaine des hautes fréquences, à la bonne compréhension des modèles et à la présence d'oxyde enterré qui facilite le transfert sur film souple. Le projet comporte ainsi différents axes d'étude. Tout d'abord, le procédé de fabrication nécessite d'amincir des circuits CMOS-SOI jusqu'à l'oxyde enterré avant d'être reporté sur film souple. Cette étude sera présentée au chapitre 2. Par ailleurs, l'impact du substrat receveur sur le circuit reporté sera ensuite étudié dans les deux derniers chapitres. L'objectif final de ce document est de développer et caractériser une méthodologie qui présente un haut niveau de performance électrique associé à la flexibilité mécanique et de meilleures propriétés intrinsèques telles que leur capacité à dissiper la chaleur ou leur sensibilité aux distorsions harmoniques.

1.2 Potentiel de la technologie SOI-CMOS dans le domaine de l'électronique flexible

1.2.1 Technologie Silicon-on-Insulator (SOI)

1.2.1.1 Substrats SOI

La technologie SOI est une technologie basée sur des *wafers* composés d'une couche de silicium monocristallin sur un film isolant, en général du dioxyde de silicium, le substrat étant également en silicium monocristallin (Figure 1.24.a) [Colinge-97]. De nombreux procédés de fabrication existent comme la croissance épitaxiale de silicium sur une couche d'isolant [Colinge-97], [Celler-03], [Jastrzebski-89], la recristallisation d'une fine couche de silicium au moyen d'un laser [Colinge-85], la séparation de silicium via l'implantation de dioxygène [Izumi-78], [Hemment-87] ou le transfert d'un substrat de silicium sur un autre via un collage [Kimura-83], [Maszara-91], [Brael-95], [Brael-97].

A partir de ces diverses stratégies, trois méthodes de fabrication se sont développées depuis plusieurs décennies afin de produire des substrats SOI : SIMOX (*Separation by IMplantation of OXYgen*) [Izumi-78], [Hemment-87], BESOI (*Bonded and Etch-back SOI*) [Kimura-83], [Maszara-91] et *Smart Cut* [Brael-95], [Brael-97]. La première méthode s'appuie sur la formation d'une couche enterrée d'oxyde, alors que les deux autres s'appuient sur le collage de substrats de silicium.

1.2.1.1.1 Procédé SIMOX

Dans le procédé SIMOX, le substrat SOI est produit par implantation de dioxygène dans le but d'obtenir une couche d'oxyde enterré appelé BOX (*Burried OXyde*). Pour obtenir suffisamment d'ions oxygène sur une épaisseur donnée sous la surface du silicium, une haute dose est requise. Cependant, les mailles cristallines peuvent être fortement endommagées dans la couche SOI. L'implantation est alors faite à une température de 600°C afin de préserver la nature monocristalline de la couche SOI. Finalement, une dernière étape de recuit à haute température est nécessaire pour faciliter la formation de dioxyde de silicium et réduire la densité de défauts dans la couche de silicium [Celler-03], [Kimura-83], [Maszara-91].

1.2.1.1.2 Procédé BESOI

Le procédé BESOI repose sur le collage et l'amincissement d'un substrat de silicium *bulk*, l'épaisseur de la couche SOI est alors contrôlée par l'étape d'amincissement. Mais le meulage et le polissage permettent d'obtenir des épaisseurs de film SOI d'une dizaine de microns environ d'une uniformité acceptable [Celler-03]. L'introduction d'une couche d'arrêt (par implantation de bore) et l'amincissement sélectif final permettent un contrôle plus fin de l'uniformité de la couche SOI [Kimura-83], [Maszara-91]. Cependant, deux substrats de silicium *bulk* sont nécessaires à la réalisation d'un substrat SOI.

1.2.1.1.3 Procédé Smart Cut

Le procédé *Smart Cut* de chez SOITEC (Figure 1.24.b) permet de produire des substrats SOI possédant une excellente uniformité d'épaisseur et un cristal de bonne qualité sur la couche de SOI à faible coût [Bruel-95], [Bruel-97].

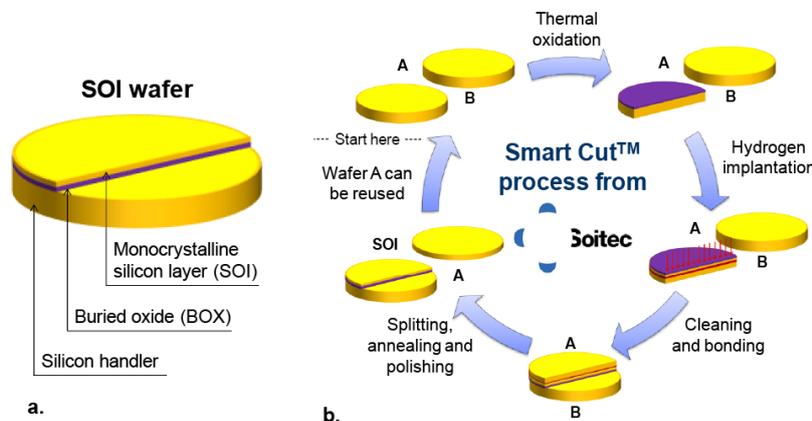


Figure 1.24 - a. Représentation schématique d'un substrat SOI, b. Schéma de principe du procédé *Smart Cut*™ permettant la fabrication de substrats SOI (SOITEC) [Bruel-95], [Bruel-97].

Comme le montre la Figure 1.24.b, quatre étapes sont nécessaires à la fabrication de substrats SOI [Bruel-95], [Bruel-97], à savoir : (i) Implantation ionique, (ii) Collage des substrats, (iii) Séparation par chauffage et (iv) Polissage fin. Deux substrats de silicium *bulk* sont alors utilisés. Le premier est recouvert d'une couche isolante (habituellement du dioxyde de silicium) puis implanté d'ions hydrogène. Les substrats sont alors nettoyés afin d'enlever les résidus organiques, les oxydes natifs et les métaux qui peuvent dégrader la qualité du collage. Les deux substrats sont alors mis en contact et collés par adhésion

hydrophilique. Puis, une étape de séparation est effectuée par application d'un budget thermique (400-600°C) sur le substrat collé. Durant cette montée en température, les ions hydrogène induisent la formation de microcavités sur la surface complète du substrat, la séparation se fait alors au niveau du pic implanté d'ions hydrogène. La couche d'oxyde enterré et la fine épaisseur de silicium sont ainsi transférées sur le deuxième substrat, donnant ainsi la structure SOI. Un deuxième budget thermique (environ 1100°C) permet de renforcer la liaison chimique entre la surface du deuxième substrat et la couche de dioxyde de silicium. Cependant, le procédé génère des microrugosités qui doivent être éliminées par polissage fin. Le premier substrat peut alors être utilisé pour un nouveau cycle. Actuellement, il s'agit du principal procédé de fabrication de substrats SOI [Celler-09].

1.2.1.2 Technologie CMOS-SOI

Une comparaison de transistors à effet de champ (MOSFET) fabriqués sur des technologies *bulk* et SOI est représentée aux Figure 1.25.a-c. La couche d'oxyde enterré dans le substrat SOI fournit une isolation verticale entre la couche active de silicium (également appelée SOI) et le support de silicium *bulk*. Les Figure 1.25.d-e sont des images prises en microscopie électronique à transmission (TEM) de transistors MOSFET SOI. La Figure 1.25.d montre un seul doigt de grille ainsi que les zones dopées de source et drain, l'oxyde de grille et les espaceurs autour de la grille, comme représenté dans le schéma ci-dessous. La Figure 1.25.e fournit une vue large montrant plusieurs doigts de grille ainsi que la première couche de métallisation fournissant les contacts avec la source et le drain.

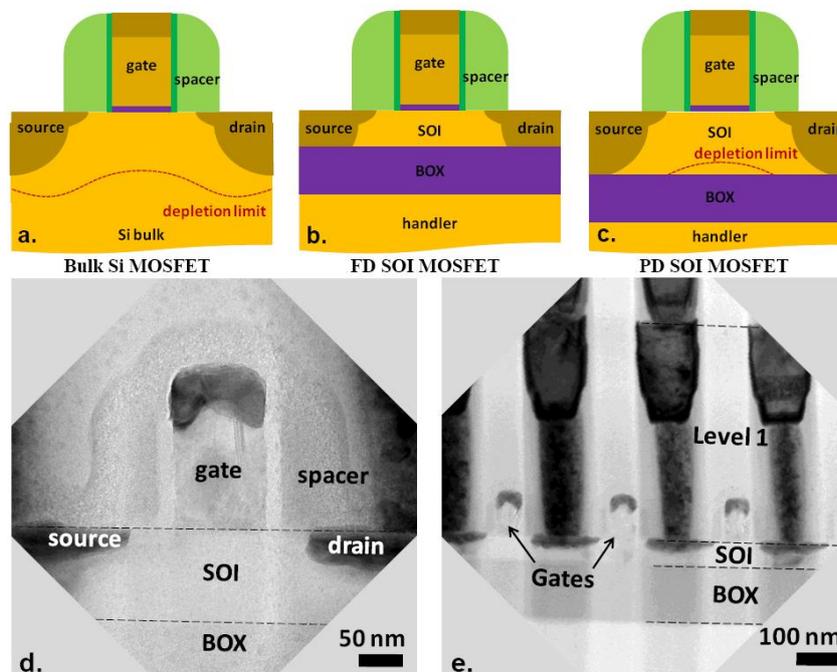


Figure 1.25 - Schémas de a. un MOSFET sur un *wafer* de silicium *bulk*, b. un FD MOSFET sur substrat SOI, c. un PD MOSFET sur substrat SOI. Les zones de déplétions sont indiquées. d. Image TEM d'un doigt de grille d'un FD SOI MOSFET, et e. Image TEM d'une vue large montrant plusieurs doigts de grille d'un FD SOI MOSFET [Lcavelier-13-1]

Dans la technologie SOI, l'épaisseur de la couche active peut être modulée afin d'obtenir des dispositifs totalement ou partiellement déplétés (Figure 1.25.b-c). Dans les transistors PD MOSFET, la partie basse de la couche active n'est pas complètement déplétée par les porteurs majoritaires. Cette partie peut être en contact ou flottante (plus de détails dans [Martineau-08], [Waldhoff-09-1]).

La technologie CMOS SOI possède deux avantages décisifs sur la technologie CMOS *bulk*, à savoir un nombre réduit d'étapes de fabrication et une production croissante [Colinge-97]. Par ailleurs, la technologie SOI bénéficie également de la couche d'oxyde enterré qui fournit une meilleure résistance aux effets parasites, améliore les performances, diminue la consommation d'énergie et mène à une meilleure densité d'intégration [Martineau-08], [Colinge-97], [Celler-03], [Pelloie-01].

1.2.1.2.1 Meilleure résistance aux effets parasites

La technologie SOI présente plusieurs avantages comparée à la technologie *sur substrat massif*. Tout d'abord, la présence d'une couche d'isolant enterré augmente la résistance aux effets parasites habituellement observés dans la technologie *bulk*. En effet, la technologie SOI fournit de plus faibles capacités parasites, réduisant ainsi les courants de fuite. Par ailleurs, elle possède une immunité complète aux effets de *Latch-up*, améliore la résistance aux radiations et, grâce à la présence de BOX, est moins sensible aux variations de température [Colinge-97], [Celler-03], [Pelloie-01].

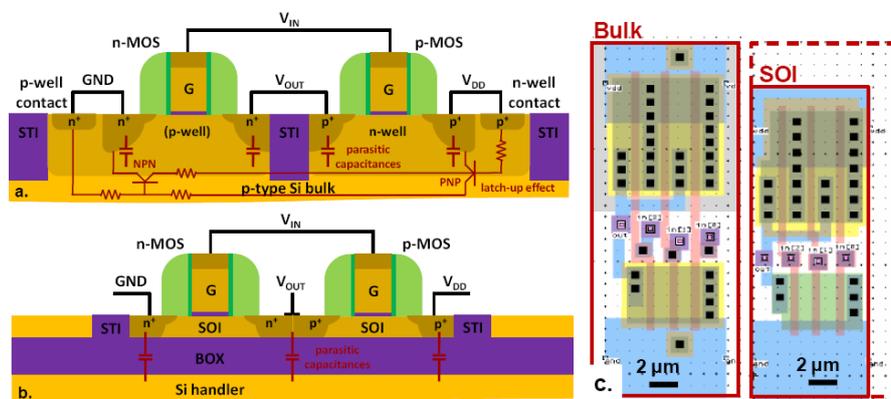


Figure 1.26 - Représentation schématique de la section de coupe d'un inverseur CMOS a. sur substrat de silicium *bulk* et b. sur substrat SOI [Martineau-08], [Colinge-97], [Pavageau-05], c. Exemples de *layout* sur substrat *bulk* (à gauche) et SOI (à droite) d'une porte NAND démontrant une réduction de ~25-30% sur substrat SOI [Simonen-01].

Dans la technologie CMOS *bulk*, les capacités de jonction source-substrat et drain-source sont observées à cause du dopage important de ces zones (Figure 1.26.a). Dans la technologie SOI, le BOX diminue les capacités parasites [Martineau-08], [Celler-03], ce qui a pour conséquence de réduire les courants de fuite, d'améliorer les performances et de diminuer la consommation d'énergie, comme indiqué précédemment.

L'effet de *Latch-up* consiste dans l'activation des structures parasites des transistors bipolaires présents dans les caissons des transistors n- et p-MOSFET. Cet effet peut provoquer des courts-circuits entre V_{DD} et GND dans un inverseur CMOS (Figure 1.26.a)

[Martineau-08], [Colinge-97]. Un moyen d'en prévenir l'apparition dans la technologie *bulk* est d'utiliser un substrat fortement dopé [Martineau-08]. En technologie SOI, le BOX permet une isolation complète des dispositifs de type n- et p-, supprimant ainsi l'effet de *Latch-up* [Martineau-08], [Colinge-97], [Celler-03]. Un substrat à haute résistivité peut être utilisé, d'où des inductances à haut facteur de qualité et une atténuation faible dans les lignes de transmission [Martineau-08], [Gianesello-07-1], [Gianesello-07-2], [Martineau-07]. A ses débuts, la technologie SOI était dédiée au marché de niche de l'électronique en environnement hautement radiatif (dans le domaine spatial par exemple). En effet, les radiations peuvent induire la génération de paires électron/trou dans le silicium. Ce phénomène a un impact limité sur les caractéristiques du transistor car la majorité des paires électron/trou se forme dans le substrat de silicium qui est isolé de la couche active par le BOX [Cristoloveanu-01]. Finalement, les courants de fuite dans la technologie *bulk* augmentent avec la température. Cependant, la présence du BOX dans la technologie SOI permet de diminuer les variations de performance et ainsi d'opérer à haute température [Celler-09].

1.2.1.2.2 Performances améliorées et faible consommation d'énergie

Les technologies basées sur les substrats SOI bénéficient du fait que la couche active est séparée du support de silicium par une couche isolante et que la source et le drain sont en contact avec le BOX. Cette isolation verticale protège la couche active des effets parasites comme la formation de capacités entre la source, le drain et le substrat [Martineau-08], [Celler-03]. Par conséquent, les performances sont améliorées et la consommation d'énergie diminuée, comme indiquées sur la Figure 1.27.a où des oscillateurs en anneaux basés sur une technologie CMOS 65 nm et fabriqués sur des *wafers* de silicium *bulk* et des *wafers* SOI sont comparés. A une tension et température données, les oscillateurs en anneau sur substrat SOI ont un produit puissance-délai 20% plus faible que leurs homologues sur *bulk* [Raynaud-09].

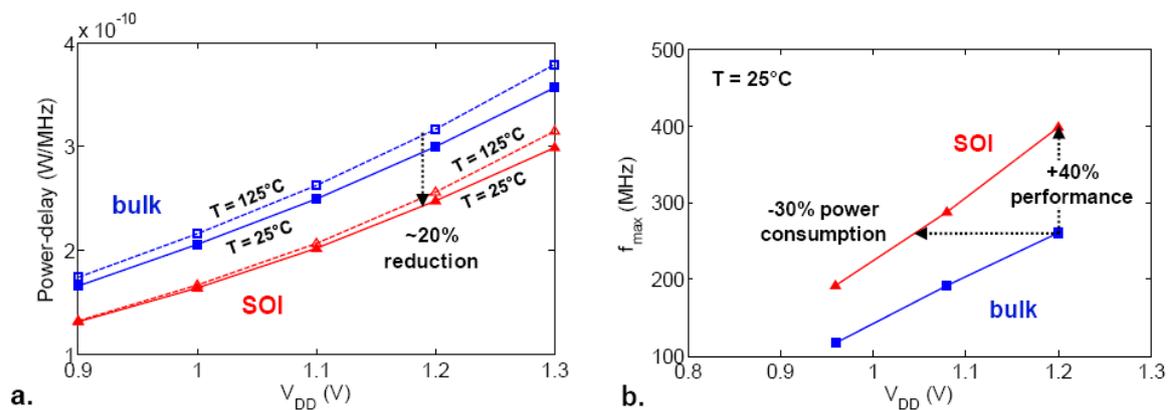


Figure 1.27 - Graphiques représentant a. les produits puissance/retard d'oscillateurs en anneau et b. la fréquence d'accès maximum d'une cellule SRAM basés sur une technologie CMOS 65 nm et fabriqués sur *bulk* (lignes bleues) et SOI (lignes rouges) [Raynaud-09]

Ces améliorations sont également démontrées dans la Figure 1.27.b où les fréquences d'accès de cellules SRAM (*Static Random-Access Memory*) sur technologies *bulk* et SOI sont comparées. A une tension donnée, la fréquence est supérieure de 40% sur

substrat SOI. Par ailleurs, la technologie SOI permet une diminution de la consommation d'énergie de 30% par rapport à la technologie *bulk* pour un même niveau de performance [Raynaud-09]. De plus, les transistors SOI MOSFET peuvent avoir des pentes sous le seuil proches de la valeur idéale de 60 mV/décade [Martineau-08], [Pavageau-05], [Colinge-86]. La pente sous le seuil est définie lors du régime de très faible inversion (c'est-à-dire pour une tension de grille inférieure à la tension de seuil) comme la variation de la tension de grille correspondant à un accroissement d'un facteur dix du courant de drain. La technologie SOI permet l'utilisation d'une tension de seuil plus faible sans dégrader I_{OFF} le courant de fuite à l'état bloqué, autorisant des opérations peu gourmandes en énergie [Colinge-86], [Iniguez-03], [Martineau-08], [Pavageau-05].

1.2.1.2.3 Meilleure densité d'intégration et conception du circuit simplifiée

Parmi d'autres avantages, la technologie SOI fournit également une isolation latérale compacte et facile entre les dispositifs de type n et p [Martineau-08]. En effet, dans la technologie *bulk*, la formation de puits implantés le long des contacts et l'isolement par tranchées peu profondes (STI : *Shallow Trench Isolation*) sont nécessaires. Des tranchées plus profondes que les puits implantés sont nécessaires pour assurer une isolation fiable [Colinge-97]. Dans la technologie SOI, la fabrication de l'isolation latérale nécessite seulement de graver des tranchées jusqu'au BOX, d'où un procédé plus simple (Figure 1.26.b). De plus, comme le BOX prévient la formation de structures *Latch-up*, les transistors de type n et p peuvent être disposés de façon plus proche les uns des autres, d'où l'obtention d'un circuit plus compact et une meilleure densité d'intégration (Figure 1.26) [Martineau-08], [Colinge-97], [Celler-03], [Pelloie-01], [Gianesello-07], [Pavageau-05], [Simonen-01].

1.2.1.2.4 Réduction de l'effet de canal court (SCE)

La réduction de la longueur de grille et donc du canal est associée à des effets parasites, appelés effets de canal court (*Short Channel effects*), entraînant une perte de contrôle électrostatique de la grille sur le canal. Le phénomène qui en est principalement responsable, s'appelle le partage de charges (*Drain Induced Barrier Lowering*). Pour un transistor long, le potentiel le long du canal est quasiment constant sur l'ensemble de la longueur de grille. Plus la longueur du canal va diminuer, plus l'influence des extensions des zones de charge d'espace des régions source et drain va s'accroître, diminuant ainsi la zone contrôlée par la grille. C'est l'effet du partage de charges qui a pour effet de modifier le potentiel au centre du canal et ainsi d'abaisser la barrière de potentiel source/ canal/ drain. La tension de seuil V_T chutant ainsi de manière incontrôlée, on assiste à une augmentation du courant de fuite I_{OFF} du transistor. Dans la technologie SOI, l'influence des zones de charge d'espace des régions source et drain est réduite, ce qui atténue leur impact sur le potentiel du centre du canal et par conséquent limite l'effet d'abaissement de la barrière de potentiel source/ canal/ drain, et donc l'effet de canal court [Arbess-12], [Bescond-04].

1.2.1.2.5 Technologie CMOS SOI dans l'électronique flexible

La technologie SOI est un candidat très prometteur pour des applications dans le domaine de l'électronique flexible [Celler-03], [Celler-09]. Grâce à la présence d'une couche d'oxyde enterré, des dispositifs hautement performants à faible consommation d'énergie peuvent être réalisés et les effets parasites diminués. De plus, le BOX peut être utilisé comme une couche d'arrêt dans les procédés d'amincissement (voir chapitre suivant).

1.2.2 Technologie LP SOI CMOS 65 nm

Dans cette section, nous étudierons une technologie mature SOI-CMOS 65 nm. Les transistors issus de cette technologie sont reconnus pour délivrer un niveau de performance adapté aux applications haute fréquence, faible bruit et faible consommation. De plus, la technologie CMOS 65 nm fournit un bon compromis entre performance à l'état de l'art, grand volume de production et bonne compréhension de ses caractéristiques. En effet, cette technologie mature a déjà été caractérisée ces dernières années. Par ailleurs, la compréhension de ces caractéristiques après transfert sur film souple tire partie de cette expérience. Les paragraphes suivants décrivent les caractéristiques statiques et dynamiques des dispositifs rigides dérivé d'une technologie SOI partiellement déplétée à substrat flottant fabriquée par *STMicroelectronics*. Les caractéristiques électriques présentées dans cette section seront centrées sur des transistors n-MOSFET possédant une longueur de grille L_g de 60 nm et une largeur totale de grille W_T de 64 μm (il s'agit d'une association en parallèle de grilles unitaires de 1 μm). En effet, l'optimisation du nombre et la largeur unitaire des doigts de grille montre que cette géométrie particulière autorise de bonnes performances en termes de montée en fréquence et de faible bruit [Waldhoff-09-2].

1.2.2.1 Caractéristiques statiques de transistors RF SOI CMOS 65 nm

Avant toute évaluation dans le domaine des hautes fréquences, les caractéristiques statique des transistors sont mesurées, notamment au travers des caractéristiques $I_{DS}-V_{DS}$ et $I_{DS}-V_{GS}$ (Figure 1.28). La caractéristique $I_{DS}-V_{DS}$ fournit des informations concernant le courant maximum de saturation : ici, environ 35 mA (c'est-à-dire environ 550 $\text{mA}\cdot\text{mm}^{-1}$) à $V_{DS} = 1,5 \text{ V}$ et $V_{GS} = 1 \text{ V}$.

Pour une faible tension de grille $V_{GS} < V_{th}$, c'est-à-dire en régime de conduction sous le seuil, seul un courant de diffusion peut circuler à travers le canal du transistor. Pour une faible tension de drain V_{DS} , c'est-à-dire $V_{DS} < (V_{GS} - V_{th})$, le transistor fonctionne en régime linéaire : un comportement purement résistif est alors constaté avec une résistance inversement proportionnelle à la tension de grille. Finalement, quand $V_{GS} > V_{th}$ et $V_{DS} > (V_{GS} - V_{th})$, le transistor MOSFET rentre en régime de saturation.

La Figure 1.28.a montre qu'entre le régime linéaire et saturé, la pente du courant de drain s'accroît soudainement, c'est l'effet Kink. Ce phénomène est présent dans la technologie SOI à substrat flottant pour une tension de drain élevée à cause de la génération par impact. En effet, l'important champ électrique au niveau de drain est à l'origine d'un mécanisme d'ionisation par choc, créant ainsi des paires électron/trou. Les

électrons sont évacués par le drain, tandis que les trous sont stockés dans le substrat du dispositif (le BOX empêche leur passage à travers le substrat, comme dans le cas de la technologie *bulk*). De ce fait, le potentiel du corps augmente, la valeur effective de la tension de seuil diminue, ce qui a pour conséquence d'accroître le courant de drain [Martineau-08], [Pelloie-01], [Waldhoff-09-2].

La transconductance statique, définie pour un V_{DS} donné par $g_m^{DC} = \frac{\delta I_{DS}}{\delta V_{GS}}$, peut être extraite (Figure 1.28.b). La condition de polarisation la plus élevée sera alors utilisée pour les mesures en régime dynamique. Ici, les tensions $V_{DS} = 1,2$ V et $V_{GS} = 0,8$ V donnent une transconductance maximale $g_m^{DC} = 55$ mS (c'est-à-dire environ 780 mS.mm⁻¹) pour un courant $I_{DS} = 270$ mA.mm⁻¹.

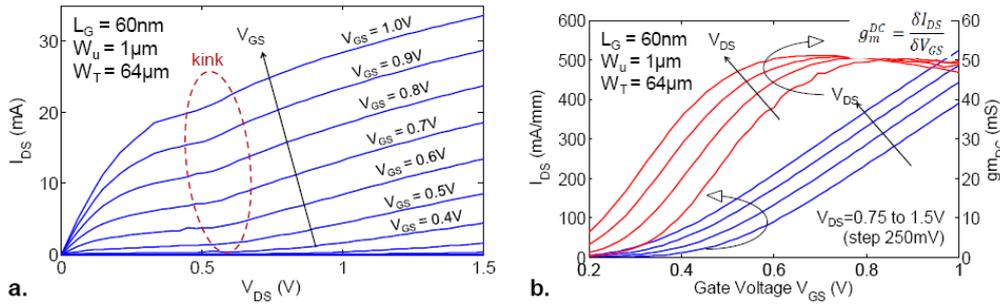


Figure 1.28 - a. Caractéristiques courant-tension I_{DS} - V_{DS} , mettant en évidence "l'effet Kink" dans la technologie SOI à corps flottant, and b. Courant de drain I_{DS} et transconductance statique g_m^{DC} en fonction de la tension de grille V_{GS} [Lecavelier-13]

1.2.2.2 Caractéristiques dynamiques de transistors RF SOI CMOS 65 nm

Le gain en courant H_{21} et le gain en puissance unilatéral (ou gain de Mason) sont données par les équations suivantes :

$$|H_{21}| = \frac{2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}$$

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(k \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad \text{avec } k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|}$$

De ces deux équations, deux figures de mérites peuvent être extraites (Figure 1.29). La fréquence de coupure f_T est la fréquence où le gain H_{21} est unitaire (ou 0 dB). De la même façon, la fréquence maximale d'oscillation f_{max} est la fréquence où le gain de Mason U vaut 0 dB. De plus, les pentes de ces deux gains doivent être égale à -20 dB/décade, assurant ainsi une extraction correcte des performances dynamiques. Dans le cas d'un transistor n-MOSFET polarisé à $V_{DS} = 1,2$ V et $V_{GS} = 0,8$ V, les fréquences obtenues sont $f_T = 150$ GHz et $f_{max} = 220$ GHz.

La variation de ces deux fréquences caractéristiques en fonction du courant de drain est représenté Figure 1.31.b, ce qui donne des informations sur les conditions de polarisation permettant d'obtenir des fréquences maximales acceptables. Les

caractéristiques de dispositifs de type p ont été ajoutées à titre de comparaison, même si les mesures statiques et dynamiques d'un transistor p-MOSFET ne sont pas présentées dans ce chapitre.

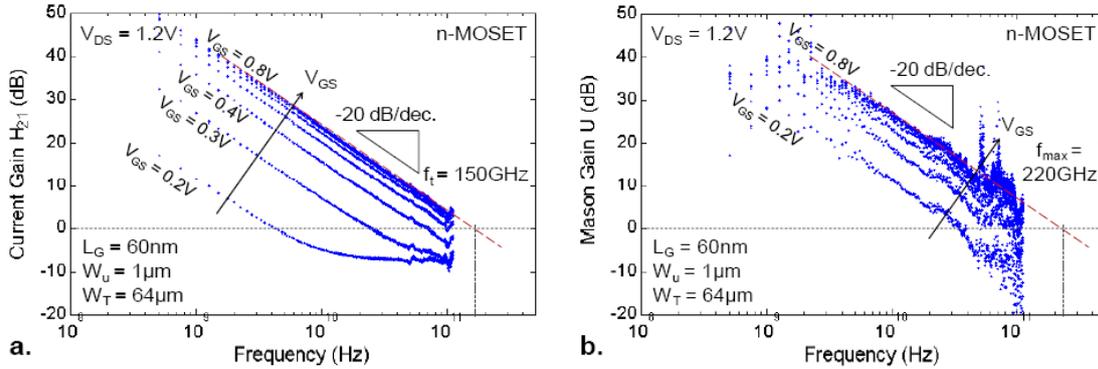


Figure 1.29 - a. Gain en courant H_{21} , et b. Gain de Mason U d'un transistor SOI n-MOSFET en fonction de la fréquence, la tension de grille variant de 200 mV à 0,8 V [Lecavelier-13]

Après avoir mesuré les propriétés dynamiques d'un transistor MOSFET, un modèle de transistor RF est requis. Les modèles petit signal (ou linéaires) sont souvent utilisés (car les modèles non linéaires requièrent l'utilisation d'une résolution itérative) [Waldhoff-09-1], [Martineau-08], [Tagro-10]. Le schéma équivalent petit signal (SSEC) représenté à la Figure 1.30 est mis en œuvre dans le cadre de ces travaux. Une description plus détaillée et les hypothèses relatives à ce modèle se trouvent dans les références [Waldhoff-09-1], [Martineau-08], [Bracale-01], [Paillancy-05], [Dehan-03]. L'extraction du modèle ne sera pas détaillée ici. Cependant, les paramètres associés au SSEC sont présentés au Tableau 1.7. Les paramètres S mesurés et simulés sont également comparés à la Figure 1.31.a et correspondent tout à fait, validant ainsi l'extraction des paramètres du modèle SSEC. Les erreurs entre la mesure et le modèle sont présentées aux Figure 1.33 et Figure 1.34.

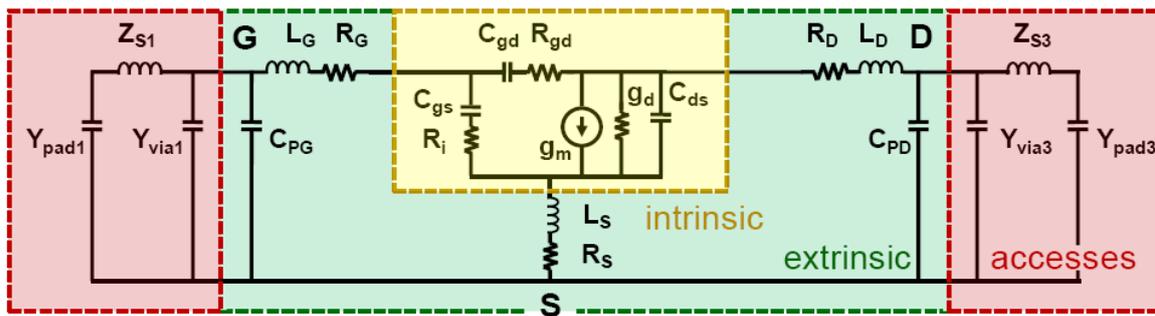


Figure 1.30 - Schéma équivalent petit signal comprenant le transistor intrinsèque (en jaune), les paramètres extrinsèques (en vert) et les plots d'accès (en rouge)

Tableau 1.7 - Paramètres extraits du SSEC présenté à la Figure 1.30, polarisé à une tension de drain $V_{DS} = 1,2$ V et une tension de grille $V_{GS} = 0,8$ V, donnant un courant de drain $I_{DS} = 270$ mA.mm⁻¹

Paramètres extrinsèques								Paramètres intrinsèques							
C_{pg}	C_{pd}	R_g	R_d	R_s	L_g	L_d	L_s	g_m	g_d	C_{gd}	C_{gs}	C_{ds}	R_{gd}	R_i	τ
fF	fF	Ω	Ω	Ω	pH	pH	pH	mS	mS	fF	fF	fF	Ω	Ω	ps
2	8	1	1	0,2	2	2	3	55	10,3	19	40	1	8	7	0

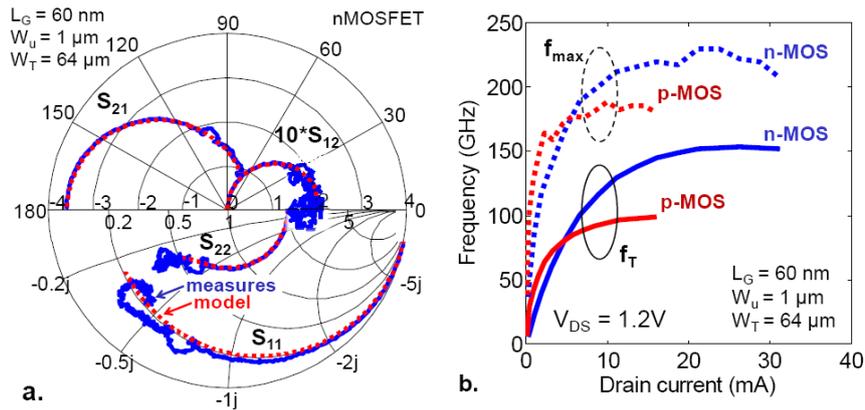


Figure 1.31 - a. Paramètres S mesurés sur une bande de fréquences allant de 500 MHz à 110 GHz sur un transistor n-MOSFET (bleu) ainsi que les paramètres S rétro-simulés avec le modèle présenté Figure 1.30 et les paramètres donnés au Tableau 1.7. Le transistor est polarisé à $V_{DS} = 1,2 \text{ V}$, $V_{GS} = 0,8 \text{ V}$ et $I_{DS} = 270 \text{ mA.mm}^{-1}$. b. Les fréquences caractéristiques f_T (lignes continues) et f_{max} (ligne en pointillés) en fonction du courant de drain [Lecavelier-13-1]

Les Figure 1.33 et Figure 1.34 démontrent une bonne corrélation entre les paramètres S mesurés sur les transistors n-MOSFET et le modèle de rétro-simulation. Des erreurs de plus de 10 à 15 % sont obtenues aux fréquences les plus hautes pointant les limitations liées au modèle et à la stratégie d'épluchage des paramètres S (*de-embedding*) nécessaire pour l'extraction des paramètres intrinsèques. Une démonstration finale de la qualité du modèle suggéré peut être faite en traçant les gains H_{21} et U simulés (Figure 1.32), montrant ainsi une bonne adéquation avec les mesures. En effet, l'erreur absolue de H_{21} simulé est de 10% seulement au-delà de 50 GHz. La mesure du gain de Mason U étant plus bruitée une erreur plus importante est constatée en Figure 1.32.b. Cette erreur est cependant relativement basse dans la bande de fréquence 2-50 GHz, où les mesures suivent la pente théorique de -20 dB/décade.

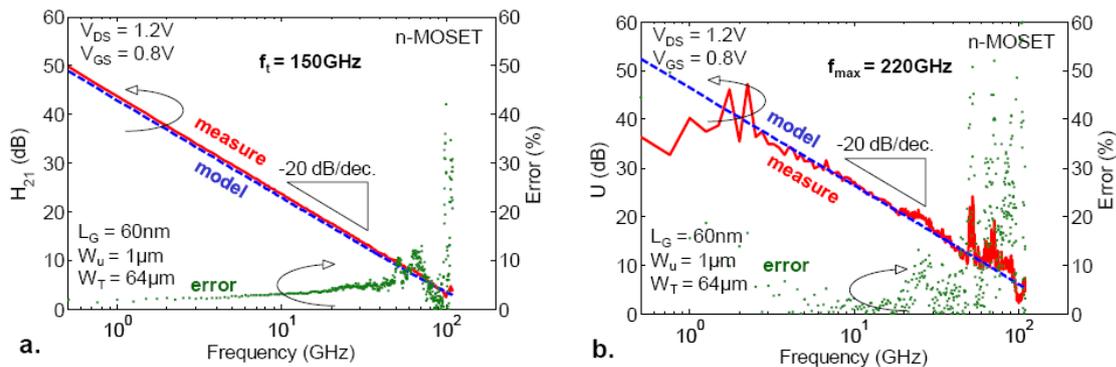


Figure 1.32 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence, montrant une bonne adéquation entre le modèle et les mesures. Le transistor est polarisé à une tension de drain $V_{DS} = 1,2 \text{ V}$, une tension de grille $V_{GS} = 0,8 \text{ V}$ et un courant de drain $I_{DS} = 270 \text{ mA.mm}^{-1}$ [Lecavelier-13-1]

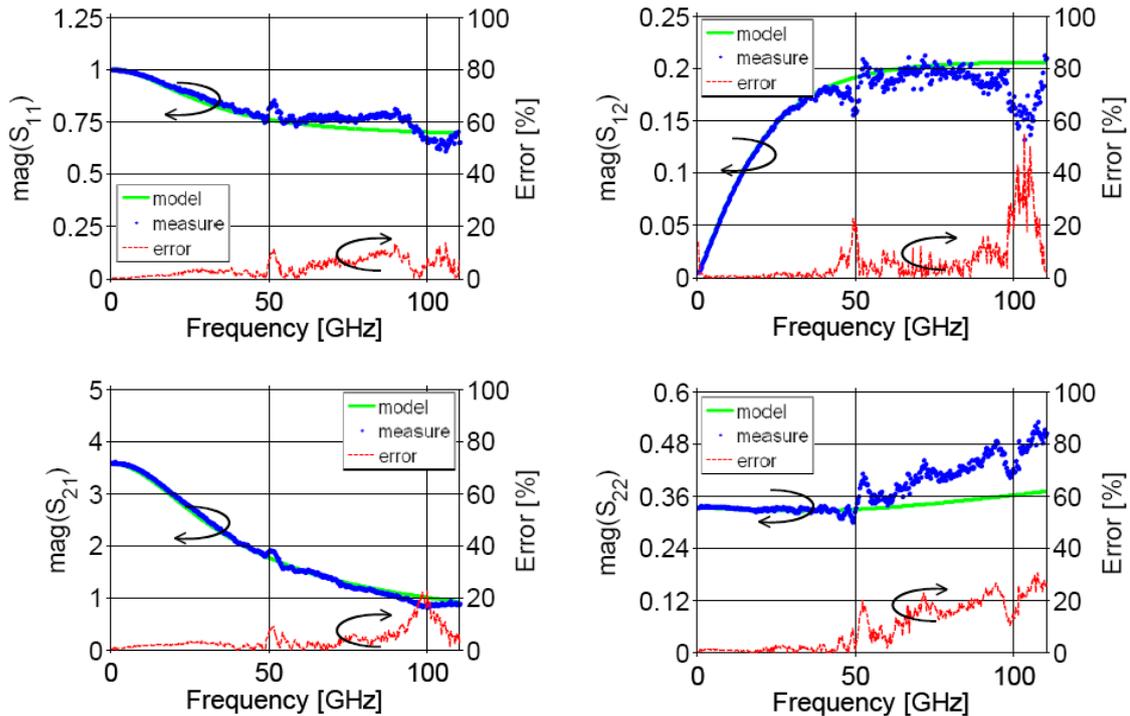


Figure 1.33 - Module des paramètres S mesurés sur un transistor n-MOSFET (bleu), rétro-simulés à partir du modèle SSEC (vert) et l'erreur entre le modèle et les mesures (rouge) [Lecavelier-13-1]

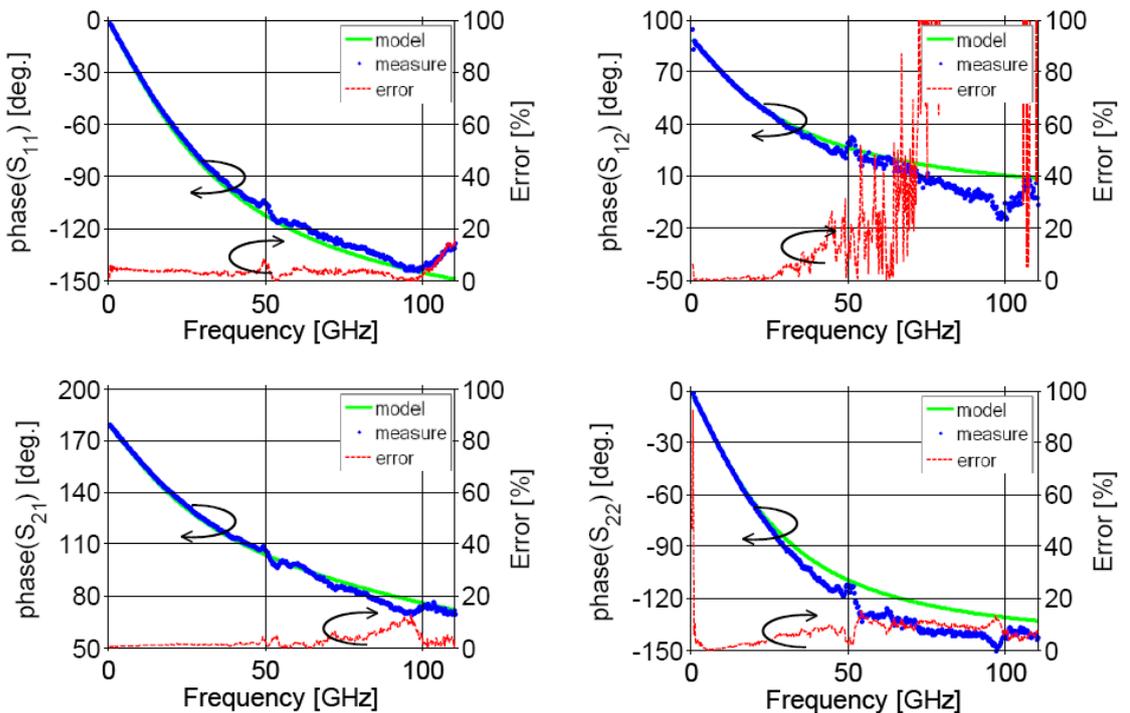


Figure 1.34 - Argument des paramètres S mesurés sur un transistor n-MOSFET (bleu), rétro-simulés à partir du modèle SSEC (vert) et l'erreur entre le modèle et les mesures (rouge) [Lecavelier-13-1]

Cette section démontre le grand potentiel de la technologie CMOS 65 nm comme une brique de construction pour l'électronique flexible haute performance. En effet, la combinaison hautes fréquences et performances à faible bruit avec une faible consommation d'énergie définit un standard pour la génération suivante d'électronique flexible. Il sera également démontré au chapitre suivant que la présence de BOX dans la

technologie SOI peut être un avantage dans le transfert de cette technologie sur film souple.

Les caractéristiques présentes dans cette section seront alors comparées dans le chapitre 3 avec les mesures effectuées sur des dispositifs flexibles pour démontrer la possibilité de fabriquer de l'électronique flexible haute performance dérivée de cette technologie.

1.2.3 Technologie SOI CMOS 0,13 μm

Pour augmenter la bande passante disponible pour les télécommunications sans fil 4G, la FCC (*Federal Communications Commission*) a rendu disponible en 2008 une nouvelle bande de fréquence de 668 à 806 MHz (la bande "700 MHz"). La propagation du signal dans cette bande est relativement bonne, notamment à travers les murs, ce qui est particulièrement utile pour une application cellulaire en zone urbaine. Cependant, pour les signaux proches du milieu de cette bande, la puissance du second harmonique correspond à la fréquence GPS de 1575 MHz (Figure 1.35.a).

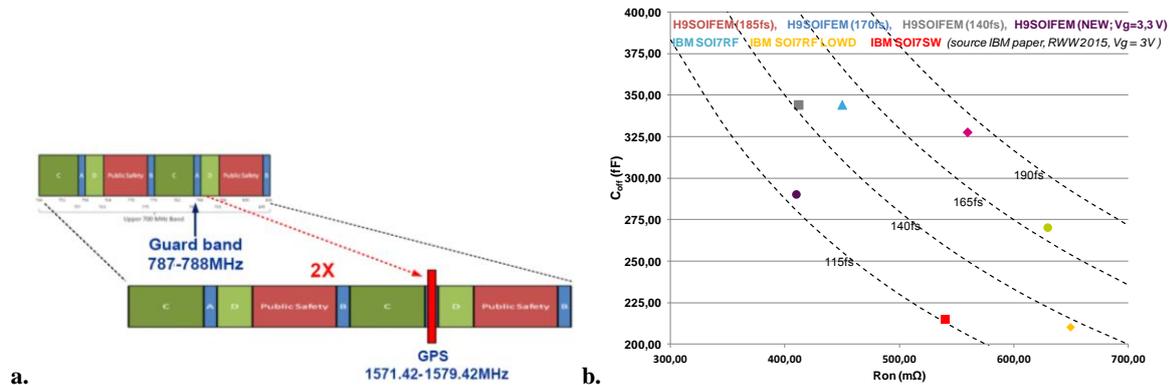


Figure 1.35 - a. Allocation de la bande de fréquence "700 MHz" [Frye-14], b. Figure de mérite $R_{on} \cdot C_{off}$

Pour éviter les interférences, les fréquences autour de 788 MHz ne sont pas utilisées pour les communications cellulaires et servent de bande de garde. Cette allocation fréquentielle prévient effectivement des interférences entre le GPS et les applications cellulaires. Mais la plupart des téléphones portables modernes possèdent un récepteur GPS. Les signaux très faibles à l'intérieur de l'appareil peuvent alors saturer le module *Front-end* de ces récepteurs. Malgré la bande de garde, un phénomène d'intermodulation avec les canaux adjacents peut causer des interférences à l'intérieur du téléphone à cause de sa proximité physique avec le GPS. Par conséquent, les spécifications pour la génération du 2^{ème} harmonique dans les composants passifs sont particulièrement contraignantes dans cette bande [Frye-14].

Face à ces besoins, de nouveaux procédés de fabrication sur silicium ont vu le jour, permettant ainsi une plus grande flexibilité et une meilleure intégration sans détériorer les performances. Par exemple, la technologie H9SOI-FEM permet de développer des modules *Front-end* complètement intégrés et hautement compétitifs. En outre, elle offre une excellente figure de mérite $R_{on} \cdot C_{off}$ (Figure 1.35.b) pour les commutateurs RF et les antennes réglables, apportant ainsi de bonnes performances quand on maintient une

isolation robuste et une haute tension de claquage. Ces dispositifs sont généralement composés de transistors MOSFET 0,13 et 0,25 μm qui peuvent s'appliquer sur tous les éléments du module *Front-end* (commutateur, antenne, amplificateurs de puissance et LNA). Ici, nous étudierons des lignes coplanaires issues de cette technologie et son effet sur les distorsions harmoniques.

1.2.3.1 Quelques définitions

1.2.3.1.1 Définition d'une ligne de transmission

L'étude électrique des lignes de transmission n'est possible qu'à partir d'un modèle équivalent à éléments localisés. Pour être valable, ce modèle doit représenter un tronçon de ligne, dont les dimensions sont beaucoup plus petites que la longueur d'onde guidée utilisée ($l \ll \lambda$). Sous ces contraintes, il devient possible de modéliser la ligne comme une mise en cascade de quadripôles élémentaires (Figure 1.36).

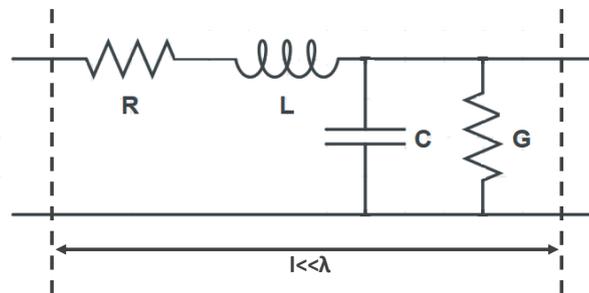


Figure 1.36 - Modèle équivalent d'un tronçon de ligne élémentaire

La résistance linéique R est représentée par une résistance série, l'inductance linéique L par une inductance série, la capacité entre les deux conducteurs par une capacité parallèle C et la conductance du diélectrique séparant les deux conducteurs par une conductance parallèle G .

Le modèle consiste en une série infinies des éléments présentés à la Figure 1.36, et chaque composant est défini par unité de longueur. Si R et G ne sont pas négligés, l'impédance caractéristique est :

$$Z_c = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (1)$$

La constante de propagation pour des lignes avec pertes, prenant en compte la résistance le long de la ligne et la fuite résistive entre les conducteurs, est :

$$\gamma = \sqrt{(R + jL\omega)(G + jC\omega)} = \alpha + j\beta \quad (2)$$

La partie imaginaire de la constante de propagation complexe est la phase constante β :

$$\beta = \frac{2\pi}{\lambda_d} [\text{rad.m}^{-1}] \quad (3)$$

$$\text{avec } \lambda_d = \frac{\lambda_0}{\sqrt{\epsilon_r}} ; \lambda_0 = \frac{c}{\text{freq}} [m] \text{ et } c = \sqrt{\mu_0 \epsilon_0} \approx 2,998.10^8 [m.s^{-1}]$$

$$\text{La vitesse de phase est : } V_\varphi = \frac{\omega}{\beta} [m.s^{-1}] \quad (4)$$

En technologie silicium, la constante d'atténuation peut être décomposée en trois composantes, la première représentant les pertes métalliques (α_c), la deuxième les pertes diélectriques (α_d) et la dernière les pertes dues à la conductivité du substrat (α_g) :

$$\alpha = \alpha_c + \alpha_d + \alpha_g \quad (5)$$

1.2.3.1.2 Définition d'une ligne coplanaire

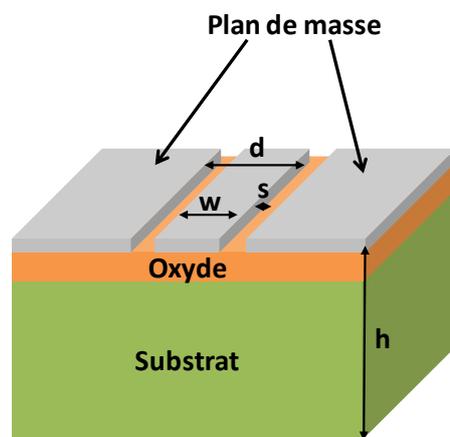


Figure 1.37 - Ligne coplanaire sur silicium

Une ligne coplanaire (CPW pour *Coplanar Waveguide*), représentée Figure 1.37, est constituée d'un conducteur placé entre deux plan de masse, tous au même niveau, sur un diélectrique (silicium ou dioxyde de silicium). Dans le cas idéal, l'épaisseur du diélectrique est infinie.

Les champs électrique et magnétique sont orthogonaux dans le plan transverse (Figure 1.38.a). La ligne coplanaire peut supporter les modes de propagation Quasi-TE et Quasi-TEM appelés modes coplanaires. Dans le mode quasi-TE, le champ électrique se propage entre les deux plans de masse, ce qui donne naissance à des discontinuités. Pour éviter ce phénomène, il est nécessaire de placer des contacts pour ramener le plan de masse au même potentiel électrique et il est également conseillé d'observer les conditions suivantes :

- $h < 0,12\lambda_d$ (6), avec λ_d la longueur d'onde dans le substrat (cf. équation 3), h l'épaisseur totale de diélectrique et d la distance inter-masse (Figure 1.37)
- $d \ll w_g$; $d \ll h$ et (7), avec w_g l'épaisseur du plan de masse

Contrairement aux lignes microstrip qui sont fabriquées uniquement à la surface de la puce, les performances des lignes coplanaires dépendent du substrat utilisé. En effet, la conductivité de celle-ci influence directement les pertes et l'impédance caractéristique

comme prédit dans les équations 7 et 1. La Figure 1.38 montre le comportement du champ électrique dans les substrats bulk et HR SOI.

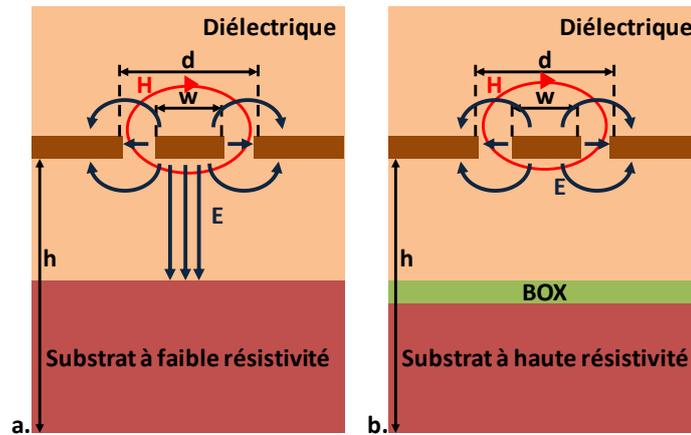


Figure 1.38 - Champs électrique et magnétique présents sur a. un substrat *bulk* et b. HR SOI

1.2.3.1.3 Point d'interception IP2 et IP3

La plupart des circuits sont constitués d'éléments linéaires et non linéaires. Ces derniers vont engendrer des effets qui vont réduire les performances du système, soit en modifiant certains paramètres système (le gain par exemple), soit en introduisant des signaux parasites (harmoniques, produits d'intermodulation,...). Ce phénomène a lieu dans les composants actifs (transistors, diodes,...), les dispositifs actifs (commutateurs, amplificateurs, mélangeurs,...) ou certains matériaux (noyaux de ferrite, silicium,...).

Ces signaux parasites peuvent limiter les performances du circuit considéré. On définit alors deux grandeurs appelées points d'interception d'ordre 2 et 3 pour caractériser quantitativement ce comportement. Ceux-ci sont représentés à la Figure 1.39 où sont tracés la puissance du fondamental ainsi que celle des 2^{ème} et 3^{ème} harmoniques en fonction de la puissance du signal d'entrée du dispositif étudié. Le point d'intersection des asymptotes aux courbes de 1^{er} et 2^{ème} ordre est le point d'interception d'ordre 2 : IP2. Le point d'intersection des asymptotes aux courbes de 1^{er} et 3^{ème} ordre est le point d'interception d'ordre 3 : IP3.

Les points IP2 et IP3 sont essentiels pour caractériser la linéarité d'un quadripôle utilisé en radiocommunication. En effet, les non-linéarités peuvent provoquer des phénomènes de distorsions en sortie du dispositif étudié :

- Les distorsions harmoniques : quand un système non-linéaire est stimulé par un signal de fréquence f , de nombreux signaux aux fréquences harmoniques $2f$, $3f$, $4f$, etc... sont générés
- Les distorsions d'intermodulation augmentent quand les non-linéarité d'un dispositif stimulé par de multiples fréquences génèrent des signaux parasites à d'autres fréquences, provoquant des phénomènes d'interférences avec des signaux de fréquences similaires.

La diminution de ces distorsions est d'autant plus importante que le spectre se densifie et que les canaux sont de plus en plus serré [Agilent-10]. Les références [Baudoin-07], [Dieuleveult-08], [Villegas-07] donnent une définition complète de ces différentes notions.

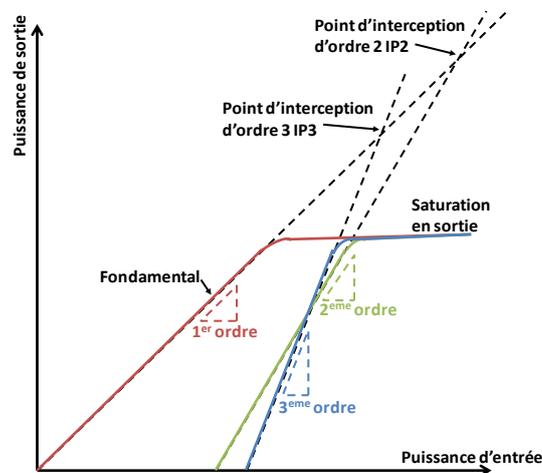


Figure 1.39 - Fonction de transfert de l'amplificateur réel pour le signal utile et les produits dus aux distorsions d'intermodulation [Dieuleveult-08]

1.2.3.2 Description de la technologie Trap-rich

Les *wafers* HR-SOI sont un substrat à haute linéarité comportant une structure isolante compatible avec les procédés CMOS, autorisant ainsi l'intégration de circuits à hautes performances. Traditionnellement, les *wafers* SOI utilisent du silicium comme substrat de base. Pour des applications RF, la couche d'oxyde enterré n'est pas suffisamment épaisse pour prévenir du champ électrique de diffusion dans le substrat, induisant des pertes à hautes fréquences, des non-linéarités, et de la diaphonie. Afin de limiter les pertes et les distorsions harmoniques et d'améliorer l'isolation requise pour les *switches*, le silicium est remplacé par un substrat de haute résistivité. Son adoption pour les applications RF a permis l'intégration monolithique de modules RF front-end, de taille réduite, plus fiables, plus performants et peu coûteux. Les propriétés du substrat permettent l'intégration de nombreuses fonctions comme les *switches*, les amplificateurs de puissances et les *tuners* d'antennes [Soitec-13].

Néanmoins, un substrat silicium HR possède une résistivité d'au moins $1 \text{ k}\Omega \cdot \text{cm}$, ce qui correspond à un niveau de dopage de 10^{13} cm^{-3} maximum. A cause de ce faible niveau de dopage, seules les charges fixes présentes dans l'oxyde ou piégées à l'interface BOX-substrat sont susceptibles de gouverner le fléchissement de bande à l'interface. L'interface Si-SiO₂ possède des charges positives fixes en quantité suffisante pour inverser la surface de silicium. Cette couche d'inversion, appelée couche de conduction parasite, endommage partiellement les bénéfices attendus dans le couplage et les pertes liés au substrat [Kerr-08].

Cependant, les composants passifs (lignes coplanaires par exemple) génèrent des harmoniques pouvant atteindre des niveaux de puissances plus élevés que ceux provenant de dispositifs actifs fabriqués sur substrat HR-SOI. Ce facteur limite les performances

linéaires de circuits intégrés micro-ondes sur substrat silicium monolithique pour des applications dans les domaines de la télécommunication. Ainsi, les harmoniques dues au substrat silicium haute résistivité peuvent être nuisibles aux systèmes électroniques sans fil [Roda Neve-12].

En fait, la couche d'inversion électronique parasite change la distribution des porteurs de charges à l'intérieur du substrat de silicium, ce qui modifie les capacité et conductance non linéaires caractéristiques d'une ligne coplanaire. Le substrat devient alors très dépendant de la tension appliquée sur la ligne de transmission. La tension change la répartition des porteurs de charges à l'interface $\text{SiO}_2\text{-Si}$ et modifie la résistivité effective du substrat dont la conséquence peut être l'augmentation du niveau des harmoniques [Ben Ali-14], [Kerr-08].

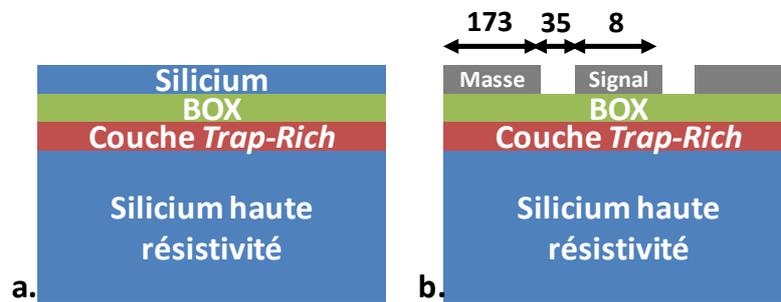


Figure 1.40 - Schéma de coupe a. d'un substrat *Trap-rich* HR SOI, et b. après fabrication d'une ligne coplanaire pour une caractérisation RF. Toutes les dimensions sont en μm .

Une couche *Trap-Rich* est alors déposée sur un substrat de silicium haute résistivité par insertion d'un film de silicium polycristallin non dopé (Figure 1.40). Cette couche stabilise la surface et améliore ainsi les pertes et l'isolation de la ligne de transmission. En effet, grâce à la forte densité de pièges présents dans le silicium polycristallin à l'interface Si-SiO_2 , le potentiel au niveau de cette interface est quasiment fixé et le signal appliqué à la ligne n'impacte pas la répartition des porteurs de charge à l'intérieur du substrat de silicium. Le potentiel à l'interface arrière au BOX est ainsi rendu totalement indépendant de la tension appliquée, ce qui correspond à un substrat HR-SOI idéal ne souffrant pas de l'effet de conduction parasite [Ben Ali-14], [Kerr-08], [Lederer-04]. De nombreux travaux ont d'ailleurs permis de réduire les distorsions harmoniques tout en augmentant la résistivité effective du substrat. De plus, ce procédé est compatible avec la technologie CMOS [Ben Ali-12], [Ben Ali-14], [Gamble-99], [Lederer-05], [Lederer-08], [Roda Neve-13].

1.2.3.3 Caractéristiques dynamiques d'une ligne coplanaire

Dans ce paragraphe, les performances typiques de lignes coplanaires vis-à-vis de la génération d'harmonique sont synthétisées. La longueur des lignes étudiées est de 1 mm, la largeur de 8 μm . La ligne est séparée de 35 μm des plans de masse comme nous pouvons le voir sur la Figure 1.41. Ces dispositifs sont fabriqués sur le substrat HR-SOI *Trap-Rich* décrit précédemment.

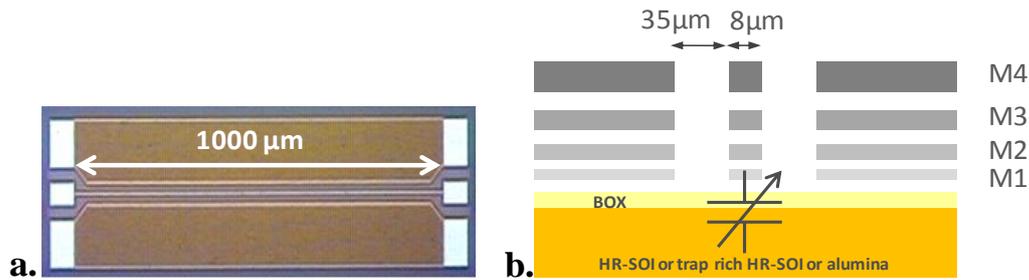


Figure 1.41 - a. Vue au microscope optique et b. Représentation schématique des lignes coplanaires étudiées

Un signal de fréquence 824 MHz est injecté dans une ligne coplanaire afin de caractériser les non-linéarités des substrats HR-SOI et *Trap-Rich*. Une ligne de référence présente sur un kit de calibration sur alumine est également mesurée afin de définir le niveau de bruit du dispositif expérimental. Les résultats sont représentés aux Figure 1.42 et Figure 1.43. Comparé au substrat haute résistivité, la CPW sur substrat *Trap-Rich* donne une réduction de 22 et 17 dBm des 2nd et 3^{ème} harmonique, respectivement. Par ailleurs, la technologie *Trap-Rich* permet d'obtenir des points d'interception d'ordre 2 et 3 (IP2 et IP3) de 132 et 81 dBm respectivement. Ces valeurs sont supérieures à celle obtenues sur substrat haute résistivité (IP2 = 110 dBm et IP3 = 72,5 dBm), démontrant ainsi une meilleure linéarité des dispositifs fabriqués sur substrat *Trap-Rich*. Cependant, les performances de ces lignes de transmission restent bien inférieures à celles obtenues par les kits de calibration sur alumine.

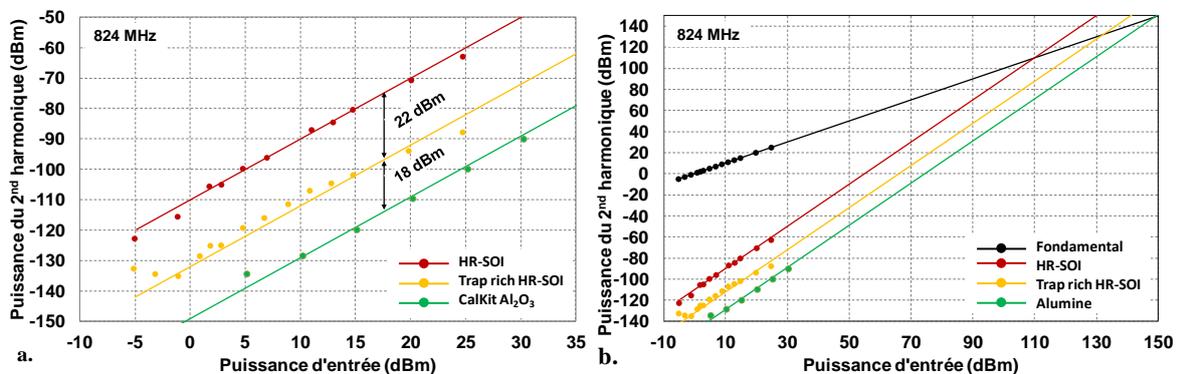


Figure 1.42 - a. Génération du 2nd harmonique et b. Points d'interception d'ordre 2 de lignes coplanaires fabriquées sur substrat HR-SOI et *Trap-rich* HR-SOI. CalKit Al₂O₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.

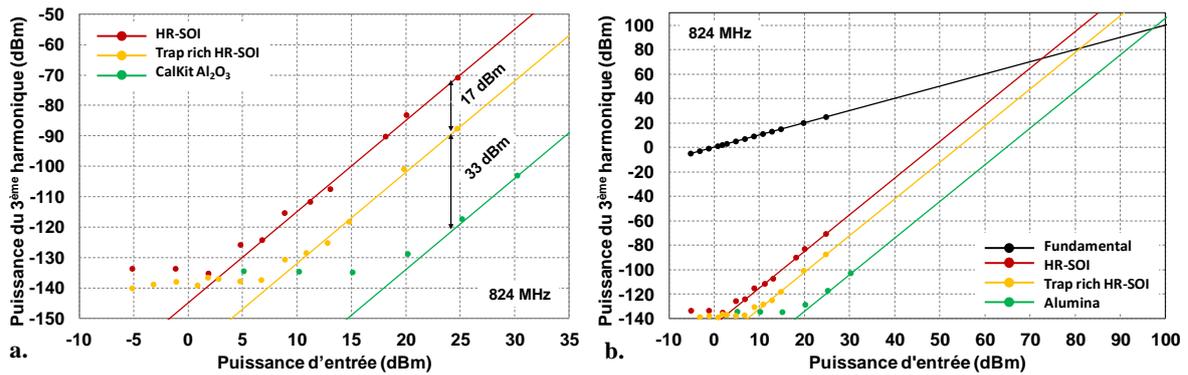


Figure 1.43 - a. Génération du 3^{ème} harmonique et b. Points d'interception d'ordre 3 de lignes coplanaires fabriquées sur substrat HR-SOI et *Trap-rich* HR-SOI. CalKit Al₂O₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration.

1.2.3.4 Intérêt de la technologie UTTB pour l'amélioration de la linéarité

Cette section démontre le grand potentiel de la technologie CMOS 0,13 μm comme une brique de construction pour l'électronique flexible haute performance. En effet, cette technologie combine haute fréquence et résistivité importante et s'intègre parfaitement dans le domaine des télécommunications où les systèmes multi-bandes et multistandards sont très répandus. Cependant, des distorsions harmoniques liées à l'emploi d'un support en silicium peuvent apparaître, causant ainsi des phénomènes d'interférences et d'intermodulation. L'emploi d'un substrat plus isolant comme la technologie *Trap-rich* ou l'alumine permet de diminuer ces phénomènes.

Dans le chapitre 4, nous montrerons que le procédé de report sur film souple peut être adapté pour améliorer les propriétés d'un circuit électronique. Les mesures présentées dans ce paragraphe seront alors comparées à celles obtenues à partir du dispositif final afin d'illustrer cet état de fait.

1.3 Synthèse

Ce premier chapitre montre l'intérêt croissant de l'industrie du silicium, des micro-et nanotechnologies et de la communauté de l'électronique imprimée organique pour l'électronique flexible. Toutes deux sont à la recherche de solutions pour la fabrication de dispositifs et de circuits souples, ou tout au moins déformables. L'étude constante de systèmes plus complexes et toujours plus performants a également été évoquée.

La demande croissante du marché et de l'industrie a permis le développement de plusieurs stratégies de fabrication autorisant la réalisation de dispositifs et de circuits à la fois souples et électriquement performants. Ce premier chapitre a ainsi décrit et comparé ces différentes technologies en se focalisant sur leur capacité à fournir de l'électronique flexible haute performance. Il a ainsi été montré que le report sur substrat souple présente de nombreux avantages (flexibilité mécanique, conservation des propriétés originelles, intégration hétérogène possible) permettant d'obtenir des dispositifs souples mécaniquement et électriquement performants.

Cette étude montre également que l'électronique flexible pourrait bénéficier du potentiel des technologies rigides existantes (comme les technologies SOI CMOS 65 nm et 0,13 μm citées dans ce chapitre). Ces technologies ont été définies et caractérisées sur leur substrat originel afin de comparer leurs performances avec les dispositifs reportés sur film souple.

Les performances décrites ici sur substrat conventionnel en silicium sont en adéquation avec les objectifs énoncés au début du chapitre afin de fabriquer des systèmes communicants dotés de propriétés additionnelles de flexibilité mécanique. Ces dispositifs ouvrent ainsi la voie à de nouvelles applications prometteuses.

Dans le chapitre suivant, nous décrirons un procédé de fabrication permettant le transfert de ces circuits de leur substrat originel sur un film souple sans dégrader leurs performances électriques.

Chapitre 2. Procédé de fabrication de circuits CMOS flexibles

Le but de ce chapitre est de décrire les techniques utilisées durant ces travaux afin de réaliser des circuits CMOS flexibles hautes-performances. La méthode développée ici est basée sur un procédé de transfert permettant l'amincissement d'un circuit CMOS épais de 800 μm jusqu'à obtenir un film fin de quelques microns d'épaisseur ainsi que son report sur substrat souple. La première partie de ce chapitre sera centrée sur les techniques d'amincissement utilisées durant ce procédé, à savoir le meulage, le polissage mécano-chimique et l'attaque sélective par le difluorure de xénon (XeF_2). Après avoir décrit ces différentes étapes, la seconde partie de ce chapitre étudiera plusieurs méthodes de transfert afin de reporter les circuits amincis sur différents types de substrat souple comme des films plastiques, du verre ou des feuilles métalliques.

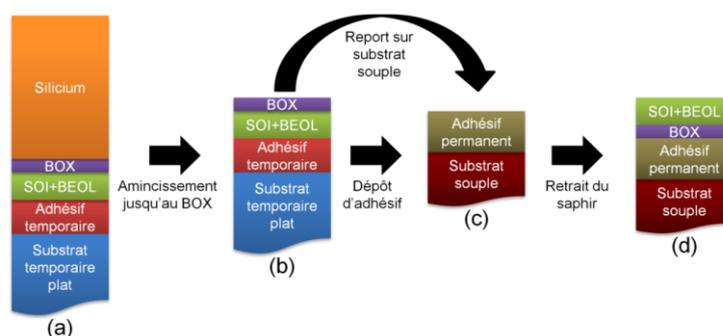


Figure 2.1 - Schéma de principe du procédé de fabrication, a. Collage temporaire sur saphir, b. Etape d'amincissement, c. Report sur substrat souple et d. Retrait du saphir

2.1	Description des différentes méthodes d'amincissement	60
2.1.1	Amincissement par meulage	60
2.1.1.1	Types de meulage	60
2.1.1.1.1	Meulage de type Blanchard.....	60
2.1.1.1.2	Meulage de type <i>In-feed</i>	61
2.1.1.2	Meules	61
2.1.1.3	Recherche du procédé	63
2.1.1.3.1	Etude en meule fine.....	63
2.1.1.3.2	Etude en meule grossière	65
2.1.1.3.3	Procédé final	67
2.1.2	Polissage mécano-chimique.....	67
2.1.2.1	Principe	68
2.1.2.2	Matériaux abrasifs utilisés	68
2.1.2.2.1	Solution chimique abrasive (<i>slurry</i>).....	68
2.1.2.2.2	Surface abrasive (<i>pad</i>).....	70
2.1.2.3	Procédé utilisé	70
2.1.3	Attaque au difluorure de xénon	72
2.2	Report sur substrat souple.....	74
2.2.1	Collage temporaire sur saphir.....	74
2.2.2	Collage définitif sur substrat souple	76
2.2.2.1	Report sur film plastique	76
2.2.2.2	Report sur substrat métallique	78
2.3	Synthèse.....	80

2.1 Description des différentes méthodes d'amincissement

2.1.1 Amincissement par meulage

Le meulage ou *grinding* est un ensemble de procédés de rectification de surface. Selon la Figure 2.2, cette technique d'amincissement comprend trois catégories :

- Les procédés de finition grossière permettent de produire rapidement et en grande quantité des surfaces planes extrêmement rugueuses
- Les procédés de finition fine permettent d'obtenir des surfaces planes de bonne qualité tout en gardant une bonne productivité
- Les procédés de finition ultra-fine permettent d'obtenir des surfaces très lisses

Le meulage peut être utilisé dans de nombreux domaines allant de l'industrie automobile (valves, transmissions, ...) jusqu'au domaine de l'électronique. Dans l'industrie des semi-conducteurs, les circuits fabriqués sur une plaque de silicium sont d'abord amincis avant d'être découpés en puces individuelles, l'idée étant d'obtenir le dispositif le plus fin possible tout en maintenant une certaine rigidité mécanique. En électronique de puissance, l'amincissement par meulage améliore la capacité de certains dispositifs à dissiper la chaleur en diminuant leur résistance thermique [Oliveira-09].

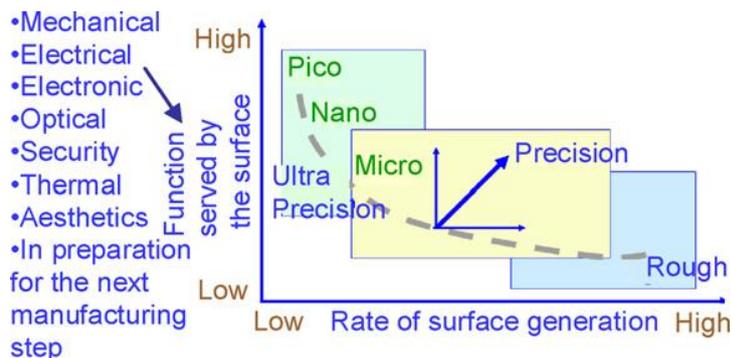


Figure 2.2 - Domaines d'application du meulage [Oliveira-09]

Généralement, le meulage en face arrière ou *back grinding* est une technique peu coûteuse comparée aux méthodes d'amincissement en phase humide ou plasma. Le *back grinding* permet d'enlever plusieurs centaines de microns de silicium. Ce procédé comporte deux étapes : le meulage grossier et le meulage fin. Le meulage grossier effectué avec une meule gros grains permet de retirer rapidement la majeure partie du substrat. La surface obtenue est en général très rugueuse. Une étape de meulage fin sera alors nécessaire afin d'améliorer l'état de surface. Pour cela, une meule grains fins descendra alors lentement sur l'échantillon à amincir. Quelques dizaines de microns sont alors retirés [Pei-08]. Dans le paragraphe suivant, différentes méthodes de *back grinding* seront présentées.

2.1.1.1 Types de meulage

2.1.1.1.1 Meulage de type Blanchard

Le meulage de type Blanchard dont le schéma de principe est représenté Figure 2.3 comporte une table rotative munie de plusieurs porte-échantillons sur lesquels sont

disposés des *wafers* de silicium. Cette table tourne sous une meule circulaire en rotation. Son axe de rotation se situe sur le cercle formé par les centres des *wafers* alignés. La meule descend alors progressivement afin d'amincir les échantillons. Une méthode similaire appelée *creep-feed* permet un meilleur contrôle de l'épaisseur et de la planéité de l'échantillon grâce à un ensemble de meules (généralement trois) possédant chacune leur propre axe de rotation et leur propre grain. De plus, la table tourne plus vite que la meule [Pei-08].

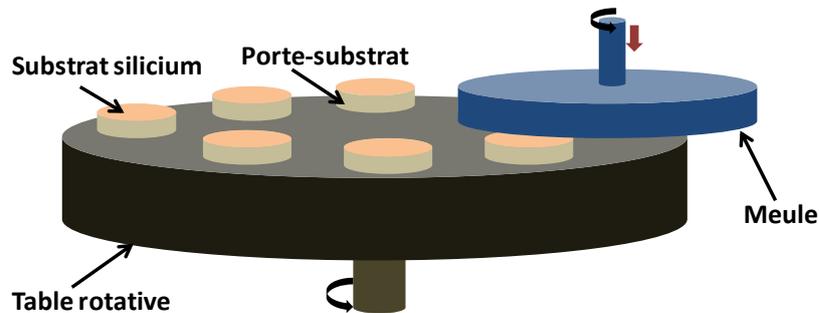


Figure 2.3 - Schéma de principe du meulage de type Blanchard

2.1.1.1.2 Meulage de type *In-feed*

Le meulage de type *In-feed* ou *rotative wafer* peut être utilisée afin d'obtenir une meilleure planéité sur de grands échantillons. Le principe, représenté Figure 2.4, est similaire au meulage de type Blanchard, à la différence que la meule et le substrat à amincir tourne en même temps. De plus, l'axe de rotation de la meule se situe au-delà du bord de l'échantillon. La zone de contact entre les deux reste constante améliorant significativement la planéité de la surface amincie [Pei-08].

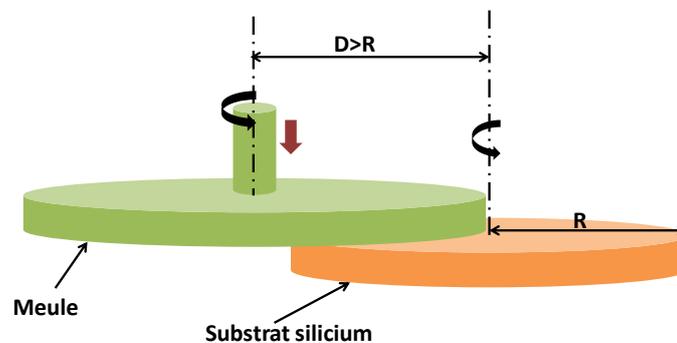


Figure 2.4 - Schéma de principe du meulage de type *In-feed*

2.1.1.2 Meules

Actuellement, les appareils de meulage utilisent des meules de type boisseau dont le schéma de principe se trouve Figure 2.5.a. La zone abrasive est constituée de grains abrasifs, de matériaux adhésifs et d'aspérités ou pores (Figure 2.5.b). Ces éléments présents en diverses proportions déterminent la structure de la meule. Une structure fermée, composée uniquement de grains abrasifs et d'adhésifs, est utilisée pour conserver la forme d'un échantillon. Une structure ouverte est une structure poreuse comprenant peu d'abrasifs. Une grande quantité de matière peut être retirée, donnant ainsi une surface rugueuse [Liu-07].

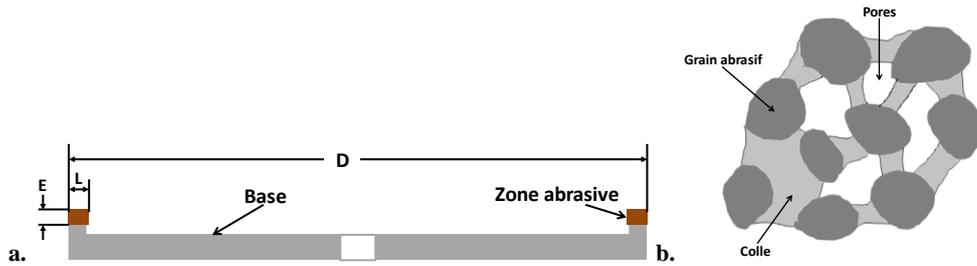


Figure 2.5 - a. Schéma de principe d'une meule boisseau, D représente son diamètre, E et L , respectivement, l'épaisseur et la largeur de la zone abrasive, b. Composition de la zone abrasive

La majorité des meules utilisées pour l'amincissement comprennent des grains de diamant. Qu'ils soient naturels ou synthétiques, les diamants possèdent une grande dureté, une conductivité thermique importante, une forte résistance à l'usure et un faible coefficient de friction. Selon la Figure 2.6.a, la taille des grains a un impact sur l'état de surface après meulage. En effet, plus la taille des grains est importante, plus les dommages sont importants. Par ailleurs, les grains fins donnent de meilleures finitions sur de grandes surfaces, tandis que les gros grains autorisent de grands enlèvements de matière.

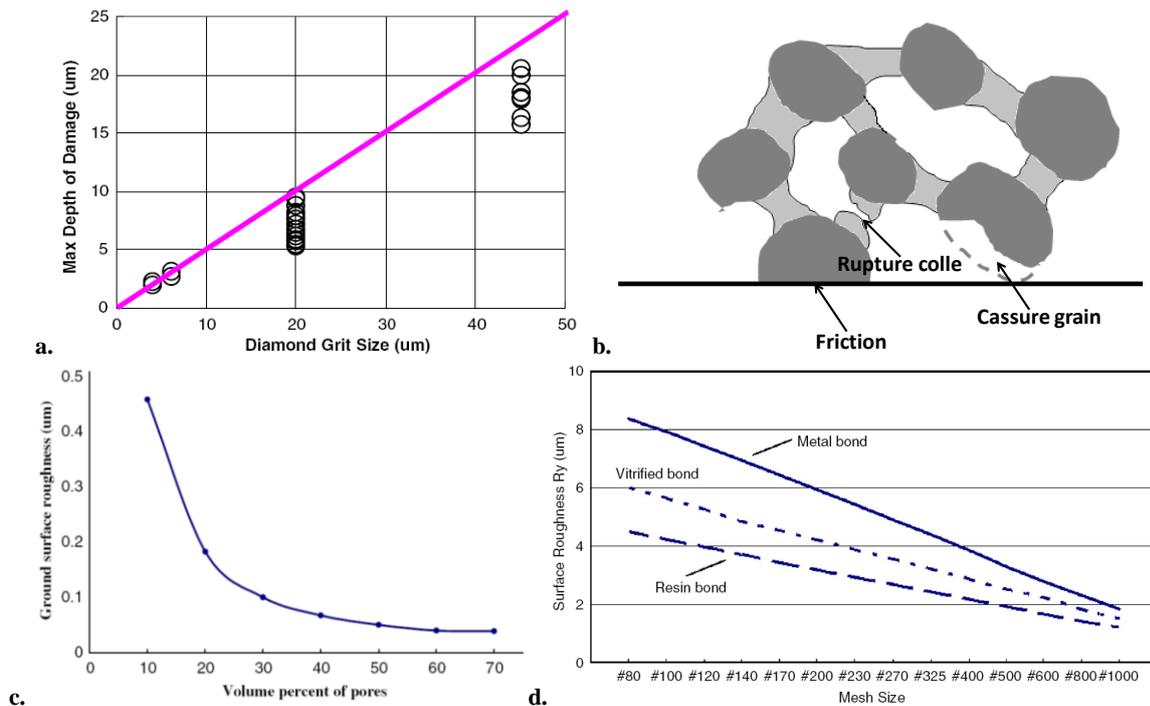


Figure 2.6 - a. Evolution de l'état de surface en fonction de la taille des grains abrasifs [Liu-07] et b. Mécanisme d'usure d'une meule, Evolution de la rugosité de surface en fonction c. du pourcentage de pores et d. de la taille des grains abrasifs composant une meule [Liu-07]

Les particules abrasives sont cimentées ensemble par une colle. Parmi de nombreux facteurs, la colle joue un rôle important en termes de performance et de qualité du meulage. D'après la Figure 2.6.b, une meule peut subir trois types d'usure : friction, rupture de la colle et cassure des grains. Pour améliorer la vie d'une meule et la performance du meulage, le taux d'usure de la colle doit être supérieur à celui de l'abrasif durant le meulage. La colle doit également autoriser les grains abrasifs à se fracturer ou s'échapper après chaque utilisation. Il en existe trois types : métallique utilisée pour la découpe de substrats

silicium, en résine et vitrifiée pour le meulage. Les résines phénoliques et époxy sont principalement utilisées dans la fabrication des meules. Quant aux meules vitrifiées, elles sont constituées de verre fritté ou encore de feldspaths (minéral composé de silice, d'alumine et de potasse). Pour une même taille de grain, la rugosité sera la plus faible avec une meule résine, la plus forte avec une meule métallique (Figure 2.6.c). Par ailleurs, lors du meulage, si nous passons d'une meule "vitrifiée" à une meule "résine", nous diminuerons les effets de bord.

Les pores sont créés afin de transporter les copeaux et liquides durant le meulage. En effet, les forces de frottement générées par ce procédé entraînent un échauffement de la meule et de la pièce meulée. L'emploi d'un fluide est alors nécessaire pour refroidir l'ensemble. De plus, il permet l'évacuation des déchets surtout quand un travail de finition est demandé par la suite. Les pores permettent également des découpes plus efficaces, minimisent les dommages sur de grandes surfaces et augmentent la durée de vie de l'équipement. De plus, la porosité diminue la rugosité des surfaces en silicium (Figure 2.6.d).

2.1.1.3 Recherche du procédé

Notre étude a été conduite sur une machine G&N (Genauigkeits Maschinenbau Nürnberg, Erlangen, Allemagne) de type Blanchard (Figure 2.7). Cette machine peut amincir jusqu'à 4 échantillons. Elle comprend deux meules diamant-résine montées sur le même axe de rotation, l'une grossière dont les grains ont un diamètre de 46 μm , l'autre fine dont les grains ont un diamètre de 15 μm . Comme illustré sur la Figure 2.3.a, un substrat de silicium de 76,2 mm de diamètre est retenu par aspiration sur un porte-échantillon en céramique poreuse.



Figure 2.7 - a. Photographie de la machine de meulage, ainsi que b. de ses éléments constitutifs

2.1.1.3.1 Etude en meule fine

Afin d'étudier les conditions idéales pour effectuer un meulage, des carrés de silicium de 780 μm d'épaisseur et de 3 cm de côté sont collés sur des substrats en saphir dont la variation totale d'épaisseur (TTV) est inférieure à 1 μm . Le procédé, présenté

Figure 2.8, se déroule en trois étapes : une première étape d'ablation massive où la meule descend rapidement sur l'échantillon, une deuxième étape d'ablation lente où la meule descend lentement et une dernière étape d'aplanissement où la meule reste fixe au-dessus de l'échantillon. Durant le meulage, l'eau déionisée est utilisée pour refroidir la meule ainsi que la surface de l'échantillon. Elle permet également l'évacuation des déchets. Trois paramètres sont choisis pour étudier leurs effets sur ce procédé : la vitesse de rotation de la meule, la vitesse de rotation de la table de meulage et la vitesse de descente de la tête de meulage. Une matrice de 2^3 éléments décrite au Tableau 2.1 est utilisée pour tester chaque paramètre sur deux niveaux. Ces tests sont effectués pour une ablation rapide suivie d'un aplanissement de 120 sec.

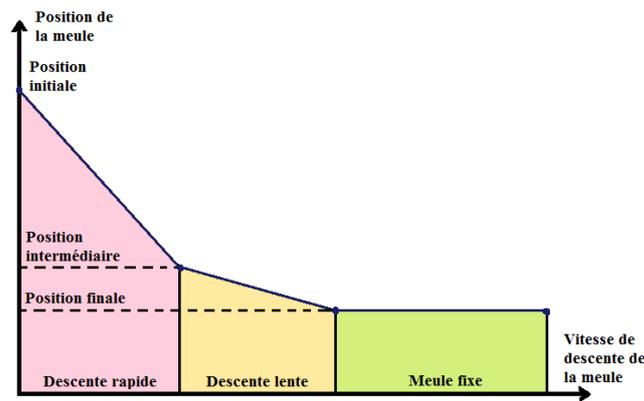


Figure 2.8 - Description des différentes étapes d'un procédé de meulage

Tableau 2.1 - Matrice des tests

Test	Vitesse de rotation de la meule (rpm)	Vitesse de rotation de la table (rpm)	Vitesse de descente de la meule ($\mu\text{m}\cdot\text{min}^{-1}$)	Largeur prédite (mm)	Largeur mesurée (mm)	Rugosité moyenne (nm)
1	1000	5	5	4,712	3,689	24,239
2	2500	5	5	1,885	1,846	25,793
3	1000	10	5	9,425	8	18,667
4	2500	10	5	3,77	3,954	20,008
5	1000	5	20	4,712	3,193	34,494
6	2500	5	20	1,885	1,232	23,577
7	1000	10	20	9,425	8	27,892
8	2500	10	20	3,77	3,431	19,495

Après amincissement, nous obtenons une TTV de $2 \mu\text{m}$. Sur la Figure 2.9 présentant des vues au microscope optique et au microscope électronique à balayage (MEB), nous observons la formation de rayures et de dépôts poussiéreux sur la surface meulée. Nous remarquons également que le meulage crée des sillons à la surface de l'échantillon aminci. La largeur de ces sillons peut être calculée grâce à l'équation (1) : $L=2\pi R_w \frac{N_c}{N_s}$ avec R_w représentant le rayon de l'échantillon, N_c la vitesse de rotation du porte-échantillon et N_s celle de la meule [Pei-02]. Cette équation tient compte du fait que la meule et l'échantillon tournent en même temps. Or, dans notre cas, les échantillons sont

fixés sur un plateau tournant. Nous avons donc déterminé la largeur des sillons pouvant être obtenue durant les tests en prenant pour rayon R_w celui du plateau, à savoir 150 mm.

Grâce au profilomètre optique, nous avons mesuré la largeur des sillons et déterminé la rugosité de chaque échantillon. Ces résultats sont reportés dans le Tableau 2.1. Nous constatons que les largeurs de sillons mesurées sont conformes aux valeurs prédites par l'équation (1). Plus la meule tourne rapidement, plus le sillon sera étroit. Inversement, plus le porte-échantillon tourne rapidement, plus le sillon sera large. De plus, la rugosité de surface augmente à mesure que les vitesses de rotation de la meule et du porte-échantillon diminuent. La vitesse de descente de la meule n'a aucune influence sur la largeur du sillon ou la rugosité de surface.

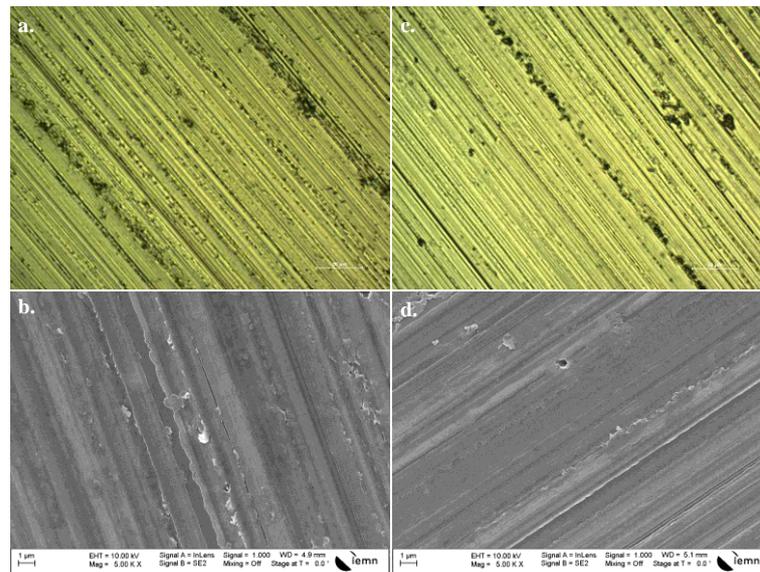


Figure 2.9 - Vues au microscope optique et au MEB, respectivement, de l'état de surface des échantillons issus a. et b. du test n°5 et c. et d. du test n°8

Finalement, les paramètres permettant d'avoir un amincissement régulier sont des vitesses de rotation de 2500 rpm pour la meule et de 10 rpm pour la table de meulage et des vitesses de descente de la tête de meulage de $20 \mu\text{m}\cdot\text{min}^{-1}$ pour l'ablation rapide et de $5 \mu\text{m}\cdot\text{min}^{-1}$ pour l'ablation lente. En effet, parmi les cas étudiés, les tests 4 et 8 donnent de faibles rugosités. Par ailleurs, l'équipement ne nous permet pas de changer les vitesses de rotations de la meule et de la table de meulage durant un cycle d'amincissement.

2.1.1.3.2 Etude en meule grossière

Cependant, même si la meule fine donne des résultats satisfaisants du point de vue de la planéité, elle enlève peu de matière. Or, nous devons retirer 700 à 750 μm de silicium. Afin de ne pas user prématurément la meule fine, nous pouvons utiliser la meule grossière afin d'enlever de plus grandes quantités de matière. Le procédé reste le même (Figure 2.8). Les vitesses de rotation sont conservées. Par contre, les vitesses de descente de la tête de meulage seront de $60 \mu\text{m}\cdot\text{min}^{-1}$ puis de $30 \mu\text{m}\cdot\text{min}^{-1}$. Comme précédemment, les essais sont effectués sur un échantillon de géométrie carrée de silicium collé sur un substrat de saphir.

Tableau 2.2 - Tests d'aplanissement

Durée de <i>sparkling</i> (s)	Épaisseur de l'échantillon (μm)					Variation totale de l'épaisseur (μm)	Épaisseur moyenne (μm)
	N	C	S	W	E		
	2428	2429	2430	2428	2428	2	2428,6
10	2334	2335	2336	2333	2335	3	2334,6
30	2235	2235	2235	2235	2235	0	2235
50	2143	2142	2141	2141	2142	2	2141,8
70	2050	2048	2046	2046	2048	4	2047,6

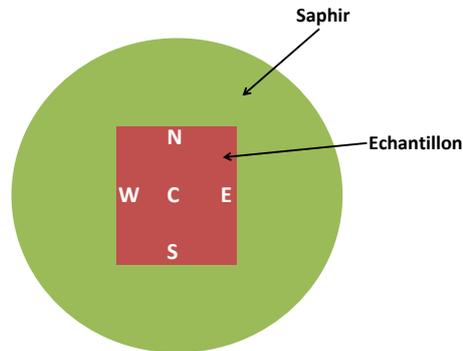


Figure 2.10 - Localisation des épaisseurs mesurées sur un échantillon

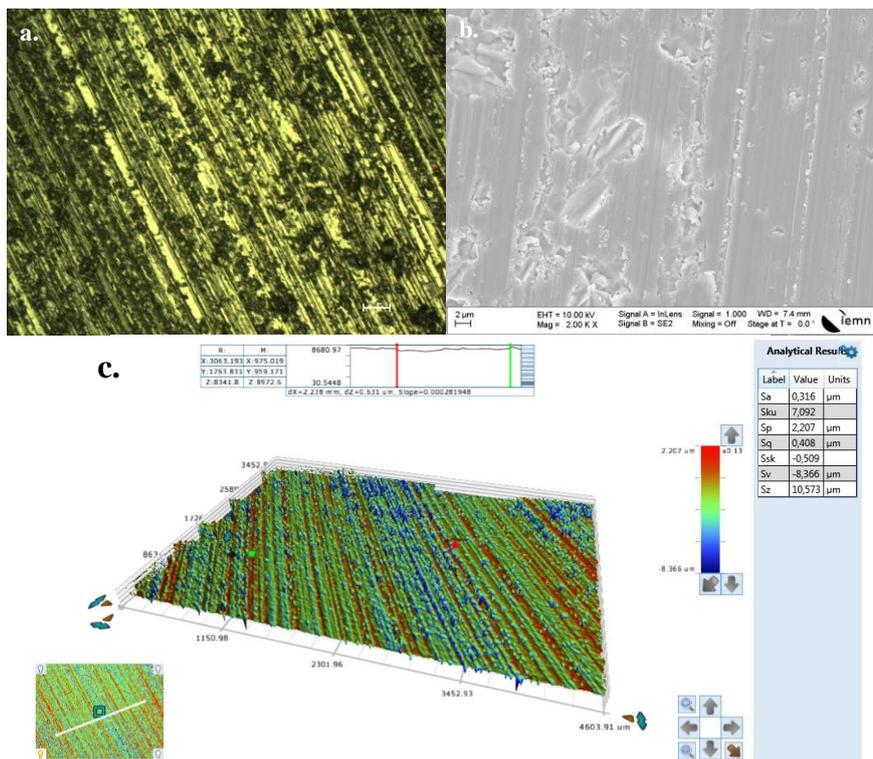


Figure 2.11 - Vues a. au microscope optique, b. au MEB et c. au profilomètre optique après amincissement à la meule grossière

Après amincissement, nous remarquons sur la Figure 2.11.a et b la formation de copeaux et de poussières à la surface de l'échantillon. De plus, la rugosité est plus élevée, de l'ordre de 316 nm (Figure 2.11.c), par rapport à celle obtenue après meulage à la meule fine. Sur le Tableau 2.2 et la Figure 2.10, nous avons fait varier la durée de *sparkling*. Il s'agit de la dernière étape d'amincissement où la meule reste fixe (Figure 2.8), ce qui permet d'aplanir la surface de l'échantillon. Les variations totales d'épaisseur sont

relativement faibles. Cependant, nous remarquons qu'à partir de 50 secondes de *sparkling*, la pièce à meuler glissait sur le porte-échantillon. Il est donc intéressant de prendre une durée de 30 secondes afin d'obtenir un échantillon d'épaisseur régulière sans que celui-ci ne bouge au cours de l'étape d'amincissement. Grâce au meulage grossier, nous avons la possibilité d'amincir jusqu'à 200 μm .

2.1.1.3.3 Procédé final

Tableau 2.3 - Etapes de meulage

Etape	Vitesse de descente de la meule ($\mu\text{m}\cdot\text{min}^{-1}$)		Durée de <i>sparkling</i> (sec)	Epaisseur retirée (μm)
	Phase rapide	Phase lente		
1	60	30	30	500
2	20	5	120	100
3	10	3	120	100

Le procédé final est présenté au Tableau 2.3. La meule grossière sera utilisée uniquement à l'étape 1, la meule fine pour les dernières. Durant toutes les étapes du meulage, les meules tourneront à une vitesse de 2500 rpm et le plateau tournant à 10 rpm. Les vitesses de descente ont été diminuées afin de ne pas endommager l'échantillon (Figure 2.12). Son épaisseur finale est fixée en général à 50 μm .

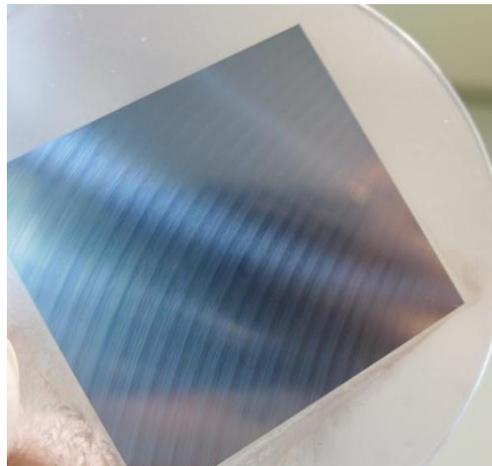


Figure 2.12 - Photographie d'un dispositif électronique après meulage

2.1.2 Polissage mécano-chimique

Le polissage mécano-chimique (CMP : Chemical Mechanical Process) est un procédé de lissage et d'aplanissement combinant la gravure chimique et le polissage mécanique à abrasif libre et transporté par un fluide porteur. En effet, le polissage mécanique seul est possible mais non désirable du fait des dommages associés à ce type de procédé. De plus, la gravure humide seule est inefficace. Les réactions chimiques isotropiques attaquent les matériaux indifféremment dans toutes les directions. La CMP est un procédé bas-coût qui peut être utilisé sur de nombreux matériaux tels les métaux, les diélectriques et le poly-silicium (Tableau 2.4). Il existe de nombreuses applications comme l'aplanissement de grandes surfaces ou de matériaux à différents niveaux sur circuit

silicium et procédés de circuits intégrés [Steigerwald-08]. Il offre un moyen alternatif pour aplanir le métal et permet d'accroître la fiabilité et le rendement.

Tableau 2.4 - Exemples d'applications

	Matériaux	Application
Métal	Aluminium et ses alliages	Interconnexions
	Cuivre et ses alliages	
	Tantale, titane, TiN, TiN _x C _v	Barrière de diffusion/Promoteur d'adhésion
	Tungstène	Interconnexions, e-emitter
Diélectrique	Polysilicium	Grille/interconnexions
	Dioxyde de silicium, BPSG, PSG, polymères, aérogels	ILD (<i>Inter-Layer Dielectric</i>)
	Si ₃ N ₄ ou SiO _x N _y	Passivation/CMP sévère, couche d'arrêt

2.1.2.1 Principe

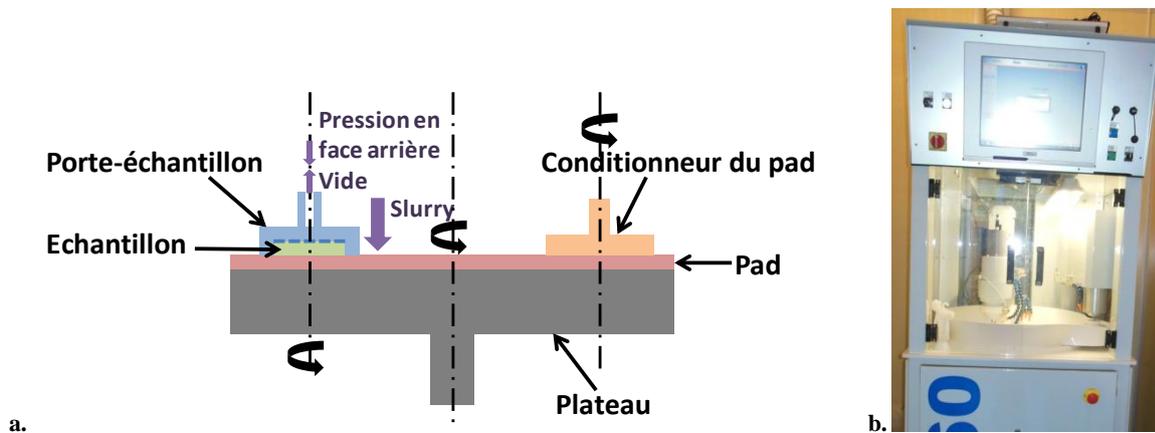


Figure 2.13 - a. Schéma de principe et b. Photographie de la machine de CMP

Notre étude a été conduite sur une machine E460 de la marque Alpsitec. L'équipement (Figure 2.13) consiste en un plateau rotatif recouvert d'une surface abrasive, appelée *pad*. L'échantillon est chargé face active vers le bas dans un porte-échantillon et s'appuie sur un film de protection. Le plateau et le porte-échantillon sont tous deux en rotation. Un bon contrôle de la vitesse est important afin d'obtenir une épaisseur homogène. Pendant le chargement et le déchargement, l'échantillon est maintenu dans le portoir par aspiration sous vide. Durant le polissage, une force mécanique de travail est appliquée sur le portoir. Une pression d'azote est également appliquée en face arrière de l'échantillon afin de garantir une pression uniforme de l'échantillon sur le *pad*. Une solution chimique abrasive appelée *slurry* est versée sur le plateau par des canules. Sur la surface à polir, les points les plus hauts sont soumis à des pressions plus élevées que leurs voisins, plus bas, ainsi la vitesse d'enlèvement y est donc plus forte. C'est cette différence de vitesse conjuguée à l'action du *slurry* qui donne l'effet de planarisation. Un conditionneur est utilisé avant et après chaque cycle de polissage afin de raviver la surface du *pad* [Alpsitec-15].

2.1.2.2 Matériaux abrasifs utilisés

2.1.2.2.1 Solution chimique abrasive (*slurry*)

Lors de l'étape de planarisation mécano-chimique, deux corps solides sont en glissement relatif en présence d'une solution liquide. La couche de fluide agit alors comme

un agent lubrifiant et conduit la chaleur à travers la surface. Par ailleurs, le transport et le renouvellement de particules abrasives sont plus efficaces. Les caractéristiques du *slurry* dépendent de la taille de grain, de son matériau, et de la chimie qui l'accompagne, dont le pH de la solution [Steigerwald-08]. L'abrasif le plus couramment utilisé pour polir les substrats de silicium est la silice colloïdale (SiO_2). Dans l'industrie, elle est produite par échange d'ion avec Na_2SiO_3 comme matériau de départ ou par hydrolyse du TEOS (tétraéthyl orthosilicate). Ces particules sphériques de taille homogène (typiquement comprise entre 50 nm et quelques μm) sont incorporées à une solution aqueuse basique (Tableau 2.5). Cette solution oxydante permet d'attaquer la surface de l'échantillon par voie chimique [Washington-15] suivant la réaction :

$$\text{Si}_{(s)} + 2\text{OH}^-_{(aq)} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2(\text{OH})_2^{2-} + 2\text{H}_2(g)$$

Si la concentration en oxydant est trop faible, la surface de l'échantillon en présence de réactif est faible d'où une faible vitesse d'enlèvement de matière. Il faut alors augmenter cette concentration de façon à traiter toute la surface de l'échantillon et, ainsi, obtenir une vitesse d'enlèvement constante [Matijević-08], [Wang-08].

Tableau 2.5 - Exemples de *slurries* à base de silicium colloïdal

<i>Slurry</i>	Ultra-sol 558 [Eminess-15-3]	Ultra-sol 2EX [Eminess-15-4]	Klebosol 1508-50 [Eminess-15-5]
Taille des particules (nm)	90	70	50
pH	11,9	11	10,9
Concentration	28%	30,5%	30%
Densité	1,19	1,2	1,21
Oxydant	Soude (NaOH)	Potasse (KOH)	Ammoniac (NH_4OH)

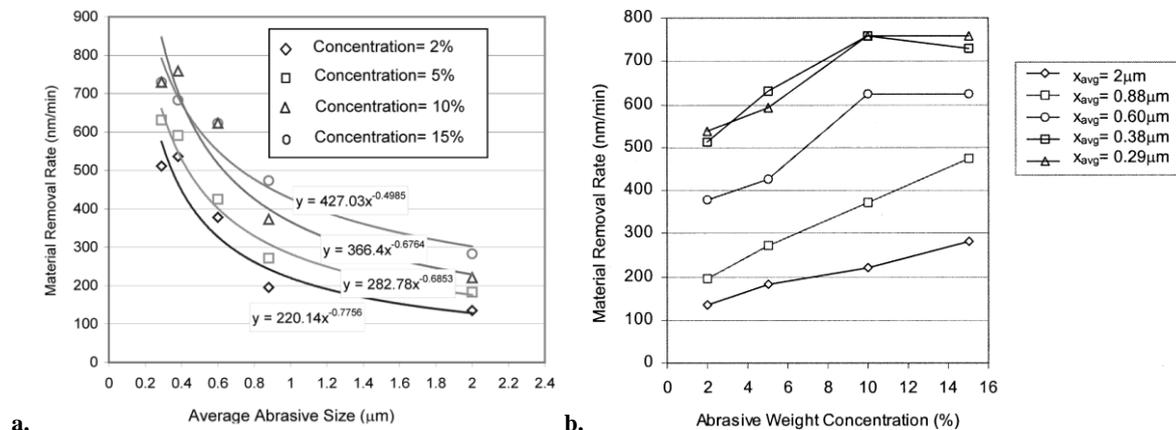


Figure 2.14 - Représentation de la vitesse d'enlèvement de matière en fonction de a. la taille et b. la concentration en particules abrasives [Luo-03]

La Figure 2.14.a montre que la vitesse d'enlèvement diminue à mesure que la taille des particules augmente. Cependant, elle augmente avec la concentration en abrasifs (Figure 2.14.b). En effet, seules les particules abrasives situées entre l'échantillon et le *pad* réagissent, ce sont les abrasifs actifs (Figure 2.15). Quand une force est appliquée sur l'échantillon, il se met d'abord en contact avec les particules les plus grandes. Un film se forme alors au voisinage de ces abrasifs participant ainsi à l'enlèvement de matière. Dans ce cas, leur nombre et leur taille, ainsi que la quantité de matière retirée par une seule particule sont très importants [Luo-01], [Luo-03]. Le procédé peut générer des craquelures

dues à l'abrasif ou aux contraintes mécaniques ainsi que des particules abrasives résiduelles.

2.1.2.2.2 Surface abrasive (*pad*)

Comme nous l'avons évoqué précédemment, la vitesse d'enlèvement est influencée par la nature des *slurries* mais aussi par des paramètres extérieurs comme la vitesse de glissement et la pression qui existent entre l'échantillon et le *pad*. Elle est proportionnelle à la surface réelle de contact et fonction de la géométrie du *pad*. Faite de polymère (Tableau 2.6), cette surface rugueuse contient des sillons concentriques ou organisés en matrice carrée ainsi que de nombreuses aspérités afin de faciliter le transport du *slurry* et l'évacuation de la matière enlevée. Le *pad* est régulièrement conditionné pour garder sa surface rugueuse et hydrophile afin que la solution abrasive forme un film suffisamment épais entre celui-ci et l'échantillon à polir. De plus, le taux de polissage augmente avec sa rugosité. Sa dureté et sa compacité peuvent également jouer un rôle sur la planéité [Steigerwald-08], [Vasilev-13].

Tableau 2.6 - Exemples de *pads*

<i>Pad</i>	Suba 500 [Eminess-15-1]	IC1000 [Eminess-15-2]
<i>Matériau</i>	Polyester	Uréthane
<i>Épaisseur (mm)</i>	1,27	1,27
<i>Compressibilité</i>	13%	2,25%
<i>Dureté</i>	55	57

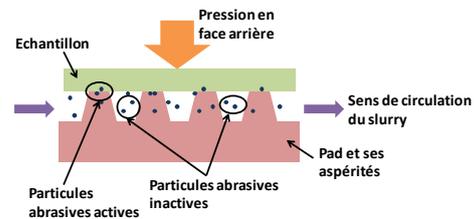


Figure 2.15 - Notion d'abrasif actif

2.1.2.3 Procédé utilisé

Compte-tenu des remarques précédentes, l'équipement Alpsitec que nous avons utilisé est équipé d'un *pad* IC1000 dont les sillons facilitent la circulation de la solution abrasive. Le *slurry* utilisé est du Klebosol 1508-50 dont la concentration élevée en particules abrasives favorise l'enlèvement de matière sans endommager l'échantillon.

Tableau 2.7 - Paramètres utilisés lors d'un cycle de polissage

<i>Étape</i>	Initialisation	Mise en contact	Conditionnement	Polissage	Rinçage
<i>Durée (s)</i>	10	8	18	t	90
<i>Vitesse de rotation de la tête (rpm)</i>	20	20	40	60	60
<i>Vitesse de rotation du plateau (rpm)</i>	20	20	40	60	60
<i>Pression de travail (mdaN/cm²)</i>	-180	500	500	500	300
<i>Pression en face arrière (mdaN/cm²)</i>	0	0	250	250	0
<i>Eau déionisée</i>	Non	Non	Non	Non	Oui
<i>Slurry (%)</i>	50	50	30	30	0

Un cycle de polissage comporte cinq étapes. Tout d'abord, la solution abrasive est répandue sur le *pad* en rotation. Puis, la surface à polir est mise en contact avec le *pad*. Une pression est alors appliquée en face arrière de l'échantillon afin d'initier le polissage. A la fin de cette étape, la pression en face arrière est relâchée et l'échantillon est rincé à l'eau déionisée. Durant cette étape, le *wafer* et le *pad* sont toujours en contact. Enfin, la

surface polie est retirée et le *pad* est ravivé pendant 35 sec à l'aide d'une rodeuse en diamant. Notre objectif a donc été de trouver un procédé permettant d'enlever beaucoup de matière sans compromettre l'intégrité et la planéité de l'échantillon et de réduire la taille des sillons et des rayures produites par le procédé de meulage.

Pour cela, nous avons utilisé des *wafers* de silicium de 3 pouces de diamètre préalablement amincis par meulage. Les vitesses de rotation et les pressions mentionnées dans la Tableau 2.7 sont des paramètres typiques de polissage du silicium. Ils peuvent être modifiés dans les cas suivants : i) si l'échantillon est sous poli sur le bord, il faut augmenter la vitesse de rotation de la tête, ii) si l'échantillon est sous poli au centre, il faut alors modifier la pression en face arrière de l'échantillon. Quant au débit de *slurry*, il n'est que de 50% du débit maximum puis de 30% afin principalement d'économiser la solution abrasive. Nous avons alors fait varier le temps t de polissage de 5 à 30 min. Les résultats présentés sur la Figure 2.16.b montrent que la planéité varie très peu avec la durée de polissage, et qu'un procédé long nous permettra d'enlever davantage de matière. Finalement, deux cycles de 15 min permettront d'enlever une vingtaine de microns. En supposant que le circuit à amincir mesure 800 μm d'épaisseur, nous obtiendrons un dispositif d'environ 30 μm d'épaisseur après meulage et polissage.

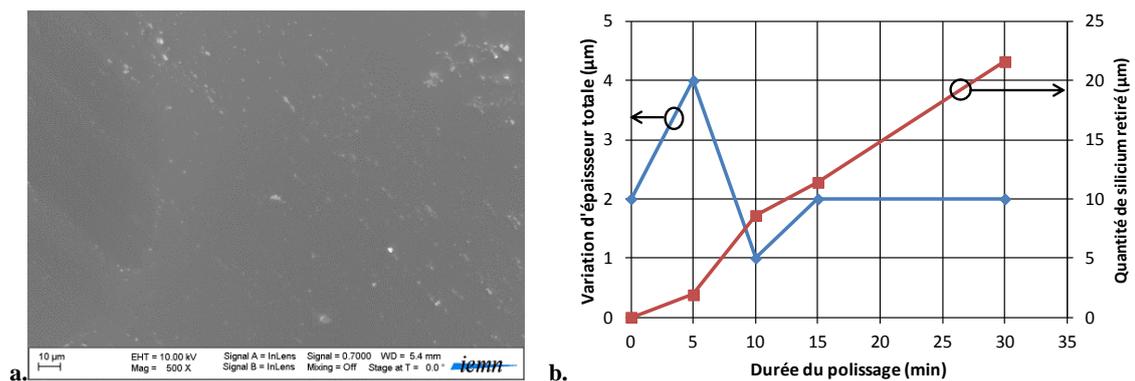


Figure 2.16 - a. Image MEB d'un *wafer* de silicium après CMP, b. Représentation de la variation d'épaisseur totale et de la quantité de silicium retiré en fonction de la durée de polissage



Figure 2.17 - Photographie de la machine de nettoyage mégasonique [ProSys-15]

Cependant, même si le procédé de CMP nous permet d'éliminer les sillons formés à la surface du dispositif après meulage (Figure 2.16.a), réduisant ainsi les contraintes

mécaniques sur l'échantillon, celui-ci génère de nombreux déchets qu'il est difficile d'éliminer à l'aide d'un jet hydrodynamique. Une machine de nettoyage mégasonique est donc nécessaire afin de faciliter l'élimination de ces résidus. Pour cela, nous avons effectué une série de tests sur une machine PolosSpin 150i/200i de la marque ProSys (Figure 2.17). Elle est constituée d'une tête vibrante appelée *Megpie* et d'un plateau tournant sur lequel l'échantillon est posé. La distance entre le *Megpie* et l'échantillon est inférieure à 200 μm . Une canule est installée afin de dispenser de l'eau déionisée ou une solution d'ammoniacale à 2% nécessaires au nettoyage de l'échantillon. Durant 10 min, un *wafer* de silicium préalablement poli a été soumis à une vibration mégasonique d'une pulsation de 10 ms avec un rapport cyclique de 50%. Les images MEB présentées Figure 2.18 montrent qu'à puissance égale, la surface est plus propre avec une solution d'ammoniac à 2% qu'en présence d'eau déionisée seule. En effet, toute particule, en contact avec un liquide, acquiert une couche de charge via un phénomène d'adsorption des ions par exemple. Cette couche électriquement chargée bouge avec la particule et attire une couche d'ions de charge opposée. Ces deux couches sont appelées collectivement "couche électrique double", et la frontière entre elles "le plan de cisaillement". Le potentiel au niveau de ce plan est appelé "potentiel Zêta", il nous renseigne sur la force de répulsion entre particules et donc sur la stabilité de la solution à long terme. Le potentiel Zêta dépend fortement du pH de la solution [Busnaina-95]. Ainsi, il sera plus aisé de retirer des particules de silicium avec une solution basique plutôt que neutre grâce à la présence d'ions qui peuvent "dissoudre" les particules présentes sur l'échantillon. Par ailleurs, nous remarquons qu'en augmentant la puissance de la sonisation, nous parvenons à éliminer une plus grande quantité de déchets. Nous pouvons également augmenter la durée du nettoyage pour obtenir de meilleurs résultats.

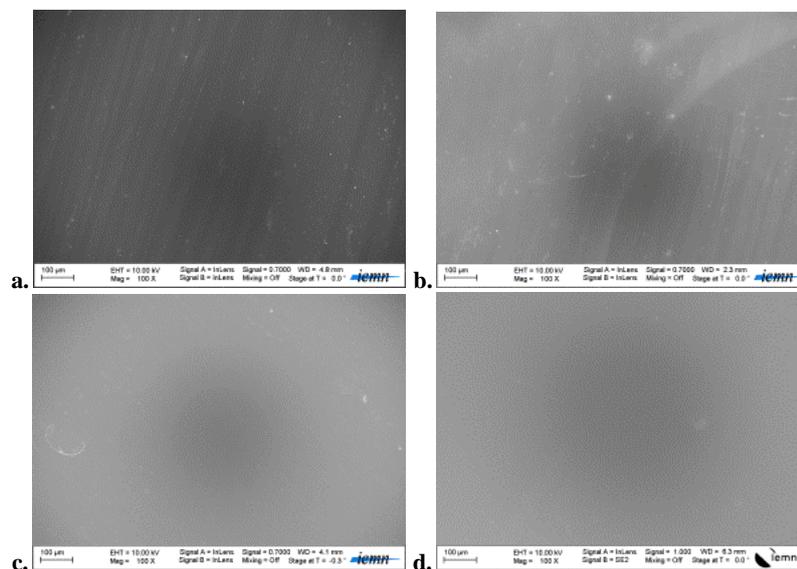
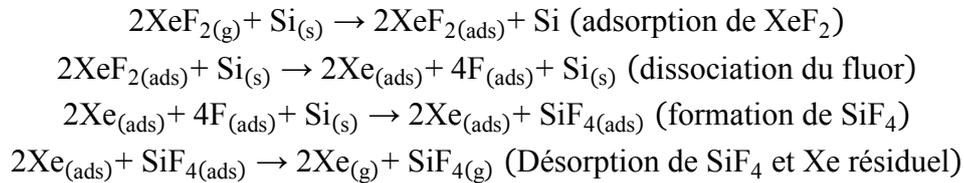


Figure 2.18 - Images MEB d'un *wafer* de silicium après nettoyage mégasonique à l'eau déionisée (a. P = 60 W, b. P = 90 W) et sous une solution ammoniacale à 2% (c. P = 60 W, d. P = 90 W)

2.1.3 Attaque au difluorure de xenon

Il s'agit d'un solide blanc à température et pression ambiante, vendu sous forme de sel dans des bouteilles en Teflon [Chu-97]. A température ambiante, la pression de

sublimation est de 4 Torr et de 6 Torr à 30-40°C. Il est utilisé pour ablater du silicium par une attaque gazeuse isotropique non-plasmique. Cette réaction chimique, très sélective vis-à-vis de l'aluminium, du dioxyde de silicium, du nitrure de silicium et des polymères (*photoresist*), se déroule de la façon suivante [Easter-09] [Kovacs-98]:



Comparée à d'autres méthodes d'ablation par voie sèche (Tableau 2.8), cette réaction exothermique donne des surfaces relativement rugueuses. Cependant, des tests effectués sur un équipement XACTIC XeF₂ (Figure 2.20.a) montrent que la rugosité peut être réduite en augmentant le temps d'exposition de l'échantillon. Qualitativement, il a été démontré qu'elle restait inchangée, quelque soit la pression utilisée. De plus, la Figure 2.20.b confirme la très grande sélectivité du difluorure de xénon vis-à-vis du dioxyde de silicium. Cette propriété peut alors être utilisée comme une condition d'arrêt de l'amincissement d'un dispositif CMOS-SOI. Cependant, le XeF₂ peut réagir avec l'eau pour former des vapeurs d'acide fluohydrique (qui peut s'attaquer au dioxyde de silicium). Il est donc nécessaire de déshydrater les échantillons avant de les amincir. La vitesse d'enlèvement du silicium peut atteindre 1,9 µm/min à 5,5 Torr [Easter-09] [Ibbotson-84]. De ce fait, afin d'enlever le silicium jusqu'à la couche d'oxyde enterré, 6 Torr de XeF₂ sont appliqués durant 200 à 300 cycles de 15 sec chacun, la pression extérieure est de 800 mTorr et la température du gaz de 45°C. L'épaisseur finale du dispositif CMOS-SOI (comprenant le BOX, l'élément à mesurer et la couche d'interconnexions) est alors d'environ 7 µm (Figure 2.19).

Tableau 2.8 - Comparaison de différentes méthodes d'ablation en phase gazeuse [Kovacs-98], [Lecavelier-13]

	XeF ₂	SF ₆	DRIE (Deep Reactive Ion Etch)
<i>Anisotropie</i>	Non	Variable	Oui
<i>Disponibilité</i>	Limitée	Courante	Limitée
<i>Vitesse d'ablation Si (µm/min)</i>	<3	~1	>1
<i>Rugosité</i>	Forte*	Variable	Faible
<i>Vitesse d'ablation SiO₂ (nm/min)</i>	<1:10 ⁴	Faible	1:10 ²
<i>Compatibilité CMOS**</i>	Oui	Oui	Oui
<i>Coût***</i>	Modéré	Elevé	Elevé
<i>Sécurité</i>	Modérée	Elevée	Elevée

*Les méthodes d'ablation à base de dihalogène de xénon peuvent donner des surfaces optiquement lisses
 **Défini comme 1) substrat pouvant être immergé directement sans précaution particulière et 2) sans présence d'ion alcalin
 ***Coût de l'équipement compris

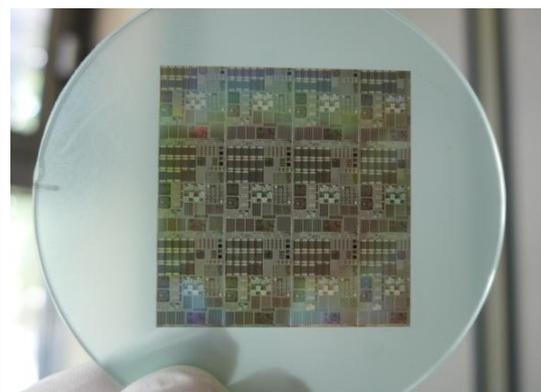


Figure 2.19 - Photographie d'un échantillon après attaque au XeF₂

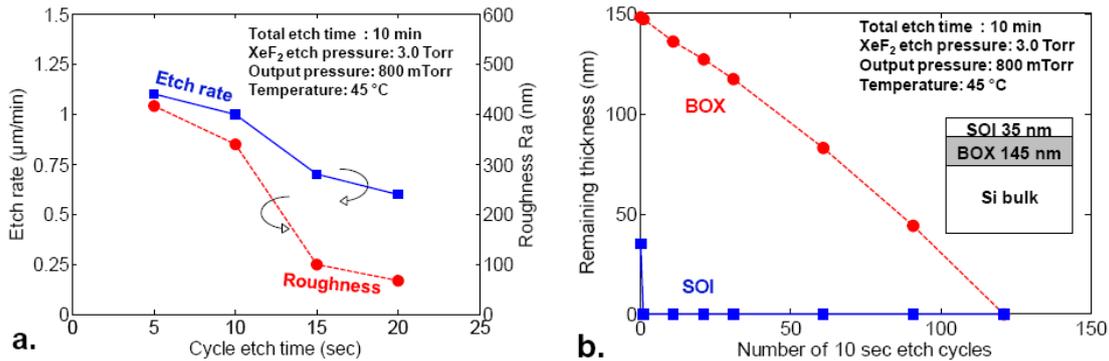


Figure 2.20 - Effet de la durée du cycle d'ablation sur la vitesse d'enlèvement (ligne bleue) et la rugosité moyenne (ligne rouge) du silicium, mesurée par profilométrie, durant l'attaque au XeF_2 (durée : 10 min, $P_{\text{XeF}_2} = 3$ Torr, $P_{\text{out}} = 800$ mTorr), et b. Mesure de la quantité de SiO_2 retiré durant l'attaque au XeF_2 . L'épaisseur d'oxyde enterré (BOX) d'un wafer SOI a été mesurée par ellipsométrie [Lecavelier-13]

2.2 Report sur substrat souple

La méthode de report consiste à coller, sur un support temporaire, une puce ou un substrat CMOS d'épaisseur type de 830 μm en face avant afin de l'amincir et de ne garder que la partie utile à savoir le composant et la couche d'interconnexion, qui sera alors reportée sur un substrat souple. Le support temporaire est alors retiré. Dans ce paragraphe, nous décrivons les techniques de collage utilisés durant le procédé d'amincissement et de report sur film fin. Le choix de ces techniques est très important en vue de maîtriser la chaîne d'adhésion, à savoir l'utilisation de matériaux adhésifs résistant aux étapes d'amincissement et permettant le report d'une puce électronique sur un substrat souple.

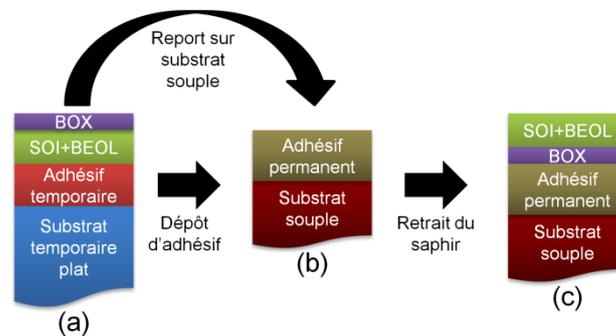


Figure 2.21 - Schéma de principe du procédé de report, a. Collage temporaire sur saphir, b. Report sur substrat souple après amincissement et c. Retrait du saphir

2.2.1 Collage temporaire sur saphir

Les étapes d'amincissement génèrent un certain nombre de contraintes mécaniques sur le circuit à reporter. Ainsi les étapes de meulage et de polissage induisent des forces de compression et de cisaillement qui peuvent endommager le dispositif. De plus, les attaques chimiques mises en jeu par l'emploi de *slurries* et du difluorure de xénon peuvent entraîner un décollement de l'échantillon du support temporaire. Toutefois, le XeF_2 reste très sélectif vis-à-vis des polymères. De ce fait, l'échantillon est collé sur un substrat rigide épais comme un saphir (épaisseur régulière, TTV ~ 1 μm), avec un adhésif résistant à la fois aux forces mécaniques et aux attaques chimiques. Il devra également s'enlever facilement afin de permettre le report sur film fin dans le respect de la chaîne d'adhésion.

Tableau 2.9 - Compatibilité entre différents types de collage temporaire avec diverses étapes de fabrication d'un circuit silicium [Lueck-15]

Type de collage	Amincissement	Procédé en face arrière	Découpage sur support	Collage et relâchement d'un dispositif
Film à relâchement thermique	Oui	Sensible au solvant	Possible	Collage <200°C seulement
Film thermoplastique	Oui	Oui	Oui	Flue durant le collage
Film à relâchement mécanique	Oui	Oui	Sous certaines conditions	Oui

Afin de choisir l'adhésif le mieux adapté à notre cas, nous avons comparé différents types de collage temporaires utilisés dans l'industrie électronique. Nous remarquons que les trois méthodes présentées dans le Tableau 2.9 sont toutes parfaitement utilisables lors de procédés d'amincissement. Cependant, les films thermoplastiques ont tendance à fluer, donnant ainsi un collage non uniforme, la présence de bulles est également constatée. Les films à relâchement mécanique sont intéressants car ils permettent un décollement facile par translation (*sliding*) de l'échantillon et résistent à des procédés haute température. Toutefois, la planéité obtenue après amincissement est faible comparée aux deux autres méthodes (TTV entre 4 et 8 μm [Lueck-15]). Finalement, même s'ils sont adaptés à des procédés faible température (<200°C), les films à relâchement thermique permettent un décollement rapide sans exercer de contrainte supplémentaire sur l'échantillon à reporter.

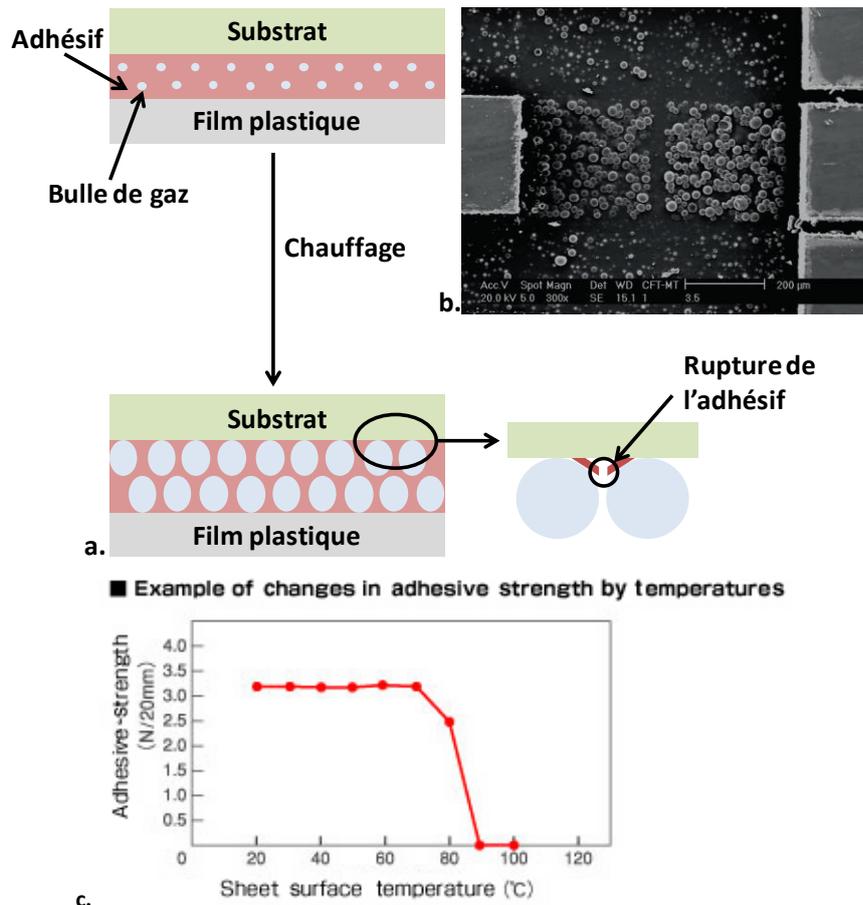


Figure 2.22 - a. Schéma de principe et b. image MEB après relâchement thermique [Karlitskaya-11] d'un film adhésif Revalpha, c. Représentation de la force d'adhésion en fonction de la température [Nitto-Denko-15-1]

Parmi les adhésifs existant, nous avons décidé d'utiliser les feuilles adhésives Revalpha fabriquées par l'entreprise japonaise Nitto Denko. Ce film en polyester est recouvert d'un côté par une couche adhésive permanent et de l'autre par une couche adhésive temporaire [Nitto-Denko-15-2]. Le schéma de principe présenté Figure 2.22.a montre que des microsphères remplies d'une substance facilement vaporisable à la chaleur sont incorporées à une colle [Murata-10]. Sous l'élévation de la température (ou par l'application d'un budget thermique), ces microsphères grossissent réduisant ainsi la surface de contact entre l'adhésif et le dispositif à reporter, la force d'adhésion devient quasi nulle (Figure 2.22.c). La Figure 2.22.b montre une image MEB de ces microsphères. L'échantillon est alors libéré sans dommage. La température de relâchement peut varier de 90 à 150°C selon les spécifications du film. Ce film adhésif est utilisé pour de nombreuses applications comme le transfert d'éléments d'un substrat à un autre ou comme substrat temporaire pour la fabrication ou l'amincissement.

2.2.2 Collage définitif sur substrat souple

Selon l'application visée, un circuit électronique peut être reporté sur différents types de substrat. Par exemple, un film plastique peut être utilisé pour réduire les variations de mobilité électronique dues à la piézorésistivité du silicium. Ou encore, un substrat métallique permet d'améliorer les dissipations thermiques des dispositifs reportés.

2.2.2.1 Report sur film plastique

Dans le domaine de l'électronique flexible, de nombreux polymères sont utilisés pour le report sur film plastique ou substrat de verre. Le PDMS (polydiméthyle siloxane) et les résines photosensibles sont parmi les plus employés.

Tout d'abord, le PDMS est une silicone coulée dans sa forme polymérisée à l'intérieur d'un moule fabriqué en SU-8 ou en silicium. Après polymérisation, il peut être enlevé du moule et placé sur un substrat, par exemple du verre, du silicium ou une autre couche de PDMS. Outre un procédé simple et rapide, cet élastomère peut être déposé directement sur un substrat propre et plat, établissant un collage faible. Un plasma O₂, effectué après dépôt, le rendra définitif. Cependant, les dispositifs fabriqués sur ce type de substrat ne sont pas stables mécaniquement. De plus, ce matériau absorbe la plupart des produits chimiques et se dissout très facilement dans de nombreux solvants organiques. Par ailleurs, sa perméabilité aux gaz entraîne des défauts de polymérisation [Kang-10], [Lee-05], [Vulto-08].

Les résines photosensibles comme la SU-8 sont à base d'époxy réagissant à la chaleur ou au rayonnement UV. Outre une grande stabilité mécanique, ce matériau possède une excellente résistance chimique et thermique. Ces résines sont déposées par centrifugation à la tournette donnant ainsi un film d'épaisseur non homogène qui peut gêner le collage. De plus, cet adhésif nécessite plusieurs étapes de cuisson aboutissant à un procédé long et sensible aux parasites de recuit. Nous avons également la possibilité d'utiliser du PMMA (polyméthyle méthacrylate), ou de coller directement de petites

surfaces sans couche intermédiaire [Agirregabiria-05], [Blanco-04], [Vulto-04], [Vulto-08], [Youn-08].

Finalement, la technologie de résine en film sec (*dry film*) représente une alternative simple, rapide et peu coûteuse par rapport aux autres méthodes. Elle permet d'obtenir un dépôt extrêmement uniforme et de bonne planéité par laminage d'un film adhésif. Cependant, ce procédé est parfois source d'erreur s'il n'est pas optimisé. En effet, des paramètres externes comme la durée de cuisson ou d'exposition sous lampe UV ou encore les paramètres de laminage tels la température, la pression exercée sur l'échantillon et la vitesse influent sur les contraintes subies par le matériau et sur les propriétés du collage. Parmi les technologies existantes, le film adhésif Ordyl SY317 fabriqué par Elga Europe possède une excellente résistance chimique et une bonne adhésion sur le verre, le silicium, les films Kapton et le Mylar. Ce film de 17 μm d'épaisseur est composé d'ester acrylique, de polymère acrylique, d'acrylate uréthane, de CI solvant bleu, de 2,2-diméthoxy-2-phénylacétophénone et d'éthylacrylate. Les acryliques esters contiennent des groupes époxy donnant au film adhésif sec une très grande résistance chimique et mécanique après polymérisation. Il peut être retiré avec de l'acétone ou un mélange de solvant organique. Un agent silanisant est utilisé bien que les groupes époxy jouent également un rôle dans le phénomène d'adhésion. Il peut être utilisé pour des applications MEMS, du prototypage rapide et des procédés industriels (compatible avec les technologies silicium) [ElgaEurope-15-1], [Focke-10], [Vulto-04], [Vulto-08].

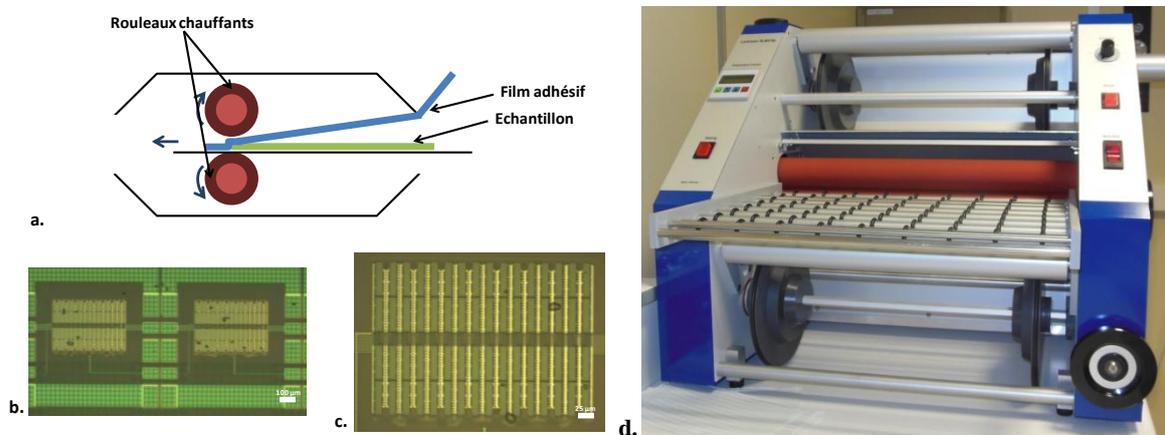


Figure 2.23 - a. Schéma de principe de la lamination, b. et c. Vues au microscope optique de la face arrière d'un circuit CMOS-SOI après report sur substrat souple, d. Photographie du laminateur

Le procédé retenu est décrit ci-après. Tout d'abord, le substrat hôte (ex : film polyimide de 50 μm d'épaisseur ou substrat de verre) est passé dans un bain d'acétone puis d'isopropanol durant 10 min aux ultrasons. Puis, la pellicule de polyéthylène protégeant le film Ordyl est retiré. L'adhésif est alors laminé sur le polyimide grâce à un lamineur industriel (RLM419D de Bungard Elektronik GmbH&Co) à 105°C sous une pression approximative de 10 kg/cm^2 (Figure 2.23.a) avec une vitesse de 0,2 $\text{m}\cdot\text{min}^{-1}$. Le film de polytéréphtalate d'éthylène est retiré après refroidissement. Le circuit et le film plastique sont alors mis en contact, puis laminé sous les mêmes conditions. L'échantillon est ensuite placé sous une lampe UV 360 nm durant une minute pour permettre la polymérisation de

l'adhésif [ElgaEurope-15-2]. Enfin, la puce peut être redécoupée au laser afin d'éliminer les films de Revalpha et d'Ordyl autour de la puce. Finalement, l'échantillon est posé sur une plaque chauffante à 130°C jusqu'à décollage complet de la puce reportée sur son substrat hôte. Des vues au microscope optique (Figure 2.23.b et .c) montrent que le collage est uniforme, à noter la présence de petites bulles sans conséquence sur l'état du composant lui-même. La Figure 2.24 présente deux reports effectués suivant la méthode décrite précédemment sur film plastique et sur verre.

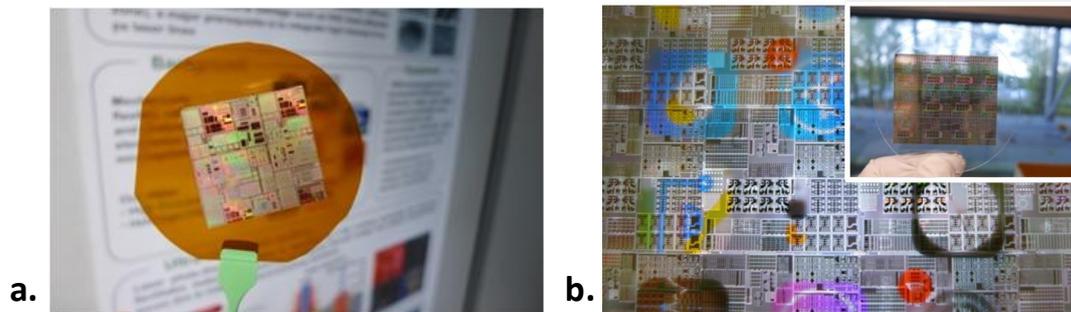


Figure 2.24 - Photographies d'un circuit SOI-CMOS reporté sur a. un film polyimide et b. un substrat en verre

2.2.2.2 Report sur substrat métallique

Les films plastiques dissipent moins de chaleur (conductivité thermique $< 1 \text{ W.m}^{-1}.\text{K}^{-1}$) que les substrats de silicium ($\sim 150 \text{ W.m}^{-1}.\text{K}^{-1}$). Les feuilles métalliques représentent alors une excellente alternative. En effet, elles possèdent de meilleures conductivités thermique et électrique ainsi qu'une meilleure résistance mécanique [Kuo-09], [Troccoli-06]. La couche d'adhésif peut présenter une barrière thermique rédhibitoire dans certains cas (les adhésifs organiques par exemple). Un collage métallique est donc recommandé comme le résume le Tableau 2.10.

Tableau 2.10 - Quelques méthodes de collage métallique

Collage	Température du procédé (°C)	Références
Indium	100	[Latzel-11]
Argent-Indium	190	[Sha-11]
Or-Indium	200	[Lee-93]
Or-Etain	310-320	[Matljasevic-89], [Lee-91]
Or-Silicium	400	[Jing-10]

Les alliages d'or à faible température de fusion sont habituellement utilisés pour leur haute conductivité thermique ($k_{\text{Au}} = 317 \text{ W.m}^{-1}.\text{K}^{-1}$) et leur grande résistance mécanique, ce qui en fait un matériau insensible à la fatigue et aux cassures pouvant intervenir durant le procédé. Le collage Or-Silicium est peu sensible à la rugosité de surface et aux particules. Cette technique, compatible avec les interconnexions en aluminium, ne permet pas néanmoins une adhésion uniforme [Jing-10]. Par ailleurs, l'alliage Or-Etain est utilisé dans les domaines du semiconducteur, de l'accoustique et de l'optique. Sa haute conductivité thermique est particulièrement intéressante pour le management thermique des amplificateurs de puissance. Le seul défaut de cette méthode est la propension de l'étain à s'oxyder [Matljasevic-89], [Lee-91]. Quant au collage Or-Indium, il est utilisé avant un procédé à haute température [Lee-93]. Cependant, ces procédés peuvent entraîner des phénomènes d'expansion thermique du fait qu'ils sont

effectués à des températures comprises entre 200 et 400°C. Ces phénomènes peuvent être quantifiés par l'équation : $\varepsilon = \alpha(T - T_0)$, avec ε représentant la déformation, α le coefficient de dilatation thermique (dépend du matériau utilisé) et T_0 la température initiale du système étudié. Autrement dit, si les matériaux utilisés possèdent des coefficients α très différents, les déformations seront d'autant plus importantes que l'écart de température sera élevé. De plus, ces procédés sont incompatibles avec les températures d'utilisation du Revalpha comprises entre 90 et 150°C.

D'autre part, l'indium possède d'excellentes propriétés adhésives avec les métaux et les non-métaux tout en absorbant les contraintes mécaniques induites lors du collage. Par ailleurs, ce type de couche d'adhésion peut être utilisé pour des dispositifs fragiles nécessitant un collage à basse température. Sa conductivité thermique est de $81,6 \text{ W.m}^{-1}.\text{K}^{-1}$, ce qui en fait un excellent candidat en terme de dissipations thermiques. Il s'agit d'un collage hermétique, répétable et robuste [Straessle-13]. Cependant, cette adhésion peut être remise en question par la présence d'oxyde natif à la surface du métal, une couche de chrome recouverte d'or ou de platine peut alors être utilisée afin d'optimiser le collage [Latzel-11]. L'alliage Argent-Indium pourrait être utilisé en raison de son pouvoir d'adhésion sur des métaux comme l'acier inoxydable, mais la température du procédé reste élevée (190°C).

Finalement, le procédé, décrit ci-après, s'inspire des travaux de [Latzel-11]. Tout d'abord, une couche d'indium de $1 \mu\text{m}$ d'épaisseur est déposée sur le circuit aminci et le substrat métallique (une feuille d'acier inoxydable de $25 \mu\text{m}$ d'épaisseur) par évaporation. Ensuite, l'échantillon et l'acier sont rapidement mis en contact afin d'éviter la formation d'oxyde tout en limitant la formation de bulles d'air. L'ensemble est alors laminé à 90°C sous une pression approximative de 4 kg.cm^{-2} avec une vitesse de $0,2 \text{ m.min}^{-1}$. Enfin, l'échantillon est posé sur une plaque chauffante à 130°C jusqu'à décollement complet du circuit. Il est alors passé au laser afin de découper l'acier inoxydable autour du dispositif. Le circuit final est représenté à la Figure 2.25.

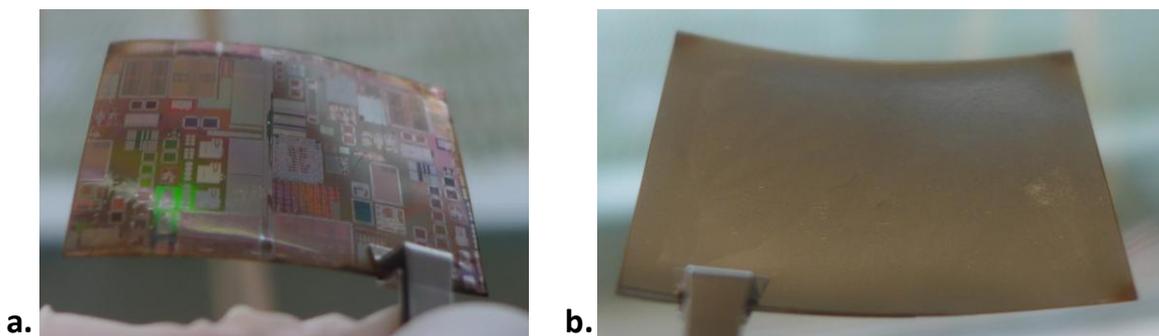


Figure 2.25 - Photographie de a. la face avant et de b. la face arrière d'un circuit SOI-CMOS reporté sur une feuille d'acier inoxydable

2.3 Synthèse

Ce second chapitre présente le procédé de fabrication développé tout au long de ce projet pour reporter une technologie CMOS-SOI haute performance sur un substrat flexible, que ce soit sous la forme de puces singulées ou de substrats complets.

Un procédé en trois étapes a été proposé afin de retirer complètement le substrat porteur (*handler*) de silicium sans endommager la couche d'oxyde enterré (BOX) du dispositif. Il consiste en i) une phase de meulage permettant d'amincir l'échantillon jusque 50 μm d'épaisseur, ii) suivie d'une phase de polissage mécano-chimique permettant d'atteindre 30 μm d'épaisseur et iii) pour finir une attaque gazeuse sélective vis-à-vis du dioxyde de silicium grâce au difluorure de xénon permettant de retirer le substrat restant jusqu'au BOX. Le dispositif, comportant le composant étudié, la couche d'interconnexions et le BOX, mesure alors 6 μm d'épaisseur.

Un film plastique est alors laminé sur la face arrière du circuit CMOS aminci en remplacement du substrat originel. Il en résulte alors un dispositif SOI-CMOS souple, fin et léger. En comparaison aux solutions techniques existantes, cette méthode présente l'avantage d'être faite entièrement par voie sèche, ceci afin d'éviter d'endommager le circuit électronique lors du report sur substrat souple.

Le procédé de fabrication de ces dispositifs souples ne montre aucune dégradation visible. De plus, le laminage peut s'appliquer à de nombreux matériaux, ouvrant la voie à de nouveaux supports afin d'améliorer les propriétés de certains dispositifs. Ceci est illustré par un report effectué sur une feuille d'acier inoxydable afin d'améliorer les dissipations thermiques. Un circuit peut être également reporté sur un substrat de verre. Dans les chapitres suivants, nous étudierons alors les propriétés apportées par ces différents substrats sur les circuits SOI-CMOS étudiés.

Chapitre 3. Propriétés de circuits RF CMOS reportés sur film métallique

Le but de ce chapitre est d'étudier les effets d'un report sur film métallique sur des circuits RF CMOS hautes performances. La technologie CMOS est utilisée dans de nombreux domaines où les dissipations de puissances sont importantes. Ces dispositifs sont alors soumis à de hautes températures provoquant un effet d'auto-échauffement et de couplage thermique. Dans ce cas, la mobilité et le niveau de courant maximum atteignable diminuent, ce qui affecte ses performances. Ces phénomènes sont amplifiés par l'emploi d'un substrat isolant (film plastique par exemple). Afin de résoudre ce problème, des circuits RF CMOS ont été reportés sur un film métallique en suivant le procédé de fabrication décrit au chapitre précédent. Après une première partie décrivant le contexte de l'étude, la seconde partie montrera que le procédé ne dégrade pas les performances électriques des dispositifs obtenus. Puis, après avoir rappelé des notions de base concernant les transferts thermiques, la dernière partie de ce chapitre décrira le comportement et la réponse en température du système étudié durant la phase de fonctionnement.

3.1	Contexte de l'étude.....	82
3.2	Performances électriques des circuits RF CMOS reportés.....	82
3.2.1	<i>Caractérisation DC.....</i>	83
3.2.1.1	<i>Caractéristiques statiques de transistors n- et p-MOSFETs sur film métallique</i>	83
3.2.1.2	<i>Effet de canal court associé aux transistors flexibles</i>	84
3.2.1.3	<i>Comparaison avec les technologies CMOS conventionnelles</i>	85
3.2.2	<i>Caractérisation RF</i>	85
3.2.2.1	<i>Méthode de mesure RF</i>	85
3.2.2.2	<i>Mesure des paramètres S.....</i>	88
3.2.2.3	<i>Extraction des figures de mérite f_T et f_{max}.....</i>	89
3.2.2.4	<i>Extraction du circuit équivalent petit signal (SSEC).....</i>	91
3.2.3	<i>Synthèse</i>	95
3.3	Propriétés thermiques des circuits RF CMOS reportés.....	95
3.3.1	<i>Un peu de théorie</i>	95
3.3.1.1	<i>Loi de Fourier</i>	95
3.3.1.2	<i>Ordre de grandeur des conductivités thermiques.....</i>	96
3.3.1.3	<i>Equation de la chaleur</i>	97
3.3.1.4	<i>Notion de régime permanent et transitoire.....</i>	98
3.3.1.5	<i>Conditions initiales.....</i>	98
3.3.1.6	<i>Conditions aux limites en thermique</i>	99
3.3.1.7	<i>Analogie électrique.....</i>	100
3.3.2	<i>Simulations avec le logiciel FlexPDE.....</i>	101
3.3.2.1	<i>Présentation du logiciel FlexPDE.....</i>	101
3.3.2.2	<i>Description du modèle utilisé.....</i>	102
3.3.2.3	<i>Résultats obtenus après simulation</i>	103
3.3.3	<i>Caractérisation thermique par imagerie infra-rouge.....</i>	105
3.4	Synthèse.....	107

3.1 Contexte de l'étude

Les transistors MOSFETs sont utilisés dans diverses applications où les dissipations de puissances sont importantes comme l'électronique automobile, l'amplification RF de puissance, etc... Les dispositifs opèrent alors en régime haute puissance et, par conséquent, à haute température. Dans ce cas, un effet d'auto-échauffement apparaît, causant une diminution de la mobilité et donc de la transconductance et du niveau de courant maximum atteignable, ce qui affecte sévèrement ses performances. Cet effet a également pour conséquence d'échauffer les composants voisins à proximité immédiate par couplage thermique. Ce phénomène peut influencer le fonctionnement du circuit complet. Ces effets deviennent plus importants quand les composants sont fabriqués sur un substrat isolant comme la technologie SOI à cause de la faible conductivité thermique du substrat induite par la présence d'un oxyde enterré faisant barrière à la diffusion thermique ($\lambda_{\text{SiO}_2} = 1 \text{ W.m}^{-1}.\text{K}^{-1} < \lambda_{\text{Si}} = 150 \text{ W.m}^{-1}.\text{K}^{-1}$) [Khandelwal-11], [Neel-90], [Chuang-04], [Walkey-02], [Tenbroek-98].

Par ailleurs, des travaux précédents ont montré que les procédés d'amincissement et de report sur film plastique ne dégradent pas les performances des transistors en termes d'opérations à hautes fréquences et faible bruit, quel que soit la conformation mécanique adoptée par le circuit. Cependant, un substrat en matériau organique (plastique, polymère) présente une conductivité thermique très faible. De ce fait, les phénomènes d'auto-échauffement et de couplage thermique observés sur substrat SOI risquent d'être amplifiés, dégradant ainsi les performances des dispositifs en électronique de puissance.

Comme nous l'avons montré dans le chapitre précédent, il est possible de reporter un circuit CMOS-SOI sur un substrat métallique. Nous montrerons, tout d'abord, que le procédé de fabrication ne dégrade pas les performances électriques du dispositif. Puis, après une brève description des notions de bases requises pour l'étude des transferts thermique, nous étudierons l'impact de la température sur le système étudié.

3.2 Performances électriques des circuits RF CMOS reportés

Après le transfert d'une puce SOI-CMOS amincie sur un film métallique (comme décrit au chapitre précédent), les performances électriques de ces transistors SOI RF-MOSFETs sont comparés ci-après avec leurs équivalents sur substrat rigide. Les mesures présentées dans cette section ont été principalement effectuées sur des transistors n- et p-MOSFETs possédant 64 doigts de grille. La longueur de grille vaut 60 nm et la largeur unitaire d'un doigt est de 1 μm . Les dispositifs flexibles sur lesquels sont effectuées les caractérisations DC et RF sont reportés sur une feuille d'acier inoxydable de 25 μm d'épaisseur par le procédé de laminage décrit au chapitre précédent.

Les mesures statiques ont d'abord été effectuées pour démontrer que les dispositifs SOI RF-CMOS flexible conservent leurs propriétés après report et que leurs performances sont similaires à celles obtenues sur substrat rigide. Les mesures dynamiques ainsi que l'extraction du circuit équivalent petit signal (SSEC) sont déterminées en utilisant la

méthodologie décrite en section 3.2.2.1. Nous démontrerons ainsi que leurs figures de mérite RF sont compétitives avec la technologie rigide 65 nm.

3.2.1 Caractérisation DC

La caractérisation DC est effectuée sur des circuits CMOS rigides et flexibles (Figure 3.1.a) maintenus à plat sur un support relié à la masse. Des sondes RF Infinity d'un pas de 125 μm sont connectées aux contacts en aluminium liés à la grille et au drain, la source étant reliée à la masse (Figure 3.1.b).

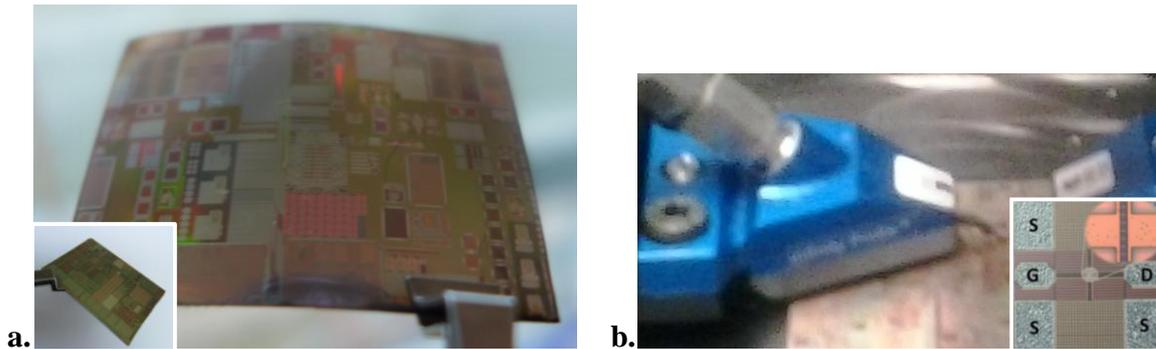


Figure 3.1 - a. Photographie d'un circuit SOI RF-CMOS flexible, aminci et reporté sur une feuille d'acier de 25 μm d'épaisseur, en bas à gauche : le dispositif rigide initial, b. Sondes RF Infinity utilisées pour les mesures statiques et dynamique des circuits CMOS rigides et flexibles, en bas à droite : Vue au microscope optique d'un transistor RF-MOSFET avec les contacts de drain (D), source (S) et grille (G) et un zoom sur les doigts de grille

3.2.1.1 Caractéristiques statiques de transistors n- et p-MOSFETs sur film métallique

La Figure 3.2 présente les caractéristiques statiques de transistors n- et p-MOSFETs mesurées sur leur substrat initial rigide (lignes bleues) et après report sur un film métallique (lignes rouges en pointillés). Nous pouvons remarquer que les propriétés électriques des dispositifs sont conservées pour l'essentiel. Les transistors flexibles possèdent des niveaux de courant et de transconductance statique compétitifs avec leurs homologues rigides. En effet, les n-MOSFETs sur métal ont un courant de drain $I_{\text{DS}} = 30 \text{ mA}$ (476 mA/mm) à $V_{\text{DS}} = 1,5 \text{ V}$ et $V_{\text{GS}} = 1 \text{ V}$ et une transconductance statique de 47 mS (727 mS/mm) à $V_{\text{DS}} = 1,2 \text{ V}$ et $V_{\text{GS}} = 0,8 \text{ V}$. Nous obtenons des résultats similaires sur p-MOSFETs flexibles avec des valeurs importantes de courant de drain (273 mA/mm) et de transconductance statique (469 mS/mm). Ces valeurs sont réunies dans le Tableau 3.1, qui contient également les figures de mérite statiques du transistor comme le rapport $I_{\text{ON}}/I_{\text{OFF}}$, le DIBL (*Drain Induced Barrier Lowering*) et la pente sous le seuil (SS). Le courant de fuite I_{OFF} est défini comme le courant de drain I_{DS} mesuré à $V_{\text{GS}} = 0\text{V}$ et $V_{\text{DS}} = V_{\text{DD}}$, c'est-à-dire $V_{\text{DS}} = 1,5 \text{ V}$ pour n-MOSFETs et $V_{\text{DS}} = -1,5 \text{ V}$ pour p-MOSFETs. La tension de seuil V_{th} est extraite à la même tension de drain $V_{\text{DS}} = V_{\text{DD}}$ afin d'extraire la tension de seuil dégradée par l'effet de DIBL. Le DIBL représente la différence de tension de seuil entre une faible et une haute tension V_{DS} : respectivement $V_{\text{DS}} = \pm 200 \text{ mV}$ et $V_{\text{DS}} = \pm 1 \text{ V}$. La pente sous le seuil, mesurée à faible tension de grille V_{GS} , est représentée en Figure 3.2.c-d. Les dégradations observées sont représentatives de la dispersion puce à puce. En effet, les mesures ont été effectuées sur deux puces distinctes, l'une rigide, l'autre amincie et reportée sur film métallique.

Tableau 3.1 - Figures de mérite statiques d'un n- et p-MOSFET sur son substrat initial et après transfert sur un film métallique

		I_{ON} (mA/mm)	I_{OFF} (μ A/mm)	I_{ON}/I_{OFF} ($\times 10^4$)	g_m^{DC} (mS/mm)	V_{th} (mV)	DIBL (mV)	SS (mV/dec)
n-MOSFET	Rigide	507	10,8	46,9	807,8	525	115	90
	Flexible	476	13,8	34,5	726,6	550	135	90
p-MOSFET	Rigide	279	7,8	35,8	500	-500	115	90
	Flexible	273	300,3	0,9	469	-500	110	130

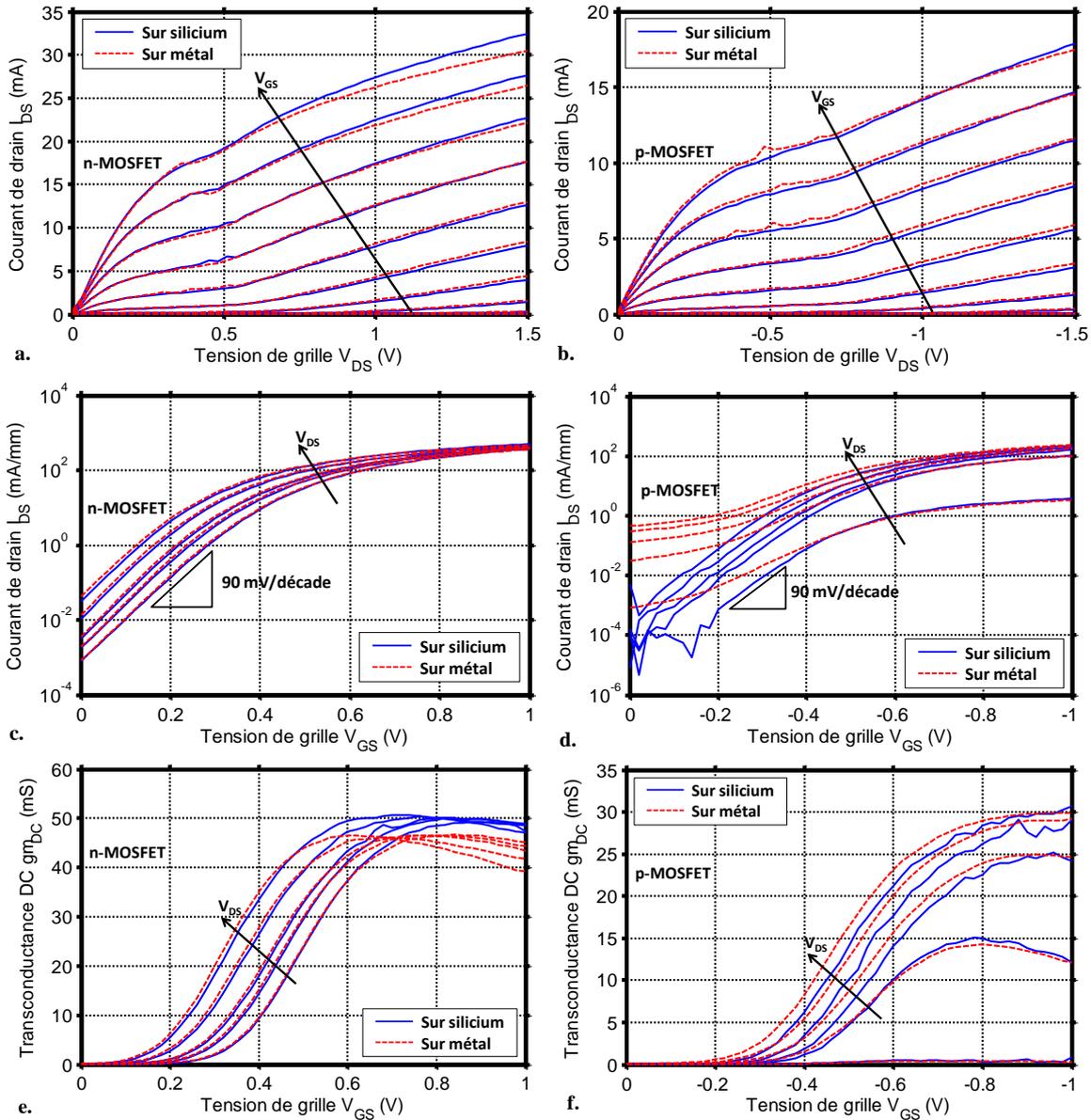


Figure 3.2 - Caractéristiques statiques a., c. et e. d'un n-MOSFET et b., d. et f. d'un p-MOSFET sur son substrat initial (en bleu) et après transfert sur un film métallique (en rouge)

3.2.1.2 Effet de canal court associé aux transistors flexibles

Comme pour l'électronique conventionnelle rigide (voir au chapitre 1), les effets de canaux courts (SCE), pour les transistors flexibles, augmentent avec la réduction de la longueur du canal au même titre que la couche de déplétion. Le but de ces travaux n'est pas de décrire précisément ces SCE mais de montrer qu'ils sont également pris en compte par le domaine de l'électronique souple haute performance ainsi que tous les paramètres relatifs aux technologies CMOS sur substrat rigide et épais. La tension de seuil V_{th} , le DIBL et la

penne sous le seuil peuvent être extraits des mesures statiques présentées au paragraphe précédent (Tableau 3.1).

3.2.1.3 Comparaison avec les technologies CMOS conventionnelles

En conclusion, les mesures statiques effectuées sur n- et p-MOSFETs sur leur substrat rigide initial et après report sur film métallique montrent qu'il y a peu de dégradations due au procédé de fabrication présenté au chapitre 2. De ce fait, les MOSFETs flexibles possèdent des caractéristiques DC comparables et compétitives avec leurs homologues rigides.

3.2.2 Caractérisation RF

3.2.2.1 Méthode de mesure RF

Les méthodes de caractérisation RF présentées ici sont basées sur une expérience de plusieurs années au sein du laboratoire commun IEMN-STMicroelectronics, et en partie dérivées de travaux effectués par d'autres étudiants [Waldhoff-09-1], [Martineau-08], [Pavageau-05], [Tagro-10]. La définition des paramètres S et des méthodes de conversion peuvent être également trouvées dans ces mêmes références.

3.2.2.1.1 Calibration à vide

Avant de caractériser les propriétés HF d'un MOSFET, une étape de calibration à vide doit être effectuée. Un kit de calibrage, également appelé ISS (*Impedance Standard Substrate*) fournit des composants standards qui rendent possible la calibration de l'analyseur de réseau (VNA : *Vector Network Analyser*) [Waldhoff-09-1], [Waldhoff-09-2]. La première étape consiste à déterminer les erreurs systématiques afin de retirer les caractéristiques parasites du système de mesure (câbles, sondes) et de se ramener dans le plan des sondes, comme représenté à la Figure 3.3.a. La complexité du procédé de calibrage augmente avec la fréquence [Waldhoff-09-1], [Waldhoff-09-2]. Plusieurs méthodes de calibration ont déjà été développées nécessitant un nombre croissant d'éléments passifs et d'erreurs à corriger.

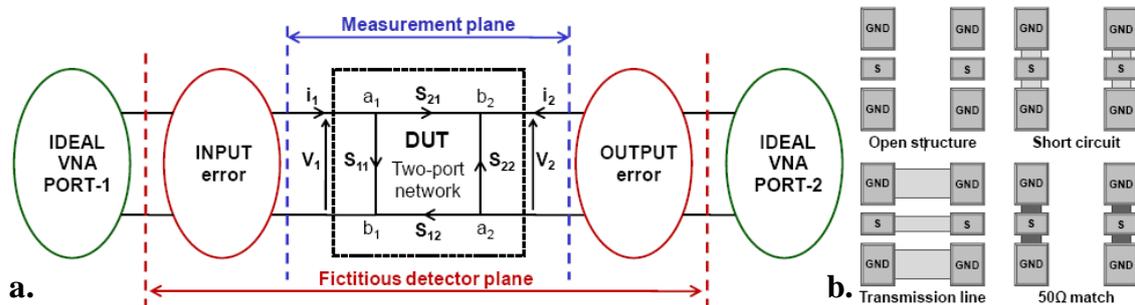


Figure 3.3 - a. Représentation schématique d'un dispositif de mesure HF, composé d'un VNA idéal, ainsi que des erreurs systématiques en entrée et en sortie du réseau (câbles, sondes), placées avant et après le dispositif testé [Engen-79], b. Standards de calibration, à savoir i) un circuit ouvert, ii) un court-circuit, iii) une ligne de transmission et iv) une charge adaptée 50 Ω [Waldhoff-09-1]

La famille de calibration TRL (*Thru-Reflect-Line*) est basée sur la mesure des caractéristiques RF de trois éléments passifs (y compris les erreurs liées à l'appareil de

mesure). Deux lignes de transmissions standards sont caractérisées : un *Thru* (c'est-à-dire une ligne de transmission idéale sans perte) et une ligne de longueur (ou délai) connue. De plus, un dispositif de réflexion standard (ou court-circuit) est également mesuré [Engen-79]. Après un calibrage TRL, le plan de référence des mesures est défini au milieu du *Thru*. La Figure 3.3.b présente les quatre standards fournis par un kit de calibrage [Waldhoff-09-1]. Une autre technique consiste à modéliser les parasites en entrée et en sortie du dispositif à mesurer à partir des caractéristiques HF de standards non-idéaux [Waldhoff-09-1], [Waldhoff-09-2], [Engen-79]. Plusieurs méthodes utilisant quatre standards comme SOLT (*Short-Open-Line-Thru*) ou LRRM (*Line-Reflect-Reflect-Match*) par exemple, permettent de placer le plan de référence au bout des pointes, sur le plot de contact du dispositif sous test [Waldhoff-09-1], [Crozat-91], [Davidson-90]. Une description plus précise de ces deux méthodes de calibrage est donnée dans les références [Waldhoff-09-1], [Waldhoff-09-2]. Durant les travaux, nous avons utilisé la méthode de calibrage LRRM sur un kit de calibration : Cal Kit 138-357 fourni par Cascade Microtech, pour calibrer l'analyseur de réseau.

3.2.2.1.2 Epluchage des données

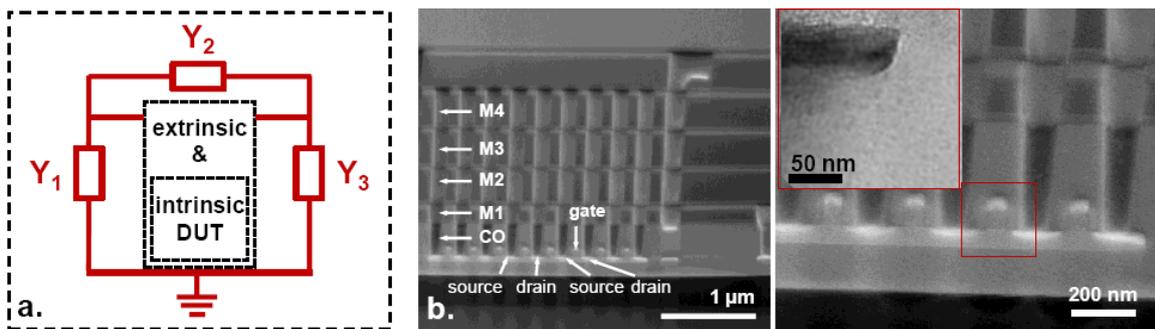


Figure 3.4 - a. Circuit équivalent de la méthode d'épluchage OPEN, présentant les contributions parasites des accès du transistor et le composant sous test (DUT), b. Image MEB et MET de la source, du drain et de la grille ainsi la multicouche d'interconnexion [Lecavelier-13]

Après le calibrage, une méthode d'épluchage est nécessaire pour retirer la contribution parasite des accès du transistor [Waldhoff-09-1]. En effet, la grille du transistor est reliée avec le niveau le plus haut de métallisation au moyen d'une multicouche d'interconnexions et de vias (Figure 3.4). La Figure 3.5.b fournit la structure du transistor avec les contacts, les lignes d'accès et les vias à l'intérieur de la multicouche de métallisation BEOL. Dans ce paragraphe, deux méthodes seront décrites.

Dans une première approximation, la méthode d'épluchage OPEN peut être utilisée [Wijnen-87]. Les paramètres S d'un transistor RF et d'un circuit ouvert (contenant les contacts, les lignes d'accès et les vias) sont mesurés. Les caractéristiques HF d'un transistor épluché sont obtenues par soustraction des paramètres d'admittance du circuit ouvert Y_{OPEN} des paramètres d'impédance du transistor non-épluché Y_{TOT} , comme le montrent les équations 1 et 2. La Figure 3.4.a présente le circuit équivalent de la méthode d'épluchage OPEN.

$$Y_{OPEN} = \begin{pmatrix} Y_1 + Y_2 & -Y_2 \\ -Y_2 & Y_2 + Y_3 \end{pmatrix} \quad (1)$$

$$Y_{DUT} = Y_{TOT} - Y_{OPEN} \quad (2)$$

A mesure que les fréquences caractéristiques des transistors sub-micrométriques augmentent, des méthodes d'épluchage plus complexes sont requises pour tenir compte des effets parasites des accès du transistor [Waldhoff-09-1]. Plusieurs techniques sont définies et comparées dans les références [Waldhoff-09-1], [Waldhoff-09-2]. La technique qui a été utilisée ici est la méthode d'épluchage POSS (*Pad-Open-Short₁-Short₂*). La Figure 3.5.a montre le circuit équivalent où sont représentés les éléments parasites pris en compte par la technique POSS : contacts en aluminium, capacités des vias métalliques et inductances d'accès [Waldhoff-09-1], [Waldhoff-09-2]. Ces éléments parasites sont également présentés à la Figure 3.5.b qui montre une vue au microscope optique d'un MOSFET (à gauche) et une vue en coupe au MEB du même dispositif (à droite). Ces deux figures permettent de faire une comparaison entre le modèle et la réalité technologique des problématiques de l'épluchage.

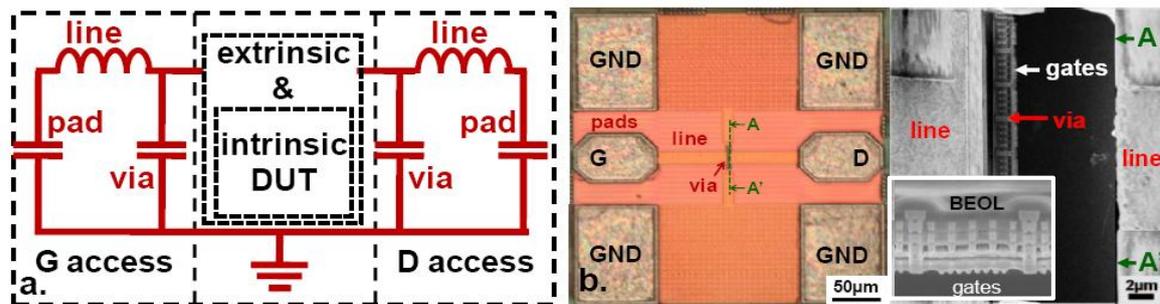


Figure 3.5 - a. Circuit équivalent de la méthode d'épluchage POSS, présentant les éléments série et parallèle des accès autour du DUT, b. (à gauche) Vue au microscope optique du transistor mesuré, et (à droite) Vue du dessus selon l'axe AA' de la structure du composant étudié (l'insert montre la grille du transistor et les vias en cuivre) [Lecavelier-13]

Afin de retirer ces contributions parasites, quatre structures d'épluchage doivent être mesurées. Tout d'abord, une structure "PAD" contenant seulement les contacts en aluminium est mesurée. Puis deux structures "SHORT", constitués des contacts et des lignes d'accès pour SHORT₁, quand SHORT₂ comporte également les vias métalliques jusqu'au premier niveau d'interconnexion en cuivre. La structure "OPEN" est dédiée au transistor mesuré car elle inclut les doigts de grille et la structure d'accès complète (contacts, interconnexions et vias). Contrairement aux trois premières structures qui peuvent être utilisées pour n'importe quel transistor de même technologie, la structure OPEN est dédiée à la géométrie propre du transistor étudié (largeur unitaire de grille, longueur et largeur totale). Les paramètres S de ces structures sont présentés à la Figure 3.6.a.

Les paramètres S épluchés du dispositif sous test sont extraits (Figure 3.6.b) après mesure des quatre standards requis : S_{pad} , S_{open} , S_{short1} , S_{short2} par le calcul de deux paramètres intermédiaires : S_{line} et S_{via} comme suit :

$$Z_{line} = (Y_{short1} - Y_{pad})^{-1} + \frac{(Y_{short2} - Y_{pad})^{-1} - (Y_{short1} - Y_{pad})^{-1}}{3} \quad (3)$$

$$Y_{via} = \left[(Y_{open} - Y_{pad})^{-1} - Z_{line} \right]^{-1} \quad (4)$$

$$Z_{DUT} = \left\{ \left[(Y_{TOT} - Y_{pad})^{-1} - Z_{line} \right]^{-1} - Y_{via} \right\}^{-1} \quad (5)$$

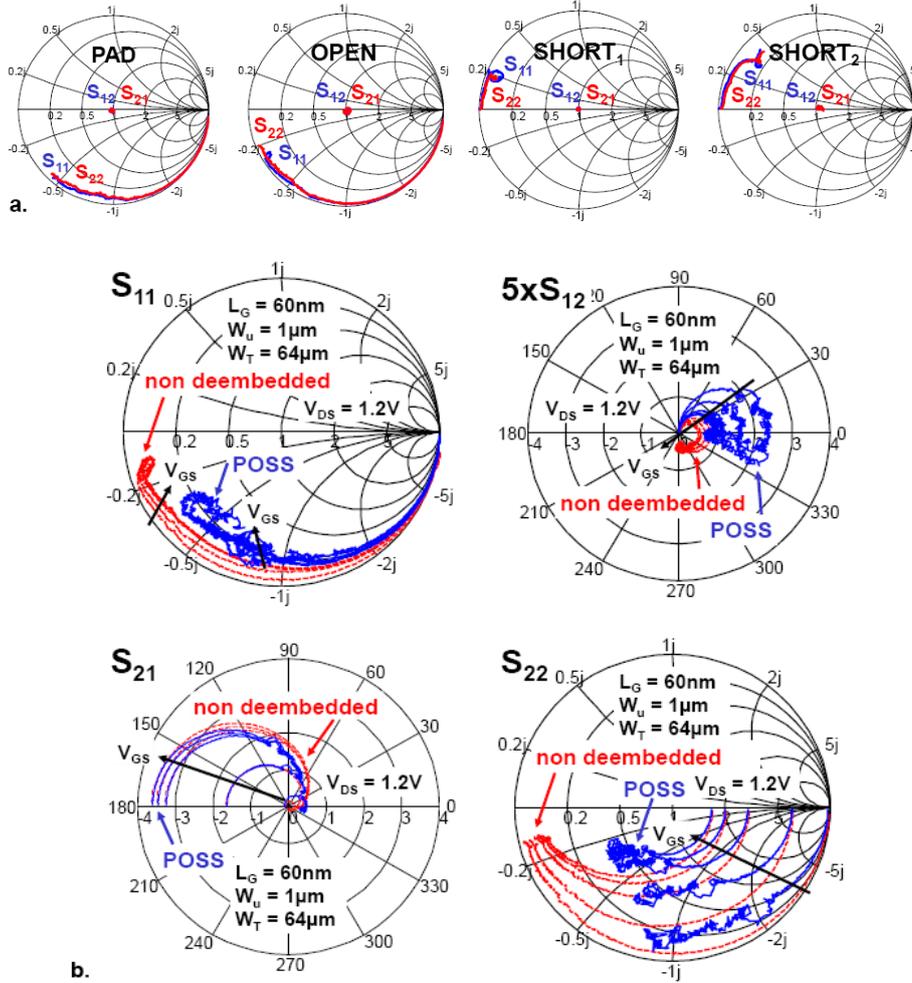


Figure 3.6 - a. Paramètres S des quatre structures d'épluchage requises pour la méthode POSS : de gauche à droite, *pad*, *open*, *short*₁ et *short*₂, b. Comparaison des paramètres S pris à différents V_{GS} d'un SOI RF-MOSFET avant (en rouge) et après (en bleu) épluchage POSS [Lecavelier-13]

3.2.2.2 Mesure des paramètres S

En plus des caractéristiques statiques, des mesures RF ont été effectuées sur les mêmes dispositifs rigides et flexibles. Les Figure 3.7 et Figure 3.8 comparent les paramètres S de transistors n- et p-MOSFET, mesurés sur une plage de fréquence allant de 500 MHz jusqu'à 110 GHz en utilisant la méthode d'épluchage POSS décrite précédemment. Ces figures montrent que les propriétés RF sont similaires, même si nous remarquons quelques déviations à haute fréquence. Dans le cas des transistors n-MOSFET, des différences notables ont été remarquées sur les paramètres S₁₂ et S₂₁. L'impact de cette différence sera examinée dans le cadre de l'extraction des fréquences f_T et f_{max} dans la

section suivante. Les lignes bleues correspondent aux mesures effectuées sur un substrat HR SOI rigide et les lignes rouges celles faites sur un dispositif CMOS aminci et reporté sur un film métallique. De plus, les lignes vertes en pointillés montrent les paramètres S issus de la rétro-simulation effectuées sur substrat flexible, comme présenté dans la suite de ce document.

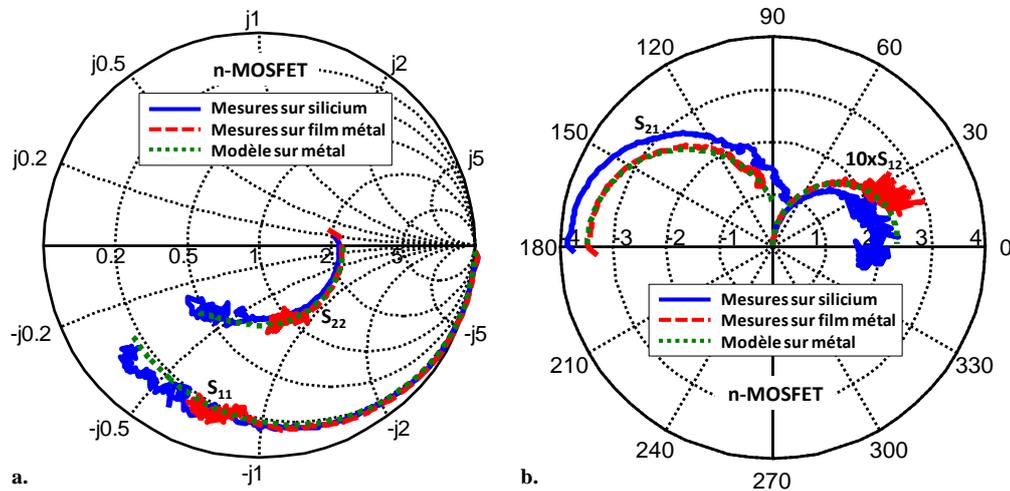


Figure 3.7 - Paramètres S mesurés de 550 MHz jusqu'à 110 GHz sur un n-MOSFET rigide (en bleu) et après report sur film métallique (en rouge), ainsi que la rétro-simulation des paramètres S du dispositif flexible (en vert), les transistors sont polarisés à $V_{DS} = 1,2$ V et $V_{GS} = 0,8$ V

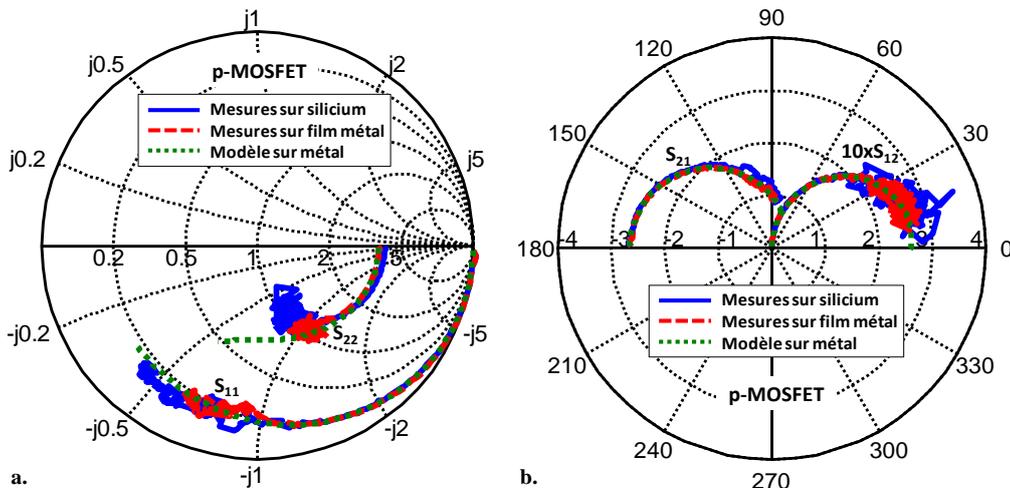


Figure 3.8 - Paramètres S mesurés de 550 MHz jusqu'à 110 GHz sur un p-MOSFET rigide (en bleu) et après report sur film métallique (en rouge), ainsi que la rétro-simulation des paramètres S du dispositif flexible (en vert), les transistors sont polarisés à $V_{DS} = -1,5$ V et $V_{GS} = -1$ V

3.2.2.3 Extraction des figures de mérite f_T et f_{max}

Tableau 3.2 - Caractéristiques RF de plusieurs n- et p-MOSFETs avant et après transfert sur film métallique

			V_{DS} (V)	V_{GS} (V)	I_{DS} (mA/mm)	f_T (GHz)	f_{max} (GHz)
ZTM13	n-MOSFET	Rigide	1,2	0,8	308	165	188
		Flexible	1,2	0,8	303	163	188
	p-MOSFET	Rigide	-1,5	-1	-279	100	159
		Flexible	-1,5	-1	-273	100	160
ZTM14	n-MOSFET	Rigide	1,2	0,8	328	137	146
		Flexible	1,2	0,8	328	131	153

D'après les mesures des paramètres S, les gains en courant H_{21} et de Mason U de transistors MOSFET rigides et flexibles ont été extraits et tracés en fonction de la fréquence sur la Figure 3.9. Ces courbes montrent que des propriétés RF similaires sont obtenues sur des circuits CMOS rigides et flexibles : les gain H_{21} et U ont une pente expérimentale proche de la valeur théorique de -20 dB/décade, quel que soit le substrat. Par ailleurs, il est important de souligner que les variations observées sur les paramètres S à haute fréquence entre les dispositifs rigides et flexibles dans les Figure 3.7 et Figure 3.8 résultent de légères variations du gain en courant H_{21} au-delà de 80 GHz (Figure 3.9.a-b). De plus, ces figures permettent l'extraction des fréquences de coupure f_T et maximale d'oscillation f_{max} comme présenté au Tableau 3.2. Nous pouvons remarquer que les fréquences de coupure obtenues avant et après report sur transistors n- et p-MOSFET sont très proches. Cependant, une légère augmentation du gain de Mason U peut être observée sur n-MOSFET (Figure 3.9.c) sans conséquence sur la valeur de la fréquence maximale d'oscillation f_{max} . Cette série complète de mesure RF a été effectuée sur plusieurs transistors de géométrie semblable, comme présenté au Tableau 3.2 et à la Figure 3.10, afin de démontrer la répétabilité de ces résultats.

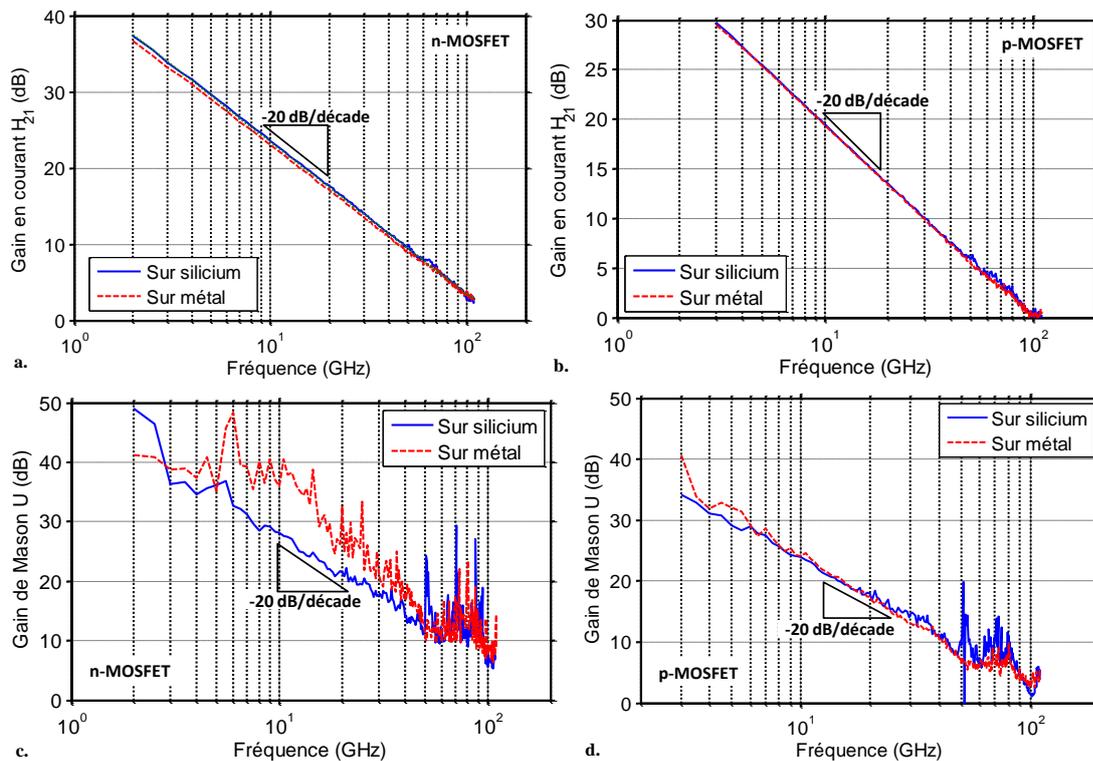


Figure 3.9 - Gains en courant H_{21} et de Mason U mesurés sur des n- et p-MOSFETs rigides (en bleu) et souples (en rouge), polarisés respectivement à $V_{DS} = 1,2$ V et $V_{GS} = 0,8$ V et $V_{DS} = -1,5$ V et $V_{GS} = -1$ V

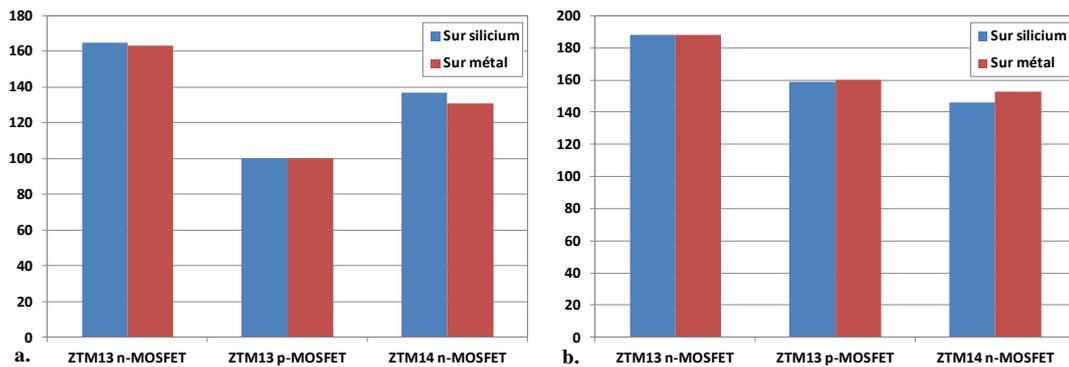


Figure 3.10 - Comparaison des a. fréquences de coupure f_T et b. fréquences maximale d'oscillation f_{max} pour n- et p-MOSFETs avant (en bleu) et après (en rouge) report sur film métallique

En conclusion, il a été démontré que le procédé d'amincissement et de report sur film métallique décrit au chapitre 2 ne modifie que très peu les propriétés RF des dispositifs CMOS-SOI 65 nm. Ces résultats prouvent également que le domaine de l'électronique flexible est actuellement capable d'atteindre des performances comparables à celles obtenues par l'électronique rigide conventionnelle. La Figure 3.11.a présente dans le même graphique divers travaux issus de la littérature sur Si-MOSFETs rigides et l'électronique flexible, montrant ainsi que les transistors flexibles commencent à atteindre les performances de dispositifs conventionnels. Il est également montré à la Figure 3.11 que l'électronique flexible s'est développée rapidement, atteignant des fréquences compétitives avec l'électronique rigide conventionnelle en moins d'une décennie.

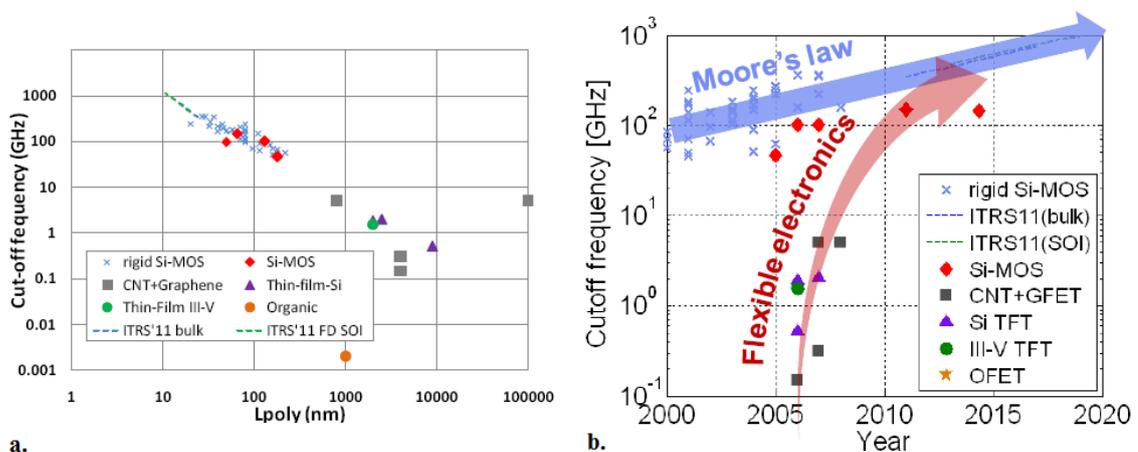


Figure 3.11 - Comparaison des fréquences de coupure f_T en fonction de a. la longueur de grille et b. l'année pour des transistors n-MOSFET sur silicium et des dispositifs flexibles

3.2.2.4 Extraction du circuit équivalent petit signal (SSEC)

3.2.2.4.1 Extraction des paramètres intrinsèques et extrinsèques

Afin de compléter la caractérisation RF des circuits CMOS-SOI 65 nm reportés sur film métallique, leur modèle équivalent petit signal (SSEC) a été extrait selon la méthode présentée au chapitre 1. Le SSEC utilisé durant ces travaux est présenté en Figure 3.12 par convention. Ces paramètres ont été extraits pour des transistors n- et p-MOSFET sur leur

substrat rigide initial et après report sur film métallique pour les comparer et expliquer les variations observées dans les caractéristiques RF.

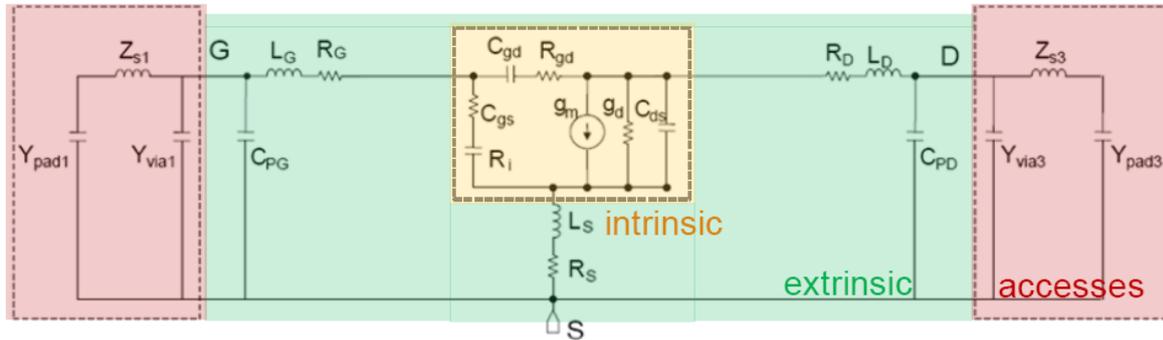


Figure 3.12 - Schéma équivalent petit signal (SSEC) comprenant le transistor intrinsèque (en jaune), les paramètres extrinsèques (en vert) et les accès (en rouge)

Les paramètres intrinsèques et extrinsèques des transistors rigides et flexibles sont présentés dans le Tableau 3.3. Nous pouvons remarquer que les valeurs sont relativement proches entre les MOSFETs rigides et flexibles. Cependant, pour les transistors de type n, nous observons une baisse de la transconductance g_m après le report. Nous remarquons également une diminution des capacités C_{pd} et C_{gs} après le report pour tous les dispositifs étudiés. Ces résultats sont en accord avec les Figure 3.7 et Figure 3.8 où seuls les paramètres S_{12} et S_{21} des n-MOSFETs sont plus faibles après report. Par ailleurs, le collage sur film métallique modifie le "paysage" électrostatique en face arrière du dispositif mesuré, ce qui conduit probablement à une modification de C_{pd} et C_{gs} .

Tableau 3.3 - Paramètres intrinsèques et extrinsèques après extraction en utilisant le SSEC présenté à la Figure 3.12 à $V_{DS} = 1,2$ V, $V_{GS} = 0,8$ V et $I_{DS} = 308$ mA/mm pour un transistor n-MOSFET et $V_{DS} = -1,5$ V, $V_{GS} = -1$ V et $I_{DS} = -263$ mA/mm pour p-MOSFET

		Paramètres extrinsèques					Paramètres intrinsèques				
		fF		$\Omega \cdot \text{mm}^{-1}$	$\Omega \cdot \text{mm}$		$\text{mS} \cdot \text{mm}^{-1}$		$\text{fF} \cdot \text{mm}^{-1}$		
		C_{pg}	C_{pd}	R_g	R_d	R_s	g_m	g_d	C_{gs}	C_{gd}	C_{ds}
n-MOSFET	Sur silicium	2	8,5	17,2	0,083	0,045	937	156	689	344	15,6
	Sur métal	1,5	4	16,5	0,096	0,038	820	143	453	313	15,6
p-MOSFET	Sur silicium	2,5	6	24,3	0,013	0,013	531	82	641	344	15,6
	Sur métal	1,5	3,5	24	0,019	0,02	534	89	484	266	15,6

3.2.2.4.2 Erreurs entre le modèle et les mesures

De plus, le pourcentage d'erreur entre les paramètres S mesurés et simulés sur un film métallique pour un transistor p-MOSFET sont présentés en détail en Figure 3.13 et Figure 3.14. Pour la plupart des paramètres, l'erreur relative observée sur les paramètres S est inférieure à 20 %, surtout aux basses fréquences.

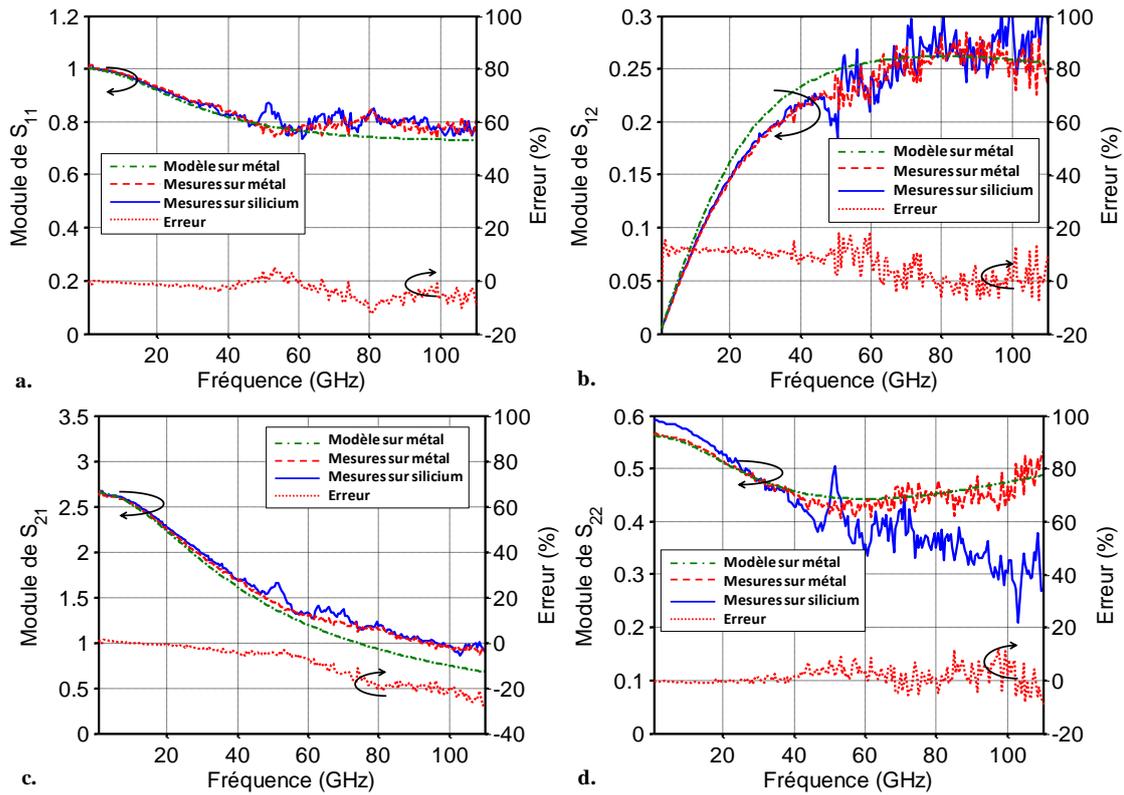


Figure 3.13 - Modules des paramètres S mesurés uniquement sur p-MOSFET, sur substrat rigide (en bleu), après report sur film métallique (pointillés en rouge), calculés à partir du modèle SSEC extrait (pointillés en vert) et erreur entre le modèle et les mesures sur métal

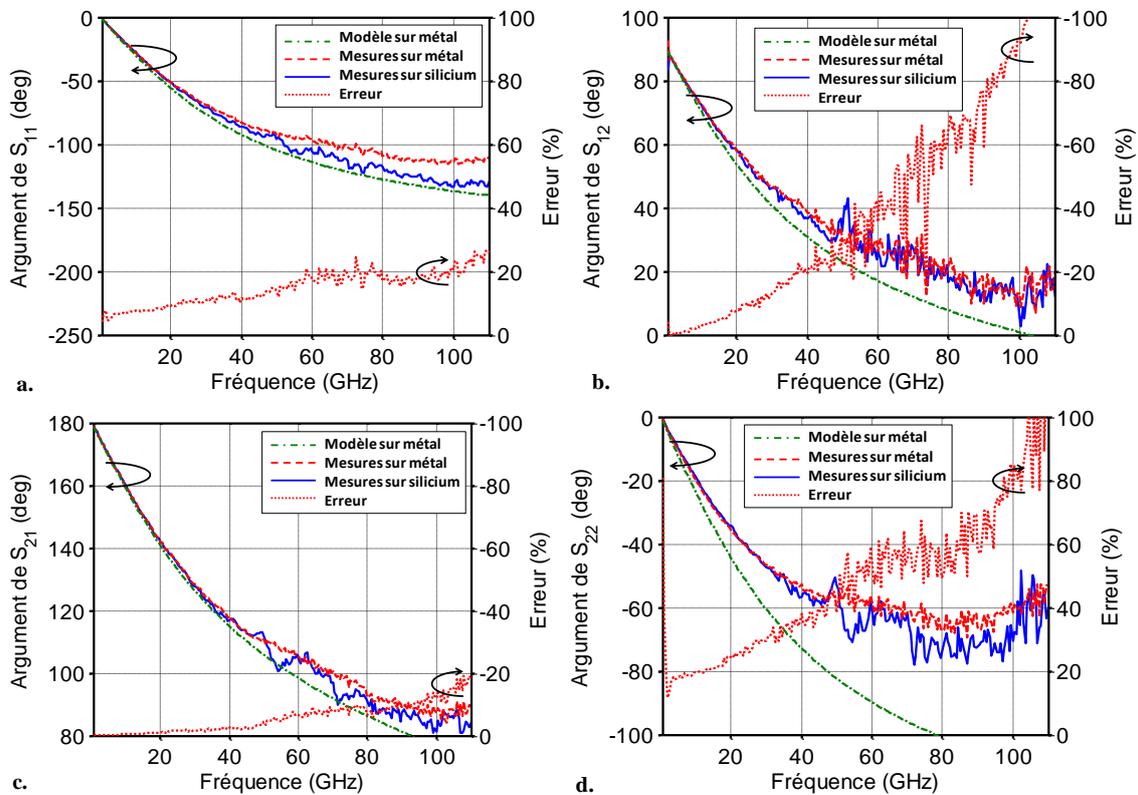


Figure 3.14 - Arguments des paramètres S mesurés uniquement sur p-MOSFET, sur substrat rigide (en bleu), après report sur film métallique (pointillés en rouge), calculés à partir du modèle SSEC extrait (pointillés en vert) et erreur entre le modèle et les mesures sur métal

La bonne correspondance entre le modèle présenté ici et les mesures effectuées sur des transistors reportés sur film métallique est montrée en Figure 3.15 où les gains en courant H_{21} et de Mason U sont tracés en fonction de la fréquence. Les erreurs entre le modèle et les mesures sont également représentées pour les deux gains en fonction de la fréquence, démontrant ainsi que les paramètres intrinsèques et extrinsèques (Tableau 3.3) donnent des pourcentages d'erreur inférieures à $\pm 20\%$ jusqu'à 50 GHz. L'accroissement de l'erreur relative peut s'expliquer par le fait que les valeurs de gains en courant et de Mason diminuent jusqu'à devenir proche de zéro à haute fréquence, devenant de fait plus sensibles aux erreurs fixes d'estimation. Ceci peut être dû à une dégradation croissante des paramètres S mesurés et de la méthode d'épluchage utilisée.

3.2.2.4.3 Figures de mérite rétro-simulées d'un n-MOSFET flexible

Comme présenté au Tableau 3.2, un n-MOSFET reporté sur un film métallique donne des fréquences de coupure $f_T = 163$ GHz et maximale d'oscillation $f_{max} = 188$ GHz pour des tensions $V_{DS} = -1,5$ V et $V_{GS} = -1$ V. Le modèle présenté ci-dessus pour un n-MOSFET a également été extrait pour un p-MOSFET (voir Tableau 3.3) et les figures de mérite f_T et f_{max} sont en accord avec les mesures. Ceci est démontré à la Figure 3.16 où les gains en courant H_{21} et de Mason U sont tracés en fonction de la fréquence pour un transistor de type n flexible. Le pourcentage d'erreur du gain en courant entre le modèle et les mesures est inférieur à 5% jusqu'à 50 GHz. Cependant, le gain de Mason présente un pourcentage d'erreur plus important. En effet, il intègre plus de paramètres comme la résistance de drain R_d ou la transconductance g_m en particulier qui sont fortement impactées après report (Tableau 3.3).

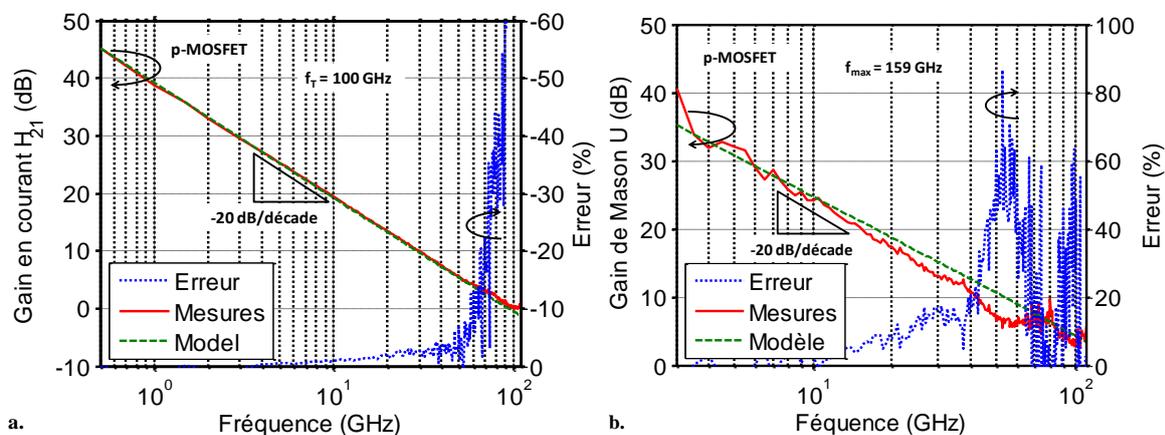


Figure 3.15 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence pour un p-MOSFET sur un film métallique. Les fréquences de coupure f_T et maximale d'oscillation f_{max} sur métal sont indiquées pour $V_{DS} = -1,5$ V et $V_{GS} = -1$ V

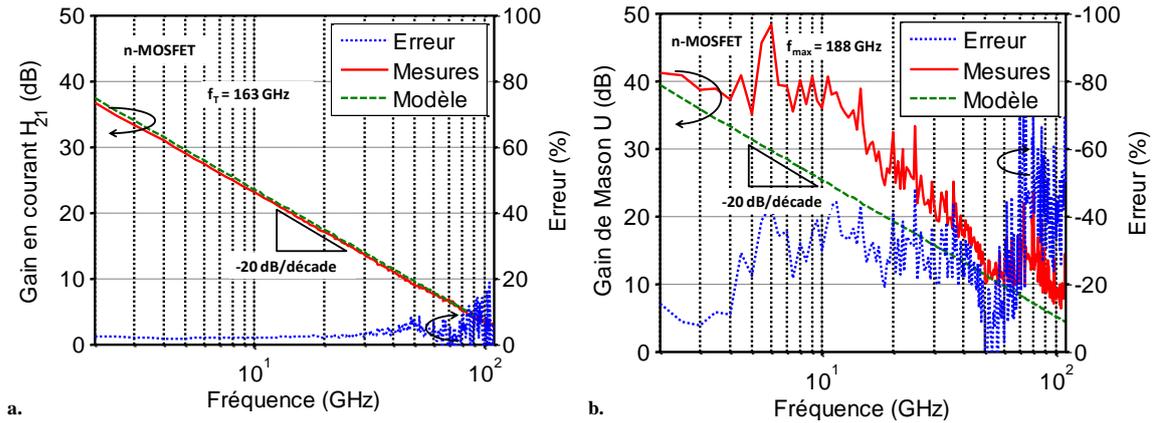


Figure 3.16 - a. Gain en courant H_{21} et b. Gain de Mason U mesurés et simulés en fonction de la fréquence pour un n-MOSFET sur un film métallique. Les fréquences de coupure f_T et maximale d'oscillation f_{max} sur métal sont indiquées pour $V_{DS} = 1,2$ V et $V_{GS} = 0,8$ V

3.2.3 Synthèse

Les caractéristiques statiques présentées dans ce chapitre montrent que le procédé d'amincissement et de report n'entraîne que de faibles variations. En effet, les figures de mérite DC des MOSFETs flexibles sont comparables avec leurs homologues rigides. De plus, les mesures à haute fréquence faites sur des transistors sur leur substrat initial et après report donnent des résultats similaires. Les performances électriques des dispositifs étudiés sont conformes à l'état de l'art. Par ailleurs, les fréquences de coupure et maximale d'oscillation sont invariantes.

Dans le paragraphe suivant, nous étudierons les propriétés thermiques de ce type d'assemblage. Nous nous intéresserons plus particulièrement sur les effets d'échauffement et de dissipations subits par le composant électronique.

3.3 Propriétés thermiques des circuits RF CMOS reportés

3.3.1 Un peu de théorie

Le transfert d'énergie par conduction se produit dans un milieu matériel dès lors qu'il existe un gradient de température : il représente l'effet global du transport d'énergie par les porteurs élémentaires (molécules, phonons, électrons, etc.). En l'absence de phénomène d'absorption de rayonnement et, plus généralement, d'absorption de chaleur en volume, le flux de chaleur dans un milieu continu est dû à l'existence, en son sein, d'une température inhomogène [Taine-14].

3.3.1.1 Loi de Fourier

Quand la température varie suffisamment lentement, le modèle le plus élémentaire ne retient que les dérivées spatiales d'ordre un et suppose, de plus, que le flux de chaleur $\vec{\phi}$ varie linéairement avec elles. Si le milieu est homogène et isotrope (solide ou fluide), le vecteur $\vec{\phi}$ et le vecteur gradient de température $\overrightarrow{grad} T$ doivent être colinéaires, d'où :

$$\vec{\phi} = -\lambda \overrightarrow{grad} T \quad (6)$$

Cette relation très célèbre est connue sous le nom de "Loi de Fourier" ; elle constitue l'une des lois de comportement des milieux continus. Le signe moins dans l'équation 6 provient du deuxième principe de la thermodynamique qui dit qu'un système isolé évolue toujours vers un état d'équilibre. Le coefficient de proportionnalité λ est la conductivité thermique. Cette grandeur dépend en général fortement de la température et est obligatoirement positive, pour que, dans un milieu où il n'existe qu'un gradient de température, la chaleur aille des régions chaudes vers les régions froides, en sens contraire du vecteur $\overrightarrow{grad} T$ [Calecki-07].

Dans le cas de solides, les atomes sont liés dans un réseau cristallin plus ou moins parfait. Les vecteurs élémentaires de l'énergie sont les phonons (quanta de vibration du réseau) et, éventuellement, les électrons libres (ou de conduction électrique ou thermique). La modélisation des transferts par conduction électrique et thermique relève des méthodes de la physique du solide [Taine-14].

La loi de Fourier correspond à l'approximation de la réponse au premier ordre d'un système et est analogue à de nombreuses autres lois physiques correspondant à des phénomènes similaires de diffusion, engendrant des flux de charge électrique, de fraction massique, etc. comme la loi d'Ohm sous sa forme vectorielle :

$$\vec{j} = \sigma \vec{E} = -\sigma \overrightarrow{grad} V \quad (7)$$

où \vec{j} représente la densité de courant, \vec{E} le champ électrique, σ la conductivité et V le potentiel électriques [Taine-14].

De nombreux corps ne peuvent être considéré comme homogènes et isotropes (corps composites, isolants fibreux, etc...). La loi de Fourier se généralise alors en considérant la conductivité comme un tenseur. La loi de Fourier ne fait pas intervenir explicitement le temps : elle postule une réponse instantanée en tout point d'un milieu à une perturbation thermique survenant en un point M . Cette hypothèse est valable tant que les échelles de temps considérées sont grandes devant celles caractérisant le transfert par collision entre porteurs élémentaires (temps de relaxation). En pratique, la loi de Fourier est valable dans la quasi-totalité des applications [Taine-14].

3.3.1.2 *Ordre de grandeur des conductivités thermiques*

L'échelle des conductivités thermiques est beaucoup plus réduite que celle des conductivités électriques (rapport 1 à $5 \cdot 10^4$ contre 1 à 10^{40}). La distinction entre conducteurs et isolants thermiques présente un caractère un peu arbitraire ; néanmoins, on peut noter une certaine correspondance avec les conducteurs et isolants électriques.

Parmi les bons conducteurs, il faut citer les métaux en général, le cuivre et l'aluminium en particulier et leurs alliages. Les aciers sont des conducteurs médiocres de chaleur ($15 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ pour un acier inoxydable courant) [Taine-14].

3.3.1.3 Equation de la chaleur

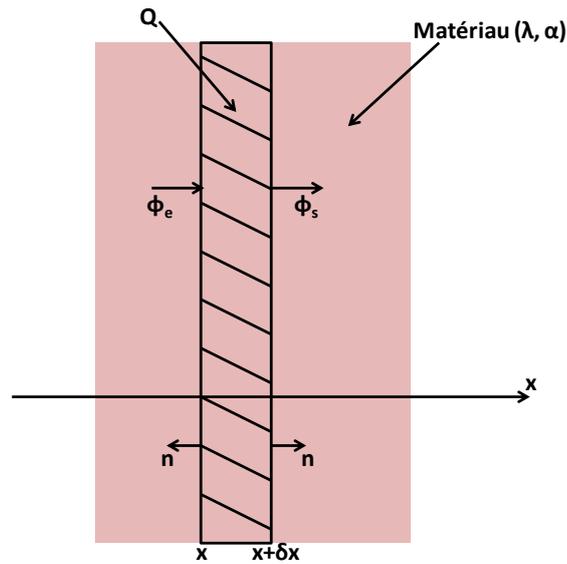


Figure 3.17 - Bilan thermique sur un transfert 1D par conduction et convection

Il est maintenant possible d'établir l'équation de la chaleur, c'est-à-dire l'équation traduisant mathématiquement l'évolution de la température en tout point du système étudié et à chaque instant [Battaglia-10]. Nous l'établissons en effectuant un bilan sur un volume élémentaire du matériau. Considérons, pour simplifier, le transfert de chaleur unidirectionnel par conduction selon x dans un matériau (Figure 3.17). Nous supposons que les propriétés thermiques du matériau ne dépendent pas de la température. Isolons un élément de largeur δx et effectuons un bilan des flux entrants et sortants de cet élément. On désigne par S la section de passage du flux et par V le volume compris entre x et $x+\delta x$. Le flux entrant s'écrit :

$$\phi_e = -\lambda S \frac{\partial T(x, t)}{\partial x} \quad (8)$$

De la même façon, le flux sortant s'écrit :

$$\phi_s = -\lambda S \frac{\partial T(x + \delta x, t)}{\partial x} \quad (9)$$

Le bilan thermique consiste donc à écrire que la somme des flux, comptés positivement dans le sens de la normale intérieure au volume élémentaire, est égale au terme d'accumulation de la chaleur. Si on considère la présence éventuelle d'une source volumique Q (en W) de chaleur dans l'élément, ce bilan s'écrit :

$$\phi_e - \phi_s + Q = \rho C_p V \frac{\partial T}{\partial t} \quad (10)$$

En remplaçant les flux par leurs expressions 8 et 9, on trouve alors :

$$-\lambda S \frac{\partial T(x, t)}{\partial x} + \lambda S \frac{\partial T(x + \delta x, t)}{\partial x} + Q = \rho V C_p \frac{\partial T(x, t)}{\partial t} \quad (11)$$

Sachant que, par définition, la dérivée de la fonction f est :

$$\frac{df(x)}{dx} = \frac{f(x + \delta x) - f(x)}{\Delta x}, \text{ quand } \delta x \rightarrow 0 \quad (12)$$

La relation 11 s'écrit :

$$\lambda S \delta x \frac{\partial^2 T(x, t)}{\partial x^2} + Q = \rho C_p \frac{\partial T(x, t)}{\partial t} \quad (13)$$

Et comme $V = S \delta x$, on trouve finalement :

$$\lambda \frac{\partial^2 T(x, t)}{\partial x^2} + \frac{Q}{V} = \rho C_p \frac{\partial T(x, t)}{\partial t} \quad (14)$$

Cette relation aux dérivées partielles, en temps et en espace, se généralise dans l'espace à trois dimensions sous la forme (\dot{Q} en W.m^{-3} est la source de chaleur volumique) :

$$\lambda \Delta T + \dot{Q} = \rho C_p \frac{\partial T(M, t)}{\partial t} \quad (15)$$

Cette relation traduit le transfert linéaire de la chaleur par diffusion dans le matériau [Battaglia-10].

3.3.1.4 Notion de régime permanent et transitoire

Durant le régime transitoire, la température varie avec le temps. Durant le régime permanent, la température dépend de l'espace et non du temps. La transition entre les deux régimes est la même pour tous les points du matériau. Le temps à partir duquel apparaît cette transition ne dépend que des dimensions caractéristiques du matériau et de ses propriétés thermiques (capacité thermique ρC_p et conductivité thermique λ) [Battaglia-10].

3.3.1.5 Conditions initiales

Lorsqu'on s'intéresse à la modélisation thermique du transfert de chaleur en régime transitoire, on doit connaître l'état thermique initial en tout point du domaine. Il faut néanmoins bien garder à l'esprit que l'état initial peut être différent selon la localisation dans le domaine [Battaglia-10]. Si on considère le domaine représenté Figure 3.18, on écrira cette condition initiale sous la forme :

$$T(M, t) = T_0(M), \text{ à } t = 0 \text{ pour } M \in (\Omega \cup \Gamma) \quad (16)$$

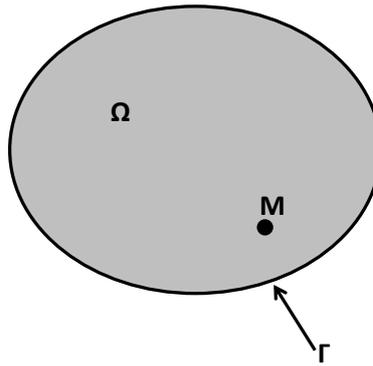


Figure 3.18 - Définition de la température initiale d'un domaine constitué par son volume intérieur et sa frontière

3.3.1.6 Conditions aux limites en thermique

Trois types de conditions aux limites existent [Battaglia-10] :

- Condition de température imposée (Dirichlet) :

$$T(M, t) = T_i(M, t), \text{ à } t > 0 \text{ pour } M \in \Gamma \quad (17)$$

Cette condition peut être utilisée lorsqu'on fait circuler un fluide dont la température est constante et égale à T_i à la surface Γ du domaine solide ou lorsqu'on met la surface en contact parfait avec un matériau massif et capacitif à la température homogène T_i . Cette deuxième configuration ne peut bien sûr avoir un sens que pour des durées d'application limitées. Comme le montre l'équation 17, cette température peut dépendre du temps.

- Condition de flux imposé (Von Neumann) :

$$\phi(M, t) = \phi_0(M, t), \text{ à } t > 0 \text{ pour } M \in \Gamma \quad (18)$$

C'est une condition que l'on retrouve lorsqu'on chauffe la surface du matériau avec une source résistive ou radiative. L'équation 18 montre que ce flux peut éventuellement dépendre du temps.

- Condition mixte :

Cette dernière condition est plus complexe. Elle s'applique généralement à l'interface entre une paroi solide et un fluide mais ce dernier n'impose pas sa température sur la surface solide. Comme cela est représenté Figure 3.19, cette condition est en fait une conséquence du bilan thermique au niveau de l'interface. En l'absence de terme source, le flux de chaleur par conduction dans le matériau solide est égal au flux par diffusion et convection dans le fluide auquel peut s'ajouter le flux rayonné si le fluide est transparent. Cela revient donc à écrire pour les densités de flux : $\phi_c = \phi_{cv} + \phi_r$ (19). Soit :

$$-\lambda \frac{\partial T}{\partial n} = h(T_p - T_{amb}) + \phi_r \quad (20)$$

Dans cette relation, λ représente la conductivité thermique de la paroi solide à la température T_p , ϕ_{cv} la densité de flux évacuée par convection à la surface avec le fluide, ϕ_r la densité de flux rayonnée et h le coefficient d'échange par convection.

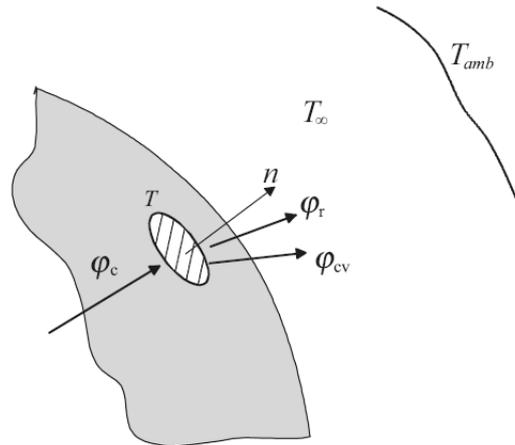


Figure 3.19 - Bilan thermique à l'interface entre un matériau solide et un fluide en mouvement [Battaglia-10]

3.3.1.7 Analogie électrique

Nous avons vu que la loi de Fourier est analogue à la loi d'Ohm (forme locale). Notons les correspondances évidentes entre les grandeurs électriques et thermiques :

Tableau 3.4 - Table de correspondances entre les grandeurs électriques et thermiques [Taine-14]

Grandeurs électriques	Grandeurs thermiques
Conductivité électrique $\sigma(T)$	Conductivité thermique $\lambda(T)$
Potentiel V	Température T
Vecteur courant \vec{j}	Vecteur flux conductif $\vec{\phi}$
Intensité du courant I	Flux conductif ϕ

Les isothermes (équipotentiels) sont normales aux lignes et tubes de flux (lignes et tubes de courant). L'intérêt, en régime permanent, de l'analogie électrique est d'appliquer aux transferts thermiques les techniques simples et bien connues de l'électrocinétique linéaire et stationnaire : résistance et conductance, association en série, en parallèle, lois des réseaux, etc.

Cependant, l'usage de ces méthodes est plus limité qu'en électrocinétique pour deux raisons essentielles. D'une part, les conductivités électrique et thermique dépendent en général de la température T ; si ceci ne présente que peu d'inconvénient dans le cas de la conduction électrique, cette propriété rend les problèmes non linéaires en T dans le cas de la conduction thermique. Pour appliquer l'analogie électrique, la conductivité thermique doit donc être supposée homogène, isotrope et indépendante de T , tout au moins dans la plage de température correspondant à l'application considérée. Une deuxième limitation est que le transfert conductif se produit souvent en concurrence avec un transfert radiatif, rarement linéarisable. Quand le rayonnement thermique n'est pas linéaire, l'analogie électrique ne peut être utilisée [Taine-14].

La résolution de problème de conduction de la chaleur en régime permanent utilise très souvent la méthode d'analogie électrique lorsque le transfert est unidirectionnel [Battaglia-10]. Rappelons que la loi de Fourier en transfert unidirectionnel est :

$$T_1 - T_2 = \frac{e}{\lambda} \varphi, \text{ soit : } R = \frac{e}{\lambda} \quad (21)$$

La loi de Fourier en régime permanent à une dimension s'écrira alors sous la forme :

$$T_1 - T_2 = R\varphi \quad (22)$$

Si on exprime la loi de Fourier à partir du flux et non plus de la densité de flux, on aura alors : $T_1 - T_2 = R\varphi$ avec $R = \frac{e}{\lambda S}$ (Figure 3.20).

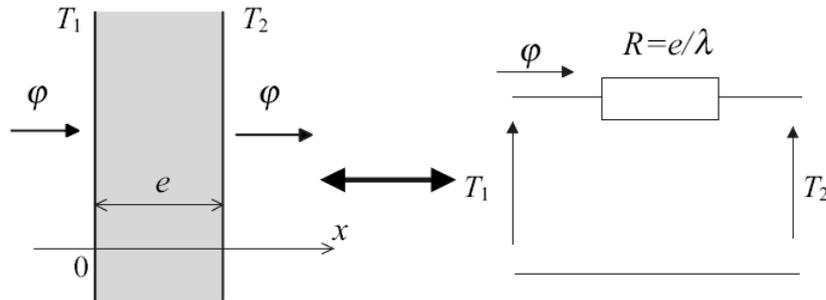


Figure 3.20 - Réseau électrique équivalent du transfert de chaleur 1D par conduction dans une paroi en régime permanent [Battaglia-10]

On voit de surcroît que la condition d'échange par convection (modélisée par l'équation 20 en l'absence de rayonnement) peut aussi bénéficier de cette analogie [Battaglia-10]. Dans ce cas, si h est le coefficient d'échange par convection, on définit la résistance thermique équivalente :

$$R_{cv} = \frac{1}{h} \quad (23)$$

Une démonstration plus précise de ces formules est présentée à la référence [Jannot-12].

3.3.2 Simulations avec le logiciel FlexPDE

3.3.2.1 Présentation du logiciel FlexPDE

Le logiciel FlexPDE est un environnement d'analyse d'éléments finis pour la résolution d'équations différentielles partielles. Il permet de résoudre des problèmes à 1,2 ou 3 dimensions dans différents domaines de la physique et des sciences de l'ingénieur : électrostatique, magnétostatique, résistance des matériaux, mécanique des fluides...

FlexPDE permet la création d'un maillage numérique pour construire les éléments finis, la décomposition du problème dans la base adéquate (Galerkin) et une représentation graphique facile de la solution (champ de température, champ de contrainte, champ électrique...). FlexPDE est un système de simulation autonome qui :

- Crée le maillage
- Construit la matrice de couplage et la résout
- Trace les résultats

3.3.2.2 Description du modèle utilisé

Dans ce paragraphe, nous étudions le comportement thermique d'un transistor CMOS dont la structure est montrée à la Figure 3.22 sur différents substrats. Trois cas sont envisagés : un substrat SOI, un film de cuivre et un film de polyimide. Pour les deux derniers cas, la couche adhésive sera également prise en compte. Aux interfaces interconnexion/air et substrat/air, nous supposons qu'il existe un échange thermique par convection dont le coefficient d'échange est $h = 10 \text{ W.m}^{-2}.\text{K}^{-1}$. Les épaisseurs de chaque matériau utilisé ainsi que leurs propriétés physiques (chaleur spécifique et conductivité électrique et thermique) sont rappelées dans le Tableau 3.5. La longueur de grille est de 60 nm et la largeur du circuit 1 μm . Cependant, afin de simplifier le problème, deux approximations sont nécessaires.

La première consiste à ramener la couche d'interconnexions à un matériau homogène dont la conductivité thermique est calculée ci-après. Nous avons vu dans le paragraphe 3.3.1.7 qu'il était possible de considérer un empilement de matériaux comme un ensemble de résistances en série. De ce fait, si nous considérons la couche d'interconnexion représentée à la Figure 3.22, nous remarquons qu'il s'agit d'un empilement d'aluminium, de cuivre et d'oxyde de silicium qui peut être ramené au schéma équivalent de la Figure 3.21 et dont le calcul s'effectue selon l'équation 21 de la façon suivante :

$$R_{BeOL} = \frac{e_{BeOL}}{\lambda_{BeOL}} = \frac{e_{Al}}{\lambda_{Al}} + \frac{e_{Cu}}{\lambda_{Cu}} + \frac{e_{SiO_2}}{\lambda_{SiO_2}} \quad (24)$$

En remplaçant par les valeurs données au Tableau 3.5, nous obtenons la conductivité thermique de cette couche qui est de l'ordre de $2,78 \text{ W.m}^{-1}.\text{K}^{-1}$.

La deuxième approximation concerne le transistor que nous voulons modéliser. En effet, le système à deux dimensions utilisé ici ne permet pas de reconstituer un dispositif complet. De ce fait, le transistor sera ramené à un dipôle dont les dimensions correspondent à la longueur de grille. Autrement dit, le transistor sera assimilé à une résistance dont la valeur fournit le même niveau de courant que le transistor à V_{DS} et V_{GS} fixes (1,5 V dans ce cas-ci). Il s'agira alors de déterminer le comportement thermique du composant électronique au sein de l'empilement étudié.

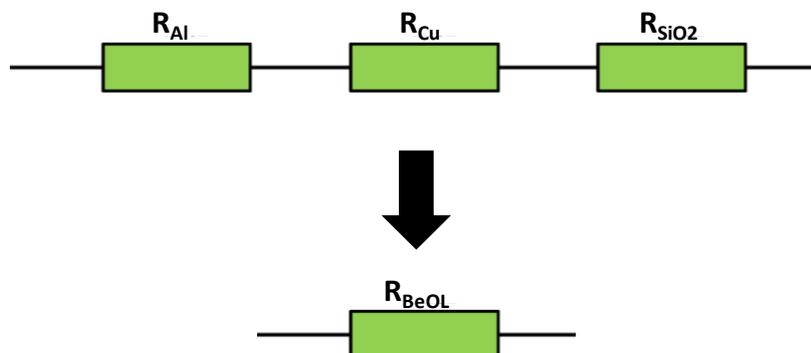


Figure 3.21 - Schéma équivalent de la couche d'interconnexion

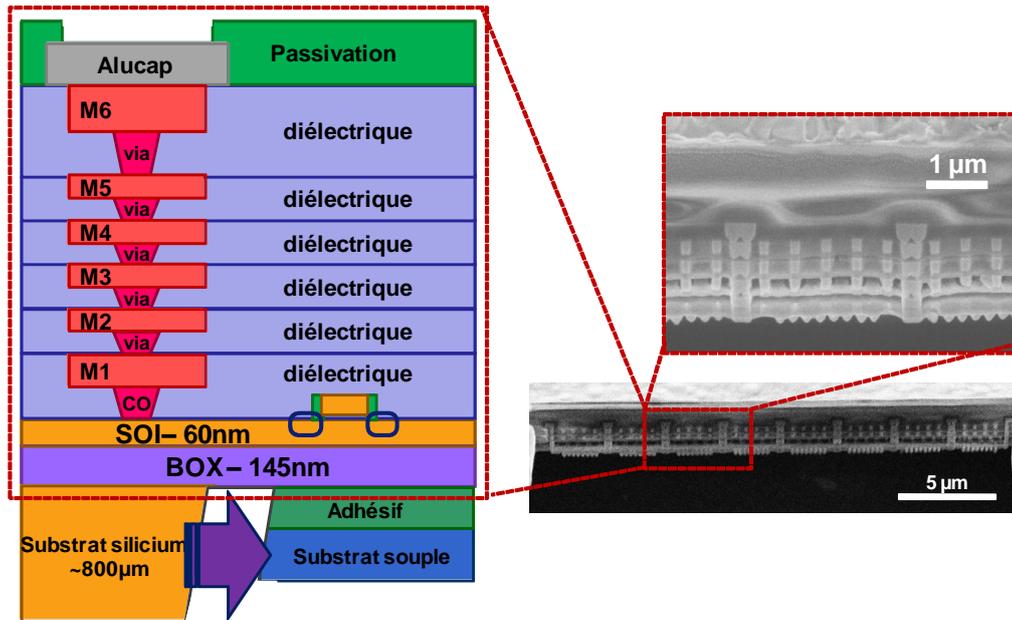


Figure 3.22 - Représentation schématique de la structure multicouche d'un circuit CMOS avant et après report sur substrat souple (à gauche), ainsi que des images MEB de ce même circuit sur son substrat initial [Lecavelier-13] (à droite)

Tableau 3.5 - Description de la structure multicouche d'un circuit CMOS via les paramètres utilisés pour les simulations sous FlexPDE

Structure	Matériaux	Epaisseur (nm)	Conductivité thermique ($W.m^{-1}.K^{-1}$)	Chaleur spécifique à pression constante ($J.kg^{-1}.K^{-1}$)	Conductivité électrique ($S.m^{-1}$)	
<i>Alucap</i>		Al	1900	237	37,7.10 ⁶	
<i>M6</i>	<i>Métal</i>	Cu	850	401	59,6.10 ⁶	
	<i>Diélectrique</i>	SiO ₂	650	1	1.10 ⁻¹⁵	
<i>M2-M5</i>	<i>Métal</i>	Cu	150	401	59,6.10 ⁶	
	<i>Diélectrique</i>	SiO ₂	230	1	1.10 ⁻¹⁵	
<i>M1</i>	<i>Métal</i>	Cu	150	401	59,6.10 ⁶	
	<i>Diélectrique</i>	SiO ₂	430	1	1.10 ⁻¹⁵	
<i>SOI</i>		Si	60	150	1,56.10 ⁻³	
<i>BOX</i>		SiO ₂	145	1	1.10 ⁻¹⁵	
<i>Adhésif</i>	<i>Métal</i>	In	2000	82	1,19.10 ⁷	
	<i>Ordyl</i>	Acrylique	55 µm	0,184	1440	1.10 ⁻¹³
<i>Substrat</i>	<i>Métal</i>	Cu	250 µm	401	59,6.10 ⁶	
	<i>Plastique</i>	Polyimide	50 µm	0,5	1150	1.10 ⁻²⁰
	<i>Silicium</i>	Si	800 µm	150	700	1.10 ⁻⁵

3.3.2.3 Résultats obtenus après simulation

Les résultats présentés aux Figure 3.23, Figure 3.24 et Figure 3.25 montrent le dispositif sur silicium et reporté sur substrat de cuivre et de polyimide quand il a atteint le régime permanent. Dans tous les cas, la chaleur se dissipe dans tout le circuit. Même s'il y a une couche adhésive métallique entre le circuit et le film de cuivre, les dissipations de chaleur du transistor sur métal sont identiques à celles observées sur le substrat SOI. En effet, les températures indiquées sont très proches, de l'ordre de 190°C. Cependant, ces dissipations sont beaucoup plus faibles sur le film plastique, la température du dispositif étant de l'ordre de 280°C. Ces résultats sont en accord avec ce que nous supposons au paragraphe 0, à savoir que le plastique aggrave l'auto-échauffement du circuit, ce qui peut éventuellement dégrader les performances du composant utilisé.

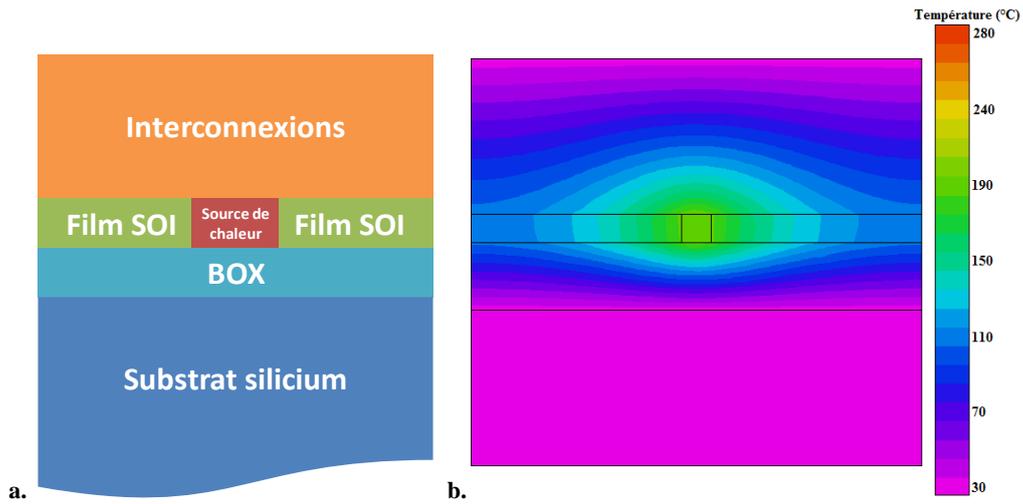


Figure 3.23 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET sur substrat SOI

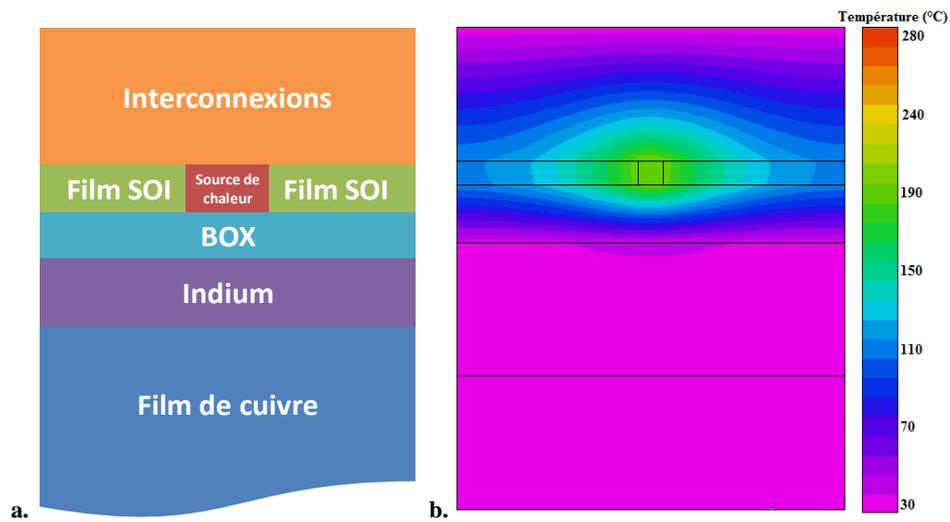


Figure 3.24 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET après transfert sur film de cuivre

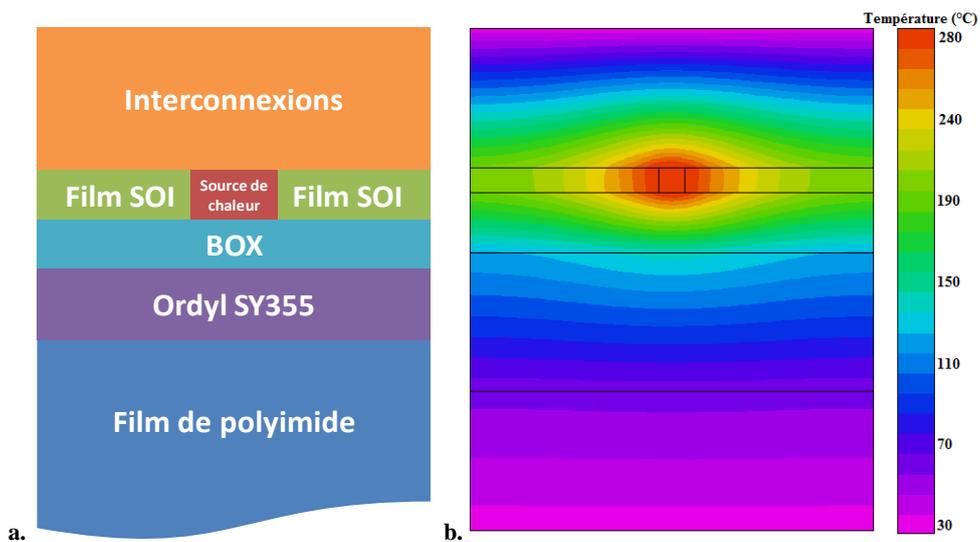


Figure 3.25 - a. Représentation schématique et b. Simulation sous le logiciel FlexPDE d'un transistor MOSFET après transfert sur film plastique

3.3.3 Caractérisation thermique par imagerie infra-rouge

Les mesures ont été effectuées à l'aide d'une caméra thermique infrarouge d'une résolution de 3 μm sur des échantillons placés sur une plaque thermostatée à 45°C. En effet, la caméra est incapable d'effectuer une mesure en-deçà de cette température. Les résultats sont présentés dans le Tableau 3.6 et aux Figure 3.26 à Figure 3.29. Les transistors mesurés sont identiques à ceux étudiés au paragraphe Chapitre 3, à savoir des transistors n- et p-MOSFETs possédant 64 doigts de grille. La longueur de grille vaut 60 nm et la largeur unitaire d'un doigt 1 μm . Ces composants ont été mesurés sur substrat SOI et après report sur cuivre et polyimide. Afin de faciliter la comparaison, les composants sont polarisés de façon à avoir la même puissance dissipée dans chaque système étudié ($V_{GS} = 0,7 \text{ V}$ et $V_{DS} = 1,5 \text{ V}$ pour les n-MOSFETs, $V_{GS} = -1 \text{ V}$ et $V_{DS} = -1,5 \text{ V}$ pour les p-MOSFETs, la puissance obtenue est de 27 mW). Dans le cas des transistors n-MOSFETs, nous remarquons, d'après les images prises par la caméra thermique, que le circuit diffuse plus facilement dans le film métallique (Figure 3.28.a) que dans le film plastique (Figure 3.29.a). Cependant, ces dissipations thermiques restent supérieures à celles obtenues sur le substrat SOI (Figure 3.27.a). Ces observations sont confirmées par les courbes de températures extraites des images thermiques. Grâce à ces graphes, il est possible de déterminer les températures moyenne et maximale du circuit en fonctionnement (Tableau 3.6). En effet, la température du transistor est plus élevée sur film plastique, de l'ordre de 123°C, que sur film métallique (94°C). Mais ces températures restent supérieures à celle obtenue sur substrat SOI (81°C), ceci est dû au fait que l'épaisseur du film de cuivre (250 μm) est inférieure à celle du substrat d'origine (800 μm). La couche d'indium peut également jouer un rôle dans le système étudié. Nous obtenons les mêmes résultats sur les transistors p-MOSFETs (Tableau 3.6 et Figure 3.26). De plus, ces résultats sont conformes aux simulations effectuées sous le logiciel FlexPDE.

Tableau 3.6 - Températures des transistors n- et p-MOSFET obtenues sous la caméra thermique

	Silicium		Cuivre		Polyimide	
	n-MOSFET	p-MOSFET	n-MOSFET	p-MOSFET	n-MOSFET	p-MOSFET
Température moyenne (°C)	81	72	94	84	123	125
Température maximale (°C)	88	77	107	92	142	145

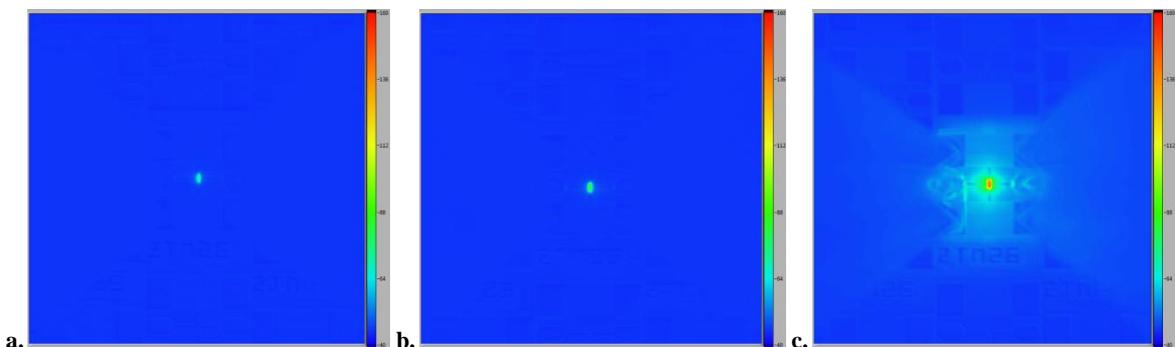


Figure 3.26 - Vues à la caméra thermique d'un transistor p-MOSFET polarisé à $V_{GS} = -1 \text{ V}$ et $V_{DS} = -1,5 \text{ V}$, a. Sur silicium épais, et après report sur b. Film de cuivre et c. Film polyimide

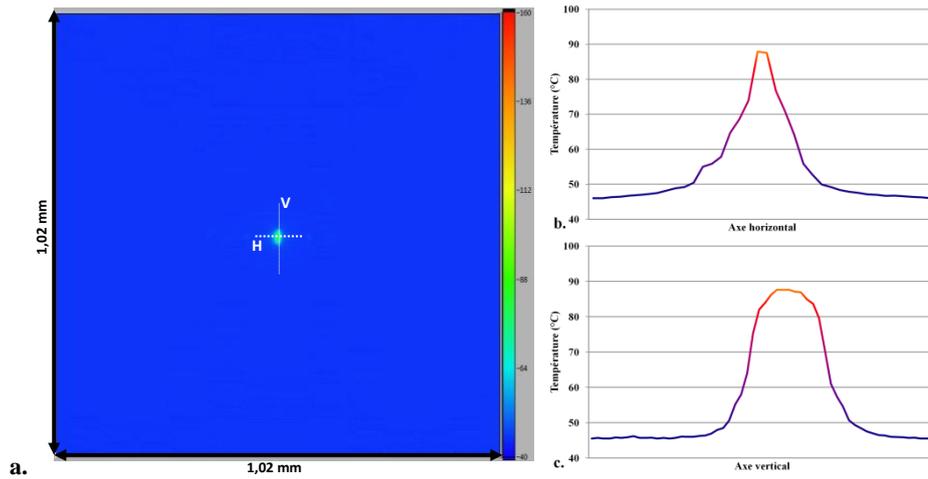


Figure 3.27 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur silicium épais polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)

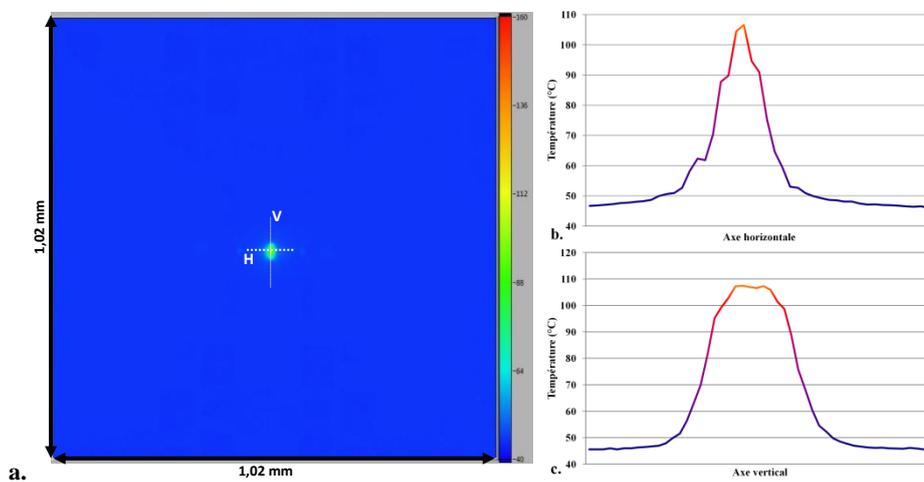


Figure 3.28 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur film de cuivre polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)

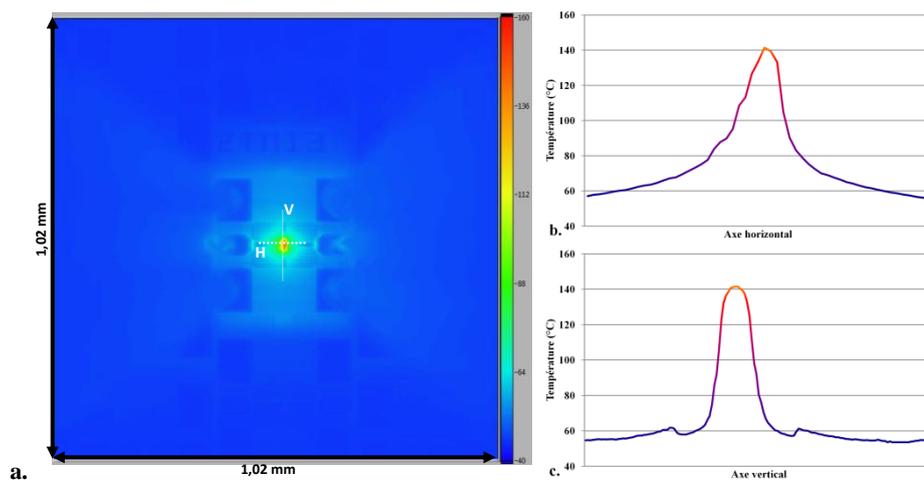


Figure 3.29 - a. Vue à la caméra thermique d'un transistor n-MOSFET sur film polyimide polarisé à $V_{GS} = 0,7$ V et $V_{DS} = 1,5$ V, ainsi que les courbes de température selon les axes b. Horizontal (ligne H en pointillés) et c. Vertical (ligne V en pointillés)

3.4 Synthèse

Ce troisième chapitre a présenté les propriétés électriques et thermiques d'une technologie RF SOI-CMOS reportée sur film métallique.

En effet, des phénomènes d'auto-échauffement et de couplage thermiques apparaissent dans les dispositifs opérant en régime haute puissance. Ces effets peuvent être amplifiés si les composants sont fabriqués sur un substrat isolant comme une technologie SOI ou un film plastique. Afin de pallier ces inconvénients, un report sur substrat métallique a été utilisé.

Les mesures électriques effectuées après report montrent que le procédé de fabrication n'a que peu d'influence sur le fonctionnement du dispositif étudié. Les performances obtenues sont conformes à l'état de l'art. Par ailleurs, après avoir rappelé quelques notions de bases concernant les transferts thermiques par conduction, les simulations effectuées sous le logiciel FlexPDE montrent qu'un film métallique conduit aussi bien la chaleur qu'un substrat SOI alors qu'un film plastique isole davantage le circuit. Ces observations sont confirmées par les images prises à la caméra thermique.

Chapitre 4. Amélioration de la linéarité de circuits RF CMOS reportés sur substrat de verre

Le développement de la téléphonie mobile et des objets connectés a donné naissance à des systèmes de plus en plus complexes capables de fonctionner sur plusieurs bandes de fréquences. La linéarité est donc essentielle dans ce type d'application. Cependant, les systèmes obtenus ne sont pas toujours à la hauteur des performances souhaitées, entraînant souvent des problèmes de distorsions harmoniques rédhibitoires. L'origine de ces phénomènes réside, pour partie, dans la répartition des porteurs au sein du substrat qui suivent une dynamique de charge parasite similaire à celle d'une capacité MOS, dégradant ainsi les propriétés de linéarité des dispositifs fabriqués sur substrat SOI. En outre, des simulations physiques mettent en évidence le comportement non-linéaire de lignes de transmission sur substrat SOI. Comme nous l'avons démontré au chapitre 2, il est également possible de reporter un circuit électronique aminci sur un substrat de verre. Nous démontrons l'intérêt d'un tel procédé dans l'atténuation des signaux d'harmoniques supérieures. En effet, en étudiant les performances de lignes coplanaires issues de la technologie RF CMOS-SOI 0,13 μm , nous obtenons une atténuation de 36 et 40 dBm des deuxième et troisième harmoniques respectivement sur verre.

4.1	Un environnement fréquentiel toujours plus exigeant	110
4.2	Impact du substrat de silicium sur la génération d'harmonique	111
4.2.1	<i>Stratégie de modélisation</i>	111
4.2.2	<i>Définition d'une ligne coplanaire</i>	112
4.2.3	<i>Transformée de Fourier rapide</i>	116
4.2.3.1	<i>Définition de la transformée de Fourier</i>	116
4.2.3.2	<i>Transformée de Fourier discrète, un prolongement</i>	116
4.2.3.3	<i>Transformée de Fourier rapide, une méthode de calcul efficace</i>	117
4.2.3.4	<i>Calcul de la puissance moyenne d'une ligne coplanaire</i>	119
4.2.4	<i>Analyse d'Elmore-Wyatt appliquée aux réseaux RLC</i>	120
4.2.4.1	<i>Pré-requis</i>	120
4.2.4.2	<i>Approximation au second ordre pour les réseaux RLC</i>	122
4.3	Technologie des substrats RF	125
4.4	Physique du transport dans les semi-conducteurs	126
4.4.1	<i>Equations de bases</i>	126
4.4.2	<i>Défauts ponctuels dans le silicium</i>	128
4.4.3	<i>Mécanisme de génération et de recombinaison</i>	128
4.5	Simulations électriques physiques de dispositifs	130
4.5.1	<i>Outil de simulation</i>	130
4.5.2	<i>Etude de l'impact de la résistivité du substrat sur la distorsion harmonique</i>	131
4.5.2.1	<i>Description du modèle utilisé</i>	131
4.5.2.2	<i>Résultats</i>	131
4.5.3	<i>Modélisation d'une couche trap-rich au sein d'un substrat SOI à haute résistivité</i>	133
4.5.3.1	<i>Description du modèle utilisé</i>	133
4.5.3.2	<i>Résultats</i>	134
4.5.3.3	<i>Interprétation : différenciation du rôle des pièges accepteurs et donneurs</i>	135
4.6	Résultats obtenus après report sur verre	140
4.7	Synthèse	142

4.1 Un environnement fréquentiel toujours plus exigeant

Nous sommes en train de connaître une révolution mobile qui fournit de grandes opportunités de croissance à l'industrie du semi-conducteur. Des connexions plus rapides et une meilleure capacité de réseau pour les technologies sans fils (LTE, Wifi, WiMax, Internet of Things) ont augmenté la demande pour la conception de liaisons radios plus complexes mettant en jeu un fonctionnement multi-bandes. De plus, l'émergence des objets connectés intelligents est dirigée par deux objectifs qui semblent contradictoires [Globalfoundries-15], [Soitec-13] :

- Supporter des débits supérieurs à 1 Gbit/s conformes avec des standards de communication toujours plus complexes comme LTE, LTE Advanced, 802.11.ac, etc... sur un spectre de fréquence plus large
- S'adapter au marché des *Smartphones* et objets connectés qui suivent une croissance toujours plus rapide grâce aux technologies innovantes, faibles en consommation d'énergie, compactes et peu coûteuses.

Par ailleurs, les systèmes de téléphonie mobile (3G, 4G, 5G) requièrent une intégration complexe de commutateurs, filtres et autres diplexeurs dans les blocs d'émission/réception proches de l'antenne, dit "*front-end*". Ces technologies évoluent dans un environnement multi-opérateurs grâce à un système multi-bandes dont les largeurs de bande sont de plus en plus étroites et de plus en plus proches. Ces systèmes doivent également cohabiter avec les signaux satellites, les lignes fixes, la radioamateur, la radioastronomie, les dispositifs sans licences, etc... (Figure 4.1) [Quorvo-15], [Quotient Associates-15], [Tombak-12].

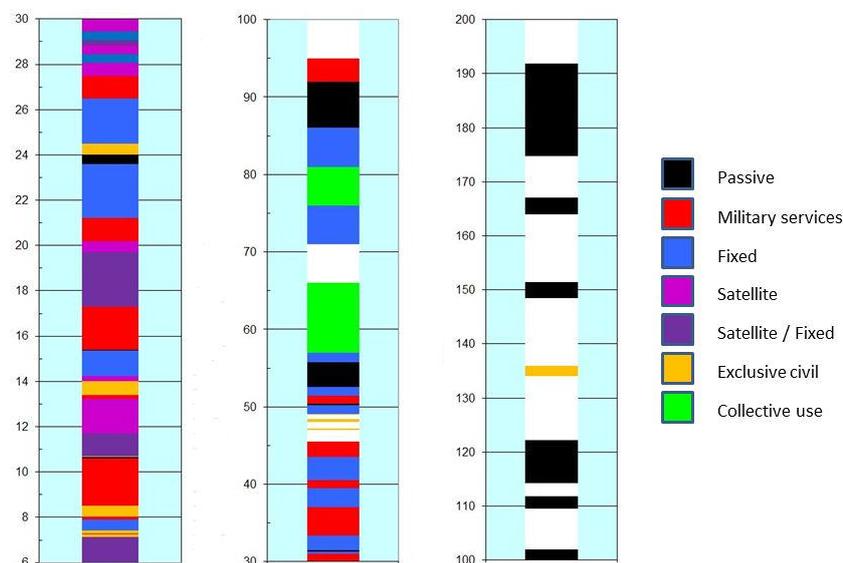


Figure 4.1 - Affectation actuelle des bandes de fréquences en GHz [Quotient Associates-15]

Concevoir une architecture commune pour supporter ces différentes bandes de fréquences est un exercice difficile à cause de plusieurs facteurs qui influencent la conception radio : les signaux opèrent à haute fréquence, les signaux reçus sont très faibles (de l'ordre du pW) et les signaux transmis très grands (de l'ordre du W), le signal désiré est mélangé à d'autres signaux d'autres utilisateurs, requérant un filtrage très précis. Pour

l'implémentation d'un émetteur multi-bandes, de nombreuses architectures ont été proposées. L'approche la plus répandue est l'intégration de filtres passifs reconfigurables dans l'émetteur *front-end*. De ce fait, il est possible de filtrer les signaux interférents afin de prévenir la saturation des circuits RF par l'utilisation d'un amplificateur faible bruit (LNA) ou d'un mélangeur. Cependant, de nombreux oscillateurs locaux de différentes fréquences ou un oscillateur local ajustable sont nécessaires (Figure 4.2.a). Un autre candidat est un émetteur RF à filtre passe-bande (Figure 4.2.b). Selon la bande passante du filtre, le taux d'échantillonnage du convertisseur peut être de plusieurs dizaines à plusieurs centaines de MHz. De plus, la consommation d'énergie de ces échantillonneurs est significative. Par ailleurs, l'utilisation d'un filtre *front-end* configurable consomme peu d'énergie et offre une grande versatilité en termes de reconfigurabilité radio (Figure 4.2.c) [Rais-Zadeh-15]. Mais la grande proximité des différents filtres passe-bande rend difficile la réception de certains signaux qui peuvent alors saturer le module *front-end* de ces récepteurs du fait de phénomènes d'interférences et d'intermodulations entre des signaux de fréquences proches.

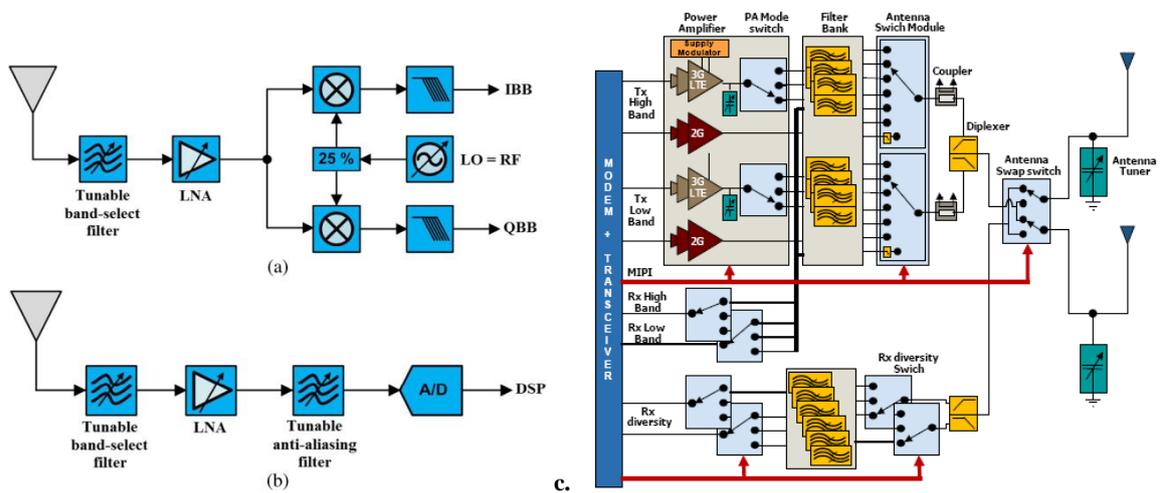


Figure 4.2 - Architectures radios reconfigurables munies de filtres de présélection adaptables, a. Architecture de conversion directe et b. Architecture RF d'échantillonnage [Rais-Zadeh-15], c. Représentation schématique d'un module Front-end pour la technologie LTE [Soitec-13]

La linéarité est donc essentielle dans les téléphones portables qui doivent supporter de multiples porteuses et de plus faibles pertes. Par ailleurs, il est nécessaire de maintenir le niveau de puissance dans les antennes et les *tuners*, d'avoir une grande plage fréquentielle et des technologies compatibles avec des circuits de 5-100 Ω d'impédance [Rebeiz-15]. L'objectif de la section suivante sera de développer quelques notions fondamentales permettant de cadrer la stratégie simulateur utilisée pour évaluer les distorsions harmoniques.

4.2 Impact du substrat de silicium sur la génération d'harmonique

4.2.1 Stratégie de modélisation

Comme mentionné dans le chapitre 1, les composants passifs, les lignes de transmission par exemple, peuvent faire l'objet de distorsions harmoniques. Ces distorsions

sont dues notamment aux non-linéarités du substrat. Cependant, ces phénomènes n'ont jamais été quantifiés au moyen d'un modèle physique.

Par ailleurs, la modélisation en trois dimensions d'une ligne coplanaire d'une longueur de 1 mm (Figure 4.3.a) avec des logiciels de simulation de type éléments ou différences finies est très coûteuse en temps et ne converge pas forcément vers un résultat précis en fonction des conditions d'arrêt. Une approche en deux dimensions a donc été étudiée pour palier à ce problème, l'idée étant de représenter la ligne coplanaire sous sa coupe transversale (Figure 4.3.c) afin de tenir compte des champs électromagnétiques présents dans ce système. En supposant que la structure de la ligne de transmission soit homogène et sachant qu'une structure en deux dimensions sous ATLAS a une épaisseur de 1 μm , il est alors possible de connecter ces tronçons bout à bout afin d'obtenir la ligne complète (Figure 4.3.b).

Le but de cette section sera de définir une méthode permettant de déterminer les caractéristiques de cette ligne coplanaire à partir de ces tronçons. Pour cela, il sera nécessaire de redéfinir les notions de lignes coplanaires, de transformée de Fourier et de puissance moyenne, l'idée étant d'étudier à l'aide de modèles physiques une ligne coplanaire sous le logiciel ATLAS.

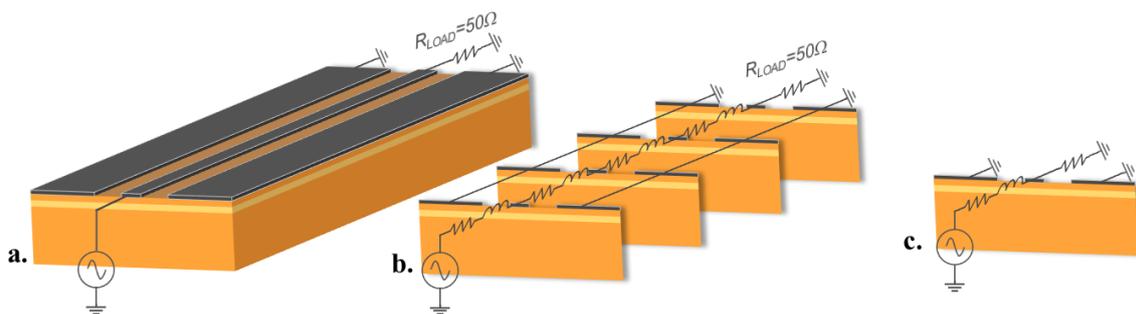


Figure 4.3 - Représentation schématique d'une ligne coplanaire sur substrat HR-SOI a. complète, b. constituée de plusieurs tronçons et c. ramené à un seul tronçon

4.2.2 Définition d'une ligne coplanaire

La configuration la plus simple d'une ligne de transmission (TL) consiste en deux plaques conductrices parallèles séparées par un matériau diélectrique non magnétique de permittivité $\epsilon_0\epsilon_r$ (Figure 4.4.a). Sachant que les parois du matériau diélectrique sont modélisées par des surfaces magnétiques, il n'y a aucun effet de bord en dehors de la région située entre les plaques conductrices. Dans ces conditions, en se basant sur les équations fondamentales de l'électromagnétisme, il est facile de montrer que les capacités et les inductances par unité de longueur peuvent s'exprimer de la façon suivante :

$$C_0 = \epsilon_0\epsilon_r \frac{W}{H} \quad (1) \quad \text{et} \quad L_0 = \mu_0 \frac{H}{W} \quad (2)$$

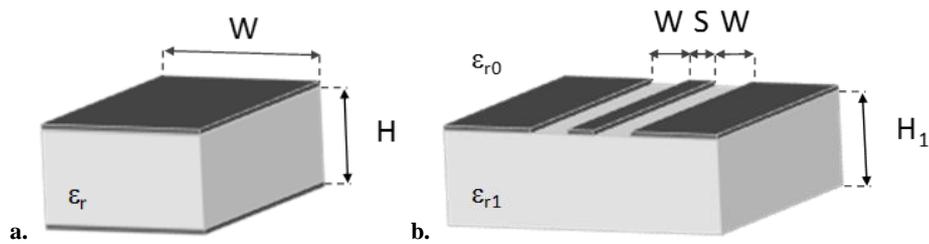


Figure 4.4 - Représentation schématique a. d'une ligne de transmission à conducteurs parallèles et b. d'une ligne coplanaire et ses dimensions

Dans une ligne coplanaire (CPW), tous les conducteurs permettant la propagation de l'onde sont sur le même plan, généralement au-dessus de la couche diélectrique au niveau des interconnexions dans la technologie CMOS comme le montre la Figure 4.4.b. Cette configuration implique deux approximations par rapport au cas idéal homogène 1D (Figure 4.4.a) :

- La composition de la CPW est inhomogène si les lignes de champ se développent à la fois dans le diélectrique et dans l'air. Une conséquence importante de cette architecture est que la propagation de l'onde ne peut pas être purement transverse électromagnétique.
- La distribution des lignes de champ est intrinsèquement bidimensionnel (2D) et requière une méthode de calcul plus sophistiquée.

Pour résoudre ce problème en 2D, des transformations conformes utilisant la transformée de Schwarz-Christoffel permet d'obtenir une formule relativement simple et quasi-analytique de l'impédance caractéristique et de la constante de propagation. En fait, cette transformation permet de représenter la conformation originale avec une géométrie plus simple facilitant la résolution des équations de Maxwell [Gupta-96].

Pour rendre compte de ces homogénéités, la ligne coplanaire peut être divisée en deux demi-plans, l'un associé à l'air, l'autre au diélectrique. Pour trouver la capacité linéique, les deux domaines sont analysés séparément et la capacité totale est déduite de leur association en parallèle. Par ailleurs, l'inductance linéique reste inchangée en présence du diélectrique.

Trois limitations sont associées à l'approche décrite précédemment :

- Il s'agit d'une approximation quasi-statique.
- L'épaisseur des lignes conductrices de la CPW est proche de zéro.
- La ligne est supposée sans perte.

Malgré les deux premières approximations, les caractéristiques d'une ligne coplanaire sans perte sont trouvées avec une erreur de 1% aux fréquences proches de 10 GHz (bande X).

La capacité par unité de longueur C_1 associée au diélectrique et C_0 la capacité associée à l'air peuvent s'exprimer de la façon suivante [Simons-01] :

$$C_1 = 2\varepsilon_0(\varepsilon_{r_1} - 1) \frac{K(k_1)}{K(k'_1)} \quad (3) \quad \text{et} \quad C_0 = 4\varepsilon_0 \frac{K(k_0)}{K(k'_0)} \quad (4)$$

Où k_0, k'_0, k_1 et k'_1 sont les arguments d'intégrales elliptiques $K(k)$:

$$k_0 = \frac{S}{S + 2W} \quad (5) \quad \text{et} \quad k_1 = \frac{\sinh\left(\frac{\pi S}{4H_1}\right)}{\sinh\left(\frac{\pi(S + 2W)}{4H_1}\right)} \quad (6)$$

$$k'_0 = \sqrt{1 - k_0^2} \quad (7) \quad \text{et} \quad k'_1 = \sqrt{1 - k_1^2} \quad (8)$$

Et la formule de $K(m)$ est définie par :

$$K(m) = \int_0^{\frac{\pi}{2}} \left(\sqrt{1 - m \sin^2 \theta}\right)^{-\frac{1}{2}} d\theta \quad (9)$$

La capacité totale de la ligne coplanaire est obtenue en effectuant la somme des capacités partielles C_0 et C_1 :

$$C_{CPW} = C_0 + C_1 \quad (10)$$

Sous l'hypothèse quasi-statique, la constante diélectrique effective est donnée par le rapport entre la capacité totale C_{CPW} et la capacité de l'air C_0 :

$$\varepsilon_{eff} = \frac{C_{CPW}}{C_0} = 1 + \frac{C_1}{C_0} = 1 + \frac{\varepsilon_{r_1} - 1}{2} \frac{K(k_0)}{K(k'_0)} \frac{K(k_1)}{K(k'_1)} \quad (11)$$

La vitesse de phase peut être calculée avec l'équation suivante où c représente la vitesse de la lumière dans l'espace libre :

$$v_{ph} = \frac{c}{\sqrt{\varepsilon_{eff}}} \quad (12)$$

Finalement, l'inductance et l'impédance caractéristique de la ligne coplanaire sont données par :

$$L_{CPW} = \frac{1}{C_{CPW} v_{ph}^2} \quad (13)$$

$$Z_{CPW} = \frac{1}{C_{CPW} v_{ph}} = \frac{1}{c C_0 \sqrt{\varepsilon_{eff}}} \quad (14)$$

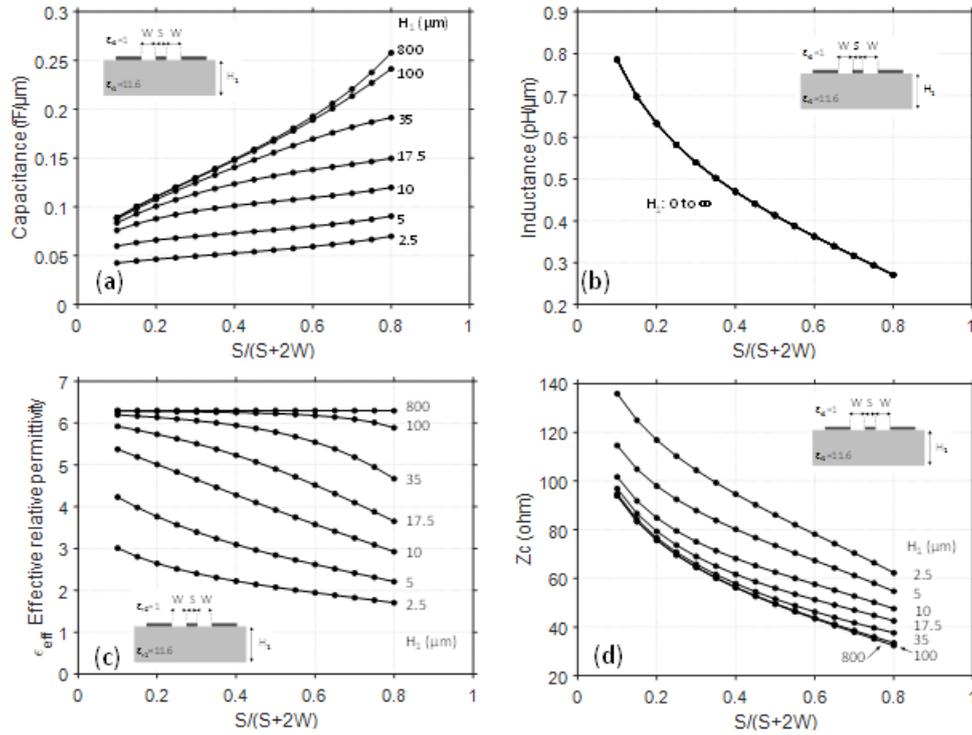


Figure 4.5 - Paramètres caractéristiques d'une ligne coplanaire sur silicium ($\epsilon_{r1} = 11,6$) en fonction du rapport dimensionnel $S/(S + 2W)$ pour différentes épaisseurs de substrat (H_1). S est la largeur de la ligne centrale et W l'écart entre les bords de la ligne centrale et les lignes de masse. a. Capacité par unité de longueur, b. Inductance par unité de longueur, c. Permittivité relative diélectrique effective et d. Impédance caractéristique

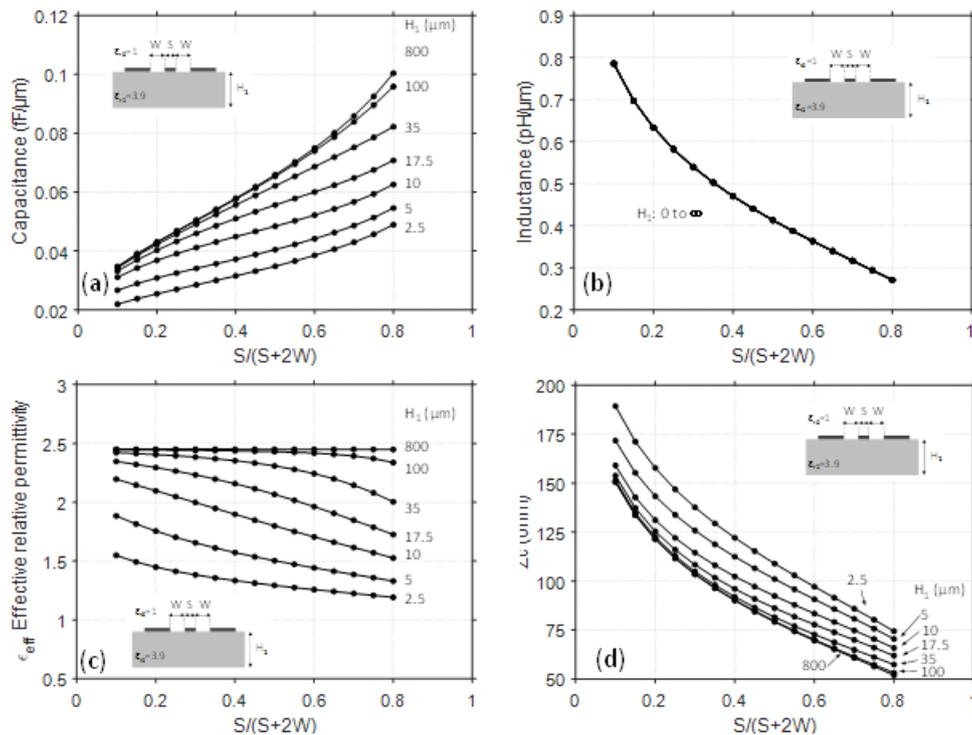


Figure 4.6 - Paramètres caractéristiques d'une ligne coplanaire sur silicium ($\epsilon_{r1} = 3,9$) en fonction du rapport dimensionnel $S/(S + 2W)$ pour différentes épaisseurs de substrat (H_1). S est la largeur de la ligne centrale et W l'écart entre les bords de la ligne centrale et les lignes de masse. a. Capacité par unité de longueur, b. Inductance par unité de longueur, c. Permittivité relative diélectrique effective et d. Impédance caractéristique

En analysant les Figure 4.5 et Figure 4.6 retraçant les courbes caractéristiques d'une ligne coplanaire, nous remarquons que la valeur de l'inductance ne dépend pas de l'épaisseur du substrat ni évidemment de sa permittivité diélectrique relative. Par ailleurs, la capacité et l'impédance caractéristiques augmentent avec la permittivité relative du substrat. La capacité linéique augmente également avec l'épaisseur du substrat. Enfin, la permittivité effective relative augmente avec l'épaisseur jusqu'à atteindre une valeur limite qui correspond à la permittivité effective du matériau utilisé pour fabriquer la ligne.

4.2.3 Transformée de Fourier rapide

4.2.3.1 Définition de la transformée de Fourier

Soit $f(x)$ une fonction à valeurs réelles/complexes de variable réelle x . On appelle transformée de Fourier de $f(x)$ la fonction complexe de variable réelle k définie par :

$$F(k) = TF[f(x)] = \int_{-\infty}^{+\infty} f(x)e^{-jkx} dx \quad (15)$$

En physique, dans la plupart des cas, la variable concernée est soit une longueur, soit un temps. Usuellement, la notation x représente une longueur. Dans ce cas, la variable k a les dimensions de l'inverse de la longueur. Elle est appelée le vecteur d'onde. Lorsqu'on considère une fonction $f(t)$, on utilise pour transformée de Fourier de $f(t)$ la notation :

$$TF[f(t)] = F(\omega) = \int_{-\infty}^{+\infty} f(t)e^{-j\omega t} dt \quad (16)$$

Où la variable ω , qui a les dimensions inverses d'un temps, est la fréquence angulaire ($\omega = 2\pi f$). Revenons aux notations de l'équation (15). Nous donnerons seulement une condition suffisante (mais non nécessaire) d'existence de la transformée de Fourier. Rappelons tout d'abord que, par définition, une fonction f appartient à l'espace des fonctions intégrables si son intégrale, au sens de la théorie des intégrales impropres de Riemann, est absolument convergente, c'est-à-dire si on a : $\int_{-\infty}^{+\infty} |f(x)| dx < +\infty$.

On a le théorème : *toute fonction $f(x)$ intégrable possède une transformée de Fourier. On démontre que celle-ci est continue et bornée, et tend vers 0 lorsque $|k|$ tend vers $-\infty$.*

4.2.3.2 Transformée de Fourier discrète, un prolongement

La transformée de Fourier est couramment utilisée pour caractériser des systèmes linéaires et identifier les composantes fréquentielles présentes dans un signal analogique. Cependant, quand le signal est échantillonné ou que le système est numérique, c'est la version finie discrète de la transformée de Fourier qui doit être utilisée. Même si la plupart des propriétés de la transformée de Fourier sont conservées, quelques différences subsistent du fait que la transformée de Fourier discrète doit être utilisée sur des signaux

échantillonnés définis sur des intervalles finis [Bergland-69]. La transformée de Fourier discrète qui s'applique aux signaux discrets peut s'écrire sous la forme :

$$F(n) = \frac{1}{N} \sum_{k=0}^{N-1} f(k) e^{-j2\pi n \frac{k}{N}} \quad (17)$$

Avec n et k des entiers compris entre 0 et $N-1$. Il s'agit d'une série complexe. En notant $W_N = e^{j\frac{2\pi}{N}}$, alors $F(n) = \frac{1}{N} \sum_{k=0}^{N-1} f(k) W_N^{-nk}$ (18).

4.2.3.3 Transformée de Fourier rapide, une méthode de calcul efficace

La transformée de Fourier rapide (FFT) est simplement une méthode efficace pour calculer la transformée de Fourier discrète. La FFT peut être utilisée à la place de la transformée de Fourier continue seule au même titre que la transformée de Fourier discrète, mais avec une diminution significative du temps de calcul. La FFT est utilisée pour le calcul de spectre (représentation du spectre en puissance en fonction du temps), la convolution de deux séries temporelles pour le filtrage numérique et la corrélation de deux séries temporelles [Bergland-69].

La possibilité de calculer la transformée de Fourier discrète avec un algorithme rapide rend cette technique extrêmement efficace. La FFT est une méthode de calcul permettant de combiner séquentiellement et progressivement des sommes d'échantillons de plus en plus importantes pour obtenir les coefficients de la transformée de Fourier comme définie par Cooley-Tukey [Cooley-65]. L'équation (4) devient :

$$F(n) = \frac{1}{N} \left[\sum_{k=0}^{N-1} f(k) W_n^{nk} \right]^* \quad (19)$$

En utilisant la notation de Cooley, on a :

$$F^*(n) = \sum_{k=0}^{N-1} A(k) W^{nk} \quad (20)$$

Où n est compris entre 0 et $N-1$, $W = e^{\frac{2\pi j}{N}}$ et $A \equiv \frac{f^*}{N}$. La technique peut être interprétée en termes de combinaisons de transformées de Fourier discrète de plusieurs paquets d'échantillons dont le nombre d'occurrences serait pris en compte séquentiellement et appliqué aux transformées de sous-groupes d'échantillons, qui sont ainsi combinées pour obtenir la transformée d'une série complète d'échantillons [Bergland-69], [Cochran-67].

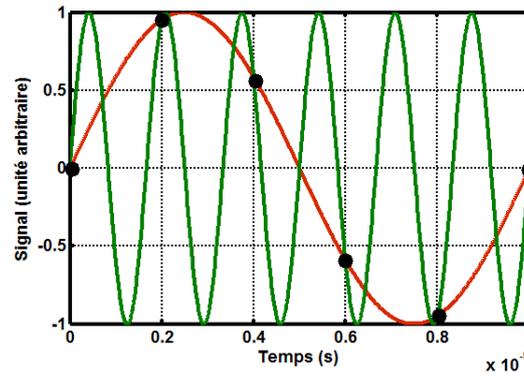


Figure 4.7 - Un exemple d'un signal haute fréquence (en vert) "imitant" un signal basse fréquence (en rouge)

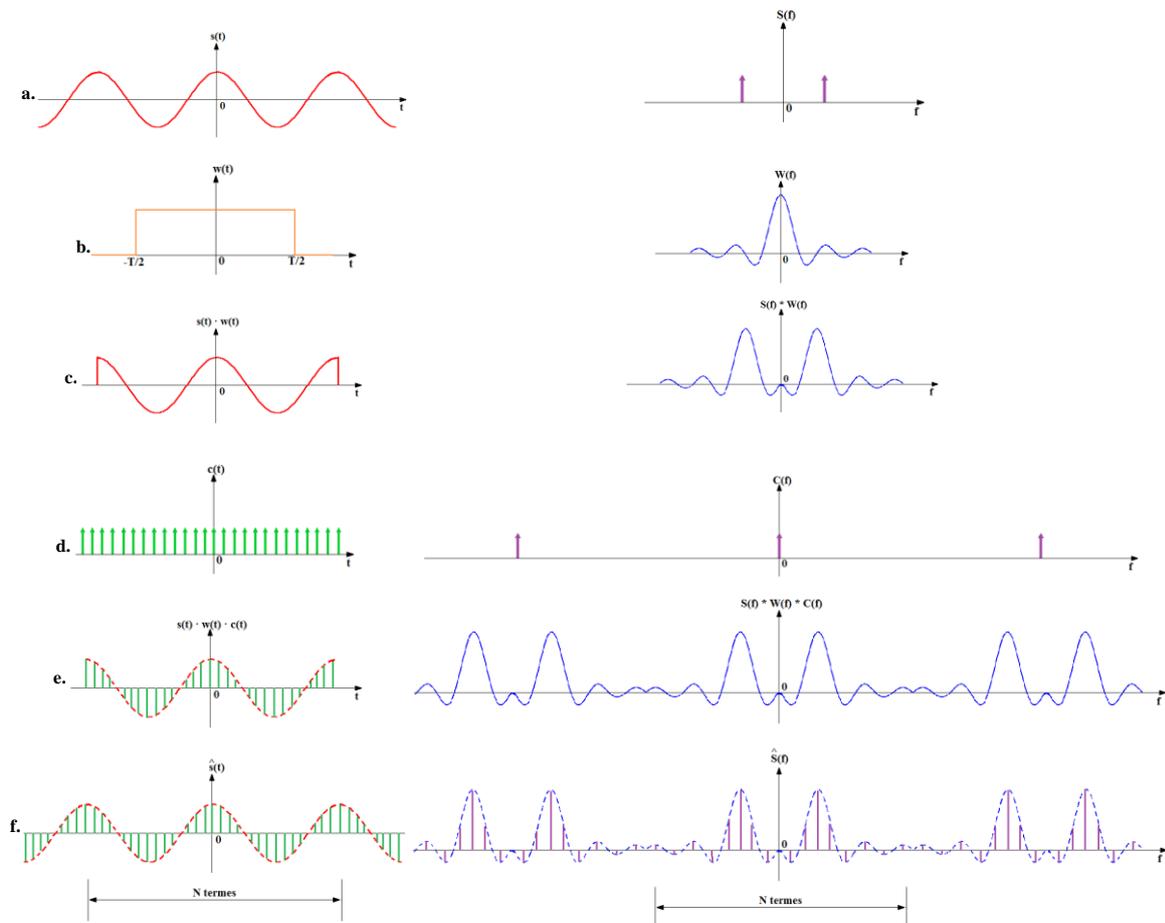


Figure 4.8 - Coefficients de la transformée de Fourier discrète vue comme une forme approchée de la transformée de Fourier continue, a. Forme d'onde en bande de fréquence limitée, b. Fonction porte, c. Forme d'onde de la source tronquée, d. Fonction d'échantillonnage, e. Forme d'onde échantillonnée, f. Périodisation du signal tronqué

La transformée de Fourier discrète met en œuvre des étapes de troncature et d'échantillonnage comme le montre la Figure 4.8. Les coefficients de la transformée de Fourier discrète correspondent aux coefficients de la série de Fourier du signal initial tronqué périodisé dans le temps. Cependant, si le taux d'échantillonnage est trop faible, un phénomène appelé recouvrement de spectre peut apparaître. Il se caractérise par le fait qu'un signal haute fréquence peut imiter un signal basse fréquence si la fréquence d'échantillonnage est inférieure à la fréquence maximale du signal échantillonné comme le montre la Figure 4.7. Ce problème peut être résolu par l'utilisation d'un taux

d'échantillonnage suffisamment élevé pour que le signal dont la fréquence est la plus élevée soit échantillonné à une fréquence au moins deux fois plus élevée, c'est le théorème de Shannon [Bergland-69]. Dans le cadre de la FFT, il faut que le taux d'échantillonnage corresponde à un nombre $N = 2^n$ échantillons pour que l'algorithme ne génère aucune erreur [Cochran-67].

4.2.3.4 Calcul de la puissance moyenne d'une ligne coplanaire

Supposons que la ligne CPW soit excitée par un signal harmonique sinusoïdal monotone de fréquence f . Comme nous l'avons vu précédemment, la ligne coplanaire peut être modélisée par le circuit suivant :

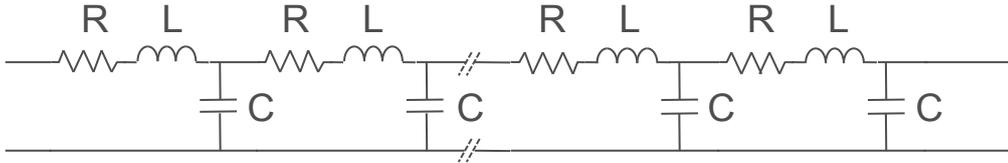


Figure 4.9 - Modélisation d'une ligne coplanaire où R est la résistance, L l'inductance et C la capacité linéiques de la ligne de transmission. R , L et C peuvent être des fonctions non-linéaires de la tension par exemple.

Observons alors ce qui se passe en sortie de la ligne coplanaire. La tension de sortie sera également un signal sinusoïdal. Calculons sa transformée de Fourier :

$$V_{out}(t) = \frac{C_{V_0}}{2} + \sum_{n=1}^{\infty} C_{V_n} \cos(n\omega t - \varphi_n) \quad (21)$$

De la même façon, on trouve le courant de sortie :

$$I_{out}(t) = \frac{C_{I_0}}{2} + \sum_{m=1}^{\infty} C_{I_m} \cos(m\omega t - \theta_m) \quad (22)$$

Nous en déduisons alors la puissance :

$$P_{out_{avg}} = \frac{1}{T} \int_0^T V_{out}(t) I_{out}(t) dt \quad (23)$$

$$P_{out_{avg}} = \frac{1}{T} \int_0^T \left\{ \frac{C_{V_0}}{2} + \sum_{n=1}^{\infty} C_{V_n} \cos(n\omega t - \varphi_n) \right\} \left\{ \frac{C_{I_0}}{2} + \sum_{m=1}^{\infty} C_{I_m} \cos(m\omega t - \theta_m) \right\} dt \quad (24)$$

$$\begin{aligned} \text{or : } & \int_0^T C_{V_n} \cos(n\omega t - \varphi_n) C_{I_m} \cos(m\omega t - \theta_m) dt \\ & = \begin{cases} 0 & \text{si } n \neq m \\ \frac{C_{V_n} C_{I_n}}{2} \cos(\varphi_n - \theta_n) & \text{si } n = m \end{cases} \quad (25) \end{aligned}$$

$$d'où : P_{out_{avg}} = \frac{C_{V_0} C_{I_0}}{4} + \sum_{n=1}^{\infty} \frac{C_{V_n} C_{I_n}}{2} \cos(\varphi_n - \theta_n) \quad (26)$$

Comme nous pouvons le constater dans l'équation 26, un signal d'excitation sinusoïdal peut générer en sortie de ligne un certain nombre d'harmoniques. Ces harmoniques peuvent être gênants si le système étudié est sensible aux hautes fréquences ou comprend des dispositifs travaillant sur des bandes de fréquences très proches.

4.2.4 Analyse d'Elmore-Wyatt appliquée aux réseaux RLC

4.2.4.1 Pré-requis

En 1948, Elmore [Elmore-48] introduisit une approche générale pour le calcul des délais de propagation dans un système linéaire à partir de sa fonction de transfert. Si la fonction de transfert du système est $G(s)$, la fonction de transfert normalisée $g(s)$ est $G(s)/G(0)$ dont l'expression est :

$$g(s) = \frac{1 + a_1s + a_2s^2 + \dots + a_ns^n}{1 + b_1s + b_2s^2 + \dots + b_ms^m} \quad (27)$$

Où a_i et b_i sont réels et $m > n$. Pour une réponse monotone, tous les pôles de $g(s)$ devraient être réels et, pour un système stable, ceux-ci devraient être situés sur l'axe des réels négatifs. La réponse indicielle d'une fonction de transfert normalisée est $\frac{1}{s}g(s)$. Dans le domaine temporel, la réponse indicielle $e(t)$ est monotonement croissante et sa valeur finale vaut 1.

Elmore observa que, dans le domaine temporel, la réponse indicielle possède les caractéristiques de l'intégrale d'une fonction de probabilité dont la valeur finale vaut 1 et qui est monotonement croissante, ce qui implique une aire sous la réponse impulsionnelle $e'(t)$ égale à 1 et $e'(t)$ est toujours positive. Ainsi, Elmore définit le délai de propagation à 50% (l'instant où $e(t)$ vaut 0,5) comme :

$$T_D = \int_0^{\infty} te'(t)dt \quad (28)$$

Qui est le centre de l'aire sous $e'(t)$. La fonction de transfert peut alors s'exprimer :

$$g(s) = \int_0^{\infty} e'(t)e^{-st}dt = 1 - s \int_0^{\infty} te'(t)dt + \frac{s^2}{2!} \int_0^{\infty} t^2e'(t)dt - \dots \quad (29)$$

Ainsi, si la fonction de transfert normalisée est étendue aux puissances de s , le délai à 50% peut être déterminé directement grâce aux coefficients de s . D'après l'équation 27, le délai de propagation vaut : $T_D = b_1 - a_1$. C'est le délai d'Elmore [Elmore-48].

En 1987, Wyatt [Wyatt-87] utilisa les expressions suivantes :

$$b_1 = \sum_{i=1}^m \frac{1}{p_i} \quad \text{et} \quad a_1 = \sum_{i=1}^n \frac{1}{z_i} \quad (30)$$

Où p_i et z_i sont respectivement les pôles et les zéros de la fonction de transfert. Ainsi, Wyatt traite $T_D = b_1 - a_1$ comme la réciproque du pôle dominant (le pôle dont la valeur absolue est la plus faible) du système. Cette approximation est fiable pour les systèmes ayant un seul pôle dominant et ne possédant aucun zéro à basse fréquence proche du pôle dominant. La réponse indicielle du système devient alors :

$$e(t) = 1 - \exp\left(-\frac{t}{T_D}\right) \quad (31)$$

Qui donne un délai de propagation à 50% égale à $0,693T_D$, valeur proche de la valeur trouvée par Elmore.

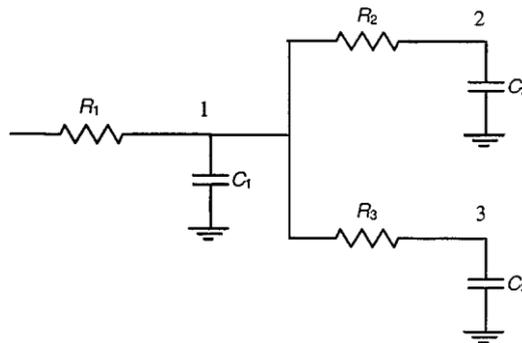


Figure 4.10 - Exemple de réseau RC [Ismail-00]

L'introduction d'une méthode simple pour le calcul de la constante de temps T_D rend la méthode d'Elmore-Wyatt particulièrement efficace pour les réseaux RC [Rubinstein-83]. Pour le réseau RC présenté à la Figure 4.10, la constante de temps T_{Di} au nœud i vaut :

$$T_{Di} = \sum_k C_k R_{ik} \quad (32)$$

Où k est l'indice correspondant à chaque capacité du circuit et R_{ik} est la résistance commune à l'entrée des nœuds i et k . Wyatt donna une valeur approchée au premier ordre de la fonction de transfert au nœud i d'un réseau RC :

$$g_i(s) = \frac{1}{s \sum_k C_k R_{ik} + 1} \quad (33)$$

Cette approximation au premier ordre correspond au premier moment de la fonction de transfert donnée par :

$$m_r^i = \left(-\sum_k C_k R_{ik}\right)^r \quad (34)$$

Que l'on peut voir dans le développement de l'équation (33) :

$$g_i(s) = 1 - s \sum_k C_k R_{ik} + s^2 \left(\sum_k C_k R_{ik} \right)^2 - \dots = 1 + m_1^i s + m_2^i s^2 + \dots \quad (35)$$

Cette approximation au premier ordre de la fonction de transfert peut être erronée dans certains cas où des conditions initiales arbitraires peuvent créer un zéro à basse fréquence, violant ainsi une des hypothèses de Wyatt [Pillage-89]. C'est pourquoi Horowitz donna une valeur approchée de la tension capacitive avec une fonction de transfert possédant deux pôles et un zéro en utilisant les conditions aux limites [Horowitz-84]. Pillage étendit ce concept par l'introduction de l'évaluation asymptotique d'onde qui dépend des q premiers moments de la fonction de transfert [Pillage-94], [Pillage-90], [Ratzlaff-91] et plus seulement du premier moment comme le faisaient Wyatt et Elmore. Ce concept permet d'amener de la précision par l'utilisation de moments supplémentaires. La fonction de transfert normalisée $g(s)$ peut être alors étendue aux puissances de s :

$$g(s) = 1 + m_1 s + m_2 s^2 + \dots \quad (36)$$

Où m_i est le $i^{\text{ème}}$ moment de la fonction de transfert [Pillage-94]. Les $2q$ premiers moments de la fonction de transfert comprennent les informations nécessaires au calcul des q premiers pôles ainsi que leurs résidus. Cependant, ces méthodes ne permettent de résoudre simplement la fonction de transfert d'un réseau RLC.

4.2.4.2 Approximation au second ordre pour les réseaux RLC

Comme mentionné précédemment, la méthode d'Elmore-Wyatt ne permet pas de caractériser précisément les réseaux RLC à cause de la réponse non-monotone possible d'un circuit RLC [Ismail-00]. Pour illustrer ce point, considérons le circuit RLC simple. Ce circuit est caractérisé par la fonction de transfert au second ordre :

$$g(s) = \frac{1}{LCs^2 + RCs + 1} \quad (37)$$

Notons que le coefficient de s est RC et ne tient pas compte de l'inductance L . Ce coefficient de la constante de temps d'Elmore (et ainsi l'approximation de Wyatt) ne dépend pas de l'inductance. Cependant, l'inductance peut avoir un effet significatif sur la réponse du circuit. Pour comprendre les effets de l'inductance, la fonction de transfert peut être réécrite sous sa forme canonique :

$$g(s) = \frac{\omega_0^2}{s^2 + 2\zeta\omega_0 s + \omega_0^2} \quad (38)$$

$$\text{où } \zeta = \frac{1}{2} \frac{RC}{\sqrt{LC}} \quad (39) \text{ et } \omega_0 = \frac{1}{\sqrt{LC}} \quad (40)$$

Les pôles de la fonction de transfert sont :

$$P_{1,2} = \omega_0 \left[-\zeta \pm \sqrt{\zeta^2 - 1} \right] \quad (41)$$

Où ζ est le coefficient d'amortissement et ω_0 la pulsation naturelle. Notons que si ζ est inférieur à 1, les pôles sont complexes et les oscillations générées violent la condition de réponse monotone de la méthode d'Elmore. Dans ce cas, la réponse est sous-amortie et des dépassements sont possibles. Si ζ est supérieur à 1, les pôles sont réels et la réponse est amortie. Si ζ est égale à 1, on parle de régime critique. Selon l'équation 39, le facteur d'amortissement diminue lorsque l'inductance augmente, ce qui est contraire à l'hypothèse d'une réponse monotone.

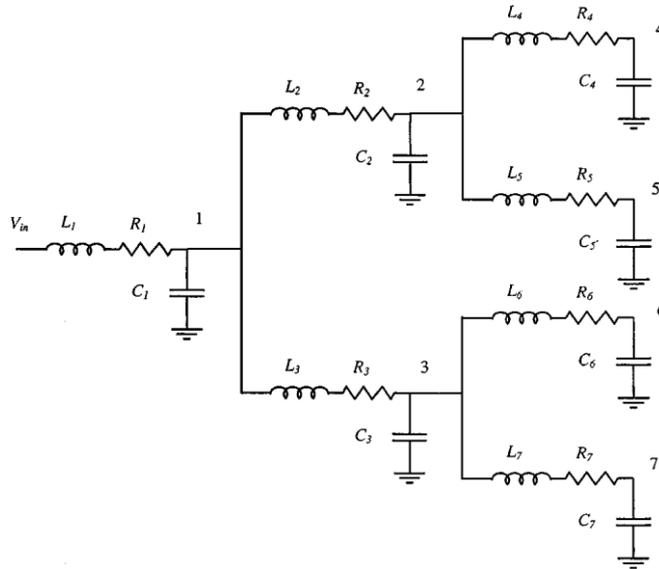


Figure 4.11 - Réseau RLC général [Ismail-00]

Une approximation au second ordre est alors envisagée afin de caractériser une réponse non-monotone possédant deux pôles complexes conjugués pour un système réel. Ainsi, un système du second ordre comme pour l'équation 38 peut être utilisé pour s'approcher d'un système ayant une réponse non-monotone. Il est alors nécessaire de déterminer ζ et ω_n afin d'obtenir une approximation au second ordre aussi proche que possible de la fonction de transfert réelle. La fonction de transfert à l'équation 38 peut être exprimée en puissance de s où les deux premiers moments de la fonction de transfert sont assimilés aux deux premiers moments du système m_1 et m_2 . La fonction de transfert devient alors :

$$g(s) = 1 - \frac{2\zeta}{\omega_0} s + \frac{4\zeta^2 - 1}{\omega_0^2} s^2 - \dots = 1 + m_1 s + m_2 s^2 + \dots \quad (42)$$

Les paramètres ζ et ω_n qui caractérisent cette approximation au second ordre d'un système non-monotone s'expriment alors :

$$\zeta = -\frac{m_1}{2} \frac{1}{\sqrt{m_1^2 - m_2}} \quad (43)$$

$$\omega_0 = \frac{1}{\sqrt{m_1^2 - m_2}} \quad (44)$$

Par conséquent, pour un système ayant une réponse non-monotone, une approximation au second ordre peut être trouvée si les deux premiers moments du système sont connus.

Pour un réseau RLC général présenté à la Figure 4.11, la chute de tension de chaque nœud i est comparée à la tension d'entrée :

$$V_{in}(s) - V_i(s) = \sum_k C_k V_k(s) s [R_{ki} + L_{ki} s] \quad (45)$$

Où k est un index qui symbolise un nœud d'une capacité du circuit et R_{ik} la résistance commune de l'entrée du réseau jusqu'au nœud i . Si le signal d'entrée est une impulsion, $V_{in}(s) = 1$ et les tensions aux nœuds du circuit sont les réponses impulsionnelles de ces nœuds. Ainsi la fonction de transfert normalisée $g_i(s)$ au nœud i s'écrit :

$$g_i(s) = 1 - \sum_k C_k V_k(s) s [R_{ki} + L_{ki} s] = 1 + m_1^i s + m_2^i s^2 + \dots \quad (46)$$

Sachant que les premier et deuxième moments au nœud i s'expriment par :

$$m_1^i = \left. \frac{dg_i(s)}{ds} \right|_{s=0} \quad (47)$$

$$m_2^i = \left. \frac{1}{2!} \frac{d^2 g_i(s)}{ds^2} \right|_{s=0} \quad (48)$$

et que $V_k(s) = 1$ et $\frac{dV_k(s)}{ds} = m_1^k$ pour $s = 0$, nous obtenons en utilisant l'approximation d'Elmore-Wyatt :

$$m_1^i = - \sum_k C_k R_{ik} \quad (49)$$

$$m_2^i = \left(\sum_k C_k R_{ik} \right)^2 - \sum_k C_k L_{ik} \quad (50)$$

En remplaçant les premier et deuxième moments par leurs expressions dans les équations 16 et 17, nous obtenons les paramètres suivants pour ζ_i (coefficient d'amortissement) et ω_{0i} (pulsation naturelle) qui fournissent une approximation de la fonction de transfert du second ordre au nœud i :

$$\zeta_i = \frac{1}{2} \frac{\sum_k C_k R_{ik}}{\sqrt{\sum_k C_k L_{ik}}} \quad (51)$$

$$\omega_{ni} = \frac{1}{\sqrt{\sum_k C_k L_{ik}}} \quad (52)$$

Notons l'analogie avec ζ et ω_n pour une seule section RLC dans les équations 39 et 40. Les constantes de temps RC et \sqrt{LC} sont remplacées par les sommes des constantes de temps équivalentes du réseau. Notons également que les équations 51 et 52 deviennent respectivement les équations 39 et 40 pour une section seule. Cette approximation au deuxième ordre possède les mêmes caractéristiques que l'approximation d'Elmore-Wyatt pour un réseau RC [Ismail-00].

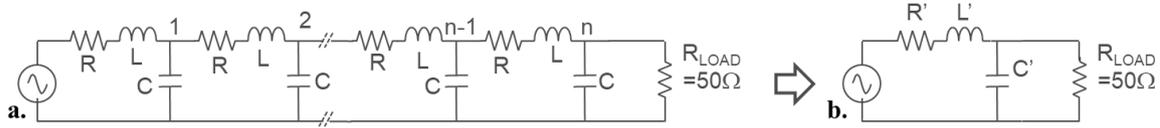


Figure 4.12 - Schéma électrique d'une ligne de transmission a. complète et b. simplifiée. R , L et C sont, respectivement, la résistance (Ω), l'inductance (H) et la capacité (F) pour un tronçon élémentaire.

Lorsque le formalisme décrit ci-dessus est adapté au cas d'une ligne de transmission (Figure 4.12.a), la fonction de transfert exprimée au nœud de sortie n prend la forme canonique décrite à l'équation 38 avec les expressions suivantes de ζ_n et ω_{0n} :

$$\zeta_n = \frac{1}{2} \frac{\sum_{k=1}^n C_k R_{nk}}{\sqrt{\sum_{k=1}^n C_k L_{nk}}} = \frac{1}{2} \frac{RC + 2RC + 3RC + \dots + nRC}{\sqrt{LC + 2LC + 3LC + \dots + nLC}}$$

$$\zeta_n = \frac{1}{2} \frac{\frac{n(n+1)RC}{2}}{\sqrt{\frac{n(n+1)LC}{2}}} = \frac{1}{2} \frac{R'C'}{\sqrt{L'C'}} \quad (53)$$

$$\omega_{0n} = \frac{1}{\sqrt{\sum_{k=1}^n C_k L_{nk}}} = \frac{1}{\sqrt{LC + 2LC + 3LC + \dots + nLC}} = \frac{1}{\sqrt{n(n+1)LC/2}} = \frac{1}{\sqrt{L'C'}} \quad (54)$$

Dès lors, les expressions de R' , L' et C' (Figure 4.12.b) peuvent être déduites en adoptant une partition identique pour les éléments séries L' et R' , ce qui conduit à :

$$R' = \frac{nR}{\sqrt{2}} \quad (55), \quad L' = \frac{nL}{\sqrt{2}} \quad (56) \quad \text{et} \quad C' = \frac{(n+1)C}{\sqrt{2}} \quad (57)$$

4.3 Technologie des substrats RF

Même si un substrat haute résistivité HR-SOI possède la plupart des qualités requises pour l'intégration des modules *front-end* RF, il souffre d'une capacité parasite non linéaire au travers de l'oxyde enterré (BOX) et de mécanisme de conduction surfacique qui dégrade sa résistivité effective. L'étude de lignes coplanaires a prouvé que le champ électrique transverse au niveau de l'interface Si-SiO₂ induit un canal de porteur fortement conducteur (accumulation ou inversion). Cette conduction de surface parasite diminue fortement la résistivité effective du substrat HR silicium. De plus, les substrats HR-Si deviennent non-linéaires du fait de cette conduction parasite. Cette non-linéarité est principalement due à la densité de charge modulée à l'interface Si-SiO₂. La couche d'inversion/accumulation électronique parasite change la répartition des porteurs libres à

l'intérieur du substrat de silicium, modulant ainsi ses capacité et conductance correspondantes. Le *wafer* est alors fortement dépendant de la tension de polarisation appliquée à la ligne coplanaire. La tension change la répartition des porteurs à l'interface Si-SiO₂, modifie la résistivité effective du substrat et augmente le niveau des harmoniques [Kerr-08], [Ben Ali-14]. Par ailleurs, quand un signal RF se propage le long d'une ligne d'interconnexion, les porteurs libres à l'interface Si-SiO₂ sont caractérisés par un temps de réponse suffisamment rapide pour suivre ces signaux RF (de fréquence supérieure à 100 MHz), et les propriétés électriques changent faiblement avec l'amplitude du signal [Roda Neve-12].

L'introduction d'une couche dite *trap-rich* par dépôt d'un film de polysilicium non dopé sous l'oxyde enterré (Figure 4.13) est considéré comme l'une des meilleures techniques compatibles avec les procédés CMOS standards. Les nombreux pièges créés par les liaisons pendantes du silicium dans la couche *trap-rich* capturent les porteurs libres à l'interface Si-SiO₂ et surtout provoquent un verrouillage du potentiel induit par la forte densité de charge portée par les pièges volumiques du polysilicium, permettant ainsi au substrat de retrouver sa résistivité nominale et sa linéarité tout en diminuant les pertes RF et la diaphonie. Cependant, ces effets sur les distorsions harmoniques n'ont pas été quantifiés par voie de modélisation [Kerr-08], [Ben Ali-14].



Figure 4.13 – Représentation schématique d'un substrat HR-SOI possédant une couche *Trap-rich*

Le but de ces travaux est donc d'étudier l'impact réel d'un substrat *trap-rich* sur le comportement de composants passifs. Pour cela, il est nécessaire de refixer la théorie et le rôle autour des défauts ponctuels de volume dans le polysilicium en considérant qu'ils sont de même nature que ceux présents dans le silicium avec des concentrations en pièges élevées et des temps de vie courts.

4.4 Physique du transport dans les semi-conducteurs

4.4.1 Equations de bases

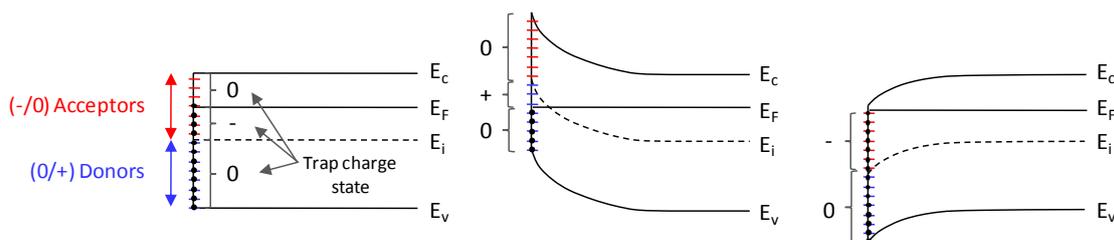


Figure 4.14 - Diagramme de bande d'un substrat Si montrant, à gauche, l'occupation des pièges dans la bande interdite et à droite, la courbure de bande induite par ces pièges

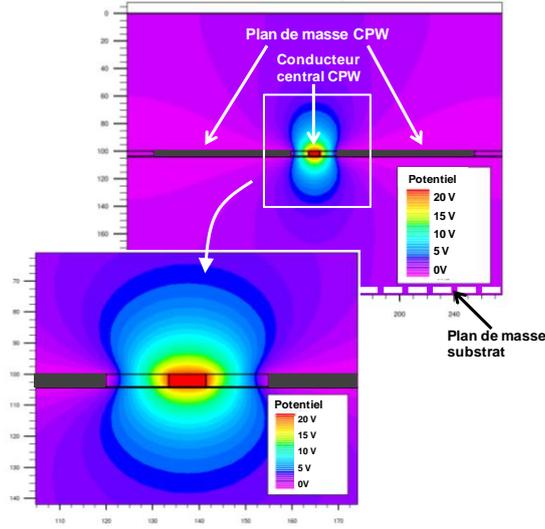


Figure 4.15 - Distribution bidimensionnelle du potentiel sur une ligne coplanaire avec un logiciel de simulation basé sur une technique de discrétisation de type "différences finies"

Les phénomènes de transport dans les semi-conducteurs sont modélisés par l'équation de Poisson et les équations de continuité en courant. L'équation de Poisson établit une relation entre le potentiel électrostatique et la densité de charge volumique sous la forme :

$$\text{div}(\varepsilon \vec{\nabla} \Psi) = -q(p - n + N_d - N_a) - Q_T \quad (53)$$

où ψ représente le potentiel électrostatique, ε la constante diélectrique du matériau, q la charge élémentaire, p et n respectivement la densité volumique de trous et d'électrons, tandis que N_d et N_a désignent respectivement la densité volumique de dopant, donneurs ou accepteurs. Q_T représente la charge en présence de pièges volumiques.

$$Q_T = q \left\{ \sum_{\alpha=1}^{\alpha_D} N_{tD\alpha}^+ - \sum_{\alpha=1}^{\alpha_A} N_{tA\alpha}^- \right\} \quad (54)$$

où $N_{tD\alpha}^+$ et $N_{tA\alpha}^-$ sont les densités volumiques de pièges ionisés de type donneur ou accepteur, respectivement. Les états de charge d'un piège donneur sont représentés par la notation (0/+) indiquant que si le piège est rempli, c'est-à-dire si le piège se situe sous le niveau de Fermi, l'état de charge est zéro. Alternativement un niveau donneur vide porte une charge positive. Selon le même raisonnement, les états de charge d'un piège accepteur sont représentés par la notation (-/0) indiquant que si le piège est rempli, l'état de charge est négatif. Un niveau accepteur vide est quant à lui neutre. La Figure 4.14 fournit une illustration des états de charge de pièges localisés dans la bande interdite du silicium en fonction de la courbure de bande. Par ailleurs, les équations de continuité en courant traduisent globalement la conservation des charges et s'expriment de la façon suivante :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n + (G_n - R_n) \quad (55)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_p + (G_p - R_p) \quad (56)$$

Où \vec{J}_n et \vec{J}_p représentent les densités surfaciques de courant (A/cm²), respectivement, en électrons et en trous, tandis que (G-R) désignent le taux de génération-recombinaison (cm⁻³.s⁻¹) applicable au deux types de porteurs, électrons et trous. La Figure 4.15 montre la distribution bidimensionnelle du potentiel sur une ligne coplanaire.

4.4.2 Défauts ponctuels dans le silicium

Le silicium étant tétravalent, il développe quatre liaisons covalentes avec ses premiers voisins dans une structure cristalline de type diamant. La Figure 4.16 présente des modèles structurels d'interface Si/SiO₂ montrant que l'interruption de l'ordre cristallin aboutit à la formation de défauts ponctuels. C'est en particulier le cas des défauts notés Si₃ ≡ Si·, appelés centres P_b.

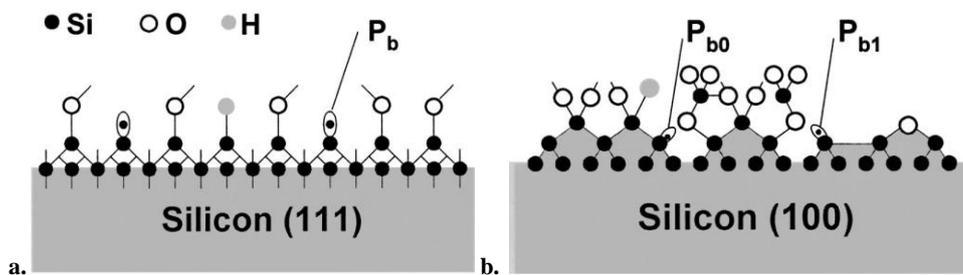


Figure 4.16 - Modèle structurel d'une surface a. Si (111) et b. Si (100) [Schroder-03]

Les pièges d'interface ou de volume sont des défauts électriquement actifs avec une distribution d'énergie à l'intérieur de la bande interdite du silicium. Ils agissent comme des centres de génération/recombinaison et contribuent au courant de fuite, au bruit en basse fréquence et à la réduction de la mobilité [Schroder-03]. Par nature, le polysilicium est constitué de multiples grains affichant un ordre cristallin local séparé par des joints de grains qui constituent autant de zone d'interruption de l'ordre cristallin. Les joints de grain sont le siège d'une haute densité de pièges caractérisés par des niveaux d'énergie donneur ou accepteur dans la bande interdite du silicium. Outre les mécanismes de génération-recombinaison, les pièges sont également porteurs de charge dont la densité importante contribue à verrouiller le potentiel électrostatique.

4.4.3 Mécanisme de génération et de recombinaison

Quand un semi-conducteur n'est plus à son état d'équilibre, un excès ou un déficit en termes de concentration en porteurs par rapport à la valeur à l'équilibre est invariablement créé à l'intérieur du semi-conducteur. La recombinaison et la génération sont des mécanismes d'équilibrage par lesquels l'excès ou le déficit de porteurs à l'intérieur d'un semi-conducteur est stabilisé (si la perturbation est maintenue) ou éliminé (si la perturbation est retirée). La recombinaison est un procédé par lequel des électrons ou des trous (porteurs) sont annihilés ou détruits, alors que la génération est un procédé par lequel des porteurs sont créés. Physiquement, les centres de génération-recombinaison (centres R-G) sont des défauts du réseau cristallin ou des impuretés dans le silicium. Ces défauts ou

impuretés sont présents même dans les semi-conducteurs de haute pureté. Cependant, la concentration en centres R-G est normalement très faible comparée aux concentrations en donneurs et accepteurs dans les matériaux de qualité. A contrario, leur concentration est très importante dans le polysilicium [Dubois-90], [Pierret-96].

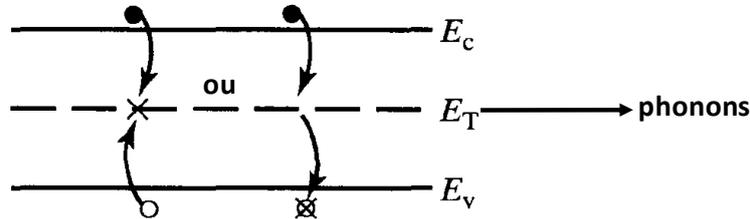


Figure 4.17 - Diagramme de bande montrant un piège caractérisé par un niveau d'énergie E_T

Comme montré sur la Figure 4.17, les centres R-G agissent comme des intermédiaires dans le procédé de recombinaison envisagé. Tout d'abord, un type de porteur puis son type opposé sont attirés par le centre R-G. La capture d'un électron et d'un trou sur le même site conduit à l'annihilation d'une paire électron/trou. Alternativement, le procédé peut être décrit comme des transitions état à état d'un seul porteur : un porteur est d'abord capturé par un centre R-G et provoque une transition annihilante dans la bande opposée du porteur. La recombinaison du centre R-G, également appelée recombinaison thermique indirecte, est de fait non-radiative. L'énergie thermique (chaleur) est retirée durant le procédé, ou de manière équivalente, des vibrations cristallines (phonons) sont produites [Pierret-96].

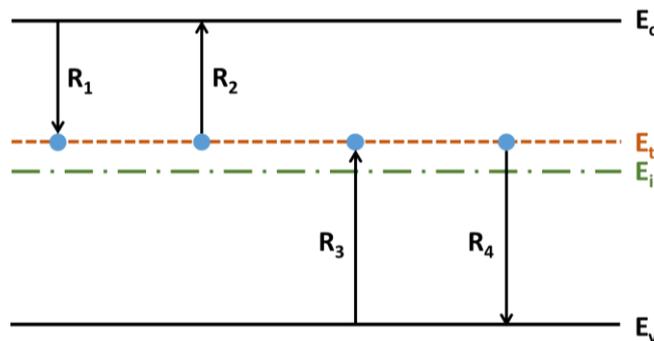


Figure 4.18 – Interaction des porteurs libres avec un état localisé à une énergie E_i dans la bande interdite. Cet exemple montre un état de type accepteur.

Par ailleurs, la génération-recombinaison de Shockley-Read-Hall est un mécanisme mettant en jeu un seul niveau dans la bande interdite (Figure 4.18). Plusieurs phénomènes sont envisagés [Dubois-90] :

- R_1 : capture d'un électron de bande de conduction au niveau vide localisé à une énergie E_t dans la bande interdite ($R_1 = n(N_t(1 - f(E_t))) [v_{thn}\sigma_n]$ (56))
- R_2 : mécanisme dual de R_1 ($R_2 = (N_t f(E_t))e_n$ (57))
- R_3 : capture d'un trou initialement en bande de valence par un piège occupé par un électron ($R_3 = p(N_t f(E_t)) [v_{thn}\sigma_n]$ (58))
- R_4 : excitation d'un électron de la bande de valence dans un état inoccupé (émission d'un trou ($R_4 = (N_t(1 - f(E_t)))e_p$ (59))

Dans les équations 56 à 59, n représente la densité volumique en électrons, p la densité volumique en trous, N_t la densité d'état associée au piège, $f(E_t)$ la probabilité que l'état soit occupé, e_n la probabilité de transition des électrons et e_p la probabilité de transition des trous. A l'équilibre, la compensation de mécanismes d'émission et de capture permet de déduire les expressions de e_n et e_p car $R_1=R_2$ et $R_3=R_4$ et $f(E_t)$ correspond à la distribution de Fermi.

$$e_n = v_{thn} \sigma_n n_{ie} e^{\frac{E_t - E_i}{kT}} \quad (60)$$

$$e_p = v_{thp} \sigma_p n_{ie} e^{\frac{E_i - E_t}{kT}} \quad (61)$$

La loi de conservation des charges émises et capturées est exprimée par $R_1 - R_2 = R_3 - R_4$, ce qui nous donne un taux de génération-recombinaison de :

$$(R - G)_{SRH} = \frac{np - n_{ie}^2}{\tau_n \left(p + n_{ie} e^{\frac{E_i - E_t}{kT}} \right) + \tau_p \left(n + n_{ie} e^{\frac{E_t - E_i}{kT}} \right)} \quad (62)$$

Où les temps de vie des porteurs sont donnés par :

$$\tau_n = \frac{1}{N_t v_{thn} \sigma_n} \quad (63)$$

$$\tau_p = \frac{1}{N_t v_{thp} \sigma_p} \quad (64)$$

Les temps de vie sont indépendants du niveau de dopage si la densité de pièges l'est également. Cette durée de vie des porteurs est aussi connue pour affecter les performances des dispositifs bipolaires et CMOS [Shin-99].

4.5 Simulations électriques physiques de dispositifs

4.5.1 Outil de simulation

Le logiciel de simulation ATLAS est un outil de modélisation bi- ou tridimensionnelle de composants capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. Il est basé sur une technique de discrétisation de type "différences finies" ou "boîtes finies". Il met en œuvre le schéma de discrétisation de Scharfetter et Gummel [Scharfetter-69] adapté au comportement fortement non linéaire des équations de Poisson et de continuité de courant [Silvaco-14]. Outre les caractéristiques électriques externes (ex : caractéristiques courant-tension), il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc., autant de données importantes pour la conception et l'optimisation des procédés technologiques. Cet outil de simulation permet de spécifier les méthodes numériques (méthode d'intégration, de discrétisation, de résolution) et de

préciser l'ensemble des paramètres constitutifs du dispositif (géométrie, contacts, dopages, modèles physiques).

4.5.2 Etude de l'impact de la résistivité du substrat sur la distorsion harmonique

4.5.2.1 Description du modèle utilisé

Dans cette section, nous étudions le comportement d'une ligne coplanaire par l'application d'un signal sinusoïdal de fréquence $f = 1$ GHz et d'amplitude crête U comprise entre 0,1 et 20 V par voie de simulation physique de dispositif, ce qui correspond à un signal de puissance comprise entre -10 et 36 dBm sur une charge résistive de 50Ω . Pour cela, nous utilisons une ligne de longueur $L = 1000 \mu\text{m}$ et de largeur $W = 8 \mu\text{m}$. Elle est séparée de chaque ligne de masse par un *gap* de $13,5 \mu\text{m}$. Les parties métalliques de la ligne de transmission sont déposées sur une couche d'oxyde enterré de $0,4 \mu\text{m}$ d'épaisseur et un substrat de silicium de type n de 100 à $800 \mu\text{m}$ d'épaisseur. Le système est schématisé à la Figure 4.19. Nous faisons alors varier le niveau de dopage du silicium afin d'étudier l'impact de la résistivité du substrat sur le fonctionnement d'un composant passif, ici une ligne coplanaire. Ces cas sont présentés dans le Tableau 4.1. En se référant à la Figure 4.12.b, R' et L' fournissent les valeurs de la résistance et de l'inductance du formalisme d'Elmore-Wyatt-Ismail (équations 53 à 57).

Tableau 4.1 - Simulations sous ATLAS de substrats SOI à haute résistivité

Cas étudié	Dopage du substrat (cm^{-3})	Résistivité du substrat ($\Omega\cdot\text{cm}$)	R' (Ω)	L' (H)
1	1.10^{12}	4400	5,91	$4,26.10^{-10}$
2	5.10^{12}	880	5,91	$4,26.10^{-10}$
3	1.10^{13}	440	5,91	$4,26.10^{-10}$
4	1.10^{14}	45	5,91	$4,26.10^{-10}$

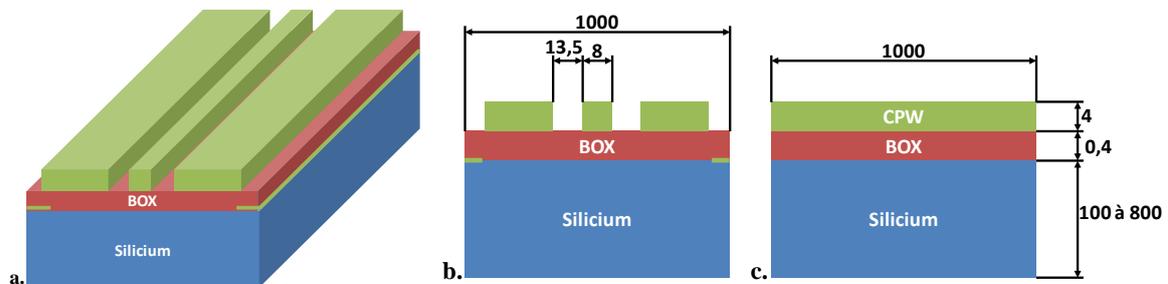


Figure 4.19 - Représentation schématique d'une ligne coplanaire a. en 3D, b. en coupe transversale et c. en coupe longitudinale au centre de la piste centrale. Les dimensions indiquées sont en microns.

4.5.2.2 Résultats

Les résultats, présentés à la Figure 4.20, montrent l'évolution des harmoniques du second et troisième ordres en fonction du signal d'entrée. Le niveau de puissance est calculé par analyse de Fourier conformément à la relation 26. Le caractère non linéaire de la capacité MOS parasite siégeant sous l'oxyde enterré est largement responsable de la génération de signaux harmoniques en sortie de ligne.

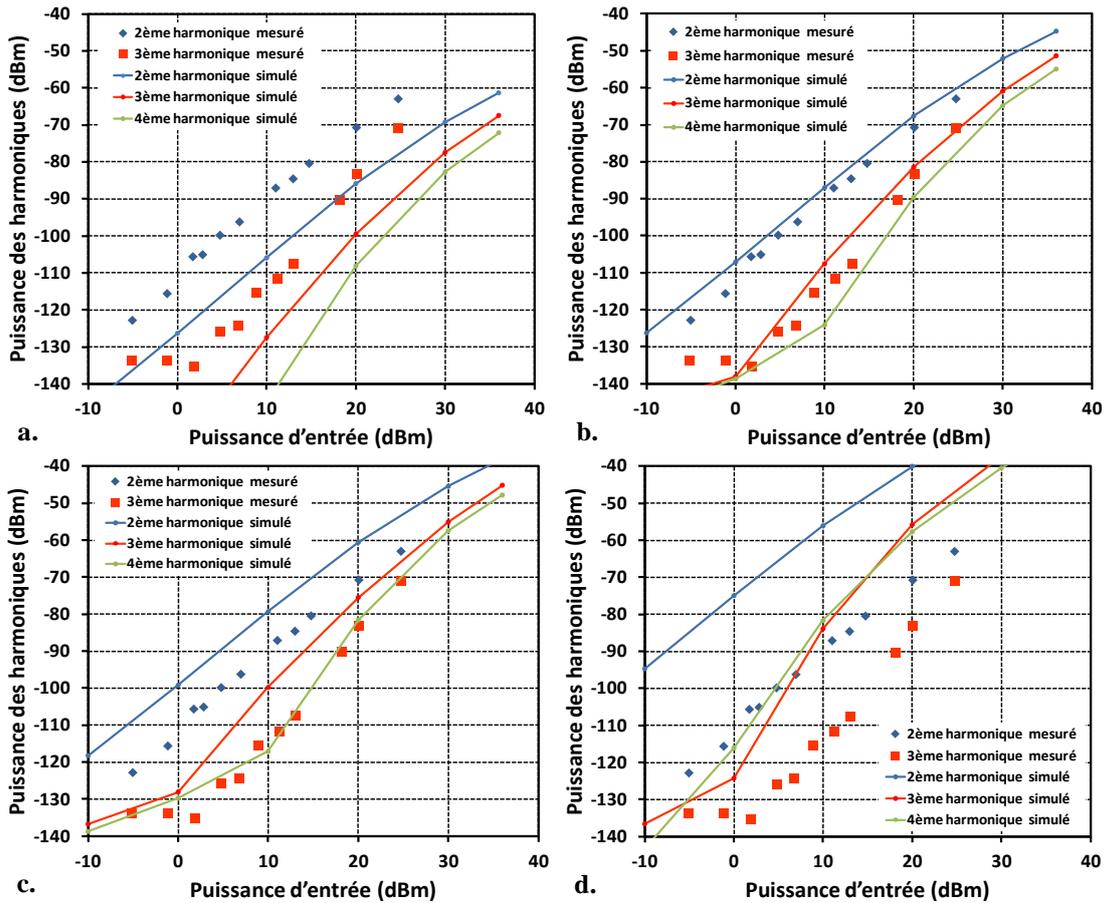


Figure 4.20 - Génération des 2^{ème}, 3^{ème} et 4^{ème} harmoniques issues des simulations sous ATLAS pour une résistivité de substrat de a. 4400 Ω .cm, b. 880 Ω .cm, c. 440 Ω .cm et d. 45 Ω .cm. Sur chaque graphique sont représentées les mesures des 2^{ème} et 3^{ème} harmoniques effectuées sur un substrat de silicium à haute résistivité.

Nous remarquons, tout d'abord, que le niveau des différents harmoniques est d'autant plus faible que la résistivité du substrat est importante. Prenant en compte le fait que la capacité MOS est d'autant plus faible que le niveau de dopage est bas, ce résultat est cohérent avec l'hypothèse de la capacité MOS parasite dont l'impact s'affaiblit pour une résistivité de substrat croissante. Par ailleurs, en comparant les courbes obtenues par simulation aux mesures effectuées sur le dispositif réel, nous pouvons constater que le cas n°2 est très proche du système mesuré. La résistivité du substrat HR-SOI mis en œuvre expérimentalement est alors très proche de 880 Ω .cm.

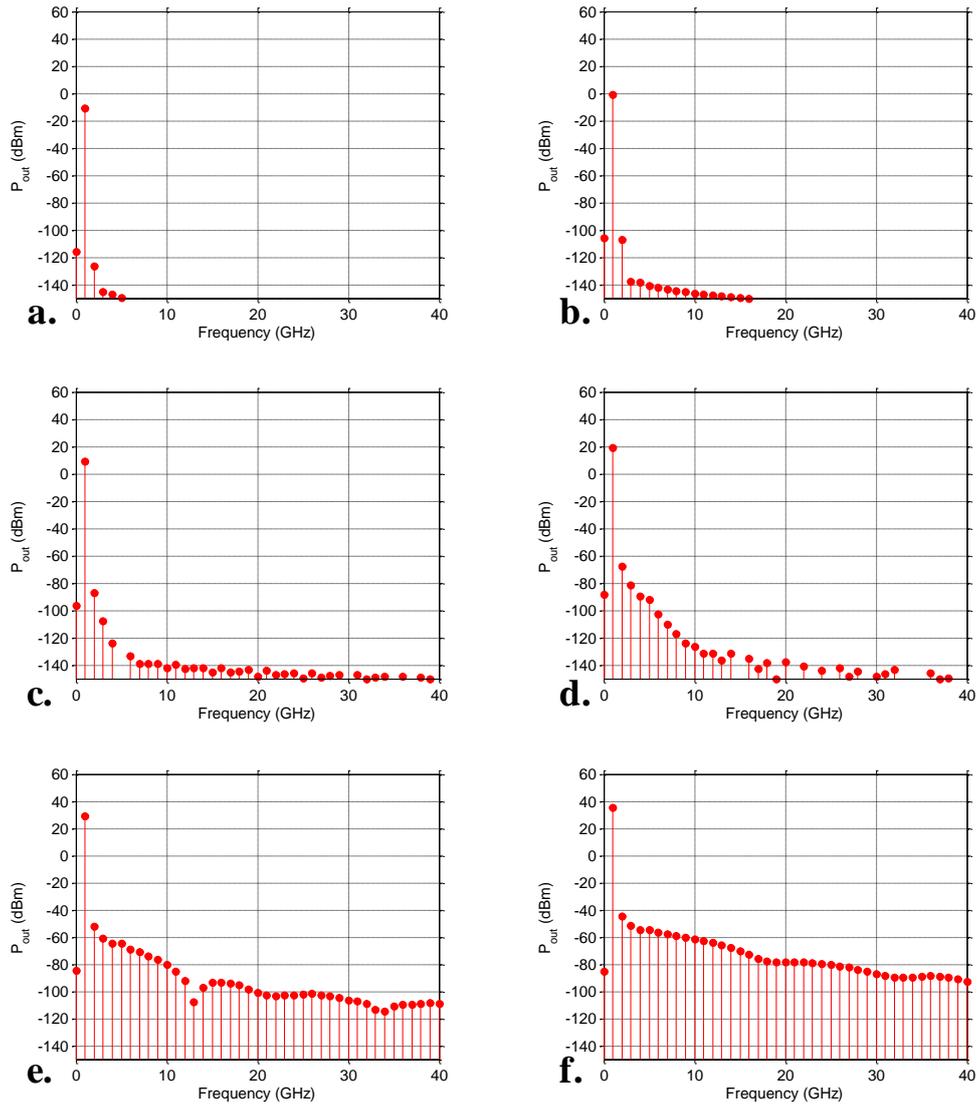


Figure 4.21 - Spectre du signal de sortie de la ligne coplanaire pour un signal d'entrée de puissance a. -10 dBm, b. 0 dBm, c. 10 dBm, d. 20 dBm, e. 30 dBm et f. 36dBm

4.5.3 Modélisation d'une couche trap-rich au sein d'un substrat SOI à haute résistivité

4.5.3.1 Description du modèle utilisé

Dans cette section, nous étudions le comportement d'une ligne coplanaire intégrée sur un substrat *trap-rich* en suivant la même méthodologie qu'en section 4.5.2 traitant du substrat haute résistivité. Le système, représenté à la Figure 4.22, comprend un substrat de silicium à haute résistivité auquel est ajouté une couche dite *trap-rich* constituée de polysilicium non dopé caractérisée par une densité importante de défauts ou pièges de 2 μm d'épaisseur. Le substrat de silicium est de type n également. Son niveau de dopage est de $5 \cdot 10^{12} \text{ cm}^{-3}$, ce qui correspond à une résistivité de $880 \Omega \cdot \text{cm}$. Cette configuration correspond au meilleur cas étudié dans le cadre de l'étude sur l'impact de la résistivité sur un dispositif passif. Nous ferons alors varier la densité et les temps de vie de ces pièges

ainsi que leur nature, donneur ou accepteur. Les cas étudiés sont présentés dans le Tableau 4.2.

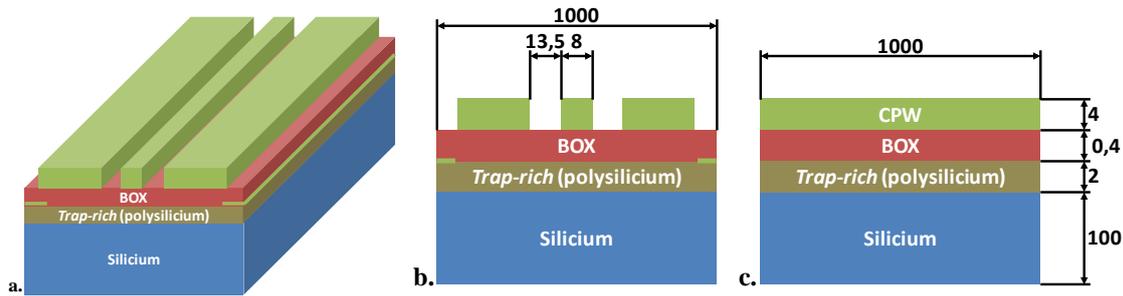


Figure 4.22 - Représentation schématique d'une ligne coplanaire sur un substrat HR-SOI muni d'une couche *Trap-rich* a. en 3D, b. en coupe transversale et c. en coupe longitudinale au centre de la piste centrale. Les dimensions indiquées sont en microns.

Tableau 4.2 - Simulations sous ATLAS de substrats SOI *Trap-Rich* à haute résistivité

Cas étudié	Type de pièges	Densité (cm ⁻³)	Niveau d'énergie (eV)	Temps de vie (s)	R' (Ω)	L' (H)
1	Accepteurs	1.10 ¹⁵	E _c -0.56 (midgap)	1.10 ⁻⁹	5,91	4,26.10 ⁻¹⁰
2	Donneurs	1.10 ¹⁵	E _c -0.56 (midgap)	1.10 ⁻⁹	5,91	4,26.10 ⁻¹⁰
3	Accepteurs	1.10 ¹⁶	E _c -0.56 (midgap)	1.10 ⁻¹⁰	5,91	4,26.10 ⁻¹⁰
4	Donneurs	1.10 ¹⁶	E _c -0.56 (midgap)	1.10 ⁻¹⁰	5,91	4,26.10 ⁻¹⁰

4.5.3.2 Résultats

La Figure 4.23 montre les variations des niveaux harmoniques d'ordre 2 et 3 en fonction de la puissance du signal d'entrée en prenant en compte l'introduction de défauts volumiques dans la couche de polysilicium. Les Figure 4.23.a et .c correspondent à une typologie de pièges accepteurs caractérisés par un niveau d'énergie localisé au milieu de la bande interdite du silicium (midgap) conformément au Tableau 4.3. Ces résultats montrent l'effet bénéfique de tels défauts sur la minimisation de la distorsion harmonique. En revanche, les Figure 4.23.b et .d correspondant à l'introduction de défauts de type donneurs midgap avec des densités et temps de vie identiques aux cas a. et c. accusent une légère dégradation par rapport au cas de la simulation sans pièges et un assez large désaccord avec les données expérimentales.

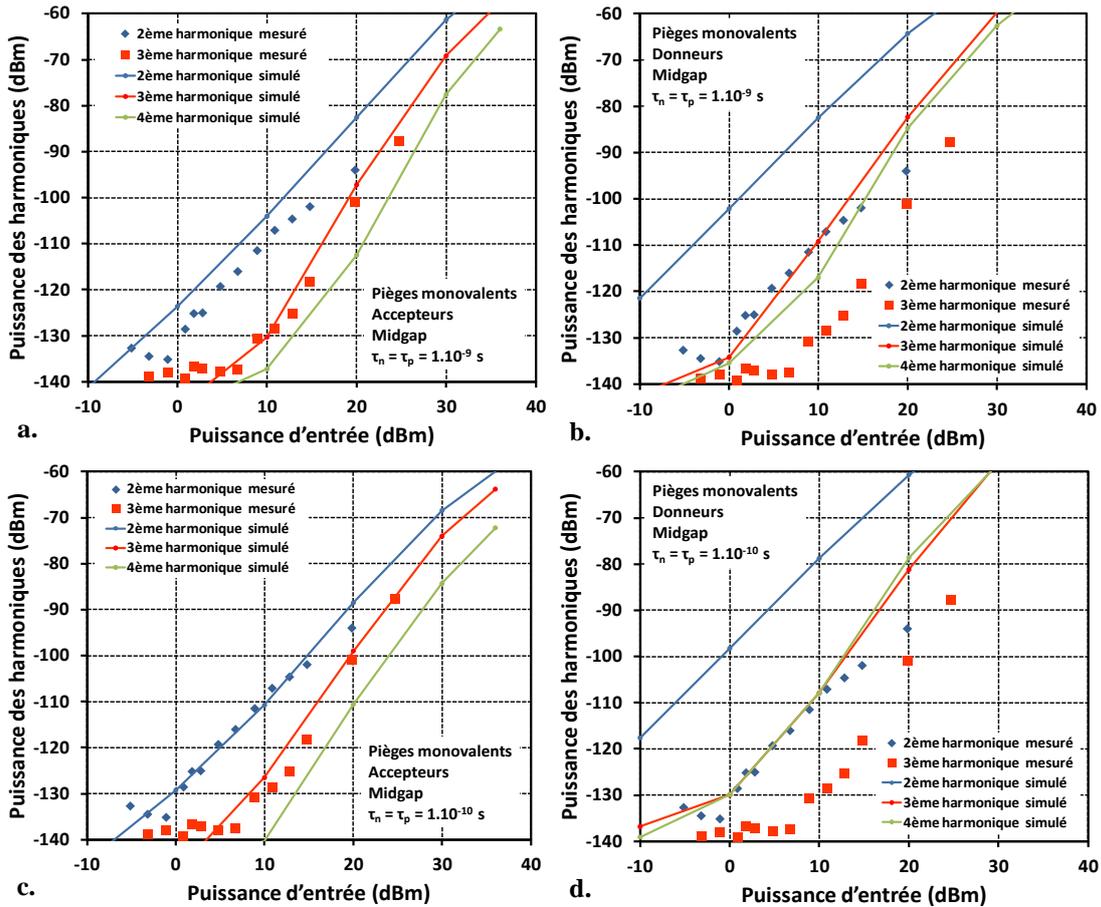


Figure 4.23 - Génération des 2ème, 3ème et 4ème harmoniques issues des simulations sous ATLAS pour une densité de piège de a. et b. $1.10^{15} \text{ cm}^{-3}$ et c. et d. $1.10^{16} \text{ cm}^{-3}$. La résistivité du substrat est $\rho_{\text{sub}} = 880 \text{ } \Omega \cdot \text{cm}$ et le dopage $C_{\text{sub}} = 5.10^{12} \text{ cm}^{-3}$. Sur chaque graphique sont représentées les mesures des 2ème et 3ème harmoniques effectuées sur un substrat *Trap-Rich*.

4.5.3.3 Interprétation : différenciation du rôle des pièges accepteurs et donneurs

Afin d’obtenir une meilleure compréhension des effets opposés obtenus par l’introduction de pièges accepteurs et donneurs, cette section propose une analyse détaillée de la dynamique de charge intervenant dans le substrat porteur de silicium.

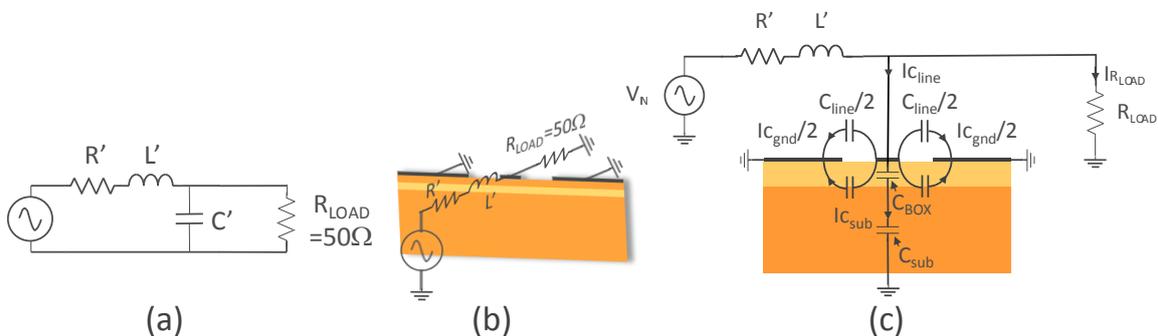


Figure 4.24 - Modélisation à constantes localisée de la ligne de transmission dans l’approximation de d’Elmore-Wyatt-Ismail. (a) schéma électrique (b) détail de la structure de capacité (c) identification des différents courants de couplage capacitif.

Pour ce faire, la Figure 4.24 fournit en premier lieu trois schémas équivalents de la ligne de transmission dans la représentation à constantes localisées issue du formalisme développé

par Wyatt [Wyatt-87], Elmore [Elmore-48] et Ismail [Ismail-00]. En particulier, la Figure 4.24.c détaille les différentes composantes du courant total $I_{c_{line}}$ pénétrant dans la capacité. Il fait intervenir le courant de couplage dans les plans de masse de la ligne coplanaire ($I_{c_{gnd}}$) et le courant de couplage avec le substrat de silicium ($I_{c_{sub}}$). De manière évidente, le courant $I_{c_{sub}}$ est porteur de non linéarité dans la mesure où la charge d'espace du silicium varie de manière non linéaire avec le potentiel d'interface BOX-Silicium. Il est à noter que la composante $I_{c_{gnd}}$ est également susceptible d'introduire une déviation non linéaire dans la mesure où les lignes de champ entre le conducteur central et les plans de masse de la ligne coplanaire interceptent en partie le substrat de silicium.

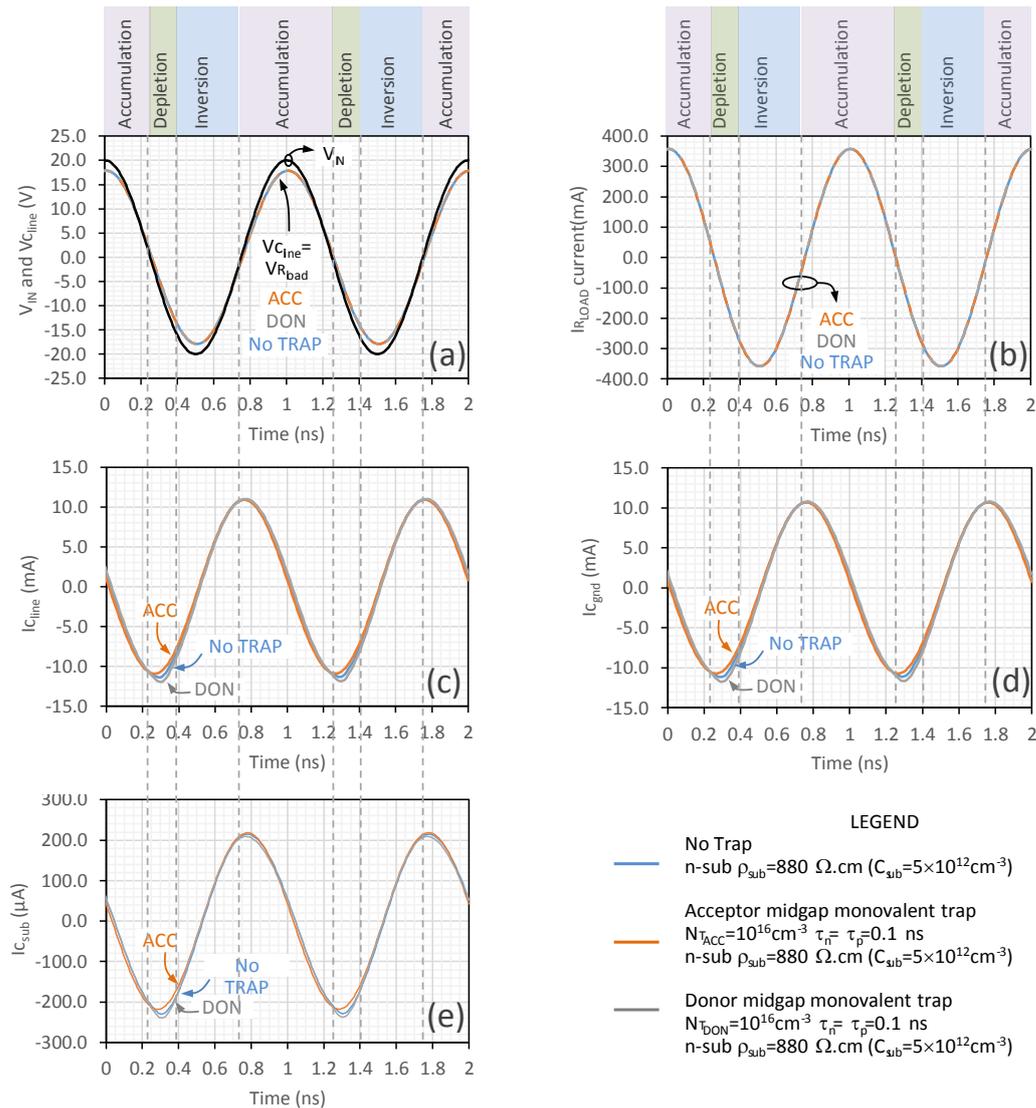


Figure 4.25 - Formes d'ondes associées aux tensions et courants intervenant dans le schéma électrique de la Figure 4.24.c. Trois cas sont considérés avec introduction de pièges Donneurs (DON) ou Accepteurs (ACC) ou sans défauts volumiques (No TRAP). (a) Tension d'entrée et tensions $V_{R_{load}}=V_{c_{line}}$ harmonique à 1GHz de tension crête de 20V correspondant à une puissance de 36 dBm. (b) Courant dans la charge R_{LOAD} (c) Courant total pénétrant la capacité de ligne coplanaire. (d) Courant partiel de capacité de ligne évacué par les plans de masse. (e) Fraction de courant de capacité de ligne évacué par le substrat de silicium.

De manière quantitative, la Figure 4.25 décrit les formes d'ondes associées aux différents courants et tensions répertoriés en Figure 4.24.c. Chaque forme d'onde est représentée

dans trois cas de figure associés respectivement à l'introduction de pièges accepteurs (ACC), donneurs (DON) ou encore sans défauts volumiques (No TRAP). En premier lieu, la Figure 4.25.a montre l'évolution temporelle de la tension de capacité de ligne. Cette dernière est légèrement décalée en phase et atténuée par rapport à la tension d'entrée, comme attendu, et sans déformation visible par rapport à l'onde sinusoïdale. La même observation est valide pour le courant circulant dans la charge dont la valeur crête atteint ~350 mA et pour lequel les déformations non-linéaires ne sont pas détectables. Les Figure 4.25.c, d et e décrivent respectivement les courants de capacité de ligne $I_{c_{line}}$, $I_{c_{gnd}}$ et $I_{c_{sub}}$ fonctionnellement reliés par la loi de conservation $I_{c_{line}} = I_{c_{gnd}} + I_{c_{sub}}$. Ces courants, d'amplitudes largement inférieures au courant circulant dans la charge terminale, sont notablement porteurs de déformations non linéaires à l'extrémité négative de la forme d'onde pour les cas de figure ne considérant pas la présence de piège (No TRAP) ou la présence de pièges donneurs (DON). En revanche, l'introduction de pièges volumiques de type accepteur (ACC) ne conduit pas à une dégradation appréciable de la forme d'onde par rapport à l'onde harmonique idéale, ce qui constitue une amélioration notable en terme de réduction d'harmoniques en comparaison au cas n'intégrant pas de pièges.

Les résultats de modélisation portés par la Figure 4.25 soulèvent légitimement deux interrogations :

- i. Pour quelle raison les signes de déformation non-linéaire ne sont-ils observables qu'à l'extrémité négative des ondes de courant ?
- ii. Quel est le mécanisme sous-jacent à la diminution des effets non linéaires en présence de pièges accepteurs et à leur accroissement dans le cas de pièges donneurs ?

i) Afin de répondre à la première question, il est important de noter que la caractéristique décrivant les variations d'une capacité MIS en fonction de la tension de grille accusent un comportement non linéaire caractéristique en V [Sze-81]. La capacité MIS totale est composée de l'association en série de la capacité d'oxyde et de la capacité de semiconducteur. Comme le montre la Figure 4.26, la capacité totale se réduit à la capacité d'oxyde de par l'effet d'écrantage dans les états de forte inversion et d'accumulation. La zone de variation non linéaire est directement imputable au mode de fonctionnement en déplétion.

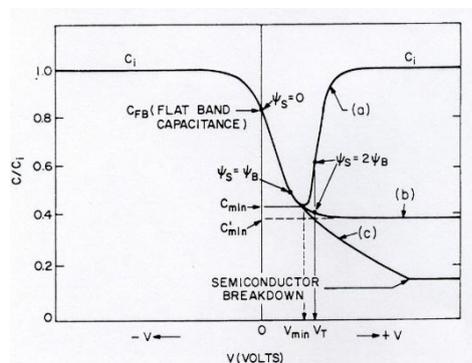


Figure 4.26 - Variation de la capacité MIS normalisée en fonction de la polarisation de grille. La capacité totale résulte de l'association en série de la capacité d'oxyde (ici dénotée C_i) et de la capacité de charge d'espace C_{Si} . Cette représentation fournit la capacité MIS totale normalisée à la capacité C_i . La partie non linéaire de la caractéristique intervient en mode de déplétion. En accumulation et forte inversion, la capacité totale se réduit à la capacité d'oxyde. On parle dès lors d'écrantage du semiconducteur par le canal d'inversion ou d'accumulation.

En se référant aux Figure 4.25.c, d et e, il est possible d'associer le fonctionnement en mode de déplétion aux extrémités négatives de la forme d'onde des courants $I_{c_{line}}$, $I_{c_{gnd}}$ et $I_{c_{sub}}$ où interviennent de manière notable les déformations non linéaires de signal. Les intervalles de temps correspondant 0.25-0.40 et 1.25-1.40 ns sont identifiés comme correspondant au mode de fonctionnement de déplétion pour lequel la capacité totale de ligne exhibe son caractère fortement non linéaire en V.

ii) Afin d'expliquer le mécanisme sous-jacent à la diminution des effets non linéaires en présence de pièges accepteurs et à leur accroissement dans le cas de pièges donneurs, il est instructif en premier lieu d'examiner l'état de charge des pièges volumiques de type accepteurs ou donneurs en fonction du mode de fonctionnement de la capacité MIS associée à la ligne coplanaire. La Figure 4.27 montrent les transitions d'état de charge pour les deux types de pièges. Il est important, à ce stade, d'apporter un commentaire sur les caractéristiques de pièges introduits et, en particulier, sur leur niveau d'énergie dans la bande interdite du silicium. Il est largement établi que le polysilicium, de par sa constitution en grains jointifs, est le siège d'une concentration extrêmement élevée de défauts volumiques pouvant atteindre une densité de l'ordre de 10^{18} cm^{-3} . Du point de vue énergétique, la répartition des niveaux dans le gap de silicium forme un continuum [Nguyen-15]. Afin de simplifier l'analyse, nous avons adopté le parti d'introduire un seul niveau d'énergie, que ce soit pour le cas des accepteurs ou des donneurs, localisé exactement au milieu de la bande interdite (midgap). Ce type de piège est en effet réputé être le plus efficace afin de favoriser la statistique de capture et d'émission d'électrons vers ou à partir d'un niveau de piège.

Cette clarification étant établie, la Figure 4.28 fournit le bilan des différents états de charges intervenant dans le substrat de silicium. Il peut être ainsi vérifié que dans le cas de pièges accepteurs (ACC), il existe une situation favorable pour laquelle la charge négative portée par les défauts volumiques permet de compenser la charge positive de déplétion à l'origine des effets non linéaires. Dans le cas de défauts donneurs, le bilan au voisinage de la déplétion ne peut pas aboutir à une compensation de charge et tend, au contraire, à renforcer la présence de charges positives dont une fraction suit une loi de comportement non linéaire avec la polarisation.

L'interprétation donnée ci-dessus permet en définitive d'expliquer à partir du même mécanisme de compensation de charge les raisons pour lesquelles :

- i) l'introduction de pièges accepteurs diminuent la génération de signaux harmoniques d'ordre supérieurs par rapport au substrat ne comportant pas de couche de polysilicium Trap-rich
- ii) l'introduction de pièges donneurs renforcent le caractère non linéaire de la capacité totale de ligne coplanaire.

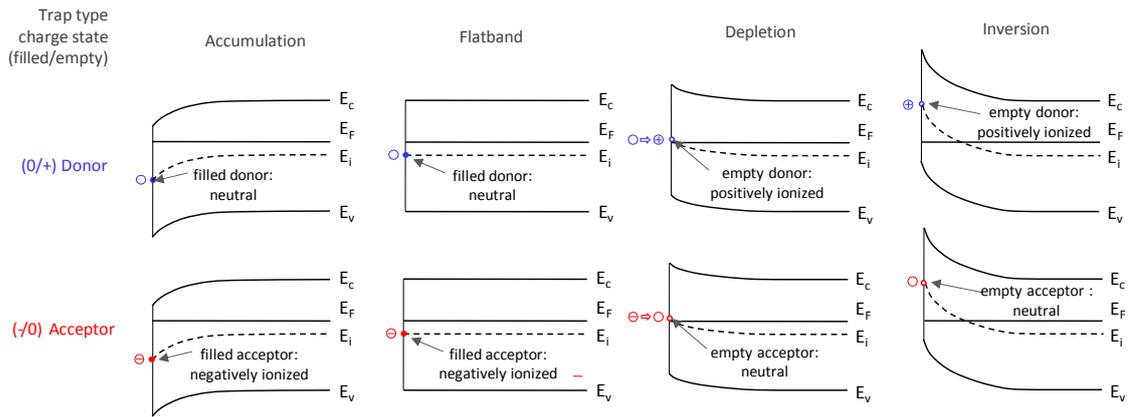


Figure 4.27 – Diagrammes de bandes associés à la structure métal-oxyde-semiconducteur (MIS) sous le conducteur central de la ligne coplanaire. Ces diagrammes représentent les courbures de bandes dans le silicium de type n faiblement dopé en fonction du mode de fonctionnement de la capacité MIS (Accumulation/Déplétion/Inversion). L’hypothèse est faite de la présence de défauts de type donneur ou accepteur dont le niveau d’énergie est localisé au milieu de la bande interdite (niveaux d’énergie midgap). Les variations d’état de charge des pièges sont indiquées en fonction de la polarisation du conducteur central de la ligne coplanaire

(a) Case of Acceptor midgap traps

(b) Case of Donor midgap traps

	$V_{C_{line}} \gg 0$	$V_{C_{line}} < 0$	$V_{C_{line}} \ll 0$
	Accumulation	Depletion	Inversion
Mobile charge	-	0	+
n-type doping ionization charge	+	+	+
ACCEPTOR trap ionization charge	-	- \rightarrow 0	0

	$V_{C_{line}} \gg 0$	$V_{C_{line}} < 0$	$V_{C_{line}} \ll 0$
	Accumulation	Depletion	Inversion
Mobile charge	-	0	+
n-type doping ionization charge	+	+	+
DONOR trap ionization charge	0	0 \rightarrow +	+

Figure 4.28 – Bilan des états de charge liés à la déplétion et à la population de pièges (a) accepteurs et (b) donneurs.

4.6 Résultats obtenus après report sur verre

Dans ce paragraphe, nous étudions expérimentalement des lignes coplanaires issues d'une technologie RF SOI-CMOS 0,13 μm d'une longueur de 1 mm, de largeur 8 μm et séparée de 13,5 μm des plans de masse comme nous pouvons le voir sur la Figure 4.29. Ces composants sont reportés sur un substrat de verre en utilisant la technique décrite au chapitre 2.

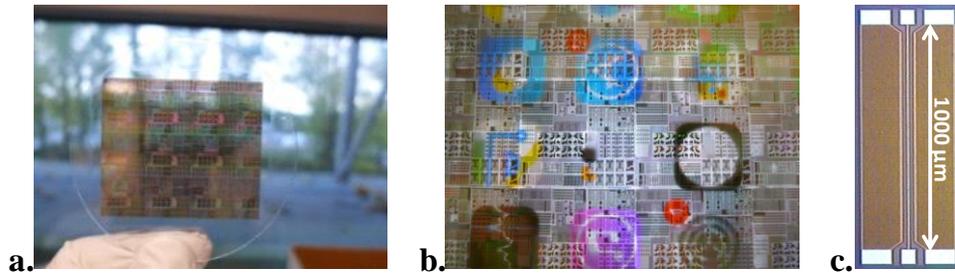


Figure 4.29 - a. et b. Photographies représentant une technologie RF SOI-CMOS 0,13 μm reportée sur un substrat de verre, c. Vue au microscope optique d'une ligne coplanaire de 1000 μm de longueur

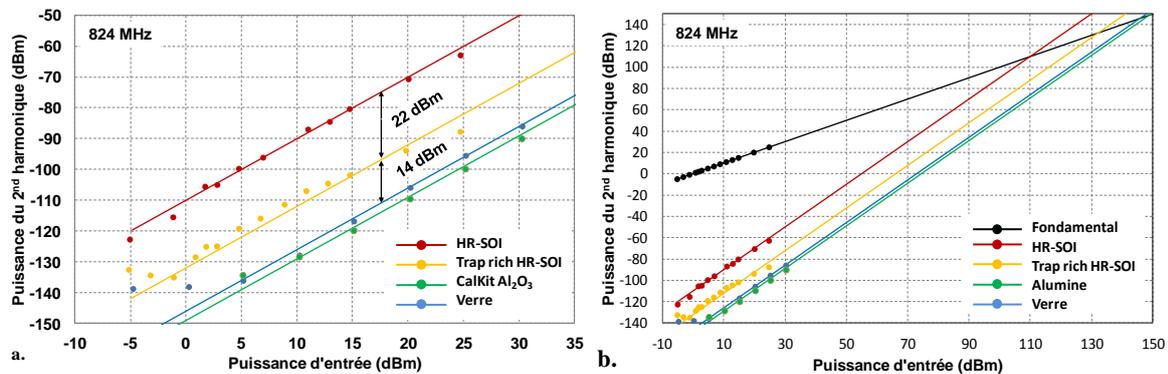


Figure 4.30 - Génération du 2nd harmonique et b. Points d'interception d'ordre 2 de lignes coplanaires fabriquées sur substrat HR-SOI, Trap rich HR-SOI et sur verre. CalKit Al₂O₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration

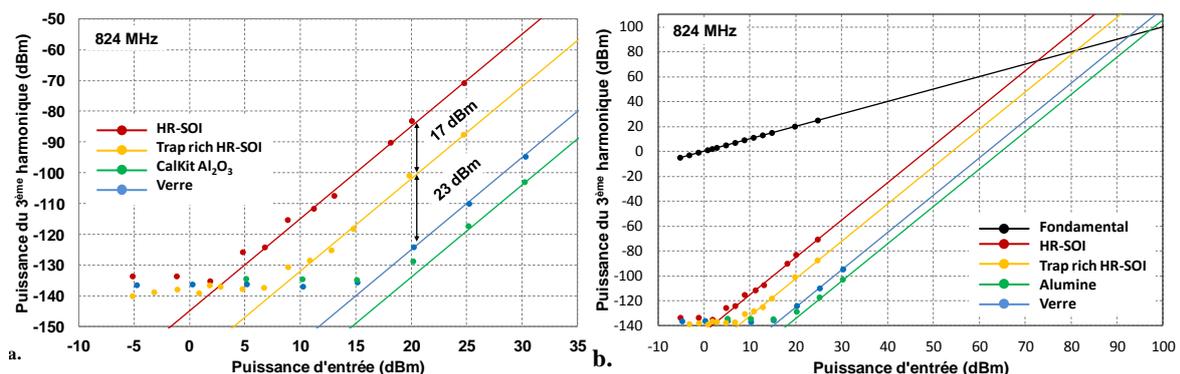


Figure 4.31 - Génération du 3^{ème} harmonique et b. Points d'interception d'ordre 3 de lignes coplanaires fabriquées sur substrat HR-SOI, Trap rich HR-SOI et sur verre. CalKit Al₂O₃ fait référence à des mesures effectuées sur des lignes identiques fabriquées sur alumine pour la calibration

Comme nous l'expliquons au début de ce chapitre, le substrat et notamment la dynamique des charges parasites à l'interface BOX-substrat provoquent des distorsions harmoniques. Un signal de fréquence 824 MHz est injecté dans une ligne coplanaire afin

de caractériser les non-linéarités d'un substrat de verre. Ces résultats sont présentés aux Figure 4.30 et Figure 4.31, où les mesures obtenues sur verre sont comparées à celles sur substrat HR-SOI et *trap rich*. Une ligne de référence présente sur un kit de calibration sur alumine est également mesurée afin de définir le niveau de bruit du dispositif expérimental. Comparé aux autres substrats, la CPW sur verre donne une réduction de 36 et 40 dBm des 2nd et 3^{ème} harmoniques, respectivement, par rapport au substrat haute résistivité et une diminution de 14 et 23 dBm de ces mêmes harmoniques par rapport à la technologie *Trap-rich*. En effet, un substrat de verre permet de s'affranchir de la charge d'espace dans le substrat porteur et donc d'éliminer totalement la capacité MOS parasite. Ne subsistent alors que les pertes diélectriques du substrat porteur. Dans notre cas, ce substrat porteur est un film de verre de 500 μm d'épaisseur SCHOTT AF 32 dont le paramètre caractéristique de perte $\tan \delta = \frac{\omega \varepsilon'' + \sigma}{\omega \varepsilon'}$ = $2,8 \cdot 10^{-3}$ à 1 MHz. Pour rappel, σ est la conductivité du substrat tandis que $\varepsilon = \varepsilon' - i\varepsilon''$ sont les composantes de la permittivité diélectrique complexe. Par ailleurs, cette méthode permet d'obtenir des points d'interception d'ordre 2 et 3 (IP2 et IP3) de 146 et 92,5 dBm respectivement. Ces valeurs sont supérieures à celle obtenues sur substrat haute résistivité (IP2 = 110 dBm et IP3 = 72,5 dBm), démontrant ainsi une meilleure linéarité des dispositifs reportés sur verre. De plus, les performances de ces lignes de transmission sont équivalentes à celles obtenues par les kits de calibration sur alumine. A noter que les pertes diélectriques du verre sont supérieures à celles de l'alumine (typiquement $< 10^{-3}$), ce qui explique les meilleures performances de réjection des harmoniques dans le cas de l'alumine.

4.7 Synthèse

Ce quatrième et dernier chapitre a présenté l'intérêt que nous avons, dans certains cas, de reporter un circuit électronique hautes fréquences sur un autre type de substrat, afin d'en modifier les propriétés originelles.

En effet, le développement des moyens de télécommunication mobile a permis l'émergence de technologies capables d'évoluer dans un environnement multi-opérateurs grâce à un système multi-bandes. Pour cela, des architectures reconfigurables ont été créées afin de répondre à ce besoin. Ces dispositifs nécessitent alors une bonne linéarité. De ce fait, l'industrie des semi-conducteurs a mis en place de nouveaux matériaux comme des substrats de silicium à haute résistivité ou la technologie *Trap-rich* permettant d'obtenir de bonnes performances. Cependant, ces circuits sont toujours sujets aux distorsions harmoniques qui perturbent leur fonctionnement.

En réalisant une synthèse de la littérature et en analysant les données fournies par les simulations, nous pouvons affirmer que ces distorsions sont dues à la dynamique de charge parasite intervenant sous l'oxyde enterré dans les substrats SOI. Elle forme alors une couche d'inversion/déplétion/accumulation qui modifie les caractéristiques de la ligne coplanaire, faisant ainsi apparaître une capacité parasite qui augmente le niveau des harmoniques. Afin de résoudre ce problème, une couche dite *Trap-rich* contenant de nombreux pièges est ajoutée au substrat. Son rôle est de verrouiller le potentiel (*potential pinning*) grâce à l'introduction d'une densité importante de charges capturées afin de limiter ses variations aux bornes de la capacité parasite, permettant ainsi de réduire les phénomènes parasites. Cependant, cette technologie n'est pas suffisante pour lutter contre les distorsions harmoniques.

La nouvelle approche abordée dans ce chapitre consiste alors à utiliser les techniques d'amincissement et de report pour remplacer le substrat semi-conducteur par un matériau isolant comme le verre. Les mesures effectuées sur des lignes coplanaires issues de la technologie HR CMOS-SOI 0,13 μm montrent que les distorsions harmoniques sont fortement atténuées sur un substrat de verre, améliorant ainsi la linéarité des composants. Ces excellents résultats tendent à prouver qu'une méthode similaire pourrait être appliquée à des structures plus complexes de commutateurs RF.

Conclusions et perspectives

L'objectif de ces travaux était de réaliser des dispositifs possédant plusieurs niveaux d'interconnexions sur substrat flexible sans engendrer des coûts de fabrication supplémentaires, l'idée étant d'ouvrir la voie à l'intégration hétérogène.

Ce projet de recherche a été effectué au sein des centrales de nanofabrication et de caractérisation de l'IEMN, en partenariat avec STMicroelectronics. Ceci a permis le développement d'une méthode rendant possible le transfert d'une technologie RF CMOS mature pour des applications où la flexibilité mécanique est requise.

Actuellement, de nombreux projets de recherche sur la diversification des technologies issues de la miniaturisation des composants ont vu le jour afin d'intégrer de nouvelles fonctionnalités au sein d'un même dispositif. Ce nouveau domaine appelé *More-than-Moore* a permis le développement de nouvelles fonctionnalités dont l'électronique flexible. Cependant, ces technologies se sont développées séparément et restent inférieures à l'électronique sur silicium en termes de performances. Le projet de recherche présenté dans ce manuscrit s'est intégré dans ce contexte et suggère de combiner une technologie RF SOI-CMOS ayant des performances électriques compétitives avec une méthode d'amincissement et de report fournissant de la flexibilité mécanique. Cette technique permet également d'accéder à d'autres propriétés fonctionnelles comme la transparence ou le management thermique.

Le premier chapitre de cette thèse a passé en revue les technologies courantes utilisées pour réaliser des composants et systèmes flexibles. Cette comparaison s'est principalement focalisée sur les procédés de fabrication employés, à savoir l'électronique imprimé et le report sur substrat souple. De plus, diverses applications relatives à ces méthodes, comme les semiconducteurs organiques, ont également été mentionnées.

L'électronique imprimée a d'abord été considérée. Cette technologie est utilisée dans de nombreux systèmes comme les cellules photovoltaïques, les transistors ou encore les composants RFID. Cependant, les performances obtenues restent pauvres par rapport aux technologies utilisant des semiconducteurs inorganiques cristallins. De plus, ces dispositifs possèdent un seul niveau d'interconnexions ne permettant pas l'intégration de fonctions complexes. Le report de technologies matures sur substrat souple est alors envisagé. Cette technique bénéficie à la fois de la flexibilité mécanique du support et des propriétés électroniques de l'élément originel. Le circuit est alors inclus dans le plan neutre du système afin de ne subir aucune contrainte mécanique et donc aucune modification de ses propriétés électroniques. Cette approche, utilisée dans la fabrication de composants électroniques ou de dispositifs bio-intégrés, offre la possibilité de disposer de systèmes complexes comportant plusieurs niveaux d'interconnexions à faible coût additionnel grâce à l'intégration hétérogène.

Par ailleurs, la technologie RF CMOS sur substrat SOI a été choisie pour ses performances dans le domaine des hautes fréquences, à la bonne compréhension des modèles et à la présence d'oxyde enterré qui facilite le transfert sur film souple. Les circuits CMOS 65 nm sont adaptés aux applications haute fréquence, faible bruit et faible consommation. Cette technologie fournit un bon compromis entre performance à l'état de l'art, grand volume de production et maîtrise des caractéristiques et modèles. Quant aux circuits SOI CMOS 0,13 μm , ils combinent hautes fréquences et résistivité importante et sont employés dans le domaine des télécommunications où les systèmes multi-bandes et multistandards sont très répandus.

Le procédé de fabrication développé tout au long de ce projet est basé sur les techniques de report sur substrat flexible. Tout d'abord, un dispositif issu de la technologie RF SOI-CMOS est collé temporairement sur un substrat rigide plat avant d'être aminci. L'amincissement se fait en trois étapes (meulage, polissage mécano-chimique, attaque gazeuse) afin de retirer complètement le substrat de silicium sans endommager la couche d'oxyde enterré (BOX) du dispositif. Ce procédé d'amincissement ultime permet d'obtenir des dispositifs de 6 μm d'épaisseur comportant le composant étudié, la couche d'interconnexion et le BOX. Le circuit CMOS aminci est alors reporté sur un film plastique par laminage avant d'être retiré du substrat temporaire. Il en résulte un dispositif SOI-CMOS souple mécaniquement, fin et léger. Une alternative consiste à remplacer le plastique par un film métallique ou du verre, l'idée étant d'améliorer les performances électriques du système tout en bénéficiant de nouvelles propriétés thermiques et/ou optiques. En comparaison aux solutions techniques existantes, cette méthode présente l'avantage d'être faite entièrement par voie sèche, ceci afin de ne pas endommager le circuit électronique lors du report sur substrat souple.

Le report sur film métallique a permis d'étudier les effets de la température sur les circuits RF CMOS hautes performances. En effet, la technologie CMOS est utilisée dans de nombreux domaines où les dissipations de puissance sont importantes. Ces dispositifs subissent alors un effet d'auto-échauffement et de couplage thermique, ce qui affectent leurs performances en termes de mobilité et de niveau de courant atteignable. Ces phénomènes sont amplifiés par l'emploi d'un substrat isolant comme le plastique par exemple. Par ailleurs, l'étude des caractéristiques électriques de transistors MOSFET a montré que le procédé d'amincissement et de report ne modifie que très peu les performances de ces composants. Une étude thermique a également démontré qu'un film métallique permet de diminuer l'auto-échauffement des circuits aussi efficacement qu'un substrat SOI, tout en préservant les propriétés de flexibilité mécanique.

Par ailleurs, le développement des moyens de télécommunication mobile a entraîné l'émergence de technologies capables d'évoluer dans un environnement multi-opérateurs dans un système multi-bandes extrêmement dense et sélectif. De ce fait, ces dispositifs nécessitent un niveau de linéarité très exigeant. La littérature ainsi qu'une méthode de simulation peu conventionnelle expliquent d'un point de vue physique les variations de niveau des harmoniques. En effet, ces distorsions sont dues à la dynamique parasite de charges à l'interface BOX-substrat dans un substrat SOI. A haut niveau de présence, la

capacité parasite contribue à l'augmentation du niveau des harmoniques dans une ligne coplanaire par exemple. Afin de résoudre le problème, une couche dite *Trap-rich* est ajoutée au substrat. Celle-ci contient de nombreux sites de piégeage qui capturent ces porteurs de charge, réduisant ainsi les phénomènes parasites par verrouillage de potentiel. La nouvelle approche abordée durant ce projet consiste à remplacer le substrat semi-conducteur par un matériau isolant comme le verre. Les mesures effectuées sur des lignes coplanaires issues de la technologie HR CMOS-SOI 0,13 μm montrent que les distorsions harmoniques sont fortement atténuées de 36 dB pour le deuxième harmonique et de 40 dB pour le troisième harmonique, améliorant ainsi la linéarité des composants.

En conclusion, les travaux présentés durant cette thèse proposent de nouvelles solutions en termes de hautes performances, de flexibilité mécanique, de transparence, de dissipations thermiques et de linéarité. Cependant, ceci ne représente qu'une seule pierre à l'édifice et les circuits complexes flexibles comprenant des capteurs, du traitement du signal, des modules de communication et d'une source d'énergie reste encore à démontrer. Ce type de dispositifs permettrait le développement de technologies RF et millimétrique à très hautes performances. La co-intégration d'interconnexions flexibles pourrait être envisagée afin de mettre en œuvre des dispositifs capables de fonctionner en environnement système. Outre l'intégration hétérogène, l'utilisation de nouveaux matériaux peut être envisagée afin de créer de nouvelles applications hybrides dans le domaine de la santé (patch, tatouage) et de l'électronique prêt-à-porter (*wearables*), basées sur des technologies à bas coûts et faible consommation d'énergie. Par ailleurs, de futurs travaux pourraient être mis en place afin d'améliorer les méthodes de fabrication, notamment par l'emploi de techniques d'amincissement arrière sélectif par usinage laser.

Bibliographie

[Agilent-10]

Understanding RF/Microwave Solid State Switches and their Applications, Application Note, Agilent Technologies, Inc. 2008, 2010, Printed in USA, May 21, 2010, 5989-7618EN.

[Agirregabiria-05]

Agirregabiria, M., F. J. Blanco, J. Berganzo, M. T. Arroyo, A. Fullaondo, K. Mayora, and J. M. Ruano-López. 2005. "Fabrication of SU-8 Multilayer Microstructures Based on Successive CMOS Compatible Adhesive Bonding and Releasing Steps." *Lab on a Chip* 5 (5): 545.

[Ahn-06]

Ahn, Jong-Hyun, Hoon-Sik Kim, Keon Jae Lee, Seokwoo Jeon, Seong Jun Kang, Yugang Sun, Ralph G. Nuzzo, and John A. Rogers. 2006. "Heterogeneous Three-Dimensional Electronics by Use of Printed Semiconductor Nanomaterials." *Science* 314 (5806): 1754–57.

[Ahn-06]

Ahn, Jong-Hyun, Hoon-Sik Kim, Keon Jae Lee, Zhengtao Zhu, Etienne Menard, Ralph G. Nuzzo, and J.A. Rogers. 2006. "High-Speed Mechanically Flexible Single-Crystal Silicon Thin-Film Transistors on Plastic Substrates." *IEEE Electron Device Letters* 27 (6): 460–62.

[Ahn-09]

Ahn, Bok Y., Eric B. Duoss, Michael J. Motala, Xiaoying Guo, Sang-Il Park, Yujie Xiong, Jongseung Yoon, Ralph G. Nuzzo, John A. Rogers, and Jennifer A. Lewis. 2009. "Omnidirectional Printing of Flexible, Stretchable, and Spanning Silver Microelectrodes." *Science* 323 (5921): 1590–93.

[Alpsitec-15]

<https://www.crystec.com/alpoverf.htm>.

[Angmo-13]

Angmo, Dechan, Thue T. Larsen-Olsen, Mikkel Jørgensen, Roar R. Søndergaard, and Frederik C. Krebs. 2013. "Roll-to-Roll Inkjet Printing and Photonic Sintering of Electrodes for ITO Free Polymer Solar Cell Modules and Facile Product Integration." *Advanced Energy Materials* 3 (2): 172–75.

[Arbess-12]

Arbess, Houssam. 2012. "Structures MOS-IGBT sur technologie SOI en vue de l'amélioration des performances à haute température de composants de puissance et de protections ESD." Phdthesis, Université Paul Sabatier - Toulouse III.

[Battaglia-10]

J.-L. Battaglia, A. Kusiak, J.-R. Puiggali, *Introduction à l'énergétique et aux transferts*, éd. Dunod, 2010.

[Baudoin-07]

G. Baudoin *et coll.*, *Radio-communications numériques : Principes, modélisation et simulation*, tome 1, col. L'Usine Nouvelle, éd. Dunod, 2007

[Ben Ali-12]

Ben Ali, K., C. Roda Neve, A. Gharsallah, and J.-P. Raskin. 2012. "RF SOI CMOS Technology on Commercial Trap-Rich High Resistivity SOI Wafer." In *SOI Conference (SOI), 2012 IEEE International*, 1–2.

[Ben Ali-14]

Ali, K. B., C. R. Neve, A. Gharsallah, and J. P. Raskin. 2014. "RF Performance of SOI CMOS Technology on Commercial 200-Mm Enhanced Signal Integrity High Resistivity SOI Substrate." *IEEE Transactions on Electron Devices* 61 (3): 722–28.

[Bergland-69]

Bergland, G. D. 1969. "A Guided Tour of the Fast Fourier Transform." *IEEE Spectrum* 6 (7): 41–52.

[Bescond-04]

M. Bescond, « Modélisation et simulation du transport quantique dans les transistors MOS nanométriques », Université de Provence (Aix-Marseille I), 2004.

[Blanco-04]

Blanco, F J, M Agirregabiria, J Garcia, J Berganzo, M Tijero, M T Arroyo, J M Ruano, I Aramburu, and Kepa Mayora. 2004. "Novel Three-Dimensional Embedded SU-8 Microchannels Fabricated Using a Low Temperature Full Wafer Adhesive Bonding." *Journal of Micromechanics and Microengineering* 14 (7): 1047–56.

[Böberl-07]

Böberl, M., M. V. Kovalenko, S. Gamerith, E. J. W. List, and W. Heiss. 2007. "Inkjet-Printed Nanocrystal Photodetectors Operating up to 3 μm Wavelengths." *Advanced Materials* 19 (21): 3574–78.

[Bracale-01]

A. Bracale, *Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes*. Université Pierre et Marie Curie Paris VI, 2001.

[Brael-95]

M. Brael, —Silicon on insulator material technology, *Electronics Letters*, vol. 31, no. 14, pp. 1201–1202, Jul. 1995.

[Brael-97]

M. Brael, B. Aspar, and A.-J. Auberton-Hervé, —Smart-Cut: A New Silicon On Insulator Material Technology Based on Hydrogen Implantation and Wafer Bonding*1\$, *Japanese Journal of Applied Physics*, vol. 36, no. Part 1, No. 3B, pp. 1636–1641, 1997.

[Burghartz-09]

Burghartz, J.N., W. Appel, C. Harendt, H. Remp, H. Richter, and M. Zimmermann. 2009. "Ultra-Thin Chips and Related Applications, a New Paradigm in Silicon Technology." In *Proceedings of ESSCIRC, 2009. ESSCIRC '09*, 28–35.

[Busnaina-95]

Busnaina, Ahmed A., and Glenn W. Gale. 1995. "Ultrasonic and Megasonic Particle Removal." In *Proc. Precision Cleaning*, 347–360.

[Calecki-07]

D. Calecki, *Physique des milieux continus 1 Mécanique et Thermodynamique*, col. Enseignement des sciences, éd. Hermann Editeurs, 2007.

[Calil-09]

Calil, V. L., C. Legnani, G. F. Moreira, C. Vilani, K. C. Teixeira, W. G. Quirino, R. Machado, C. A. Achete, and M. Cremona. 2009. "Transparent Thermally Stable Poly(etherimide) Film as Flexible Substrate for OLEDs." *Thin Solid Films*, Proceedings of the 36th International Conference on Metallurgical Coatings and Thin Films, 518 (5): 1419–23.

[Cao-06]

Cao, Qing, Zheng-Tao Zhu, Maxime G. Lemaitre, Ming-Gang Xia, Moonsub Shim, and John A. Rogers. 2006. "Transparent Flexible Organic Thin-Film Transistors That Use Printed Single-Walled Carbon Nanotube Electrodes." *Applied Physics Letters* 88 (11): 113511.

[Cao-08]

Cao, Qing, Hoon-sik Kim, Ninad Pimparkar, Jaydeep P. Kulkarni, Congjun Wang, Moonsub Shim, Kaushik Roy, Muhammad A. Alam, and John A. Rogers. 2008. "Medium-Scale Carbon Nanotube Thin-Film Integrated Circuits on Flexible Plastic Substrates." *Nature* 454 (7203): 495–500.

[Celler-03]

G. K. Celler and S. Cristoloveanu, —Frontiers of silicon-on-insulator, *Journal of Applied Physics*, vol. 93, no. 9, pp. 4955–4978, May 2003.

[Celler-09]

G. K. Celler, —SOI Technology Driving the 21st Century Ubiquitous Electronics,|| *ECS Trans.*, vol. 19, no. 4, pp. 3–14, May 2009.

[Chang-14]

Chang, Joseph, Xi Zhang, Tong Ge, and Jia Zhou. 2014. “Fully Printed Electronics on Flexible Substrates: High Gain Amplifiers and DAC.” *Organic Electronics* 15 (3): 701–10.

[Chiang-10]

Chiang, Chien-Jung, Chris Winscom, and Andy Monkman. 2010. “Electroluminescence Characterization of FOLED Devices under Two Type of External Stresses Caused by Bending.” *Organic Electronics* 11 (11): 1870–75.

[Chu-97]

Chu, P.B., J.T. Chen, R. Yeh, G. Lin, J.C.P. Huang, B.A. Warneke, and K.S.J. Pister. 1997. “Controlled Pulse-Etching with Xenon Difluoride.” In , *1997 International Conference on Solid State Sensors and Actuators, 1997. TRANSDUCERS '97 Chicago*, 1:665–68 vol.1.

[Chuang-04]

Chuang, Ching-Te, K. Bernstein, R.V. Joshi, R. Puri, Keunwoo Kim, E.J. Nowak, T. Ludwig, and I. Aller. 2004. “Scaling Planar Silicon Devices.” *IEEE Circuits and Devices Magazine* 20 (1): 6–19.

[Chung-06]

Chung, Jaehoon, Wei Zheng, T. J. Hatch, and H. O. Jacobs. 2006. “Programmable Reconfigurable Self-Assembly: Parallel Heterogeneous Integration of Chip-Scale Components on Planar and Nonplanar Surfaces.” *Journal of Microelectromechanical Systems* 15 (3): 457–64.

[Chung-11]

Chung, Hyun-Joong, Tae-il Kim, Hoon-Sik Kim, Spencer A. Wells, Sungjin Jo, Numair Ahmed, Yei Hwan Jung, Sang Min Won, Christopher A. Bower, and John A. Rogers. 2011. “Fabrication of Releasable Single-Crystal Silicon–Metal Oxide Field-Effect Devices and Their Deterministic Assembly on Foreign Substrates.” *Advanced Functional Materials* 21 (16): 3029–36.

[Chuo-13]

Chuo, Y., D. Hohertz, C. Landrock, B. Omrane, K. L. Kavanagh, and B. Kaminska. 2013. “Large-Area Low-Cost Flexible Plastic Nanohole Arrays for Integrated Bio-Chemical Sensing.” *IEEE Sensors Journal* 13 (10): 3982–90.

[Cochran-67]

Cochran, W. T., J. W. Cooley, D. L. Favon, H. D. Helms, R. A. Kaenel, W. W. Lang, G. C. Maling, D. E. Nelson, C. M. Rader, and P. D. Welch. 1967. “What Is the Fast Fourier Transform?” *Proceedings of the IEEE* 55 (10): 1664–74.

[Colinge-85]

J. P. Colinge, H. K. Hu, and S. Peng, —Fabrication of thin silicon-on-insulator films using laser recrystallisation,|| *Electronics Letters*, vol. 21, no. 23, pp. 1102 –1103, 1985.

[Colinge-86]

J.-P. Colinge, —Subthreshold slope of thin-film SOI MOSFET’s,|| *IEEE Electron Device Letters*, vol. 7, no. 4, pp. 244 – 246, Apr. 1986.

[Colinge-97]

J.-P. Colinge, *Silicon-on-Insulator Technology: Materials to VLSI*. Springer, 1997.

[Cristoloveanu-01]

S. Cristoloveanu, —Silicon on insulator technologies and devices: from present to future,|| *Solid-State Electronics*, vol. 45, no. 8, pp. 1403–1411, Aug. 2001.

[Crozat-91]

P. Crozat, J. C. Henaux, and G. Vernet, —Precise determination of open circuit capacitance of coplanar probes for on-wafer automatic network analyser measurements, *Electronics Letters*, vol. 27, no. 16, pp. 1476–1478, Aug. 1991.

[Davidson-90]

A. Davidson, K. Jones, and E. Strid, —LRM and LRRM Calibrations with Automatic Determination of Load Inductance, in *ARFTG Conference Digest-Fall, 36th, 1990*, vol. 18, pp. 57–63.

[Deegan-97]

Deegan, Robert D., Olgica Bakajin, Todd F. Dupont, Greb Huber, Sidney R. Nagel, and Thomas A. Witten. 1997. “Capillary Flow as the Cause of Ring Stains from Dried Liquid Drops.” *Nature* 389 (6653): 827–29.

[Defrance-13]

Defrance, N., F. Lecourt, Y. Douvry, M. Lesecq, V. Hoel, A. Lecavelier Des Etangs-Levallois, Y. Cordier, A. Ebongue, and J. C. De Jaeger. 2013. “Fabrication, Characterization, and Physical Analysis of AlGaIn/GaN HEMTs on Flexible Substrates.” *IEEE Transactions on Electron Devices* 60 (3): 1054–59.

[Deganello-12]

Deganello, D., J. A. Cherry, D. T. Gethin, and T. C. Claypole. 2012. “Impact of Metered Ink Volume on Reel-to-Reel Flexographic Printed Conductive Networks for Enhanced Thin Film Conductivity.” *Thin Solid Films* 520 (6): 2233–37.

[Dehan-03]

M. DEHAN, *Characterization and Modeling of SOI RF integrated components*. Université Catholique de Louvain (UCL), 2003.

[Dewire-10]

Dewire, Jane, and Hugh Calkins. 2010. “State-of-the-Art and Emerging Technologies for Atrial Fibrillation Ablation.” *Nature Reviews Cardiology* 7 (3): 129–138.

[Dieuleveult-08]

F. de Dieuleveult, O. Romain, *Electronique appliquée aux hautes fréquences : Principes et applications*, col. L'Usine Nouvelle, éd. Dunod, 2008

[Disasolar-13]

<http://www.disasolar.fr/img/LIVRE%20BLANC/Livre%20Blanc%20-%20Electronique%20imprim%C3%A9%20au%20service%20du%20photovolta%C3%AFque%203e%20g%C3%A9n%C3%A9ration%20-%20DisaSolar.pdf>

[Dubois-90]

E. Dubois, *Simulation bidimensionnelle de dispositifs silicium : Contribution à l'étude de phénomènes parasites en technologies MOS et bipolaire*, Université de Sciences et Techniques de Lille Flandres-Artois, 1990.

[Easter-09]

Easter, C., and C.B. O'Neal. 2009. “Characterization of High-Pressure Vapor-Phase Silicon Etching for MEMS Processing.” *Journal of Microelectromechanical Systems* 18 (5): 1054–61.

[Edmison-06]

Edmison, J., D. Lehn, M. Jones, and T. Martin. 2006. “E-Textile Based Automatic Activity Diary for Medical Annotation and Analysis.” In *International Workshop on Wearable and Implantable Body Sensor Networks (BSN'06)*, 4 pp.-134.

[ElgaEurope-15-1]

<http://www.elgaeurope.it/ENG/Default.aspx?SEZ=3&PAG=9&MOD=CTG&CAT=12&PRD=11>

[ElgaEurope-15-2]

ORDYL SY 300 Product Data Sheet Edition 03 - 11 September 2015

[Elmore-48]

Elmore, W. C. 1948. "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers." *Journal of Applied Physics* 19 (1): 55–63.

[Eminess-15-1]

http://www.eminess.com/products/polishing_pads/felt/suba_500

[Eminess-15-2]

http://www.eminess.com/products/polishing_pads/urethane/dow_ic1000_polishing_pads

[Eminess-15-3]

http://www.eminess.com/products/polishing_slurries/colloidal_silica/ultra-sol_558

[Eminess-15-4]

http://www.eminess.com/products/polishing_slurries/colloidal_silica/ultra-sol_2ex

[Eminess-15-5]

http://www.eminess.com/products/polishing_slurries/colloidal_silica/dow_klebosol_1501-50

[Engen-79]

G. F. Engen and C. A. Hoer, —Thru-Reflect-Line: An Improved Technique for Calibrating the Dual Six-Port Automatic Network Analyzer, IEEE Transactions on Microwave Theory and Techniques, vol. 27, no. 12, pp. 987 – 993, Dec. 1979.

[Eom-10]

Eom, Seung Hun, Hanok Park, S. H. Mujawar, Sung Cheol Yoon, Seok-Soon Kim, Seok-In Na, Seok-Ju Kang, Dongyoon Khim, Dong-Yu Kim, and Soo-Hyoung Lee. 2010. "High Efficiency Polymer Solar Cells via Sequential Inkjet-Printing of PEDOT:PSS and P3HT:PCBM Inks with Additives." *Organic Electronics* 11 (9): 1516–22.

[Feng-11]

Feng, Xue, Byung Duk Yang, Yuanming Liu, Yong Wang, Canan Dagdeviren, Zhuangjian Liu, Andrew Carlson, Jiangyu Li, Yonggang Huang, and John A. Rogers. 2011. "Stretchable Ferroelectric Nanoribbons with Wavy Configurations on Elastomeric Substrates." *ACS Nano* 5 (4): 3326–32.

[Focke-10]

Focke, Maximilian, Dominique Kosse, Claas Müller, Holger Reinecke, Roland Zengerle, and Felix von Stetten. 2010. "Lab-on-a-Foil: Microfluidics on Thin and Flexible Films." *Lab on a Chip* 10 (11): 1365–86.

[Frye-14]

Frye, R., R. Melville, and K. Liu. 2014. "Design and Material Contributions to Second-Harmonic Nonlinearities in RF Silicon Integrated Passive Devices." In *2014 IEEE 64th Electronic Components and Technology Conference (ECTC)*, 1284–89.

[Gamble-99]

Gamble, H.S., B.M. Armstrong, S. J N Mitchell, Y. Wu, V.F. Fusco, and J.A.C. Stewart. 1999. "Low-Loss CPW Lines on Surface Stabilized High-Resistivity Silicon." *IEEE Microwave and Guided Wave Letters* 9 (10): 395–97.

[Gamerith-07]

Gamerith, S., A. Klug, H. Scheiber, U. Scherf, E. Moderegger, and E. J. W. List. 2007. "Direct Ink-Jet Printing of Ag–Cu Nanoparticle and Ag-Precursor Based Electrodes for OFET Applications." *Advanced Functional Materials* 17 (16): 3111–18.

[Gates-09]

Gates, Byron D. 2009. "Flexible Electronics." *Science* 323 (5921): 1566–67.

[Gianesello-07-1]

F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, and P. Touret, —Integrated Inductors in HR SOI CMOS technologies: on the economic advantage of SOI technologies for the integration of RF applications, in *SOI Conference, 2007 IEEE International*, 2007, pp. 119–120.

[Gianesello-07-2]

F. Gianesello, D. Gloria, S. Montusclat, C. Raynaud, S. Boret, G. Dambrine, S. Lepilliet, B. Martineau, and R. Pilard, —1.8 dB insertion loss 200 GHz CPW band pass filter integrated in HR SOI CMOS Technology, in *Microwave Symposium, 2007. IEEE/MTT-S International*, 2007, pp. 453–456.

[Globalfoundries-15]

<http://semimd.com/blog/2015/04/17/soi-revolutionizing-rf-and-expanding-in-to-new-frontiers/>

[Gösele-99]

Gösele, U., Q. -Y. Tong, A. Schumacher, G. Kräuter, M. Reiche, A. Plößl, P. Kopperschmidt, T. -H. Lee, and W. -J. Kim. 1999. “Wafer Bonding for Microsystems Technologies.” *Sensors and Actuators A: Physical* 74 (1–3): 161–68.

[Gupta-96]

K. C. Gupta, R. Garg, I. J. Bahl, and P. Bhartia, 'Microstrip Lines and Slotlines', 2nd ed. Artech House, Inc., 1996.

[Halonen-09]

Halonen, E., K. Kaija, M. Mantysalo, A. Kemppainen, R. Osterbacka, and N. Bjorklund. 2009. “Evaluation of Printed Electronics Manufacturing Line with Sensor Platform Application.” In *Microelectronics and Packaging Conference, 2009. EMPC 2009. European*, 1–8.

[Harkema-09]

Harkema, Stephan, Sibe Mennema, Marco Barink, Harmen Rooms, Joanne S. Wilson, Ton van Mol, and Dirk Bollen. 2009. “Large Area ITO-Free Flexible White OLEDs with Orgacon PEDOT:PSS and Printed Metal Shunting Lines.” In , 7415:74150T–74150T–8.

[Haverinen-09]

Haverinen, Hanna M., Risto A. Myllylä, and Ghassan E. Jabbour. 2009. “Inkjet Printing of Light Emitting Quantum Dots.” *Applied Physics Letters* 94 (7): 073108.

[Hemment-87]

P. L. F. Hemment, K. J. Reeson, J. A. Kilner, R. J. Chater, C. Marsh, G. R. Booker, J. R. Davis, and G. K. Celler, —Novel dielectric/silicon planar structures formed by ion beam synthesis, Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, vol. 21, no. 1–4, pp. 129–133, 1987.

[Hester-15]

Hester, J. G., S. Kim, J. Bito, T. Le, J. Kimionis, D. Revier, C. Saintsing, et al. 2015. “Additively Manufactured Nanotechnology and Origami-Enabled Flexible Microwave Electronics.” *Proceedings of the IEEE* 103 (4): 583–606.

[Hochberg-06]

Hochberg, Leigh R., Mijail D. Serruya, Gerhard M. Friehs, Jon A. Mukand, Maryam Saleh, Abraham H. Caplan, Almut Branner, David Chen, Richard D. Penn, and John P. Donoghue. 2006. “Neuronal Ensemble Control of Prosthetic Devices by a Human with Tetraplegia.” *Nature* 442 (7099): 164.

[Horst-13]

Horst, A. van der, D. van der Voort, B. Mimoun, M. Rutten, F. van de Vosse, and R. Dekker. 2013. “A Novel Flexible Thermoelectric Sensor for Intravascular Flow Assessment.” *IEEE Sensors Journal* 13 (10): 3883–91.

[Hoth-08]

Hoth, Claudia N., Pavel Schilinsky, Stelios A. Choulis, and Christoph J. Brabec. 2008. “Printing Highly Efficient Organic Solar Cells.” *Nano Letters* 8 (9): 2806–13

[Hu-11]

Hu, Xiaolong, Peter Krull, Bassel de Graff, Kevin Dowling, John A. Rogers, and William J. Arora. 2011. "Stretchable Inorganic-Semiconductor Electronic Systems." *Advanced Materials* 23 (26): 2933–36.

[Hwang-13]

Hwang, Geon-Tae, Donggu Im, Sung Eun Lee, Jooseok Lee, Min Koo, So Young Park, Seungjun Kim, et al. 2013. "In Vivo Silicon-Based Flexible Radio Frequency Integrated Circuits Monolithically Encapsulated with Biocompatible Liquid Crystal Polymers." *ACS Nano* 7 (5): 4545–53.

[Ibbotson-84]

Ibbotson, Dale E., Daniel L. Flamm, John A. Mucha, and Vincent M. Donnelly. 1984. "Comparison of XeF₂ and F-atom Reactions with Si and SiO₂." *Applied Physics Letters* 44 (12): 1129–31.

[Iniguez-03]

B. Iniguez, J.-P. Raskin, P. Simon, D. Flandre, and J. Segura, —A review of leakage current in SOI CMOS ICs: impact on parametric testing techniques, *Solid-State Electronics*, vol. 47, no. 11, pp. 1959–1967, Nov. 2003.

[Intel-16]

<http://www.intel.fr/content/www/fr/fr/it-managers/moores-law-technical-evolution.html>

[Interwoven-01]

Interwoven, W. 1901. "Un Nouveau Galvanometer." *Arch Neerl Sc Ex Nat* 6: 625.

[Ismail-00]

Ismail, Y. I., E. G. Friedman, and J. L. Neves. 2000. "Equivalent Elmore Delay for RLC Trees." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 19 (1): 83–97.

[ITRS-10]

http://www.itrs2.net/uploads/4/9/7/7/49775221/irc-itrs-mtm-v2_3.pdf

[ITRS-10]

<http://www.itrs.net/ITRS%201999-2014%20Mtgs,%20Presentations%20&%20Links/2011ITRS/Summary2011.htm>

[ITRS-13]

<http://www.itrs.net/ITRS%201999-2014%20Mtgs,%20Presentations%20&%20Links/2013ITRS/Summary2013.htm>

[Izumi-78]

K. Izumi, M. Doken, and H. Ariyoshi, —C.M.O.S. devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon, *Electronics Letters*, vol. 14, no. 18, pp. 593–594, 1978.

[Jannot-12]

Y. Jannot, *Transferts thermiques*, Ecole des Mines de Nancy, 2^{ème} année.

[Jastrzebski-89]

L. Jastrzebski, J. F. Corboy, and R. Soydan, —Issues and Problems Involved in Selective Epitaxial Growth of Silicon for SOI Fabrication, *J. Electrochem. Soc.*, vol. 136, no. 11, pp. 3506–3513, Jan. 1989.

[Jeong-10]

Jeong, Jin-A., Jinho Lee, Hongdoo Kim, Han-Ki Kim, and Seok-In Na. 2010. "Ink-Jet Printed Transparent Electrode Using Nano-Size Indium Tin Oxide Particles for Organic Photovoltaics." *Solar Energy Materials and Solar Cells* 94 (10): 1840–44.

[Jing-10]

Jing, Errong, Bin Xiong, and Yuelin Wang. 2010. "The Bond Strength of Au/Si Eutectic Bonding Studied by IR Microscope." *IEEE Transactions on Electronics Packaging Manufacturing* 33 (1): 31–37.

[Jokerst-97]

Jokerst, N. M. 1997. "Hybrid Integrated Optoelectronics: Thin Film Devices Bonded to Host Substrates." *International Journal of High Speed Electronics and Systems* 8 (2): 325–56.

[Jokerst-00]

Jokerst, N. M., M. A. Brooke, J. Laskar, D. S. Wills, A. S. Brown, M. Vrazel, S. Jung, Y. Joo, and J. J. Chang. 2000. "Microsystem Optoelectronic Integration for Mixed Multisignal Systems." *IEEE Journal of Selected Topics in Quantum Electronics* 6 (6): 1231–39.

[Jokerst-03]

Jokerst, N. M., M. A. Brooke, Sang-Yeon Cho, S. Wilkinson, M. Vrazel, S. Fike, J. Tabler, et al. 2003. "The Heterogeneous Integration of Optical Interconnections into Integrated Microsystems." *IEEE Journal of Selected Topics in Quantum Electronics* 9 (2): 350–60.

[Kang-10]

Kang, Myung-Gyu, Hui Joon Park, Se Hyun Ahn, and L. Jay Guo. 2010. "Transparent Cu Nanowire Mesh Electrode on Flexible Substrates Fabricated by Transfer Printing and Its Application in Organic Solar Cells." *Solar Energy Materials and Solar Cells* 94 (6): 1179–84.

[Kang-12]

Kang, Hongki, Rungrot Kitsomboonloha, Jaewon Jang, and Vivek Subramanian. 2012. "High-Performance Printed Transistors Realized Using Femtoliter Gravure-Printed Sub-10 Mm Metallic Nanoparticle Patterns and Highly Uniform Polymer Dielectric and Semiconductor Layers." *Advanced Materials* 24 (22): 3065–69.

[Kao-05]

Kao, H.L., A. Chin, B.F. Hung, C.F. Lee, J.M. Lai, S.P. McAlister, G.S. Samudra, Won Jong Yoo, and C.C. Chi. 2005. "Low Noise RF MOSFETs on Flexible Plastic Substrates." *IEEE Electron Device Letters* 26 (7): 489–91.

[Kao-05]

"Low Noise and High Gain RF MOSFETs on Plastic Substrates." 2005. In *IEEE MTT-S International Microwave Symposium Digest, 2005*.

[Kao-06]

Kao, H.L., Albert Chin, C.C. Liao, Y. Y. Tseng, S.P. McAlister, and C.C. Chi. 2006. "DC-RF Performance Improvement for Strained 0.13 μm MOSFETs Mounted on a Flexible Plastic Substrate." In *Microwave Symposium Digest, 2006. IEEE MTT-S International, 2043–46*.

[Kao-08]

Kao, H. L., Y. C. Chang, B. S. Lin, M. H. Huang, and C. H. Kao. 2008. "Bending Effect of Si MOSFETs on Flexible Plastic Substrate." In *2008 7th International Caribbean Conference on Devices, Circuits and Systems*, 1–4.

[Karlitskaya-11]

Karlitskaya, Natallia. 2011. *Laser Die Transfer: Laser-Induced Transfer of Microcomponents*. Twente, Br: University of Twente

[Kerr-08]

Kerr, D.C., J.M. Gering, T.G. McKay, M.S. Carroll, C. Roda Neve, and J.-P. Raskin. 2008. "Identification of RF Harmonic Distortion on Si Substrates and Its Reduction Using a Trap-Rich Layer." In *IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008*, 151–54.

[Khandelwal-11]

Khandelwal, S., J. Watts, E. Tamilmani, and L. Wagner. 2011. "Scalable Thermal Resistance Model for Single and Multi-Finger Silicon-on-Insulator MOSFETs." In *2011 IEEE International Conference on Microelectronic Test Structures (ICMTS)*, 182–85.

[Kim-08]

Kim, Tae-Ho, Won Mook Choi, Dae-Hyeong Kim, Matthew A. Meitl, Etienne Menard, Hanqing Jiang, John A. Carlisle, and John A. Rogers. 2008. "Printable, Flexible, and Stretchable Forms of Ultrananocrystalline Diamond with Applications in Thermal Management." *Advanced Materials* 20 (11): 2171–76.

[Kim-09]

Kim, Tae-Ho, Andrew Carlson, Jong-Hyun Ahn, Sang Min Won, Shuodao Wang, Yonggang Huang, and John A. Rogers. 2009. "Kinetically Controlled, Adhesiveless Transfer Printing Using Microstructured Stamps." *Applied Physics Letters* 94 (11): 113502.

[Kim-10]

Kim, Dae-Hyeong, Jonathan Viventi, Jason J. Amsden, Jianliang Xiao, Leif Vigeland, Yun-Soung Kim, Justin A. Blanco, et al. 2010. "Dissolvable Films of Silk Fibroin for Ultrathin Conformal Bio-Integrated Electronics." *Nature Materials* 9 (6): 511–17.

[Kim-11]

Kim, Dae-Hyeong, Nanshu Lu, Rui Ma, Yun-Soung Kim, Rak-Hwan Kim, Shuodao Wang, Jian Wu, et al. 2011. "Epidermal Electronics." *Science* 333 (6044): 838–43.

[Kim-11]

Kim, Seungjun, Hu Young Jeong, Sung Kyu Kim, Sung-Yool Choi, and Keon Jae Lee. 2011. "Flexible Memristive Memory Array on Plastic Substrates." *Nano Letters* 11 (12): 5438–42.

[Kim-12]

Kim, Dae-Hyeong, Roozbeh Ghaffari, Nanshu Lu, and John A. Rogers. 2012. "Flexible and Stretchable Electronics for Biointegrated Devices." *Annual Review of Biomedical Engineering* 14 (1): 113–28.

[Kim-14]

Kim, Seungjun, Jung Hwan Son, Seung Hyun Lee, Byoung Kuk You, Kwi-Il Park, Hwan Keon Lee, Myunghwan Byun, and Keon Jae Lee. 2014. "Flexible Crossbar-Structured Resistive Memory Arrays on Plastic Substrates via Inorganic-Based Laser Lift-Off." *Advanced Materials* 26 (44): 7480–87.

[Kimura-83]

M. Kimura, K. Egami, M. Kanamori, and T. Hamaguchi, —Epitaxial film transfer technique for producing single crystal Si film on an insulating substrate, Applied Physics Letters, vol. 43, no. 3, pp. 263–265, Aug. 1983.

[Kitsomboonloha-14]

Kitsomboonloha, Rungrot, and Vivek Subramanian. 2014. "Lubrication-Related Residue as a Fundamental Process Scaling Limit to Gravure Printed Electronics." *Langmuir* 30 (12): 3612–24.

[Ko-07]

Ko, Seung H., Heng Pan, Costas P. Grigoropoulos, Christine K. Luscombe, Jean M. J. Fréchet, and Dimos Poulikakos. 2007. "All-Inkjet-Printed Flexible Electronics Fabrication on a Polymer Substrate by Low-Temperature High-Resolution Selective Laser Sintering of Metal Nanoparticles." *Nanotechnology* 18 (34): 345202.

[Kovacs-98]

Kovacs, G.T.A., Nadim I. Maluf, and K.E. Petersen. 1998. "Bulk Micromachining of Silicon." *Proceedings of the IEEE* 86 (8): 1536–51.

[Kuo-09]

Kuo, Po-Chin, A. Jamshidi-Roudbari, and M. Hatalis. 2009. "Electrical Characteristics and Mechanical Limitation of Polycrystalline Silicon Thin Film Transistor on Steel Foil under Strain." In *Semiconductor Device Research Symposium, 2009. ISDRS '09. International*, 1–2.

[Lakafosis-10]

Lakafosis, V., A. Rida, R. Vyas, L. Yang, S. Nikolaou, and M. M. Tentzeris. 2010. "Progress Towards the First Wireless Sensor Networks Consisting of Inkjet-Printed, Paper-Based RFID-Enabled Sensor Tags." *Proceedings of the IEEE* 98 (9): 1601–9.

[Lange-10]

Lange, Alexander, Michael Wegener, Christine Boeffel, Bert Fischer, Armin Wedel, and Dieter Neher. 2010. "A New Approach to the Solvent System for Inkjet-Printed P3HT:PCBM Solar Cells and Its Use in Devices with Printed Passive and Active Layers." *Solar Energy Materials and Solar Cells* 94 (10): 1816–21.

[Lange-13]

Lange, Alexander, Wolfram Schindler, Michael Wegener, Konstantinos Fostiropoulos, and Silvia Janietz. 2013. "Inkjet Printed Solar Cell Active Layers Prepared from Chlorine-Free Solvent Systems." *Solar Energy Materials and Solar Cells* 109 (February): 104–10.

[Lapisa-11]

Lapisa, M., G. Stemme, and F. Niklaus. 2011. "Wafer-Level Heterogeneous Integration for MOEMS, MEMS, and NEMS." *IEEE Journal of Selected Topics in Quantum Electronics* 17 (3): 629–44.

[Latzel-11]

Latzel, P., E. Peytavit, E. Dogheche, and J. Lampin. 2011. "Improving Properties of THz Photoconductors by Bonding to a High Thermal Conductivity Substrate." In *2011 36th International Conference on Infrared, Millimeter and Terahertz Waves (IRMMW-THz)*, 1–2.

[Lecavelier-11]

Lecavelier des Etangs-Levallois, A., E. Dubois, M. Lesecq, F. Danneville, L. Poulain, Y. Tagro, S. Lepilliet, D. Gloria, C. Raynaud, and D. Troadec. 2011. "150-GHz RF SOI-CMOS Technology in Ultrathin Regime on Organic Substrate." *IEEE Electron Device Letters* 32 (11): 1510–12.

[Lecavelier-13-1]

Lecavelier des Etangs-Levallois, Aurélien. 2013. *Report de Technologie SOI-CMOS Sur Substrat Flexible : Une Approche Convergente Vers Les Hautes Fréquences et La Stabilité Des Performances Sous Déformation Mécanique*. Lille 1.

[Lecavelier-13]

Lecavelier des Etangs-Levallois, Aurélien, Zhenkun Chen, Marie Lesecq, Sylvie Lepilliet, Yoann Tagro, François Danneville, Jean-François Robillard, et al. 2013. "A Converging Route towards Very High Frequency, Mechanically Flexible, and Performance Stable Integrated Electronics." *Journal of Applied Physics* 113 (15): 153701-153701–9.

[Lecavelier-14]

Etangs-Levallois, Aurelien Lecavelier des, Justine Philippe, Sylvie Lepilliet, Yoann Tagro, François Danneville, Jean-François Robillard, Christine Raynaud, Daniel Gloria, Jacek Ratajczak, and Emmanuel Dubois. 2014. "Invariance of DC and RF Characteristics of Mechanically Flexible CMOS Technology on Plastic." In *Functional Nanomaterials and Devices for Electronics, Sensors and Energy Harvesting*, edited by Alexei Nazarov, Francis Balestra, Valeriya Kilchytska, and Denis Flandre, 81–103. Engineering Materials. Springer International Publishing.

[Lederer-04]

Lederer, D., R. Lobet, and J. -P Raskin. 2004. "Enhanced High Resistivity SOI Wafers for RF Applications." In *SOI Conference, 2004. Proceedings. 2004 IEEE International*, 46–47.

[Lederer-05]

Lederer, D., and J. -P Raskin. 2005. "New Substrate Passivation Method Dedicated to HR SOI Wafer Fabrication with Increased Substrate Resistivity." *IEEE Electron Device Letters* 26 (11): 805–7.

[Lederer-08]

Lederer, D., and J. P. Raskin. 2008. "RF Performance of a Commercial SOI Technology Transferred Onto a Passivated HR Silicon Substrate." *IEEE Transactions on Electron Devices* 55 (7): 1664–71.

[Lee-91]

Lee, C.C., C.Y. Wang, and G.S. Matijasevic. 1991. "A New Bonding Technology Using Gold and Tin Multilayer Composite Structures." *IEEE Transactions on Components, Hybrids, and Manufacturing Technology* 14 (2): 407–12.

[Lee-93]

Lee, C.C., C.Y. Wang, and G. Matijasevic. 1993. "Au-In Bonding below the Eutectic Temperature." *IEEE Transactions on Components, Hybrids, and Manufacturing Technology* 16 (3): 311–16.

[Lee-05]

Lee, K. J., M. J. Motala, M. A. Meitl, W. R. Childs, E. Menard, A. K. Shim, J. A. Rogers, and R. G. Nuzzo. 2005. "Large-Area, Selective Transfer of Microstructured Silicon: A Printing- Based Approach to High-Performance Thin-Film Transistors Supported on Flexible Substrates." *Advanced Materials* 17 (19): 2332–36.

[Lee-06]

Lee, Keon Jae, Matthew A. Meitl, Jong-Hyun Ahn, John A. Rogers, Ralph G. Nuzzo, Vipin Kumar, and Hesanmi Adesida. 2006. "Bendable GaN High Electron Mobility Transistors on Plastic Substrates." *Journal of Applied Physics* 100 (12): 124507.

[Lee-12]

Lee, Jongho, Jian Wu, Jae Ha Ryu, Zhuangjian Liu, Matthew Meitl, Yong-Wei Zhang, Yonggang Huang, and John A. Rogers. 2012. "Stretchable Semiconductor Technologies with High Areal Coverages and Strain-Limiting Behavior: Demonstration in High-Efficiency Dual-Junction GaInP/GaAs Photovoltaics." *Small* 8 (12): 1851–1856.

[Liang-13]

Liang, Jiajie, Lu Li, Xiaofan Niu, Zhibin Yu, and Qibing Pei. 2013. "Elastomeric Polymer Light-Emitting Devices and Displays." *Nature Photonics* 7 (10): 817–24.

[Liu-07]

Liu, J. H., Z. J. Pei, and Graham R. Fisher. 2007. "Grinding Wheels for Manufacturing of Silicon Wafers: A Literature Review." *International Journal of Machine Tools and Manufacture* 47 (1): 1–13.

[Lueck-15]

Lueck, Matthew, Phil Garrou, Dean Malta, Alan Huffman, Marianne Butler, and Dorota S. Temple. 2015. "Temporary Wafer Bonding Materials and Processes."

[Luo-01]

Luo, Jianfeng, and D.A. Dornfeld. 2001. "Material Removal Mechanism in Chemical Mechanical Polishing: Theory and Modeling." *IEEE Transactions on Semiconductor Manufacturing* 14 (2): 112–33.

[Luo-03]

Luo, Jianfeng, and D.A. Dornfeld. 2003. "Effects of Abrasive Size Distribution in Chemical Mechanical Planarization: Modeling and Verification." *IEEE Transactions on Semiconductor Manufacturing* 16 (3): 469–76.

[Magenes-11]

Magenes, G., D. Curone, E. L. Secco, and A. Bonfiglio. 2011. "Biosensing and Environmental Sensing for Emergency and Protection E-Textiles." In *2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, 8365–68.

[Marculescu-03]

Marculescu, D., R. Marculescu, N. H. Zamora, P. Stanley-Marbell, P. K. Khosla, S. Park, S. Jayaraman, et al. 2003. "Electronic Textiles: A Platform for Pervasive Computing." *Proceedings of the IEEE* 91 (12): 1995–2018.

[Martineau-07]

B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Giancesello, and D. Belot, —80 GHz low noise amplifiers in 65nm CMOS SOI, in *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, 2007, pp. 348 –351.

[Martineau-08]

B. Martineau, *Potentialités de la technologie CMOS 65nm SOI pour des applications sans fils en bande millimétrique*, Université des Sciences et Technologies de Lille. 2008.

[Maszara-91]

W. P. Maszara, —Silicon-On-Insulator by Wafer Bonding: A Review, *J. Electrochem. Soc.*, vol. 138, no. 1, pp. 341–347, Jan. 1991.

[Matijević-08]

Matijević, E., and S. V. Babu. 2008. “Colloid Aspects of Chemical–mechanical Planarization.” *Journal of Colloid and Interface Science* 320 (1): 219–37.

[Matljasevic-89]

Matljasevic, Goran, and Chin C. Lee. 1989. “Void-Free Au-Sn Eutectic Bonding of GaAs Dice and Its Characterization Using Scanning Acoustic Microscopy.” *Journal of Electronic Materials* 18 (2): 327–37.

[Mattana-13]

Mattana, G., T. Kinkeldei, D. Leuenberger, C. Ataman, J. J. Ruan, F. Molina-Lopez, A. V. Quintero, et al. 2013. “Woven Temperature and Humidity Sensors on Flexible Plastic Substrates for E-Textile Applications.” *IEEE Sensors Journal* 13 (10): 3901–9.

[Meier-09]

H. Meier, U. Löffelmann, D. Mager, P. J. Smith, J. G. Korvink, *Phys. Status Solidi A* 2009, *in press*.

[Meitl-06]

Meitl, Matthew A., Zheng-Tao Zhu, Vipin Kumar, Keon Jae Lee, Xue Feng, Yonggang Y. Huang, Ilesanmi Adesida, Ralph G. Nuzzo, and John A. Rogers. 2006. “Transfer Printing by Kinetic Control of Adhesion to an Elastomeric Stamp.” *Nature Materials* 5 (1): 33–38.

[Menard-04]

Menard, E., K. J. Lee, D.-Y. Khang, R. G. Nuzzo, and J. A. Rogers. 2004. “A Printable Form of Silicon for High Performance Thin Film Transistors on Plastic Substrates.” *Applied Physics Letters* 84 (26): 5398–5400.

[Mimoun-13]

Mimoun, B., V. Henneken, A. van der Horst, and R. Dekker. 2013. “Flex-to-Rigid (F2R): A Generic Platform for the Fabrication and Assembly of Flexible Sensors for Minimally Invasive Instruments.” *IEEE Sensors Journal* 13 (10): 3873–82.

[Molesa-04]

Molesa, S.E., S.K. Volkman, D.R. Redinger, Ad.F. Vornbrock, and Vivek Subramanian. 2004. “A High-Performance All-Inkjetted Organic Transistor Technology.” In *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, 1072–74.

[Moore-98]

Moore, Gordon E. 2006. “Cramming More Components onto Integrated Circuits, Reprinted from Electronics, Volume 38, Number 8, April 19, 1965, pp.114 Ff.” *IEEE Solid-State Circuits Newsletter* 20 (3): 33–35.

[Moore-03]

Moore, G.E. 2003. “No Exponential Is Forever: But ‘Forever’ Can Be Delayed! [semiconductor Industry].” In *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, 20–23 vol.1.

[Moulé-12]

Moulé, Adam J., Lilian Chang, Chandru Thambidurai, Ruxandra Vidu, and Pieter Stroeve. 2012. “Hybrid Solar Cells: Basic Principles and the Role of Ligands.” *J. Mater. Chem.* 22 (6): 2351–68.

[Murata-10]

Heat-peelable pressure-sensitive adhesive sheet US7718257.

[Mutyala-14]

Mutyala, Madhu Santosh K., Jingzhou Zhou, and Xiaochun Li. 2014. “Transferable and Flexible Thin Film Devices for Engineering Applications.” *Journal of Micromechanics and Microengineering* 24 (5).

[Nathan-12]

Nathan, A., A. Ahnood, Matthew T. Cole, Sungsik Lee, Y. Suzuki, P. Hiralal, F. Bonaccorso, et al. 2012. "Flexible Electronics: The Next Ubiquitous Platform." *Proceedings of the IEEE* 100 (Special Centennial Issue): 1486–1517.

[Neel-90]

Neel, O. Le, and M. Haond. 1990. "Electrical Transient Study of Negative Resistance in SOI MOS Transistors." *Electronics Letters* 26 (1): 73–74.

[Ngamna-07]

Ngamna, Orawan, Aoife Morrin, Anthony J. Killard, Simon E. Moulton, Malcolm R. Smyth, and Gordon G. Wallace. 2007. "Inkjet Printable Polyaniline Nanoformulations." *Langmuir* 23 (16): 8569–74.

[Nguyen-15]

Nguyen, Manh-Cuong, Yoon-Seok Jeon, Duc-Tai Tong, Seung-Won You, Jae-Kyeong Jeong, Bio Kim, Jae-young Ahn, Kihyun Hwang, and Rino Choi. 2015. "Analysis of Trap Distribution in Polysilicon Channel Transistors Using the Variable Amplitude Charge Pumping Method." *Solid-State Electronics* 104 (Supplement C):86–89.

[Nitto-Denko-15-1]

http://www.nitto.com/eu/fr/products/group/e_parts/electronic/001/

[Nitto-Denko-15-2]

Technical Data Sheet Thermal Release Tape REVALPHA No.319Y-4M

[Noh-07]

Noh, Yong-Young, Ni Zhao, Mario Caironi, and Henning Sirringhaus. 2007. "Downscaling of Self-Aligned, All-Printed Polymer Thin-Film Transistors." *Nature Nanotechnology* 2 (12): 784–89.

[OEA-11]

Organic Electronics Association, OE-A, "Roadmap for Organic and Printed Electronics,4th edition" 2011.

[OEA-13]

Organic Electronics Association, OE-A, "Roadmap for Organic and Printed Electronics,5th edition" 2013.

[Oliveira-09]

Oliveira, J. F. G., E. J. Silva, C. Guo, and F. Hashimoto. 2009. "Industrial Challenges in Grinding." *CIRP Annals - Manufacturing Technology* 58 (2): 663–80.

[Osch-08]

van Osch, T. H. J., J. Perelaer, A. W. M. de Laat, and U. S. Schubert. 2008. "Inkjet Printing of Narrow Conductive Tracks on Untreated Polymeric Substrates." *Advanced Materials* 20 (2): 343–45.

[Pailloncy-05]

G. Pailloncy, *Propriétés hyperfréquences et de bruit de MOSFETs sur substrat massif et SOI jusqu'au noeud technologique 65 nm*. Université des Sciences et Technologies de Lille, 2005.

[Park-07]

Park, Jang-Ung, Matt Hardy, Seong Jun Kang, Kira Barton, Kurt Adair, Deep kishore Mukhopadhyay, Chang Young Lee, et al. 2007. "High-Resolution Electrohydrodynamic Jet Printing." *Nature Materials* 6 (10): 782–89.

[Park-12]

Park, Sungjun, Gunuk Wang, Byungjin Cho, Yonghun Kim, Sunghoon Song, Yongsung Ji, Myung-Han Yoon, and Takhee Lee. 2012. "Flexible Molecular-Scale Electronic Devices." *Nature Nanotechnology* 7 (7): 438–42.

[Park-16]

Park, Jun-Mo, Sang Kyu Park, Won Sik Yoon, Jin Hong Kim, Dong Won Kim, Tae-Lim Choi, and Soo Young Park. 2016. "Designing Thermally Stable Conjugated Polymers with Balanced Ambipolar Field-Effect Mobilities by Incorporating Cyanovinylene Linker Unit." *Macromolecules* 49 (8): 2985–92.

[Pavageau-05]

C. Pavageau, *Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques*. Université des Sciences et Technologies de Lille, 2005.

[Pei-02]

Pei, Z. J. 2002. "A Study on Surface Grinding of 300 Mm Silicon Wafers." *International Journal of Machine Tools and Manufacture* 42 (3): 385–93.

[Pei-08]

Pei, Z. J., Graham R. Fisher, and J. Liu. 2008. "Grinding of Silicon Wafers: A Review from Historical Perspectives." *International Journal of Machine Tools and Manufacture* 48 (12–13): 1297–1307.

[Pelloie-01]

J.-L. Pelloie and A. Auberton-Hervé, —A new generation of IC processing: Low-power, high-performance SOI CMOS, *Solid State Technology*, vol. 44, p. 63, 2001.

[Petroni-13]

Petroni, Nicholas, Inanc Meric, James Hone, and Kenneth L. Shepard. 2013. "Graphene Field-Effect Transistors with Gigahertz-Frequency Power Gain on Flexible Substrates." *Nano Letters* 13 (1): 121–25.

[Pierret-96]

R. F. Pierret, *Semiconductor Device Fundamentals*, ed. Addison-Wesley Publishing Company, 1996.

[Pillage-90]

Pillage, L. T., and R. A. Rohrer. 1990. "Asymptotic Waveform Evaluation for Timing Analysis." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 9 (4): 352–66.

[Pillage-94]

L. T. Pillage, R. A. Rohrer, and C. Visweswariah, *Electronic Circuit and System Simulation Methods*. New York: McGraw Hill, 1994.

[ProSys-15]

Polos SPIN150i/200i infinite for software rev. 3.00, SPS-Europe B.V., 2015.

[Quinn-10]

B. Quinn, *Textile Futures: Fashion, Design and Technology*. New York, NY, USA: Berg Press, 2010, pp. 10–14.

[Quorvo-15]

<http://i-micronews.com/mems-sensors/6167-qorvo-a-new-leader-in-mems-rf-devices.html>

[Quotient Associates-15]

<http://stakeholders.ofcom.org.uk/binaries/consultations/above-6ghz/qa-report.pdf>

[Rais-Zadeh-15]

Rais-Zadeh, M., J. T. Fox, D. D. Wentzloff, and Y. B. Gianchandani. 2015. "Reconfigurable Radios: A Possible Solution to Reduce Entry Costs in Wireless Phones." *Proceedings of the IEEE* 103 (3): 438–51.

[Ratzlaff-91]

Ratzlaff, Curtis L., Nanda Gopal, and Lawrence T. Pillage. 1991. "RICE: Rapid Interconnect Circuit Evaluator." In *Proceedings of the 28th ACM/IEEE Design Automation Conference*, 555–560. DAC '91. New York, NY, USA: ACM.

[Raynaud-09]

C. Raynaud, S. Haendler, G. Guegan, F. Giancesello, B. Martineau, P. Touret, and N. Planes, —65nm Low Power (LP) SOI Technology on High Resistivity (HR) Substrate for WLAN and Mmwave SOCs, *ECS Trans.*, vol. 19, no. 4, pp. 257–264, May 2009.

[Rebeiz-15]

Prof. G. M. Rebeiz, *RF MEMS: From Research to Products*, IEMN, 2015

[Rempp-08]

Rempp, H., J. Burghartz, C. Harendt, N. Pricopi, M. Pritschow, C. Reuter, H. Richter, I. Schindler, and M. Zimmermann. 2008. “Ultra-Thin Chips on Foil for Flexible Electronics.” In *2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, 334–617.

[Reuss-05]

Reuss, R.H., B.R. Chalamala, A. Moussessian, Michael G. Kane, A. Kumar, D.C. Zhang, J.A. Rogers, et al. 2005. “Macroelectronics: Perspectives on Technology and Applications.” *Proceedings of the IEEE* 93 (7): 1239–56.

[Reuss-15]

Reuss, R. H., G. B. Raupp, and B. E. Gnade. 2015. “Special Issue on Advanced Flexible Electronics for Sensing Applications [Scanning the Issue].” *Proceedings of the IEEE* 103 (4): 491–96.

[Rida-09]

Rida, A., L. Yang, R. Vyas, and M. Tentzeris. 2009. “Conductive Inkjet-Printed Antennas on Flexible Low-Cost Paper-Based Substrates for RFID and WSN Applications.” *IEEE Antennas and Propagation Magazine* 51 (3): 13–23.

[Roda Neve-12]

Roda Neve, C., and J.-P. Raskin. 2012. “RF Harmonic Distortion of CPW Lines on HR-Si and Trap-Rich HR-Si Substrates.” *IEEE Transactions on Electron Devices* 59 (4): 924–32.

[Rode Neve-13]

Neve, C. R., K. Ben Alia, C. Malaquin, F. Allibert, E. Desbionnets, I. Bertrand, W. Van Den Daele, and J. P. Raskin. 2013. “RF and Linear Performance of Commercial 200 Mm Trap-Rich HR-SOI Wafers for SoC Applications.” In *2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, 15–17.

[Rubinstein-83]

Rubinstein, J., P. Penfield, and M. A. Horowitz. 1983. “Signal Delay in RC Tree Networks.” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 2 (3): 202–11.

[Sandström-12]

Sandström, Andreas, Henrik F. Dam, Frederik C. Krebs, and Ludvig Edman. 2012. “Ambient Fabrication of Flexible and Large-Area Organic Light-Emitting Devices Using Slot-Die Coating.” *Nature Communications* 3 (August): 1002.

[Scharfetter-69]

Scharfetter, D. L., and H. K. Gummel. 1969. “Large-Signal Analysis of a Silicon Read Diode Oscillator.” *IEEE Transactions on Electron Devices* 16 (1):64–77.

[Schroder-03]

Schroder, Dieter K., and Jeff A. Babcock. 2003. “Negative Bias Temperature Instability: Road to Cross in Deep Submicron Silicon Semiconductor Manufacturing.” *Journal of Applied Physics* 94 (1): 1–18.

[Sekitani-08]

Sekitani, Tsuyoshi, Yoshiaki Noguchi, Ute Zschieschang, Hagen Klauk, and Takao Someya. 2008. “Organic Transistors Manufactured Using Inkjet Technology with Subfemtoliter Accuracy.” *Proceedings of the National Academy of Sciences* 105 (13): 4976–80.

[Sele-05]

Sele, C. W., T. von Werne, R. H. Friend, and H. Sirringhaus. 2005. "Lithography-Free, Self-Aligned Inkjet Printing with Sub-Hundred-Nanometer Resolution." *Advanced Materials* 17 (8): 997–1001.

[Seo-02]

Seo, S. W., D. L. Geddis, N. M. Jokerst, and M. A. Brooke. 2002. "Stacked Thin Film InGaAs and GaAs Photodetectors for Fully Registered Wavelength Discrimination." In *The 15th Annual Meeting of the IEEE Lasers and Electro-Optics Society, 2002. LEOS 2002*, 2:841–42 vol.2.

[Seo-13]

Seo, J. H., H. Zhou, D. M. Paskiewicz, M. G. Lagally, W. Zhou, and Z. Ma. 2013. "15-GHz Flexible Microwave Thin-Film Transistors on Plastic." In *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*, 1–4

[Sha-11]

Sha, Chu-Hsuan, and C.C. Lee. 2011. "Low-Temperature Bonding to 304 Stainless Steel for High-Temperature Electronic Packaging." *IEEE Transactions on Components, Packaging and Manufacturing Technology* 1 (4): 479–85.

[Shahrjerdi-13]

Shahrjerdi, Davood, and Stephen W. Bedell. 2013. "Extremely Flexible Nanoscale Ultrathin Body Silicon Integrated Circuits on Plastic." *Nano Letters* 13 (1): 315–20.

[Sharifi-03]

Sharifi, H., J. May, K. Shinohara, M. Montes, C. McGuire, and H. Kazemi. 2013. "First Demonstration of W-Band Millimeter-Wave Flexible Electronics." In *Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International*, 1–4.

[Shi-11]

Shi, J., N. Wichmann, Y. Roelens, and S. Bollaert. 2011. "Microwave Performance of 100 nm-Gate In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As High Electron Mobility Transistors on Plastic Flexible Substrate." *Applied Physics Letters* 99 (20): 203505-203505–3.

[Shin-99]

Shin, Hyungcheol, M. Racanelli, W. M. Huang, J. Foerstner, Taekeun Hwang, and D. K. Schroder. 1999. "Measurement of Carrier Generation Lifetime in SOI Devices." *Solid-State Electronics* 43 (2): 349–353.

[Shin-11]

Shin, Gunchul, Min Young Bae, Hyun Jin Lee, Sahng Ki Hong, Chang Hoon Yoon, Goangseup Zi, John A. Rogers, and Jeong Sook Ha. 2011. "SnO₂ Nanowire Logic Devices on Deformable Nonplanar Substrates." *ACS Nano* 5 (12): 10009–16.

[SIA-16]

https://www.semiconductors.org/news/2016/02/01/global_sales_report_2015/global_semiconductor_sales_to_p_335_billion_in_2015//

[Simonen-01]

P. Simonen, A. Heinonen, M. Kuulusa, and J. Nurmi, —Comparison of bulk and SOI CMOS technologies in a DSP processor circuit implementation, in *The 13th International Conference on Microelectronics, 2001. ICM 2001 Proceedings*, 2001, pp. 107 – 110.

[Simons-01]

R.N. Simons, 'Coplanar Waveguide, Circuits, Components and Systems', Wiley-Interscience, 2001.

[Silvaco-14]

http://ridl.cfd.rit.edu/products/manuals/Silvaco/atlas_users.pdf

[Singh-10]

Singh, Madhusudan, Hanna M. Haverinen, Parul Dhagat, and Ghassan E. Jabbour. 2010. "Inkjet Printing—Process and Its Applications." *Advanced Materials* 22 (6): 673–85.

[Siringhaus-00]

Siringhaus, H., T. Kawase, R. H. Friend, T. Shimoda, M. Inbasekaran, W. Wu, and E. P. Woo. 2000. "High-Resolution Inkjet Printing of All-Polymer Transistor Circuits." *Science* 290 (5499): 2123–26.

[Soitec-13]

https://www.soitec.com/media/documents/3/file/soitec_rf-soi_substrates_wp.pdf

[Steigerwald-08]

Steigerwald, Joseph M., Shyam P. Murarka, and Ronald J. Gutmann. 2008. *Chemical Mechanical Planarization of Microelectronic Materials*. John Wiley & Sons.

[Steirer-09]

Steirer, K. Xerxes, Joseph J. Berry, Matthew O. Reese, Maikel F. A. M. van Hest, Alex Miedaner, Matthew W. Liberatore, R. T. Collins, and David S. Ginley. 2009. "Ultrasonically Sprayed and Inkjet Printed Thin Film Electrodes for Organic Solar Cells." *Thin Solid Films* 517 (8): 2781–86.

[Straessle-13]

Straessle, R., Y. P?tremand, D. Briand, M. Dadras, and N. F. de Rooij. 2013. "Low-Temperature Thin-Film Indium Bonding for Reliable Wafer-Level Hermetic MEMS Packaging." *Journal of Micromechanics and Microengineering* 23 (7): 075007.

[Suganuma-14]

Suganuma, Katsuaki. 2014. *Introduction to Printed Electronics*. Springer Science & Business Media.

[Sun-05]

Sun, Yugang, Seiyon Kim, Ilesanmi Adesida, and John A. Rogers. 2005. "Bendable GaAs Metal-Semiconductor Field-Effect Transistors Formed with Printed GaAs Wire Arrays on Plastic Substrates." *Applied Physics Letters* 87 (8): 83501.

[Sun-06]

Sun, Yugang, Hoon-Sik Kim, Etienne Menard, Seiyon Kim, Ilesanmi Adesida, and John A. Rogers. 2006. "Printed Arrays of Aligned GaAs Wires for Flexible Transistors, Diodes, and Circuits on Plastic Substrates." *Small* 2 (11): 1330–34.

[Sun-06-2]

Sun, Yugang, Etienne Menard, John A. Rogers, Hoon-Sik Kim, Seiyon Kim, Guang Chen, Ilesanmi Adesida, Ross Dettmer, Rebecca Cortez, and Alan Tewksbury. 2006. "Gigahertz Operation in Flexible Transistors on Plastic Substrates." *Applied Physics Letters* 88 (18): 183509.

[Sun-10]

Sun, Lei, Guoxuan Qin, Jung-Hun Seo, George K Celler, Weidong Zhou, and Zhenqiang Ma. 2010. "12-GHz Thin-Film Transistors on Transferrable Silicon Nanomembranes for High-Performance Flexible Electronics." *Small (Weinheim an Der Bergstrasse, Germany)* 6 (22): 2553–57.

[Sun-11]

Sun, Dong-ming, Marina Y. Timmermans, Ying Tian, Albert G. Nasibulin, Esko I. Kauppinen, Shigeru Kishimoto, Takashi Mizutani, and Yutaka Ohno. 2011. "Flexible High-Performance Carbon Nanotube Integrated Circuits." *Nature Nanotechnology* 6 (3): 156–61.

[Sze-81]

Sze, S. M. *Physics of Semiconductor Devices 2nd Edition*, J. Wiley & Sons, 1981

[Tagro-10]

Y. Tagro, *Mise au point d'une methodologie de caracterisation des 4 parametres de bruit HF des Technologies CMOS et HBT avancees dans la bande 60-110 ghz : References 159 « developpement de systeme a impendance variable In-Situ »*. Université des Sciences et Technologies de Lille, 2010.

[Taine-14]

J. Taine, F. Enguehard, E. Iacona, *Transferts thermiques. Introduction aux transferts d'énergie*, éd. Dunod, 2014.

[Tekin-06]

Tekin, Emine, Harald Wijlaars, Elisabeth Holder, Daniel A. M. Egbe, and Ulrich S. Schubert. 2006. "Film Thickness Dependency of the Emission Colors of PPE-PPVs in Inkjet Printed Libraries." *J. Mater. Chem.* 16 (44): 4294–98.

[Tekin-07]

Tekin, E., P. J. Smith, S. Hoepfner, A. M. J. van den Berg, A. S. Susha, A. L. Rogach, J. Feldmann, and U. S. Schubert. 2007. "Inkjet Printing of Luminescent CdTe Nanocrystal-Polymer Composites." *Advanced Functional Materials* 17 (1): 23–28.

[Tenbroek-98]

Tenbroek, B. M., M. S. L. Lee, W. Redman-White, R. J. T. Bunyan, and M. J. Uren. 1998. "Impact of Self-Heating and Thermal Coupling on Analog Circuits in SOI CMOS." *IEEE Journal of Solid-State Circuits* 33 (7): 1037–46.

[Tobjörk-11]

Tobjörk, Daniel, and Ronald Österbacka. 2011. "Paper Electronics." *Advanced Materials* 23 (17): 1935–61.

[Tok-12]

Tok, Jeffrey B.-H., and Zhenan Bao. 2012. "Recent Advances in Flexible and Stretchable Electronics, Sensors and Power Sources." *Science China Chemistry* 55 (5): 718–25.

[Tombak-12]

<http://www.rfmd.com/sites/default/files/resources/migration/presentations/CommATombakIMS12.pdf>

[Troccoli-06]

Troccoli, Matias N., Abbas Jamshidi Roudbari, Ta-Ko Chuang, and Miltiadis K. Hatalis. 2006. "Polysilicon TFT Circuits on Flexible Stainless Steel Foils." *Solid-State Electronics*, Special Issue: ISDRS 2005, 50 (6): 1080–87.

[Vaillancourt-08]

Vaillancourt, Jarrod, Haiyan Zhang, Puminun Vasinajindakaw, Haitao Xia, Xuejun Lu, Xuliang Han, Daniel C. Janzen, et al. 2008. "All Ink-Jet-Printed Carbon Nanotube Thin-Film Transistor on a Polyimide Substrate with an Ultrahigh Operating Frequency of over 5 GHz." *Applied Physics Letters* 93 (24): 243301.

[van den Berg-07]

van den Berg, Antje M. J., Patrick J. Smith, Jolke Perelaer, Wolfgang Schrof, Sebastian Koltzenburg, and Ulrich S. Schubert. 2007. "Inkjet Printing of Polyurethane Colloidal Suspensions." *Soft Matter* 3 (2): 238–43.

[Vasilev-13]

Vasilev, Boris, Sascha Bott, Roland Rzehak, and Johann W. Bartha. 2013. "Pad Roughness Evolution during Break-in and Its Abrasion due to the Pad-Wafer Contact in Oxide CMP." *Microelectronic Engineering* 111 (November): 21–28.

[Villegas-07]

M. Villegas et coll., *Radio-communications numériques : Conception de circuits intégrés RF et micro-ondes*, tome 2, col. L'Usine Nouvelle, éd. Dunod, 2007

[Voigt-10]

Voigt, Monika M., Alexander Guite, Dae-Young Chung, Rizwan U. A. Khan, Alasdair J. Campbell, Donal D. C. Bradley, Fanshun Meng, et al. 2010. "Polymer Field-Effect Transistors Fabricated by the Sequential Gravure Printing of Polythiophene, Two Insulator Layers, and a Metal Ink Gate." *Advanced Functional Materials* 20 (2): 239–46.

[Voit-03]

Voit, W., W. Zapka, L. Belova, and K. V. Rao. 2003. "Application of Inkjet Technology for the Deposition of Magnetic Nanoparticles to Form Micron-Scale Structures." *IEE Proceedings - Science, Measurement and Technology* 150 (5): 252–56.

[Vulto-04]

Vulto, P., N. Glade, L. Altomare, J. Bablet, L. Del Tin, G. Medoro, I. Chartier, N. Manaresi, M. Tartagni, and R. Guerrieri. "Microfluidic Channel Fabrication in Dry Film Resist for Production and Prototyping of Hybrid Chips." *Lab on a Chip* 5, no. 2 (2005): 158.

[Vulto-08]

Vulto, Paul. 2008. *A Lab-on-a-Chip for Automated RNA Extraction from Bacteria*. Freiburg, Br: IMTEK, Univ. Freiburg.

[Vyas-09]

Vyas, R., V. Lakafosis, A. Rida, N. Chaisilwattana, S. Travis, J. Pan, and M. M. Tentzeris. 2009. "Paper-Based RFID-Enabled Wireless Platforms for Sensing Applications." *IEEE Transactions on Microwave Theory and Techniques* 57 (5): 1370–82.

[Vyas-11]

Vyas, R., V. Lakafosis, H. Lee, G. Shaker, L. Yang, G. Orecchini, A. Traille, M. M. Tentzeris, and L. Roselli. 2011. "Inkjet Printed, Self Powered, Wireless Sensors for Environmental, Gas, and Authentication-Based Sensing." *IEEE Sensors Journal* 11 (12): 3139–52.

[Waldhoff-09-1]

N. Waldhoff, *Caractérisations et modélisations des technologies CMOS et BiCMOS de dernières générations jusque 220 GHz*. Université des Sciences et Technologies de Lille, 2009.

[Waldhoff-09-2]

N. Waldhoff, C. Andrei, D. Gloria, S. Lepilliet, F. Danneville, and G. Dambrine, —Improved characterization methodology for MOSFETs up to 220 GHz,|| *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 5, pp. 1237–1243, 2009.

[Walkey-02]

Walkey, D.J., T.J. Smy, R.G. Dickson, J.S. Brodsky, D.T. Zweidinger, and R.M. Fox. 2002. "Equivalent Circuit Modeling of Static Substrate Thermal Coupling Using VCVS Representation." *IEEE Journal of Solid-State Circuits* 37 (9): 1198–1206.

[Wang-08]

Wang, Yongguang, Yongwu Zhao, and Xufang Li. 2008. "Modeling the Effects of Abrasive Size, Surface Oxidizer Concentration and Binding Energy on Chemical Mechanical Polishing at Molecular Scale." *Tribology International* 41 (3): 202–10.

[Wang-12]

Wang, Chuan, Jun-Chau Chien, Hui Fang, Kuniharu Takei, Junghyo Nah, E. Plis, Sanjay Krishna, Ali M. Niknejad, and Ali Javey. 2012. "Self-Aligned, Extremely High Frequency III–V Metal-Oxide-Semiconductor Field-Effect Transistors on Rigid and Flexible Substrates." *Nano Letters* 12 (8): 4140–45.

[Washington-15]

<https://www.ee.washington.edu/research/microtech/cam/PROCESSES/PDF%20FILES/WetEtching.pdf>

[Wei-14]

Wei, W., G. Deokar, M. Belhaj, D. Mele, E. Pallecchi, E. Pichonat, D. Vignaud, and H. Happy. 2014. "Fabrication and Characterization of CVD-Grown Graphene Based Field-Effect Transistor." In *Microwave Conference (EuMC), 2014 44th European*, 367–70.

[Wijnen-87]

P. J. van Wijnen, H. R. Claessen, and E. A. Wolsheimer, —A new straightforward calibration and correction procedure for _on-wafer_ high frequency S-parameter measurements (45 MHz–18 GHz),|| 1987, pp. 70–73.

[Willmann-14]

Willmann, Jürgen, Daniel Stocker, and Edgar Dörsam. 2014. "Characteristics and Evaluation Criteria of Substrate-Based Manufacturing. Is Roll-to-Roll the Best Solution for Printed Electronics?" *Organic Electronics* 15 (7): 1631–40.

[Wyatt-89]

J. L. Wyatt, *Circuit Analysis, Simulation and Design, Chapter on Signal Propagation Delay in RC Models of Interconnect*. New York: Elsevier, 1987.

[Xie-12]

Xie, L., G. Yang, M. Mantysalo, L. L. Xu, F. Jonsson, and L. R. Zheng. 2012. "Heterogeneous Integration of Bio-Sensing System-on-Chip and Printed Electronics." *IEEE Journal on Emerging and Selected Topics in Circuits and Systems* 2 (4): 672–82.

[Yang-07]

Yang, L., A. Rida, R. Vyas, and M. M. Tentzeris. 2007. "RFID Tag and RF Structures on a Paper Substrate Using Inkjet-Printing Technology." *IEEE Transactions on Microwave Theory and Techniques* 55 (12): 2894–2901.

[Youn-08]

Youn, Sung-Won, Akihisa Ueno, Masaharu Takahashi, and Ryutaro Maeda. 2008. "Microstructuring of SU-8 Photoresist by UV-Assisted Thermal Imprinting with Non-Transparent Mold." *Microelectronic Engineering* 85 (9): 1924–31.

[Yuan-06]

Yuan, Hao-Chih, Zhenqiang Ma, Michelle M. Roberts, Donald E. Savage, and Max G. Lagally. 2006. "High-Speed Strained-Single-Crystal-Silicon Thin-Film Transistors on Flexible Polymers." *Journal of Applied Physics* 100 (1): 13708.

[Yuan-06]

Yuan, Hao-Chih, and Zhenqiang Ma. 2006. "Microwave Thin-Film Transistors Using Si Nanomembranes on Flexible Polymer Substrate." *Applied Physics Letters* 89 (21): 212105.

[Yuan-07]

Yuan, Hao-Chih, George K. Celler, and Zhenqiang Ma. 2007. "7.8-GHz Flexible Thin-Film Transistors on a Low-Temperature Plastic Substrate." *Journal of Applied Physics* 102 (3): 34501.

[Yuan-14]

Yuan, Yongbo, Gaurav Giri, Alexander L. Ayzner, Arjan P. Zoombelt, Stefan C. B. Mannsfeld, Jihua Chen, Dennis Nordlund, Michael F. Toney, Jinsong Huang, and Zhenan Bao. 2014. "Ultra-High Mobility Transparent Organic Thin Film Transistors Grown by an off-Centre Spin-Coating Method." *Nature Communications* 5 (January).

[Zhai-12]

Zhai, Yujia, Leo Mathew, Rajesh Rao, Dewei Xu, and Sanjay K. Banerjee. 2012. "High-Performance Flexible Thin-Film Transistors Exfoliated from Bulk Wafer." *Nano Letters* 12 (11): 5609–15.

[Zhang-12]

Zhang, Kan, Jung-Hun Seo, Weidong Zhou, and Zhenqiang Ma. 2012. "Fast Flexible Electronics Using Transferrable Silicon Nanomembranes." *Journal of Physics D: Applied Physics* 45 (14): 143001.

[Zhao-07]

Zhao, Ni, Marco Chiesa, Henning Sirringhaus, Yuning Li, Yiliang Wu, and Beng Ong. 2007. "Self-Aligned Inkjet Printing of Highly Conducting Gold Electrodes with Submicron Resolution." *Journal of Applied Physics* 101 (6): 064513.

[Zhu-05]

Zhu, Z.-T., E. Menard, K. Hurley, R. G. Nuzzo, and J. A. Rogers. 2005. "Spin on Dopants for High-Performance Single-Crystal Silicon Transistors on Flexible Plastic Substrates." *Applied Physics Letters* 86 (13): 133507.

Liste des publications

Conférences internationales :

- *Application-Oriented Performance of RF CMOS Technologies on Flexible Substrates*, J. Philippe et al., International Electron Device Meeting (IEDM), 2015
- *Characterization of Flexible CMOS Technology Transferred onto a Metallic Foil*, J. Philippe et al., 2015 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon
- *Improved performance of flexible CMOS technology using ultimate thinning and transfer bonding*, E. Dubois et al., Proceedings of 6th Electronics System-integration Technology Conference, ESTC 2016
- *High performance CMOS with enhanced property of mechanical flexibility*, E. Dubois et al., CMOS Emerging Technologies Research Symposium, 2014

Conférences nationales :

- *Intégration hétérogène de systèmes communicants CMOS-SOI en gamme millimétrique*, J. Philippe et al., Journées Nationales du Réseau Doctoral en Micro-nanoélectronique (JNRDM), 2014
- *Electronique flexible haute performance en gamme millimétrique*, J. Philippe et al., Journées de la Section Electronique du Club EEA - Electronique souple, Villeneuve d'Ascq, France, 20-21 octobre, 2014
- *Intégration hétérogène de systèmes communicants CMOS-SOI en gamme millimétrique*, J. Philippe et al., Doctoriales Lille Nord de France 2014, Marcq-en-Baroeul, France, 6-11 avril, 2014

Ouvrages scientifiques (ou chapitres) :

- *Invariance of DC and RF characteristics of mechanically flexible CMOS technology on plastic*, A.Lecavelier Des Etangs-Levallois et al., in Functional nanomaterials and devices for electronics, sensors and energy harvesting, Nazarov A., Balestra F., Kilchytska V., Flandre D. (Eds), Springer International Publishing (2014)

Articles :

- *Laser Ablated Horseshoe Like Meander-Shaped Coplanar Transducer for High-Strain-Range Remote Sensing*, S. Bouaziz et al., Transactions on Microwave Theory and Techniques, 2017 (soumis)

Intégration hétérogène de technologies CMOS-SOI sur substrat souple

Le développement de nombreuses applications nomades, souples, déformables et sur de larges surfaces nécessite la réalisation de circuits mécaniquement flexibles, intégrant des capacités d'interaction avec l'environnement, de communication et de traitement du signal. Une part importante de ces applications proviennent actuellement de l'industrie de l'électronique organique, mais l'apparition de nouvelles méthodes de fabrication a permis la réalisation de dispositifs à la fois souples mécaniquement et électriquement performants. En outre, les techniques de report sur substrat souple présentent de nombreux avantages (flexibilité mécanique, conservation des propriétés originelles, intégration hétérogène possible).

Lors de ces travaux, une procédure d'amincissement puis de transfert sur film souple (métal, verre) des composants CMOS initialement réalisés sur des tranches SOI (silicium sur isolant) a été développée. Cette solution permet la réalisation de transistors MOS flexibles et performants possédant des fréquences caractéristiques f_T/f_{max} de 165/188 GHz. De plus, l'utilisation d'autres matériaux que le plastique permet de modifier les propriétés originelles d'un dispositif en termes de dissipations thermiques ou de distorsions harmoniques par exemple, afin d'en améliorer les performances. La réalisation de composants souples, performants et stables a donc été démontrée.

Mots-clés : électronique flexible, SOI, CMOS, MOSFET, CPW, dissipations thermiques, plan neutre

Heterogeneous Integration of CMOS-SOI Technologies on Flexible Substrate

The ability to realize flexible circuits integrating sensing, signal processing, and communicating capabilities is of central importance for the development of numerous nomadic applications requiring foldable, stretchable and large area electronics. A large number of these applications currently rely on organic electronics, but new fabrication methods permitted to realize flexible mechanically and electrically efficient devices. Besides the transfert on flexible substrates offers many advantages (mechanical flexibility, preservation of original properties, possible heterogeneous integration).

In this work, a solution has been developed, based on thinning and transfert onto flexible substrate (metal, glass) of high frequency (HF) CMOS devices initially patterned on conventional silicon-on-insulator (SOI) wafers. This transfer process first enables the fabrication of high performance electronics on metal, with n-MOSFETs featuring characteristic frequencies f_T/f_{max} as high as 165/188 GHz. Secondly, the use of materials other than plastic permit to modify the original properties of a device in terms of thermal dissipation or harmonic distorsions for example, demonstrating flexibility, high performance and stability.

Keywords : flexible electronics, SOI, CMOS, MOSFET, CPW, tharmal dissipations, neutral plane