

N° d'ordre : 42401

UNIVERSITÉ DES SCIENCES ET TECHNOLOGIES DE LILLE
École doctorale : Science pour l'ingénieur
Spécialité : Électronique, microélectronique, nanotechnologie et microondes

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de Génie Électrique et de Génie Informatique
Spécialité : génie électrique

Thèse de doctorat en cotutelle
Mohamed RIDAOUI

FABRICATION ET CARACTÉRISATION DE MOSFET III-V À FAIBLE
BANDE INTERDITE ET CANAL ULTRA MINCE

Thèse présentée et soutenue le 30 juin 2017 devant la commission d'examen

Membres du Jury :

M. Arnaud Bournel	Professeur, Université Paris-sud	Président-Rapporteur
M. Guilhem Larrieu	Chargé de recherches, CNRS-LAAS	Rapporteur
M. Ali Soltani	Maître de conférences, Université Lille 1	Membre
Mme. Frédérique Ducroquet	Chargée de recherches, CNRS- IMEP-LAHC	Membre
M. Nicolas Wichmann	Maître de conférences, Université de Lille 1	Invité
M. Sylvain Bollaert	Professeur, Université de Lille 1	Directeur de thèse
M. Hassan Maher	Professeur, Université de Sherbrooke	Directeur de thèse

Résumé

Les dispositifs à base de silicium dominent l'industrie des semi-conducteurs en raison du faible coût de ce matériau, de sa disponibilité et de la maturité de sa technologie. Cependant, ce dernier présente des limitations physiques notamment en termes de mobilité et de vitesse de saturation des porteurs, qui limitent son utilisation dans le domaine de l'hyperfréquence et freinent la réduction des tensions d'alimentations et donc de la consommation des circuits CMOS. Cela ouvre la voie à d'autres matériaux semi-conducteurs comme InGaAs et InAs plus rapides, qui possèdent une bonne mobilité électronique en volume (de 5000 à 40.000 cm²/V.s) ainsi qu'une forte vitesse de saturation des électrons. Nous avons fabriqué des MOSFETs ultra-thin body (UTB) à canal InAs/InGaAs avec une longueur de grille de 150 nm. Les performances fréquentielles et le courant I_{ON} des MOSFET se révèlent être comparables aux MOSFETs existants de l'état de l'art. Dans cette étude, les MOSFETs UTB ont été fabriqués avec une technologie auto-alignée. Le canal conducteur est constitué d'InGaAs à 75% de taux d'indium ou d'un composite InAs/In_{0,53}Ga_{0,47}As. Une fine couche d'InP (3 nm) a été insérée entre le canal et l'oxyde, afin d'éloigner les défauts de l'interface oxyde-semiconducteur du canal. Enfin, une épaisseur de 4 nm d'oxyde de grille (Al₂O₃) a été déposée par la technique de dépôt des couches atomiques (ALD). Les contacts ohmiques impactent les performances des MOSFETs. La technologie ultra-thin body permet difficilement d'obtenir des contacts S/D de faibles résistances. De plus, l'utilisation de la technique d'implantation ionique pour les architectures UTB est incompatible avec le faible budget thermique des matériaux III-V et ne permet pas d'obtenir des contacts ohmiques de bonne qualité. Par conséquent, nous avons développé une technologie auto-alignée, basée sur la diffusion du Nickel « silicide-like » par capillarité à basse température de recuit (250°C) pour la définition des contacts de source et de drain. Finalement, nous avons étudié et analysé la résistance de l'alliage entre le Nickel et les III-V (R_{sheet}). A partir de cette technologie, des MOSFET In_{0,75}Ga_{0,25}As et InAs/In_{0,53}Ga_{0,47}As ont été fabriqués. On constate peu de différences sur les performances électriques de ces deux composants. Pour le MOSFET InAs/InGaAs ayant une longueur de grille $L_G=150$ nm, un courant maximal de drain $I_D=730$ mA/mm, et une transconductance extrinsèque maximale $G_{M, MAX}=500$ mS/mm ont été obtenus. Le dispositif fabriqué présente une fréquence de coupure f_T égale à 100 GHz, et une fréquence d'oscillation maximale f_{max} de 60 GHz, pour la tension drain-source (V_{DS}) de 0,7 V.

MOTS-CLÉS : Matériaux III-V (petit gap); MOSFETs; Ultra-thin body (UTB); Al₂O₃; Ni/III-V ; Hyperfréquence.

Abstract

Silicon-based devices dominate the semiconductor industry because of the low cost of this material, its technology availability and maturity. However, silicon has physical limitations, in terms of mobility and saturation velocity of the carriers, which limit its use in the high frequency applications and low supply voltage i.e. power consumption, in CMOS technology. Therefore, III-V materials like InGaAs and InAs are good candidates because of the excellent electron mobility of bulk materials (from 5000 to 40.000 cm²/V.s) and the high electron saturation velocity. We have fabricated ultra-thin body (UTB) InAs/InGaAs MOSFET with gate length of 150 nm. The frequency response and ON-current of the presented MOSFETs is measured and found to have comparable performances to the existing state of the art MOSFETs as reported by the other research groups. The UTB MOSFETs were fabricated by self-aligned method. Two thin body conduction channels were explored, In_{0,75}Ga_{0,25}As and a composite InAs/In_{0,53}Ga_{0,47}As. A thin upper barrier layer consisting of InP (3nm) is inserted between the channel and the oxide layers to realized a buried channel. Finally, the Al₂O₃ (4 nm) was deposited by the atomic layer deposition (ALD) technique. It is well known that the source and drain (S/D) contact resistances of InAs MOSFETs influence the devices performances. Therefore, in our ultra-thin body (UTB) InAs MOSFETs design, we have engineered the contacts to achieve good ohmic contact resistances. Indeed, for this UTB architecture the use of ion implantation technique is incompatible with a low thermal budget and cannot allow to obtain low resistive contacts. To overcome this limitation, an adapted technological approach to define ohmic contacts is presented. To that end, we chose low thermal budget (250°C) silicide-like technology based on Nickel metal. Finally, we have studied and analyzed the resistance of the alloy between Nickel and III-V (R_{sheet}). MOSFET with two different epilayer structures (In_{0,75}Ga_{0,25}As and a composite InAs/In_{0,53}Ga_{0,47}As) were fabricated with a gate length (L_G) of 150 nm. There were few difference of electrical performance of these two devices. We obtained a maximum drain current (I_{ON}) of 730 mA/mm, and the extrinsic transconductance ($G_{M, MAX}$) showed a peak value of 500 mS/mm. The devices exhibited a current gain cutoff frequency f_T of 100 GHz and maximum oscillation frequency f_{max} of 60 GHz for drain to source voltage (V_{DS}) of 0.7 V.

KEYWORDS: III-V Material; MOSFETS; Ultra-thin body (UTB); Al₂O₃; Ni/III-V; high frequency.

Remerciements

Cette thèse a vu le jour grâce à l'efficace collaboration entre le Laboratoire de Nanofabrication et de Nanocaractérisation (LNN) de la Faculté de Génie, Université de Sherbrooke-Canada et l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN) de l'université de Lille 1, France.

Je souhaite exprimer ma profonde gratitude aux professeurs A. Bournel, G. Larrieu, A. Soltani, et F. Ducroquet qui m'ont fait l'honneur d'assister et de juger mes travaux de thèse de doctorat.

Mes remerciements les plus chaleureux vont ensuite aux maîtres qui m'ont encadré tout le long de mes années d'étude, les professeurs S. Bollaert, H. Maher, A. Jaouad et N. Wichmann. À travers de longues explications ils m'ont transmis leur connaissance et m'ont donné une compréhension très approfondie des nombreux aspects du sujet que je développe dans ce travail. En m'accordant une grande marge de liberté dans la conduite de mes recherches, ils m'ont aussi exprimé leur confiance et j'espère en être digne présentement. J'ai un profond respect et une sincère reconnaissance pour vous tous. Vous avez dirigé mon mémoire avec un intérêt constant. Je tiens à vous témoigner encore une fois dans ces lignes, ma gratitude pour m'avoir accompagné de vos précieux conseils. Vous avez contribué à mon travail en mettant tous les moyens nécessaires à ma disposition.

Je ne voudrais oublier personne parmi mes collègues de laboratoire mais je dois remercier personnellement Matej Pastorek (IEMN) et Ahmed Chakroun (LNN) pour leur accueil bienveillant, pour toutes les discussions animées autour de la technologie MOSFET et pour les conseils qu'ils m'ont prodigués. Je n'oublie pas leur aide inestimable en fin de parcours !

Je clos cette page de remerciements en dédiant ma thèse de doctorat à lilo, ma famille élargie et mes amis proches. Ils m'ont souvent épaulé, ils sont présents aujourd'hui, je serai à leur côté demain.

À vous tous, merci.

Table des matières

Liste des figures	9
Liste des tableaux.....	15
Liste des symboles.....	16
Introduction générale.....	17
Organisation du document	22

Chapitre I : Généralités, challenges et état de l'art des MOSFETs à base des matériaux III-V

I.1 Généralités sur le transistor MOSFET	25
I.1.1 Description schématique d'un MOSFET et principes de fonctionnement	25
I.1.2 Paramètres électriques d'un MOSFET	26
I.2 Challenges du MOSFET à base des matériaux III-V	30
I.2.1 Croissance des hétérostructures III-V sur le substrat silicium	31
I.2.2 Canal du transistor MOSFET/III-V	32
I.2.3 Passivation de la surface des III-V	32
I.2.3.1 Préparation de la surface	32
I.2.3.2 Techniques de dépôt du diélectrique	33
I.2.3.3 Choix du diélectrique	33
I.2.4 Résistances d'accès R_S et R_D	34
I.3 État de l'art des MOSFETs à base des III-V	36
I.3.1 Densité d'états d'interface D_{it}	37
I.3.2 Comportements sous le seuil SS et abaissement de la barrière $DIBL$	40
I.3.3 Courant de drain maximal, mobilité effective et transconductance	40
I.3.4 Fréquences de coupure de gains en courant et en puissance	41
I.3.5 Résistances des contacts ohmiques (Source/Drain).....	42
I.4 Objectifs de la thèse	44
Bibliographie.....	46

Chapitre II : Étude et développement des briques technologiques pour les composants MOSFETs/III-V

II.1	Introduction	57
II.2	Étude et optimisation de la passivation des composants MOS	57
II.2.1	Généralités sur les structures MOS	58
II.2.1.1	Structure MOS idéale	58
II.2.2.2	Structure MOS réelle.....	58
II.2.2	Techniques de caractérisation électrique des interfaces MOS.....	60
II.2.2.1	Méthode C-V haute fréquence (Terman)	60
II.2.2.2	Méthode C(V) Haute fréquence-Basse fréquence (HF-LF).....	61
II.2.2.3	Méthode de la conductance	62
II.2.3	Fabrication et caractérisation des capacités MOS/MIS sur InP	64
II.2.3.1	Fabrication et caractérisation des Capacités MOS par dépôt ALD de l'oxyde d'alumine	66
II.2.3.1.1	Étapes technologiques.....	66
II.2.3.1.2	Caractérisations électriques des structure MOS fabriquées par ALD	68
II.2.3.2	Fabrication de Capacités MIS par dépôt PECVD du nitrure de silicium.....	69
II.2.3.2.1	Étapes technologiques.....	69
II.2.3.2.2	Caractérisations électriques	71
II.3	Étude de l'alliage métal/III-V pour la formation des contacts ohmiques.....	75
II.3.1	Choix du métal.....	75
II.3.2	Techniques de mesures de la résistivité	76
II.3.2.1	Mesures deux pointes	76
II.3.2.2	Mesures quatre pointes, modèle TLM.....	76
II.3.2.3	Méthode d'effet Hall	77
II.3.3	Réalisation et caractérisation de l'alliage Ni/III-V	78
II.3.3.1	Briques technologiques	79
II.3.3.2	Caractérisations de l'alliage Ni/III-V en fonction de la température du recuit... 81	
II.3.3.2.1	Mesures de la résistance carrée Ni-epilayer.....	81
II.3.3.2.2	Caractéristiques électriques I-V	82
II.4	Conclusion.....	87

Chapitre III : Réalisation et caractérisations statique et hyperfréquence des dispositifs MOSFETs

III.1 Introduction	92
III.2 Le transistor MOSFET à canal composite InAs/InGaAs	92
III.2.1 Partie I : Procédé de fabrication technologique « Gate First »	93
III.2.1.1 Structure epitaxiale	93
III.2.1.2 Procédé de fabrication technologique	94
III.2.1.2.1 Passivation de la surface et dépôt de l'oxyde	95
III.2.1.2.2 Définition de la grille	96
III.2.1.2.3 Gravure de l'oxyde	97
III.2.1.2.4 Définition des espaceurs	97
III.2.1.2.5 Définition des contacts source et drain	98
III.2.1.2.6 Définition des plots d'épaissements et isolation MESA	100
III.2.1.3 Caractérisations électriques	101
III.2.1.3.1 Caractérisation en régime statique	101
III.2.1.3.2 Caractérisation en régime dynamique	106
III.2.1.3.3 Schéma équivalent petit-signal	107
III.2.2 Partie II : Procédé de fabrication technologique « Gate Last »	109
III.2.3 Caractérisations électriques	111
III.3 Le transistor MOSFET à canal InGaAs « Gate First »	116
III.3.1 Structure épitaxiale	117
III.3.2 Procédé de fabrication technologique	117
III.3.3 Caractérisations électriques	119
III.3.3.1 Caractérisation en régime statique	119
III.3.3.2 Caractérisation en régime dynamique	122
III.3.3.3 Schéma équivalent petit-signal	124
III.4 Conclusion	129
Conclusion générale et perspectives	132
Contributions liées à cette thèse	136
Annexes	138

Liste des figures

Liste des figures

Figure 1- Évolution des densités de puissance d'un MOSFET en fonction de L_g .

Figure 2- (a) Comparaison entre les vitesses d'injection des III-V et du silicium contraint en fonction de L_g . (b) Caractéristique $\text{Log}(ID) = f(VGS)$ pour le MOSFET/III-V et le MOSFET/Si.

Figure 3- Illustrations des principaux défis technologiques du MOSFET III-V.

Figure I.1- Structure d'un transistor MOSFET.

Figure I.2- Différents modes de fonctionnement d'une capacité MOS dans un matériau de type n.

Figure I.3- Diagrammes de bandes représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué : (a) le régime d'accumulation. (b) le régime de bandes plates. (c) le régime de désertion. (d) le régime d'inversion faible et (e) le régime d'inversion forte.

Figure I.4-(a) Illustration des résistances participant à la résistance d'accès du MOSFET, **(b)** l'évolution de la résistance en fonction de la longueur de la grille d'après.

Figure I.5- Scaling pour les transistors MOSFETs III-V. **(a)** la longueur de grille et **(b)** le courant I_{ON} en fonction des années (**MG** : technologie multi-gate, **Bulk** : technologie bulk).

Figure I.6- Architectures des FET rapportés dans IEDM pour les huit dernières années.

Figure I.7- Extrait de l'état de l'art du SS et DIBL des transistors FETs.

Figure I.8- Extrait de l'état de l'art de la mobilité **(a)**, le courant de drain maximal **(b)** et la transconductance **(c)** des transistors FETs.

Figure I.9- Extrait de l'état de l'art du F_T et F_{max} des transistors FETs-In(Ga)As.

Figure I.10- Analyse comparative de la résistivité de contact pour les différents métaux proposés pour les MOSFETs à canal InGaAs de type n.

Figure I.11- Illustration des résistivités de contact (ρ_c) et de la résistivité du film métallique (ρ_m) pour les différentes technologies proposées pour les MOSFETs à canal d'InGaAs ainsi que l'objectif fixé pour les valeurs de ρ_c et ρ_m par ITRS pour l'année 2018.

Figure II.1- Capacité MOS/MIS idéale.

Figure II.2- Capacité MOS/MIS réelle avec la description des charges présentes dans l'isolant et l'interface l'isolant et le semi-conducteur.

Figure II.3- Caractéristiques capacité-tension $C(V)$ d'une structure MOS dans le cas idéal (courbe noire), effet des charges fixes (rouge), effet des charges mobiles (magenta), effet des états de surface (bleue) et avec l'ancrage du EF (verte).

Figure II.4- Exemple de courbes $C(V)$ issues de mesures HF-LF pour une capacité MOS type p.

Liste des figures

Figure II.5- Schéma équivalent de la capacité MOS utilisé dans les mesures de conductance (a) Circuit mesuré (b) Circuit équivalent de la mesure de conductance parallèle et (c) en présence d'états de surface avec un temps de piégeage $\tau_{it}=R_{it} \cdot C_{it}$, adapté depuis.

Figure II.6 - $G_p-\omega$ en présence d'états d'interface distribués ou discrets.

Figure II.7- Cycle de dépôt de l'oxyde Al_2O_3 par l'ALD.

Figure II.8- (a) Réacteur PECVD de la marque STS et modèle MESC Multiplex utilisé au 3IT-Sherbrooke. (b) Réacteur PECVD.

Figure II.9- Étapes technologiques de fabrication d'une capacité MOS-InP.

Figure II.10- Traitement par plasma O_2 lors du dépôt d' Al_2O_3 .

Figure II.11: Spectre XPS des éléments In3d 5/2, P2p, Al2p et O1s après dépôt Al_2O_3 et traitement plasma O_2 .

Figure II.12- Réponses C-V mesurées dans la gamme de fréquence de 75Hz à 1MHz sur les échantillons CapaMOS Al_2O_3/InP traités avec du plasma O_2 pendant (a) 0s, (b) 5s, (c) 10s et (d) 15s. La surface supérieure de l'électrode de grille est de $7 \times 10^{-4} \text{ cm}^2$.

Figure II.13- Illustration des étapes technologiques de la fabrication d'une capacité MIS-InP:(a) Prétraitement de la surface (b) Dépôt du Si_xN_y (c) Définition de l'électrode de la grille et les contacts ohmiques.

Figure II.14- Réponses C(V) de capacités MIS fabriquées par PECVD sur InP avec Si_xN_y comme diélectrique de grille pour deux traitements différents (HCl et H_3PO_4).

Figure II.15- Extraction de la densité de pièges dans la bande interdite d'InP (prétraitement H_3PO_4).

Figure II.16- G_p/ω en fonction de la fréquence à de différentes tensions de polarisation.

Figure II.17- Réponses C(V) de l'empilement Si_xN_y sur InP pour les deux échantillons MIS4 et MIS5 traités respectivement par HCl/ $(NH_4)_2S$ et $H_3PO_4/(NH_4)_2S$.

Figure II.18- Extraction de la densité de pièges dans la bande interdite d'InP (prétraitement $H_3PO_4/(NH_4)_2S$).

Figure II.19- G_p/ω en fonction de la fréquence à de différentes tensions de polarisation.

Figure II.20- Caractérisation quatre pointes pour extraction des paramètres de résistivité.

Figure II.21- Droite donnant la résistance totale en fonction de l'écartement entre les plots de mesure (méthode TLM).

Liste des figures

Figure II.22- Illustration des motifs de mesure pour application de la méthode de Van der Pauw. Numérotation des contacts, et exemple de configuration des pointes, appareils de mesure et champ magnétique pour caractérisation des paramètres.

Figure II.23- Structure épitaxiale.

Figure II.24- Illustration des motifs d'HSQ de largeurs différentes. **(a)** Piliers d'HSQ (hauteur 290 nm/ largeur 50 nm). **(b)** Piliers HSQ (hauteur 290 nm/ largeur 25 nm).

Figure II.25- Illustration des étapes technologiques :**(a)** Définition de la ligne de la résine HSQ, **(b)** Dépôt de Ni (15nm ou 30nm selon l'échantillon) et mesa d'isolation (H_3PO_4), **(c)** Recuit de Ni et retrait de la résine HSQ.

Figure II.26- Images STEM après le dépôt de Ni (15nm) sur la ligne de la résine HSQ (40nm).

Figure II.27- Évolution de la résistance carrée R_{sheet} (Ω/Sq) de l'alliage Ni-epilayer, **(a)** Variation de la température du recuit avec un temps fixe à 1 min **(b)** Variation du temps de recuit avec une température fixée à 250°C.

Figure II.28- Images STEM avant **(a, b)** et après **(c, d)** le recuit du Ni pour la formation de l'alliage Ni-epilayer (350°C pendant 1 min).

Figure II.29- Caractéristiques I-V (lignes 40, 60 et 100nm), **(a)** avant le recuit thermique et **(b)** après le recuit de 350°C de Ni=30 nm.

Figure II.30- Images STEM après le recuit du Ni à 350°C pendant 1 min avec Ni = 30 nm sur la ligne de la résine HSQ **(a)** 40 nm, **(b)** 200 nm et Ni = 15 nm sur la ligne de la résine HSQ **(c)** 40 nm, **(d)** 200 nm.

Figure II.31- Images MEB en présence des microfissures après recuit du Nickel à 350°C pour **(a)** Ligne initiale (L_{init}) d'HSQ = 200 nm **(b)** Ligne initiale (L_{init}) d'HSQ = 40 nm. À 400°C pour **(c)** Ligne initiale (L_{init}) d'HSQ = 200 nm **(d)** Ligne initiale (L_{init}) d'HSQ = 200 nm. À 450°C pour **(e)** Ligne initiale (L_{init}) d'HSQ = 200 nm **(f)** Ligne initiale (L_{init}) d'HSQ = 100 nm.

Figure II.32- Illustration des étapes technologiques : **(a)** Dépôt du Si_3N_4 (60 nm), **(b)** Gravure du Si_3N_4 et dépôt du Ni (15 nm), **(c)** Recuit du Nickel.

Figure II.33- Images STEM après le recuit du Ni **(a)** à 250°C et **(b)** à 300°C pendant 1min.

Figure II.34- Évolution de la résistance Ni/III-V après le recuit du Ni = 15 nm à 250, 300, 350, 400 et 450°C pendant 1min.

Figure III.1- **(a)** Structure épitaxiale avec un canal composite. **(b)** Mesure AFM correspondante de la surface d'InP. La rugosité RMS est d'environ 0.48 nm.

Liste des figures

Figure III.2- Étapes technologiques de fabrication du MOSFET-InAs UTB auto-alignés. **(a)** Traitement de surface, dépôt de l'oxyde de grille (4 nm) et définition de la grille **(b)** Gravure de l' Al_2O_3 et de la couche active. **(c)** Définition des sidewalls. **(d)** Dépôt du Ni (15 nm) par évaporation. **(e)** RTA à 250 °C pour la formation de l'alliage Ni-Epilayer et gravure du Ni n'ayant pas réagi et **(f)** Dépôt des pads S/D.

Figure III.3- Image TEM d'une coupe transversale de l'empilement de grille.

Figure III.4- Images MEB après le développement de la résine. **(a)-(b)** Le grossissement sur le plot d'accès. **(c)** Pied de la grille de 150 nm et **(d)** Dépôt du métal de la grille.

Figure III.5- Image TEM après la définition des espaceurs latéraux (« sidewalls »).

Figure III.6- Évolution de température dans le four durant le recuit.

Figure III.7- Images TEM montrent la formation de l'alliage Ni/III-V dans les deux régions source et drain du MOSFET.

Figure III.8- Mesures EDX « Energy Dispersive X-ray Spectrometry »

Figure III.9- Image TEM illustre les plots métalliques dans les deux régions S et D du MOSFET.

Figure III.10- Images MEB des MOSFETs en fin de fabrication ($W_G = 100\mu\text{m}$ et $L_G = 150, 300$ nm).

Figure III.11- Caractéristiques I_D-V_{DS} de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour **(a)** $L_G = 150$ nm, **(b)** $L_G = 300$ nm et **(c)** $L_G = 500$ nm.

Figure III.12- Caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150$ nm, **(b)** $L_G = 300$ nm et **(c)** $L_G = 500$ nm.

Figure III.13- Caractéristiques $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150$ nm, **(b)** $L_G = 300$ nm et **(c)** $L_G = 500$ nm.

Figure III.14-(a) Décomposition de R_{totale} . **(b)** Résistance totale (R_{totale}) en fonction de la longueur de grille (L_G) pour $W_G = 100 \mu\text{m}$.

Figure III.15- **(a)** Illustration des différentes composantes de R_{totale} et $R_{S/D}$. **(b)** Extraction de R_C et $R_{\square(sheet)}$ par mesure TLM.

Figure III.16- Décomposition des différentes composantes de R_S (ou R_D).

Figure III.17- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150$ nm, **(b)** $L_G = 300$ nm et **(c)** $L_G = 500$ nm.

Figure III.18- Modèle petit-signal correspond à un transistor MOSFET : éléments extrinsèques (entouré par un trait bleu) et intrinsèques (entouré par un trait rouge).

Liste des figures

Figure III.19- Procédure d'extraction des éléments intrinsèques.

Figure III.20- Étapes technologiques de fabrication du MOSFET-InAs « Gate Last ». **(a)** Traitement de surface **(b)** Dépôt du Ni (15 nm) par évaporation **(c)** RTA à 350 °C durant 1min pour la formation de l'alliage Ni-Epilayer et gravure du Ni n'ayant pas réagi. **(d)** Dépôt d' Al_2O_3 d'une épaisseur de 4 nm. **(e)** Définition de la grille et **(f)** Gravure de l'oxyde, dépôt des pads S/D et gravure méso d'isolation.

Figure III.21- Images MEB après **(a)** le RTA du nickel **(b)** la gravure méso **(c)** Mesures EDX.

Figure III.22- Caractéristiques I_D-V_{DS} de transistor MOSFET avec $W_{SD} = 100 \mu\text{m}$, pour **(a)** $L_{SD} = 0.9 \mu\text{m}$, **(b)** $L_{SD} = 2.1 \mu\text{m}$ et **(c)** $L_{SD} = 4 \mu\text{m}$.

Figure III.23- Caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET avec $W_{SD} = 100\mu\text{m}$, pour **(a)** $L_{SD} = 0.9\mu\text{m}$ **(b)** $L_{SD} = 2.1\mu\text{m}$ et **(c)** $L_{SD} = 4\mu\text{m}$.

Figure III.24- Caractéristiques $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_{SD} = 100 \mu\text{m}$, pour **(a)** $L_{SD} = 0.9 \mu\text{m}$, **(b)** $L_{SD} = 2.1 \mu\text{m}$ et **(c)** $L_{SD} = 4 \mu\text{m}$.

Figure III.25- **(a)** Décomposition de R_{totale} . **(b)** Résistance totale (R_{totale}) en fonction de la distance source-drain (L_{SD}).

Figure III.26- Décomposition des différentes composantes de R_S (ou R_D).

Figure III.27- **(a)** Structure épitaxiale avec un canal d'InGaAs. **(b)** Mesure AFM correspondante de la surface d'InP. La rugosité RMS est d'environ 0.41 nm.

Figure III.28- Images TEM illustrent les MOSFET-InGaAs pour $L_G=100 \text{ nm}$ et $L_G=500 \text{ nm}$.

Figure III.29- Caractéristiques I_D-V_{DS} de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour **(a)** $L_G = 150 \text{ nm}$, **(b)** $L_G = 300 \text{ nm}$ et **(c)** $L_G = 500 \text{ nm}$.

Figure III.30- Caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150 \text{ nm}$ **(b)** $L_G = 300 \text{ nm}$ et **(c)** $L_G = 500 \text{ nm}$

Figure III.31- Caractéristiques $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150 \text{ nm}$ **(b)** $L_G = 300 \text{ nm}$ et **(c)** $L_G = 500 \text{ nm}$.

Figure III.32- **(a)** Décomposition de R_{totale} . **(b)** Résistance totale (R_{totale}) en fonction de la longueur de grille (L_G).

Figure III.33- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150 \text{ nm}$ **(b)** $L_G = 300 \text{ nm}$ et **(c)** $L_G = 500 \text{ nm}$.

Figure III.34- Caractéristiques I_D-V_{DS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour **(a)** $L_G = 150 \text{ nm}$ **(b)** $L_G = 300 \text{ nm}$ et **(c)** $L_G = 500 \text{ nm}$.

Liste des figures

Figure III.35- Caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150\text{ nm}$ (b) $L_G = 300\text{ nm}$ et (c) $L_G = 500\text{ nm}$.

Figure III.36- Caractéristiques $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150\text{ nm}$ (b) $L_G = 300\text{ nm}$ et (c) $L_G = 500\text{ nm}$.

Figure III.37- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150\text{ nm}$ (b) $L_G = 300\text{ nm}$ et (c) $L_G = 500\text{ nm}$.

Figure 1- Procédé technologique de la recroissance des contacts ohmiques. (a) Désoxydation de la surface. (b) Définition des zones de contacts S/D par la résine HSQ suivie par la recroissance par MBE. (c) Retrait de la résine d'HSQ. (d) Passivation de la surface et dépôt de l'oxyde. (e) Définition de la grille. (f) Gravure de l'oxyde et (g) Définition des plots d'épaissements et Isolation MESA.

Figure 2- Architectures des FET réalisés à l'IEMN pour les sept dernières années.

Liste des tableaux

Liste des tableaux

Tableau I.1- Comparaison entre les paramètres des composés III-V et le Si.

Tableau I.2- Comparaison entre les différentes méthodes d'intégrations des III-V sur le Si.

Tableau I.3- La permittivité et l'énergie de bande interdite pour différents diélectriques.

Tableau I.4- Extrait de l'état de l'art de la D_{it} du transistor MOSFET.

Tableau I.5- Figure de mérite de la technologie MOSFET : la tension d'alimentation (V_{ds}), la densité de pièges d'interface (D_{it}), la mobilité efficace (μ_{eff}), la pente sous-seuil (SS), la barrière de drain induite par abaissement ($DIBL$), le rapport ($I_{on/off}$), le courant de drain maximal (I_{dmax}), les fréquences f_T et f_{max} .

Tableau II.1- Différents prétraitements chimiques utilisés : **ACE*** : acétone et **IPA*** : isopropanol

Tableau II.2- Résultats des différents prétraitements chimiques utilisés.

Tableau II.3- Comparaison entre les différentes valeurs de la résistivité d'alliage métal/III-V.

Tableau III.1- Performances DC de MOSFETs « Gate First » pour les différentes longueurs de grilles.

Tableau III.2- f_T et f_{max} pour les différentes longueurs de grilles.

Tableau III.3- Paramètres du modèle petit-signal correspond à un MOSFET de $L_G = 150$ nm, avec $W_G = 100$ μ m.

Tableau III.4- Performances DC de MOSFETs « Gate Last » pour les différentes longueurs de grilles.

Tableau III.5- Performances DC de MOSFETs-InGaAs pour les différentes longueurs de grilles.

Tableau III.6- Performances fréquentielles des MOSFETs à canal InGaAs.

Tableau III.7- Paramètres du modèle petit-signal correspond à un MOSFET de $L_G = 150$ nm et $W_G = 100$ μ m

Tableau III.8- Performances DC de MOSFETs pour les différentes longueurs de grilles.

Tableau III.9- Performances fréquentielles des MOSFETs à canal InGaAs.

Tableau III.10- Paramètres du modèle petit-signal du MOSFET de $L_G = 150$ nm et $W_G = 30$ μ m.

Tableau III.11- Performances électriques de MOSFETs (à canal composite et à canal d'InGaAs) pour la longueur de grille de $L_G = 150$ nm, $W_G = 100$ μ m (recuit 250°C durant 1min sous N_2/H_2).

Liste des symboles

Liste des symboles

ALD	Atomic layer deposition
CMOS	Complementary Metal Oxide Semiconductor
DIBL	Drain Induced Barrier Lowering
EOT	Electrical Oxide Thickness
ITRS	International Technology Roadmap for Semiconductors
LPCVD	Low Pressure Chemical Vapor Deposition
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
PECVD	Plasma-Enhanced Chemical Vapor Deposition
RIE	Reactive ion etching
S/D	Source/Drain
TEM	Transmission Electron Microscopy
UTB	Ultra-thin body
C-V	Capacitance-Voltage
D_{it}	Interface trap density
d	Contact spacing
G_m	Transconductance
G_D	Drain conductance
G_{Mext}	Extrinsic transconductance
$G_{M,int}$	Intrinsic transconductance
I_D	Drain current
I_G	Gate current
I_{off}	Off-state current
I_{on}	On-state current
L_G	Gate length
m^*	Carrier effective mass
n_s	Carrier concentration
q	Electronic charge
R	Resistance
R_c	Contact resistance
R_D	Drain resistance
R_{sheet}	Sheet resistance
R_S	Source resistance
$R_{S/D}$	Source/drain series resistance
R_{total}	Total resistance
t	Time
t_{ox}	Equivalent oxide thickness
T	Temperature
V	Voltage
V_{DD}	Supply voltage
V_{DS}	Drain voltage
V_{GS}	Gate voltage
V_{TH}	Threshold voltage
W_G	Gate width
μ_e	Carrier mobility
ρ_c	Contact resistivity

Introduction générale

Au cours des dernières décennies, la technologie CMOS (Complementary Metal Oxide Semiconductor) a connu une grande évolution. L'augmentation exponentielle du nombre de composants MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) dans les circuits intégrés, montrée par la loi de Moore [1], est possible grâce à la réduction des dimensions du transistor: le développement de la grille W_G , l'épaisseur de l'oxyde T_{ox} , la tension d'alimentation V_{DD} ainsi que la longueur de la grille L_G . Mais, la diminution de la longueur de la grille engendre un accroissement du courant à l'état bloqué I_{off} et devient une préoccupation majeure. En effet, cet accroissement contribue à une augmentation de la puissance consommée à l'état bloqué, cela est exprimé par la relation suivante :

$$P_{off} = V_{DD} * I_{off} \quad (1)$$

La puissance active de la consommation et la consommation d'énergie en mode veille en fonction des longueurs de grille sont représentées dans la figure 1 [2]. La réduction des dimensions du transistor permet une croissance du nombre de transistors par puce électronique et donc avoir une augmentation de la puissance de calcul. Cependant, la diminution de la taille des transistors à base de silicium est limitée par les propriétés physiques de ce matériau, par exemple la mobilité électronique. Par conséquent, la technologie MOSFET à base de silicium ne permettra pas de suivre la loi de réduction d'échelle et donc de préserver une autonomie des systèmes électriques.

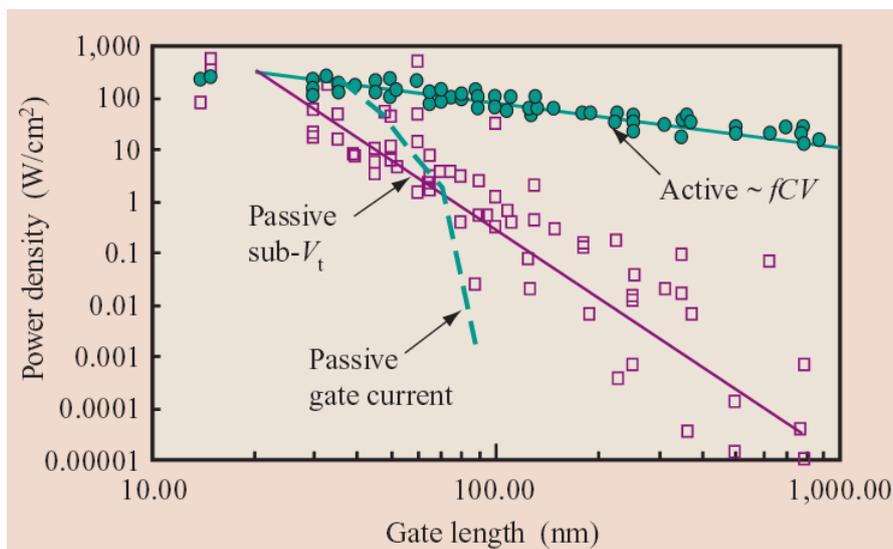


Figure 1- Évolution des densités de puissance d'un MOSFET en fonction de L_g [2].

Plusieurs solutions ont été proposées pour surmonter ce problème. On peut citer l'introduction de *high-k* dans l'empilement de la grille, la substitution du polysilicium par le cuivre pour le métal de grille, des structures 3D type ailettes (FinFET) ou GAA (Gate All Around) et des solutions plus prospectives, telles que par exemple les TFET (Tunnel FET). Dès le nœud 90 nm, Intel a introduit des contraintes pour augmenter le courant drain, appelées « booster » de mobilité. En effet, l'utilisation de silicium contraint permet d'augmenter la mobilité dans le canal. Le principe de cette technique consiste à appliquer une contrainte sur le canal, ce dernier adapte sa maille cristalline avec la structure épitaxiale. La contrainte modifie systématiquement le réseau cristallin ce qui induit une modification des bandes d'énergie, cela implique une modification de la masse effective qui engendre une augmentation de la mobilité [3].

S'inspirant de ce concept, une voie d'amélioration possible consiste à remplacer le silicium par des matériaux III-V dont la mobilité est nettement supérieure à celle du silicium. L'arséniure d'indium-gallium ($\text{In}_x\text{Ga}_{1-x}\text{As}$) et l'arséniure d'indium (InAs) sont des candidats potentiels pour remplacer le silicium dans le domaine de la fabrication des transistors MOSFETs d'après ITRS (International Technology Roadmap for Semiconductors). Les III-V se caractérisent essentiellement par leurs faibles énergies de bande interdite E_g ainsi que leurs grandes mobilités électroniques en raison de leurs faibles masses effectives. La dépendance entre la mobilité électronique à faible champ électrique μ_e et la masse effective m_e^* s'exprime par la relation suivante :

$$\mu_e = \frac{q \cdot \tau}{m_e^*} \quad (2)$$

où q est la charge de l'électron et τ le temps de relaxation.

En effet, la masse effective dans le cas du silicium est plus grande que celle des matériaux III-V (voir tableau 1), et grâce à cette faible masse effective des III-V, la force appliquée sur les électrons dans un champ électrique permettrait d'accélérer plus rapidement les électrons dans le cas des III-V que dans le silicium. De plus, dans le cas de transistors plus courts (faible longueur de grille), le mode de transport pourrait être en partie balistique, on préférera alors le concept décrit par M. Lundstrom [4], qui décrit le fonctionnement du MOSFET sous le transport balistique ou quasi-balistique. Dans ce concept, la vitesse d'injection au contact de source est utilisée. Celle-ci est donnée par l'équation suivante :

$$V_{inj} = \sqrt{\frac{2KT}{\pi m^*}} \frac{F_{1/2}\left(\frac{E_f - E_1}{KT}\right)}{F_0\left(\frac{E_f - E_1}{KT}\right)} \quad (3)$$

où $F_{1/2}$ et F_0 sont respectivement l'intégrale de Fermi-Dirac de l'ordre 1/2 et l'ordre zéro, K la constante de Boltzmann et T la température. Dans ce cas, la vitesse d'injection est indépendante du champ électrique latéral, elle dépend de la masse effective et la position du niveau de Fermi. Dans le cas dégénéré, V_{inj} dépend essentiellement de la masse effective [5].

Tableau 1- Comparaison entre les paramètres des composés III-V et le Si [5].

300K	Si	Ge	GaAs	InAs	In _{0.53} Ga _{0.47} As
Electron effective mass, m_e^*	0.19	0.08	0.063	0.023	0.041
Electron mobility, $\mu_e(cm^2/Vs)$	1450	3900	9200	33000	12000
Hole mobility, $\mu_h(cm^2/Vs)$	370	1800	400	450	300
Band gap, $E_g(eV)$	1.12	0.66	1.42	0.35	0.74
Relative permittivity, ϵ_r	11.7	16.2	12.9	15.2	13.9
Lattice constant(Å)	5.43	5.66	5.65	6.06	5.87
Thermal expansion coefficient ($10^{-6} \text{ }^\circ\text{C}^{-1}$)	2.6	5.9	5.73	4.52	5.66

Les matériaux III-V sont donc d'excellents candidats pour l'obtention de très fortes vitesses d'injection. La figure I (a) [6] présente une comparaison entre les vitesses d'injection dans le canal de transistors MOSFET réalisés à partir de silicium, de silicium contraint et à base des matériaux III-V. Néanmoins, la faible valeur de la masse effective a une influence sur la densité d'états d'énergie des électrons (DOS, Density Of States) dans la bande de conduction. Le DOS pour un gaz bidimensionnel s'exprime par la relation suivante :

$$DOS_{2D} = 2n_v \frac{\sqrt{m_x m_y}}{\pi \hbar^2} \quad (4)$$

où n_v est la dégénérescence de la vallée, m_x et m_y les masses effectives le long du canal.

On constate d'après l'équation (4), que la faible masse effective des III-V n'est pas favorable à un DOS élevé, et va donc se traduire par une faible densité d'électrons dans le canal. Cependant, les matériaux III-V sont des candidats potentiels pour les applications à faible consommation. Et comme illustré dans la figure 2(b) [6] pour la même valeur du courant I_D , le MOSFET à base des III-V fonctionne à des tensions d'alimentation bien inférieures par rapport à un MOSFET à base du Si et cela implique une consommation

d'énergie réduite pour les composants utilisant les III-V montrée également par une autre étude [7]. On présente aussi la structure TFET, qui permet de réduire la pente sous le seuil, mais dégrade le courant I_{ON} . Finalement, un argument en faveur des III-V est une longueur de libre parcours moyen plus importante que celle du silicium. On admet que celle-ci est supérieure à 50 nm pour l' $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, et donc que le transport balistique peut être obtenu pour des longueurs de quelques dizaines de nanomètres. Pour le silicium avec une mobilité plus de dix fois inférieure à celle des III-V, le transport balistique sera difficile à atteindre pour des dimensions au-delà de 5 nm.

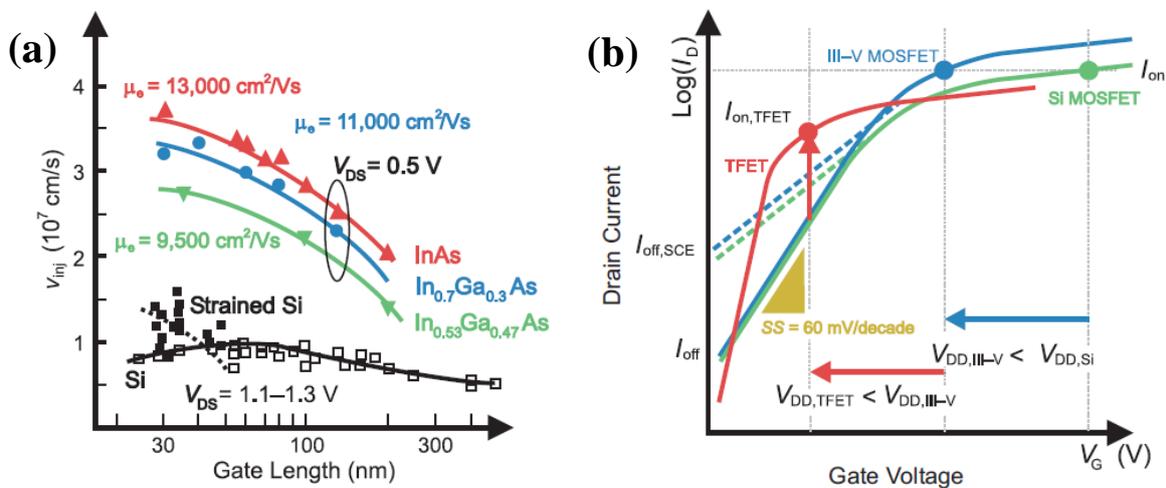


Figure 2- (a) Comparaison entre les vitesses d'injection des III-V et du silicium contraint en fonction de L_g . (b) Caractéristique $\text{Log}(I_D) = f(V_{GS})$ pour le MOSFET/III-V et le MOSFET/Si [6].

De plus les matériaux III-V ouvrent le champ du « more than Moore », telles que les applications radiofréquences (RF) ou la photonique. Les transistors à effet de champ à base d'InGaAs et/ou d'InAs présentent en effet aujourd'hui les meilleures performances fréquentielles de tous les composants actifs solides, avec des fréquences de coupure au-delà du Terahertz (THz), et un record tous transistors confondus de 1,5 THz [8].

Toutefois, la mise au point des transistors à effet de champ (MOSFET) à base de la filière III-V est un défi pour de nombreux laboratoires de recherche (Intel, IBM, IMEC...). En effet, la technologie de fabrication de ces composants reste encore difficile à mettre en œuvre. La figure 3 illustre les défis majeurs de cette technologie [9]: la croissance des hétérostructures sur un substrat de grande dimension, tel que le silicium (le paramètre cristallin doit être très proche de celui du substrat pour obtenir un matériau sans défauts), l'obtention d'un oxyde de bonne qualité sur les matériaux III-V, la réalisation d'une

technologie auto-alignée, la diminution des courants de fuite et des résistances des contacts ohmiques source et drain.

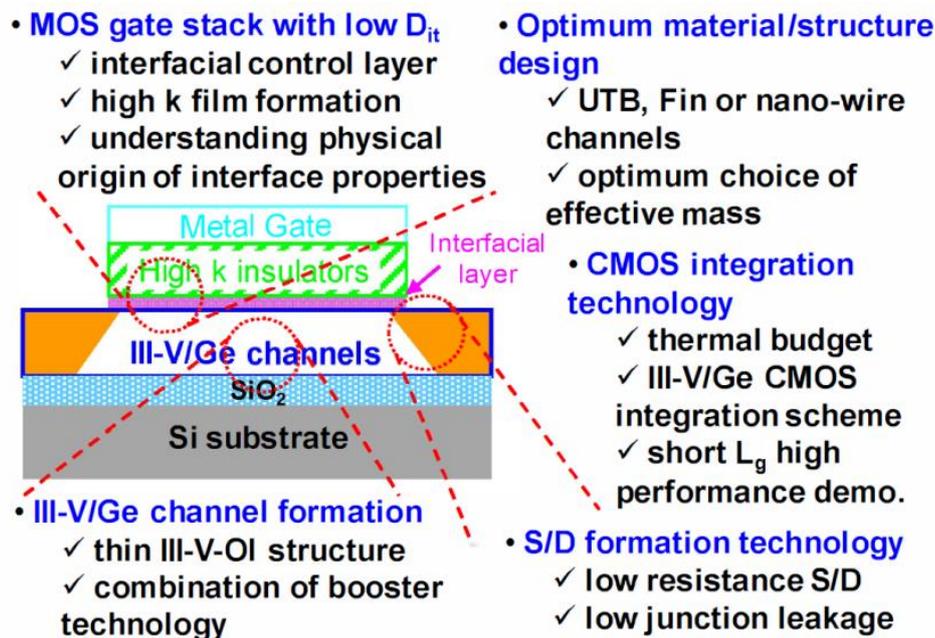


Figure 3- Illustrations des principaux défis technologiques du MOSFET III-V [9].

Le travail de ma thèse s'inscrit dans ce contexte. Ainsi l'objectif est de réaliser des transistors MOSFETs auto-alignés à base de matériaux III-V. L'utilisation d'un canal à base d'InGaAs/InAs devrait permettre d'avoir un courant de drain I_{on} identique à celui du composant à base de Si, mais à des tensions de polarisation plus faibles. Ceci devrait permettre de conserver de très bonnes performances fréquentielles avec un bon courant I_{on} , tout en réduisant la puissance consommée par la réduction de la tension d'alimentation.

Toutefois plusieurs difficultés technologiques sont à surmonter. Nous avons donc développé plusieurs briques technologiques. En effet, pour le dépôt de l'oxyde sur les matériaux III-V, deux techniques de dépôt du matériau diélectrique (oxyde) de la grille ont été utilisées. La première consiste à déposer de l'oxyde d'aluminium (Alumine, Al₂O₃) par la technique de dépôt de couches atomiques (ALD, *Atomic Layer Deposition*) qui a été réalisée à l'IEMN (Université de Lille 1). La deuxième technique consiste à déposer du nitrure de silicium (Si₃N₄) par le dépôt chimique en phase vapeur assisté par plasma (ou PECVD, *Plasma-Enhanced Chemical Vapor Deposition*) qui a été fait à l'université de Sherbrooke. Une comparaison entre les résultats trouvés par les deux techniques de dépôt sera donnée dans le chapitre II du manuscrit. Enfin, pour réaliser d'excellents contacts ohmiques du transistor MOSFET à base des matériaux III-V, nous avons utilisé une technique s'inspirant des

technologies silicium, « silicide-like » ou siliciuration compatible avec ces matériaux consistant à faire diffuser un métal dans la structure épitaxiale (à base des III-V) à des faibles températures de recuit (faible budget thermique). En effet, les matériaux III-V utilisés dans cette étude supportent mal des températures au-delà de 500 à 600°C. L'implantation ionique de dopants et son activation thermique est donc peu favorable aux technologies III-V [10].

Organisation du document

Ce manuscrit sera organisé de la façon suivante :

Dans le premier chapitre, nous présentons une étude bibliographique autour du transistor MOSFET/III-V, les problématiques et les objectifs de cette thèse.

Le chapitre II sera consacré à la présentation des briques technologiques de base développées durant cette étude.

Ensuite, le chapitre III présentera la fabrication et la caractérisation des différentes technologies MOSFETs.

En conclusion, nous présentons une synthèse des travaux ainsi que les perspectives d'extensions et les approches envisagées pour améliorer les performances de la technologie des MOSFETs III-V.

Bibliographie

- [1] G. E. Moore, “Cramming more components onto integrated circuits,” *Proc. IEEE*, vol. 86, no. 1, pp. 82–85, 1998.
- [2] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, “Silicon CMOS devices beyond scaling,” *IBM J. Res. Dev.*, vol. 50, no. 4.5, pp. 339–361, 2006.
- [3] H. Niebojewski, “Contacts auto-alignés pour la technologie CMOS 10nm FDSOI,” *Thèse, Univ. Lille 1*, pp. 1–153, 2014.
- [4] M. Jing Wang ; Lundstrom, “Ballistic transport in high electron mobility transistors,” *IEEE Trans. Electron Devices*, vol. 50, no. July, pp. 1604–1609, 2003.
- [5] C.-Y. Huang, “III-V Ultra-Thin Body MOSFETs for Low Power Logic Applications,” *Thèse, UC St. Barbar.*, 2015.
- [6] J. A. del Alamo, “Nanometre-scale electronics with III–V compound semiconductors,” *Nature*, vol. 479, no. 7373, pp. 317–323, 2011.
- [7] H. Riel, L.-E. Wernersson, M. Hong, and J. A. del Alamo, “III-V compound semiconductor transistors - from planar to nanowire structures,” *MRS Bull.*, vol. 39, no. 08, pp. 668–677, 2014.
- [8] B. Gorospe, K. Nguyen, and X. B. Mei, “A 670 GHz Low Noise Amplifier with < 10 dB Packaged Noise Figure,” *IEEE Microw. Wirel. COMPONENTS Lett.*, vol. 26, no. 10, pp. 837–839, 2016.
- [9] S. Takagi, “High mobility channel MOS device technologies toward nano-CMOS era,” *2011 IEEE Nanotechnol. Mater. Devices Conf. NMDC 2011*, pp. 281–290, 2011.
- [10] J. Mo, “Étude et fabrication de MOSFET de la filière III-V,” *Thèse, Univ. LILLE1 Sci. Technol.*, 2012.

Chapitre I : Généralités, challenges et état de l'art des MOSFETs à base des matériaux III-V

I.1	Généralités sur le transistor MOSFET	25
I.1.1	Description schématique d'un MOSFET et principes de fonctionnement	25
I.1.2	Paramètres électriques d'un MOSFET	26
I.2	Challenges du MOSFET à base des matériaux III-V	30
I.2.1	Croissance des hétérostructures III-V sur le substrat silicium	31
I.2.2	Canal du transistor MOSFET/III-V	32
I.2.3	Passivation de la surface des III-V	32
I.2.3.1	Préparation de la surface	32
I.2.3.2	Techniques de dépôt du diélectrique	33
I.2.3.3	Choix du diélectrique	33
I.2.4	Résistances d'accès R_S et R_D	34
I.3	État de l'art des MOSFETs à base des III-V	36
I.3.1	Densité d'états d'interface D_{it}	37
I.3.2	Comportements sous le seuil SS et abaissement de la barrière DIBL	40
I.3.3	Courant de drain maximal, mobilité effective et transconductance	40
I.3.4	Fréquences de coupure de gains en courant et en puissance	41
I.3.5	Résistances des contacts ohmiques (Source/Drain)	42
I.4	Objectifs de la thèse	44
	Bibliographie	46

I.1 Généralités sur le transistor MOSFET

Cette partie a pour but de présenter des généralités sur le transistor MOSFET. Dans un premier temps, nous allons présenter le principe de fonctionnement des MOSFETs. Ensuite, nous citons ses principaux paramètres électriques.

I.1.1 Description schématique d'un MOSFET et principes de fonctionnement

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est constitué d'une source (S), un drain (D), un substrat (de type n pour les p-MOSFETs et de type p pour les n-MOSFETs), une grille (G) et un oxyde situé entre la grille et le substrat, appelé diélectrique de grille (figure I.1).

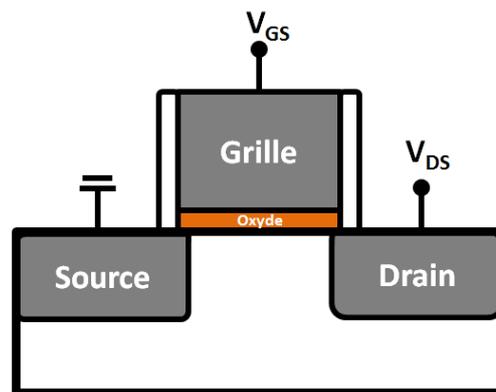


Figure I.1- Structure d'un transistor MOSFET.

La capacité MOS (Metal Oxide Semiconducteur) est l'élément essentiel dans le transistor MOSFET. Elle est constituée d'un métal, d'un oxyde et d'un semi-conducteur (SC). Le fonctionnement de ce composant est basé sur la modulation de la charge dans le semi-conducteur à l'aide d'une tension appliquée sur la grille. La quantité de charges obtenue dépend de la nature du semi-conducteur, de l'oxyde ainsi que du potentiel appliqué. La figure I.2 illustre les différents modes de fonctionnement d'une capacité MOS-n [1].

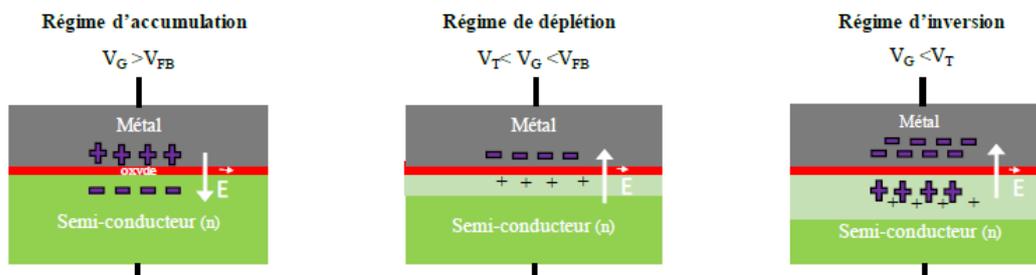


Figure I.2- Différents modes de fonctionnement d'une capacité MOS dans un matériau de type n [1].

En appliquant une tension V_g sur la grille pour polariser la capacité MOS, une charge Q_g apparaît sur la grille ce qui implique l'apparition d'une charge opposée dans le SC, d'où le changement des régimes de fonctionnement de la capacité MOS (figure I.3). On aura trois modes principaux de fonctionnement : accumulation de porteurs, désertion-inversion et forte inversion de population. Les MOSFETs fonctionnent en régimes de désertion et de forte inversion. Le premier régime correspond à la fermeture du canal conducteur et le second au canal ouvert. Dans le cas du régime de forte inversion, on aura l'apparition d'une forte densité de charges inverses des charges libres liées aux dopants initiaux du canal.

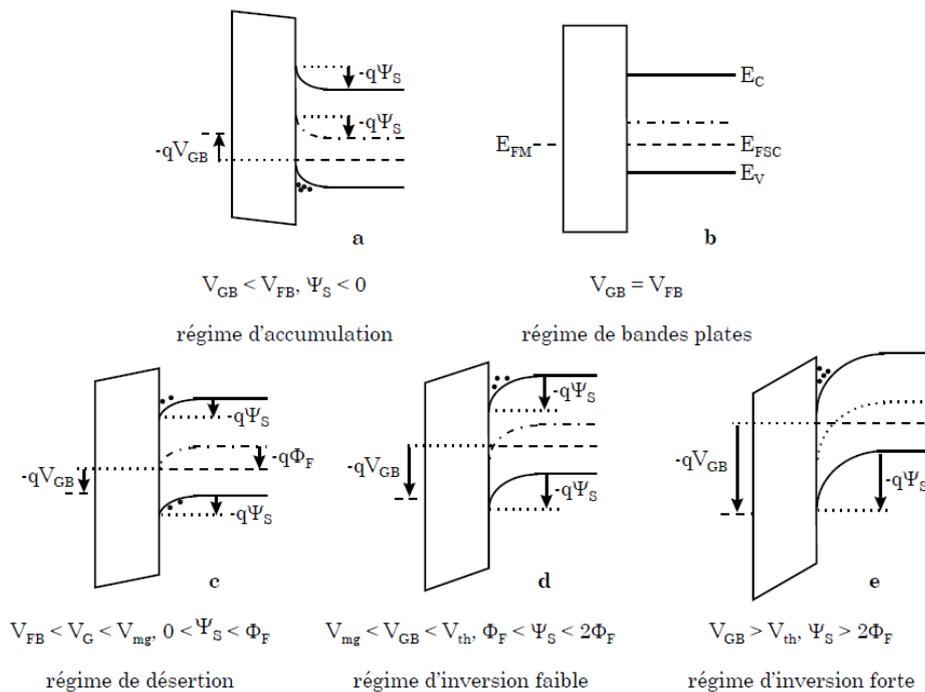


Figure I.3- Diagrammes de bandes représentant les différents régimes du semi-conducteur en fonction du potentiel appliqué pour un substrat type p : (a) le régime d'accumulation. (b) le régime de bandes plates. (c) le régime de désertion. (d) le régime d'inversion faible et (e) le régime d'inversion forte [2].

I.1.2 Paramètres électriques d'un MOSFET

Nous nous intéressons aux principaux paramètres électriques du transistor MOSFET, en régimes statique et dynamique, qui sont nécessaires pour évaluer les performances du composant comme la mobilité, la transconductance, la tension de seuil...

En régime statique

La tension de bandes plates (V_{fb}) : il s'agit d'une tension de polarisation pour laquelle les bandes d'énergie sont plates, elle est donnée par la relation suivante :

$$V_{fb} = \Phi_m - \Phi_{sc} - \frac{Q_{it}}{C_{ox}} \quad (I.1)$$

avec Φ_m et Φ_{sc} respectivement les travaux de sortie du métal et du semi-conducteur par rapport au niveau de vide, Q_{it} est la charge d'interface et C_{ox} la capacité surfacique de l'oxyde définie par la relation suivante :

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad (I.2)$$

avec T_{ox} l'épaisseur de l'oxyde et ϵ_{ox} la permittivité de l'oxyde.

Equivalent oxide thickness (EOT) : dans le cas d'un oxyde à haute permittivité (*high-k*), on évalue l'épaisseur de l'oxyde par rapport à l'épaisseur de l'oxyde de silicium équivalente EOT (Equivalent oxide thickness) nécessaire pour produire le même effet d'un oxyde *high-k*. L'EOT s'exprime par la relation suivante :

$$EOT = e_{high-k} \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \quad (I.3)$$

avec e_{high-k} l'épaisseur de l'oxyde à haute permittivité, ϵ_{SiO_2} la permittivité de l'oxyde de silicium, et ϵ_{high-k} la permittivité de l'oxyde à haute permittivité.

La tension de seuil (V_{th}) : c'est la tension nécessaire pour arriver au régime de forte inversion. Le V_{th} s'exprime par la relation suivante :

$$V_{th} = V_{fb} + 2\Psi_B + \frac{\sqrt{4 \cdot q \cdot N_a \cdot \epsilon \cdot \Psi_B}}{C_{ox}} \quad (I.4)$$

avec V_{fb} la tension de bande plate, q la charge de l'électron, N_a le dopage du SC, n_i la densité de charge intrinsèque du matériau, C_{ox} la capacité de l'oxyde et Ψ_B le potentiel de Fermi qui est défini par la relation suivante :

$$\Psi_B = \frac{KT}{q} \cdot \ln\left(\frac{N_a}{n_i}\right) \quad (I.5)$$

La pente sous seuil (*Subthreshold Slope*) ou excursion en tension (*SS Subthreshold Swing*); il s'agit de la partie linéaire de la courbe $\log(I_d)$ en fonction de V_{gs} . On exprime le *SS* par la relation suivante :

$$SS = \frac{dV_{gs}}{d \log(I_d)} \quad (I.6)$$

Le *SS* correspond donc à l'inverse de la pente sous le seuil de la caractéristique $\log_{10}(I_d)=f(V_{gs})$ et est donc l'excursion en tension sous le seuil. Elle indique le gradient de V_{gs} pour obtenir une décade de réduction de courant. Et dans le cas du transistor MOSFET, l'expression de *SS* est donnée par :

$$SS = \frac{KT}{q} \ln 10 \left(1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right) \quad (I.7)$$

avec C_{it} la capacité induite par la densité d'états d'interface, C_{dep} la capacité du semi-conducteur dans le régime de désertion, cette capacité est en série à la capacité de l'oxyde, elle s'exprime comme suivant :

$$C_{dep} = \frac{\epsilon_{sc}}{e_{ZCE}} \quad (I.8)$$

avec ϵ_{sc} la permittivité du semi-conducteur, e_{ZCE} l'épaisseur de la zone de déplétion. Dans le cas où l'on peut négliger les défauts d'interface et la capacité de désertion, la valeur idéale de *SS* est égale à environ 60 mV/décade à 300 K, et cela signifie que le contrôle électrostatique du canal par la grille est de 100%.

Le DIBL (*Drain Induced Barrier Lowering*) : physiquement, il correspond à l'abaissement de la barrière de potentiel entre la source et le drain quand V_{ds} augmente, qui implique une augmentation du courant de fuite du drain et cela induit le décalage de la tension de seuil. Ces effets apparaissent lorsque la longueur du canal est équivalente à la zone de déplétion autour du drain et de la source. La valeur de DIBL doit être faible pour maintenir une faible consommation. Le DIBL peut s'écrire comme suivant :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{ds}} \quad (I.9)$$

Les courants (I_{on}) et (I_{off}) : I_{on} est déterminé lorsque $V_{gs}=V_{dd}$ où V_{dd} est la tension d'alimentation, le courant I_{off} est déterminé lorsque $V_{gs}=0$, une valeur importante du ratio I_{on}/I_{off} implique un excellent compromis entre une haute vitesse de commutation et une faible consommation.

Le courant (I_g) : c'est le courant de la grille ou de fuite, sa valeur doit être faible et même égale à zéro dans le cas idéal.

La transconductance (G_m) : elle caractérise la capacité de la grille à contrôler le courant I_d , plus la valeur de G_m est grande plus les performances sont excellentes, son expression à V_{ds} donnée et au-delà de la saturation du courant est la suivante :

$$G_m = \frac{\Delta I_d}{\Delta V_{gs}} \quad (I.10)$$

La conductance de sortie (G_d) : au contraire de la transconductance la valeur de la conductance de sortie doit tendre vers zéro pour avoir des fréquences d'oscillation importantes, elle s'exprime à V_{ds} donnée et au-delà de la saturation du courant par cette équation :

$$G_d = \frac{\Delta I_d}{\Delta V_{ds}} \quad (I.11)$$

La mobilité effective du canal (μ_{eff}) : elle représente la mobilité des charges dans le canal en mode de fonctionnement aux faibles valeurs de V_{ds} . La mobilité intrinsèque μ_{eff} est extraite par la relation suivante :

$$\mu_{eff} = \frac{G_d \cdot L}{W \cdot Q_n} \quad (I.12)$$

avec L la longueur de grille, G_d la conductance du canal du transistor, Q_n la densité d'électrons dans le canal et W la largeur du transistor. Q_n est en général déterminée par une mesure à V_{ds} nulle, de la capacité grille, son intégration en fonction de V_{gs} donne la charge sous la grille.

En régime dynamique

La technique plus souvent utilisée pour extraire les paramètres fréquentielles dans le régime dynamique est la mesure des paramètres S . On peut déduire les gains principaux selon

les expressions I.16 et I.17. Ces gains permettant de déduire la fréquence f_{max} et la fréquence de transition f_T lorsqu'ils sont égaux à 1 (0 dB).

Le gain unilatéral de Mason (U) : il permet d'extraire la fréquence maximale d'oscillation (f_{max}) par extrapolation de -20dB/dec. f_{max} est un paramètre important pour les applications analogiques, le gain U est donné par l'équation suivante :

$$U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(K \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (\text{I.13})$$

avec K le facteur de stabilité (ou le facteur de Rollet) donné par l'expression suivante :

$$K = \frac{1 - |S_{22}|^2 - |S_{11}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (\text{I.14})$$

Le gain en courant de court-circuit ($|H_{21}|$) : à une valeur égale à 1 (soit 0dB) nous permet d'extraire la fréquence de transition f_T , cette fréquence est un facteur de mérite dans le domaine de l'électronique numérique. Le gain en courant de court-circuit $|H_{21}|^2$ est donné par l'expression suivant :

$$|H_{21}|^2 = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right|^2 \quad (\text{I.15})$$

I.2 Challenges du MOSFET à base des matériaux III-V

Les matériaux III-V sont des candidats potentiels pour les futurs dispositifs MOS, mais il existe de nombreux défis technologiques à résoudre comme indiqué dans la figure 3 de l'introduction générale d'après l'étude de l'université de Tokyo [3], en particulier l'interface oxyde/III-V, la qualité de l'oxyde, les contacts de source et de drain, la croissance sur un substrat de silicium...

I.2.1 Croissance des hétérostructures III-V sur le substrat silicium

Les principaux substrats utilisés en technologies III-V sont le GaAs et l'InP. Ils souffrent d'un handicap par rapport au substrat silicium qui est le faible diamètre du « wafer ». En III-V, on peut monter jusqu'à 200 mm en GaAs (8 pouces). Par contre, en silicium, le diamètre des substrats utilisés est de 300 mm et bientôt 450 mm. Ce plus faible diamètre des III-V a un lien direct avec le nombre de puces pouvant être fabriquées en un seul « Run » et donc le coût de chaque puce sera plus important en III-V. De plus, les substrats III-V sont beaucoup plus chers que le silicium, le silicium étant plus abondant et d'un accès plus simple. Plusieurs laboratoires explorent la croissance des III-V sur un substrat silicium de grand diamètre. Les solutions d'intégration d'une couche III-V sur un substrat de silicium sont multiples.

Dans la littérature, deux types de substrat Si ont été abordés et utilisés pour croître des matériaux III-V sur le silicium de diamètre 300 mm : un substrat Si avec isolant ou un substrat Si standard. Nous citons les deux filières technologiques principales pour l'intégration des matériaux III-V sur le silicium : l'épitaxie en couche complète et l'épitaxie localisée. En effet, l'épitaxie en couche complète consiste à adapter le paramètre de maille entre les III-V et le Si en utilisant trois méthodes différentes ; via l'insertion d'une couche tampon [4], une croissance directe sur le silicium [5] ou bien l'utilisation du collage [6]. Cependant, l'épitaxie localisée consiste à croître un matériau III-V dans une zone délimitée par un autre matériau (généralement un oxyde) [7][8], l'avantage de cette technique est la combinaison entre la réduction de la densité des dislocations et l'épaisseur du matériau déposé, et par conséquence, la réduction du coût de l'épitaxie.

Le tableau I.1 présente une comparaison entre les différentes méthodes d'intégration des III-V sur le substrat de silicium. Enfin, malgré les études sur les techniques d'intégration des III-V sur le Si, le désaccord de maille entre le silicium et les couches III-V reste le défi principal de plusieurs équipes de recherche. Dans ce contexte, notre équipe de recherche en collaboration avec nos différents partenaires travaille sur ce sujet dans le cadre du projet ANR-MOSINAS. Pour nos études, notre objectif étant la réalisation d'un MOSFET III-V, nous avons développé toutes nos technologies à partir de III-V sur substrat III-V.

Tableau I.1- Comparaison entre les différentes méthodes d'intégrations des III-V sur le Si [1]. ART signifie « Aspect Ratio Trapping » et CLSEG «Confined Epitaxial Selective Lateral Overgrowth ».

Technique	Inconvénients	Avantages
Croissance sur Si	Coût élevé Forte densité de dislocations	Rapide et simple
Collage	Nombreuses étapes supplémentaires Coût élevé	Pas de dislocation si collage depuis III-V III-V-OI
ART		Réduction de la densité de dislocations Co-intégration rapprochée avec p-MOS
CLSEG	Composition d'InGaAs difficile à contrôler dans de très petites cavités	Réduction de la densité de dislocations III-V-OI Co-intégration rapprochée avec p-MOS

I.2.2 Canal du transistor MOSFET/III-V

Les transistors MOSFET à base des matériaux III-V sont projetés pour remplacer les MOSFET à base du silicium pour les nœuds technologiques inférieurs à 11 nm [9]. Par conséquent, la mise à l'échelle des transistors de type III-V doit être aussi bonne que celle des transistors Si. Des questions telles que les effets de canal court (SCE) doivent être traitées efficacement pour les transistors à base des III-V. Des architectures avancées comme le canal ultra-mince « ultra-thin body » (UTB) pour les transistors III-V ont été proposées et utilisées pour surmonter ces problèmes. L'UTB est une structure qui peut être utilisée pour supprimer le courant source-drain de fuite par l'insertion sous la couche de canal très fine d'un isolant comme dans les technologies SOI ou un matériau III-V à grande bande interdite, comme nous le proposons dans cette thèse. En effet, la variété des matériaux III-V offre de multiples possibilités, ce qui n'est pas le cas pour le silicium de canal très fin.

I.2.3 Passivation de la surface des III-V

I.2.3.1 Préparation de la surface

La qualité de l'interface entre le semi-conducteur (III-V) et l'oxyde de grille est primordiale dans les performances du transistor. La présence des densités d'états de surface (D_{it}) dégrade les propriétés du transport et le contrôle électrostatique de la grille. Ce sont des états d'une énergie qui se situe dans la bande interdite du semi-conducteur, et qui engendrent l'ancrage du niveau de Fermi. L'origine de défauts d'interface revient à plusieurs facteurs : la présence des oxydes natifs (dans le cas d'InGaAs : GaO_x , AsO_x , InO_x), la présence des polluants (comme les atomes du carbone 'C')...pour éliminer les oxydes natifs et minimiser les états d'interface, plusieurs traitements ont été proposés dans la littérature. On peut citer :

- ✓ Les traitements par plasma : comme la phosphine (PH_3), le silane et l'ammoniaque ($\text{SiH}_4\text{-NH}_3$) [10].
- ✓ Les traitements humides à travers l'utilisation de : l'acide chlorhydrique (HCl) [11], l'acide fluorhydrique (HF) [12], l'ammoniaque (NH_4OH) [13], les solutions soufrées ($\text{(NH}_4)_2\text{S}_x$) [14].

Les techniques de passivation sont nombreuses. Néanmoins, la meilleure valeur du D_{it} qui a été rapportée à ce jour est de l'ordre de $10^{11} \text{ cm}^{-2}/\text{V.s}$, cette valeur reste toujours élevée par rapport à la valeur du D_{it} dans le cas du silicium (de l'ordre de $10^9 \text{ cm}^{-2}/\text{V.s}$). Par conséquent, l'insertion d'une fine couche à grande bande interdite (exemple InP) permettant d'améliorer le D_{it} et augmenter la mobilité électronique dans le canal en l'éloignant de l'interface avec l'oxyde. Cependant, cette solution a un inconvénient majeur qui se résume dans l'augmentation de l'EOT, et cela engendre une dégradation au niveau de la commande électrostatique du canal par les grilles à faible longueur.

I.2.3.2 Techniques de dépôt du diélectrique

Le bon choix de la technique de dépôt du diélectrique est un facteur important pour atteindre les objectifs souhaités. Chaque technique a ses avantages et aussi ses inconvénients. En effet, il existe plusieurs techniques de dépôt du diélectrique, le LPCVD (Dépôt chimique en phase vapeur à faible pression), le RPECVD (Dépôt chimique en phase vapeur assisté par plasma éloigné), le MOCVD (Épitaxie en phase vapeur aux organométalliques) [15], le PECVD (Dépôt chimique en phase vapeur assisté par plasma) [16][17] et l'ALD (Dépôt par couche atomique) [18][19][20]. La technique ALD est plus récente, elle est la plus utilisée pour le dépôt du diélectrique sur les matériaux III-V, cette technique a permis d'avoir des oxydes de bonne qualité (cf. II.2.1.1). Par ailleurs, la PECVD est une technique ancienne, sur laquelle certains groupes de recherche ont obtenu de très bons résultats sur matériaux III-V de type GaAs [21]. On propose de transposer cette technique aux matériaux III-V à petite bande interdite. Les deux techniques avec les équipements utilisés dans le cadre de cette thèse seront détaillés dans la section II.2.3 du chapitre II.

I.2.3.3 Choix du diélectrique

Le diélectrique joue un rôle essentiel dans la technologie MOS. Le choix de l'oxyde doit satisfaire certains critères : avoir une permittivité élevée (*high-k*), être en adéquation avec la grille et aussi avec le semi-conducteur, avoir une bonne stabilité thermique, une faible densité de charges fixes et mobiles, et pour réduire le courant de fuite de grille l'oxyde, il doit

avoir un grand écart des bandes d'énergie par rapport à celles du SC, et une très faible épaisseur pour maintenir le contrôle électrostatique du canal. De nombreux diélectriques ont été étudiés sur les matériaux III-V (Tableau I.2) et surtout sur l'InGaAs, tels que l'oxyde d'hafnium (HfO₂) [22], l'oxyde de zirconium (ZrO₂) [23], l'oxyde d'aluminium (Al₂O₃) [18], le nitrure de silicium (Si₃N₄) [24], l'oxyde de gallium (Ga₂O₃) [9], et l'oxyde de gadolinium (Gd₂O₃) [25].

Tableau I.2- La permittivité et l'énergie de bande interdite pour différents diélectriques.

Diélectrique	Permittivité	Énergie de bande interdite (eV)
Si ₃ N ₄	6.9	5
Al ₂ O ₃	9	7.8
Ta ₂ O ₅	25	-
ZrO ₂	17-47	6
Ga ₂ O ₃	10	5.6
Gd ₂ O ₃	9	5.5
HfO ₂	25	5.3

Le principal oxyde utilisé sur les matériaux III-V reste toutefois l'Al₂O₃. Il présente cependant une permittivité de valeur moyenne (médium-k). Les diélectriques à plus forte permittivité sont favorables à un meilleur contrôle électrostatique, ce qui peut se traduire par une réduction de l'effet du D_{it} sur la pente sous le seuil (équation I.10). En effet, une permittivité plus importante permet de réduire l'EOT et induit ainsi une capacité C_{ox} plus élevée et une pente sous le seuil plus faible. Le diélectrique HfO₂ est un candidat intéressant mais il est en général combiné à l'Al₂O₃, un dépôt direct sur les III-V conduisant à un fort D_{it} . ZrO₂ est aussi un candidat potentiel, et dans ce contexte, l'équipe du Pr. Mark Rodwell de l'université C. Santa Barbara a obtenu d'excellents résultats sur des MOSFETs à canal d'InGaAs de $L_g = 12$ nm [26] en utilisant l'oxyde de grille ZrO₂.

I.2.4 Résistances d'accès R_S et R_D

La contribution des résistances de source (S) et de drain (D) (figure I.4 (a)) sur la résistance totale du transistor devient une préoccupation sérieuse avec la mise à l'échelle (Loi de Moore). La figure I.4 (b) montre l'évolution relative de la résistance $R_{S/D}$ par rapport à la résistance totale du MOSFET R_{totale} en fonction de la longueur de la grille (L_g) [25]. En effet,

les résistances source et drain pourraient limiter les performances du transistor MOSFET. Et relativement à ce problème, plusieurs études ont été signalées récemment [27].

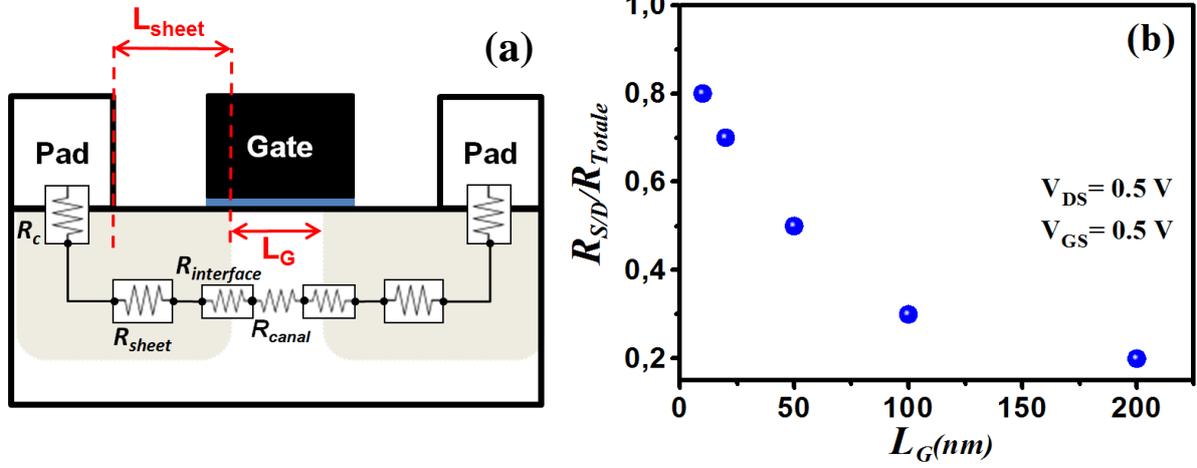


Figure I.4- (a) Illustration des résistances participant à la résistance d'accès du MOSFET, (b) l'évolution de la résistance en fonction de la longueur de la grille d'après [25].

Comme il est montré dans la figure I.4(a), la résistance totale (R_{totale}) d'un MOSFET se décompose en différentes résistances en série, elle s'exprime par la relation suivante :

$$R_{totale} = R_{S/D} + R_{canal} \quad (I.16)$$

$$\text{où } R_{S/D} = 2 \times (R_c + R_{sheet} + R_{interface}) \quad (I.17)$$

avec $R_{S/D}$ la résistance de source et de drain, R_c la résistance de contact entre les pads et la région S ou D, R_{sheet} la résistance de la région S ou D, $R_{interface}$ la résistance entre la zone S ou D et le canal du transistor (elle s'appelle aussi la résistance balistique), et finalement R_{canal} la résistance du canal. La décomposition de $R_{S/D}$ montre que la valeur de la résistance R_{sheet} est négligeable à cause de la faible distance des technologies auto-alignées entre la région source ou drain et le canal. Cependant, la résistance dominante dans l'expression de $R_{S/D}$ est $R_{interface}$, cette dernière caractérise essentiellement les structures à canal III-V de type « UTB » (2D). D'après l'étude réalisée par Kim de l'université de Tokyo [28], la valeur de $R_{interface}$ dépend essentiellement de la densité de charges et de la polarisation appliquée. Elle s'exprime par la relation I.18.

$$R_{interface} = \frac{h}{q^2} \sqrt{\frac{\pi}{2.n_s}} = 52 \sqrt{\frac{10^{13} \text{ cm}^{-2}}{n_s}} \Omega.\mu\text{m} \quad (I.18)$$

avec h , q et n_s qui sont respectivement la constante de Planck, la charge élémentaire et la concentration de charge dans le canal. La limite de la résistance d'interface $R_{interface}$ est égale à $52 \Omega \cdot \mu\text{m}$ pour une densité n_s de 10^{13} cm^{-2} . En revanche, pour les structures bulk (3D), la valeur de $R_{interface}$ devient plus difficile à distinguer de la résistance d'accès car la densité de charges devient plus importante par rapport aux structures UTB (2D).

Selon ITRS «International Technology Roadmap for Semi-conducteurs» [29], pour les MOSFETs avec des longueurs de grille sub-20 nm, la valeur du courant I_{ON} commence à se dégrader (figure I.5) et cela est dû à l'augmentation de valeur de $R_{S/D}$.

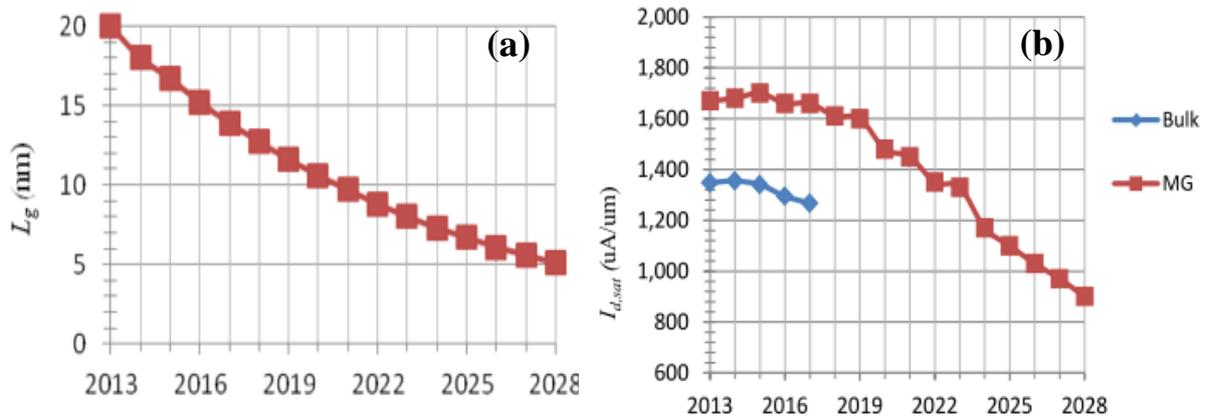


Figure I.5- Scaling pour les transistors MOSFETs III-V. (a) la longueur de grille et (b) le courant I_{ON} en fonction des années (MG : technologie multi-gate, Bulk : technologie bulk) [29].

En fin de compte, la résistance $R_{S/D}$ a été fixée par ITRS à $131 \Omega \cdot \mu\text{m}$ pour le nœud de 14 nm et la résistivité de contact (ρ_c) à $10^{-9} \Omega \cdot \text{cm}^2$. Par ailleurs, pour les MOSFETs où la longueur de contact (L_c) est inférieure à la longueur de transfert (L_t), la résistivité s'exprime par l'équation suivante :

$$\rho_c = R_c \cdot L_t \quad (\text{I.19})$$

où L_t peut se définir aussi par l'expression suivante :

$$L_t = \sqrt{\frac{\rho_c}{R_{sheet}}} \quad (\text{I.20})$$

I.3 État de l'art des MOSFETs à base des III-V

Depuis le milieu des années 2000, l'utilisation des III-V dans les MOSFETs, qui avait été explorée plusieurs décennies en arrière, a été relancée par l'approche de la fin de la loi de Moore. Cet axe de recherche a été intégré dans ITRS. Cette relance a aussi été possible par les

progrès technologiques sur la croissance de l'oxyde de grille par l'ALD intégrée par les industriels du silicium. Plusieurs topologies de MOSFET III-V à canal N ont été explorées, avec ou sans puits quantique (hétérojonction III-V) et fonctionnant en inversion de population ou en accumulation. Le fonctionnement en accumulation de porteurs N s'obtient par l'insertion d'un plan de dopage. Cette dernière structure est donc associée à une structure de type HEMT dans laquelle la grille Schottky est remplacée par une structure MOS. La figure I.6 illustre les différentes architectures concernant les dispositifs à effet de champ (FET) à base des matériaux III-V présentés dans la conférence IEDM durant les huit dernières années. En outre, de nombreuses autres innovations techniques des transistors MOSFET, tels que les prototypes à trois dimensions (3D), ont été reportées dans la littérature [30]. Grâce à ces innovations, les performances statiques des transistors MOSFET à base des matériaux III-V ont dépassé celles des transistors HEMT dans les dernières années.

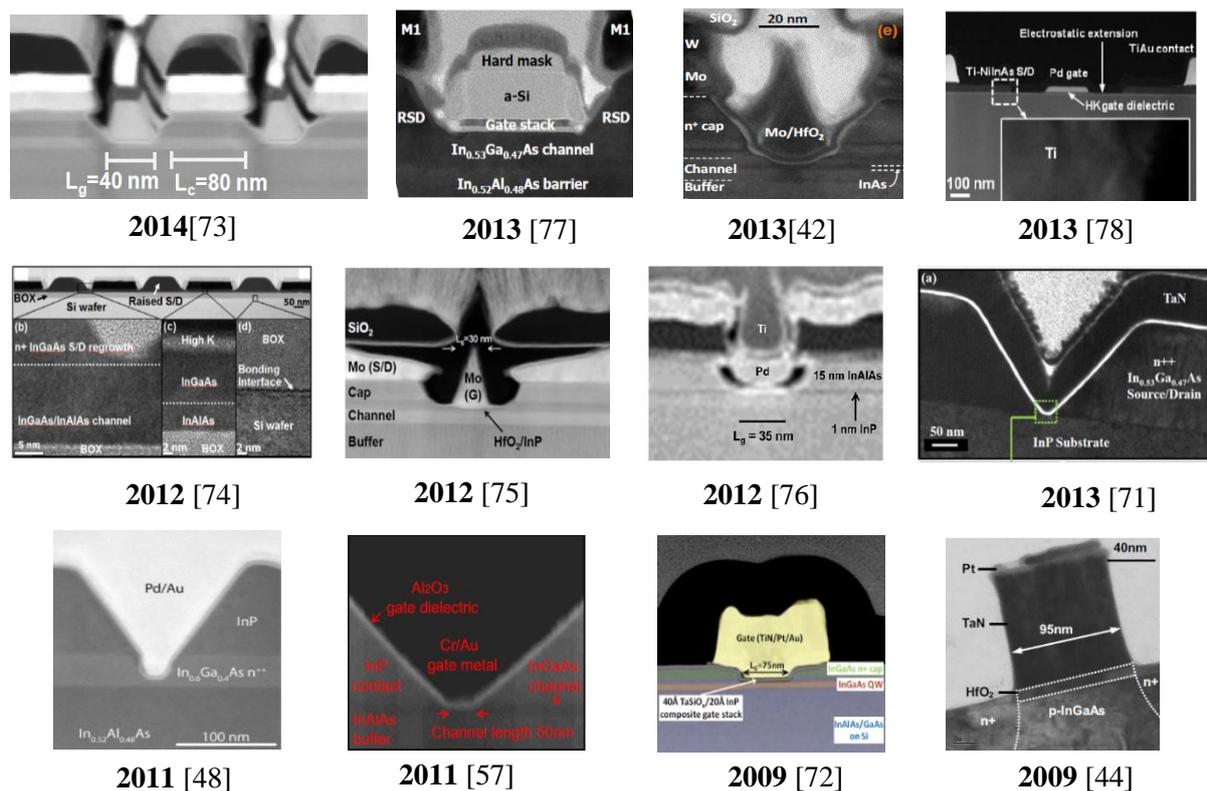


Figure I.6- Architectures des FET rapportés dans IEDM pour les huit dernières années [30].

I.3.1 Densité d'états d'interface D_{it}

Un bon empilement de grille est extrêmement important pour le transistor MOSFET à base des matériaux III-V afin de bénéficier de la mobilité élevée des porteurs dans le canal. Les pièges situés à proximité de l'interface entre le diélectrique de grille et le semi-conducteur

ont une importance fondamentale sur le fonctionnement du MOSFET. Un fort D_{it} cause une dégradation de la mobilité des porteurs et conduit également au blocage indésirable du niveau de Fermi, et donc à un mauvais contrôle électrostatique du canal. En effet, pour la structure MOS à base de silicium, la qualité de l'empilement de grille n'est pas un problème majeur en raison de la qualité de l'interface entre l'oxyde natif SiO_2 et le Si. L'oxyde de silicium SiO_2 est thermodynamiquement stable, avec un D_{it} aussi bas, environ $10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ à l'interface SiO_2/Si [31]. Par contre, pour les matériaux III-V tels que l'InGaAs, l'InP... leurs oxydes natifs donnent lieu à une mauvaise qualité de l'interface et ne sont pas appropriés en tant que diélectriques de grille. Cela a suscité des efforts intensifs pour rechercher un diélectrique de grille d'empilement oxyde/III-V, qui est aussi bon que SiO_2/Si au cours des dernières décennies.

L'étude de l'interface oxyde/semi-conducteur III-V a impliqué l'utilisation des diélectriques de haute permittivité (*high-k*) tels que : HfO_2 [22], ZrO_2 [23], Al_2O_3 [18], Si_3N_4 [24], Ga_2O_3 [32], Gd_2O_3 [11]. Les publications concernant les techniques de dépôt de l'oxyde et la passivation de la surface des III-V ont été multipliées. Des techniques de passivation ou de réalisation d'une couche de silicium amorphe de passivation appelée IPL (Interface Passivation Layer) inspirée de la technologie silicium ont été étudiées. Le dépôt par la technique d'ALD de l'oxyde Al_2O_3 a été largement cité. L'équipe de Ye [33] a utilisé l' Al_2O_3 avec le GaAs qui donne des résultats intéressants au niveau du D_{it} ($5 \cdot 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$). Ensuite, l'équipe d'Oh [34] a utilisé l' HfO_2 avec l'insertion d'une couche interfaçage à base de Si (IPL). Cette technique a permis de minimiser le courant de fuite de la grille, mais d'après F. Gao [35] cela pose un problème, car le silicium est un dopant pour le GaAs. Une autre équipe de Xuan [36] a montré qu'un traitement de la surface de l'InGaAs avec NH_4OH suivi d'un rinçage à l'eau désionisée donne des bons résultats. En effet, la solution NH_4OH élimine l'oxyde de type AsO_x , mais elle n'a pas assez d'efficacité sur l'oxyde de type GaO_x [37].

Par la suite, un autre traitement avec l'utilisation de la solution d'ammoniaque NH_4OH puis une immersion dans le soufre $(\text{NH}_4)_2\text{S}$ [22] et un rinçage à l'eau désionisée présente des grands avantages. Il est relativement rapide, rentable, et direct; il est largement utilisé en raison de son efficacité à éliminer les oxydes natifs, et à améliorer les caractéristiques électriques des dispositifs fabriqués. Pour l'utilisation du $(\text{NH}_4)_2\text{S}$, certaines conditions sont importantes : le temps de passivation, la concentration de la solution et la température de la solution. Un autre groupe montre que l'utilisation de l'acide fluorhydrique HF avec le soufre donne aussi des bons résultats, c'est-à-dire un D_{it} de l'ordre de $8 \cdot 10^{11} \text{ eV}^{-1}.\text{cm}^{-2}$ [38].

D'après B. Shin [39], le traitement avec l'HCl et ensuite l'immersion dans la solution de NH₄OH a permis de réduire en grande partie les oxydes natifs, l'oxyde d'Arsenic (As₂O₃), l'oxyde d'Indium (In₂O₃) et l'oxyde de Gallium (Ga₂O₃). La passivation avec le soufre est souvent utilisée, et dans ce cadre, les auteurs de ce travail [40] ont montré que l'élimination complète de l'excès des atomes d'arsenic (As) n'est pas nécessaire pour réaliser une bonne passivation de la surface. Les résultats indiquent que les liaisons S-Ga sont responsables de la réduction de la valeur du D_{it} dans l'interface oxyde/InGaAs.

Enfin, les traitements plasma de la surface III-V représentent une solution alternative, mais les résultats présentés jusqu'à maintenant ne sont pas assez motivants. Les procédés de passivation de la surface des matériaux III-V peuvent être différents d'un environnement de salles blanches à l'autre, l'impact de cette variation est direct sur la densité d'états d'interface. Il est essentiel de prendre toutes les précautions pour la réussite de cette étape de fabrication. Les résultats du tableau I-3 indiquent que la valeur intermédiaire du D_{it} est aux alentours de 10^{12} eV⁻¹cm⁻², avec des valeurs minimales de quelques 10^{11} eV⁻¹cm⁻². On peut toutefois souligner que ces valeurs dépendent de la méthode utilisée pour leur extraction (HF-LF, Terman (HF), Conductance... voir chapitre II).

Tableau I.3- Extrait de l'état de l'art des D_{it} du transistor MOSFET.

Référence	Canal	Oxyde	Méthode de dépôt de l'oxyde	D_{it} (eV ⁻¹ .cm ⁻²)
[38]	In _{0.53} Ga _{0.47} As	La ₂ O ₃	ALD	$8 \cdot 10^{11}$
[19]	In _{0.53} Ga _{0.47} As	Al ₂ O ₃	ALD	$5.6 \cdot 10^{12}$
[18]	In _{0.53} Ga _{0.47} As	Al ₂ O ₃	ALD	$3-6 \cdot 10^{12}$
[41]	In _{0.7} Ga _{0.3} As	TaSiOx	ALD	$2 \cdot 10^{11}$
[15]	In _{0.53} Ga _{0.47} As	HfAlO	MOCVD	$6.5 \cdot 10^{11}$
[42]	In _{0.53} Ga _{0.47} As	Al ₂ O ₃ /Ga ₂ O ₃	MBE	$4 \cdot 10^{11}$
[20]	InAs	ZrO ₂	ALD	$1 \cdot 10^{11}$
[43]	In _{0.53} Ga _{0.47} As	HfAlO	CVD	$3 \cdot 10^{12}$
[44]	In _{0.53} Ga _{0.47} As	HfO ₂	ALD	$8.6 \cdot 10^{11}$
[32]	In _{0.75} Ga _{0.25} As	Ga ₂ O ₃	MBE	$2.5 \cdot 10^{11}$
[45]	In _{0.53} Ga _{0.47} As	Al ₂ O ₃	ALD	$2.9 \cdot 10^{11}$

I.3.2 Comportements sous le seuil SS et abaissement de la barrière $DIBL$

La pente sous seuil SS et l'abaissement de la barrière induite par la tension de drain $DIBL$ (Drain Induced Barrier Lowering) sont des paramètres caractéristiques d'un MOSFET. Leurs valeurs doivent être maintenues les plus faibles possibles. Dans la littérature, pour les MOSFETs III-V les valeurs de SS restent moyennement autour de 70 à 200 mV/dec, et pour le $DIBL$ sont autour de 150 mV/V.

Le groupe de recherche de Shinini Takagi [46] de l'Université de Tokyo a atteint des faibles valeurs de $DIBL$ de 84 mV/V et de la pente sous seuil de 105 mV/dec avec un canal d'InAs. Un excellent résultat au niveau du $DIBL$ est de 45 mV/V, cette faible valeur a été obtenue par l'équipe de l'université de Purdue [47] et pour le SS une excellente valeur égale 79 mV/dec a été obtenu par l'équipe de l'université de Lund [48]. La figure I.7 présente une partie de l'état de l'art du SS et $DIBL$.

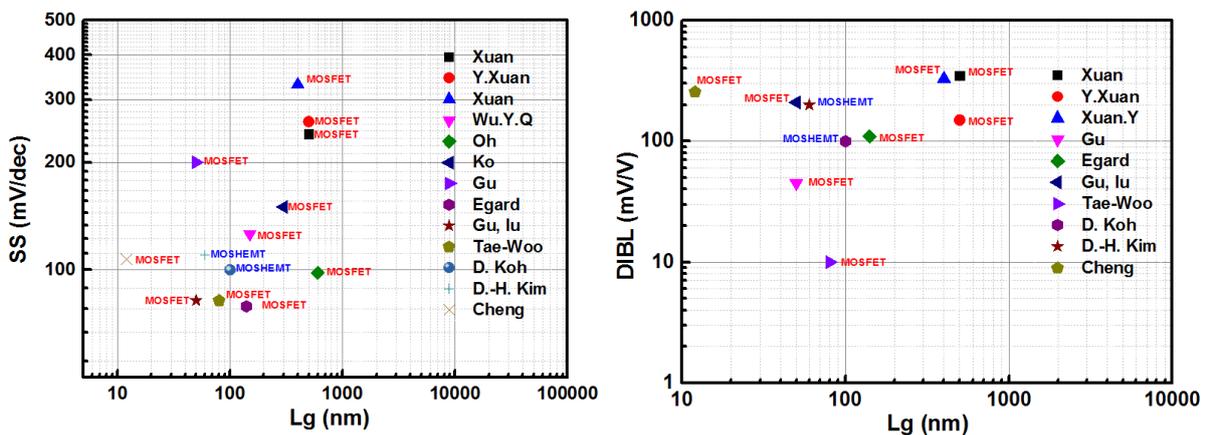


Figure I.7- Extrait de l'état de l'art du SS et $DIBL$ des transistors FETs [49]-[50]-[51]-[52]-[53]-[54]-[36]-[55]-[56]-[57]-[34]-[20]-[58]-[19]-[47]-[26].

I.3.3 Courant de drain maximal, mobilité effective et transconductance

Le courant de drain, la mobilité électronique effective et la transconductance s'imposent comme des paramètres clés du composant MOSFET. Grâce au développement des techniques de passivation de la surface des matériaux III-V et la maturité de certaines techniques de dépôt du diélectrique (ALD), les MOSFETs arrivent à atteindre des valeurs assez remarquables au niveau de la mobilité effective, du courant de drain et de la transconductance. Comme illustré dans la figure I.8, certains composants arrivent à atteindre des valeurs de mobilité effective, de transconductance et du courant de drain, respectivement supérieures, à $2000 \text{ cm}^2\text{V}^{-1}.\text{s}^{-1}$, $1,5 \text{ A/mm}$ et 1 S.mm^{-1} .

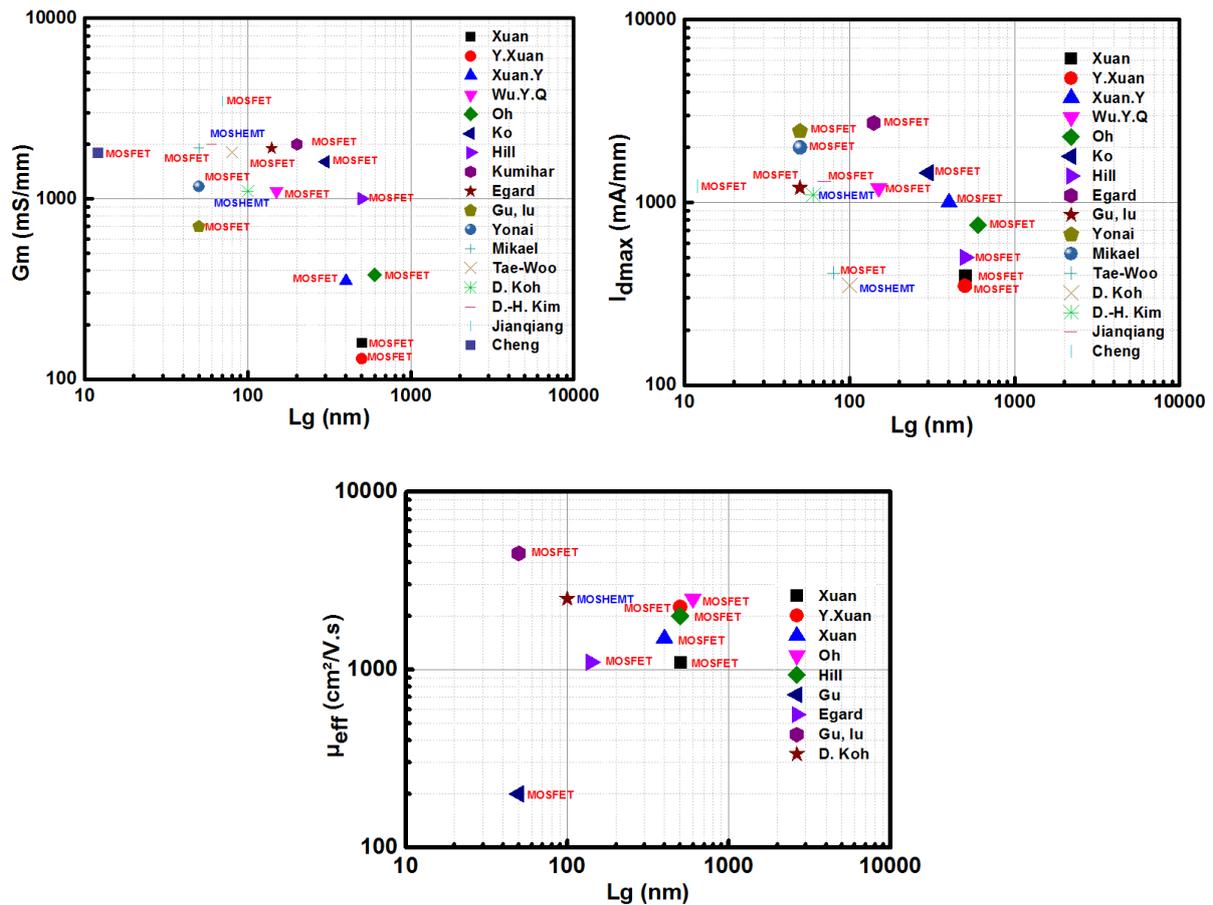


Figure I.8- Extrait de l'état de l'art de la mobilité (a), le courant de drain maximal (b) et la transconductance (c) des transistors FETs [49]-[50]-[51]-[52]-[53]-[54]-[36]-[55]-[56]-[57]-[34]-[20]-[58]-[19]-[47]-[26].

I.3.4 Fréquences de coupure de gains en courant et en puissance

Les composants à base des matériaux III-V sont bien connus pour leurs performances dans le domaine d'hyperfréquence. Dans la littérature, les performances dynamiques des MOSFET, HEMT et MOSHEMT à base des III-V ont été largement reportées (figure I.9). Une excellente performance fréquentielle d'une valeur de $F_T = 292\text{GHz}$ est obtenue par une équipe de l'université de Lund [59]. Dans le cadre du projet de MOS35 de l'université de Lille1, une fréquence de coupure de 200 GHz a été obtenue sur un MOSHEMT à canal d' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ [60]. Une autre excellente performance a été signalée d'une valeur de $F_T = 248\text{GHz}$ sur un MOSFET avec une tension d'alimentation de $V_{DS} = 0,5\text{V}$ [61], ce résultat a été obtenu avec un canal d' InAs . Enfin, un autre résultat a été obtenu par l'équipe de recherche de la société Northrop Grumman [62]. Ils ont développé des amplificateurs faible bruit jusque 1 THz, en utilisant des transistors HEMT-InP de $L_g = 25\text{nm}$ avec une fréquence maximale d'oscillation de F_{MAX} de 1,5 THz et une fréquence de transition F_T de 625 GHz. Ce

résultat est la plus haute performance jamais obtenue sur un transistor et démontre les potentialités des transistors à effet de champ à matériaux III-V.

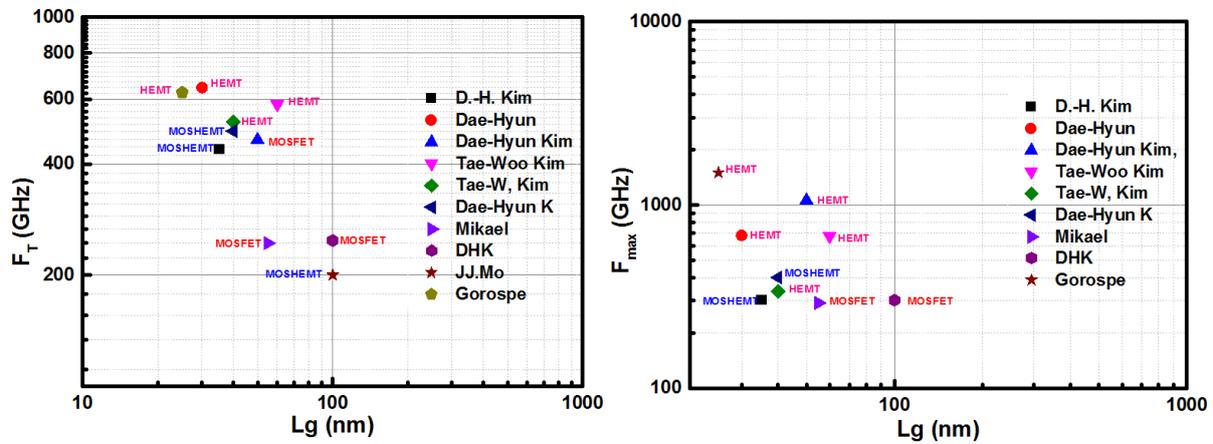


Figure I.9- Extrait de l'état de l'art du F_T et F_{max} des transistors FETs-In(Ga)As [63]- [64]-[65]-[66]- [63]-[60]-[61]-[62].

I.3.5 Résistances des contacts ohmiques (Source/Drain)

Une part des travaux sur les MOSFET à base d'InGaAs reportés à ce jour [41] utilise le procédé non auto-aligné où les contacts métalliques se trouvent éloignés à une distance (d) du canal. Deux types de contacts métalliques à base de l'alliage AuGe et PdGe ont été bien étudiés pour le matériau InGaAs [75]. Le principal avantage des contacts ohmiques à base d'Or (Au) est leur faible résistivité d'environ $1 \times 10^{-6} \Omega \cdot \text{cm}^2$. Cependant, il y a aussi plusieurs inconvénients liés à ce type de contact, le manque de stabilité thermique, et la dégradation du contact avec des changements morphologiques et métallurgiques à son interface avec les matériaux III-V. Cela a été observé à des températures supérieures à 350 °C. De plus dans l'objectif d'une intégration sur le silicium, il est impossible d'utiliser de l'Or. Pour surmonter les problèmes rencontrés par l'or, un contact à base de Palladium (Pd) a été introduit. Ensuite, des techniques de type siliciuration « silicide-like » inspirées des technologies silicium ont été mises en œuvre. Cette technique permet l'auto-alignement des contacts ohmiques sur la grille ainsi que la réduction des résistances d'accès. En outre, l'équipe dirigée par le professeur Takagi a développé un procédé de fabrication à base du nickel (Ni) pour les transistors MOSFETs « Ultra-thin body » à canal d'InGaAs [67]-[68]-[69]. D'autres métaux ont aussi été testés. La figure I.10 présente une comparaison de la résistivité de contact pour des différents alliages entre les métaux et l'InGaAs.

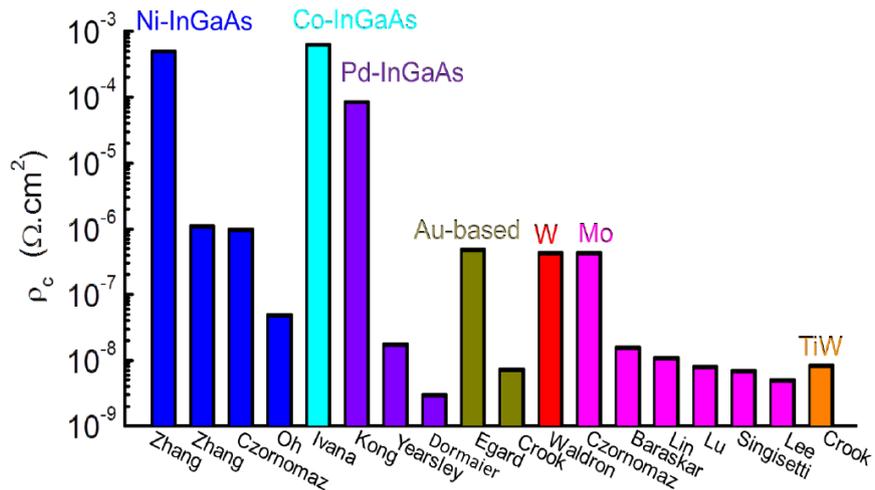


Figure I.10- Analyse comparative de la résistivité de contact pour les différents métaux proposés pour les MOSFETs à canal InGaAs de type n [30].

La figure I.11 ci-dessous présente une comparaison de la résistivité de contact (ρ_c) et la résistivité du film métallique (ρ_m), définie comme le produit de la résistance carrée du métal (R_{\square}) et son épaisseur (t) [70].

$$\rho_m = R_{\square} \cdot t \quad (I.21)$$

Les résistivités ρ_c et ρ_m sont respectivement déterminantes pour R_c et R_{sheet} . En effet, les deux valeurs des résistivités doivent être réduites afin de minimiser les résistances d'accès des transistors MOSFETs. Par ailleurs, ITRS préconise d'atteindre une résistivité de contact de l'ordre de $10^{-9} \Omega \cdot \text{cm}^2$ et une résistivité de l'alliage métal/III-V de l'ordre de $1 \cdot 10^{-5} \Omega \cdot \text{cm}$ (équivalent au siliciure sur le Si).

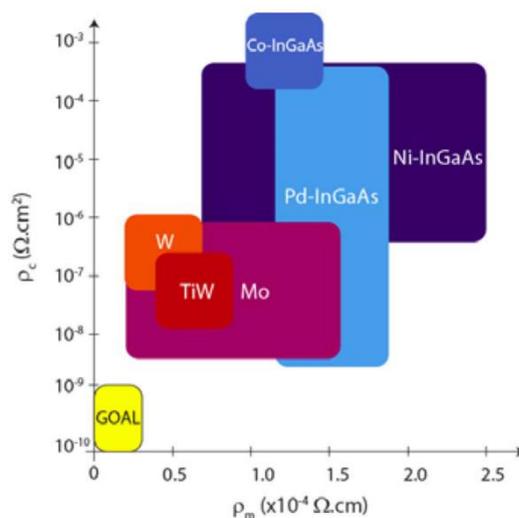


Figure I.11- Illustration des résistivités de contact (ρ_c) et de la résistivité du film métallique (ρ_m) pour les différentes technologies proposées pour les MOSFETs à canal d'InGaAs ainsi que l'objectif fixé pour les valeurs de ρ_c et ρ_m par ITRS pour l'année 2018 [70].

I.4 Objectifs de la thèse

Suite à l'analyse de la littérature, plusieurs problèmes ont été constatés et représentent un frein majeur pour le développement de la technologie MOSFET à base des matériaux III-V. En particulier, la présence des défauts d'interface entre l'oxyde et le matériau III/V, la qualité de l'oxyde, les contacts de source et de drain, la croissance sur un substrat de silicium.

La problématique principale est comment résoudre tous ces problèmes qui bloquent l'amélioration des performances du MOSFET, et quelles sont les solutions envisageables pour surmonter ces difficultés. Dans ce contexte, notre motivation est de développer une technologie MOSFET à base de matériaux III-V de haute mobilité. Cette technologie devrait être capable de fonctionner sous une faible tension d'alimentation. En outre, les transistors à base de matériaux III-V sont d'excellents candidats pour les applications radiofréquences (RF). Pour cette raison, l'objectif du projet de recherche est le suivant : développement d'un procédé de fabrication du transistor MOSFET « Ultra-thin body » en partie compatible avec les technologies industrielles.

Tout d'abord, pour réduire la tension d'alimentation, les bonnes propriétés de transport électronique des matériaux III-V sont un atout. Notre choix s'est porté sur les deux matériaux InAs et InGaAs, ils présentent d'excellentes mobilités électroniques. En second lieu, la qualité d'interface entre l'oxyde et les III-V représente un obstacle majeur pour l'avancement de la technologie MOSFET. Nous nous sommes intéressés à l'étude, l'élaboration et la mise au point d'une technique de passivation de la surface du semi-conducteur III-V qui permettrait d'améliorer par la suite la qualité de l'interface oxyde/III-V. Pour cette raison, une série d'études détaillées de plusieurs prétraitements de la surface des III-V a été réalisée, dans le but d'obtenir une interface de la meilleure qualité possible. Deux techniques de dépôt du diélectrique ont été utilisées, le dépôt de Si_3N_4 par la technique PECVD et l' Al_2O_3 par l'ALD. Le dépôt en PECVD s'est effectué à l'université de Sherbrooke et le dépôt par ALD à l'IEMN, puis nous avons caractérisé les composants en utilisant la méthode C-V pour extraire les caractéristiques de la capacité MOS/MIS qui est la base du transistor MOSFET/MISFET. Les résultats des deux techniques seront présentés dans le chapitre II.

Ensuite, pour éviter une dégradation de la mobilité des porteurs en raison de la mauvaise qualité de l'interface de l'oxyde et les III-V, un matériau de large bande interdite et de faible épaisseur a été placé entre l'oxyde et le canal. Dans ce cas, le canal d'électrons est enterré, il est donc moins affecté par la présence de défauts d'interface.

De même, pour les régions source et drain, une attention particulière a été portée au budget thermique relatif à la définition de ces deux régions. Une température élevée dégrade la qualité de l'oxyde et aussi la mobilité dans le canal. Donc, la formation de contacts ohmiques devient un procédé clé pour obtenir une mobilité élevée dans le canal une faible résistance d'accès. De récentes études montrent que la siliciuration est une solution prometteuse pour répondre à ces spécifications. En effet, cette étape est un point clé, et sera abordée dans ce projet. En dernier lieu, après la fabrication des transistors, une série de mesures et de caractérisations a été faite, elle nous a donné une connaissance précise des caractéristiques électriques de la technologie. Le tableau I.5 récapitule les résultats envisagés pour le transistor MOSFET à base des III-V.

Tableau I.5- Figure de mérite de la technologie MOSFET : la tension d'alimentation (V_{ds}), la densité de pièges d'interface (D_{it}), la mobilité efficace (μ_{eff}), la pente sous-seuil (SS), la barrière de drain induite par abaissement ($DIBL$), le rapport ($I_{on/off}$), le courant de drain maximal (I_{dmax}), les fréquences f_T et f_{max} .

Figure de Mérite (objectifs)	
V_{DS}	0.5V
D_{it}	$10^{12} \text{ eV}^{-1}\text{cm}^{-2}$
μ_{eff}	$5000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
SS	100 mV/dec
DIBL	150 mV/V
$I_{on/off}$	10 000
I_{dmax}	1000 mA/mm
f_T	450 GHz
f_{max}	450 GHz

Finalement, ce travail de thèse n'aborde pas la croissance de matériaux III-V sur substrat silicium. Cette action a été menée par le LTM (Laboratoire des technologies de la microélectronique) dans le cadre du projet ANR MOSINAS. L'ensemble des couches épitaxiales utilisées pour la fabrication des dispositifs de cette thèse ont été réalisés à l'IEMN par épitaxie à jets moléculaires sur un substrat d'InP.

Bibliographie

- [1] M. Billaud, “Intégration de semi-conducteurs III-V sur substrat silicium pour les transistors n-MOSFET à haute mobilité,” *Thèse, Univ. GRENOBLE ALPES*, 2017.
- [2] S. Bernardini, “Modélisation des structures metal-oxyde-semiconducteur (mos) : applications aux dispositifs mémoires,” *Thèse, Univ. D’AIX-MARSEILLE I*, 2006.
- [3] S. Takagi, “High mobility channel MOS device technologies toward nano-CMOS era,” *2011 IEEE Nanotechnol. Mater. Devices Conf. NMDC 2011*, pp. 281–290, 2011.
- [4] K. H. Goh, K. H. Tan, S. Yadav, Annie, S. F. Yoon, G. Liang, X. Gong, and Y. C. Yeo, “Gate-all-around CMOS (InAs n-FET and GaSb p-FET) based on vertically-stacked nanowires on a Si platform, enabled by extremely-thin buffer layer technology and common gate stack and contact modules,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2016-Febru, pp. 15.4.1–15.4.4, 2016.
- [5] R. Alcotte, M. Martin, J. Moeyaert, R. Cipro, S. David, F. Bassani, F. Ducroquet, Y. Bogumilowicz, E. Sanchez, Z. Ye, X. Y. Bao, J. B. Pin, and T. Baron, “Epitaxial growth of antiphase boundary free GaAs layer on 300 mm Si(001) substrate by metalorganic chemical vapour deposition with high mobility,” *APL Mater.*, vol. 4, no. 4, 2016.
- [6] S. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “Biaxially strained extremely-thin body In_{0.53}Ga_{0.47}As-on-insulator metal-oxide-semiconductor field-effect transistors on Si substrate and physical understanding on their electron mobility,” *J. Appl. Phys.*, vol. 114, no. 16, 2013.
- [7] P. J. Schubert and G. W. Neudeck, “Confined lateral selective epitaxial growth of silicon for device fabrication,” *IEEE Electron Device Lett.*, vol. 11, no. 5, pp. 181–183, 1990.
- [8] N. Waldron, S. Sioncke, J. Franco, L. Nyns, A. Vais, X. Zhou, H. C. Lin, G. Boccardi, J. W. Maes, Q. Xie, M. Givens, F. Tang, X. Jiang, E. Chiu, A. Opdebeeck, C. Merckling, F. Sebaai, D. Van Dorp, L. Teugels, A. S. Hernandez, K. De Meyer, K. Barla, N. Collaert, and Y. V. Thean, “Gate-all-around InGaAs nanowire FETS with peak transconductance of 2200 μ S/ μ m at 50nm Lg using a replacement Fin RMG flow,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2016-Febru, pp. 3111–3114, 2016.

- [9] P. Ye, "InGaAs revolutionizes III-V MOSFETs," *Compd. Semicond.*, pp. 29–31, 2008.
- [10] J. F. B. B Lescaut, Y.I.Nissim, "Passivation of ingaas surfaces with an integrated process including an ammonia decr plasma," *Indium Phosphide Relat. Mater. 1996*, pp. 1–4, 1996.
- [11] L. K. Chu, R. L. Chu, T. D. Lin, W. C. Lee, C. A. Lin, M. L. Huang, Y. J. Lee, J. Kwo, and M. Hong, "Effective passivation and high-performance metal-oxide-semiconductor devices using ultra-high-vacuum deposited high-k dielectrics on Ge without interfacial layers," *Solid. State. Electron.*, vol. 54, no. 9, pp. 965–971, 2010.
- [12] H. T. and H. H. S. Suzuki, S. Kodama, "InGaAs Insulated Gate Field Effect Transistors Ushg Silicon Interlayer Based Passivation Technique," *Indium Phosphide Relat. Mater. 1995*, vol. 3, pp. 436–439, 1995.
- [13] M. Billaud, J. Duvernay, H. Grampeix, B. Pelissier, M. Martin, T. Baron, H. Boutry, Z. Chalupa, M. Cass, T. Ernst, and M. Vinet, "Al₂O₃/InGaAs interface study on MOS capacitors for a 300mm process integration," *EUROSOI-ULIS 2015 - 2015 Jt. Int. EUROSOI Work. Int. Conf. Ultim. Integr. Silicon*, pp. 113–116, 2015.
- [14] A. Alian, G. Brammertz, R. Degraeve, M. Cho, C. Merckling, D. Lin, W.-E. Wang, M. Caymax, M. Meuris, K. de Meyer, and M. Heyns, "Oxide Trapping in the InGaAs-Al₂O₃ System and the Role of Sulfur in Reducing the Trap Density," *IEEE Electron Device Lett.*, vol. 33, no. 11, pp. 1544–1546, 2012.
- [15] H. C. Chin, X. Liu, X. Gong, and Y. C. Yeo, "Silane and ammonia surface passivation technology for high-mobility In_{0.53}Ga_{0.47}As MOSFETs," *IEEE Trans. Electron Devices*, vol. 57, no. 5, pp. 973–979, 2010.
- [16] S. Tiwari, S. L. Wright, and J. Batey, "Unpinned GaAs MOS Capacitors and Transistors," *IEEE Electron Device Lett.*, vol. 9, no. 9, pp. 488–490, 1988.
- [17] L. B.-D. Liu, Biing-Der, S.-C. Lee, Si-Chen Lee, T.-P. Sun, Tai-Ping Sun, and Y. S.-J. Yang, Sheng-Jenn, "Detailed investigation of InSb p-channel metal-oxide-semiconductor field effect transistor prepared by photo-enhanced chemical vapor deposition," *IEEE Trans. Electron Devices*, vol. 42, no. 5, 1995.

- [18] P. K. Hurley, A. O'Connor, V. Djara, S. Monaghan, I. M. Povey, R. D. Long, B. Sheehan, J. Lin, P. C. McIntyre, B. Brennan, R. M. Wallace, M. E. Pemble, and K. Cherkaoui, "The characterization and passivation of fixed oxide charges and interface states in the Al₂O₃/InGaAs MOS system," *IEEE Trans. Device Mater. Reliab.*, vol. 13, no. 4, pp. 429–443, 2013.
- [19] J. J. Gu, Y. Q. Liu, Y. Q. Wu, R. Colby, R. G. Gordon, and P. D. Ye, "First experimental demonstration of gate-all-around III-V MOSFETs by top-down approach," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 100, pp. 769–772, 2011.
- [20] H. Ko, K. Takei, R. Kapadia, S. Chuang, H. Fang, P. W. Leu, K. Ganapathi, E. Plis, H. S. Kim, S.-Y. Chen, M. Madsen, A. C. Ford, Y.-L. Chueh, S. Krishna, S. Salahuddin, and A. Javey, "Ultrathin compound semiconductor on insulator layers for high-performance nanoscale transistors.," *Nature*, vol. 468, no. 7321, pp. 286–289, 2010.
- [21] A. Jaouad and C. Aktik, "Passivation of GaAs metal–insulator–semiconductor structures by ((NH₄)₂S_x) and by evaporation of SiO₂," *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 20, no. 2002, p. 1154, 2002.
- [22] C. Y. Chang, M. Yokoyama, S. H. Kim, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, "Impact of metal gate electrodes on electrical properties of InGaAs MOS gate stacks," *Microelectron. Eng.*, vol. 109, pp. 28–30, 2013.
- [23] M. A. Negara, N. Goel, D. Bauza, G. Ghibaudo, and P. K. Hurley, "Interface state densities, low frequency noise and electron mobility in surface channel In_{0.53}Ga_{0.47}As n-MOSFETs with a ZrO₂ gate dielectric," *Microelectron. Eng.*, vol. 88, no. 7, pp. 1095–1097, 2011.
- [24] W. P. Li, X. W. Wang, Y. X. Liu, S. I. Shim, and T. P. Ma, "Demonstration of unpinned GaAs surface and surface inversion with gate dielectric made of Si₃N₄," *Appl. Phys. Lett.*, vol. 90, no. 19, pp. 11–14, 2007.
- [25] Ivana, "InGaAs n-mosfets with cmos compatible source/drain technology and the integration on si platform," *Thèse, Natl. Univ. Singapore*, vol. 1, 2013.
- [26] Cheng-Ying Huang, Prateek Choudhar, Sanghoon Leel, Stephan Kraemer, Varistha Chobpattana, Brain Thibeault, William Mitchell, Susanne Stemmer, Arthur Gossard, "12 nm-gate-length ultrathin-body InGaAs/InAs MOSFETs with $8.3 \cdot 10^5$ I_{ON}/I_{OFF}," *IEEE 73rd Annu. Device Res. Conf.*, pp. 30–31, 2015.

- [27] L. Czornomaz, M. El Kazzi, M. Hopstaken, D. Caimi, P. Mächler, C. Rossel, M. Bjoerk, C. Marchiori, H. Siegwart, and J. Fompeyrine, “CMOS compatible self-aligned S/D regions for implant-free InGaAs MOSFETs,” *Solid. State. Electron.*, vol. 74, pp. 71–76, 2012.
- [28] S. Kim, S. Member, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “High-Performance InAs-On-Insulator n-MOSFETs With Ni-InGaAs S/D Realized by Contact Resistance Reduction Technology,” *3342 IEEE Trans. ELECTRON DEVICES*, vol. 60, no. 10, pp. 3342–3350, 2013.
- [29] ITRS, “Process integration, devices, and structures,” *Int. Technol. ROADMAP Semicond.*, 2013.
- [30] J. Lin, “InGaAs Quantum-Well MOSFETs for Logic Applications,” *Thèse, Massachusetts Inst. Technol.*, 2015.
- [31] M. S. Kang, “Low SiO₂/Si interface state density for low temperature oxides prepared by electron cyclotron resonance oxygen plasma,” *J. Non. Cryst. Solids*, vol. 328, no. 1–3, pp. 241–244, 2003.
- [32] M. Passlack, P. Zurcher, K. Rajagopalan, R. Droopad, J. Abrokwhah, M. Tutt, Y. Park, E. Johnson, a Zlotnicka, P. Fejes, R. J. W. Hill, D. a J. Moran, X. Li, H. Zhou, D. Macintyre, S. Thoms, a Asenov, K. Kalna, and I. G. Thayne, “High Mobility III-V MOSFETs,” *Current*, pp. 1–4, 2007.
- [33] P. D. Ye, G. D. Wilk, B. Yang, J. Kwo, S. N. G. Chu, S. Nakahara, H. J. L. Gossmann, J. P. Mannaerts, M. Hong, K. K. Ng, and J. Bude, “GaAs metal-oxide-semiconductor field-effect transistor with nanometer-thin dielectric grown by atomic layer deposition,” *Appl. Phys. Lett.*, vol. 83, no. 1, pp. 180–182, 2003.
- [34] H. J. Oh, J. Q. Lin, S. A. B. Suleiman, G. Q. Lo, D. L. Kwong, D. Z. Chi, and S. J. Lee, “Thermally robust phosphorous nitride interface passivation for InGaAs self-aligned gate-first n-MOSFET integrated with high-k dielectric,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 5, pp. 339–342, 2009.
- [35] F. Gao, S. J. Lee, R. Li, S. J. Whang, S. Balakumar, D. Z. Chi, C. C. Kean, S. Vicknesh, C. H. Tung, and D. L. Kwong, “GaAs p- and n-MOS devices integrated with novel passivation (plasma nitridation and AlN-surface passivation) techniques and

- ALD-HfO₂/TaN gate stack,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 100, pp. 3–6, 2006.
- [36] Y. Xuan, Y. Q. Wu, and P. D. Ye, “High-performance submicron inversion-type enhancement-mode InGaAs MOSFET with maximum drain current of 360 mA/mm and transconductance of 130 mS/mm,” *IEEE Electron Device Lett.*, vol. 309, no. 1998, pp. 2006–2007, 2007.
- [37] W. Jevasuwan, T. Maeda, N. Miyata, M. Oda, T. Irisawa, T. Tezuka, and T. Yasuda, “Self-limiting growth of ultrathin Ga₂O₃ for the passivation of Al₂O₃/InGaAs interfaces,” *Appl. Phys. Express*, vol. 7, no. 1, 2014.
- [38] D. H. Zadeh, H. Oomine, K. Kakushima, Y. Kataoka, A. Nishiyama, N. Sugii, H. Wakabayashi, K. Tsutsui, K. Natori, and H. Iwai, “Low Dit high-k/In_{0.53}Ga_{0.47}As Gate Stack, with CET Down to 0.73 nm and Thermally Stable Silicide Contact by Suppression of Interfacial Reaction,” *2013 Int. Electron Devices Meet.*, pp. 36–39, 2013.
- [39] B. Shin, D. Choi, J. S. Harris, and P. C. McIntyre, “Pre-atomic layer deposition surface cleaning and chemical passivation of (100) In_{0.2}Ga_{0.8}As and deposition of ultrathin Al₂O₃ gate insulators,” *Appl. Phys. Lett.*, vol. 93, no. 5, pp. 11–14, 2008.
- [40] P. H. Holloway and G. E. McGuire, “Handbook of Compound Semiconductors : Growth , Processing , Characterization , and Devices (Materials Science and Process Technology Series),” *Mater. Sci. Process Technol. Ser.*, pp. 1–3, 1995.
- [41] M. Radosavljevic, G. Dewey, J. M. Fastenau, J. Kavalieros, R. Kotlyar, B. Chu-Kung, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, and R. Chau, “Non-planar, multi-gate InGaAs quantum well field effect transistors with high-K gate dielectric and ultra-scaled gate-to-drain/gate-to-source separation for low power logic applications,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 6, pp. 126–129, 2010.
- [42] J. Lin, X. Zhao, T. Yu, D. A. Antoniadis, and J. A. Del Alamo, “A new self-aligned quantum-well MOSFET architecture fabricated by a scalable tight-pitch process,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. d, pp. 421–424, 2013.

- [43] J. Q. Lin, S. J. Lee, H. J. Oh, G. Q. Lo, D. L. Kwong, and D. Z. Chi, "Inversion-Mode Self-Aligned $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ N-Channel Metal-Oxide-Semiconductor Field-Effect Transistor With HfAlO Gate Dielectric and TaN Metal Gate," *IEEE ELECTRON DEVICE Lett.*, vol. 29, no. 9, pp. 977–980, 2008.
- [44] J. Lin, S. Lee, H. J. Oh, W. Yang, G. Q. Lo, D. L. Kwong, and D. Z. Chi, "Plasma PH_3 -passivated high mobility inversion InGaAs MOSFET fabricated with self-aligned gate-first process and HfO_2/TaN gate stack," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 10, pp. 10–13, 2008.
- [45] S. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Sub-60-nm extremely thin body $\text{In}_x\text{Ga}_{1-x}\text{As}$ -On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering and Its Scalability," *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2512–2517, 2013.
- [46] M. T. and S. T. S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, "Sub-60 nm Deeply-Scaled Channel Length Extremely-thin Body $\text{In}_x\text{Ga}_{1-x}\text{As}$ -On-Insulator MOSFETs on Si with Ni-InGaAs Metal S / D and MOS Interface Buffer Engineering," *Technology*, pp. 177–178, 2012.
- [47] J. J. Gu, O. Koybasi, Y. Q. Wu, and P. D. Ye, "III-V-on-nothing metal-oxide-semiconductor field-effect transistors enabled by top-down nanowire release process: Experiment and simulation," *Appl. Phys. Lett.*, vol. 99, no. 11, pp. 9–12, 2011.
- [48] E. Lind, "High Transconductance Self-Aligned Gate-Last Surface Channel $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$," *IEEE-IEDM11*, pp. 303–306, 2011.
- [49] M. Egard, L. Ohlsson, M. Ärlelid, K. Persson, B. M. Borg, F. Lenrick, R. Wallenberg, E. Lind, and L. Wernersson, "High-Frequency Performance of Self-Aligned Gate-Last Surface Channel $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSFET," *IEEE ELECTRON DEVICE Lett.*, vol. 33, no. 3, pp. 369–371, 2012.
- [50] T. W. Kim, D. H. Koh, C. S. Shin, W. K. Park, T. Orzali, C. Hobbs, W. P. Maszara, and D. H. Kim, "Lg = 80 nm trigate quantum-well $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ metal-oxide-semiconductor field-effect transistors with $\text{Al}_2\text{O}_3/\text{HfO}_2$ gate-stack," *IEEE Electron Device Lett.*, vol. 36, no. 3, pp. 223–225, 2015.

- [51] D. Koh, H. M. Kwon, T. W. Kim, D. H. Kim, T. W. Hudnall, C. W. Bielawski, W. Maszara, D. Veksler, D. Gilmer, P. D. Kirsch, and S. K. Banerjee, "Lg = 100 nm In_{0.7}Ga_{0.3}As quantum well metal-oxide semiconductor field-effect transistors with atomic layer deposited beryllium oxide as interfacial layer," *Appl. Phys. Lett.*, vol. 104, no. 16, pp. 2014–2017, 2014.
- [52] D. H. Kim, J. A. Del Alamo, D. A. Antoniadis, J. Li, J. M. Kuo, P. Pinsukanjana, Y. C. Kao, P. Chen, A. Papavasiliou, C. King, E. Regan, M. Urteaga, B. Brar, and T. W. Kim, "Lg = 60 nm recessed In_{0.7}Ga_{0.3}As metal-oxide-semiconductor field-effect transistors with Al₂O₃ insulator," *Appl. Phys. Lett.*, vol. 101, no. 22, pp. 1–5, 2012.
- [53] J. Lin, X. Cai, Y. Wu, D. A. Antoniadis, L. Fellow, and J. A. Alamo, "Record Maximum Transconductance of 3.45 mS/μm for III-V FETs," *IEEE ELECTRON DEVICE Lett.*, vol. 37, no. 4, pp. 381–384, 2016.
- [54] Y. Xuan, Y. Q. Wu, T. Shen, T. Yang, and P. D. Ye, "High performance submicron inversion-type enhancement-mode InGaAs MOSFETs with ALD Al₂O₃, HfO₂ and HfAlO as gate dielectrics," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 637–640, 2007.
- [55] Y. Xuan, Y. Q. Wu, and P. D. Ye, "High-performance inversion-type enhancement-mode InGaAs MOSFET with maximum drain current exceeding 1 A/mm," *IEEE Electron Device Lett.*, vol. 29, no. 4, pp. 294–296, 2008.
- [56] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, and P. D. Ye, "Submicrometer inversion-type enhancement-mode InGaAs MOSFET with atomic-layer-deposited Al₂O₃ as gate dielectric," *IEEE Electron Device Lett.*, vol. 28, no. 11, pp. 935–938, 2007.
- [57] Y. Yonai, T. Kanazawa, S. Ikeda, and Y. Miyamoto, "High drain current (>2A/mm) InGaAs channel MOSFET at V_d=0.5V with shrinkage of channel length by InP anisotropic etching," *2011 Int. Electron Devices Meet.*, pp. 13.3.1–13.3.4, 2011.
- [58] R. J. W. Hill, C. Park, J. Barnett, J. Price, J. Huang, N. Goel, W. Y. Loh, J. Oh, C. E. Smith, P. Kirsch, P. Majhi, and R. Jammy, "Self-aligned III-V MOSFETs heterointegrated on a 200 mm Si substrate using an industry standard process flow," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 130–133, 2010.

- [59] M. Egard, L. Ohlsson, M. Ärlelid, K. M. Persson, B. M. Borg, F. Lenrick, R. Wallenberg, E. Lind, and L. E. Wernersson, "High-frequency performance of self-aligned gate-last surface channel $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOSFET," *IEEE Electron Device Lett.*, vol. 33, no. 3, pp. 369–371, 2012.
- [60] J. J. Mo, N. Wichmann, Y. Roelens, M. Zaknour, L. Desplanque, X. Wallart, and S. Bollaert, "Lattice matched and Pseudomorphic InGaAs MOSHEMT with f_T of 200GHz," *Conf. Proc. - Int. Conf. Indium Phosphide Relat. Mater.*, pp. 44–47, 2012.
- [61] K. Dae-Hyun, K. Tae-Woo, R. J. W. Hill, C. D. Young, K. Chang Yong, C. Hobbs, P. Kirsch, J. A. del Alamo, and R. Jammy, "High-Speed E-Mode InAs QW MOSFETs With Al_2O_3 Insulator for Future RF Applications," *Electron Device Lett. IEEE*, vol. 34, no. 2, pp. 196–198, 2013.
- [62] B. Gorospe, K. Nguyen, and X. B. Mei, "A 670 GHz Low Noise Amplifier with < 10 dB Packaged Noise Figure," *IEEE Microw. Wirel. COMPONENTS Lett.*, vol. 26, no. 10, pp. 837–839, 2016.
- [63] D. H. Kim, T. W. Kim, R. Baek, P. D. Kirsch, W. Maszara, J. A. Del Alamo, D. A. Antoniadis, M. Urteaga, B. Brar, H. Kwon, C. S. Shin, W. K. Park, Y. D. Cho, S. Shin, D. Ko, and K. S. Seo, "High-performance III-V devices for future logic applications," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015-Febru, pp. 25.2.1–25.2.4, 2015.
- [64] T. W. Kim, D. H. Kim, and J. A. Del Alamo, "Logic characteristics of 40 nm thin-channel InAs HEMTs," *Conf. Proc. - Int. Conf. Indium Phosphide Relat. Mater.*, vol. June, pp. 496–499, 2010.
- [65] T. W. Kim, D. H. Kim, and J. A. Del Alamo, "60 nm self-aligned-gate InGaAs HEMTs with record high-frequency characteristics," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 696–699, 2010.
- [66] D.-H. Kim and J. A. Del Alamo, "30-nm InAs PHEMTs With $f_t=644$ GHz and $f_{\max}=681$ GHz," *IEEE Electron Devices Lett.*, vol. 31, no. 8, pp. 806–808, 2010.
- [67] M. Yokoyama, K. Nishi, S. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, "Self-aligned Ni-GaSb source/drain junctions for GaSb p-channel metal-oxide-semiconductor field-effect transistors," *Appl. Phys. Lett.*, vol. 104, no. 9, pp. 11–16, 2014.

- [68] S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Self-aligned Metal S/D InP MOSFETs using Metallic Ni-InP alloys Fabrication process," *23rd Int. Conf. Indium Phosphide Relat. Mater.*, pp. 1–4, 2011.
- [69] S. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Self-Aligned Metal Source/Drain In_xGa_{1-x}As n-Metal-Oxide-Semiconductor Field-Effect Transistors Using Ni-InGaAs Alloy," *Appl. Phys. Express*, vol. 4, no. 2, p. 024201, 2011.
- [70] J. A. Del Alamo, D. A. Antoniadis, J. Lin, W. Lu, A. Vardi, and X. Zhao, "Nanometer-scale III-V MOSFETs," *IEEE J. Electron Devices Soc.*, vol. 4, no. 5, pp. 205–214, 2016.
- [71] K. H. Goh, Y. Guo, X. Gong, G. C. Liang, and Y. C. Yeo, "Near ballistic sub-7 nm Junctionless FET featuring 1 nm extremely-thin channel and raised S/D structure," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2, pp. 1–4, 2013.
- [72] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and R. Chau, "Advanced high-K gate dielectric for high-performance short-channel In_{0.7}Ga_{0.3}As quantum well field effect transistors on silicon substrate for low power logic applications," *Electron Devices Meet. (IEDM), 2009 IEEE Int.*, vol. 32, no. 10, pp. 1–4, 2009.
- [73] J. Lin, D. A. Antoniadis, and J. A. Del Alamo, "Novel intrinsic and extrinsic engineering for high-performance high-density self-aligned InGaAs MOSFETs: Precise channel thickness control and sub-40-nm metal contacts," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015-Febru, no. February, pp. 25.1.1–25.1.4, 2015.
- [74] L. Czornomaz, N. Daix, D. Caimi, M. Sousa, R. Erni, M. D. Rossell, M. El-Kazzi, C. Rossel, C. Marchiori, E. Uccelli, M. Richter, H. Siegwart, and J. Fompeyrine, "An integration path for gate-first UTB III-V-on-insulator MOSFETs with silicon, using direct wafer bonding and donor wafer recycling," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 517–520, 2012.

- [75] J. Lin, D. A. Antoniadis, and J. A. Del Alamo, "Sub-30 nm InAs Quantum-Well MOSFETs with self-aligned metal contacts and Sub-1 nm EOT HfO₂ insulator," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 757–760, 2012.
- [76] D. H. Kim, P. Hundal, A. Papavasiliou, P. Chen, C. King, J. Paniagua, M. Urteaga, B. Brar, Y. G. Kim, J. M. Kuo, J. Li, P. Pinsukanjana, and Y. C. Kao, "E-mode planar Lg = 35 nm In_{0.7}Ga_{0.3}As MOSFETs with InP/Al₂O₃/HfO₂ (EOT = 0.8 nm) composite insulator," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2, no. d, pp. 761–764, 2012.
- [77] Y. Sun, A. Majumdar, C. W. Cheng, Y. H. Kim, U. Rana, R. M. Martin, R. L. Bruce, K. T. Shiu, Y. Zhu, D. Farmer, M. Hopstaken, E. A. Joseph, J. P. De Souza, M. M. Frank, S. L. Cheng, M. Kobayashi, E. A. Duch, D. K. Sadana, D. G. Park, and E. Leobandung, "Self-aligned III-V MOSFETs: Towards a CMOS compatible and manufacturable technology solution," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 48–51, 2013.
- [78] S. W. Chang, X. Li, R. Oxland, S. W. Wang, C. H. Wang, R. Contreras-Guerrero, K. K. Bhuvalka, G. Doornbos, T. Vasen, M. C. Holland, G. Vellianitis, M. J. H. Van Dal, B. Duriez, M. Edirisooriya, J. S. Rojas-Ramirez, P. Ramvall, S. Thoms, U. Peralagu, C. H. Hsieh, Y. S. Chang, K. M. Yin, E. Lind, L. E. Wernersson, R. Droopad, I. Thayne, M. Passlack, and C. H. Diaz, "InAs N-MOSFETs with record performance of $I_{on} = 600 \mu\text{A}/\text{mm}$ at $I_{off} = 100 \text{ nA}/\mu\text{m}$ ($V_d = 0.5 \text{ V}$)," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. August 2016, 2013.

Chapitre II : Étude et développement des briques technologiques pour les composants MOSFETs/III-V

II.1	Introduction	57
II.2	Étude et optimisation de la passivation des composants MOS	57
II.2.1	Généralités sur les structures MOS	58
II.2.1.1	Structure MOS idéale	58
II.2.2.2	Structure MOS réelle.....	58
II.2.2	Techniques de caractérisation électrique des interfaces MOS.....	60
II.2.2.1	Méthode C-V haute fréquence (Terman)	60
II.2.2.2	Méthode C(V) Haute fréquence-Basse fréquence (HF-LF).....	61
II.2.2.3	Méthode de la conductance	62
II.2.3	Fabrication et caractérisation des capacités MOS/MIS sur InP	64
II.2.3.1	Fabrication et caractérisation des Capacités MOS par dépôt ALD de l'oxyde d'alumine	66
II.2.3.1.1	Étapes technologiques	66
II.2.3.1.2	Caractérisations électriques des structure MOS fabriquées par ALD	68
II.2.3.2	Fabrication de Capacités MIS par dépôt PECVD du nitrure de silicium.....	69
II.2.3.2.1	Étapes technologiques	69
II.2.3.2.2	Caractérisations électriques	71
II.3	Étude de l'alliage métal/III-V pour la formation des contacts ohmiques.....	75
II.3.1	Choix du métal.....	75
II.3.2	Techniques de mesures de la résistivité	76
II.3.2.1	Mesures deux pointes	76
II.3.2.2	Mesures quatre pointes, modèle TLM.....	76
II.3.2.3	Méthode d'effet Hall	77
II.3.3	Réalisation et caractérisation de l'alliage Ni/III-V	78
II.3.3.1	Briques technologiques	79
II.3.3.2	Caractérisations de l'alliage Ni/III-V en fonction de la température du recuit ...	81
II.3.3.2.1	Mesures de la résistance carrée Ni-epilayer	81
II.3.3.2.2	Caractéristiques électriques I-V	82
II.4	Conclusion.....	87

II.1 Introduction

La réalisation d'une nouvelle technologie MOSFET à base des matériaux III-V nécessite un travail d'évaluation et de critique des différentes étapes technologiques. La capacité MOS/MIS constitue la cellule de base dans le développement de toute technologie MOS (ou MIS). Dans ce chapitre, nous présenterons des généralités sur les capacités MOS et les méthodes utilisées pour caractériser l'interface diélectrique/semi-conducteur. Dans un second temps, nous présenterons la mise au point et la réalisation de briques technologiques des composants MOSFET/MISFET à base des III-V. Afin d'alléger le texte, la notation MOS/MOSFET sera retenue pour le reste du document pour signifier toute structure métal - isolant - semi-conducteur quel que soit le type de diélectrique.

II.2 Étude et optimisation de la passivation des composants MOS

La recherche à propos de la passivation du composant MOS a suscité beaucoup d'intérêt, s'agissant de l'étude de l'interface entre le diélectrique (isolant ou oxyde) et le semi-conducteur (SC). En effet, la discontinuité du réseau cristallin entre le diélectrique et le semi-conducteur donne lieu à la formation des niveaux d'énergie dans la bande interdite du semi-conducteur, ces niveaux d'énergie se remplissent lorsqu'ils sont en-dessous du niveau de Fermi et engendrent la création des charges piégées (Q_{it}). La contribution de la charge Q_{it} permet de créer une capacité supplémentaire en parallèle de la capacité du semi-conducteur, et par conséquent, la présence d'une grande densité d'états d'interface, D_{it} (cf. II.2.2). Par ailleurs, une forte valeur de D_{it} dégrade fortement le contrôle électrostatique du canal par la grille, il se traduit par une augmentation de la pente sous seuil (SS) du transistor ce qui ralentit sa vitesse de commutation, et la réduction du courant I_{ON} (I_{max}) [1]. L'objectif de la passivation est d'améliorer les propriétés physico-chimiques et les propriétés électroniques de la surface et de réduire la densité des états d'interface.

Dans cette section, nous montrerons la différence entre une structure MOS idéale et une structure MOS réelle. Ensuite, nous citons les différentes techniques d'analyse de l'interface diélectrique/semi-conducteur. Enfin, nous présentons les deux techniques de dépôt des diélectriques utilisées ainsi que les résultats expérimentaux réalisés et obtenus dans cette étude.

II.2.1 Généralités sur les structures MOS

II.2.1.1 Structure MOS idéale

Une capacité MOS idéale devrait satisfaire les conditions suivantes : absence des états d'interface entre les différentes couches de la structure, courant de fuite nul, absence des impuretés et des charges mobiles ou fixes dans l'oxyde (figure II.1), et finalement, les travaux de sortie du métal et du semi-conducteur doivent être égaux ($\Phi_m = \Phi_{sc}$).

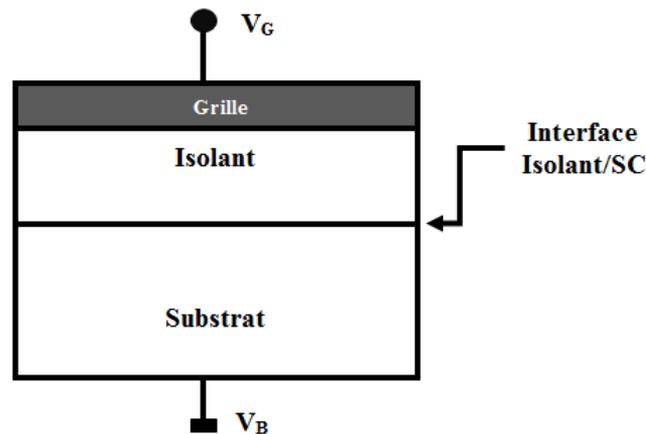


Figure II.1- Capacité MOS/MIS idéale.

II.2.2.2 Structure MOS réelle

La capacité MOS réelle présente plusieurs défauts qui sont localisés soit dans l'oxyde ou bien au niveau de l'interface oxyde/SC, la nature des interfaces est généralement très complexe (présence des impuretés, dislocations, fissures, contaminations, etc). Les principaux types de défauts d'interface et les charges présentes dans le diélectrique de la capacité MOS réelle sont illustrés dans la figure II.2 [2]:

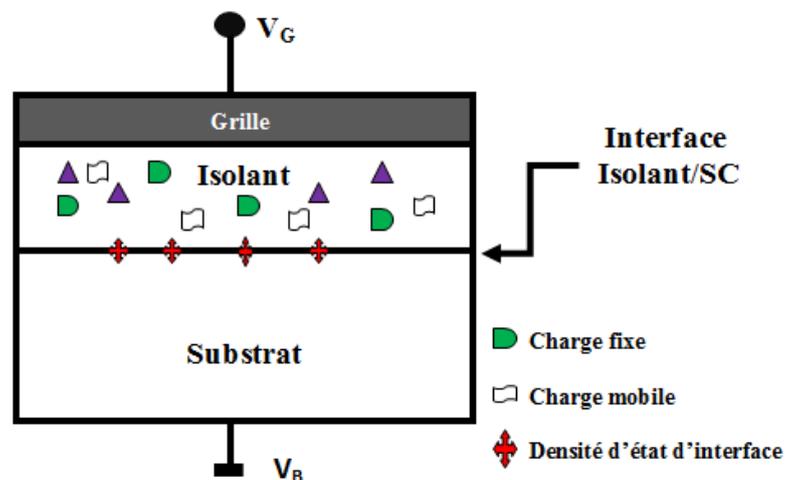


Figure II.2- Capacité MOS/MIS réelle avec la description des charges présentes dans l'isolant et l'interface l'isolant et le semi-conducteur.

États d'interface : ce sont des charges positives ou négatives, leur présence est due principalement à des défauts de structure, des défauts induits par l'oxydation, des impuretés métalliques, ou d'autres défauts d'interface. Ils sont situés à l'interface oxyde/semi-conducteur. Contrairement aux charges fixes présentes dans l'oxyde, les états d'interface communiquent électriquement, ils peuvent être chargés ou déchargés, en fonction du potentiel de surface. Le principal effet des états d'interface est le blocage du niveau de Fermi (E_F) « pinning », et par conséquent, un dysfonctionnement du dispositif.

Charges mobiles dans l'oxyde : elles correspondent principalement à des impuretés ioniques telles que Na^+ , Li^+ , K^+ , H^+ , etc. Elles réagissent au signal électrique appliqué sur la grille métallique de la capacité, leur existence peut se constater par la présence d'hystérésis dans la courbe capacité-voltage $C(V)$.

Charges fixes dans l'oxyde : les charges fixes (positives ou négatives selon la nature de l'interface) se situent près de l'interface oxyde/semi-conducteur, l'impact de ces charges est le décalage de la tension de bande plate dans la courbe $C(V)$. La densité de charges dans le cas de l'oxyde de silicium SiO_2 , est liée directement au processus d'oxydation du silicium.

La figure II.3 synthétise les effets des charges présentes soit dans l'oxyde ou à l'interface oxyde/SC sur la capacité MOS [3].

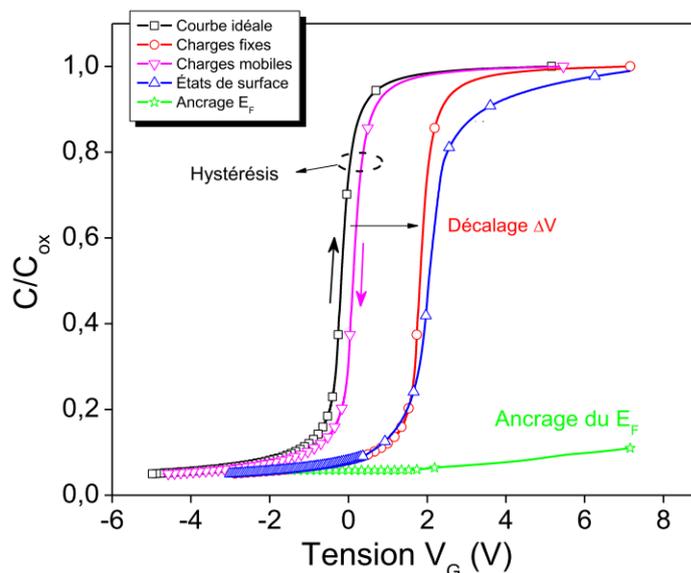


Figure II.3- Caractéristiques capacité-tension $C(V)$ d'une structure MOS dans le cas idéal (courbe noire), effet des charges fixes (rouge), effet des charges mobiles (magenta), effet des états de surface (bleue) et avec l'ancre du E_F (verte)[3].

II.2.2 Techniques de caractérisation électrique des interfaces MOS

La technique Capacité-Voltage C(V) est une méthode simple à mettre en œuvre, rapide, peu coûteuse, utilisable pour mesurer le composant fabriqué afin d'évaluer l'efficacité du prétraitement et d'extraire toutes les informations sur la capacité. En effet, elle permet d'obtenir un grand nombre d'informations sur les caractéristiques électriques de la structure MOS : le niveau de dopage du substrat, l'épaisseur d'oxyde, la tension de bande plate, la tension de seuil et les caractéristiques des défauts de l'interface oxyde/semi-conducteur tels que la densité de pièges d'interface et les concentrations de charges piégées dans l'oxyde. Cette technique consiste à appliquer une tension $V_g(t)$ sur la grille métallique de la structure MOS, qui permet de moduler la charge à la surface du semi-conducteur.

Pour mesurer la densité d'états d'interface, plusieurs méthodes ont été présentées dans la littérature. Certaines méthodes ont été développées initialement pour caractériser les interfaces Si/SiO₂ comme la méthode de Terman [2], leur utilisation pour les interfaces oxyde/III-V peut engendrer des erreurs sur les valeurs mesurées.

II.2.2.1 Méthode C-V haute fréquence (Terman)

La méthode de Terman ou méthode de haute fréquence est basée sur une hypothèse qui suppose que la fréquence utilisée (à l'ordre de 1MHz) au cours des mesures de la capacité est largement élevée pour admettre qu'aucun état d'interface ne répond au signal électrique. L'inconvénient majeur de cette technique est l'incapacité de mesurer une densité inférieure à 10^{11} eV⁻¹.cm⁻² [4]. La technique de Terman consiste à comparer les courbes C(V) théorique (en absence des états d'interface) et expérimentale (en présence des états d'interface). La présence des états d'interface engendre un étirement de la courbe C(V) ('*stretch-out*') relativement à la caractéristique C(V) théorique (structure MOS idéale), en ajoutant une charge Q_{it} à la capacité totale du dispositif. Cette charge est liée à un potentiel de surface (Ψ_s) et elle est donnée par la relation suivante :

$$Q_{it} = C_{ox} \times \Delta V \quad (\text{II.1})$$

où C_{ox} est la capacité de l'oxyde. La valeur de D_{it} est donnée par la relation suivante :

$$D_{it} = \frac{1}{qA} \frac{dQ_{it}}{d\Psi_s} = \frac{C_{ox}}{qA} \frac{d\Delta V}{d\Psi_s} \quad (\text{II.2})$$

où q représente la charge de l'électron, A la surface de la capacité, Ψ_s le potentiel de surface du semi-conducteur et ΔV étant la différence entre la courbe $C(V)$ théorique et expérimentale pour un potentiel de surface Ψ_s .

II.2.2.2 Méthode C(V) Haute fréquence-Basse fréquence (HF-LF)

La méthode HF-LF consiste à comparer les données de mesure $C(V)$ à basse fréquence (low frequency : lf) et à haute fréquence (high frequency : hf) pour une structure MOS, comme illustré sur la figure II.4 [5]. En effet, pour la mesure en haute fréquence, les états d'interface n'arrivent pas à répondre à la tension dynamique appliquée. Par contre, en basse fréquence, les états d'interface ont le temps suffisant pour y répondre. La différence entre les deux courbes $C(V)$ peut être exploitée pour extraire des informations sur la densité des états de surface. À partir des données obtenues de mesures en basse et haute fréquence, D_{it} s'exprime par la formule suivante :

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf} / C_{ox}}{1 - C_{lf} / C_{ox}} - \frac{C_{hf} / C_{ox}}{1 - C_{hf} / C_{ox}} \right) \quad (II.3)$$

où C_{lf} , C_{hf} , C_{ox} sont respectivement la capacité en basse fréquence, la capacité en haute fréquence, et la capacité surfacique de l'oxyde.

Cette méthode permet de mesurer des valeurs de D_{it} en fonction de la polarisation appliquée par la grille, et donc, en fonction de la position du niveau de Fermi à l'interface oxyde/semi-conducteur [5].

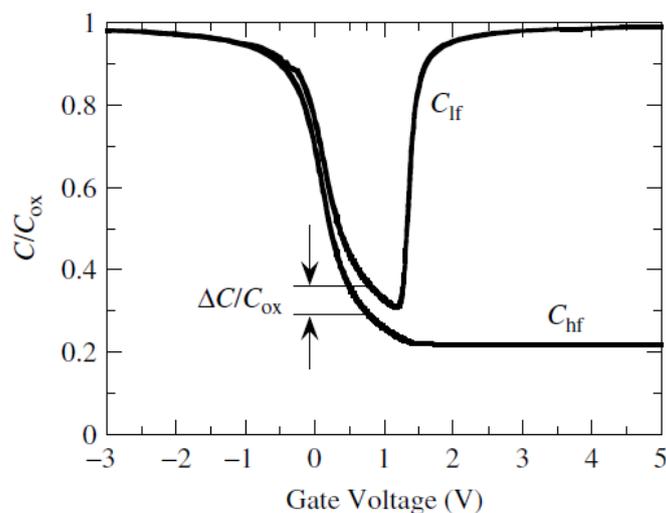


Figure II.4- Exemple de courbes $C(V)$ issues de mesures HF-LF pour une capacité MOS type p [5].

II.2.2.3 Méthode de la conductance

Cette technique consiste à mesurer la conductance de la structure MOS, c'est une méthode très précise pour estimer un D_{it} de l'ordre de $10^9 \text{ eV}^{-1} \cdot \text{cm}^{-2}$ [6]. En effet, en appliquant une polarisation sur la grille métallique, $V_g(t)$, avec un signal AC (amplitude de quelques mV et fréquence de 1 kHz à 1 MHz) [7]. Pour les basses fréquences, tous les états d'interface répondent au signal AC. Cependant, pour les hautes fréquences aucun état d'interface ne répond au signal AC. La tension DC de polarisation module la position du niveau de Fermi à l'interface, par conséquent, les états situés au voisinage du niveau de Fermi sont chargés et déchargés, ce phénomène participe à la création d'une capacité parasite (C_{it}) liée à la densité de pièges d'interface qui s'exprime par la relation suivante :

$$C_{it} = q \cdot D_{it} \quad (\text{II.4})$$

où q est la charge élémentaire.

Le modèle de circuit équivalent utilisé pour extraire l'admittance de l'interface oxyde/semi-conducteur est représenté dans la figure II.5, en supposant que la contribution de porteurs minoritaires dans le régime déplétion est négligeable.

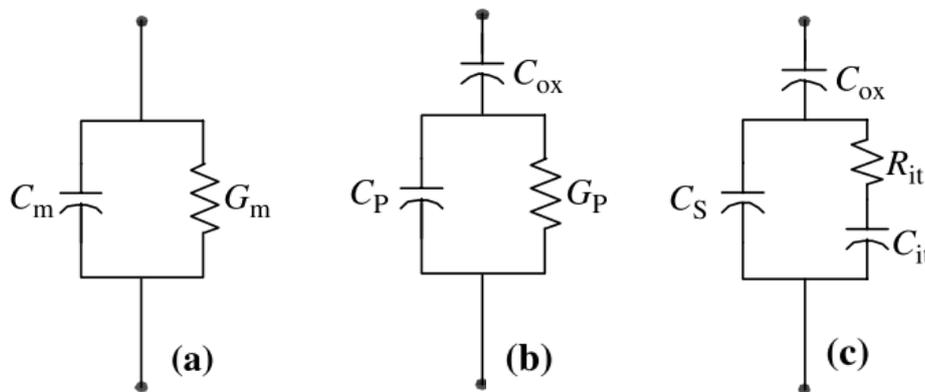


Figure II.5- Schéma équivalent de la capacité MOS utilisé dans les mesures de conductance (a) Circuit mesuré (b) Circuit équivalent de la mesure de conductance parallèle et (c) en présence d'états de surface avec un temps de piégeage $\tau_{it} = R_{it} \cdot C_{it}$, adapté depuis [2].

La méthode de la conductance est basée sur l'analyse de la perte causée par le changement de l'état de charge des pièges. La conductance parallèle équivalente G_p est liée à l'impédance mesurée G_m par l'expression suivante :

$$\frac{G_p}{\omega} = \frac{\omega \cdot C_{ox}^2 \cdot G_m}{G_m^2 + \omega^2 \cdot (C_{ox} - C_m)^2} \quad (\text{II.5})$$

En régime de déplétion, la réponse de pièges discrets est donnée par les relations suivantes :

$$\frac{G_p}{\omega} = \frac{\omega \cdot C_{it} \cdot \tau_{it}}{1 + (\omega \cdot \tau_{it})^2} \text{ et } C_p = C_s + \frac{C_{it}}{1 + (\omega \cdot \tau_{it})^2} \quad (\text{II.6})$$

où $C_{it} = q \cdot D_{it}$, $\omega = 2\pi f$ avec f la fréquence de mesure et $\tau_{it} = R_{it} C_{it}$ le temps de réponse des pièges.

La fonction G_p/ω atteint son maximum pour $\omega = 2\pi/\tau_{it}$ correspondant à la fréquence radiale de réponse des pièges [3]. En supposant que les fluctuations du potentiel de surface peuvent être négligées, le D_{it} est estimé à partir du pic de la conductance maximale $(G_p/\omega)_{\max}$ comme illustré dans la figure II.6 et il est exprimé à partir de la conductance parallèle équivalente G_p par la relation suivante en utilisant l'approximation donnée par Schröder [2]:

$$D_{it} = \frac{2.5}{Aq} \left(\frac{G_p}{\omega} \right)_{\max} \quad (\text{II.7})$$

où A est la surface de la capacité mesurée.

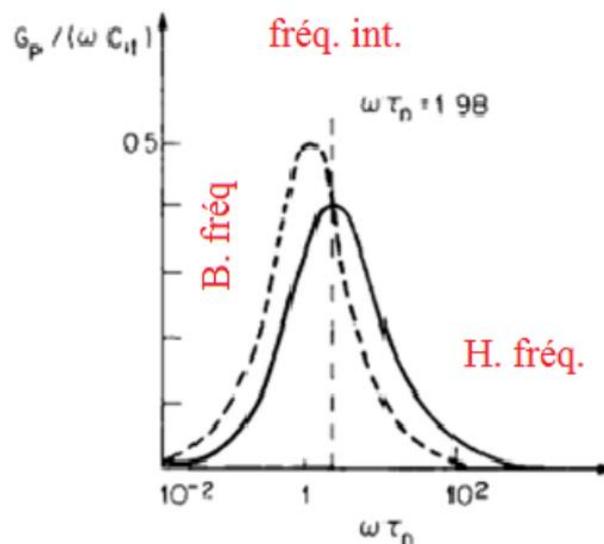


Figure II.6 - G_p/ω en présence d'états d'interface distribués ou discrets [8].

De ce tour d'horizon, nous avons présenté quelques différentes méthodes de caractérisation de l'interface diélectrique/SC. Il apparaît clairement que la précision de la valeur mesurée dépend de la méthode utilisée et de la procédure suivie. Par conséquent, dans notre étude, nous nous sommes basés essentiellement en premier lieu sur la méthode de caractérisation HF-BF et en second lieu sur la méthode de conductance en raison de leurs disponibilités.

II.2.3 Fabrication et caractérisation des capacités MOS/MIS sur InP

La capacité MOS est un élément majeur du transistor MOSFET, elle nous fournit plusieurs informations sur le fonctionnement du transistor. Ce dispositif peut être alors utilisé pour évaluer la densité de défauts d'interface ainsi que l'efficacité de la passivation. Dans le cadre de notre thèse, deux techniques de dépôt et deux diélectriques ont été utilisés. Le dépôt d' Al_2O_3 par l'ALD et le Si_xN_y par la PECVD. Nous commençons par décrire le principe de ces deux techniques.

L'ALD (Atomic Layer Deposition) ou « Dépôt par couche atomique », son principe est basé sur des réactions chimiques qui se font à la surface du semi-conducteur. A l'IEMN nous disposons d'une machine de type « Beneq TFS 200 », celle-ci offre la possibilité de déposer plusieurs types de diélectriques à forte permittivité, comme TiO_2 , ZrO_2 , HfO_2 , Al_2O_3 ...Par ailleurs, nous avons choisi d'étudier et d'utiliser l' Al_2O_3 , il répond à nos principaux critères. En effet, l' Al_2O_3 permet d'obtenir un faible courant de fuite avec une fine épaisseur (ce qui est avantageux pour atteindre un EOT de quelques nanomètres), également il est connu pour sa bonne qualité d'interface avec les matériaux III-V. La croissance des films d' Al_2O_3 par la technique ALD se fait généralement selon un cycle qui se résume en quatre étapes comme illustré dans la figure II.7:

1. Exposition au premier précurseur (TMA).
2. Purge pour l'évacuation des précurseurs non réagis et les gaz créés.
3. Exposition au deuxième précurseur (H_2O).
4. Purge pour l'évacuation des précurseurs non réagis et des produits gazeux issus des réactions chimiques.

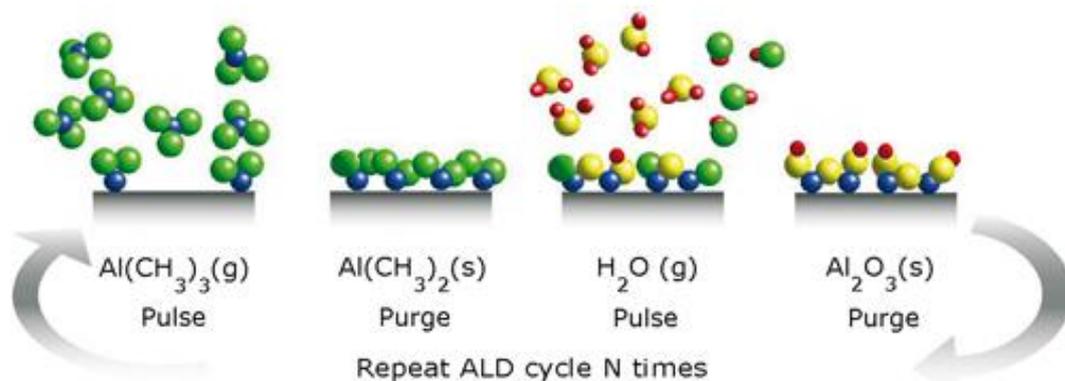


Figure II.7- Cycle de dépôt de l'oxyde Al_2O_3 par l'ALD.

La technique PECVD (Plasma Enhanced Chemical Vapor Deposition) ou « Dépôt chimique en phase vapeur assisté par plasma », consiste à déposer les couches minces (Si_xN_y sur le matériau III-V, par exemple). Le dépôt se fait à partir de réactions gazeuses activées par plasma. La dissociation des réactifs est assurée par un plasma qui représente un gaz ionisé, il contient des molécules ionisées et neutres, des électrons et des radicaux. Les principaux paramètres à contrôler lors de l'utilisation de cette technique sont la température, la puissance et la pression, le débit des gaz....

Comme mentionné auparavant, le diélectrique utilisé dans cette étude est le nitrure de silicium (Si_xN_y) déposé par PECVD au 3IT-Sherbrooke (figure II.8. a). En effet, le Si_xN_y est largement exploité comme une couche de passivation, il est beaucoup utilisé comme un masque protégeant les substrats III-V durant les recuits à haute température et il est également utilisé comme un diélectrique de grille [9]. Les principaux précurseurs employés lors du dépôt de nitrure de silicium sont NH_3 et SiH_4 avec N_2 comme gaz diluant ou porteur. Le plasma HF-RF (Fréquence Radio Haute Fréquence) permet de décomposer les molécules sous forme gazeuse. Par la suite, les éléments résultants diffusent vers le substrat en formant une fine couche au contact avec la surface de l'échantillon. La figure II.8.b représente un réacteur PECVD dont le substrat est placé entre les deux électrodes en parallèle, l'électrode supérieure est reliée à la tension radiofréquence qui génère le plasma RF et l'électrode inférieure est liée à la masse. L'un des avantages du plasma RF est la possibilité de déposer les diélectriques à basse température (300°C), et par conséquent, l'utilisation de la technique PECVD est d'intérêt dans les procédés exigeant un faible budget thermique.

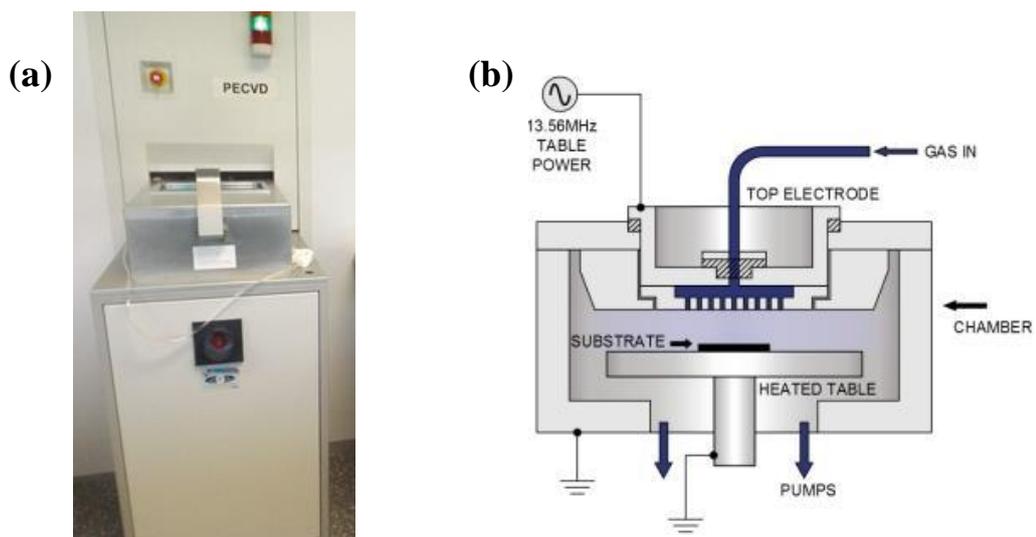


Figure II.8- (a) Réacteur PECVD de la marque STS et modèle MESC Multiplex utilisé au 3IT-Sherbrooke. (b) Réacteur PECVD [OXFORD].

II.2.3.1 Fabrication et caractérisation des Capacités MOS par dépôt ALD de l'oxyde d'alumine

II.2.3.1.1 Étapes technologiques

Les résultats expérimentaux présentés dans cette section sont obtenus sur des jonctions métal-oxyde-semi-conducteurs. Les semi-conducteurs InP sont obtenus par épitaxie par jet moléculaire de 300 nm d'InP intrinsèque sur des substrats d'InP (100) commercial dopé N^{++} à 10^{18} cm^{-3} . La figure II.9 représente les étapes technologiques de fabrication d'une capacité MOS en utilisant l'oxyde Al_2O_3 .

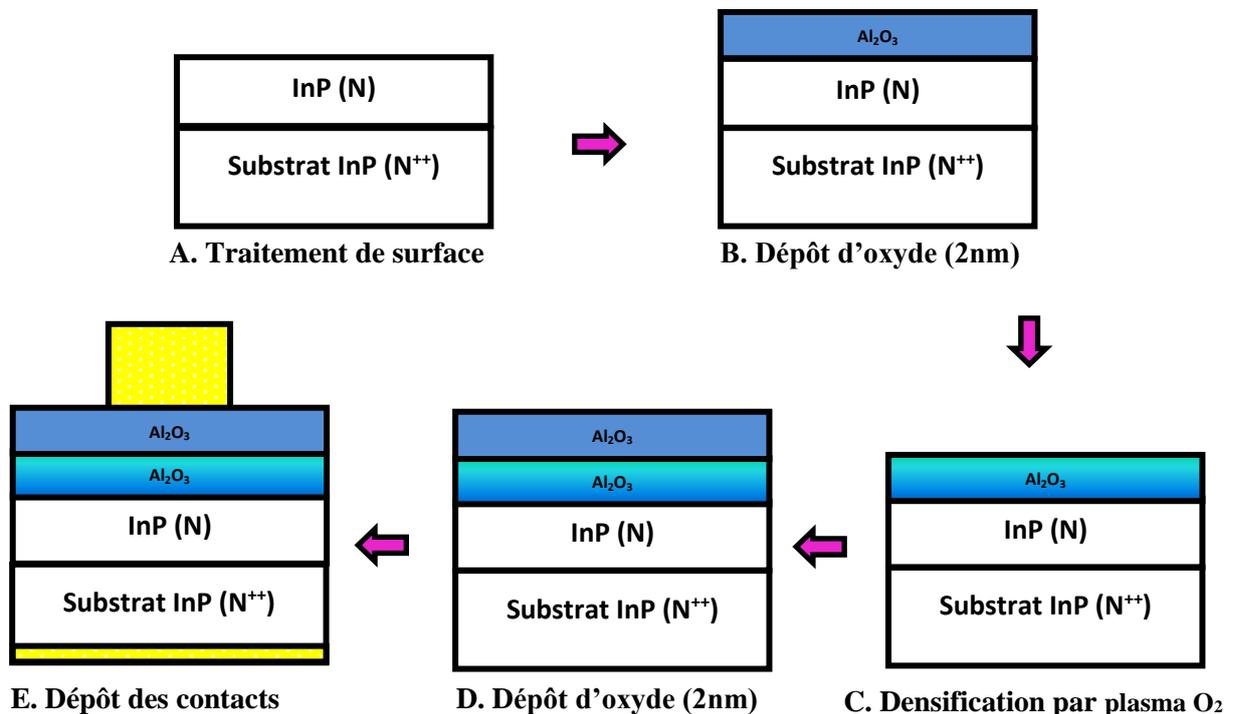


Figure II.9- Étapes technologiques de fabrication d'une capacité MOS-InP.

Comme précédemment indiqué, l'interface entre le diélectrique et le matériau III-V présente plusieurs défauts. En effet, la valeur du D_{it} reste très élevée [10] par rapport aux valeurs typiques obtenues pour l'interface SiO_2/Si malgré le développement des prétraitements de surface qu'ont connu les matériaux III-V, comme l'utilisation de l'acide chlorhydrique HCl, l'acide phosphorique H_3PO_4 [11], l'ammoniaque NH_4OH [12] ou bien le soufre $(\text{NH}_4)_2\text{S}$ [13].

Dans cette étude, nous avons utilisé un prétraitement basé sur l'immersion dans les solutions suivantes : NH_4OH suivi de HCl pour finir par le traitement au soufre dans la solution $(\text{NH}_4)_2\text{S}$ pour passiver la surface d'InP. Les échantillons d'InP ont été traités par

l'HCl dilué à 10% durant 1 minute, rincés dans l'eau D-I, puis exposés dans un bain $(\text{NH}_4)_2\text{S}$ dilué à 5% durant 10 minutes afin d'éliminer les oxydes natifs et de passiver la surface au soufre (In-S et P-S). Ensuite, le dépôt d' Al_2O_3 d'une épaisseur de 4 nm a été fait par la technique ALD à 250°C à partir des précurseurs triméthylaluminium (TMA) et l'eau (H_2O). De plus, nous avons utilisé la méthode de la densification permettant de minimiser la densité de défauts d'interface sur les semi-conducteurs III-V par un traitement à l'aide d'un plasma O_2 (figure II.10) [14]. Les paramètres de cette méthode (temps d'exposition et puissance du plasma) ont été optimisés par un post-doctorant de notre groupe de recherche à l'IEMN. Elle a permis d'obtenir une bonne interface entre l' Al_2O_3 et l'InP avec des D_{it} de l'ordre de $3 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^2$ [15]. Cette valeur est assez faible par rapport aux résultats obtenus sur l'InP en l'absence de la densification [16]. Après le dépôt de l'oxyde, un recuit à 600°C pendant une minute sous N_2/H_2 a été effectué, afin de stabiliser l'oxyde. Finalement, des plots du séquentiel Ni/Au et Ti/Au ont été déposés par évaporation sur les faces avant et arrière respectivement dont le but d'assurer les contacts électriques. La structure MOS finale correspond à la séquence Au/Ni/ Al_2O_3 /InP/Ti/Au.

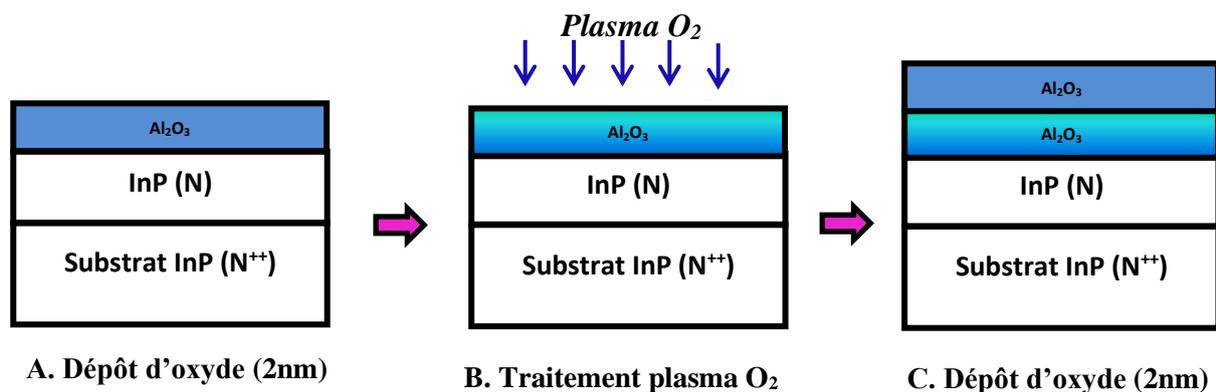


Figure II.10- Traitement par plasma O_2 lors du dépôt d' Al_2O_3 .

Des caractérisations par spectrométrie photoélectronique à rayons X (XPS) ont été effectuées sur les échantillons après le dépôt de l'oxyde et le traitement plasma O_2 . Les mesures ont été réalisées à un angle de 45° par rapport à la normale à l'aide d'un faisceau monochromatique d'aluminium. La figure II.11 illustre les spectres des signaux In3d 5/2, P2p, Al2p et O1s de l'interface Al_2O_3 /InP pour l'échantillon traité par plasma O_2 durant 10s avec une puissance de 100W après le dépôt de l'oxyde.

L'analyse de ces résultats présentés dans la figure II.11 montre une très faible oxydation après le traitement de la surface d'InP. En effet, le traitement à base des solutions chimiques et du plasma O_2 contribue à la saturation des liaisons pendantes et au retrait des

oxydes natifs, et par conséquent, la réduction de défauts à l'interface l' Al_2O_3 avec l'InP. Cependant, les spectres In3d et P2p présentent des composantes oxydées d' In-O_x et de P-O_x malgré le traitement chimique, elles apparaissent respectivement autour de 444.7 eV et 128.9 eV. Egalement, la composante Al2p montre une forte composante oxydée due à la contribution de la liaison principale Al- O_x . Il peut s'agir d'une recroissance de l'oxyde. Pour conclure cette discussion, le traitement plasma contribue à l'amélioration de l'interface et ne présente aucun risque sur le procédé de fabrication, mais, il reste toujours des oxydes d'indium et de phosphore après le traitement.

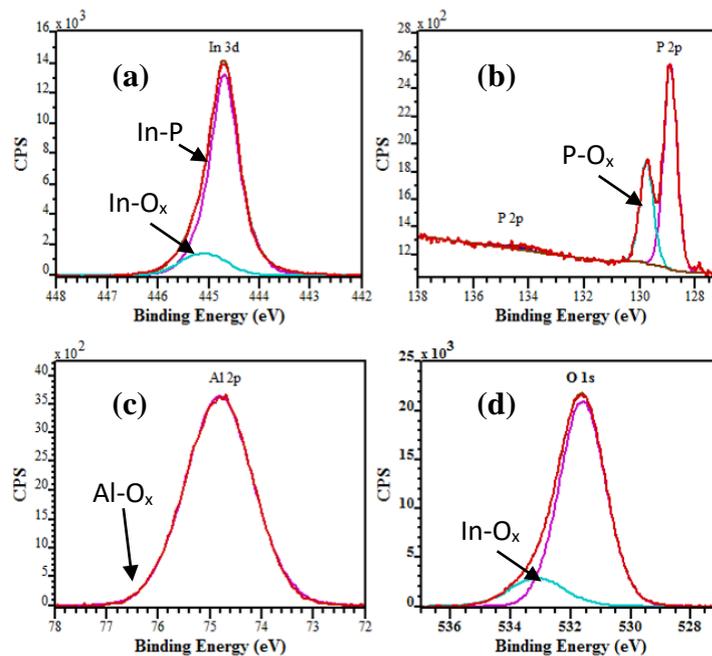


Figure II.11: Spectre XPS des éléments In3d 5/2, P2p, Al2p et O1s après dépôt Al_2O_3 et traitement plasma O_2 .

II.2.3.1.2 Caractérisations électriques des structures MOS fabriquées par ALD

Comme indiqué précédemment, les mesures de capacité en fonction de la tension appliquée $C(V)$ et de la fréquence permettent de déterminer la capacité de l'oxyde, la réponse électrique de l'interface $\text{Al}_2\text{O}_3/\text{InP}$ et aussi d'évaluer la qualité d'interface. Les mesures $C(V)$ à l'aide d'un capacimètre multifréquences sur l'empilement $\text{Au}/\text{Ni}/\text{Al}_2\text{O}_3/\text{InP}/\text{Ti}/\text{Au}$ sans densification (figure II.12 (a)) et avec densification (figure II.12 (b), (c), (d)) montrent une faible dispersion dans le régime d'accumulation pour les échantillons traités à l'aide de la densification par plasma O_2 , et cela montre que l' Al_2O_3 est de bonne qualité présentant une faible quantité de pièges type « border traps ». Par ailleurs, la capacité maximale mesurée n'atteint pas la valeur théorique C_{ox} attendue ($\approx 1 \cdot 10^{-6} \text{ F/cm}^2$). En effet, la variation de la

capacité en accumulation peut être due à la contribution de pièges dans le diélectrique et proches du semi-conducteur «border traps». Les mesures ont été faites à température ambiante, elles montrent un effet très faible des défauts d'interface observés entre les polarisations -0.5V et +0.5V. Les états d'interface ont été évalués par la méthode HF-LF qui a permis d'obtenir des valeurs de D_{it} de l'ordre de $6 \cdot 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Ceci traduit l'efficacité du traitement par plasma O_2 , qui contribue fortement à la réduction des défauts d'interface.

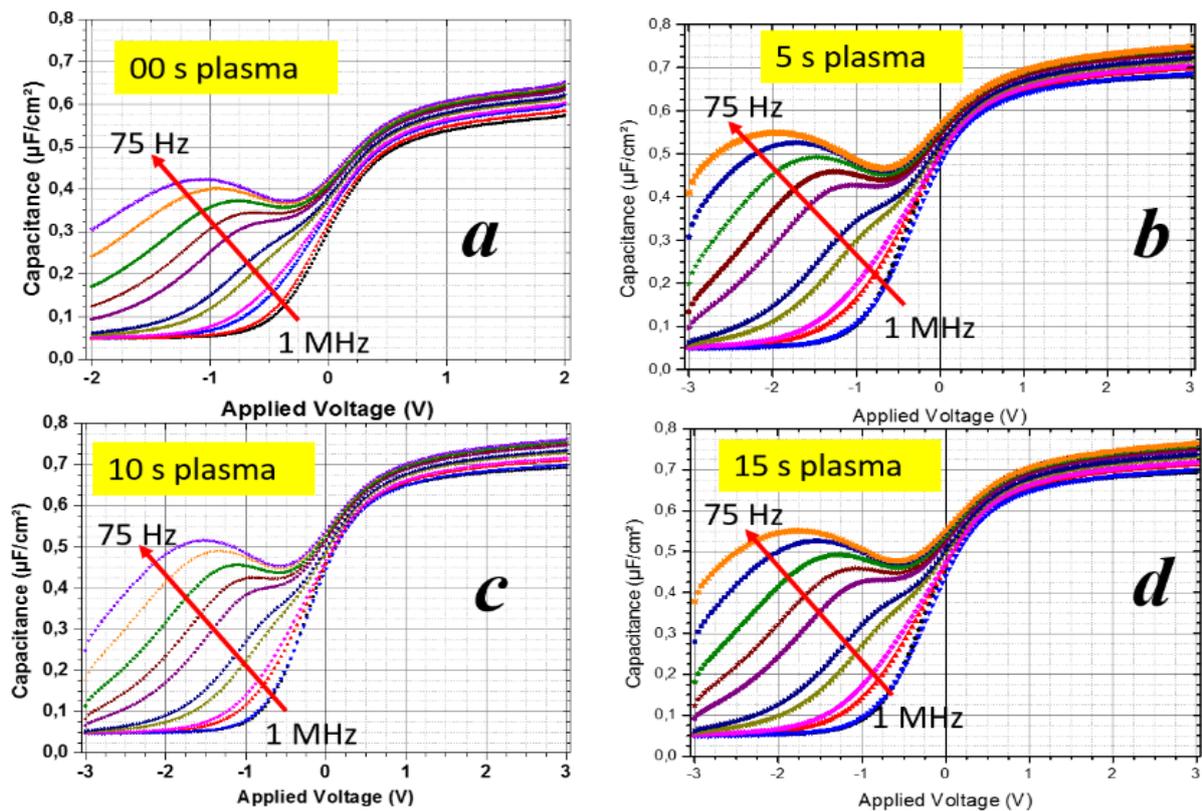


Figure II.12- Réponses C-V mesurées dans la gamme de fréquence de 75Hz à 1MHz sur les échantillons CapaMOS $\text{Al}_2\text{O}_3/\text{InP}$ traités avec du plasma O_2 pendant (a) 0s, (b) 5s, (c) 10s et (d) 15s. La surface supérieure de l'électrode de grille est de $7 \times 10^{-4} \text{ cm}^2$ [15].

II.2.3.2 Fabrication de Capacités MIS par dépôt PECVD du nitrure de silicium

II.2.3.2.1 Étapes technologiques

Dans le but de développer un procédé de passivation de la surface d'InP par dépôt PECVD du nitrure de silicium Si_xN_y , nous avons commencé par étudier l'effet de différents prétraitements chimiques de la surface sur les propriétés de l'interface $\text{Si}_x\text{N}_y/\text{InP}$. Des capacités métal/ $\text{Si}_x\text{N}_y/\text{InP}$ ont été réalisées en utilisant un procédé développé pour la passivation de l'arsenic de gallium GaAs et qui est basé sur le dépôt d'une couche de Si_xN_y par PECVD assisté par plasma à basse fréquence (LF-PECVD) [17]-[4].

Les résultats expérimentaux présentés dans cette étude sont obtenus sur des jonctions métal-isolant-semi-conducteur (MIS). Le procédé de fabrication utilisé pour cette étude est résumé par la figure II.13.

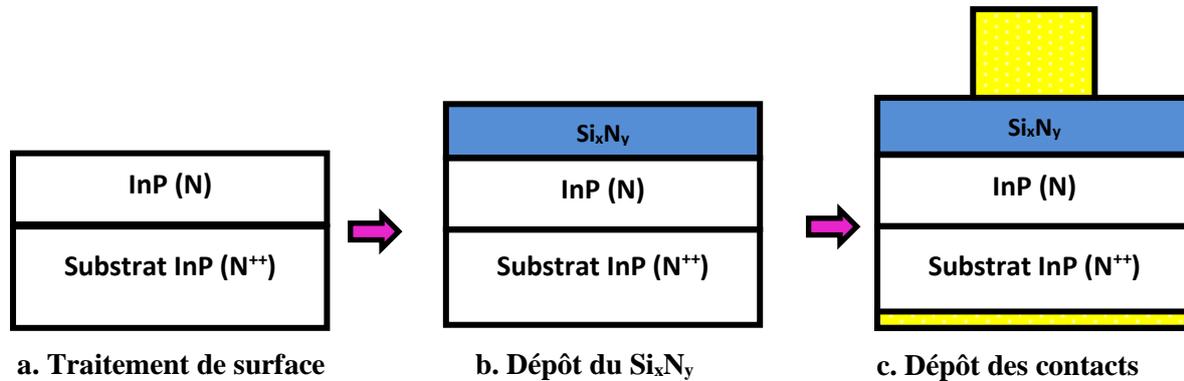


Figure II.13- Illustration des étapes technologiques de la fabrication d'une capacité MIS-InP:(a) Prétraitement de la surface (b) Dépôt du Si_xN_y (c) Définition de l'électrode de la grille et les contacts ohmiques.

Le semi-conducteur InP (type n) est obtenu par épitaxie par jet moléculaire de 300 nm sur un substrat d'InP dopé N^{++} . Avant le dépôt du Si_xN_y et afin d'éliminer les oxydes natifs et de passiver la surface au soufre (In-S et P-S), les échantillons d'InP sont préalablement nettoyés par des solutions organiques (acétone et isopropanol), ensuite désoxydés par l'utilisation des solutions acides et basiques durant 1 minute, suivi par une immersion durant 5 secondes dans l'eau D-I, puis ils sont passivés au $(\text{NH}_4)_2\text{S}$ pour une durée de 10 minutes et enfin rincés dans l'eau D-I durant 2 minutes. Les différents prétraitements qui ont été utilisés sont donnés dans le tableau II.1.

Tableau II.1- Différents prétraitements chimiques utilisés : ACE* : acétone et IPA* : isopropanol

Échantillon	Nettoyage organique	Traitement chimique
MIS 1	ACE*/IPA*	HCl
MIS 2	ACE/IPA	H_3PO_4
MIS 3	ACE/IPA	NH_4OH
MIS 4	ACE/IPA	HCl / $(\text{NH}_4)_2\text{S}$
MIS 5	ACE/IPA	$\text{H}_3\text{PO}_4/(\text{NH}_4)_2\text{S}$
MIS 6	ACE/IPA	$\text{NH}_4\text{OH}/(\text{NH}_4)_2\text{S}$

Ensuite, le dépôt du Si_xN_y d'une épaisseur de 22 nm a été effectué par la technique LF-PECVD avec une fréquence de la source r-f de 380 kHz en utilisant l'ammoniac (NH_3) comme source d'azote et le silane (SiH_4) comme source de Si. Puis, des plots d'aluminium (Al) ont été déposés par évaporation sur la face avant pour définir le métal de grille. Pour la réalisation des contacts ohmiques, un séquentiel à base de Ni/Ge/Au a été déposé sur la face arrière des échantillons. Finalement, des recuits thermiques à 350°C pendant 11 minutes sous N_2/H_2 et sous N_2 ont été effectués.

II.2.3.2.2 Caractérisations électriques

Les caractéristiques $C(V)$ des dispositifs MIS1 et MIS2 sont présentés dans la figure II.14. Les mesures réalisées montrent une bonne modulation du potentiel de surface pour les capacités traitées et non traitées par la solution $(\text{NH}_4)_2\text{S}$. Les mesures $C(V)$ des dispositifs fabriqués ont été effectuées à température ambiante.

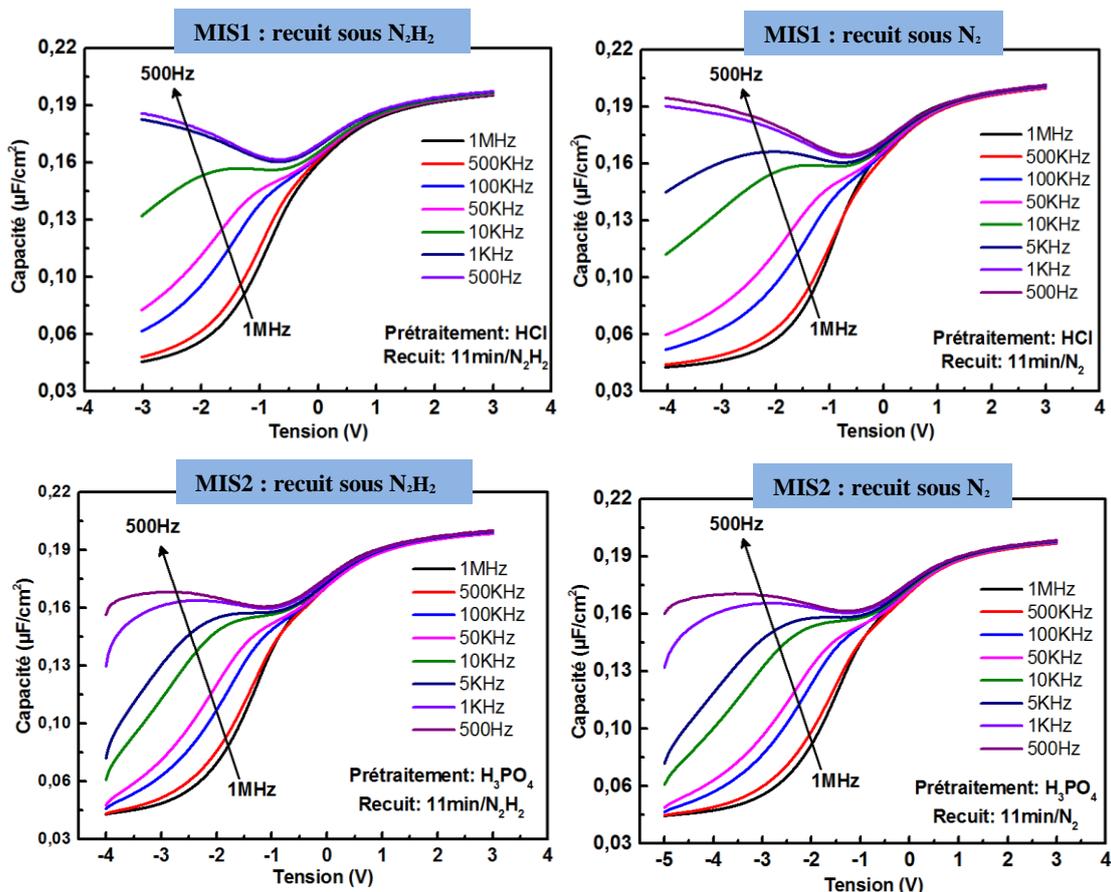


Figure II.14- Réponses $C(V)$ de capacités MIS fabriquées par PECVD sur InP avec Si_xN_y comme diélectrique de grille pour deux traitements différents (HCl et H_3PO_4).

D'après les courbes représentées sur la figure II.14, nous voyons clairement la modulation du potentiel de surface pour les deux échantillons MIS1 et MIS2. De plus, les

deux types de recuit (sous N_2/H_2 et sous N_2) donnent presque le même résultat. Une très faible dispersion en fréquence est observée sur les courbes C-V au niveau de l'accumulation pour les deux échantillons ; cela démontre la bonne efficacité du traitement et de la passivation de surface d'InP. Afin d'évaluer la valeur de D_{it} , nous avons tracé l'évolution du D_{it} dans la bande interdite de l'échantillon MIS2, le résultat est illustré dans la figure II.15. Nous obtenons une valeur de D_{it} égale à $1,21 \cdot 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Ce résultat montre que le traitement avec la solution H_3PO_4 améliore la qualité de l'interface Si_xN_y/InP .

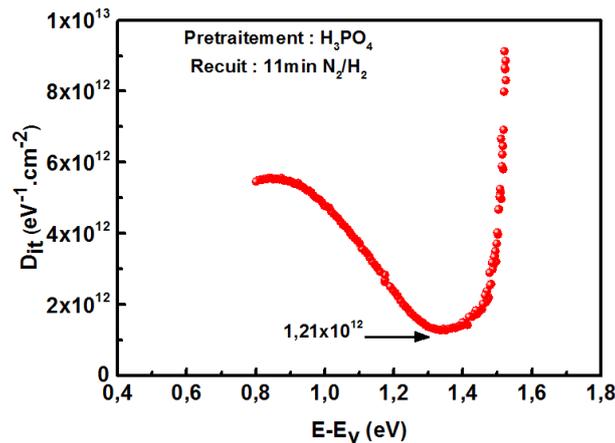


Figure II.15- Extraction de la densité de pièges dans la bande interdite d'InP (prétraitement H_3PO_4).

Nous avons effectué également des mesures de la conductance afin d'évaluer la valeur du D_{it} . Dans la figure II.16 nous traçons l'évolution du Gp/ω en fonction de la fréquence pour chaque valeur de la tension V_g . En appliquant les formules citées dans le paragraphe II.2.2, la valeur du D_{it} obtenue est égale à $1,15 \cdot 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Nous constatons que, comparée à la méthode HF-LF, la méthode de conductance donne quasiment le même résultat.

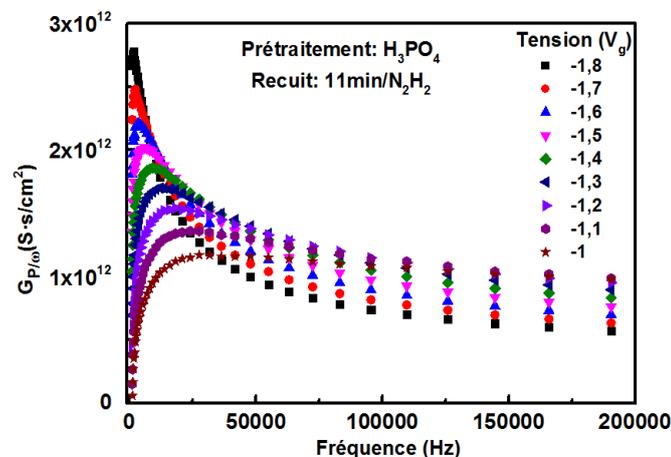


Figure II.16- Gp/ω en fonction de la fréquence à de différentes tensions de polarisation.

Pour les échantillons traités par la solution $(\text{NH}_4)_2\text{S}$ (MIS4 et MIS5), les résultats obtenus sont présentés dans la figure II.17. Ils présentent aussi une bonne modulation du potentiel de surface ; les régions accumulation, déplétion et inversion sont clairement définies. À la lecture de cette figure, il apparaît clairement que l'utilisation de la solution $(\text{NH}_4)_2\text{S}$ en complément d'HCl ou d' H_3PO_4 n'apporte pas une amélioration significative à la qualité de l'interface $\text{Si}_x\text{N}_y/\text{InP}$. Cependant, la valeur moyenne du D_{it} reste autour de $10^{12} \text{ eV}^{-1}\text{cm}^{-2}$. Néanmoins, l'utilisation du $(\text{NH}_4)_2\text{S}$ avant le dépôt de l'oxyde d' Al_2O_3 contribue grandement à une nette amélioration des performances électriques.

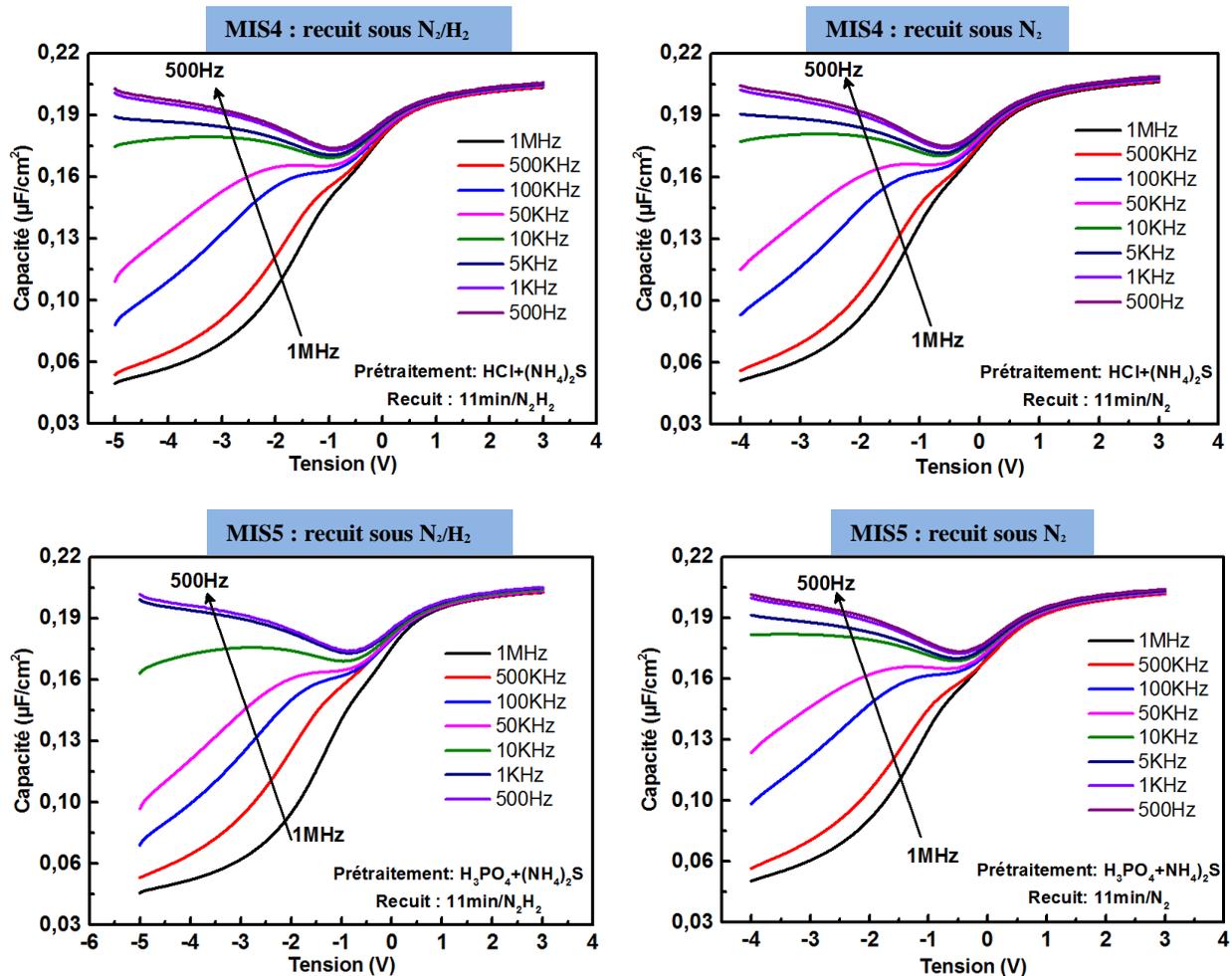


Figure II.17- Réponses $C(V)$ de l'empilement Si_xN_y sur InP pour les deux échantillons MIS4 et MIS5 traités respectivement par $\text{HCl}/(\text{NH}_4)_2\text{S}$ et $\text{H}_3\text{PO}_4/(\text{NH}_4)_2\text{S}$.

La figure II.18 montre l'évolution des défauts d'interface dans la bande interdite de l' InP de l'échantillon MIS5 qui a été traité par l' H_3PO_4 et le $(\text{NH}_4)_2\text{S}$.

Nous obtenons une valeur de D_{it} égale à $2,2 \cdot 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$, cette valeur est relativement élevée par rapport aux échantillons qui n'ont pas été traités par le soufre. Néanmoins, ces résultats démontrent la bonne qualité de l'interface $\text{Si}_x\text{N}_y/\text{InP}$.

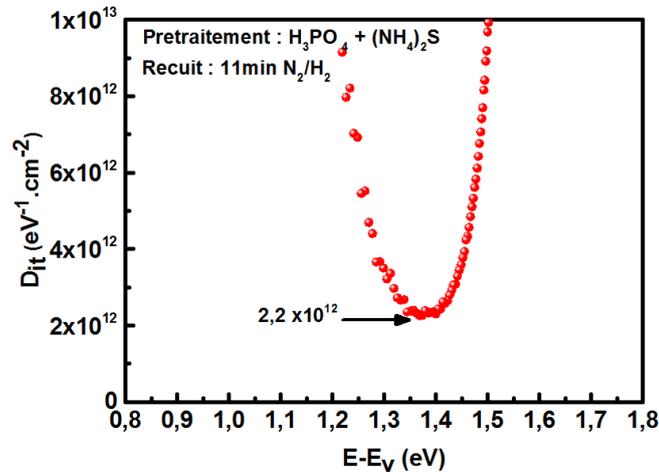


Figure II.18- Extraction de la densité de pièges dans la bande interdite d'InP (prétraitement $\text{H}_3\text{PO}_4 + (\text{NH}_4)_2\text{S}$).

La figure II.19 présente le résultat de l'extraction du D_{it} par la méthode conductance de l'échantillon MIS5. La valeur du D_{it} est estimée autour de $1,63 \cdot 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Il apparaît clairement que l'utilisation de la méthode de conductance augmente la précision par rapport à l'utilisation de la méthode LF-HF.

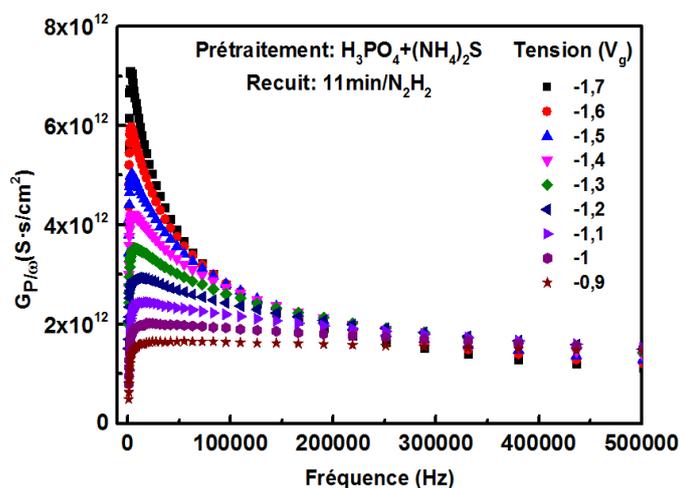


Figure II.19- G_p/ω en fonction de la fréquence à de différentes tensions de polarisation.

Une comparaison a été faite pour tous les résultats obtenus. Le tableau II.2 récapitule les résultats obtenus pour ces différents prétraitements. L'analyse de ces résultats montre que le meilleur résultat pour tous les échantillons est obtenu avec un prétraitement d' H_3PO_4 pour une valeur de D_{it} égale à $1,15 \cdot 10^{12} \text{ eV}^{-1} \cdot \text{cm}^{-2}$.

Tableau II.2- Résultats des différents prétraitements chimiques utilisés.

Échantillon	Prétraitements	Recuit (11min)	D_{it} ($eV^{-1}.cm^{-2}$) par méthode LF-BF	D_{it} ($eV^{-1}.cm^{-2}$) par conductance
MIS1	HCl	N ₂	$1,8*10^{12}$	$1,96*10^{12}$
		N ₂ H ₂	$1,9*10^{12}$	$1,4*10^{12}$
MIS2	H ₃ PO ₄	N ₂	$1,3*10^{12}$	$1,17*10^{12}$
		N ₂ H ₂	$1,21*10^{12}$	$1,15*10^{12}$
MIS4	HCl+(NH ₄) ₂ S	N ₂	$3,1*10^{12}$	$2,29*10^{12}$
		N ₂ H ₂	$3*10^{12}$	$1,82*10^{12}$
MIS5	H ₃ PO ₄ +(NH ₄) ₂ S	N ₂	$2,69*10^{12}$	$2,31*10^{12}$
		N ₂ H ₂	$2,2*10^{12}$	$1,63*10^{12}$

La surface d'InP s'oxyde instantanément à l'air. Les éléments présents à cette surface (In₂O, les liaisons pendantes...) contribuent fortement au piégeage du niveau de Fermi. Pour éliminer ces éléments, nous avons testé plusieurs prétraitements chimiques (H₃PO₄, HCl...). Nous avons montré également que les deux techniques de dépôt du diélectrique (ALD et PECVD) permettent d'avoir une bonne qualité d'interface avec des valeurs très faibles du D_{it} (égale à $3*10^{11}$ eV⁻¹.cm⁻² pour l'interface Al₂O₃/InP et égale à $1,15*10^{12}$ eV⁻¹.cm⁻² pour l'interface du Si_xN_y/InP). En revanche, pour arriver à atteindre un EOT (Equivalent Oxyde Thickness, cf. Chapitre I) inférieur ou égal à 1 nm, les diélectriques d'une haute permittivité et faible épaisseur sont les plus favorables. En effet, la technique d'ALD offre la possibilité de déposer des fines couches (quelques nanomètres), et les essais de traitement plasma ont été suffisants pour réduire significativement la densité d'états d'interface. Par ailleurs, le dépôt avec la PECVD reste à optimiser pour réduire l'épaisseur du diélectrique, et par conséquence, réduire l'EOT et la densité d'états d'interface.

II.3 Étude de l'alliage métal/III-V pour la formation des contacts ohmiques

Dans cette section, nous présenterons les principaux critères pour le choix du métal, puis des généralités sur les techniques de mesure de la résistivité, suivie par une description de l'étude et le développement de l'alliage métal/III-V réalisé durant cette étude pour former les contacts ohmiques du transistor MOSFET.

II.3.1 Choix du métal

Comme indiqué auparavant, l'utilisation de la technique d'implantation ionique est incompatible avec un faible budget thermique et ne permet pas d'avoir des contacts

faiblement résistifs sur une architecture « ultra-thin body ». Dans ce contexte, nous utilisons la technique « Silicide-like » [18] [19] qui est basée sur la diffusion d'un métal dans les semi-conducteurs à des faibles températures de recuit thermique et qui va servir à la réalisation des contacts ohmiques pour nos transistors MOSFETs. Tout d'abord, le choix du métal est un facteur important dans cette étude. Le métal doit avoir une faible résistivité, il forme un bon alliage avec les matériaux III-V et il diffuse à de faibles valeurs de température de recuit (tableau II.3). Dans notre cas, le choix a été porté sur le nickel (Ni), il est le plus utilisé dans la littérature [20] car il diffuse à des faibles températures de recuit en formant un alliage de faible résistivité et une couche uniforme (faibles défauts cristallins) avec les III-V.

Tableau II.3- Comparaison entre les différentes valeurs de la résistivité d'alliage métal/III-V.

Métal	Température de recuit T (°C)	Résistivité de l'alliage ρ ($\Omega \cdot \text{cm}^2$)
Nickel (Ni) [21]	250 – 300	$3,4 \cdot 10^{-5}$
Cobalt (Co) [22]	300 – 350	$6,25 \cdot 10^{-4}$
Palladium (Pd)[23]	300 – 350	$8 \cdot 10^{-5}$
Molybdène(Mo)[24]	300 – 350	$7,1 \cdot 10^{-5}$

Dans ce qui suit, nous présentons les méthodes utilisées pour évaluer la valeur de la résistivité de l'alliage Ni/III-V. Puis, nous présentons l'étude qui a été réalisée sur l'alliage Ni/III-V et qui sera adoptée par la suite pour réaliser les contacts ohmiques de nos transistors.

II.3.2 Techniques de mesures de la résistivité

II.3.2.1 Mesures deux pointes

La caractérisation et l'analyse des contacts ohmiques se font après le recuit thermique. La méthode deux pointes nous permet de nous assurer du comportement ohmique des contacts avant le mesa d'isolation et de donner une estimation des performances électriques du dispositif.

II.3.2.2 Mesures quatre pointes, modèle TLM

La méthode TLM consiste à appliquer une tension V_{gs} et en mesurant le courant, cela nous permet de remonter à la valeur de la résistance entre les deux plots métalliques séparés par une distance d_i (figure II.20) [25]. En extrayant les résistances pour les différentes valeurs de distance d_i entre chaque deux plots métalliques nous remontons aux valeurs de R_c et R_{sh} .

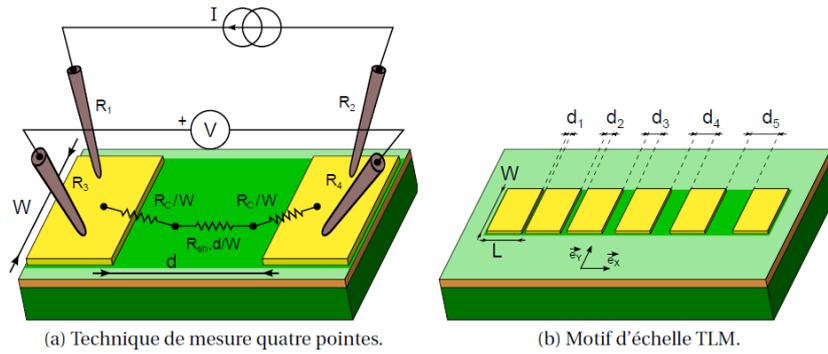


Figure II.20- Caractérisation quatre pointes pour extraction des paramètres de résistivité [25].

La résistance totale comprenant à la fois les résistances de contact associées aux deux plots (R_c/W) et la résistance du canal ($d.R_{sh}/W$), où W représente la longueur du développement des motifs et d la distance entre deux motifs. Elle s'exprime de la manière suivante :

$$R_{totale} = 2 \frac{R_c}{W} + d_i \frac{R_{sh}}{W} \quad \text{avec } R_c \text{ en (Ohm.mm)} \quad (II.8)$$

Lorsque nous traçons la droite liant la résistance totale à la longueur d_i qui sépare les plots de mesure (figure II.21), nous pouvons déterminer la valeur de la résistance de contact qui correspond à deux fois l'ordonnée à l'origine de la fonction affine $R_{SD}(d)$.

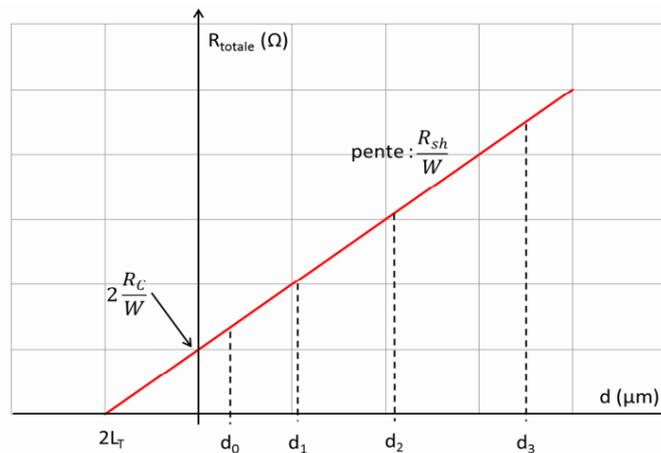


Figure II.21- Droite donnant la résistance totale en fonction de l'écartement entre les plots de mesure (méthode TLM [26]).

II.3.2.3 Méthode d'effet Hall

La méthode de Van der Pauw permet de calculer la résistance R_{SH} à partir de mesures quatre pointes sur les quatre coins d'un carré délimité par des zones d'isolation [25]. La mesure des phénomènes induits par effet Hall, en appliquant un champ magnétique (B)

orthogonal à la surface de l'hétérostructure, permet en outre l'extraction des paramètres de mobilité μ_e et de densité de charge n_s .

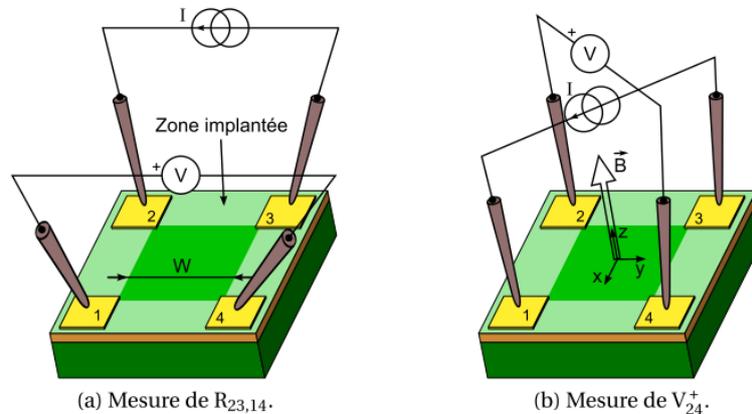


Figure II.22- Illustration des motifs de mesure pour application de la méthode de Van der Pauw. Numérotation des contacts, et exemple de configuration des pointes, appareils de mesure et champ magnétique pour caractérisation des paramètres [25].

En numérotant les contacts comme indiqué dans les deux schémas de la figure II.22, Van Der Pauw montre qu'il existe une relation entre R_{SH} et les résistances R_A et R_B données par l'équation II.9 [25]. Ici, I_{xy} est le courant entrant par le contact x et sortant par le contact y , $V_{x'y'}$ la différence de potentiel mesurée entre les contacts x' et y' , et la résistance $R_{xy, x'y'}$ est définie par $V_{x'y'}/I_{xy}$. À titre d'exemple, la figure II.22a illustre la configuration des pointes et des appareils de mesure pour l'exploitation de $R_{23, 14}$, à partir d'un motif carré délimité par une isolation MESA. La valeur de R_{SH} est facilement estimée en cherchant la solution de l'équation II.9 à partir des huit mesures de résistance [25].

$$\left. \begin{aligned} R_A &= \frac{R_{12,43} + R_{21,34} + R_{34,21} + R_{43,12}}{4} \\ R_B &= \frac{R_{23,14} + R_{32,41} + R_{41,32} + R_{14,23}}{4} \end{aligned} \right\} R_{sh} : e^{-\pi \frac{R_A}{R_{sh}}} + e^{-\pi \frac{R_B}{R_{sh}}} = 1 \quad (\text{II.9})$$

II.3.3 Réalisation et caractérisation de l'alliage Ni/III-V

Les contacts ohmiques de source et de drain (S/D) jouent un rôle important dans les performances de la technologie MOSFET. Comme nous l'avons expliqué, l'utilisation de la technique d'implantation ionique est incompatible avec un faible budget thermique et ne permet pas d'avoir des contacts faiblement résistifs sur une architecture « thin body ». Ainsi, nous avons développé un procédé alternatif qui va servir à la réalisation des contacts ohmiques pour le MOSFET [20][27][28]. Nous allons d'abord expliquer le procédé utilisé

dans cette étude puis, nous présentons les résultats électriques de l'étude sur la diffusion du nickel dans la structure épitaxiale à base des semi-conducteurs III-V pour différentes valeurs de températures de recuit [29].

II.3.3.1 Briques technologiques

L'optimisation de cette étape technologique a commencé par une étude approfondie sur la diffusion du Ni dans le semi-conducteur III-V. Le choix de la température, du temps et de l'environnement du recuit est un grand défi dans cette étape. Les paramètres du recuit influencent significativement la valeur de la résistance carrée de l'alliage Ni/III-V obtenue et la valeur de diffusion latérale dans le semi-conducteur. Cette étude s'est déroulée en deux étapes ; dans un premier lieu une optimisation de la température de recuit avec un temps de recuit fixé à 1 minute sous environnement N_2H_2 . Ensuite, dans un deuxième lieu une optimisation du temps de recuit avec une valeur de température fixée à 250°C. La structure épitaxiale utilisée pour cette étude est représentée sur la figure II.23. Celle-ci correspond à la structure sur laquelle nous réaliserons nos transistors (cf. chapitre III). Cette hétérojonction InP/InAs/InGaAs a été réalisée sur substrat InP semi-isolant (SI). La structure comprend, une barrière d'InP (grand gap) de 3 nm, un canal conducteur constitué de deux matériaux InAs et InGaAs d'épaisseur totale de 6 nm et une couche tampon d'InAlAs; une description détaillée de la couche sera donnée dans le chapitre III.

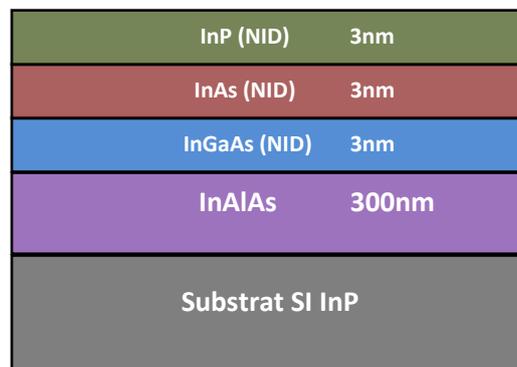


Figure II.23- Structure épitaxiale.

L'étude de la diffusion du Ni commence par une optimisation de l'écriture électronique (e-beam) dans le but de définir des piliers de résine à rapport d'aspect élevé comme illustré dans la figure II.24 (a,b), ces piliers ayant pour objectif d'étudier la diffusion du nickel. Pour cela, une résine négative est utilisée : l'Hydrogen SilsesQuioxane (HSQ). La résine HSQ subit une réaction de polymérisation par une insolation électronique, ensuite elle

est développée dans une solution chimique Tetra-Methyl-Ammonium-Hydroxide (TMAH). Ces piliers de différentes largeurs serviront de masque lors de dépôt du nickel.

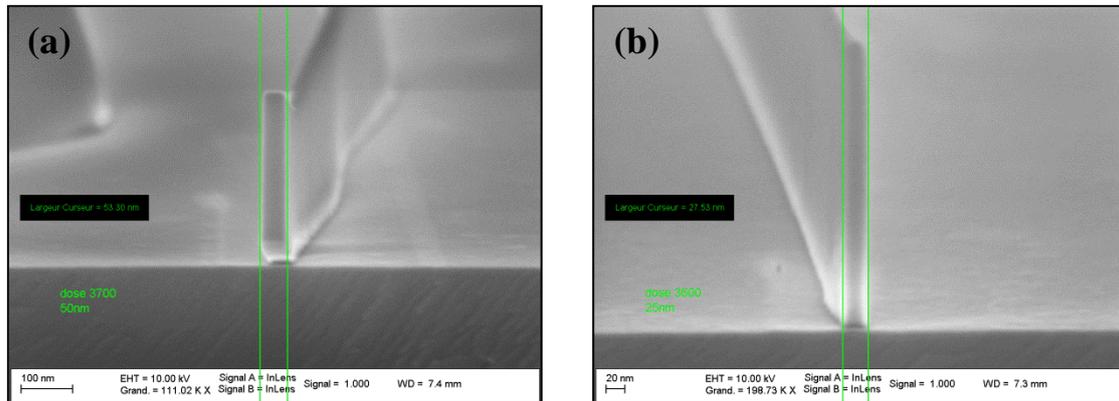


Figure II.24- Illustration des motifs d'HSQ de largeurs différentes. (a) Piliers d'HSQ (hauteur 290 nm/ largeur 50 nm). (b) Piliers HSQ (hauteur 290 nm/ largeur 25 nm).

Le dépôt du nickel est fait par évaporation en utilisant deux épaisseurs différentes de 15 nm et de 30 nm, suivi d'un mesa d'isolation par une gravure humide (figure II.25b). Ensuite, le recuit du Ni est fait sous environnement N_2H_2 pendant 1 minute en utilisant les valeurs de température suivantes : 250°C, 300°C, 350°C, 400°C et 450°C. Après le recuit thermique, un retrait de la résine HSQ est réalisé par une gravure humide (figure II.25c).

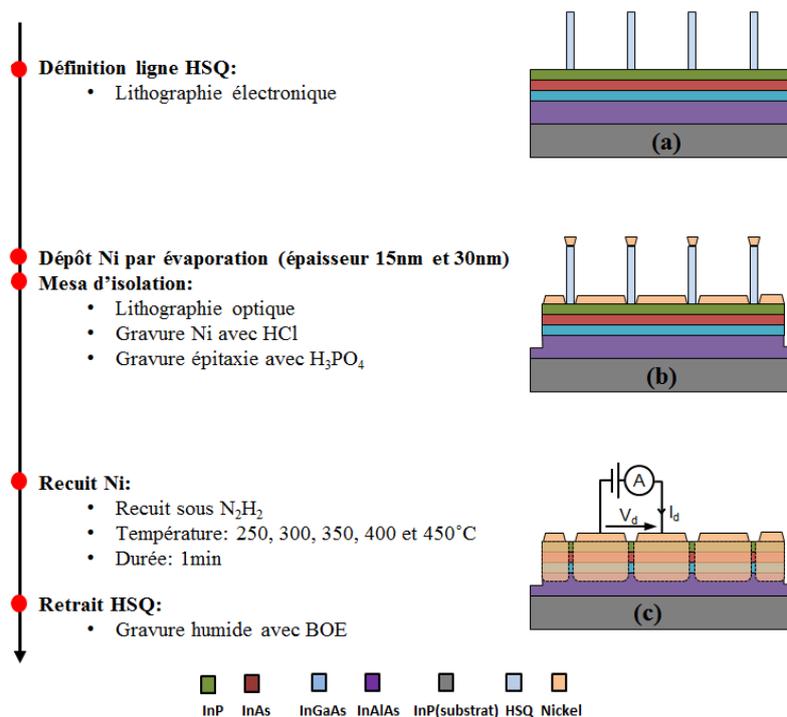


Figure II.25- Illustration des étapes technologiques : (a) Définition de la ligne de la résine HSQ, (b) Dépôt de Ni (15nm ou 30nm selon l'échantillon) et mesa d'isolation (H_3PO_4), (c) Recuit de Ni et retrait de la résine HSQ.

La figure II.26 représente des images STEM après le dépôt du Ni et avant le recuit.

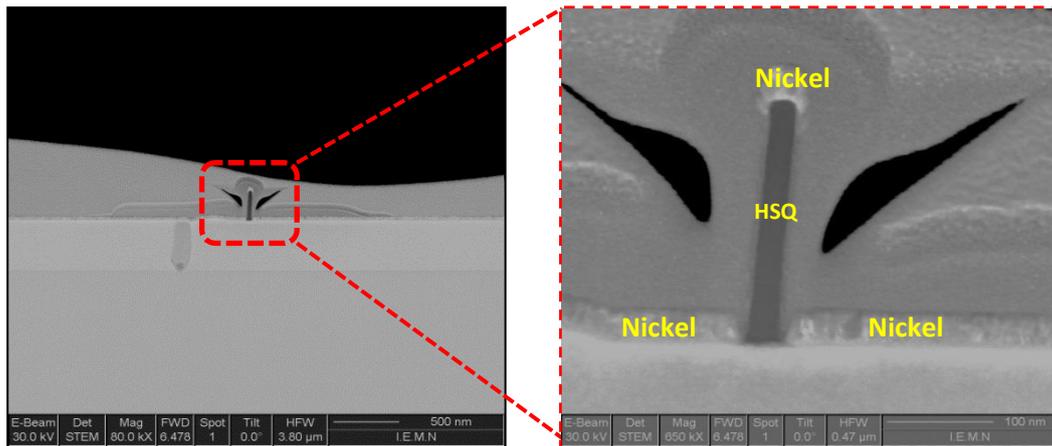


Figure II.26- Images STEM après le dépôt de Ni (15nm) sur la ligne de la résine HSQ (40nm).

II.3.3.2 Caractérisations de l'alliage Ni/III-V en fonction de la température du recuit

II.3.3.2.1 Mesures de la résistance carrée Ni-epilayer

Les mesures des résistances carrées ont été effectuées sur des trèfles de Hall à une température de 300K. La figure II.27 montre les différentes valeurs des résistances carrées mesurées avant et après les recuits. Pour les deux épaisseurs du nickel, au-delà de 350°C, on constate une diminution de la résistance carrée avec l'augmentation de la température du recuit. Celle-ci se rapprochant de la valeur du Ni non-recuit pour une température de 450°C. Des valeurs similaires ont été constatées dans l'étude d'Ivana [30].

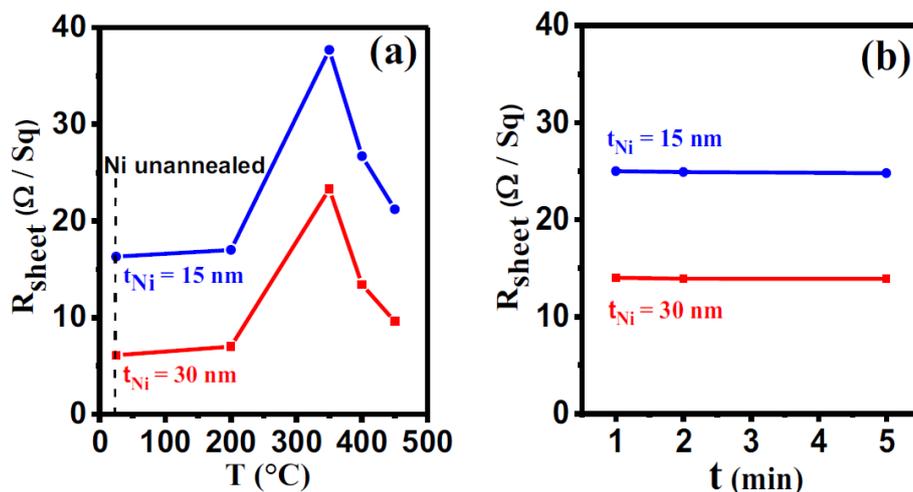


Figure II.27- Évolution de la résistance carrée R_{sheet} (Ω/Sq) de l'alliage Ni-epilayer, (a) Variation de la température du recuit avec un temps fixe à 1 min (b) Variation du temps de recuit avec une température fixée à 250°C.

Le nickel réagit avec les III-V à de basses températures de recuit (aux alentours de 300°C) pour former un alliage métallique. L'estimation de la diffusion verticale du nickel

dans la couche épitaxiale correspond à pas loin de deux fois l'épaisseur initiale du nickel déposé avant le recuit. La figure II.28 montre les images STEM avant (a, c) et après (b, d) le recuit thermique du nickel (350°C durant 1 min).

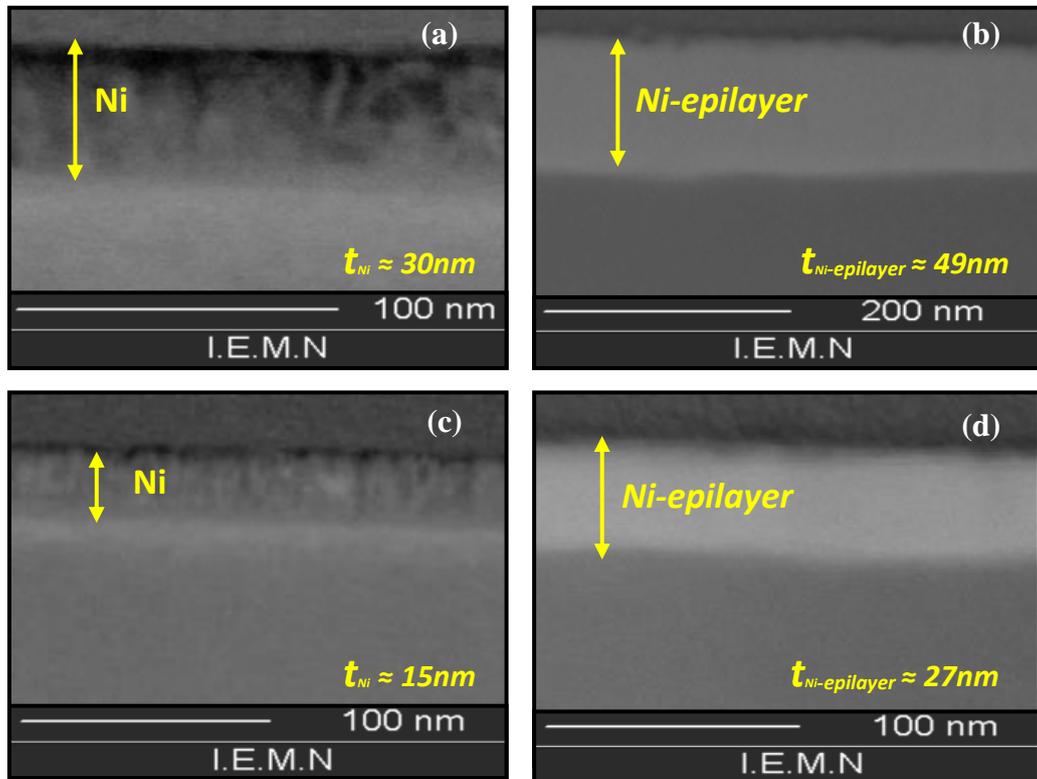


Figure II.28- Images STEM avant (a, b) et après (c, d) le recuit du Ni pour la formation de l'alliage Ni-epilayer (350°C pendant 1 min).

II.3.3.2.2 Caractéristiques électriques I-V

La figure II.29 montre les caractéristiques électriques I-V avant (a) et après (b) le recuit du nickel pour les largeurs suivantes 40, 60 et 100 nm de l'HSQ.

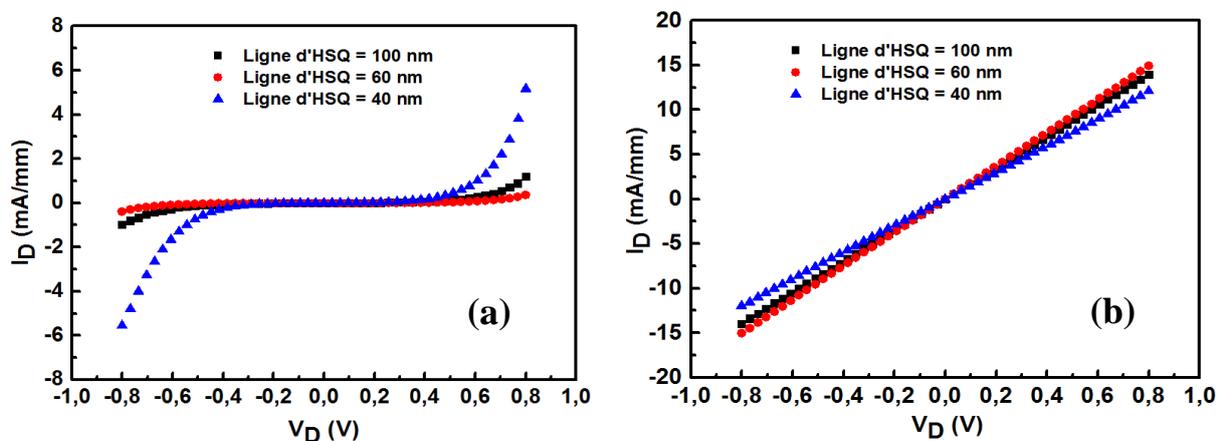


Figure II.29- Caractéristiques I-V (lignes 40, 60 et 100nm), (a) avant le recuit thermique et (b) après le recuit de 350°C de Ni=30 nm.

D'après les mesures électriques I-V (figure (II.29)), nous retrouvons un comportement redresseur pour le non-recuit. Après le recuit thermique, un comportement ohmique a été constaté. Il est à noter que ce comportement a été observé, pour les températures de recuit supérieures à 300°C. Par ailleurs, nous observons que la valeur de la résistance pour la ligne d'une longueur de 40 nm est légèrement plus grande que celles des valeurs de résistance pour les lignes de 60 et 100 nm, cela semble incohérent avec la logique, mais nous n'avons pas d'explication de cet effet et qui peut être dû à une légère variation de la température durant le recuit thermique.

Pour déterminer l'origine de ce comportement ohmique, des images STEM ont été effectuées sur les échantillons après le recuit. Nous avons constaté que, quelles que soient les valeurs de la température et la largeur de l'HSQ, le nickel a diffusé en dessous de l'HSQ. La figure II.30 représente des images STEM montrant la diffusion latérale et verticale du Ni dans la structure épitaxiale.

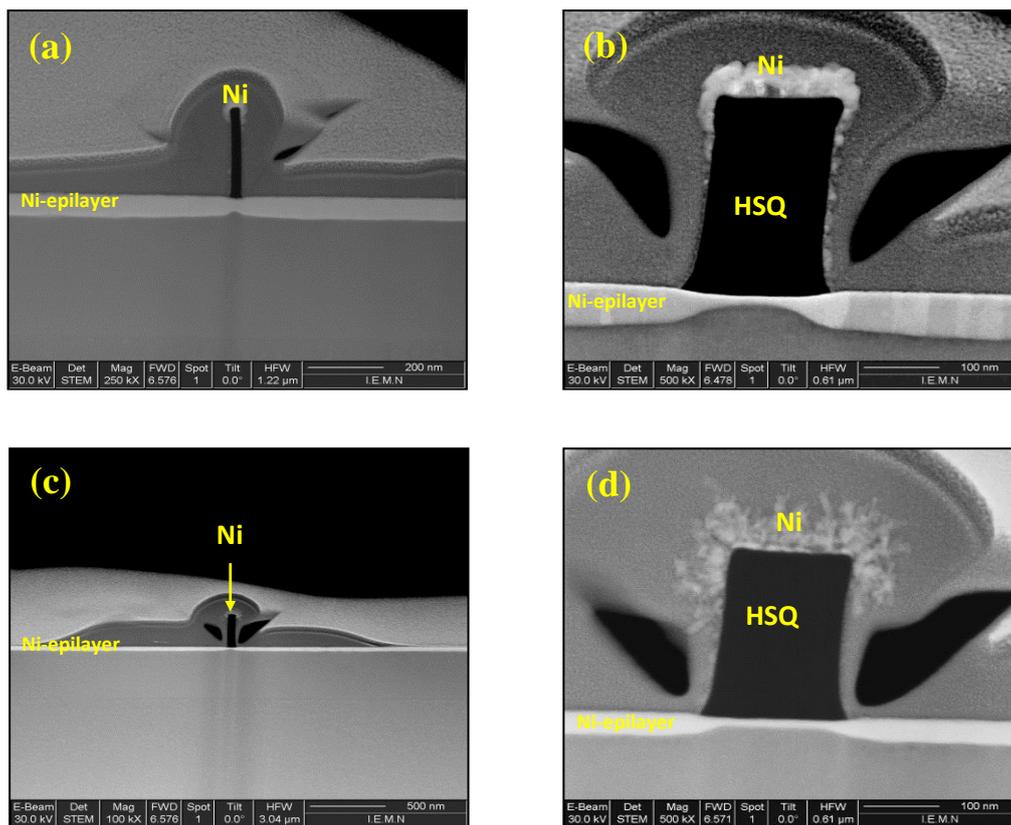


Figure II.30- Images STEM après le recuit du Ni à 350°C pendant 1 min avec Ni = 30 nm sur la ligne de la résine HSQ (a) 40 nm, (b) 200 nm et Ni = 15 nm sur la ligne de la résine HSQ (c) 40 nm, (d) 200 nm.

Des observations MEB ont été effectuées après le retrait de l'HSQ afin de vérifier la qualité de l'alliage Ni/III-V (figure II.31). Nous nous apercevons d'abord que toutes les lignes sont court-circuitées. Nous constatons aussi une dégradation de la surface des échantillons et l'apparition de microfissures sur les échantillons ayant subi des températures de recuit supérieures à 350°C.

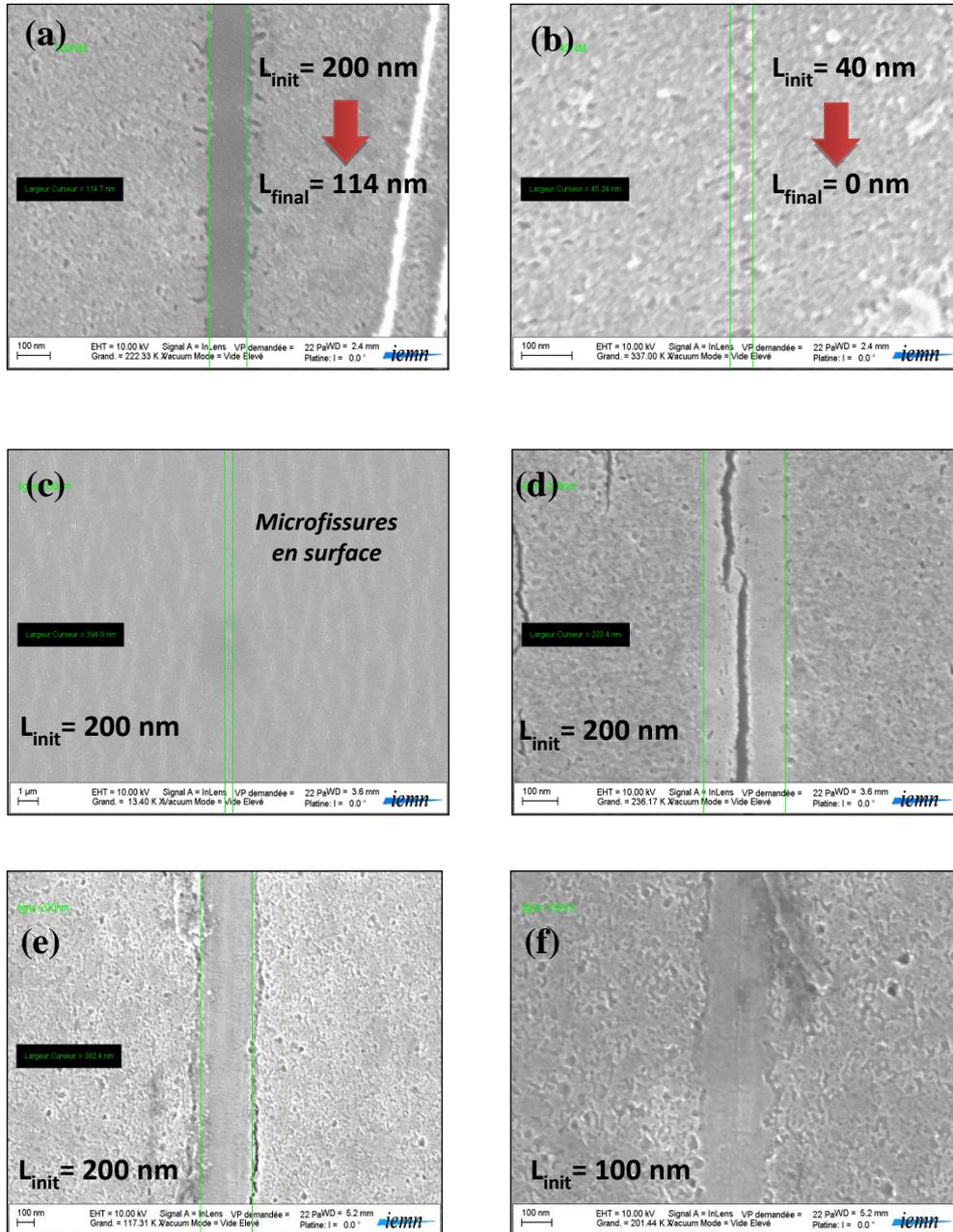


Figure II.31- Images MEB en présence des microfissures après recuit du Nickel à 350°C pour (a) Ligne initiale (L_{init}) d'HSQ = 200 nm (b) Ligne initiale (L_{init}) d'HSQ = 40 nm. À 400°C pour (c) Ligne initiale (L_{init}) d'HSQ = 200 nm (d) Ligne initiale (L_{init}) d'HSQ = 200 nm. À 450°C pour (e) Ligne initiale (L_{init}) d'HSQ = 200 nm (f) Ligne initiale (L_{init}) d'HSQ = 100 nm.

La diffusion latérale du nickel se produit à partir de la température de recuit supérieure ou égale à 300°C. Ce phénomène entraîne un court-circuit entre le Ni de part et d'autre de la résine HSQ. Ensuite, nous avons mené une 2^{ème} étude afin d'évaluer la diffusion latérale du nickel en fonction des conditions du recuit. Afin de réaliser cette étude, nous avons utilisé un masque de Si_xN_y avec des dimensions larges pour mieux déterminer la longueur de diffusion du Ni sous le masque. La figure II.32 illustre les étapes technologiques utilisées dans cette étude. Après un dépôt du Si_xN_y d'une épaisseur de 60 nm par PECVD, nous avons défini des motifs d'une largeur supérieure à 1µm à l'aide d'une lithographie optique et une gravure sèche. Par la suite, une couche du nickel a été déposée par évaporation suivie par deux recuits thermiques à différentes valeurs de température 250, 300°C durant 1min. En effet, le choix de la température du recuit de 300°C nous a permis d'estimer la valeur maximale de la diffusion latérale, par contre le recuit à 250°C a pour objectif de vérifier si la diffusion latérale se reproduit même en baissant la température.

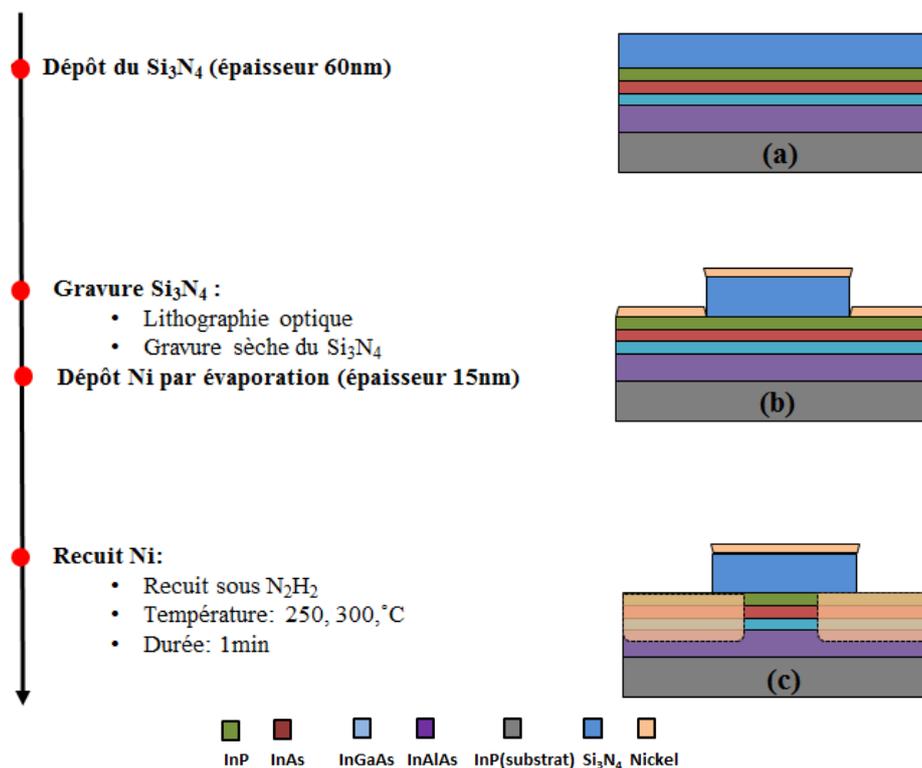


Figure II.32- Illustration des étapes technologiques : (a) Dépôt du Si₃N₄ (60 nm), (b) Gravure du Si₃N₄ et dépôt du Ni (15 nm), (c) Recuit du Nickel.

À partir de la figure II.33 (ci-dessous), nous voyons clairement que la diffusion latérale du nickel est très importante pour le recuit à 300°C (environ 233 nm). Ces tests indiquent que la diffusion latérale du nickel devient incontrôlable avec les valeurs de

températures supérieures à 250°C à cause de la capillarité (diffusion aléatoire et sans contrôle). Cette situation apparaît notamment dans l'image STEM (figure II.33b).

Et afin d'éviter un court-circuit pour les transistors à faible longueur de grille (sub-200nm), le choix de température de recuit approprié est très important.

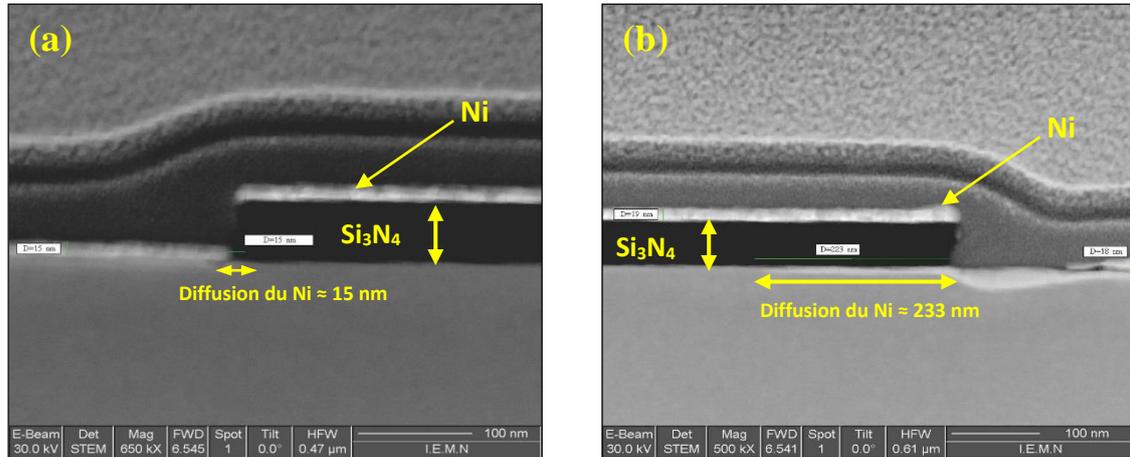


Figure II.33- Images STEM après le recuit du Ni (a) à 250°C et (b) à 300°C pendant 1min.

La figure II.34 montre l'évolution de la résistance de l'alliage Ni/III-V pour les différentes températures de recuit extraites par l'utilisation de la méthode d'effet Hall (II.3.2.3). Nous observons clairement la diminution de la résistance avec l'augmentation de la température du recuit, mais pour une température supérieure à 300°C nous avons une importante diffusion latérale du nickel ; cela démontre que nous ne pouvons pas dépasser cette valeur pour la fabrication de nos transistors, il faut donc trouver un compromis entre la valeur de la température du recuit et la résistance de l'alliage Ni/III-V.

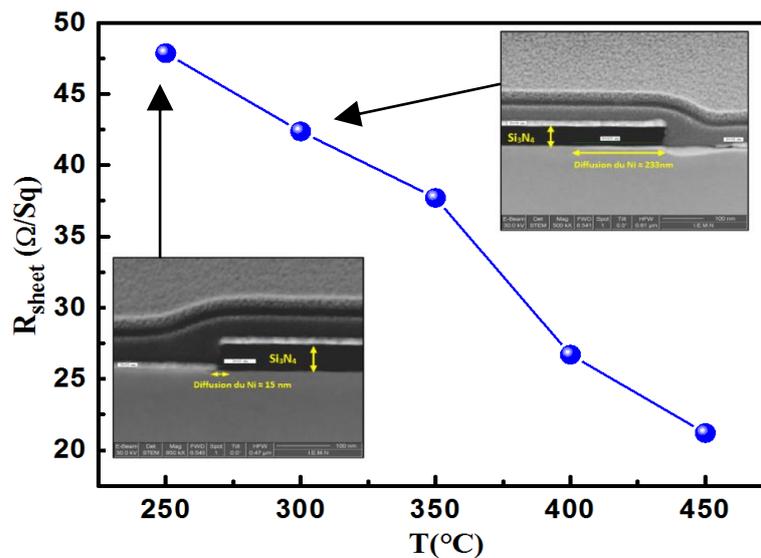


Figure II.34- Évolution de la résistance Ni/III-V après le recuit du Ni = 15 nm à 250, 300, 350, 400 et 450°C pendant 1min.

II.4 Conclusion

Dans ce chapitre, un post-traitement à plasma d'oxygène in situ en utilisant la technique de dépôt par couches atomiques « ALD » a été étudié. Les résultats obtenus sont satisfaisants. De faibles valeurs des densités d'interface de l'ordre de $3 \cdot 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ ont été mesurées. Le traitement chimique, suivi de la densification par plasma O_2 s'est avéré efficace pour réduire la densité d'états d'interface.

Par ailleurs, nous avons montré l'intérêt de la technique LF-PECVD dans la passivation des matériaux III-V. Nous avons fabriqué des capacités MIS avec une géométrie circulaire. La caractérisation électrique de ces dispositifs montre une bonne modulation du potentiel de surface pour les capacités MIS. Néanmoins, une densité d'interface évaluée à $1.21 \cdot 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ a été obtenue.

Nous avons aussi mené une étude sur le contact ohmique à base de Ni. En effet, l'alliage que forme ce dernier avec les matériaux III-V pour la réalisation des contacts ohmiques S/D de transistor MOSFET a été étudié. Le nickel réagit avec l'InP à des basses températures de recuit (à l'ordre de 250°C) pour former un alliage métallique. L'estimation de la diffusion verticale du nickel dans la couche épitaxiale correspond à pas loin de deux fois l'épaisseur initiale du nickel déposé. Nous avons optimisé la résistance carrée de l'alliage Ni-epilayer ($R_{sheet} = 21 \text{ } \Omega/\text{square}$) en jouant sur la température du recuit.

En conclusion, nous avons développé les briques techniques de base qui seront exploitées par la suite pour la fabrication de nos transistors MOSFETs.

Bibliographie

- [1] J. Lin, “InGaAs Quantum-Well MOSFETs for Logic Applications,” *Thèse, Massachusetts Inst. Technol.*, 2015.
- [2] D. K. Schroder, *Semiconductor material and device characterization*, vol. 44, no. 4. 2006.
- [3] A. Chakroun, “Passivation de la surface du nitrure de gallium par dépôt PECVD d’oxyde de silicium,” *Thèse, Univ. SHERBROOKE-Faculté génie*, 2015.
- [4] A. Jaouad, “Passivation de GaAs par déposition LF-PECVD du nitrure de silicium,” *Département génie électrique génie informatique, Univ. Sherbrooke*, 2005.
- [5] J. Mo, “Etude et fabrication de MOSFET de la filière III-V,” *Thèse, Univ. LILLE1 Sci. Technol.*, 2012.
- [6] H. M. Baran and A. Tataroğlu, “Determination of interface states and their time constant for Au/SnO₂/n-Si (MOS) capacitors using admittance measurements,” *Chinese Phys. B*, vol. 22, no. 4, p. 047303, 2013.
- [7] H. Oomine, “Atomic Layer Deposition of Lanthanum Oxide Films for High-K Gate Dielectrics,” *Thèse, Tokyo Inst. Technol.*, pp. 1–83, 2014.
- [8] E. Nicollian and J. Brews, “MOS/metal oxide semiconductor/physics and technology,” *Livre, NYork Wiley-Interscience*. 1982.
- [9] D. Sachelarie, “Analysis of degradation induced by silicon nitride in InP/InGaAs heterojunction bipolar transistors,” *727 IEEE CFP09RPS-CDR 47th Annu. Int. Reliab. Phys. Symp. Montr.*, pp. 727–731, 2009.
- [10] P. K. Hurley, A. O’Connor, V. Djara, S. Monaghan, I. M. Povey, R. D. Long, B. Sheehan, J. Lin, P. C. McIntyre, B. Brennan, R. M. Wallace, M. E. Pemble, and K. Cherkaoui, “The characterization and passivation of fixed oxide charges and interface states in the Al₂O₃/InGaAs MOS system,” *IEEE Trans. Device Mater. Reliab.*, vol. 13, no. 4, pp. 429–443, 2013.
- [11] H. C. Chin, X. Liu, X. Gong, and Y. C. Yeo, “Silane and ammonia surface passivation technology for high-mobility In_{0.53}Ga_{0.47}As MOSFETs,” *IEEE Trans. Electron Devices*, vol. 57, no. 5, pp. 973–979, 2010.
- [12] S. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, “Sub-60-nm extremely thin body In_xGa_{1-x}As-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering and Its Scalability,” *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp.

- 2512–2517, 2013.
- [13] N. Conrad, M. Si, S. H. Shin, J. J. Gu, J. Zhang, M. A. Alam, and P. D. Ye, “Low-frequency noise and RTN on near-ballistic III-V GAA nanowire MOSFETs,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2015-Febru, no. February, pp. 20.1.1–20.1.4, 2015.
- [14] T. Hoshii, S. Lee, R. Suzuki, N. Taoka, M. Yokoyama, H. Yamada, M. Hata, T. Yasuda, M. Takenaka, and S. Takagi, “Reduction in interface state density of Al₂O₃/InGaAs metal-oxide-semiconductor interfaces by InGaAs surface nitridation,” *J. Appl. Phys.*, vol. 112, no. 7, pp. 3–11, 2012.
- [15] S. B. Fadjie-Djomkam, Y. Lechaux, M. Ridaoui, M. Pastorek, N. Wichmann, “Low Interfaces traps density in Al₂O₃/III-V semiconductor interfaces using post oxygen plasma treatment,” *IPRM*, pp. 3–6, 2015.
- [16] Y. Zhuo, Y. Jing-zhi, and H. Yong, “Effect of alumina thickness on Al₂O₃/InP interface with post deposition annealing in oxygen ambient,” *Chinese Phys. B*, vol. 23, no. 7, p. 077305, 2014.
- [17] A. Jaouad and C. Aktik, “Passivation of GaAs metal–insulator–semiconductor structures by (NH₄)₂S_x and by evaporation of SiO₂,” *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 20, no. 2002, p. 1154, 2002.
- [18] S. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “Experimental study on vertical scaling of InAs-on-insulator metal-oxide-semiconductor field-effect transistors,” *Appl. Phys. Lett.*, vol. 104, no. 26, pp. 10–14, 2014.
- [19] S. Takagi, “High mobility channel MOS device technologies toward nano-CMOS era,” *2011 IEEE Nanotechnol. Mater. Devices Conf. NMDC 2011*, pp. 281–290, 2011.
- [20] M. Yokoyama, K. Nishi, S. Kim, H. Yokoyama, M. Takenaka, and S. Takagi, “Self-aligned Ni-GaSb source/drain junctions for GaSb p-channel metal-oxide-semiconductor field-effect transistors,” *Appl. Phys. Lett.*, vol. 104, no. 9, pp. 11–16, 2014.
- [21] Ivana, Y. Lim Foo, X. Zhang, Q. Zhou, J. Pan, E. Kong, M. H. Samuel Owen, and Y.-C. Yeo, “Crystal structure and epitaxial relationship of Ni₄InGaAs₂ films formed on InGaAs by annealing,” *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 31, no. 1, p. 012202, 2013.

- [22] Ivana, E. Y. J. Kong, S. Subramanian, Q. Zhou, J. Pan, and Y. C. Yeo, "CoInGaAs as a novel self-aligned metallic source/drain material for implant-less $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ n-MOSFETs," *Solid. State. Electron.*, vol. 78, pp. 62–67, 2012.
- [23] E. Y. J. Kong, Ivana, X. Zhang, Q. Zhou, J. Pan, Z. Zhang, and Y. C. Yeo, "Investigation of Pd-InGaAs for the formation of self-aligned source/drain contacts in InGaAs metal-oxide-semiconductor field-effect transistors," *Solid. State. Electron.*, vol. 85, pp. 36–42, 2013.
- [24] F. Ravaux, K. S. Alnuaimi, M. Jouiad, and I. Saadat, "Characterization of metal contact to III-V materials (Mo/InGaAs)," *Microelectron. Eng.*, vol. 145, pp. 1–4, 2015.
- [25] D. Yannick, "Étude de HEMTs AlGaN/GaN à grand développement pour la puissance hyperfréquence : conception et fabrication caractérisation et fiabilité," *Thèse, Univ. des sci. technol. Lille*, 2012.
- [26] P. Altuntas, "fabrication et caractérisation de dispositifs de type hemt de la filière gan pour des applications de puissance hyperfréquence," *Thèse, Univ. Lille 1*, 2015.
- [27] L. Czornomaz, N. Daix, K. Cheng, D. Caimi, C. Rossel, K. Lister, M. Sousa, and J. Fompeyrine, "Co-integration of InGaAs n- and SiGe p-MOSFETs into digital CMOS circuits using hybrid dual-channel ETXOI substrates," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 52–55, 2013.
- [28] S. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, "Self-Aligned Metal Source/Drain $\text{In}_x\text{Ga}_{1-x}\text{As}$ n-Metal–Oxide–Semiconductor Field-Effect Transistors Using Ni–InGaAs Alloy," *Appl. Phys. Express*, vol. 4, no. 2, p. 024201, 2011.
- [29] M. Ridaoui, N. Wichmann, H. Maher, A. Jaouad, and S. Bollaert, "Étude de contact ohmique à base de nickel pour les MOSFETs InAs ultra-thin body," *Actes des XIXèmes Journées Natl. Microondes*, pp. 3–4, 2015.
- [30] Ivana, "InGaAs n-mosfets with cmos compatible source/drain technology and the integration on si platform," *Thèse, Natl. Univ. Singapore*, vol. 1, 2013.

Chapitre III : Réalisation et caractérisations statiques et hyperfréquences des dispositifs MOSFETs

III.1 Introduction	92
III.2 Le transistor MOSFET à canal composite InAs/InGaAs	92
III.2.1 Partie I : Procédé de fabrication technologique « Gate First »	93
III.2.1.1 Structure epitaxiale	93
III.2.1.2 Procédé de fabrication technologique	94
III.2.1.2.1 Passivation de la surface et dépôt de l'oxyde.....	95
III.2.1.2.2 Définition de la grille	96
III.2.1.2.3 Gravure de l'oxyde.....	97
III.2.1.2.4 Définition des espaceurs	97
III.2.1.2.5 Définition des contacts source et drain	98
III.2.1.2.6 Définition des plots d'épaissements et isolation MESA.....	100
III.2.1.3 Caractérisations électriques.....	101
III.2.1.3.1 Caractérisation en régime statique	101
III.2.1.3.2 Caractérisation en régime dynamique	106
III.2.1.3.3 Schéma équivalent petit-signal.....	107
III.2.2 Partie II : Procédé de fabrication technologique « Gate Last »	109
III.2.3 Caractérisations électriques	111
III.3 Le transistor MOSFET à canal InGaAs « Gate First ».....	116
III.3.1 Structure épitaxiale	117
III.3.2 Procédé de fabrication technologique.....	117
III.3.3 Caractérisations électriques	119
III.3.3.1 Caractérisation en régime statique	119
III.3.3.2 Caractérisation en régime dynamique.....	122
III.3.3.3 Schéma équivalent petit-signal	124
III.4 Conclusion.....	129

III.1 Introduction

Dans ce chapitre III, nous présenterons les procédés technologiques utilisés durant cette étude pour la fabrication du transistor à base des matériaux III-V. La première partie de ce chapitre consistera principalement à donner une description des étapes technologiques de fabrication du transistor MOSFET à canal composite d'InAs/InGaAs, en utilisant dans un premier lieu, le procédé « Gate First » et dans un second lieu le procédé « Gate Last », puis elle soumettra aussi les résultats expérimentaux en statique et en dynamique des composants réalisés. La seconde partie sera consacrée à présenter une brève description de la deuxième structure épitaxiale étudiée et qui se caractérise par un canal à base d' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ en utilisant la technologie « Gate First ». Cela nous permettra de faire une comparaison entre les deux structures. Enfin, une conclusion de ce chapitre sera donnée.

III.2 Le transistor MOSFET à canal composite InAs/InGaAs

Dans cette section, nous présentons le procédé de fabrication dit « Gate First » du transistor MOSFET à canal composite InAs/InGaAs et sa caractérisation électrique. Dans un second temps, une description d'un autre procédé dit « Gate Last » sera donnée et suivie par sa caractérisation électrique. Dans le procédé « Gate Last », la grille est fabriquée après la définition des zones source et drain. Pour le procédé « Gate First », le « stack » de grille est réalisé avant les contacts source et drain. Ces derniers contacts sont auto-alignés à la grille, ce qui permet de descendre à des longueurs de grille sub-50 nm. Le procédé « Gate Last » ne permet pas de telles dimensions. La longueur du canal dans un procédé « Gate last » est définie par l'écriture des deux plots de source et de drain, ce qui est compliqué à réaliser pour des distances de séparation de quelques dizaines de nanomètres, même en utilisant un outil de lithographie électronique. De plus, la grille doit chevaucher ces deux contacts. La longueur de chevauchement (« overlap ») doit être limitée afin de réduire les capacités de chevauchement. Cette longueur va dépendre de la précision d'alignement. Dans le cas du masqueur électronique EBPG 5000 plus (100kV) utilisé, la précision de l'alignement est de l'ordre de 20 nm, il sera donc difficile de réaliser des longueurs de chevauchement de quelques dizaines de nanomètres. Il sera donc difficile de réaliser des transistors de longueur de canal en deçà d'environ 50 nm. Dans le cas du procédé « gate-first », la grille est réalisée avant les zones de contact ohmique. Ces derniers sont autoalignés sur la grille et cela permet de descendre à des dimensions sub-50nm. Toutefois, il faut s'assurer que les briques technologiques qui suivent cette fabrication de grille, n'altèrent pas ce contact, en particulier la qualité de l'oxyde et de

son interface avec le matériau III-V. Enfin, le procédé « gate-first » est compatible avec une technologie industrielle de MOSFET.

III.2.1 Partie I : Procédé de fabrication technologique « Gate First »

III.2.1.1 Structure épitaxiale

La structure épitaxiale utilisée pour cette étude est représentée sur la figure III.1(a). Celle-ci correspond à la structure sur laquelle nous avons réalisé nos transistors. Cette hétérojonction InP/InAs/InGaAs/InAlAs a été réalisée sur substrat InP semi-isolant (SI) de 2 pouces par épitaxie par jets moléculaires. La structure comprend, une barrière d'InP (grande bande interdite) de 3 nm permettant essentiellement d'éloigner le canal d'électrons de l'interface oxyde/semiconducteur. De plus, cette couche d'InP permet d'obtenir un oxyde de bonne qualité [1]. Le canal conducteur est constitué de deux matériaux InAs et $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ d'épaisseur totale de 6 nm. L'objectif est de réaliser une structure de type ultra-thin body afin de minimiser les courants de fuite, d'obtenir une bonne commande de charge dans le canal et ainsi de limiter les effets de canal court. A cette fin, une couche tampon d'InAlAs (grande bande interdite) joue le rôle de couche isolante sous le canal conducteur. L'InAs présente l'une des meilleures mobilités des matériaux III-V de l'ordre de $40\,000\text{ cm}^2/\text{Vs}$. Toutefois, son paramètre de maille pose des difficultés de croissance sur InP. La différence de paramètre de maille avec InP est d'environ 3.2%. Il doit donc être pseudomorphique et donc contraint, son épaisseur est limitée à environ 3 nm afin d'éviter la relaxation du matériau et l'apparition de dislocations. Cependant, une épaisseur trop fine n'est pas favorable à l'obtention d'une forte densité d'électrons. De plus, cette faible épaisseur introduit des niveaux quantiques qui augmentent l'énergie effective de bande interdite. Un canal composite d'InAs et d'InGaAs (figure III.1(a)) a donc été choisi [2]. La couche épitaxiale a été analysée par AFM dont l'image est présentée sur la Figure III.1(b).

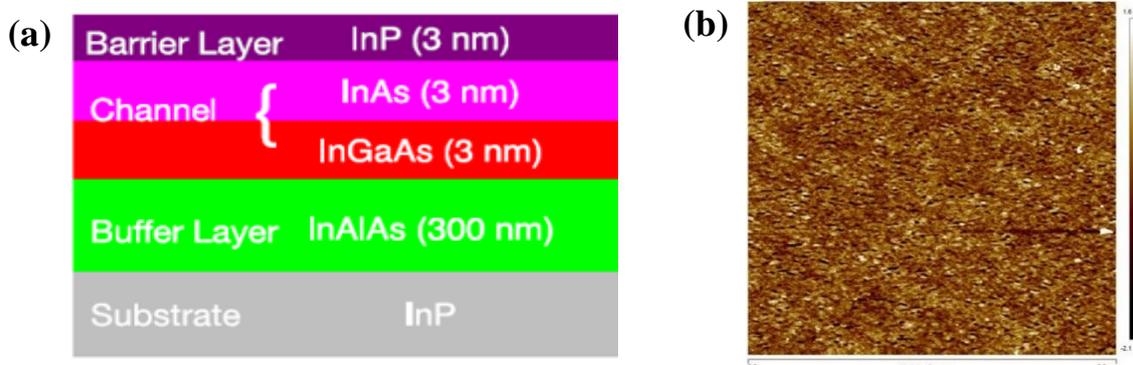


Figure III.1- (a) Structure épitaxiale avec un canal composite. (b) Mesure AFM correspondante de la surface d'InP. La rugosité RMS est d'environ 0.48 nm.

III.2.1.2 Procédé de fabrication technologique

Le procédé de fabrication du MOSFET pour l'intégration de l'alliage Nickel/III-V dans les régions source et drain est illustré dans la figure III.2.

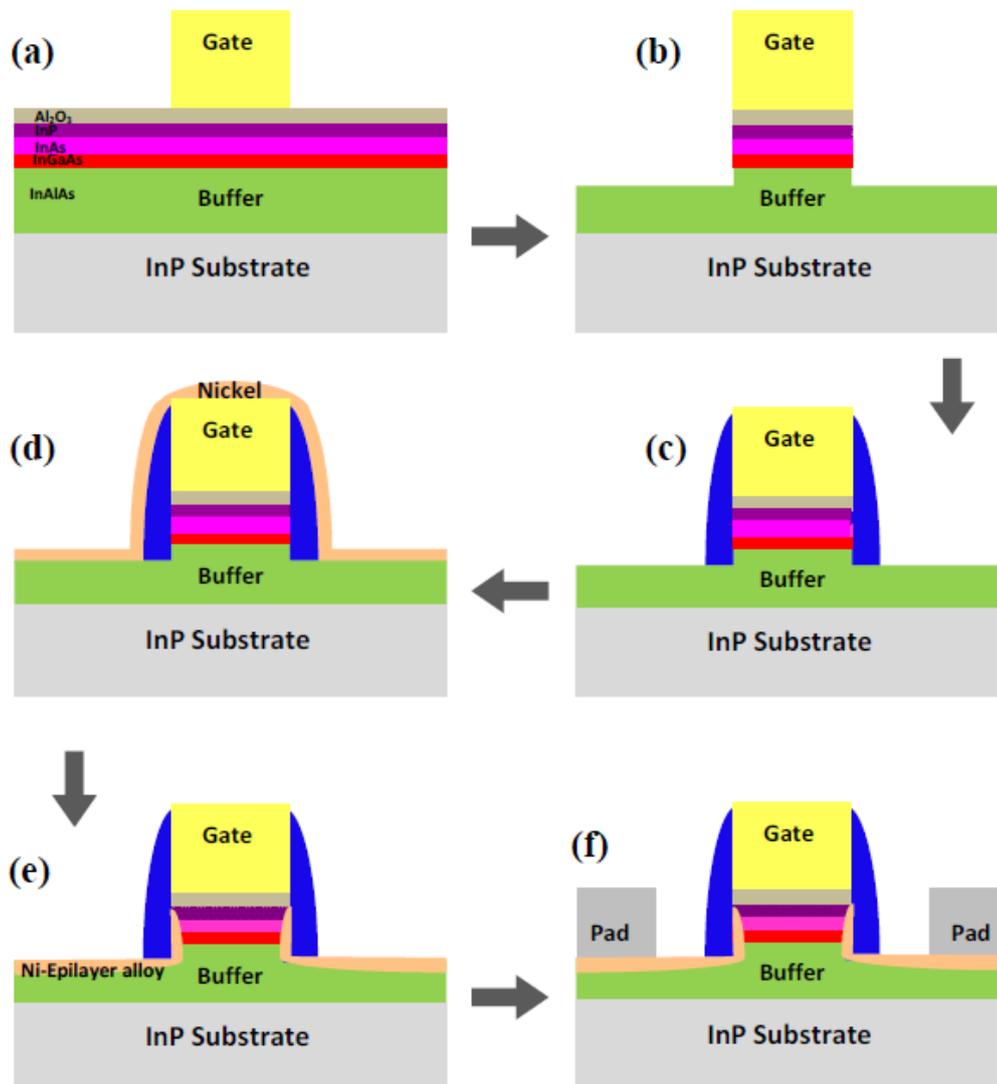


Figure III.2- Étapes technologiques de fabrication du MOSFET-InAs UTB auto-alignés. **(a)** Traitement de surface, dépôt de l'oxyde de grille (4 nm) et définition de la grille **(b)** Gravure de l' Al_2O_3 et de la couche active. **(c)** Définition des espaceurs. **(d)** Dépôt du Ni (15 nm) par évaporation. **(e)** RTA à 250 °C pour la formation de l'alliage Ni-Epilayer et gravure du Ni n'ayant pas réagi et **(f)** Dépôt des pads S/D.

La fabrication du transistor commence par un traitement chimique de la surface d'InP, ensuite une couche d'alumine Al_2O_3 a été déposée par ALD. La structure est soumise à un recuit thermique (PDA) à 600°C durant 1 min sous N_2H_2 pour la densification de l'oxyde. Après le PDA, la grille a été définie suivie par une gravure sèche de l'oxyde et de la couche active dans les zones source et drain. Pour la définition des « sidewalls » (espaceurs), le nitrure de silicium a été déposé par la PECVD puis une gravure plasma en utilisant le gaz SF_6

est effectuée. Par la suite, une couche du nickel d'une épaisseur de 15 nm a été déposée par évaporation suivie par un recuit thermique à 250°C durant 1min sous N₂H₂ et une gravure chimique du Ni qui n'a pas réagi avec le matériau III-V. Enfin, les plots d'épaissement ont été réalisés par un dépôt d'un séquentiel de Ti/Pt/Au. Le détail de ces briques technologiques est donné dans les parties suivantes.

III.2.1.2.1 Passivation de la surface et dépôt de l'oxyde

Dans un premier temps et avant le dépôt de l'oxyde de grille, un traitement de surface de l'InP est effectué afin de préparer cette surface pour le dépôt d'oxyde et de limiter la densité des défauts d'interfaces (D_{it}). En effet, les performances électriques d'un transistor MOSFET sont liées directement à la qualité de l'interface entre l'oxyde et le matériau III-V, pour cela un traitement de surface par voie humide est effectué, ce traitement est basé sur l'utilisation de l'acide chlorhydrique HCl dilué (HCl: H₂O = 1:3) suivi par une passivation par une immersion de l'échantillon dans la solution de sulfure d'ammonium (NH₄)₂S dilué. Après un rinçage à l'EDI durant 2 min, l'échantillon est immédiatement transféré dans la chambre d'ALD pour réaliser un dépôt de 4 nm d'épaisseur d'oxyde d'alumine Al₂O₃. Dans un second temps, un recuit rapide (PDA) est effectué à 600 °C durant 1min sous N₂H₂ après le dépôt de l'oxyde, dont le but est de densifier et de minimiser les charges fixes dans l'oxyde. Toutefois, le mauvais choix de la température de recuit ou de temps de recuit peut dégrader la qualité de l'oxyde et engendrer une augmentation du courant de grille. La figure III.3 donne une image par microscopie électronique en transmission TEM (*Transmission Electron Microscope*) d'une coupe transversale de l'empilement de grille.

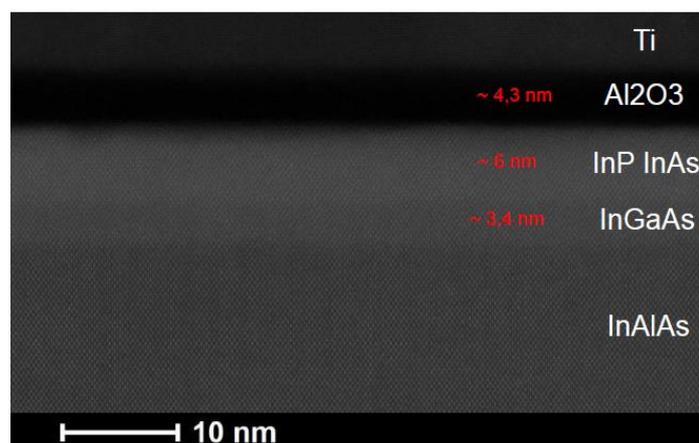


Figure III.3- Image TEM d'une coupe transversale de l'empilement de grille.

Nous observons sur la coupe TEM donnée en figure III.3, l'absence de défauts dans la couche active en particulier dans l'InAs, cela montre la bonne qualité de l'épitaxie. La couche d'Al₂O₃ est d'une épaisseur d'environ 4,3nm. L'identification des épaisseurs pour les couches

d'InP et d'InAs semble difficile, mais les deux couches ont une épaisseur totale de 6 nm. Par ailleurs, nous observons clairement l'épaisseur de la couche d'InGaAs d'environ 3,4 nm.

III.2.1.2.2 Définition de la grille

Un bicouche de résines électro-sensibles est utilisé pour définir la grille du transistor. Le bicouche choisi pour définir nos grilles se compose d'un copolymère P(MMA-MAA 17.5%) dilué à 13% dans de l'Éthyle lactate et d'un polymère PMMA 950K à 4% dans l'anisole. Nous avons choisi un procédé de soulèvement « lift-off » par sa simplicité. On évite aussi la gravure du métal de grille, cette gravure devrait être sélective par rapport à l' Al_2O_3 et la couche active. Afin d'atteindre des dimensions sub-150 nm, nous avons procédé à une variation et optimisation de la dose d'écriture du faisceau d'électrons. Cette optimisation est nécessaire car la résine est déposée sur la couche d' Al_2O_3 .

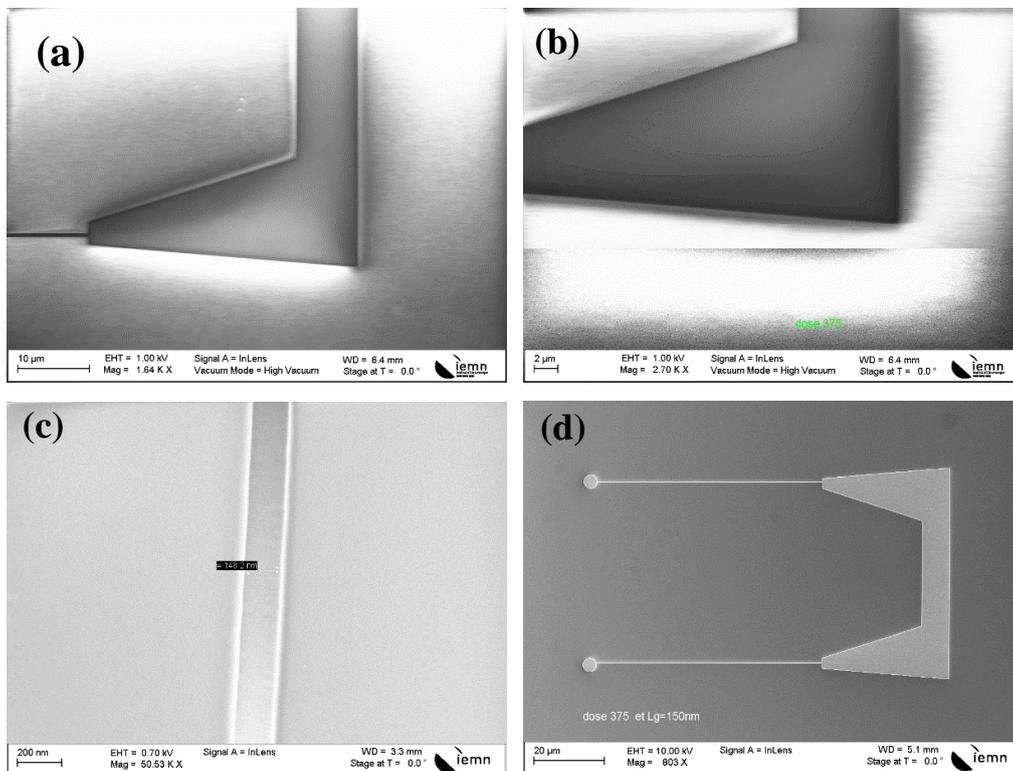


Figure III.4- Images MEB après le développement de la résine. (a)-(b) Le grossissement sur le plot d'accès. (c) Pied de la grille de 150 nm et (d) Dépôt du métal de la grille.

Après avoir défini les motifs de grille (écriture au masqueur électronique et révélation de la résine en utilisant la solution MIBK/IPA suivi par un rinçage dans l'IPA) et avant de déposer le métal de la grille, une désoxydation est effectuée dans le bâti d'évaporation par plasma d'Argon (150W /1 min) pour éliminer les résidus de la résine et toute sorte de matière polluante. Ensuite, une couche séquentielle de Ti/Pt/Au (25/25/300nm), dont le Ti joue le rôle

d'une couche d'accroche, est déposée. Les images MEB montrées dans la figure III.4 représentent l'ouverture de la grille après le développement de la résine (a-b), et la grille du transistor après le dépôt métallique en passant par le procédé lift-off dans un bain à base de la solution SVC14 chauffé à 70°C (c-d).

III.2.1.2.3 Gravure de l'oxyde

L'étape suivante consiste à graver l'oxyde d'alumine Al_2O_3 (non recouvert par la grille) par l'utilisation du plasma à couplage inductif (ICP). Cette gravure utilisant le gaz BCl_3 sous les conditions suivantes : Puissance RIE = 50 W ; Puissance ICP = 200W ; Pression = 5 mTorr avec un temps de 1 min. La gravure s'est arrêtée à la couche tampon d'InAlAs.

III.2.1.2.4 Définition des espaceurs

La formation des parois latérales ou espaceurs (« sidewalls ») a pour but d'éviter un court-circuit entre les deux régions source ou drain et la grille. En effet, dans le procédé Gate-First, le métal des contacts de source et de drain (le nickel) est déposé sur la totalité de l'échantillon, sans lithographie de protection de la grille. Il est donc nécessaire de protéger la zone de grille afin d'éviter un court-circuit avec la grille. L'excédent de Ni n'ayant pas réagi avec le Si_3N_4 sera ensuite retiré. Pour cette raison, une épaisseur de 60 nm du nitrure de silicium (Si_3N_4) est déposée par la technique de PECVD en pleine plaque suivi par une gravure ionique réactive (RIE) utilisant un mélange de gaz SF_6/Ar permettant d'avoir une gravure anisotrope. La figure III.5 illustre une image TEM après la formation des espaceurs avec une largeur finale d'environ 25 nm.

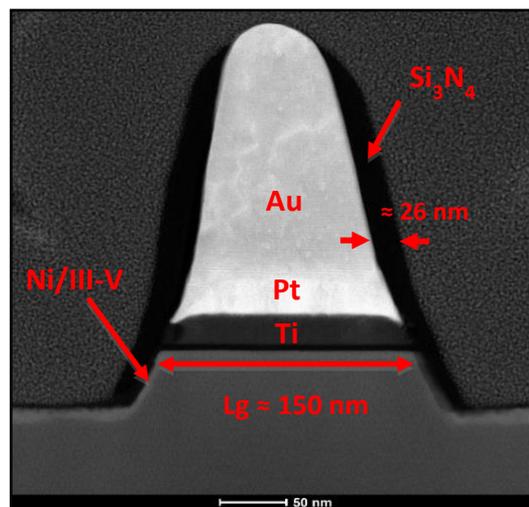


Figure III.5- Image TEM après la définition des espaceurs latéraux (« sidewalls »).

III.2.1.2.5 Définition des contacts source et drain

La technologie utilisée pour réaliser les contacts ohmiques de source et de drain a été présentée et discutée dans le chapitre précédent (chapitre II). Comme abordé dans le chapitre II, le choix de la technique « silicide-like » pour réaliser les contacts source et drain a pour objectif de réduire le budget thermique au cours de la fabrication du MOSFET et la possibilité d’obtenir un alliage métal/III-V avec de faibles résistances d’accès. Dans cette perspective, nous avons utilisé la lithographie électronique afin de définir les régions source et drain. Le bicouche utilisé dans cette étape est le même que celui utilisé pour la définition de la grille. Après l’écriture et la révélation de la résine, une épaisseur de 15 nm du nickel est déposé par évaporation sous vide suivi par un soulèvement « lift-off » en utilisant la solution SVC14 chauffée à 70°C, un rinçage à l’acétone puis à l’IPA. Ensuite, un recuit RTA (Rapid Thermal Annealing) est réalisé à 250°C sous N₂H₂ durant 1min permettant la diffusion du nickel et la formation de l’alliage métallique dans les deux zones source et drain. L’évolution de la température dans le four durant le recuit thermique comporte quatre étapes illustrées dans la figure III.6.

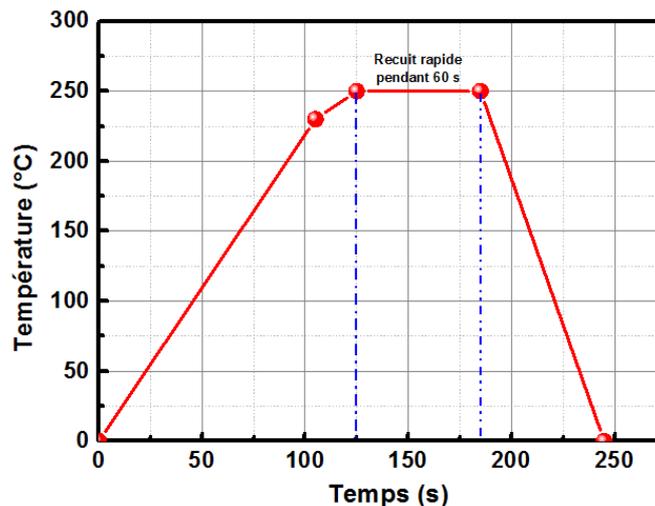


Figure III.6- Évolution de température dans le four durant le recuit.

Après le RTA, le nickel non-réagi est éliminé par une immersion durant 20s dans l’acide nitrique HNO₃ dilué à l’EDI (HNO₃:H₂O = 1:10). La figure III.7 ci-dessous montre des images TEM après la formation de l’alliage Ni/III-V dans les deux régions S/D et la gravure de l’excédent de Ni. On constate clairement la diffusion du nickel, en particulier sous la couche Si₃N₄. Cette diffusion par capillarité permet de connecter le canal conducteur InAs/InGaAs du transistor.

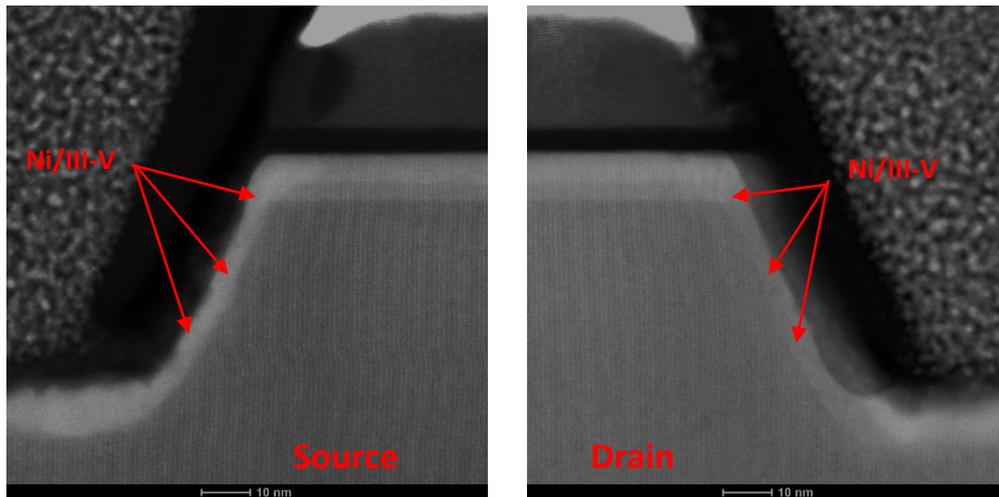


Figure III.7- Images TEM montrent la formation de l’alliage Ni/III-V dans les deux régions source et drain du MOSFET.

Nous avons également réalisé une observation (zone de l’empilement de la grille) à l’aide de la technique EDX « Energy Dispersive X-ray Spectrometry » permettant de détecter tous les éléments chimiques présents autour de la grille. La figure III.8 illustre la présence des différents éléments chimiques utilisés durant le procédé de fabrication. Nous observons une répartition des espèces chimiques après le recuit thermique. En effet, le nickel a diffusé en dessous des espaceurs (Si_3N_4) jusqu’à l’ Al_2O_3 de l’empilement de grille, réagit avec les III-V et forme un alliage métallique Ni/III-V à 250°C durant 1min, et par conséquent, le recuit à cette température est assez suffisant pour consommer la quasi-totalité du Ni déposé et atteindre une faible résistance carrée (R_{sheet}) de l’alliage Ni/III-V.

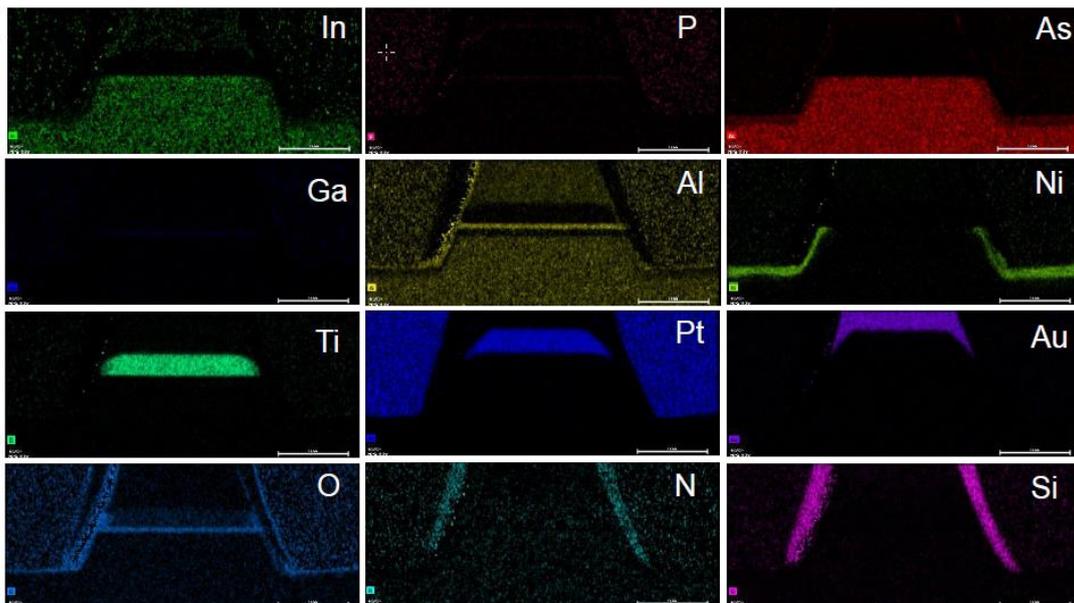


Figure III.8- Mesures EDX « Energy Dispersive X-ray Spectrometry ».

III.2.1.2.6 Définition des plots d'épaississements et isolation MESA

Les plots d'épaississement sont utilisés essentiellement pour permettre de poser les pointes et de caractériser le dispositif. Pour cela, nous avons utilisé le même bicouche de résine suivi par un dépôt d'un séquentiel métallique Ti/Pt/Au et un lift-off dans un bain de SVC14 chauffé à 70°C. La figure III.9 montre une vue globale du transistor fabriqué. Enfin, pour achever la fabrication du dispositif, un méssa d'isolation est réalisé par une gravure humide à l'aide de l'acide phosphorique H_3PO_4 en protégeant la zone active du transistor par une résine optique (AZ1518).

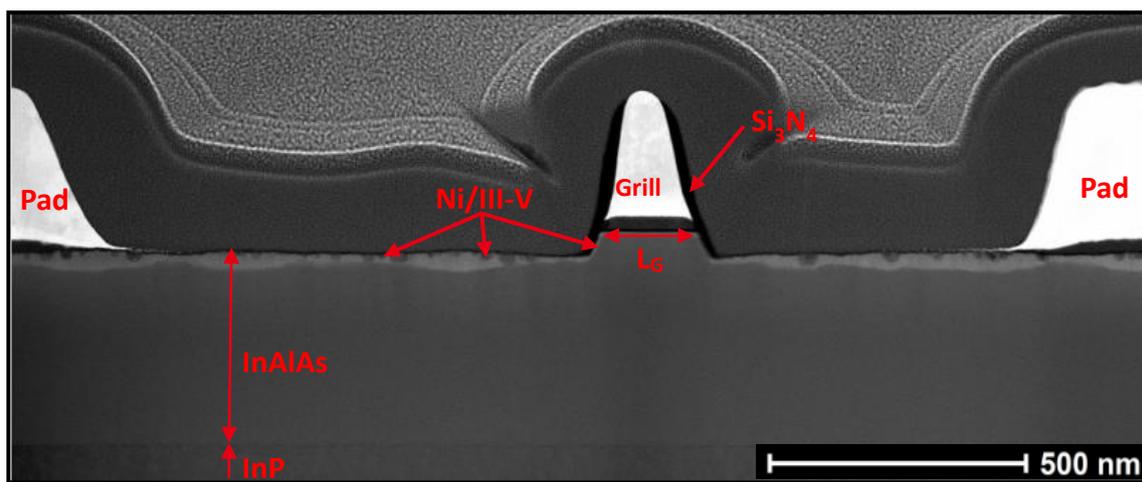


Figure III.9- Image TEM du MOSFET final avec les plots d'épaississement (Pad).

La figure III.10 présente les images MEB des transistors MOSFETs ($W_G = 2 \times 50 \mu m$ et $L_G = 150, 300 nm$) en fin de fabrication. La topologie est formée de deux doigts de grille de $50 \mu m$ de développement unitaire.

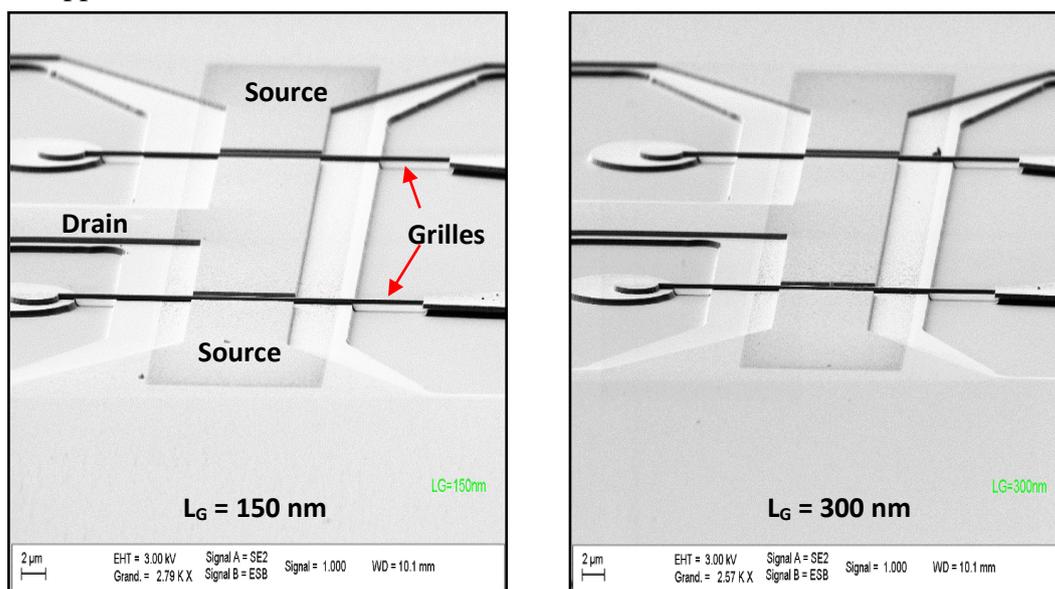


Figure III.10- Images MEB des MOSFETs en fin de fabrication ($W_G = 100 \mu m$ et $L_G = 150, 300 nm$).

III.2.1.3 Caractérisations électriques

Dans cette partie, nous présentons les caractéristiques électriques dans les régimes statique et dynamique des transistors MOSFETs fabriqués au cours de cette étude. En effet, tous les transistors possèdent deux doigts de grille ($N=2$), le même développement de $100\ \mu\text{m}$ ($W_G=2*50\ \mu\text{m}$) mais différentes longueurs de grille ($L_G=150, 300$ et $500\ \text{nm}$). Par ailleurs, nous allons nous focaliser principalement sur le transistor avec $L_G=150\ \text{nm}$, en raison de ses meilleures performances électriques.

III.2.1.3.1 Caractérisation en régime statique

La figure III.11 montre les caractéristiques I_D-V_{DS} de transistor MOSFET de différentes longueurs de grille, (a) $L_G = 150\ \text{nm}$, (b) $L_G = 300\ \text{nm}$ et (c) $L_G = 500\ \text{nm}$ avec un développement total $W_G=100\ \mu\text{m}$. Un courant maximal de drain (I_D) de $730\ \text{mA/mm}$ a été obtenu à $V_{DS}=0.7\ \text{V}$ et $V_{GS}=2\ \text{V}$ pour $L_G = 150\ \text{nm}$.

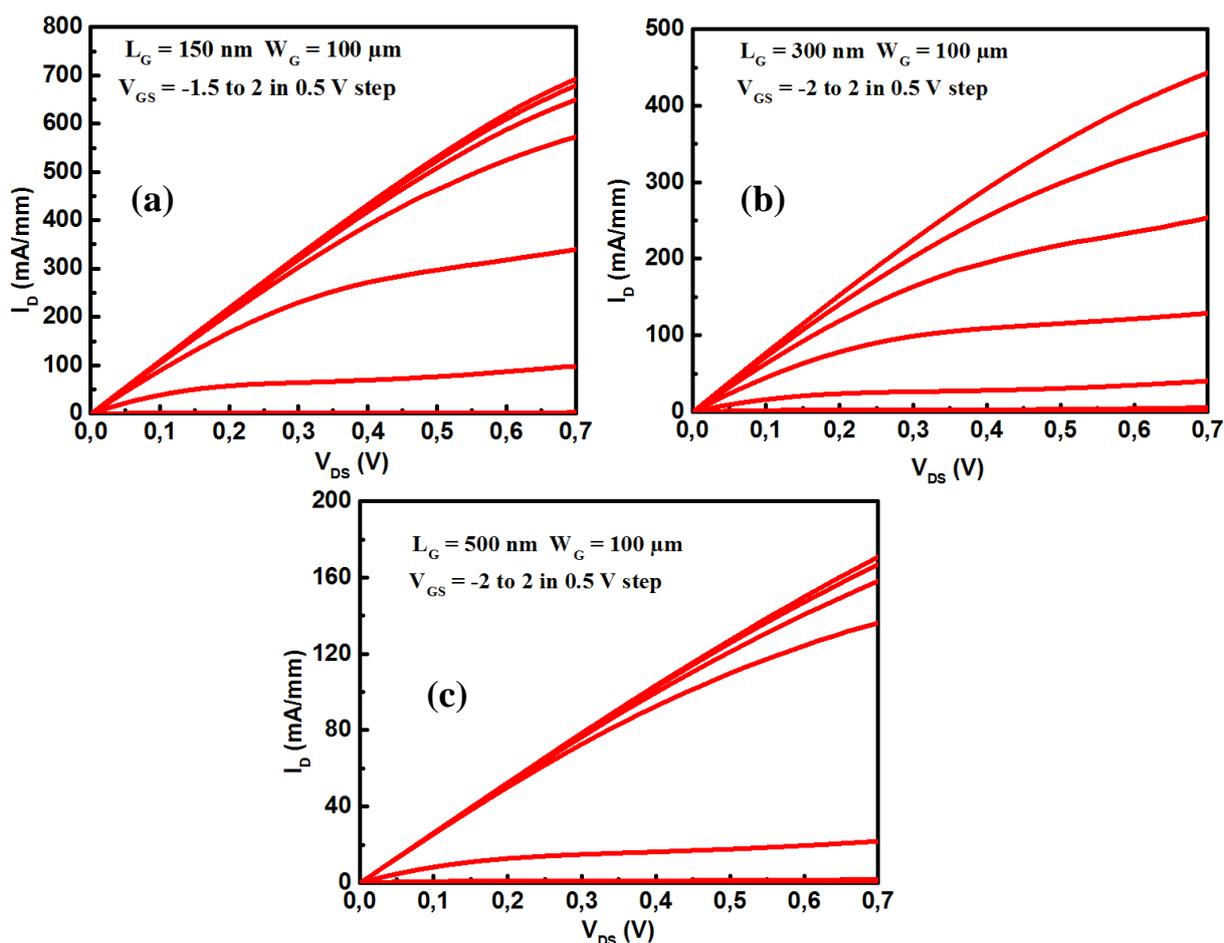


Figure III.11- Caractéristiques I_D-V_{DS} de transistor MOSFET avec $W_G = 100\ \mu\text{m}$, pour (a) $L_G = 150\ \text{nm}$, (b) $L_G = 300\ \text{nm}$ et (c) $L_G = 500\ \text{nm}$.

D'après la figure II.11, nous pouvons affirmer que les résistances totales, R_{totale} (R_{on}), incluant les résistances d'accès de source et de drain sont élevées, et par conséquence, elles ont un impact direct sur les performances statiques et expliquent en partie les valeurs du courant obtenues.

La figure III.12 représente les caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET de différentes longueurs de grille, (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm, avec un développement total $W_G = 100$ μm . Une transconductance extrinsèque maximale ($G_{M,ext}$) de 500 mS/mm est atteinte à $V_{DS} = 0.7\text{V}$ et $V_{GS} = 0.25\text{V}$ pour $L_G = 150$ nm.

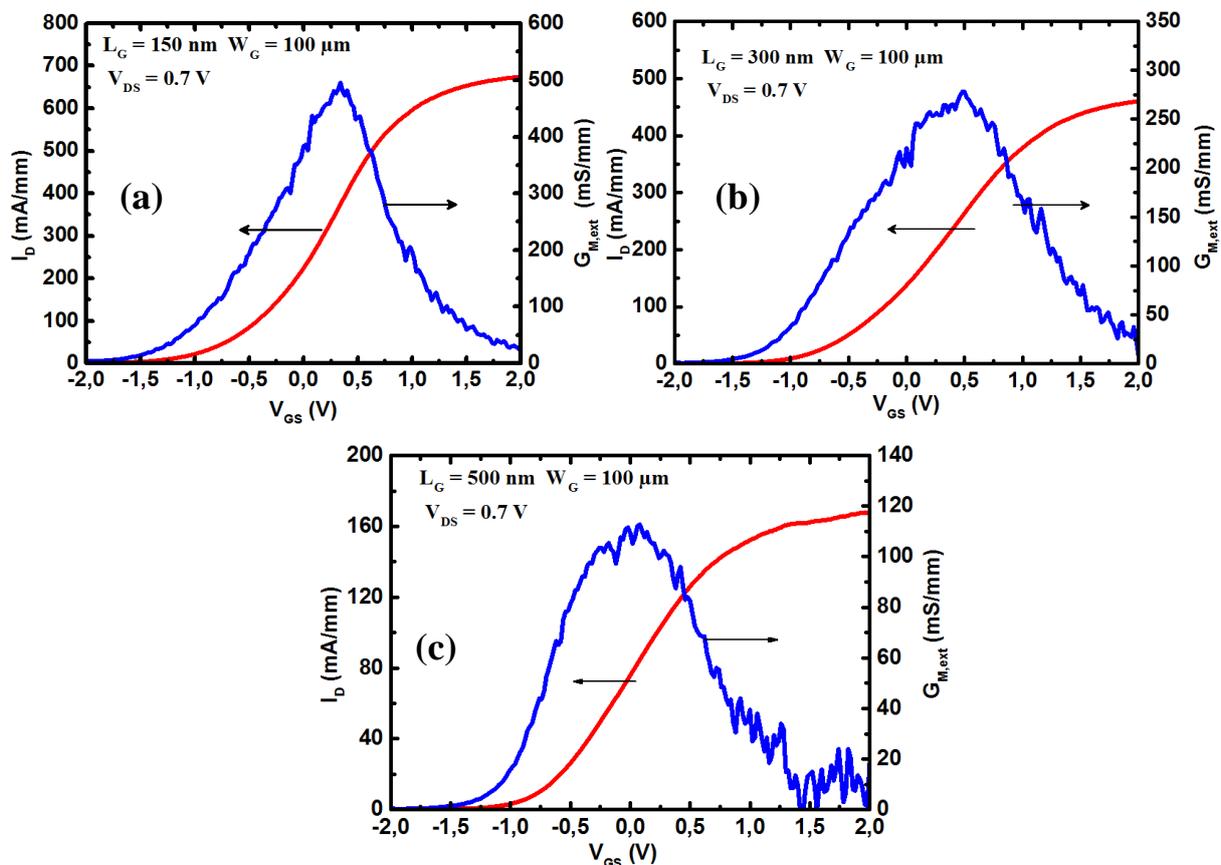


Figure III.12- Caractéristiques I_D-V_{GS} et G_M-V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

D'autre part, la figure III.13 décrit l'évolution du logarithme de la densité de courant de drain $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} pour (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm. Cette caractéristique est tracée avec une tension de drain choisie à 0.7 V. La valeur de la pente sous le seuil (SS) est de l'ordre de 733 mV/dec pour $L_G = 150$ nm. La pente sous le seuil (SS) est largement supérieure à la valeur théorique (60 mV/dec). Enfin, un $DIBL$ d'environ 800 mV/V est obtenu, cela démontre la présence non négligeable d'effets de canal court.

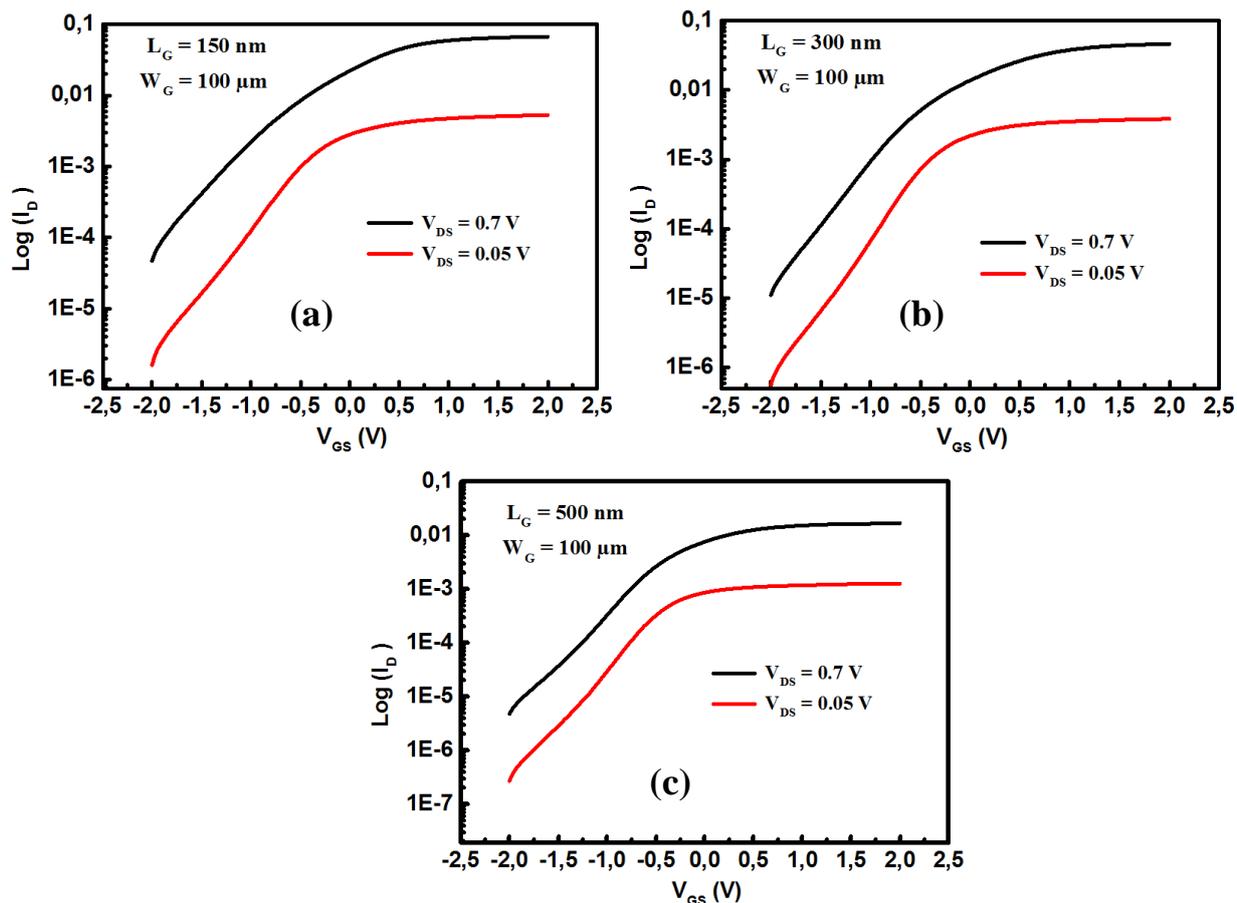


Figure III.13- Caractéristiques $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150\text{ nm}$, (b) $L_G = 300\text{ nm}$ et (c) $L_G = 500\text{ nm}$.

Le tableau III.1 reporte les performances statiques (DC) de MOSFETs pour les différentes longueurs de grille ($L_G = 150, 300$ et 500 nm) pour le même développement total $W_G = 100\mu\text{m}$.

Tableau III.1- Performances DC de MOSFETs « Gate First » pour les différentes longueurs de grille.

L_G (nm)	W_G (μm)	I_D (mA/mm)	G_M (mS/mm)	SS (mV/dec)
150	100	730	500	733
300	100	443	272	500
500	100	170	105	420

Enfin, la figure III.14 représente l'évolution de la résistance totale (R_{totale}) en fonction des longueurs de grille pour des transistors polarisés à faible tension de drain V_{DS} (0.3 V) et à canal ouvert ($V_{GS} = 1.5\text{ V}$). Pour le MOSFET avec $L_G = 150\text{ nm}$, les résistances d'accès de la source et du drain ont été extraites et elles valent environ $200\ \Omega \cdot \mu\text{m}$ ($0.2\ \Omega \cdot \text{mm}$) chacune.

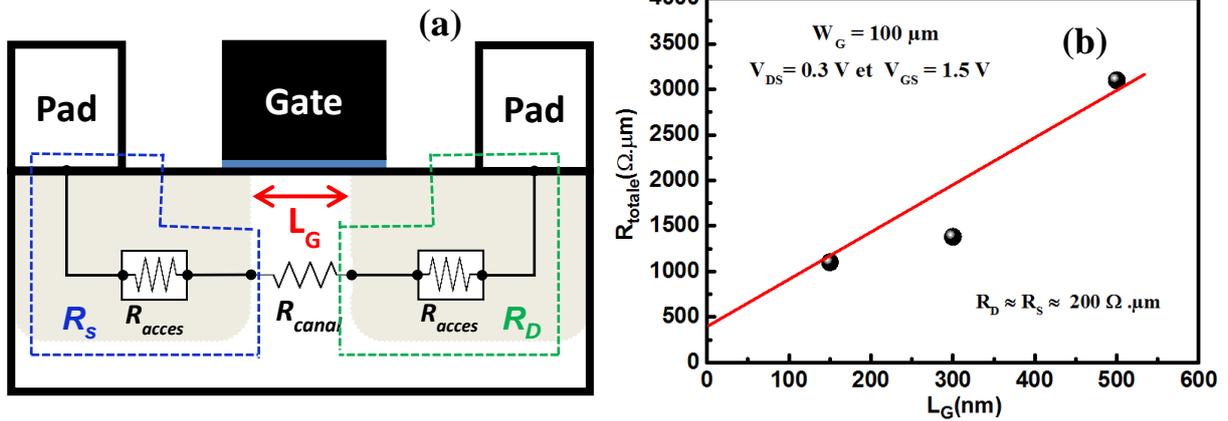


Figure III.14-(a) Décomposition de R_{totale} . (b) Résistance totale (R_{totale}) en fonction de la longueur de grille (L_G) pour $W_G = 100 \mu m$.

Dans le but de déterminer les composantes qui contribuent à ces résistances d'accès de régions source (R_S) et drain (R_D), nous avons réalisé une décomposition (figure III.15.a) de celles-ci en suivant la méthode détaillée dans le chapitre I (cf. I.3.4). De plus, nous avons utilisé les caractéristiques de sortie du MOSFET (I_D - V_{DS}) et la méthode TLM pour évaluer les composantes de la résistance d'accès. La figure III.15(a) illustre les différentes composantes de la résistance totale (R_{totale}) et de la résistance d'accès des zones source (R_S) et drain (R_D).

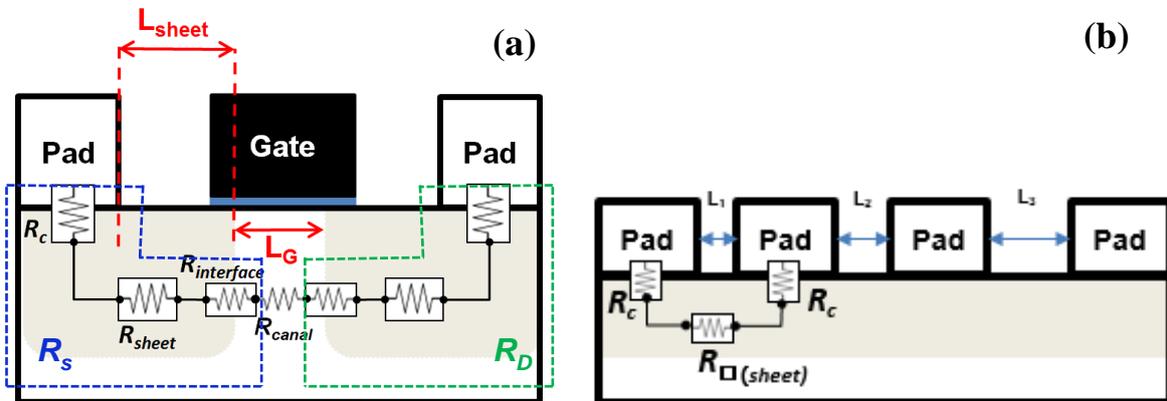


Figure III.15- (a) illustration des différentes composantes de R_{totale} et $R_{S/D}$. (b) Extraction de R_c et $R_{\square}(sheet)$ par mesure TLM.

avec R_S la résistance totale de la source, R_D la résistance totale du drain, R_c la résistance de contact entre le pad et la région source (S), R_{sheet} la résistance de la région source, $R_{interface}$ la résistance entre la zone source et le canal du transistor, finalement R_{canal} la résistance du canal. En utilisant la technique de mesure TLM illustrée dans figure III.15 (b), nous avons obtenu une résistance de contact R_c de $17 \Omega \cdot \mu m$, et une résistance R_{sheet} de $56 \Omega \cdot \mu m$ en appliquant l'équation III.3. En effet, la résistance R_{sheet} est légèrement différente (plus élevée) en comparant avec la valeur donnée dans le chapitre II (cf. Partie II.3.3.2.1) à cause de

l'alliage créé seulement entre le nickel et le matériau InAlAs. Enfin, la résistance d'interface $R_{interface}$ est estimée en utilisant les deux équations suivantes :

$$R_{totale} = R_S + R_D + R_{canal} \quad (III.1)$$

$$R_S = R_C + R_{sheet} + R_{interface} \quad (III.2)$$

$$R_{sheet} = R_{\square(sheet)}. (L_{sheet}/W) \quad (III.3)$$

En extrapolant les mesures de R_{totale} de la figure III.14 (b), on déduit R_S et R_D . Ensuite, les valeurs de R_C et R_{sheet} obtenues à partir de mesures de TLM sont soustraites de R_S (ou R_D , la structure étant symétrique). A partir de cette analyse, la valeur de $R_{interface}$ est déduite et est égale à $127 \Omega \cdot \mu m$. Elle représente donc la composante dominante de la résistance d'accès du composant (figure III.16). Comme discuté dans le chapitre I (cf. I.3.4), $R_{interface}$ caractérise essentiellement les structures à canal III-V de type « UTB » (2D). En effet, la résistance d'interface est relativement élevée, cela peut s'expliquer principalement par la raison suivante: l'absence de quantité de charge suffisante dans le canal, et à l'interface entre le canal et la région source provoque une augmentation drastique de $R_{interface}$ qui contribue à l'augmentation des résistances R_S et R_D .

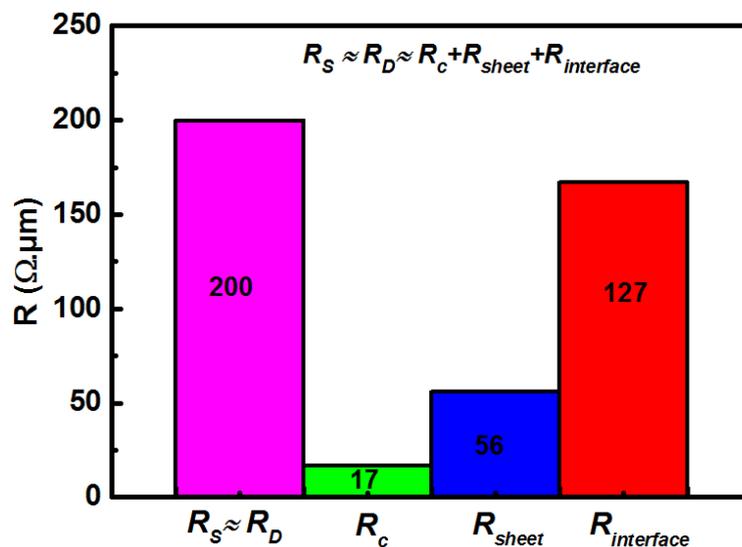


Figure III.16- Décomposition des différentes composantes de R_S (ou R_D).

D'après les travaux de l'UCSB (Santa Barbara) [3] et de l'UOT (Tokyo) [4], $R_{interface}$ est inversement proportionnelle à la racine carrée de la densité de charge dans le canal n_s (cf. chapitre I, équation I.17). Si on détermine la densité de charge à partir de cette expression de $R_{interface}$, on obtient une densité de charge surfacique d'environ 10^{12} cm^{-2} .

III.2.1.3.2 Caractérisation en régime dynamique

La figure III.17 représente le gain en courant ($|H_{21}|^2$) et le gain unilatéral de Mason (U) pour le transistor MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec un développement total $W_G = 100$ μm au point de polarisation $V_{DS} = 0.7$ V. Pour le MOSFET de $L_G = 150$ nm, les performances fréquentielles obtenue en extrapolant $|H_{21}|^2$ et U avec une pente de -20 dB/dec, sont $f_T = 100$ GHz et $f_{max} = 60$ GHz.

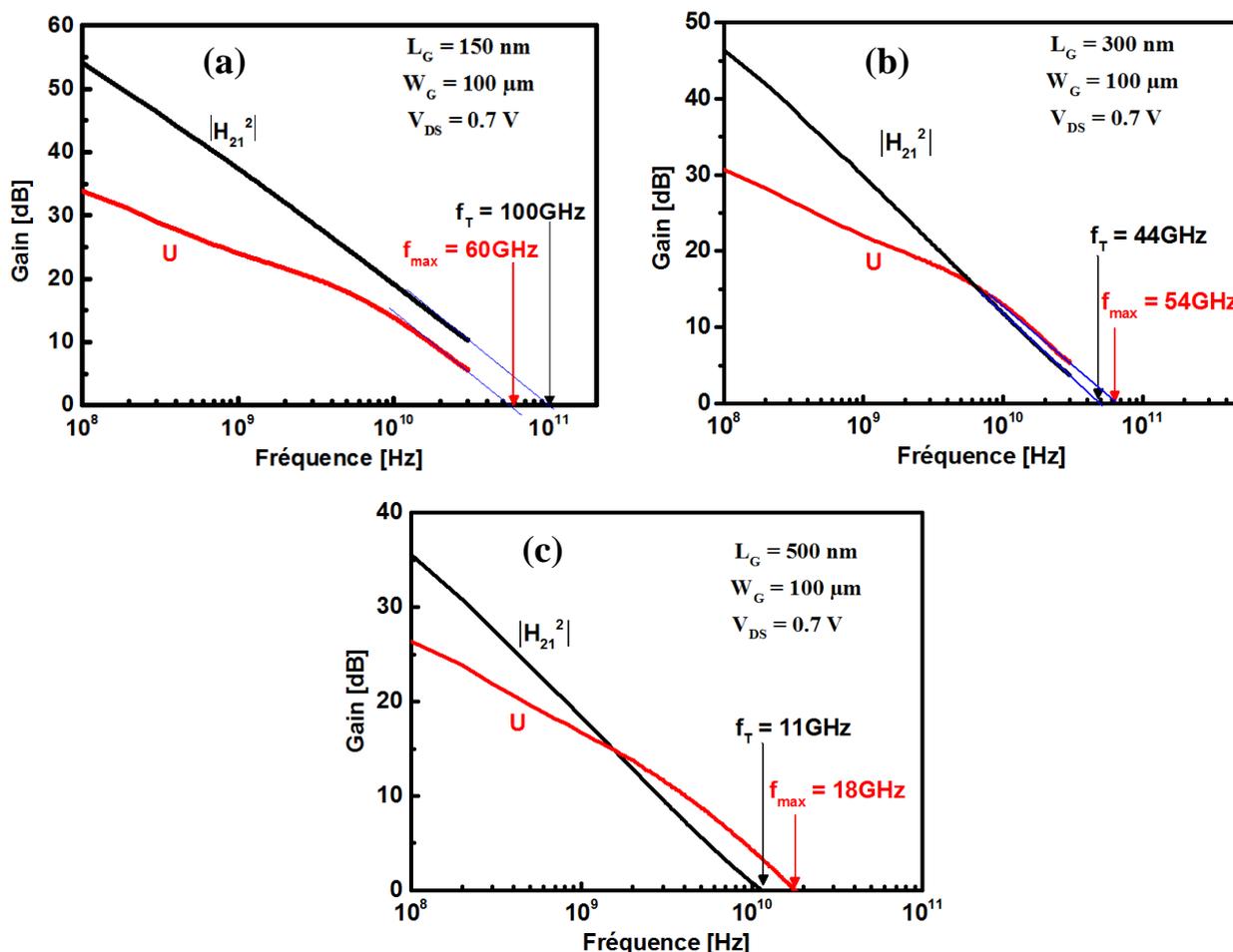


Figure III.17- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100\mu\text{m}$, pour (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

En suivant la loi d'échelle, nous avons une diminution du f_T et f_{max} avec l'augmentation de L_G et cela est associé à la dégradation de la transconductance $G_{M,ext}$ et la capacité C_{GS} . Nous avons constaté également que la fréquence f_{max} est quasi-similaire pour les longueurs de grille (L_G) de 150 nm et 300 nm. L'extraction des différentes valeurs de fréquences (f_T et f_{max}) pour les différentes longueurs de grille et avec le même développement total de 100 μm est regroupée dans le tableau III.2.

Tableau III.2- f_T et f_{max} pour les différentes longueurs de grille.

L_G (nm)	W_G (μm)	F_T (GHz)	F_{max} (GHz)
150	100	100	60
300	100	44	54
500	100	11	18

III.2.1.3.3 Schéma équivalent petit-signal

Tout d'abord, nous donnons une brève description de la procédure d'extraction du schéma équivalent petit signal, ensuite les résultats expérimentaux seront présentés. La figure III.18 illustre les éléments constituant le schéma équivalent petit signal d'un MOSFET.

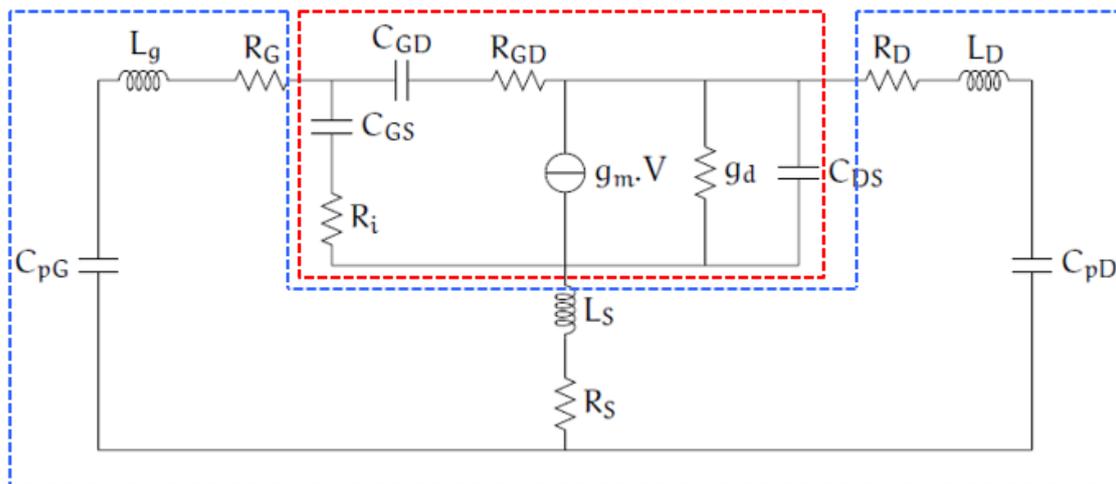


Figure III.18- Modèle petit-signal correspond à un transistor MOSFET : éléments extrinsèques (entouré par un trait bleu) et intrinsèques (entouré par un trait rouge).

Les éléments du schéma électrique d'un MOSFET se décomposent principalement en deux parties : éléments extrinsèques (entouré par un trait bleu) et intrinsèques (entouré par un trait rouge) comme montré dans la figure III.18.

Partie I : Les éléments extrinsèques c'est-à-dire en dehors du dispositif actif, indépendants du point de polarisation du transistor. Il s'agit de :

- L_G, L_S, L_D : les inductances, respectivement de grille, de source et de drain.
- R_G, R_S, R_D : les résistances, respectivement de grille, de source et de drain.
- C_{PG}, C_{PD} : les capacités parasites, respectivement de grille et de drain.

Partie II : Les éléments intrinsèques c'est-à-dire caractérisant les dispositifs actifs, dépendants de la polarisation. Il s'agit de :

- C_{GS} , C_{GD} , C_{DS} : les capacités, respectivement de grille-source, de grille-drain, et de drain-source.
- R_{GD} , R_i : la résistance de grille-drain, et la résistance intrinsèque.
- g_m : la transconductance ; g_d : la conductance de sortie.

La figure III.19 [5] montre les principales étapes de cette méthodologie d'extraction des éléments intrinsèques. Il est à noter que la procédure détaillée de l'extraction pour les éléments extrinsèques ne sera pas présentée. Toutefois, elle est décrite en détail par Alexandre Bracale (thèse soutenue en 2003) [6]. Enfin, une bonne élaboration d'un schéma électrique permet d'identifier chaque élément « physique » par un élément localisé.

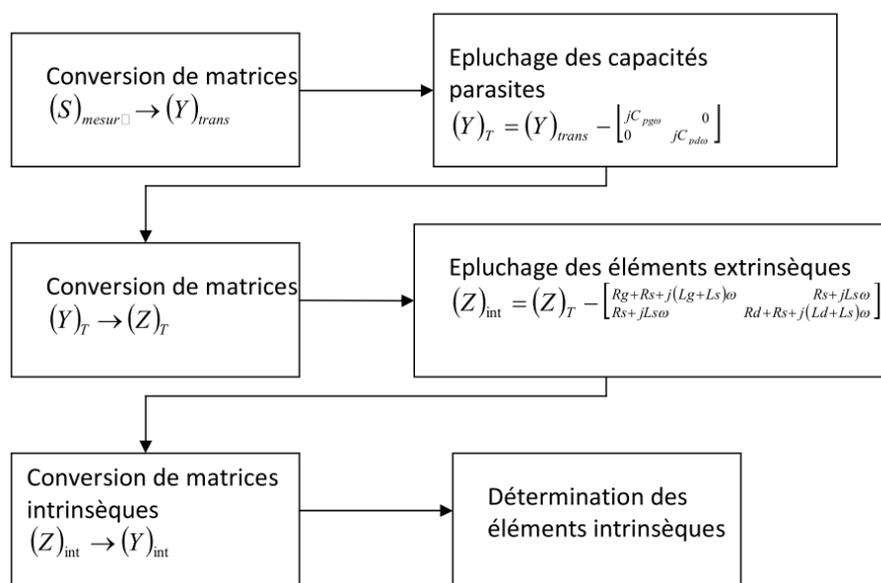


Figure III.19- Procédure d'extraction des éléments intrinsèques [5].

Au travers d'une analyse approfondie, nous avons extrait à partir de la mesure des paramètres S , les éléments intrinsèques et extrinsèques du transistor de longueur de grille $L_G = 150$ nm avec un développement total $W_G = 100$ μm . Le tableau III.3 présente les données extraites du schéma petit signal à $V_{GS} = 0,3$ V et $V_{DS} = 0,7$ V. Les valeurs ainsi extraites mettent en évidence une contribution non négligeable des résistances R_S et R_D (soit 270 $\Omega \cdot \mu\text{m}$ chacune). Les deux valeurs sont du même ordre que celles obtenues par la méthode d'extraction précédente, où l'on avait environ 200 $\Omega \cdot \mu\text{m}$, ces deux paramètres impactent directement les caractéristiques électriques du composant, et par conséquent, la dégradation des performances statiques et dynamiques. De plus, la valeur de la résistance de la grille R_G semble importante, or R_G est fortement corrélée avec la fréquence f_{max} , cela explique en partie

la faible valeur de f_{max} obtenue ($f_{max} = 60$ GHz). De plus, la valeur de la capacité C_{GD} est proche de C_{GS} , ce qui contribue à la dégradation du f_{max} . Cette importante valeur de C_{GD} traduit un mauvais contrôle électrostatique du canal. Ce point a été aussi observé sur les valeurs du *DIBL*.

Tableau III.3- Paramètres du modèle petit-signal correspond à un MOSFET de $L_G = 150$ nm, avec $W_G = 100$ μ m

<i>Eléments intrinsèques</i>		<i>Eléments extrinsèques</i>	
$G_{M,int}$ (mS/mm)	840	R_S (Ω .mm)	0.27
G_D (mS/mm)	200	R_D (Ω .mm)	0.27
C_{GS} (fF/mm)	400	R_G (Ω /mm)	230
C_{GD} (fF/mm)	320	C_{PG} (fF/mm)	-
		C_{PD} (fF)	8

Dans cette partie I, nous avons présenté le procédé de fabrication « Gate First » suivi par la caractérisation électrique du MOSFET à canal composite d’InAs/InGaAs. L’ Al_2O_3 est utilisé comme oxyde de grille et l’alliage métallique Ni/III-V pour former les contacts ohmique source et drain à basse température (250°C). Le composant atteint une valeur de courant de drain de 730 mA/mm, et une transconductance ($G_{M,max}$) égale à 500 mS/mm. Egalement, le MOSFET présente une fréquence de coupure (f_T) de 100 GHz et une fréquence d’oscillation maximale (f_{max}) de 60 GHz.

Dans la partie II, nous allons présenter le procédé de fabrication « Gate Last » et la caractérisation électrique du MOSFET à canal composite d’InAs/InGaAs.

III.2.2 Partie II : Procédé de fabrication technologique « Gate Last »

En parallèle, nous avons essayé de développer un procédé technologique en utilisant la méthode dite « Gate Last » pour la définition de la grille après l’intégration de l’alliage nickel/III-V dans les régions source et drain, dont l’objectif est d’augmenter la température du recuit afin de diminuer les résistances des accès. Cependant, le procédé « Gate Last » ne permet pas d’avoir des longueurs de grilles nanométriques et engendre des longueurs importantes de chevauchement entre les contacts de grille et de drain-source. Toutefois, il présente un avantage : l’empilement de grille est réalisé après les zones de contact de source et de drain. Cet empilement de grille, et surtout l’interface oxyde-semiconducteur, ne subit

donc pas les étapes de fabrication de ces contacts, en particulier les traitements thermiques. Le procédé de fabrication « Gate Last » utilisé pour la fabrication de nos MOSFETs est illustré dans la figure III.20.

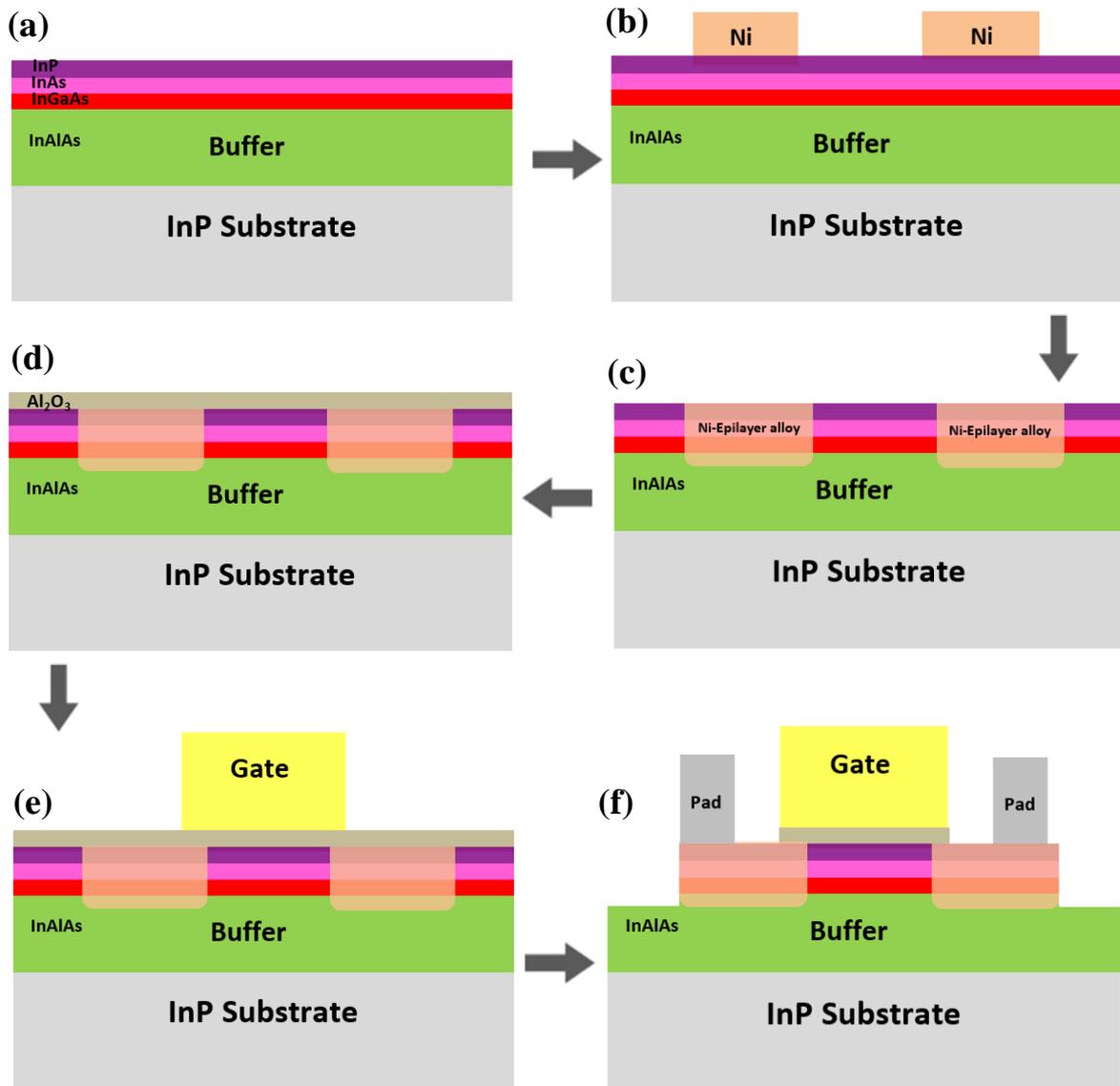


Figure III.20- Étapes technologiques de fabrication du MOSFET-InAs « Gate Last ». (a) Traitement de surface (b) Dépôt du Ni (15 nm) par évaporation (c) RTA à 350 °C durant 1min pour la formation de l'alliage Ni-Epilayer et gravure du Ni n'ayant pas réagi. (d) Dépôt d' Al_2O_3 d'une épaisseur de 4 nm. (e) Définition de la grille et (f) Gravure de l'oxyde, dépôt des pads S/D et gravure méso d'isolation.

La couche épitaxiale utilisée dans ce procédé pour la fabrication de ces transistors est similaire à celle employée dans la partie précédente (cf. III.2.1.1). La première étape de la fabrication consiste à définir les zones des contacts ohmiques source et drain en utilisant la bicouche de résine EL 13% MMA 17.5 et PMMA 4% 950K. Après l'écriture et le développement de la résine, un prétraitement de la surface d'InP basé sur la solution HCl

dilué (HCl:H₂O = 1:3) est effectué. Ensuite, l'échantillon est immédiatement transféré pour réaliser un dépôt par évaporation de 15 nm d'épaisseur du nickel, celui-ci est suivi par un recuit RTA à 350°C durant 1 min sous N₂/H₂. Après le recuit thermique, un deuxième prétraitement est réalisé en utilisant les mêmes solutions utilisées dans la partie précédente (HCl et (NH₄)₂S) puis l'échantillon est transféré dans le bâti ALD pour un dépôt de 4 nm d'Al₂O₃ qui est suivi par un recuit thermique (PDA) à 350°C durant 1 min dont l'objectif est de densifier l'oxyde de la grille. Ensuite, le bicouche de résines (EL 13% MMA 17.5 et PMMA 4% 950K) est utilisé pour la deuxième fois afin de définir la grille du transistor. Après la révélation de la résine, un traitement par plasma Ar (150 W durant 1 min) est fait pour éliminer les résidus de la résine et toute sorte de matière polluante, suivi par un dépôt d'une couche séquentielle de Ti/Pt/Au (25/25/300 nm) pour définir le métal de la grille. Cette étape est suivie par une gravure sèche de l'oxyde dans les régions source et drain. Puis, un dépôt des plots d'épaississement du séquentiel Ti/Pt/Au est réalisé. Enfin, le méso d'isolation est réalisé à l'aide d'une gravure humide de la couche épitaxiale en utilisant l'acide phosphorique (H₃PO₄). La figure III.21 montre les images MEB (a) après le recuit du nickel et (b) la gravure méso. Nous observons clairement sur les images MEB données en figure III.21 (a,b), une dégradation de la zone active et les régions S/D du composant après le RTA. Nous pouvons ajouter aussi une forte possibilité de la dégradation du matériau InAs à cause des contraintes.

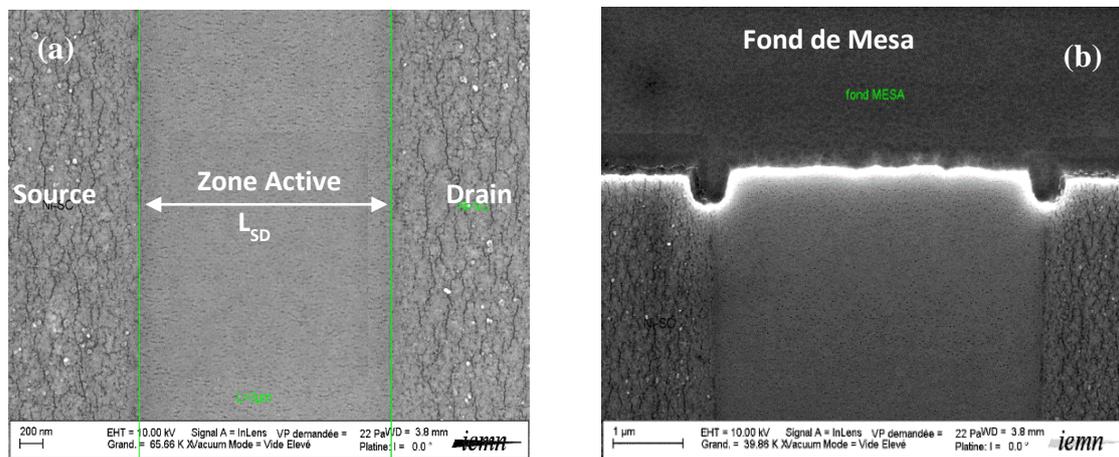


Figure III.21- Images MEB après (a) le RTA du nickel (b) la gravure méso.

III.2.3 Caractérisations électriques

La figure III.22 montre les caractéristiques I_D-V_{DS} de transistor MOSFET de différentes longueurs de distance source et drain, (a) $L_{SD} = 0.9 \mu\text{m}$, (b) $L_{SD} = 2.1 \mu\text{m}$ et (c) $L_{SD} = 4 \mu\text{m}$ avec le développement total $W_{SD} = 100 \mu\text{m}$. Dans le cas du procédé « Gate Last », la

distance source drain (L_{SD}) fixe la longueur du canal. Pour $L_{SD} = 0.9 \mu\text{m}$, un courant maximal de drain (I_D) de 45 mA/mm a été obtenu à $V_{DS} = 1.2 \text{ V}$ et $V_{GS} = 2 \text{ V}$.

On constate que les valeurs du courant de drain I_D sont très faibles avec une saturation des caractéristiques pour des valeurs de tensions V_{DS} élevées (1.2 V). Toutefois, ce courant reste supérieur à celui trouvé par une équipe de l'université de Purdue avec un courant de 0.12 mA/mm pour une longueur de grille de $40 \mu\text{m}$ [7].

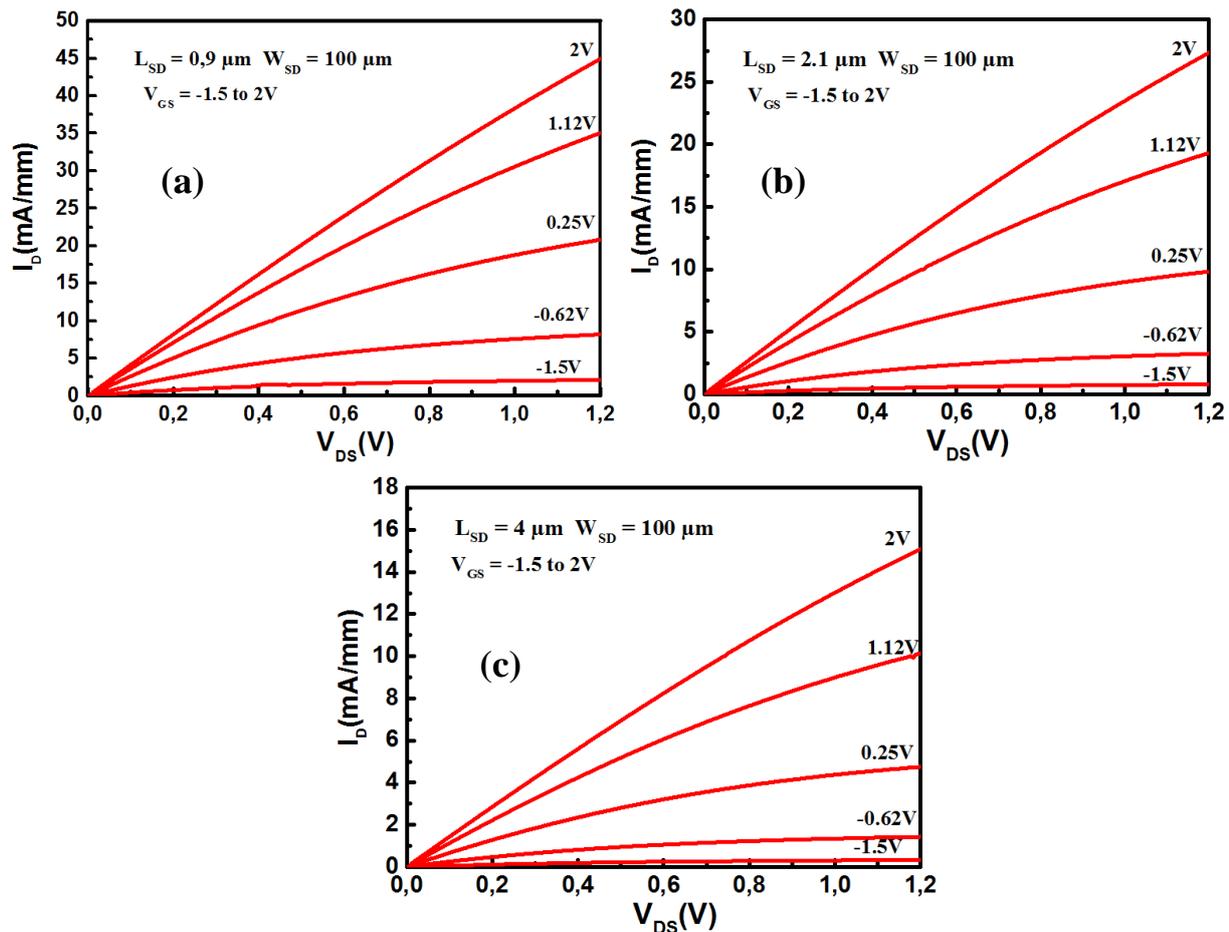


Figure III.22- Caractéristiques I_D - V_{DS} de transistor MOSFET avec $W_{SD} = 100 \mu\text{m}$, pour (a) $L_{SD} = 0.9 \mu\text{m}$, (b) $L_{SD} = 2.1 \mu\text{m}$ et (c) $L_{SD} = 4 \mu\text{m}$.

La figure III.23 représente les caractéristiques I_D - V_{GS} et G_M - V_{GS} de transistor MOSFET de différentes longueurs entre la source et le drain, (a) $L_{SD} = 0.9 \mu\text{m}$, (b) $L_{SD} = 2.1 \mu\text{m}$ et (c) $L_{SD} = 4 \mu\text{m}$ avec $W_G = 100 \mu\text{m}$. Une transconductance extrinsèque maximale ($G_{M,ext}$) de 12 mS/mm a été atteinte à $V_{DS} = 1.2\text{V}$ et $V_{GS} = 1 \text{ V}$ pour $L_{SD} = 0.9 \mu\text{m}$.

On note également que la transconductance de 12 mS/mm peut être due à plusieurs raisons, soit une faible commande de charge par la grille et/ou de faibles propriétés de transport électronique. On peut aussi faire l'hypothèse d'une dégradation du matériau InAs à cause des contraintes induites pour le procédé des contacts de Ni. En dernière hypothèse, les fortes valeurs des résistances d'accès (R_S et R_D) peuvent être à l'origine des faibles valeurs du courant et de la transconductance. On constate aussi, que le transistor n'arrive pas à être pincé, cela peut être dû à un courant de grille très important (environ 0.1 mA/mm).

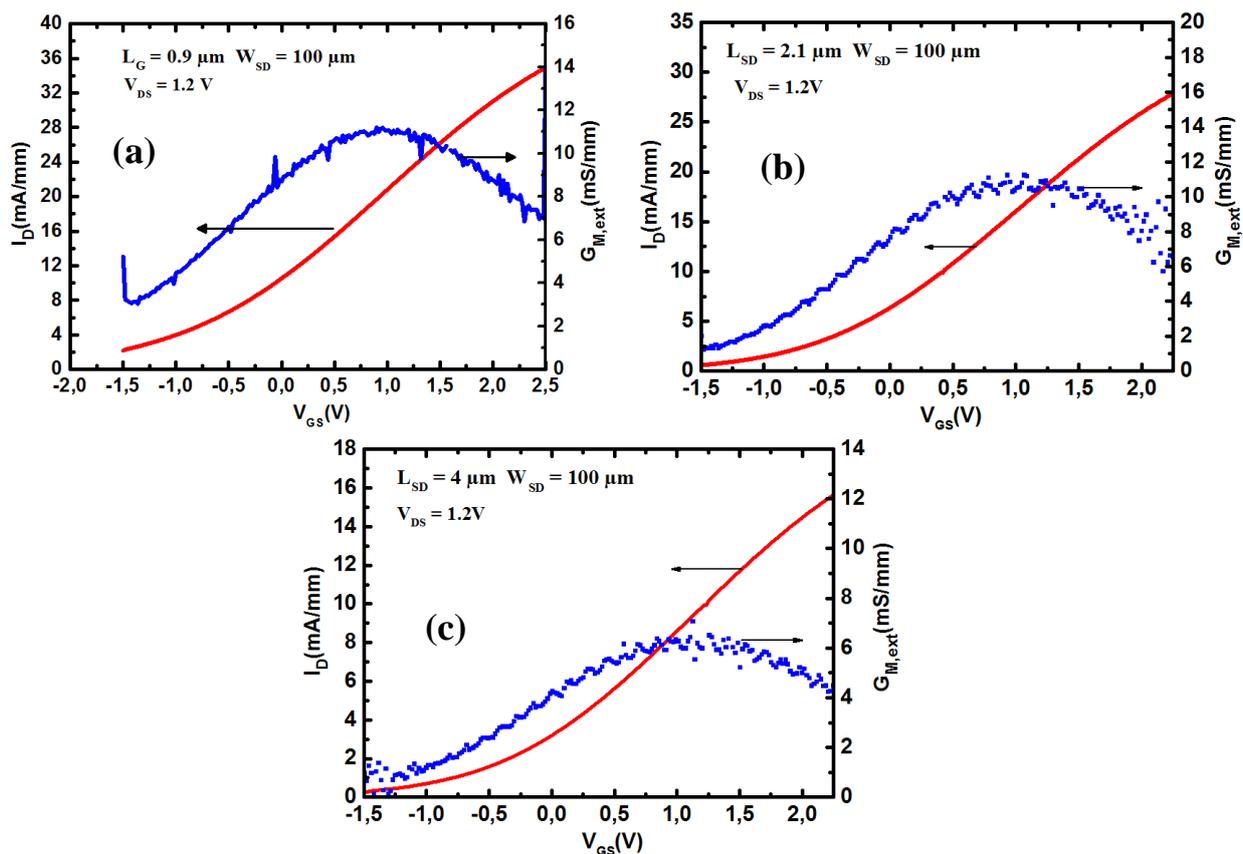


Figure III.23- Caractéristiques I_D - V_{GS} et G_M - V_{GS} de transistor MOSFET avec $W_{SD} = 100\mu\text{m}$, pour (a) $L_{SD} = 0.9\mu\text{m}$ (b) $L_{SD} = 2.1\mu\text{m}$ et (c) $L_{SD} = 4\mu\text{m}$.

Cette constatation est confirmée par la figure III.24, qui décrit l'évolution du logarithme de la densité de courant de drain $LOG(I_D)$ en fonction de V_{GS} pour (a) $L_{SD} = 0.9 \mu\text{m}$ (b) $L_{SD} = 2.1\mu\text{m}$ et (c) $L_{SD} = 4 \mu\text{m}$.

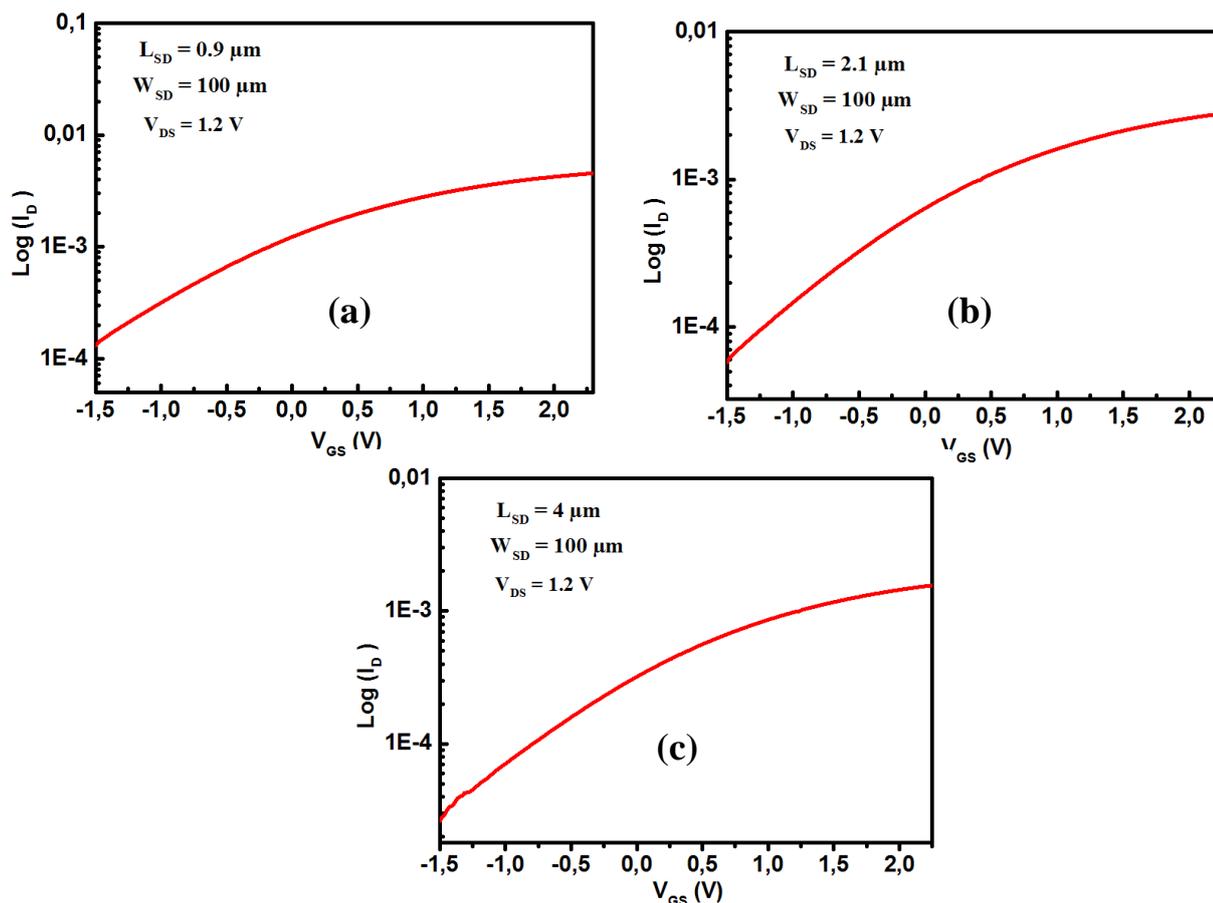


Figure III.24- Caractéristiques $\text{Log}_{10}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_{SD} = 100 \mu\text{m}$, pour (a) $L_{SD} = 0.9 \mu\text{m}$, (b) $L_{SD} = 2.1 \mu\text{m}$ et (c) $L_{SD} = 4 \mu\text{m}$.

Afin d'identifier la cause principale de cette faible valeur de courant, nous avons décomposé et évalué la résistance d'accès entre l'alliage Ni-épilayer et le canal d'électrons. La figure III.25 représente la décomposition de R_{totale} et l'évolution de la résistance totale en fonction de la distance entre la source et le drain L_{SD} pour des transistors polarisés à faible tension de drain V_{DS} (0.3 V) et à canal ouvert ($V_{GS} = 1.5$ V).

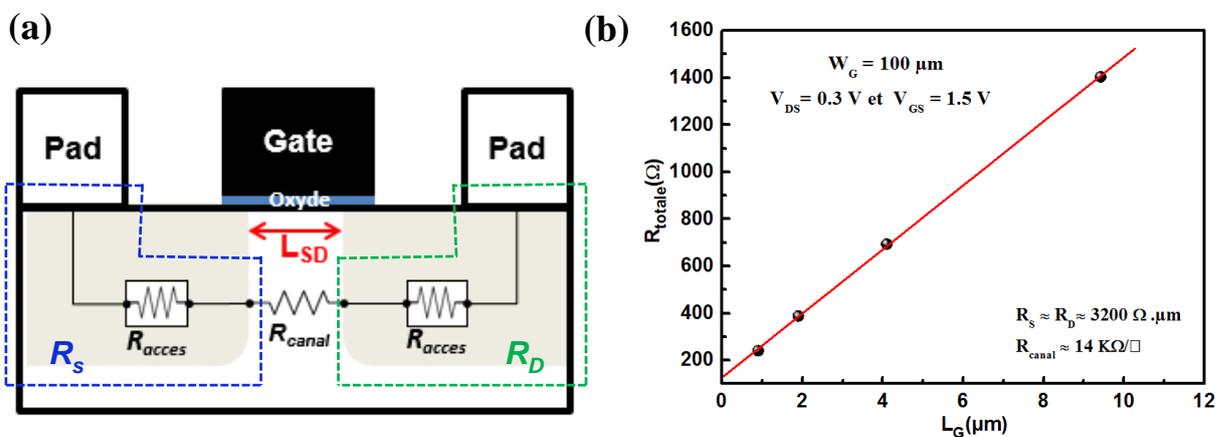


Figure III.25- (a) Décomposition de R_{totale} . (b) Résistance totale (R_{totale}) en fonction de la distance source-drain (L_{SD}).

La valeur de la résistance d'accès $R_{accès}$ (R_S ou R_D) égale à $3200 \Omega \cdot \mu\text{m}$, ce qui conduit à une résistance R_S (ou R_D) de $3.2 \Omega \cdot \text{mm}$. Cette valeur est 16 fois supérieure à celle obtenue avec le procédé « Gate First ». En utilisant la technique de mesure TLM illustrée en figure III.15 (b), nous avons obtenu une résistance (R_{sheet}) de $420 \Omega \cdot \mu\text{m}$ ($0.42 \Omega \cdot \text{mm}$) et une résistance de contact R_c de $7 \Omega \cdot \mu\text{m}$. On constate une forte valeur de la résistance R_{sheet} par rapport au MOSFET « Gate-First », cette dégradation de la résistance peut être dû essentiellement à la mauvaise qualité de la couche et aux grandes dimensions du composant. En plus, il est à noter que la résistance du canal est aussi très élevée (environ $14 \text{ k}\Omega/\square$). Cette valeur est cohérente avec les valeurs de la figure III.25.b. En effet, pour un L_{SD} de $10 \mu\text{m}$ et $W_{SD} = 100 \mu\text{m}$, la résistance atteint 1400Ω (soit $14 \text{ k}\Omega/\square$). Enfin, la résistance d'interface $R_{interface}$ est estimée en utilisant les deux équations (III.1 et III.2), elle est égale à $2773 \Omega \cdot \mu\text{m}$ et elle représente toujours une forte proportion de la résistance d'accès (86%). La figure III.26 récapitule les composantes des résistances d'accès (R_S ou R_D).

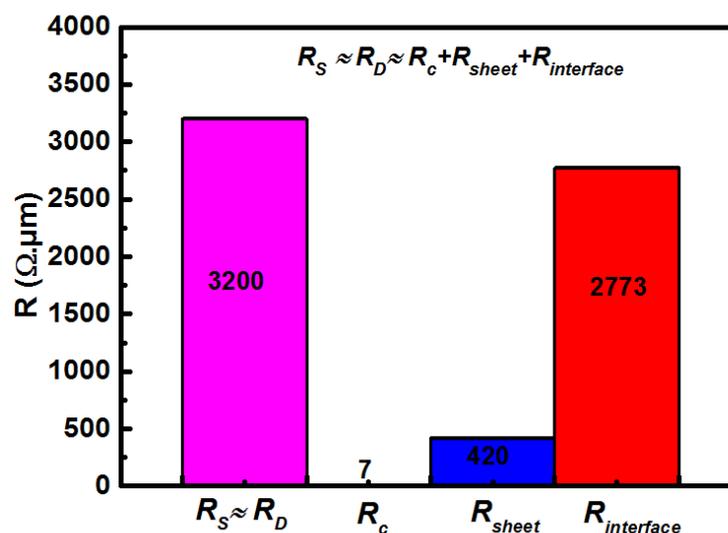


Figure III.26- Décomposition des différentes composantes de R_S (ou R_D).

Ces résultats indiquent que la résistance d'accès (R_S ou R_D) est en partie une raison de la faible valeur du courant du transistor MOSFET. Nous concluons alors, que la très forte résistance du canal est la cause principale du faible courant de drain et de la transconductance (cf. figure III.20). De plus, cette forte résistance conduit à une résistance d'interface très importante. L'origine de cette dégradation n'a pas été clairement identifiée. On suppose qu'elle provient de la dégradation du matériau induite par le recuit des contacts ohmiques.

L'extraction des différentes mesures DC de MOSFETs pour les différentes longueurs de distances source et drain ($L_{SD} = 0.9 \mu\text{m}$, $L_{SD} = 2.1 \mu\text{m}$ et $L_{SD} = 4 \mu\text{m}$) est regroupée dans le tableau III.4.

Tableau III.4- Performances DC de MOSFETs « Gate Last » pour les différentes longueurs de grilles.

L_{SD} (μm)	W_{SD} (μm)	I_D (mA/mm)	$G_{M,ext}$ (mS/mm)
0.9	100	45	18
3	100	24	8
5	100	14	5

On observe que les performances électriques des transistors (quelle que soit la distance L_{SD}) sont beaucoup moins bonnes que celles obtenues par le procédé « Gate First ». Cela montre que le procédé « Gate Last » ne représente pas la meilleure approche pour la fabrication d'un MOSFET à haute performance. Pour conclure, la variation des caractéristiques électriques entre les deux technologies « Gate First » et « Gate Last » est clairement constatée. A la comparaison de ces résultats, il apparaît que la technologie « Gate-Last » ne semble pas apporter de bénéfice par rapport à une technologie « Gate-First ». Enfin, les fortes valeurs des résistances d'accès et du canal sont les causes prédominantes des faibles valeurs de courant observées sur nos transistors.

III.3 Le transistor MOSFET à canal InGaAs « Gate First »

Nous discutons de la réalisation technologique et la caractérisation électrique des MOSFETs à canal InGaAs sur substrat d'InP dont les longueurs de grille varient de 50 à 500 nm. Le but ultime de cette étude, est d'éliminer la couche d'InAs de la structure épitaxiale. En effet, le matériau InAs a un paramètre de maille très différent de l'InP. Bien que son épaisseur ait été limitée à 3 nm, on obtient d'après les observations AFM (cf. figure III.1(b)) une rugosité de 0,48 nm. Afin de vérifier l'influence de la qualité du matériau InAs sur les performances électriques, nous avons modifié le canal conducteur et remplacé le bicouche InAs/InGaAs (3/3 nm) par un monocouche d'InGaAs de 9 nm. Le taux d'indium a été porté à 75% afin de favoriser la mobilité et la profondeur du puits de potentiel. Ce canal étant pseudomorphique, son épaisseur a été limitée à 9 nm.

La fabrication de ces composants repose sur l'utilisation du même procédé « Gate First » exploité dans la partie précédente (cf. III.2.1) avec une seule différence au niveau du recuit thermique pour former les contacts source et drain. En effet, notre objectif reste toujours d'augmenter la valeur de la température afin de réduire la valeur de la résistance d'accès. Nous avons fabriqué deux types de composants, dans un premier lieu, en utilisant un

recuit à 250°C (le même type RTA du MOSFET à canal composite InAs/InGaAs) et dans un second lieu, en utilisant un RTA à 300°C durant 1 min.

III.3.1 Structure épitaxiale

La structure épitaxiale est illustrée dans la figure III.27, elle a été réalisée en utilisant la technique MBE au sein de l'IEMN. L'hétérostructure est réalisée sur un substrat d'InP semi-isolant (SI) de 2 pouces. Elle consiste en une barrière d'InP (grande bande interdite) de 3 nm permettant d'éloigner le canal d'électrons de l'interface oxyde/semiconducteur. De plus, cette couche d'InP devrait permettre d'obtenir un oxyde de bonne qualité. Le canal conducteur est constitué d' $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ d'épaisseur totale de 9 nm. Enfin, la couche tampon d'InAlAs (grande bande interdite) est insérée sous le canal afin de réaliser une structure de type UTB dont l'objectif est de minimiser les courants de fuite et la conductance de sortie.

La couche épitaxiale a été analysée par AFM dont l'image est présentée sur la Figure III.27. La valeur de la rugosité de surface est de l'ordre de 0.41 nm, ce qui est légèrement inférieure à celle obtenue sur un canal InAs/InGaAs (d'environ 0.48 nm).

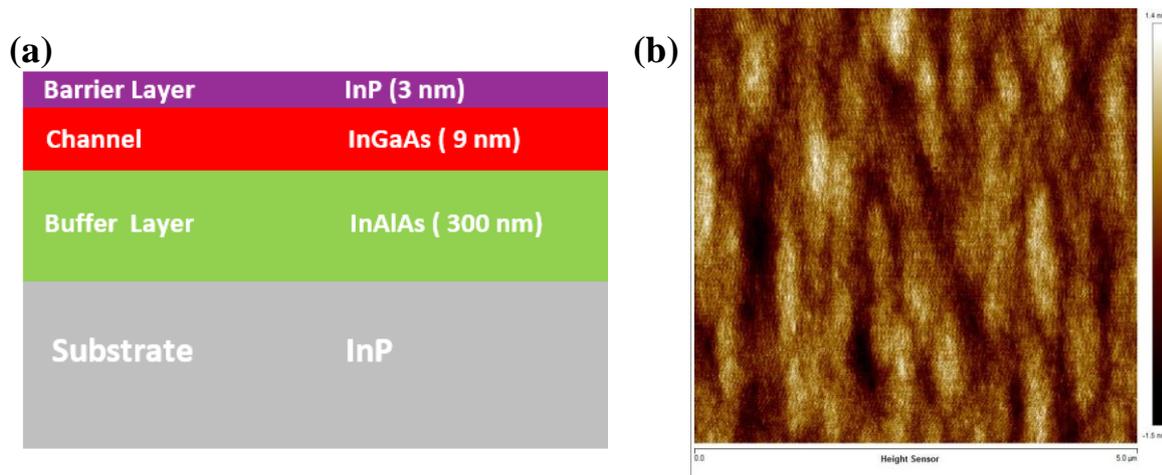


Figure III.27- (a) Structure épitaxiale avec un canal d'InGaAs. (b) Mesure AFM correspondante de la surface d'InP. La rugosité RMS est d'environ 0.41 nm.

III.3.2 Procédé de fabrication technologique

La technologie employée est identique à celle utilisée dans la première partie de ce chapitre. Après la passivation de la surface, une fine couche d' Al_2O_3 de 4 nm d'épaisseur est déposée par l'ALD à une température de 250°C. Ensuite, un recuit RTA à 600°C durant 1 min sous N_2H_2 est fait dont l'objectif est de densifier l'oxyde de la grille. Le pied de la grille est ensuite défini par la lithographie électronique à l'aide d'un bicouche de résines et qui se

compose d'un polymère P (MMA-MAA 17.5%) à 13% dans de l'Éthyle et de PMMA 4% 950K. La très bonne définition du masqueur électronique nous permet d'obtenir une ouverture dans la résine jusque 50 nm, qui permet de définir la grille en forme de rectangle avec une longueur variable (de 50 à 500 nm). Après l'écriture et la révélation de ce bicouche de résines, le séquentiel Ti/Pt/Au est déposé par évaporation sous vide pour la métallisation de la grille. L'oxyde non couvert est éliminé par une gravure ionique réactive en utilisant le gaz BCl_3 avec les mêmes conditions citées auparavant. Cette gravure étant non sélective, elle permet de graver aussi la structure épitaxiale en s'arrêtant dans la couche d'InAlAs. Une fois la gravure faite, le bicouche de résines P (MMA-MAA 17.5%) à 13% dans de l'Éthyle et de PMMA 4% 950K est déposé à nouveau pour définir les régions source et drain suivi par un dépôt d'une couche de nickel de 15 nm d'épaisseur. Après le lift-off dans un bain chauffé à base de la solution SVC14, un premier échantillon a subi un recuit RTA de 250°C durant 1min sous N_2H_2 et le deuxième échantillon à un recuit de 300°C durant 1min sous N_2H_2 . Une fois que le recuit thermique est fait, le nickel n'ayant pas réagi est éliminé en utilisant une solution à base de HNO_3 . Cette attaque chimique a été calibrée et contrôlée par le temps de gravure pour s'arrêter sur l'alliage Ni/III-V. Enfin, les plots d'épaississements sont déposés par évaporation sous vide du séquentiel Ti/Pt/Au suivi par un méso d'isolation. Sur la figure III.28, on peut visualiser les images TEM de coupes transversales de MOSFETs de longueurs de grilles 100 nm et 500 nm avec un développement total de 100 μm .

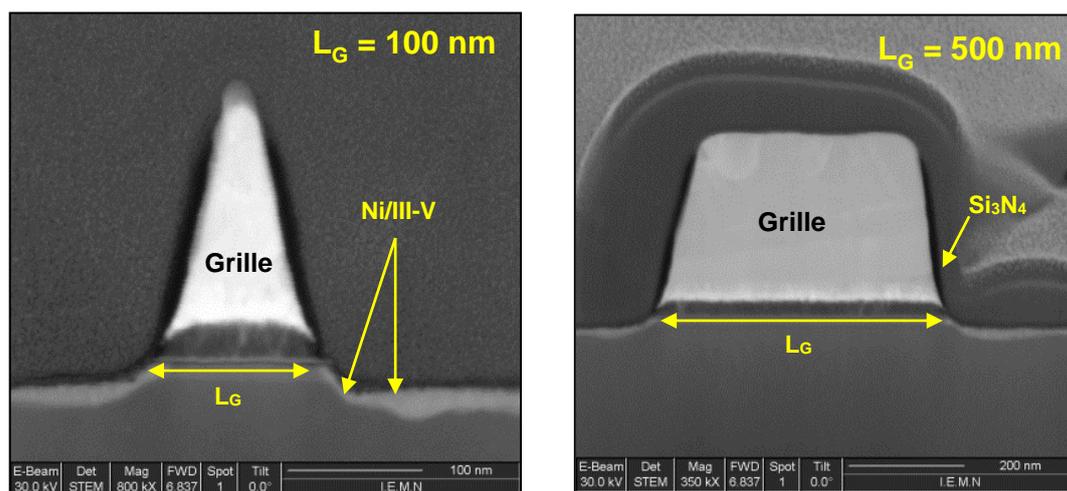


Figure III.28- Images TEM illustrent les MOSFET-InGaAs pour $L_G = 100$ nm et $L_G = 500$ nm.

III.3.3 Caractérisations électriques

III.3.3.1 Caractérisation en régime statique

La figure III.29 montre les caractéristiques I_D - V_{DS} de transistor MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec $W_G = 100$ μm de l'échantillon recuit à 250°C pour la formation du contacts S/D. La densité maximale de courant est atteinte pour une tension de grille V_{GS} de 1.5 V à V_{DS} de 0.7 V est égale à 325 mA/mm, cette valeur est inférieure à la densité maximale de courant obtenue par le MOSFET à canal composite (InAs/InGaAs) d'environ 730 mA/mm, à même longueur de grille 150 nm.

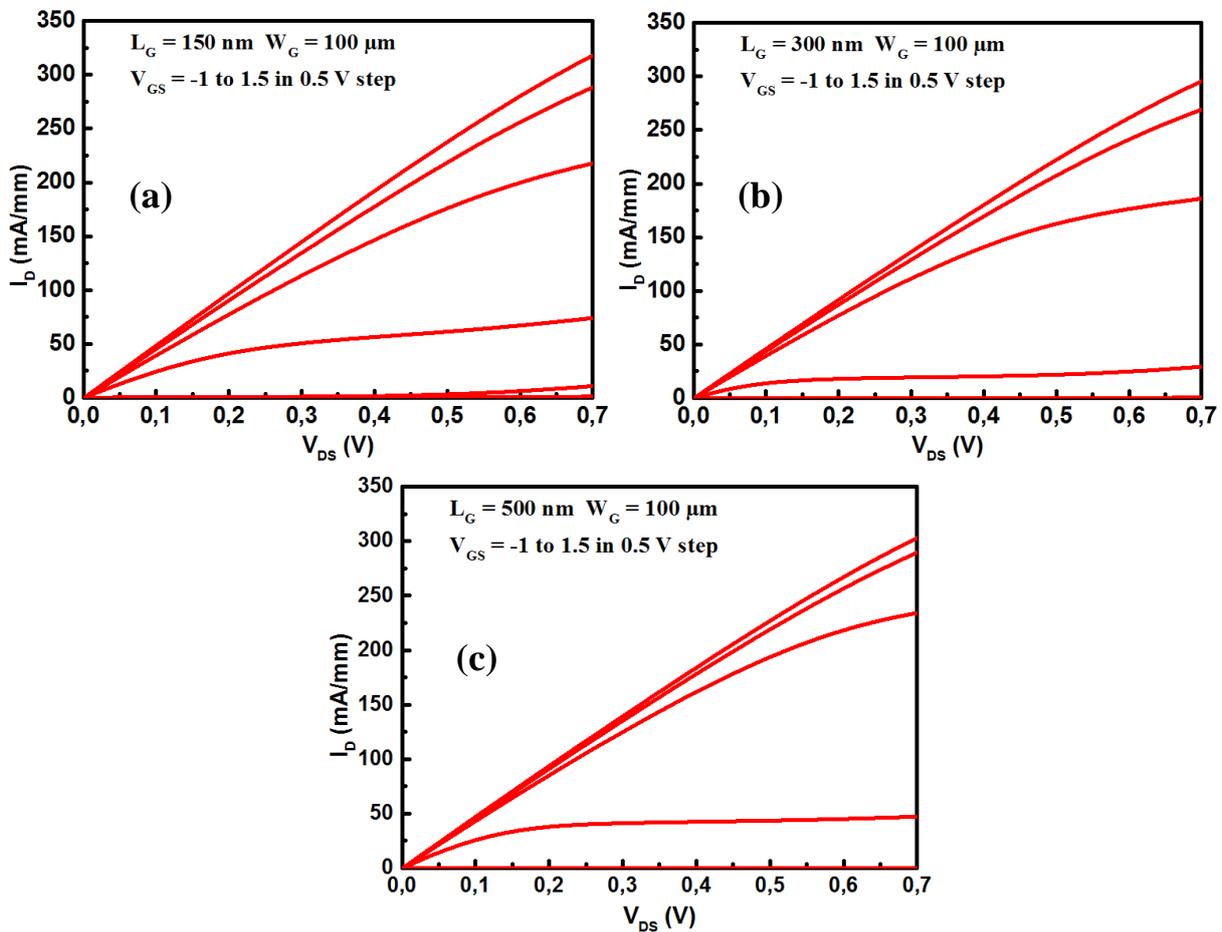


Figure III.29- Caractéristiques I_D - V_{DS} de transistor MOSFET avec $W_G = 100$ μm , pour (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

Ensuite, la figure III.30 représente les caractéristiques I_D - V_{GS} et G_M - V_{GS} de transistors MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec $W_G = 100$ μm . Un pic de transconductance $G_{M,ext}$ est atteint pour une tension de

grille de 0.5 V. A ce point, elle est à 300 mS/mm ce qui est faible aussi par rapport à la valeur trouvée au niveau du MOSFET à canal composite (500 mS/mm).

La figure III.31 présente l'évolution du logarithme de la densité de courant de drain $\text{Log}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec $W_G = 100$ μm . Pour $L_G = 150$ nm et à $V_{DS} = 0.5\text{V}$, la valeur de la pente sous seuil est égale à 500 mV/décade, cette valeur reste élevée par rapport à la valeur théorique. Toutefois, elle est légèrement inférieure à celle obtenue pour le MOSFET à canal composite (733 mV/décade). Pour finir, nous avons évalué la valeur du $DIBL$ de notre transistor en utilisant la relation indiquée dans le chapitre I, la valeur obtenue du $DIBL$ est égale à 777 mV/V pour $L_G = 150$ nm.

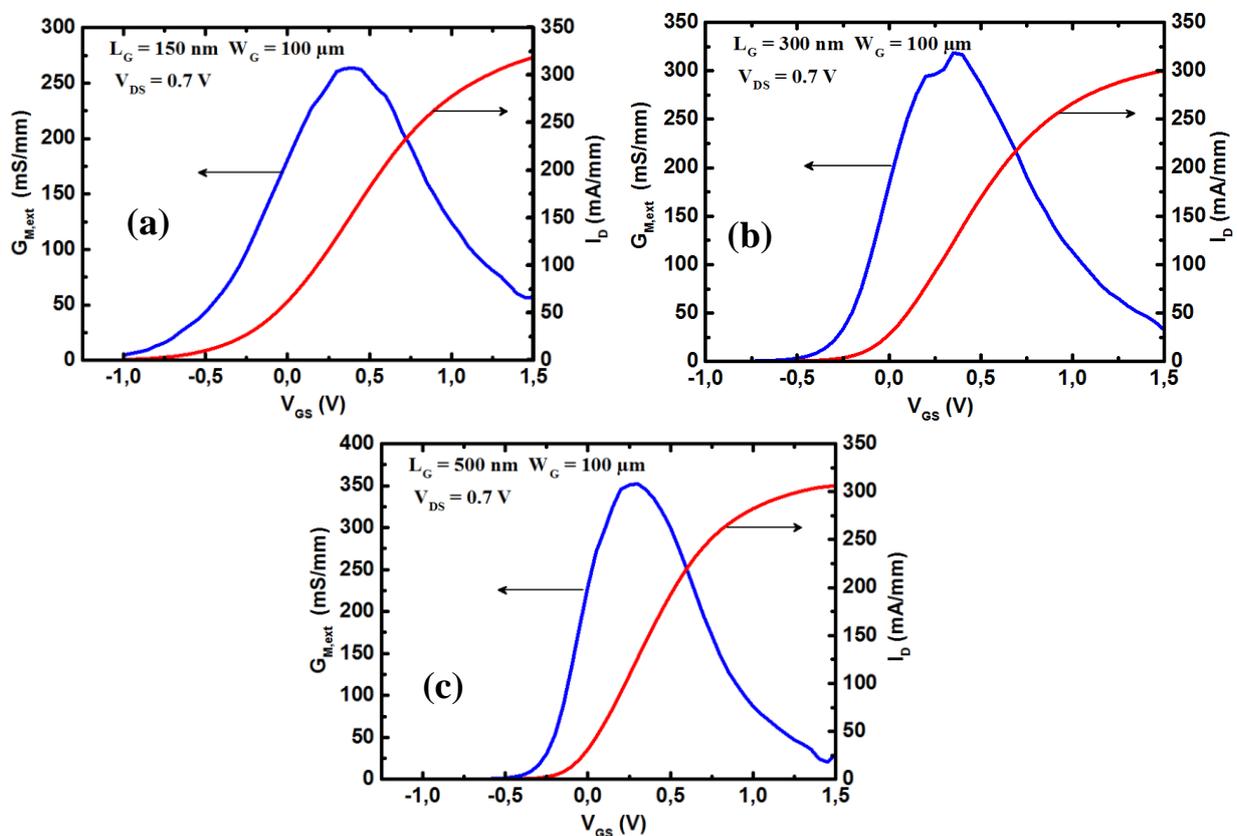


Figure III.30- Caractéristiques I_D - V_{GS} et G_M - V_{GS} de transistor MOSFET avec $W_G = 100$ μm , pour (a) $L_G = 150$ nm (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

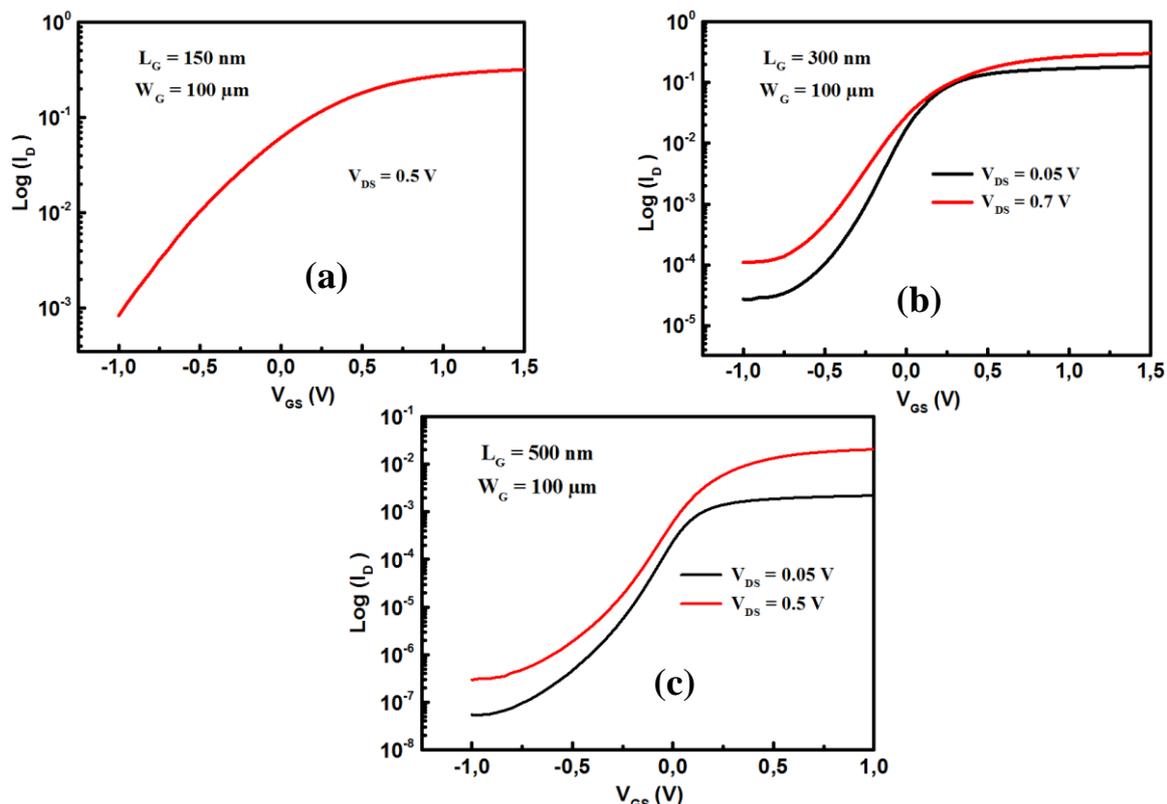


Figure III.31- Caractéristiques $\text{Log}_{10}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour (a) $L_G = 150 \text{ nm}$ (b) $L_G = 300 \text{ nm}$ et (c) $L_G = 500 \text{ nm}$.

La figure III.32 représente l'évolution de la résistance totale R_{totale} en fonction des longueurs de grille L_G pour des transistors polarisés à faible tension de drain V_{DS} (0.3V) et à canal ouvert ($V_{GS}=1.5V$). Les résistances d'accès de la source et du drain de ce composant ont été extraites et elles valent chacune environ $750 \Omega \cdot \mu\text{m}$. Cela représente quasiment quatre fois la valeur obtenue sur un canal InAs/InGaAs (d'environ $200 \Omega \cdot \mu\text{m}$). Cette plus forte valeur peut être attribuée à un procédé de contact ohmique non optimisé sur InGaAs (procédé du canal composite). A cet effet, les plus faibles valeurs de courant pourraient être justifiées par les fortes résistances d'accès (R_S et R_D). Enfin si l'on calcule la résistance carrée du canal à cette polarisation, à partir de la pente, on obtient une résistance du canal de 2700Ω . On obtient une résistance deux fois plus faible que celle obtenue avec le procédé « gate first » canal composite. Cette amélioration est attribuée à une couche de meilleure qualité et/ou à l'absence de contrainte dans le canal. Toutefois, cette valeur reste encore trop importante et limite les performances des transistors. En effet, dans le cas d'hétérostructures qui servent à la fabrication de HEMT, les valeurs de résistance carrée des couches utilisées sont de quelques centaines d'Ohm (structures de l'IEMN).

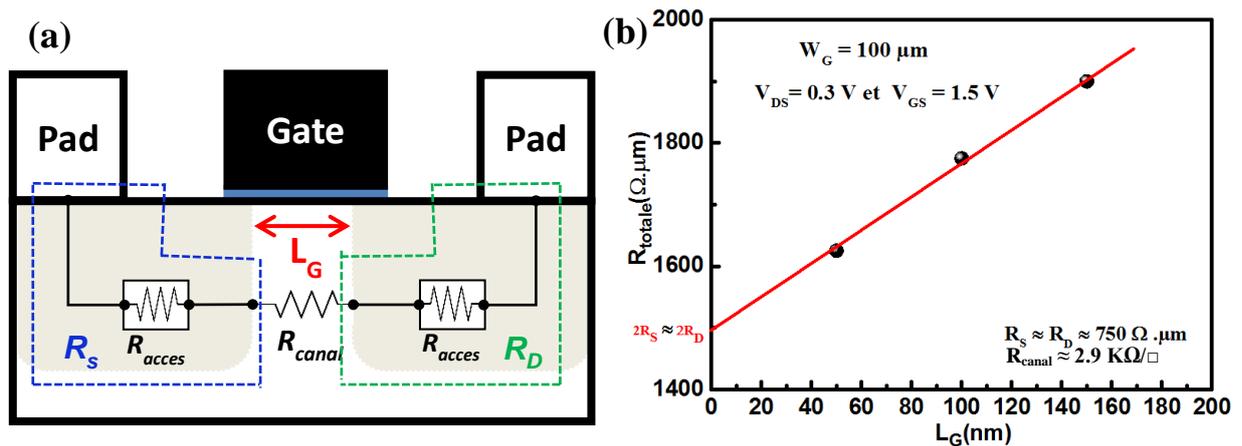


Figure III.32- (a) Décomposition de R_{totale} . (b) Résistance totale (R_{totale}) en fonction de la longueur de grille (L_G).

L'extraction des différentes mesures statique (DC) de MOSFETs pour les différentes longueurs de grille ($L_G = 50$ nm, $L_G = 100$ nm, $L_G = 150$ nm, $L_G = 300$ nm et $L_G = 500$ nm avec $W_G = 100$ μm) est regroupée dans le tableau III.5.

Tableau III.5- Performances DC de MOSFETs-InGaAs pour les différentes longueurs de grilles.

L_G (nm)	W_G (μm)	I_D (mA/mm)	$G_{M,ext}$ (mS/mm)	SS (mV/dec)
50	100	339	234	-
100	100	400	300	-
150	100	325	275	500
300	100	300	300	260
500	100	300	332	124

III.3.3.2 Caractérisation en régime dynamique

D'après les équations données dans le chapitre I, la fréquence maximale des oscillations (f_{max}) dépend de la fréquence de coupure (f_T), f_T dépend de la transconductance (G_M), et G_M dépend des deux tensions de polarisations (V_{GS} et V_{DS}). Donc, f_{max} et f_T dépendent sensiblement des tensions de grille et de drain lors de la polarisation continue du composant, il faudra donc les choisir de manière judicieuse. Pour cela, nous avons choisi $V_{DS} = 0.7$ et $V_{GS} = 0.5$ V afin de déterminer les performances fréquentielles de nos dispositifs. Par la suite, nous avons tracé dans la figure III.33 l'évolution du gain $|H_{21}|^2$ et du gain U en fonction de la fréquence pour les longueurs de grille suivantes : (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec $W_G = 100$ μm . Prolongeant la zone linéaire de chaque courbe jusqu'à ce qu'elle

coupe l'axe des abscisses permet de connaître la fréquence pour laquelle U et $|H_{21}|^2$ valent 0 dB. Notons que $f_T = 43$ GHz et $f_{max} = 41$ GHz, ce qui est faible par rapport aux valeurs obtenues pour le MOSFET à canal composite c'est-à-dire $f_T = 100$ GHz et $f_{max} = 60$ GHz.

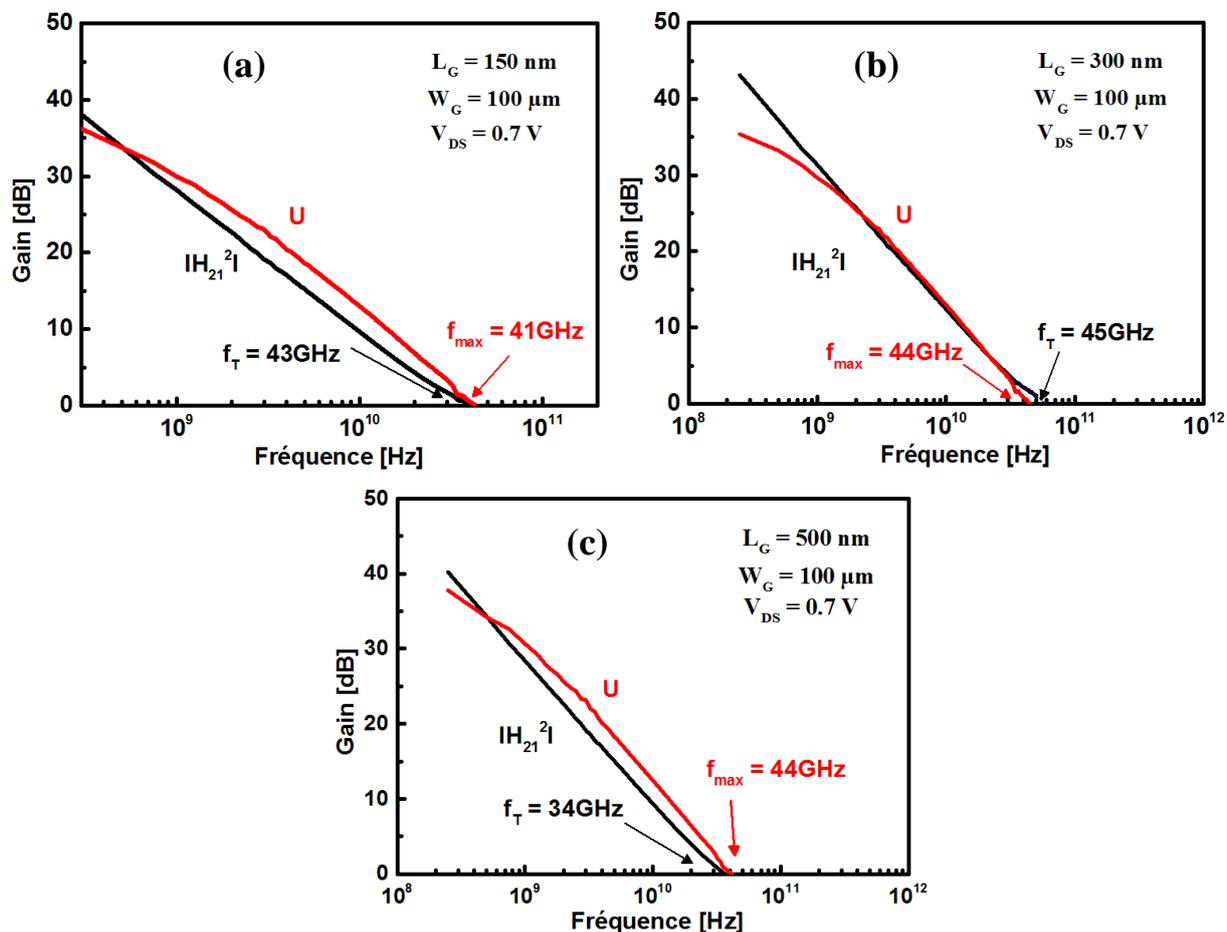


Figure III.33- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour (a) $L_G = 150 \text{ nm}$ (b) $L_G = 300 \text{ nm}$ et (c) $L_G = 500 \text{ nm}$.

Le tableau III.6 récapitule les performances fréquentielles obtenues par les transistors en fonction de leurs longueurs de grille ($L_G = 50 \text{ nm}$, $L_G = 100 \text{ nm}$, $L_G = 150 \text{ nm}$, $L_G = 300 \text{ nm}$ et $L_G = 500 \text{ nm}$ avec $W_G = 100 \mu\text{m}$). Les valeurs restent en deçà de celles obtenues avec un HEMT. Cette différence est attribuée aux fortes valeurs de résistances d'accès ainsi qu'à la très importante résistance carrée du canal.

Tableau III.6- Performances fréquentielles des MOSFETs à canal InGaAs.

L_G (nm)	W_G (μm)	f_T (GHz)	f_{max} (GHz)
50	100	60	43
100	100	75	25
150	100	43	41
300	100	45	44
500	100	34	44

III.3.3.3 Schéma équivalent petit-signal

Finalement, le schéma équivalent petit signal a été extrait à partir des mesures des paramètres S pour le MOSFET à $L_G = 150$ nm (tableau III.7). Les valeurs des résistances parasites R_S et R_D sont respectivement $0.62 \Omega.\text{mm}$ et $0.69 \Omega.\text{mm}$ (soit respectivement $620 \Omega.\mu\text{m}$ et $690 \Omega.\mu\text{m}$). Les deux valeurs sont proches de celles obtenues par la méthode d'extraction précédente (cf. figure III.27), où l'on avait $750 \Omega.\mu\text{m}$. De plus, la transconductance intrinsèque $G_{M,int}$ et la capacité grille-source C_{GS} sont respectivement de 460 mS/mm et 450 fF/mm. On observe aussi un ratio C_{GS}/C_{GD} aux alentours de l'unité, ce qui n'est pas favorable aux performances en fréquences f_{max} .

Tableau III.7- Paramètres du modèle petit-signal correspond à un MOSFET de $L_G = 150$ nm et $W_G = 100 \mu\text{m}$

<i>Eléments intrinsèques</i>		<i>Eléments extrinsèques</i>	
$G_{M,int}$ (mS/mm)	460	R_S ($\Omega.\text{mm}$)	0.62
G_D (mS/mm)	400	R_D ($\Omega.\text{mm}$)	0.72
C_{GS} (fF/mm)	450	R_G (Ω/mm)	500
C_{GD} (fF/mm)	400	C_{PG} (fF)	-
		C_{PD} (fF)	8

Dans la suite, nous présentons les caractéristiques électriques I_D - V_{DS} de transistor MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec un développement total $W_G = 30 \mu\text{m}$ de l'échantillon recuit à 300°C pour la formation du contacts S/D durant 1 min pour la formation des contacts ohmiques source et drain.

L'optimisation du procédé de contact ohmique ayant été fait sur le canal composite, nous avons modifié la température de recuit. Les courbes $I_D - V_{DS}$ de ces transistors à canal InGaAs sont données dans la figure III.34. Le courant de drain de I_D pour le MOSFET à canal InGaAs est 450 mA/mm pour $L_G = 150$ nm.

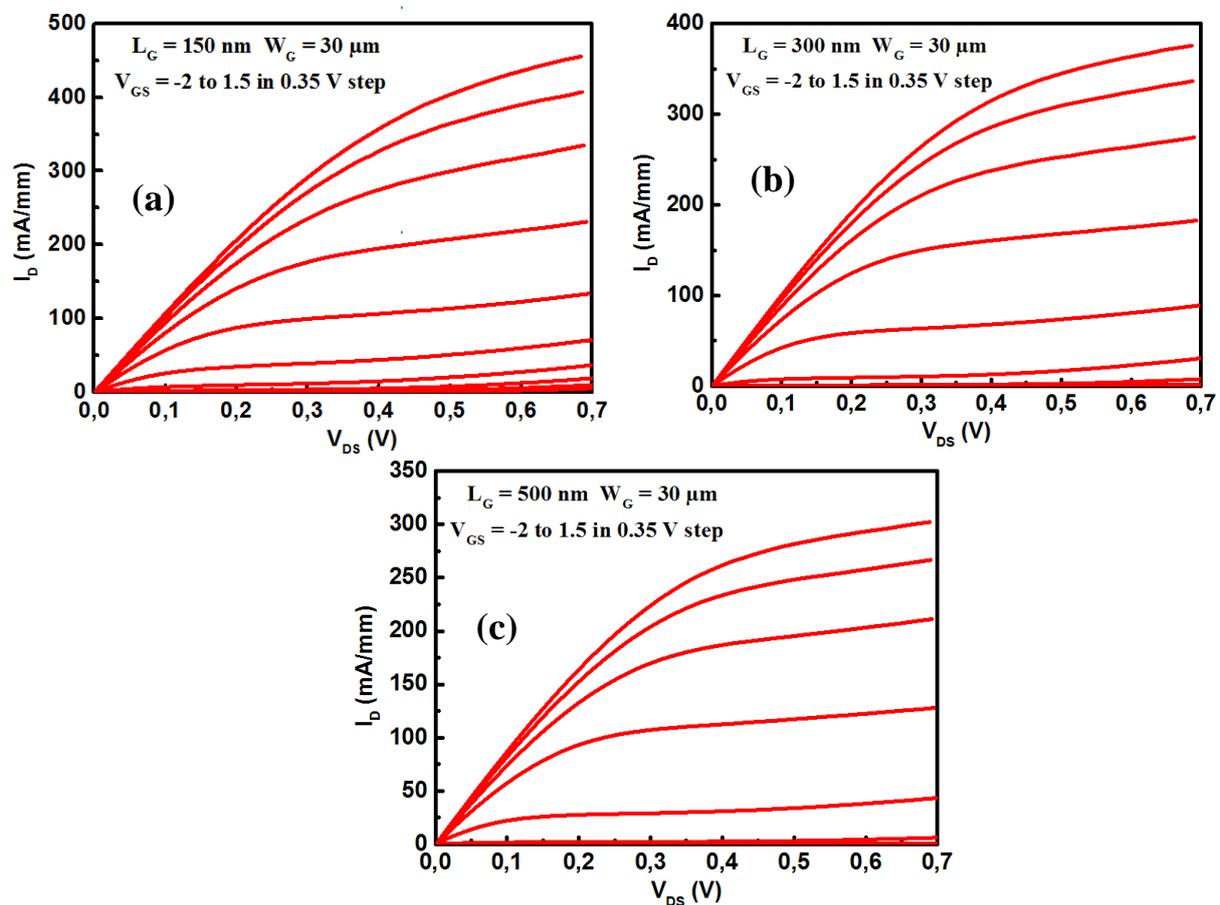


Figure III.34- Caractéristiques $I_D - V_{DS}$ de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour (a) $L_G = 150$ nm (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

Ensuite, la figure III.35 illustre les caractéristiques $I_D - V_{GS}$ et $G_M - V_{GS}$ de transistor MOSFET de différentes longueurs de grille (a) $L_G = 150$ nm, (b) $L_G = 300$ nm et (c) $L_G = 500$ nm avec le développement $W_G = 30 \mu\text{m}$. Une transconductance maximale de 495 mS/mm est obtenue pour $L_G = 150$ nm. La nette amélioration du $G_{M,ext}$ par rapport au MOSFET recuit à 250°C est attribuée à la meilleure efficacité de la commande de charge des électrons du canal et aussi à la faible valeur des résistances d'accès R_S et R_D (environ $280 \Omega \cdot \mu\text{m}$ chacune). D'autre part, la pente sous le seuil est d'environ 660 mV/décade pour $L_G = 150$ nm et $V_{ds} = 0.7$ V (figure III.36).

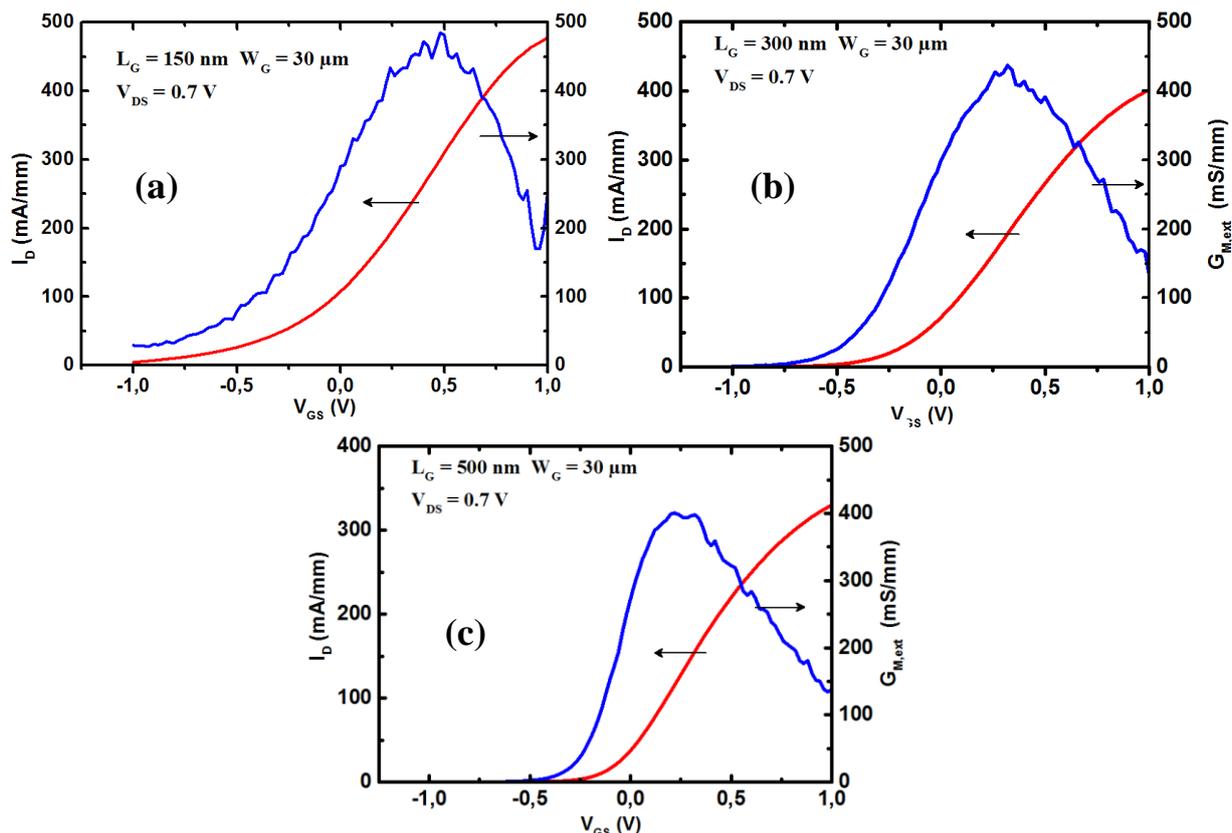


Figure III.35- Caractéristiques I_D - V_{GS} et G_M - V_{GS} de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour (a) $L_G = 150$ nm (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

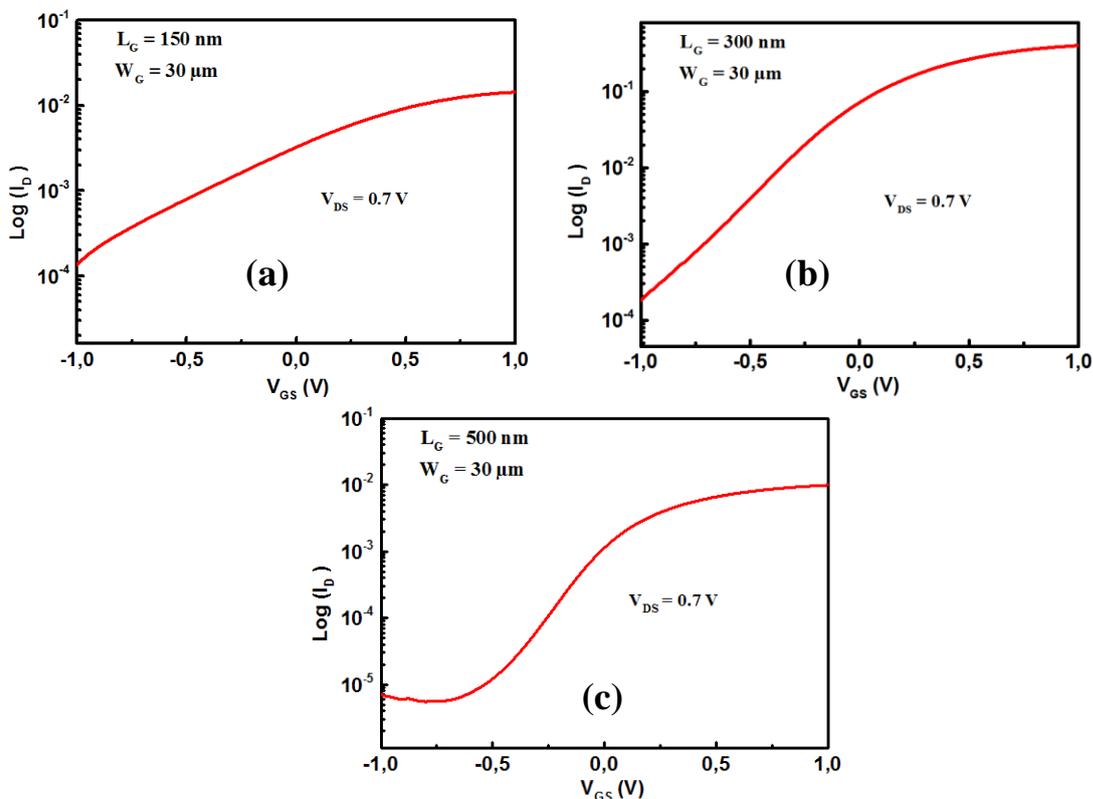


Figure III.36- Caractéristiques $\text{Log}_{10}(I_D)$ en fonction de la tension de grille V_{GS} de transistor MOSFET avec $W_G = 100 \mu\text{m}$, pour (a) $L_G = 150$ nm (b) $L_G = 300$ nm et (c) $L_G = 500$ nm.

L'extraction des différentes mesures DC de MOSFETs pour les différentes longueurs de grille est regroupée dans le tableau III.8.

Tableau III.8- Performances DC de MOSFETs pour les différentes longueurs de grille.

L_G (nm)	W_G (μm)	I_D (mA/mm)	$G_{M,ext}$ (mS/mm)	SS (mV/dec)
100	30	457	482	720
150	30	450	495	660
300	30	375	436	396
500	30	326	400	-

La figure III.37 représente la dépendance fréquentielle du gain en courant $|H_{21}|^2$ et du gain unilatéral de Mason U à $V_{DS} = 0.7\text{V}$ et V_{GS} au maximum du $G_{M,ext}$. Par extrapolation des gains en -20 dB/dec , la fréquence de transition du gain en courant f_T et la fréquence maximale d'oscillation f_{max} du MOSFET sont respectivement 50 GHz et 60 GHz pour $L_g = 150\text{ nm}$.

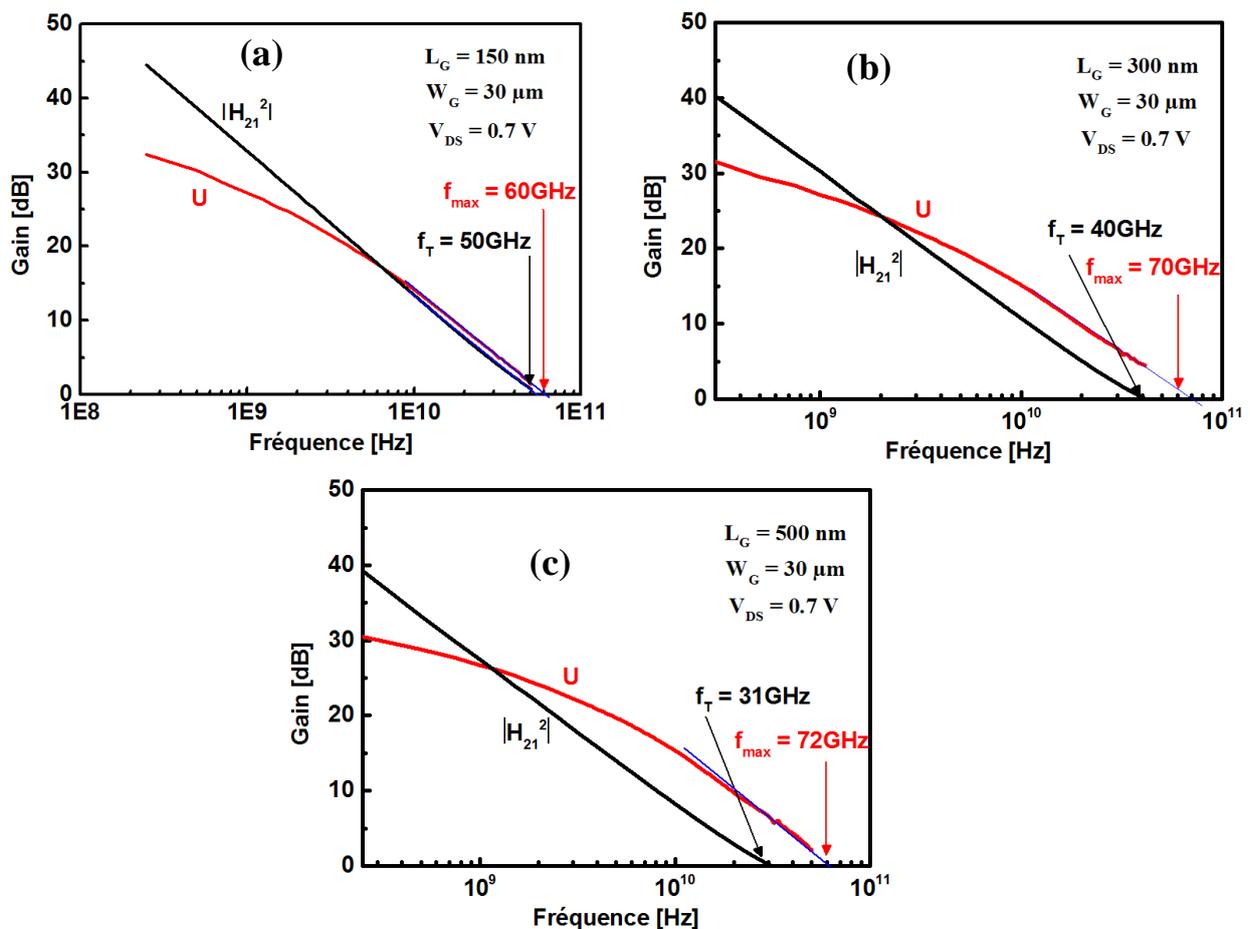


Figure III.37- Gain unilatéral de Mason U et gain en courant $|H_{21}|^2$ en fonction de la fréquence de transistor MOSFET avec $W_G = 100\ \mu\text{m}$, pour (a) $L_G = 150\text{ nm}$ (b) $L_G = 300\text{ nm}$ et (c) $L_G = 500\text{ nm}$.

L'extraction des différentes mesures RF de MOSFETs pour les différentes longueurs de grille est regroupée dans le tableau III.9.

Tableau III.9- Performances fréquentielles des MOSFETs à canal InGaAs.

L_G (nm)	W_G (μm)	f_T (GHz)	f_{max} (GHz)
100	30	76	40
150	30	50	60
300	30	40	70
500	30	31	72

Les performances électriques mesurées sur ces transistors (à canal d'InGaAs) ne correspondent pas à nos attentes au niveau de l'amélioration des performances statiques et dynamiques de nos transistors par rapport à la technologie à canal composite. En effet, pour le MOSFET avec $L_G = 150$ nm et un développement de $30 \mu\text{m}$, le courant drain maximal est de 450 mA/mm et les fréquences de coupure f_T et f_{max} sont respectivement de 60 GHz et 50 GHz . Ces valeurs restent en deçà, en particulier pour le f_T , qui est bien inférieur à la valeur du MOSFET à canal composite InAs/InGaAs (100 GHz).

Finalement, le schéma équivalent petit signal a été extrait à partir des mesures des paramètres S sur le MOSFET $L_G = 150$ nm. Les principaux paramètres sont résumés dans le tableau III.10. Les valeurs des résistances parasites R_S et R_D sont respectivement $0.28 \Omega.\text{mm}$ et $0.30 \Omega.\text{mm}$. De plus, la transconductance intrinsèque $G_{M,int}$ et la capacité grille-source C_{GS} sont respectivement de 714 mS/mm et 457 fF/mm .

Tableau III.10- Paramètres du modèle petit-signal du MOSFET de $L_G = 150$ nm et $W_G = 30 \mu\text{m}$.

<i>Eléments intrinsèques</i>		<i>Eléments extrinsèques</i>	
$G_{M,int}$ (mS/mm)	714	R_S ($\Omega.\text{mm}$)	0.28
G_D (mS/mm)	384	R_D ($\Omega.\text{mm}$)	0.30
C_{GS} (fF/mm)	457	R_G (Ω/mm)	610
C_{GD} (fF/mm)	367.8	C_{PG} (fF)	-
		C_{PD} (fF)	6

III.4 Conclusion

Dans ce chapitre, la réalisation technologique et la caractérisation électrique de MOSFETs à canal composite d'InAs/InGaAs et à canal d'InGaAs sur substrat d'InP de longueur de grille varie de 50 à 500 nm ont été présentées. Nous avons montré que le nickel réagit avec les III-V à des basses températures (à l'ordre de 250°C) suffisantes pour former un alliage métallique, l'estimation de la diffusion verticale du nickel dans la couche épitaxiale correspond à au moins deux fois l'épaisseur initiale du nickel déposé avant le recuit. Nous avons étudié deux approches pour la fabrication de nos transistors ; le procédé « Gate First » et le procédé « Gate Last ». La première approche présente plusieurs d'avantages (grilles nanométriques, faibles résistances d'accès...), quant à la deuxième, les performances sont bien en-deçà de celles du procédé « gate first ». Ce procédé doit donc être préféré. De plus, il présente une meilleure compatibilité avec une technologie MOSFET industrielle sur silicium.

Les performances électriques de MOSFETs à canal composite et à canal d'InGaAs pour la même longueur de grille de 150 nm et le même développement sont regroupés dans le tableau III.11 en utilisant le procédé « Gate First ». L'utilisation de la technique dite « silicide-like » pour la réalisation des contacts ohmiques source et drain a permis d'obtenir d'excellents résultats électriques pour les MOSFETs à canal composite en raison des meilleures priorités de transport d'électrons d'InAs.

A la lecture de ce tableau, le transistor MOSFET à canal composite d'InAs/InGaAs présente les meilleures performances électriques comparées à celles du MOSFET à canal d'InGaAs. En effet, l'utilisation d'un canal enterré d'InGaAs à fort taux d'indium ne permet pas d'accroître les performances électriques. Le MOSFET à canal composite démontre les meilleures performances, entre autres, une transconductance extrinsèque G_M maximale de 500 mS/mm, un courant drain maximal I_D de 730 mA/mm, une fréquence de coupure du gain en courant f_T de 100 GHz et une fréquence maximale d'oscillation f_{max} de 60 GHz. Néanmoins, les résistances d'accès restent élevées et principalement $R_{interface}$, ce qui limite le courant du drain et dégrade aussi les performances fréquentielles.

Pour conclure, une poursuite de cette étude sera nécessaire pour optimiser et améliorer les performances du composant. En effet, il est nécessaire d'optimiser d'avantage le recuit thermique et de développer un procédé technologique pour la définition des grilles métalliques aux longueurs nanométriques. De plus, il est primordial d'optimiser la couche épitaxiale et de trouver un compromis entre l'épaisseur d'InAs et la densité de charge

permettant à la fois d'éviter la dégradation d'InAs et d'avoir une densité de charge assez élevée. Enfin, les très fortes valeurs de pente sous le seuil, du *DIBL* et les très mauvais ratios G_M/G_D et C_{GS}/C_{GD} semblent indiquer un mauvais contrôle électrostatique dans le canal conducteur.

Tableau III.11- Performances électriques de MOSFETs (à canal composite et à canal d'InGaAs) pour la longueur de grille de $L_G=150$ nm (recuit durant 1 min sous N_2/H_2).

$L_G = 150$ nm	MOSFET à canal composite d'InAs/InGaAs (Recuit à 250°C)	MOSFET à canal d'InGaAs (Recuit à 300°C)
I_D (mA/mm)	730	450
G_M (mS/mm)	500	495
SS (mV/dec)	733	660
$DIBL$ (mV/V)	800	-
R_S ou R_D ($\Omega \cdot \mu m$)	200	300
F_T (GHz)	100	50
F_{max} (GHz)	60	60
$G_{M,int}$ (mS/mm)	840	714
G_D (mS/mm)	200	384
C_{GS} (fF/mm)	400	457
C_{GD} (fF/mm)	320	367.8
R_G (Ω/mm)	230	610
C_{PG} (fF)	-	-
C_{PD} (fF)	8	6

Bibliographie

- [1] M. T. and S. T. S. H. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, “Sub-60 nm Deeply-Scaled Channel Length Extremely-thin Body $\text{In}_x\text{Ga}_{1-x}\text{As}$ -On-Insulator MOSFETs on Si with Ni-InGaAs Metal S / D and MOS Interface Buffer Engineering,” *Technology*, pp. 177–178, 2012.
- [2] S. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, “Sub-60-nm extremely thin body $\text{In}_x\text{Ga}_{1-x}\text{As}$ -On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering and Its Scalability,” *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2512–2517, 2013.
- [3] Cheng-Ying Huang, Prateek Choudhar, Sanghoon Leel, Stephan Kraemer, Varistha Chobpattana, Brain Thibeault, William Mitchell, Susanne Stemmer, Arthur Gossard, “12 nm-gate-length ultrathin-body InGaAs/InAs MOSFETs with $8.3 \cdot 10^5 I_{\text{ON}}/I_{\text{OFF}}$,” *IEEE 73rd Annu. Device Res. Conf.*, pp. 30–31, 2015.
- [4] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, “High Performance Extremely-thin Body InAs-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D by Contact Resistance Reduction Technology,” *Vlsit*, pp. 52–53, 2013.
- [5] J. Mo, “Etude et fabrication de MOSFET de la filière III-V,” *Thèse, Univ. LILLE1 Sci. Technol.*, 2012.
- [6] A. Bracale, “Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes,” *Thèse, Univ. Pierre Marie Curie Paris VI*, p. 2001, 2001.
- [7] G. D. W. Y. Xuan, H. C. Lin, And P. D. Ye, “Capacitance-voltage studies on enhancement-mode InGaAs transistor using atomic-layer-deposited Al_2O_3 gate dielectric,” *Appl. Phys. Lett.*, vol. 88, no. June, p. 263518, 2006.

Conclusion générale et perspectives

Ce paragraphe vient parachever ce manuscrit de thèse. Durant trois années, nous avons pu développer une structure de transistor MOSFET à base des matériaux III-V, en utilisant la technique dite « silicide-like » pour la formation des contacts ohmiques auto-alignés avec la grille, différente de celle utilisée de manière courante.

Dans le premier chapitre, une introduction générale suivie par une étude bibliographique de technologies MOSFET est présentée. Cette étude nous a permis de comprendre les mécanismes physiques qui interviennent dans le fonctionnement de ce composant. Cette étape préliminaire nous a préparés pour orienter notre choix concernant la structure épitaxiale ainsi que le procédé de fabrication utilisé.

Comme le montre le deuxième chapitre, nous nous sommes intéressés à l'optimisation des paramètres intervenant dans la mise en œuvre du procédé technologique de fabrication de nos transistors. En effet, cette phase était capitale et imposait une certaine rigueur car chaque étape avait un rôle à jouer dans le comportement du composant, que ce soit en régime statique ou en dynamique. Le but premier était d'avoir des premiers résultats au niveau des briques technologiques et d'acquérir une connaissance complète du composant avant de le réaliser et de l'optimiser.

Le dernier chapitre a été entièrement consacré à la réalisation, étape par étape, du MOSFET à canal composite (InAs/InGaAs) et à canal unique (InGaAs). L'objectif étant de pouvoir développer et améliorer les performances des MOSFET pour les applications à faible consommation et à hautes fréquences. Dans un premier temps, nous avons fabriqué le transistor MOSFET à canal composite InAs/InGaAs avec deux procédés différents (« Gate first » et « Gate Last »). Les meilleurs résultats statique et dynamique ont été obtenus sur le MOSFET fabriqué en utilisant le procédé « Gate First ». En effet, pour un MOSFET de $L_G = 150$ nm de type « Gate First », un courant maximal de drain (I_D) de 730 mA/mm a été obtenu à $V_{DS} = 0.7V$ et $V_{GS} = 2V$, une transconductance extrinsèque maximale ($G_{M,ext}$) de 500 mS/mm est atteinte à $V_{DS} = 0.7V$ et $V_{GS} = 0.25V$, une fréquence de coupure de $f_T = 100$ GHz et une fréquence d'oscillation maximale f_{max} de 60 GHz. Les performances statiques sont limitées par les résistances d'accès, une résistance du canal trop importante provenant d'une faible quantité de charges dans le canal et/ou d'une mobilité dégradée. Cependant, les performances fréquentielles représentent les premiers résultats abordés dans la littérature en

utilisant spécifiquement la technique « silicide-like ». Dans un second temps, pour améliorer la structure épitaxiale afin d'avoir plus de charges dans le canal, nous avons fabriqué des transistors MOSFETs à canal unique d'InGaAs en éliminant le matériau InAs, qui présente des contraintes à cause du désaccord de maille cristalline par rapport aux autres matériaux (InGaAs et InP). L'objectif est de s'affranchir des problèmes de contrainte de l'InAs qui limitent son épaisseur et donc la profondeur effective du puits quantique, mais aussi peut être à l'origine de défauts dans la couche III-V.

Des MOSFETs $\text{In}_{0,75}\text{Ga}_{0,25}\text{As}$ utilisant un procédé de fabrication similaire (« Gate First », auto-aligné et « Silicide-like ») ont été fabriqués. Les résultats électriques sont assez proches des MOSFETs à composite InAs/InGaAs, avec des performances un peu meilleures avec cette dernière topologie. On peut néanmoins constater pour les deux types de MOSFET, des résistances de canal extraites à partir du R_{ON} environ un ordre de grandeur de celles obtenues usuellement sur des transistors HEMT. Bien que le canal conducteur soit enterré, la mobilité et la densité d'électrons semblent limitées. Enfin, les très importantes pentes sous le seuil SS , le fort DIBL et des ratios G_M/G_D et C_{GS}/C_{GD} anormalement faibles (ces ratios sont préjudiciables aux fréquences de coupure), indiquent un mauvais contrôle électrostatique du canal dans nos MOSFETs III-V. L'origine de ce défaut est assez peu liée à la distance grille canal, l'épaisseur du high-k (Al_2O_3) était de 4 nm, ce qui porte l'EOT à quelques nanomètres. On présume que la structure de la couche active choisie n'est pas idéale pour un MOSFET UTB. Elle doit être revue pour améliorer l'électrostatique et la commande du canal. De plus, certaines étapes technologiques, telles que le recuit thermique et la définition du motif de la grille, nécessitent une amélioration afin que le composant ait de meilleures caractéristiques du point de vue statique, et qu'il fonctionne aux fréquences désirées en modulant certains paramètres physiques (épaisseur de l'oxyde de grille, l'épaisseur du canal...).

On pourra aussi s'appuyer sur la recroissance localisée sélective de matériaux III-V par épitaxie à jets moléculaires développée à l'IEMN, pour la définition des zones de contact de source et de drain, afin de réduire les résistances d'accès. Nous présentons brièvement les différentes étapes technologiques de la réalisation des composants MOSFET en utilisant la technologie de recroissance des contacts ohmiques. L'avantage de cette technologie est double. En effet, cette technique permet à la fois d'avoir facilement des dimensions de longueurs de grille de quelques dizaines de nanomètres et d'obtenir des faibles résistances de grille et de source ou drain. Par contre, elle a un inconvénient majeur qui se résume dans l'augmentation drastique des capacités parasites due à la faible distance entre la grille et les

Conclusion générale et perspectives

régions source/drain, ce qui dégrade fortement les performances fréquentielles. Ce procédé est en cours de développement au sein de l'IEMN. La figure en dessous illustre les étapes technologiques clés du procédé proposé.

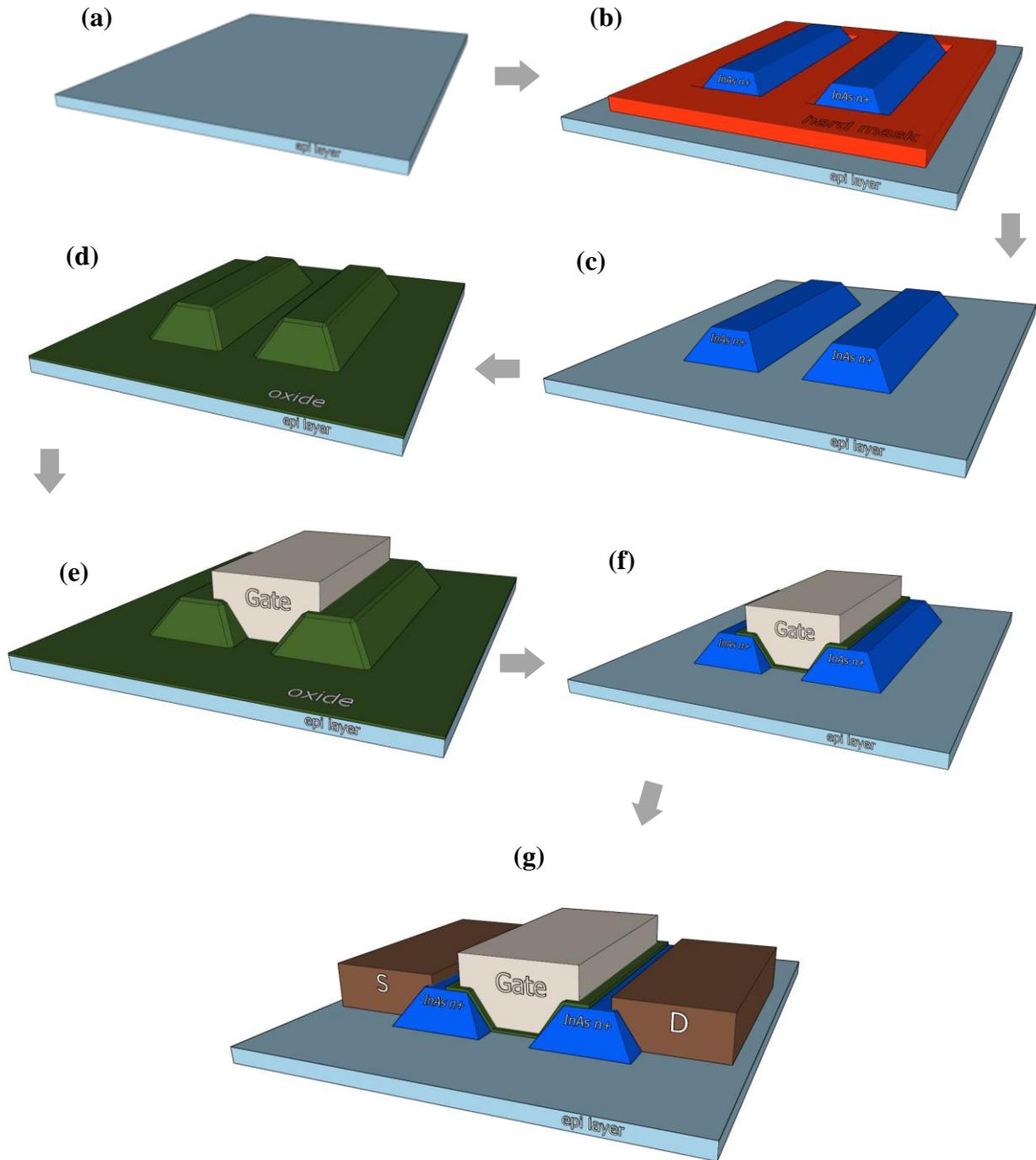


Figure 1- Procédé technologique de la recroissance des contacts ohmiques. (a) Désoxydation de la surface. (b) Définition des zones de contacts S/D par la résine HSQ suivie par la recroissance par MBE. (c) Retrait de la résine d'HSQ. (d) Passivation de la surface et dépôt de l'oxyde. (e) Définition de la grille. (f) Gravure de l'oxyde et (g) Définition des plots d'épaissements et Isolation MESA.

Conclusion générale et perspectives

Finalement, la figure ci-dessous illustre les différentes architectures concernant les dispositifs à effet de champ (FET) à base des matériaux III-V réalisés à l'IEMN, montrant l'évolution de la technologie MOSFET durant les sept dernières années. En outre, de nombreuses autres innovations techniques des transistors MOSFETs, tels que les prototypes à trois dimensions (3D) sont en voie de développement.

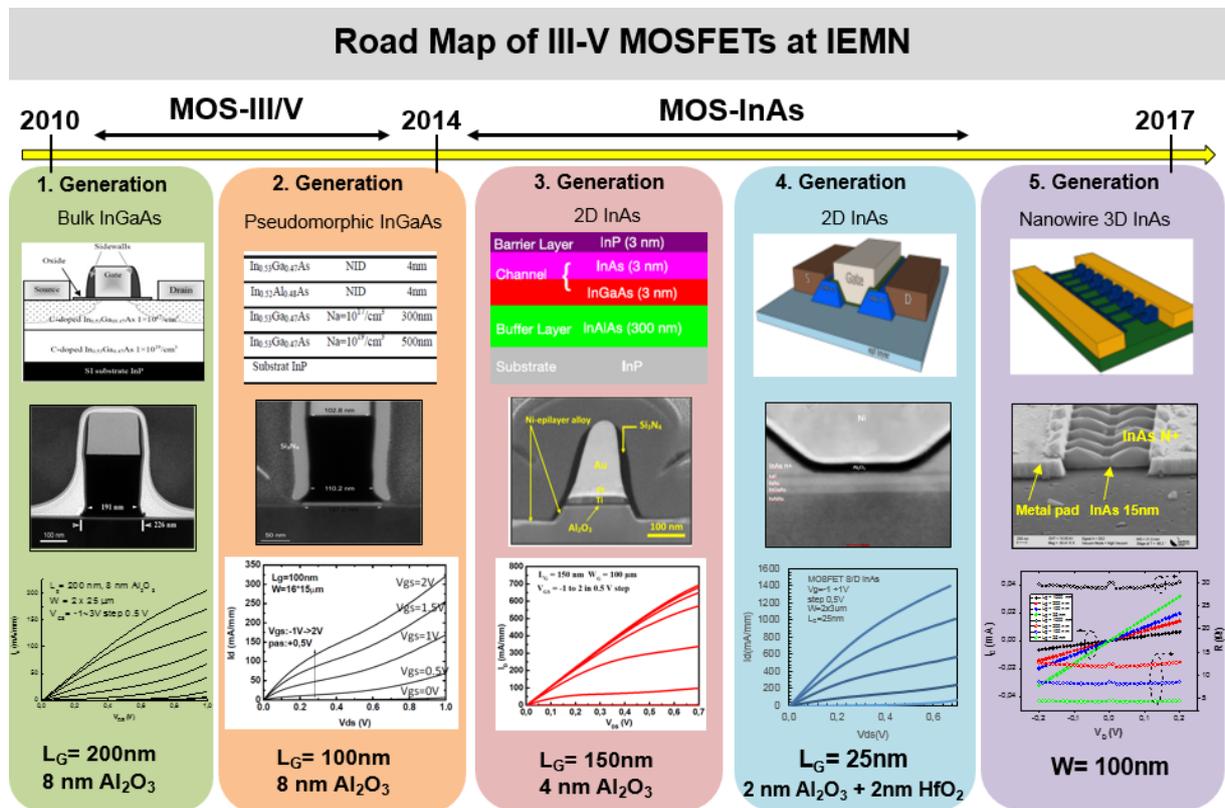


Figure 2- Architectures des FET réalisées à l'IEMN pour les sept dernières années.

Contributions liées à cette thèse

«Ultra-thin Body InAs-MOSFETs with elevated Source/Drain contacts»: **M. Ridaoui**, M. Pastorek, A.B.D. Fadjie, N. Wichmann, A. Jaouad, H. Maher and S. Bollaert 28th International Conference on Indium Phosphide and Related Materials (IPRM), Japan, 26-30 june, 2016.

«High-Performance Self-Aligned InAs MOSFETs with L-shaped Ni-epilayer alloyed source/drain contact for Future Low-Power RF Applications »: **M. Ridaoui**, A. B. F. Djomkam, M. Pastorek, N. Wichmann, A. Jaouad, H. Maher and S. Bollaert. 11th European Microwave Integrated Circuits Conference (EuMIC), UK, 3-7 octobre, 2016.

«Réalisation de structures MIS sur InGaAs par dépôt PECVD du nitrure de silicium (Si_xN_y) » : **M. Ridaoui**, A. Chakroun, C. Rodriguez, N. Wichmann, A. Jaouad, H. Maher and S. Bollaert. 19ème Journées Nationales du Réseau Doctoral (JNRDM), Toulouse, France, 11-13 Mai, 2016.

«Low interfaces traps density on Al_2O_3 on InP interfaces using post oxygen plasma treatment»: A-B Fadjie-Djomkam, Y. Lechaux, **M. Ridaoui**, M. Pastorek, N. Wichmann, S. Bollaert. Proceedings of Joint 42nd International Symposium on Compound Semiconductors, ISCS 2015, and 27th International Conference on Indium Phosphide and Related Materials, IPRM 2015, Compound Semiconductor Week 2015, CSW 2015, Santa Barbara, CA, USA, june 28-july 2, 2015, Session E8 - III-V MOS Technology, paper E8.4, to be published by IEEE.

«Reducing traps densities in high-k/III-V semiconductor interfaces using post plasma treatment»: A. B. Fadjie-Djomkam, **M. Ridaoui**, Y. Lechaux, M. Pastorek, N. Wichmann, S. Bollaert. 57th Electronic Materials Conference, EMC 2015, Columbus, OH, USA, june 24-26, 2015, session S: Dielectrics for Metal Oxide Semiconductor Technology, paper S9.

«Ultra-thin body InAs MOSFET with selectively raised InAs n+ S/D contacts »: Matej Pastorek, Nicolas Wichmann, Ludovic Desplanque, **Mohamed Ridaoui**, Alain Fadjie, Yoann Lechaux, Xavier Wallart, Sylvain Bollaert. WOCSDICE-EXMATEC 2016, 6-10 Jun. Aveiro, Portugal.

«Etude de contact ohmique à base de nickel pour les MOSFETs InAs ultra-thin body» : **Ridaoui M.**, Wichmann N., Maher H., Jaouad A., Bollaert S. Actes des XIXèmes Journées Nationales Microondes, JNM 2015, Bordeaux, France, 2-5 juin, 2015, session A4P-G - Composants Actifs, papier A4P-G07, 268-271.

«Fabrication et caractérisation de MOSFET InAs UTB» : **Mohamed Ridaoui**, Nicolas Wichmann, Alain Fadjie, Matej Pastorek, Abdelatif Jaouad, Hassan Maher, Sylvain Bollaert. 15èmes Journées Nano, Micro et Optoélectronique, JNMO 2016, Les Issambres, France, 30 mai-1 juin, 2016.

«Ultra-thin Body InAs with raised S/D contacts for future high performance CMOS applications»: M. Pastorek, N. Wichmann, L. Desplanque, **M. Ridaoui**, A. Fadjie, Y. Lechaux, X. Wallart, S. Bollaert. 19ème Journées Nationales du Réseau Doctoral (JNRDM), Toulouse, France, 11-13 Mai, 2016.

«Ultra thin body InAs MOSFET with selectively raised InAs S/D as a promising platform for future integration of high RF performance and low power CMOS applications» Pastorek M., Wichmann N., Fadjie A., Desplanque L., **Ridaoui M.**, Wallart X., Bollaert S. 15èmes Journées Nano, Micro et Optoélectronique, JNMO 2016, Les Issambres, France, 30 mai-1 juin, 2016.

«MOSFET III-V : du Transistor Planaire à Couche Mince aux Nanofils à Grille Enrobante » : Matej Pastorek, Nicolas Wichmann, **Mohamed Ridaoui**, Aurélien Olivier, Ludovic Desplanque, Xavier Wallart, Sylvain Bollaert. Actes des 20èmes Journées Nationales Microondes, 16-19 mai 2017 – Saint-Malo, France.

Annexe I : procédé de fabrication du mosfet « gate first »

1. Traitement de surface.

- HCl/EDI (1/3) durant 1 minute + 5 s de rinçage à EDI+ Séchage à l'Azote.
- $(\text{NH}_4)_2\text{S}$ durant 10 minutes + 2 min de rinçage à EDI+ Séchage à l'Azote.

2. Dépôt d'oxyde de grille.

- Dépôt de 2 nm d' Al_2O_3 + Densification par plasma O_2 + Dépôt de 2 nm d' Al_2O_3 .
- PDA 600°C durant 1 minute pour 4 nm Al_2O_3 .

3. Dépôt de grilles et les marques d'alignement Ti(25 nm) /Pt(25 nm)/Au (300 nm).

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base =375 $\mu\text{C}/\text{cm}^2$.
- Développement MIBK/IPA (1/2) durant 1min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ti(25 nm) /Pt(25 nm)/Au (300 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

4. Gravure de l'oxyde (Al_2O_3).

- Gravure BCl_3 (sccm:50; RIE:50W; ICP: 200W; P:5mtorr durant 1 minute).

5. Définition des sidewells par dépôt du Si_3N_4 (60nm) PECVD @ 300°C.

- Dépôt Si_3N_4 (60 nm) par PECVD.
- Gravure sèche SF_6/Ar (10/10 sccm); 30W; 6 mtor; 2 minutes.

6. Dépôt Nickel (15 nm).

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base =375 μ C/cm².
- Développement MIBK/IPA (1/2) durant 1min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ni (15 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

7. Recuit Nickel

- RTA à 250°C durant 1 minute sous N₂/H₂.
- Retrait du Ni à l'aide HNO₃/H₂O (1/10) durant 20 secondes puis rinçage à l'ED-I.

8. Plots d'épaissements.

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base =375 μ C/cm².
- Développement MIBK/IPA (1/2) durant 1min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ti(25 nm) /Pt(25 nm)/Au (300 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

9. Mesa d'isolation.

- Déshydratation pendant 10 minute @ 180°C.
- Soufflette de N₂ durant 1 minute.
- AZ1518 (3500/1000/12s).
- Recuit @ 110°C durant 1 minute.
- Développement AZ400K/H₂O (1/3) pendant 20 secondes et rinçage H₂O.
- Gravure H₃PO₄(5)/H₂O₂(1)/H₂O(40) durant 2 minutes et 15 secondes.

Annexe II : procédé de fabrication du mosfet « Gate Last »

1. Traitement :

- HCl/EDI (1/3) durant 1 minute + 5 s de rinçage à EDI+ Séchage à l'Azote.
- $(\text{NH}_4)_2\text{S}$ durant 10 minutes + 2 min de rinçage à EDI+ Séchage à l'Azote.

2. Dépôt Nickel (15 nm):

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit @ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit @ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base = 375 $\mu\text{C}/\text{cm}^2$.
- Développement MIBK/IPA (1/2) durant 1 min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ni (15 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

3. Recuit Nickel

- RTA à 350°C durant 1 minute sous N_2/H_2 .
- Retrait du Ni à l'aide $\text{HNO}_3/\text{H}_2\text{O}$ (1/10) durant 20 secondes puis rinçage à l'ED-I.

4. Dépôt d'oxyde de grille:

- Dépôt de 2 nm d' Al_2O_3 + Densification par plasma O_2 + Dépôt de 2 nm d' Al_2O_3 .
- PDA 600°C durant 1 minute pour 4 nm Al_2O_3 .

5. Dépôt de grilles et les marques d'alignement Ti(25 nm) /Pt(25 nm)/Au (300 nm).

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit @ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base =375 μ C/cm².
- Développement MIBK/IPA (1/2) durant 1min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ti(25 nm) /Pt(25 nm)/Au (300 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

6. Gravure d'oxyde (Al₂O₃)

- Gravure BCl₃ (sccm:50; RIE:50W; ICP: 200W; P:5mtorr durant 1 minute).

7. Plots d'épaissements.

Dépôt: COPO 10% (2200/1000/12s).

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Dépôt: PMMA950K4% + (5/3Anisole) (3000/1000/12s)

- Soft recuit @ 80°C durant 1 minute.
- Hard recuit@ 180°C durant 10 minutes.

Ebeam :

- EBL : Dose de base =375 μ C/cm².
- Développement MIBK/IPA (1/2) durant 1min puis rinçage à l'IPA (30 secondes).

Métalisation :

- Métalisation Ti(25 nm) /Pt(25 nm)/Au (300 nm) avec etching à Ar 200 eV durant 1 minute.
- Lift-off (SVC14 + Acetone + IPA).

8. Mesa d'isolation.

- Déshydratation pendant 10 minute @ 180°C.
- Soufflette de N₂ durant 1 minute.
- AZ1518 (3500/1000/12s).
- Recuit @ 110°C durant 1 minute.
- Développement AZ400K/H₂O (1/3) pendant 20 secondes et rinçage H₂O.
- Gravure H₃PO₄(5)/H₂O₂(1)/H₂O(40) durant 2 minutes et 15 secondes.

Annexe III : masque « mosfet »

La Figure ci-dessous montre le masque 'mosfet' regroupe :

- Les transistors (MOSFET) à deux doigts de grille.
- La longueur de grille, L_G : 50, 100, 150, 300, 500 nm.
- Le développement W_G : 2×15 , 2×25 , 2×50 μm .
- Les capacités (CAPAMOS).
- Un 'trèfle de Hall'.
- Les TLM pour mesurer la résistance de contact.
- Les Structures RF passives de type circuit ouvert et court-circuit pour réaliser la méthode dite d'«épluchage» afin d'obtenir les paramètres S dans le plan du transistor.

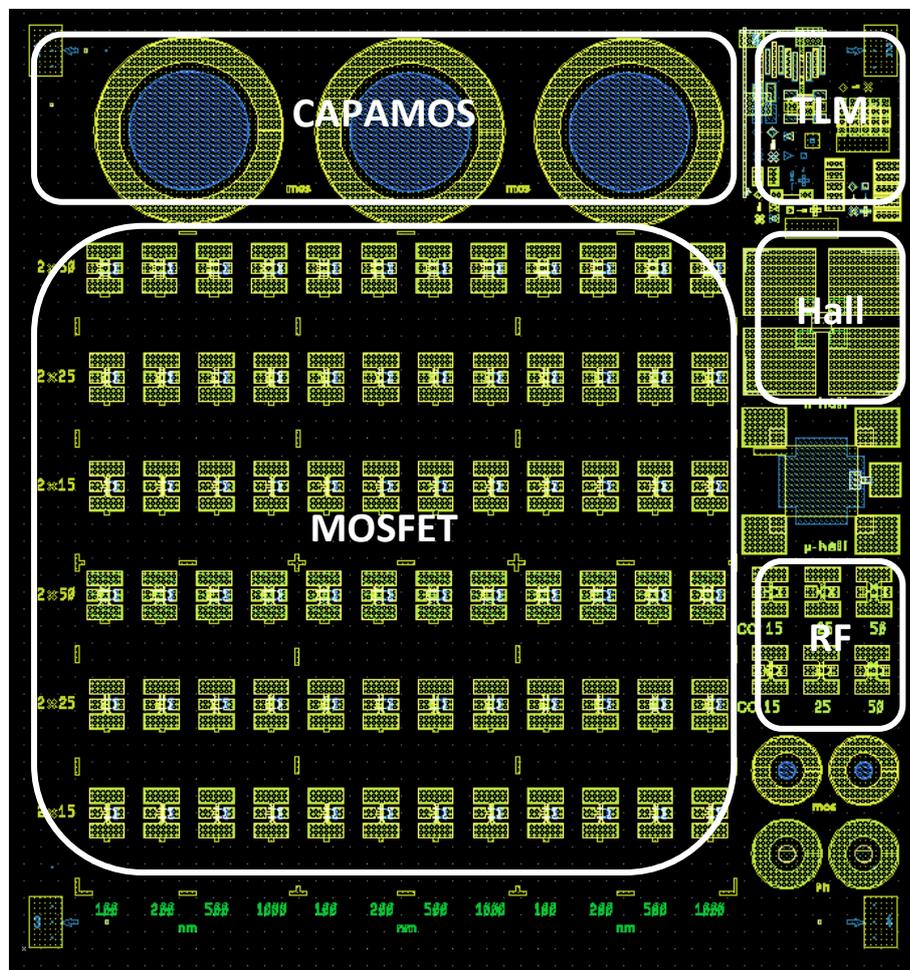


Figure : Masque 'mosfet'