

# THÈSE

Présentée à l'Université de Lille

École Doctorale Sciences Pour l'Ingénieur (SPI 072)

Pour obtenir le grade de :

## DOCTEUR DE L'UNIVERSITÉ

**Spécialité** : Électronique, Microélectronique, Nanoélectronique et Micro-ondes

Par

**Alexandre Bucamp**

### **Croissance sélective et caractérisation de nanostructures de matériaux III-V élaborées par épitaxie par jets moléculaires**

Soutenance le 22 novembre 2019 devant la commission d'examen

**Membres du jury :**

---

<b>M. Laurent CERUTTI</b>	Maître de Conférences, Université de Montpellier	Rapporteur
<b>M. Bassem SALEM</b>	Chargé de Recherche, LTM, Grenoble	Rapporteur
<b>Mme Chantal FONTAINE</b>	Directrice de Recherche, LAAS, Toulouse	Examinatrice
<b>M. Sylvain BOLLAERT</b>	Professeur, Université de Lille	Président du jury
<b>M. Xavier WALLART</b>	Directeur de Recherche, IEMN, Lille	Co-directeur
<b>M. Ludovic DESPLANQUE</b>	Maître de Conférences, Université de Lille	Directeur de thèse



# Remerciements

---

Ce travail de thèse a été réalisé à l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN) dirigé par Lionel Buchailot. Ces travaux ont été dirigés par Ludovic Desplanque au sein du groupe EPIPHY (EPItaxie et PHYsique des hétérostructures) et co-dirigés par Xavier Wallart.

Je remercie Laurent Cerutti et Bassem Salem pour avoir été les rapporteurs de ma thèse, Sylvain Bollaert pour m'avoir fait l'honneur de présider le jury et Chantal Fontaine pour avoir été examinatrice.

J'exprime ma plus profonde gratitude ainsi que mes remerciements à Ludovic Desplanque et Xavier Wallart pour avoir dirigé et encadré ces travaux, pour leur patience et leur disponibilité dans la lecture et la correction de ce manuscrit. Un grand merci pour leurs encouragements, leurs conseils et leur appui durant ces années de thèse.

Je remercie également les autres membres du groupe EPIPHY, dont Dominique Vignaud pour les mesures de photoluminescence des échantillons, ainsi que Djamila Hourlier pour ses conseils.

Je tiens à remercier le personnel de l'IEMN ayant contribué à la réalisation des composants et à ma formation en salle blanche : Christophe Coinon, Jean-Louis Codron, Laurence Morgenroth, Christiane Legrand, Dmitri Yarekha, Pascal Tilmant, François Vaurette, Marc François, Yves Deblock, Garrett Curley, Christophe Boyaval, David Guérin, Saliha Ouendi, Flavie Braud, Annie Fattorini, Marc Dewitte et Bertrand Grimbert.

Un grand merci également à David Troadec pour la réalisation des coupes FIB des échantillons et les prises d'images STEM, ainsi qu'à Gilles Patriarche du C2N pour les images TEM et les analyses EDX des structures.

Je remercie aussi Sylvie Lepilliet, Etienne Okada et Vanessa Avramovic de la centrale de caractérisation du laboratoire pour les conseils et la mise en place des bancs de mesures.

Je remercie Patricia Lefebvre pour m'avoir initié à la vulgarisation scientifique au sein du projet Nano-école lors des Fêtes de la Science 2016 et 2017 ainsi que lors de divers événements au sein du laboratoire.

Je tiens à remercier également le personnel de l'Université de Lille, notamment David Glay, Carine Vanoverschelde, Michèle Carette et Ludovic Desplanque de la composante GEII de l'IUT A pour m'avoir transmis leurs connaissances en enseignement, ainsi qu'à Virginie Degardin, Davy Gaillot et Mathieu Halbwx de l'UFR IEEA pour leur encadrement, leurs conseils et la confiance qu'ils m'ont accordée dans l'enseignement en Licence. Je remercie particulièrement Romain Kozlowski de l'UFR IEEA qui, grâce à son initiative de créer la promotion L2Prime de la Licence EEA, m'a donné l'opportunité d'intégrer l'Université après mon BTS et de poursuivre mes études jusqu'à aujourd'hui.

## REMERCIEMENTS

---

Je remercie mes collègues de l'IEMN pour tous ces bons moments passés avec eux : Jawad, Elias, Shivani, Maria, Sri, Salman, Vinay, Mohammed, Aurélien, Alain-Bruno Mars, Matej, Yoann, Giuseppe, Khadim, Joao, Louis, Maximilien, Sara, Charlène, Kevin F., Cybelle, Soukaina, Nathali, Damien, Kevin R., Maxime, Fuanki, Riad, Romain, Astrid,...

Enfin, je ne remercierai jamais assez mes parents, Luc et Maryline, ainsi que ma sœur, Anaïs, pour leur présence, leur soutien inconditionnel et leurs encouragements permanents à chaque étape de ma vie. J'adresse une pensée également pour Newton et feu petit Muta.



# Sommaire

---

INTRODUCTION .....	1
--------------------	---

## CHAPITRE 1 : ÉTAT DE L'ART SUR LA SYNTHÈSE ET CARACTÉRISATION ÉLECTRIQUE DE NANOFILS III-V

---

.....	5
I. FABRICATION DE NANOFILS III-V PAR UNE APPROCHE « TOP-DOWN » .....	5
II. NANOFILS III-V ELABORÉS PAR CROISSANCE VLS .....	8
II.1 Croissance VLS .....	8
II.2 Caractérisation de dispositifs électroniques à partir de nanofils élaborés par VLS .....	12
III. NANOFILS III-V ELABORÉS PAR ÉPITAXIE SELECTIVE (SELECTIVE AREA EPITAXY OU SAE) .....	15
III.1 Mécanismes de sélectivité et morphologies des micro- et nanostructures .....	16
III.2 Croissance sélective de nanostructures III-V par épitaxie en phase vapeur aux organométalliques (EPVOM) .....	17
III.2.1 Spécificités .....	17
III.2.2 Croissance sélective par confinement diélectrique .....	18
a) ART (Aspect-Ratio Trapping) .....	18
b) TASE (Template-Assisted Selective Epitaxy) .....	20
III.2.3 Croissance sélective libre (CSL) .....	22
c) Structures verticales .....	22
d) Croissance sélective de nanostructures planaires avec masque HSQ .....	24
III.3 Croissance sélective de nanostructures III-V par épitaxie par jets moléculaires (EJM) .....	25
III.3.1 Croissance de matériaux binaires .....	27
a) Structures verticales .....	27
b) Structures planaires .....	28
c) Nanostructures planaires en désaccord de maille .....	29
d) Croissance planaire de matériaux assistées par hydrogène atomique .....	30
III.3.2 Croissance de matériaux ternaires .....	32
a) Structures verticales .....	32
b) MME (Metal modulation epitaxy) .....	32
c) Croissances planaires de matériaux assistées par hydrogène atomique .....	33
IV. MÉTHODES DE MESURE DE LA MOBILITÉ ÉLECTRONIQUE DANS LES STRUCTURES .....	35
IV.1 Mesures par effet Hall .....	35
IV.2 Mesures par effet de champ .....	35
V. OBJECTIFS DE LA THÈSE .....	38
BIBLIOGRAPHIE DU CHAPITRE 1 .....	39

## CHAPITRE 2 : ÉPITAXIE SELECTIVE PAR JETS MOLÉCULAIRES ASSISTÉE PAR HYDROGÈNE ATOMIQUE

---

.....	47
I. PRÉSENTATION DES BÂTIS EJM .....	47
II. FABRICATION DES MASQUES POUR LA CROISSANCE SELECTIVE .....	49
II.1 Masque d'oxyde de silicium déposé par PECVD (type A) .....	49
II.2 Masque d'hydrogénosilsesquioxane (HSQ) (type B) .....	51

## SOMMAIRE

III.	CROISSANCE SELECTIVE D'INGAAS SUR SUBSTRAT INP SEMI-ISOLANT.....	52
III.1	Conditions de croissance .....	52
III.2	Croissance d' $In_{0,53}Ga_{0,47}As$ sur $InP$ .....	53
IV.	PROPRIETES OPTIQUES DE PUIITS QUANTIQUES INGAAS EPITAXIES SOUS HYDROGENE ATOMIQUE .....	59
IV.1	Influence de l'hydrogène atomique sur la désoxydation de la surface.....	59
IV.2	Photoluminescence sur épitaxies standards .....	60
IV.3	Photoluminescence sur épitaxies localisées.....	61
V.	CARACTERISATION ELECTRIQUE D'INGAAS ET $Ga(As)Sb$ EPITAXIES SOUS HYDROGENE ATOMIQUE .....	63
V.1	Influence de l'hydrogène atomique sur les propriétés électriques d' $InGaAs$ sur $InP$ .....	64
V.2	Influence de l'hydrogène atomique sur le dopage au carbone de $Ga(As)Sb$ sur $InP$ .....	65
VI.	CROISSANCE SELECTIVE DE $GaSb$ SUR INP SEMI-ISOLANT .....	67
VII.	CONCLUSION .....	71
	BIBLIOGRAPHIE DU CHAPITRE 2 .....	72

## CHAPITRE 3 : CARACTERISATION ELECTRIQUE DES NANOSTRUCTURES INGAAS

.....		<b>73</b>
I.	TECHNOLOGIE DE FABRICATION DES COMPOSANTS .....	73
I.1	Contacts métalliques .....	73
I.2	Dépôt de grille.....	74
I.3	Nanstructures cœur-coquille $InGaAs/InP$ avec contacts dopés .....	75
I.3.1	Fabrication.....	75
I.3.2	Analyses en microscopie électronique à transmission (MET) .....	77
II.	CARACTERISATION DES COMPOSANTS.....	79
II.1	Mesure de la résistivité des nanostructures d' $InGaAs$ par la méthode TLM .....	79
II.2	Mesures sur structures 4-pointes.....	81
II.3	Caractérisations des transistors MOSFET .....	83
II.3.1	Transistors MOSFET à nanofils d' $InGaAs$ légèrement dopés au tellure .....	83
II.3.2	Transistors MOSFET à base d'hétérostructures cœur-coquille .....	85
a)	Caractérisation électrique des structures TLM avec recroissance de contacts dopés.....	86
b)	Caractérisation électrique des transistors .....	87
i.	Topologie des transistors .....	87
ii.	Influence des aspects géométriques sur les caractéristiques électriques .....	87
iii.	Exploitation des caractéristiques électriques en régime passant ( $V_{GS} > V_T$ ) .....	90
iv.	Exploitation des caractéristiques électriques en régime bloqué ( $V_{GS} < V_T$ ) .....	98
III.	CONCLUSION .....	103
	BIBLIOGRAPHIE DU CHAPITRE 3 .....	104

## CHAPITRE 4 : CROISSANCE SELECTIVE ET CARACTERISATION ELECTRIQUE D'HETEROJONCTIONS PLANAIRES

.....		<b>107</b>
I.	HETEROSTRUCTURES RADIALES .....	109
I.1	Élaboration des composants.....	109
I.2	Caractérisation électrique des jonctions radiales .....	114
I.2.1	Caractérisation du cœur $InGaAs:Si$ .....	114
I.2.2	Caractérisation électrique des hétérostructures cœur/coquille.....	115
II.	HETEROJONCTIONS AXIALES.....	118
II.1	Élaboration des composants.....	118
II.1.1	Croissance des nanofils $InGaAs$ et masquage .....	118
II.1.2	Gravure chimique sélective des nanofils d' $InGaAs$ .....	119
II.1.3	Croissance sélective de $GaSb:Si$ .....	121
II.1.4	Dépôt des contacts.....	126

---

<i>II.2</i> <i>Caractérisation électrique des hétérojonctions axiales</i> .....	126
II.2.1    Mesure de la résistivité des matériaux épitaxiés.....	126
II.2.2    Mesures sur les hétérostructures.....	128
III.    CONCLUSION .....	130
BIBLIOGRAPHIE DU CHAPITRE 4 .....	131
<b>CONCLUSION GENERALE ET PERSPECTIVES .....</b>	<b>133</b>
<b>LISTE DES PUBLICATIONS.....</b>	<b>137</b>
<b>RESUMES .....</b>	<b>140</b>



# Introduction

---

Les technologies de fabrication des microprocesseurs à base de silicium ont suivi pendant plusieurs décennies la loi de Moore pour atteindre aujourd'hui les limites physiques du matériau en termes de dimensions et de puissance dissipée. Les industriels du secteur ont ainsi élaboré une feuille de route (*International Roadmap for Devices and Systems*)<sup>[1]</sup> qui prévoit l'emploi de semiconducteurs alternatifs pour les prochains nœuds technologiques. Parmi ces matériaux, les semiconducteurs III-V à faible masse effective électronique tels que InGaAs ou InAs sont une possibilité envisagée. Dès 2011, J. del Alamo, professeur au Massachusetts Institute of Technology, montrait comment ces matériaux pouvaient permettre de réduire la tension d'alimentation des composants grâce à une vitesse d'injection des électrons dans le canal plus élevée<sup>[2]</sup>. Depuis près d'une décennie, de nombreux efforts de recherche ont ainsi été menés afin de développer cette filière alternative à base de semiconducteurs III-V. En particulier, l'élaboration de nanostructures à partir de ces matériaux a été étudiée par différentes approches afin d'améliorer le contrôle électrostatique de grille ou d'intégrer ces semiconducteurs sur substrat de silicium. Même si cette technologie n'est pas encore assez mature pour supplanter l'emploi du silicium comme matériau actif dans les microprocesseurs, ces différentes avancées technologiques ont également débouché vers de nouvelles applications. Les semiconducteurs à faible masse effective présentent également un couplage spin-orbite important et des résultats récents obtenus dans le groupe du professeur Leo Kouwenhoven à Delft, en collaboration avec l'entreprise Microsoft, ont démontré la possibilité de coupler des nanostructures de matériaux III-V avec un matériau supraconducteur pour créer des fermions de Majorana, candidats potentiels pour la fabrication de bits quantiques robustes<sup>[3],[4]</sup>. Au-delà des propriétés électroniques, les semiconducteurs III-V ont aussi un intérêt particulier par leurs propriétés optiques et l'élaboration de nanostructures permet également d'envisager leur intégration sur Silicium ou de profiter des effets de confinement quantique pour fabriquer des sources de photons uniques<sup>[5]</sup>.

Le développement d'une méthode robuste permettant d'élaborer des nanostructures III-V et en particulier sous forme de nanofils est donc d'un intérêt majeur. De nombreuses voies ont ainsi été proposées, que ce soit par des approches « descendantes », en utilisant une gravure contrôlée de couches semiconductrices bidimensionnelles, ou par des approches « ascendantes » en favorisant la croissance du semiconducteur directement sous la forme de nanofils. Ces derniers peuvent être obtenus en utilisant un catalyseur métallique nanométrique lors de la croissance (mécanisme Vapeur-Liquide-Solide<sup>[6]</sup>) ou par croissance sélective. Dans ce cas, des conditions d'épitaxie particulières permettent de localiser la croissance dans les ouvertures d'un masque diélectrique préalablement définies à la surface du substrat. Cette méthode a pour avantage d'offrir une très grande flexibilité quant à la forme et l'orientation des nanostructures élaborées mais nécessite des paramètres de croissance combinant sélectivité et qualité du matériau épitaxié. La majeure partie des résultats expérimentaux utilisant la croissance sélective de semiconducteurs III-V repose sur l'épitaxie en phase vapeur à base de précurseurs organométalliques (EPVOM). La décomposition du précurseur catalysé à la surface du semiconducteur dans l'ouverture du masque diélectrique procure en effet une sélectivité

« naturelle » que n'offre pas l'épitaxie par jets moléculaires (EJM) qui nécessite de favoriser la ré-évaporation des espèces sur le masque de croissance pour obtenir une épitaxie sélective. La gamme des conditions de croissance est plus restreinte mais cependant possible à trouver, en particulier pour les matériaux binaires. Les travaux menés par Maria Fahed pendant sa thèse à l'IEMN entre 2013 et 2016 l'ont démontré pour des matériaux tels que InAs, InP ou GaSb. Ils ont également mis en évidence l'intérêt de l'utilisation d'un flux d'hydrogène atomique pendant la croissance pour élargir la fenêtre de sélectivité pour ces matériaux.

Mes travaux se situent dans la continuité de la thèse de M. Fahed puisqu'ils ont pour but d'étendre cette étude aux matériaux ternaires tels qu'InGaAs mais également d'étudier les propriétés électriques des nanostructures élaborées par cette méthode.

Le premier chapitre dresse un état de l'art des différentes méthodes d'élaboration de nanofils de matériaux III-V, par approche « top-down » (descendante) et « bottom-up » (ascendante). Nous présentons en particulier les caractérisations électriques menées sur ces nanostructures.

Le deuxième chapitre présente la méthode de croissance sélective par EJM assistée par hydrogène atomique que nous avons utilisée et l'étude que nous avons menée sur l'impact de l'hydrogène atomique sur les propriétés optiques et électriques des couches d'InGaAs et de GaSb épiaxiées.

Dans le troisième chapitre, nous présentons les résultats des caractérisations électriques obtenues en employant différentes technologies sur les nanostructures d'InGaAs réalisées par croissance sélective.

Enfin, dans le dernier chapitre, nous explorons cette méthode pour la fabrication d'hétérojonctions InGaAs/GaSb planaires sur substrat InP.

---

## Bibliographie

1. International Roadmap for Devices and Systems. (2018). Available at: <https://irds.ieee.org/>.
2. Del Alamo, J. A. Nanometre-scale electronics with III-V compound semiconductors. *Nature* **479**, 317–323 (2011). DOI : 10.1038/nature10677
3. Gül, Ö., Woerkom, D. J. Van, Weperen, I. Van & Car, D. Towards high mobility InSb nanowire devices. *Nanotechnology* **26**, 1–7 DOI : 10.1088/0957-4484/26/21/215202
4. Gül, Ö. *et al.* Hard Superconducting Gap in InSb Nanowires. *Nano Lett.* **17**, 2690–2696 (2017). DOI : 10.1021/acs.nanolett.7b00540
5. Wang, Z. *et al.* Room-temperature InP distributed feedback laser array directly grown on silicon. *Nat. Photonics* **9**, 837–842 (2015). DOI : 10.1038/nphoton.2015.199
6. Wagner, R. S. & Ellis, W. C. VAPOR-LIQUID-SOLID MECHANISM OF SINGLE CRYSTAL GROWTH. *Appl. Phys. Lett.* **4**, 89–90 (1964). DOI : 10.1063/1.1753975
7. Plissard, S. R. *et al.* Formation and electronic properties of InSb nanocrosses. *Nat. Nanotechnol.* **8**, 859–864 (2013). DOI : 10.1038/nnano.2013.198
8. Motohisa, J., Noborisaka, J., Takeda, J., Inari, M. & Fukui, T. Catalyst-free selective-area MOVPE of semiconductor nanowires on (111)B oriented substrates. *J. Cryst. Growth* **272**, 180–185 (2004). DOI : 10.1016/j.jcrysgro.2004.08.118
9. Guo, W. *et al.* Selective metal-organic chemical vapor deposition growth of high quality GaAs on Si(001). *Appl. Phys. Lett.* **105**, 062101 (2014). DOI : 10.1063/1.4892468
10. Schmid, H. *et al.* Template-assisted selective epitaxy of III-V nanoscale devices for coplanar heterogeneous integration with Si. *Appl. Phys. Lett.* **106**, 233101 (2015). DOI : 10.1063/1.4921962
11. Fahed, M. Selective area growth of in-plane III-V nanostructures using molecular beam epitaxy. Thèse de doctorat, Université de Lille, 2016.





# Chapitre 1

## État de l'art sur la synthèse et caractérisation électrique de nanofils III-V

Dans ce chapitre, nous présentons les différentes méthodes d'élaboration de nanostructures III-V existantes ainsi qu'un état de l'art des composants électroniques les plus performants fabriqués à partir de ces structures. Pour chacune de ces méthodes, nous essaierons d'en dégager les avantages et les principales limitations, justifiant les travaux que nous avons entrepris sur la croissance sélective.

### I. Fabrication de nanofils III-V par une approche « Top-down »

Cette méthode a pour principe de transférer les motifs d'un masque sacrificiel vers la surface du semiconducteur. Le type de masque doit être choisi de sorte qu'il résiste au mieux au procédé de transfert. La définition des motifs peut se faire au moyen d'une lithographie (optique ou électronique) ou éventuellement par voie chimique par l'utilisation de copolymères-blocs <sup>[1]</sup>.

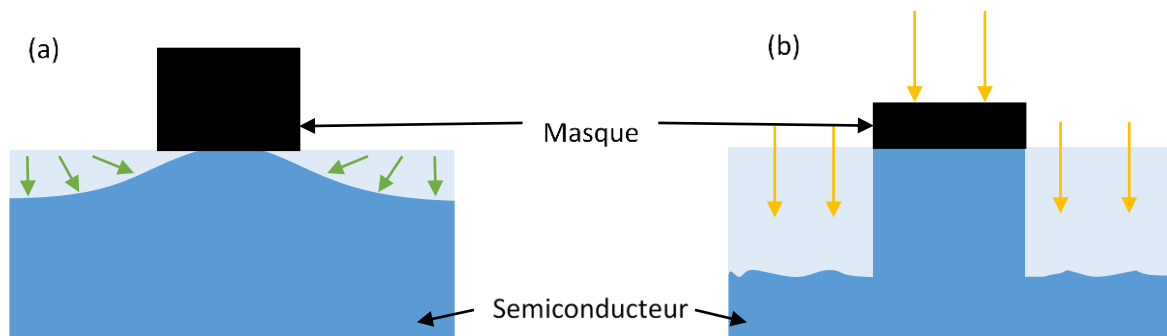


Figure 1.1 : Deux représentations en coupe de méthodes de gravure. (a) Gravure chimique. (b) Gravure sèche par plasma réactif.

Pour le transfert du motif, la gravure chimique par voie humide a d'abord été utilisée pour la fabrication de microstructures. La sous-gravure inhérente à cette technique empêche cependant l'obtention de structures à l'échelle de quelques dizaines de nanomètres (Figure 1.1a). Le recours à la gravure sèche, basée sur un plasma d'ions réactifs et beaucoup plus directive, permet de réaliser des structures avec des flancs plus verticaux. Cette méthode s'accompagne cependant d'une augmentation significative de la rugosité dans le fond de gravure ou sur les flancs des mesas qui peut altérer les performances des composants (Figure

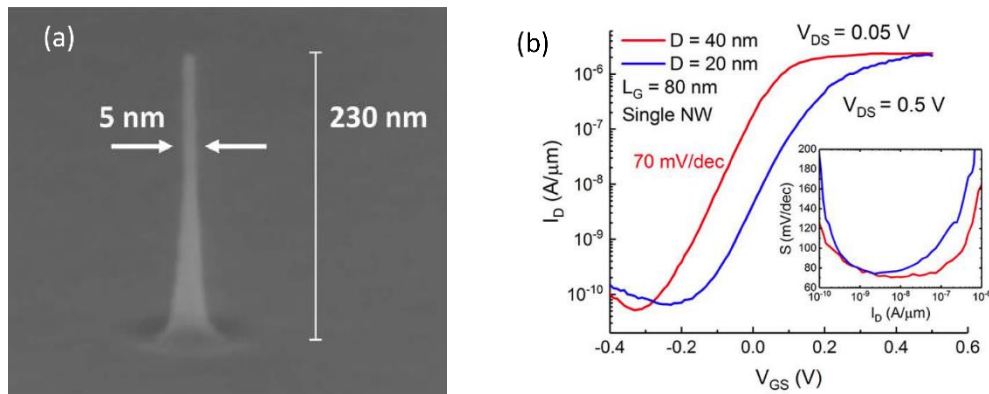


Figure 1.2: Exemple de nanofil vertical réalisé par gravure digitale (a) et caractéristique électrique (b) d'un composant de type MOSFET correspondant <sup>[4]</sup>.

1.1b). De plus, ce type de gravure attaque toute la surface, y compris le masque. Il est donc nécessaire de bien choisir le matériau utilisé comme masque, et d'adapter les procédés technologiques pour obtenir des rapports d'aspect hauteur/largeur suffisamment élevés pour accéder à des largeurs de taille nanométrique. En combinant une attaque sèche de type plasma et une finition par gravure digitale (plusieurs cycles d'oxydation de la surface/gravure chimique de l'oxyde), on peut obtenir des structures verticales avec un bon état de surface.

Le principal avantage de ces procédés « top-down » réside dans la maîtrise de l'épitaxie du matériau. La croissance des matériaux III-V, que ce soit par épitaxie par jets moléculaires (EJM) ou épitaxie en phase vapeur aux organométalliques (EPVOM), peut se faire dans des conditions standards largement maîtrisées depuis des décennies. La difficulté ne réside donc pas dans la croissance du matériau, mais plutôt dans l'étape de gravure.

Au MIT, les développements réalisés dans ce domaine par l'équipe du Professeur Del Alamo ont permis la fabrication de transistors verticaux à base de nanofils d'InGaAs <sup>[2]</sup>. Ces composants ont été réalisés à partir d'une homojonction n-i-n d'In<sub>0.53</sub>Ga<sub>0.47</sub>As en accord de maille sur un substrat InP. La résine utilisée (hydrogénosilsesquioxane ou HSQ), permet la formation de piliers avec un rapport hauteur/largeur >100. Sa polymérisation sous forme de SiO<sub>2</sub> la rend très résistante aux plasmas pouvant être utilisés pour la gravure des matériaux III-V. Suite à une attaque plasma et une gravure digitale à base de H<sub>2</sub>SO<sub>4</sub>, des nanofils verticaux de 290nm de haut pour 20nm de diamètre ont ainsi été obtenus <sup>[3]</sup>. Une gravure digitale à base de H<sub>2</sub>SO<sub>4</sub> et de méthanol a ensuite permis de réduire le diamètre du fil à 5 nm (Figure 1.2a) <sup>[4]</sup>. La Figure 1.2b montre les caractéristiques électriques relevées sur des transistors MOSFET réalisés à partir de nanofils de 20 et 40 nm de diamètre, pour lesquels une pente sous le seuil minimale de 70 mV/dec a été démontrée, s'approchant de la limite intrinsèque de 60 mV/dec pour un transistor basé sur un mécanisme d'injection thermoïonique.

Il est également possible de fabriquer des nanostructures horizontales par procédé top-down. Profitant de la diversité des matériaux III-V, des empilements alternant matériau utile et matériau sacrificiel peuvent être aisément réalisés par épitaxie. C'est le principe des « transistors 4D » réalisés par l'Université de Purdue en 2012 dans le système InGaAs/InP <sup>[5]</sup>. De même, l'élaboration « top-down » de structures de type FinFET à base d'In(Ga)As a également été démontrée <sup>[6]-[8]</sup>. Nous pouvons citer en exemple les performances des composants fabriqués par F. Chouchane et al. avec un canal de type FinFET de 10nm de large

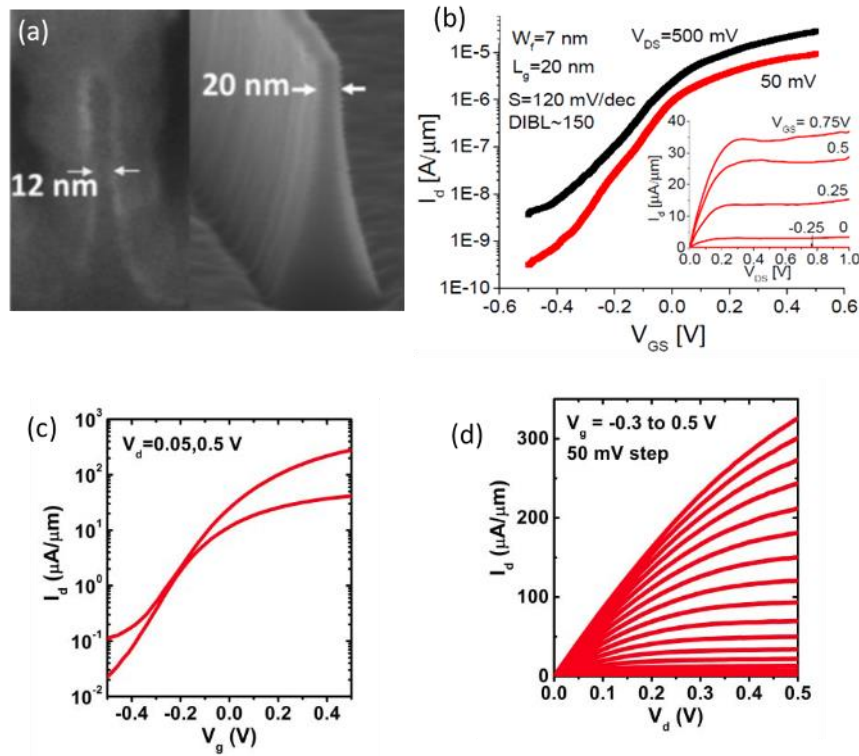


Figure 1.3: (a) Vue de coupe et profil d'un canal de FinFET et (b) les caractéristiques d'une structure similaire de 7nm de large<sup>[8]</sup>; (c) Courbes  $I_d(V_g)$  et (d)  $I_d(V_d)$  d'un composant de 10 canaux nanofilaire de 25nm de large<sup>[9]</sup>.

en InGaAs sur substrat silicium<sup>[6]</sup>, et celles des FinFETs en InGaAs de 7nm de large pour une longueur de grille de 20 nm de A. Vardi et al.<sup>[8]</sup> (Figure 1.3a-b).

Dans les mêmes dimensions, l'équipe de M. Passlack a élaboré des FinFETs avec dix canaux nanofilaire d'InAs de 25nm de large pour 20nm d'épaisseur sur substrat d'InAs<sup>[9]</sup>. Cette structure permet d'obtenir une résistance ON de  $1200\Omega\cdot\mu\text{m}$  pour une longueur de grille de  $1\mu\text{m}$  mais avec une pente sous le seuil de 180 mV/dec (Figure 1.3c-d).

En réduisant la taille des composants, la déplétion dans un canal de type InGaAs devient très importante. Grâce à l'épitaxie, il est possible d'insérer un plan de dopage très proche du canal pour atténuer la déplétion tout en préservant la mobilité des porteurs de charge<sup>[10]</sup> (Figure 1.4a). Cependant, comme le montre la Figure 1.4b, pour les structures les plus fines, la rugosité

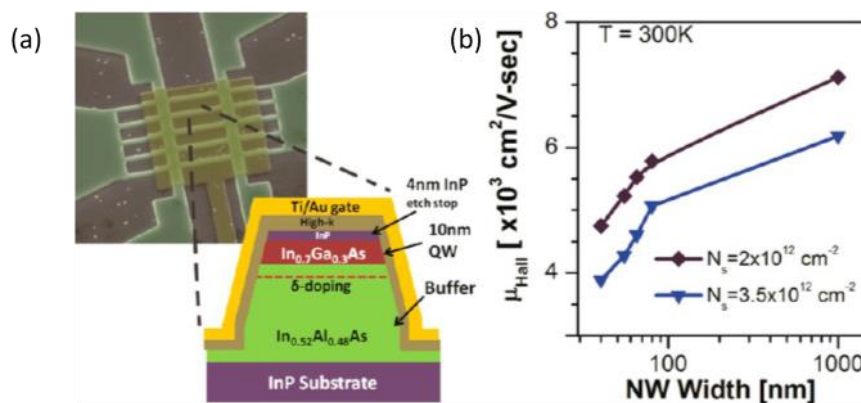


Figure 1.4: Vue MEB (microscopie électronique à balayage) et schéma de coupe d'une structure de transistors nanofilaire pour mesures par effet Hall (a) et les valeurs de mobilité dans le canal en fonction de la largeur des fils (b)<sup>[10]</sup>

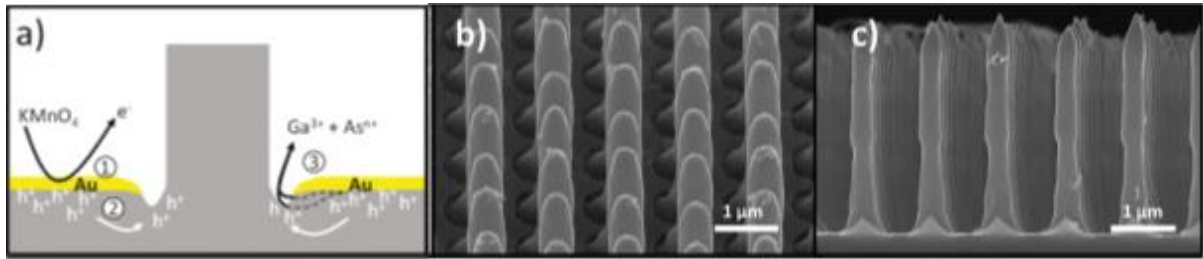


Figure 1.5: Principe de la MACE (a) et nanopilliers de 600nm de diamètre réalisés ainsi ((b) en vue inclinée et (c) en vue de coupe) [12]

et la présence de défauts sur les surfaces impactent fortement la mobilité des électrons dans les structures les plus fines. Dans certains cas, un métal peut être utilisé pour catalyser la gravure, comme l'argent avec le silicium dans une solution HF/Fe(NO<sub>3</sub>)<sub>3</sub> [11], ou de l'or avec GaAs dans une solution H<sub>2</sub>SO<sub>4</sub>/KMnO<sub>4</sub> [12] (Figure 1.5). Cette technique appelée MACE (*Metal-Assisted Chemical Etching* ou gravure chimique assistée par métal) a montré la possibilité d'élaborer des nanopilliers de semiconducteur de quelques centaines de nanomètres de diamètre en utilisant un masque négatif.

## II. Nanofils III-V élaborés par croissance VLS

### II.1 Croissance VLS

Le principe de la VLS (Vapeur-Liquide-Solide) a été découvert par Ellis et Wagner en 1964 [13]. Une goutte d'or déposée sur la surface catalyse la formation d'un alliage Au-Si à partir du silicium présent en surpression. Cet alliage possède un point eutectique à 360°C pour une concentration en Si de 18% [14], permettant ainsi d'obtenir une goutte liquide à plus faible température. L'élément gazeux est adsorbé sur la surface liquide et diffuse dans la goutte. Quand la goutte est sursaturée en silicium, l'élément en excès cristallise à l'interface liquide-

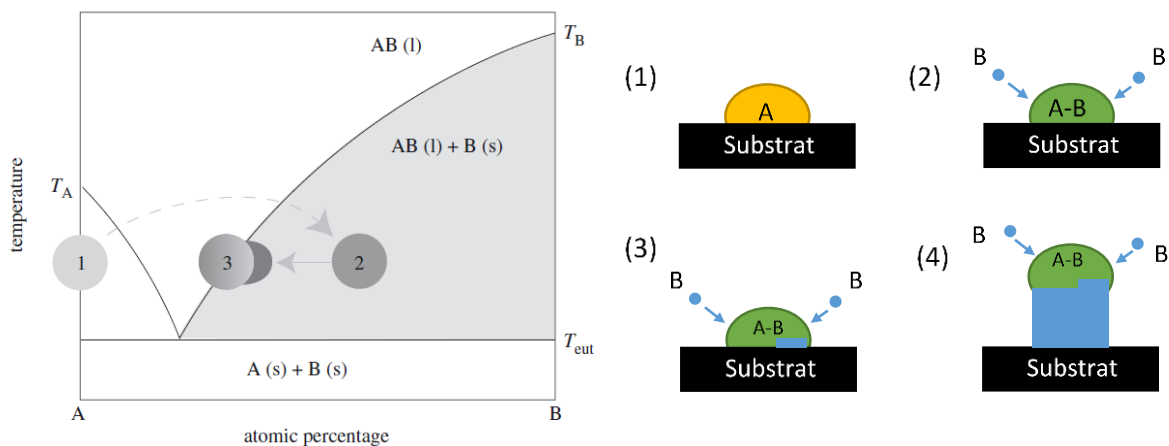


Figure 1.6 : À gauche : Diagramme de phase illustrant la thermodynamique d'une croissance VLS pour un catalyseur métallique A et un semi-conducteur B [15]; à droite : illustration d'une croissance VLS. Une goutte de métal est déposée sur le substrat (1). Cette goutte catalyse un semi-conducteur B jusqu'à excès (2). À partir de ce point de sursaturation, le semi-conducteur B cristallise à l'interface entre la goutte et le substrat (3) et un nanofil croît sous la goutte (4).

solide. En continuant à alimenter la goutte en silicium, il se forme alors un nanofil (Figure 1.6). Ce mécanisme fonctionne également pour les composés III-V <sup>[15]</sup>.

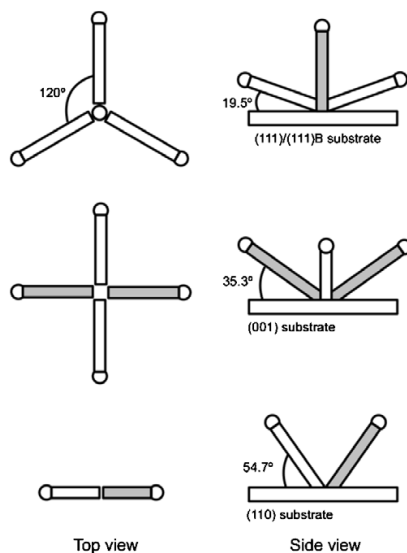


Figure 1.7 : Représentations des directions préférentielles de croissances  $\langle 111 \rangle$  pour les matériaux élémentaires <sup>[21]</sup>. Pour les alliages III-V, seules les représentations en gris concernent les directions  $\langle 111 \rangle B$ . À gauche, la vue de dessus ; à droite, la vue de profil.

Cependant, l'or est connu pour créer des défauts dans le silicium, ce qui dégrade ses propriétés <sup>[16]</sup> et en fait un élément rejeté par les industriels de la microélectronique. Dans certains cas, suivant le matériau, la croissance du nanofil se produit sans que la bille métallique ne soit fondue : il s'agit alors d'une croissance de type VSS (vapor-solid-solid) <sup>[17]</sup>. Il est également possible de réaliser une croissance en utilisant un autre matériau métallique comme catalyseur <sup>[18],[19]</sup>, mais la croissance se fait à une température différente. Enfin, pour les composés III-V, la croissance peut être initiée à partir d'une bille de l'élément III : on parle alors de croissance auto-catalysée <sup>[20]</sup>.

La croissance de ces structures se fait généralement suivant les directions  $\langle 111 \rangle$  pour les éléments IV <sup>[21]</sup> et  $\langle 111 \rangle B$  pour les composés III-V en maille zinc-blende (ZB) <sup>[22]</sup> car l'énergie d'interface catalyseur-semiconducteur pour une croissance dans cette direction cristallographique est la plus faible <sup>[23]</sup>. De ce fait, sur un substrat orienté (111) ou (111)B, la croissance est le plus souvent verticale (Figure 1.7). Dans certaines conditions, la croissance peut se faire en maille wurtzite (WZ) <sup>[24],[25]</sup>.

La taille du catalyseur doit être maîtrisée afin de contrôler le diamètre du nanofil <sup>[26]</sup>, mais également sa direction de croissance. En effet, sous un certain seuil, l'interface goutte-semiconducteur peut changer de plan, la croissance passant de la direction  $\langle 111 \rangle$  à  $\langle 110 \rangle$  <sup>[27]</sup>. La taille de l'interface entre le matériau et le catalyseur peut être contrôlée par la taille de la goutte lors de son dépôt, ou plus rarement pendant la croissance en appliquant un champ électrique sur celle-ci <sup>[28]</sup>.

Par ce procédé, il est possible de réaliser des hétérostructures de deux manières. La première est la fabrication d'hétérostructures axiales. La contrainte entre le fil et le substrat doit dans un premier temps être minimisée, soit en choisissant des matériaux avec des paramètres de maille proches, soit en optant pour des catalyseurs de très petite taille. <sup>[29]</sup> L'avantage de

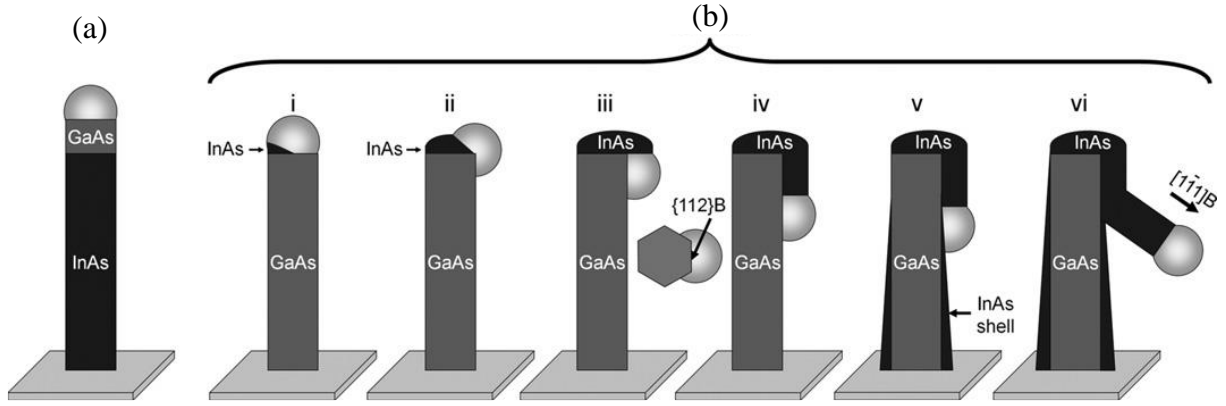


Figure 1.8 : (a) Cas d'une croissance axiale avec  $\gamma_{A-C} > \gamma_{B-C} + \gamma_{A-B}$ ; (b) Cas d'une croissance avec  $\gamma_{A-C} < \gamma_{B-C} + \gamma_{A-B}$  [36].

cette méthode de production est que la jonction s'établit sur la section du nanofil, et sera donc suffisamment petite pour éviter les dislocations à l'interface [30],[31]. Il est ainsi possible de réaliser des hétérostructures à jonction unique [32], des super-réseaux [33] ou des fils contenant des boîtes quantiques [34]. Cependant, la procédure est différente selon les associations de matériaux souhaitées. Pour une hétérostructure à élément III commun, une simple commutation de l'élément V durant la croissance suffit car le catalyseur contient très peu d'élément V qui est donc très rapidement consommé [35]. Dans ce cas, une croissance auto-catalysée est possible. En revanche, pour une hétérostructure avec des éléments III différents, le catalyseur doit être vidé du premier élément III avant de débiter la croissance avec le 2<sup>e</sup> élément, sinon il y a formation d'un alliage ternaire à l'interface entre les 2 couches. De plus, il est important de vérifier la compatibilité énergétique entre les 3 matériaux en jeu [36]. En effet, si l'énergie d'interface entre le catalyseur C et le premier semiconducteur A ( $\gamma_{A-C}$ ) est plus grande que la somme de l'énergie d'interface entre le catalyseur C et le 2<sup>e</sup> matériau B ( $\gamma_{B-C}$ ) et de celle entre les matériaux A et B ( $\gamma_{A-B}$ ), la croissance se fera de manière axiale (Figure 1.8a). Dans le cas contraire, la croissance du matériau B se fera de sorte que les interfaces C-B et A-B soient minimisées et que l'interface de faible énergie C-A soit préservée. Ceci aura pour effet de sortir le catalyseur de l'axe du nanofil et de se poursuivre en branche suivant [1-11]B (Figure 1.8b).

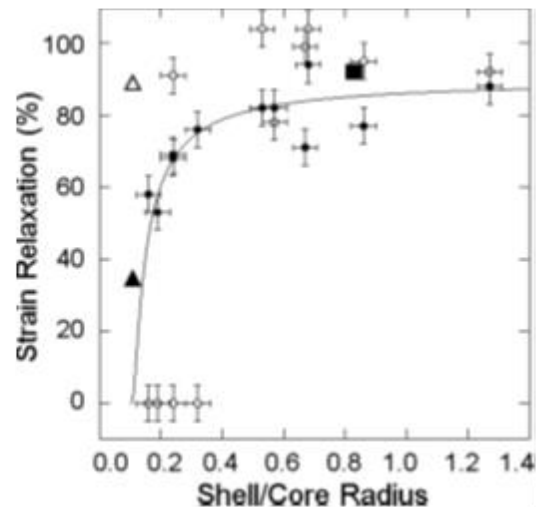
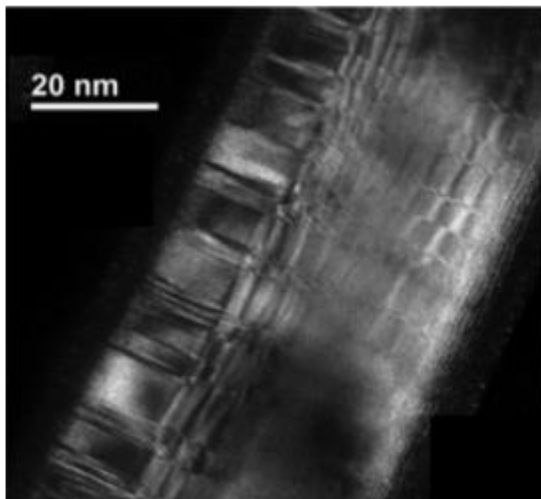


Figure 1.9 : À gauche, une image TEM couplée à une mesure SADP (Selective Area Diffraction Pattern) d'un fil à cœur InAs et coquille GaAs, avec des variations de contraste révélant la présence de défauts dans le cristal, et à droite, une représentation des relaxations axiales (points noirs) et radiales (points blancs) pour cette même hétérostructure. [39]



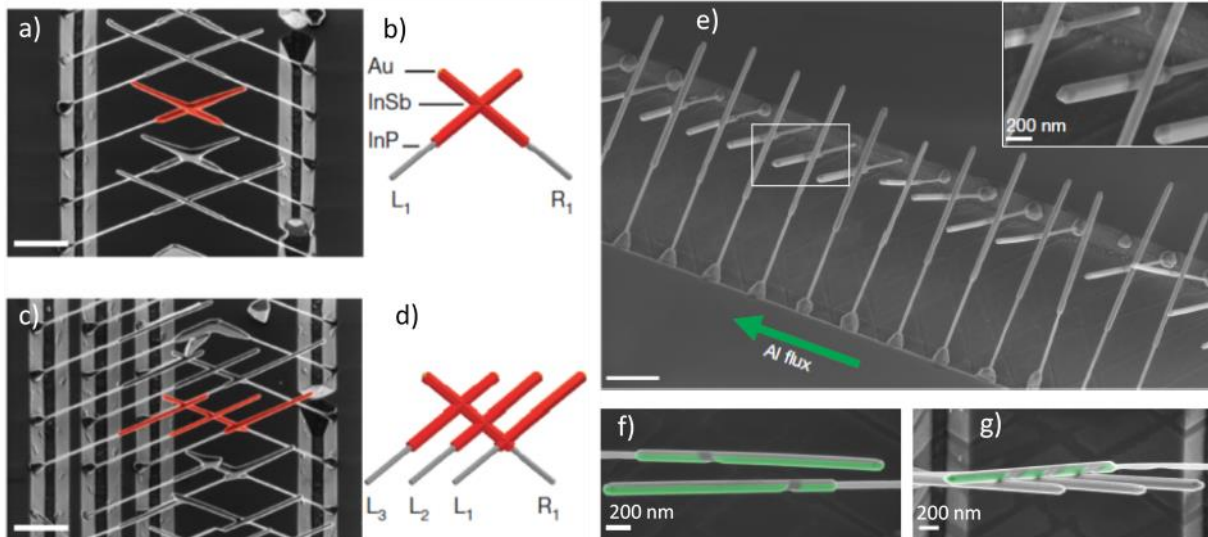


Figure 1.10 : Images MEB de structures nanofilaire InSb/InP créées à partir de tranchées dans le substrat [43]. (a-d) Vues à 30° de fils InSb/InP croisés (a,c) et un représentation de face (b,d). L'InSb est représenté en rouge. (e-g) Vues de nanofils InSb/InP avec un gap sur la tranchée après dépôt d'aluminium dans le bâti d'épitaxie suivant la flèche verte. L'aluminium représenté en vert laisse apparaître des séparations dans l'ombre d'un nanofil proche. Les barres blanches représentent une échelle de 1  $\mu\text{m}$  si non mentionné.

Il est possible également de réaliser des hétérostructures radiales afin de produire des structures cœur-coquille. En ajustant les conditions de croissance [37], le mode VLS n'est plus effectif et la croissance peut avoir lieu sur les facettes latérales [15]. Cependant, les interfaces entre les couches sont de tailles plus imposantes qu'en croissance axiale. Les relaxations élastiques sont donc plus difficiles [37] et les probabilités de créer des défauts dus à une relaxation plastique dans la structure sont d'autant plus importantes [38],[39] (Figure 1.9). La maille cristalline de la coquille ainsi produite a toutefois la même structure que celles du cœur : un cœur WZ donnera une coquille WZ et un cœur ZB donnera une coquille ZB [40]-[42].

La croissance ayant lieu suivant les directions  $\langle 111 \rangle_B$ , une mise en forme de l'échantillon peut permettre la réalisation de nanofils hors direction normale du substrat. Ainsi,

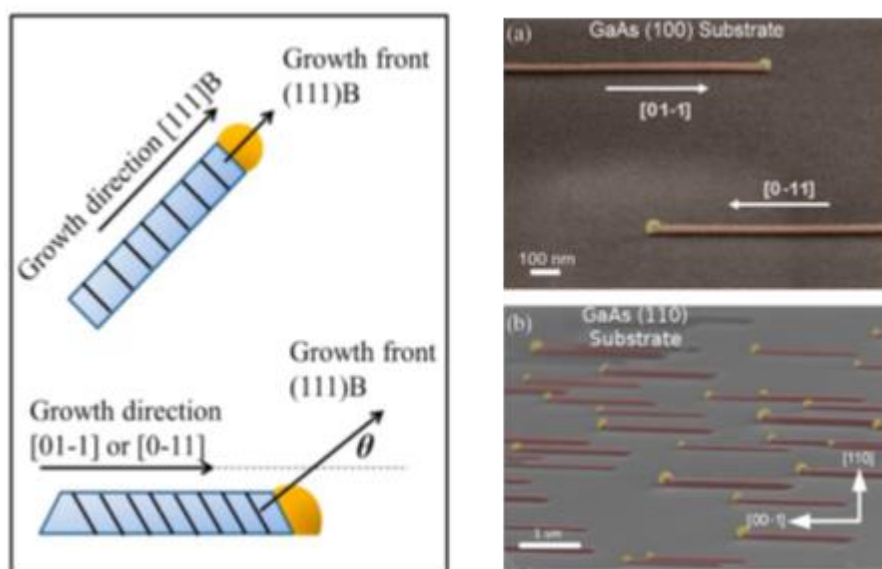


Figure 1.11 : À gauche : Directions de croissance VLS de nanofils GaAs hors-plan et dans le plan d'un substrat GaAs(100) [45] ; à droite : images MEB colorisées de nanofils planaires GaAs sur substrat GaAs(100) (a) et sur substrat GaAs(110) (b) [47].

à partir d'un substrat InP(100), S. Gazibegovic *et al.* ont effectué la croissance de nanofils d'InP/InSb sur des flancs de tranchées orientés (111)B<sup>[43]</sup>. La disposition de plots d'or sur des facettes opposées leur permet d'élaborer des structures croisées (Figure 1.10a-d). En ajoutant un décalage latéral, les nanofils ne seront plus en face les uns des autres. De ce fait, un ou plusieurs fils peuvent servir de masque pour un dépôt in-situ et localisé d'aluminium (Figure 1.10e-g).

En choisissant un substrat GaAs orienté (100) ou (110), des nanofils planaires peuvent être obtenus pour une température comprise entre 440 et 480 °C<sup>[44],[45]</sup>. Le matériau semi-conducteur cristallise sur l'interface (111)B, mais la goutte restant sur la surface de l'échantillon, la croissance se déroule dans une direction parallèle au substrat. La raison qui force la croissance dans le plan du substrat n'est pas encore comprise, mais la piste de la tension de surface entre la goutte et le substrat semble privilégiée<sup>[46]</sup>. Le problème ici est que la direction de croissance est unique et ne peut être imposée dans le cas d'un substrat (100) avec des directions de croissance [0-11] ou [01-1]<sup>[45]</sup>. En choisissant un substrat orienté (110), la croissance planaire n'a lieu que pour une unique direction : [001]<sup>[47]</sup> (Figure 1.11). Cependant, il n'a été reporté que des travaux utilisant l'or comme catalyseur et uniquement à base de GaAs ou d'InAs<sup>[48]</sup>.

## II.2 Caractérisation de dispositifs électroniques à partir de nanofils élaborés par VLS

Concernant la fabrication de composants électroniques à partir de nanofils élaborés par croissance VLS verticale, deux approches sont possibles : avec ou sans transfert du nanofil. Pour des transistors, les performances seront optimales si la grille est enrobante autour du fil (GAA : *Gate-All-Around*). Dans le cas d'une technologie sans transfert, la principale difficulté réside dans le dépôt des contacts de source et de drain, notamment la mise en place du contact sur la partie supérieure du fil. Une architecture de type pont-à-air a pour avantage de minimiser les capacités parasites par rapport à l'utilisation d'une couche diélectrique épaisse pour isoler les différentes couches de métal<sup>[49]</sup>. L'équipe de L. Samuelson à l'Université de Lund a d'abord mis au point cette technique pour la fabrication de transistors MOSFET composés de réseaux

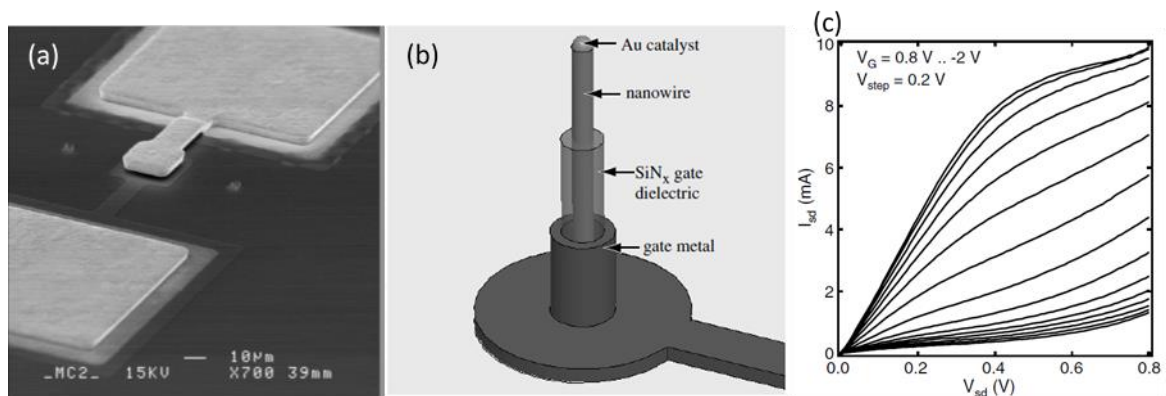


Figure 1.12 : Transistor composé de nanofils InAs<sup>[49]</sup>. (a) Image MEB d'un transistor à nanofils verticaux ; (b) Représentation 3D de la structure d'un nanofil du transistor ; (c) Caractéristique  $I_{sd}(V_{sd})$  du transistor



de nanofils verticaux d'InAs à partir d'une bille d'or de 40nm de diamètre (Figure 1.12). Chaque transistor est composé de 121 nanofils de longueur  $1\mu\text{m}$  et présente un courant de  $300\text{mA/mm}$  pour une tension drain-source ( $V_{\text{DS}}$ ) de  $0,5\text{V}$  et une commande de grille ( $V_{\text{GS}}$ ) de  $0,8\text{V}$ .

Des hétérostructures ont également été réalisées pour la fabrication de transistors à effet tunnel (TFET). L'intérêt de ces composants est de pouvoir améliorer l'efficacité de commutation par rapport à un MOSFET classique puisque la pente sous-le-seuil n'est plus limitée intrinsèquement par l'injection thermoïonique. La difficulté est d'obtenir des courants suffisamment élevés dans l'état passant du composant et l'utilisation d'hétérostructures dont les bandes de conduction et de valence sont fortement décalées paraît intéressante. L'hétérostructure idéale pour ce type de composant est donc InAs/GaSb.

La croissance VLS débute dans ce cas par InAs afin d'assurer la croissance axiale du nanofil. L'énergie d'interface entre le cristal et le catalyseur étant différente pour GaSb, le diamètre du nanofil augmente lorsque l'on passe à la croissance de ce matériau. Une jonction

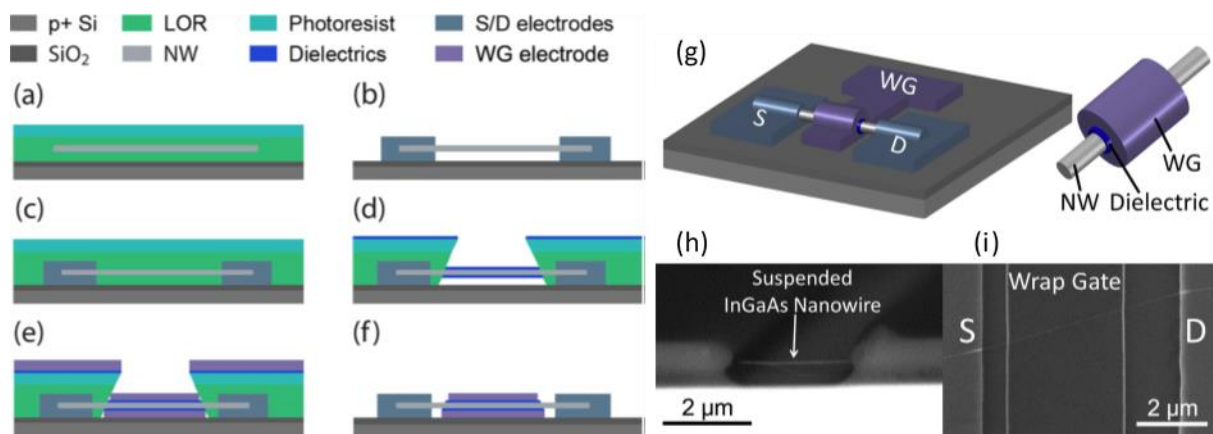


Figure 1.13 : Méthode de report de nanofils sur substrat de silicium <sup>[51]</sup>. (a) Le nanofil est plongé dans de la résine photosensible. (b) Celle-ci est lithographiée afin de pouvoir déposer les contacts de drain et source. (c-f) Une étape de lithographie est de nouveau effectuée pour ajouter l'oxyde et le contact de grille au composant. (g-i) Représentation et images MEB d'un composant avec fil suspendu.

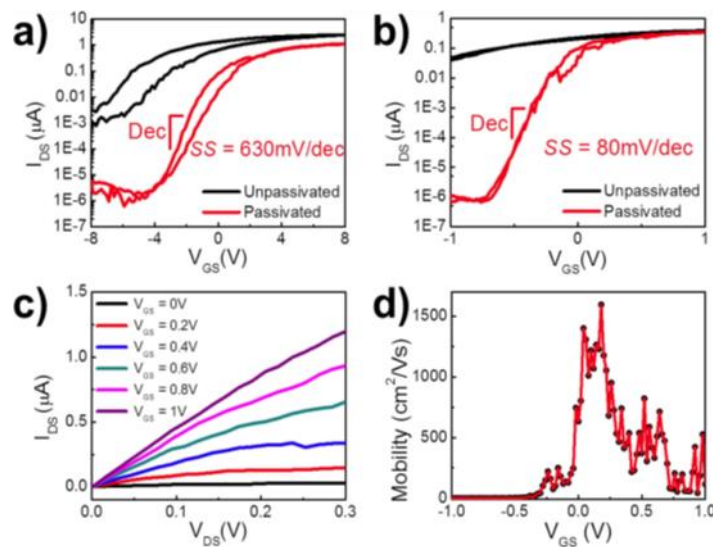


Figure 1.14 : Caractéristiques électriques du MOSFET de L.F. Shen et al <sup>[51]</sup>. (a) Caractéristique  $I_d(V_{\text{GS}})$  pour une commande par grille arrière ; (b-d) Caractéristiques du composant pour une commande par grille enrobante.

abrupte est impossible avec cette méthode à cause du changement d'élément III dans le catalyseur et il y a donc formation d'un alliage ternaire à la jonction. En utilisant cette technique, Memisevic *et al.* ont élaboré un TFET vertical InAs/InGaAs/GaSb à grille enrobante [50] avec une pente sous le seuil de 45mV/décade à température ambiante. Cette pente sous le seuil a été améliorée par la réalisation d'un composant à fil unique afin d'atteindre une valeur de 35mV/décade en dépit d'un très faible courant à l'état ON du transistor. Concernant les structures radiales, celles-ci sont principalement utilisées pour des applications optiques.

Etant données les difficultés technologiques liées à la technologie verticale, la plupart des résultats de caractérisation électrique de nanofils ont été obtenus après report à plat sur un substrat hôte. Si le fil peut être déposé directement sur la surface et retenu par tension surfacique, le contrôle électrostatique de grille n'est pas optimal si la grille n'est pas enrobante. Pour cela, le nanofil peut être plongé dans de la résine sur la surface, résine qui va être lithographiée avant la formation des contacts de source et de drain pour fixer le nanofil à une certaine hauteur du substrat. Ainsi, le nanofil sera suspendu et la grille pourra l'enrober (Figure 1.13). Les composants en InGaAs obtenus par Shen *et al.* [51] présentent ainsi une pente sous le seuil de 80mV/décade contre 630mV/décade pour un contrôle uniquement par grille arrière (Figure 1.14), performance expliquée par la distance séparant le canal de la grille.

Assez peu d'études ont été consacrées aux transistors de type p. On peut citer les travaux de Babadi *et al.* qui ont réalisé des MOSFETs de type p à base de GaSb et démontré une mobilité à effet de champ maximale de 153 cm<sup>2</sup>/V.s avec un dopage au zinc.

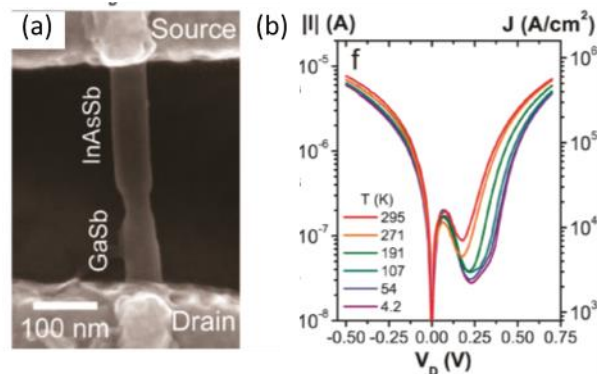


Figure 1.15 : Diode Esaki réalisée par Ganjipour *et al* [52]. (a) Image MEB d'une hétérostructure contactée ; (b) Caractéristiques  $I_d(V_{ds})$  en fonction de la température.

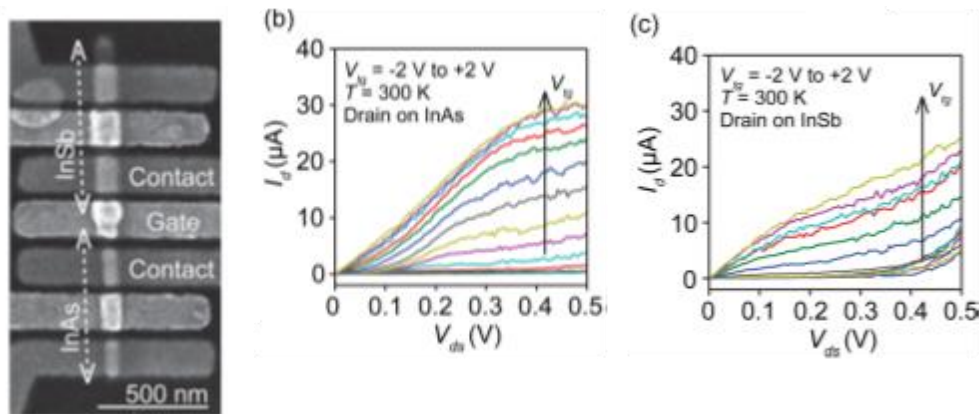


Figure 1.16 : Composant réalisé par Nilsson *et al* [53]. (a) Image MEB d'une hétérojonction InSb/InAs avec contacts ; (b-c) Caractéristiques  $I_d(V_{ds})$  avec le drain sur InAs (b) ou sur InSb (c).

Les nanofils présentant des hétérostructures peuvent être aussi reportés pour faciliter la fabrication du composant, comme par exemple les diodes Esaki GaSb/InAsSb de Ganjipour *et al* <sup>[52]</sup> (Figure 1.15). Le rapport pic/vallée sur ces composants est de 2,1 à température ambiante. Ce rapport est amélioré par l'ajout d'une grille avant, atteignant ainsi 3,5 en imposant 0V sur la grille. Des hétérostructures à fort désaccord de maille peuvent être réalisées par croissance axiale pour limiter les défauts à la jonction. Ainsi, H. A. Nilsson *et al* <sup>[53]</sup> ont réalisé des transistors avec une jonction InAs/InSb (Figure 1.16).

Enfin, des composants peuvent être élaborés à partir de croissances dans le plan du substrat (Figure 1.17). Les premières croissances de nanofils planaires en GaAs <sup>[54]</sup> donnent des composants avec une pente sous le seuil de 190 mV/décade. Cette pente sous le seuil est améliorée jusque 160 mV/décade après optimisation de l'empilement de grille. Avec le même mode de croissance, des nanofils planaires InAs associés à une grille enrobante affichent une pente sous le seuil de 170 mV/décade et une mobilité d'effet de champ de 2730 cm<sup>2</sup>/V.s pour une longueur de grille de 350 nm <sup>[48]</sup>.

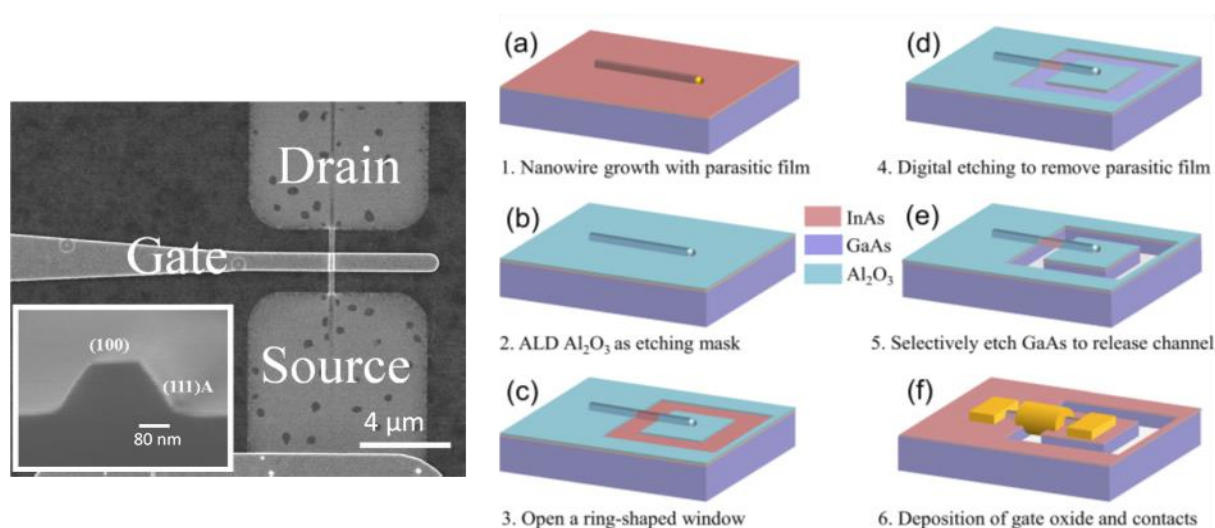


Figure 1.17 : (À gauche) Image MEB d'un MOSFET nanofilaire en GaAs <sup>[54]</sup>. Vue en coupe du canal dans l'encadré ; (À droite) Étapes de fabrication d'un MOSFET à grille enrobante à partir d'une croissance planaire d'un nanofil d'InAs <sup>[48]</sup>.

### III. Nanofils III-V élaborés par épitaxie sélective (Selective Area Epitaxy ou SAE)

Les difficultés à intégrer des matériaux III-V sur des substrats présentant un fort désaccord de maille ont poussé les groupes de recherche à trouver de nouvelles méthodes d'intégration. Il fut d'abord proposé de réaliser la croissance sur de petits mesas afin de réduire la densité de défauts à l'interface sur de petites surfaces <sup>[55],[56]</sup>, mais l'utilisation est limitée à cause de la croissance présente dans le fond de gravure. Une autre méthode réside en l'élaboration de structures par croissance sélective avec un masque diélectrique. Cette méthode permet d'obtenir des nanostructures en évitant les étapes de gravure du semiconducteur.

### III.1 Mécanismes de sélectivité et morphologies des micro- et nanostructures

La croissance sélective requiert une préparation avant l'étape d'épitaxie. Une couche de matériau diélectrique est d'abord déposée sur la surface. Après une étape de lithographie et de gravure, la couche de diélectrique va former un masque dont les ouvertures définiront l'emplacement des structures. La largeur des structures élaborées par cette méthode est donc directement liée à la précision de la lithographie et de la gravure du masque.

Vient alors la phase d'épitaxie, réalisable aussi bien en EPVOM qu'en EJM, mais avec quelques différences dans les conditions de croissance et les effets physiques mis en jeu, différences qui seront exposées par la suite.

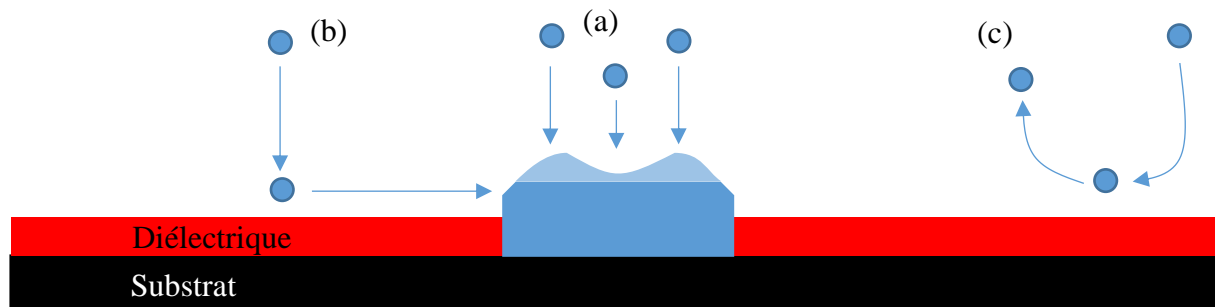


Figure 1.18 : Schéma de coupe d'une croissance sélective. (a) Les éléments cristallisent sur le substrat, dans les ouvertures ; Les éléments arrivant sur le masque sont adsorbés et diffusent jusque l'ouverture la plus proche (b), ou sont réévaporés (c). Les diffusions des éléments en surface du masque et sur les facettes latérales provoquent une accumulation de matériaux sur les facettes possédant les énergies de surface les plus faibles, représentée ici en clair.

L'objectif de la croissance sélective est d'éviter la cristallisation des éléments sur le masque en optimisant les conditions de croissance. Durant la croissance, une partie des éléments va atteindre la surface du substrat dans les ouvertures du masque et ainsi cristalliser (Figure 1.18a), l'autre partie des éléments arrive sur le masque. Dans ce cas, soit les éléments sont adsorbés sur la surface et diffusent jusque l'ouverture du masque la plus proche (Figure 1.18b), soit ils sont réévaporés (Figure 1.18c), soit ils forment des cristallites sur la surface du masque dans le cas d'une mauvaise sélectivité.

Le cristal ainsi formé dans les ouvertures du masque présente des facettes dont les orientations sont dépendantes de la direction cristallographique du substrat. En supposant que le cristal formé a atteint sa forme d'équilibre thermodynamique <sup>[57],[58]</sup>, on peut dans certains cas calculer la morphologie des nanostructures par des considérations géométriques (modèle de Wulff <sup>[59]</sup>). Toutefois, à cause des effets de diffusion, il peut apparaître une accumulation de matériaux sur les bords de certaines facettes de la structure. Elle est due à :

- une partie provenant de l'apport direct de matériaux,
- une seconde partie émanant de la diffusion des atomes sur la surface du masque,
- une dernière part liée à la migration des adatoms en surface du cristal vers la ou les facettes de plus haute énergie, de sorte à privilégier le développement des facettes de plus faible énergie (Figure 1.19).

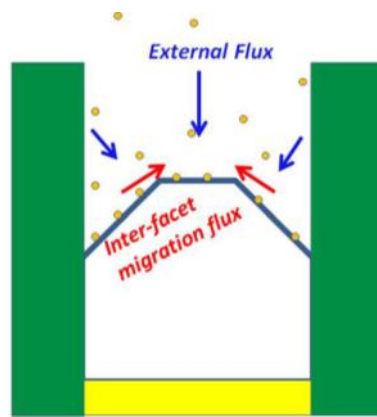


Figure 1.19 : Représentation de la contribution des éléments à la vitesse de croissance, avec ici des adatoms migrant des facettes (111) vers (001) [128].

Ces effets de diffusion sont mentionnés depuis 1967 par Oldham et Holmstrom [60] et expliqueraient l'épaisseur non-uniforme et l'écart de morphologie avec le modèle de Wulff. En ajustant le rapport V/III des éléments incidents, il est possible de favoriser ou limiter ces effets de diffusion [61] visibles dans des ouvertures de longueur supérieure à la longueur de diffusion des éléments. Cette longueur de diffusion augmente quand l'apport d'éléments V diminue [62], mais dépend aussi de la direction cristallographique selon laquelle l'élément se déplace (dans le cas du GaAs, les atomes de gallium peuvent diffuser de 500nm à 2,5µm selon la direction cristallographique [63]).

## III.2 Croissance sélective de nanostructures III-V par épitaxie en phase vapeur aux organométalliques (EPVOM)

### III.2.1 Spécificités

L'EPVOM est la méthode d'épithaxie la plus répandue dans l'industrie du semiconducteur. Elle consiste en la décomposition sur la surface du substrat de gaz organométalliques dans un environnement confiné (Figure 1.20). Ces conditions de croissance sont déterminantes sur la forme et l'épaisseur de la couche de semi-conducteur ainsi créée. Un

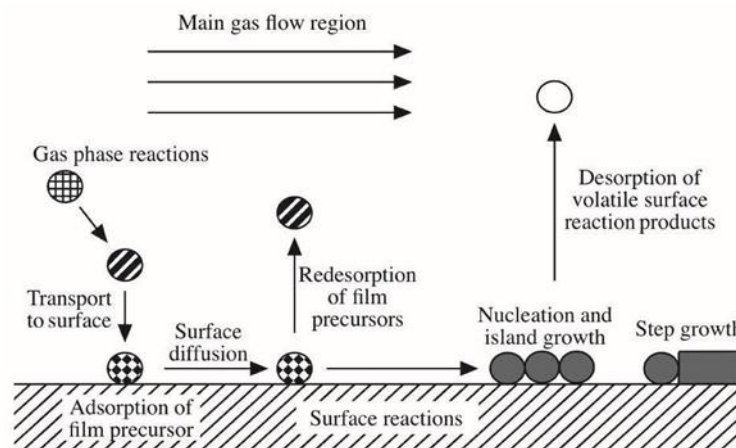


Figure 1.20 : Principe de croissance par EPVOM [129]. Les molécules organométalliques arrivent en phase gazeuse jusqu'à être adsorbées sur la surface où elles diffusent vers un site de nucléation. Les précurseurs désorbent de la surface par pyrolyse et les éléments métalliques ainsi déposés nucléent et forment des îlots cristallins.



avantage de cette méthode de croissance utilisant des gaz précurseurs est sa compatibilité avec les masques à fort rapport d'aspect (hauteur/ouverture).

Cependant, dans le cas d'une croissance sélective, le mécanisme de l'épitaxie traditionnelle est perturbé par la présence du masque avec, pour une même température, des mécanismes de croissance différents sur le semiconducteur et sur le masque. En effet, la surface semiconductrice est plus réactive que celle du diélectrique, ce qui favorise la décomposition des précurseurs et entraîne la nucléation sur le cristal.

### III.2.2 Croissance sélective par confinement diélectrique

#### a) ART (*Aspect-Ratio Trapping*)

La recherche de solutions pour limiter l'impact des dislocations émergentes dans le cas de croissances désadaptées en maille a conduit au développement de techniques de fabrication de structures permettant le confinement des défauts émergents. L'amincissement épitaxial (*epitaxial necking*), par exemple, consiste en une gravure localisée du substrat afin de former des plateaux de petites largeurs permettant de limiter la surface épitaxiée <sup>[55],[56]</sup>. Plus récemment, la méthode de croissance par piégeage par rapport d'aspect (ART) utilise la croissance sélective pour atteindre cet objectif. Le but premier de cette approche était la réalisation sur substrat Si d'épitaxies de matériaux en désaccord de mailles (Ge, GaAs,...), en croissance localisée pour la fabrication de substrats virtuels en continuant la croissance par-delà l'épaisseur du masque.

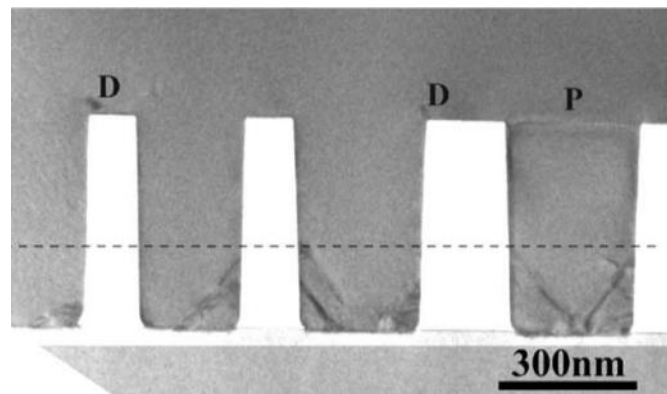


Figure 1.21 : Image TEM de la coupe d'une croissance de GaAs dans des tranchées de SiO<sub>2</sub>. Les dislocations sont visibles dans le fond des tranchées, et des défauts de coalescence sont visibles sur le haut des structures diélectriques (D) ainsi que des défauts planaires (P) <sup>[130]</sup>.

Une couche de SiO<sub>2</sub> est d'abord déposée sur la surface d'un substrat Si puis gravée localement après une étape de lithographie. Les ouvertures dans le masque sont suffisamment profondes pour contenir les dislocations émergeant d'une relaxation plastique du matériau à l'interface avec le substrat. Le développement de substrats virtuels est cependant limité par la présence de défauts de coalescence en surface du masque (Figure 1.21). On peut toutefois noter la réalisation d'un MOSFET GaAs:n sur substrat virtuel Ge:p et buffer GaAs:p à partir d'un substrat Si <sup>[64]</sup>.

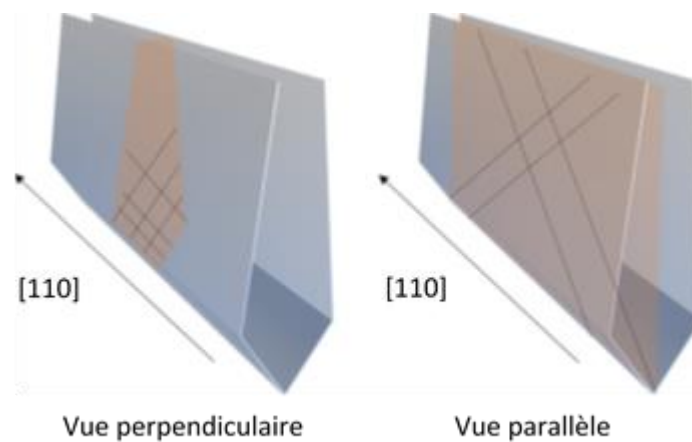


Figure 1.22 : Croissance sélective de matériaux III-V sur Si dans des tranchées. On peut voir avec la vue perpendiculaire un confinement des défauts orientés (111) créés depuis l'interface III-V/Si. La vue parallèle montre en revanche un propagation des défauts suivant la direction de la tranchée jusque la surface <sup>[131]</sup>.

Une autre méthode de réalisation du masque existe : l'utilisation de tranchées peu profondes pour l'isolation ou STI (*Shallow-Trench-Isolation*). Cette technique est empruntée directement des méthodes de fabrication CMOS où elle est utilisée pour isoler les composants entre eux et éviter les courants de fuite. Le substrat Si est recouvert de couches de SiO<sub>x</sub> et de SiN. Après lithographie, des tranchées sont réalisées par gravure. Un dépôt d'oxyde est ensuite effectué pour remplir la tranchée avant de polir l'échantillon pour uniformiser la surface. Le SiN<sub>x</sub> est ensuite retiré ainsi que la petite épaisseur d'oxyde en surface pour atteindre le Si. Cette technique pour la croissance sélective a d'abord été utilisée pour la réalisation de substrats virtuels Ge sur Si à l'IMEC <sup>[65]</sup> avant de susciter un intérêt pour l'élaboration de structures fines en réduisant l'écart entre deux zones isolantes et en formant des tranchées. La finesse des structures et le haut rapport d'aspect des tranchées permettent de confiner les défauts à la base de la structure. Ces défauts peuvent être également limités par la mise en forme d'un fond de croissance en V (V-shape) suivant les facettes {111} du silicium <sup>[66]</sup>. Des matériaux comme le GaAs ont plus de facilités à nucléer sur ces facettes, les dislocations dues au désaccord de maille apparaissant parallèlement à ces plans peuvent être confinées et le démarrage de la croissance sur des surfaces (111) permet de limiter l'apparition de domaines d'antiphase. Le défi réside ici dans le confinement des dislocations parallèles à la tranchée (Figure 1.22). Pour accommoder le désaccord de maille, il est possible d'optimiser les conditions de nucléation <sup>[67]</sup>, ou de déposer une couche tampon d'un matériau avec un paramètre de maille intermédiaire ou similaire (Ge

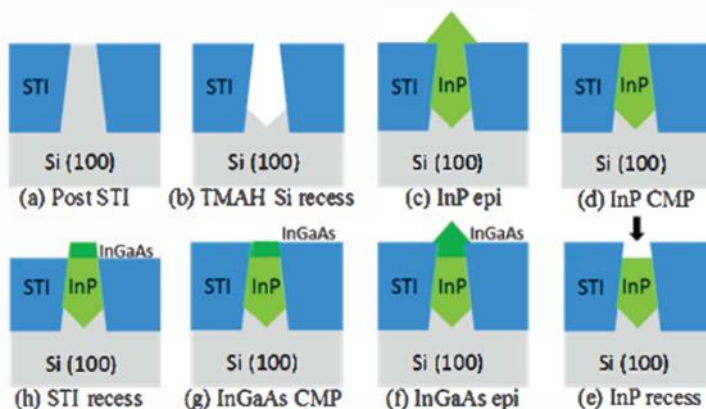


Figure 1.23 : Procédé de création de canal InGaAs grâce à des STI. Après dépôt des STI sur substrat Si, le silicium est gravé pour former une tranchée. De là, une première croissance d'une couche tampon d'InP a lieu pour remplir la tranchée. L'échantillon est poli, et l'InP gravé sur une fine épaisseur. S'en suit une croissance d'InGaAs dans les ouvertures ainsi formées, puis un polissage de l'InGaAs et enfin une gravure des STI pour faire ressortir le canal à la surface de l'échantillon. <sup>[71]</sup>

pour InP<sup>[68]–[70]</sup>, InP pour InGaAs<sup>[71],[72]</sup>). Cette méthode de fabrication a permis la création de lasers<sup>[73]</sup>, mais aussi de composants électroniques. N. Waldron et ses collaborateurs ont élaboré par cette technique un transistor FinFET. Par de multiples étapes de polissage de la surface, ils ont réalisé un canal InGaAs de 55nm de largeur à partir d’une tranchée d’InP sur Si<sup>[71]</sup> (Figure 1.23). L’InP est ici également dopé pour éviter les fuites à travers le substrat<sup>[72]</sup>.

*b) TASE (Template-Assisted Selective Epitaxy)*

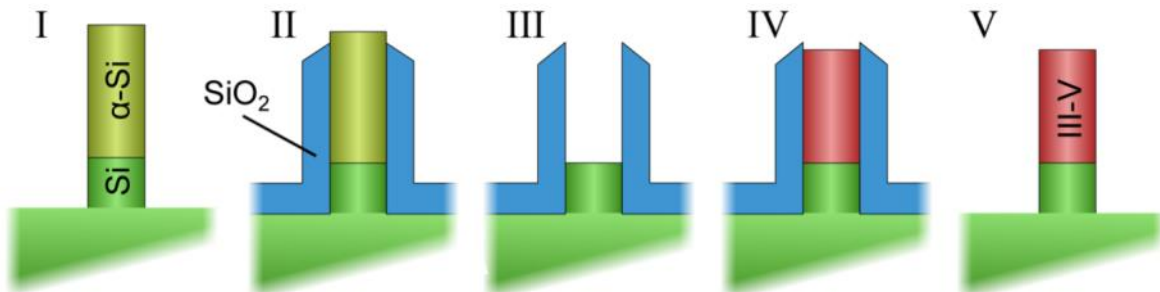


Figure 1.24 : Illustrations d’étapes de fabrication de conteneurs pour croissance sélective verticale sur un substrat d’orientation quelconque<sup>[75]</sup>. (I) Un gabarit de matériau sacrificiel est mis en forme sur le substrat. (II) Du SiO<sub>2</sub> est déposé sur la surface et une ouverture est créée sur le haut de la structure. (III) Le matériau sacrificiel est gravé, formant ainsi le conteneur. (IV) La croissance de matériau III-V a lieu dans l’ouverture et le cristal remplit le conteneur. (V) Le conteneur est gravé pour ne laisser que le nanopilier.

Comme vu précédemment, la croissance de structures verticales se fait préférentiellement dans la direction (111)B. IBM travaille depuis plusieurs années sur des manières de forcer la croissance dans une direction souhaitée, qu’importe l’orientation cristalline de substrat<sup>[74]</sup>. La dernière solution trouvée leur permettant l’élaboration de nanostructures 1D est l’épitaxie sélective confinée (TASE). Le principe de cette technique consiste en la croissance du semiconducteur à l’intérieur d’un moule en SiO<sub>2</sub> contenant un germe de silicium cristallin. Des premiers tests ont été réalisés dans le but de faire croître des nanopiliers verticaux quelle que soit l’orientation cristallographique de la surface<sup>[75]</sup> (Figure 1.24 et Figure 1.25). Si la direction cristallographique du substrat n’a pas d’incidence sur la direction de croissance, elle a tout de même un effet sur la terminaison des nanopiliers. Il a été observé que lorsque la croissance permet au cristal de sortir du guide diélectrique, celui-ci

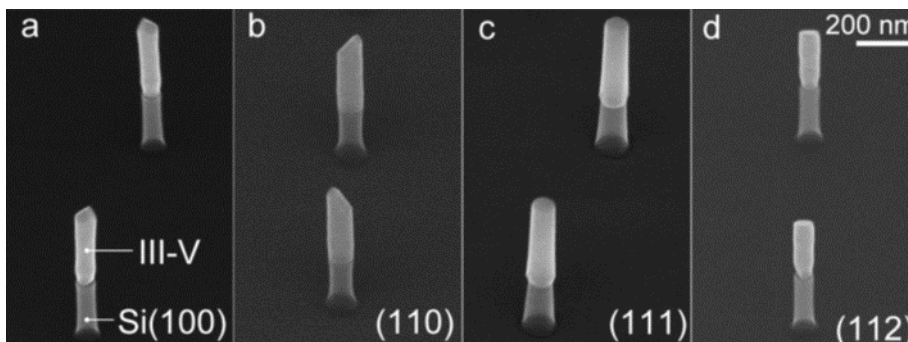


Figure 1.25 : Images MEB de nanopiliers InAs faits par TASE sur des substrats silicium orientés (a) [100], (b) [110], (c) [111] et (d) [112].<sup>[75]</sup>



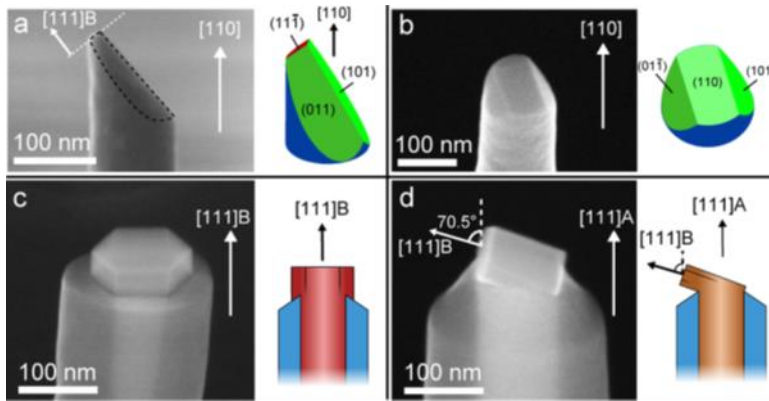


Figure 1.26 : Images MEB et représentations schématiques de terminaisons de nanofils InAs faits par TASE sur substrats silicium orientés (a-b) [110], (c) [111]B et (d) [111]A [75]. Pour les substrats suivant [110], la majorité des nanofils est terminée comme représenté en (a). La représentation en (b) ne concerne que 10 à 15% des nanofils.

poursuit sa croissance en privilégiant le développement des facettes de plus faible énergie, donc dans certains cas une croissance suivant la direction [111]B (Figure 1.26).

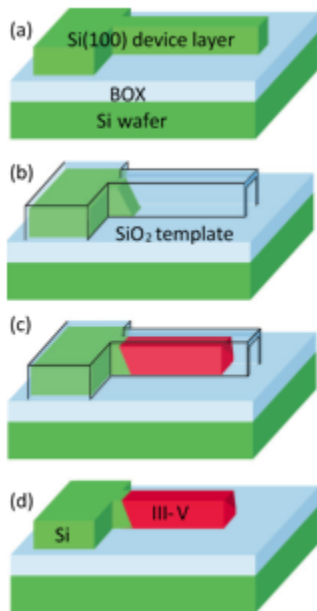


Figure 1.27 : Méthode de fabrication de structures planaires par TASE [76]

Il est également possible de réaliser des nanostructures planaires par cette méthode. Cependant, afin de réduire l'interface entre la structure et le substrat, la croissance a lieu sur diélectrique [76]. Partant d'un substrat SOI, la couche de silicium en surface est structurée pour servir de gabarit et de catalyseur (Figure 1.27a). 30 nm de SiO<sub>2</sub> sont déposés sur la surface par ALD et gravés localement sur une extrémité du gabarit. Le silicium est en partie gravé chimiquement à partir d'une petite ouverture dans le masque pour obtenir des facettes orientées {111} (Figure 1.27b). La croissance a ensuite lieu dans des conditions de sélectivité par MOCVD, ce qui permet la formation d'un cristal III-V depuis le silicium et confiné dans la coquille de SiO<sub>2</sub> (Figure 1.27c). Enfin, la coquille est retirée par attaque HF pour révéler la structure sur le diélectrique (Figure 1.27d).

Cette méthode permet de fabriquer des structures planaires de toutes formes définissables par gravure du silicium.

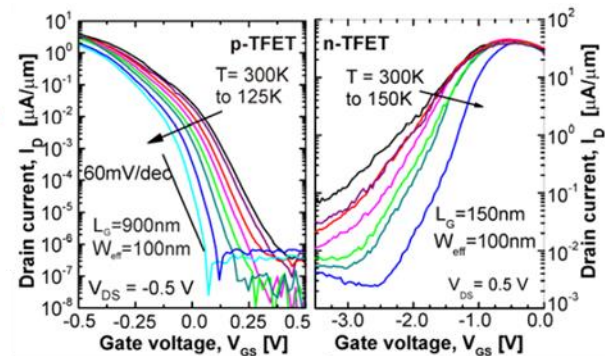
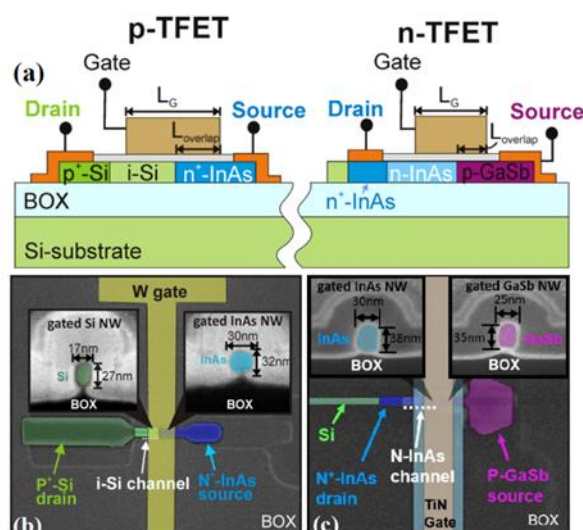


Figure 1.28 : Représentation schématique (a) et images MEB (b-c) de TFETs de type p et type n ainsi que leurs caractéristiques  $I_d(V_{gs})$  avec variation de la température [78]

On peut donc aisément réaliser des rétrécissements ou élargissements de sections de nanofils, des structures croisées ou parallèles [77]. Des structures de Hall ont été réalisées ainsi et une mobilité d'électrons de  $5400 \text{ cm}^2/\text{V}\cdot\text{s}$  a été rapportée sur une structure InAs de 23 nm d'épaisseur et 95 nm de large. En revanche, le cristal obtenu présente de nombreuses fautes d'empilement.

Des études ont également été menées sur la réalisation d'hétérojonctions planaires pour la fabrication de TFETs [78] de type n et p grâce à, respectivement, des jonctions InAs:n+/InAs:n/GaSb:p et Si:p+/Si:nid/InAs:n+. Il en résulte des pentes sous le seuil de 1,4V/décade pour le n-TFET et 80mV/décade pour le p-TFET (Figure 1.28).

Enfin, la possibilité de créer des structures croisées à très petite échelle permet de réaliser des composants à base d'InAs dont les caractéristiques  $I_d(V_g)$  laissent apparaître des plateaux de conductances, témoins d'un transport uni-dimensionnel quasi-balistique [79].

### III.2.3 Croissance sélective libre (CSL)

#### c) Structures verticales

L'épitaxie sélective permet aussi de localiser et de dimensionner des nanopiliers uniquement grâce aux ouvertures dans un masque diélectrique. À la différence de l'ART, il n'est pas nécessaire d'avoir ici un masque épais : les nanopiliers étant en général assez fins, la relaxation élastique du matériau limite l'apparition de dislocations à l'interface nanopiliers-substrat. Toutes les croissances de nanofils réalisées par VLS sont faisables par cette méthode [80],[81]. De ce fait, la croissance de nanopiliers verticaux se fait sur substrat [111]B (Figure 1.29).

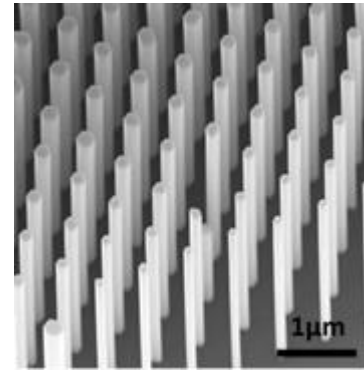


Figure 1.29 : Image MEB d'un réseau de nanopiliers GaAs sur substrat GaAs(111)B par croissance sélective [80].

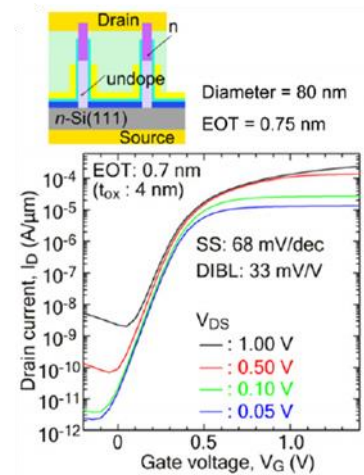


Figure 1.30 : Schéma de coupe et caractéristique  $I_d(V_{gs})$  d'un MOSFET verticale  $\text{InGaAs:n/InGaAs/Si:n}$  avec un canal de 80 nm de diamètre. Le composant présente une pente sous le seuil de 68 mV/décade. [84]

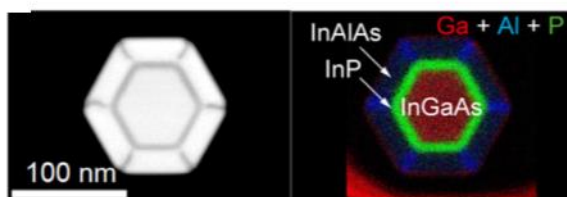
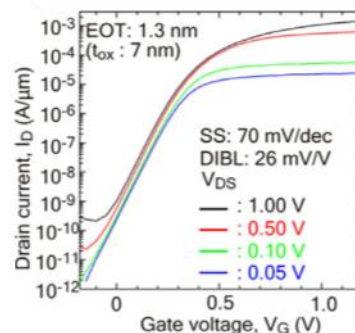


Figure 1.31 : Images STEM et EDX de la section d'une structure de type CMS, et sa caractéristique  $I_d(V_{gs})$ . [85]



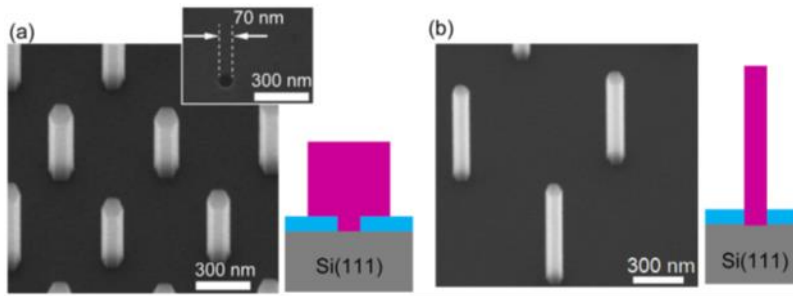


Figure 1.32 : Images MEB de fils InGaAs verticaux sur Si<sup>[84]</sup>. L'ajout de Zn comme dopant durant la croissance réduit la longueur de diffusion des éléments III, provoquant une croissance latérale de la structure (a). Pour pallier ce problème la température de croissance est augmentée de 20°C (b).

Ce procédé a d'abord été utilisé par l'équipe de recherche de T. Fukui (Université d'Hokkaido) pour réaliser des cristaux photoniques par croissance sélective verticale par EPVOM<sup>[82]</sup>. Le développement de cette technique a permis ensuite d'obtenir des nanopiliers de GaAs et d'InGaAs de 50nm de diamètre pour une longueur de 6  $\mu\text{m}$  en 2004<sup>[83]</sup>. Après amélioration de l'incorporation des dopants et réduction de l'épaisseur d'oxyde de grille, un MOSFET InGaAs:n/InGaAs/Si:n avec une pente sous le seuil minimale de 68 mV/décade a été démontré (Figure 1.30). Le courant de drain maximal de 0,07 mA/ $\mu\text{m}$  obtenu pour une tension drain-source de 0,5 V est cependant insuffisant pour l'électronique numérique faible consommation (0,66 mA/ $\mu\text{m}$  prévus d'ici 2026 à l'époque des travaux)<sup>[84]</sup>. Afin d'améliorer ce courant, des MOSFETs avec une structure de type CMS (core-multishells) passivant la couche extérieure ont été réalisés (Figure 1.31). Au cœur, toujours en InGaAs, s'ajoute une coquille composée d'une couche InP et d'une superposition de couches d'AlInAs formant une structure à modulation de dopage. Une couche d'InGaAs est déposée en surface pour protéger l'AlInAs de l'oxydation. L'ajout de cette coquille affecte peu la pente sous le seuil (70 mV/dec) mais permet d'atteindre un courant de drain de 0,43mA/ $\mu\text{m}$ <sup>[85]</sup>.

Ce même groupe a mené des travaux sur le développement de TFETs InAs sur substrats Si dopés Zn<sup>[84]</sup> (Figure 1.32) et obtenu une pente sous le seuil de 21 mV/décade pour un rapport  $I_{\text{on}}/I_{\text{off}}$  de  $10^6$  (Figure 1.33)<sup>[86]</sup>

Il est également possible d'élaborer des hétérostructures axiales au sein des nanopiliers par cette méthode comme en attestent les structures InAsP/InAs(Sb)/InAsP<sup>[87]</sup> ou GaAs/InGaAs avec coquille InGaP<sup>[88]</sup> réalisées par le groupe de D. Huffaker à l'Université de Californie pour des applications essentiellement optiques (lasers<sup>[88]</sup> et boîtes quantiques<sup>[89]</sup>).

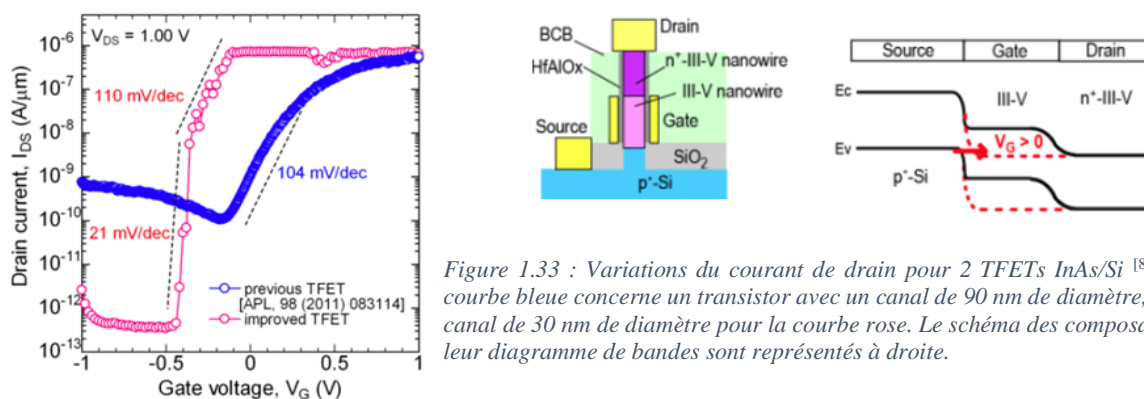


Figure 1.33 : Variations du courant de drain pour 2 TFETs InAs/Si<sup>[86]</sup> : la courbe bleue concerne un transistor avec un canal de 90 nm de diamètre, et un canal de 30 nm de diamètre pour la courbe rose. Le schéma des composants et leur diagramme de bandes sont représentés à droite.



d) Croissance sélective de nanostructures planaires avec masque HSQ

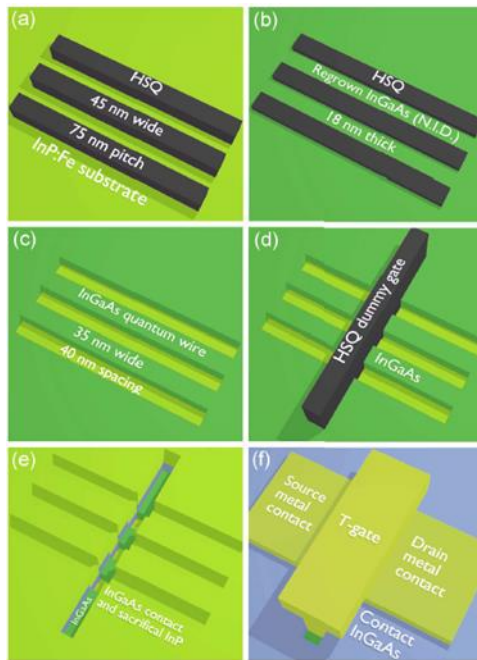


Figure 1.34 : Méthode de fabrication de MuGFETs par nano-impresseion de HSQ <sup>[90]</sup>

La résine HSQ est une résine électronique négative aux propriétés étonnantes. Outre le fait qu'elle devienne diélectrique après développement, elle permet la réalisation de plots très fins avec un fort rapport d'aspect. Une équipe de recherche de l'université de Lund a choisi d'utiliser cette résine comme masque de croissance pour la réalisation de composants planaires.

Le premier de ces composants fut un FinFET InGaAs à multigrille (MuGFET) <sup>[90]</sup>. Des plots de HSQ sont lithographiés sur la surface d'un substrat InP semi-isolant (Figure 1.34.a) de sorte à former un canal nanofilaire de 35nm de large par croissance localisée (Figure 1.34.b). Après le dépôt d'InGaAs, la HSQ est retirée par une solution d'acide fluorhydrique tamponnée (BOE) (Figure 1.34.c). Un autre plot de HSQ est ensuite déposé perpendiculairement aux nanofils (Figure 1.34.d) de sorte à empêcher la croissance d'InGaAs dopé et d'une couche d'InP sacrificiel sur une longueur très courte du canal. Après nettoyage de la HSQ (Figure 1.34.e), de l'Al<sub>2</sub>O<sub>3</sub> est déposé par ALD, puis le contact de grille est métallisé aboutissant à une longueur de grille de 32 nm. L'InP est gravé sélectivement pour déposer les contacts de drain et de source, et le composant est isolé par gravure d'un mesa (Figure 1.34.f). Un tel composant possédant 100 nanofils en parallèle avec une longueur de grille de 200 nm présente une pente sous le seuil de 85 mV/décade à V<sub>ds</sub> = 0,05 V.

Un composant à fil unique d'In<sub>0.85</sub>Ga<sub>0.15</sub>As a été réalisé pour la caractérisation du matériau <sup>[91]</sup>. Après optimisation du procédé technologique, le FinFET obtenu possède un canal de 28 nm de large sur 10 nm d'épaisseur pour une longueur de grille de 50 nm. Il présente une

Un composant à fil unique d'In<sub>0.85</sub>Ga<sub>0.15</sub>As a été réalisé pour la caractérisation du matériau <sup>[91]</sup>. Après optimisation du procédé technologique, le FinFET obtenu possède un canal de 28 nm de large sur 10 nm d'épaisseur pour une longueur de grille de 50 nm. Il présente une

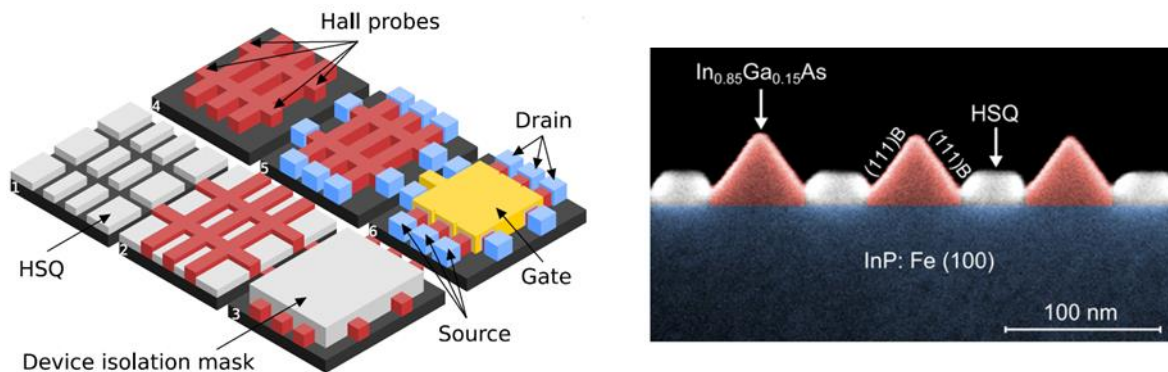


Figure 1.35 : Représentation schématique du procédé de fabrication des structures de Hall à gauche, et image MEB colorisée de la section de la structure épitaxiée (à droite) <sup>[93]</sup>. Etape 1 : dépôt et lithographie de plots de HSQ ; étape 2 : croissance localisée d'InGaAs ; étape 3 : dépôt de HSQ sur les structures et gravure du reste de croissance ; étape 4 : gravure du HSQ ; étape 5 : dépôt des contacts drain et source ; étape 6 : dépôt d'Al<sub>2</sub>O<sub>3</sub> et HfO<sub>2</sub> par ALD et du contact de grille par pulvérisation.

mobilité électronique de  $3300 \text{ cm}^2/\text{V}\cdot\text{s}$  déduite du libre parcours moyen à température ambiante. De plus, des plateaux de conductance sont visibles à  $T = 9 \text{ K}$ . Enfin, un autre FinFET a été élaboré afin d'optimiser le courant ON <sup>[92]</sup>. La longueur de grille optimale pour ce composant est de  $75 \text{ nm}$ . En dessous de cette longueur, des effets de canal court apparaissent, dégradant la pente sous le seuil. Il a été relevé un courant ON de  $100 \text{ nA}/\mu\text{m}$  et une pente sous le seuil de  $77 \text{ mV}/\text{décade}$  à  $V_{ds} = 0,5 \text{ V}$  pour un canal de  $28 \text{ nm}$  de large et  $8 \text{ nm}$  d'épaisseur.

Pour mesurer le transport électronique dans ce matériau, des structures  $\text{In}_{0,85}\text{Ga}_{0,15}\text{As}$  de type ponts de Hall ont été épitaxiées sélectivement sur  $\text{InP}$  semi-isolant (Figure 1.35) <sup>[93]</sup>. Les mesures révèlent une mobilité de Hall de  $1000 \text{ cm}^2/\text{V}\cdot\text{s}$  à température ambiante pour des largeurs de nanofils supérieures à  $200 \text{ nm}$ . En dessous, la mobilité chute brutalement. Le dopage est quant à lui très peu affecté par la variation de dimensions.

### III.3 Croissance sélective de nanostructures III-V par épitaxie par jets moléculaires (EJM)

L'épitaxie par jets moléculaires est réputée pour produire des cristaux de plus grande pureté par rapport à l'EPVOM et donc susceptible d'améliorer les performances des composants électroniques. En effet, la croissance ne se fait pas grâce à la décomposition de précurseurs organométalliques sur le cristal, mais par un apport direct d'éléments purs évaporés depuis des creusets (EJM à sources solides) ou émis depuis un craqueur (EJM à sources gazeuses). De ce fait, il ne peut y avoir de pollution du cristal par des résidus de la décomposition de précurseurs. L'environnement de croissance sous ultraviolette assure le transport des éléments jusqu'à la surface du substrat en régime moléculaire.

Pour que la croissance de composés III-V se produise en EJM, il faut respecter la règle des 3 températures <sup>[94]</sup> :  $T^{\circ}_{\text{élément V}} < T^{\circ}_{\text{échantillon}} < T^{\circ}_{\text{élément III}}$ . Dans ces conditions, la température de l'échantillon permet à l'élément III de se condenser à la surface. Les éléments V s'incorporent pour former des liaisons III-V au rythme de la condensation des éléments III, formant un cristal dont l'épaisseur dépendra de la vitesse de dépôt de l'élément III.

L'absence de décomposition de précurseurs rend plus difficile la croissance sélective par rapport à l'EPVOM. Les principaux paramètres qui permettent d'assurer la sélectivité de la croissance sont la température et la vitesse de croissance. S. R. J. Brueck (Université du Nouveau Mexique) et ses collaborateurs ont expérimenté la croissance sélective de structures planaires en GaAs. Une partie de leurs travaux est consacrée à l'étude de nanocristaux localisés dans les ouvertures d'un masque  $\text{SiO}_2$  de  $40 \text{ nm}$  d'épaisseur. Une étude de la sélectivité de croissance a d'abord été effectuée sur un substrat GaAs à  $0,1$  monocouche par seconde avec un masque diélectrique sans ouverture (Figure 1.36) <sup>[95]</sup>. Il a été observé un recouvrement total du masque jusque  $570 \text{ }^{\circ}\text{C}$ . Au-delà, la quantité de GaAs sur le masque diminue très rapidement. Il en est déduit une température de désorption du gallium de  $570 \text{ }^{\circ}\text{C}$  sur  $\text{SiO}_2$ . Sachant que le point de sublimation congruente de GaAs est de  $630 \text{ }^{\circ}\text{C}$ , la croissance sélective se produit pour une température  $570^{\circ}\text{C} < T < 630^{\circ}\text{C}$  avec une sélectivité optimale obtenue pour une température de croissance entre  $615$  et  $630 \text{ }^{\circ}\text{C}$ .

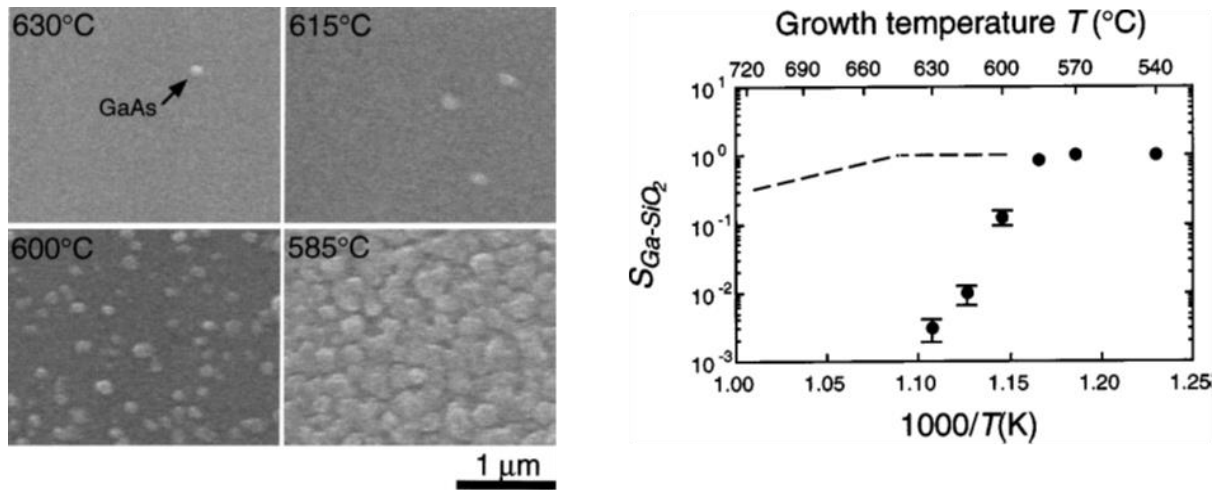


Figure 1.36 : Images MEB de croissances de GaAs sur substrat GaAs(001) avec masque SiO<sub>2</sub> sans ouvertures (à gauche) et diagramme de la part de surface de GaAs recouvrant le masque en fonction de la température de croissance (à droite) [95]. La ligne en pointillés représente le taux de recouvrement de GaAs dans le cas d'une croissance sur GaAs.

La réévaporation des éléments III augmente avec la température jusqu'à une valeur pour laquelle l'élément III ne se dépose plus sur le masque, mais bénéficie encore de liaisons cristallines fortes avec le substrat pour une croissance dans les ouvertures du masque [96] (Figure 1.37).

En plus des éléments discutés au § III.1, la morphologie des nanostructures épitaxiées dépend fortement de l'orientation et de la géométrie de la surface de l'échantillon à cause de la directivité des flux moléculaires en EJM. Si on néglige la diffusion des adatoms en surface de l'échantillon, l'alimentation des différentes facettes est directement impactée par l'orientation des cellules par rapport à ces facettes, même si la rotation de l'échantillon pendant la croissance permet d'atténuer cet effet. De même, la géométrie du masque de croissance et la densité des ouvertures peuvent engendrer des effets d'ombrage lorsque l'épaisseur des structures épitaxiées devient équivalente à l'espacement entre les ouvertures. De ce fait, un rapport d'aspect trop important entre l'épaisseur du masque diélectrique et la largeur des ouvertures peut conduire à l'absence totale de croissance dans les ouvertures.

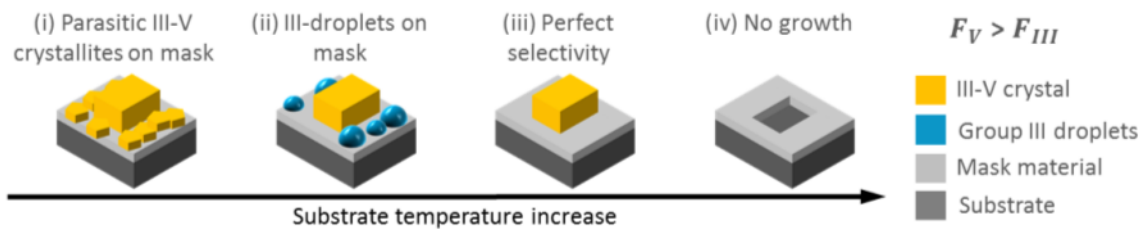


Figure 1.37 : Illustrations des effets de la température de l'échantillon sur la sélectivité du masque diélectrique lors d'une croissance par EJM pour un rapport de flux V/III constant [96]. À température trop basse (i), la nucléation de l'élément III se produit dans les ouvertures et sur la surface du masque, catalysant l'élément V et formant des cristaux également sur le masque. En augmentant la température (ii), celle-ci devient trop haute pour que le matériau III-V se cristallise sur la surface amorphe et il ne forme plus que des gouttes métalliques III. L'élément III se réévapore avec la température grandissante jusqu'à ne plus adhérer sur le masque (iii). Jusqu'à présent, la croissance avait lieu sur le substrat, dans les ouvertures, assistée par des fortes liaisons cristallines (i-iii), mais une température de croissance trop élevée favoriserait la réévaporation des éléments III de la surface (iv)

## III.3.1 Croissance de matériaux binaires

## a) Structures verticales

L'EJM sélective peut également conduire à la croissance de nanofils verticaux. L'équipe de G. Koblmüller (Université Technique de Munich) a ainsi élaboré des réseaux de nanofils verticaux en InAs sur substrat Si(111) avec un masque de croissance en SiO<sub>2</sub> de 18 nm d'épaisseur<sup>[97]</sup>. La sélectivité est obtenue pour une température de croissance comprise entre 480 et 510 °C pour une vitesse d'indium de 0,26 Å/s et un rapport As/In de 5,9 (Figure 1.38). Il a été observé que la taille des motifs du masque n'influe pas sur la vitesse de croissance, contrairement à l'espacement entre les motifs.

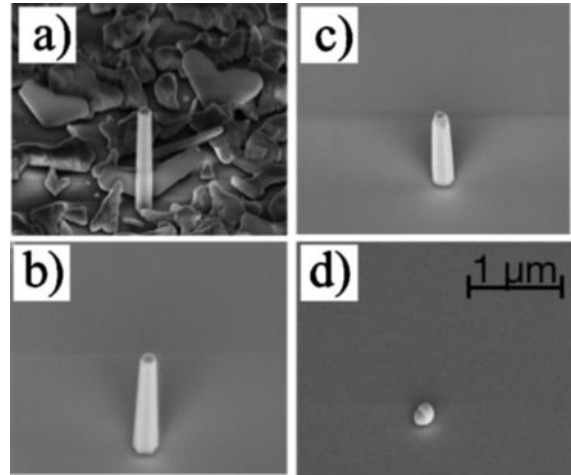


Figure 1.38 : Images MEB de la croissance d'InAs sur substrat Si(111) dans une ouverture de 80 nm de diamètre à une température de croissance de 460 °C (a), 480 °C (b), 505 °C (c) et 520 °C (d)<sup>[97]</sup>.

Les auteurs interprètent cette observation par une réduction de la surface du masque diélectrique conduisant de fait à une diminution de la surface de collection, considérant que l'indium arrivant sur le masque diffuse vers les ouvertures les plus proches. C'est principalement le diamètre (et non la longueur) des nanofils qui est ici impacté par ce phénomène (Figure 1.39). Des mesures optiques ont principalement été réalisées sur ces nanofils<sup>[98],[99]</sup>.

La croissance de nanofils GaAs verticaux par cette méthode a également été étudiée par le même groupe. Les atomes de gallium ayant des liaisons plus fortes que l'indium avec la surface du diélectrique, la sélectivité est obtenue pour une température supérieure (630 °C). L'influence du flux d'arsenic, à flux de gallium constant a été observée<sup>[100]</sup>. La Figure 1.40 montre qu'un faible flux d'arsenic conduit à la formation d'une goutte de gallium, catalysant ainsi la croissance : il ne s'agit donc plus d'une croissance purement sélective, mais d'une croissance VLS auto-catalysée. Dans ce cas, pour un temps de croissance fixe, la longueur et le diamètre des nanofils dépendent principalement du flux d'arsenic. En revanche, sous fort flux

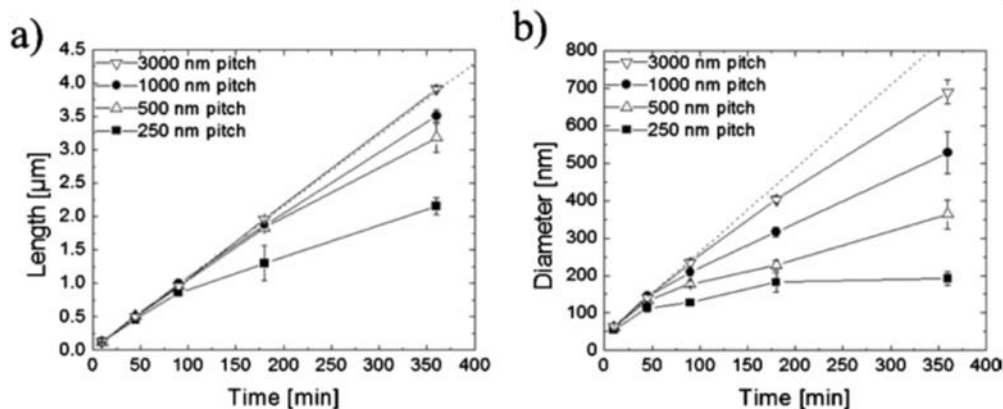


Figure 1.39 : Evolutions de la longueur (a) et du diamètre (b) de nanofils en fonction du temps de croissance pour des espacements entre ouvertures allant de 250 nm à 3 μm<sup>[97]</sup>.



d'arsenic, aucune goutte ne se forme et l'arséniure de gallium cristallise dans les ouvertures du masque. C'est dans ce cas le flux de gallium qui détermine la vitesse de croissance.

*b) Structures planaires*

Il est donc possible de réaliser des structures localisées sur le substrat par EJM sélective, des structures 0D, 1D par croissance hors plan du substrat, et même 1D planaires. En préparant le masque de sorte à former des ouvertures suivant des directions cristallographiques précises, la structure peut présenter des facettes continues sur toute sa longueur. Si la largeur des ouvertures est suffisamment petite, ces facettes suivent généralement la forme cristallographique d'équilibre. C'est ce qui a pu être observé à l'Université du Nouveau Mexique avec des structures GaAs sur GaAs(001) <sup>[101]</sup>, ainsi qu'à l'Institut d'Electronique, Micro-électronique et Nanotechnologie (IEMN) sur des homoépitaxies InP <sup>[102]</sup> (Figure 1.41) ou d'InAs sur substrat (001) <sup>[103]-[105]</sup>.

Il est également possible de jouer sur le rapport V/III pendant la croissance afin de modifier les énergies des surfaces et influencer sur la forme des nanostructures. Dans le cas d'InP par exemple, les facettes (111)B possèdent une énergie de surface supérieure à celle de la facette (001) à faible rapport P/In privilégiant la formation de celle-ci alors qu'à fort rapport P/In, la hiérarchie des énergies de facette s'inverse et la facette (001) tend à disparaître au profit des facettes (111)B (Figure 1.42).

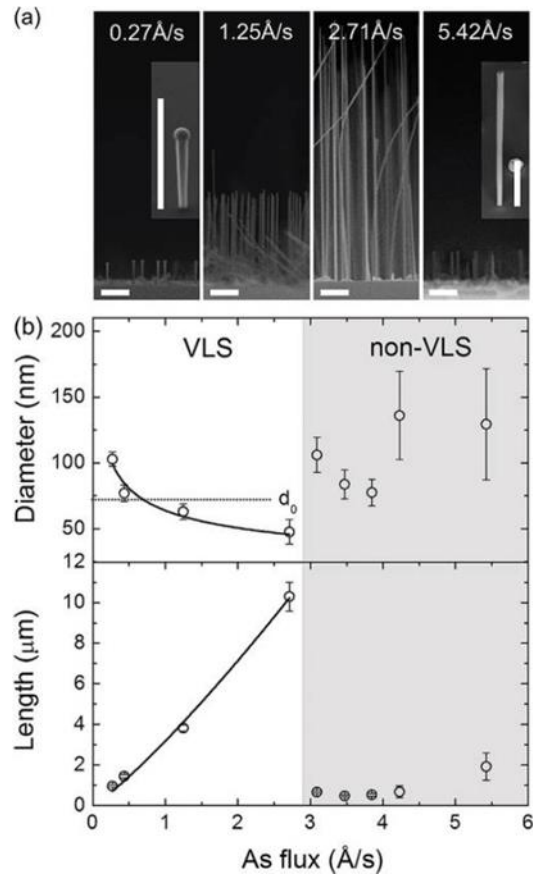


Figure 1.40 : (a) Images MEB de nanofils GaAs sur Si(111) dont la croissance a été réalisée sous différents flux d'arsenic pendant la même durée (l'échelle est de 1 µm). (b) Evolution de la longueur et du diamètre des nanofils en fonction du flux d'arsenic pour un même temps de croissance. <sup>[100]</sup>

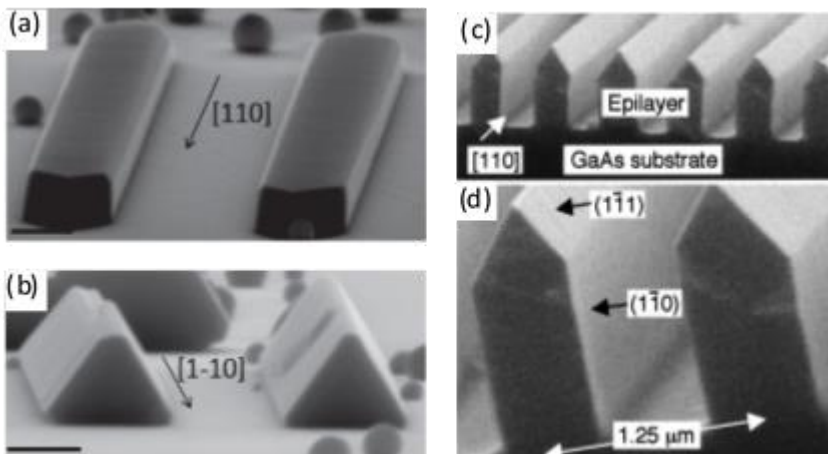


Figure 1.41 : Images MEB d'une croissance de 200 nm d'InP sur InP(001) avec des ouvertures dans le masque de 200 nm sur 4 µm (a-b) <sup>[102]</sup> et 2 µm de GaAs sur un substrat GaAs (001) avec masque SiO<sub>2</sub> de 1 µm de large (c-d) <sup>[101]</sup>. L'échelle sur les images a et b représente 200 nm.



## c) Nanostructures planaires en désaccord de maille

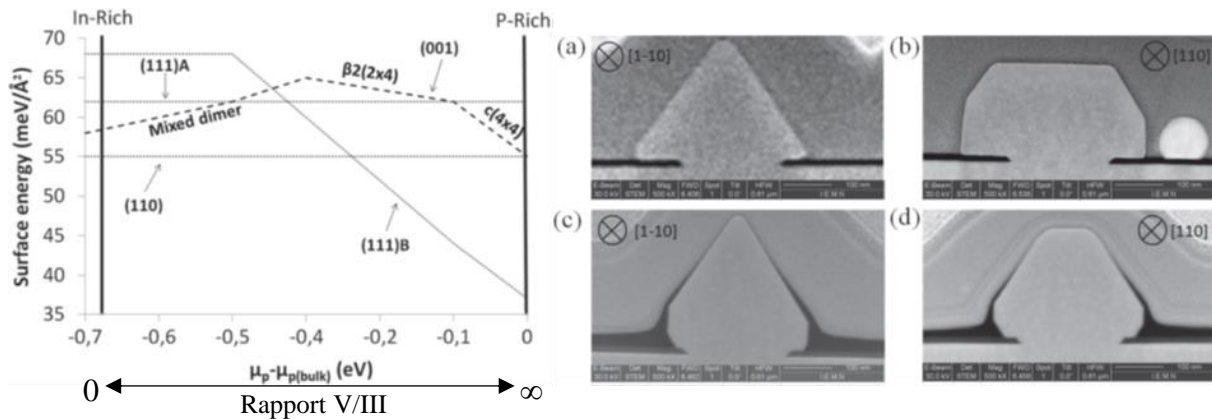


Figure 1.42 : Représentation des variations de l'énergie de surface de facettes d'une structure en InP en fonction du potentiel chimique du phosphore (à gauche) et images FIB-STEM de sections de croissances d'InP de 200nm dans des ouvertures de 200 nm de large pour des rapports V/III de 5 (a-b) et 70 (c-d).<sup>[102]</sup>

L'épitaxie sélective sur substrat GaAs(111)B a permis à l'équipe de A. Fontcuberta i Morral (Ecole Polytechnique Fédérale de Lausanne) d'obtenir des nanostructures en GaAs à fort rapport d'aspect étendues dans le plan du substrat<sup>[106]</sup>. Dans ce cas, le masque en SiO<sub>2</sub> possède des ouvertures suivant les directions  $\langle 11-2 \rangle$  et  $\langle 2-1-1 \rangle$  de 5  $\mu\text{m}$  de long et 100 nm de large. Les facettes verticales  $\{110\}$  n'apparaissent qu'à partir d'une certaine vitesse (0,5 Å/s) (Figure 1.43). Ces structures sont utilisées comme nanomembranes pour l'élaboration de nanofils InAs (Figure 1.44)<sup>[107]</sup>. La croissance est réalisée de suite après celles des nanomembranes par le changement d'élément III pour de l'indium. La formation d'un nanofil d'InAs se produit à 540 °C, uniquement sur l'arrête supérieure de la structure, au croisement des 2 facettes  $\{111\}$ B. Le nanofil de 50 nm de diamètre ainsi formé présente toutefois une interface graduelle d'InGaAs de 20nm d'épaisseur avec la nanomembrane. Des mesures de résistance linéique (TLM) et de magnétoconductance ont été faites sur des structures comprenant 34 nanofils parallèles (Figure 1.45). Les mesures de magnétoconduction à 1,5 K

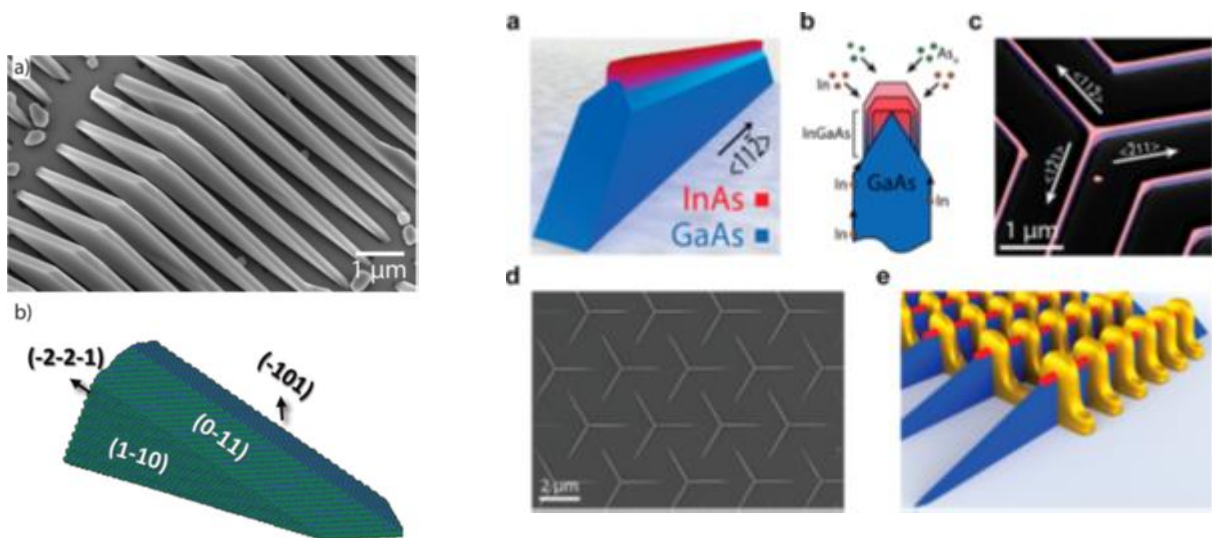


Figure 1.43 : Image TEM (a) et représentation 3D (b) d'une croissance localisée de GaAs sur GaAs(111)B.<sup>[106]</sup>

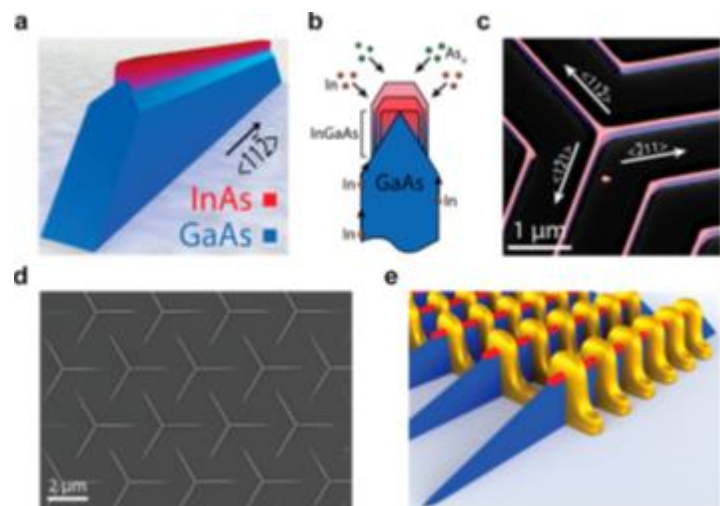


Figure 1.44 : Croissance de nanofils InAs sur nanomembranes GaAs<sup>[107]</sup>. (a) Modèle 3D de la structure. (b) Représentation de la croissance. (c-d) Images MEB des structures. L'image (c) est colorisée. (e) Modèle 3D des structures pour mesures de magnétotransport.

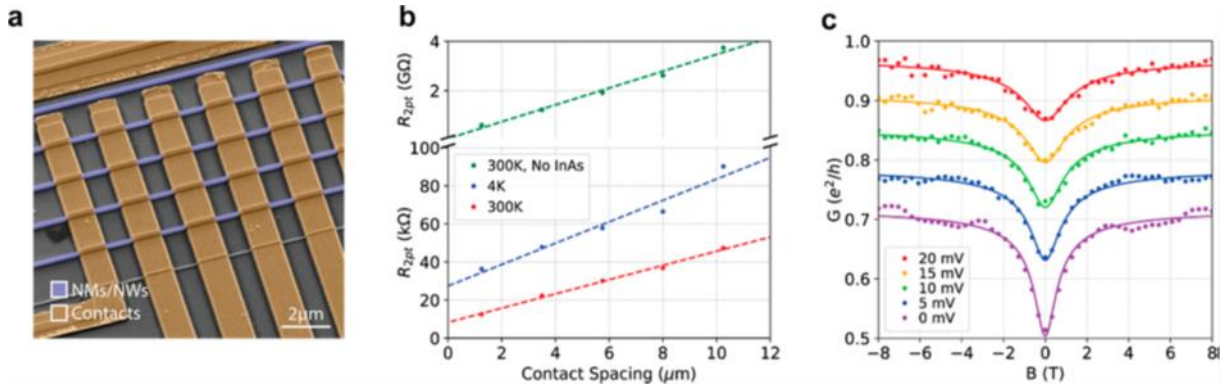


Figure 1.45 : (a) Image MEB colorisé d'un composant utilisé pour des mesures TLM et de magnétoconductance. Mesures TLM (b) et de magnétoconductance (c) d'un composant avec 34 nanofils. La longueur du composant est fixée à  $1,25 \mu\text{m}$  pour le dernier type de mesure.

confirment un confinement 1D dans la structure.

Plus récemment, P. Krogstrup et ses collaborateurs (Université de Copenhague) ont réalisé des nanostructures InAs directement sur substrat GaAs(001) et InP(001) <sup>[108],[109]</sup> (Figure 1.46). La croissance d'InAs est faite à  $500 \text{ }^\circ\text{C}$  pour une vitesse de  $0,28 \text{ \AA/s}$  sur InP et  $0,72 \text{ \AA/s}$  sur GaAs et un rapport de flux V/III de 10. Des mesures électriques sur ces structures ont révélé une faible réponse du canal à une commande par effet de champ, due aux défauts à l'interface nanostructure-substrat. Pour remédier à cela, une couche tampon en  $\text{GaAs}_{1-x}\text{Sb}_x$  de quelques nanomètres d'épaisseur a permis d'accommoder le paramètre de maille en variant la concentration d'antimoine. Le pincement est grandement amélioré pour une tension de grille négative. La mobilité d'effet de champ est déduite de la caractéristique de la conductance en fonction de la tension de grille et donne une valeur moyenne de  $5600 \text{ cm}^2/\text{V}\cdot\text{s}$  à 5K.

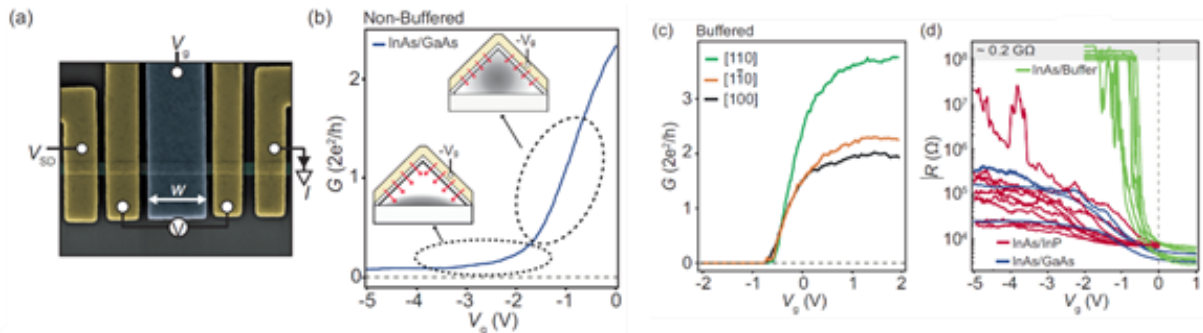


Figure 1.46 : (a) Image MEB colorisée d'une structure 4-pointes avec canal d'InAs. Les contacts sont en jaune et la grille en bleu. (b) Conductance  $G$  en fonction de la tension de grille  $V_g$  pour un nanofil InAs sur substrat GaAs sans couche tampon. Les 2 zones pointillées représentent le transport dans le canal (faible  $V_g$  négatif) et à l'interface InAs/GaAs ( $V_g$  plus négatif). (c) Conductance d'un nanofil avec couche tampon GaAs(Sb) pour des structures suivant [110], [1-10] et [100]. (d) Résistance du canal pour des nanofils InAs avec (vert) et sans (rouge et bleu) couche tampon. <sup>[108]</sup>

d) Croissance planaire de matériaux assistées par hydrogène atomique

Afin d'améliorer la sélectivité sur le masque, il est possible d'ajouter un flux d'hydrogène atomique lors de la croissance. L'effet de l'hydrogène atomique a pu être utilisé à l'IEMN dans le procédé d'élaboration d'hétérostructures localisées de GaSb sur substrat

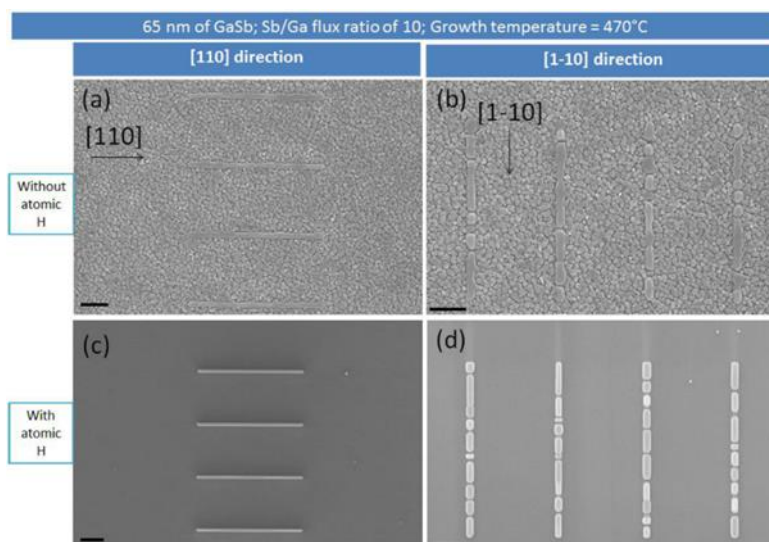


Figure 1.47 : Images MEB après des dépôts de GaSb à 470 °C assistés (c et d) ou non (a et b) par hydrogène atomique sur substrat GaAs(001) <sup>[103]</sup>. L'échelle est de 1

GaAs(001) <sup>[103]</sup>. L'effet de l'hydrogène atomique sera discuté dans le Chapitre 2. La sélectivité étant obtenue d'ordinaire autour de 600 °C pour le gallium, la croissance a pu être effectuée à 470 °C grâce à l'hydrogène atomique pour une vitesse de croissance de 0,1 monocouche par seconde (Figure 1.47).

L'utilisation des plots de GaSb comme nanosubstrats est possible. Un dépôt de 10 nm d'InAs sous hydrogène atomique, toujours à 470 °C, avec une vitesse de croissance de 0,2 monocouche par seconde et un rapport V/III de 5 <sup>[110]</sup> résulte en une croissance 2D sur la facette (001) des nanosubstrats (Figure 1.48).

La fabrication de ces nanosubstrats sacrificiels de GaSb a permis l'élaboration de MOSFETs à canaux nanofilaire planaires suspendus d'InAs <sup>[111],[112]</sup> (Figure 1.49).

L'hydrogène atomique permet donc la croissance sélective à une température de 470 °C, température bien inférieure aux températures pour lesquelles les éléments III se désorbent complètement sur SiO<sub>2</sub>.

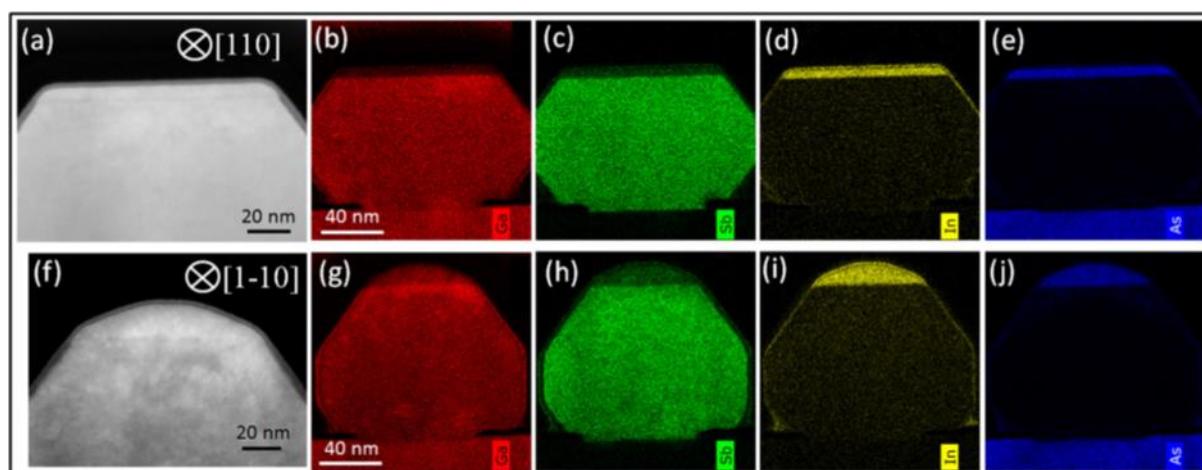


Figure 1.48 : Images TEM (a et f) et analyses EDX (b-e et g-j) de la coupe d'une croissance de 10 nm d'InAs sur une nanomembrane GaSb pour des structures suivant [110] (a-e) et [1-10] (f-j) <sup>[110]</sup>

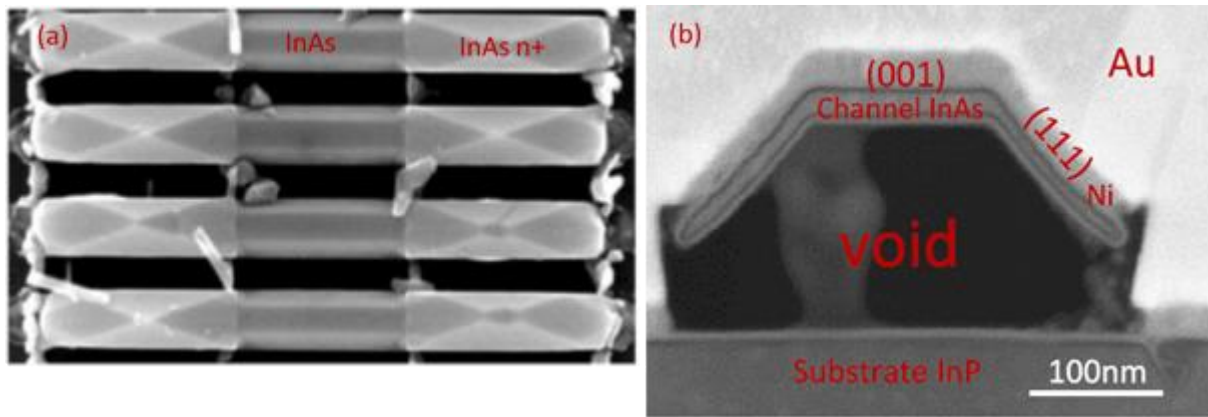


Figure 1.49 : (a) Image MEB du composant après gravure du masque HSQ et (b) image Fib-STEM de la section d'un canal InAs après gravure du support GaSb. <sup>[111]</sup>

### III.3.2 Croissance de matériaux ternaires

La croissance sélective de matériaux ternaires est plus délicate que pour les binaires. En effet, dans le cas d'InGaAs par exemple, les températures de désorption de l'indium et du gallium sur SiO<sub>2</sub> sont différentes. À la température où la désorption du gallium apparaît (> 580 °C), l'indium subit lui une forte réévaporation de la surface d'InGaAs.

#### a) Structures verticales

L'équipe de G. Koblmüller a étudié la croissance de nanofils d'InGaAs verticaux par épitaxie sélective sur substrat silicium (111) <sup>[113]</sup>. Pour une température de croissance de 550 °C, le rapport des flux indium et gallium fixe la concentration des éléments au sein de l'alliage mais influence également sur les dimensions des structures. De plus, des mesures de diffraction X (DRX) révèlent une différence entre le rapport des flux et la composition réelle du matériau. Seules des caractérisations optiques ont été rapportées.

#### b) MME (Metal modulation epitaxy)

Des croissances planaires d'InGaAs ont été réalisées à l'Université du Nouveau Mexique <sup>[114]</sup>. Afin d'obtenir une sélectivité acceptable pour le GaAs tout en maintenant une certaine précision dans le contrôle des flux et la vitesse de croissance, la croissance a été effectuée à 595 °C. Dans ces conditions, les mesures de photoluminescence et de diffraction de rayons X ont révélé la difficulté d'incorporer efficacement l'indium puisque sa concentration atteint 9,4% au maximum.



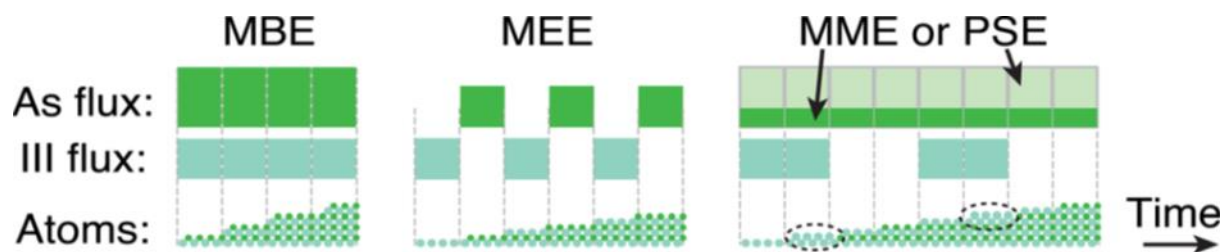


Figure 1.50 : Diagrammes des cycles de déposition pour une croissance EJM (MBE), MEE, MME ainsi que PSE (Periodic Supply Epitaxy) <sup>[115]</sup>. Les zones entourées représentent les couches III-III qui possèdent une très grande mobilité de surface pour les adatoms III.

Pour atteindre un taux d'indium supérieur, Wistey *et al.* (Université de Notre Dame) ont proposé deux méthodes de croissance épitaxiale d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  sélective autour d'un ruban en  $\text{SiO}_2$  <sup>[115]</sup> : l'épitaxie avec optimisation de mobilité (MEE : *migration-enhanced epitaxy*) et l'épitaxie par modulation de flux métalliques (MME : *metal modulation epitaxy*) (Figure 1.50). La MEE consiste à alterner les flux d'éléments III et V avec un rapport de flux de 1 de sorte à augmenter la longueur de diffusion des éléments III sur la surface <sup>[115],[116]</sup>. Par cette technique, une sélectivité est obtenue dès 540 °C. Il est remarqué cependant la présence de défauts sur les facettes le long du masque. À partir de ces résultats, la MME est étudiée pour réduire la largeur de ces facettes, problématiques pour des plots de contact <sup>[115],[117]</sup>. Dans cette méthode, le flux total d'éléments III est plus important que celui de l'élément V, mais il est modulé par une fermeture périodique des caches des cellules de gallium et d'indium, permettant d'éviter la formation de gouttes sur la surface tout en permettant une croissance homogène dans les ouvertures. La taille et l'orientation des facettes latérales sont contrôlées ici par le flux d'arsenic. Toutefois, à cette température de croissance, la surface de l'échantillon est trop chaude pour l'indium. Son évaporation doit être compensée par un flux incident plus important.

### c) Croissances planaires de matériaux assistées par hydrogène atomique

Dès les années 90, l'équipe de M. Kitamura (NEC Corporation) a étudié la croissance sélective d' $\text{InGaAs}$  sur  $\text{InP}(100)$  pour des applications optiques <sup>[118]</sup>. La croissance se produit dans des ouvertures en rubans de plusieurs micromètres de large à partir d'un masque en  $\text{SiO}_2$ . Une couche tampon d' $\text{InP}$  de quelques centaines de nanomètres est déposée sous un flux d'hydrogène atomique avec une température de croissance comprise entre 500 et 560 °C pour une vitesse de croissance de 1,17 Å/s. Dans ces conditions, on retrouve toutefois des cristaux sur le masque (Figure 1.51a). La caractérisation par effet Hall de couches épitaxiées avec et sans utilisation d'hydrogène atomique durant la croissance ne montrent aucune dégradation des performances par l'utilisation de cet élément. Des structures de type multi-puits quantiques  $\text{InGaAs-InP}$  ont également été élaborées. L' $\text{InGaAs}$  est déposé sur 75 Å, séparé par des couches d' $\text{InP}$  de 22 nm, toujours sous hydrogène atomique, mais entre 560 et 580 °C à 0,4 Å/s (Figure 1.51b).

L' $\text{InGaAs}$  n'a pas été étudié électriquement par d'autres méthodes de caractérisation dans ces conditions de croissance, que ce soit en croissance standard ou sélective de

microstructures. Nous étudierons dans les prochains chapitres les performances électriques de ce composé dans de larges structures de Hall ainsi que dans des nanostructures nanofilaires.

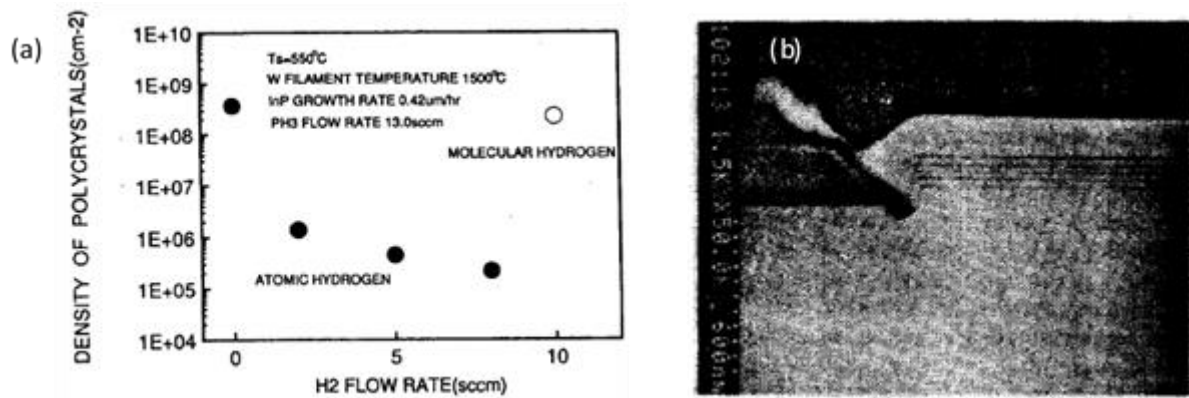


Figure 1.51 : (a) Graphe de la densité de polycristaux sur le masque diélectrique en fonction du flux d'hydrogène dans le cadre d'une croissance d'InP. (b) Image MEB d'une section de structure de type multi-puits quantiques InGaAs-InP. <sup>[118]</sup>



## IV. Méthodes de mesure de la mobilité électronique dans les structures

### IV.1 Mesures par effet Hall

Les mesures par effet Hall sont pratiquées pour connaître les propriétés électriques des matériaux grâce à un signal électrique traversant celui-ci lorsqu'il est soumis à un champ magnétique. De nombreuses publications concernent des mesures sur des structures millimétriques, mais très peu rendent compte de résultats sur des composants nanométriques du fait du très faible courant traversant ces structures (Tableau 1.1).

L'InAs possède une mobilité plus élevée que l'InGaAs dans les matériaux volumiques. Mais pour les nanostructures, les valeurs relevées sont plus proches les unes des autres. Les différences constatées peuvent provenir de différentes densités d'impuretés ou de défauts dans les matériaux.

Auteurs	Année	Institution	Composant	Méthode de fabrication	Matériau	Mobilité (cm <sup>2</sup> /V.s)	Densité de porteurs (cm <sup>-2</sup> )	Référence
A.V. Thathachary <i>et al.</i>	2014	Université de l'Etat de Pennsylvanie	Réseaux croisés de nanofils	Procédé Top-down	In <sub>0,7</sub> Ga <sub>0,3</sub> As (10nm d'épaisseur et 80nm de large)	6000 à 300K	2,5 x 10 <sup>12</sup>	[10]
H. Schmid <i>et al.</i>	2015	IBM	Structures de Van der Pauw	TASE	InAs (23nm d'épaisseur et 95nm de large)	5400 à 300K	9,1 x 10 <sup>11</sup>	[76]
J. Gooth <i>et al.</i>	2017	IBM	Pont de Hall	TASE	InAs (28nm d'épaisseur et 40nm de large)	6200 à 300K	Non-divulgué	[79]
F. Lindelöw <i>et al.</i>	2017	Université de Lund	Pont de Hall	EPVOM sélective	In <sub>0,85</sub> Ga <sub>0,15</sub> As (environ 20nm d'épaisseur et 400nm de large)	1000 à 300K	1,3 x 10 <sup>13</sup>	[93]
J.S. Lee <i>et al.</i>	2018	Microsoft / Université de Californie à Santa Barbara	Barre de Hall	CBE (Chemical Beam Epitaxy) sélective	InAs (80nm d'épaisseur et 140nm de large)	4800 à 2K (sur bâti PPMS)	1,35 x 10 <sup>12</sup>	[119]

Tableau 1.1 : Comparatif de valeurs de mobilité obtenues par effet Hall dans la littérature sur des structures d'In(Ga)As.

### IV.2 Mesures par effet de champ

Face à la difficulté de pouvoir caractériser le matériau à très petite échelle, des groupes de recherche se sont tournés vers les mesures par effet de champ. À partir des caractéristiques du courant d'un MOSFET, on peut en déduire la mobilité d'effet de champ :

$$\mu_{FE} = \frac{L^2}{C_{ox}} \frac{G_m}{V_{ds}} ; G_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}} \quad (\text{Equation 1.1})$$

avec  $L$  la longueur du canal,  $C_{ox}$  la capacité formée par l'oxyde de grille (en Farad), et  $G_m$  la transconductance (en Siemens). La valeur de transconductance doit être prise dans la zone linéaire de la caractéristique  $I_d(V_{gs})$ . Il est également possible d'en déduire la mobilité effective

$$\mu_{eff} = \frac{L^2}{C_{ox}} \frac{G_d}{V_g - V_T} ; G_d = \left. \frac{\partial I_d}{\partial V_{ds}} \right|_{V_{gs}} \quad (\text{Equation 1.2})$$

avec ici  $G_d$  la conductance du drain (en Siemens).

Auteurs	Année	Institution	Composant	Méthode de fabrication	Matériau	Mobilité (cm <sup>2</sup> /V.s)	Type de mobilité	Référence
A. Vardi <i>et al.</i>	2015	Institut des Technologies du Massachussets	MOSFET mis en forme par gravure avec grille supérieure	Procédé Top-down	InGaAs (130nm d'épaisseur et 13nm de large)	1250 à 90K	Effet de champ	[120]
A.C. Ford <i>et al.</i>	2009	Intel / Université de Californie à Berkeley	MOSFET avec fil reporté sur grille locale	VLS	InAs (36nm de diamètre)	6000 à 298K 16 000 à 200K	Effet de champ	[121]
S. Morkötter <i>et al.</i>	2015	Université Technique de Munich	MOSFET à grilles multiples avec fil reporté	VLS	Cœur GaAs, (40nm de diamètre) / Coquille AlGaAs (80nm d'épaisseur)	1200 à 300K 4500 à 4,2K	Effet de champ	[122]
Q. Li <i>et al.</i>	2014	Université de Pékin / Université de Lund	MOSFET avec fil reporté et grille enrobante	VLS	InAs (<48nm de diamètre)	1500 à 300K 2000 à 77K	Effective	[123]
C. Thelander <i>et al.</i>	2012	Université de Lund / IEMN	MOSFET avec fil reporté sur grille arrière	VLS	InAs ( 67nm de diamètre) In <sub>0,87</sub> As <sub>0,13</sub> Sb (72nm de diamètre) InSb (98nm de diamètre)	1560 3410 1010	Effet de champ à 300K	[124]
Ö. Gül <i>et al.</i>	2015	Université des Technologies de Delft	MOSFET avec fil reporté sur grille arrière	VLS	InSb (100nm de diamètre)	31 000 à 4K	Effet de champ	[125]
K. Tomioka <i>et al.</i>	2015	Université de Hokkaido	MOSFET avec grille enrobante sur nanofils verticaux	EPVOM sélective	InAs (100nm de diamètre)	2142 à 300K 3548	Effet de champ Effective	[126]
H. Potts <i>et al.</i>	2016	Ecole Polytechnique Fédérale de Lausanne	MOSFET à grille semi-enrobante avec fil reporté	EJM sélective non-localisée + VLS	InAs (101nm de diamètre) InAsSb (145nm de diamètre)	1540 à 300K 2560	Effet de champ	[127]
F. Krizek <i>et al.</i>	2018	Université de Copenhague	MOSFET à grille semi-enrobante sur fil planaire	EJM sélective	InAs (35nm d'épaisseur et 52nm de large)	5600 à 5K	Effective	[108]

Tableau 1.2 Comparatif de valeurs de mobilité d'effet de champ obtenues dans la littérature.

Cette grandeur reflète non seulement les performances du matériau du canal, mais aussi l'optimisation du composant, par sa taille et le type de grille. En effet, la capacité de la grille doit être dans la majorité des cas estimée, notamment quand il s'agit d'une grille semi-enrobante (top-gate). Le diélectrique choisi pour former cette grille aura également une influence sur le

contrôle électrostatique. C'est pour cela que les valeurs diffèrent d'un composant à l'autre (Tableau 1.2).

Enfin, il existe des méthodes alternatives pour déterminer la mobilité d'effet de champ, comme un modèle quasi-balistique estimant la mobilité à partir du libre parcours moyen, qui a l'avantage de ne pas être impacté par les potentiels pièges de charges à l'interface canal/oxyde de grille <sup>[91]</sup> (mobilité de 3300 cm<sup>2</sup>/V.s pour 15 nm d'In<sub>0.85</sub>Ga<sub>0.15</sub>As).

## V. Objectifs de la thèse

Nous avons vu, à travers ce chapitre, les différentes méthodes de fabrication de composants électroniques à canal semiconducteur III-V ultra-fin. Si l'approche « top-down » est généralement privilégiée par les industriels du silicium, elle demeure complexe à maîtriser pour la fabrication de composants à base de nanostructures III-V, notamment à cause des défauts de surface induits par la gravure. La croissance de nanofils par VLS a permis de démontrer l'intérêt d'une approche ascendante pour la fabrication de nano-dispositifs III-V, offrant notamment des possibilités d'hétérostructures inédites. Du fait de l'orientation verticale des nanofils généralement associée à ce type de croissance, la majeure partie des composants démontrés par cette approche a été fabriquée après le transfert à plat des nanofils sur un substrat hôte. Seuls quelques groupes ont su aujourd'hui mettre en œuvre les moyens technologiques très lourds nécessaires pour la réalisation de composants verticaux sans transfert. La croissance de nanofils planaires par technique VLS a également été démontrée pour quelques matériaux mais l'orientation des nanostructures reste difficile à maîtriser et, comme pour la croissance verticale, permet difficilement d'obtenir des structures multi-branches.

La croissance sélective utilisant un masque diélectrique permet de combiner les avantages des technologies « top-down » et ascendante puisqu'elle offre à la fois la souplesse de définition de la forme des nanostructures par le design du masque et la possibilité d'obtenir des surfaces sans défauts. C'est l'EPVOM qui a d'abord été utilisée pour démontrer ces possibilités car elle permet de bénéficier de la décomposition préférentielle des précurseurs organométalliques dans les ouvertures du masque diélectrique pour obtenir la sélectivité de croissance. Elle a ainsi montré l'intérêt de la croissance sélective pour intégrer des nanostructures planaires sur substrat silicium et fabriquer des transistors MOSFET ou TFET performants. Mais la croissance sélective de nanostructures III-V est également possible par épitaxie par jets moléculaires. Elle nécessite alors un ajustement précis de la température et de la vitesse de croissance pour favoriser la ré-évaporation des éléments III et V de la surface du masque. Plutôt facile à obtenir pour l'homoépitaxie de matériaux binaires, cet ajustement peut être beaucoup plus complexe pour des alliages comme InGaAs ou pour des matériaux désaccordés en maille comme GaSb/GaAs ou GaSb/InP. Les travaux récents menés à l'IEMN ont mis en évidence l'intérêt d'utiliser l'hydrogène atomique pendant la croissance pour élargir la fenêtre de croissance sélective, mais aucune étude n'avait pour l'instant été menée sur les propriétés électriques des nanostructures réalisées par cette approche.

L'objectif de ces travaux de thèse est donc de mesurer les propriétés électriques de nanostructures d'InGaAs épitaxiées par EJM sélective et d'observer si cette méthode de croissance a une influence sur la qualité cristalline du matériau ou sur l'incorporation des dopants. Suite à cela, nous avons également étudié les possibilités qu'offre cette méthode pour la fabrication de nano-hétérojonctions originales.

## Bibliographie du Chapitre 1

1. Cerba, T. *et al.* InAs / GaSb thin layers directly grown on nominal 300mm ( 001 ) -Si substrate by MOCVD for the fabrication of DSA-based InAs NWFET. in *Journées Nationales du Réseau Doctoral en Micro-nanoélectronique (JNRDM 2017 - Strasbourg)* (2017).
2. Zhao, X. & Del Alamo, J. A. Nanometer-scale vertical-sidewall reactive ion etching of ingaas for 3-D III-V MOSFETs. *IEEE Electron Device Lett.* **35**, 521–523 (2014). DOI : 10.1109/LED.2014.2313332
3. Zhao, X., Lin, J., Heidelberger, C., Fitzgerald, E. A. & del Alamo, J. A. Vertical nanowire InGaAs MOSFETs fabricated by a top-down approach. in *2013 IEEE International Electron Devices Meeting* 28.4.1-28.4.4 (IEEE, 2013). DOI : 10.1109/IEDM.2013.6724710
4. Lu, W., Zhao, X., Choi, D., El Kazzi, S. & Del Alamo, J. A. Alcohol-Based Digital Etch for III-V Vertical Nanowires with Sub-10 nm Diameter. *IEEE Electron Device Lett.* **38**, 548–551 (2017). DOI : 10.1109/LED.2017.2690598
5. Gu, J. J. *et al.* III-V 4D transistors. in *Device Research Conference - Conference Digest, DRC 1–2* (IEEE, 2012). DOI : 10.1109/DRC.2012.6256964
6. Chouchane, F. *et al.* Sub-10 nm plasma nanopatterning of InGaAs with nearly vertical and smooth sidewalls for advanced n-fin field effect transistors on silicon. *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.* **35**, 021206 (2017). DOI : 10.1116/1.4975796
7. Peralagu, U. *et al.* (Invited) Towards a Vertical and Damage Free Post-Etch InGaAs Fin Profile: Dry Etch Processing, Sidewall Damage Assessment and Mitigation Options. *ECS Trans.* **69**, 15–36 (2015). DOI : 10.1149/06905.0015ecst
8. Vardi, A., Lin, J., Lu, W., Zhao, X. & Del Alamo, J. A. High aspect ratio InGaAs FinFETs with sub-20 nm fin width. in *Digest of Technical Papers - Symposium on VLSI Technology* 7–8 (2016). DOI : 10.1109/VLSIT.2016.7573408
9. Oxland, R. *et al.* InAs FinFETs with Hfin = 20 nm fabricated using a top-down etch process. *IEEE Electron Device Lett.* **37**, 261–264 (2016). DOI : 10.1109/LED.2016.2521001
10. Thathachary, A. V., Agrawal, N., Liu, L. & Datta, S. Electron transport in multigate InxGa1-x as nanowire FETs: From diffusive to ballistic regimes at room temperature. *Nano Lett.* **14**, 626–633 (2014). DOI : 10.1021/nl4038399
11. Peng, K. *et al.* Uniform, axial-orientation alignment of one-dimensional single-crystal silicon nanostructure arrays. *Angew. Chemie - Int. Ed.* **44**, 2737–2742 (2005). DOI : 10.1002/anie.200462995
12. Dejarld, M. *et al.* Formation of high aspect ratio GaAs nanostructures with metal-assisted chemical etching. *Nano Lett.* **11**, 5259–5263 (2011). DOI : 10.1021/nl202708d
13. Wagner, R. S. & Ellis, W. C. VAPOR-LIQUID-SOLID MECHANISM OF SINGLE CRYSTAL GROWTH. *Appl. Phys. Lett.* **4**, 89–90 (1964). DOI : 10.1063/1.1753975
14. Weyher, J. The liquid surface tension as a factor influencing the VLS growth of silicon crystals. *Mater. Sci. Eng.* **20**, 171–177 (1975). DOI : 10.1016/0025-5416(75)90146-9
15. Lauhon, L. J., Gudiksen, M. S. & Lieber, C. M. Semiconductor nanowire heterostructures. *Philos. Trans. R. Soc. A Math. Phys. Eng. Sci.* **362**, 1247–1260 (2004). DOI : 10.1098/rsta.2004.1377
16. Sze, S. M. & Ng, K. K. *Physics of Semiconductor Devices*. (John Wiley & Sons, Inc., 2006). DOI : 10.1002/0470068329

17. Persson, A. I. *et al.* Solid-phase diffusion mechanism for GaAs nanowire growth. *Nat. Mater.* **3**, 677–681 (2004). DOI : 10.1038/nmat1220
18. Bae, J., Kulkarni, N. N., Zhou, J. P., Ekerdt, J. G. & Shih, C. K. VLS growth of Si nanocones using Ga and Al catalysts. *J. Cryst. Growth* **310**, 4407–4411 (2008). DOI : 10.1016/j.jcrysgro.2008.06.084
19. Wang, Y., Schmidt, V., Senz, S. & Gösele, U. Epitaxial growth of silicon nanowires using an aluminium catalyst. *Nat. Nanotechnol.* **1**, 186–189 (2006). DOI : 10.1038/nnano.2006.133
20. Paek, J. H., Nishiwaki, T., Yamaguchi, M. & Sawaki, N. MBE-VLS growth of GaAs nanowires on (111)si substrate. *Phys. Status Solidi Curr. Top. Solid State Phys.* **5**, 2740–2742 (2008). DOI : 10.1002/pssc.200779248
21. Fortuna, S. A. & Li, X. Metal-catalyzed semiconductor nanowires: A review on the control of growth directions. *Semicond. Sci. Technol.* **25**, 024005 (2010). DOI : 10.1088/0268-1242/25/2/024005
22. Hiruma, K. *et al.* Growth and optical properties of nanometer-scale GaAs and InAs whiskers. *J. Appl. Phys.* **77**, 447–462 (1995). DOI : 10.1063/1.359026
23. Braun, W. *et al.* Diffusion and incorporation: Shape evolution during overgrowth on structured substrates. *J. Cryst. Growth* **227**, 51–55 (2001). DOI : 10.1016/S0022-0248(01)00631-5
24. Koguchi, M., Kakibayashi, H., Yazawa, M., Hiruma, K. & Katsuyama, T. Crystal Structure Change of GaAs and InAs Whiskers from Zinc-Blende to Wurtzite Type. *Jpn. J. Appl. Phys.* **31**, 2061–2065 (1992). DOI : 10.1143/JJAP.31.2061
25. Caroff, P. *et al.* Controlled polytypic and twin-plane superlattices in III-V nanowires. *Nat. Nanotechnol.* **4**, 50–55 (2009). DOI : 10.1038/nnano.2008.359
26. Hochbaum, A. I., Fan, R., He, R. & Yang, P. Controlled growth of Si nanowire arrays for device integration. *Nano Lett.* **5**, 457–460 (2005). DOI : 10.1021/nl047990x
27. Li, X., Ni, J. & Zhang, R. A Thermodynamic Model of Diameter- and Temperature-dependent Semiconductor Nanowire Growth. *Sci. Rep.* **7**, 15029 (2017). DOI : 10.1038/s41598-017-15077-2
28. Panciera, F. *et al.* Controlling nanowire growth through electric field-induced deformation of the catalyst droplet. *Nat. Commun.* **7**, 12271 (2016). DOI : 10.1038/ncomms12271
29. Chuang, L. C. *et al.* Critical diameter for III-V nanowires grown on lattice-mismatched substrates. *Appl. Phys. Lett.* **90**, 043115 (2007). DOI : 10.1063/1.2436655
30. Ertekin, E., Greaney, P. A., Chrzan, D. C. & Sands, T. D. Equilibrium limits of coherency in strained nanowire heterostructures. *J. Appl. Phys.* **97**, (2005). DOI : 10.1063/1.1903106
31. Guo, Y. N. *et al.* Structural characteristics of GaSb/GaAs nanowire heterostructures grown by metal-organic chemical vapor deposition. *Appl. Phys. Lett.* **89**, 87–90 (2006). DOI : 10.1063/1.2402234
32. Nilsson, H. A. *et al.* InSb nanowire field-effect transistors and quantum-dot devices. *IEEE J. Sel. Top. Quantum Electron.* **17**, 907–914 (2011). DOI : 10.1109/JSTQE.2010.2090135
33. Zhang, G. *et al.* Controlled 1.1–1.6  $\mu\text{m}$  luminescence in gold-free multi-stacked InAs/InP heterostructure nanowires. *Nanotechnology* **26**, 115704 (2015). DOI : 10.1088/0957-4484/26/11/115704
34. Van Weert, M. H. M. *et al.* Surround-gated vertical nanowire quantum dots. *Appl. Phys. Lett.* **96**, 233112 (2010). DOI : 10.1063/1.3452346



35. Tchernycheva, M. *et al.* Au-assisted molecular beam epitaxy of InAs nanowires: Growth and theoretical analysis. *J. Appl. Phys.* **102**, (2007). DOI : 10.3760/cma.j.issn.1671-O282.2009.09.017
36. Joyce, H. J. *et al.* III-V semiconductor nanowires for optoelectronic device applications. *Prog. Quantum Electron.* **35**, 23–75 (2011). DOI : 10.1016/j.pquantelec.2011.03.002
37. Sköld, N. *et al.* Growth and optical properties of strained GaAs-GaxIn 1-xP core-shell nanowires. *Nano Lett.* **5**, 1943–1947 (2005). DOI : 10.1021/nl051304s
38. Raychaudhuri, S. & Yu, E. T. Calculation of critical dimensions for wurtzite and cubic zinc blende coaxial nanowire heterostructures. *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.* **24**, 2053 (2006). DOI : 10.1116/1.2216715
39. Kavanagh, K. L., Salfi, J., Savelyev, I., Blumin, M. & Ruda, H. E. Transport and strain relaxation in wurtzite InAs-GaAs core-shell heterowires. *Appl. Phys. Lett.* **98**, 2009–2012 (2011). DOI : 10.1063/1.3579251
40. Paladugu, M. *et al.* Evolution of wurtzite structured GaAs shells around InAs nanowire cores. *Nanoscale Res. Lett.* **4**, 846–849 (2009). DOI : 10.1007/s11671-009-9326-6
41. Paladugu, M. *et al.* Formation of hierarchical InAs nanoring/GaAs nanowire heterostructures. *Angew. Chemie - Int. Ed.* **48**, 780–783 (2009). DOI : 10.1002/anie.200804630
42. Kindlund, H. *et al.* Kinetic Engineering of Wurtzite and Zinc-Blende AlSb Shells on InAs Nanowires. *Nano Lett.* **18**, 5775–5781 (2018). DOI : 10.1021/acs.nanolett.8b02421
43. Gazibegovic, S. *et al.* Epitaxy of advanced nanowire quantum devices. *Nature* **548**, 434–438 (2017). DOI : 10.1038/nature23468
44. Fortuna, S. A., Wen, J., Chun, I. S. & Li, X. Planar GaAs nanowires on GaAs (100) Substrates: Self-aligned, nearly twin-defect free, and transfer-printable. *Nano Lett.* **8**, 4421–4427 (2008). DOI : 10.1021/nl802331m
45. Zhang, C., Miao, X., Mohseni, P. K., Choi, W. & Li, X. Site-controlled VLS growth of planar nanowires: Yield and mechanism. *Nano Lett.* **14**, 6836–6841 (2014). DOI : 10.1021/nl502525z
46. Zhang, C., Miao, X., Chabak, K. D. & Li, X. A review of III-V planar nanowire arrays: Selective lateral VLS epitaxy and 3D transistors. *J. Phys. D: Appl. Phys.* **50**, 393001 (2017). DOI : 10.1088/1361-6463/aa7e42
47. Dowdy, R., Walko, D. A., Fortuna, S. A. & Li, X. Realization of unidirectional planar GaAs nanowires on GaAs (110) substrates. *IEEE Electron Device Lett.* **33**, 522–524 (2012). DOI : 10.1109/LED.2012.2186115
48. Zhang, C., Choi, W., Mohseni, P. K. & Li, X. InAs Planar Nanowire Gate-All-Around MOSFETs on GaAs Substrates by Selective Lateral Epitaxy. *IEEE Electron Device Lett.* **36**, 663–665 (2015). DOI : 10.1109/LED.2015.2429680
49. Bryllert, T., Wernersson, L. E., Löwgren, T. & Samuelson, L. Vertical wrap-gated nanowire transistors. *Nanotechnology* **17**, S227–S230 (2006). DOI : 10.1088/0957-4484/17/11/S01
50. Memisevic, E., Svensson, J., Lind, E. & Wernersson, L. E. Vertical Nanowire TFETs with Channel Diameter Down to 10 nm and Point SMIN of 35 mV/Decade. *IEEE Electron Device Lett.* **39**, 1089–1091 (2018). DOI : 10.1109/LED.2018.2836862
51. Shen, L. F. *et al.* High-Performance Wrap-Gated InGaAs Nanowire Field-Effect Transistors with Sputtered Dielectrics. *Sci. Rep.* **5**, 1–9 (2015). DOI : 10.1038/srep16871
52. Ganjipour, B. *et al.* High current density esaki tunnel diodes based on GaSb-InAsSb heterostructure nanowires. *Nano Lett.* **11**, 4222–4226 (2011). DOI : 10.1021/nl202180b
53. Nilsson, H. A. *et al.* Unipolar and bipolar operation of InAs/InSb nanowire

- heterostructure field-effect transistors. *J. Appl. Phys.* **110**, 064510 (2011). DOI : 10.1063/1.3633742
54. Zhang, C. & Li, X. Planar GaAs nanowire tri-gate MOSFETs by vapor-liquid-solid growth. *Solid. State. Electron.* **93**, 40–42 (2014). DOI : 10.1016/j.sse.2013.12.005
55. Fitzgerald, E. A. *et al.* Elimination of interface defects in mismatched epilayers by a reduction in growth area. *Appl. Phys. Lett.* **52**, 1496–1498 (1988). DOI : 10.1063/1.99110
56. Fitzgerald, E. A. & Chand, N. Epitaxial necking in GaAs grown on pre-pattered Si substrates. *J. Electron. Mater.* **20**, 839–853 (1991). DOI : 10.1007/BF02665973
57. Lee, S. C., Huffaker, D. L. & Brueck, S. R. J. Faceting of a quasi-two-dimensional GaAs crystal in nanoscale patterned growth. *Appl. Phys. Lett.* **92**, 10–13 (2008). DOI : 10.1063/1.2830988
58. Williams, E. D. & Bartelt, N. C. Surface faceting and the equilibrium crystal shape. *Ultramicroscopy* **31**, 36–48 (1989). DOI : 10.1016/0304-3991(89)90032-6
59. Rottman, C. & Wortis, M. Statistical mechanics of equilibrium crystal shapes: Interfacial phase diagrams and phase transitions. *Phys. Rep.* **103**, 59–79 (1984). DOI : 10.1016/0370-1573(84)90066-8
60. Oldham, W. G. & Holmstrom, R. The Growth and Etching of Si through Windows in SiO<sub>2</sub>. *Solid State Sci.* **114**, 381–388 (1967). DOI : 10.1149/1.2426601
61. Kayser, O. Selective growth of InP/GaInAs in LP-MOVPE and MOMBE/CBE. *J. Cryst. Growth* **107**, 989–998 (1991). DOI : 10.1016/0022-0248(91)90592-S
62. Hata, M., Watanabe, A. & Isu, T. Surface diffusion length observed by in situ scanning microprobe reflection high-energy electron diffraction. *J. Cryst. Growth* **111**, 83–87 (1991). DOI : 10.1016/0022-0248(91)90951-Z
63. Ohtsuka, M. Numerical simulation model for molecular-beam epitaxial (MBE) growth on nonplanar surfaces. *J. Cryst. Growth* **205**, 112–122 (1999). DOI : 10.1016/S0022-0248(99)00182-7
64. Wu, Y. Q. *et al.* Atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub>/GaAs metal-oxide-semiconductor field-effect transistor on Si substrate using aspect ratio trapping technique. *Appl. Phys. Lett.* **93**, 1–4 (2008). DOI : 10.1063/1.3050466
65. G. Wang, F.E. Leys, L. Souriau, R. Loo, M. Caymax, D.P. Brunco, J. Geypen, H. Bender, M. Meuris, W. Vandervorst, M. M. H. Selective Epitaxial Growth of Germanium on Si Wafers with Shallow Trench Isolation : An Approach for Ge Virtual Substrates. in *ECS transactions* **16**, 829–836 (ECS, 2008). DOI : 10.1149/1.2986842
66. Guo, W. *et al.* Selective metal-organic chemical vapor deposition growth of high quality GaAs on Si(001). *Appl. Phys. Lett.* **105**, 062101 (2014). DOI : 10.1063/1.4892468
67. Merckling, C. *et al.* Heteroepitaxy of InP on Si(001) by selective-area metal organic vapor-phase epitaxy in sub-50 nm width trenches: The role of the nucleation layer and the recess engineering. *J. Appl. Phys.* **115**, (2014). DOI : 10.1063/1.4862044
68. Wang, G. *et al.* Selective area growth of high quality InP on Si (001) substrates. *Appl. Phys. Lett.* **97**, 121913 (2010). DOI : 10.1063/1.3491554
69. Loo, R. *et al.* Selective Area Growth of InP on On-Axis Si(001) Substrates with Low Antiphase Boundary Formation. *J. Electrochem. Soc.* **159**, H260–H265 (2012). DOI : 10.1149/2.051203jes
70. Merckling, C. *et al.* Selective area growth of InP in shallow trench isolation on large scale Si(001) wafer using defect confinement technique. *J. Appl. Phys.* **114**, (2013). DOI : 10.1063/1.4815959
71. Waldron, N. *et al.* An InGaAs/InP quantum well finfet using the replacement fin process

- integrated in an RMG flow on 300mm Si substrates. in *Digest of Technical Papers - Symposium on VLSI Technology* **2015**, 1–2 (IEEE, 2014). DOI : 10.1109/VLSIT.2014.6894349
72. Waldron, N. *et al.* Integration of InGaAs Channel n-MOS Devices on 200mm Si Wafers Using the Aspect-Ratio-Trapping Technique. *ECS Trans.* **45**, 115–128 (2012). DOI : 10.1149/1.3700460
73. Wang, Z. *et al.* Room-temperature InP distributed feedback laser array directly grown on silicon. *Nat. Photonics* **9**, 837–842 (2015). DOI : 10.1038/nphoton.2015.199
74. Czornomaz, L. *et al.* Confined Epitaxial Lateral Overgrowth (CELO): A novel concept for scalable integration of CMOS-compatible InGaAs-on-insulator MOSFETs on large-area Si substrates. in *Digest of Technical Papers - Symposium on VLSI Technology T172–T173* (JSAP, 2015). DOI : 10.1109/VLSIT.2015.7223666
75. Borg, M. *et al.* Vertical III-V nanowire device integration on Si(100). *Nano Lett.* **14**, 1914–1920 (2014). DOI : 10.1021/nl404743j
76. Schmid, H. *et al.* Template-assisted selective epitaxy of III-V nanoscale devices for coplanar heterogeneous integration with Si. *Appl. Phys. Lett.* **106**, 233101 (2015). DOI : 10.1063/1.4921962
77. Schmid, H. *et al.* III-V device integration on Si using template-assisted selective epitaxy. *Device Res. Conf. - Conf. Dig. DRC* 255–256 (2015). DOI : 10.1109/DRC.2015.7175666
78. Cutaia, D. *et al.* Complementary III-V heterojunction lateral NW Tunnel FET technology on Si. *Dig. Tech. Pap. - Symp. VLSI Technol.*, 4–5 (2016). DOI : 10.1109/VLSIT.2016.7573444
79. Gooth, J. *et al.* Ballistic One-Dimensional InAs Nanowire Cross-Junction Interconnects. *Nano Lett.* **17**, 2596–2602 (2017). DOI : 10.1021/acs.nanolett.7b00400
80. Lin, A. *et al.* Extracting transport parameters in GaAs nanopillars grown by selective-area epitaxy. *Nanotechnology* **23**, 105701 (2012). DOI : 10.1088/0957-4484/23/10/105701
81. Shapiro, J. N. *et al.* InGaAs heterostructure formation in catalyst-free GaAs nanopillars by selective-area metal-organic vapor phase epitaxy. *Appl. Phys. Lett.* **97**, 1–4 (2010). DOI : 10.1063/1.3526734
82. Akabori, M., Motohisa, J. & Fukui, T. Formation of 0.5  $\mu\text{m}$ -period GaAs network structures for two-dimensional photonic crystals by selective area metal-organic vapor phase epitaxy. in *2000 IEEE International Symposium on Compound Semiconductors. Proceedings of the IEEE Twenty-Seventh International Symposium on Compound Semiconductors (Cat. No.00TH8498)* 191–196 (IEEE). DOI : 10.1109/ISCS.2000.947152
83. Motohisa, J., Noborisaka, J., Takeda, J., Inari, M. & Fukui, T. Catalyst-free selective-area MOVPE of semiconductor nanowires on (111)B oriented substrates. *J. Cryst. Growth* **272**, 180–185 (2004). DOI : 10.1016/j.jcrysgro.2004.08.118
84. Tomioka, K. & Fukui, T. Recent progress in integration of III-V nanowire transistors on Si substrate by selective-area growth. *J. Phys. D. Appl. Phys.* **47**, (2014). DOI : 10.1088/0022-3727/47/39/394001
85. Tomioka, K. & Fukui, T. Gate-first process and EOT-scaling of III-V nanowire-based vertical transistors on Si. in *Device Research Conference - Conference Digest, DRC* **488**, 15–16 (IEEE, 2013). DOI : 10.1109/DRC.2013.6633772
86. Tomioka, K., Yoshimura, M. & Fukui, T. Steep-slope tunnel field-effect transistors using III-V nanowire/Si heterojunction. in *Digest of Technical Papers - Symposium on VLSI Technology* 47–48 (IEEE, 2012). DOI : 10.1109/VLSIT.2012.6242454

87. Ren, D., Farrell, A. C. & Huffaker, D. L. Axial InAs(Sb) inserts in selective-area InAsP nanowires on InP for optoelectronics beyond 25  $\mu\text{m}$ . *Opt. Mater. Express* **8**, 1075 (2018). DOI : 10.1364/OME.8.001075
88. Scofield, A. C. *et al.* Bottom-up photonic crystal cavities formed by patterned III - V nanopillars. *Nano Lett.* **11**, 2242–2246 (2011). DOI : 10.1021/nl200355d
89. Birudavolu, S. *et al.* Selective area growth of InAs quantum dots formed on a patterned GaAs substrate. *Appl. Phys. Lett.* **85**, 2337–2339 (2004). DOI : 10.1063/1.1792792
90. Zota, C. B., Wernersson, L. E. & Lind, E. In<sub>0.53</sub>Ga<sub>0.47</sub>As multiple-gate field-effect transistors with selectively regrown channels. *IEEE Electron Device Lett.* **35**, 342–344 (2014). DOI : 10.1109/LED.2014.2301843
91. Zota, C. B., Lindgren, D., Wernersson, L. E. & Lind, E. Quantized Conduction and High Mobility in Selectively Grown In<sub>x</sub>Ga<sub>1-x</sub>As Nanowires. *ACS Nano* **9**, 9892–9897 (2015). DOI : 10.1021/acsnano.5b03318
92. Zota, C. B., Wernersson, L. E. & Lind, E. High-Performance Lateral Nanowire InGaAs MOSFETs with Improved On-Current. *IEEE Electron Device Lett.* **37**, 1264–1267 (2016). DOI : 10.1109/LED.2016.2602841
93. Lindelöw, F., Zota, C. B. & Lind, E. Gated Hall effect measurements on selectively grown InGaAs nanowires. *Nanotechnology* **28**, (2017). DOI : 10.1088/1361-6528/aa6287
94. Freller, H. & Günther, K. G. Three-temperature method as an origin of molecular beam epitaxy. *Thin Solid Films* **88**, 291–307 (1982). DOI : 10.1016/0040-6090(82)90169-9
95. Lee, S. C., Malloy, K. J., Dawson, L. R. & Brueck, S. R. J. Selective growth and associated faceting and lateral overgrowth of GaAs on a nanoscale limited area bounded by a SiO<sub>2</sub> mask in molecular beam epitaxy. *J. Appl. Phys.* **92**, 6567–6571 (2002). DOI : 10.1063/1.1512967
96. Aseev, P. *et al.* Selectivity Map for Molecular Beam Epitaxy of Advanced III–V Quantum Nanowire Networks. *Nano Lett.* **19**, 218–227 (2019). DOI : 10.1021/acs.nanolett.8b03733
97. Herterberger, S. *et al.* Growth kinetics in position-controlled and catalyst-free InAs nanowire arrays on Si(111) grown by selective area molecular beam epitaxy. *J. Appl. Phys.* **108**, 114316 (2010). DOI : 10.1063/1.3525610
98. Koblmüller, G. *et al.* Self-induced growth of vertical free-standing InAs nanowires on Si(111) by molecular beam epitaxy. *Nanotechnology* **21**, 365602 (2010). DOI : 10.1088/0957-4484/21/36/365602
99. Heiss, M. *et al.* III-V nanowire arrays: Growth and light interaction. *Nanotechnology* **25**, (2014). DOI : 10.1088/0957-4484/25/1/014015
100. Rudolph, D. *et al.* Direct observation of a noncatalytic growth regime for GaAs nanowires. *Nano Lett.* **11**, 3848–3854 (2011). DOI : 10.1021/nl2019382
101. Lee, S. C., Dawson, L. R. & Brueck, S. R. J. Epitaxial growth of a nanoscale, vertically faceted, one-dimensional, high-aspect ratio grating in III-V materials for integrated photonics. *Appl. Phys. Lett.* **87**, 1–4 (2005). DOI : 10.1063/1.1984085
102. Fahed, M., Desplanque, L., Coinon, C., Troadec, D. & Wallart, X. Impact of P/In flux ratio and epilayer thickness on faceting for nanoscale selective area growth of InP by molecular beam epitaxy. *Nanotechnology* **26**, (2015). DOI : 10.1088/0957-4484/26/29/295301
103. Fahed, M. Selective area growth of in-plane III-V nanostructures using molecular beam epitaxy. Thèse de doctorat, Université de Lille, 2016.
104. Desplanque, L. *et al.* InAs/AlGaSb Esaki tunnel diodes grown by selective area epitaxy

- on GaSb (001) substrate. *Conf. Proc. - Int. Conf. Indium Phosphide Relat. Mater.* 1–2 (2014). DOI : 10.1109/ICIPRM.2014.6880530
105. Desplanque, L. *et al.* Influence of nanoscale faceting on the tunneling properties of near broken gap InAs/AlGaSb heterojunctions grown by selective area epitaxy. *Nanotechnology* **25**, (2014). DOI : 10.1088/0957-4484/25/46/465302
106. Tutuncuoglu, G. *et al.* Towards defect-free 1-D GaAs/AlGaAs heterostructures based on GaAs nanomembranes. *Nanoscale* **7**, 19453–19460 (2015). DOI : 10.1039/c5nr04821d
107. Friedl, M. *et al.* Template-Assisted Scalable Nanowire Networks. *Nano Lett.* **18**, 2666–2671 (2018). DOI : 10.1021/acs.nanolett.8b00554
108. Krizek, F. *et al.* Field effect enhancement in buffered quantum nanowire networks. *Phys. Rev. Mater.* **2**, 093401 (2018). DOI : 10.1103/PhysRevMaterials.2.093401
109. Vaitiekenas, S. *et al.* Selective-Area-Grown Semiconductor-Superconductor Hybrids: A Basis for Topological Networks. *Phys. Rev. Lett.* **121**, 1–5 (2018). DOI : 10.1103/PhysRevLett.121.147701
110. Fahed, M., Desplanque, L., Troadec, D., Patriarche, G. & Wallart, X. Threading dislocation free GaSb nanotemplates grown by selective molecular beam epitaxy on GaAs (001) for in-plane InAs nanowire integration. *J. Cryst. Growth* **477**, 45–49 (2017). DOI : 10.1016/j.jcrysgro.2016.12.029
111. Pastorek, M. *et al.* Bottom-up fabrication of InAs-on-nothing MOSFET using selective area molecular beam epitaxy. *Nanotechnology* **30**, 035301 (2019). DOI : 10.1088/1361-6528/aaebbd
112. Pastorek, M. Fabrication and characterization of III-V MOSFETs for high performance and low power applications. Thèse de doctorat, Université de Lille, 2017.
113. Koblmüller, G. & Abstreiter, G. Growth and properties of InGaAs nanowires on silicon. *Phys. Status Solidi - Rapid Res. Lett.* **8**, 11–30 (2014). DOI : 10.1002/pssr.201308207
114. Lee, S. C., Dawson, L. R., Brueck, S. R. J. & Stintz, A. Heteroepitaxial selective growth of In<sub>x</sub>Ga<sub>1-x</sub>As on SiO<sub>2</sub>-patterned GaAs(001) by molecular beam epitaxy. *J. Appl. Phys.* **96**, 4856–4865 (2004). DOI : 10.1063/1.1786677
115. Wistey, M. A. *et al.* Control of InGaAs and InAs facets using metal modulation epitaxy. *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.* **33**, 011208 (2015). DOI : 10.1116/1.4905497
116. Yamaguchi, H., Kawashima, M. & Horikoshi, Y. Migration-enhanced epitaxy. *Appl. Surf. Sci.* **33–34**, 406–412 (1988). DOI : 10.1016/0169-4332(88)90333-9
117. Burnham, S. D., Namkoong, G., Look, D. C., Clafin, B. & Doolittle, W. A. Reproducible increased Mg incorporation and large hole concentration in GaN using metal modulated epitaxy. *J. Appl. Phys.* **104**, (2008). DOI : 10.1063/1.2953089
118. Kuroda, N., Sugou, S., Sasaki, T. & Kitamura, M. Selective growth of InGaAs/InP layers by gas source molecular beam epitaxy with atomic hydrogen irradiation. *Jpn. J. Appl. Phys.* **32**, L1627–L1630 (1993). DOI : 10.1143/JJAP.32.L1627
119. Lee, J. S. *et al.* Selective-Area Chemical Beam Epitaxy of In-Plane InAs One-Dimensional Channels Grown on InP(001) and InP(111)B Surfaces. 1–15 (2018).
120. Vardi, A., Zhao, X. & del Alamo, J. A. Quantum-size effects in sub 10-nm fin width InGaAs FinFETs. in *2015 IEEE International Electron Devices Meeting (IEDM)* 31.3.1–31.3.4 (IEEE, 2015). DOI : 10.1109/IEDM.2015.7409807
121. Ford, A. C. *et al.* Diameter-dependent electron mobility of InAs nanowires. *Nano Lett.* **9**, 360–365 (2009). DOI : 10.1021/nl803154m
122. Morkötter, S. *et al.* Demonstration of confined electron gas and steep-slope behavior in delta-doped GaAs-AlGaAs core-shell nanowire transistors. *Nano Lett.* **15**, 3295–3302

- (2015). DOI : 10.1021/acs.nanolett.5b00518
123. Li, Q. *et al.* Suspended InAs nanowire gate-all-around field-effect transistors. *Appl. Phys. Lett.* **105**, (2014). DOI : 10.1063/1.4896105
  124. Thelander, C., Caroff, P., Plissard, S. & Dick, K. A. Electrical properties of InAs  $1-x$ Sb  $x$  and InSb nanowires grown by molecular beam epitaxy. *Appl. Phys. Lett.* **100**, (2012). DOI : 10.1063/1.4726037
  125. Gül, Ö., Woerkom, D. J. Van, Weperen, I. Van & Car, D. Towards high mobility InSb nanowire devices. *Nanotechnology* **26**, 1–7 DOI : 10.1088/0957-4484/26/21/215202
  126. Tomioka, K., Izhizaka, F. & Fukui, T. Selective-Area Growth of InAs Nanowires on Ge and Vertical Transistor Application. *Nano Lett.* **15**, 7253–7257 (2015). DOI : 10.1021/acs.nanolett.5b02165
  127. Potts, H. *et al.* From Twinning to Pure Zincblende Catalyst-Free InAs(Sb) Nanowires. *Nano Lett.* **16**, 637–643 (2016). DOI : 10.1021/acs.nanolett.5b04367
  128. Jiang, S. *et al.* Evolution of (001) and (111) facets for selective epitaxial growth inside submicron trenches. *J. Appl. Phys.* **115**, (2014). DOI : 10.1063/1.4861416
  129. Kern, W. & Vossen, J. L. *Thin Film Processes II. Thin Film Processes II* **2**, (Elsevier, 2012). DOI : 10.1016/C2009-0-22311-7
  130. Li, J. Z. *et al.* Defect reduction of GaAs epitaxy on Si (001) using selective aspect ratio trapping. *Appl. Phys. Lett.* **91**, 1–4 (2007). DOI : 10.1063/1.2756165
  131. Collaert, N. *High Mobility Materials for CMOS Applications. Woodhead Publishing Series in Electronic and Optical Materials* (Elsevier, 2018). DOI : 10.1016/C2016-0-02168-X



# Chapitre 2

## Épitaxie sélective par jets moléculaires assistée par hydrogène atomique

---

Dans ce chapitre, nous présentons les techniques utilisées pour l'élaboration de nanostructures planaires par épitaxie sélective. L'utilisation d'un flux d'hydrogène atomique pendant la croissance permet d'améliorer de manière significative la sélectivité de croissance. Nous nous sommes donc intéressés à son influence sur les propriétés optiques et électriques des matériaux épitaxiés dans ces conditions particulières de croissance par des mesures de photoluminescence et des mesures de Hall.

### I. Présentation des bâtis EJM

Les épitaxies sont réalisées dans 2 bâtis dédiés à la croissance de semiconducteurs III-V:

- Un réacteur RIBER 21 TM à sources solides (SSMBE),
- Un réacteur RIBER 32 P possédant des sources d'éléments V gazeuses (GSMBE).



Figure 2.1 : Le bâti SSMBE à gauche et le bâti GSMBE à droite.

Les 2 bâtis fonctionnent sous ultravide (pression de base maintenue à  $10^{-10}$  Torr) et sont couplés par un module de transfert également sous ultravide.

Ces 2 réacteurs sont équipés de sources d'effusion pour l'évaporation des éléments III (indium, gallium et aluminium).

Le bâti SSMBE comporte des cellules à vanne permettant l'évaporation d'arsenic et d'antimoine à partir de charges solides. Ces cellules présentent un réservoir à partir duquel sont évaporées des molécules d' $\text{As}_4$  ou de  $\text{Sb}_4$  et un craqueur à haute température permettant

éventuellement la dissociation de ces molécules en As, As<sub>2</sub>, Sb ou Sb<sub>2</sub> selon la température utilisée. Pour les épitaxies décrites dans ces travaux de thèse, le craqueur de la cellule d'arsenic est chauffé à 600 °C de manière à éviter la condensation d'arsenic dans cette partie de la cellule mais ce qui est insuffisant pour dissocier les molécules d'As<sub>4</sub>. Celles-ci constituent donc la majorité des espèces présentes dans le flux moléculaire en sortie de la cellule. Le craqueur de la cellule d'antimoine est quant à lui chauffé à une température de 900 °C, ce qui permet de produire un flux moléculaire composé majoritairement d'espèces Sb<sub>2</sub>. Le bâti SSMBE est également doté d'une source d'hydrogène atomique généré grâce à un plasma produit dans une cavité en nitrure de bore par l'excitation radiofréquence de dihydrogène. Les conditions standard d'utilisation sont : débit de dihydrogène de 3 cm<sup>3</sup>/min et puissance de la source radiofréquence de 400 W à 13,56 MHz.

Le bâti GSMBE possède la même cellule pour l'évaporation d'antimoine, avec des conditions de craquage identiques. Contrairement au premier réacteur, il est équipé d'un injecteur haute température permettant la production de flux moléculaires d'As<sub>2</sub> ou P<sub>2</sub> à partir de sources gazeuses d'arsine et de phosphine régulées par des débitmètres massiques. Ce bâti n'est pas équipé d'une source d'hydrogène atomique.

Concernant les dopants, des sources de silicium et de carbone (par un injecteur de CBr<sub>4</sub>) sont montées sur les 2 bâtis. Le SSMBE est équipé en plus d'une source de tellure (GaTe), et le GSMBE d'une source de béryllium.

Les 2 bâtis possèdent chacun 3 systèmes de contrôle de la température de l'échantillon :

- Un thermocouple mesurant la température du support. C'est par cette mesure qu'est géré l'asservissement de la température de l'échantillon. Sa valeur est cependant relativement éloignée de la température réelle en surface du substrat, cet écart dépendant fortement de la nature du substrat, de son épaisseur et de l'état de rugosité de sa face arrière.
- Un pyromètre mesurant le rayonnement émis par la partie centrale de l'échantillon à une longueur d'onde voisine de 0,9 μm. La mesure n'est possible qu'à partir d'environ 390 °C et peut être entachée d'erreur par les réflexions parasites des rayonnements émis par les cellules d'effusion portées à une température élevée. Cette source d'erreur est d'autant plus faible que la température à mesurer est élevée.
- Un système kSA BandiT relevant le spectre d'absorption optique du substrat. La mesure peut être réalisée à plus faible température qu'avec le pyromètre, mais nécessite que le substrat utilisé possède un très faible dopage (un substrat semi-isolant (SI) de préférence) et ait été préalablement calibré.

Ces réacteurs sont équipés chacun d'un système de diffraction des électrons de haute énergie en incidence rasante (RHEED), ainsi que d'une jauge de mesure de flux (pour plus de détails, se référer à la thèse de Maria Fahed <sup>[1]</sup>).

Les flux moléculaires d'éléments III sont calibrés régulièrement en mesurant la vitesse de croissance de GaAs, AlAs ou InAs en monocouche atomique par seconde. Pour cela, l'intensité de la tache spéculaire du RHEED est enregistrée, révélant des oscillations périodiques au fur et à mesure de la complétion successive des monocouches.

Pour la calibration des flux d'éléments V, les oscillations d'intensité de la tache spéculaire du RHEED sont enregistrées à une température de substrat pour laquelle la ré-évaporation de l'élément V est négligeable. Le flux d'élément III fixé, le flux d'élément V est abaissé progressivement pour atteindre un régime où la vitesse de croissance est limitée par le flux d'élément V. On peut alors convertir le flux d'élément V en son équivalent en monocouches par seconde. La jauge de flux permet ensuite de contrôler ces flux quotidiennement après le dégazage des cellules.

## II. Fabrication des masques pour la croissance sélective

Suivant la nécessité de masquer la quasi-totalité du substrat avec seulement quelques ouvertures nanométriques ou, au contraire, de fabriquer un masque ne recouvrant qu'une partie nanométrique de la surface du substrat, deux méthodes ont été employées pour la réalisation des masques pour la croissance sélective. La première utilise une couche d'oxyde de silicium déposée par voie chimique en phase vapeur. La seconde utilise une résine à base d'hydrogénosilsesquioxane (HSQ) qui peut être sensibilisée par un faisceau d'électrons et polymérise sous forme d'oxyde de silicium.

### II.1 Masque d'oxyde de silicium déposé par PECVD (type A)

Le procédé de fabrication des masques en oxyde de silicium est décrit sur la Figure 2.2. 30 nm de SiO<sub>2</sub> sont d'abord déposés sur le substrat par dépôt chimique en phase vapeur assisté par plasma (PECVD) à 300 °C dans un bâti OXFORD Plasmalab 80 Plus (Figure 2.2a). Afin de pouvoir se réaligner sur les motifs et de contacter les nanostructures après croissance sélective, des marques d'alignement sont nécessaires. Nous avons choisi de réaliser ces marques avec une bicouche métallique Ti/Pt (5 nm / 50 nm), le titane permettant une bonne adhésion des marques d'alignement de 8 µm x 8 µm sur la surface de la silice et le platine présentant une faible pression de vapeur aux températures de croissance utilisées tout en assurant un bon contraste au microscope électronique à balayage utilisé par l'aligneur du faisceau d'électrons. Pour ce dépôt, un procédé de lift-off standard est utilisé : une couche de copolymère AR-P 33% puis une couche de polyméthacrylate de méthyle (PMMA 950K 4%) sont déposées par enduction centrifuge suivie d'un recuit à 180 °C sur plaque chauffante pendant 3 minutes pour figer les résines. Les motifs, au préalable conçus sous LayoutEditor, sont écrits dans la résine par lithographie à faisceau d'électrons et suivant l'orientation cristallographique du substrat grâce à un alignement précis suivant les méplats de l'échantillon. Le faisceau d'électrons possède une résolution de 25 nm et les charges sont accélérées grâce à une différence de potentiel de 100 kV. La dose d'exposition du faisceau est réglée à 220 µC/cm<sup>2</sup>. Les motifs se regroupant sur une surface carrée de 6,4 mm de côté, ils sont répliqués 32 fois sur un substrat de 2 pouces de diamètre. Après l'insolation, les motifs sont révélés dans un mélange de 70 mL de solution révélatrice de méthylisobutylcétone (MIBK) et de 70 mL d'alcool isopropylique (IPA) pendant environ 90 secondes. Le choix de ces 2 résines permet la formation de profils avec une casquette. Une superposition de 5 nm de titane et 50 nm de platine est déposée par évaporation par faisceau d'électrons sur la surface de l'échantillon. Un procédé lift-off composé

d'un bain d'une heure dans du SVC-14 à 70 °C suivi d'une minute dans de l'acétone sous ultrasons est effectué pour ne laisser que les marques d'alignement sur la surface.

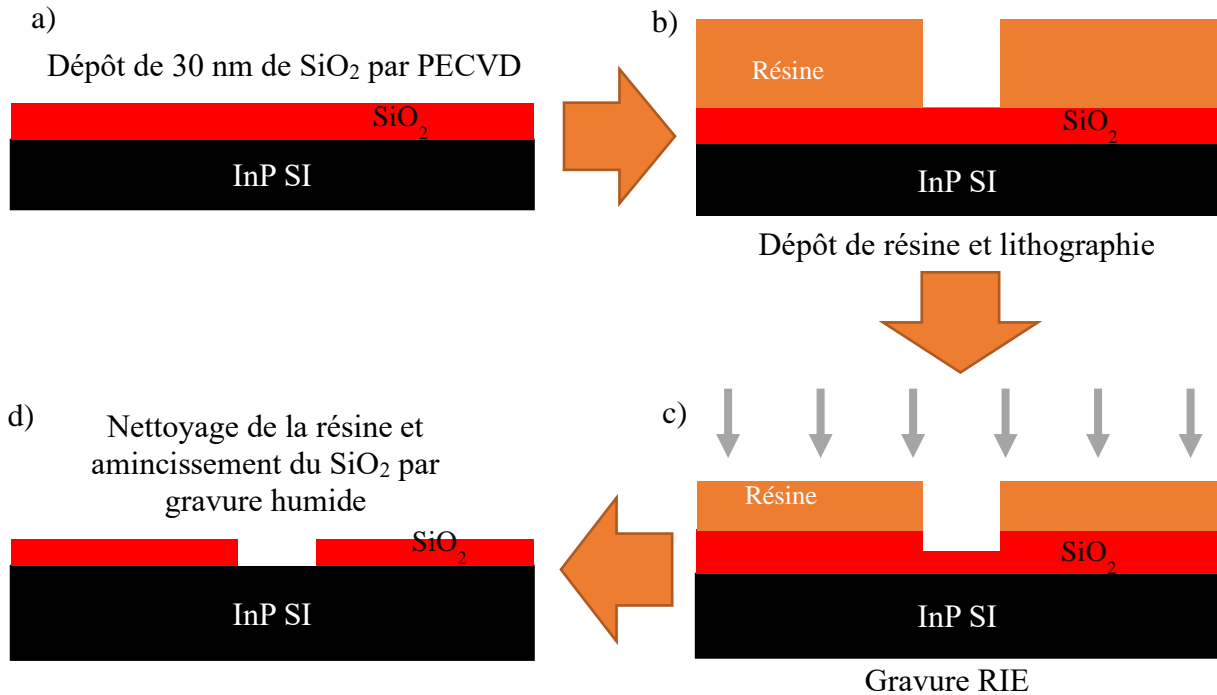


Figure 2.2 : Procédé d'élaboration d'un masque de croissance

Pour la réalisation des ouvertures dans le masque diélectrique, la surface du substrat est ensuite recouverte de 100 nm de résine (PMMA 495K 3%) par enduction centrifuge. L'échantillon subit un recuit dans un four à 180 °C pendant 30 minutes pour évaporer les solvants de la résine et ainsi la durcir. Une écriture des motifs par faisceau d'électrons est réalisée avec une dose d'exposition de 280  $\mu\text{C}/\text{cm}^2$ . Le développement des motifs se fait ici dans un mélange de 30 mL de MIBK et 60 mL d'IPA pendant 90 secondes. Le masque de résine étant prêt (Figure 2.2b), les motifs sont transférés dans le SiO<sub>2</sub> par gravure ionique réactive (RIE) (Figure 2.2c). Pour cela, l'échantillon est introduit dans un bâti OXFORD Plasmalab 80 Plus dédié à la gravure. Une première attaque de 6 secondes par plasma O<sub>2</sub> est réalisée pour nettoyer les ouvertures du masque d'éventuels résidus de résine. L'oxyde de silicium est ensuite gravé dans les ouvertures du masque de résine grâce à un plasma CHF<sub>3</sub> (20 sccm) / CF<sub>4</sub> (20 sccm) / Ar (10 sccm) pendant 55 secondes avec une puissance RF de 100 W et une pression de chambre de 50 mTorr. Le masque de résine est retiré, après une insolation de 10 minutes sous une lampe UV, par un bain d'acétone à 50 °C pendant 10 minutes et un nettoyage par un plasma O<sub>2</sub> de 30 secondes. Nous obtenons après à cette étape une couche de SiO<sub>2</sub> avec des motifs gravés sur une dizaine de nanomètres de profondeur. Il est important de ne pas graver la totalité du masque dans les ouvertures afin de ne pas exposer la surface du semiconducteur aux différents plasmas et solvants utilisés lors de cette étape.

L'ouverture complète du masque jusque la surface du semiconducteur est faite par gravure chimique. L'échantillon est plongé dans une solution d'acide fluorhydrique (HF) concentré à 1% pendant 30 secondes et rincé à l'eau (Figure 2.2d). L'agitation de l'échantillon pendant cette étape de gravure chimique conduit à une augmentation de la vitesse de gravure et de la largeur de certaines ouvertures d'environ 30 nm. Sans agitation, une augmentation inférieure à 10 nm à la surface du substrat par rapport à la taille des motifs prévue est constatée.

Cette étape de gravure est réalisée juste avant d'introduire l'échantillon dans le sas d'introduction. Au final, un masque de  $\text{SiO}_2$  d'environ 10 nm d'épaisseur avec des motifs ouverts sur le substrat semiconducteur est obtenu (Figure 2.3).

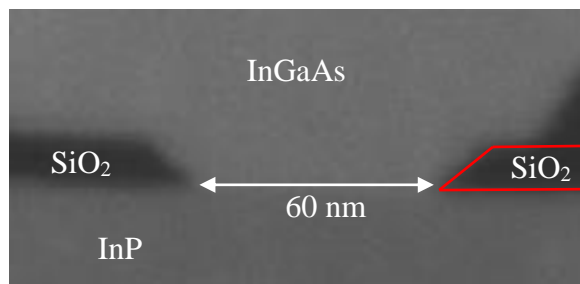


Figure 2.3 : Section d'une croissance localisée d'InGaAs sur substrat InP. L'épaisseur du masque est de 11 nm. Les flancs du masque  $\text{SiO}_2$  non perpendiculaires au substrat sont dus à la gravure HF.

Ce procédé est compatible avec la majorité des substrats III-V (InP, GaAs, InAs,...), excepté GaSb qui réagit fortement avec l'acide fluorhydrique. Il permet la réalisation de motifs très variés de type lignes, croix ou barres de Hall alignés suivant les directions [110], [1-10] ainsi que [100] dans certains cas. Grâce à l'utilisation de la lithographie à faisceau d'électrons, la largeur des ouvertures peut atteindre environ 50 nm au minimum.

## II.2 Masque d'hydrogénosilsesquioxane (HSQ) (type B)

La résine HSQ possède des propriétés très avantageuses parmi lesquelles la possibilité d'être mise en forme avec un fort rapport d'aspect hauteur/largeur <sup>[2]</sup> et sa polymérisation en  $\text{SiO}_x$  par faisceau d'électrons. Sa stabilité en température lui permet d'être utilisée comme masque de croissance pour l'épitaxie sélective <sup>[3]</sup>. Étant une résine négative, elle est utilisée comme masque local <sup>[4],[5]</sup>. Dans le cadre de nos travaux, cette résine a été utilisée pour délimiter la longueur du canal entre deux zones de contact.

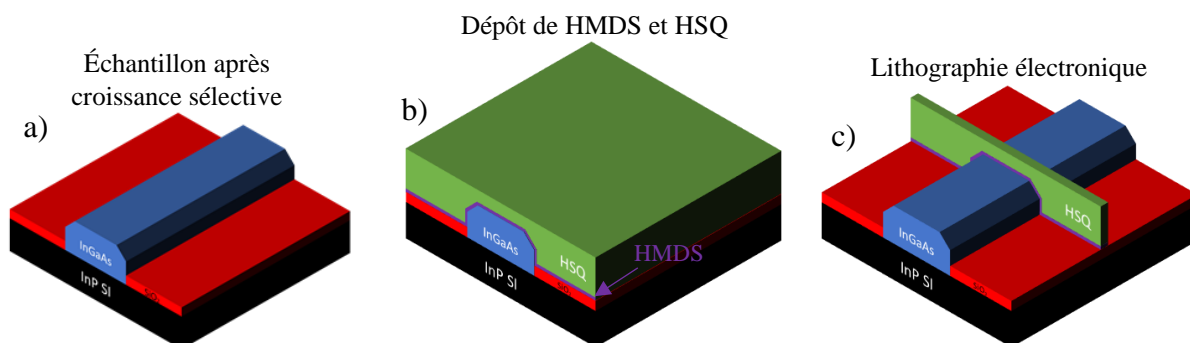


Figure 2.4 : Représentation des étapes de réalisation de plots de HSQ

Le procédé utilisé pour la réalisation de ce type de masque est décrit sur la Figure 2.4. L'échantillon est dans un premier temps chauffé sur plaque à 200 °C pendant 10 minutes pour déshydrater la surface (Figure 2.4a). Il est ensuite refroidi sous un flux d'azote pendant une minute. Il s'ensuit un dépôt de promoteur d'adhérence, l'hexaméthylsilazane (HMDS), par enduction centrifuge, puis de résine HSQ (XR-1541 6%) (Figure 2.4b). Ce dernier dépôt doit être fait avec le capot de la centrifugeuse ouvert pour maximiser l'épaisseur de la couche (Figure 2.5). La Figure 2.5a présente un dépôt d'environ 50 nm de HSQ. L'enduction centrifuge conduit à une planarisation de la résine qui empêche de recouvrir toute la structure si l'épaisseur déposée n'est pas suffisamment importante. En maintenant le capot de l'appareil ouvert pendant l'enduction, une épaisseur plus importante est obtenue et les nanostructures sont correctement masquées (Figure 2.5b). Un recuit sur plaque à 80 °C pendant une minute est nécessaire pour figer la résine. Après l'insolation par faisceau d'électrons, le développement des motifs se fait

dans une solution d'hydroxyde de tétraméthylammonium (TMAH) concentrée à 25%, un rinçage à l'eau puis au méthanol (Figure 2.4c). Étant donnée la faible surface de contact entre la résine et le substrat, une précaution particulière est nécessaire pendant l'étape de séchage sous flux d'azote afin d'éviter son décollement. L'échantillon est enfin recuit sous argon pendant 5 minutes à 200 °C pour une évaporation complète des solvants.

Après croissance, les structures en HSQ peuvent être retirées par une solution d'acide fluorhydrique tamponnée au fluorure d'ammonium (*buffered oxide etch*, BOE).

L'utilisation de cette dernière solution et de TMAH comme révélateur rend incompatible l'utilisation de nanostructures en GaSb avec ce type de masque.

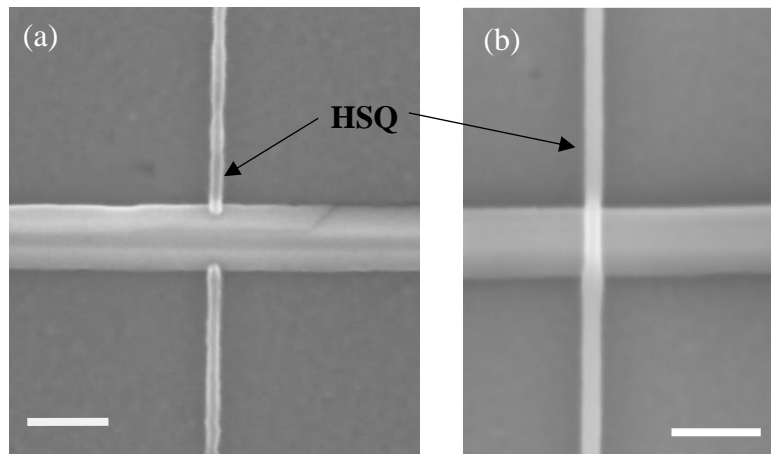


Figure 2.5 : Plots de HSQ sur nanofils après lithographie. Dépôts réalisés avec capot de la centrifugeuse fermé (a) et ouvert (b) pour un dépôt plus important de résine. Le nanofil en (a) possède une épaisseur au centre de 80 nm et celui en (b) 67 nm. Les traits représentent 100 nm.

### III. Croissance sélective d'InGaAs sur substrat InP semi-isolant

#### III.1 Conditions de croissance

Après un dégazage à 180 °C dans le module de transfert, l'échantillon est introduit dans le bâti SSMBE. Sa surface est désoxydée par une montée en température sous un flux d'arsenic et d'hydrogène atomique jusqu'à 500 - 510 °C, la température étant contrôlée à l'aide du système kSA BandiT. Dans les ouvertures du masque, le phosphore en surface est alors remplacé par de l'arsenic, formant deux à trois monocouches d'InAs <sup>[6]-[8]</sup>.

Dans la chambre de croissance, l'échantillon est en rotation pour assurer l'homogénéité de la désoxydation et de la croissance, les flux des éléments utilisés n'ayant pas une incidence normale à la surface du substrat.

La surface des échantillons étant majoritairement recouverte par du SiO<sub>2</sub>, l'utilisation d'un système RHEED est réduite à l'observation de l'état de la surface du masque. Il permet éventuellement de contrôler l'absence de sélectivité, des anneaux caractéristiques d'une croissance polycristalline sur le masque en silice étant alors observés.



Comme il a été expliqué dans le chapitre 1, la croissance sélective par EJM nécessite de trouver des conditions de température et de vitesse de croissance permettant d'éviter la nucléation sur le masque tout en autorisant la croissance dans les ouvertures. Ces conditions peuvent être difficiles voire impossibles à obtenir dans le cas de la croissance d'un composé ternaire. En revanche, l'ajout d'un flux d'hydrogène atomique pendant la croissance peut permettre d'améliorer de manière significative la sélectivité de croissance. Les études de croissance sélective que nous avons menées l'ont donc été essentiellement dans le bâti SSMBE équipé d'une source d'hydrogène atomique, le bâti GSMBE étant utilisé pour des croissances non-sélectives ou pour la croissance sélective d'InP.

### III.2 Croissance d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$ sur InP

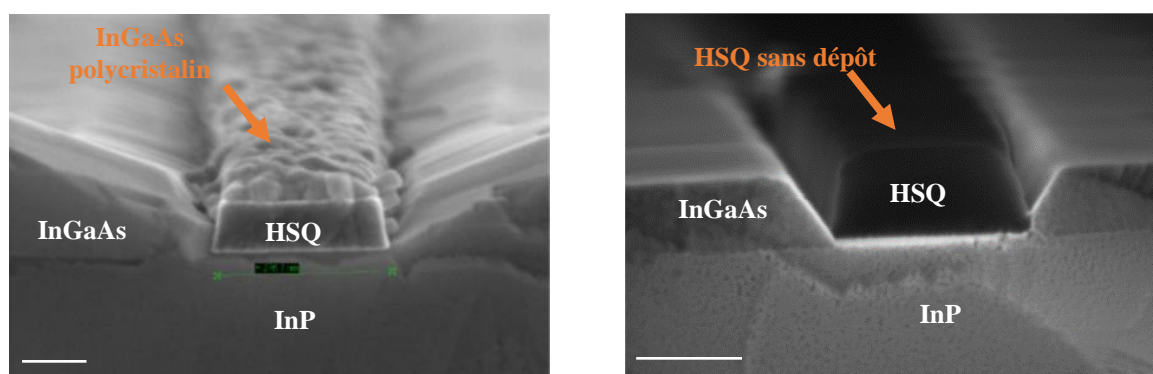


Figure 2.6 : Croissances localisées d'InGaAs sur substrat InP avec masque HSQ. À gauche, croissance sans utilisation d'hydrogène atomique ; à droite, croissance assistée par hydrogène atomique.

Suite à la désoxydation sous arsenic et hydrogène atomique, la température de l'échantillon est stabilisée à 470 °C. Comme le montre la Figure 2.6, l'utilisation d'hydrogène atomique pendant la croissance d' $\text{In}_{0,53}\text{Ga}_{0,47}\text{As}$  à cette température permet d'améliorer de manière significative la sélectivité de croissance par rapport à un masque en HSQ. Ces premiers résultats ont été obtenus dans le cadre du projet ANR MOSINAS visant à la fabrication de MOSFET planaires à canal InAs avec recroissance de contacts dopés [4]. Pour obtenir cette sélectivité de croissance, une relativement faible vitesse de croissance de 0,2 monocouche par seconde (mc/s) est utilisée. Pour assurer une proportion d'indium de 53% dans l'alliage et être en accord de maille sur InP, le flux d'indium est de 0,106 mc/s, le flux de gallium de 0,094 mc/s. La source d'arsenic est quant à elle calibrée pour fournir un flux d' $\text{As}_4$  équivalent au dépôt d'1 mc/s, soit un rapport de flux V/III de 5.

La Figure 2.7 montre les structures obtenues en utilisant des conditions de croissance similaires mais avec un masque en oxyde de silicium de type A et un dépôt nominal de 30nm d'InGaAs.

Une très bonne sélectivité par rapport au masque en silice est observée et les structures présentent des facettes continues et bien définies. Une analyse par microscopie électronique à transmission à faible énergie (30keV) en mode STEM (*Scanning Transmission Electron Microscopy*) de coupes fines réalisées par gravure à l'aide d'un faisceau ionique focalisé (FIB) révèle des facettes latérales (111)B formant un angle d'environ 54° avec la surface du substrat pour les structures orientées suivant la direction [110] (Figure 2.8), et des facettes (111)A et

(113)A (formant un angle d'environ  $25^\circ$  avec la surface du substrat) pour celles orientées suivant [1-10] (Figure 2.9). Elles correspondent à celles observées sur des nanostructures d'InAs épitaxiées sélectivement en accord de maille [9]. La présence et les dimensions de ces différentes facettes dépendent de la largeur des ouvertures relativement à l'épaisseur déposée. Ainsi, pour le dépôt nominal de 30 nm considéré, les facettes des nanostructures suivant [1-10] décrites précédemment ne sont observées que pour des largeurs d'ouverture allant jusque 150 nm. Pour des ouvertures de 260 nm de largeur ne se forment que des facettes latérales de type (113)A, et au-delà la facette (001) apparaît.

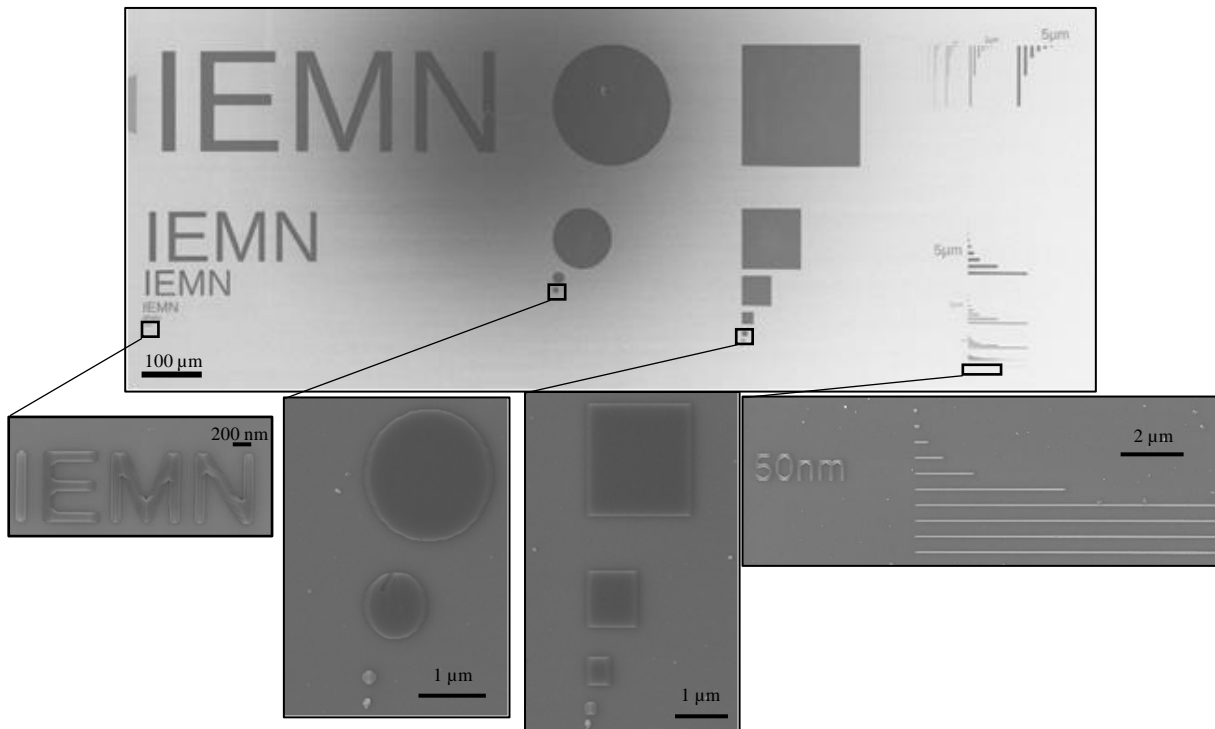


Figure 2.7 : Exemples de structures réalisées par EJM sélective de 30 nm d'InGaAs.

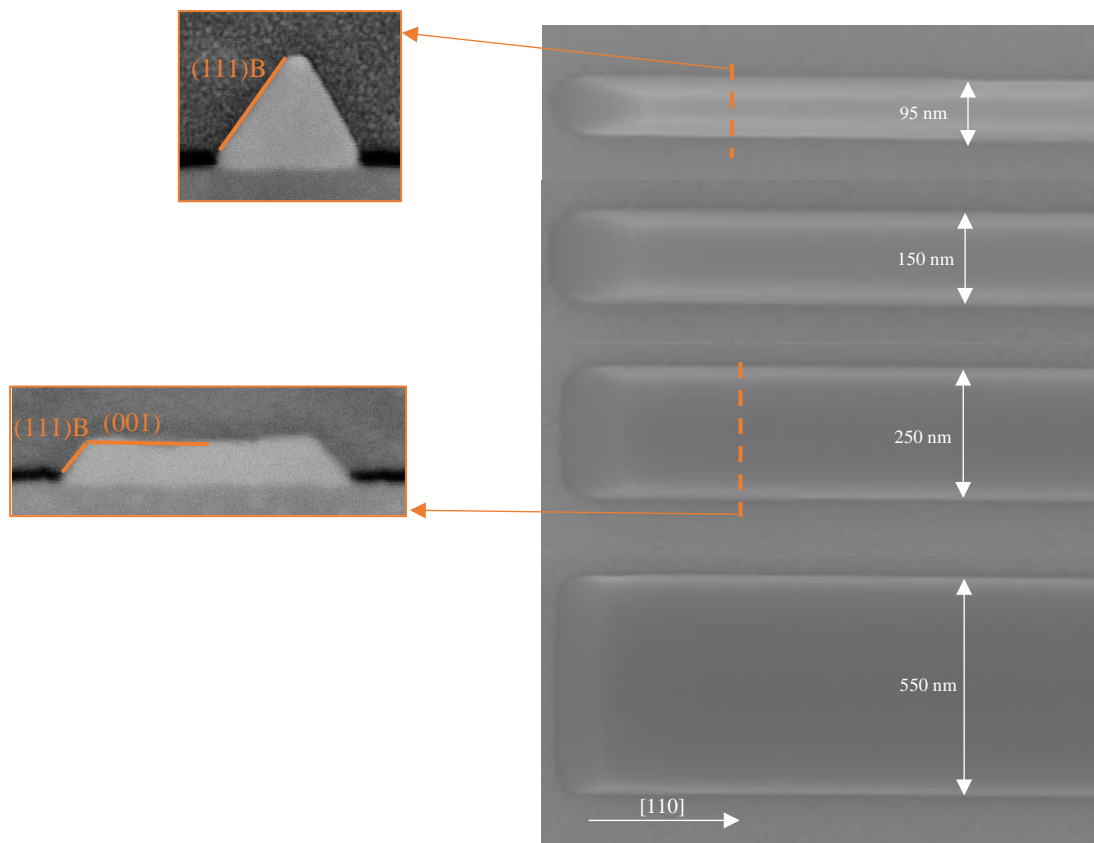


Figure 2.8 : Images MEB (à droite) de nanostructures InGaAs suivant  $[110]$  et images STEM de leur section (à gauche)

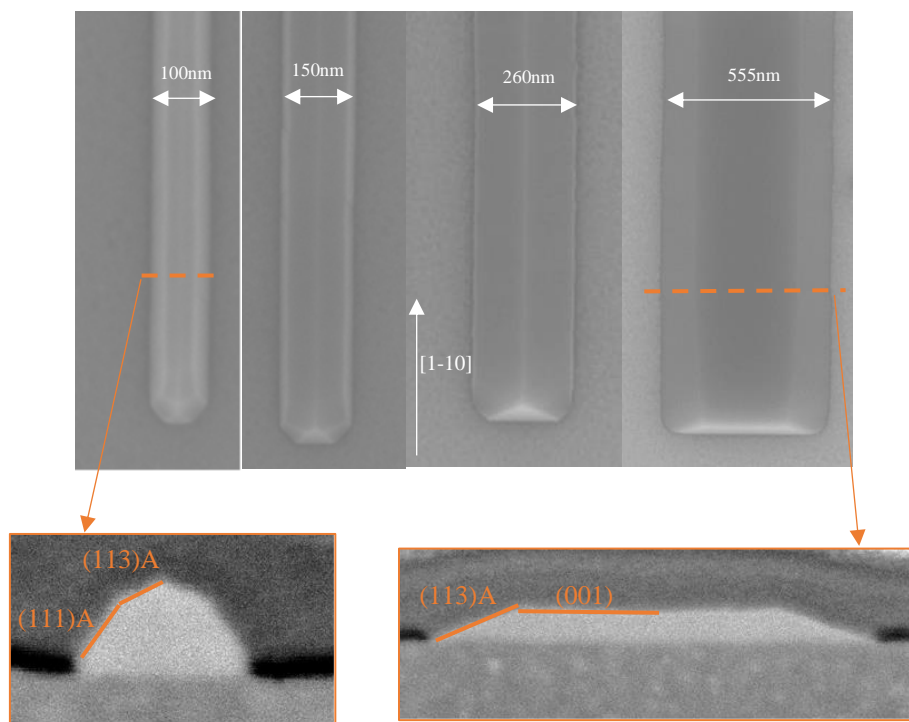


Figure 2.9 : Images MEB (en haut) de nanostructures InGaAs suivant la direction  $[1-10]$  et images STEM de leur section (en bas)

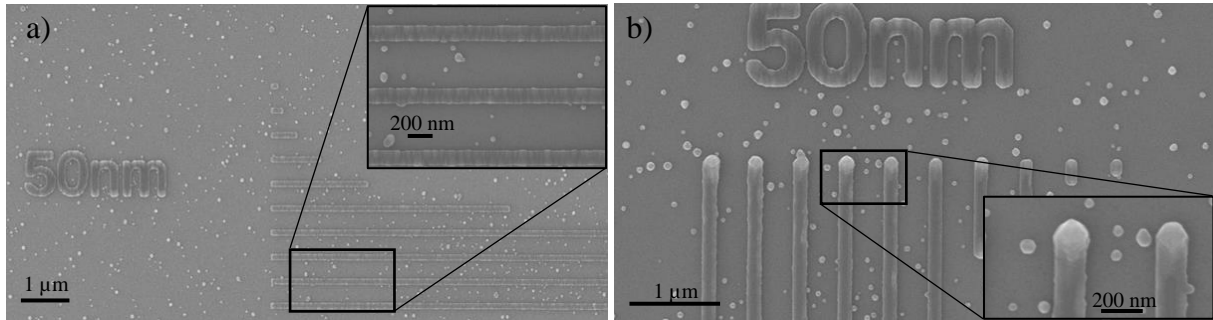


Figure 2.10 : Images MEB d'une croissance localisée suivant les directions  $[110]$  (a) et  $[1-10]$  (b) de 30 nm d'InGaAs:Si. La température de l'échantillon était de 470 °C.

L'ajout de dopant silicium avec une densité supérieure à  $10^{19} \text{ cm}^{-3}$  dans le matériau perturbe un peu la croissance. Comme le montre la Figure 2.10, dans les conditions utilisées précédemment, la sélectivité de croissance est dégradée, probablement à cause de la présence d'atomes de silicium réactifs à la surface du  $\text{SiO}_2$ . La morphologie des nanostructures est également perturbée avec une rugosité importante des nanostructures orientées suivant  $[110]$  (Figure 2.10a) et l'apparition d'excroissance hors plan sur les extrémités  $(111)\text{B}$  (Figure 2.10b). En augmentant légèrement la température de croissance (490 °C), les nanostructures obtenues sont continues et ne présentent qu'une légère rugosité sur les facettes  $(001)$ , notamment à proximité de facettes  $(111)\text{B}$  (Figure 2.11).

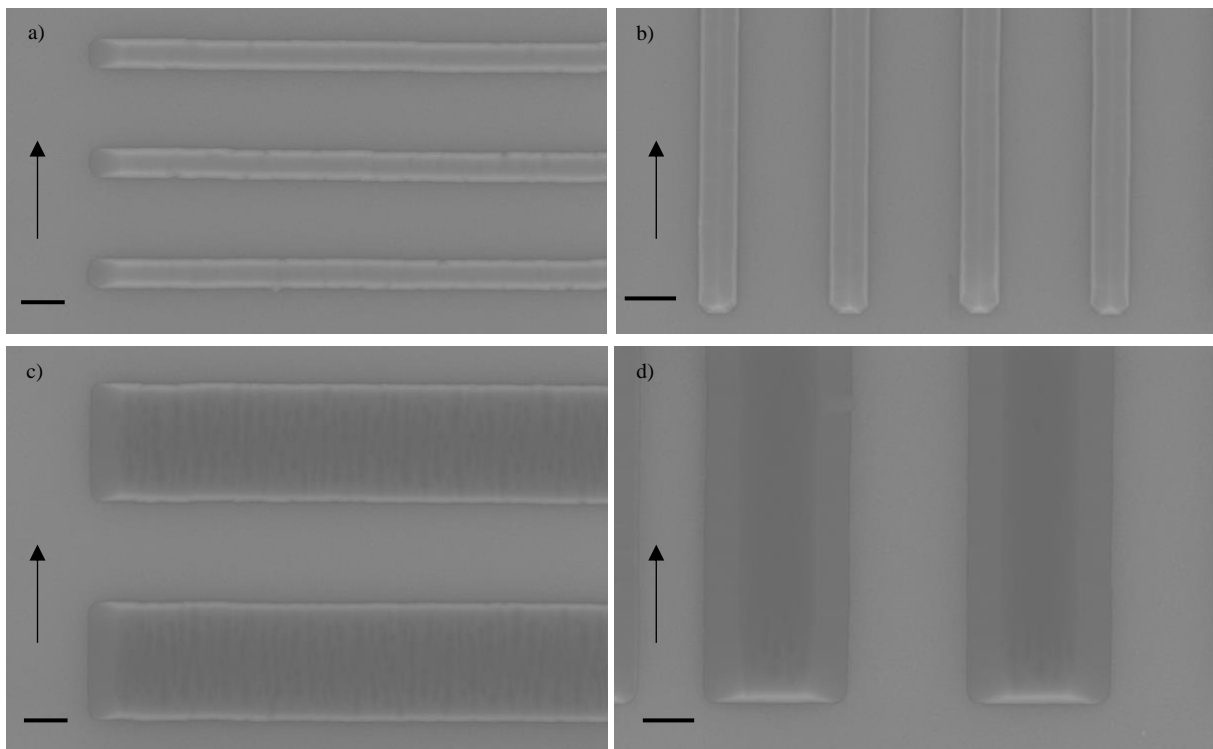


Figure 2.11 : Images MEB d'une croissance de structures InGaAs dopées Si (dopage visé de  $10^{19} \text{ cm}^{-3}$ ) réalisées à 480-490 °C. Les structures (a) et (b) ont une largeur d'environ 140 nm, et les structures (c) et (d) d'environ 550 nm. Les traits représentent une longueur de 200 nm et les flèches indiquent la direction  $[1-10]$ .

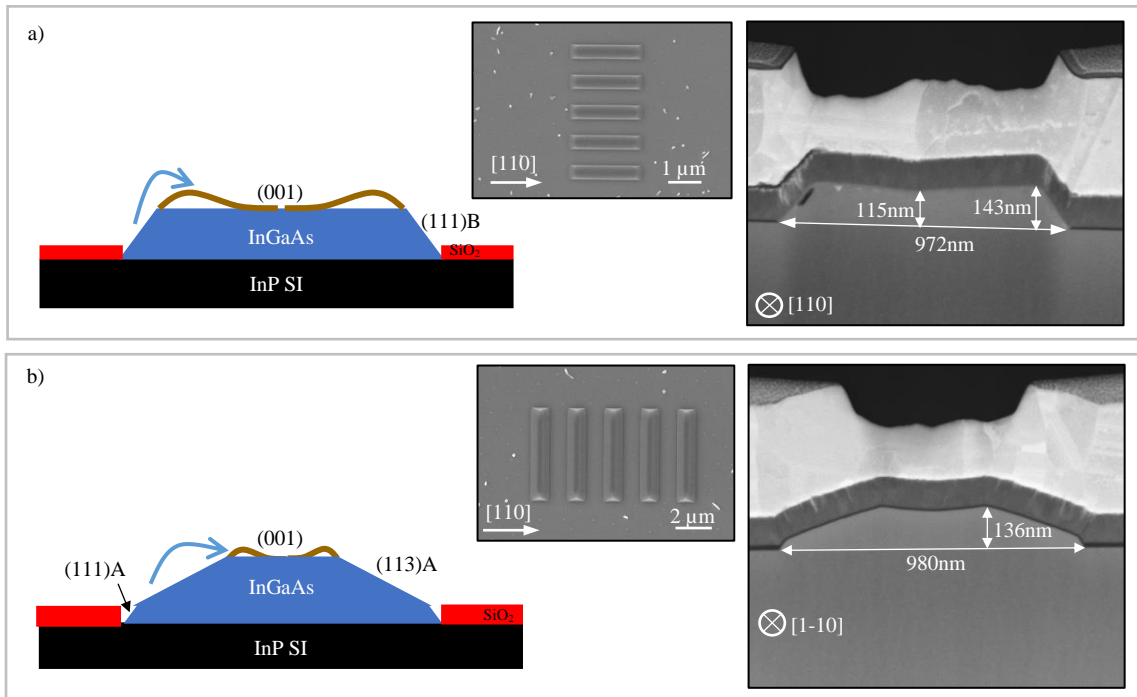


Figure 2.12 : Schémas, images MEB du dessus et de la section de structures InGaAs dopées Te épitaxiées sur 100 nm d'épaisseur à partir d'ouvertures de 1 μm de largeur et suivant les directions [110] (a) et [1-10] (b).

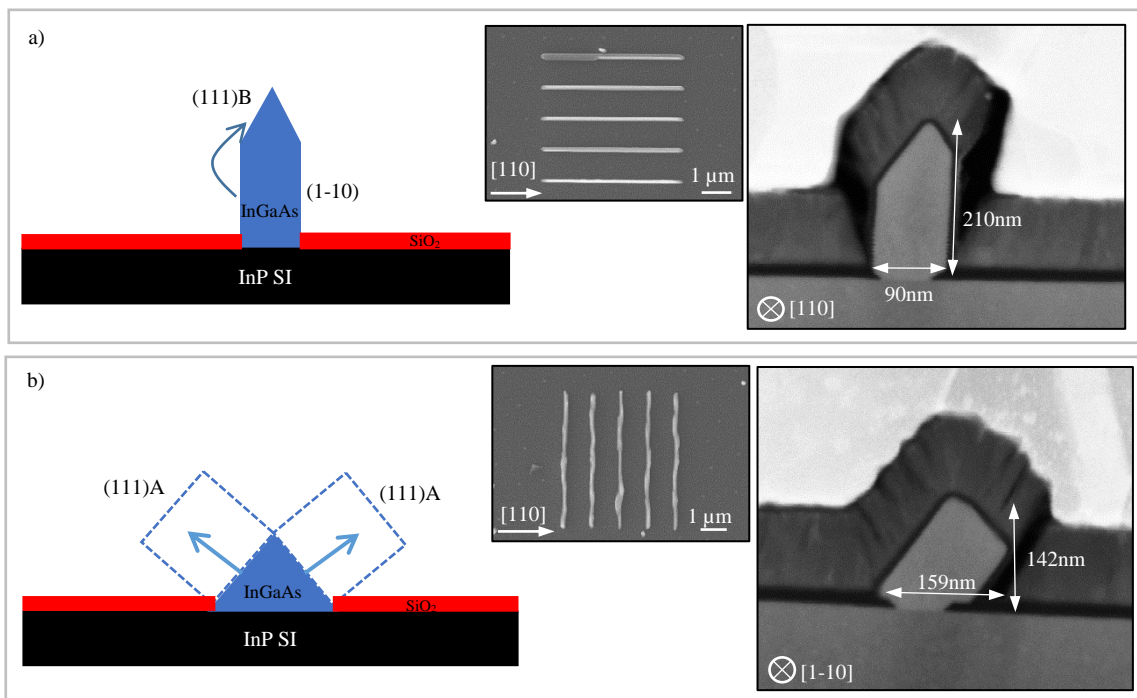


Figure 2.13 : Schémas, images MEB du dessus et de la section de structures InGaAs dopées Te épitaxiées sur 100 nm d'épaisseur à partir d'ouvertures de 50 nm de largeur et suivant les directions [110] (a) et [1-10] (b).

Pour des dépôts de 100 nm d'InGaAs, les effets liés à la migration de surface entre facettes se révèlent. Une observation de leur section met en évidence la préférence des éléments à migrer vers les facettes supérieures. Dans le cas de structures larges, la longueur de migration ne permet pas de couvrir toute la largeur de la facette (001), donnant une épaisseur non-uniforme (Figure 2.12).

Pour des croissances dans des ouvertures dont la largeur est inférieure à l'épaisseur nominale du dépôt :

- Suivant [110], on observe une migration des éléments vers les facettes (111)B, ce qui privilégie le développement des facettes (1-10) et la croissance verticale des nanostructures. Cet effet est amplifié lorsque l'épaisseur nominale déposée augmente puisque la surface de la nanostructure collectant les flux moléculaires augmente (Figure 2.13a).
- Suivant [1-10], une fois que les facettes (111)A se sont rejointes et que la surface (001) a disparu, le développement se fait suivant la direction [111] mais de manière aléatoire le long du fil (Figure 2.13b).



## IV. Propriétés optiques de puits quantiques InGaAs épitaxiés sous hydrogène atomique

Dans la partie précédente, nous avons vu que l'apport d'un flux d'hydrogène atomique pendant la croissance permettait d'améliorer la sélectivité de croissance d'InGaAs. Nous nous intéressons maintenant à l'effet de ce flux d'hydrogène sur la désoxydation de la surface du substrat et sur la qualité cristalline du matériau épitaxié. Pour cela, nous avons étudié l'impact de l'hydrogène atomique sur les propriétés de photoluminescence de puits quantiques d'InGaAs avec barrière AlInAs ou InP.

Ces mesures ont été réalisées sur un système de micro-photoluminescence de type HORIBA LabRAM HR. La source de lumière est une diode laser émettant à 473 nm et la réponse lumineuse est récupérée sur un photodétecteur InGaAs.

### IV.1 Influence de l'hydrogène atomique sur la désoxydation de la surface

Afin de vérifier si l'utilisation d'hydrogène atomique durant la désoxydation de l'échantillon améliore les performances des composants, quatre puits quantiques ont été réalisés en épitaxie « standard », c'est-à-dire sans masque diélectrique, sur InP SI (Figure 2.14).

Le premier échantillon préparé (échantillon A) a été désoxydé à 520 °C sous un flux de  $P_2$  avant la croissance d'une couche tampon d'InP de 300 nm. Il s'ensuit l'épitaxie de 30 nm d'InGaAs accordé en maille sur InP pour former le puits, et 70 nm d'InP en guise de barrière supérieure. L'échantillon B a été préparé avec la même méthode que l'échantillon A, mais sans la croissance d'une couche tampon. Il en est de même pour les échantillons C et D, mais avec respectivement une désoxydation à 520 °C sous un flux  $As_4$  et une désoxydation à 480 °C sous

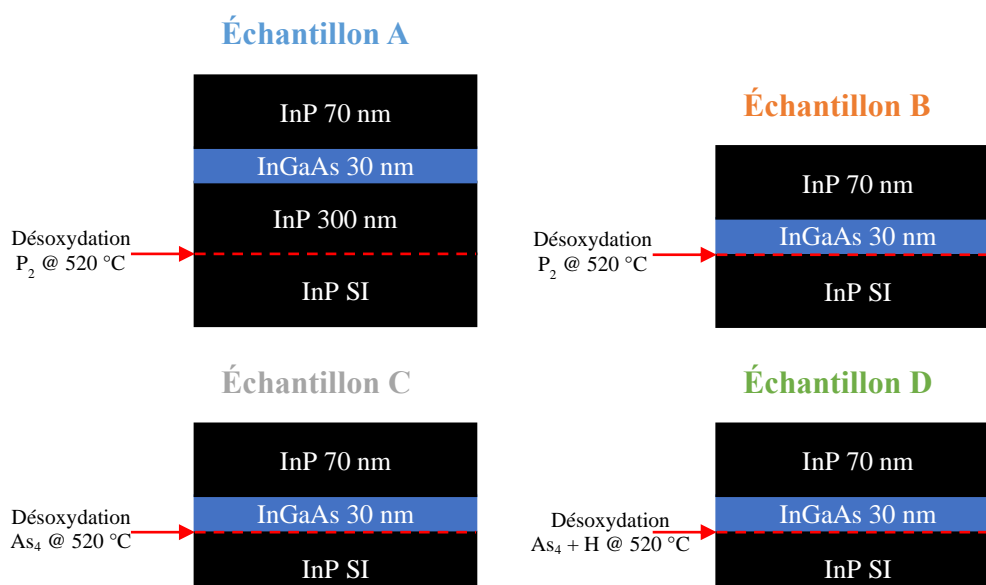


Figure 2.14 : Représentation des étapes de désoxydation et d'épitaxie des quatre échantillons réalisés pour l'étude de l'influence de l'hydrogène atomique sur les performances optiques d'un puits quantique InGaAs/InP

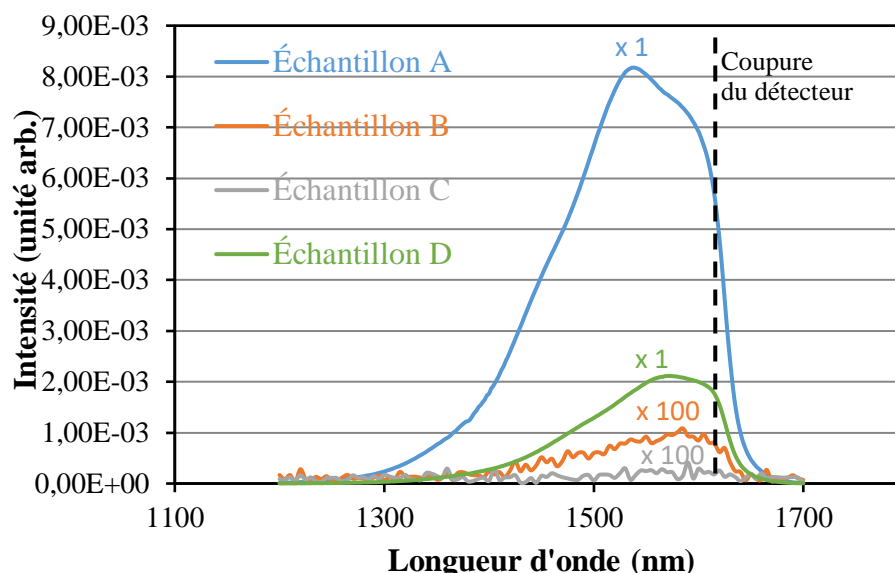


Figure 2.15 : Spectres de photoluminescence correspondant aux quatre échantillons présentés sur la Figure 2.14 à température ambiante.

un flux d'As<sub>4</sub> combiné à un flux d'hydrogène atomique. La vitesse de croissance pour ces échantillons est de 1 mc/s.

La Figure 2.15 montre les spectres de photoluminescence obtenus pour des mesures à température ambiante. L'échantillon A présente l'intensité la plus importante grâce à la couche tampon de 300nm qui « enterre » les contaminants provenant de la surface du substrat. Procéder à la croissance sans couche tampon, comme pour les échantillons B et C, réduit considérablement l'intensité de la photoluminescence, de 3 ordres de grandeur. Cela peut traduire la présence persistante de contaminants organiques, quel que soit l'élément V utilisé pour la désoxydation. En revanche, l'échantillon D présente une intensité de photoluminescence qui n'est que quatre fois plus faible que celle obtenue pour l'échantillon A. On peut supposer qu'une désoxydation à température plus faible permet de réduire la rugosité de surface et donc le nombre de défauts dans le puits, et que l'hydrogène atomique agit positivement sur la décontamination organique.

## IV.2 Photoluminescence sur épitaxies standards

Dans un second temps, des croissances ont été réalisées en épitaxie sans masque diélectrique afin d'observer si l'utilisation d'hydrogène atomique pendant la croissance a un impact sur les propriétés optiques du cristal. Le substrat d'InP SI est désoxydé sous arsenic jusque 530 °C. Une couche tampon de 300 nm d'In<sub>0,52</sub>Al<sub>0,48</sub>As accordée en maille sur InP est épitaxiée pour former une première barrière et enterrer les éventuels défauts et impuretés provenant de la surface du substrat. Une couche de 30 nm d'In<sub>0,53</sub>Ga<sub>0,47</sub>As est ensuite déposée, avec ou sans flux d'hydrogène atomique. 70 nm d'InAlAs supplémentaires sont déposés pour former la barrière supérieure du puits, ainsi que 5 nm d'InGaAs en surface pour protéger l'InAlAs de l'oxydation.

Les spectres de photoluminescence mesurés à température ambiante avec ou sans hydrogène atomique sont représentés sur la Figure 2.16. Un pic d'intensité centré autour de

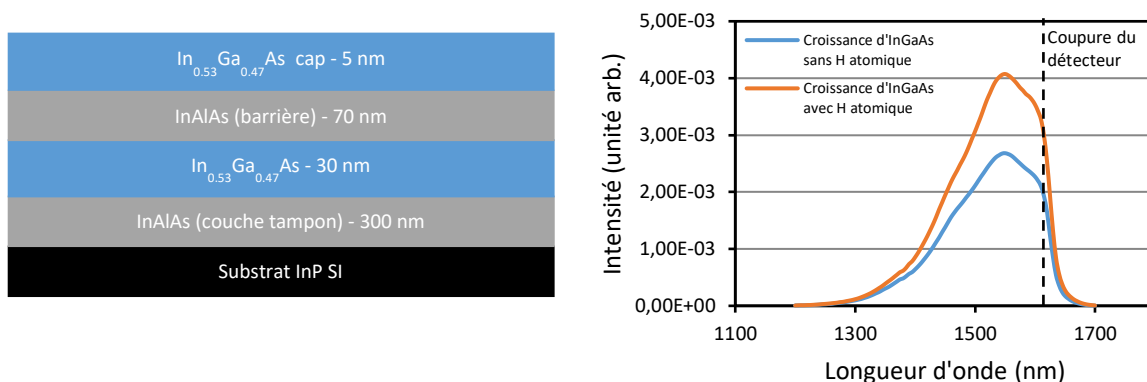


Figure 2.16 : Schéma des deux structures épitaxiées avec et sans hydrogène atomique pendant la couche de 30 nm d'InGaAs, et spectres de luminescence obtenus.

1555 nm, caractéristique de la bande interdite d'InGaAs, peut être observé pour les deux échantillons. La limite de détection du capteur InGaAs utilisé se remarque à 1616 nm. Les spectres obtenus avec ou sans hydrogène sont très similaires tant par leur forme que par l'intensité mesurée, cette dernière étant même légèrement plus importante pour l'échantillon avec flux d'hydrogène atomique, ce qui prouve que l'hydrogène atomique n'a pas d'effets néfastes sur les propriétés optiques du cristal.

### IV.3 Photoluminescence sur épitaxies localisées

D'autres mesures ont été faites sur un échantillon avec une épitaxie sélective de 30 nm d'InGaAs directement sur le substrat InP SI. La sélectivité de croissance de l'InAlAs n'ayant pas été étudiée auparavant, une couche d'InP a été utilisée pour l'encapsulation des structures. La croissance de 30 nm d'InGaAs sous flux d'hydrogène atomique est effectuée dans le bâti SSMBE puis l'échantillon est transféré vers le bâti GSMBE pour la croissance de 70 nm d'InP dans des conditions de sélectivité thermique <sup>[11]</sup>.

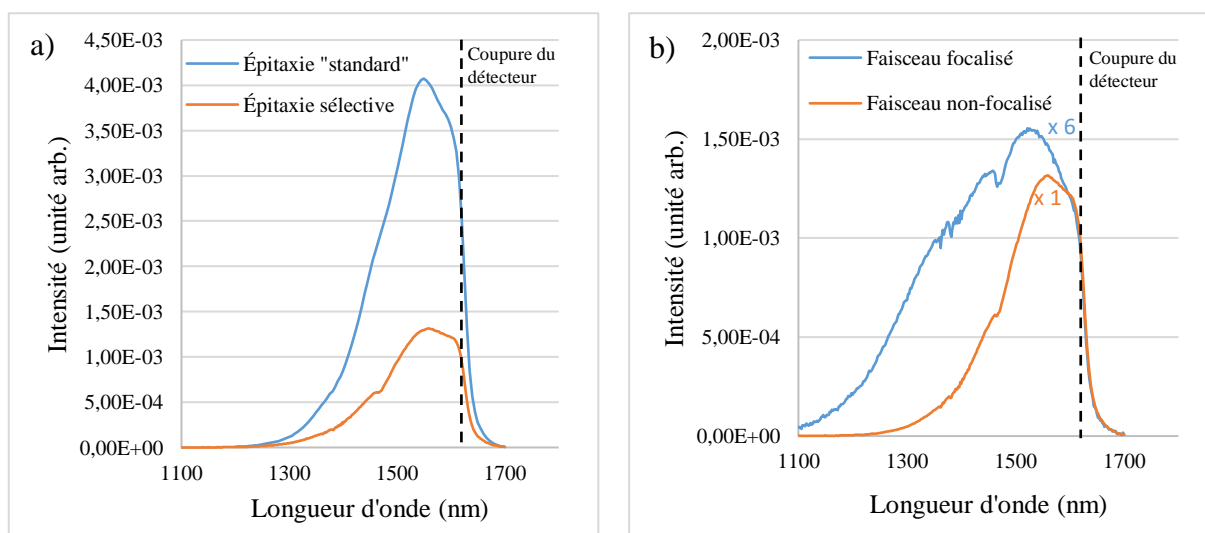


Figure 2.17 : Spectres de photoluminescence de puits quantiques InP (70nm)/InGaAs (30nm)/InP SI. (a) Comparaison de la photoluminescence entre une structure réalisée en épitaxie « standard » et une structure en disque de 200 µm de diamètre réalisée par épitaxie sélective. (b) Comparaison du spectre obtenu sur le disque de 200 µm de diamètre pour une intensité reçue maximale (faisceau non-focalisé) et pour un faisceau focalisé sur la surface de la structure.

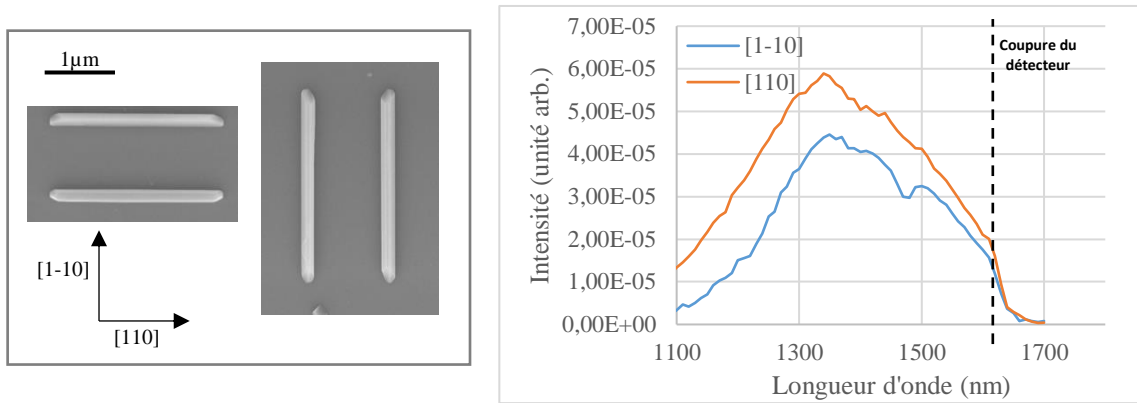


Figure 2.19 : Images MEB de nanofils InGaAs encapsulés par 70 nm d'InP et les spectres de photoluminescence obtenus pour un d'entre eux dans les deux directions.

On obtient de la photoluminescence pour toutes les structures issues de cette épitaxie sélective, quelles que soient leurs dimensions. Le spectre obtenu sur un disque de 200  $\mu\text{m}$  de diamètre est similaire à celui obtenu sur les épitaxies « standard », mais avec une intensité divisée par 3 et le laser non focalisé sur la surface (Figure 2.17a). En focalisant le faisceau, l'intensité diminue encore, et le spectre s'élargit vers les plus faibles longueurs d'onde, du fait du remplissage de niveaux d'énergie supérieurs du puits (Figure 2.17b). Cet effet est donc visible sur les spectres obtenus sur des nanostructures, où la focalisation du faisceau doit être optimale pour obtenir un maximum d'intensité. Des mesures ont été faites sur des nanofils isolés de 50 x 500 nm et 100 nm x 1  $\mu\text{m}$  ainsi que sur un réseau de cinq fils parallèles 50 x 500 nm. Les spectres ont la même forme, mais l'intensité est d'autant plus importante que la quantité de matière exposée est grande. En revanche, une différence apparaît lorsque l'on compare les spectres de structures identiques, mais suivant deux directions perpendiculaires (Figure 2.19). En effet, on remarque sur le spectre des structures suivant [1-10] une diminution de l'intensité entre 1460 et 1490 nm qui n'est pas présente pour les nanofils suivant [110]. La largeur trop importante des pics ne nous permet pas de pouvoir interpréter précisément l'origine de ce phénomène, mais on peut supposer que l'inhomogénéité de l'épaisseur des structures due aux

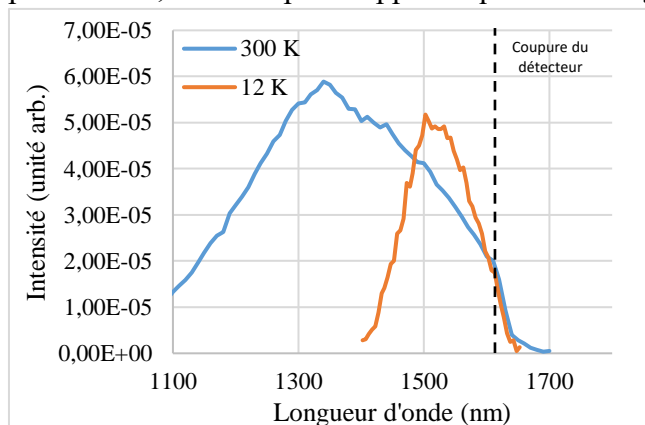


Figure 2.18 : Spectres de photoluminescence d'un nanofil 100 nm par 1  $\mu\text{m}$  suivant la direction [110] à des températures de 12 K et de 300 K

facettes, et donc le confinement qui en découle, aient un lien avec la forme de ces spectres. Des mesures à 12 K ont été réalisées. La température plus faible permet d'obtenir une réponse lumineuse du composant pour une intensité incidente plus faible (Figure 2.18). Le spectre obtenu est plus fin qu'à température ambiante, ce qui confirme que l'élargissement du spectre est en partie dû à l'intensité incidente trop élevée, peuplant les niveaux d'énergie supérieurs du puits quantique.

## V. Caractérisation électrique d'InGaAs et Ga(As)Sb épitaxiés sous hydrogène atomique

La mesure de transport basée sur l'effet Hall permet la mesure des propriétés électriques d'un semiconducteur. Elle consiste à injecter un courant entre deux contacts d'un barreau semiconducteur soumis à un champ magnétique vertical et mesurer la tension transverse au barreau induite par la déviation des porteurs de charges résultant de l'équilibre entre les forces de Lorentz et de Coulomb. Afin de s'affranchir des résistances de contact et/ou de mesurer les propriétés de transport dans une direction particulière des motifs sous la forme de trèfles de Van des Pauw (4 points) ou de barres à contacts multiples (barre de Hall, 6 points) peuvent être utilisés (Figure 2.20a,b). En pratique, nous utilisons pour ces mesures un appareil Nanometrics (ex- Bio-Rad) HL5500PC (Figure 2.20c) pour générer le courant (au minimum 20 nA) et un champ magnétique de 0,32 T et mesurer la différence de potentiel créée afin de nous fournir les valeurs de résistivité, de mobilité électrique et de dopage du matériau.

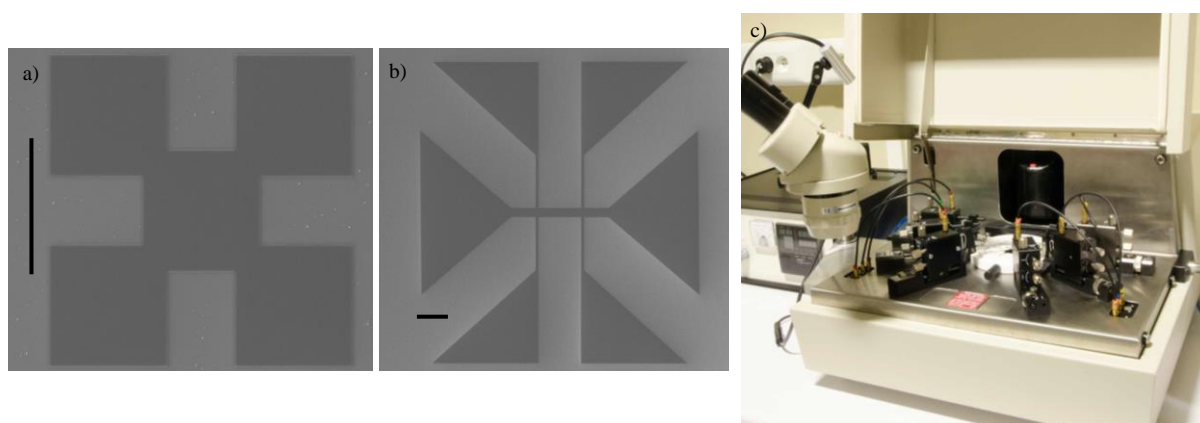


Figure 2.20 : Images MEB d'un trèfle de Van der Pauw (a) et d'un pont de Hall (b) créés par épitaxie sélective de 30 nm d'InGaAs. (c) Photo du Nanometrics HL5500PC. Les traits représentent 10  $\mu\text{m}$ .

Selon les échantillons, deux méthodes ont été employées pour la fabrication des dispositifs de Hall :

- Une approche par gravure d'une couche semiconductrice « standard », c'est-à-dire épitaxiée sans masque de croissance. Les motifs pour les mesures par effet Hall (ici des trèfles de Van der Pauw) sont définis par lithographie optique. Pour l'InGaAs, la gravure jusqu'au substrat semi-isolant se fait par une solution d'acide phosphorique et de peroxyde de dihydrogène diluée (vitesse de gravure d'environ 300 nm/min). Des billes d'indium sont ensuite désoxydées à l'acide nitrique puis disposées manuellement sur les zones de contact du trèfle. L'échantillon est alors recuit sous argon hydrogéné pour former un alliage au niveau des contacts et ainsi réduire les résistances d'accès. La partie centrale carrée de ces structures possède des côtés de 2 mm de long.
- Une approche « ascendante » où les motifs de Hall sont directement définis par croissance sélective. Dans ce cas, les côtés de la partie centrale du trèfle mesurent 9  $\mu\text{m}$  de long, et des barres de Hall possèdent respectivement des longueurs de 15 et 120  $\mu\text{m}$  pour des largeurs de 3 et 24  $\mu\text{m}$  (Figure 2.20 a et b). Une superposition de 100 nm de titane et 400 nm d'or forment, après un procédé lift-off comme décrit dans

la partie II.1, les contacts de ces structures. Il a été tenté de diminuer la taille des ponts de Hall jusque 50 nm de large pour 500 nm de long : la résistance du composant à cette échelle est telle que la tension de compliance imposée par l'appareil est atteinte avant de pouvoir détecter un courant.

### V.1 Influence de l'hydrogène atomique sur les propriétés électriques d'InGaAs sur InP

Ces mesures ont été réalisées sur une série d'échantillons présentant différents niveaux de dopage, différents dopants, différentes conditions de croissance ou différentes approches pour la réalisation des motifs de Hall. Les résultats et la description de ces échantillons sont reportés dans le Tableau 2.1.

En premier lieu, pour deux couches d'InGaAs non intentionnellement dopées d'un micromètre d'épaisseur (I01 et I02), on constate que l'utilisation d'hydrogène atomique durant la croissance améliore grandement la mobilité au sein du matériau, passant de 4650 cm<sup>2</sup>/V.s sans hydrogène atomique (I01) à 10500 cm<sup>2</sup>/V.s avec hydrogène atomique (I02), avec un dopage résiduel de type n légèrement plus élevé. Cette tendance se confirme à 77 K où la mobilité de Hall pour l'échantillon I01 diminue alors qu'elle atteint plus de 25 000 cm<sup>2</sup>/V.s pour l'échantillon I02. De même, le dopage résiduel diminue de manière plus importante pour l'échantillon I01. Ce résultat peut s'interpréter par une compensation plus importante du dopage résiduel de type n par la présence d'accepteurs résiduels de type carbone dans la couche d'InGaAs épitaxiée sans hydrogène atomique. La mobilité de Hall résultant d'une moyenne entre les transports des électrons et des trous, la mobilité se trouve fortement affectée par la présence d'accepteurs. Au contraire, lorsque la croissance se fait sous hydrogène atomique, les impuretés de type carbone sont évaporées sous forme de méthane, réduisant la compensation de dopage et améliorant la mobilité de Hall.

Tableau 2.1 : Paramètres de croissance pour la fabrication de composants de Hall et mesures associées

Échantillon	Épaisseur déposée (nm)	Flux d'hydrogène atomique	Dopage	Type d'épitaxie	Mobilité de Hall $\mu_{Hall}$ (cm <sup>2</sup> /V.s)	Densité de Hall $n_{Hall}$ (cm <sup>-3</sup> )
I01	1000	Non	Non-dopé	Standard	4650 (300K)	2 x 10 <sup>15</sup> (300K)
					2720 (77K)	1,1 x 10 <sup>15</sup> (77K)
I02	1000	Oui	Non-dopé	Standard	10500 (300K)	3,6 x 10 <sup>15</sup> (300K)
					25400 (77K)	3,2 x 10 <sup>15</sup> (77K)
I03	200	Non	Silicium	Standard	3470	4,08 x 10 <sup>18</sup>
I04	200	Oui	Silicium	Standard	3530	4,28 x 10 <sup>18</sup>
I05	100	Oui	Silicium	Standard	5610	4,0 x 10 <sup>17</sup>
I06	100	Oui	Tellure	Standard	3560	3,3 x 10 <sup>18</sup>
I07	100	Oui	Tellure	Standard	5940	2,5 x 10 <sup>17</sup>
I08	100	Oui	Tellure	Sélective	6450	1,6 x 10 <sup>17</sup>
I09	100	Oui	Silicium	Sélective	2840	7,5 x 10 <sup>18</sup>
I10	30	Oui	Silicium	Sélective	1410	1,6 x 10 <sup>19</sup>
I11	30	Oui	Non-dopé	Sélective	Non mesurable	Non mesurable

Des croissances d'InGaAs dopé silicium ont également été réalisées avec et sans flux d'hydrogène atomique durant la croissance pour un même flux de silicium (échantillons I03 et I04). Les résultats de Hall obtenus sont quasiment identiques (3470 contre 3530 cm<sup>2</sup>/V.s pour la mobilité et 4,08.10<sup>18</sup> contre 4,28.10<sup>18</sup> cm<sup>-3</sup> pour la densité). Dans cette gamme de dopage au



silicium, l'hydrogène atomique ne semble donc pas avoir d'effets sur les propriétés électriques d'InGaAs : Si. C'est ce que confirme le report des différentes valeurs du Tableau 2.1 sur la Figure 2.21 traçant l'évolution de la densité de Hall en fonction de la mobilité : mis à part pour l'échantillon I01, une tendance claire et caractéristique de l'évolution de la mobilité dans un matériau dopé (dégradation de la mobilité avec le dopage) est constatée, quels que soient le type de dopant n (Si ou Te) et la méthode de croissance utilisée (avec ou sans hydrogène).

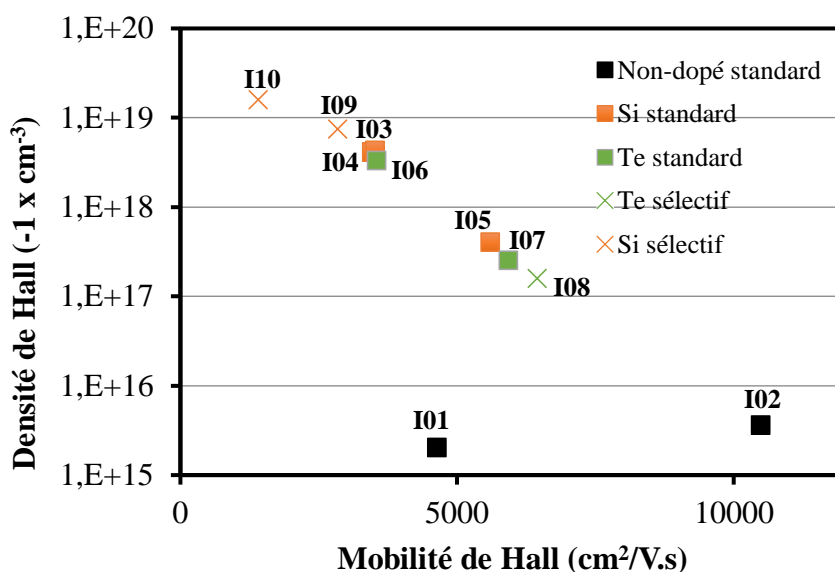


Figure 2.21 : Evolution de la mobilité d'échantillons d'InGaAs en fonction de leur densité de porteurs de charge.

Pour l'échantillon I11, à cause de la faible épaisseur déposée et l'absence de dopage, les fortes résistances de contact obtenues et la faible conductivité de la couche d'InGaAs ne permettent pas d'atteindre un niveau de courant compatible avec notre banc de mesure de Hall. Nous verrons au chapitre suivant la méthode employée pour mesurer les caractéristiques électriques de cet échantillon.

## V.2 Influence de l'hydrogène atomique sur le dopage au carbone de Ga(As)Sb sur InP

Dans l'optique de pouvoir réaliser des hétérojonctions de type II InGaAs/GaAsSb par croissance sélective, il était prévu en début de thèse la croissance de nanostructures GaAsSb fortement dopées et accordées en maille sur InP pour la réalisation de composants à effet tunnel. Des croissances en épitaxie « standard » de GaAsSb ont donc été réalisées afin d'étudier l'impact de l'hydrogène atomique. Pour le dopage type p de GaAsSb, le bâti SSMBE ne possède qu'une source  $\text{CBr}_4$  pour doper le matériau au carbone, l'autre solution étant un dopage au béryllium, mais cette ressource n'est disponible que sur le bâti GSMBE, qui lui n'est pas équipé d'hydrogène atomique. Des couches de  $\text{GaAs}_{0.51}\text{Sb}_{0.49}$  dopées ou non au carbone ont donc été épitaxiées, avec et sans flux d'hydrogène atomique, à 500 °C et avec une vitesse de croissance de 0,1 ML/s.

Tableau 2.2 : Paramètres utilisés pour la croissance de GaAsSb dopé en épitaxie « standard » et les mesures obtenues par effet Hall

Échantillon	Épaisseur déposée (nm)	Flux d'hydrogène atomique	Dopage	Pression ligne CBr <sub>4</sub> (Torr)	Mobilité de Hall $\mu_{\text{Hall}}$ (cm <sup>2</sup> /V.s)	Densité de Hall $n_{\text{Hall}}$ (cm <sup>-3</sup> )
G01	300	Non	Non-dopé	-	66,2	$4,4 \times 10^{17}$
G02	140	Non	Carbone	0,1	21,1	$1,6 \times 10^{20}$
G03	170	Oui	Carbone	0,01	40,6	$2,4 \times 10^{17}$

Les mesures révèlent un dopage résiduel de type p dans GaAsSb. Pour les échantillons dopés, la densité de Hall est fortement réduite pour une croissance assistée par hydrogène atomique ( $2,4 \times 10^{17} \text{ cm}^{-3}$  obtenu). Une croissance sans hydrogène atomique (G02) a donné un dopage bien plus élevé que les  $10^{19} \text{ cm}^{-3}$  visés et ce pour une pression de CBr<sub>4</sub> seulement dix fois plus élevée (Tableau 2.2).

Cette dégradation du dopage carbone sous l'effet du flux d'hydrogène laisse supposer une réduction de l'incorporation du carbone, probablement évaporé sous forme de méthane (CH<sub>4</sub>) après réaction avec l'hydrogène atomique, comme observé précédemment lors de la décontamination du carbone de la surface. Nous n'avons cependant pas été en mesure de vérifier cette supposition expérimentalement.

Dans l'attente de pouvoir disposer à la fois de béryllium et d'hydrogène atomique sur le même bâti, nous avons décidé de remplacer le GaAsSb par du GaSb pour lequel un dopage de type p peut être obtenu grâce au silicium, dopant sur lequel l'hydrogène atomique n'a pas ou peu eu d'impact. On obtient ainsi une mobilité de 234 cm<sup>2</sup>/V.s pour une densité de porteurs p =  $2,10 \times 10^{18} \text{ cm}^{-3}$  pour 150 nm de GaSb : Si déposés en épitaxie sélective sur un substrat InP SI. Nous verrons dans la partie suivante la morphologie de ces structures, et au chapitre IV les propriétés électriques des hétérojonctions InGaAs/GaSb épitaxiées par croissance sélective.

## VI. Croissance sélective de GaSb sur InP semi-isolant

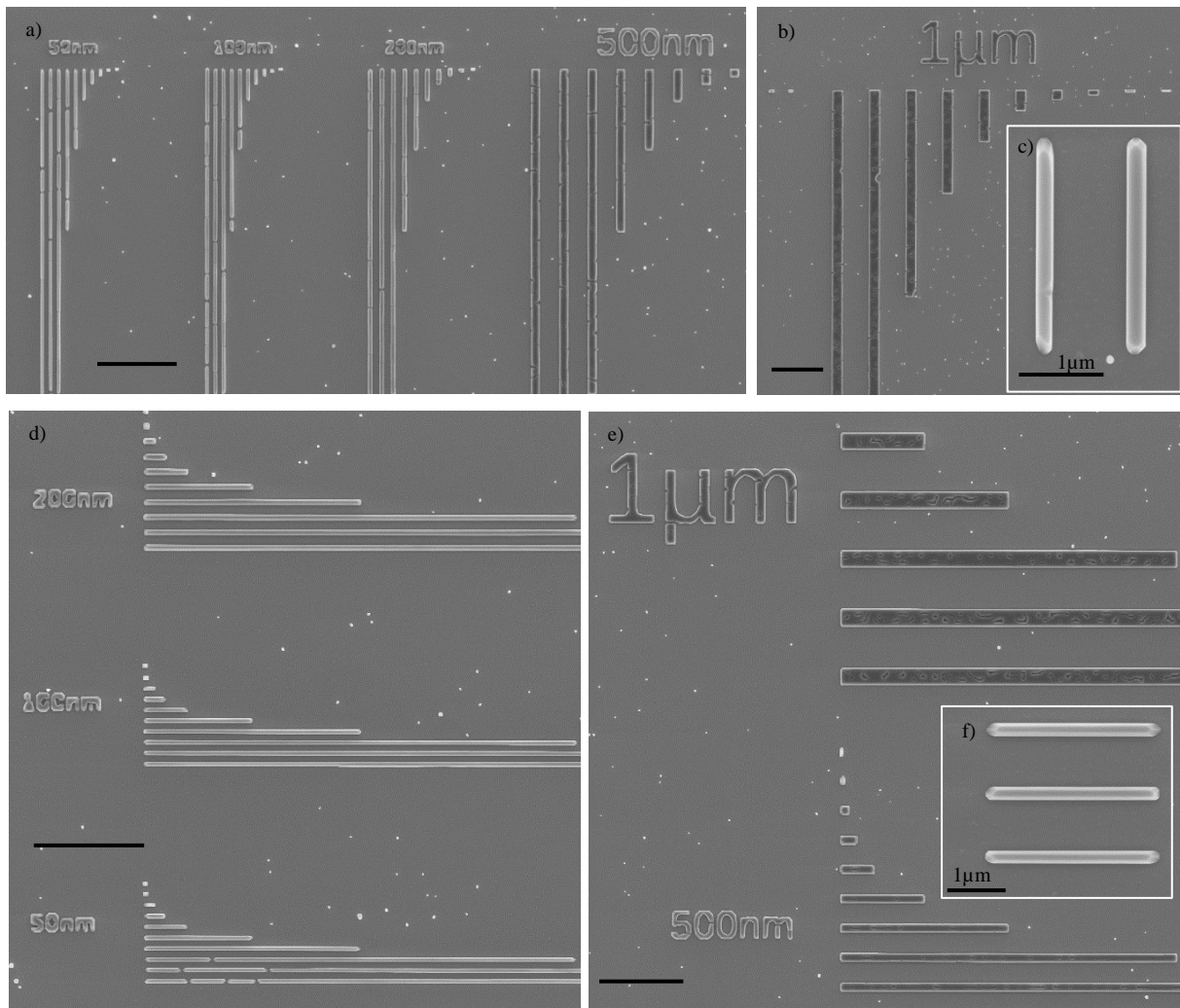


Figure 2.22 : Nanostructures de GaSb dopé Si suivant la direction  $[1-10]$  (a-c) et  $[110]$  (d-f) sur substrat InP. Les images (c) et (f) montrent des structures issues d'ouvertures de 80 nm de largeur. Les traits correspondent à une longueur de 5  $\mu\text{m}$ .

Dans le but de pouvoir étudier des hétérostructures entre InGaAs et GaSb, nous avons étudié la croissance sélective de GaSb sur InP, en utilisant les résultats obtenus dans le cadre de la thèse de Maria Fahed consacrée à la croissance de GaSb/GaAs<sup>[1]</sup>. Nous avons adopté des conditions de croissance similaires, à savoir une température de 470 °C, une vitesse de croissance de 0,1 mc/s, un rapport Sb/Ga de 3,5 et un flux d'hydrogène atomique pendant la croissance. Les conditions de désoxydation de la surface d'InP sont les mêmes que décrites précédemment.

Le désaccord de maille entre GaSb et InP étant de 3,9 %, une épaisseur suffisamment importante est nécessaire afin d'observer des structures continues sur plusieurs microns à l'intérieur des ouvertures les plus étroites (sur la Figure 2.22, 150 nm ont été déposés). Pour des ouvertures plus larges ( $> 500$  nm), le ruban de GaSb n'est pas continu car la coalescence des îlots formés à cause du désaccord de maille n'est que partielle. On peut toutefois remarquer



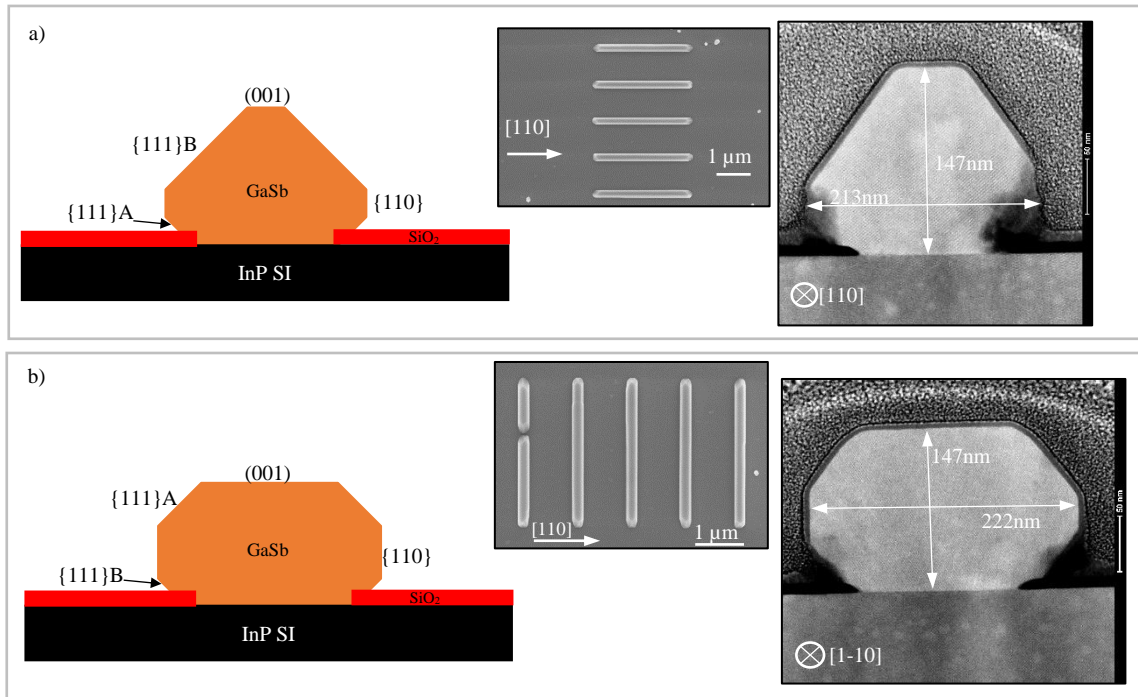


Figure 2.23 : Schémas, images MEB du dessus et images TEM de la section de structures GaSb dopées Si épitaxiées sur 150 nm d'épaisseur à partir d'ouvertures de 140nm de largeur et suivant les directions [110] (a) et [1-10] (b). Les zones noircies de la section sur l'image TEM sont dues à l'oxydation des facettes {11-1}. Images TEM réalisées par Gilles Patriarche au C2N.

que ces trous sont principalement visibles à l'intérieur et très peu sur les bords des nanostructures orientées suivant [110] alors qu'elles peuvent entraîner des discontinuités pour les rubans orientés suivant [1-10]. Ce phénomène s'explique par la nucléation préférentielle du GaSb sur les bords des ouvertures du masque en SiO<sub>2</sub> et par l'élongation plus importante des filots suivant la direction [110] comme cela avait été observé dans le cas de la croissance de GaSb/GaAs<sup>[1],[10]</sup>.

Ces sections ont été analysées après avoir réalisé un composant, donc suite à diverses étapes technologiques détaillées plus tard. Les solutions chimiques utilisées pendant ces étapes

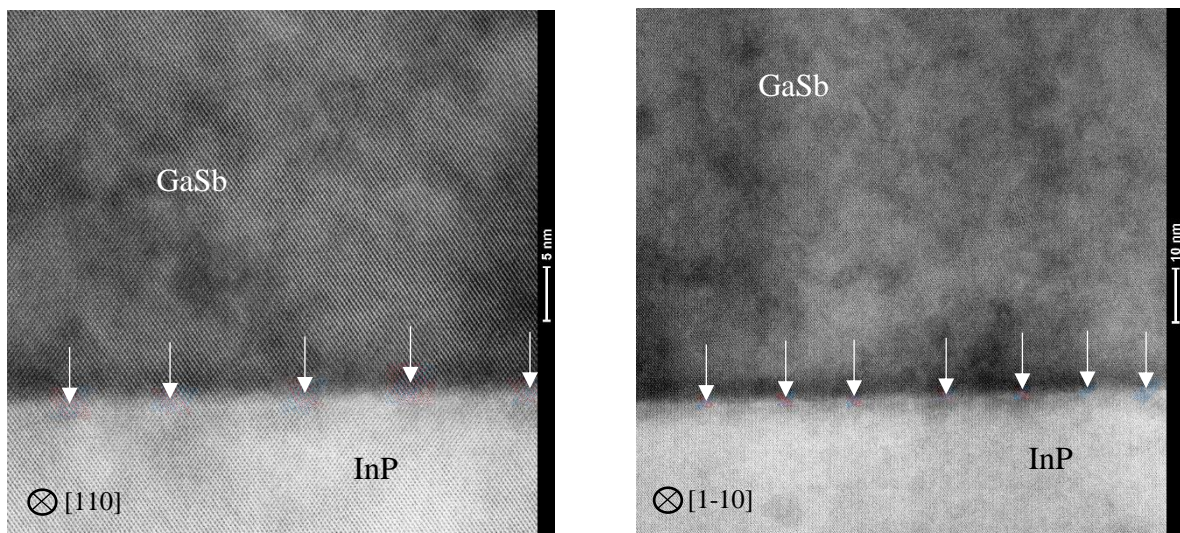


Figure 2.24 : Image TEM en champ clair de sections de structures GaSb/InP suivant les directions [110] (a) et [1-10] dans des ouvertures de 140 nm de largeur. Les flèches indiquent la position des dislocations. Images TEM réalisées par Gilles Patriarche au C2N.

expliquent la dégradation des nanostructures présentées sur la Figure 2.23 (gravure des coins inférieurs des nanostructures). La vue globale de ces sections nous montre les mêmes facettes que dans le cas de structures InGaAs, avec en plus des facettes  $\{111\}$  à la base des nanostructures. Dans le cas du dépôt de 150 nm de matériau, la structure recouvre le masque hors de l'ouverture sur environ 10 nm avant ces facettes. Des facettes  $\{113\}$  commencent à apparaître lorsque la largeur de la facette (001) est bien plus grande que les  $\{111\}$ . Aucun schéma de croissance particulier n'apparaît pour des largeurs d'ouvertures de 80 nm. En revanche, à partir d'ouvertures de 130 nm de largeur, les structures suivant  $[110]$  ont des facettes  $\{111\}B$  plus développées que la facette (001), et inversement pour des structures suivant  $[1-10]$  (Figure 2.23).

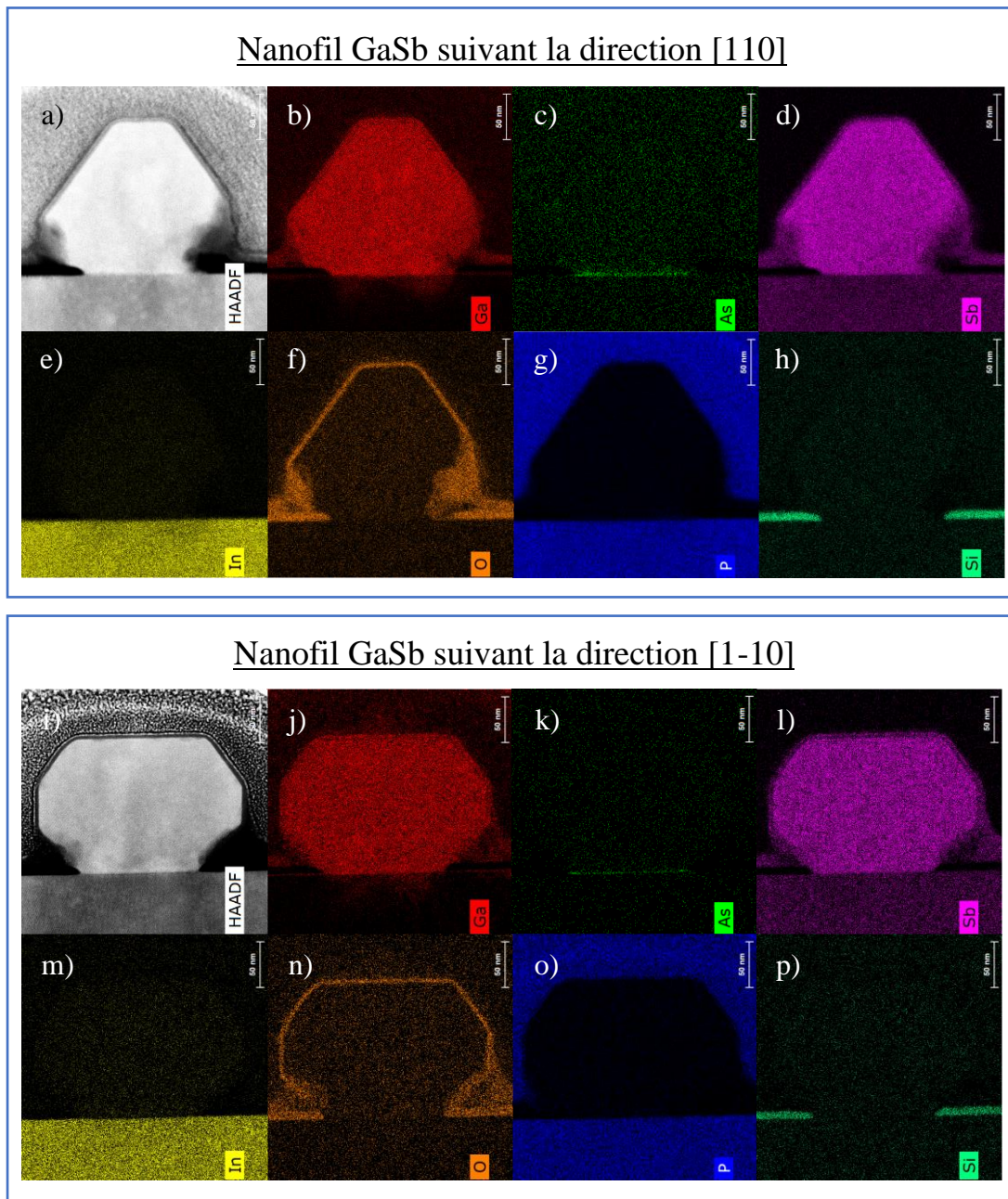


Figure 2.25 : Images TEM en champs sombre et analyses EDX de deux nanostructures épitaxiées sélectivement suivant les directions  $[110]$  et  $[1-10]$ . Chaque trait représente 50 nm.



Les analyses par microscopie électronique à transmission (TEM) menées sur ces structures par Gilles Patriarche au Centre de Nanosciences et de Nanotechnologies (C2N, Palaiseau) ont permis d'étudier à la fois la qualité cristalline de ces nanostructures et leur composition chimique grâce à la mesure de la dispersion en énergie des rayons X émis par les atomes du matériau ionisés par le faisceau d'électrons (EDX).

L'analyse TEM à haute résolution met en évidence l'absence de dislocations émergentes au sein de la nanostructure, la relaxation de la contrainte se faisant par un réseau de dislocations confinées à l'interface avec le substrat (Figure 2.24). La périodicité de ces dislocations est d'environ 14 nm pour les structures suivant [1-10] épitaxiées dans des ouvertures de 140 nm de largeur et d'environ 11 nm pour les structures suivant [110]. Toutefois, ces dislocations peuvent être de 60 ° ou de 90 °. De ce fait, il n'est pas possible de déterminer précisément le taux de contrainte à l'interface, mais la position de ces dislocations et la présence significative de dislocations 60 ° laisse supposer une certaine rugosité de la surface du substrat, probablement due à la désoxydation sous flux d'As<sub>4</sub> utilisé pendant l'étape de désoxydation du substrat InP.

Cette supposition est confirmée par l'EDX qui révèle la présence d'arsenic à l'interface, incorporé sur quelques nanomètres dans le GaSb (Figure 2.25).



## VII. Conclusion

En plus d'améliorer la désoxydation de la surface de l'échantillon, l'hydrogène atomique permet d'obtenir la sélectivité sur un masque diélectrique à plus faible température et de manière plus simple pour les composés ternaires qu'en sélectivité thermique. Lorsque le matériau est accordé en maille sur le substrat, on obtient des nanostructures continues dans les ouvertures avec des facettes bien définies.

Nous avons également montré que l'utilisation d'hydrogène atomique permettait d'épitaxier sélectivement des nanostructures désadaptées en maille telles que GaSb sur InP avec une très bonne qualité cristalline, les défauts liés à la relaxation se résumant en des dislocations confinées à l'interface avec le substrat InP. De grandes et larges structures laissent apparaître une coalescence incomplète des îlots de GaSb. Mais les structures les plus étroites sont continues et uniformes.

Les effets de l'hydrogène atomique sur les propriétés optiques d'InGaAs ont été étudiés. La photoluminescence de puits quantiques InGaAs/InAlAs épitaxiés après différents processus de désoxydation du substrat InP a démontré l'apport bénéfique de l'hydrogène atomique pendant cette étape et la possibilité d'obtenir un matériau de qualité même en l'absence d'une couche tampon. Nous avons également montré que ce flux d'hydrogène atomique maintenu pendant la croissance n'affectait pas la photoluminescence de puits InGaAs/InP. En utilisant les possibilités offertes par la connexion des deux bâtis sous ultra-vide, des nanostructures planaires à cœur InGaAs et coquille InP ont été obtenues par croissance sélective. De la photoluminescence à température ambiante a pu être mesurée sur un nanofil unique.

Enfin, nous avons étudié l'influence de l'hydrogène atomique sur les propriétés électriques de couches d'InGaAs et de Ga(As)Sb. Les mesures par effet Hall ont montré l'impact positif de l'hydrogène sur les couches d'InGaAs non dopées et l'absence d'effet sur les couches dopées au silicium ou au tellure.

Pour ce qui est de la croissance de couches dopées au carbone, l'hydrogène atomique semble diminuer fortement l'incorporation du dopant comme nous avons pu le constater dans le GaAsSb. L'absence de source béryllium sur le bâti équipé d'une source d'hydrogène atomique nous a conduit, malgré le problème du désaccord de maille par rapport à InP, à considérer la solution du GaSb (qui peut être dopé p au silicium) pour la fabrication d'hétérostructures As/Sb par croissance sélective.

---

## Bibliographie du Chapitre 2

1. Fahed, M. Selective area growth of in-plane III-V nanostructures using molecular beam epitaxy. Thèse de doctorat, Université de Lille, 2016.
2. Zhao, X. & Del Alamo, J. A. Nanometer-scale vertical-sidewall reactive ion etching of InGaAs for 3-D III-V MOSFETs. *IEEE Electron Device Lett.* **35**, 521–523 (2014). DOI : 10.1109/LED.2014.2313332
3. Lindelöw, F., Zota, C. B. & Lind, E. Gated Hall effect measurements on selectively grown InGaAs nanowires. *Nanotechnology* **28**, (2017). DOI : 10.1088/1361-6528/aa6287
4. Pastorek, M. *et al.* Bottom-up fabrication of InAs-on-nothing MOSFET using selective area molecular beam epitaxy. *Nanotechnology* **30**, 035301 (2019). DOI : 10.1088/1361-6528/aebbd
5. Pastorek, M. Fabrication and characterization of III-V MOSFETs for high performance and low power applications. Thèse de doctorat, Université de Lille, 2017.
6. Li, C. H., Li, L., Law, D. C., Visbeck, S. B. & Hicks, R. F. Arsenic adsorption and exchange with phosphorus on indium phosphide (001). *Phys. Rev. B* **65**, 205322 (2002). DOI : 10.1103/PhysRevB.65.205322
7. Watanabe, A., Isu, T., Hata, M. & Katayama, Y. Investigation of InP surface under arsenic pressure using RHEED-TRAXS. *J. Cryst. Growth* **115**, 371–374 (1991). DOI : 10.1016/0022-0248(91)90770-6
8. Hollinger, G., Gallet, D., Gendry, M., Santinelli, C. & Viktorovitch, P. Structural and chemical properties of InAs layers grown on InP(100) surfaces by arsenic stabilization. *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.* **8**, 832 (1990). DOI : 10.1116/1.584974
9. Desplanque, L. *et al.* Influence of nanoscale faceting on the tunneling properties of near broken gap InAs/AlGaSb heterojunctions grown by selective area epitaxy. *Nanotechnology* **25**, (2014). DOI : 10.1088/0957-4484/25/46/465302
10. Fahed, M., Desplanque, L., Troadec, D., Patriarche, G. & Wallart, X. Threading dislocation free GaSb nanotemplates grown by selective molecular beam epitaxy on GaAs (001) for in-plane InAs nanowire integration. *J. Cryst. Growth* **477**, 45–49 (2017). DOI : 10.1016/j.jcrysgro.2016.12.029
11. Fahed, M., Desplanque, L., Coinon, C., Troadec, D. & Wallart, X. Impact of P/In flux ratio and epilayer thickness on faceting for nanoscale selective area growth of InP by molecular beam epitaxy. *Nanotechnology* **26**, (2015). DOI : 10.1088/0957-4484/26/29/295301

# Chapitre 3

## Caractérisation électrique des nanostructures InGaAs

Dans ce chapitre, nous présentons dans un premier temps les étapes technologiques nécessaires à la caractérisation électrique des nanostructures d'InGaAs épitaxiées par croissance EJM sélective. La conductance des nanostructures est d'abord étudiée à l'aide de mesures sur des nanofils de longueur variable. Pour les nanostructures non dopées, nous avons élaboré des nanostructures en  $\Pi$  permettant des mesures « 4 contacts », ou utilisé une deuxième étape de croissance sélective afin de définir des zones d'accès dopées. Les propriétés de nanofils à cœur InGaAs enrobés d'une coquille en InP sont ainsi étudiées par l'analyse des performances électriques de transistors MOSFET dont la longueur de grille peut atteindre 30 nm.

### I. Technologie de fabrication des composants

#### I.1 Contacts métalliques

Les mesures électriques nécessitent de contacter les nanostructures à leurs extrémités. Le procédé lift-off présenté dans le chapitre 2.II.1 est utilisé de sorte à recouvrir les nanostructures d'une bicouche métallique Ti/Au (100 nm / 400 nm) sur une longueur de 1  $\mu\text{m}$  (Figure 3.1).

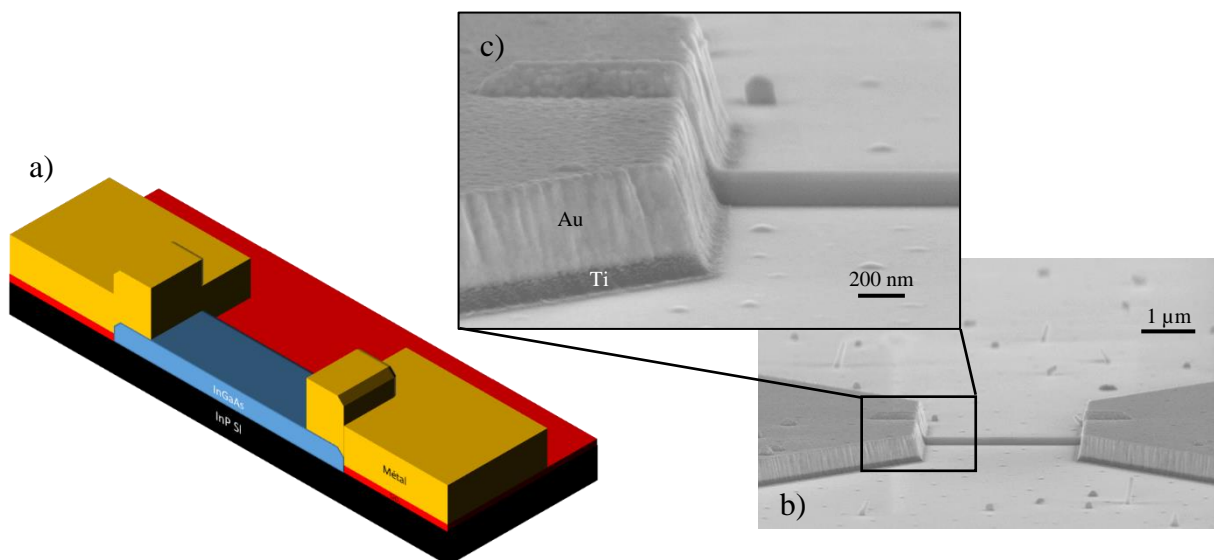


Figure 3.1 : Représentation de la coupe (a) et images MEB (b-c) d'un nanofil d'InGaAs épitaxié dans une ouverture de  $\text{SiO}_2$  de 50 nm de large et 5  $\mu\text{m}$  de long (3  $\mu\text{m}$  entre contacts). L'épaisseur nominale déposée est de 100 nm.

Préalablement au dépôt, la surface est exposée à un plasma argon permettant le nettoyage des résidus organiques dans les ouvertures du masque de résine et la gravure de l'oxyde natif d'InGaAs. Les plots métalliques s'élargissent depuis la nanostructure pour former des plots de contact carrés de 100  $\mu\text{m}$  de côté permettant de poser les pointes de mesure. Le masque de  $\text{SiO}_2$  n'est pas retiré au préalable pour limiter les courants de fuite des contacts métalliques vers le substrat d'InP semi-isolant.

## I.2 Dépôt de grille

Pour la fabrication des transistors à effet de champ de type MOSFET, nous procédons après l'étape des contacts à un dépôt d'alumine ( $\text{Al}_2\text{O}_3$ ) par couche atomique (Atomic Layer Deposition, ALD). Ce matériau diélectrique possède une permittivité plus importante que celle de la silice (environ 9 contre 3,9), ce qui permet un meilleur contrôle électrostatique de grille. Pour cette étape, l'échantillon est chauffé à 300  $^\circ\text{C}$  dans un bâti Beneq TFS200. Les 36 cycles de dépôt d' $\text{Al}_2\text{O}_3$  sont composés d'une exposition à un précurseur métallique, le triméthylaluminium (TMA), suivie d'une exposition à un précurseur oxydant, l' $\text{H}_2\text{O}$ . Théoriquement, ces 36 cycles de dépôt devraient donner une épaisseur d' $\text{Al}_2\text{O}_3$  de 4 nm. En analysant les coupes de ces échantillons au TEM, il en ressort une épaisseur d'oxyde d'environ 7 nm (Figure 3.2). L'erreur constatée est probablement liée à une erreur de calibration, celle-ci ayant été effectuée sur une couche plus épaisse et la vitesse de dépôt n'étant pas constante du début à la fin du procédé [1]. En dépit de cette valeur supérieure à l'épaisseur visée, nous avons constaté une épaisseur uniforme de la couche d'alumine autour des nanostructures.

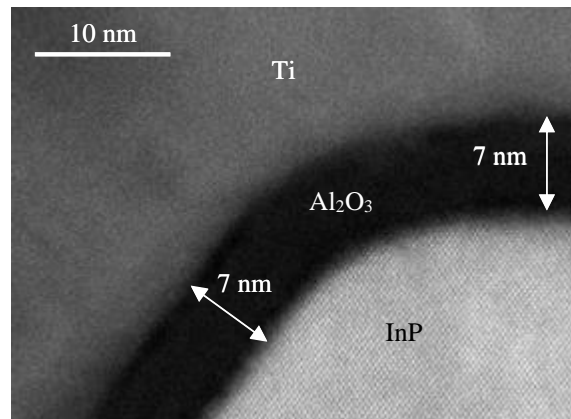


Figure 3.2 : Image TEM de la coupe d'une structure cœur-coquille InGaAs/InP après le dépôt de la grille.

Une grille composée de 100 nm de titane et 400 nm d'or est ensuite déposée par le procédé décrit au chapitre 2.II.1. Cette fois, aucun plasma argon n'est effectué avant l'évaporation des métaux pour ne pas graver l'alumine (Figure 3.3). Cette grille métallique recouvre la

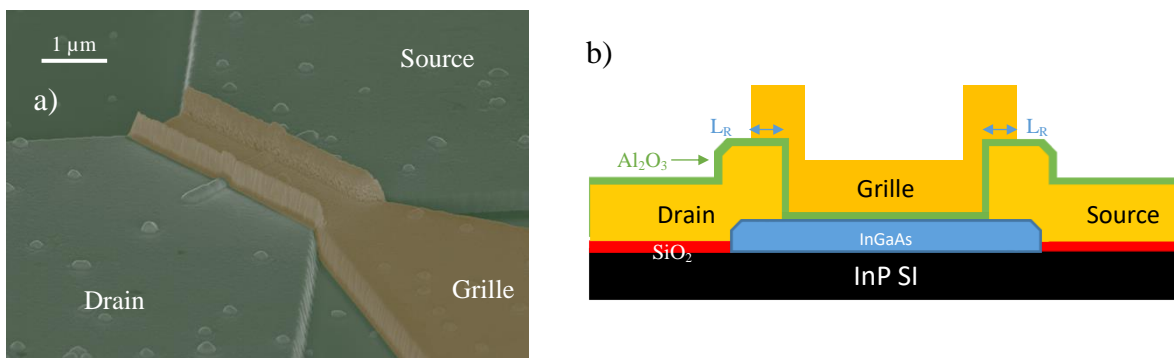


Figure 3.3 : Image MEB en fausse couleur et inclinaison à 30° (a) et représentation en coupe d'une structure avec grille déposée (b).

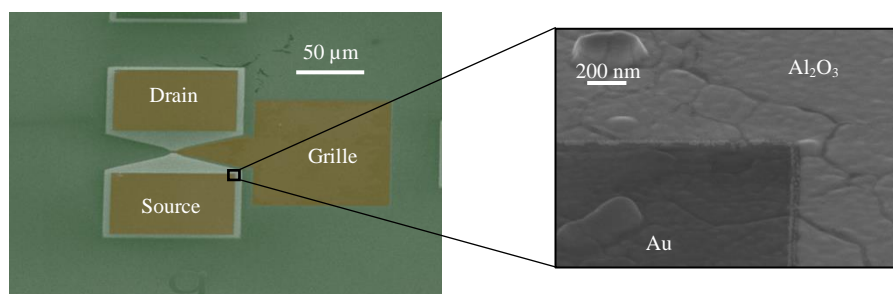


Figure 3.4 : Images MEB avec une inclinaison de  $30^\circ$  et une fausse colorisation sur l'image de gauche (en vert l' $\text{Al}_2\text{O}_3$  en surface, et en jaune le métal découvert) d'un composant de type MOSFET après ouverture des contacts de drain et source par gravure sèche.

nanostructure ainsi qu'une partie des contacts de source et drain (environ 200 nm de recouvrement  $L_R$ ).

L' $\text{Al}_2\text{O}_3$  recouvrant le reste de la surface de l'échantillon, il est nécessaire de retirer l'oxyde à la surface des plots de source et drain pour la mesure sous pointes. De la résine PMMA 3% 495K est déposée et lithographiée pour former des ouvertures carrées de  $80\ \mu\text{m}$  de côté au-dessus des plots métalliques. L'échantillon subit une gravure par plasma  $\text{BCl}_3$  pendant 30 secondes dans un bâti Sentech SI 500 : le flux de  $\text{BCl}_3$  est réglé à 30 sccm pour une pression dans la chambre de 2 mTorr, la puissance du plasma couplé par induction (ICP) est de 200 W, et la source RF à 50 W. Avec ces paramètres, l'épaisseur d' $\text{Al}_2\text{O}_3$  est entièrement retirée (Figure 3.4). Après ces étapes, les composants sont prêts pour les mesures.

### I.3 Nanostructures cœur-coquille InGaAs/InP avec contacts dopés

#### I.3.1 Fabrication

De nombreuses études ont montré que l'interface oxyde-semiconducteur III-V engendrait un certain nombre de pièges contribuant à dégrader le transport électronique dans le semiconducteur <sup>[2],[3]</sup>. Certains traitements préalables au dépôt par ALD permettent de réduire leur densité <sup>[4]-[6]</sup> mais leur influence reste importante. Pour pallier ce problème, nous avons choisi de passiver la surface des nanostructures d'InGaAs par la croissance d'une fine coquille en InP. Pour cela, après l'épitaxie sélective des nanostructures d'InGaAs non-dopées sous hydrogène atomique, l'échantillon est transféré vers le bâti GSMBE où l'on procède à une épitaxie de 10 nm d'InP à  $500\ ^\circ\text{C}$  avec une vitesse de croissance de  $0,2\ \text{mc/s}$  <sup>[7],[8]</sup>. Ces

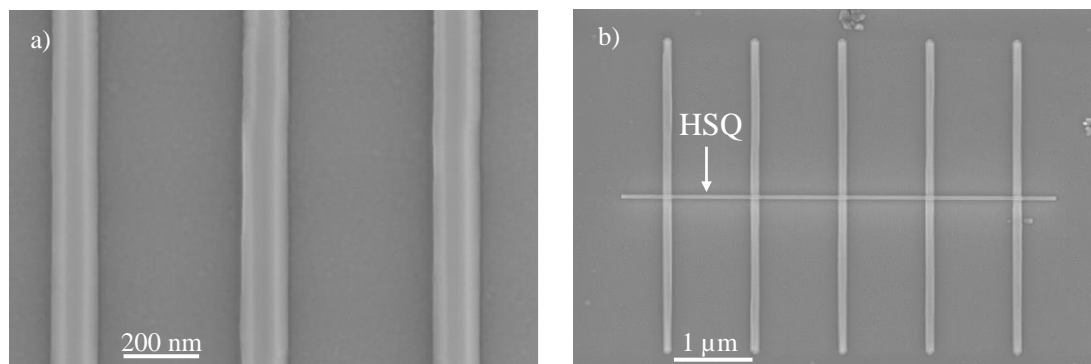


Figure 3.5 : Nanostructures cœur-coquille InGaAs/InP avant (a) et après (b) la réalisation de plots de HSQ.



conditions permettent d'obtenir une bonne sélectivité de croissance par rapport à la surface de  $\text{SiO}_2$  comme le montre la Figure 3.5a.

Sur ces nanostructures sont ensuite déposés des rubans de HSQ en utilisant le procédé décrit dans le chapitre 2.II.2 (Figure 3.5b). Ces rubans présentent des largeurs de  $1\mu\text{m}$  à  $30\text{ nm}$  pour les plus étroits et permettent de masquer une partie des nanofils d'InGaAs/InP pour la croissance de zones de contact en InGaAs fortement dopées au silicium ( $2 \times 10^{19}\text{ cm}^{-3}$ ). Comme nous le verrons dans la suite de ce chapitre, les contacts Ti/Au déposés sur les nanostructures d'InGaAs non-dopées présentent en effet une trop forte résistance. Pour cette étape, après un recuit sous argon/ hydrogène à  $200\text{ }^\circ\text{C}$  pendant cinq minutes et un dégazage sous ultra-vide à

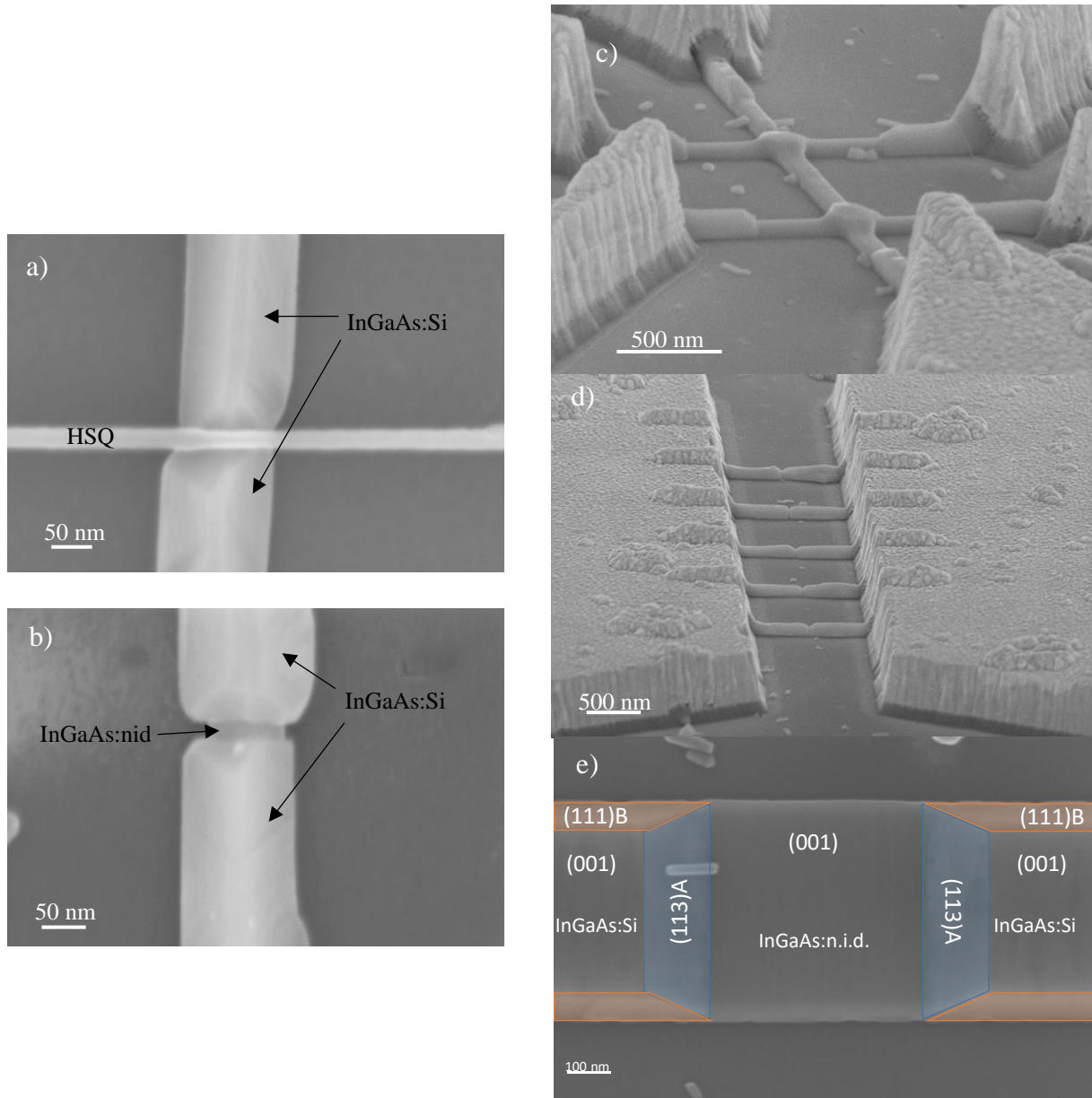


Figure 3.6 : Images MEB (vue de dessus) d'une structure cœur-coquille InGaAs-InP avec recroissance de contacts dopés avant (a) et après (b) avoir retiré le ruban de HSQ de  $30\text{ nm}$  de largeur. Les images MEB c) et d) montrent respectivement une structure type pont de Hall pour mesures 4-pointes avec un canal de  $100\text{ nm}$  de largeur pour  $1\mu\text{m}$  de longueur, et un réseau de 5 nanofils issus d'une ouverture de  $50\text{ nm}$  avec une distance entre contacts dopés de  $30\text{ nm}$  ; tous deux sont contactés par un dépôt Ti( $100\text{ nm}$ )+Au( $400\text{ nm}$ ) aux extrémités. L'image e) correspond à une structure de  $500\text{ nm}$  de largeur (vue de dessus), mettant en avant les différentes facettes observées sur les structures les plus larges. L'image c) a été prise avec une inclinaison de  $30^\circ$  par rapport à la normale, et l'image d) avec une inclinaison de  $20^\circ$ .



180 °C, l'échantillon est introduit dans le bâti SSMBE pour une épitaxie sélective de 30 nm d'InGaAs:Si assistée par hydrogène atomique à 480 °C avec une vitesse de croissance de 0,2 mc/s (Figure 3.6). Des mesures par effet Hall sur des structures de taille millimétrique nous donnent pour la structure complète InGaAs:Si (30nm) / InP (10 nm) / InGaAs (30 nm) une mobilité de 2000 cm<sup>2</sup>/V.s et une densité de porteurs de charge de  $-2,1 \cdot 10^{19} \text{ cm}^{-3}$ .

7 nm d'Al<sub>2</sub>O<sub>3</sub> et les contacts de grille sont ensuite déposés comme décrit dans la partie I.2 pour compléter les composants MOSFETs.

### I.3.2 Analyses en microscopie électronique à transmission (MET)

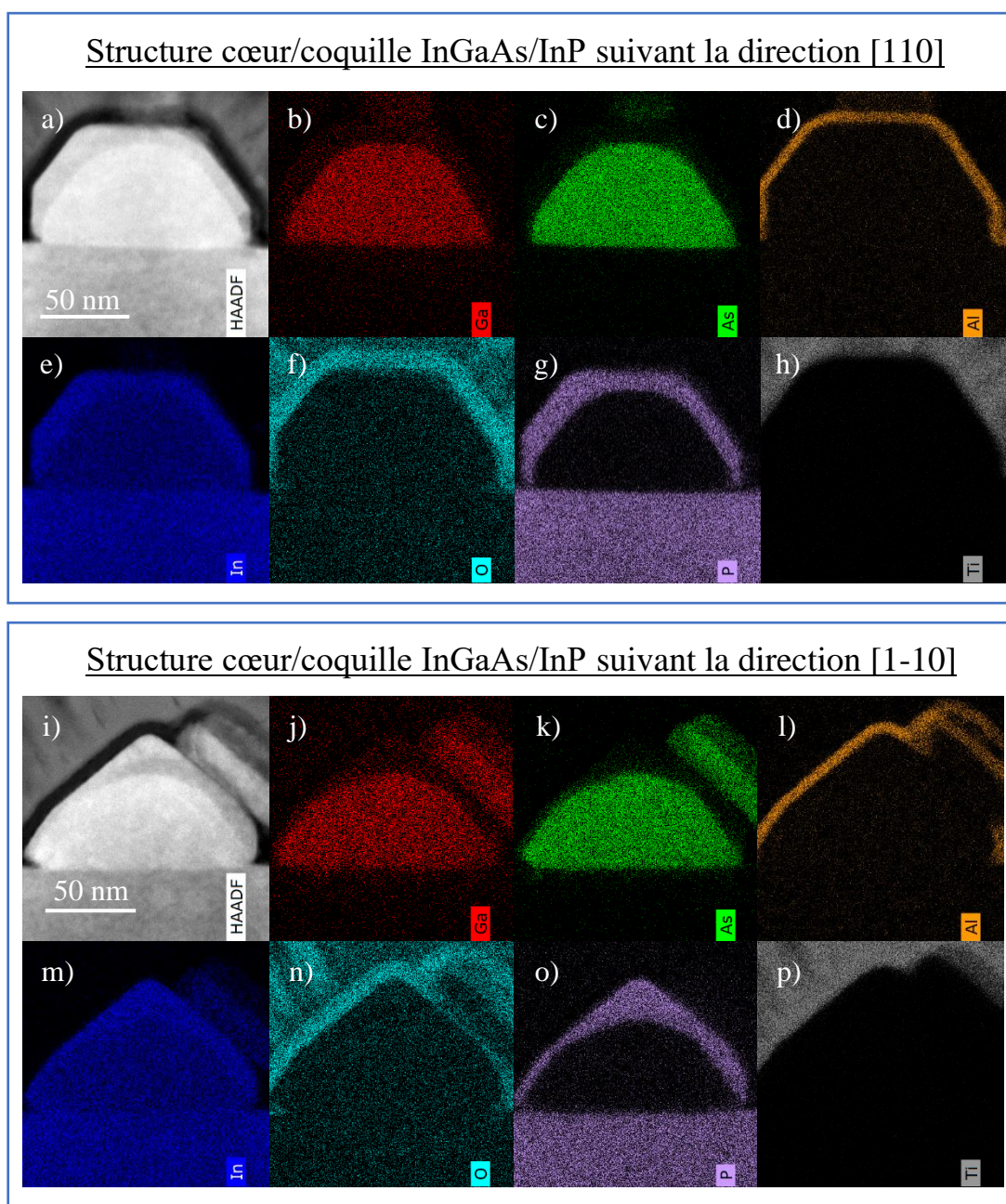


Figure 3.7 : Images TEM en champ sombre (a et i) et détails des analyses EDX (b-h et j-p) de deux nanostructures épitaxiées sélectivement suivant les directions [110] et [1-10].

Sur les nanostructures élaborées à partir d'une ouverture dans le masque SiO<sub>2</sub> de 100 nm, des lames minces de la section transverse au nanofil dans la zone masquée par la HSQ ont été réalisées par David Troadec (IEMN) après les dernières étapes de fabrication des composants. La gravure par faisceau d'ions focalisés permet de préparer une portion très fine de la section du canal pour son observation par microscopie électronique en transmission au C2N par Gilles Patriarche.

Les analyses EDX sur ces deux lames permettent d'observer la répartition des différents éléments chimiques au sein de la nanostructure (Figure 2.25) et d'établir le profil de concentration en indium, gallium, arsenic et phosphore (Figure 3.8c,e). Il révèle une composition relativement homogène d'indium dans l'InGaAs d'environ 60 % avec un léger enrichissement au sommet des nanostructures.

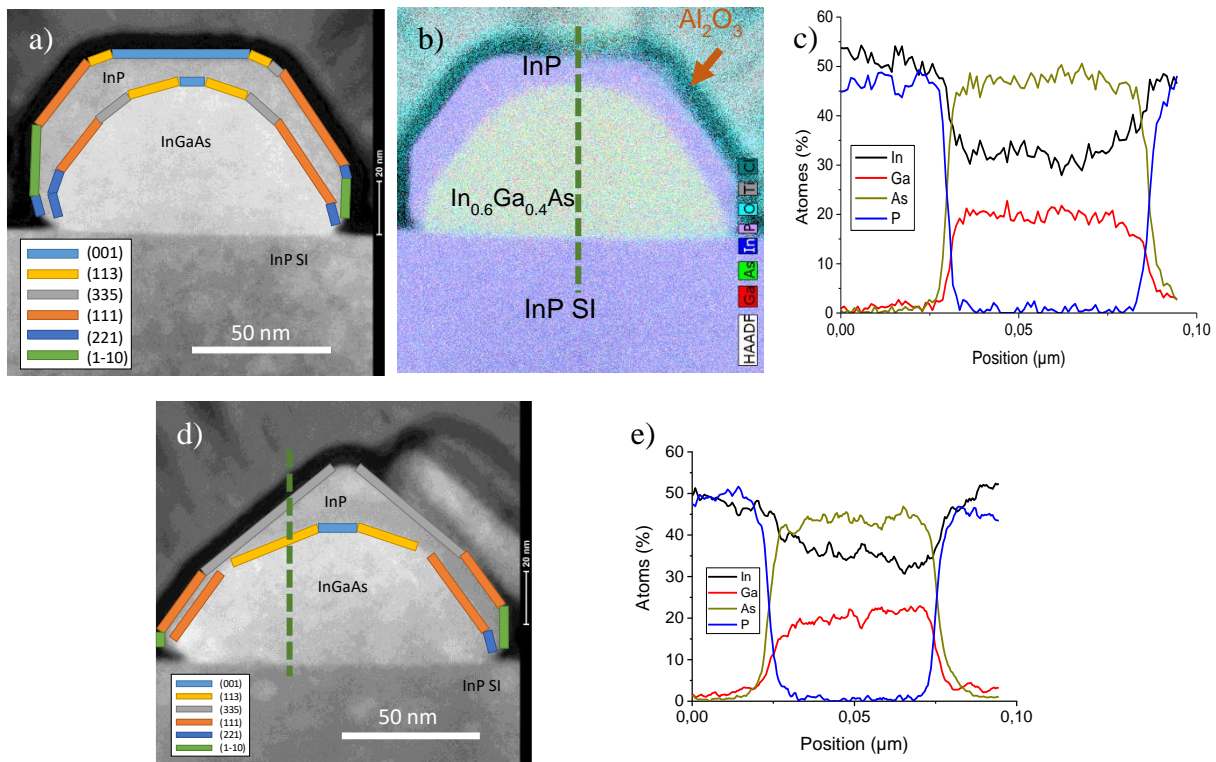


Figure 3.8 : Image MET (a,d), analyse EDX (b) de la coupe et profil de concentration en éléments (c,e) de structures cœur/coquille InGaAs/InP de 100 nm de largeur suivant [110] (a-c) et [1-10] (d-e) utilisées dans la fabrication d'un MOSFET. Le trait en pointillés verts sur les images b) et d) représentent les tracés réalisés pour les profils c) et e).

Les images MET en vue de coupe de ces structures révèlent la présence de facettes non conventionnelles sur l'InGaAs et sur l'InP. L'InGaAs n'étant pas parfaitement en accord de maille sur le substrat en InP lors de sa croissance, la contrainte élastique force la structure à adopter des facettes autres que celles observées dans le chapitre 2.II.3.2, à savoir l'ajout de facettes (113), (335) et (221) pour les structures InGaAs suivant [110] (Figure 3.8a), et l'apparition de facettes (001) et (221) sur les structures fines suivant [1-10] (Figure 3.8d), ce qui donne l'impression d'avoir une structure en demi-cylindre. Le dépôt de la coquille d'InP s'est donc faite sur de l'InGaAs contraint en compression. La forme de la structure en InP est proche de ce que l'on obtient lors d'une homoépitaxie sélective de ce matériau<sup>[8]</sup> mais avec l'ajout de facettes (221) et (113) sur les structures suivant [110], et de facettes (335) et (1-10) sur les structures suivant [1-10]. L'interface InP/Al<sub>2</sub>O<sub>3</sub> présente un développement d'environ 212 nm et la jonction InGaAs/InP s'étend sur une largeur d'environ 168 nm.

## II. Caractérisation des composants

Pour les caractérisations électriques à température ambiante, nous avons utilisé un banc de mesure sous pointes micrométriques couplées à une alimentation Agilent E5270A (de type SMU [Source Measure Unit]) pilotée par ordinateur.

### II.1 Mesure de la résistivité des nanostructures d'InGaAs par la méthode TLM (Transmission-Line Measurement)

La disposition précise des nanostructures planaires autorisée par la croissance sélective permet facilement la fabrication de composants à nanofils ou nanorubans avec une longueur variable entre les contacts. Elle permet également la mise en parallèle d'un certain nombre de nanostructures. Les longueurs entre contacts étudiées sont ici de 1, 2, 5 et 10  $\mu\text{m}$ . Ces mesures sont effectuées pour des épitaxies localisées d'InGaAs dopées et non-intentionnellement dopées d'épaisseur nominale 30 nm et pour une ouverture du masque en silice de largeur 100 nm (Figure 3.9).

On déduit la résistance linéique du matériau à partir de la pente de la droite de régression, et la résistance des contacts à partir de l'ordonnée à l'origine en combinant les équations 3.1 et 3.2.

$$R_{TLM} = 2 * R_{contact} + R_{linéique} * L \quad (\text{Equation 3.1})$$

$$R_{linéique} = \frac{\rho_{matériau}}{S} \quad (\text{Equation 3.2})$$

avec L la longueur entre contacts,  $\rho_{matériau}$  la résistivité de l'InGaAs et S la section du matériau.

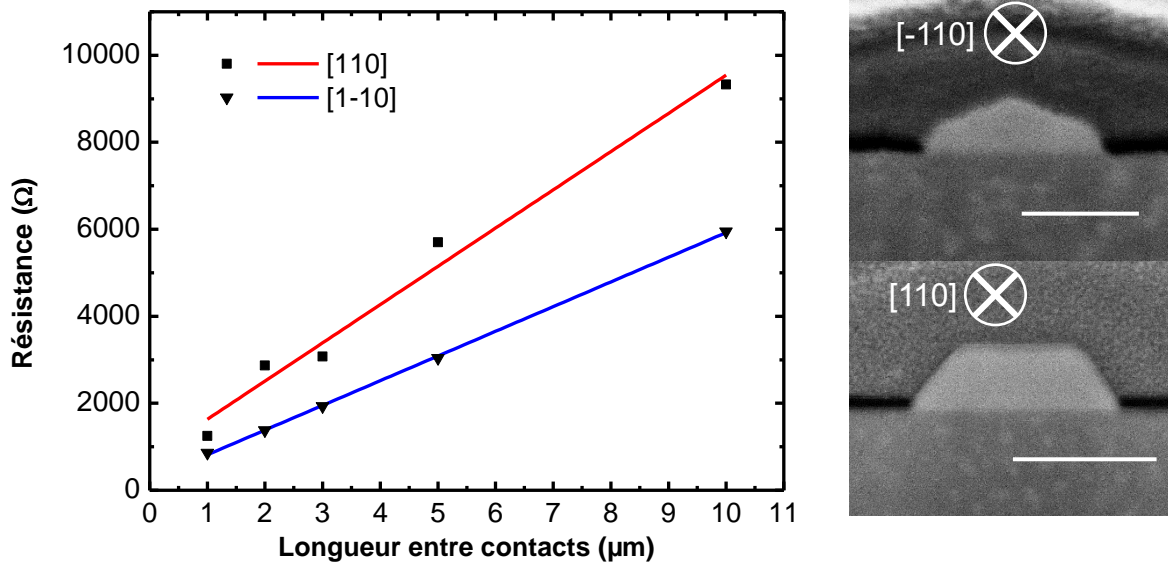


Figure 3.9 : Résistances mesurées en fonction de la longueur des structures à fil unique d'InGaAs:Si [échantillon 110 du chapitre 2.IV.1] et images STEM de la section de ces structures. Les traits représentent 100 nm.



Pour les nanostructures suivant la direction [110], le matériau présente une résistance linéique de  $880 \text{ } \Omega/\mu\text{m}$  et une résistance de contact de  $375 \text{ } \Omega$ ,

Suivant la direction [1-10], la résistance linéique est de  $570 \text{ } \Omega/\mu\text{m}$  et la résistance de contact est de  $125 \text{ } \Omega$ .

Sachant que la conductivité du matériau est l'inverse de  $\rho_{\text{matériau}}$ , on en déduit à partir des sections de la Figure 3.9 une conductivité de l'InGaAs de  $2022 \text{ S/cm}$  pour les nanostructures suivant [110] et  $3112 \text{ S/cm}$  suivant [1-10]. Sur cette même épitaxie, une conductivité du matériau de  $3610 \text{ S/cm}$  a été mesurée par effet Hall sur des structures de type barres de Hall de grande taille (échantillon I10 du chapitre 2.IV.1).

La différence entre ces trois valeurs peut être expliquée par l'influence des facettes des structures durant la croissance, le silicium ne s'incorporant pas de la même manière suivant les facettes [9].

Pour quantifier la qualité des contacts électriques, nous calculons la résistivité de contact  $\rho_c$  :

$$\rho_c = R_{\text{contact}} * L_T * W_G \quad (\text{Equation 3.3})$$

avec  $W_G$  la largeur de développement de la grille, et  $L_T$  la longueur de transfert des charges entre le canal et les accès [10]. On obtient ainsi pour des structures TLM dopées Si suivant [110]  $\rho_c = 27,64 \text{ } \Omega \cdot \mu\text{m}^2$  et suivant [1-10]  $\rho_c = 4,65 \text{ } \Omega \cdot \mu\text{m}^2$ . Ces valeurs nous serviront de référence par la suite.

Des structures TLM de  $100 \text{ nm}$  de largeur ont également été réalisées à partir de croissances InGaAs non intentionnellement dopées. Comme le montre la Figure 3.10, la résistance du composant est largement dominée par la résistance des contacts et ne montre pas une dépendance cohérente avec la longueur entre contacts. Il est donc impossible d'utiliser cette méthode TLM pour caractériser les structures non dopées.

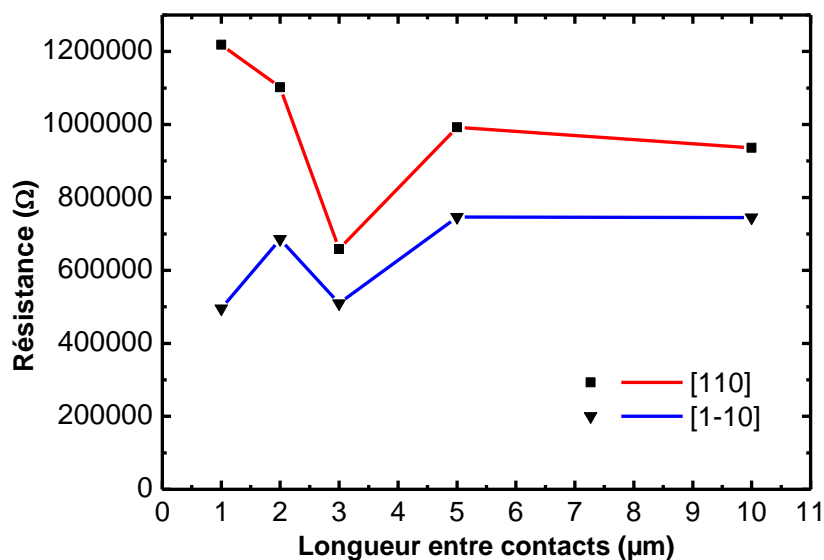


Figure 3.10 : Résistances obtenues en fonction de la longueur de nanostructures TLM avec fil unique d'InGaAs:nid de 100 nm de largeur [échantillon I11]

## II.2 Mesures sur structures 4-points

Afin de s'affranchir des problèmes liés à la résistance des contacts, des structures à 6 accès ont été épitaxiées sélectivement sur le modèle des ponts de Hall pour procéder à des mesures 4-points. Ces structures possèdent un canal central mesurant 50 ou 100 nm de largeur pour respectivement 500 nm et 1  $\mu\text{m}$  de longueur.

Le courant est délivré par la SMU entre les accès 1 et 4 et la différence de potentiel est mesurée entre les accès perpendiculaires 2 et 3. Cette tension ne peut être mesurée avec une SMU, le point froid de l'appareil étant relié à la masse. Les relevés de tension se font donc grâce à un voltmètre indépendant (Figure 3.11).

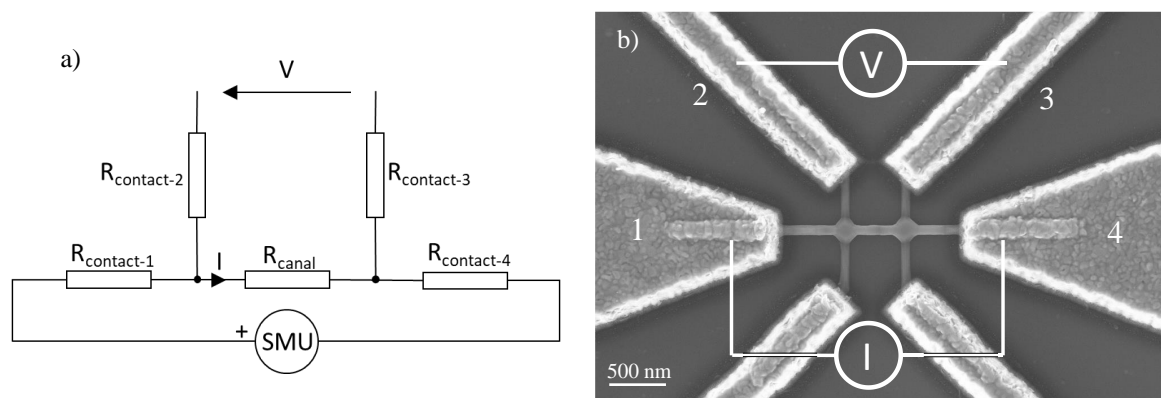


Figure 3.11 : Schéma électrique de la mesure 4-points (a) et image MEB d'une nanostructure d'InGaAs [échantillon 111] à 6 branches avec le canal central de 500 nm de longueur pour 50 nm de largeur.

La mesure de la tension est ainsi prise de sorte à pouvoir obtenir la résistance du canal (2 vers 3), mais aussi les résistances d'accès (1 vers 2 et 3 vers 4).

Les résultats obtenus sur différentes cellules présentant les mêmes structures sont résumés dans le tableau ci-dessous et montrent une assez bonne reproductibilité de la mesure de la résistance du canal, celle des contacts étant plus aléatoire. Cette variabilité associée à une forte résistance explique la difficulté que nous avons rencontrée avec les mesures TLM sur cet échantillon non dopé.

Canal 100 nm x 1 $\mu\text{m}$						
Cellule	Direction [110]			Direction [1-10]		
	$R_{\text{canal}}$	$R_{\text{contact-1}}$	$R_{\text{contact-4}}$	$R_{\text{canal}}$	$R_{\text{contact-1}}$	$R_{\text{contact-4}}$
A	71540	146170	157070	68290	140390	151190
B	77052	109340	126080	65710	111330	117330
C	70770					

Canal 50 nm x 500 nm						
Cellule	Direction [110]			Direction [1-10]		
	$R_{\text{canal}}$	$R_{\text{contact-1}}$	$R_{\text{contact-4}}$	$R_{\text{canal}}$	$R_{\text{contact-1}}$	$R_{\text{contact-4}}$
A	80870	133160	152590	72010	142660	160550
B				109260	116040	110
C	80520	148000	173920	94010	115350	139550

Tableau 3.3 : Résistances (en  $\Omega$ ) du canal et des contacts de structures 4-points pour un dépôt d'InGaAs:nid [échantillon 111].

À partir de la résistance moyenne déduite des mesures 4-pointes et de la surface de la section mesurée sur des images STEM, on peut déterminer la conductivité moyenne de ces structures. Celle-ci est présentée dans le Tableau 3.4 pour deux largeurs de ruban et suivant les directions cristallographiques [110] et [1-10].

	R <sub>canal</sub> moyen (kΩ)	Surface moyenne de la section (nm <sup>2</sup> )	Conductivité (S/cm)
Canal 100nm x 1μm			
- Suivant la direction [110]	73,120	5593	24,45
- Suivant la direction [1-10]	67	5665	26,34
Canal 50 nm x 500 nm			
- Suivant la direction [110]	80,70	3833	16,17
- Suivant la direction [1-10]	91,76	3593	15,17

Tableau 3.4 : Résistance moyenne, section moyenne et conductivité résultante de ces mesures pour des structures 4-pointes issues de l'épitaxie 111 (30 nm d'InGaAs:nid).

On remarque que les valeurs de conductivité sont assez proches dans les deux directions, le facettage n'a donc que peu d'effet sur la conductivité du matériau, contrairement au cas des nanostructures dopées. En revanche, un écart apparaît en réduisant la largeur de l'ouverture dans le masque, les nanostructures épitaxiées dans des ouvertures de 50 nm présentant une plus faible conductivité. Cette différence est probablement liée à une importance accrue de la déplétion de surface sur ces nanostructures où le rapport surface/volume est plus important. En effet, le rapport  $\frac{\text{périmètre en surface}}{\text{section totale}}$  calculé à partir des images STEM donne :

- 0,031 nm<sup>-1</sup> pour les structures suivant [110] issues des ouvertures de 100 nm de largeur et 0,030 nm<sup>-1</sup> suivant [1-10],
- 0,039 nm<sup>-1</sup> pour celles suivant [110] issues des ouvertures de 50 nm de largeur et 0,037 nm<sup>-1</sup> suivant [1-10].

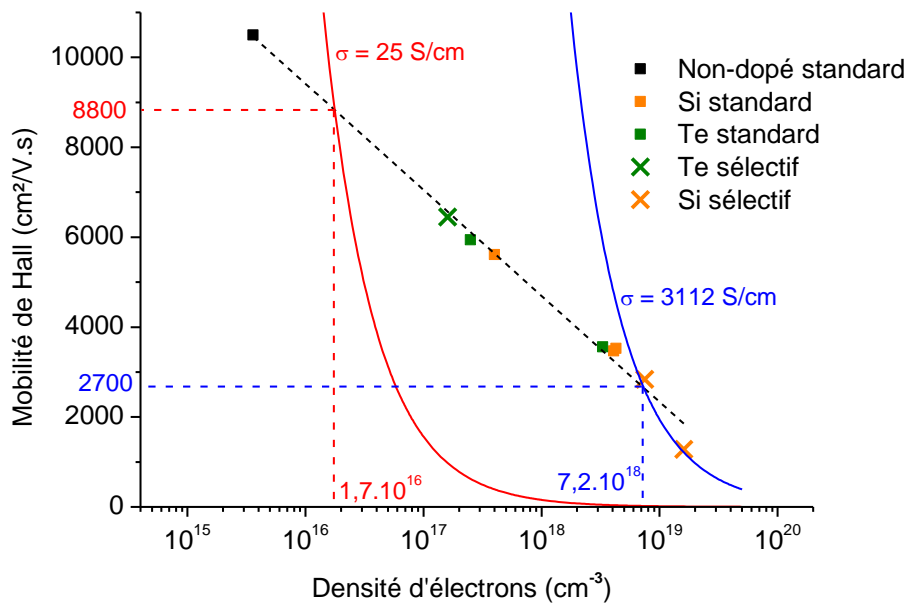


Figure 3.12 : Mobilité de Hall en fonction de la densité d'électrons dans de l'InGaAs sur InP (mesures présentées dans le chapitre 2.IV) et courbes d'iso-conductivité de 3112 S/cm et 25 S/cm. La courbe bleue correspond à une valeur de conductivité déduite des mesures TLM de composants dopés au silicium, et la courbe rouge des mesures 4-pointes sur des composants n.i.d..



L'état de la surface des structures est donc sensiblement plus critique dans le cas des structures les plus étroites.

En considérant la conductivité moyenne de 25 S/cm mesurée pour les nanostructures épitaxiées dans des ouvertures de 100 nm, l'interpolation de cette valeur avec les résultats de mobilité et densité de porteurs de charge obtenus par effet Hall sur des composants micrométriques (chapitre 2.IV.1) nous donnerait une mobilité dans le matériau de  $8800 \text{ cm}^2/\text{V.s}$  pour une concentration résiduelle de porteurs de charge d'environ  $1,7 \cdot 10^{16} \text{ cm}^{-3}$  (Figure 3.12). Il ne s'agit bien-sûr que d'une extrapolation qui néglige les effets de surface (l'échantillon standard non-dopé correspondant à une couche épaisse de 1  $\mu\text{m}$ ) mais cette valeur de mobilité est supérieure à celles mesurées par effet Hall sur des nanostructures d'InAs de dimensions comparables élaborées par TASE ( $5400 \text{ cm}^2/\text{V.s}$  [11] et  $6200 \text{ cm}^2/\text{V.s}$  [12]).

Concernant la résistivité des contacts, on obtient ici une valeur de  $\rho_c = 42,5 \text{ k}\Omega \cdot \mu\text{m}^2$ , ce qui est nettement supérieur à ce que l'on trouve pour des structures dopées. Dans la suite, nous essaierons de réduire ces résistances par le dépôt des contacts sur des zones dopées n.

## II.3 Caractérisations des transistors MOSFET

La très grande résistance des contacts déposés sur les nanostructures d'InGaAs non dopées n'a pas permis la fabrication de transistors de type n. En revanche, en dopant légèrement le nanofil ou en ré-épitaxiant localement des zones de contacts fortement dopées, des transistors ont pu être réalisés afin d'étudier les propriétés de transport au sein des nanostructures.

### II.3.1 Transistors MOSFET à nanofils d'InGaAs légèrement dopés au tellure

Des transistors à effet de champ ont été réalisés à partir d'une épitaxie localisée de 100 nm d'InGaAs:Te (échantillon I08 du chapitre 2.IV.1). Une mesure par effet Hall une fois le composant terminé, c'est-à-dire après le dépôt de l'oxyde de grille, sur des structures de Van der Pauw millimétriques, nous donne pour cet échantillon une mobilité de  $6540 \text{ cm}^2/\text{V.s}$  pour une concentration d'électrons de  $2,4 \cdot 10^{17} \text{ cm}^{-3}$ , soit une conductivité de 251 S/cm. La légère variation de ces valeurs par rapport à celles mesurées précédemment sur l'échantillon I08 par

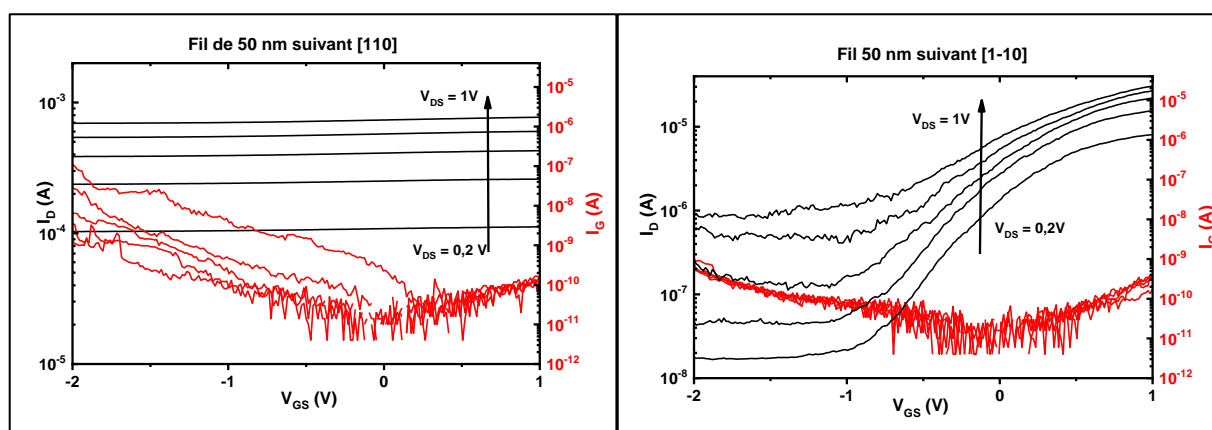


Figure 3.13 : Courbes  $I_d(V_{gs})$  avec une tension  $V_{DS}$  variant de -1 à +1 V pour des composants issus d'ouvertures de 50 nm de largeur orientées suivant [110] (a) ou [1-10] (b).

effet Hall est due à la modification du potentiel de surface d'InGaAs par l'ajout de la couche d'Al<sub>2</sub>O<sub>3</sub>.

Ces composants ont une largeur variable de 50 nm à 10 μm et une longueur de grille fixe de 3 μm. À chaque extrémité, les contacts métalliques de source et de drain recouvrent les nanostructures sur une longueur de 1 μm.

Lors des mesures  $I_D=f(V_{GS})$ , nous remarquons que pour les composants de 50 nm de largeur suivant [110], nous obtenons un courant de drain plus élevé que pour la direction [1-10] (771 μA contre 31 μA pour  $V_{DS} = V_{GS} = 1V$ ), mais la commande de grille est quasi-inexistante (Figure 3.13a). Concernant les composants suivant [1-10] (Figure 3.13b), la commande est plus marquée, mais il est difficile de réduire le courant de deux ordres de grandeur de  $V_{GS} = 1V$  à  $-2V$ , pour  $V_{DS}$  allant jusque  $\pm 1V$ .

En traçant la conductance en fonction de la largeur des ouvertures (Figure 3.14), on constate qu'elle ne varie quasiment pas avec la tension de grille pour des largeurs d'ouverture supérieures à 500 nm dans les deux directions. Pour les ouvertures de largeur inférieure à 500 nm :

- la conductance varie en fonction de  $V_{GS}$  pour la direction [1-10],
- la conductance est indépendante de  $V_{GS}$  pour la direction [110]. De manière surprenante, elle est même plus grande que celle des structures de 500 nm et 1 μm de largeur.

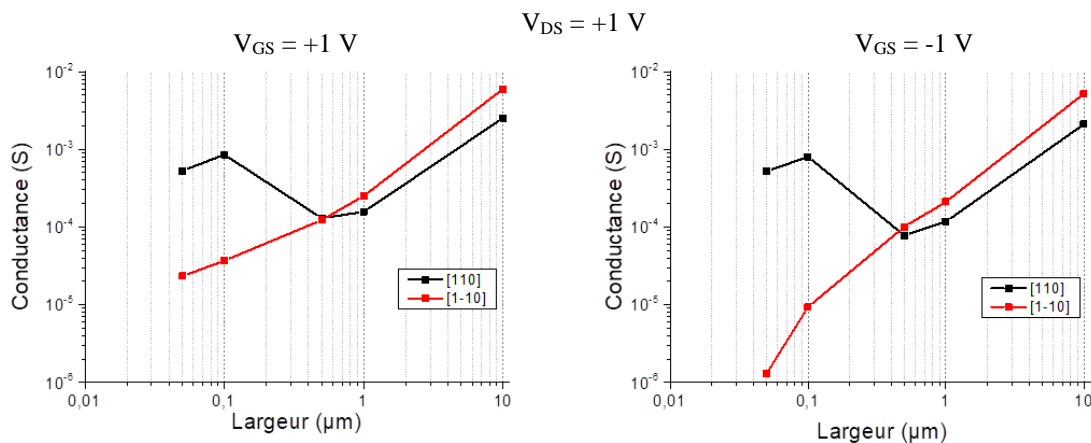


Figure 3.14 : Conductance en fonction de la largeur de l'ouverture ayant permis la croissance sélective du canal selon les directions cristallographiques [110] et [1-10] et dans un état passant ( $V_{GS} = +1V$ ) ou un état « bloqué » ( $V_{GS} = -1V$ ). Les vues en coupe de ces échantillons sont rappelées dans la Figure 3.15 a) et b).

La Figure 3.15 rappelle la forme des nanostructures obtenues pour une croissance d'InGaAs d'épaisseur nominale 100 nm dans une ouverture de largeur 50 nm (cf. Chapitre 2 partie II.3.2). Les types de croissance très différents obtenus pour les deux orientations suggèrent que la différence d'efficacité de commande de grille constatée entre les deux orientations soit liée à la forme des nanostructures. En effet, suivant [110], la croissance du canal se fait avec un fort développement des facettes verticales (1-10) (Figure 3.15a). Ces surfaces sont donc exposées constamment au flux de tellure pendant la croissance. On peut alors supposer une concentration importante de dopants sur ces facettes (Figure 3.15c). Au contraire, suivant [1-10], on constate une croissance latérale des nanostructures dans les directions [111] mais de manière inhomogène le long de l'ouverture. Certaines portions sont même dépourvues de croissance latérale et limitée à une section triangulaire délimitée par l'ouverture du masque. Dans ces portions, on peut supposer un pincement de grille plus efficace étant donnée la section réduite du canal. Ces observations permettent de mieux comprendre les

évolutions de la conductance des composants en fonction de la largeur d'ouverture du masque. Elles nécessiteraient cependant des investigations supplémentaires sur les mécanismes de diffusion ou d'incorporation du tellure selon les différentes facettes mises en jeu pour complètement les élucider.

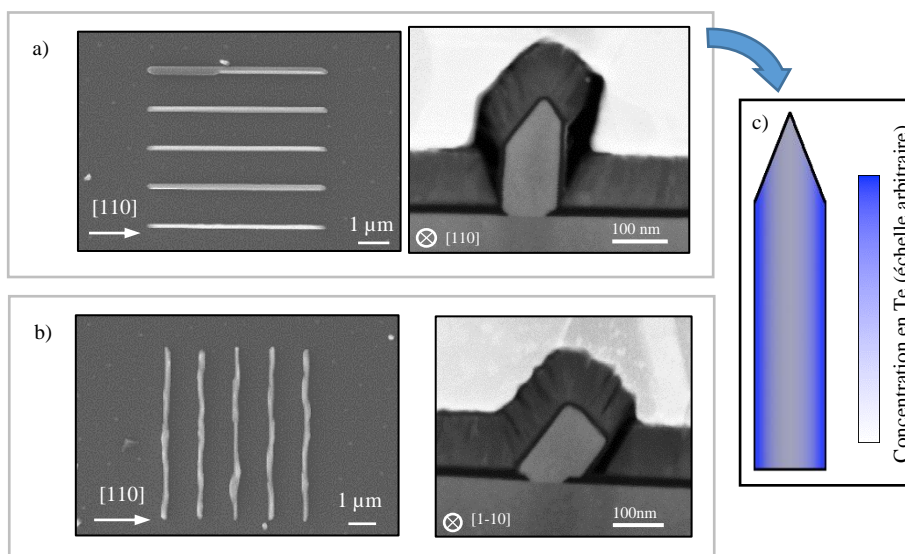


Figure 3.15 : Images FIB-STEM de la section de nanostructures InGaAs:Te dans des ouvertures de 50 nm de largeur suivant [110] (a) et [1-10] (b) et une représentation du profil de concentration en tellure supposé de la section de nanostructures de 50 nm de largeur suivant [110] (c).

### II.3.2 Transistors MOSFET à base d'hétérostructures cœur-coquille

Comme nous l'avons vu dans le paragraphe précédent, le dopage n des nanostructures rend possible la fabrication de transistors de type MOSFET. Les performances de ces composants sont cependant limitées en termes de rapport ON/OFF. Nous avons donc développé le procédé en deux étapes successives de croissance sélective décrit au paragraphe I.3 de ce chapitre pour fabriquer des transistors à base d'hétérostructures cœur-coquille InGaAs/InP non dopées présentant des zones d'accès source et drain dopées. Pour cela, l'espacement entre source et drain est défini par la largeur d'un ruban de résine HSQ utilisé comme masque pour la croissance sélective d'InGaAs:Si.

Nous présentons ici les caractéristiques électriques menées dans le but d'étudier les propriétés de transport électronique au sein de ces hétérostructures. Dans un premier temps, une étude sur l'influence des paramètres géométriques est menée. La résistance du canal et la mobilité d'effet de champ sont ensuite quantifiées par une analyse de la conduction électrique dans l'état passant du transistor. Enfin, les caractéristiques électriques du composant dans l'état bloqué sont étudiées pour en déduire des paramètres physiques liés au canal tels que la densité de défauts à l'interface grille/canal, la hauteur de barrière thermoïonique à l'interface source/canal ou la section efficace de ce dernier.

a) *Caractérisation électrique des structures TLM avec recroissance de contacts dopés*

Des mesures ont d'abord été réalisées sur des structures TLM de largeur  $10\ \mu\text{m}$  dont l'espacement entre les zones d'accès InGaAs:Si varie de  $100\ \text{nm}$  à  $1\ \mu\text{m}$ . L'espace source/drain n'est ici recouvert que d'alumine sans grille métallique. La résistance de ces composants avec l'espacement source/drain est représentée sur la Figure 3.16. L'évolution linéaire permet de déterminer graphiquement une résistance linéique de l'espacement source/drain de  $915\ \Omega/\mu\text{m}$  et une résistance d'accès de  $100\ \Omega$ .

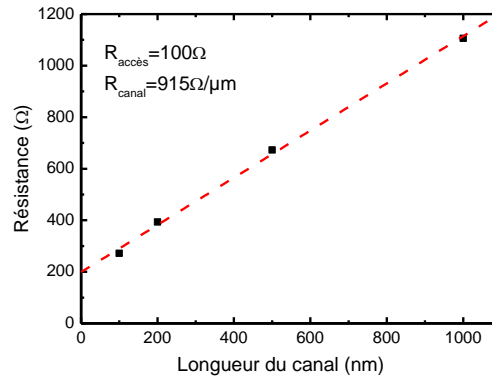


Figure 3.16 : Résistances issues des mesures I(V) sur des structures TLM de  $10\ \mu\text{m}$  de largeur pour un composant cœur-coquille InGaAs/InP avec recroissances de contact.

En considérant ici que  $W_G = w = 10\ \mu\text{m}$ , ces valeurs donnent une résistivité de contact  $\rho_c = 109,3\ \Omega\cdot\mu\text{m}^2$ , plus élevée que pour les nanostructures InGaAs:Si ( $27,6$  et  $4,65\ \Omega\cdot\mu\text{m}^2$  suivant [1-10] et [110] respectivement). Cette augmentation est probablement liée la présence d'une barrière tunnel d'InP entre les zones dopées et le canal. En ce qui concerne la conductivité du canal, une valeur de  $36,7\ \text{S/cm}$  peut être déduite de la résistance linéique. En reportant cette valeur sur la caractéristique de la mobilité électronique en fonction du dopage du chapitre 2, une mobilité de Hall d'environ  $8400\ \text{cm}^2/\text{V}\cdot\text{s}$  et une densité de porteurs de charge de  $2,7\cdot 10^{16}\ \text{cm}^{-3}$  peuvent être déduites. On retrouve des valeurs assez similaires à celles mesurées sur les structures 4-pointes (avec une déplétion un peu moins importante étant donnée la grande largeur des structures). Ces résultats montrent la possibilité de réaliser des mesures 2-pointes sur des structures TLM non dopées grâce à la recroissance de zones d'accès dopées et ce sans influence majeure du processus technologique.

## b) Caractérisation électrique des transistors

## i. Topologie des transistors

Des transistors de différentes dimensions ont ensuite été étudiés. Ceux-ci ont été réalisés à partir d'ouvertures dans le masque en  $\text{SiO}_2$  dont la largeur  $W$  varie de 50 nm à 1  $\mu\text{m}$  (50 nm, 100 nm, 500 nm et 1  $\mu\text{m}$ ) et dont la longueur de grille  $L_G$  varie de 30 nm à 1  $\mu\text{m}$  (30 nm, 50 nm, 100 nm, 500 nm, 1  $\mu\text{m}$ ) et ce, pour les deux directions cristallographiques [110] et [1-10] (Figure 3.17).

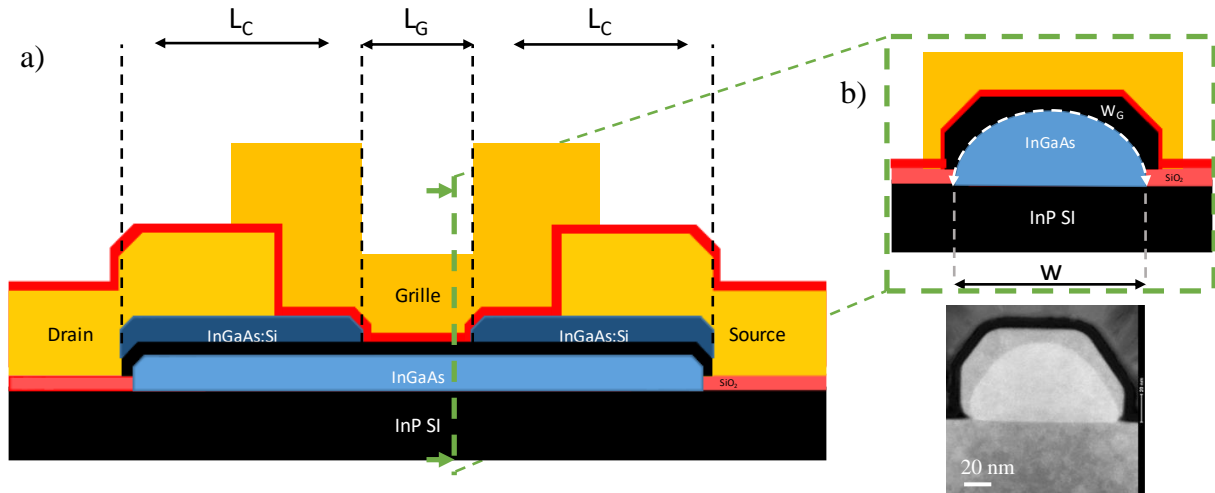


Figure 3.17 : Schéma de la coupe longitudinale d'un transistor cœur-coquille InGaAs/InP avec  $L_G$  la longueur de grille et  $L_C$  la longueur des contacts (a). Schéma de la coupe transverse indiquant les paramètres  $w$  (largeur de l'ouverture du masque) et  $W_G$  (largeur du développement de grille) et image MET correspondante pour  $w = 100$  nm (b).

## ii. Influence des aspects géométriques sur les caractéristiques électriques

Un exemple de caractéristiques  $I_D=f(V_{DS})$  pour des transistors de largeur  $w = 100$  nm et de longueur de grille  $L_G = 1$   $\mu\text{m}$  possédant 5 canaux disposés en parallèle orientés suivant [110] et [1-10] est donné sur la Figure 3.18. Ces caractéristiques montrent :

- une zone linéaire jusqu'à  $V_{DS} < 50$  mV,
- des courants de fuite par la grille  $I_G$  très faibles pour les deux directions (bien qu'une fuite plus importante soit observée pour la structure suivant [1-10]),
- à  $V_{GS}$  identique, un courant  $I_D$  plus faible est mesuré sur le composant suivant [110] par rapport à l'autre direction. Cette différence est due en premier lieu à une variation de la tension de seuil  $V_T$  du composant (la tension de seuil est déduite de l'intersection de la tangente de la zone linéaire des caractéristiques  $I_D=f(V_{GS})$  avec l'axe des abscisses).

Même si le rendement de croissance est très bon, nous avons constaté que quelques nanofils pouvaient être discontinus. La mesure sur des réseaux de nanofils en parallèle entraîne ainsi une incertitude sur le nombre de fils continus effectivement présents sous la grille. Pour éviter cette incertitude, nous privilégierons donc l'utilisation de structures à canal unique pour la suite de notre étude.

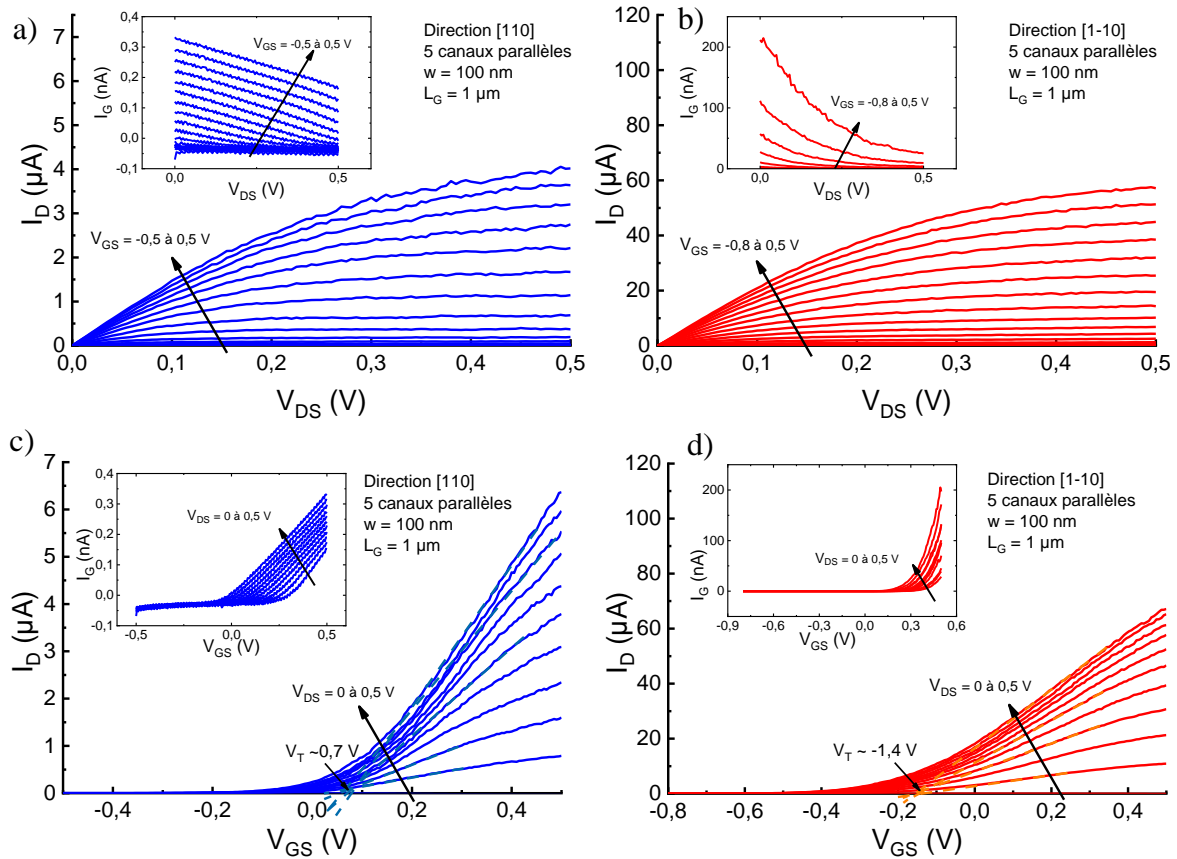


Figure 3.18 : Caractéristiques  $I_D=f(V_{DS})$  (a,b) et  $I_D=f(V_{GS})$  (c,d) pour un transistor cœur-coquille InGaAs/InP multidigité (5 canaux parallèles) avec  $w = 100 \text{ nm}$  et  $L_G = 1 \mu\text{m}$  suivant les directions [110] (a,c) et [1-10] (b,d).

De la même manière que l'orientation cristallographique, la largeur des ouvertures du masque influence également la valeur de la tension de seuil du transistor étant donnée la nature différente des facettes mises en jeu (Figure 3.19). Ainsi, alors que la tension de seuil  $V_T$  est largement négative lorsque la facette (001) prédomine ( $w = 1 \mu\text{m}$ ), celle-ci tend vers une valeur positive lorsque la largeur des nanostructures diminue et que les facettes latérales sont de plus en plus influentes. On notera tout de même une valeur plus élevée pour les transistors orientés suivant [110] (Figure 3.20). En comparant les valeurs obtenues pour les deux directions, on remarque que, quelle que soit l'orientation du canal, la tension de seuil diminue avec l'augmentation de  $w$  jusqu'à tendre vers une valeur commune entre -0,8 et -1 V pour les plus grandes largeurs. L'écart observé pour les faibles  $w$  peut être expliqué par l'influence du potentiel de surface des facettes, la facette (001) devenant dominante avec l'augmentation de  $w$ .

La forme des nanostructures influe également sur l'efficacité de commande du transistor. La transition entre l'état passant et l'état bloqué d'un transistor est caractérisée par le terme de « pente sous le seuil » (*subthreshold slope* SS) (Figure 3.19a,c). Elle traduit l'efficacité de commande du potentiel de grille sur la conduction du canal et peut être exprimée en fonction de la température  $T$ , de la capacité formée par l'oxyde de grille  $C_{ox}$ , celle induite par la zone de



déplétion dans le semiconducteur  $C_D$  et celle provoquée par les pièges à l'interface entre l'oxyde et le semiconducteur  $C_{it}$  par la relation suivante <sup>[13]</sup> :

$$SS = \frac{dV_{GS}}{d(\log I_D)} = \ln(10) * \frac{k_B T}{q} \left( \frac{C_{ox} + C_D + C_{it}}{C_{ox}} \right) \quad (\text{Equation 3.4})$$

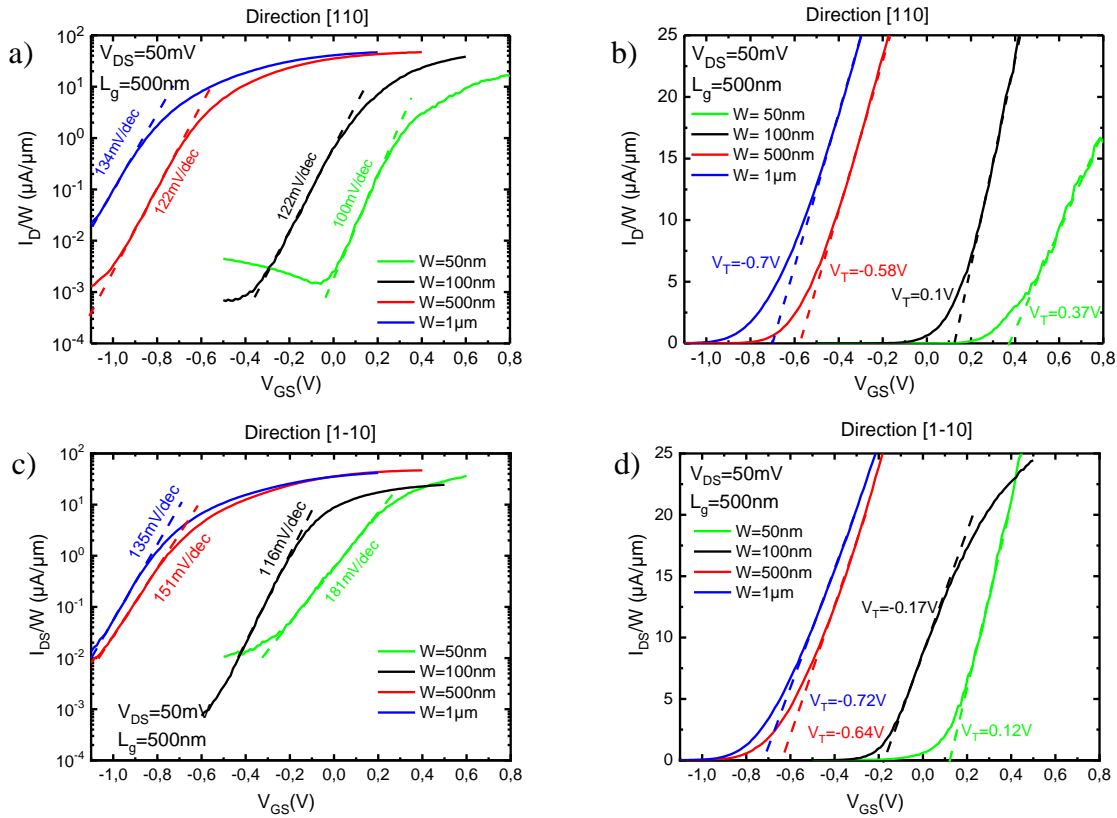


Figure 3.19 : Courbes  $I_D=f(V_{GS})$  pour différentes largeurs d'ouverture  $w$  des transistors cœur-coquille InGaAs/InP. Le courant est normalisé par rapport à  $w$ .

Dans le cas d'un MOSFET parfait,  $C_{ox}$  serait grande devant  $C_D$  et  $C_{it}$  inexistante, fixant ainsi la limite thermoïonique de  $SS$  à 60 mV par décade de courant à température ambiante.

L'évolution des caractéristiques  $I_D=f(V_{GS})$  pour une longueur de grille fixée à 500 nm et la largeur des ouvertures variable de 50 nm à 1  $\mu\text{m}$  pour les deux orientations cristallographiques montre une pente sous le seuil décroissante quand la largeur des ouvertures diminue dans la direction [110] avec un minimum à 100 mV/déc pour  $w = 50$  nm (Figure 3.19a).

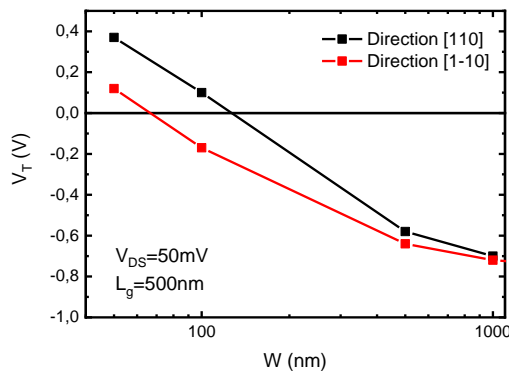


Figure 3.20 : Evolution de la tension de seuil en fonction de  $w$ .

Dans la direction perpendiculaire, l'évolution n'est pas monotone, et on constate une dégradation importante de l'efficacité de commande de grille pour la plus faible largeur d'ouverture où prédominent les facettes (111)<sub>A</sub>.

Dans la suite de ce travail, nous nous limiterons aux transistors épitaxiés à partir d'ouvertures de 100 nm de largeur orientées suivant la direction [110] et nous considérons systématiquement l'écart de la tension de grille par rapport à la tension de seuil ( $V_{GS}-V_T$ ).

*iii. Exploitation des caractéristiques électriques en régime passant ( $V_{GS} > V_T$ )*

Pour cette étude, l'échantillon est placé ici dans une station de mesure basse température Lake Shore CPX-VF équipée de pointes micrométriques reliées à une SMU. Il est refroidi sous vide jusque 77 K grâce à de l'azote liquide, et peut être chauffé par paliers jusque 300 K. Des mesures avec un refroidissement à l'hélium liquide ont également été faites pour évaluer les caractéristiques des composants à 4 K.

Pour les composants de largeur  $w = 100$  nm étudiés, les longueurs de grille sont de 30 nm, 100 nm, 500nm et 1  $\mu$ m.

Les caractéristiques  $I_D=f(V_{GS})$  mesurées sur ces composants en fonction de la température sont tracées sur la Figure 3.21.

De ces mesures sont déduites les résistances des composants pour une même polarisation dans l'état passant du composant ( $V_{GS}-V_T = 0,4V$ ) (Figure 3.22a). La résistance moyenne des accès et la résistance linéique du canal déduites de l'interpolation des courbes de régression linéaire sont tracées en fonction de la température sur la Figure 3.22b. On peut constater une résistance moyenne de contacts entre 8 et 10 k $\Omega$  pour les deux accès et à peu près constante avec la température. La résistance linéique du canal diminue lorsque la température diminue jusqu'à stagner autour de 12 k $\Omega/\mu$ m à partir de 77 K. Cette variation reflète probablement l'évolution de la mobilité électronique dans le canal avec la température. De plus, on observe un courant plus important lorsque la température diminue pour les composants de 30 nm, 500 nm et 1  $\mu$ m de long (Figure 3.21). Le phénomène inverse apparait pour 100 nm de long, probablement dû à une prédominance des résistances d'accès sur ce composant.

Afin d'extraire cette valeur de mobilité en s'affranchissant de la variabilité des résistances d'accès d'un composant à l'autre, nous avons modélisé les caractéristiques de transfert de chaque composant en prenant en compte l'influence des résistances des accès (Equation 3.5) [13], [14] :

$$I_D = \frac{V_{DS}}{R_S + \frac{L_G}{W_G \cdot C_i \cdot \mu_{eff} \cdot (V_{GS} - V_T)}} \quad (\text{Equation 3.5})$$

avec  $R_S$  la résistance série des deux accès,  $W_G$  le développement de la grille,  $C_i$  la capacité d'interface avec la grille ( $C_{InP}$  et  $C_{oxyde}$ ) et  $\mu_{eff}$  la mobilité effective dans le canal. À partir de la Figure 3.8, on mesure approximativement une épaisseur d'oxyde de 7 nm, d'InP de 15 nm, et un développement de grille sur l'InGaAs de 168 nm. On en déduit une capacité d'interface  $C_i$  de 4,56 mF/m<sup>2</sup>.

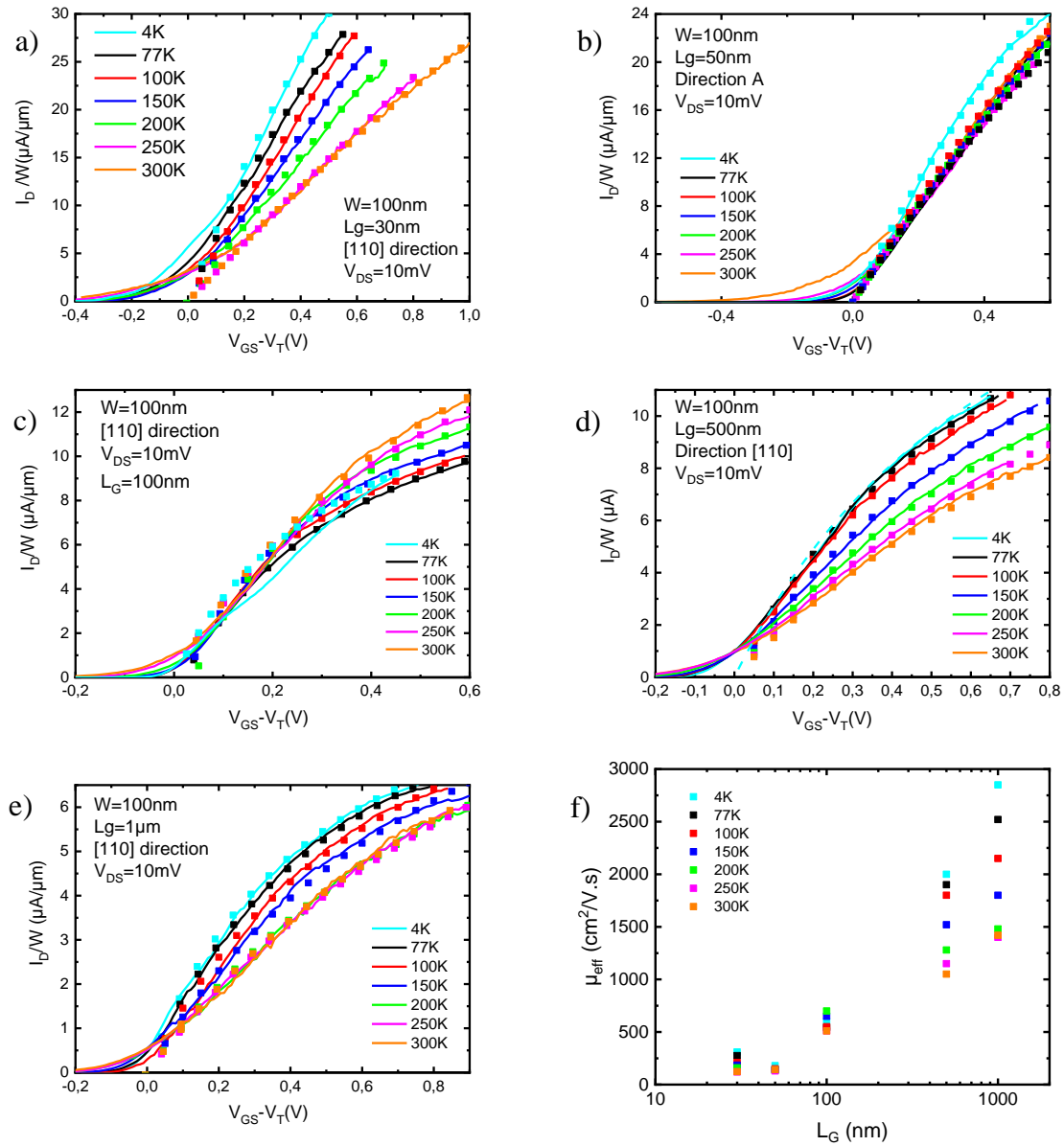


Figure 3.21 : (a-e) Caractéristiques  $I_D=f(V_{GS})$  et (f) mobilité efficace  $\mu_{\text{eff}}$  de MOSFETs cœur-coquille InGaAs/InP issus d'ouvertures de 100 nm de largeur pour différentes longueurs et à une température variant de 4 à 300 K. Les points sur les courbes sont issus de l'équation 3.5.

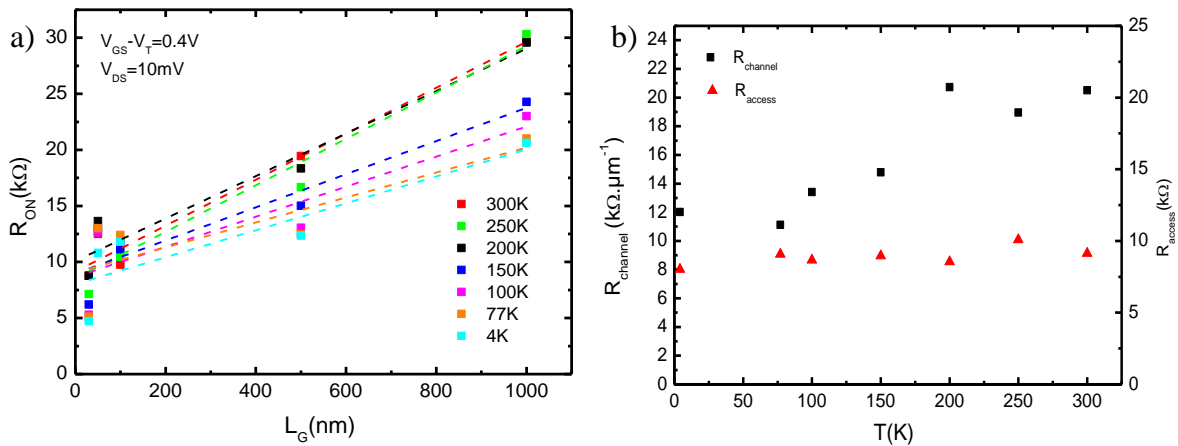


Figure 3.22 : (a) Résistance à  $V_{GS}-V_T = 0,4\text{ V}$  des transistors MOSFETs orientés suivant [110] pour  $w = 100\text{ nm}$  et différentes longueurs de grille. Les carrés correspondent aux valeurs mesurées et les courbes en pointillés aux différentes droites de régression linéaire. (b) Résistances linéiques de canal et résistances des accès correspondant aux régressions linéaires.

L'ajustement des valeurs de la mobilité effective et de la résistance des accès dans l'équation 3.5 permet d'obtenir un assez bon accord entre les courbes expérimentales et le modèle mathématique. L'évolution de ces paramètres en fonction de la température est indiquée sur la Figure 3.23. On constate des valeurs de mobilités sensiblement plus faibles que celles déduites des mesures de conductivité par la méthode 4-pointes puisque la valeur maximale (obtenue pour le transistor de longueur de grille 1  $\mu\text{m}$ ) évolue d'environ 1400  $\text{cm}^2/\text{V}\cdot\text{s}$  à température ambiante pour atteindre 3000  $\text{cm}^2/\text{V}\cdot\text{s}$  à 4 K. Il est intéressant de constater que cette valeur dépend de la longueur de grille et est fortement réduite pour les longueurs de grille les plus courtes. En ce qui concerne la résistance série, on constate une importante variabilité d'un composant à l'autre avec une légère augmentation à basse température. Pour le transistor de longueur de grille 100 nm, la valeur est effectivement importante relativement à la résistance du canal, ce qui corrobore l'hypothèse précédente quant à l'augmentation de la résistance du canal à basse température.

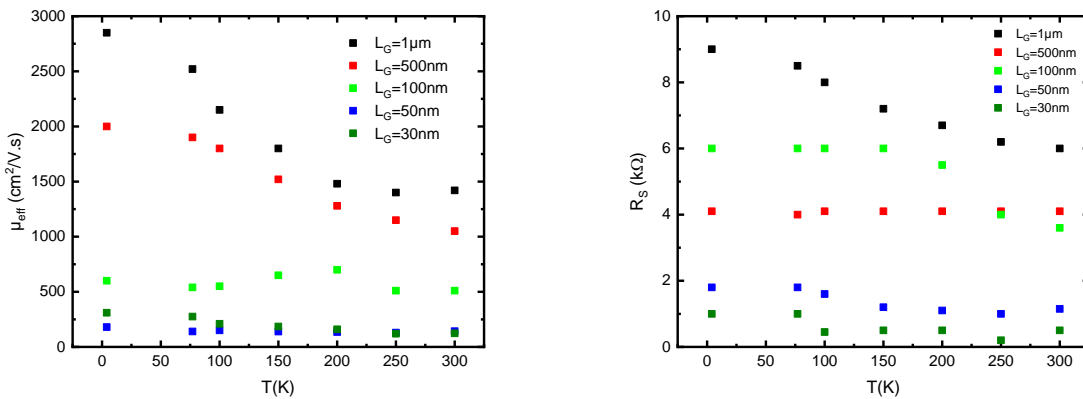


Figure 3.23 : Mobilité effective et résistance série déduites de l'utilisation de l'équation 3.5 d'après les mesures  $I_D=f(V_{GS})$  sur des MOSFETs cœur-coquille InGaAs/InP à  $V_{DS} = 10 \text{ mV}$ .

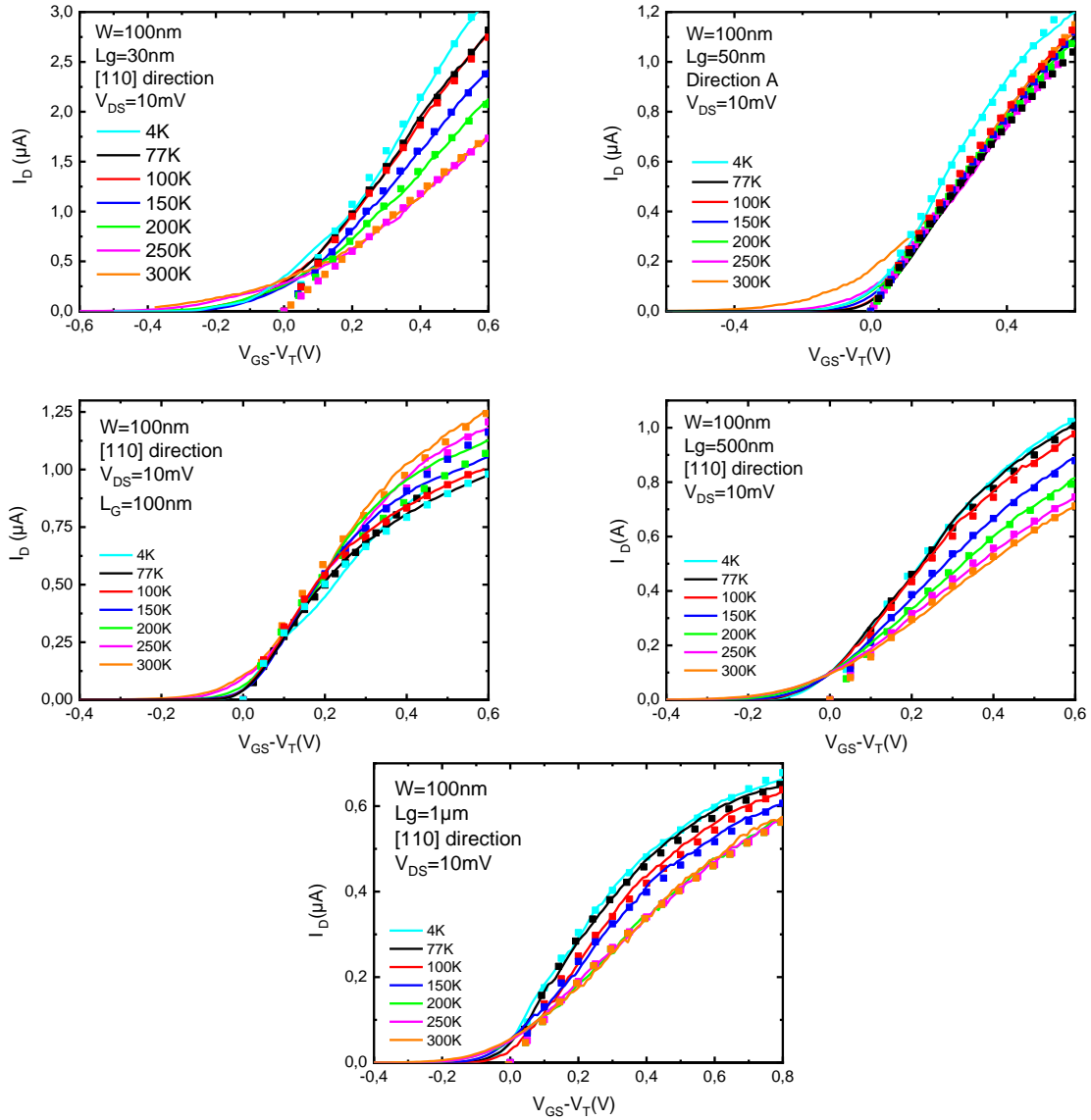


Figure 3.24 : Caractéristiques  $I_D=f(V_{GS})$  de MOSFETs cœur-coquille InGaAs/InP issus d'ouvertures de 100 nm de largeur pour différentes longueurs et à une température variant de 4 à 300 K. Les points sur les courbes sont issus de l'équation 3.6.

Un autre modèle proposé par G. Ghibaudo <sup>[15]</sup> permet de prendre en compte un facteur de correction de la mobilité avec la tension de grille en plus des effets de résistance série en introduisant un coefficient de réduction de mobilité  $\theta$ . La relation entre le courant de drain et la tension  $V_{GS}$  s'exprime alors à l'aide des relations suivantes :

$$I_D = \frac{W_G \cdot C_i \cdot \mu_{eff}}{L_G} (V_{GS} - V_T) \cdot V_{DS} \quad (\text{Equation 3.6})$$

$$\text{Avec } \mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (\text{Equation 3.7})$$

$$\text{et } \theta = \theta_0 + R_S' \cdot C_i \cdot \mu_0 \cdot \frac{W_G}{L_G} \quad (\text{Equation 3.8})$$

$\theta_0$  est un coefficient de réduction de mobilité intrinsèque au composant et  $\mu_0$  la mobilité caractéristique du processus de diffusion des porteurs de charge. L'équation 3.6 est la même

que l'équation 1.2 vue dans le Chapitre 1.IV.2. Ce modèle traduit la diminution de la mobilité par le remplissage des bandes d'énergie dans le canal par la charge d'inversion  $Q_i = C_{ox}(V_{GS} - V_T)$  [16].

En introduisant les équations 3.7 et 3.8 dans l'équation 3.6, on obtient :

$$I_D = \frac{V_{DS}}{R_{S'} + \frac{L_G}{W_G \cdot \mu_0 \cdot C_i \cdot (V_{GS} - V_T)} + \frac{L_G \cdot \theta_0}{W_G \cdot \mu_0 \cdot C_i}} \quad (\text{Equation 3.9})$$

Pour confirmer et affiner les tendances sur la mobilité observées précédemment, nous avons utilisé cette nouvelle relation pour modéliser les caractéristiques de transfert obtenues en fonction de la longueur de grille. La correspondance entre ce nouveau modèle (Figure 3.25) et les mesures (Figure 3.24) est similaire à ce que l'on obtient sur la Figure 3.21.

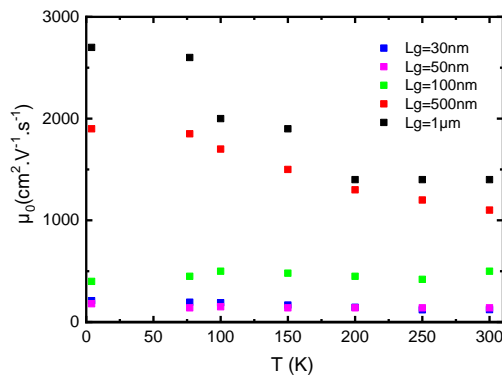


Figure 3.25 : Mobilité caractéristique déduite de l'utilisation de l'équation 3.9 d'après les mesures  $I_D=f(V_{GS})$  sur des MOSFETs cœur-coquille InGaAs/InP à  $V_{DS} = 10$  mV.

Les valeurs de  $\mu_0$  obtenues en ajustant le modèle de l'équation 3.9 aux courbes expérimentales sont très proches des mobilités effectives obtenues en utilisant le modèle précédent (Equation 3.5), donnant un maximum de  $2775 \pm 75$  cm<sup>2</sup>/V.s à 4 K et  $1440 \pm 40$  cm<sup>2</sup>/V.s à température ambiante pour une longueur de grille de 1 μm. À titre de comparaison, une mobilité effective de 4000 cm<sup>2</sup>/V.s à 300 K a été reportée par M. Scheffler *et al.* pour des

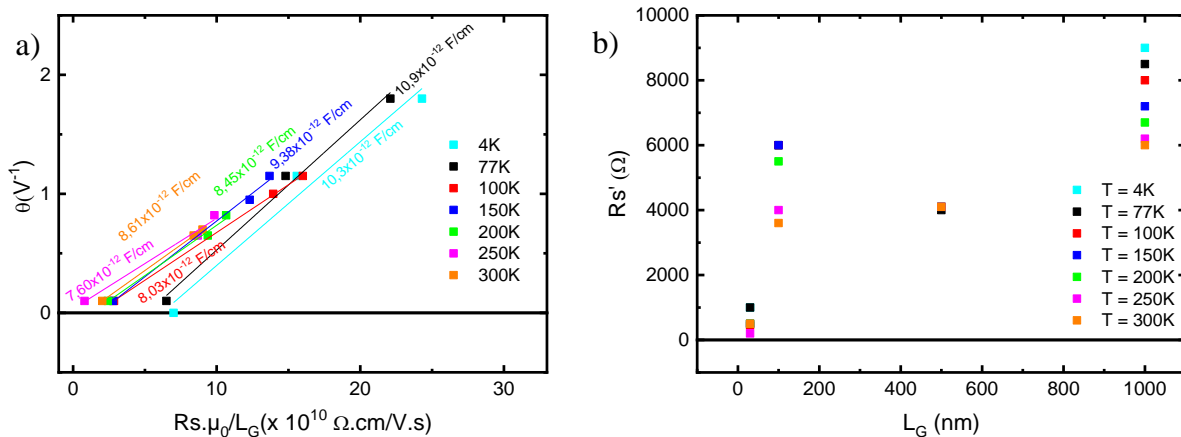


Figure 3.26 : Évolution de  $\theta$  d'après l'équation 3.8 (a) et résistances  $R_{S'}$  issues de l'équation 3.9 (b). Les valeurs de la pente  $C_{ox} \cdot W_G$  sont indiquées pour chaque température.



nanofils d'InAs de diamètres supérieurs à 40 nm obtenus par croissance VLS et mesurée après transfert sur un substrat de silicium dopé oxydé servant de grille arrière <sup>[17]</sup>. Q. Li *et al.* <sup>[18]</sup> ont obtenu quant à eux des mobilités effectives similaires aux nôtres sur des fils d'InAs avec un diamètre d'environ 20 nm reportés avec grille enrobante de longueur de grille équivalente.

La proximité des valeurs de  $\mu_0$  et  $\mu_{\text{eff}}$  obtenues avec les deux modèles montre une faible valeur du paramètre de réduction de mobilité intrinsèque  $\theta_0$ . C'est ce que confirme la Figure 3.26a où est tracée l'évolution du paramètre  $\theta$  en fonction de  $R_s' \cdot \mu_0 / L_G$  puisqu'une relation quasiment linéaire est obtenue avec une pente proche du produit  $C_i \cdot W_G = 7,66 \times 10^{-12}$  F/cm. L'impact de la faible valeur de  $\theta_0$  porte également sur  $R_s'$  puisque l'on retrouve quasiment les mêmes résultats que pour  $R_s$  (Figure 3.26b). L'évolution de cette résistance série avec la longueur de grille confirme également l'importance de  $R_s'$  sur le composant  $L_G = 100$  nm.

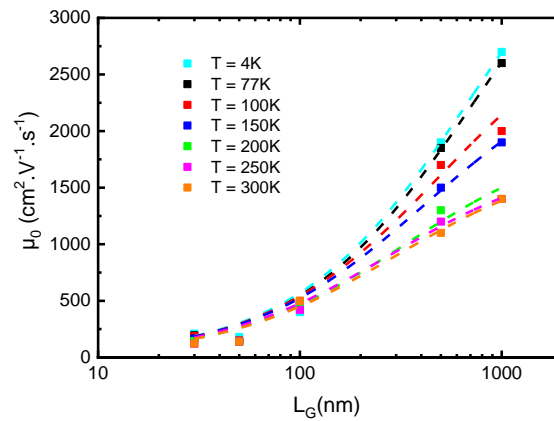


Figure 3.27 : Mobilité caractéristique en fonction de la longueur de grille sur des composants avec  $w = 100$  nm et modèle de l'équation 3.10.

En outre, ces résultats confirment l'effet de la longueur de grille sur la mobilité (Figure 3.27). Lorsque la longueur de grille est inférieure à 100 nm, la mobilité ne dépend quasiment pas de la température alors que cette dépendance augmente continuellement au-delà de  $L_G = 100$  nm. On peut remarquer que pour  $L_G = 1 \mu\text{m}$ , la mobilité maximale n'est pas encore atteinte. Malheureusement, nous ne disposons pas sur cet échantillon de transistor avec une longueur de grille plus importante.

La variation de mobilité obtenue en fonction de la longueur de grille peut être assez bien modélisée en utilisant la règle de Matthiessen <sup>[13]</sup> et en considérant deux mécanismes de diffusion impactant la mobilité électronique : un mécanisme classique de diffusion indépendant de la longueur de grille correspondant à une mobilité  $\mu_{\text{long}}$  et un mécanisme de diffusion proportionnel à la longueur de grille correspondant à une mobilité  $\mu_{\text{short}}$ . Soit :

$$\mu_0 = \left( \frac{1}{\mu_{\text{long}}} + \frac{1}{\mu_{\text{short}}} \right)^{-1} \quad (\text{Equation 3.10})$$

et

$$\mu_{\text{short}} = K \cdot L_G \quad (\text{Equation 3.11})$$

La mobilité  $\mu_0$  correspond ainsi à la mobilité  $\mu_{\text{long}}$  pour les grandes longueurs de grille alors qu'elle est donnée par le terme  $\mu_{\text{short}}$  pour les courtes longueurs de grille.

Le terme de mobilité  $\mu_{\text{long}}$  peut être interprété comme provenant des mécanismes de diffusion classiques des électrons en interaction avec le réseau cristallin et les impuretés ionisées dans ou à proximité du canal. À température ambiante, ces interactions sont dominées par la diffusion par les phonons et à basse température par la diffusion par les impuretés ionisées. Ce terme s'exprime par la relation  $q\tau/m^*$  [19] où  $q$  est la charge élémentaire,  $m$  la masse effective de l'électron et  $\tau$  le temps moyen entre deux interactions.

En ce qui concerne le terme  $\mu_{\text{short}}$  dépendant de la longueur de grille plusieurs interprétations sont possibles.

- Interprétation par un transport quasi-balistique dans les transistors  $L_G < 100$  nm :

La première interprétation supposerait qu'un régime de transport balistique ou quasi-balistique soit atteint pour les plus courtes longueurs de grille. C'est l'explication avancée par M. Shur [20] pour interpréter la réduction de mobilité constatée dans les transistors AlGaAs/GaAs HEMT à grille submicronique. Dans ce cas, le terme de mobilité n'a pas vraiment de sens physique, la durée de transit d'un électron dans le canal devenant plus courte que le temps entre deux collisions  $\tau$ , mais M. Shur introduit un paramètre  $\mu_{\text{bal}}$  homogène à une mobilité et proportionnel à la longueur de grille que l'on peut écrire sous la forme [21] :

$$\mu_{\text{bal}} = K_{\text{bal}} \cdot L_G \quad (\text{Equation 3.12})$$

$K_{\text{bal}}$  étant la constante balistique.

En assimilant  $\mu_{\text{bal}}$  à  $\mu_{\text{short}}$ , les valeurs déterminées pour  $K$  dans le modèle précédemment établi correspondent alors aux valeurs de  $K_{\text{bal}}$ . Les valeurs de  $\mu_{\text{long}}$  et  $K_{\text{bal}}$  issues de cette interprétation sont résumées dans la Figure 3.28. On obtient des valeurs de  $\mu_{\text{long}}$  variant de 4500  $\text{cm}^2/\text{V}\cdot\text{s}$  à 4 K jusqu'à 2200  $\text{cm}^2/\text{V}\cdot\text{s}$  à 300 K et une valeur de  $K_{\text{bal}}$  à peu près constante autour de  $6,5 \pm 0,5 \text{ cm}^2/\text{V}\cdot\text{s}\cdot\text{nm}$ .

Cependant, les paramètres  $\mu_{\text{long}}$  et  $K_{\text{bal}}$  ne sont pas indépendants, le coefficient  $K_{\text{bal}}$  traduit en effet la probabilité de transmission balistique au travers du canal et le rapport  $\mu_{\text{long}}/K_{\text{bal}}$  correspond au libre parcours moyen électronique  $\lambda_{\text{lpm}}$  [21]. Les valeurs de libre parcours moyen obtenues vont d'environ 300 nm à température ambiante jusqu'à environ 700 nm à 4 K (Figure

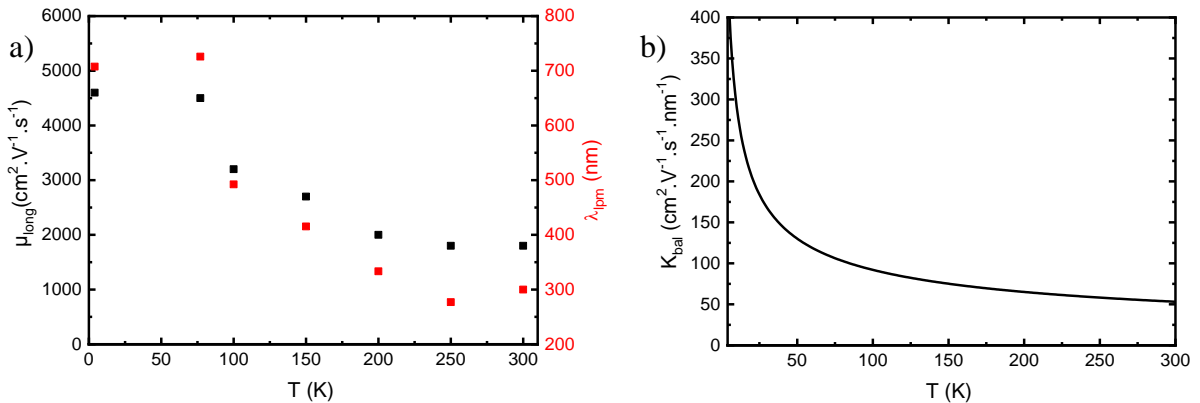


Figure 3.28 : (a)  $\mu_{\text{long}}$  et  $\lambda_{\text{lpm}}$  déduits des équations 3.10 et 3.11 et (b) calcul théorique du coefficient balistique  $K_{\text{bal}}$  déterminé de l'équation 3.13 pour l'InGaAs.

3.28a). Elles apparaissent ainsi assez largement surestimées et surtout peu cohérentes avec les valeurs de mobilité  $\mu_{long}$  obtenues. En théorie, le temps de transit des électrons sous la grille est en effet déterminé dans le cas d'un semiconducteur non dégénéré par le rapport  $L_G/v_{th}$  où  $v_{th}$  est la vitesse thermique des électrons. Le coefficient  $K_{bal}$  peut alors être exprimé par les relations <sup>[21]</sup>:

$$K_{bal} = \frac{2 \cdot q}{\pi \cdot m^* \cdot v_{th}}, \quad v_{th} = \sqrt{\frac{8 \cdot k_B \cdot T}{\pi \cdot m^*}} \quad (\text{Equation 3.13})$$

où  $q$  est la charge élémentaire et  $m^*$  la masse effective du semiconducteur.

Pour InGaAs ( $m^* = 0,04m_0$ ), les valeurs théoriques de  $K_{bal}$  en fonction de la température sont indiquées sur la Figure 3.28b. Comme nous pouvons le voir, les valeurs expérimentales diffèrent de plus d'une décade par rapport aux valeurs théoriques, ce qui interroge sur cette hypothèse de quasi-balisticité.

- Interprétation par un effet de diffusion par les impuretés des zones d'accès :

Un autre phénomène est avancé par T.A. Karatsori *et al.* pour expliquer la réduction de la mobilité liée avec la longueur de grille constatée dans des transistors InGaAs FinFET (à ailettes) ou thin body MOSFET (à film mince) réalisés par IBM après report et collage d'une fine couche d'InGaAs sur substrat SOI <sup>[22]</sup>. Ce phénomène est également observé par les mêmes auteurs sur des transistors silicium dans les filières SOI contraintes (sSOI) ou complètement déplétée (FDSOI). Il est ici attribué à la présence d'impuretés neutres dans le canal à proximité des zones de source et de drain induite par le procédé de fabrication du transistor. Pour le prendre en compte, T.A. Karatsori *et al.* utilisent également la règle de Matthiessen en considérant un terme de mobilité  $\mu_{neutre}$  proportionnel à la longueur de grille et dépendant de la densité  $N_D$  d'impuretés neutres dans les accès, d'une longueur d'atténuation  $\lambda_n$  et d'un coefficient de diffusion  $\alpha_{neutre}$ , soit :

$$\mu_{eff} = \left( \frac{1}{\mu_{long}} + \frac{1}{\mu_{neutre}} \right)^{-1} \quad (\text{Equation 3.14})$$

et

$$\mu_{neutre} = \frac{\alpha_{neutre} * L_G}{2 * \lambda_n * N_D} \quad (\text{Equation 3.15})$$

T.A. Karatsori *et al.* montrent que ce modèle permet également d'expliquer l'évolution de la mobilité dans les transistors InGaAs/SOI d'IBM (Figure 3.29). En reportant nos résultats sur cette figure (triangles orange), on s'aperçoit que nos valeurs de mobilité suivent la même tendance.

Le procédé employé par IBM pour la fabrication de ces transistors InGaAs/SOI diffère pourtant de la technologie des transistors silicium puisqu'une grille sacrificielle associée à un recroissance sélective d'InGaAs:n+ par MOCVD est utilisée pour former les zones d'accès. Cette technique est relativement similaire à la nôtre même si le type de dopant utilisé et le budget thermique de fabrication sont différents. Le mécanisme conduisant à la présence d'impuretés neutres dans le canal à proximité des zones de recroissance reste donc à identifier.

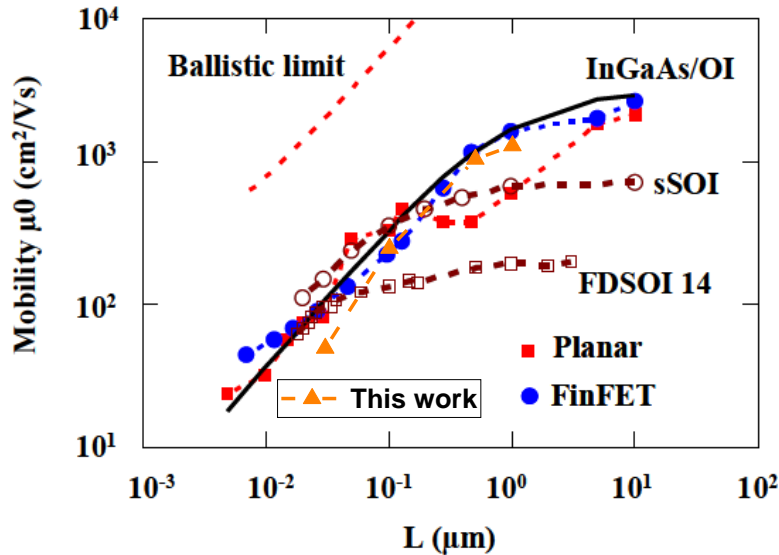


Figure 3.29 : Caractéristiques des mobilités issues de la référence [22]. La mobilité  $\mu_0$  de la figure correspond à  $\mu_{ef}$ . Nos valeurs de mobilité ont été ajoutées en orange.

Plus vraisemblablement, les interactions coulombiennes avec les impuretés ionisées des zones d'accès sont peut-être responsables d'un effet similaire [23]. Une optimisation du dopage associée à l'emploi d'un espaceur de part et d'autre du canal pourrait sans doute limiter ces effets, à condition de ne pas dégrader les résistances d'accès.

#### iv. Exploitation des caractéristiques électriques en régime bloqué ( $V_{GS} < V_T$ )

Comme illustré sur la Figure 3.30a pour un composant de longueur de grille 1  $\mu\text{m}$ , la pente sous le seuil des composants évolue avec la température. Sa valeur pour les différentes longueurs de grille étudiées est tracée en fonction de la température sur la Figure 3.30b. Nous avons également indiqué sur cette figure (courbe rouge en pointillés) la limite théorique de cette pente pour un composant basé sur un mécanisme d'injection thermoïonique. Comme nous pouvons le constater, la pente sous le seuil présente à la fois une augmentation en fonction de la réduction de longueur de grille mais aussi un écart par rapport à l'évolution de la limite théorique qui augmente avec la température. Cet écart relativement similaire pour les longueurs de grille supérieure ou égale à 100 nm augmente fortement au-delà de 250 K alors qu'il intervient dès 100 K pour la longueur de grille de 30 nm.

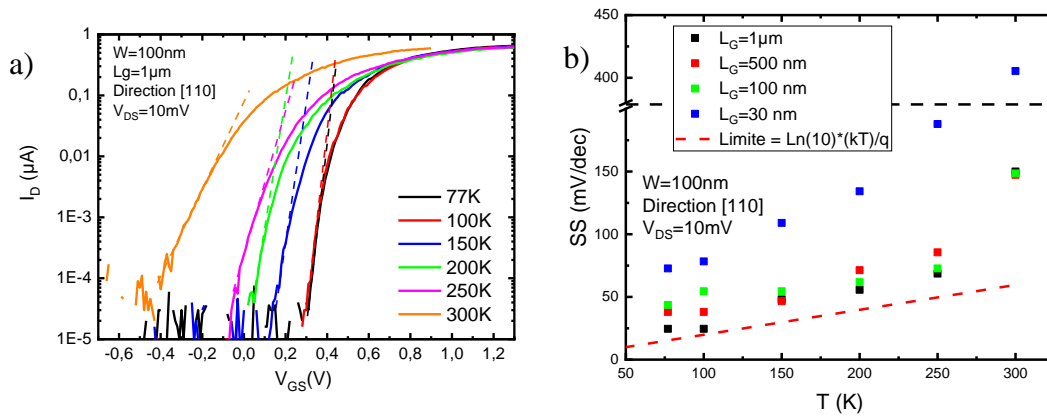


Figure 3.30 : (a) Mesures  $I_D=f(V_{GS})$  pour différentes températures et (b) relevé des valeurs de pente sous le seuil minimale obtenues sur des composants cœur-coquille InGaAs/InP de 100 nm de largeur. La limite théorique de pente sous le seuil y est représentée en tirets rouges.

En pratique, deux phénomènes principaux contribuent à augmenter la pente sous le seuil et donc à limiter l'efficacité de commutation du transistor : la présence de défauts ponctuels dans l'oxyde et à l'interface entre l'oxyde et le semiconducteur, mais également la géométrie du composant. On peut supposer que le premier paramètre reste identique pour nos différents composants issus du même processus technologique et présentant la même coupe transverse. En revanche, les limitations liées à la géométrie du composant dépendent naturellement de la longueur de grille.

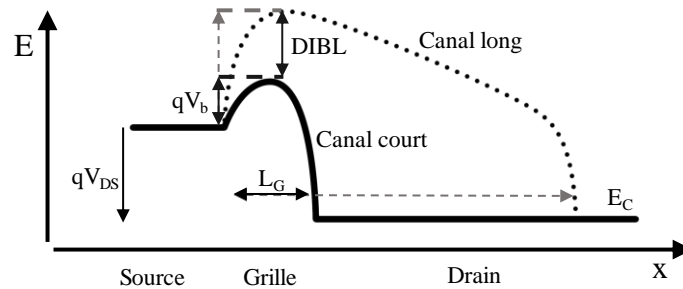


Figure 3.31 : Illustration du DIBL et de la variation de  $V_b$  formés par la réduction de  $L_G$  pour  $V_{GS} < 0V$ .

En effet, lorsque le rapport d'aspect entre la longueur et l'épaisseur du canal devient faible (typiquement inférieur à 5), des effets de canal court apparaissent, dont une réduction de la barrière thermoionique entre source et canal induite par la tension de drain (DIBL, *Drain-Induced Barrier Lowering*). Ce phénomène est illustré sur la Figure 3.31. Cette variation de la barrière conduit à une modification de la tension de seuil et à une certaine inefficacité du pincement du canal. Étant donnée l'épaisseur assez importante de notre isolant de grille (alumine + InP), on observe des effets de DIBL importants. Ainsi, même si la pente sous le seuil a été déduite de mesures réalisées à très faible  $V_{DS}$  (10 mV), cet effet de réduction de barrière induite par la tension de drain semble non négligeable pour le transistor de longueur de grille 30 nm.

Pour les autres composants, les effets de canal court sont moins importants. L'efficacité de commutation est donc essentiellement déterminée par la qualité de l'empilement de grille. À partir de cette hypothèse, on peut exprimer la densité de pièges à l'interface grille/canal à partir de l'expression 3.4 avec  $C_i$  la capacité de l'isolant et de la couche d'InP (soit 4,56 mF/m<sup>2</sup>

dans notre cas),  $C_D$  la capacité de déplétion dans l'InGaAs et  $C_{it}$  ( $F/m^2$ ) la capacité liée à la présence de défauts en densité  $D_{it}$  ( $m^{-2}.eV^{-1}$ ) dans l'empilement de grille par la relation :

$$C_{it} = q.D_{it} \quad (\text{Equation 3.16})$$

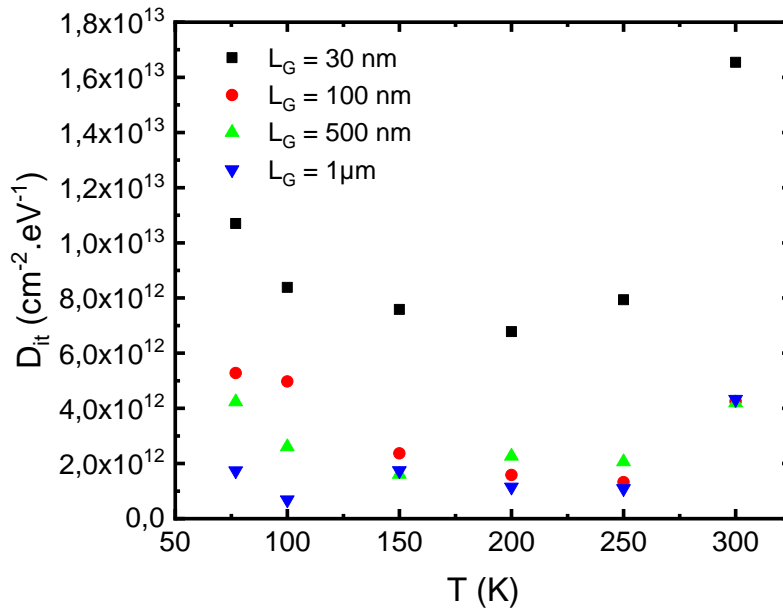


Figure 3.32 : Évaluation de la densité de pièges dans l'empilement de grille à partir de la pente sous le seuil

À partir de ces deux relations et en négligeant la capacité de déplétion dans l'InGaAs généralement inférieure d'un ordre de grandeur par rapport à  $C_i$ , on peut déduire de la pente sous le seuil la valeur de la densité  $D_{it}$  (Figure 3.32). Pour les composants dont la longueur de grille est supérieure ou égale à 100 nm, on obtient ainsi une densité de pièges égale à  $4,5 \times 10^{12} cm^{-2}.eV^{-1}$  à température ambiante et même plus faible que  $2 \times 10^{12} cm^{-2}.eV^{-1}$  en-dessous de 250 K pour le composant de longueur de grille 1  $\mu m$ . La présence de la coquille InP a ainsi permis sans aucun traitement de passivation pré- ou post- dépôt d'alumine d'atteindre des valeurs de  $D_{it}$  au niveau des meilleurs transistors MOSFET III-V ( $3 \times 10^{12} cm^{-2}.eV^{-1}$  par S. Lee *et al.* [24] en utilisant la même méthode d'extraction ainsi que par L. Czornomaz [25] grâce à l'analyse des courbes  $C=f(V)$  en fréquence).

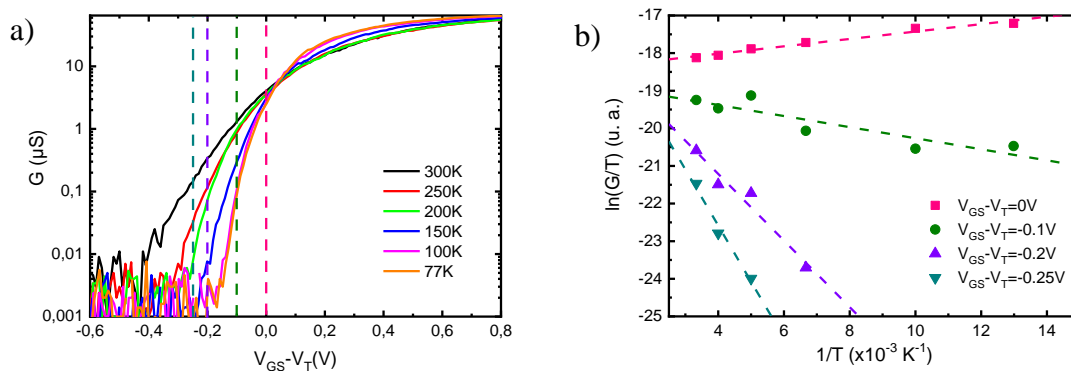


Figure 3.33 : a) Graphe de la conductivité en fonction de  $V_{GS}-V_T$  pour différentes températures sur un MOSFET cœur-coquille avec  $w = 100$  nm et  $L_G = 1 \mu m$ . b) Fonction  $\ln(G/T)$  pour différentes valeurs de  $V_{GS}-V_T$  déduite du graphe a).



Une autre manière de quantifier l'efficacité de la commande de grille est d'observer la variation de la tension de barrière  $V_b$  en fonction de  $V_{GS}-V_T$ . Cette tension correspond à la hauteur de barrière que doivent franchir les électrons pour passer de la source au drain lorsque  $V_{DS} > 0$  V (Figure 3.31). Elle peut être déduite de la formule de conductance comme l'ont montré G. Tettamanzi *et al.* [26]:

$$G = S_a A^* T \frac{q}{k_B} e^{-\frac{V_b}{k_B T}} \quad (\text{Equation 3.17})$$

$$\text{ou } \ln\left(\frac{G}{T}\right) = \ln\left(\frac{S_a \cdot A \cdot q}{k_B}\right) - \frac{V_b}{k_B \cdot T}$$

Avec  $S_a$  la section active du canal,  $A^*$  la constante de Richardson (pour de l' $\text{In}_{0,6}\text{Ga}_{0,4}\text{As}$ ,  $A^* = 4,582 \text{ A}\cdot\text{cm}^{-2}\cdot\text{K}^{-2}$  [13],[27]),  $k_B$  la constante de Boltzmann et  $V_b$  la tension de barrière. De cette équation, on obtient la tension de barrière  $V_b$  et la section active du canal  $S_a$  à partir de la pente et de l'ordonnée à l'origine des courbes de la Figure 3.33b.

En traçant  $V_b=f(V_{GS}-V_T)$ , on déduit de la dérivée le facteur de couplage  $\alpha$  [28] :

$$\alpha = \frac{dV_b}{dV_{GS}} \quad (\text{Equation 3.18})$$

Cette pente nous permet de connaître l'efficacité de la commande de la grille. Un facteur de couplage proche de 1 signifie que la tension appliquée sur la grille se reporte intégralement sur la tension de barrière. Par exemple, pour un transistor nFinFET silicium de longueur de grille 40 nm, un facteur de couplage de 0,7 est obtenu pour une largeur d'ailette d'environ 55 nm et un oxyde de grille optimisé d'épaisseur 2 nm [26]. Comme nous pouvons le voir sur la Figure 3.34, on obtient un facteur de couplage comparable pour une longueur de 1  $\mu\text{m}$ . En revanche, ce coefficient est dégradé pour les courtes longueurs de grille à cause des effets de canal court.

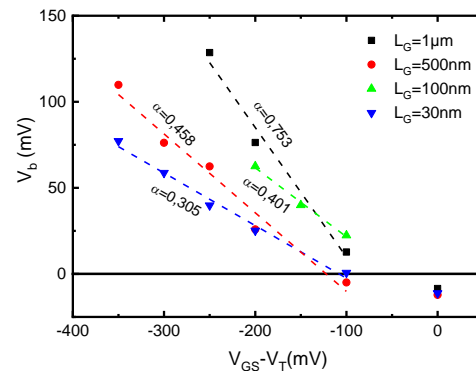


Figure 3.34 : Tensions de barrière déduites de la pente des courbes de la Figure 3.33b pour différentes longueurs de grille. Les facteurs de couplage  $\alpha$  sont calculés pour chaque longueur.

Concernant la section active du canal, elle représente la surface moyenne du canal à travers laquelle circulent les charges responsables du courant de drain. Son évaluation permet ainsi de déterminer les effets responsables des courants de fuite en régime bloqué. D'après la Figure 3.35, on remarque une variation comprise entre 13 et 113 nm<sup>2</sup> pour les longueurs de grille supérieures à 100 nm alors que pour  $L_G = 30$  nm, la section active est plus importante à cause ici encore des effets de canal court. Ces résultats laissent supposer que la conduction résiduelle pour les composants de longueur de grille supérieure à 100 nm a lieu en surface (probablement à cause des charges résiduelles liées aux défauts d'interface avec l'oxyde) alors qu'il s'agit plutôt d'une conduction de volume pour le composant de longueur de grille 30 nm. L'effet d'abaissement du potentiel de barrière par la tension de drain évoqué précédemment est probablement ici en cause.

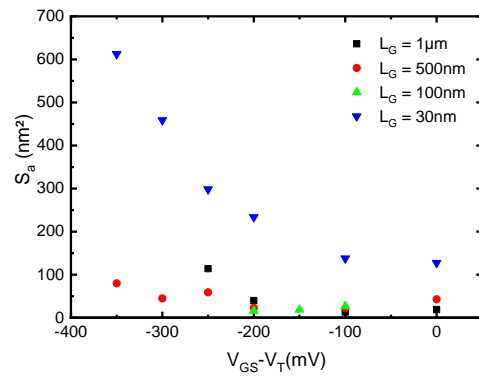


Figure 3.35 : Variation de la section active du canal en fonction de la tension de grille pour différentes longueurs de grille. Les valeurs sont obtenues à partir de la Figure 3.33b.

Ces différents résultats nous montrent qu'une épaisseur réduite de canal est indispensable pour obtenir une meilleure efficacité de pincement pour les transistors de très courte longueur de grille.

### III. Conclusion

Dans ce chapitre, nous avons étudié les propriétés électriques de nanostructures d'InGaAs épitaxiées par croissance sélective par diverses méthodes. Les mesures TLM ont d'abord permis de déterminer la résistivité du matériau dopé grâce à l'obtention de faibles résistances de contacts. Cette méthode de mesure n'étant pas adaptée pour un matériau non intentionnellement dopé à cause des fortes résistances de contacts, des structures « multi-bras » ont été épitaxiées sélectivement pour réaliser des mesures 4-pointes. La conductivité moyenne obtenue de 25 S/cm permet de déduire une mobilité électronique de 8800 cm<sup>2</sup>/V.s et une densité d'électrons de 1,7.10<sup>16</sup> cm<sup>-3</sup> à température ambiante par comparaison avec les conductivités obtenues par mesure de Hall. Cette valeur de mobilité se situe au meilleur niveau des mobilités répertoriées dans la littérature pour des nanostructures élaborées par voie ascendante pour ce type de matériau.

Des composants de type MOSFET ont ensuite été réalisés à partir des nanostructures épitaxiées par croissance sélective.

L'élaboration de transistors à partir de nanostructures d'InGaAs légèrement dopées au tellure a mis en évidence une difficulté à pincer totalement le canal, en particulier dans la direction [110] où la présence de facettes (1-10) développées pendant l'épitaxie sélective conduit probablement à une accumulation des dopants en surface.

Nous avons ensuite procédé à des mesures sur des MOSFETs fabriqués à partir de nanostructures composées d'un canal InGaAs non-intentionnellement dopé enrobé d'une fine coquille d'InP et de zones d'accès en InGaAs:Si élaborées par une deuxième croissance sélective utilisant un masque de résine HSQ. Cette technologie a permis l'obtention de transistors présentant des longueurs de grille jusqu'à 30 nm. Nous avons pu montrer une amélioration de l'efficacité de commutation des composants lorsque l'ouverture du masque diélectrique est inférieure à 100 nm. L'analyse des caractéristiques électriques des composants de largeur 100 nm pour différentes longueurs de grille a permis l'extraction de paramètres physiques tels que la mobilité effective électronique ou le facteur de couplage de grille. Nous avons ainsi pu mettre en évidence une réduction importante de la mobilité effective pour les courtes longueurs, initialement interprétée comme un signe de transport balistique mais plus vraisemblablement liée à des effets de diffusion par les impuretés des zones de contact. L'apport positif de la coquille InP a également pu être apprécié en déduisant la densité de défauts à l'interface grille-canal des caractéristiques de transfert des composants. Enfin, cette étude a également mis en évidence la nécessité de réduire l'épaisseur nominale d'InGaAs pour améliorer l'efficacité de pincement des transistors de longueur de grille 30 nm.

## Bibliographie du Chapitre 3

1. Puurunen, R. L. & Vandervorst, W. Island growth as a growth mode in atomic layer deposition: A phenomenological model. *J. Appl. Phys.* **96**, 7686–7695 (2004). DOI : 10.1063/1.1810193
2. Franco, J. *et al.* Suitability of high-k gate oxides for III-V devices: A PBTI study in In<sub>0.53</sub>Ga<sub>0.47</sub>As devices with Al<sub>2</sub>O<sub>3</sub>. in *IEEE International Reliability Physics Symposium Proceedings* 6A.2.1-6A.2.6 (IEEE, 2014). DOI : 10.1109/IRPS.2014.6861098
3. Engel-Herbert, R., Hwang, Y. & Stemmer, S. Comparison of methods to quantify interface trap densities at dielectric/III-V semiconductor interfaces. *J. Appl. Phys.* **108**, 124101 (2010). DOI : 10.1063/1.3520431
4. Shahrjerdi, D., Tutuc, E. & Banerjee, S. K. Impact of surface chemical treatment on capacitance-voltage characteristics of GaAs metal-oxide-semiconductor capacitors with Al<sub>2</sub>O<sub>3</sub> gate dielectric. *Appl. Phys. Lett.* **91**, 063501 (2007). DOI : 10.1063/1.2764438
5. Trinh, H. D. *et al.* The influences of surface treatment and gas annealing conditions on the inversion behaviors of the atomic-layer-deposition Al<sub>2</sub>O<sub>3</sub>/n-In<sub>0.53</sub>Ga<sub>0.47</sub>As metal-oxide-semiconductor capacitor. *Appl. Phys. Lett.* **97**, 042903 (2010). DOI : 10.1063/1.3467813
6. Chobpattana, V. *et al.* Nitrogen-passivated dielectric/InGaAs interfaces with sub-nm equivalent oxide thickness and low interface trap densities. *Appl. Phys. Lett.* **102**, 022907 (2013). DOI : 10.1063/1.4776656
7. Fahed, M., Desplanque, L., Coinon, C., Troadec, D. & Wallart, X. Impact of P/In flux ratio and epilayer thickness on faceting for nanoscale selective area growth of InP by molecular beam epitaxy. *Nanotechnology* **26**, 295301(2015). DOI : 10.1088/0957-4484/26/29/295301
8. Fahed, M. Selective area growth of in-plane III-V nanostructures using molecular beam epitaxy. Thèse de doctorat, Université de Lille, 2016.
9. Desplanque, L. *et al.* Influence of nanoscale faceting on the tunneling properties of near broken gap InAs/AlGaSb heterojunctions grown by selective area epitaxy. *Nanotechnology* **25**, 465302(2014). DOI : 10.1088/0957-4484/25/46/465302
10. Tuttle, G. Contact resistance and TLM measurements. (Iowa State University, 2014).
11. Schmid, H. *et al.* III-V device integration on Si using template-assisted selective epitaxy. *Device Res. Conf. - Conf. Dig. DRC*, 255–256 (2015). DOI : 10.1109/DRC.2015.7175666
12. Gooth, J. *et al.* Ballistic One-Dimensional InAs Nanowire Cross-Junction Interconnects. *Nano Lett.* **17**, 2596–2602 (2017). DOI : 10.1021/acs.nanolett.7b00400
13. Sze, S. M. & Ng, K. K. *Physics of Semiconductor Devices*. (John Wiley & Sons, Inc., 2006). DOI : 10.1002/0470068329
14. Gül, Ö., Woerkom, D. J. Van, Weperen, I. Van & Car, D. Towards high mobility InSb nanowire devices. *Nanotechnology* **26**, 1–7 (2015). DOI : 10.1088/0957-

4484/26/21/215202

15. Ghibaudo, G. New method for the extraction of MOSFET parameters. *Electron. Lett.* **24**, 543 (1988). DOI : 10.1049/el:19880369
16. Ghibaudo, G. An analytical model of conductance and transconductance for enhanced-mode mosfets. *Phys. Status Solidi* **95**, 323–335 (1986). DOI : 10.1002/pssa.2210950141
17. Scheffler, M., Nadj-Perge, S., Kouwenhoven, L. P., Borgström, M. T. & Bakkers, E. P. A. M. Diameter-dependent conductance of InAs nanowires. *J. Appl. Phys.* **106**, 124303 (2009). DOI : 10.1063/1.3270259
18. Li, Q. *et al.* Suspended InAs nanowire gate-all-around field-effect transistors. *Appl. Phys. Lett.* **105**, 113106(2014). DOI : 10.1063/1.4896105
19. Hirayama, Y. & Tarucha, S. High temperature ballistic transport observed in AlGaAs/InGaAs/GaAs small four-terminal structures. *Appl. Phys. Lett.* **63**, 2366–2368 (1993). DOI : 10.1063/1.110799
20. Shur, M. S. Low ballistic mobility in submicron HEMTs. *IEEE Electron Device Lett.* **23**, 511–513 (2002). DOI : 10.1109/LED.2002.802679
21. Huet, K. *et al.* Monte Carlo study of apparent mobility reduction in nano-MOSFETs. in *ESSDERC 2007 - 37th European Solid State Device Research Conference* **026828**, 382–385 (IEEE, 2007). DOI : 10.1109/ESSDERC.2007.4430958
22. Karatsori, T. A. *et al.* Static and low frequency noise characterization of InGaAs MOSFETs and FinFETs on insulator. *Eur. Solid-State Device Res. Conf.*, 166–169 (2018). DOI : 10.1109/ESSDERC.2018.8486851
23. Fiori, G. & Iannaccone, G. Threshold voltage dispersion and impurity scattering limited mobility in carbon nanotube field effect transistors with randomly doped reservoirs. *ESSDERC 2006 - Proc. 36th Eur. Solid-State Device Res. Conf.* 202–205 (2006). DOI : 10.1109/ESSDERC.2006.307673
24. Lee, S. *et al.* Highly scalable raised source/drain InAs quantum well MOSFETs exhibiting  $I_{ON} = 482 \mu\text{A}/\mu\text{m}$  at  $I_{OFF} = 100 \text{ nA}/\mu\text{m}$  and  $V_{DD} = 0.5 \text{ V}$ . *IEEE Electron Device Lett.* **35**, 621–623 (2014). DOI : 10.1109/LED.2014.2317146
25. Czornomaz, L., Filière technologique hybride InGaAs / SiGe pour applications. Thèse de doctorat, Université de Grenoble Alpes, 2016.
26. Tettamanzi, G. C. *et al.* Thermionic emission as a tool to study transport in undoped nFinFETs. *IEEE Electron Device Lett.* **31**, 150–152 (2010). DOI : 10.1109/LED.2009.2036134
27. Goldberg, Y. A. & Schmidt, N. M. GALLIUM INDIUM ARSENIDE ( $\text{Ga}_x\text{In}_{1-x}\text{As}$ ). in *Handbook Series on Semiconductor Parameters, vol. 2* 62–88 (1996). DOI : 10.1142/9789812832085\_0003
28. Sellier, H. *et al.* Transport spectroscopy of a single dopant in a gated silicon nanowire. *Phys. Rev. Lett.* **97**, 10–13 (2006). DOI : 10.1103/PhysRevLett.97.206805





# Chapitre 4

## Croissance sélective et caractérisation électrique d'hétérojonctions planaires

Après avoir caractérisé les transistors MOSFET utilisant des canaux à base de nanofils InGaAs élaborés par croissance sélective, nous nous sommes intéressés à la croissance sélective d'hétérojonctions pour la fabrication de diodes de type Esaki. Le principe de fonctionnement d'une telle diode est rappelé sur la Figure 4.1. À faible polarisation (Figure 4.1a), la finesse de la barrière tunnel engendrée par la dégénérescence des matériaux fortement dopés n et p rend possible le passage des électrons à travers la bande interdite du semiconducteur. Lorsque la tension augmente (Figure 4.1b), le courant s'amplifie puis atteint un maximum lorsque la disponibilité d'états vacants du côté p s'amenuise conduisant à une réduction de la probabilité de transfert tunnel. Une résistance différentielle négative apparaît alors sur la caractéristique (Figure 4.1c). À plus forte polarisation (Figure 4.1d), le courant augmente à nouveau par transfert thermoionique comme pour une diode classique. En polarisation inverse (Figure 4.1e), le transfert tunnel d'électrons se fait de la zone p vers la zone n.

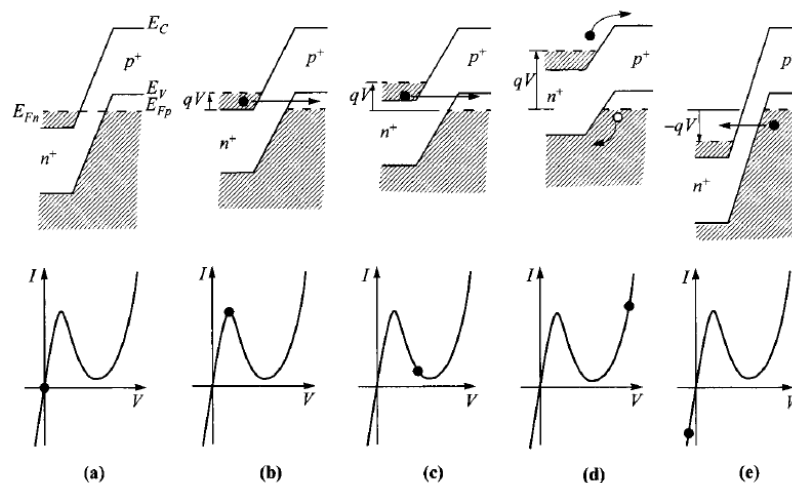


Figure 4.1 : Evolution d'une hétérojonction tunnel lors de la variation de la tension <sup>[13]</sup>.

Historiquement, les diodes Esaki exploitant l'effet tunnel interbande étaient constituées d'homojonctions de matériaux IV fortement dopées n et p <sup>[1]</sup>. L'introduction des semiconducteurs III-V a permis d'améliorer les performances de ces dispositifs (réduction de la barrière tunnel) par l'utilisation de matériaux à faible bande interdite puis par celle d'hétérojonctions présentant un alignement de bandes décalé de type II.

Sur substrat InP, l'hétérojonction In<sub>0,53</sub>Ga<sub>0,47</sub>As dopé n / GaAs<sub>0,51</sub>Sb<sub>0,49</sub> dopé p présente l'avantage d'être en accord de maille et d'offrir un tel alignement de bandes. Son utilisation en

technologie « top-down » a d'ailleurs permis au groupe de S. Datta de l'Université de Pennstate de démontrer des transistors à effet tunnel performants [2]-[4]. L'élaboration de telles hétérostructures en croissance sélective pourraient permettre d'éviter la gravure post-épitaxie comme démontré par L.Desplanque *et al.* [5] et d'obtenir des géométries de diodes inaccessibles en croissance 2D. De telles architectures offrirait également la possibilité d'exploiter les densités d'état particulières des systèmes confinés pour améliorer l'efficacité de commutation des transistors comme l'ont montré théoriquement S. Agarwal et E. Yablonovitch [6].

C'est pour cette raison que nous nous sommes intéressés à la croissance sélective d'hétérostructures InGaAs/Ga(As)Sb. Cependant, le béryllium n'étant pas disponible sur le bâti équipé de la source d'hydrogène atomique et l'utilisation du carbone pour le dopage de type p du GaAsSb n'étant pas compatible avec la croissance sélective sous hydrogène atomique (cf. Chapitre 2, partie IV.2), nous avons donc choisi d'étudier dans un premier temps l'hétérostructure InGaAs/GaSb, le GaSb pouvant être dopé p par l'incorporation de silicium. Bien que désaccordée en maille (4%), cette hétérostructure permet de préserver (voire amplifier) le décalage de bande de type II et ainsi d'obtenir une densité de courant tunnel très élevée.

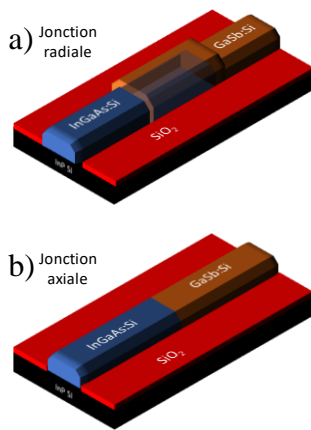


Figure 4.2 : Illustrations de jonctions radiales (a) et axiales (b)

Deux topologies de jonctions ont été étudiées : des jonctions radiales (Figure 4.2a) composées d'un cœur InGaAs et d'une coquille GaSb, et des jonctions axiales (Figure 4.2b) où le transport tunnel se fait suivant l'axe des nanofils. Nous détaillons dans ce chapitre la technologie de fabrication puis la caractérisation électrique de chacun de ces composants.

Comme pour les composants présentés dans le chapitre 2.II.1, la fabrication débute par la préparation d'un masque pour la croissance sélective puis comporte différentes étapes d'épitaxies et de dépôts de contacts. Le synoptique de ces procédés est décrit sur la Figure 4.3.

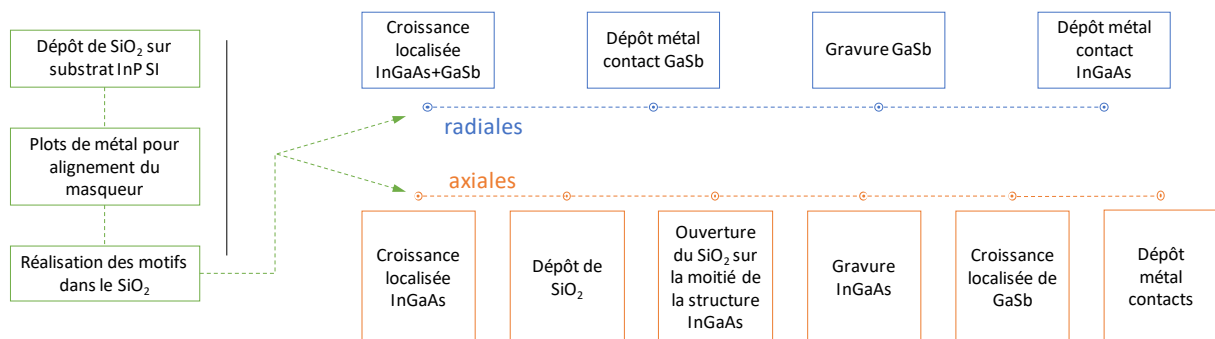


Figure 4.3 : Étapes technologiques de la réalisation des deux types de jonctions.

## I. Hétérostructures radiales

Cette première architecture possède l'avantage de ne nécessiter qu'une seule étape de croissance, mais le dépôt des contacts repose sur deux niveaux de métallisation.

### I.1 Élaboration des composants

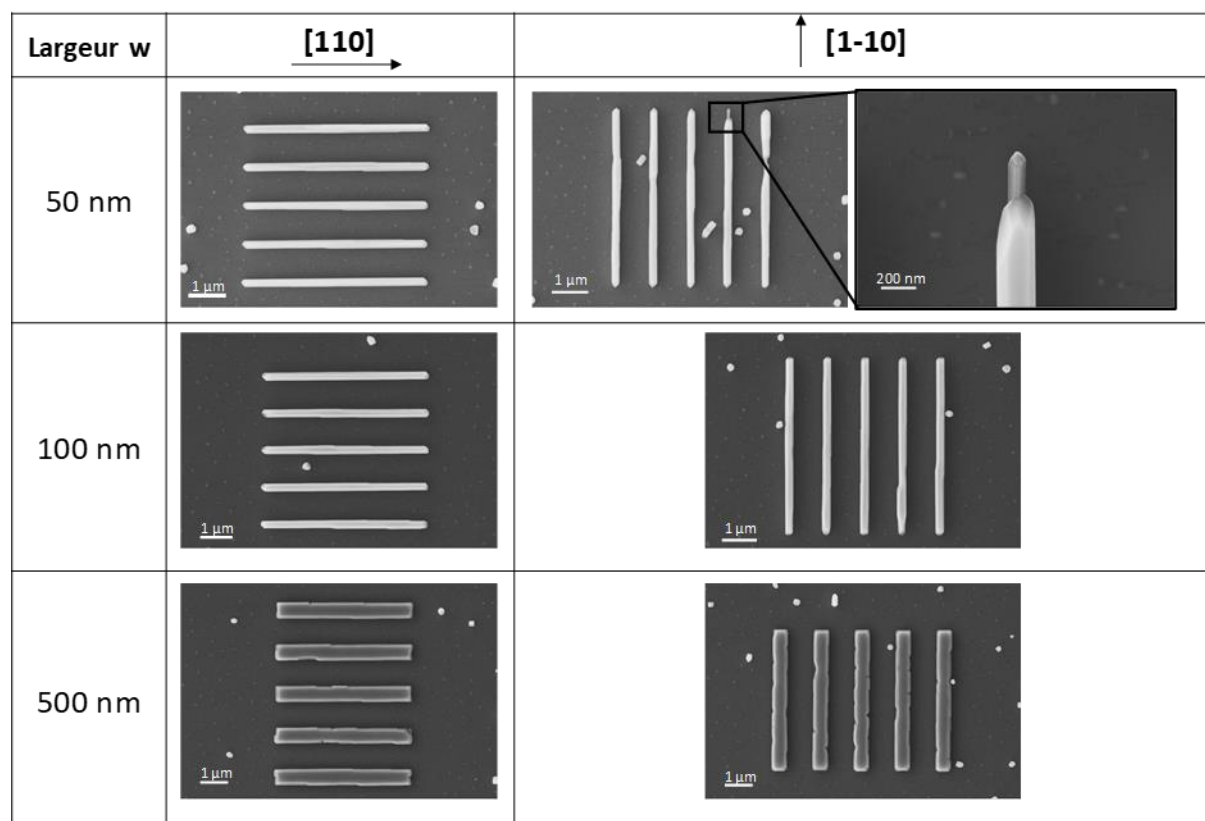


Figure 4.4 : Images MEB de structures cœur-coquille InGaAs:Si/GaSb:Si épitaxiées par croissance sélective pour des ouvertures de masques de largeur 50, 100 et 500 nm orientées suivant [110] et [1-10]. L'épaisseur nominale du cœur en InGaAs est de 50 nm et celle de la coquille en GaSb est de 100 nm.

L'étape de croissance commence par l'épitaxie sélective de 50 nm d'InGaAs:Si dans les ouvertures d'un masque de SiO<sub>2</sub>, puis se poursuit par celle de 100 nm de GaSb:Si dans les mêmes conditions. Les nanostructures obtenues sont majoritairement continues (Figure 4.4). Seules celles épitaxiées dans des ouvertures de largeur 50 nm suivant la direction [1-10] présentent parfois des discontinuités dans la coquille en GaSb, notamment aux extrémités. À partir de 500 nm de largeur, une certaine rugosité sans doute liée au désaccord de maille entre InGaAs et GaSb apparaît sur les facettes latérales.

La présence de nucléi sur le masque après la croissance est probablement due à une température de croissance légèrement trop basse pour assurer une sélectivité parfaite d'InGaAs:Si et GaSb:Si (cf. Chapitre 2.II.3.2).

L'étape suivante est le dépôt des contacts sur la coquille en GaSb (Chapitre 3.I.1). Ces plots métalliques (Ti/Au) sont utilisés à la fois pour le contact sur GaSb mais aussi comme

masque pour la gravure de la coquille jusqu'au cœur InGaAs. Deux types d'architecture ont été étudiés :

- Une architecture linéaire où les deux contacts n et p sont aux extrémités des fils (Figure 4.5a).
- Une architecture en T avec un double contact n sur InGaAs aux extrémités du fil et un contact p central sur GaSb. Cette géométrie permet d'avoir une jonction homogène entre InGaAs et GaSb, les extrémités des fils n'étant parfois pas recouvertes de GaSb (Figure 4.5b).

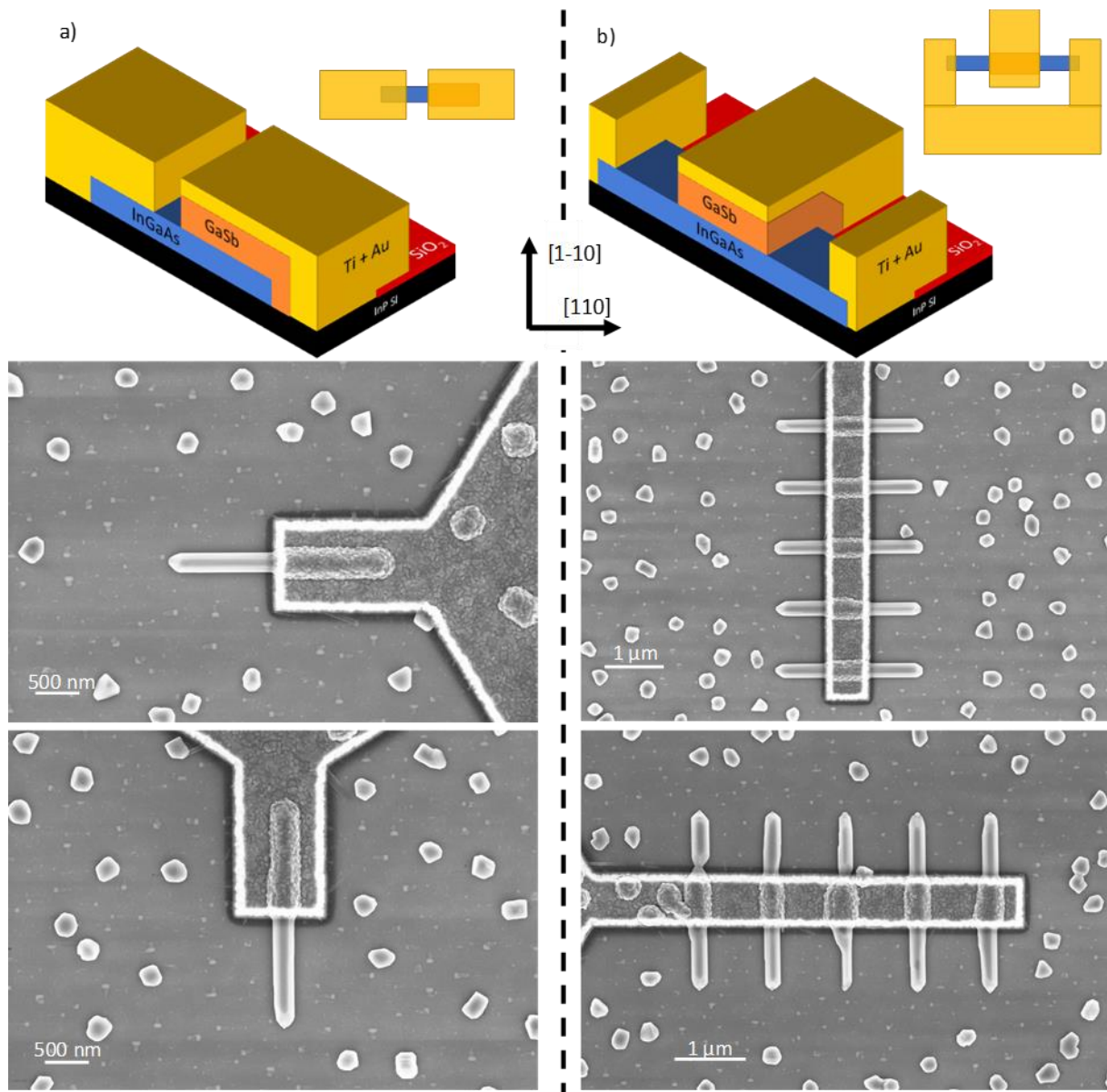


Figure 4.5 : Schéma des architectures linéaires et en T (a et b). Observations MEB après dépôts des contacts sur le GaSb pour des architectures linéaires (gauche) et en T multi-canaux (droite).

Après le dépôt du contact sur GaSb, la coquille du fil est gravée par une solution d'ammoniaque  $(\text{NH}_4\text{OH})_{10\%} / \text{H}_2\text{O}$  (10/90) afin de pouvoir accéder à l'InGaAs. Malgré un contrôle périodique de l'épaisseur gravée au profilomètre pour limiter le temps de gravure, une sous-gravure inévitable du GaSb a lieu sous le contact métallique. La Figure 4.6 présente deux composants orientés suivant [1-10] pour des largeurs d'ouverture du masque de 100 nm et 10

$\mu\text{m}$ . Malheureusement, les observations MEB n'ont pas permis d'évaluer précisément l'étendue de la sous-gravure mais on peut raisonnablement l'estimer entre 50 et 100 nm. La gravure du GaSb permet de révéler à la fois les facettes du cœur en InGaAs et celles de la coquille en GaSb d'après le profil de la métallisation. Pour la largeur de 100 nm, l'InGaAs forme des facettes (001) et (111)<sub>A</sub> et la croissance de GaSb se poursuit de façon homothétique en conservant les mêmes facettes (Figure 4.6a). Pour la largeur de 10  $\mu\text{m}$ , les facettes (001) et (113)<sub>A</sub> de l'InGaAs évoluent vers des facettes (001) et (111)<sub>A</sub> suite à l'épitaxie de GaSb (Figure 4.6b).

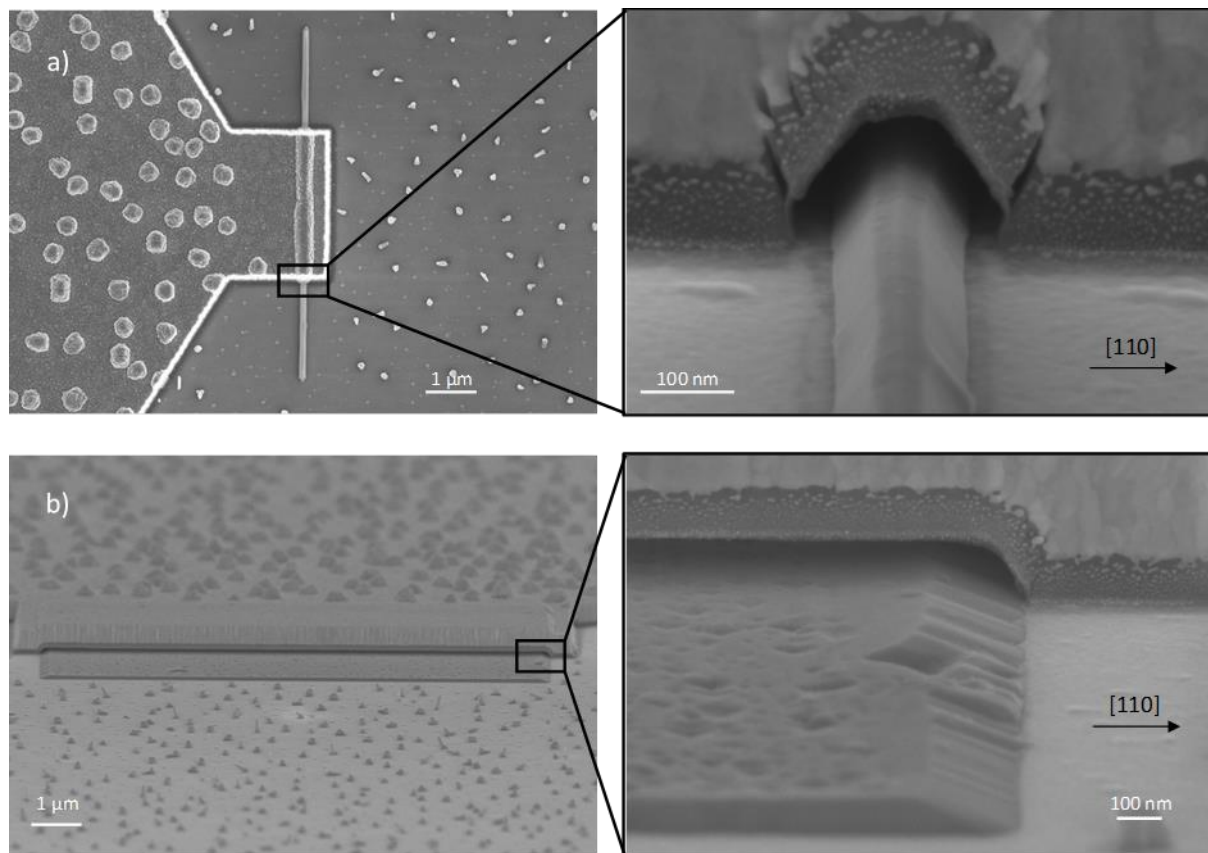


Figure 4.6 : Images MEB de structures cœur-coquille InGaAs/GaSb issues d'ouvertures de largeur 100 nm (a) et 10  $\mu\text{m}$  (b) après gravure du GaSb à l'ammoniaque. La sous-gravure formée ainsi permet d'observer le profil du GaSb déposé sur l'InGaAs.

Les images MET réalisées sur la section transversale de structures en T les plus longues suivant les directions [110] et [1-10] issues d'ouvertures de largeur 100 nm confirment ces observations (Figure 4.7). On remarque également que, bien que la lame MET ait été prélevée au centre du contact sur GaSb, celui-ci est gravé en partie à partir des coins inférieurs. On attribue cette gravure à un dépôt non-uniforme du titane sur les bords de la nanostructure, laissant s'infiltrer de l'ammoniaque pendant la gravure de la coquille. Néanmoins, la majeure partie de l'interface InGaAs/GaSb est préservée. On retrouve des formes de structure similaires à ce qui a été mentionné dans le chapitre 2.II.3 sur des homoépitaxies :

- Pour l'InGaAs, présence de facettes (111) avec en plus des facettes (113) pour la direction [1-10].
- Pour le GaSb, le développement de la facette (001) est plus important sur les structures suivant [1-10].



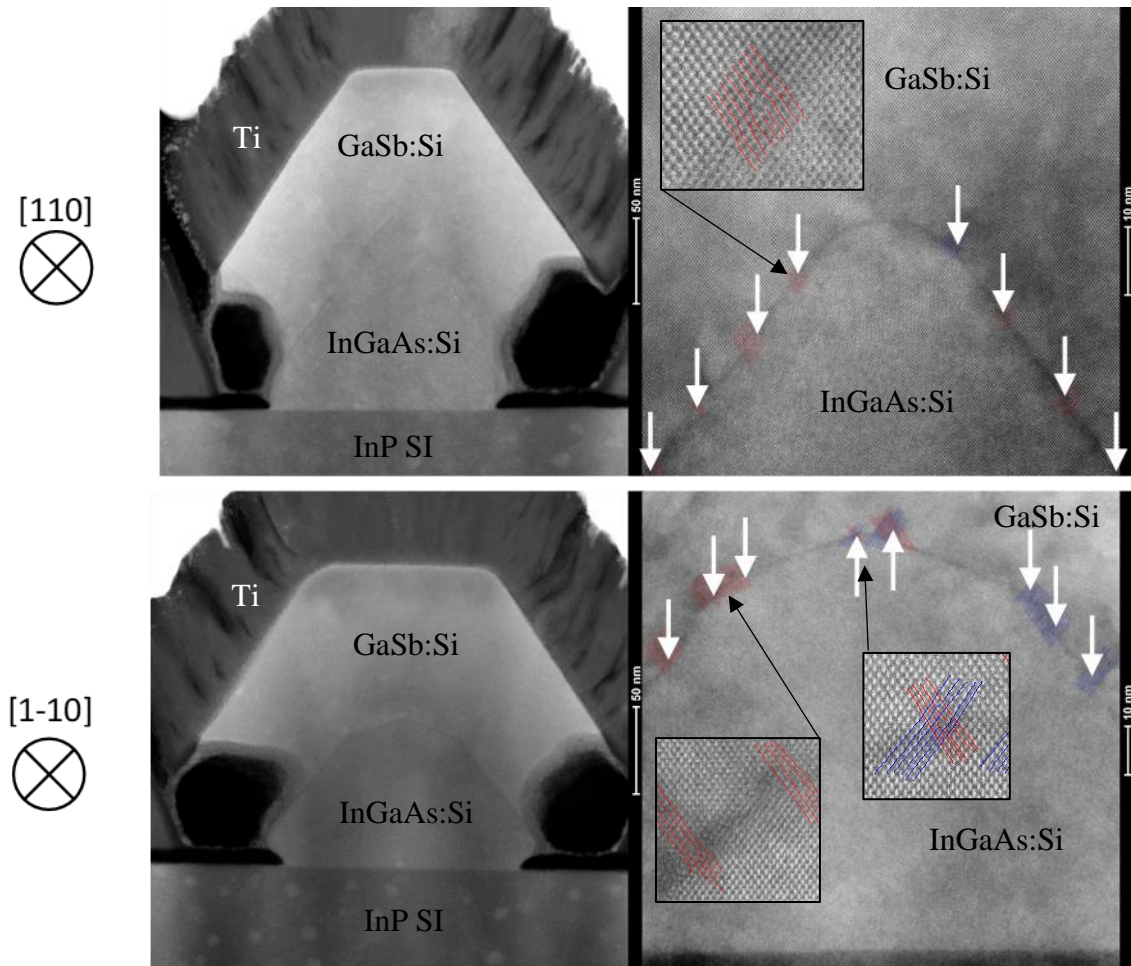


Figure 4.7 : Vues de la section d'hétérojonctions radiales InGaAs/GaSb. Les flèches blanches indiquent la présence d'une dislocation (vers le haut :  $90^\circ$  ; vers le bas :  $60^\circ$ )

Aucune dislocation émergente n'est observée dans la coquille GaSb, la relaxation de la contrainte s'opérant à l'interface avec InGaAs par une série de dislocations  $60^\circ$  sur les interfaces (111) ou (113) ou  $90^\circ$  au sommet de l'InGaAs.

Sur ces structures, les dislocations ont une séparation comprise entre 10 et 15 nm sur les facettes (111), et sont localisées à proximité des arrêtes pour les interfaces (113).

L'analyse EDX de ces sections montre une diminution de la proportion d'indium dans l'InGaAs en s'approchant de l'interface (Figure 4.8). Le GaSb exposé à l'air est oxydé sur plusieurs nanomètres.

Les plots de contact sur InGaAs sont enfin déposés, en maintenant pour tous les composants un écart de 500 nm entre les contacts n et p (Figure 4.9).

Étant donnée la sous-gravure du GaSb, la longueur  $L_s$  est sous-estimée d'au moins 50 nm et  $L_{\text{GaSb}}$  surestimée d'au moins 50 nm pour les composants linéaires et d'au moins 100 nm pour l'architecture en T. En supposant  $dW$  et  $dL$  constantes (Figure 4.10), la proportion de matériau retiré est d'autant plus importante que les dimensions sont petites, augmentant la marge d'erreur sur l'estimation de la surface de l'hétérojonction. Pour la suite de cette étude, les dimensions nominales du masque seront utilisées, et non les valeurs réelles incluant la sous-gravure et la présence de la courbure de l'interface.



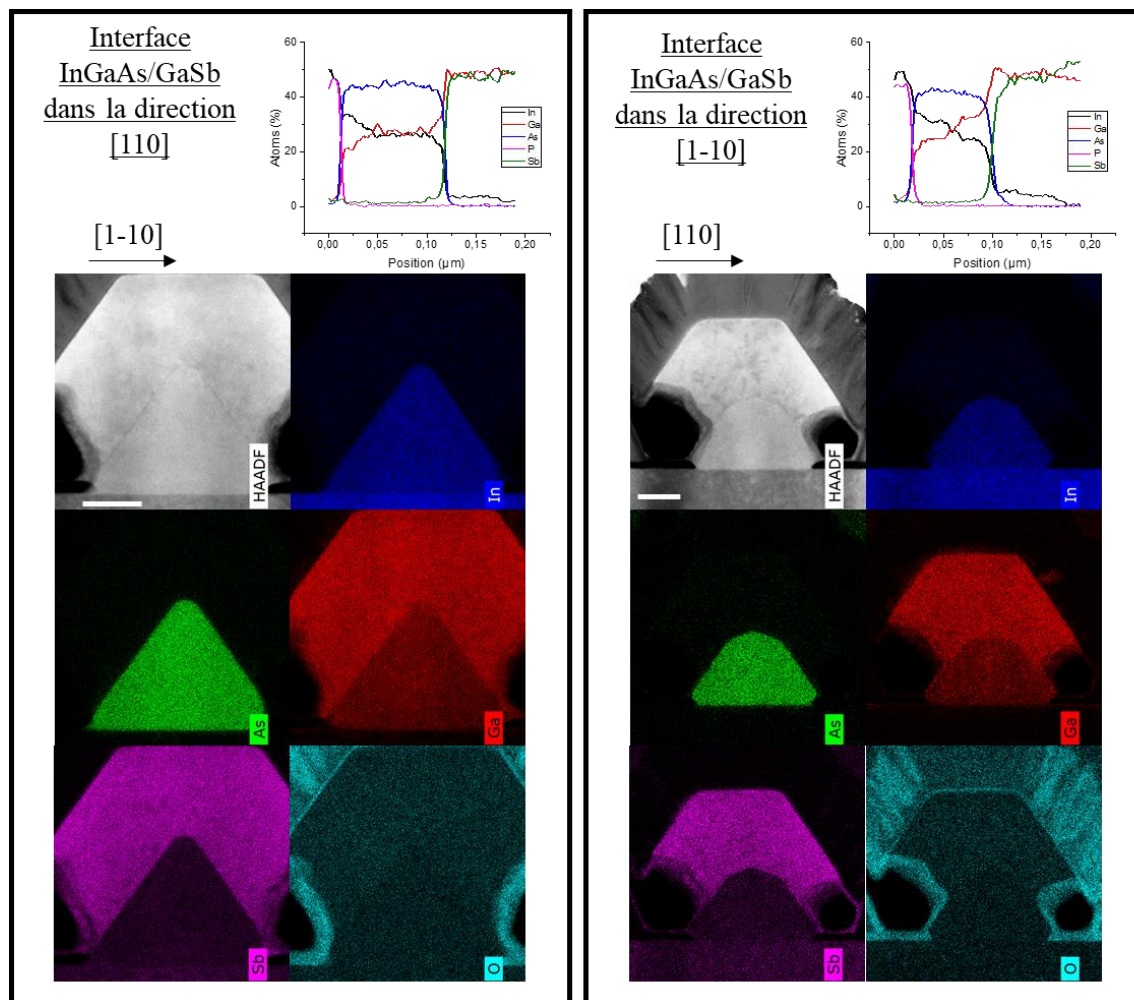
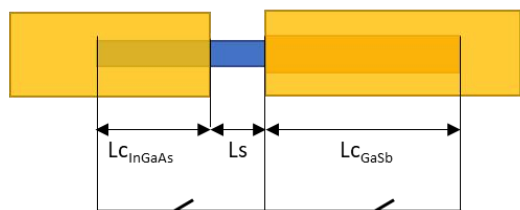
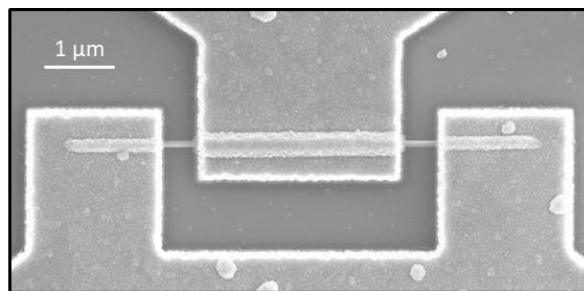
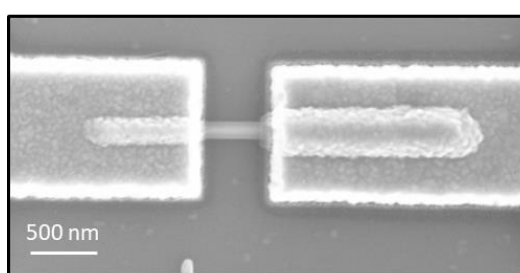
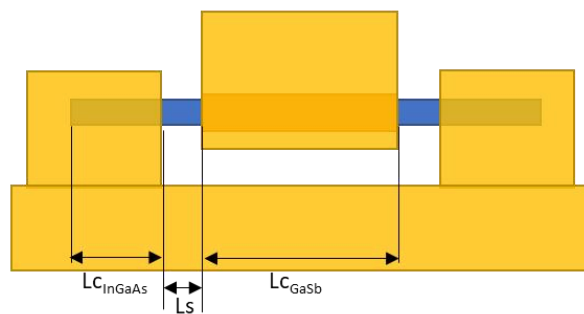


Figure 4.8 : Analyses EDX des sections des jonctions axiales ainsi que les profils de concentration.



$$L_s = 0,5 \mu\text{m}$$

$$L_{\text{GaSb}} = L_{\text{InGaAs}} + L_s$$



$$L_s = 0,5 \mu\text{m}$$

$$L_{\text{GaSb}} = L_{\text{InGaAs}} \times 2$$

Figure 4.9 : Images MEB de deux composants terminés avec une architecture linéaire et une architecture en T et les grandeurs associées.

Finalement, un recuit sous argon/hydrogène à 200 °C est réalisé pour assurer la résistivité des contacts.

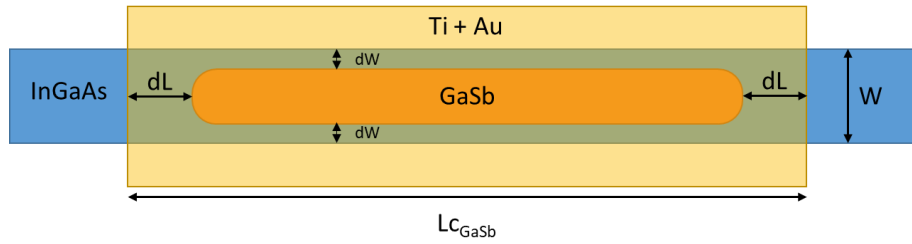


Figure 4.10 : Vue de dessus de la possible structure présente sous le contact de GaSb

## I.2 Caractérisation électrique des jonctions radiales

### I.2.1 Caractérisation du cœur InGaAs:Si

Sur certaines structures, la coquille GaSb a entièrement été gravée avant le dépôt des contacts afin de caractériser le cœur en InGaAs:Si par des mesures TLM. Ces relevés ont été pris sur des composants de largeur  $w = 100$  nm et de longueurs  $L$  de 5 et 10  $\mu\text{m}$ .

On déduit de ces mesures des résistances linéiques inférieures à ce que l'on a pu relever dans le chapitre 3.II.1 grâce à la concentration de dopants plus élevée dans cet échantillon et une épaisseur déposée d'InGaAs supérieure, permettant de passer de 880 à 379  $\Omega/\mu\text{m}$  pour la direction [110], et de 570 à 272  $\Omega/\mu\text{m}$  suivant [1-10] (Figure 4.11). Ces valeurs permettent de déduire la conductivité d'InGaAs:Si qui s'élève à 2770 S/cm pour les composants suivant [110], et 4113 S/cm pour ceux suivant [1-10]. Ces valeurs légèrement plus élevées que celles relevées dans le chapitre 3.II.1 sur les structures TLM peuvent également s'expliquer par un moindre effet de la déplétion de surface, les nanofils étant plus gros. Le rapport  $\frac{\sigma_{[1-10]}}{\sigma_{[110]}}$  est toutefois constant (1,54 contre 1,48 pour les tous derniers échantillons) ce qui montre la bonne reproductibilité du procédé.

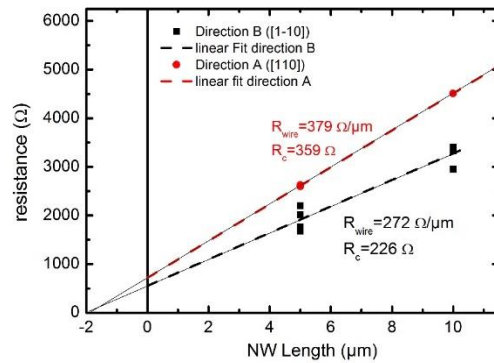


Figure 4.11 : Mesures TLM de nanofils d'InGaAs:Si de 100 nm de large issus d'une épitaxie cœur InGaAs:Si / coquille GaSb:Si dont la coquille a été gravée.

La longueur de transfert obtenue à partir de la Figure 4.11 est d'environ 1  $\mu\text{m}$ , soit la longueur totale des contacts pour ces structures. On peut donc supposer qu'elle est limitée par les dimensions des contacts. À partir de cette valeur, de  $R_c$  et du développement de l'interface InGaAs/GaSb, on déduit une résistivité de contact de 94  $\Omega.\mu\text{m}^2$  pour les structures suivant [110], et 51  $\Omega.\mu\text{m}^2$  pour celles suivant [1-10], contre 28 et 4,7  $\Omega.\mu\text{m}^2$  dans le chapitre 3.II.1. Cette différence importante est probablement due à l'absence de plasma argon dans le bâti d'évaporation préalablement au dépôt des contacts Ti/Au et donc à la probable présence d'une fine couche d'oxyde natif à la surface d'InGaAs.

I.2.2 Caractérisation électrique des hétérostructures cœur/coquille

Afin d'uniformiser les mesures des composants présentés dans ce chapitre, l'InGaAs est relié à la masse, et le GaSb est raccordé à la SMU (Figure 4.12).

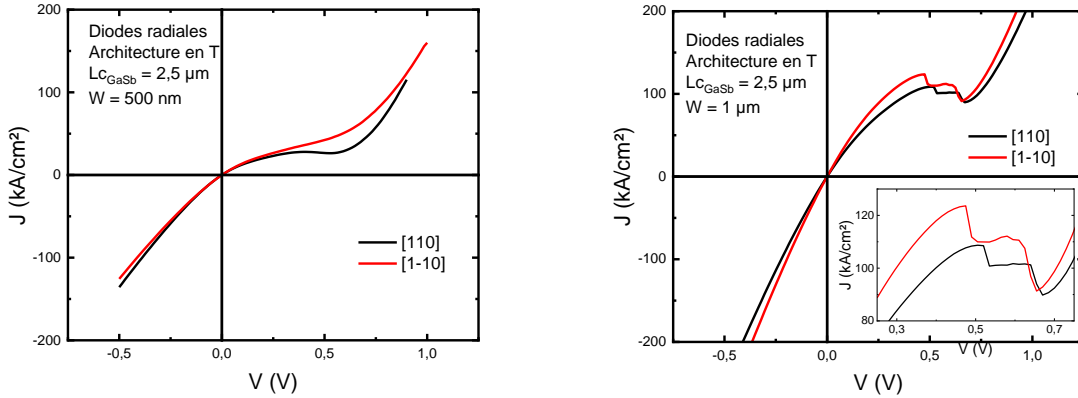
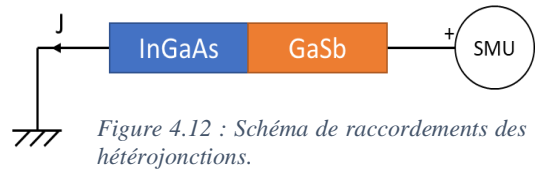


Figure 4.13 : Caractéristiques  $I=f(V)$  sur des composants InGaAs/GaSb avec une architecture en T suivant [110] et [1-10] pour différentes largeurs d'ouverture du masque. Le courant est normalisé par la jonction de surface  $W * L_{cGaSb}$ .

Les composants avec une architecture linéaire sont purement résistifs. Ceci est probablement lié à un court-circuit, causé par les discontinuités de la couche de GaSb aux extrémités des structures (cf. Figure 4.4). En ce qui concerne les composants en T, la caractéristique  $I(V)$  présente une résistance différentielle négative, signe d'un transport tunnel interbande entre InGaAs et GaSb (Figure 4.13). La densité de courant pic et le rapport  $I_{pic}/I_{vallée}$  (PVCr = peak to valley current ratio) augmentent avec la largeur des structures (Tableau 4.5). Pour les composants les plus larges, des « marches » peuvent être présentes dans la pente négative. Ce phénomène est provoqué par des oscillations dans le circuit de mesure liées à la présence de la résistance négative [7].

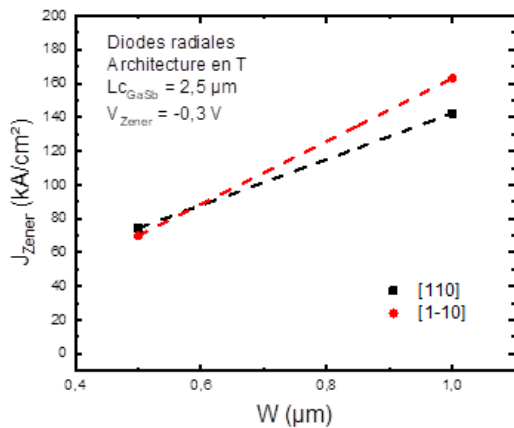


Figure 4.14 : Courants caractéristiques relevés sur les courbes de la Figure 4.13.

Orientation	W (µm)	S <sub>tunnel</sub> (µm <sup>2</sup> )	J <sub>pic</sub> (kA/cm <sup>2</sup> )	J <sub>vallée</sub> (kA/cm <sup>2</sup> )	PVCR
[110]	0,5	0,25	27,95	26,37	1,06
[110]	1	1,25	108,67	89,78	1,21
[1-10]	1	2,5	123,62	91,31	1,35

Tableau 4.5 : Paramètres des résistances différentielles négatives de la Figure 4.13.

Bien que les matériaux soient fortement dopés, les résistances différentielles négatives n'apparaissent pas pour les composants épitaxiés dans des ouvertures étroites. Les interfaces tunnel de ces composants ne comportant pas de facette (001) (Figure 4.7), on suppose donc un déficit d'incorporation du silicium sur les facettes (111) et (113), dont l'importance se réduit lorsque l'on augmente la largeur des composants.

La mesure du courant en inverse (courant Zener) permet de quantifier l'importance du transfert tunnel. On observe une dépendance de la densité de courant tunnel avec la variation de la largeur des structures (Figure 4.14). Le principal changement induit par l'augmentation de  $w$  est l'apparition et l'augmentation de la facette (001) à l'interface InGaAs/GaSb [5].

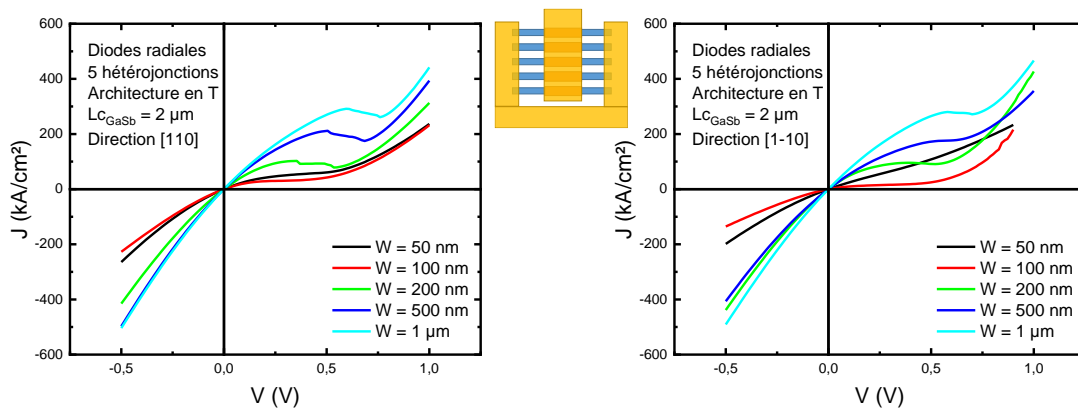


Figure 4.15 : Caractéristiques  $J=f(V)$  de diodes InGaAs/GaSb en T composées de réseaux de 5 hétérostructures. Le courant est normalisé par la jonction  $5 * W * L_{GaSb}$ .

Des relevés ont également été pris sur des diodes tunnel composées de 5 nanofils cœur-coquille en parallèle (Figure 4.15). Des résultats similaires sont obtenus avec une résistance différentielle négative plus marquée lorsque  $w$  augmente. La tension pic  $V_p$  se décale vers des valeurs plus élevées avec l'augmentation de la surface des jonctions. Ceci s'explique par l'influence croissante des résistances séries  $R_S$ , la tension pic étant liée au courant pic  $I_{pic}$  par l'expression [8]:

$$V_P = V_{P0} + R_S * I_{pic} \quad (\text{Equation 4.1})$$

avec  $V_{P0}$  la tension pic intrinsèque. Les mesures reportées sur la Figure 4.16 nous donnent des tensions pic intrinsèques et des résistances séries très proches dans les deux directions avec des valeurs respectives d'environ 0,37 V et 8 Ω.

La densité de courant pic maximale atteinte ici est de 291,6 kA/cm<sup>2</sup> pour des composants suivant [110] et de 280 kA/cm<sup>2</sup> pour ceux suivant [1-10]. Même si ces valeurs restent approximatives étant donnée l'incertitude sur la surface de la jonction liée à la sous-gravure de GaSb, elles sont comparables avec celles obtenues sur des hétérostructures InAsSb/AlGaSb ou InGaAs/GaAsSb avec des dopages similaires réalisées par technologie « top-down » [8].

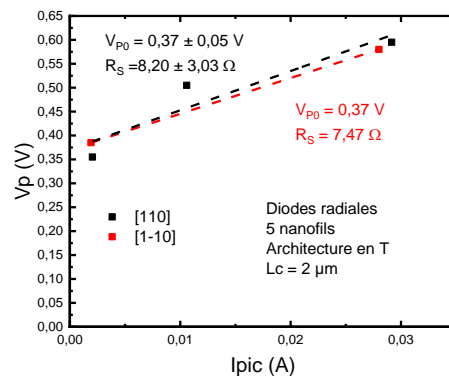


Figure 4.16 : Tension pic en fonction du courant pic d'après la Figure 4.15. Les valeurs de  $V_{P0}$  et  $R_S$  sont déduites de l'équation 4.1

L'amélioration du procédé technologique (contacts ohmiques, infiltration d'ammoniaque sous les contacts GaSb) et le passage à une hétérojonction adaptée en maille (InGaAs:Si/GaAsSb:Be) devrait permettre d'obtenir des performances encore meilleures.

## II. Hétérojonctions axiales

### II.1 Élaboration des composants

Afin de réduire encore plus la surface de la jonction tunnel et d'obtenir des architectures planaires de diodes tunnel similaires à celles démontrées par l'Université de Lund en croissance VLS verticale dans le système InAs(Sb)/GaSb, nous avons entrepris la réalisation de diodes tunnel axiales par croissance sélective en deux étapes. Le procédé décrit sur la Figure 4.17 consiste à réaliser la jonction tunnel entre InGaAs et GaSb par une reprise de croissance sur la section gravée d'un nanofil planaire d'InGaAs.

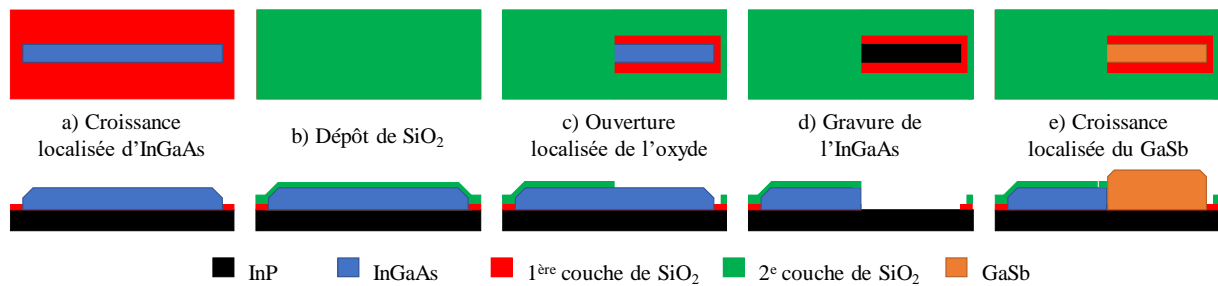


Figure 4.17 : Étapes de fabrication des hétérojonctions axiales

#### II.1.1 Croissance des nanofils InGaAs et masquage

Une première croissance d'InGaAs:Si avec une concentration nominale en silicium de  $2,5 \times 10^{19} \text{ cm}^{-3}$  est effectuée telle que décrite dans le chapitre 2.II.3.2 dans des ouvertures du masque en  $\text{SiO}_2$  de 50 nm à 1  $\mu\text{m}$  de largeur, et dont les longueurs varient de 2,5 à 12  $\mu\text{m}$  (Figure 4.17a). Après cette première épitaxie, une nouvelle couche de 30 nm de  $\text{SiO}_2$  est déposée sur toute la surface de l'échantillon par PECVD et des ouvertures sont créées sur la moitié de la première nanostructure épitaxiée (Figure 4.17b-c). Pour faciliter la lithographie et anticiper un éventuel décalage lors du réalignement par rapport aux nanostructures d'InGaAs, le masque en résine utilisé pour la fabrication du second masque de silice présente volontairement des ouvertures plus larges de 200 nm. Le recouvrement du premier et du second masque conduit cependant à une ouverture du  $\text{SiO}_2$  limitée aux zones de croissance d'InGaAs après gravure RIE et attaque HF.



## II.1.2 Gravure chimique sélective des nanofils d'InGaAs

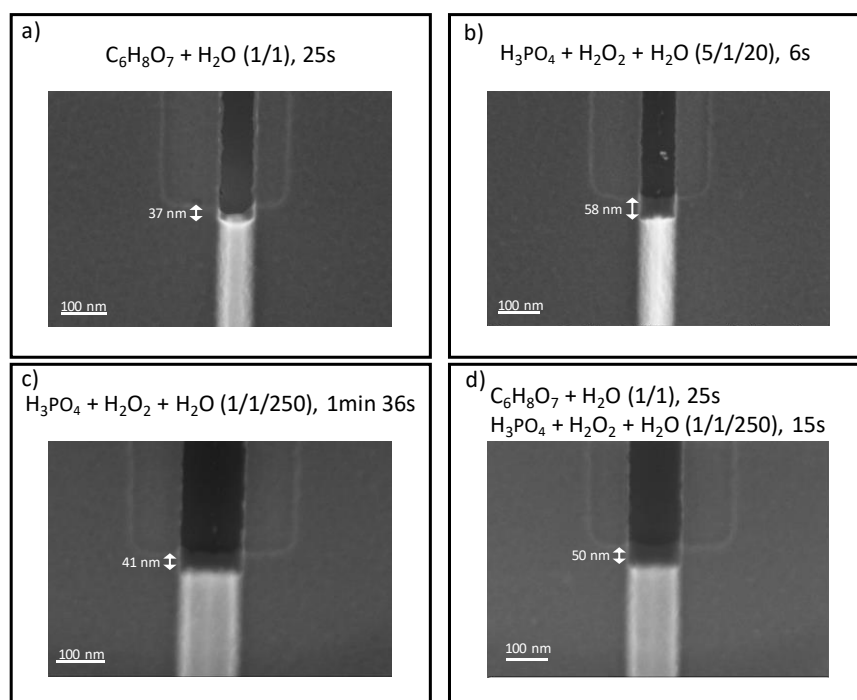


Figure 4.18 : Essais de gravure d'InGaAs dans des ouvertures de 85 nm (a,b) et 125 nm (c,d). Les valeurs indiquées sur les images MEB sont les longueurs de sous-gravure sous le masque en SiO<sub>2</sub>.

À la suite de cette étape, nous obtenons des nanostructures d'InGaAs à moitié protégées par le masque en SiO<sub>2</sub>. L'InGaAs est ensuite gravé sélectivement par rapport au substrat d'InP dans les zones non masquées (Figure 4.17d). Afin de préserver la surface du substrat, la gravure d'InGaAs est effectuée par voie chimique, pour laquelle deux acides sont disponibles : l'acide citrique (C<sub>6</sub>H<sub>8</sub>O<sub>7</sub>) et l'acide orthophosphorique (H<sub>3</sub>PO<sub>4</sub>). Ces deux solutions conduisent à des profils de gravure différents : la gravure est plutôt isotrope dans le cas de l'acide citrique alors qu'elle révèle des plans (111)B dans le cas de l'acide phosphorique<sup>[9]</sup>. Dans les deux cas, on peut prédire que la gravure chimique de l'InGaAs conduira à une certaine longueur de sous-

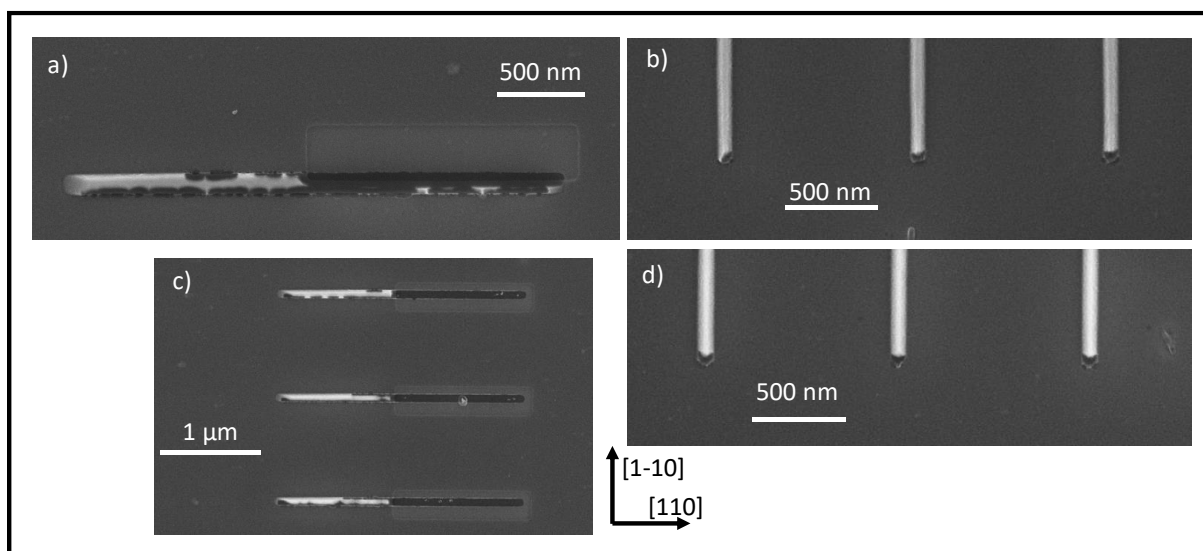


Figure 4.19 : Images MEB de structures InGaAs:Si après gravure d'une partie à l'acide citrique (a,b) et à l'acide orthophosphorique (c,d).

gravure sous le masque en silice. Afin de limiter les effets d'ombre dans le processus d'épitaxie, il a donc été nécessaire d'étudier dans un premier temps la sous-gravure engendrée par chacune de ces méthodes. Les observations MEB de la Figure 4.18 montrent les profondeurs de sous-gravure obtenues pour les différentes solutions chimiques.

Comme nous pouvons le voir sur la Figure 4.19, pour toutes les solutions de gravure utilisées, cette étape de gravure conduit également à la dégradation de fils d'InGaAs épitaxiés dans les ouvertures de 50 nm suivant la direction [110]. Cette dégradation est due à la porosité du masque en silice sur les facettes de ces nanostructures, comme nous pouvons le constater sur les coupes transverses des nanofils d'InGaAs réalisées par FIB-STEM sur la Figure 4.20. Alors qu'un recouvrement homogène par le SiO<sub>2</sub> est constaté dans la direction [1-10] ou pour des ouvertures plus larges, la géométrie des plus étroites nanostructures orientées suivant [110] conduit à une épaisseur localement très fine de silice, insuffisante pour protéger correctement l'InGaAs lors de l'attaque acide. Nous constatons également le même phénomène aux extrémités des fils orientés suivant [1-10].

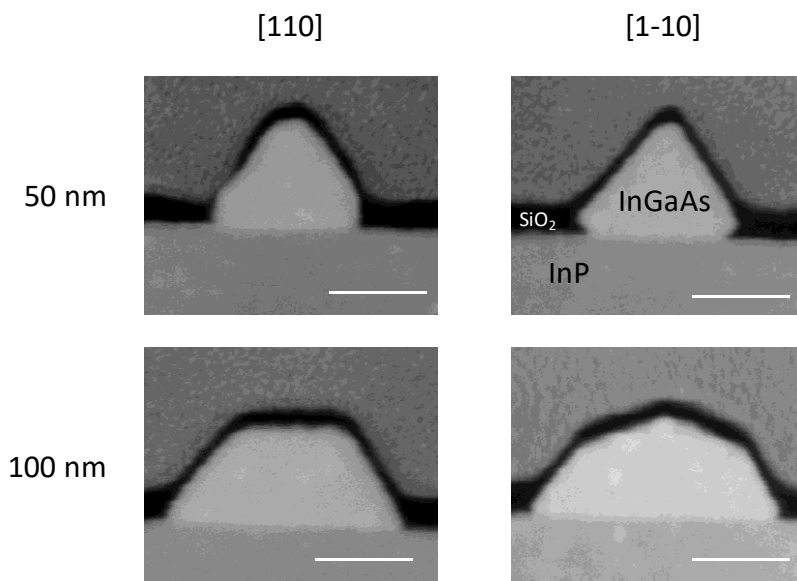


Figure 4.20 : Coupe par FIB-STEM de structures InGaAs dans des largeurs d'ouvertures nominales de 50 et 100 nm. Les traits représentent 50 nm

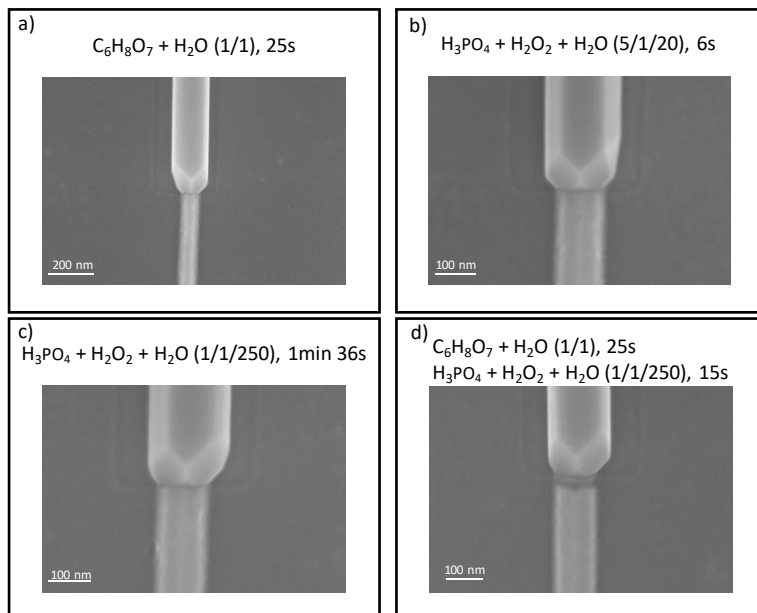


Figure 4.21 : Croissance de GaSb dans des ouvertures de 85 nm (a) et 125 nm (b,c,d) obtenues par gravure d'InGaAs

## II.1.3 Croissance sélective de GaSb:Si

Après cette étape de gravure, l'échantillon est dégazé sous vide à 180 °C pendant une heure avant son introduction dans le bâti SSMBE. Après désoxydation de la surface sous flux d'arsenic et d'hydrogène atomique jusqu'à une température de 490 °C, nous avons procédé à la

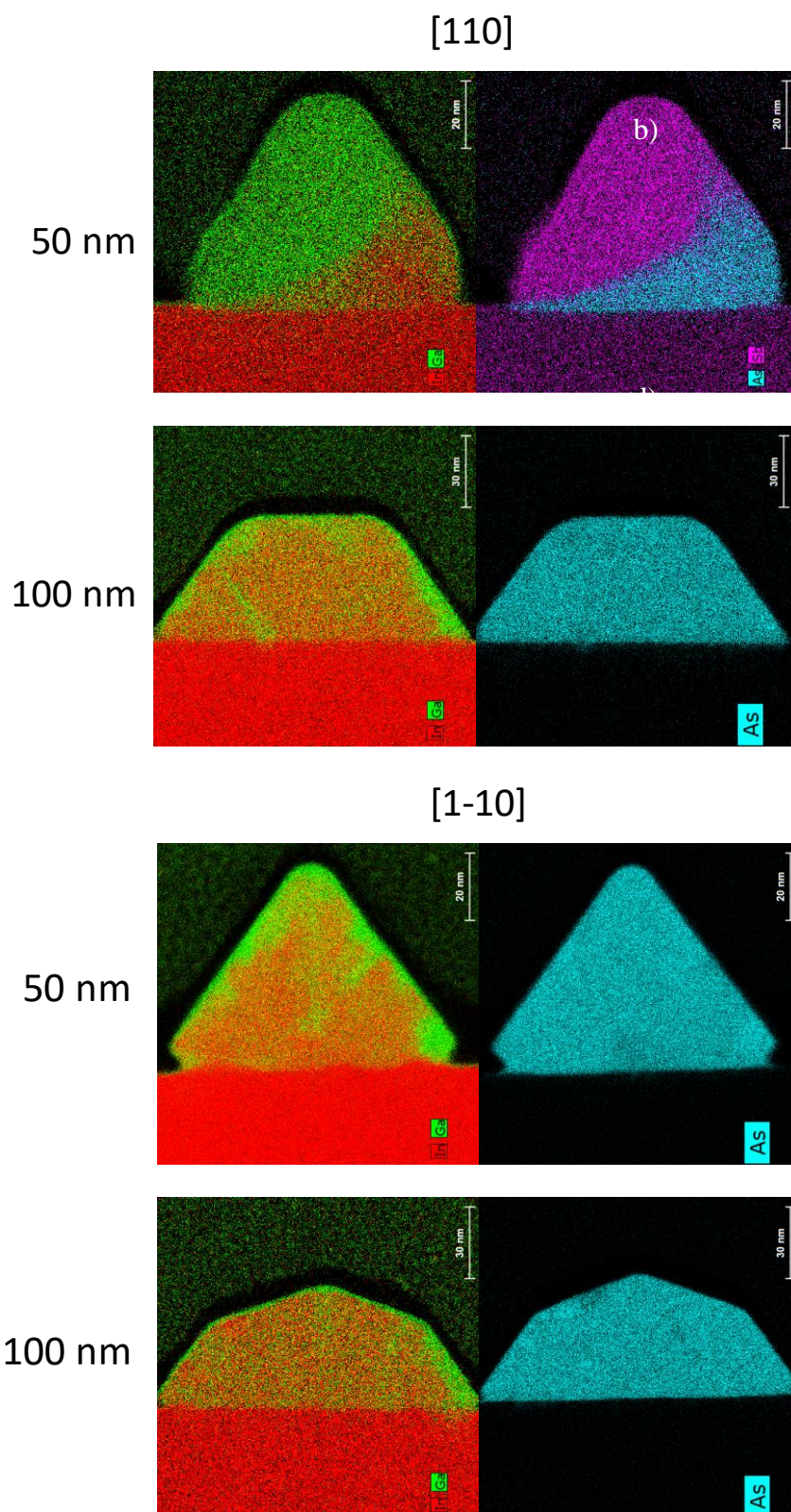


Figure 4.22 : Analyse EDX de structures InGaAs protégées par un masque SiO<sub>2</sub> dans des largeurs d'ouvertures nominales de 50 et 100 nm.



croissance de 100 nm de GaSb, avec un dopage Si de  $2,5 \times 10^{19} \text{ cm}^{-3}$  visé, dans les conditions de croissance sélective décrites dans le chapitre 2.II.3.3 (Figure 4.21). On observe sur les quatre échantillons un remplissage de ces ouvertures, quelle que soit la solution de gravure utilisée. Afin d'obtenir un bon contrôle à la fois de la profondeur (vitesse de gravure d'environ  $4 \text{ \AA/s}^{[10]}$ ) et du profil de l'InGaAs révélé, nous avons opté pour la solution  $\text{H}_3\text{PO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$  (1/1/250).

Alors que la Figure 4.19 montre des structures InGaAs rongées par l'acide avant croissance, la section des nanofils de 50 nm de large orientés suivant [110] semble remplie après croissance de GaSb (Figure 4.20a). L'analyse EDX de ces nanostructures révèlent que la porosité du masque a en effet conduit à une gravure importante de l'InGaAs mais qu'il a été remplacé par du GaSb lors de la seconde épitaxie (Figure 4.22a). La croissance de GaSb semble s'être produite par l'ouverture du masque en silice, remplissant tout l'espace sous le masque (Figure 4.23).

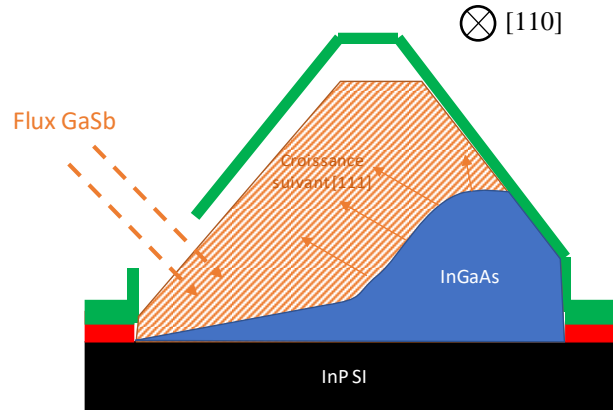


Figure 4.23 : Interprétation possible de la croissance sélective sous le masque de  $\text{SiO}_2$

En ce qui concerne les autres structures présentées sur la Figure 4.22, elles sont protégées correctement par le  $\text{SiO}_2$  et on observe une diminution de la concentration en indium en surface de la structure, contrairement à ce que l'on avait pu observer sur les nanofils InGaAs/InP cœur-

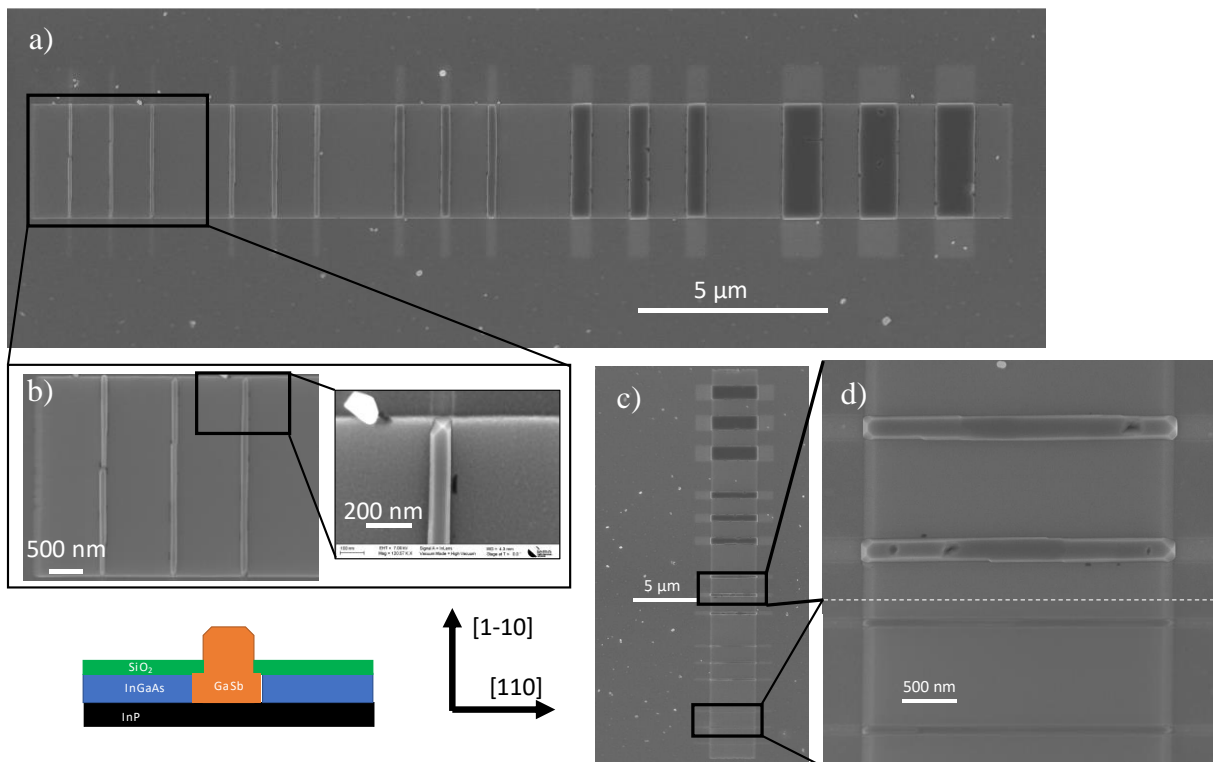


Figure 4.24 : Images MEB après gravure de l'InGaAs et recroissance du GaSb dans des ouvertures de largeur variable (a) orientées suivant [1-10], zoom sur les ouvertures de largeur 50 nm (b). Observations MEB des rubans orientés dans l'autre direction cristallographique (c) et zooms sur les ouvertures 100 nm et 50 nm (d). Le schéma représente la coupe transversale attendue après croissance.

coquille décrits dans le chapitre 3. Cette dégradation du nanofil d'InGaAs s'est probablement produite lors du dépôt de la 2<sup>e</sup> couche de SiO<sub>2</sub> à 300 °C ou a été induite par la contrainte exercée par la couche de SiO<sub>2</sub> lors de la seconde épitaxie.

Des jonctions latérales formées par une première épitaxie d'un ruban d'InGaAs de plusieurs micromètres de largeur à l'intérieur duquel des ouvertures de 50 nm à 1 μm de largeur ont été définies par lithographie puis gravure de l'InGaAs permettent d'apprécier la continuité du dépôt de GaSb (Figure 4.24a). Malgré le désaccord de maille entre InP et GaSb, nous pouvons constater que les structures de GaSb sont quasi-continues y compris pour les ouvertures les plus larges. En zoomant sur la jonction latérale entre l'InGaAs gravé et la recroissance de GaSb, nous pouvons également constater que le matériau a migré sous le masque de SiO<sub>2</sub> pour atteindre l'interface InGaAs. Seules quelques zones sombres sur la périphérie des structures de GaSb laissent supposer l'absence de « sous-croissance » (Figure 4.24b). Plus qu'un effet d'ombre, nous pensons que ces « trous » sont dus au désaccord de maille entre GaSb et InGaAs/InP, qui conduit initialement à la formation d'îlots pas complètement coalescés après un dépôt de 100 nm.

Concernant les jonctions axiales, la largeur réduite des rubans conduit à une couche de GaSb complètement coalescée dans les ouvertures orientées suivant [1-10], seuls quelques défauts sont visibles à proximité de l'interface InGaAs/GaSb (Figure 4.25). Sur les rubans les plus larges, des lames ont pu être préparées par faisceau d'ions focalisé pour être observées par MET (Figure 4.26). Les analyses en champ clair (BF) révèlent la présence de dislocations émergentes dans la couche de GaSb épitaxiées sur InP. On suppose que ces dislocations sont surtout présentes dans les structures les plus larges, et disparaissent dans les structures les plus

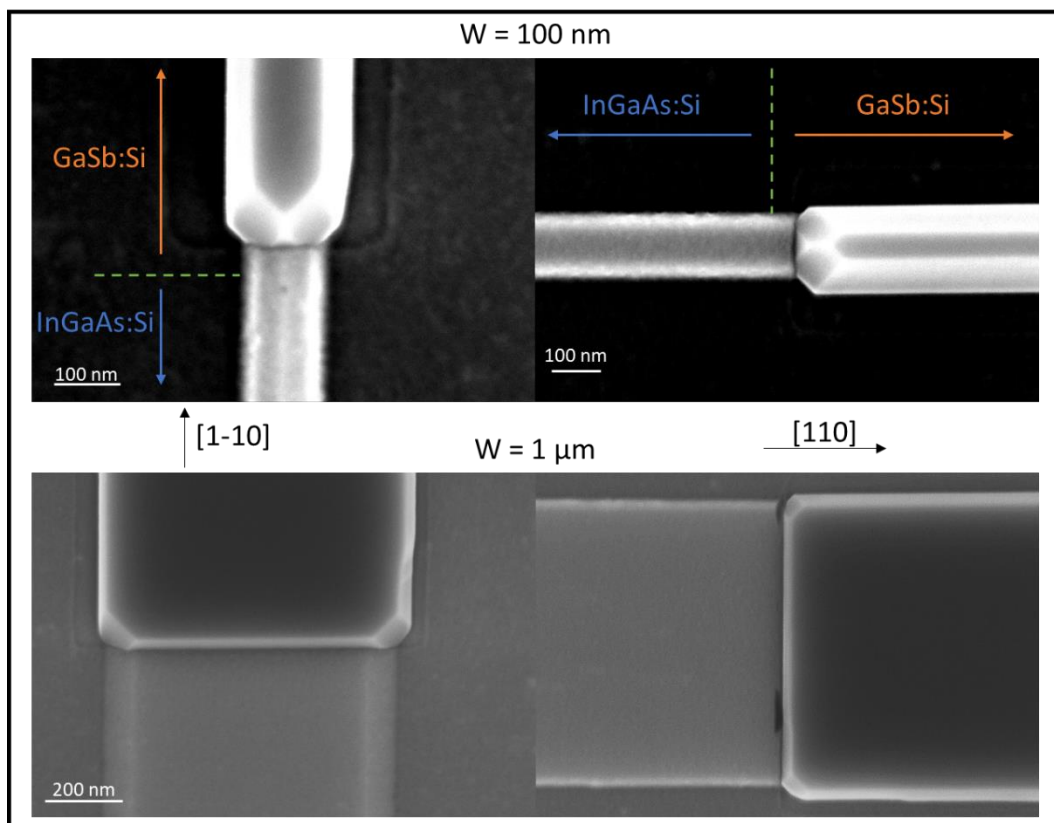


Figure 4.25 : Images MEB d'hétérostructures InGaAs/GaSb. Le contraste des images est volontairement saturé afin d'observer la jonction sous le masque de SiO<sub>2</sub> (représentée en pointillés verts)

étroites, les segments émergents étant repoussés jusqu'en bord d'îlots comme cela a pu être remarqué lors de croissances sélectives de GaSb sur GaAs <sup>[11]</sup>.

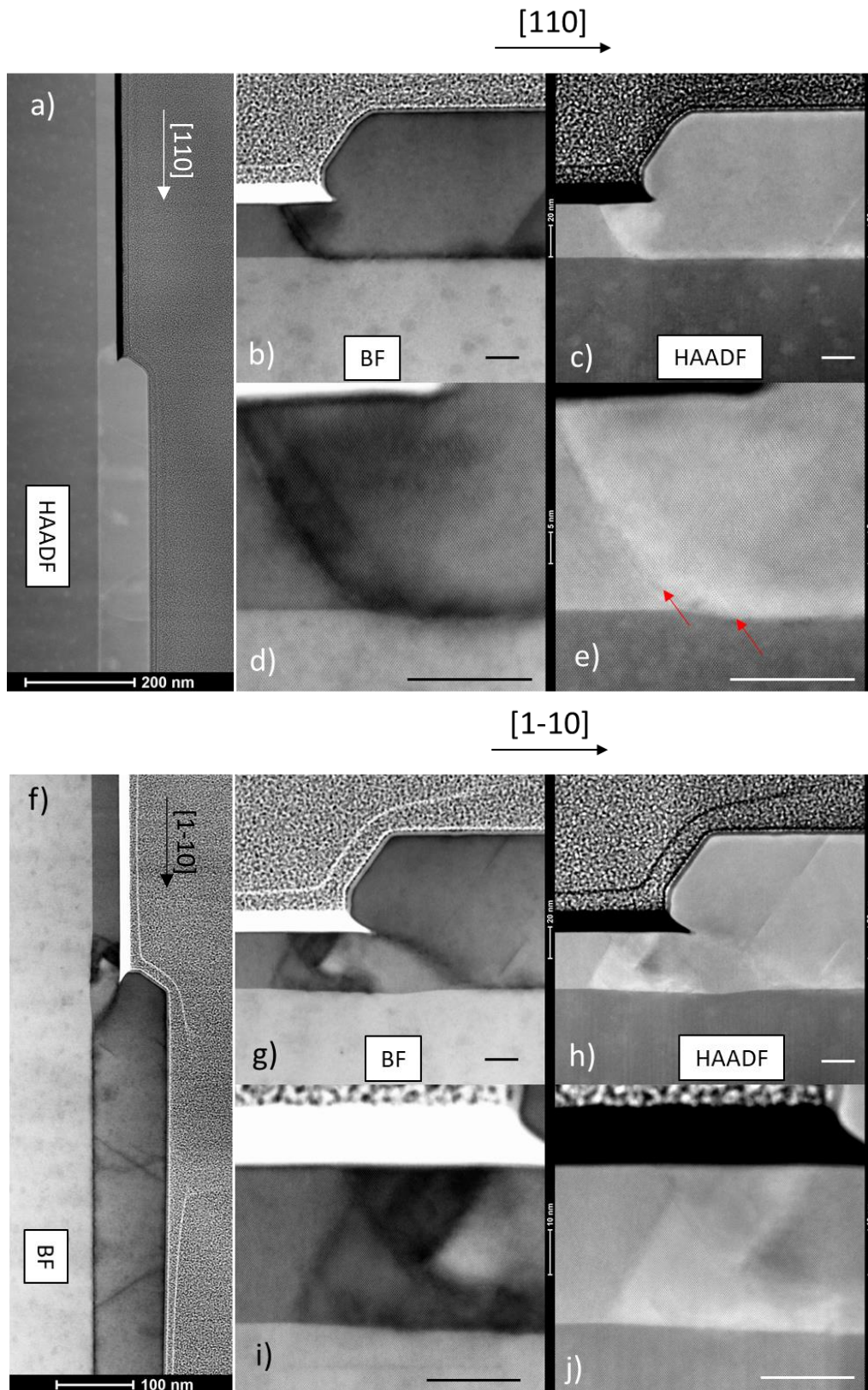


Figure 4.26 : Images MET haute-résolution de la jonction InGaAs/GaSb obtenue dans les directions [110] (a-e) et [1-10] (f-j). Les traits représentent 20 nm.



Les images EDX révèlent une jonction nette entre InGaAs et GaSb suivant la direction [110] (Figure 4.27). En termes de défauts cristallins près de la jonction InGaAs/GaSb, les observations MET à haute résolution révèlent la présence de dislocations dans le plan de la jonction orientée suivant [110] (Figure 4.26d). En dehors de ces défauts liés au désaccord de maille entre InGaAs et GaSb, on observe une assez bonne qualité cristalline du GaSb dans la zone masquée par le SiO<sub>2</sub>, seules quelques fautes d'empilement dans les plans (111) (marquées par une flèche rouge sur la Figure 4.26e) peuvent être observées.

Dans l'autre direction, la structure est plus complexe avec 5 volumes de matériaux discernables et dont l'origine n'est pas complètement élucidée (Figure 4.28). En partant de la droite des images, nous avons d'abord la recroissance de 100 nm de GaSb, en contact direct avec ce qui semble être un résidu d'InGaAs non gravé. Une inclusion de GaSb est ensuite observée formant une jonction partielle avec le nanofil d'InGaAs et une inclusion d'InAs à la base. L'absence de gallium dans ce volume n'a pas encore été élucidée, elle est peut-être due à la formation d'une goutte d'indium sur la surface (111) d'InGaAs pendant le recuit de désoxydation, cette goutte ayant ensuite recristallisé sous l'effet du flux d'arsenic. La complexité de la structure rend l'analyse des images MET à haute résolution très difficile. On peut toutefois espérer un profil de composition plus homogène et plus cohérent pour des croissances réalisées dans des ouvertures de dimensions nanométriques. Malheureusement, la réalisation de lames MET longitudinales pour ces ouvertures étroites ne peut pas être faite.

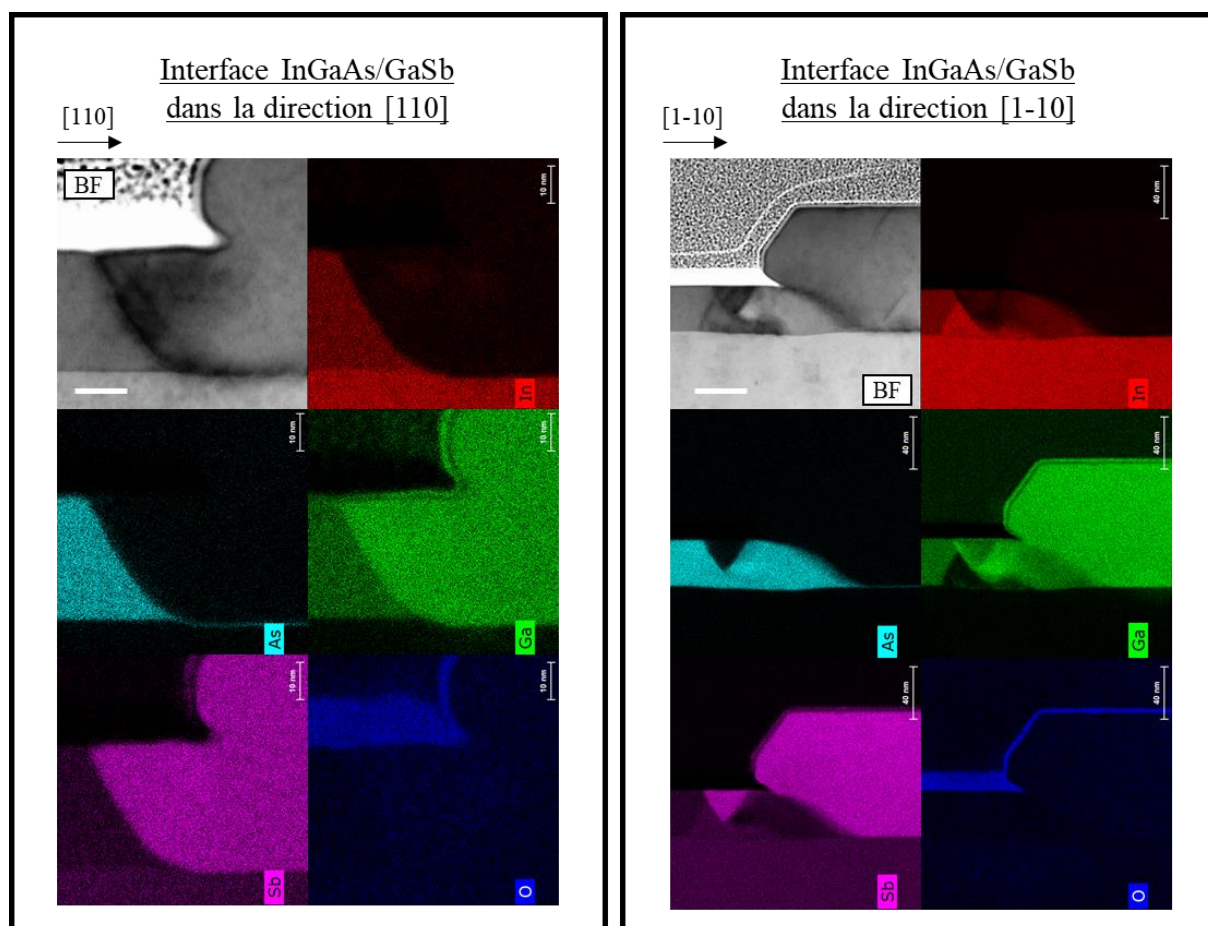


Figure 4.27 : Images TEM en champ clair (BF) et analyses EDX de l'interface entre la structure InGaAs et la recroissance de GaSb sur une jonction axiale de 1 µm de large dans les directions [110] et [1-10]. Les échelles sont de 40 nm.

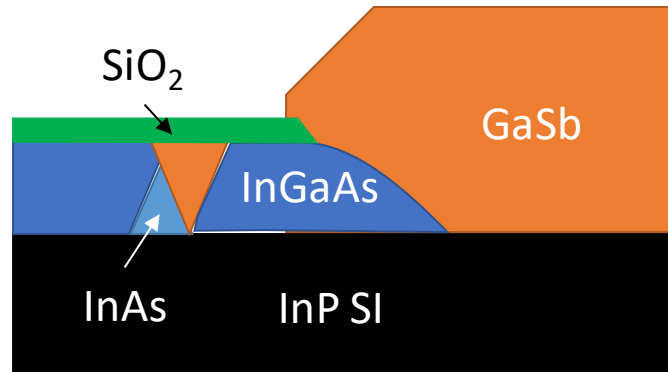


Figure 4.28 : Hétérojonction de la structure suivant [1-10] de la Figure 4.27

### II.1.4 Dépôt des contacts

Un masque de PMMA 4% est ensuite utilisé pour définir une zone d'ouverture du  $\text{SiO}_2$  sur la partie InGaAs par gravure chimique à base d'acide fluorhydrique dilué. Des plots métalliques sont ensuite déposés aux deux extrémités des nanostructures d'InGaAs et de GaSb tel que présenté dans le chapitre 3.I.1 (Figure 4.29). Cependant, il s'est avéré que le nettoyage par plasma argon normalement programmé dans le bâti d'évaporation de métaux préalablement au dépôt du titane pour éliminer la couche d'oxyde natif n'a pas fonctionné lors de ce dépôt. Comme nous le verrons par la suite, ce dysfonctionnement a probablement entraîné une dégradation des contacts ohmiques.

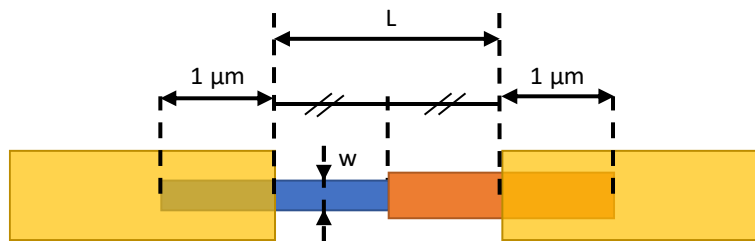


Figure 4.29 : Schéma de la diode tunnel axiale terminée et des grandeurs associées

## II.2 Caractérisation électrique des hétérojonctions axiales

### II.2.1 Mesure de la résistivité des matériaux épitaxiés

Étant donné que les matériaux sont fortement dopés, il est possible de mesurer facilement la résistivité de ces matériaux sur des composants de type TLM (Chapitre 3.II.1). Pour cela, des nanofils d'InGaAs de largeur 100 nm complètement masqués pendant la croissance de GaSb et des nanofils de GaSb épitaxiés dans des ouvertures de 100 nm où l'InGaAs avait été préalablement complètement gravé ont été analysés. Les écarts entre les contacts sont ici de 1, 5 et 10  $\mu\text{m}$ .

La résistance mesurée à température ambiante sur les composants InGaAs est quasiment deux fois plus élevée que celle mesurée sur les composants dopés du chapitre 3.II.1 ( $570 \text{ } \Omega/\mu\text{m}$ ) alors que le dopage est ici plus élevé (Figure 4.30a). La dégradation des nanostructures d'InGaAs et l'enrichissement en gallium en surface constatés précédemment et probablement causés par le dépôt  $\text{SiO}_2$  sont sans doute à l'origine de cette faible conductance.

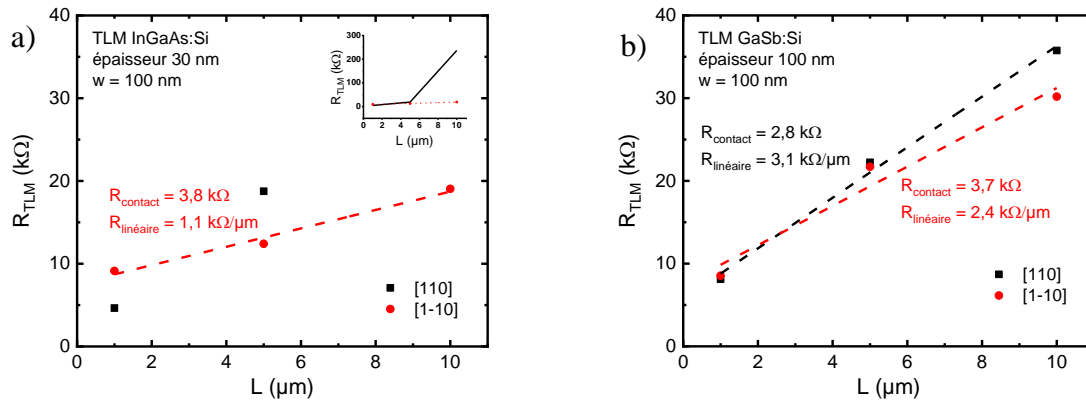


Figure 4.30 : Résistances obtenues sur des structures TLM InGaAs (a) et GaSb (b) de 100 nm de largeur à 300 K.

En ce qui concerne le GaSb, nous obtenons une résistance linéique 2 à 3 fois supérieure à l'InGaAs, malgré une section deux fois plus grande. Ceci s'explique par la mobilité des porteurs naturellement plus faible pour un matériau de type p.

On remarque également que les résistances de contact sur InGaAs sont plus importantes que celles relevées sur les composants dopés décrits au Chapitre 3 (partie II.1). Comme souligné dans la partie I.1, un souci sur l'équipement de métallisation a empêché l'étape de nettoyage de la surface par plasma argon en amont du dépôt des métaux de contact. Il est donc probable que des contaminations et/ou une couche oxydée soient présentes à l'interface entre le métal et le semiconducteur, augmentant la résistance. L'enrichissement en gallium à la surface des nanostructures explique également ce résultat. La résistivité des contacts sur l'InGaAs déduite de la Figure 4.30 est de  $566 \text{ } \Omega \cdot \mu\text{m}^2$ , soit plus de 100 fois celle mesurée dans le chapitre 3.II.1.

### II.2.2 Mesures sur les hétérostructures

Pour les composants réalisés à partir d'ouvertures supérieures à 100 nm, des caractéristiques courant-tension purement résistives ont été obtenues quelle que soit la direction cristallographique et la température.

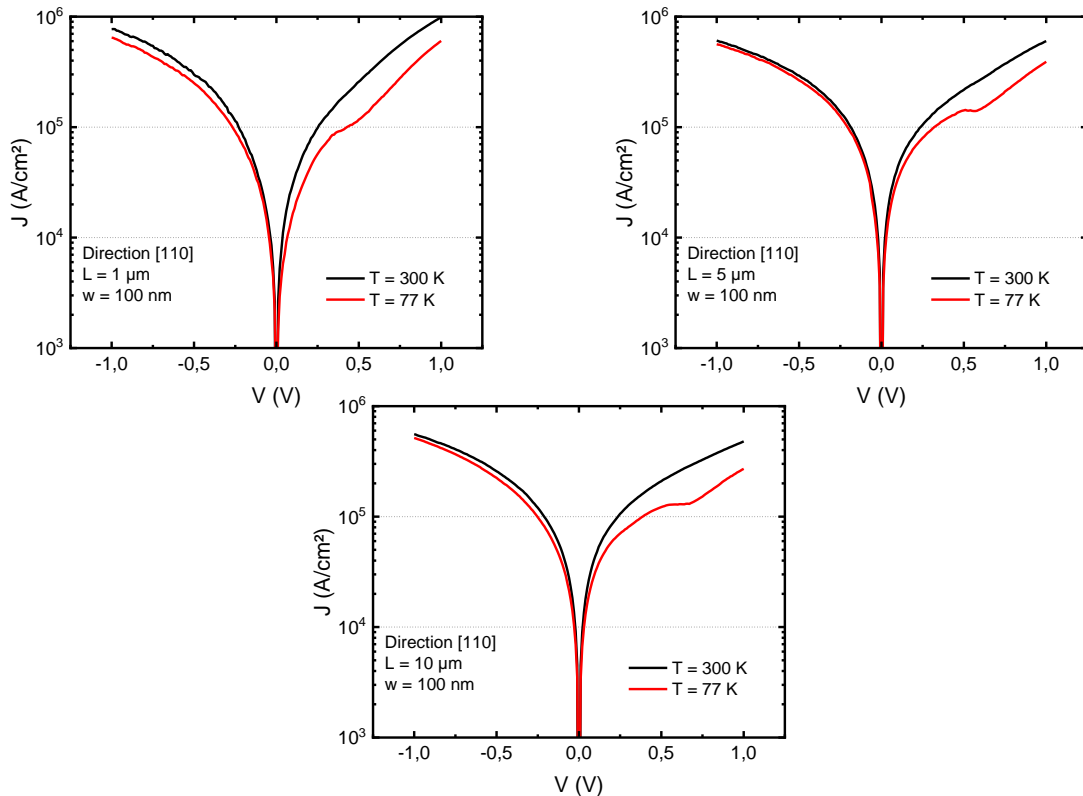


Figure 4.31 : Densités de courant relevées sur des structures de 100 nm de large suivant la direction [110].

Les mesures réalisées sur les composants de largeur 100 nm suivant la direction [110] ne montrent une résistance différentielle négative (RDN) très faible qu'à basse température avec un rapport courant pic / courant vallée très proche de 1 (Figure 4.31). La relative indépendance des caractéristiques avec la distance L entre contacts nous indique que la résistance des zones d'accès (hors contacts) ne constitue pas la principale limitation du composant. En revanche, la forte résistance des contacts et la présence de défauts à l'interface InGaAs/GaSb peuvent expliquer respectivement une dégradation du courant pic et une augmentation du courant vallée. À basse température, le décalage du courant thermoïonique vers les tensions les plus élevées explique l'apparition d'un épaulement (voire d'une faible RDN) dans la caractéristique.

La relativement faible dépendance de la densité de courant Zener avec la température (de 292 kA/cm<sup>2</sup> pour V = -0,5 V à 300 K, contre 264 kA/cm<sup>2</sup> à 77 K) nous montre que le courant inverse est bien dominé par un transfert tunnel interbande.

Dans la direction [1-10], les composants de largeur 100 nm montrent une densité de courant plus faible et ne présentent pas de résistance négative même à 77 K (Figure 4.32 en pointillés).

Pour les diodes issues d'une ouverture de 50 nm suivant la direction [1-10] (Figure 4.32), deux diodes sur quatre composants mesurés montrent une résistance différentielle négative bien marquée à 77 K. La caractéristique courant-tension de l'une d'elles est indiquée sur la Figure

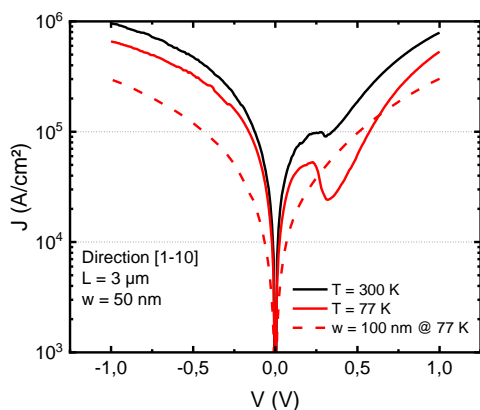


Figure 4.32 : Densité de courant traversant une hétérostructure InGaAs/GaSb axiale de 50 nm de largeur à 77 K et 300 K, et une structure de 100 nm de largeur à 77 K.

4.32. Le courant Zener est d'environ 326 kA/cm<sup>2</sup> à 77 K pour  $V = -0,5$  V. Le courant pic à cette même température est de 53 kA/cm<sup>2</sup> pour un rapport courant pic/vallée de 2,2.

Cette valeur de PVCR est relativement plus faible que celle obtenue par B. Ganjipour *et al.* sur une jonction InAsSb/GaSb de 40 nm de diamètre réalisée par VLS (PVCR = 4) mais la densité de courant pic mesurée sur notre composant est bien plus importante (53 kA/cm<sup>2</sup> contre environ 13 kA/cm<sup>2</sup>) [12] (Figure 1.15).

Malgré les nombreuses difficultés rencontrées (dégradation du fil d'InGaAs lié à la coquille SiO<sub>2</sub>, absence de plasma argon avant le dépôt des contacts, dislocations dues au désaccord de maille entre GaSb et InGaAs/InP), les caractéristiques mesurées sur les composants les plus étroits sont très encourageantes.

On peut donc attendre une amélioration significative du PVCR en améliorant ces différents points. L'exposition au plasma argon avant le dépôt des contacts est facilement réalisable. Si l'inhomogénéité de l'InGaAs est liée au recuit préalable au dépôt de la seconde couche de SiO<sub>2</sub>, il faudrait envisager un dépôt à plus basse température ou utiliser de la résine HSQ. Ceci devrait permettre à la fois d'améliorer la résistance série des nanofils d'InGaAs mais aussi d'avoir un profil de composition homogène sur toute l'interface tunnel. Enfin, les dislocations présentes à l'interface tunnel et sans doute à l'origine de phénomènes de transfert tunnel assistés par défaut devraient pouvoir être éliminées en utilisant l'alliage GaAsSb accordé en maille sur InP à la place du GaSb, et permettre ainsi une réduction du courant vallée à température ambiante.

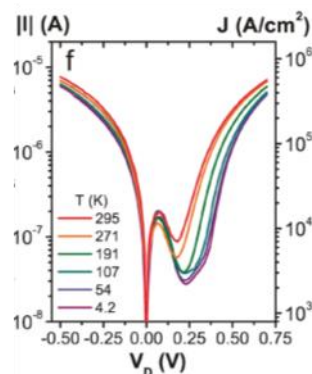


Figure 4.33 : Caractéristiques de la diode Esaki réalisée par Ganjipour *et al* [12] présentée dans le chapitre 1.

### III. Conclusion

Deux architectures de diodes planaires InGaAs/GaSb ont ici été réalisées :

- Une architecture radiale issue d'une épitaxie sélective des deux matériaux pour former une structure cœur-coquille avec des accès disposés en T
- Une architecture axiale reposant sur une double épitaxie dont une qui est en partie sacrificielle,

Malgré la présence de dislocations à l'interface InGaAs/GaSb, les composants de la première architecture présentent des résistances négatives à température ambiante pour les ouvertures les plus larges où la facette (001) est majoritairement présente à l'interface InGaAs/GaSb. Pour les ouvertures les plus étroites, une incorporation moindre du silicium lors de la croissance sur les facettes {111} et {113} est sans doute responsable d'une réduction du courant tunnel.

Sur l'architecture axiale, le développement d'une gravure chimique adaptée des nanostructures d'InGaAs a permis de procéder à une croissance sélective confinée. Les analyses MET ont montré que les adatoms de gallium et d'antimoine sont capables de migrer sur la surface du substrat InP sur des dizaines de nanomètres pour combler l'espace masqué par le SiO<sub>2</sub> jusqu'à la surface d'InGaAs gravée. Malgré le désaccord de maille et des résistances série importantes liées à une dégradation du nanofils d'InGaAs lors du dépôt de silice, quelques composants les plus étroits ont montré une résistance différentielle négative avec une densité de courant pic à basse température supérieure à celles de diodes InAsSb/GaSb élaborées par croissance VLS. De nombreuses voies d'amélioration sont possibles pour ces composants offrant des perspectives intéressantes pour la fabrication de nano-diodes planaires dont la surface de jonction est précisément contrôlée à l'échelle nanométrique par la forme du tube en silice.



## Bibliographie du Chapitre 4

1. Esaki, L. New Phenomenon in Narrow Germanium p-n Junctions. *Phys. Rev.* **109**, 603–604 (1958). DOI : 10.1103/PhysRev.109.603
2. Mohata, D. K. *et al.* Implications of record peak current density In<sub>0.53</sub>Ga<sub>0.47</sub>As Esaki tunnel diode on tunnel FET logic applications. *Device Res. Conf. - Conf. Dig. DRC* 103–104 (2010). DOI : 10.1109/DRC.2010.5551856
3. Pandey, R. *et al.* Tunnel junction abruptness, source random dopant fluctuation and PBTI induced variability analysis of GaAs<sub>0.4</sub>Sb<sub>0.6</sub>/In<sub>0.65</sub>Ga<sub>0.35</sub>As heterojunction tunnel FETs. in *2015 IEEE International Electron Devices Meeting (IEDM)* 14.2.1-14.2.4 (IEEE, 2015). DOI : 10.1109/IEDM.2015.7409694
4. Pandey, R. *et al.* Demonstration of p-type In<sub>0.7</sub>Ga<sub>0.3</sub>As/GaAs<sub>0.35</sub>Sb<sub>0.65</sub> and n-type GaAs<sub>0.4</sub>Sb<sub>0.6</sub>/In<sub>0.65</sub>Ga<sub>0.35</sub>As complimentary Heterojunction Vertical Tunnel FETs for ultra-low power logic. in *2015 Symposium on VLSI Technology (VLSI Technology)* **3**, T206–T207 (IEEE, 2015). DOI : 10.1109/VLSIT.2015.7223676
5. Desplanque, L. *et al.* Influence of nanoscale faceting on the tunneling properties of near broken gap InAs/AlGaSb heterojunctions grown by selective area epitaxy. *Nanotechnology* **25**, 465302(2014). DOI : 10.1088/0957-4484/25/46/465302
6. Agarwal, S. & Yablonovitch, E. Pronounced Effect of pn-Junction Dimensionality on Tunnel Switch Threshold Shape. (2011). ArXiv ID : 1109.0096
7. Bao, M. & Wang, K. L. Accurately measuring current-voltage characteristics of tunnel diodes. *IEEE Trans. Electron Devices* **53**, 2564–2568 (2006). DOI : 10.1109/TED.2006.882281
8. Romanczyk, B. *et al.* Benchmarking current density in staggered gap In<sub>0.53</sub>Ga<sub>0.47</sub>As/GaAs<sub>0.5</sub>Sb<sub>0.5</sub> heterojunction Esaki tunnel diodes. *Appl. Phys. Lett.* **102**, 213504 (2013). DOI : 10.1063/1.4808362
9. Chinni, V. K. AlGaSb/InAs vertical tunnel field effect transistors for low power electronics. Thèse de doctorat, Université de Lille, 2017.
10. Guan, L. H. *et al.* The study of etching selectivity between InGaAs and AlGaAs in acid based etching solution. in *2004 IEEE International Conference on Semiconductor Electronics* 423–426 (IEEE, 2004). DOI : 10.1109/SMELEC.2004.1620918
11. Fahed, M. Selective area growth of in-plane III-V nanostructures using molecular beam epitaxy. Thèse de doctorat, Université de Lille, 2016.
12. Ganjipour, B. *et al.* High current density esaki tunnel diodes based on GaSb-InAsSb heterostructure nanowires. *Nano Lett.* **11**, 4222–4226 (2011). DOI : 10.1021/nl202180b
13. Sze, S. M. & Ng, K. K. *Physics of Semiconductor Devices*. (John Wiley & Sons, Inc., 2006). DOI : 10.1002/0470068329



# Conclusion générale et perspectives

---

Cette thèse démontre la possibilité d'élaborer des nanostructures à base de matériaux III-V sur substrat InP grâce à l'épitaxie sélective par jets moléculaires assistée par plasma d'hydrogène atomique. La fabrication de différents composants à partir de ces nanostructures a permis d'étudier leurs propriétés de transport.

L'état de l'art des méthodes de réalisation de composants III-V met en avant la difficulté de produire des nanostructures planaires par l'approche « top-down » classiquement utilisée pour les composants à base de silicium. L'approche « bottom-up » s'est fortement développée grâce à la démonstration de nombreux composants à base de nanofils verticaux élaborés par croissance VLS mais permet difficilement la fabrication de nanostructures complexes multi-branches. Au contraire, l'épitaxie sélective utilisant un masque diélectrique comme masque de croissance offre plus de souplesse pour définir la forme des nanostructures. La décomposition préférentielle des précurseurs dans les ouvertures du masque permet de recourir à cette technique aisément par EPVOM. La sélectivité peut être également obtenue en EJM, en ajustant précisément température et vitesse de croissance pour favoriser la ré-évaporation des éléments sur le masque. L'utilisation d'un flux d'hydrogène atomique généré par une cellule plasma permet d'élargir cette fenêtre de sélectivité et d'envisager la croissance d'alliages ternaires ou d'hétérostructures désadaptées en maille.

L'utilisation d'un flux d'hydrogène atomique pendant la croissance nous a ainsi permis d'épitaxier sélectivement des nanostructures d'InGaAs accordés en maille sur InP. La qualité cristalline des matériaux élaborés a d'abord pu être appréciée en étudiant la morphologie des nanostructures épitaxiées, qui présentent toutes des facettes bien définies et facilement identifiables. Les nanostructures d'InGaAs accordées en maille sont continues et uniformes lorsqu'elles sont faiblement dopées. Une rugosité plus importante a été constatée pour les forts dopages au silicium. Les propriétés optiques et électroniques des couches d'InGaAs épitaxiées sous flux d'hydrogène atomique ont été étudiées par photoluminescence et effet Hall et ont mis en évidence un apport bénéfique de ces conditions de croissance. Pour Ga(As)Sb, une dégradation du dopage de type p au carbone a été constatée sous l'effet de l'hydrogène atomique nous obligeant à envisager l'utilisation du système désadapté InGaAs/GaSb pour la réalisation d'hétérojonctions. Dans ce cas, le désaccord de maille entre GaSb et InP conduit naturellement à la formation d'îlots pour les faibles épaisseurs déposées mais la faible température de croissance possible grâce à l'utilisation d'hydrogène atomique permet une coalescence rapide de ces îlots et d'obtenir des structures continues à l'intérieur d'ouvertures micrométriques.

Pour étudier les propriétés de transport dans les nanostructures d'InGaAs, des dispositifs de type TLM ou avec une architecture multi-branches pour des mesures 4-pointes ont été fabriqués. Leur mesure corrélée aux résultats de Hall obtenues sur des structures micrométriques a révélé une mobilité électronique au niveau de l'état de l'art. Des composants de type MOSFET ont ensuite été fabriqués pour estimer la mobilité d'effet de champ. Sur les nanostructures d'InGaAs dopée au tellure, l'épaisseur importante déposée conduit à des morphologies très différentes suivant l'orientation de l'ouverture du masque, modifiant

fortement l'efficacité de commande de grille. Afin de pouvoir réaliser ce type de mesure sur des nanostructures non dopées et également limiter les effets néfastes du dépôt d'oxyde de grille sur la surface d'InGaAs, des MOSFET ont été réalisés à partir de nanostructures cœur-coquille InGaAs/InP avec des recroissances d'InGaAs fortement dopé sur les zones de contacts. L'utilisation de résine HSQ a permis la conception d'un masque de croissance suffisamment étroit pour obtenir des longueurs de grille descendant sous les 30 nm. La caractérisation électrique des transistors jusqu'à 4 K a permis d'extraire la mobilité effective en fonction de la longueur de grille mais également d'apprécier l'apport bénéfique de la coquille InP sur la densité de pièges dans l'empilement de grille. Les mobilités effectives obtenues pour les plus grandes longueurs de grille sont au niveau des meilleures valeurs rapportées dans la littérature pour des nanofils élaborés par VLS ou par croissance sélective EPVOM pour ce système de matériaux. La dégradation de mobilité effective constatée pour les plus courtes longueurs de grille qui aurait pu être attribuée à la quasi-balisticité des électrons est plus vraisemblablement due à l'influence des zones d'accès fortement dopées sur le transport électronique dans le canal.

Des diodes tunnel InGaAs/GaSb planaires ont enfin été élaborées par deux approches utilisant la croissance sélective sous flux d'hydrogène atomique. La première repose sur la croissance localisée d'une hétérostructure cœur-coquille InGaAs/GaSb dopée au silicium. Malgré la présence de dislocations à l'interface entre les deux matériaux, une résistance différentielle négative est visible à température ambiante sur les structures munies d'une facette (001), les autres étant sujettes à une variation de l'incorporation du silicium liée au facetage. La deuxième approche a nécessité deux étapes de croissance. Une première épitaxie sélective d'InGaAs permet de délimiter les contours de la structure. Une partie du nanofil d'InGaAs est ensuite gravée chimiquement pour être remplacée par du GaSb:p lors d'une deuxième épitaxie sélective, formant une hétérostructure axiale dont la section nanométrique est parfaitement contrôlée par la forme de la première épitaxie. Les analyses MET ont montré une migration efficace des adatoms de Ga et de Sb sous le masque de SiO<sub>2</sub>, et une croissance cristalline relativement homogène dans ces zones. Cette méthode de croissance équivalente à la TASE en EJM a permis la réalisation de diodes tunnel axiales. Pour les nanofils les plus étroits, des densités de courants pic de plusieurs dizaines de kA/cm<sup>2</sup> sont obtenues avec des résistances différentielles négatives à basse température comparables à celles obtenues sur des diodes InAsSb/GaSb élaborées par VLS.

Ces résultats offrent donc de nombreuses perspectives pour la croissance sélective assistée par hydrogène atomique, avec des matériaux accordés en maille ou non avec le substrat.

Parmi ces perspectives, il est possible d'élaborer des nanostructures d'InSb sur un substrat fortement désadapté en maille et semi-isolant <sup>[1]</sup>. L'InSb est particulièrement intéressant pour les applications quantiques du fait de son très fort couplage spin-orbite et des structures multi-branches sont particulièrement souhaitées pour la fabrication de dispositifs. La formation de structures multi-branches à base d'InSb est possible par VLS <sup>[2]</sup> mais la croissance sélective apparaît beaucoup plus simple et réaliste pour la fabrication de circuits complexes.

Autre domaine d'utilisation possible : la photonique. On a vu dans le chapitre 2 que les nanofils cœur-coquille InGaAs/InP luminescent à température ambiante. Plusieurs groupes de recherche travaillent activement sur la fabrication de systèmes intégrés sur puce (*System-on-chip*, SOC) munis de sources lasers. Si la fabrication de ces lasers a d'abord été démontrée par une croissance VLS <sup>[3],[4]</sup>, la tendance est aujourd'hui de produire des cavités par croissance

sélective de structures verticales <sup>[5],[6]</sup> ou planaires <sup>[7],[8]</sup>. Toutefois, il s'agit ici de sources utilisant un pompage optique. Le développement de la croissance sélective de jonctions p-i-n cœur-coquille planaires pourrait peut-être permettre la réalisation de laser à pompage électrique exploitant des concepts similaires.

## Bibliographie

1. Desplanque, L., Bucamp, A., Troadec, D., Patriarche, G. & Wallart, X. Selective area molecular beam epitaxy of InSb nanostructures on mismatched substrates. *J. Cryst. Growth* **512**, 6–10 (2019). DOI : 10.1016/j.jcrysgro.2019.02.012
2. Gazibegovic, S. *et al.* Epitaxy of advanced nanowire quantum devices. *Nature* **548**, 434–438 (2017). DOI : 10.1038/nature23468
3. Mayer, B. *et al.* Monolithically integrated III-V gain material on virtual substrates on Si using template-assisted selective epitaxy. *2017 Conf. Lasers Electro-Optics Eur. Eur. Quantum Electron. Conf.* **1920**, 1–1 (2017). DOI : 10.1109/CLEOE-EQEC.2017.8086618
4. Bermúdez-Ureña, E. *et al.* Plasmonic Waveguide-Integrated Nanowire Laser. *Nano Lett.* **17**, 747–754 (2017). DOI : 10.1021/acs.nanolett.6b03879
5. Kim, H. *et al.* Monolithic InGaAs Nanowire Array Lasers on Silicon-on-Insulator Operating at Room Temperature. *Nano Lett.* **17**, 3465–3470 (2017). DOI : 10.1021/acs.nanolett.7b00384
6. Stettner, T. *et al.* Tuning Lasing Emission toward Long Wavelengths in GaAs-(In,Al)GaAs Core-Multishell Nanowires. *Nano Lett.* **18**, 6292–6300 (2018). DOI : 10.1021/acs.nanolett.8b02503
7. Shi, Y. *et al.* Optical pumped InGaAs/GaAs nano-ridge laser epitaxially grown on a standard 300-mm Si wafer. *Optica* **4**, 1468 (2017). DOI : 10.1364/optica.4.001468
8. Mayer, B. F. *et al.* Microcavity Lasers on Silicon by Template-Assisted Selective Epitaxy of Microsubstrates. *IEEE Photonics Technol. Lett.* **31**, 1021–1024 (2019). DOI : 10.1109/LPT.2019.2916459



# Liste des publications

---

## I. Publications dans des revues scientifiques internationales

- A. Bucamp, C. Coinon, D. Troadec, S. Lepillet, G. Patriarche, X. Wallart, L. Desplanque, *Gate length dependent transport properties of in-plane core-shell nanowires with raised contacts*, accepté dans Nano Research.
- A. Bucamp, C. Coinon, J.-L. Codron, D. Troadec, X. Wallart, L. Desplanque, *Buffer free InGaAs quantum well and in-plane nanostructures on InP grown by atomic hydrogen assisted MBE*, J. Cryst. Growth 512 (2019), 11-15.
- L. Desplanque, A. Bucamp, D. Troadec, G. Patriarche, X. Wallart, *Selective area molecular beam epitaxy of InSb nanostructures on mismatched substrates*, J. Cryst. Growth 512 (2019), 6-10.
- M. Pastorek, A. Olivier, Y. Lechaux, N. Wichmann, T. Karatsori, M. Fahed, A. Bucamp, A. Addad, D. Troadec, G. Ghibaudo, L. Desplanque, X. Wallart, S. Bollaert, *Bottom-up fabrication of InAs-on-nothing MOSFET using selective area molecular beam epitaxy*, Nanotechnology 30 (2019) 035301.
- L. Desplanque, A. Bucamp, D. Troadec, G. Patriarche, X. Wallart, *In-plane InSb nanowires grown by selective area molecular beam epitaxy on semi-insulating substrate*, Nanotechnology 29 (2018) 305705.

## II. Conférences internationales

- A. Bucamp, X. Wallart, D. Vignaud, C. Coinon, D. Troadec, L. Desplanque, *Growth and electrical characterization of in-plane InGaAs nanostructures made by selective molecular beam epitaxy*, 20<sup>th</sup> International Conference on Molecular Beam Epitaxy, Shanghai, Chine, 2-7 septembre 2018.
- L. Desplanque, A. Bucamp, D. Troadec, G. Patriarche, X. Wallart, *Selective area molecular beam epitaxy of in-plane InSb nanowires on mismatched substrates*, 20<sup>th</sup> International Conference on Molecular Beam Epitaxy, Shanghai, Chine, 2-7 septembre 2018.
- X. Wallart, A. Bucamp, M. Fahed, D. Troadec, G. Patriarche, Y. Wang, P. Ruterana, A. Addad, M. Pastorek, A.B. Fadge, D. Vignaud, N. Wichmann, S. Bollaert, L. Desplanque, *Selective area growth of III-V semiconductors using atomic hydrogen during molecular beam epitaxy*, 7<sup>th</sup> International Conference on Nanostructures and Nanomaterials Self-Assembly, NanoSEA 2018, Carqueiranne, France, 2-6 juillet 2018

---

### III. Conférences nationales

- L. Desplanque, A. Bucamp, M. Fahed, D. Troadec, M. Pastorek, A.B. Fadje, N. Wichmann, S. Bollaert, G. Patriarche, X. Wallart, *Préparation des substrats pour la croissance sélective de nanostructures III-V*, Atelier du GDR Pulse « Préparation des substrats pour l'épitaxie », Villeneuve-d'Ascq, France, 22-24 mai 2018.
- A. Bucamp, L. Desplanque, D. Vignaud, C. Coinon, D. Troadec, X. Wallart, *Croissance sélective de nanofils planaires d'InGaAs sur substrat d'InP par épitaxie par jets moléculaires*, Réunion plénière du GDR CNRS PULSE, Paris, octobre 2017.

### IV. Présentations par poster

- A. Bucamp, X. Wallart, D. Vignaud, C. Coinon, D. Troadec, L. Desplanque, *Caractérisation électrique de nanostructures planaires d'InGaAs réalisées par croissance sélective EJM sur substrat InP*, Atelier du GDR PULSE « Préparation des substrats pour l'épitaxie », Villeneuve d'Ascq, France, 22-24 mai 2018
- A. Bucamp, C. Coinon, L. Desplanque, X. Wallart, *Effet d'un flux d'hydrogène atomique durant la croissance de semi-conducteurs III-V*, 16èmes Journées Nano, Micro, et Optoélectronique, JNMO 2018, Agay, France, 13-15 juin 2018
- A. Bucamp, X. Wallart, L. Desplanque, *Croissance sélective de nanofils planaires d'InGaAs sur substrat d'InP par épitaxie par jets moléculaires*, 20èmes Journées Nationales du Réseau Doctoral en Micro-nanoélectronique, JNRDM 2017, Strasbourg, France, 6-8 novembre 2017



---

# Résumé

Que ce soit pour la fabrication de transistors ultimes fonctionnant à haute fréquence et faible consommation d'énergie ou pour celle de composants quantiques exploitant le transport balistique d'électrons, l'élaboration de nanostructures de semiconducteurs III-V à faible masse effective électronique est aujourd'hui un enjeu majeur. Différentes approches existent pour atteindre des dimensions caractéristiques largement sub-100nm. Les nanostructures peuvent être définies par une approche descendante en combinant gravure sèche anisotrope et amincissement chimique digital d'une couche semiconductrice ou par une approche ascendante en élaborant directement les nanostructures désirées. Dans le deuxième cas, la croissance de nanofils catalysée par une bille métallique nanométrique a connu un engouement important ces quinze dernières années. La fabrication de composants utilisant ce procédé reste cependant très compliquée et nécessite souvent le report des nanofils sur un substrat hôte rendant extrêmement difficile la réalisation de circuits complexes. L'approche par croissance sélective dans les ouvertures d'un masque diélectrique offre au contraire des perspectives plus intéressantes. Si l'épitaxie à base d'organométalliques en phase vapeur a démontré son efficacité pour ce type de croissance, l'épitaxie par jets moléculaires peut permettre d'améliorer encore la pureté des nanostructures. C'est dans ce contexte que nous avons étudié les propriétés électriques de nanostructures III-V épitaxiées sélectivement sur substrat InP. L'utilisation d'un flux d'hydrogène atomique pendant la croissance permet d'obtenir une bonne sélectivité de croissance. Son impact sur les propriétés optiques et électriques du semiconducteur a d'abord été étudié puis l'utilisation de procédés de nanofabrication a permis l'élaboration et la caractérisation électrique de nanostructures. Des composants en InGaAs de type TLM, multi-branches ou MOSFET ont démontré la qualité des matériaux épitaxiés puisque des mobilités effectives à l'état de l'art pour ce type de matériau ont été obtenues. Grâce à l'utilisation de croissances sélectives multiples, nous avons pu élaborer des hétérostructures originales telles que des nanofils planaires à cœur InGaAs et coquille InP ou des hétérojonctions InGaAs/GaSb radiales ou axiales. Pour ces dernières, l'obtention de caractéristiques courant-tension présentant une résistance différentielle négative montre une bonne qualité d'interface, offrant des perspectives intéressantes pour la fabrication de nano-hétérojonctions tunnel.

**Mots-clés :** épitaxie sélective par jets moléculaires ; nanostructures ; MOSFET ; nanofils ; matériaux III-V ; diodes tunnel

---

# Abstract

The fabrication of nanoscale devices such as high frequency and low energy consumption transistors or quantum devices exploiting ballistic electrons transport requires the development of nanostructures with low effective mass III-V materials. Several technologies exist to reach typical dimensions well below the 100-nm range. The nanostructures can be defined by a top-down approach through a combination of anisotropic dry etching and digital chemical thinning of a semiconductor layer, or by a bottom-up approach with a direct elaboration of the nanostructures. In the second case, metal-catalyst-assisted nanowire growth has been widespread since the last fifteen years. However, the fabrication of devices based on this process is still tricky and often requires the transfer of the nanowires to a host substrate for device processing, preventing any complex circuit production. The approach by selective area growth inside dielectric mask openings exhibits a better scalability. If the organometallic vapor phase epitaxy (MOVPE) has proved its efficiency for this type of growth, molecular beam epitaxy (MBE) may further improve the nanostructure purity. Within this context, we study the electrical properties of selectively grown III-V materials on InP substrate by MBE. We demonstrate that the use of an atomic hydrogen flux during the growth ensures a good selectivity with respect to the dielectric mask and has a positive impact on the optical and electrical properties of the grown semiconductor. The electrical characterization of InGaAs nanostructures is performed thanks to the development of dedicated process such as TLM, branched nanowires or MOSFET devices. It reveals good transport properties with the state-of-the-art effective mobility for this kind of alloy. We then show that selective area epitaxy is also a valuable tool to develop original heterostructures such as in-plane InGaAs/InP core-shell nanowires with raised contacts and radial or axial InGaAs/GaSb heterojunctions. For these latter, the negative differential resistances observed on the current-voltage characteristics demonstrate a good interface quality, offering interesting possibilities for tunnel nano-heterojunction development.

**Keywords:** selective area molecular beam epitaxy ; nanostructures ; MOSFET ; nanowires ; III-V materials ; tunnel diodes