



**Université Lille 1 – Sciences et Technologies**

**Ecole Doctorale Sciences pour l'Ingénieur**

## **THESE**

Pour l'obtention du grade de

**Docteur de l'Université des Sciences et Technologies de Lille**

Spécialité : Electronique, Microélectronique, Nanoélectronique et Micro-Ondes

**Alexis GAUTHIER**

**« Etude et Développement d'une Nouvelle Architecture de Transistor Bipolaire à Hétérojonction Si / SiGe Compatible avec la Technologie CMOS FD-SOI »**

Thèse de doctorat dirigée par Pr. Christophe GAQUIERE

Soutenue le 7 mai 2019, à Lille

Membres du jury :

Pr. ZIMMER Thomas	Rapporteur	Université de Bordeaux
Pr. FERRARI Philippe	Rapporteur	Université de Grenoble
Pr. AUPETIT-BERTHELEMOT Christelle	Présidente du jury	Xlim
M. MURARO Jean-Luc	Examineur	Thales
Dr. MOREAU Christian	Invité	DGA
Dr. DEBORGIES François	Invité	ESA
Pr. GAQUIERE Christophe	Directeur de thèse	Université de Lille
Dr. CHEVALIER Pascal	Encadrant industriel	STMicroelectronics



« Un, n'oubliez pas de regarder les étoiles et non pas à vos pieds. Deux, n'abandonnez jamais le travail. Le travail vous donne un sens et un but et la vie est vide sans lui. Troisièmement, si vous avez la chance de trouver l'amour, souvenez-vous qu'il est là et ne le jetez pas. »

Stephen Hawking

# Remerciements

Les résultats présentés dans cette thèse sont le fruit d'une collaboration étroite entre toutes les équipes de STMicroelectronics et de l'IEMN. Je tiens donc à remercier chaleureusement toutes les personnes qui ont contribué de près ou de loin au bon déroulement de ces études.

Je tiens à remercier les membres du jury qui ont accepté de prendre part à l'évaluation de ces travaux et tout particulièrement Thomas ZIMMER et Philippe FERRARI en qualité de rapporteur.

J'adresse mes sincères remerciements à Christophe GAQUIERE pour avoir dirigé cette thèse. Tes explications et ton support sur les mesures en puissance ont apporté du relief à ces études. Merci pour ton intérêt constant dans les développements technologiques réalisés durant ces trois années et dans la correction attentive de ce manuscrit. Je remercie également Walid AOUIEUR ainsi qu'Etienne OKADA d'avoir supporté les campagnes de mesures à l'IEMN qui se sont toujours déroulées dans la bonne humeur.

Je tiens ensuite à remercier et à exprimer ma profonde reconnaissance à Pascal CHEVALIER. Notre collaboration a permis de réaliser de belles choses et ton exigence m'a toujours poussé à m'améliorer que ce soit dans la réalisation de travaux techniques ou bien dans la production scientifique. La confiance et les responsabilités que tu m'as accordées au fur et à mesure de l'avancée de cette thèse m'ont toujours poussé à donner le meilleur de moi-même. Enfin, je suis heureux de pouvoir dire que cette collaboration n'est pas terminée grâce aux efforts consentis par toutes les parties dans le but de permettre mon recrutement. Je souhaite donc également exprimer ma reconnaissance à Delphine MAURY ainsi qu'à Roberto M. GONELLA de m'avoir intégré à leur équipe de « Process Integration ».

Un grand merci à toute l'équipe de Pascal qui m'a accueilli et qui m'a permis de construire ces travaux. Grégory AVENIER, sans toi, je ne verrais pas les transistors bipolaires comme je les vois aujourd'hui. Tu m'as permis d'acquérir une expérience très précieuse, qui j'en suis sûr, me sera très utile. Guillaume RIBES, les quelques mois passés avec toi, ont été très riches et fructueux dans la compréhension des transistors CMOS. Je n'oublie évidemment pas Victor MILON et Aude MONTAGNE avec qui la bonne humeur a toujours été le mot d'ordre.

Mes collègues de « Process Development » ont été les piliers de toutes les réussites de ce projet. Je les remercie donc tous et particulièrement Julien BORREL, avec qui la remise en questions constante des acquis a permis d'ouvrir de nouveaux horizons dans le dopage des transistors bipolaires; Fabien DEPRAT, avec qui de nombreuses premières ont été réalisées en terme d'épitaxies ainsi que François LEVERD, Ludovic BERTHIER, Elodie GHEGIN et Côme de-BUTTET pour avoir toujours été disponibles dans les développements parfois un peu exotiques proposés. Pour finir, je tiens à remercier chaleureusement Yves CAMPIDELLI qui



m'a accueilli comme jamais au début de ma thèse. Ta bonne humeur et ta gentillesse auront marqué mon début de carrière professionnelle.

Je souhaite également remercier toutes les personnes de caractérisation qui ont apporté une finalité à ces études. Ainsi, je remercie Laurent CLEMENT, Marc JUHEL, Céline BOROWIAK, Héloïse TUPIN et leurs équipes de caractérisation physique ainsi que Michel BUCZKO et Gérard HAURY pour leurs mesures hyperfréquences.

Bien entendu, ces efforts n'auraient été possibles sans quelques pauses « verre d'eau ». Nous sommes arrivés en même temps dans l'entreprise Valentin VERNEY, et je souhaite te remercier chaleureusement pour ton support que ce soit au niveau professionnel ou personnel. Tu as été un excellent collègue mais tu es surtout devenu un véritable ami.

Je tiens à réserver quelques mots à Rémi DUSSART. Si j'en suis là aujourd'hui, c'est en partie grâce à toi. Merci de m'avoir donné goût à la microélectronique, ces challenges et ces enjeux. Je garderai un souvenir fort de ces quelques semestres passés à étudier ces aspects de la physique qui me passionnent aujourd'hui.

Je n'oublie évidemment pas mes parents qui m'ont toujours soutenu dans mes choix. Vous m'avez permis de me construire dans ma vie professionnelle et personnelle en m'inculquant des valeurs qui aujourd'hui me sont chères.

Je clos ces remerciements par les personnes qui ont bouleversé ma vie depuis mon arrivée dans la capitale des Alpes. Sophie, tu m'as apporté l'environnement familial dans lequel je m'épanouis aujourd'hui. Tu m'as offert cette merveilleuse petite Elisa et la famille dont je rêvais. Vous êtes toutes deux très exigeantes mais m'apportez tellement que je ne pourrais imaginer ma vie sans vous. A toi de jouer maintenant, vivement qu'il y ait un vrai docteur à la maison !

# Sommaire

Remerciements .....	4
Glossaire .....	20
Introduction .....	22
1. Généralités sur les technologies BiCMOS .....	24
1.1. Généralités sur le transistor bipolaire .....	25
1.1.1. Du TBJ au TBH.....	27
1.1.2. Les propriétés physico-chimiques de l'alliage SiGe .....	27
1.1.3. Les propriétés électroniques de l'alliage SiGe .....	28
1.2. Fonctionnement du transistor bipolaire .....	32
1.3. Expressions paramètres <i>dc</i> du TBH.....	34
1.3.1. Le courant de collecteur .....	34
1.3.2. Le courant de base.....	35
1.3.3. Le gain en courant .....	35
1.3.4. Tension de claquage de la jonction entre base et collecteur.....	36
1.3.5. Tension de claquage entre l'émetteur et le collecteur .....	36
1.3.6. Tensions d'Early .....	37
1.3.7. Effet Kirk.....	38
1.3.8. Extraction des caractéristiques <i>dc</i> .....	38
1.4. Fonctionnement du TBH en dynamique.....	40
1.4.1. Temps de transit en direct .....	40
1.4.2. Temps de transit dans la base .....	40
1.4.3. Temps de transit dans l'émetteur.....	41
1.4.4. Temps de transit de la zone de charge d'espace entre base et collecteur .....	41
1.4.5. Fréquence de transition .....	42
1.4.6. Fréquence maximale d'oscillation .....	43
1.5. Contraintes de co-intégration entre TBH et CMOS .....	45
1.5.1. Contraintes liées au CMOS sur le TBH .....	45
1.5.2. Contraintes liées au TBH sur le CMOS .....	46
1.6. Etat de l'art des technologies BiCMOS et bipolaires .....	47
1.6.1. L'architecture EEB-NSEG dans un nœud CMOS 130 nm .....	47
1.6.2. L'architecture EBL-SEG dans un nœud CMOS 130 nm .....	48
1.6.3. L'architecture LRCI & EB dans un nœud CMOS 90 nm .....	50

1.6.4.	L'architecture DPSA-SEG dans un nœud CMOS 90 nm .....	51
1.6.5.	L'architecture DPSA-SEG dans un nœud CMOS 55 nm .....	51
1.6.6.	Une technologie bipolaire exclusive démontrant le potentiel du composant.....	52
1.6.7.	Synthèse de l'état de l'art .....	53
1.7.	Conclusion .....	55
2.	Optimisation du profil vertical du transistor bipolaire à hétérojonction .....	56
2.1.	Objectifs.....	57
2.2.	Détermination du budget thermique optimal.....	58
2.2.1.	Impact sur les MOSFET.....	60
2.2.2.	Rendement SRAM .....	61
2.2.3.	Impact sur le profil vertical du TBH .....	62
2.2.4.	Performances du TBH.....	63
2.2.5.	Implémentation d'un recuit LASER .....	64
2.2.6.	Mesures load-pull .....	68
2.3.	Compréhension des mécanismes de diffusion du bore.....	72
2.3.1.	Recuit d'activation source / drain ultra rapide .....	73
2.3.1.	Le recuit LASER.....	74
2.3.2.	Procédés réels contre procédés simulés .....	74
2.4.	Etude du profil de base .....	79
2.4.1.	Optimisation du profil de carbone.....	79
2.4.2.	Optimisation du profil de germanium .....	80
2.4.3.	Optimisation du profil de bore .....	85
2.4.4.	Dimensionnement vertical.....	86
2.5.	Optimisation du collecteur.....	88
2.5.1.	Impact de l'optimisation du collecteur sur les performances <i>dc</i> et <i>hf</i> du TBH..	88
2.5.2.	Impact de l'optimisation du collecteur sur les performances en puissance du TBH	90
2.6.	Cumul des optimisations base et collecteur.....	92
2.6.1.	Les performances <i>dc</i> .....	92
2.6.2.	Les performances <i>hf</i> .....	94
2.7.	Conclusion .....	95
3.	Evaluation d'un collecteur implanté pour les futures générations de technologies BiCMOS	97
3.5.	Objectifs.....	98

3.6.	Comparaison entre les deux architectures de collecteur.....	99
3.7.	Les défauts du silicium .....	101
3.7.1.	Les défauts ponctuels .....	101
3.7.2.	Les clusters .....	102
3.7.3.	Les défauts {113} .....	102
3.7.4.	Les défauts {111} de type « zig-zag » .....	102
3.7.5.	Les boucles de dislocation.....	103
3.7.6.	Coalescence de défauts ponctuels dans le cadre de l'implantation du collecteur 103	
3.8.	L'implantation à haute température.....	105
3.8.1.	Profil de dopants.....	105
3.8.2.	Génération de défauts ponctuels après implantation.....	106
3.8.3.	Génération de défauts étendus après application du budget thermique .....	108
3.9.	L'utilisation conjointe du carbone et du phosphore .....	110
3.9.1.	Le contrôle des profils de dopants.....	110
3.9.2.	Evaluation de la densité de défauts .....	111
3.9.3.	Résultats électriques .....	114
3.10.	Impact des règles de dessin.....	117
3.10.1.	Règles de dessins de la base extrinsèque.....	117
3.10.2.	Impact de l'isolation par DTI .....	118
3.10.3.	Impact de la largeur de la base extrinsèque .....	119
3.11.	Mesures de puissance.....	120
3.11.1.	Recherche des polarisations et impédances optimales .....	120
3.11.2.	Le gain en puissance .....	120
3.11.3.	La puissance de sortie.....	121
3.11.4.	L'efficacité en puissance .....	121
3.11.5.	Récapitulatif.....	122
3.12.	Développement d'un SSTI.....	123
3.12.1.	Impact sur l'implantation du collecteur.....	123
3.12.2.	Lien entre profondeur du SSTI et performances <i>dc</i> .....	124
3.12.3.	L'intégration du SSTI dans les étapes de fabrication .....	125
3.12.4.	Vers un SSTI auto-aligné en BiCMOS055X.....	127
3.12.5.	Un SSTI auto-aligné utilisé pour le dopage du collecteur.....	129
3.13.	Conclusion .....	131

4.	Développements sur silicium d'une nouvelle architecture de transistor bipolaire.....	132
4.1.	Objectifs.....	133
4.2.	Classification des architectures .....	134
4.3.	Choix de l'architecture .....	136
<b>4.4.</b>	<b>Implémentation sur silicium .....</b>	<b>138</b>
4.4.1.	La fenêtre de l'émetteur .....	140
4.4.2.	Le collecteur intrinsèque .....	140
4.4.3.	La base intrinsèque.....	142
4.4.4.	Les espaceurs internes .....	142
4.4.5.	L'émetteur .....	144
4.4.6.	Vérification du profil vertical.....	144
4.4.7.	Le lien entre les bases intrinsèque et extrinsèque .....	145
4.4.8.	La base extrinsèque .....	147
4.5.	Premiers résultats électriques .....	148
4.5.1.	Analyse des TBH présentant de bonnes caractéristiques <i>dc</i> .....	148
4.5.2.	Analyse des TBH présentant des caractéristiques <i>dc</i> dégradées .....	153
4.6.	Premières extractions modèles .....	156
4.7.	Conclusion.....	157
5.	Etude de faisabilité d'intégrations monolithiques et hétérogènes avancées de l'architecture EXBIC.....	158
5.1.	Objectifs.....	159
5.2.	L'intégration dans un nœud CMOS 28 nm .....	161
5.2.1.	Les challenges d'une intégration sur SOI .....	162
5.2.2.	Solutions technologiques.....	165
5.3.	L'intégration 3D, l'avenir.....	169
5.3.1.	L'intégration 3D monolithique (séquentielle).....	169
5.3.2.	L'intégration 3D parallèle .....	170
5.4.	Conclusion .....	173
	Conclusion générale .....	174
	Publications de l'auteur.....	176
	Papiers internationaux .....	176
	Brevets.....	176
	Références .....	177



# Table des figures

Figure 1 Schéma représentant l'utilisation des technologies BiCMOS dans la société .....	22
Figure 2 Schéma électrique d'un transistor bipolaire NPN.....	25
Figure 3 Représentation des différents régimes de fonctionnement du transistor bipolaire ....	26
Figure 4 Représentation des niveaux d'énergie d'un transistor bipolaire non polarisé (à gauche) et polarisé en régime direct (à droite).....	26
Figure 5 Représentation du niveau de dopage rétrograde dans le transistor bipolaire.....	27
Figure 6 Différence entre des croissances pseudo-morphique et relaxée de SiGe sur Si .....	28
Figure 7 Epaisseur critique de SiGe avant relaxation en fonction de la fraction molaire de germanium [ASHBURN03] .....	28
Figure 8 Diagramme de bandes du silicium et du germanium [LANG85] .....	29
Figure 9 Largeur de la bande interdite en fonction de la fraction molaire de germanium et de la contrainte de la couche [ASHBURN03] .....	29
Figure 10 Diagramme d'énergie d'un substrat silicium relaxé et d'une couche silicium-germanium contrainte.....	30
Figure 11 Impact du germanium sur les niveaux d'énergie dans la base du transistor bipolaire .....	30
Figure 12 Profil graduel de germanium dans la base du transistor bipolaire.....	31
Figure 13 Représentation du pseudo champs électrique dans la base permettant l'accélération des électrons .....	31
Figure 14 Composantes des courants dans un transistor bipolaire.....	33
Figure 15 Densité théorique de porteurs de charge dans l'émetteur et dans la base.....	34
Figure 16 Représentation de l'effet d'Early direct.....	37
Figure 17 Extraction de la tension d'Early directe à partir de la caractéristique $I_C = f(V_{CE})$ ..	37
Figure 18 Courbes de Gummel en fonctionnement normal direct.....	38
Figure 19 Caractéristiques $I_C = f(V_{CE})$ .....	39
Figure 20 Caractéristique $1/f_T$ en fonction de $1/I_C$ et extraction de $\tau_F$ .....	40
Figure 21 Compensation locale de charges dans la zone de charge d'espace entre la base et le collecteur .....	41
Figure 22 Méthode d'extraction de la $f_T$ en fonction du gain en petit signal .....	42
Figure 23 Méthode d'extraction de la $f_{MAX}$ en fonction du gain de Mason .....	43
Figure 24 Caractéristique du gain de Mason en fonction de la fréquence et extraction de $f_{P20dB}$ et $f_{MAX}$ .....	44
Figure 25 Imagerie TEM avec positionnement du premier niveau de métal en technologie FD-SOI 28 nm .....	45
Figure 26 Imagerie TEM d'un transistor bipolaire .....	47
Figure 27 Imagerie TEM de l'architecture EEB-NSEG [RÜCKER10] .....	47
Figure 28 Performances $f_T$ et $f_{MAX}$ de l'architecture EEB-NSEG pour des composants de $4 \times (0,17 \times 0,53) \mu m^2$ et $2 \times (0,17 \times 2,05) \mu m^2$ à $V_{CE} = 1,5 V$ [RÜCKER10].....	48
Figure 29 Comparaison par imageries TEM de l'architecture EEB-NSEG de référence (G1) et optimisée (G2) [RÜCKER12].....	48
Figure 30 Imagerie TEM de l'architecture EBL-SEG [FOX11].....	49

Figure 31 Imagerie TEM de l'architecture EBL-SEG utilisée dans une plateforme CMOS 130 nm [LIEBL16].....	49
Figure 32 Imagerie TEM de l'architecture LRCI & EB utilisée dans une plateforme CMOS 90 nm [PEKARIK14].....	50
Figure 33 Performances $f_T$ et $f_{MAX}$ de l'architecture LRCI & EB utilisée dans une plateforme CMOS 90 nm [PEKARIK14] .....	50
Figure 34 Imageries TEM de l'architecture DPSA-SEG utilisée dans une plateforme CMOS 130 nm (à gauche) et 90 nm (à droite) [TRIVEDI16].....	51
Figure 35 Imagerie TEM de l'architecture DPSA-SEG utilisée dans une plateforme CMOS 55 nm.....	52
Figure 36 Performances $f_T$ et $f_{MAX}$ de l'architecture DPSA-SEG utilisée dans un nœud CMOS 55 nm [CHEVALIER14] .....	52
Figure 37 Imagerie TEM de l'architecture EBL utilisée dans une route de fabrication exclusivement bipolaire [HEINEMANN16].....	53
Figure 38 Performances $f_T$ et $f_{MAX}$ de l'architecture EBL optimisée dans une route de fabrication exclusivement bipolaire [HEINEMANN16].....	53
Figure 39 Etat de l'art des performances bipolaires et représentation des performances visées par les prochaines générations de technologies BiCMOS.....	54
Figure 40 Stratégie d'optimisation du profil vertical du TBH .....	57
Figure 41 Procédé de fabrication schématique de la technologie BiCMOS055 .....	58
Figure 42 Epaisseur de bore normalisée en fonction de l'utilisation d'une réoxydation thermique et de la température du recuit d'activation source / drain [VU15].....	59
Figure 43 Profil théorique d'un recuit DSA.....	59
Figure 44 $I_{OFF} = f(I_{ON})$ pour des MOS d'aire $0,06 \times 1,00 \mu\text{m}^2$ en fonction du budget thermique (valeurs médianes).....	60
Figure 45 $I_{OFF} = f(I_{ON})$ pour des MOS d'aire $0,06 \times 1,00 \mu\text{m}^2$ en fonction de la dose LDD (valeurs médianes).....	61
Figure 46 Rendement paramétrique de cellules SRAM simples de $0,57 \mu\text{m}^2$ et $0,62 \mu\text{m}^2$ ainsi que des ports doubles de $0,97 \mu\text{m}^2$ en fonction du budget thermique et de la polarisation (valeurs médianes).....	62
Figure 47 Profils de bore en fonction du budget thermique.....	62
Figure 48 Profils d'arsenic en fonction du budget thermique .....	63
Figure 49 Paramètres $dc$ d'un TBH $0,2 \times 5,56 \mu\text{m}^2$ en fonction du budget thermique et du Si-CAP associé (valeurs médianes : 5 plaques et 9 sites par plaque) .....	64
Figure 50 Performances d'un TBH $0,2 \times 5,56 \mu\text{m}^2$ en fonction du budget thermique et du Si-CAP associé (valeurs médianes) .....	64
Figure 51 $I_{OFF} = f(I_{ON})$ pour des MOS d'aire $0,06 \times 1,00 \mu\text{m}^2$ en fonction de l'utilisation d'un DSA et de la température du recuit d'activation (valeurs médianes).....	65
Figure 52 Rendement paramétrique de cellules SRAM simples de $0,57 \mu\text{m}^2$ et $0,62 \mu\text{m}^2$ ainsi que des ports doubles de $0,97 \mu\text{m}^2$ en fonction de l'utilisation du DSA et de la polarisation (valeurs médianes).....	66
Figure 53 Performances d'un TBH $0,2 \times 5,56 \mu\text{m}^2$ en fonction de l'utilisation du DSA (valeurs médianes) .....	66



Figure 54	Abaque de Smith avec impédance optimale pour le composant possédant un couple $f_T / f_{MAX}$ de 355 GHz .....	69
Figure 55	$PAE$ d'un TBH à 94 GHz et à $\Gamma = 0.72^{113^\circ}$ d'aire $0,2 \times 5,56 \mu m^2$ en fonction de $V_{CE}$ à $V_{BE} = 0,82 V$ .....	69
Figure 56	$G_P$ d'un TBH à 94 GHz et à $\Gamma = 0.72^{113}$ d'aire $0,2 \times 5,56 \mu m^2$ en fonction de la puissance injectée et de $V_{BE}$ à $V_{CE} = 1,8 V$ .....	70
Figure 57	$P_{OUT}$ d'un TBH à 94 GHz et à $\Gamma = 0.72^{113}$ d'aire $0,2 \times 5,56 \mu m^2$ en fonction de la puissance injectée et de $V_{BE}$ à $V_{CE} = 1,8 V$ .....	70
Figure 58	Coefficient de diffusion normalisé du bore dans le SiGe:C en fonction de la température de procédé .....	72
Figure 59	Profils de bore en fonction de la température du recuit d'activation source / drain issus de SIMS .....	73
Figure 60	Profils de germanium en fonction de la température du recuit d'activation source / drain issus de SIMS .....	73
Figure 61	Profils de bore en fonction des rampes du recuit d'activation source / drain issus de SIMS.....	74
Figure 62	Profils de bore en fonction de l'utilisation du DSA issus de SIMS.....	74
Figure 63	Profils de bore en fonction du procédé de réoxydation utilisé issus de SIMS.....	75
Figure 64	Vue 2D schématique après formation des espaceurs internes du TBH .....	75
Figure 65	Profils de bore en fonction du procédé de fabrication utilisé issus de SIMS .....	76
Figure 66	Profils de bore en fonction de la réalisation de l'émetteur issus de SIMS .....	76
Figure 67	Rugosité mesurée par AFM après épitaxie de la base (à gauche) et après dépôt de l'émetteur (à droite).....	77
Figure 68	Profils de bore en fonction de l'utilisation de CMP issus de SIMS .....	78
Figure 69	Profil de référence de la base utilisée en BiCMOS055.....	79
Figure 70	Profil de la base avec diminution de la concentration de carbone du côté du collecteur .....	79
Figure 71	Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu m^2$ en fonction de la résistance de base pour différentes concentrations de carbone côté collecteur (valeurs médianes) .....	80
Figure 72	Représentation schématique de la diminution du taux de germanium côté émetteur .....	80
Figure 73	Tensions de claquage d'un TBH d'aire $0,2 \times 5,56 \mu m^2$ en fonction du taux de germanium côté émetteur (valeurs médianes).....	81
Figure 74	Tensions d'Early d'un TBH d'aire $0,2 \times 5,56 \mu m^2$ en fonction du taux de germanium côté émetteur (valeurs médianes).....	81
Figure 75	Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu m^2$ en fonction du taux de germanium côté émetteur (valeurs médianes).....	82
Figure 76	Profils de germanium de référence et optimisé côté émetteur .....	82
Figure 77	Représentation schématique de la diminution du taux de germanium côté collecteur .....	83
Figure 78	Tensions de claquage d'un TBH d'aire $0,2 \times 5,56 \mu m^2$ en fonction du taux de germanium côté collecteur (valeurs médianes) .....	83

Figure 79 Tensions d'Early d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction du taux de germanium côté collecteur (valeurs médianes) .....	84
Figure 80 Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction du taux de germanium côté collecteur (valeurs médianes) .....	84
Figure 81 Profils de germanium de référence et optimisé côté collecteur .....	85
Figure 82 Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction de la concentration de bore dans la base (valeurs médianes).....	85
Figure 83 Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction de la largeur de bore dans la base (valeurs médianes) .....	86
Figure 84 Performances fréquentielles d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction de l'épaisseur de la base (valeurs médianes).....	87
Figure 85 Essais technologies avec de gauche à droite : procédé de référence, SIC fortement dopé, couche enterrée fortement dopée .....	88
Figure 86 Capacité entre la base et le collecteur et résistance du collecteur extrinsèque en fonction de l'essai technologique (valeurs médianes).....	89
Figure 87 Performances d'un TBH $0,2 \times 5,56 \mu\text{m}^2$ en fonction du module collecteur utilisé (valeurs médianes).....	89
Figure 88 Tensions de claquage d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction du module collecteur utilisé (valeurs médianes) .....	90
Figure 89 $P_{\text{OUT}}$ d'un TBH à 94 GHz et à $\Gamma = 0.72^{113^\circ}$ d'aire $0,2 \times 5,56 \mu\text{m}^2$ en fonction de la puissance injectée à $V_{\text{BE}} = 0,81 \text{ V}$ et à $V_{\text{CE}} = 1,8 \text{ V}$ .....	91
Figure 90 Résistances du TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ de référence et optimisé (valeurs médianes) .....	92
Figure 91 Capacités du TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ de référence et optimisé (valeurs médianes) .....	93
Figure 92 Tensions de claquage du TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ de référence et optimisé (valeurs médianes) .....	93
Figure 93 Tensions d'Early du TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ de référence et optimisé (valeurs médianes) .....	94
Figure 94 Performances $hf$ du TBH optimisé d'aire $0,2 \times 5,56 \mu\text{m}^2$ à $V_{\text{CE}} = - 0,5 \text{ V}$ (valeurs médianes) .....	94
Figure 95 Synthèse des améliorations réalisées sur le profil vertical et les gains associés en terme de $f_T$ .....	96
Figure 96 Répartition des coûts de la technologie BiCMOS055 .....	99
Figure 97 Comparaison des architectures de collecteur standard et 100 % implanté .....	100
Figure 98 a. Impureté interstitielle, b. Défaut de maille, c. Interstitiel, d. Lacune, e. Précipité d'impuretés, f. Boucle de dislocation de lacunes, g. Boucle de dislocation d'interstitiels, h. Impureté substitutionnelle [FÖLL76] .....	101
Figure 99 Représentation de la croissance d'un défaut $\{113\}$ de type "zig-zag" .....	102
Figure 100 Vue schématique 2D d'une boucle de dislocation de Franck (a.) et parfaite (b.)	103
Figure 101 Exemple de boucles de dislocations dans un substrat implanté.....	104
Figure 102 Boucles de dislocation après ajout d'un recuit post implantation de $900^\circ\text{C} / 15 \text{ s}$ , $950^\circ\text{C} / 15 \text{ s}$ et $1030^\circ\text{C} / 15 \text{ se}$ de gauche à droite .....	105

Figure 103 Niveau de défaut normalise en fonction de la température d'implantation et de l'espèce utilisée [KAACHURIN92].....	105
Figure 104 Profil d'arsenic après implantations à différentes températures .....	106
Figure 105 Cristallinité du substrat après implantations à différentes températures : 25°C, 150°C et 500°C de gauche à droite.....	107
Figure 106 Profondeurs d'amorphisation et de polycristallinité en fonction de la température d'implantation .....	107
Figure 107 Mesures de photo-réflexivité montrant une image du taux d'amorphisation en fonction de la température d'implantation .....	108
Figure 108 Images de photoluminescence montrant la densité de défauts en fonction de la température d'implantation : 25°C, 150°C et 500°C de gauche à droite .....	108
Figure 109 Cartographie de la densité de défauts issues de mesures par photoluminescence en fonction de la température d'implantation : 25°C, 150°C et 500°C de gauche à droite .....	109
Figure 110 Coupes TEM montrant les défauts étendus dans le substrat après recuit en fonction de la température d'implantation : 25°C, 150°C et 500°C de gauche à droite.....	109
Figure 111 Mesures SIMS du profil d'arsenic avant et après recuit.....	110
Figure 112 Mesures SIMS du profil de phosphore avant et après recuit .....	111
Figure 113 Mesures SIMS des profils de phosphore et de carbone avant et après recuit.....	111
Figure 114 Coupes TEM montrant l'état d'amorphisation du substrat en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite).....	112
Figure 115 Mesures QTP indiquant le taux d'amorphisation du substrat en fonction de l'espèce implantée .....	112
Figure 116 Reconstruction issues de la technique de photoluminescence montrant les défauts étendus en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite) .....	113
Figure 117 Cartographie de mesures par photoluminescence en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite).....	113
Figure 118 Mesures PL montrant la densité de défauts en fonction de l'espèce implantée et de l'endroit dans la route où la mesure est effectuée .....	114
Figure 119 Coupes TEM montrant le type de défauts présents dans le substrat après application du budget thermique en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite).....	114
Figure 120 Courant collecteur d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction de la polarisation entre émetteur et base en fonction du type de collecteur et des espèces implantées (valeurs médianes) .....	115
Figure 121 Performances $f_T$ d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction du courant collecteur et du type de collecteur (valeurs médianes) .....	116
Figure 122 Vue de dessus schématique d'un TBH avec règles de dessin standards à gauche et en créneaux à droite.....	117
Figure 123 Performances $f_T$ d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction du courant collecteur et du type de règles de dessin utilisé (valeurs médianes) .....	117
Figure 124 Performances et résistance de base d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction de la règle de dessin appliquée (valeurs médianes) .....	118

Figure 125 Performances $f_T$ et $f_{MAX}$ d'un composant $0,2 \times 5,56 \mu m^2$ en fonction de l'utilisation d'une isolation par jonction ou par DTI (valeurs médianes).....	119
Figure 126 Performances $f_T$ et $f_{MAX}$ d'un composant $0,2 \times 5,56 \mu m^2$ à trois créneaux en fonction de la largeur de la base extrinsèque (valeurs médianes) à $V_{BE} = 0,93 V$ et $V_{CE} = - 0,5 V$ .....	119
Figure 127 Gain en puissance à 94 GHz d'un composant $0,2 \times 5,56 \mu m^2$ en fonction de la puissance injectée pour différentes règles de dessin .....	121
Figure 128 Puissance de sortie à 94 GHz d'un composant $0,2 \times 5,56 \mu m^2$ en fonction de la puissance injectée pour différentes règles de dessin .....	121
Figure 129 PAE d'un composant $0,2 \times 5,56 \mu m^2$ en fonction de la puissance injectée pour différentes règles de dessin .....	122
Figure 130 Vue schématique d'un collecteur implanté sans (à gauche) et avec un SSTI (à droite) .....	123
Figure 131 Coupe 2D extraite de simulations TCAD pour une implantation autour du SSTI (à gauche) et à travers le SSTI (à droite).....	123
Figure 132 Coupe 2D extraite de simulations TCAD après pour une implantation autour du SSTI (à gauche) et à travers le SSTI (à droite) .....	124
Figure 133 Analyse SIMS montrant les profils d'arsenic et d'oxygène en fonction de la profondeur .....	124
Figure 134 Imagerie SEM de la co-intégration de DTI, STI et SSTI en anneau .....	127
Figure 135 Vues schématiques 2D montrant le positionnement des SSTI en anneau par rapport à la fenêtre de l'émetteur du TBH .....	127
Figure 136 Vues schématiques 2D montrant le positionnement du SSTI auto-aligné par rapport à la fenêtre de l'émetteur du TBH .....	128
Figure 137 Imagerie SEM vue de dessus de la co-intégration de DTI, STI et SSTI unique .	129
Figure 138 Imagerie SEM en coupe de la co-intégration DTI, STI et SSTI unique .....	129
Figure 139 Vues schématiques 2D montrant l'intégration d'un SSTI auto-aligné utilisé pour doper le collecteur extrinsèque.....	130
Figure 140 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base intrinsèque, base extrinsèque et émetteur avec différents liens de base [VU16b] .....	135
Figure 141 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base intrinsèque, émetteur et base extrinsèque avec différents liens de base [VU16b] .....	135
Figure 142 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base extrinsèque, base intrinsèque et émetteur avec différents liens de base [VU16b] .....	135
Figure 143 Vue schématique 2D de l'architecture EXBIC [VU16b] .....	136
Figure 144 Densité de courant de base et collecteur des architectures DPSA-SEG et EXBIC issues de simulations TCAD [VU16b].....	137
Figure 145 Imagerie TEM de la fenêtre de l'émetteur de l'EXBIC.....	140
Figure 146 Représentation schématique 2D de la réalisation des espaceurs en oxyde et de l'épitaxie du collecteur intrinsèque .....	140
Figure 147 Représentation schématique 2D de la réalisation d'« air-gaps » et de l'épitaxie du collecteur intrinsèque .....	141

Figure 148 Imagerie TEM de l'épitaxie collecteur avec « air-gaps » sur un substrat non tourné à gauche et sur un substrat tourné à droite .....	141
Figure 149 Imagerie TEM de l'épitaxie de la base intrinsèque au-dessus du collecteur intrinsèque .....	142
Figure 150 Epaisseur des différentes couches de la base en fonction de la position sur le rayon de la plaque.....	142
Figure 151 Vue schématique 2D représentant une étape de fabrication des espaceurs internes .....	143
Figure 152 Vue schématique 2D représentant les espaceurs internes en « L » à la fin de leur fabrication.....	143
Figure 153 Imagerie MEB après formation des espaceurs internes pour deux géométries de TBH différentes .....	144
Figure 154 Imagerie TEM de l'architecture EXBIC après formation de l'émetteur à gauche et l'architecture DPSA-SEG à droite .....	144
Figure 155 Profils des espèces présentes dans la partie intrinsèque du TBH issus de SIMS (émetteur à gauche, base au centre et collecteur à droite).....	145
Figure 156 Imagerie TEM après encapsulation de l'émetteur .....	145
Figure 157 Imagerie TEM après retrait du matériau sacrificiel au niveau du lien de la base	146
Figure 158 Imagerie TEM après épitaxie sélective du lien de la base .....	146
Figure 159 Imagerie TEM après épitaxie sélective de la base extrinsèque .....	147
Figure 160 Imagerie TEM après définition de la base extrinsèque sur lot électrique présentant un module STI.....	147
Figure 161 Cartographie du courant collecteur des TBH EXBIC $0,2 \times 5,56 \mu\text{m}^2$ issue de tests paramétriques à $V_{BE} = 0,9 \text{ V}$ .....	148
Figure 162 Comparaison entre le B55 et le B55X des courants de base et collecteur d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant de bonnes performances $dc$ en fonction de la polarisation de la jonction entre l'émetteur et la base.....	149
Figure 163 Courbes de Gummel d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant de bonnes performances $dc$ en fonction de la polarisation de la jonction entre l'émetteur et la base.....	149
Figure 164 Imagerie TEM de la structure EXBIC d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant de bonnes performances $dc$ intégrée dans un nœud CMOS 55 nm.....	151
Figure 165 Analyse EDX de la structure EXBIC d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant de bonnes performances $dc$ intégrée dans un nœud CMOS 55 nm.....	151
Figure 166 Profils de dopants présents dans l'architecture EXBIC présentant de bonnes performances $dc$ issus de SIMS .....	152
Figure 167 Comparaison entre le B55 et le B55X des courants de base et collecteur d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant des performances $dc$ dégradées en fonction de la polarisation de la jonction entre l'émetteur et la base.....	153
Figure 168 Imagerie TEM de la structure EXBIC d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant des performances $dc$ dégradées intégrée dans un nœud CMOS 55 nm.....	154
Figure 169 Analyse EDX de la structure EXBIC d'aire $0,2 \times 5,56 \mu\text{m}^2$ présentant des performances $dc$ dégradées intégrée dans un nœud CMOS 55 nm.....	154
Figure 170 Profils de dopants présents dans l'architecture EXBIC présentant des performances $dc$ dégradées issus de SIMS .....	155

Figure 171 Vues en coupes 2D des structures EXBIC de départ (à gauche) et améliorée (à droite) issues de simulations TCAD.....	156
Figure 172 Performances fréquentielles issues des premiers modèles BiCMOS055X basés sur des simulations TCAD et inspirés des premiers développements silicium.....	156
Figure 173 IDM en fonction du noeud technologique - IC Insights Strategic database, <a href="http://www.icinsights.com/">http://www.icinsights.com/</a> .....	159
Figure 174 Nombre de transistors par puce et fréquence d'horloge des processeurs en fonction de l'année [WALDROP16].....	160
Figure 175 Comparaison entre un transistor MOS réalisé sur BULK et sur SOI .....	161
Figure 176 Exemple d'un transistor NMOS réalisé sur SOI .....	161
Figure 177 Comparaison de l'architecture EXBIC réalisé sur SOI ou dans des zones NoSOI.....	162
Figure 178 Correspondance entre amorphisation du SOI et cristallinité de la reprise d'épitaxie .....	163
Figure 179 Imagerie SEM montrant à gauche une reprise d'épitaxie sur substrat non-implanté et à droite sur un substrat implanté.....	163
Figure 180 Imagerie SEM en vue de dessus montrant les îlots de silicium en vue de dessus.....	163
Figure 181 Coupes TEM montrant à gauche l'état du substrat après implantation et à droite après préparation de surface .....	164
Figure 182 Observations en vue de dessus au SEM montrant à gauche l'état du substrat après épitaxie avec bake 1050°C et à droite après épitaxie avec bake 900°C .....	164
Figure 183 Imagerie SEM montrant à gauche l'état du substrat après épitaxie avec préparation de surface à 1050°C et à droite après épitaxie avec préparation de surface à 900°C.....	165
Figure 184 Simulations TCAD montrant à gauche l'état du substrat après implantation à travers un oxyde et à droite après implantation sans oxyde.....	166
Figure 185 Imagerie TEM montrant à gauche l'état du substrat après implantation à travers un oxyde et à droite après implantation sans oxyde.....	167
Figure 186 Taux d'amorphisation du SOI en fonction de la température d'implantation conditions d'implantation .....	167
Figure 187 Imagerie TEM montrant l'état du substrat après implantation à 0°C, 150°C et 500°C de gauche à droite.....	168
Figure 188 Imagerie TEM montrant l'état du substrat après épitaxie sur des substrats implantés à 0°C, 150°C et 500°C de gauche à droite .....	168
Figure 189 Vue 2D schématique d'une intégration 3D parallèle avec piliers de cuivre .....	169
Figure 190 Performances de transistors CMOS en fonction du budget thermique supplémentaire appliqué [FENOUILLET-BERANGER14] .....	170
Figure 191 Vues 2D schématiques de l'intégration parallèle 3D .....	170
Figure 192 Vue 2D schématique d'une intégration 3D parallèle avec piliers de cuivre .....	171
Figure 193 Vue 2D schématique d'une intégration 3D parallèle avec collage hybride .....	171

## Table des tableaux

Tableau 1 Résumé des modifications technologiques étudiées.....	60
Tableau 2 Synthèse des performances CMOS et TBH en fonction du budget thermique (valeurs médianes) .....	68
Tableau 3 Résumé des performances en puissance d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ à 94 GHz .....	71
Tableau 4 Synthèse des mesures de rugosité effectuées par AFM en fonction du type d'échantillon.....	77
Tableau 5 Synthèse des performances en puissance d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ à 94 GHz .....	91
Tableau 6 Synthèse des modifications technologiques effectuées sur le lot performances .....	92
Tableau 7 Récapitulatif des performances dc et rf d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction du type de collecteur ainsi que des espèces implantées dans le cas d'un collecteur implanté (valeurs médianes).....	116
Tableau 8 Récapitulatif des polarisations et impédances optimales d'un composant $0,2 \times 5,56 \mu\text{m}^2$ en fonction des règles de dessins utilisées à 94 GHz.....	120
Tableau 9 Récapitulatif des performances à 94 GHz pour un composant d'aire $0,2 \times 5,56 \mu\text{m}^2$ pour différentes règles de dessin .....	122
Tableau 10 Récapitulatif des paramètres <i>dc</i> d'un TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ extraits de simulations en fonction de la profondeur du SSTI.....	125
Tableau 11 Vues schématiques 2D montrant le procédé de fabrication de la co-intégration de SSTI en anneau avec des STI.....	126
Tableau 12 Vues schématiques 2D montrant le procédé de fabrication de la co-intégration de SSTI unique avec des STI .....	128
Tableau 13 Synthèse des performances des architectures DPSA-SEG et EXBIC issues de simulations TCAD [VU16b] .....	137
Tableau 14 Comparaison des étapes de fabrication simulées en TCAD et finalement réalisées sur silicium .....	139
Tableau 15 Comparaison des tensions de claquage de TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ utilisant l'architecture DPSA-SEG et EXBIC présentant de bonnes performances <i>dc</i> .....	150
Tableau 16 Comparaison des tensions de claquage de TBH d'aire $0,2 \times 5,56 \mu\text{m}^2$ utilisant l'architecture DPSA-SEG et EXBIC présentant des performances <i>dc</i> dégradées .....	153
Tableau 17 Synthèse des résultats de la reprise d'épithaxie sur SOI implanté.....	166
Tableau 18 Synthèse des principales caractéristiques des intégrations avancées .....	173

# Glossaire

Amorphisation	Passage d'une structure cristalline à amorphe
AFM	Atomic Force Microscopy : méthode d'analyse physique utilisée pour déterminer des rugosités de surface
BEOL	Back-end-of-line ; ensemble des interconnexions métalliques et couches de diélectriques qui constituent la connexion du transistor
BiCMOS	Technologies utilisant à la fois des transistors bipolaires et CMOS
BiCMOS055 B55	Technologie BiCMOS comprenant transistors CMOS en 55 nm et bipolaires en DPSA-SEG
BiCMOS055X B55X	Technologie BiCMOS comprenant transistors CMOS en 55 nm et bipolaires en EXBIC
BiCMOS9MW B9MW	Technologie BiCMOS comprenant transistors CMOS en 0,13 $\mu\text{m}$ et bipolaires en DPSA-SEG
BOX	Couche d'oxyde utilisée dans les substrats FD-SOI utilisée pour isoler le SOI du substrat
Channeling	Phénomène obtenu lors d'implantations ioniques dans une direction spécifique de la maille cristalline du silicium empêchant toute collision atomique et électronique
CMOS	Complementary Metal-Oxide Semiconductor : transistor à effet de champs
CMP	Chemical-Mechanical Polishing : procédé de fabrication utilisé pour planariser un substrat
DPSA-SEG	Double-Polysilicon & Self-Aligned Selective Epitaxy Growth: architecture de TBH utilisée par ST et ses concurrents
DSA	Dynamic Surface Annealing : méthode d'activation LASER utilisée dans les technologies avancées
DTI	Deep-Trench Isolation : structure d'isolation profonde utilisée pour isoler électriquement des composants entre eux
EDX	Energy Dispersive X-ray : méthode d'imagerie en complément du TEM utilisée pour détecter les espèces chimiques
EXBIC	Epitaxial eXtrinsic Base Isolated from the Collector : architecture de TBH propriétaire ST et introduite dans la technologie BiCMOS055X
FEOL	Front-end-of-line ; ensemble des étapes de fabrication réalisées avant la formation des espaceurs MOS
FD-SOI	Fully-Depleted Silicon On Insulator : famille de substrat présentant un BOX et un SOI
LDD	Low-Drain-Diffusion : zones implantées formant la source et le drain des transistors CMOS
Matériau high-k	Matériau à constante diélectrique élevée
MEOL	Middle-end-of-line ; ensemble des étapes de fabrication entre la formation des espaceurs MOS et le premier niveau de métal



PAE	Power-Added Efficiency : unité de mesure de l'efficacité d'un amplificateur de puissance
PL	Photoluminescence : méthode utilisée pour quantifier une densité de défauts ou déterminer la cristallographie d'une couche
R <sub>P</sub>	Projected Range : détermine la profondeur à laquelle la concentration maximale d'un dopant implanté est atteinte
SEM	Scanning Electron Microscopy : méthode d'imagerie largement utilisée dans la caractérisation physique / morphologique
SiARC	Silicon Anti-Reflective Coating : utilisé en anti-réfléctif lors d'une lithographie, plus résistant à la gravure qu'un BARC standard
Si-CAP	Silicon-Capping : couche de silicium non dopée située entre l'émetteur et la base du TBH
SIC	Selectively Implanted Collector : implantation réalisée spécifiquement sous la partie intrinsèque du TBH afin d'en améliorer les performances
SIMS	Secondary Ion Mass Spectroscopy : méthode d'analyse chimique utilisée pour mesurer des concentrations de dopants
SOC	Spin-On Carbon : couche de carbone utilisée pour planariser des motifs avant une étape de lithographie
SOI	Silicon On Insulator : fine couche de silicium présente au-dessus du BOX d'un substrat FD-SOI
SRAM	Static Random Access Memory : mémoire vive utilisée dans les circuits électroniques
SSTI	Super-Shallow-Trench Isolation : structure d'isolation peu profonde utilisée pour isoler différentes zones entre elles
STI	Shallow-Trench Isolation : structure d'isolation utilisée pour isoler différentes zones actives entre elles
TBH	Transistor Bipolaire à Hétérojonction
TCAD	Technology Computing-Aided Design : outils de simulation utilisés en amont des développements sur silicium
TEM	Transmission Electron Microscopy : méthode d'imagerie largement utilisée dans la caractérisation physique / morphologique

# Introduction

Depuis des années, nous entendons régulièrement que les technologies BiCMOS ne représenteront jamais de part significative de marché. Mises en concurrence avec les technologies CMOS pures, elles souffrent principalement d'une image de technologies chères. Ce qui, en réalité s'avère plutôt faux. A nœud technologique identique, le BiCMOS est effectivement plus cher que le CMOS mais possèdera des performances *RF* bien plus élevées. Une comparaison plus loyale serait alors de comparer une technologie BiCMOS d'un nœud  $n$  avec une technologie CMOS du nœud  $n+1$  voire  $n+2$ . Dans ce cas, le rapport de force devient tout de suite beaucoup plus équilibré...

Si l'on compare de plus près les technologies entre elles, le BiCMOS présente des avantages importants par rapport au CMOS. Effectivement, le transistor bipolaire possède un gain plus élevé, un bruit  $1/f$  plus faible, des valeurs plus élevées de tensions de claquage ainsi qu'une meilleure fiabilité. Du côté des composants passifs *RF*, les technologies BiCMOS proposent des performances bien supérieures. Enfin, ces dernières bénéficient de technologies CMOS support très matures pour lesquelles les coûts de développements et de production sont plus faibles que pour les technologies CMOS avancées. Néanmoins, ces dernières présenteront toujours une densité digitale bien supérieure aux technologies BiCMOS.

Au niveau des communications, qu'elles soient optiques ou sans fil, les technologies BiCMOS envahissent progressivement le marché comme le montre la Figure 1. Nécessaires lorsqu'un volume très important de données doit être traité, elles sont de plus en plus présentes au sein de nos sociétés dans lesquelles la connectivité devient primordiale. Des satellites utilisés pour les communications aux radars de voiture en passant par la téléphonie, les technologies BiCMOS sont de plus en plus intégrées.

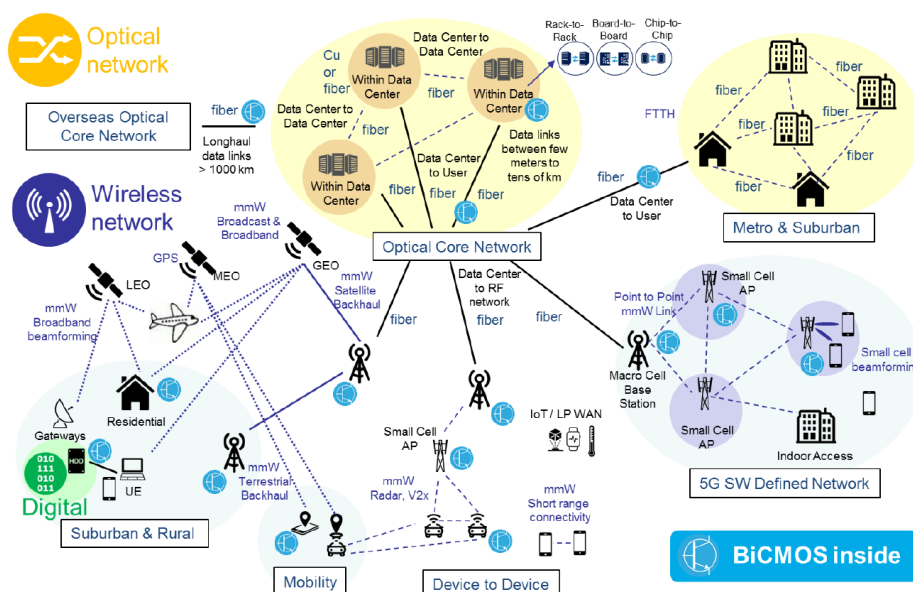


Figure 1 Schéma représentant l'utilisation des technologies BiCMOS dans la société

Malgré leurs performances, les technologies BiCMOS sont amenées à être améliorées afin de supporter la constante augmentation de la demande en terme de trafic de données. Ce dernier, dont la croissance est estimée à 50 % entre 2018 et 2020 nécessite des infrastructures toujours plus performantes notamment pour supporter le développement de nouveaux standards de communications comme la 5G. Dans ce sens, les entreprises du secteur et notamment STMicroelectronics mettent en place des plans de développement ambitieux pour subvenir aux besoins des différents marchés concernés. Les travaux de thèse ici présentés rentrent dans ce cadre.

Dans un premier temps, le fonctionnement du transistor bipolaire est rappelé et les principales figures de mérite utilisées dans le reste du manuscrit sont définies. L'état de l'art des technologies BiCMOS et TBH est également présenté.

Ensuite, les trois axes de développement de la nouvelle technologie BiCMOS développée par STMicroelectronics dans un nœud CMOS 55 nm et appelée BiCMOS055X sont tour à tour développés. Pour commencer, l'optimisation du profil vertical du transistor bipolaire est présentée avec pour but l'augmentation de la fréquence de transition dépendant majoritairement du temps de transit vertical. Les profils de dopants ainsi que la diminution des dimensions représentent ici les principaux leviers d'amélioration.

La seconde partie étudiée porte sur le collecteur du transistor. Cette partie du TBH représente une part non négligeable du coût de fabrication de la technologie et occupe une place centrale dans la montée en performance du composant. De nombreux challenges sont traités, des performances des composants aux risque de fiabilité encourus en fonction des choix technologiques opérés.

Enfin, le développement d'une nouvelle architecture de transistor bipolaire à hétérojonction est détaillé dans le but d'en améliorer les performances  $dc$  et  $hf$ . Ces travaux, bien que complexes et coûteux en terme de ressources humaines et matérielles sont devenus indispensables dans l'optique d'une intégration dans les prochaines générations de technologies BiCMOS. Pour terminer, des perspectives sont données pour les années à venir en terme d'intégration dans des nœuds CMOS avancées et notamment sur FD-SOI permettant de tirer profit d'une digitalisation toujours meilleure.

# **1. Généralités sur les technologies BiCMOS**

## 1.1. Généralités sur le transistor bipolaire

Le transistor bipolaire à jonctions (TBJ) tire son nom de l'utilisation simultanée des courants de trous et d'électrons régissant son fonctionnement. Schématiquement, il peut être vu comme deux diodes PN se faisant face. Il peut être de nature NPN comme le montre la Figure 2 ou bien PNP et est constitué de trois régions distinctes présentant des niveaux et types de dopages différents :

- Un émetteur d'un premier type de dopage (accepteur ou donneur), région où les porteurs sont créés et injectés dans la base
- Une base d'un second type de dopage (donneur ou accepteur), région où le contrôle des courants du transistor est effectué
- Un collecteur du même type de dopage que l'émetteur (accepteur ou donneur), région où les porteurs sont collectés

Les espèces couramment utilisées dans le but de doper les différentes régions sont le bore (B) pour la ou les parties de type P ainsi que l'arsenic (As) ou le phosphore (P) pour la ou les parties de type N.

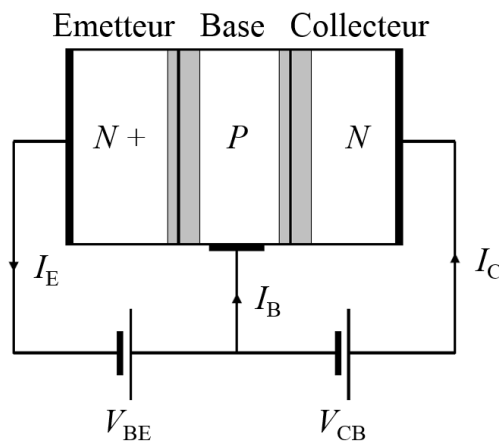


Figure 2 Schéma électrique d'un transistor bipolaire NPN

Le transistor bipolaire peut être utilisé en différents régimes comme le montre la Figure 3. Le régime direct est celui le plus répandu avec une polarisation de la jonction base-émetteur en direct ainsi qu'une polarisation de la jonction base-collecteur en inverse. Pour la suite des discussions, cette configuration standard sera toujours considérée.

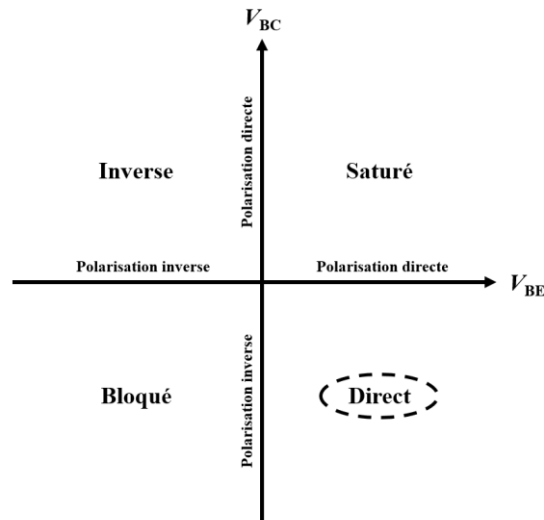


Figure 3 Représentation des différents régimes de fonctionnement du transistor bipolaire

Comme son nom l'indique, l'effet transistor est le phénomène physique régissant le fonctionnement du TBJ. La polarisation en direct de la jonction entre la base et l'émetteur permet d'abaisser la barrière énergétique et de faciliter le passage des électrons de l'émetteur vers la base ainsi que celui des trous de la base vers l'émetteur comme il est indiqué sur la Figure 4. La polarisation en inverse de la jonction base-collecteur permet d'améliorer la collecte des électrons.

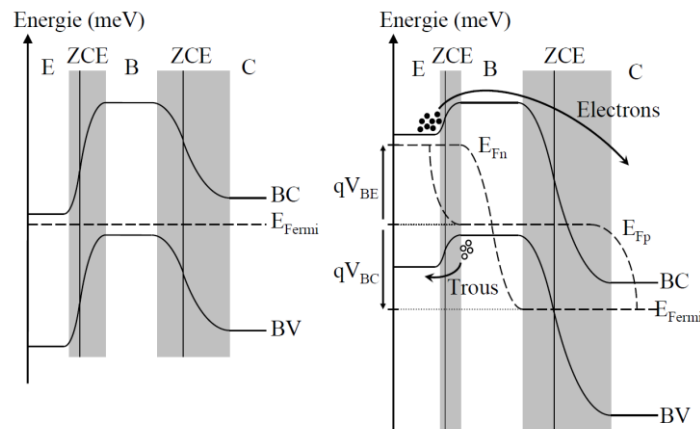


Figure 4 Représentation des niveaux d'énergie d'un transistor bipolaire non polarisé (à gauche) et polarisé en régime direct (à droite)

Dans le cas d'un transistor NPN, les profils de dopants peuvent être schématisés comme sur la Figure 5. Afin d'optimiser l'injection d'électrons de l'émetteur vers le collecteur, il est nécessaire de diminuer le courant de base et par conséquent d'avoir une concentration de dopants dans l'émetteur nettement supérieure à celle dans la base. Enfin, dans le but de maintenir l'idéalité du transistor, le courant collecteur doit rester indépendant de la polarisation entre la base et le collecteur. Ainsi, un dopage collecteur inférieur à celui dans la base assurera un maintien de la zone de charges d'espace dans la région du collecteur et non dans la base. De manière générale des différences de concentration en dopants comprises entre une et deux décades sont utilisées.

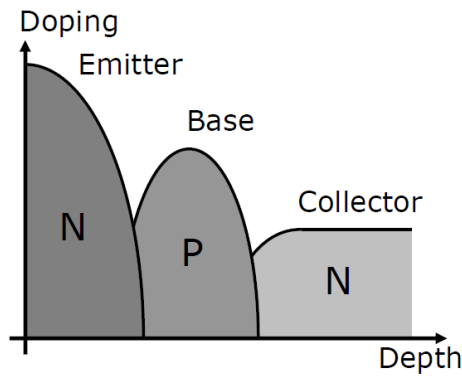


Figure 5 Représentation du niveau de dopage rétrograde dans le transistor bipolaire

### 1.1.1. Du TBJ au TBH

D'abord à homojonction car composé uniquement de silicium, l'utilisation d'hétérojonctions entre un silicium et un alliage silicium-germanium a permis d'augmenter les performances du composant. Cette technologie permet notamment de faire diminuer le courant de base et donc d'augmenter le gain du transistor. Ainsi, un dopage de bore plus important peut-être utilisé afin de faire diminuer la résistance de base. Son implémentation au début des années 1990 permet de procéder à une ingénierie du profil des bandes énergies au sein du transistor afin de faciliter le transfert des charges. Cette technique, préalablement utilisée pour les matériaux III-V, a donné naissance au transistor bipolaire à hétérojonction (TBH).

### 1.1.2. Les propriétés physico-chimiques de l'alliage SiGe

Contrairement aux matériaux utilisés dans les alliages AlGaAs-GaAs, le silicium et le germanium ne possèdent pas le même paramètre de maille (noté  $a$  dans les relations I et II) avec une différence de 4,17 % à température ambiante.

$$a_{Si} = 5,431 \text{ \AA} \quad \text{I}$$

$$a_{SiGe} = 5,657 \text{ \AA} \quad \text{II}$$

Néanmoins, ces deux espèces faisant partie toutes deux de la colonne IV du tableau périodique des éléments, elles sont parfaitement miscibles et le paramètre de maille résultant de l'alliage  $Si_{1-x}Ge_x$  est directement relié aux fractions molaires de ces deux semi-conducteurs par la loi de Végard [DENTON91] comme le montre l'équation III.

$$a_{Si_{1-x}Ge_x} = a_{Si} + (a_{Ge} - a_{Si}) \times x \quad \text{III}$$

Au sein du transistor bipolaire, l'alliage SiGe est incorporé dans l'épitaxie de la base intrinsèque. Par conséquent, un désaccord de maille apparaît entre la partie du collecteur composée exclusivement de silicium et la base composée de SiGe. Cette dernière peut alors être soit contrainte soit relâchée. Dans le premier cas, la croissance est dite pseudo morphique impliquant un paramètre de maille différent dans le sens vertical et horizontal. Dans la seconde situation, la couche de SiGe se relaxe à la surface du Si et des dislocations apparaissent comme le montre la Figure 6.

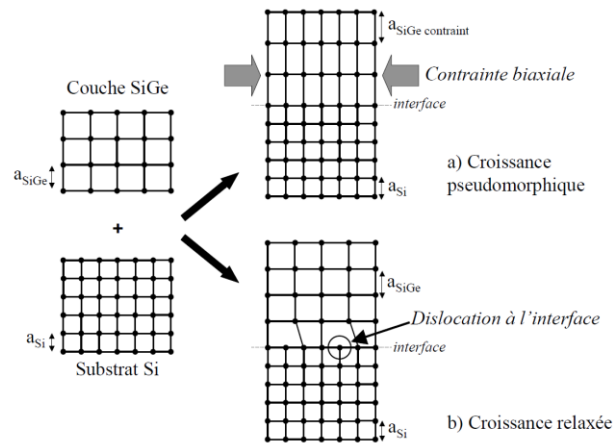


Figure 6 Différence entre des croissances pseudo-morphique et relaxée de SiGe sur Si

Les contraintes apportées par le désaccord de maille dépendent notamment de l'épaisseur de SiGe épitaxiée au-dessus du silicium. Comme le montre la Figure 7, une épaisseur critique avant relaxation peut être déterminée en fonction de la fraction molaire de germanium présent dans l'alliage. Ainsi, si une épaisseur critique de quelques nanomètres seulement est obtenue dans un alliage composé à 50 % de silicium et 50 % de germanium, une épaisseur bien plus importante peut être atteinte pour des concentrations de germanium inférieures. De plus, l'ajout d'une couche de silicium au-dessus du SiGe permet d'augmenter cette épaisseur critique en permettant de contraindre l'alliage sur les surfaces inférieure et supérieure.

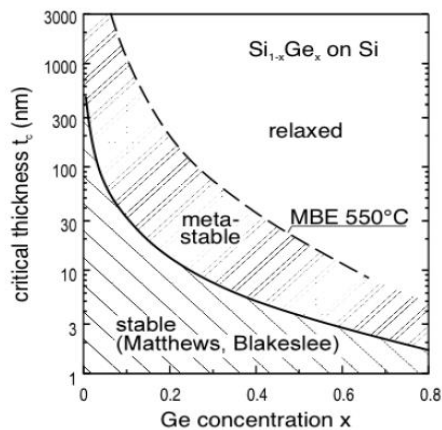


Figure 7 Epaisseur critique de SiGe avant relaxation en fonction de la fraction molaire de germanium [ASHBURN03]

### 1.1.3. Les propriétés électroniques de l'alliage SiGe

Bien que possédant la même structure cristalline, le silicium et l'alliage silicium-germanium présentent des propriétés électroniques bien différentes. Si la bande d'énergies interdite entre la bande de valence et la bande de conduction est de 1,12 eV pour le silicium, cette dernière tombe à 0,66 eV pour le germanium pur à 300 K comme on peut le voir sur la Figure 8.



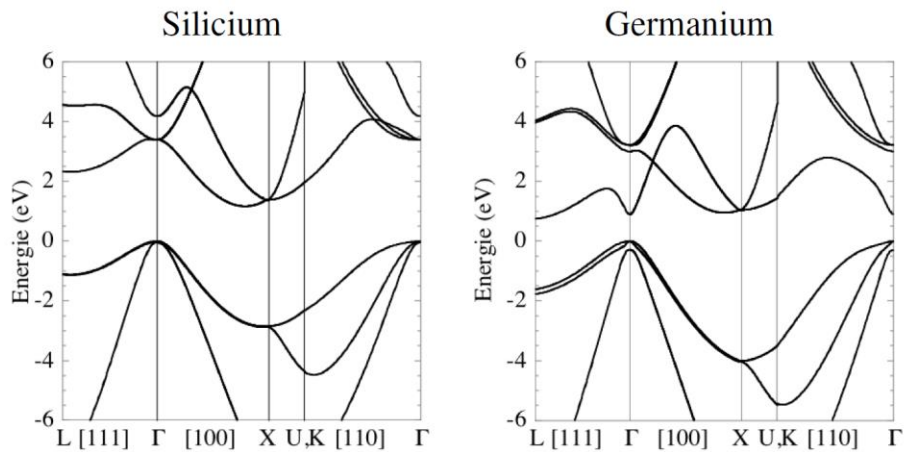


Figure 8 Diagramme de bandes du silicium et du germanium [LANG85]

Par conséquent, l'alliage silicium-germanium possèdera un diagramme d'énergie compris entre celui du silicium et celui du germanium. En fonction de la contrainte appliquée sur la couche de silicium-germanium, l'écart entre la bande de conduction du matériau et sa bande de valence pourra être modifié comme indiqué sur la Figure 9. Dans le cas d'une couche non contrainte, l'écart entre le silicium et le silicium-germanium n'augmente que lentement en fonction de la fraction molaire de germanium incorporée. Une couche contrainte, va quant à elle permettre d'avoir un écart beaucoup plus important entre silicium et silicium-germanium. Si l'on prend comme exemple un alliage silicium<sub>70%</sub>-germanium<sub>30%</sub> que l'on retrouve dans la base intrinsèque du transistor bipolaire, une différence de 15% est observée en terme de largeur de bande interdite. Les courbes « HH » et « LH » signifiant « Heavy Holes » et « Light Holes » correspondent à une différence de dégénérescence dans la bande de valence, région où les trous sont les porteurs de charge majoritaires.

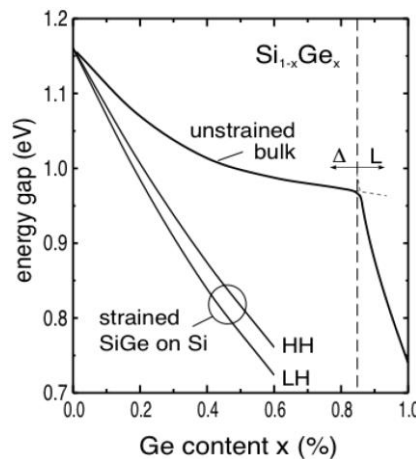


Figure 9 Largeur de la bande interdite en fonction de la fraction molaire de germanium et de la contrainte de la couche [ASHBURN03]

La largeur de la bande interdite peut être approximée par l'expression IV de People [PEOPLE85] donnée en electronvolts où  $x_{Ge}$  représente la fraction molaire de germanium et  $E_0(T)$  est l'énergie de la bande interdite du silicium pur non contraint.

$$E_{g_{SiGe}}(x_{Ge}, T) = E_0(T) - 1,02 \times x_{Ge} + 0,52 \times x_{Ge}^2 \quad \text{IV}$$

La jonction hétérogène entre le silicium et l'alliage silicium-germanium étant de type I, le décalage entre les niveaux d'énergie des deux matériaux se retrouve principalement au niveau de la bande de valence avec une différence négligeable au niveau de la bande de conduction (Figure 10).

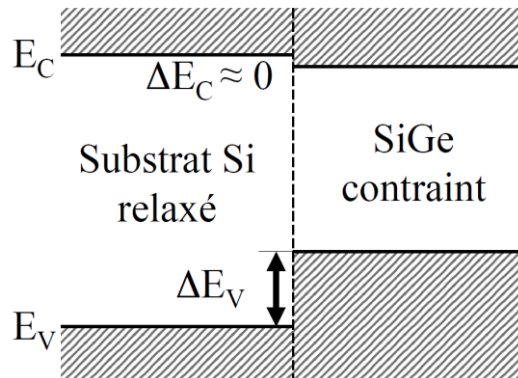


Figure 10 Diagramme d'énergie d'un substrat silicium relaxé et d'une couche silicium-germanium contrainte

L'alliage silicium-germanium, de par ses propriétés électroniques a permis d'augmenter considérablement les performances du transistor bipolaire. Utilisée au niveau de la base intrinsèque du transistor, l'ingénierie des niveaux d'énergie permet non seulement d'augmenter le courant collecteur mais également de réduire de manière considérable le temps de transit des porteurs de charge dans la base qui représente encore aujourd'hui la composante principale du temps de transit total dans le dispositif. L'effet de l'alliage est double. D'une part, il permet de réduire la largeur de la bande d'énergie interdite (Figure 11) dans la base intrinsèque ce qui permet d'augmenter la capacité d'injection d'électrons de l'émetteur dans la base.

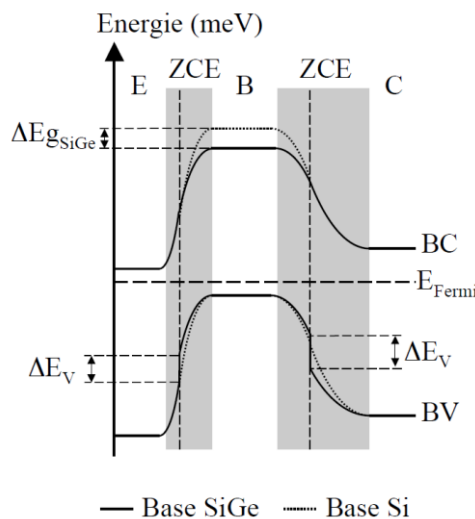


Figure 11 Impact du germanium sur les niveaux d'énergie dans la base du transistor bipolaire

D'autre part, le germanium n'est que rarement incorporé de manière uniforme dans la base. En effet, un profil graduel comme montré en Figure 12, ayant pour effet direct l'abaissement de la barrière de potentiel, va permettre de créer un pseudo champs électrique dans la base permettant d'accélérer les électrons (Figure 13). Un alliage pauvre en germanium sera donc présent côté émetteur et riche côté collecteur afin de collecter les électrons avec le temps de transit le plus faible possible.

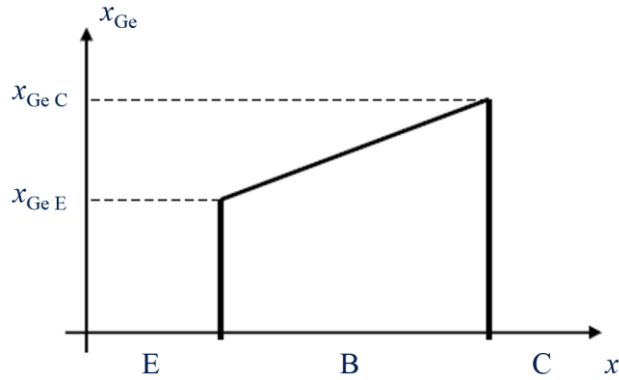


Figure 12 Profil graduel de germanium dans la base du transistor bipolaire

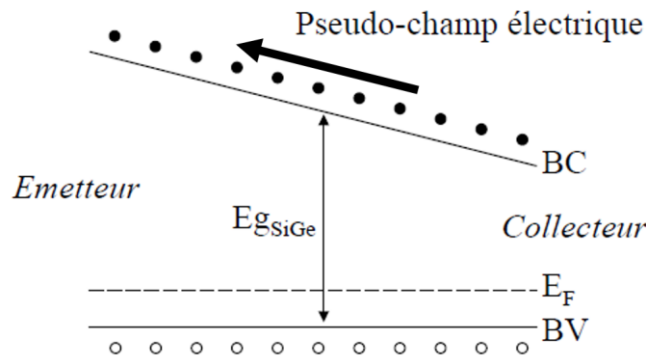


Figure 13 Représentation du pseudo champs électrique dans la base permettant l'accélération des électrons

Néanmoins, si l'intégration du germanium a permis d'augmenter les performances des transistors bipolaires, ses contraintes mécaniques limitent considérablement la fraction molaire pouvant être incorporée sans risque de relaxation et par conséquent de perte irrémédiable des performances. Ainsi, à la fin des années 1990, le carbone a été implémenté dans les bases de transistors bipolaires. D'abord considéré pour sa capacité à réduire les contraintes mécaniques (le carbone ayant un paramètre de maille plus petit que celui du silicium et du germanium), il fut dans un second temps utilisé dans le but de limiter la diffusion du bore de par ses propriétés [LANZEROTTI96]. Le matériau SiGe :C en résultant a donc permis l'avènement de bases plus fines limitant ainsi le temps de transit ainsi que la possibilité de recombinaison. Incorporé durant l'épitaxie en même temps que le silicium, le germanium ainsi que le bore et le carbone permet d'avoir un profil de dopants très agressif. La fraction molaire de carbone couramment utilisée dans les transistors bipolaires modernes se situe entre 0,1 % et 1 %. Sa solubilité dans le silicium n'étant pas parfaite, une concentration supérieure pourrait mener à des atomes de carbone en site interstitiel pouvant favoriser la recombinaison en base neutre.

## 1.2. Fonctionnement du transistor bipolaire

Comme l'indique son nom, le transistor bipolaire utilise à la fois le courant de trous et le courant d'électrons. Les différents courants peuvent être représentés comme indiqué en Figure 14 représentant un composant avec une polarisation base-émetteur en direct ainsi qu'une polarisation de la jonction base-collecteur en inverse. Les différentes composantes des courants peuvent être définies par :

- $I_{nE}$  : courant d'électrons injectés de l'émetteur dans la base, il représente la composante principale du courant
- $I_{pE}$  : courant de trous injectés de la base vers l'émetteur
- $I_{rG}$  : courant de recombinaison au niveau de la zone de charges d'espace entre les électrons injectés par l'émetteur et les trous injectés par la base, généralement négligeable en comparant les dimensions 1D du dispositif avec les longueurs de diffusion des porteurs
- $I_{rB}$  : courant de recombinaison en base neutre, généralement négligeable en comparant les dimensions 1D du dispositif avec les longueurs de diffusion des porteurs
- $I_{nC}$  : courant d'électrons ayant traversé les deux zones de charges d'espace ainsi que la base neutre

On déduit des définitions ci-dessus les courants de l'émetteur (V), de la base (VI) et du collecteur (VII).

$$I_E = I_{nE} + I_{pE} + I_{rG} \quad \text{V}$$

$$I_B = I_{pE} + I_{rB} + I_{rG} \quad \text{VI}$$

$$I_C = I_{nC} = I_{nE} - I_{rB} \quad \text{VII}$$

L'application de la loi des nœuds sur la relation VIII permettant de vérifier la cohérence de l'ensemble (X).

$$I_E = I_{nE} + I_{pE} + I_{rG} \quad \text{VIII}$$

$$I_E = I_{nC} + I_{rB} + I_{pE} + I_{rG} \quad \text{IX}$$

$$I_E = I_C + I_B \quad \text{X}$$

Enfin, un courant d'avalanche peut apparaître à la jonction entre la base et le collecteur si les électrons ont suffisamment d'énergie pour créer une ionisation par impact. Dans ce cas, une réaction en chaîne va alors se mettre en place, le courant collecteur va fortement augmenter tandis que le courant de base va diminuer. Ce cas de figure se rencontre lorsque la jonction est fortement polarisée en inverse. Nous y reviendrons dans une prochaine partie.

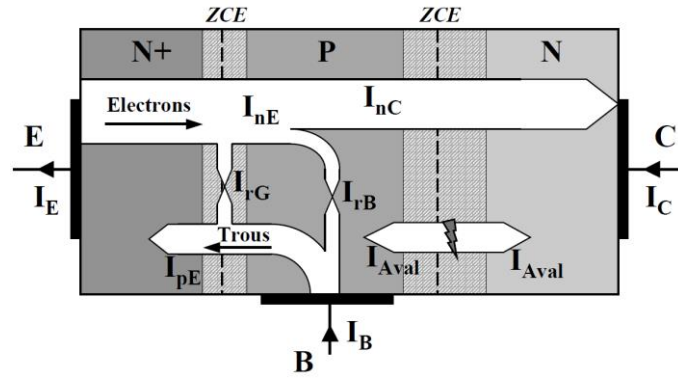


Figure 14 Composantes des courants dans un transistor bipolaire

A partir de l'expression de ces différents courants, les gains en courant du TBH en régime continu peuvent être définis par différentes relations. Si l'on se place en base commune, le gain  $\alpha$  peut être exprimé par la relation XI.

$$\alpha = \frac{I_C}{I_E} = \frac{I_{nC}}{I_{nE} + I_{pE} + I_{rG}} \quad \text{XI}$$

Par l'intermédiaire de l'expression du courant de base en fonction des courants du collecteur et de l'émetteur dans le composant, il est possible de remonter au gain en courant et en émetteur commun (XII). Ce paramètre est plus fréquemment utilisé lorsque l'on parle des performances du TBH que le gain en base commune.

$$\beta = \frac{I_C}{I_B} = \frac{I_C}{I_E - I_C} = \frac{\alpha}{1 - \alpha} \quad \text{XII}$$

Après avoir défini les principaux facteurs de mérite régissant le fonctionnement en régime *dc* du transistor, nous allons maintenant définir les courants mis en jeu dans ces relations.

### 1.3. Expressions paramètres *dc* du TBH

Dans cette partie, tous les courants peuvent être définis à partir de l'équation empirique XIII de continuité reliant la variation temporelle de la quantité d'électrons avec la densité de courant ( $J_n$ ), la recombinaison des porteurs ( $U_n$ ) ainsi que leur génération par excitation extérieure ( $G_n$ ).

$$\frac{\delta n}{\delta t} = G_n - U_n + \frac{1}{q} \nabla J_n \quad \text{XIII}$$

Néanmoins, un certain nombre de simplifications (mécanismes de génération, recombinaison, épaisseur de la base intrinsèque...) présentées dans [ASHBURN88] peuvent être apportées et permettent d'illustrer de manière relativement simple la concentration de porteurs (électrons dans la base et trous dans l'émetteur) dans le TBH comme le montre la Figure 15.

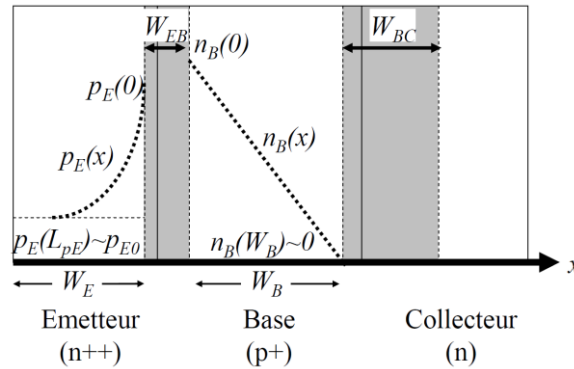


Figure 15 Densité théorique de porteurs de charge dans l'émetteur et dans la base

#### 1.3.1. Le courant de collecteur

Le courant collecteur est entièrement régi par la diffusion des électrons dans la base en fonction du gradient de la concentration de porteurs et peut s'exprimer par l'expression XIV où  $A$  représente la surface de section du composant,  $D_{nB}$  le coefficient de diffusion des électrons dans la base,  $W_B$  la largeur de la base et  $N_{aB}$  la concentration de dopants accepteurs dans la base. Il apparaît donc clairement que le courant du collecteur dépend des propriétés physiques et paramètres géométrique de la base du transistor. Cet aspect sera illustré dans le chapitre 2 traitant de l'optimisation du profil vertical.

$$I_C = \frac{qAD_{nB}n_i^2}{W_B N_{aB}} e^{\frac{qV_{BE}}{kT}} \quad \text{XIV}$$

Cette expression peut être simplifiée en utilisant le nombre de Gummel de la base  $G_B$  dont l'expression XV peut être définie en fonction de l'épaisseur de la base, la concentration en dopants accepteurs ainsi que le coefficient de diffusion des électrons en fonction du positionnement dans la base.

$$G_B = \int_0^{W_B} \frac{N_{aB}(x)}{D_{nB}(x)} dx \quad \text{XV}$$

Ainsi, le courant collecteur peut s'exprimer par la relation XVI.

$$I_C = \frac{qAn_i^2}{G_B} e^{\frac{qV_{BE}}{kT}} \quad \text{XVI}$$

### 1.3.2. Le courant de base

Le courant de base peut être déterminé de manière analogue au courant collecteur. Avec dans ce cas, une dépendance au gradient de la concentration de trous dans l'émetteur par la relation XVII.

$$J_p(x) = qD_{pE} \frac{\delta p_E(x)}{\delta x} \quad \text{XVII}$$

Ainsi, en se plaçant dans un régime de fonctionnement normal où  $qV_{BE} \gg kT$ , on peut exprimer le courant de base  $I_B$  par la relation XVIII où  $A$  représente la surface de section du composant,  $D_{pE}$  le coefficient de diffusion des trous dans l'émetteur,  $L_{pE}$  la longueur de diffusion des trous dans l'émetteur et  $N_{dE}$  la concentration de dopants donneurs dans l'émetteur.

$$I_B = \frac{qAD_{pE}n_i^2}{L_{pE}N_{dE}} e^{\frac{qV_{BE}}{kT}} \quad \text{XVIII}$$

Cette expression peut être simplifiée en insérant le nombre de Gummel de l'émetteur  $G_E$  dont l'expression XIX peut être définie en fonction de son épaisseur, de la concentration en dopants donneurs ainsi que du coefficient de diffusion des trous en fonction du positionnement dans l'émetteur.

$$G_E = \int_{-W_E}^0 \frac{N_{dE}(x)}{D_{pE}(x)} dx \quad \text{XIX}$$

Ainsi, le courant de base peut s'exprimer par la relation XX.

$$I_B = \frac{qAn_i^2}{G_E} e^{\frac{qV_{BE}}{kT}} \quad \text{XX}$$

### 1.3.3. Le gain en courant

Comme indiqué dans la partie 1.2., le gain en courant statique peut être considéré comme le rapport entre les courants de collecteur et de base. Ainsi, par simplification, il peut être exprimé en fonction des nombres de Gummel de la base et de l'émetteur comme le montre la relation XXI.

$$\beta = \frac{I_C}{I_B} = \frac{G_E}{G_B} \quad \text{XXI}$$

L'introduction de germanium dans la base dans les TBH récents modifie considérablement le fonctionnement en courant du transistor. Les constantes de diffusion sont modifiées par des propriétés intrinsèques et physico-chimiques différentes du silicium pur. De plus, la modification de la structure des bandes d'énergie présentée en partie 1.1.3, entraîne un changement majeur dans la variation de la concentration de porteurs dans la base qui n'est alors plus linéaire.

#### 1.3.4. Tension de claquage de la jonction entre base et collecteur

Les phénomènes physiques liés à l'effet d'avalanche électronique et décrit dans [SZE81] pour les jonctions peuvent être transposés à la jonction entre la base et le collecteur du transistor. Ainsi, la jonction étant polarisée en inverse, les porteurs acquièrent une vitesse proportionnelle au champ électrique liée à la polarisation. Dans le cas où cette dernière génère un champ électrique noté  $E_{crit}$ , les électrons de la zone de charge d'espace acquièrent suffisamment d'énergie pour créer une ionisation par impact. Ce phénomène physique est le point de départ d'une réaction en chaîne générant une augmentation brutale du nombre d'électrons et donc du courant collecteur. La tension critique appliquée entre la base et le collecteur (émetteur ouvert) et provoquant cet effet est appelée  $BV_{CBO}$  et est définie par la relation XXII.

$$BV_{CBO} = \frac{\epsilon_0 \epsilon_r E_{crit}^2}{2qN_{dc}} \quad \text{XXII}$$

Il est intéressant de noter que ce paramètre ne dépend que du dopage collecteur pour un matériau donné. Nous verrons dans le chapitre 3 qu'un collecteur implanté, possédant un dopage supérieur comparé à un collecteur standard possède une  $BV_{CBO}$  nettement inférieure ( $\sim 3$  V contre  $\sim 6$  V).

#### 1.3.5. Tension de claquage entre l'émetteur et le collecteur

La tension de claquage de la jonction entre l'émetteur et le collecteur (base ouverte) est souvent utilisée pour caractériser la tenue en tension d'un composant. La valeur de ce paramètre dépend directement de la polarisation de la jonction entre la base et le collecteur par l'intermédiaire d'un facteur de multiplication appliqué au courant collecteur lorsque la polarisation de la jonction augmente. La relation entre le courant émetteur et le courant collecteur, matérialisée par le gain en courant  $\alpha$ , va engendrer une dépendance directe entre la  $BV_{CBO}$  et la  $BV_{CEO}$  (généralement comprise entre 1 et 2 V pour un transistor à hautes performances) à travers la relation XXIII.

$$BV_{CEO} = BV_{CBO} \sqrt[n]{1 - \alpha} = \frac{BV_{CBO}}{\sqrt[n]{\beta}} \quad \text{XXIII}$$



Cette relation met en avant l'importance de diminuer le gain du transistor afin de maintenir une  $BV_{CEO}$  élevée. Une optimisation du profil de germanium comme il sera montré dans le chapitre 2 peut permettre d'augmenter cette valeur.

### 1.3.6. Tensions d'Early

L'effet d'Early peut être considéré comme la variation du courant collecteur en fonction de la polarisation inverse appliquée à la jonction entre la base et le collecteur. Effectivement, cette dernière a pour effet le rétrécissement de la base neutre comme indiqué sur la Figure 16 avec  $V_{CB2} > V_{CB1}$  et est le phénomène associé est appelé tension d'Early directe ( $V_{AF}$ ). Ce paramètre est souvent utilisé pour caractériser la stabilité du composant sur une plage de polarisation donnée.

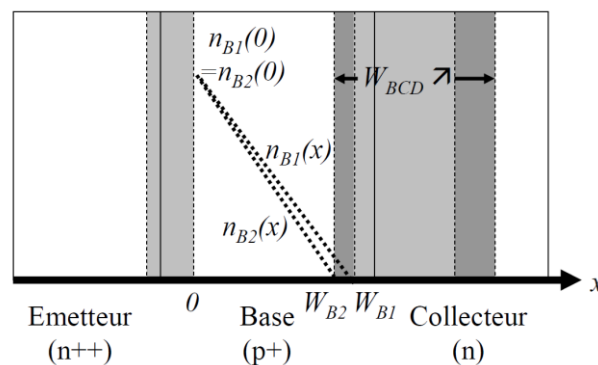


Figure 16 Représentation de l'effet d'Early direct

Ainsi, le rapport de courant collecteur entre deux polarisations peut être défini par la relation XXIV. Le rapport est supérieur à 1 si  $V_{CB2} > V_{CB1}$ .

$$\frac{I_{C2}}{I_{C1}} = \frac{W_{B1}}{W_{B2}} \quad \text{XXIV}$$

La tension d'Early directe peut être extraite à partir de la caractéristique  $I_C = f(V_{CE})$  du transistor bipolaire comme le montre la Figure 17.

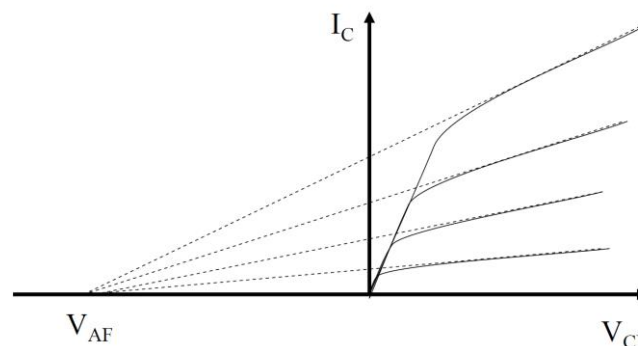


Figure 17 Extraction de la tension d'Early directe à partir de la caractéristique  $I_C = f(V_{CE})$

Par analogie, la tension d'Early inverse ( $V_{AR}$ ) est obtenue de la même manière pour un transistor polarisé en inverse. Liée à un dopage dégressif de l'émetteur vers le collecteur, la valeur de la tension d'Early inverse est beaucoup plus faible que la tension d'Early directe.

Nous verrons dans le chapitre 2 que le profil de germanium peut avoir un impact important sur ces tensions.

### 1.3.7. Effet Kirk

L'effet Kirk [KIRK62] est un phénomène atteint à forte injection. En augmentant la polarisation du composant, la concentration d'électrons injectée dans la zone de charge d'espace entre la base et le collecteur se rapproche de la concentration de dopants donneurs présents dans le collecteur. Par conséquent, la zone de charge d'espace s'étend rapidement du côté du collecteur entraînant une augmentation significative du temps de transit des électrons dans cette région ( $\tau_{BC}$ ). En résulte, une chute des performances en fréquence. Pour y remédier, une augmentation du dopage du collecteur peut être utilisée comme il sera montré dans le chapitre 3. Cette modification du profil de dopants a néanmoins pour inconvénient de dégrader la tenue en tension de la jonction.

### 1.3.8. Extraction des caractéristiques $dc$

L'étude des courbes dites de Gummel permet une analyse rapide et fiable du transistor bipolaire. Les courants de base et de collecteur y sont représentés en fonction de la polarisation de la jonction entre l'émetteur et la base comme le montre la Figure 18. Généralement tracées pour une polarisation nulle entre la base et le collecteur, elles permettent d'évaluer l'idéalité des courants (extrait la plupart du temps entre 0,5 V et 0,7 V de  $V_{BE}$ ). De plus, les effets de quasi-saturation peuvent être identifiés à haute injection. Ces effets peuvent être rencontrés aussi bien sur le courant de collecteur que sur le courant de base. En test paramétrique où les mesures de manière automatique, l'extraction des courants est réalisé à 0,5 V, 0,7 V et 0,9 V.

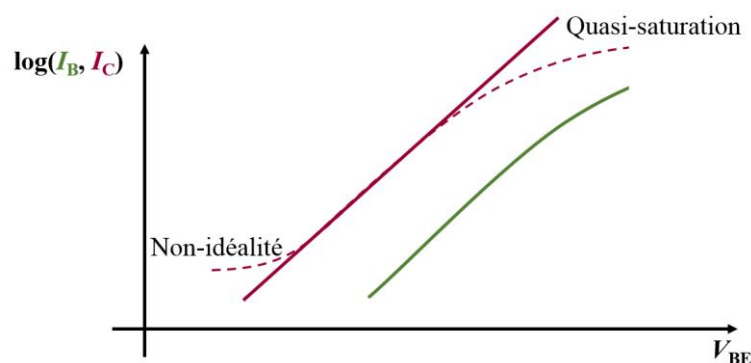


Figure 18 Courbes de Gummel en fonctionnement normal direct

Caractériser le courant d'un transistor en fonction de la tension appliquée est obligatoire si l'on veut avoir d'importantes informations quant à son comportement. Ainsi, la représentation du courant collecteur en fonction de la tension appliquée entre l'émetteur et le collecteur est très fréquemment utilisée et ce pour différentes polarisations (ou courants) entre la base et l'émetteur. Un exemple de courbes est donné sur la Figure 19. Ces dernières nous permettent de déterminer l'importance des résistances série du collecteur et de l'émetteur en analysant la pente en régime de saturation. Ensuite, la tension d'Early peut être extraite à partir de ces courbes. Enfin, une estimation de la tension de claquage peut être déterminée lorsque la

dérivée de la courbe tend vers l'infini. Cette valeur dépend naturellement des conditions de polarisation du dispositif.

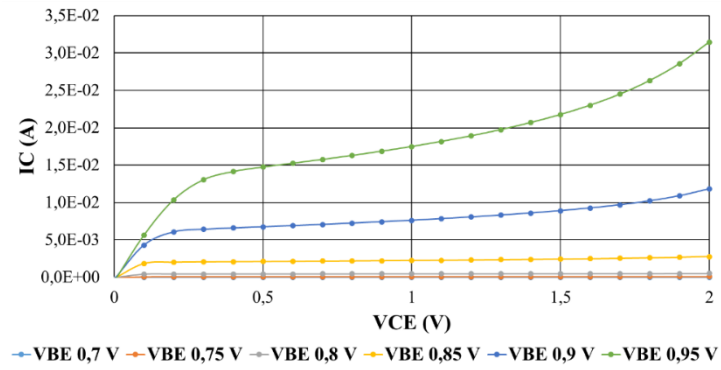


Figure 19 Caractéristiques  $I_C = f(V_{CE})$

## 1.4. Fonctionnement du TBH en dynamique

### 1.4.1. Temps de transit en direct

Les fréquences de fonctionnement du transistor sont directement reliées à la faculté de ce dernier à « transiter » le plus rapidement possible les porteurs de l'émetteur vers le collecteur. Ainsi, le temps de transit en direct (fonctionnement normal du TBH) peut être défini comme la somme des contributions de chaque région (régions neutres et zones de charge d'espace) de la partie intrinsèque et exprimée par relation XXV.

$$\tau_F = \tau_E + \tau_{EB} + \tau_B + \tau_{BC} \quad \text{XXV}$$

Dans un premier temps, la vitesse de déplacement des charges dans les zones neutres de l'émetteur et de la base permet de calculer les temps de transit dans ces régions ( $\tau_E$  et  $\tau_B$ ). Ensuite, dans un mode de fonctionnement normal, la zone de charge entre l'émetteur et la base est polarisée en direct ce qui conduit à négliger  $\tau_{EB}$  du fait de la faible épaisseur de cette région. Enfin,  $\tau_{BC}$  est déterminé en calculant la compensation de charge à l'interface entre le collecteur et la base.

La caractérisation  $hf$  permet d'obtenir les performances fréquentielles des composants. Le temps de transit direct peut être déterminé grâce au tracé de la courbe de  $1/f_T$  en fonction de  $1/I_C$  comme le montre la Figure 20. Si les effets à forte injection ne permettent pas d'avoir une mesure exacte de ce paramètre, une extrapolation de la partie linéaire de la courbe donne une très bonne approximation de  $\tau_F$  d'après la relation XXVI décrite dans [ASHBURN03]. Enfin, la pente de la partie linéaire de la courbe à faibles valeurs de courant collecteur permet une extraction de la somme des capacités de jonction.

$$\tau_F = \frac{1}{2\pi f_{T0}} - R_c C_{BC} \quad \text{XXVI}$$

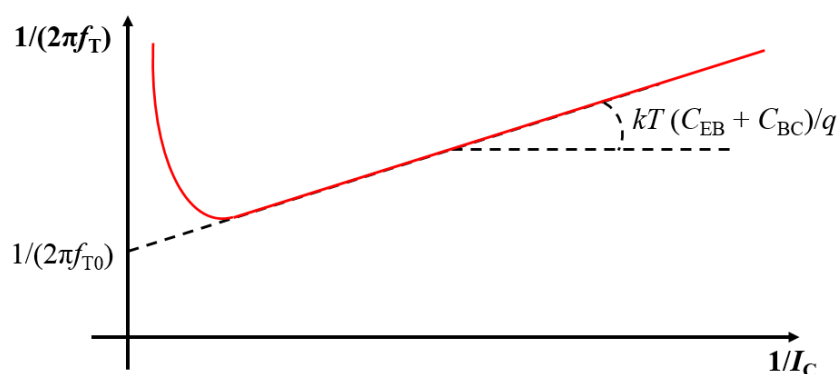


Figure 20 Caractéristique  $1/f_T$  en fonction de  $1/I_C$  et extraction de  $\tau_F$

### 1.4.2. Temps de transit dans la base

Le temps de transit dans la base peut être considéré comme le temps mis à instaurer le courant collecteur. Ainsi par application d'une formule simple reliant la densité de courant au débit de charges,  $\tau_B$  peut être défini par l'expression XXVII après simplification et présentant

l'avantage de ne dépendre que de paramètres propres au matériau de la base ainsi qu'à ses dimensions.

$$\tau_B = \frac{W_B^2}{2D_{nB}} \quad \text{XXVII}$$

De ce fait, le temps de transit dans la base est proportionnel au carré de l'épaisseur de la base. Cela montre le vif intérêt à diminuer cette dimension. Enfin, le temps de transit étant inversement proportionnel au coefficient de diffusion des électrons dans cette région, l'optimisation du profil de germanium dans la base n'en est que plus important. Ces travaux seront évalués dans le chapitre 2.

#### 1.4.3. Temps de transit dans l'émetteur

Le temps de transit dans l'émetteur peut être calculé de manière similaire au temps de transit dans la base. Ainsi,  $\tau_E$  peut être défini par la relation XXVIII après simplification avec  $D_{nB}$  le coefficient de diffusion des électrons dans la base,  $W_B$  la largeur de la base et  $N_{aB}$  la concentration de dopants accepteurs dans la base,  $L_{pE}$  la longueur de diffusion des trous dans l'émetteur et  $N_{dE}$  la concentration de dopants donneurs dans l'émetteur.

$$\tau_E = \frac{L_{pE} W_B N_{aB}}{D_{nB} N_{dE}} \quad \text{XXVIII}$$

Par l'étude de la relation X, on en déduit une proportionnalité entre le temps de transit dans l'émetteur et la longueur de diffusion des trous. De plus, la disparition du facteur « 1/2 » obtenu pour le temps de transit dans la base indique une décroissance exponentielle et non plus linéaire.

#### 1.4.4. Temps de transit de la zone de charge d'espace entre base et collecteur

La contribution de la zone de charge d'espace entre la base et le collecteur dans le temps de transit direct a été définie par [MEYER87] et repose principalement sur la compensation de la charge localisée par les porteurs locaux (trous côté base et électrons côté collecteur) afin de maintenir la neutralité électronique comme le montre la Figure 21.

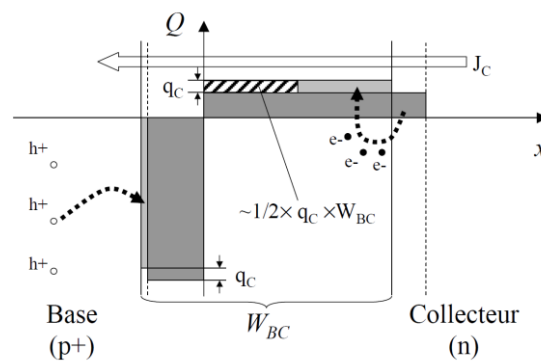


Figure 21 Compensation locale de charges dans la zone de charge d'espace entre la base et le collecteur

Ainsi, le temps de transit dans la zone de charge d'espace peut être exprimé par la relation XXIX avec  $W_{BC}$  représentant la largeur de la zone de charge d'espace entre la base et le collecteur et en supposant que les électrons puissent atteindre la vitesse limite de saturation notée  $v_{sat}$ .

$$\tau_{BC} = \frac{W_{BC}}{2v_{sat}} \quad \text{XXIX}$$

La largeur de la zone de charge d'espace étant directement au dopage du collecteur, cette contribution peut devenir prédominante en présence d'un collecteur peu dopé. Nous verrons dans le chapitre 3, qu'un collecteur implanté plus en surface qu'un collecteur traditionnel présente de meilleures performances en fréquence de transition.

#### 1.4.5. Fréquence de transition

La fréquence de transition,  $f_T$ , dont les fortes valeurs sont très recherchées dans le but de diminuer la consommation du composant et d'augmenter la vitesse de fonctionnement, est obtenue lorsque le gain petit signal (en montage émetteur commun)  $h_{21}$  est égal à 0 dB comme le montre la Figure 22 et menant à la formule XXX de la  $f_T$ .

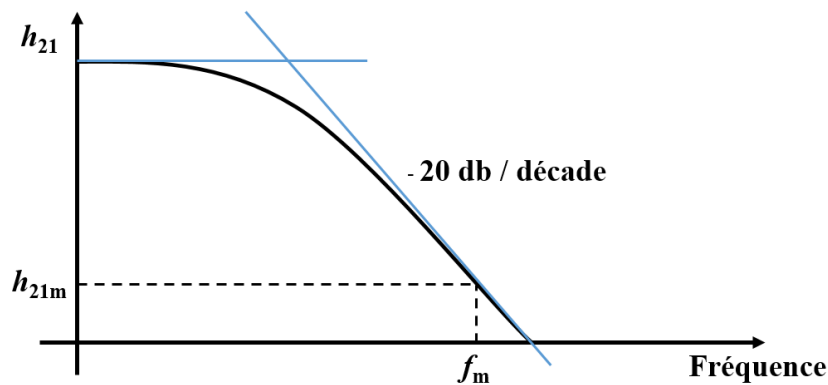


Figure 22 Méthode d'extraction de la  $f_T$  en fonction du gain en petit signal

$$f_T = h_{21m} f_m \quad \text{XXX}$$

Cette fréquence de transition peut être définie en fonction des paramètres d'impédances et de temps de transit du transistor par la relation XXXI.

$$f_T = \frac{1}{2\pi(\tau_F + (R_C + R_E)C_{BC} + \frac{kT}{qI_C}(C_{BC} + C_{EB}))} \quad \text{XXXI}$$

Comme on peut le remarquer, la valeur de cette fréquence n'est pas ou peu impactée par certains paramètres comme la résistance de base ou bien la capacité entre le collecteur et le substrat. Au contraire, la dépendance aux paramètres liés au collecteur (capacité et résistance) est prédominante et a un impact très important sur les performances. Ce point sera abordé lors du chapitre 3 portant sur l'évaluation d'un collecteur implanté. De plus, il est à noter que

l'expression n'est valable que jusqu'à une certaine valeur de  $I_C$  à partir de laquelle les effets liés à la forte injection apparaissent (effet Kirk notamment).

La fréquence de transition peut être extraite à partir de la mesure des paramètres S du transistor et de la composition de la matrice de paramètres hybride en découlant et représentée en XXXII. Ainsi, la  $f_T$  est extraite lorsque le gain dynamique du transistor  $h_{21}$ , calculé lorsque la sortie du transistor est en court-circuit ( $v_{ce} = v_2 = 0$  V), est égal à 0 dB.

$$\begin{pmatrix} v_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ v_2 \end{pmatrix} \quad \text{XXXII}$$

#### 1.4.6. Fréquence maximale d'oscillation

La fréquence de transition ne prenant pas en compte un certain nombre de paramètres liés au transistor, un autre facteur de mérite, appelé fréquence maximale d'oscillation est utilisée dans le but de caractériser le composant à haute fréquence. Cette dernière est obtenue lorsque le gain en puissance (également en émetteur commun), noté  $U$  et appelé gain de Mason, est égal à 0 dB comme le montre la Figure 23 et menant à la relation XXXIII.

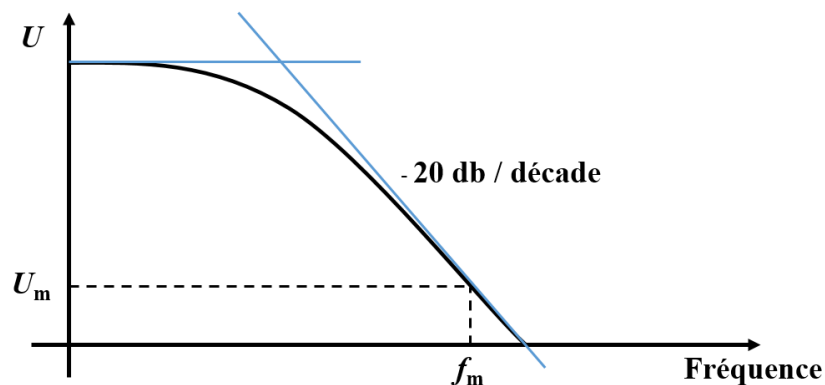


Figure 23 Méthode d'extraction de la  $f_{MAX}$  en fonction du gain de Mason

$$f_{MAX} = \sqrt{U} f_m \quad \text{XXXIII}$$

Cette fréquence maximale d'oscillation peut être définie en fonction de la fréquence de transition ainsi que des paramètres intrinsèques du composant par la relation XXXIV présentée dans [ROULSTON90]. Il est à noter que la capacité entre la base et le collecteur intervient de nouveau accentuant l'intérêt de limiter ce paramètre.

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad \text{XXXIV}$$

Comme indiqué précédemment, la fréquence maximale d'oscillation est déterminée à partir du gain de Mason noté  $U$ , lorsque ce dernier est égal à 0 dB. Ce gain est mesuré lorsque l'entrée est adaptée sur la source et que la sortie l'est sur la charge. De plus, une boucle de

contre réaction est ajoutée au système afin d'éviter toute oscillation du composant dans cette configuration.

Les bancs actuels ne permettant pas la mesure de la  $f_{MAX}$  (dû aux augmentations récentes des performances), une autre fréquence caractéristique appelée  $f_{P20dB}$  est utilisée pour l'extraction de la  $f_{MAX}$ . Cette fréquence, déterminée lorsque le gain de Mason est égal à 20 dB comme le montre la Figure 24 est beaucoup plus fiable car étant mesurée à un gain élevé. Les deux fréquences  $f_{P20dB}$  et  $f_{MAX}$  étant reliées par la très simple relation XXXV. Cette dernière n'est vrai que si la décroissance du gain est de  $-20$  dB par décade. Néanmoins, cette méthode s'avère suffisamment précise pour les mesures effectuées sur les transistors bipolaires actuels.

$$f_{MAX} = 10f_{P20dB} \quad \text{XXXV}$$

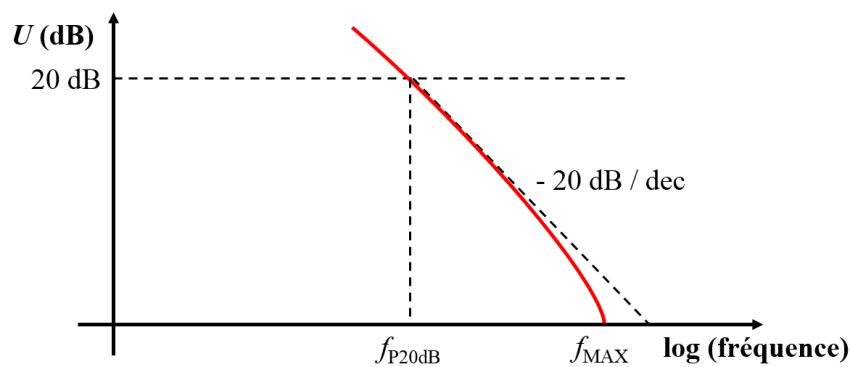


Figure 24 Caractéristique du gain de Mason en fonction de la fréquence et extraction de  $f_{P20dB}$  et  $f_{MAX}$



## 1.5. Contraintes de co-intégration entre TBH et CMOS

La difficulté de l'intégration d'une technologie BiCMOS réside dans la cohabitation de transistors CMOS avec des TBH. Des contraintes croisées apparaissent et l'optimisation parallèle des deux composants n'est plus possible. Ainsi, le principal enjeu est la mise en place de procédés de fabrication ayant le moins d'impact possible sur l'un et l'autre.

### 1.5.1. Contraintes liées au CMOS sur le TBH

La technologie CMOS de référence est toujours utilisée comme point de départ du développement d'une technologie BiCMOS. L'objectif étant de limiter au maximum les mises à jour, notamment modèle, des bibliothèques, la route de fabrication des transistors CMOS n'est modifiée qu'en de rares endroits et n'impliquant pas de modification majeure.

Ainsi le budget thermique utilisé dans la technologie CMOS, principalement dans des étapes d'activation de dopants, représente un enjeu majeur. Effectivement, les performances du transistor bipolaire reposant sur l'agressivité des jonctions, une diffusion trop importante aura un impact négatif important. Il est alors critique de choisir scrupuleusement l'endroit de la route auquel sera intégré le TBH.

Des contraintes liées au niveau MEOL (contacts) et BEOL (lignes de métallisation et via) sont également présentes. La hauteur du composant bipolaire ne devant dépasser l'épaisseur du diélectrique présent avant le premier niveau de métallisation. Cette dimension verticale étant de plus en plus diminuée au fur et à mesure de l'avancée dans les nœuds technologiques, une attention toute particulière doit être mise sur cet aspect. A titre d'exemple, la hauteur du TBH en BiCMOS055 étant de 200 nm, ce dernier ne pourrait pas être intégré dans une technologie FD-SOI 28 nm dont le PMD est de 190 nm comme on peut le voir sur la Figure 25. Enfin les règles de dessin des niveaux de métaux doivent généralement être adaptées afin de subvenir aux besoins des applications millimétriques adressées par les transistors bipolaires. Ces règles doivent permettre d'outrepasser les contraintes liées à l'électromigration et d'obtenir des facteurs de qualité élevés pour les passifs *RF*.

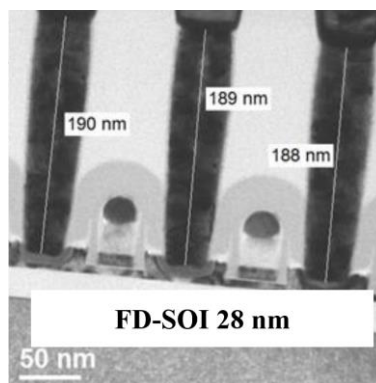


Figure 25 Imagerie TEM avec positionnement du premier niveau de métal en technologie FD-SOI 28 nm

### 1.5.2. Contraintes liées au TBH sur le CMOS

Si l'impact des étapes du CMOS sur le TBH est important, celui du TBH sur le CMOS le devient de plus en plus. Le budget thermique associé à sa réalisation, bien qu'inférieur à celui du CMOS, peut avoir des effets négatifs. La désoxydation thermique utilisée avant épitaxie de la base est un des principaux contributeurs du budget thermique global du TBH. Par conséquent, les profils de dopants implantés avant la réalisation du TBH sont impactés et doivent être adaptés aux technologies BiCMOS. Dans les technologies avancées, certains matériaux comme le « high-k » utilisé pour la fabrication de la grille rendent impossible l'intégration du TBH après leur dépôt. De nouveaux matériaux moins sensibles sont développés mais nécessitent des précautions particulières.

Après gravure de la grille des transistors CMOS, il est compliqué de réaliser le TBH. La multiplication des cycles de dépôts et de gravures formerait alors des espaceurs parasites. De plus, l'intégrité et les propriétés physico-chimiques du silicium polycristallin utilisé s'en verraient également affectées. Des procédés de planarisation et de protection pourraient être mis en place mais représenteraient un coût additionnel important pour la technologie.

## 1.6. Etat de l'art des technologies BiCMOS et bipolaires

Après avoir décrit le fonctionnement du transistor bipolaire, nous allons maintenant effectuer une revue des architectures de TBH utilisées ainsi que de l'état de l'art BiCMOS et TBH associé en fonction des nœuds technologiques utilisés. Les zones clés du TBH sont représentées sur la Figure 26 avec (1) Emetteur, (2) Base intrinsèque en SiGe, (3) Collecteur, (4) Base extrinsèque, (5) Espaceurs internes, (6) STI.

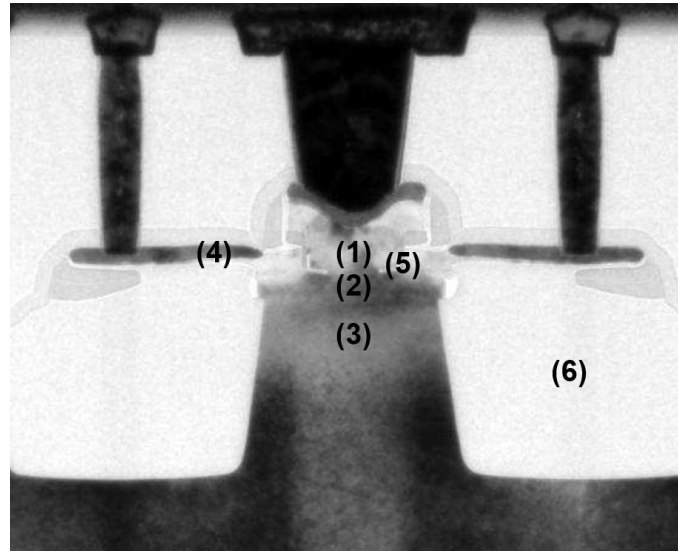


Figure 26 Imagerie TEM d'un transistor bipolaire

### 1.6.1. L'architecture EEB-NSEG dans un nœud CMOS 130 nm

L'architecture « Elevated Extrinsic Base-Non Selective Epitaxy Growth (EEB-NSEG) » développée par l'IHP présentée dans [RÜCKER10] a permis un gain important en terme de performances des transistors bipolaires dans un nœud CMOS 130 nm. La structure bipolaire utilisée dans la technologie SG13S (Figure 27), réalisée après la formation des grilles des transistors CMOS, présente deux points clef lui permettant de présenter des performances fréquentielles intéressantes. Premièrement, une base extrinsèque surélevée auto-alignée avec la fenêtre émetteur est utilisée dans le but d'avoir une résistance de base faible. Secondement, la formation du transistor bipolaire est réalisée dans une seule et même zone active, sans isolation par tranchée, permettant de réduire considérablement la résistance liée au collecteur.

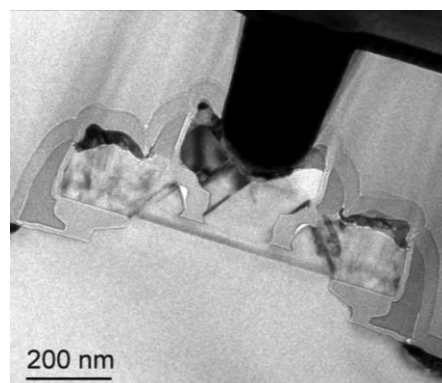


Figure 27 Imagerie TEM de l'architecture EEB-NSEG [RÜCKER10]

Les performances démontrées pour cette structure et montrées en Figure 28 permettent d'atteindre un couple  $f_T / f_{MAX}$  de 240 GHz / 330 GHz pour une surface d'émetteur de  $4 \times (0,17 \times 0,53) \mu\text{m}^2$  et pour une tension de claquage entre l'émetteur et le collecteur de 1,7 V.

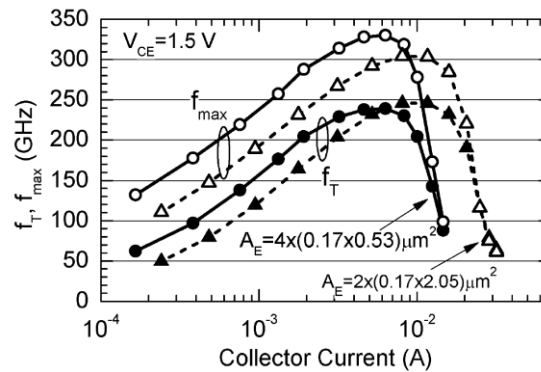


Figure 28 Performances  $f_T$  et  $f_{MAX}$  de l'architecture EEB-NSEG pour des composants de  $4 \times (0,17 \times 0,53) \mu\text{m}^2$  et  $2 \times (0,17 \times 2,05) \mu\text{m}^2$  à  $V_{CE} = 1,5 \text{ V}$  [RÜCKER10]

Cette structure a ensuite été améliorée dans [Rücker12]. Ainsi, l'implantation du collecteur intrinsèque a été rapprochée de la région de la base et une dose plus importante a été utilisée afin de réduire la résistance du collecteur. De plus, les concentrations de germanium et de bore dans la base ont été augmentées afin de respectivement accentuer le pseudo champs électrique et de diminuer la résistance de base intrinsèque. Enfin, les espaceurs ont été amincis dans le but de réduire la résistance de base extrinsèque comme on peut le voir sur la Figure 29 et comparant les structures de référence G1 et améliorée G2. Un important travail de dimensionnement latéral a également été effectué afin d'augmenter les performances jusqu'à une  $f_T$  de 300 GHz et une  $f_{MAX}$  de 500 GHz.

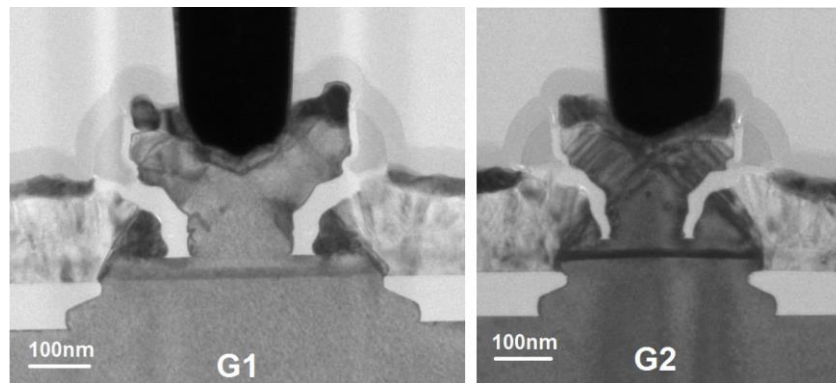


Figure 29 Comparaison par imagerie TEM de l'architecture EEB-NSEG de référence (G1) et optimisée (G2) [RÜCKER12]

### 1.6.2. L'architecture EBL-SEG dans un nœud CMOS 130 nm

L'architecture « Epitaxial Base Link-Selective Epitaxy Growth (EBL-SEG) » également développée par l'IHP et présentée dans [FOX11], repose quant à elle sur l'épitaxie indépendante d'un lien latéral de base permettant de diminuer largement la résistance de base extrinsèque (contributeur majoritaire de la résistance totale de base dans la plupart des architectures). L'idée ici est de fabriquer la totalité de la partie intrinsèque du transistor bipolaire (collecteur, base et émetteur) avant de réaliser la base extrinsèque. Le lien latéral est

effectué par épitaxie monocristalline dans une cavité auto-alignée avant que la base extrinsèque ne soit réalisée par un dépôt de silicium polycristallin comme on peut le voir sur la Figure 30.

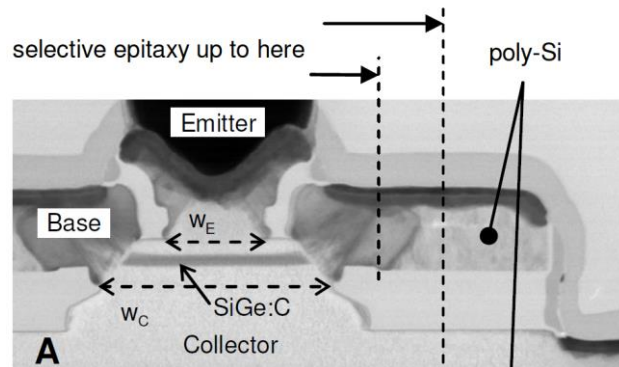


Figure 30 Imagerie TEM de l'architecture EBL-SEG [FOX11]

Intégré sur une ligne CMOS 130 nm par Infineon dans [LIEBL16] mais dont l'architecture émetteur-base reste réalisée par l'IHP et dont une vue globale est montrée en Figure 31, le transistor bipolaire a vu l'implémentation de quelques modifications technologiques afin de supporter le budget thermique lié à la technologie CMOS. Ainsi, le profil de bore a été légèrement élargi et l'épaisseur du Si-CAP augmentée afin de relâcher l'agressivité de la jonction entre l'émetteur et la base. De plus, la largeur de la fenêtre effective de l'émetteur a été réduite de 10 nm dans le but de réduire les effets parasites. Par conséquent, si les capacités de jonctions ont été augmentées à cause du budget thermique, l'augmentation de la largeur de bore dans la base a permis de maintenir une  $f_{MAX}$  de 500 GHz, valeur préalablement obtenue avec une fabrication exclusive de transistor bipolaire. La fréquence de transition  $f_T$  mesurée à 240 GHz a quant à elle subi la diminution de l'agressivité des jonctions et donc de l'augmentation du temps de transit, à comparer avec les 300 GHz obtenus pour une route de fabrication sans transistor CMOS. Ces valeurs ont été obtenues pour un composant de surface  $0,13 \times 2,69 \mu\text{m}^2$ .

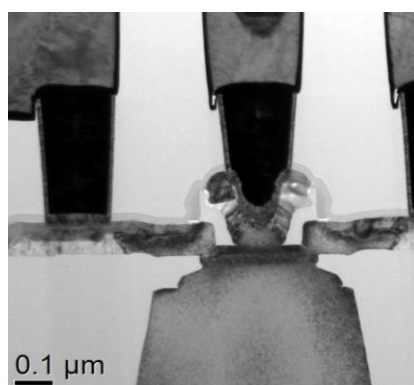


Figure 31 Imagerie TEM de l'architecture EBL-SEG utilisée dans une plateforme CMOS 130 nm [LIEBL16]

Plus récemment, une intégration complète réalisée par Infineon et décrite dans [MANGER18] a permis de démontrer des performances supérieures avec des  $f_T$  et  $f_{MAX}$  de 305 GHz et 537 GHz respectivement. Ces fréquences, obtenues pour un composant de surface  $0,11 \times 2,7 \mu\text{m}^2$  ont bénéficié d'une amélioration du profil vertical du transistor bipolaire ainsi que d'une intégration mieux maîtrisée dans un environnement industriel. Une intégration dans

un nœud CMOS 90 nm est en cours de réalisation même si des difficultés technologiques notamment liées au stress des matériaux ainsi qu'à la diffusion des dopants empêchent à l'heure actuelle d'obtenir des transistors CMOS aussi performant que souhaités.

### 1.6.3. L'architecture LRCI & EB dans un nœud CMOS 90 nm

L'architecture « Link Region Connecting the Intrinsic and the Extrinsic Base » développée par Global Foundries (anciennement IBM) et présentée dans [PEKARIK14] est utilisée sur une ligne de fabrication CMOS 90 nm. Préalablement intégrée dans un nœud CMOS 130 nm, elle a bénéficié d'un dimensionnement vertical afin d'augmenter la  $f_T$  et latéral dans le but d'améliorer la  $f_{MAX}$ . La diminution du budget thermique d'un nœud CMOS au suivant a également permis ces améliorations. Cette architecture, dont une vue en coupe est montrée en Figure 32 présente également une épitaxie de base intrinsèque non sélective. Le lien entre les bases intrinsèque et extrinsèque est réalisé par épitaxie sélective après la formation des espaceurs internes et gravure d'une partie de la base intrinsèque.

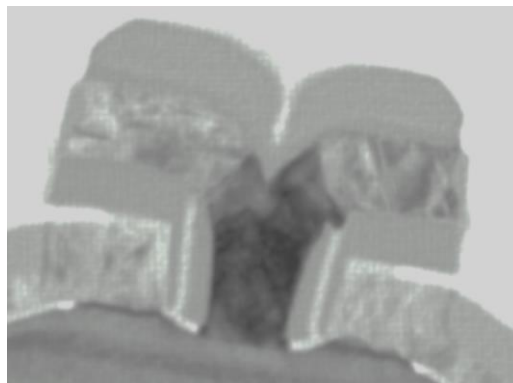


Figure 32 Imagerie TEM de l'architecture LRCI & EB utilisée dans une plateforme CMOS 90 nm [PEKARIK14]

Cette architecture de transistor bipolaire combinée avec la technologie CMOS 90 nm, formant ainsi la technologie 9HP de Global Foundries, permet d'atteindre des performances élevées comme on peut le voir sur la Figure 33 avec des  $f_T$  et  $f_{MAX}$  de 300 GHz et 360 GHz respectivement.

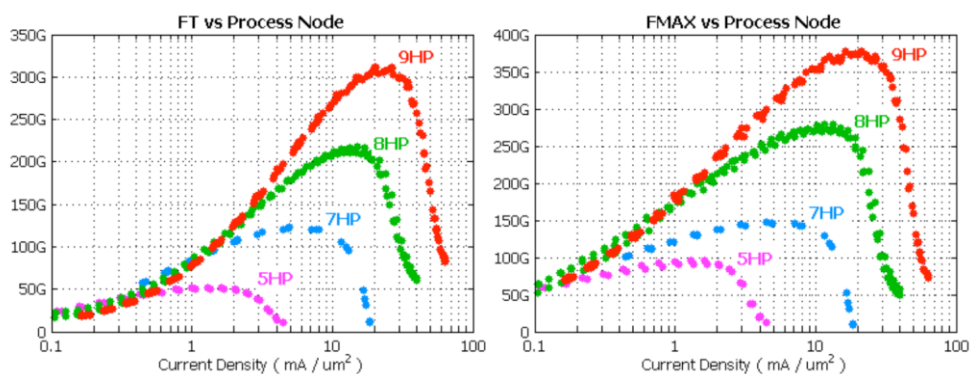


Figure 33 Performances  $f_T$  et  $f_{MAX}$  de l'architecture LRCI & EB utilisée dans une plateforme CMOS 90 nm [PEKARIK14]

#### 1.6.4. L'architecture DPSA-SEG dans un nœud CMOS 90 nm

L'architecture « Double Polysilicon Self-Aligned-Selective Epitaxial Growth (DPSA-SEG) » est utilisée depuis de nombreuses années par plusieurs acteurs du secteur de la microélectronique. L'état de l'art pour cette architecture dans un nœud CMOS 90 nm a été publié par NXP dans [TRIVEDI16] et représentée sur la Figure 34. L'intégration du transistor bipolaire est réalisée en fin de route de fabrication BiCMOS afin de limiter le budget thermique. Afin de réduire la résistance du collecteur une implantation est réalisée avant remplissage de la structure isolante (STI) après formation d'espaces spécifiques. Dans la partie intrinsèque du transistor, des espaceurs internes sont réalisés afin de réduire la largeur de la fenêtre effective de l'émetteur et ainsi optimiser le rapport entre la résistance de base pincée et la résistance de l'émetteur. Les dimensionnements latéral et vertical effectués en simultanément à partir de la technologie BiCMOS développée dans un nœud CMOS 180 nm comme le montre la Figure 34 ont permis d'atteindre un compromis de  $f_T$  et de  $f_{MAX}$  de 230 GHz et 400 GHz respectivement. Ces valeurs, obtenues pour une tension de claquage entre l'émetteur et le collecteur de 1,7 V ont été mesurées sur un composant d'aire  $0,25 \times 10 \mu\text{m}^2$ .

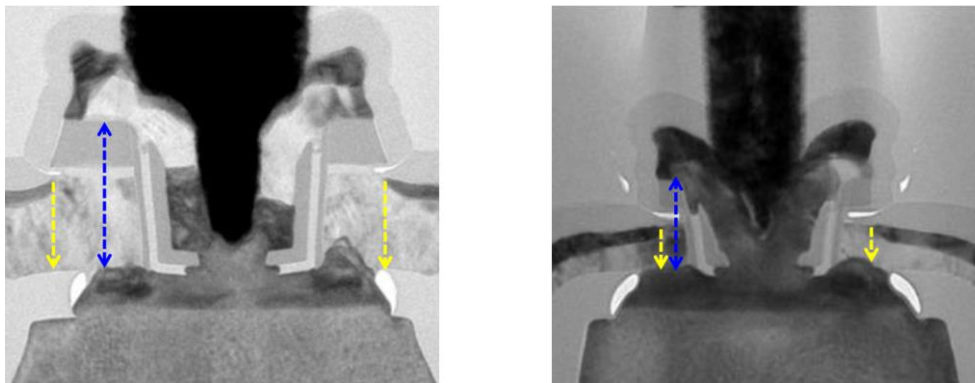


Figure 34 Imageries TEM de l'architecture DPSA-SEG utilisée dans une plateforme CMOS 130 nm (à gauche) et 90 nm (à droite) [TRIVEDI16]

#### 1.6.5. L'architecture DPSA-SEG dans un nœud CMOS 55 nm

D'abord utilisée dans la technologie BiCMOS9MW développée par STMicroelectronics dans un nœud CMOS 130 nm [AVENIER09], l'architecture DPSA-SEG a été transférée sur une plateforme 300 mm dans un nœud CMOS 55 nm [CHEVALIER14]. Cette technologie, héritée du CMOS 65 nm et bénéficiant d'un sous-dimensionnement de 10 %, permet d'obtenir des performances digitales importantes tout en améliorant la densité d'intégration. Le transistor bipolaire est intégré avant la gravure de la grille des transistors CMOS et utilise donc l'architecture DPSA-SEG. L'auto alignement entre la base et l'émetteur est assurée par l'épitaxie sélective de la base et la formation d'espaces internes réalisés sans masque (dépôt puis gravure) comme le montre la Figure 35. Cette dernière comporte un gradient de germanium ainsi que du carbone afin de limiter la diffusion du bore. Enfin, les performances des transistors CMOS et bipolaires ont bénéficié du passage au nœud technologique 55 nm (hérité du 65 nm) pour implémenter un substrat dont l'orientation cristalline du silicium est orientée à  $45^\circ$  afin de permettre un meilleur transport des charges.



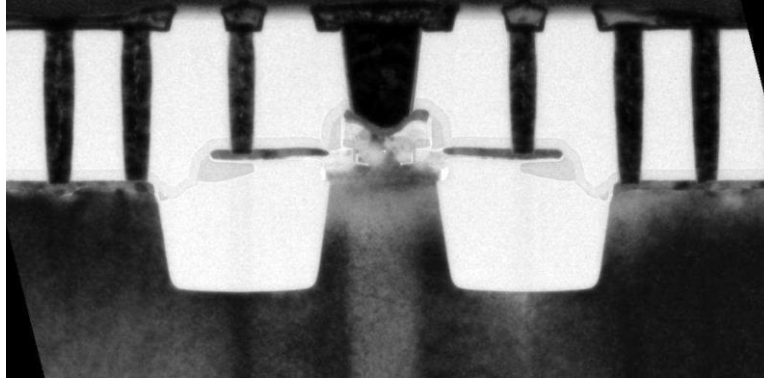


Figure 35 Imagerie TEM de l'architecture DPSA-SEG utilisée dans une plateforme CMOS 55 nm

Trois réglages de composants bipolaires sont réalisés simultanément à l'aide d'implantations spécifiques permettant d'aller d'un transistor très rapide (HS) à un transistor avec une tenue en tension importante (HV). Le dopage du collecteur est la seule différence entre ces composants qui partagent la grande majorité des étapes de fabrication et notamment de la base. Ainsi une gamme de  $f_T$  allant de 65 GHz à 325 GHz et de  $f_{MAX}$  allant de 270 GHz à 375 GHz est obtenue comme le montre la Figure 36. Les tensions claquages  $BV_{CEO}$  étant de 1,5 V pour le TBH le plus rapide et de 3,2 V pour celui avec la tenue en tension maximale.

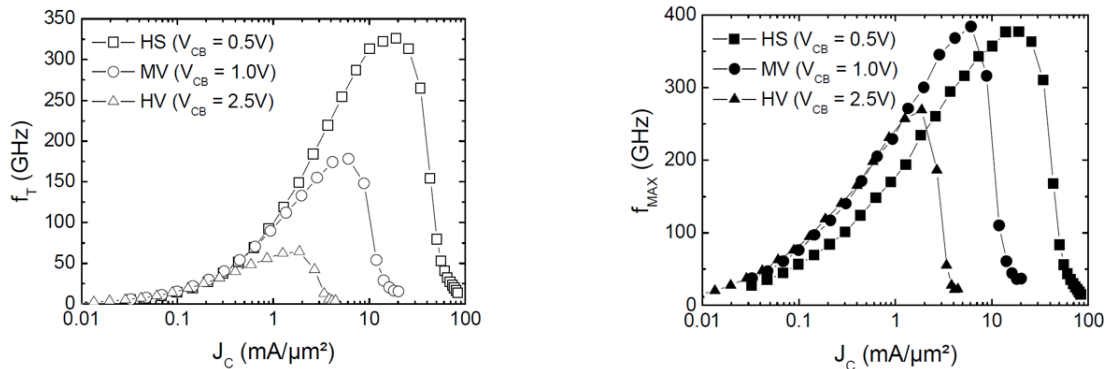


Figure 36 Performances  $f_T$  et  $f_{MAX}$  de l'architecture DPSA-SEG utilisée dans un nœud CMOS 55 nm [CHEVALIER14]

Le compromis entre la résistance de base et la capacité base-collecteur (et donc entre  $f_{MAX}$  et  $f_T$ ) imposé par cette architecture, dont le lien n'est pas réalisé indépendamment contrairement aux architectures EBL et LRCI présentées précédemment, impose à STMicroelectronics d'évaluer de nouvelles architectures de transistors TBH comme il sera montré dans le chapitre 4.

#### 1.6.6. Une technologie bipolaire exclusive démontrant le potentiel du composant

Alors que les technologies bipolaires (sans transistors CMOS) sont rares car possédant un nombre d'applications limitées, ces dernières permettent néanmoins de démontrer le potentiel des transistors bipolaires. Ainsi, se reposant sur l'architecture EBL, l'IHP a récemment démontré des performances impressionnantes [HEINEMANN16]. Intégré dans une route de fabrication libérée des étapes liées aux transistors CMOS, le TBH représenté sur la Figure 37 a été optimisé de manière optimale. La conductivité de la base extrinsèque a



notamment été améliorée en modifiant la cinétique de croissance de l'épithaxie. De plus, les profils de dopants ont été rendus plus agressifs par la limitation du budget thermique en l'absence de transistors CMOS. Enfin, l'épaisseur de siliciuration a été accentuée et la largeur des espaceurs diminuée dans le but de réduire la résistance de base extrinsèque avant une réduction de la température du recuit final.

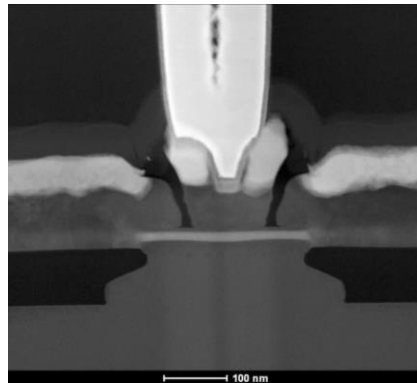


Figure 37 Imagerie TEM de l'architecture EBL utilisée dans une route de fabrication exclusivement bipolaire [HEINEMANN16]

Le dimensionnement latéral du composant implémenté en parallèle d'une augmentation des niveaux de dopage des différentes régions a permis d'atteindre une  $f_T$  de 505 GHz et une  $f_{MAX}$  de 720 GHz comme le montre la Figure 38. Ces valeurs ont été obtenues pour un composant possédant une aire de  $8 \times (0,105 \times 1,0) \mu\text{m}^2$  et un  $BV_{CEO}$  de 1,55 V.

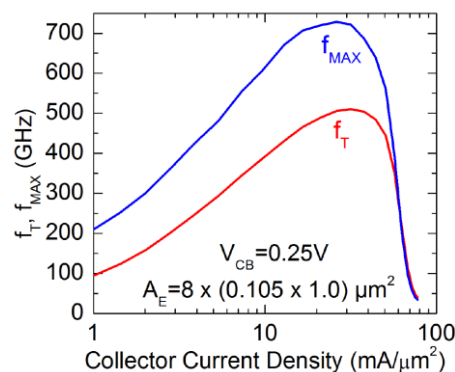


Figure 38 Performances  $f_T$  et  $f_{MAX}$  de l'architecture EBL optimisée dans une route de fabrication exclusivement bipolaire [HEINEMANN16]

Non compatibles avec une intégration CMOS, ces performances démontrent néanmoins le potentiel de performance que présente les transistors bipolaires à hétérojonction modernes. Lors du choix de la prochaine architecture de TBH utilisée par STMicroelectronics dans les futures générations de technologies BiCMOS, plusieurs points clefs de l'architecture EBL seront pris en compte.

### 1.6.7. Synthèse de l'état de l'art

La synthèse de l'état de l'art des technologies BiCMOS et TBH est représentée sur la Figure 39, les nouveaux objectifs en terme de performances des transistors bipolaires étant très élevés, ils justifient le développement de nouvelles architectures comme discuté comme on le verra notamment dans le chapitre 4 de cette thèse. STMicroelectronics n'est pas la seule société

à travailler sur de nouvelles architectures et un état des lieux européen est donné dans [CHEVALIER18].

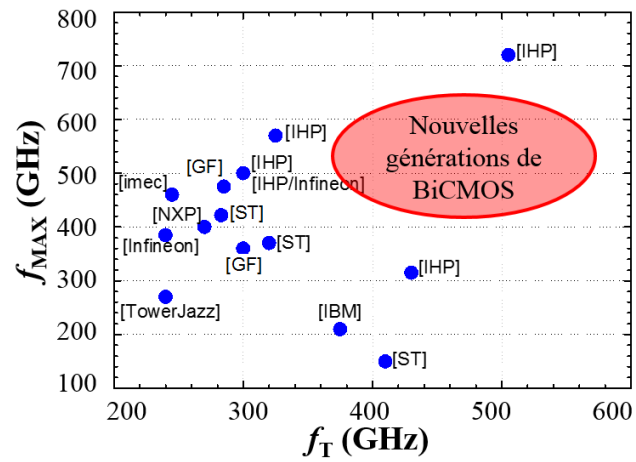


Figure 39 Etat de l'art des performances bipolaires et représentation des performances visées par les prochaines générations de technologies BiCMOS

## 1.7. Conclusion

Dans ce chapitre, nous avons vu comment relier les paramètres  $dc$  du transistor bipolaire à hétérojonction aux paramètres physiques du composant : dimensions et concentration de dopants notamment. De ces paramètres découlent les performances fréquentielles du transistor. Les principaux facteurs de mérite ont été introduits et serviront aux prochains chapitres. Le principal objectif sera d'améliorer chacun des paramètres du composant de manière indépendante, avec un minimum de compromis, afin d'augmenter considérablement ses performances.

L'état de l'art démontre bien que l'intégration du transistor bipolaire dans un procédé de fabrication CMOS présente la principale limitation de la montée en fréquence. Intégré dans différents nœuds CMOS, le TBH démontre des performances de plus en plus élevées. Si STMicroelectronics est la seule entreprise à proposer une intégration en 55 nm, ses concurrents et notamment Infineon, ont récemment publié d'excellents résultats en 130 nm et travaille actuellement sur une intégration en 90 nm [MANGER18] avec le support du laboratoire allemand IHP. Ce dernier possède une très bonne expertise du transistor bipolaire et a récemment montré tout le potentiel du transistor bipolaire grâce à une intégration spécifique non compatible avec les transistors CMOS. Les performances présentées dans [HEINEMANN16] se rapproche de la barre symbolique du THz et l'enjeu est maintenant d'atteindre ces performances dans une technologie BiCMOS.

## **2. Optimisation du profil vertical du transistor bipolaire à hétérojonction**

## 2.1. Objectifs

L'implémentation de nouvelles architectures de transistors bipolaires ainsi que les lois de réduction des dimensions critiques ont permis d'augmenter considérablement les performances des transistors bipolaires depuis quelques dizaines d'années. Néanmoins, ces deux axes d'améliorations permettent surtout d'atteindre de fortes  $f_{MAX}$  sensibles aux parties extrinsèque du transistor. Au contraire la fréquence maximale de transition  $f_T$  va surtout dépendre du temps de transit dans la partie intrinsèque du composant comme expliqué dans le chapitre 1. L'objectif de ce nouveau chapitre est donc d'optimiser le profil vertical du transistor et donc par conséquent les différents profils de dopants. L'architecture utilisée pour ces études est la DPSA-SEG présente dans la technologie BiCMOS055. Le challenge des  $f_{MAX}$  élevées sera adressé par l'implémentation d'une nouvelle architecture de transistor bipolaire présentée en chapitre 4.

La stratégie d'optimisation du profil vertical peut être définie par la Figure 40. Dans un premier temps, le budget thermique est étudié afin d'augmenter les performances du transistor bipolaire tout en gardant les performances CMOS dans les spécifications de la technologie de référence. Dans un second temps, les profils de la base (épaisseur, bore, germanium, carbone) sont modifiés dans l'optique d'augmenter le  $f_T$ . Enfin le dopage collecteur est optimisé afin de réduire la résistance de ce dernier. A noter que la partie émetteur n'est pas étudiée ici mais des améliorations seront proposées en chapitre 4 afin de diminuer sa résistance.

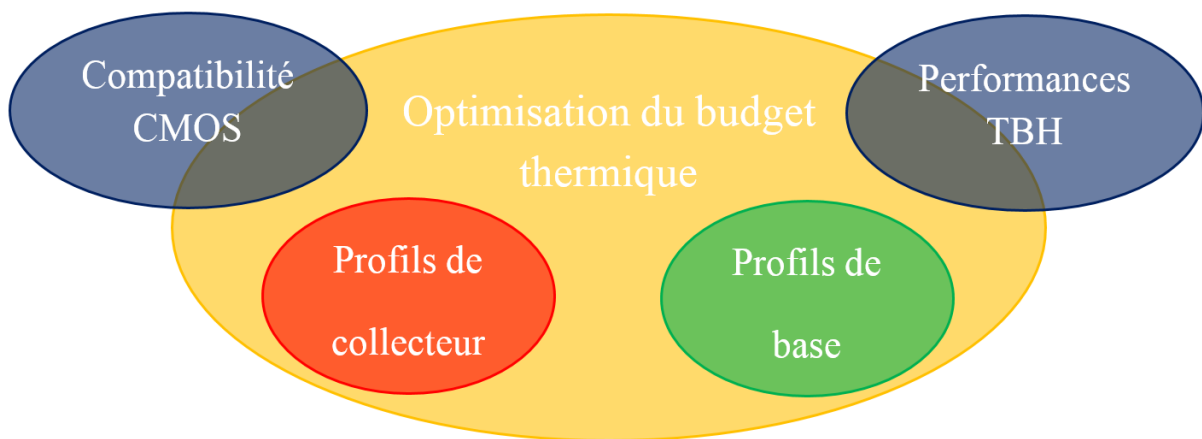


Figure 40 Stratégie d'optimisation du profil vertical du TBH

## 2.2. Détermination du budget thermique optimal

Le premier axe majeur de travail consiste donc à déterminer le budget thermique optimal permettant à la fois d'augmenter les performances, notamment la  $f_T$ , du transistor bipolaire tout en maintenant une compatibilité avec les modèles CMOS. Cette approche présentée dans [GAUTHIER17] dans un nœud CMOS 55 nm a déjà été étudiée dans [TRIVEDI16] dans un nœud CMOS 90 nm. Effectivement, le budget thermique a pour effet d'élargir les profils de dopants et limite ainsi les performances fréquentielles [HEINEMANN16], [GEYNET08]. Ce phénomène se vérifie particulièrement sur le profil de bore dans la base TBH. Comme on peut le voir sur la Figure 41, trois budgets thermiques principaux sont situés après cette épitaxie dans le procédé de fabrication de la technologie BiCMOS055 et ont donc potentiellement un impact non négligeable sur la limitation des performances. Le recuit d'activation des LDD étant effectué à plus faible température, les études se sont concentrées sur le recuit d'activation source / drain et la réoxydation thermique.

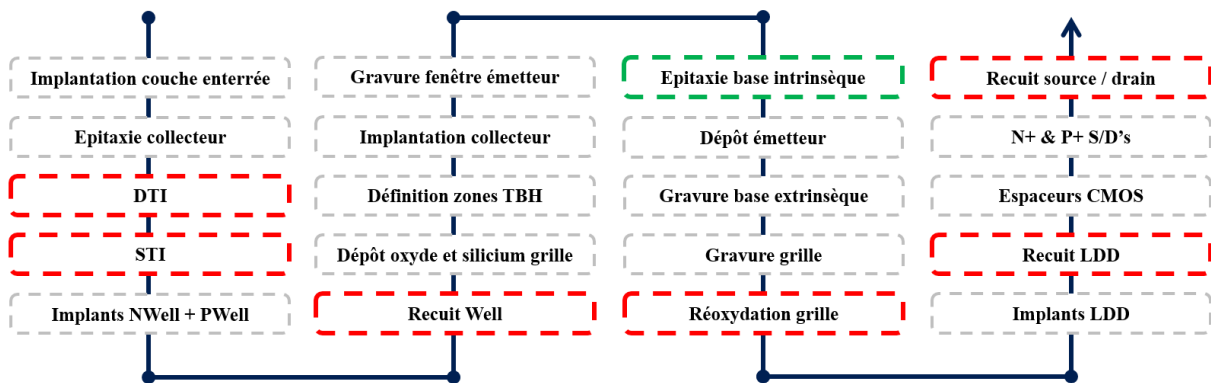


Figure 41 Procédé de fabrication schématique de la technologie BiCMOS055

Côté CMOS, la réoxydation thermique du polysilicium constituant la grille a été remplacée par un dépôt chimique (CVD) et la température du recuit d'activation source / drain a été diminuée. Effectivement, ces deux étapes ont été identifiées comme principales contributrices de la diffusion du bore [VU15]. Comme on peut le voir sur la Figure 42, la diffusion du bore reste encore élevée malgré la réduction de la température du recuit source / drain entre les technologies BiCMOS9MW (1113°C) et BiCMOS055 (1050°C).

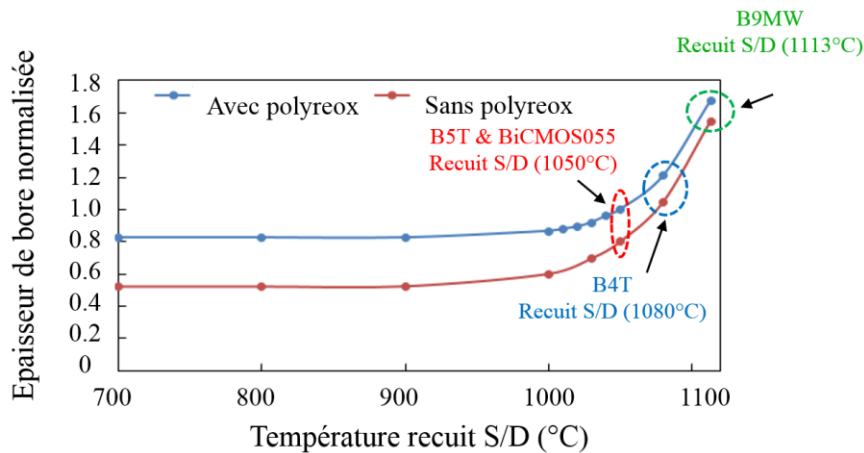


Figure 42 Épaisseur de bore normalisée en fonction de l'utilisation d'une réoxydation thermique et de la température du recuit d'activation source / drain [VU15]

Enfin, un recuit LASER autrement appelé DSA (« Dynamic Surface Annealing ») et présenté dans [BIDAUD07] a été implémenté juste après le recuit d'activation source / drain. Ce procédé permet notamment d'avoir une très bonne activation des dopants en surface (typiquement, il permet de réduire considérablement la résistance de l'émetteur) sans engendrer de diffusion au sein du composant grâce à son profil particulier qui permet une montée en température très rapide tout en atteignant une valeur maximale d'environ 1250°C comme le montre la Figure 43.

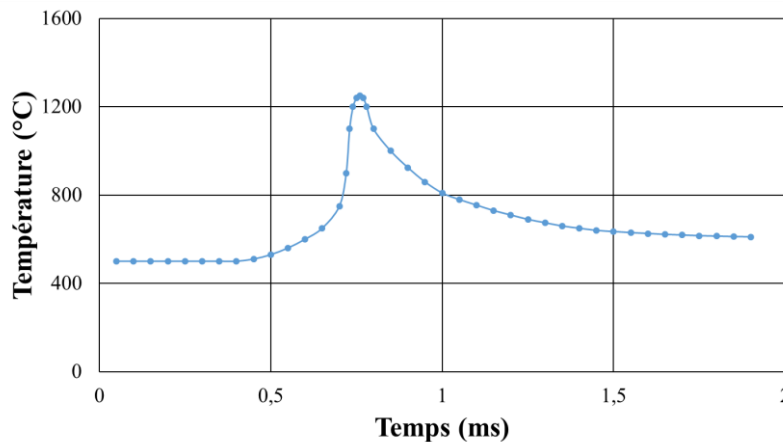


Figure 43 Profil théorique d'un recuit DSA

Il est également intéressant de noter que le remplacement de la réoxydation thermique de la grille ainsi que l'implémentation du DSA apparaissent tous deux dans les technologies dont le nœud CMOS est inférieur à 40 nm. Côté TBH, l'épaisseur du Si-CAP situé entre le polyémetteur et le SiGe et servant à encaisser la diffusion d'arsenic de l'émetteur vers la base est ajustée afin de compenser le plus faible budget thermique. Toutes ces modifications technologiques sont résumées dans le Tableau 1.

Tableau 1 Résumé des modifications technologiques étudiées

Type de transistor	Paramètre / procédé	BiCMOS055	Travaux
CMOS	Oxydation grille	Oxydation thermique	Dépôt oxyde CVD
	Recuit Source / drain	1050°C	1035°C 1020°C 1000°C
	Recuit LASER	N.A.	1250°C
HBT	Epaisseur Si-CAP	15 nm	13 nm 11 nm 9 nm

### 2.2.1. Impact sur les MOSFET

L'intégration homogène des transistors bipolaires et CMOS implique une multiplicité de contraintes d'intégration. Ainsi, si les performances du transistor bipolaire sont ici recherchées, la comptabilité CMOS doit être le premier critère de sélection du budget thermique optimal. Comme le montre la Figure 44, la diminution du budget thermique implique un dérèglement de ces derniers. Premièrement, le remplacement de l'oxydation thermique de la grille par un dépôt CVD n'entraîne qu'un glissement du réglage de la tension de seuil  $V_T$  du composant comme l'indique la conservation de la droite de performances  $I_{OFF} = f(I_{ON})$ .  $I_{OFF}$  représentant le courant de fuite du MOS en mode bloqué alors que  $I_{ON}$  représente la performance en courant du MOS en mode passant. Après analyse de la caractéristique  $I_{ON} = f(V_T)$ , une modification de 20 mV du  $V_T$  suffirait à ajuster les performances  $dc$ . Dans un second temps, la diminution de la température du recuit d'activation source / drain entraîne quant à elle une importante chute du  $I_{ON}$  (jusqu'à 16 % entre un recuit 1050°C et un recuit 1000°C) à  $I_{OFF}$  fixé démontrant une dégradation de la mobilité des porteurs de charges. De plus, l'augmentation de la pente de la droite de performances  $I_{OFF} = f(I_{ON})$  tend à indiquer une augmentation de la résistance entre la source et le drain due à une moins bonne activation des dopants.

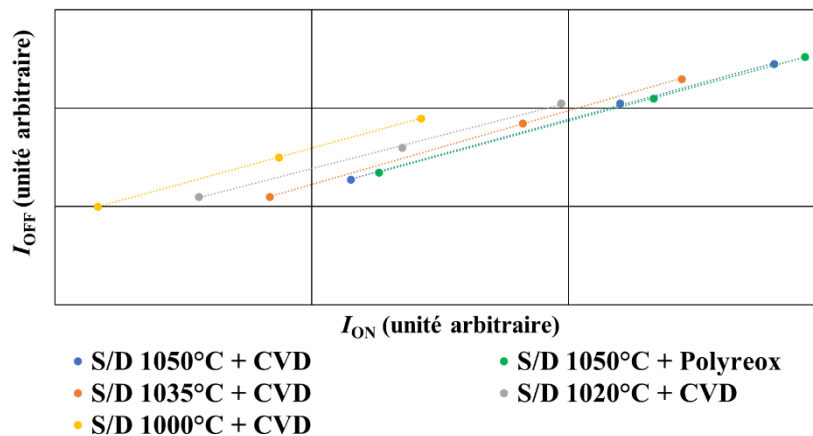


Figure 44  $I_{OFF} = f(I_{ON})$  pour des MOS d'aire  $0,06 \times 1,00 \mu\text{m}^2$  en fonction du budget thermique (valeurs médianes)

Néanmoins, l'utilisation d'un recuit source-drain à 1035°C permet de maintenir un décalage inférieur à 5 % en terme de  $I_{ON}$  à  $I_{OFF}$  constant, ce qui peut être compensé par un



ajustement des implants LDD (« Low Diffusion Drain »). Effectivement, comme le montre la Figure 45, une modification de la dose implantée permet de modifier la droite de performances  $I_{OFF} = f(I_{ON})$ . Ainsi, si une diminution de 50 % implique une réduction de 5,7 % du  $I_{ON}$ , une augmentation dans les mêmes proportions permet d'améliorer la performances de 5,8 % suffisante pour compenser les 5 % de perte précédemment observés en diminuant la température du recuit final à 1035°C.

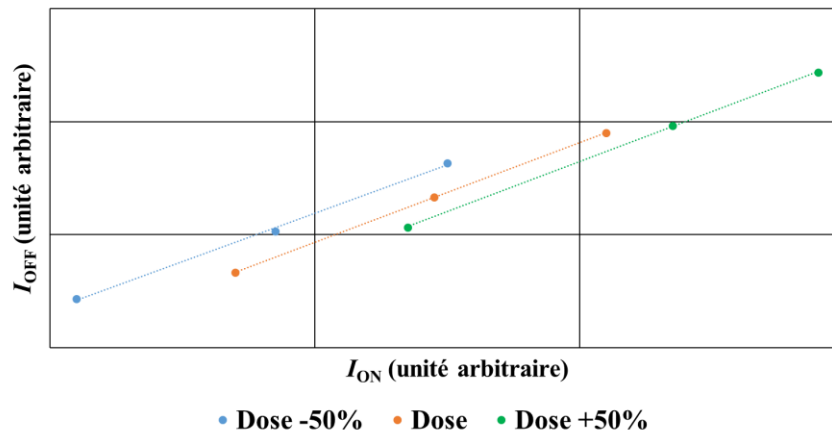


Figure 45  $I_{OFF} = f(I_{ON})$  pour des MOS d'aire  $0,06 \times 1,00 \mu\text{m}^2$  en fonction de la dose LDD (valeurs médianes)

### 2.2.2. Rendement SRAM

La Figure 46 représente le rendement paramétrique de la SRAM (incluant des ports simples de  $0,57 \mu\text{m}^2$  et  $0,62 \mu\text{m}^2$  ainsi que des ports doubles de  $0,97 \mu\text{m}^2$ ) en fonction du budget thermique et de différentes conditions de polarisation. Comme on peut le remarquer, l'impact de la diminution de la température du recuit d'activation source / drain est très important. Le rendement chute de 98 % à 20 % en réduisant la température de  $1050^\circ\text{C}$  à  $1000^\circ\text{C}$  pour une polarisation basse ( $V_{MIN}$  sur Figure 46). Il est néanmoins important de noter que cette perte est paramétrique et que les composants restent fonctionnels malgré un décentrage sensible de leurs performances. Par conséquent, l'implémentation de procédés permettant de rétablir leurs performances va naturellement permettre de retrouver un rendement paramétrique élevé. La perte de rendement est également visible à une polarisation plus importante ( $V_{NOM}$  et  $V_{MAX}$  sur Figure 46) mais dans une moindre mesure.

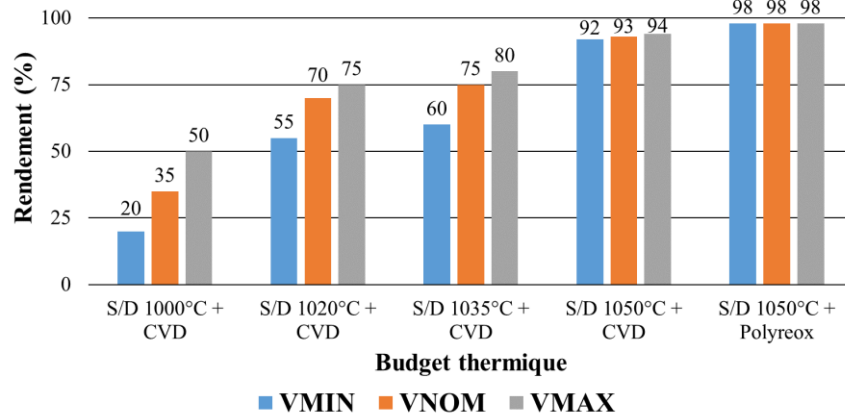


Figure 46 Rendement paramétrique de cellules SRAM simples de  $0,57 \mu\text{m}^2$  et  $0,62 \mu\text{m}^2$  ainsi que des ports doubles de  $0,97 \mu\text{m}^2$  en fonction du budget thermique et de la polarisation (valeurs médianes)

### 2.2.3. Impact sur le profil vertical du TBH

Dans cette partie, nous allons étudier la relation entre la diminution du budget thermique et son impact sur le profil vertical du TBH ainsi que ses performances  $dc$  et  $hf$ . L'objectif étant de diminuer la diffusion des dopants afin d'obtenir des jonctions plus abruptes et ainsi diminuer le temps de transit des porteurs. Dans un premier temps, la diffusion du bore est analysée. Comme le montrent les profils de bore en Figure 44 obtenus par « Secondary Ion Mass Spectroscopy » (SIMS), l'application du budget thermique entre l'épitaxie de la base et le recuit d'activation source / drain implique une diffusion importante du bore (avec une largeur à mi-hauteur augmentée de 60 %, la queue de distribution sur la courbe grise est un artefact de mesure). Néanmoins, le gain attendu en réduisant la température du recuit de  $1050^\circ\text{C}$  à  $1020^\circ\text{C}$  conjuguée au remplacement de l'oxydation thermique de la grille par un dépôt CVD n'est pas atteint. Si une très légère diminution de la diffusion peut être observée, elle reste marginale par rapport à la diffusion totale. Surprenante, cette dernière pourrait être expliquée par des mécanismes de diffusion différents (par exemple assistée par défauts) de ceux couramment rencontrés (ex. diffusion de Fick) et mis en jeu plus en amont dans le procédé de fabrication. Des études ont été menées dans ce sens et seront présentées un peu plus loin dans ce chapitre.

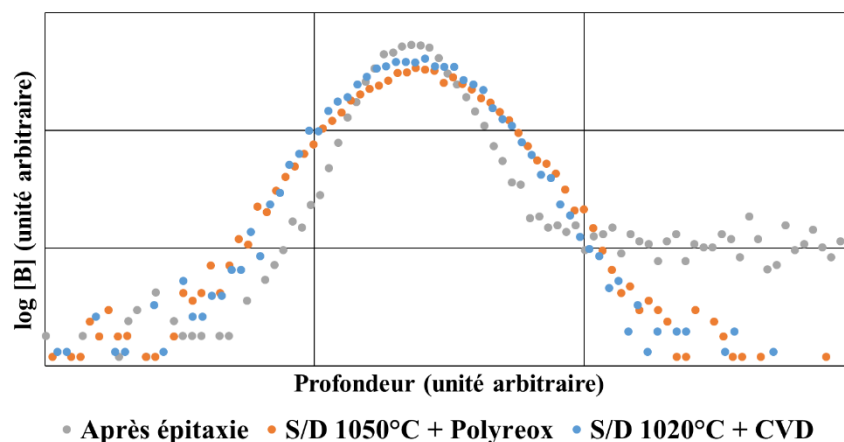


Figure 47 Profils de bore en fonction du budget thermique

Au contraire, la Figure 48 nous montre que la diffusion de l'arsenic de l'émetteur vers la base est largement réduite par la diminution de la température du recuit d'activation source / drain. Une différence de 5 nm de profondeur est observée à 10 % de la concentration maximale. Ce point a déjà été souligné dans les travaux présentés dans [VU15] et basés sur des simulations TCAD. Cette diminution de la diffusion de l'arsenic a pour conséquence de modifier la jonction entre l'émetteur et la base et implique une chute de la concentration de dopants au niveau de cette dernière. L'évaluation de la diffusion de l'arsenic a été restreinte à la partie émetteur après avoir validé que cette dernière était négligeable du côté du collecteur. Par conséquent, les résultats montrés dans les prochaines parties ne porteront que sur la jonction entre l'émetteur et la base.

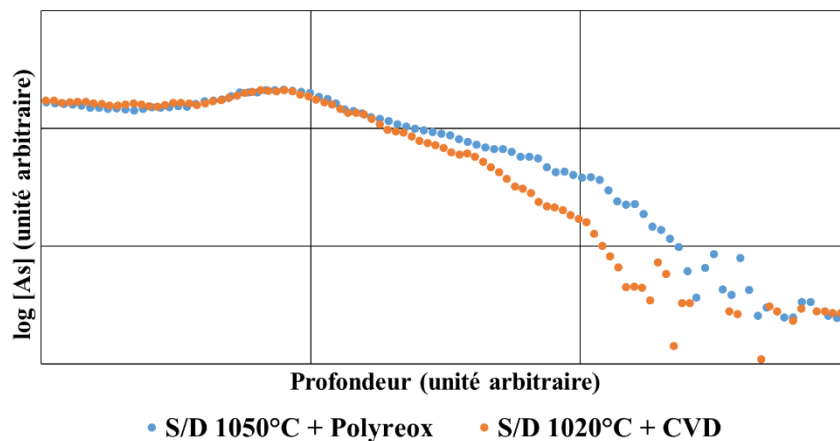


Figure 48 Profils d'arsenic en fonction du budget thermique

#### 2.2.4. Performances du TBH

Afin de compenser la moindre diffusion de l'arsenic de l'émetteur vers la base, un ajustement de l'épaisseur du Si-CAP est réalisé. L'objectif étant de maintenir une jonction similaire, le critère de validation est ici la valeur de la capacité entre la base et l'émetteur ( $C_{BE}$ ) qui reste constante comme on peut le voir sur la Figure 49. Ainsi, la branche de référence comprenant à la fois un recuit d'activation à 1050°C, une réoxydation thermique de la grille et un Si-CAP de 15 nm présente la même  $C_{BE}$  que la branche présentant un recuit source / drain à 1000°C, un dépôt CVD d'oxyde et un Si-CAP de 9 nm. De plus, le maintien de la tension de claquage entre la base et l'émetteur ( $BV_{EBO}$ ) à 2,1 V confirme la quasi-similarité des jonctions. Si la  $C_{BE}$  reste constante, on observe une diminution de la résistance de l'émetteur de plus de 10 % entre les différentes branches (5,3 Ohms pour la branche de référence contre 4,6 Ohms pour la branche présentant les températures de recuit source / drain et épaisseurs de Si-CAP les plus faibles). Enfin, la résistance de base extrinsèque ( $R_{Bx}$ ) est augmentée de 30 % à cause d'une moins bonne activation des dopants à basse température.

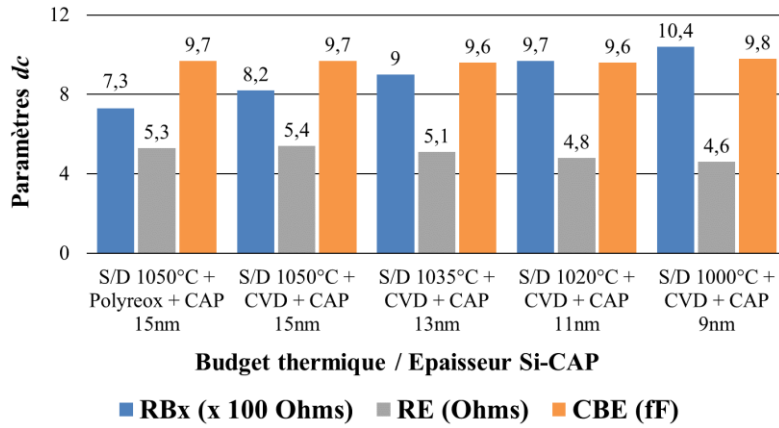


Figure 49 Paramètres  $dc$  d'un TBH  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du budget thermique et du Si-CAP associé (valeurs médianes : 5 plaques et 9 sites par plaque)

L'amélioration de la résistance de l'émetteur permet ici d'augmenter la valeur de  $f_T$  de 328 GHz pour la branche de référence à 347 GHz pour la branche la plus agressive, soit un gain de 19 GHz comme on peut le remarquer sur la Figure 50. Il est à noter que la tension de claquage entre le collecteur et l'émetteur reste inchangée entre les différentes branches (1,45 V). Dans le même temps, la valeur du  $f_{MAX}$  est largement dégradée (- 60 GHz) principalement à cause de l'augmentation de la résistance de base extrinsèque comme expliqué précédemment.

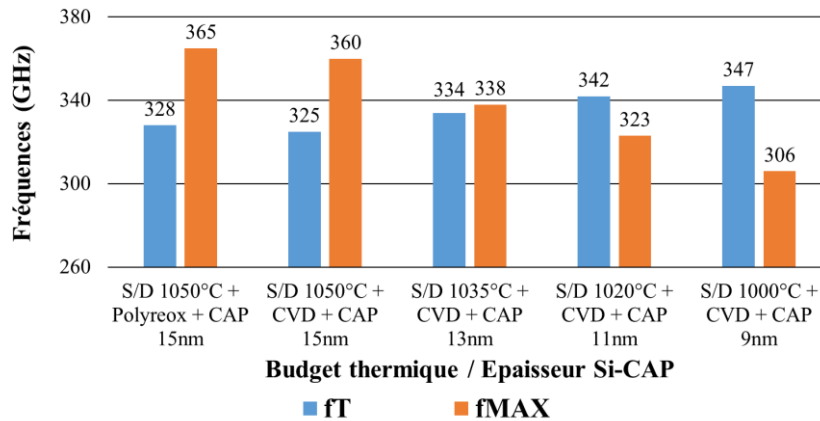


Figure 50 Performances d'un TBH  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du budget thermique et du Si-CAP associé (valeurs médianes)

## 2.2.5. Implémentation d'un recuit LASER

Dans cette partie, l'implémentation d'un recuit LASER aussi appelé DSA pour « Dynamic Surface Annealing » est évaluée en considérant le gain obtenu au niveau des performances des transistors bipolaires et CMOS.

### 2.2.5.1. Impact sur les performances des CMOS

L'utilisation d'un tel procédé de recuit est bien connu dans le domaine des transistors CMOS [BIDAUD07]. Comme on peut le voir sur la Figure 51, l'utilisation d'un DSA à 1250°C permet d'augmenter considérablement la valeur du  $I_{ON}$  à  $I_{OFF}$  constant. Utilisé en ajout d'un recuit source / drain à 1050°C, le gain est de 2,5 % en termes de performances du composant.

Cette valeur est accrue jusque 9 % lorsque le DSA est utilisé après un recuit à 1000°C. En effet, ce procédé permet d'activer les dopants qui ne le sont pas encore. Par conséquent, un recuit source / drain à 1050°C permet d'obtenir une mobilité des porteurs de charge appropriée afin d'atteindre les performances visées. Au contraire, si ce dernier est trop bas en température, la mobilité est dégradée et le gain apporté par le DSA est supérieur.

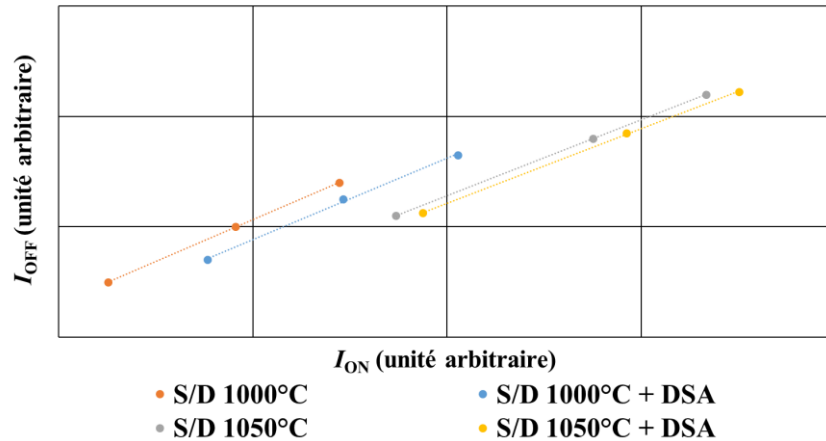


Figure 51  $I_{OFF} = f(I_{ON})$  pour des MOS d'aire  $0,06 \times 1,00 \mu\text{m}^2$  en fonction de l'utilisation d'un DSA et de la température du recuit d'activation (valeurs médianes)

La pente des droites de performances est légèrement modifiée et confirme que l'implémentation d'un DSA permet une meilleure activation des dopants dans les parties LDD et engendre par conséquent une plus faible résistance source / drain. De plus, la résistance de grille est diminuée de respectivement 50 % et 40 % lorsque le DSA est utilisé après des recuits source / drain à 1000°C et 1050°C. Ce point peut également être expliqué par le fait qu'une proportion plus importante de dopants reste inactive après un recuit d'activation à température plus basse.

Comme on l'a vu précédemment, une chute de rendement de la SRAM est observée lorsque la température du recuit d'activation source / drain est diminuée. Néanmoins, ce rendement paramétrique peut être partiellement récupéré en utilisant un recuit LASER comme le montre la Figure 52 pour un recuit d'activation à 1035°C. Un gain de 28 % est obtenu à polarisation basse, 18 % à polarisation nominale et 15 % à forte polarisation pour atteindre des niveaux proches de ceux obtenus sur les branches de référence (entre 92 % et 98 %).

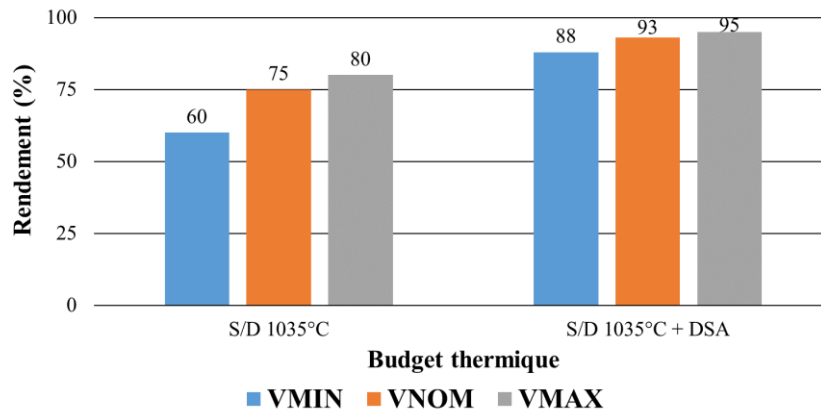


Figure 52 Rendement paramétrique de cellules SRAM simples de  $0,57 \mu\text{m}^2$  et  $0,62 \mu\text{m}^2$  ainsi que des ports doubles de  $0,97 \mu\text{m}^2$  en fonction de l'utilisation du DSA et de la polarisation (valeurs médianes)

### 2.2.5.2. Impact sur les performances des TBH

Dans cette partie, le recuit source / drain de référence présente une température de procédé de  $1035^\circ\text{C}$  dans la mesure où il permet d'avoir des performances CMOS pratiquement équivalentes à celles obtenues dans la technologie de référence BiCMOS055. Le DSA utilisé en ajout de ce dernier permet de réduire considérablement la résistance de l'émetteur de  $5,7 \text{ Ohms}$  à  $4,5 \text{ Ohms}$  (- 20 %) grâce à une meilleure activation des dopants tout en ne générant qu'une diffusion supplémentaire limitée des dopants. Ce point étant validé par une  $C_{BE}$  très proche de la valeur de référence (+ 3 %). Comme on peut le voir sur la Figure 53, les performances  $hf$  s'en retrouvent améliorées. La fréquence maximale de transition  $f_T$  est augmentée de 21 GHz et un gain de 17 GHz est observé pour la  $f_{MAX}$  grâce à l'augmentation du  $f_T$  ainsi qu'à une meilleure résistance de base extrinsèque (- 10 %). Enfin, il est à noter que la tension de claquage entre l'émetteur et le collecteur n'est pas modifiée par l'implémentation du recuit LASER.

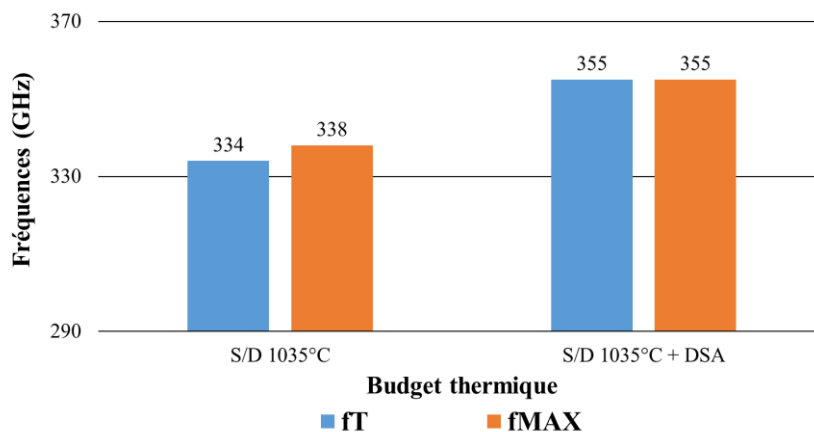


Figure 53 Performances d'un TBH  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de l'utilisation du DSA (valeurs médianes)

Pour conclure cette partie, il est évident que le budget thermique est le point central des développements effectués afin d'améliorer les performances du transistor bipolaire. Effectivement, comme on a pu le voir, sa modification reste largement contrainte par l'impact qu'il peut avoir sur les transistors CMOS aussi bien au niveau des performances que du

rendement paramétrique. Néanmoins, l'implémentation d'un recuit LASER additionnel permet de se rapprocher au plus près des spécifications de référence. Ainsi, le remplacement de la réoxydation thermique de la grille par un dépôt CVD couplée avec la réduction de la température du recuit d'activation source / drain à 1035°C et à l'ajout d'un DSA permet d'améliorer la performance  $f_T$  des transistors bipolaires. Ceci, tout en restant proche des modèles  $dc$  des transistors CMOS comme on peut le voir dans le Tableau 2 de synthèse même si des changements complémentaires pourraient être nécessaires comme les doses d'implantation LDD.

Ainsi, la réduction de la diffusion de l'arsenic de l'émetteur vers la base a permis d'augmenter les performances de fonctionnement des transistors bipolaires jusqu'à un compromis  $f_T / f_{MAX}$  de 355 GHz. Néanmoins, la diffusion du bore, considérée comme clef n'a pas pu être limitée par la diminution du budget thermique et sera étudiée dans une prochaine partie.

Tableau 2 Synthèse des performances CMOS et TBH en fonction du budget thermique (valeurs médianes)

Paramètre / budget thermique	Ref. B55 S/D 1050°C + Polyreox	S/D 1050°C + CVD	S/D 1035°C + CVD	S/D 1000°C + CVD	S/D 1035°C + CVD + DSA
Performances $I_{OFF} = f(I_{ON})$	x	0,96 x	0,94 x	0,84 x	x
Rendement paramétrique SRAM	x	0,93 x	0,75 x	0,35 x	0,95 x
$V_T$ CMOS	x	x + 10 mV	x + 35 mV	x + 60 mV	x
$f_T$ avec Si-CAP ajusté (GHz)	328	325	334	347	355
$f_{MAX}$ avec Si-CAP ajusté (GHz)	365	360	338	306	355

### 2.2.6. Mesures load-pull

Afin de compléter ces résultats, des mesures load-pull à 94 GHz ont été réalisées au sein de l'IEMN. Ces mesures permettent de caractériser en puissance les composants. Pour ces mesures, nous avons utilisé la plaque ayant permis d'avoir le meilleur compromis  $f_T$  et  $f_{MAX}$  à 355 GHz.

La première étape des mesures consiste à déterminer l'impédance optimale à présenter au composant afin d'obtenir les meilleures performances possibles. Pour ce faire, une cartographie sur un abaque de Smith (Figure 54) est réalisée à -5 dBm de puissance d'entrée. Les paramètres suivants sont alors analysés en chaque point de l'abaque afin de déterminer l'impédance optimale :

- $PAE = 100 \times \frac{P_{OUT}^{RF} - P_{IN}^{RF}}{P_{TOTAL}^{DC}}$ , elle est exprimée en pourcents et représente l'efficacité énergétique du transistor
- $P_{OUT} @ PAE_{MAX}$ , elle est exprimée en dBm et représente la puissance de sortie du transistor
- $Gp = 10 \log\left(\frac{P_{OUT}}{P_{IN}}\right)$ , il est exprimé en dB et représente le gain en puissance du transistor

Dans notre cas, les performances optimales ont été obtenues pour un coefficient de réflexion  $\Gamma = 0.72^{113^\circ}$  reporté sur l'abaque de Smith ci-dessous. Cette dernière ne variant que très légèrement en fonction de la  $V_{CE}$  et de la  $V_{BE}$ , les mesures discutées ci-après ont été réalisées à la même impédance.



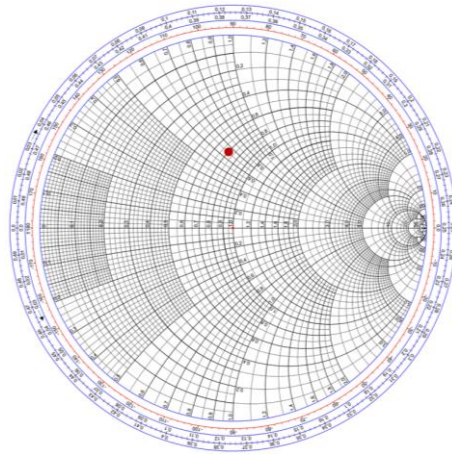


Figure 54 Abaque de Smith avec impédance optimale pour le composant possédant un couple  $f_T / f_{MAX}$  de 355 GHz

Une fois l'impédance optimale déterminée, une étude des performances en fonction des polarisations entre collecteur et émetteur ( $V_{CE}$ ) et entre base et émetteur ( $V_{BE}$ ) est réalisée sur la plaque de référence ainsi que sur celle ayant permis d'obtenir le couple  $f_T / f_{MAX}$  de 355 GHz. Les polarisations optimales étant différentes pour les deux configurations technologiques, seule l'étude de la meilleure plaque est présentée et une comparaison est réalisée avec la référence un peu plus tard. La polarisation en  $V_{CE}$  permet d'ajuster le niveau de puissance de sortie dépendant du produit entre  $V_{CE}$  et  $I_C$ . L'augmentation de cette tension permet d'atteindre une  $PAE$  de 26 % à 94 GHz pour une polarisation de  $V_{CE}$  de 2,1 V et de  $V_{BE}$  de 0,82 V (courbe rose sur la Figure 55). Un courant d'avalanche apparaît à 2,2 V pour une puissance d'entrée de 4 dBm rendant le dispositif inutilisable au-delà de ces valeurs (courbe grise).

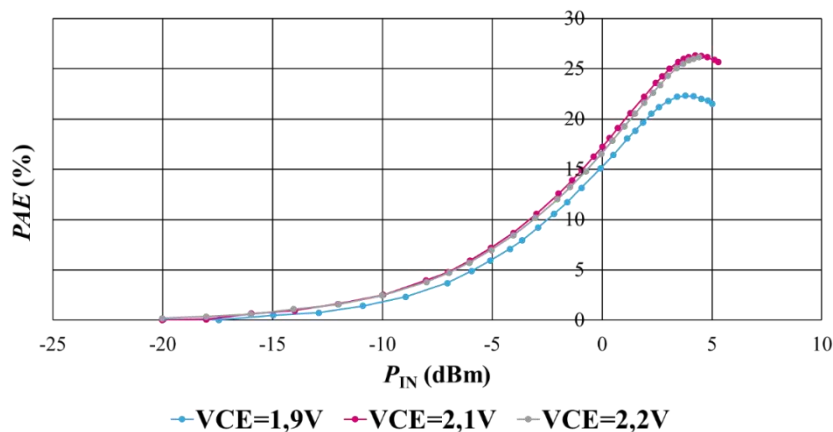


Figure 55  $PAE$  d'un TBH à 94 GHz et à  $\Gamma = 0.72^{113^\circ}$  d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de  $V_{CE}$  à  $V_{BE} = 0,82 \text{ V}$

En termes de gain en puissance et de puissance de sortie, l'augmentation de la polarisation entre le collecteur et l'émetteur permet d'obtenir une amélioration notable des performances. Le transistor bipolaire se comporte comme un amplificateur de classe C possédant l'avantage de consommer peu et d'avoir un nombre d'harmoniques plus important.

La polarisation  $V_{BE}$  va quant à elle permettre de modifier le mode de fonctionnement du transistor en puissance. Ainsi, à faible  $V_{BE}$ , un amplificateur de classe C est obtenu comme montré sur la Figure 56. En augmentant cette polarisation, le transistor va se rapprocher d'un

amplificateur de classe A. Ce dernier va permettre d'augmenter considérablement la puissance de sortie comme indiqué en Figure 57 mais va également générer une consommation plus importante.

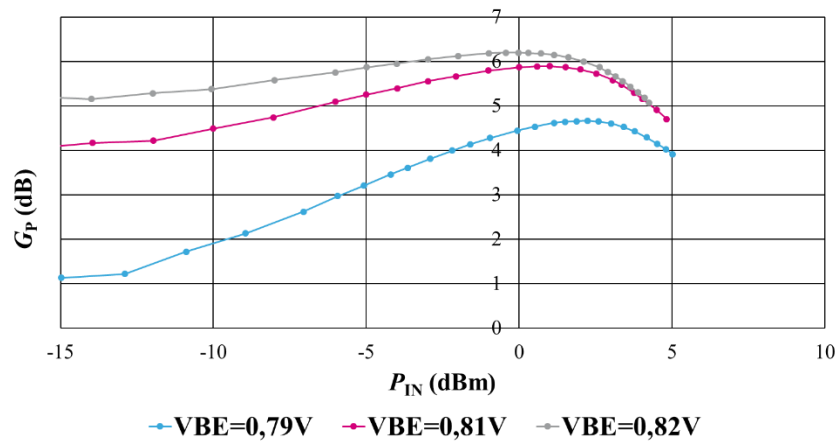


Figure 56  $G_P$  d'un TBH à 94 GHz et à  $\Gamma = 0.72^{113}$  d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée et de  $V_{BE}$  à  $V_{CE} = 1,8 \text{ V}$

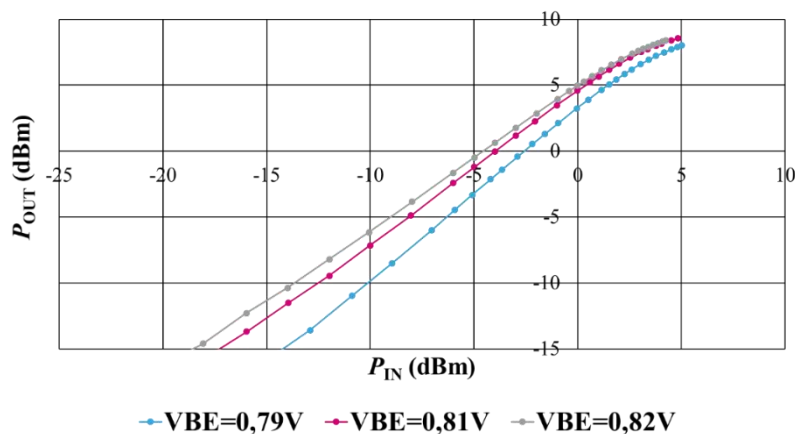


Figure 57  $P_{OUT}$  d'un TBH à 94 GHz et à  $\Gamma = 0.72^{113}$  d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée et de  $V_{BE}$  à  $V_{CE} = 1,8 \text{ V}$

En conclusion de ces études, les performances optimales ont été obtenues pour un  $V_{CE}$  de 2,2 V ainsi qu'un  $V_{BE}$  de 0,78 V. Ces performances, résumées dans le Tableau 3 et comparées à la référence BiCMOS55 représentent un gain important en termes de performances en puissance. Quatre points de PAE ont été obtenus en parallèle d'une augmentation de 25 % de la densité de puissance du composant reposant principalement sur une fréquence de transition supérieure. Ces dernières représentaient au moment où ces études ont été menées, l'état de l'art en termes de densité de puissance pour un transistor bipolaire réalisé sur silicium. Il est intéressant de souligner que les performances en puissance du transistor sont très stables dans une zone de l'abaque de Smith relativement large ce qui confère aux designers une flexibilité non négligeable.

Tableau 3 Résumé des performances en puissance d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  à 94 GHz

Valeur de mérite	Référence B55	Budget thermique optimisé
$PAE_{MAX}$	22,2 %	26,2 %
$G_{PMAX}$	5,1 dB	5,6 dB
Densité de puissance maximum à 1 dB de compression	16,1 mW / $\mu\text{m}^2$	20,7 mW / $\mu\text{m}^2$

### 2.3. Compréhension des mécanismes de diffusion du bore

Il a été montré précédemment que la réduction de la diffusion du bore dans la base du TBH n'était pas tâche aisée et que de nombreux mécanismes restaient incompris. Les travaux présentés dans cette partie portent sur l'étude de la diffusion du bore, à l'aide de boucles de procédés sur silicium courtes afin d'obtenir des résultats rapidement. Les étapes de fabrication possédant un budget thermique non négligeable sont décomposées dans le but de comprendre l'origine de la diffusion du bore dans la base. Le calcul du coefficient de diffusion du bore dans un matériau SiGe:C comme le montre la Figure 58 nous donne une première idée des principaux contributeurs. Les valeurs ont été calculées à partir de données que l'on peut retrouver dans la littérature (énergies d'activation, constante de Boltzmann notamment). Ainsi le recuit d'activation source / drain provoque, a priori, une diffusion importante du bore due à sa température au-delà de 1000°C.

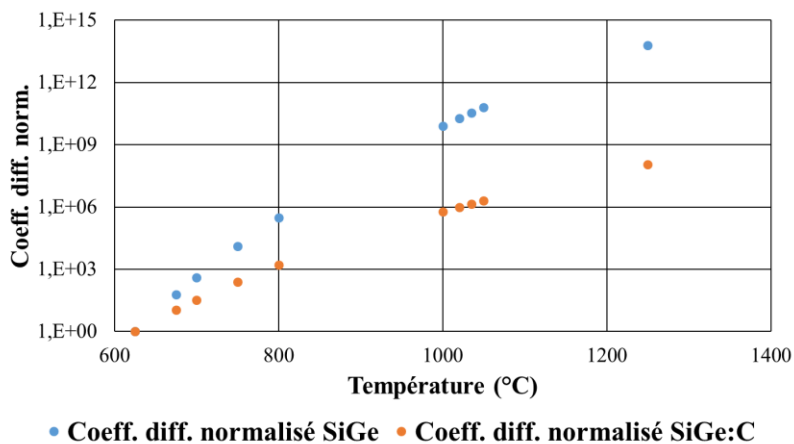


Figure 58 Coefficient de diffusion normalisé du bore dans le SiGe:C en fonction de la température de procédé

Dans un premier temps, l'objectif est de quantifier la diffusion engendrée par l'application du recuit d'activation source / drain. Comme le montre la Figure 59, ce dernier est une source importante de diffusion du bore dans la base. A partir de 1000°C l'augmentation de la diffusion est exponentielle et montre le gain obtenu en passant d'un recuit à 1100°C utilisé en BiCMOS9MW à un recuit à 1050°C utilisé en BiCMOS055. Malgré le fait que la différence de diffusion soit plus faible entre des températures inférieures, une diminution de la diffusion du bore aurait dû être observée dans la partie 2.2.3. Nous allons donc étudier les autres procédés de fabrication et évaluer leur impact sur la diffusion du bore.

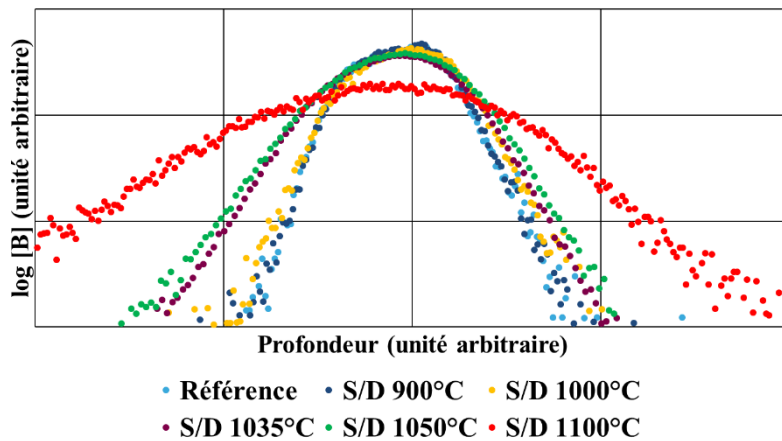


Figure 59 Profils de bore en fonction de la température du recuit d'activation source / drain issus de SIMS

Un comportement similaire est observé sur le germanium avec une redistribution du profil dépendant de la température du recuit d'activation source / drain. La diminution du gradient à haute température va à l'encontre de l'amélioration des performances dans le sens où l'ingénierie des bandes de conduction ainsi que le pseudo-champs électrique sont détériorés.

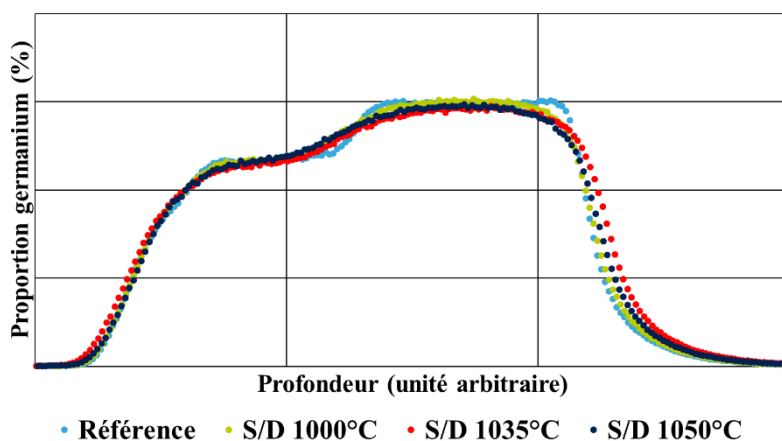


Figure 60 Profils de germanium en fonction de la température du recuit d'activation source / drain issus de SIMS

### 2.3.1. Recuit d'activation source / drain ultra rapide

Le procédé de recuit source / drain possède des rampes de montée et de descente en température non négligeables qui peuvent avoir un impact sur la diffusion du bore. Dans ce cadre, des expérimentations ont été menées afin de réduire la durée de ces rampes et d'atteindre la température de consigne plus rapidement. Un recuit à 1035°C « ultra rapide », diminuant le temps de résidence (quelques millisecondes) de la plaque de 25 %, a été développé. Comme le montre la Figure 61, la diffusion est diminuée de 30 % à une concentration dix fois inférieure à la concentration maximale. Il sera par conséquent intéressant de tester ce nouveau procédé de recuit d'activation ultérieurement afin d'en définir le gain en terme de performances électriques du TBH.

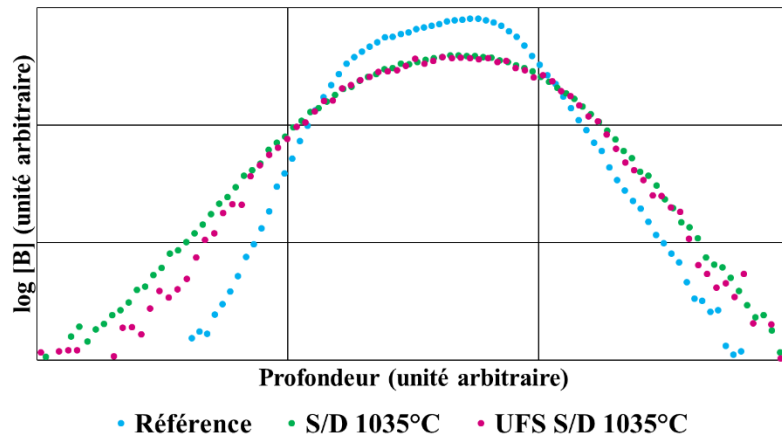


Figure 61 Profils de bore en fonction des rampes du recuit d'activation source / drain issus de SIMS

### 2.3.1. Le recuit LASER

Après avoir effectué les études au niveau du recuit d'activation source / drain, la validation de l'absence de diffusion liée au procédé LASER DSA a été effectuée comme on peut le voir sur la Figure 62 où le profil de bore est similaire entre la référence et après application du recuit. Le profil de germanium, moins sensible au budget thermique reste également inchangé.

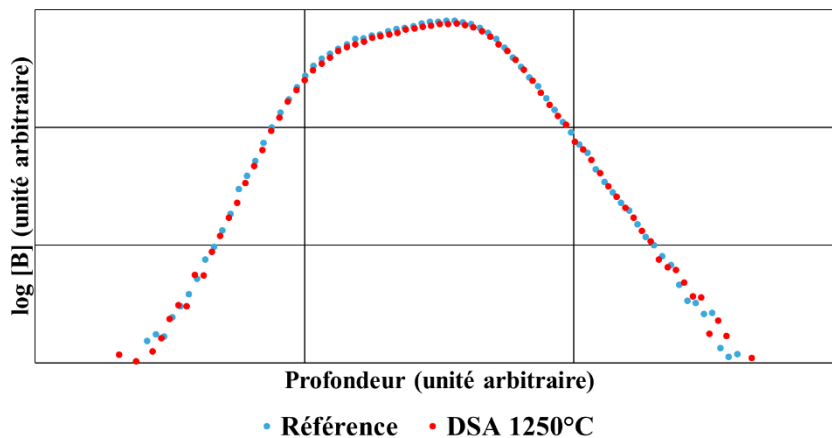


Figure 62 Profils de bore en fonction de l'utilisation du DSA issus de SIMS

### 2.3.2. Procédés réels contre procédés simulés

Après avoir focalisé les études sur les procédés possédant les budgets thermiques les plus forts, des expériences ont été réalisées au niveau d'autres procédés et notamment les étapes de dépôts de matériaux réalisées en four et notamment la réoxydation de la grille qui avait été identifiée comme un des principaux contributeurs de la diffusion du bore dans la base. Néanmoins, il apparaît d'après les résultats obtenus dans les précédentes parties que la température du procédé, ne peut être, à elle seule responsable de la diffusion du bore. Ainsi, afin de séparer les composantes de diffusion par pur effet thermique et de diffusion assistée par défauts (présents dans les matériaux au moment de leur dépôt), une comparaison a été réalisée entre un procédé de dépôt réel et un dépôt simulé dans un four. Dans ce dernier cas, le budget thermique est identique mais le matériau n'est pas déposé.

### 2.3.2.1. Le cas de la réoxydation thermique de la grille

Comme on peut le voir sur la Figure 63, l'oxydation thermique de la grille provoque une diffusion du bore très importante. A titre de comparaison, la diffusion est similaire à celle engendrée par un recuit d'activation source / drain à 1000°C mais sur un temps beaucoup plus court. Il est intéressant de noter que la simulation de son budget thermique n'engendre au contraire pratiquement aucune diffusion, tentant à démontrer que c'est l'injection de défauts de l'oxyde formé dans le silicium qui est responsable de la diffusion dissymétrique du bore. De plus, des tests consistants à encapsuler le silicium avant la réoxydation ont été réalisés et mettent en évidence que l'effet de diffusion n'est valable que lorsque le matériau est en contact direct avec le silicium. Hors cela n'est pas le cas dans l'intégration B55 du transistor TBH où la base est recouverte par l'émetteur ainsi que par un oxyde au moment de la réoxydation de la grille infirmant l'hypothèse de l'élargissement du profil de bore pendant cette étape de fabrication.

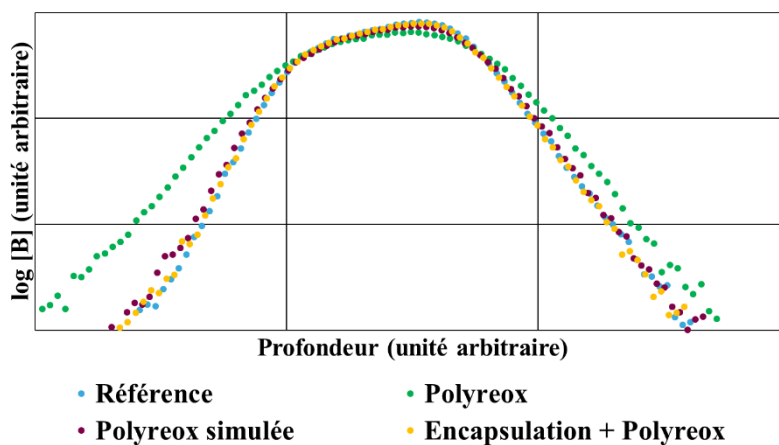


Figure 63 Profils de bore en fonction du procédé de réoxydation utilisé issus de SIMS

### 2.3.2.2. Le cas des dépôts nitrure et oxyde par CVD

Au contraire de l'oxyde formé pendant la réoxydation de la grille, des nitrures ainsi que des oxydes déposés par CVD sont en contact direct avec la base du transistor bipolaire. Effectivement ces matériaux sont utilisés afin de former les espaceurs internes et de limiter la largeur de la fenêtre de l'émetteur comme le montre la Figure 64.

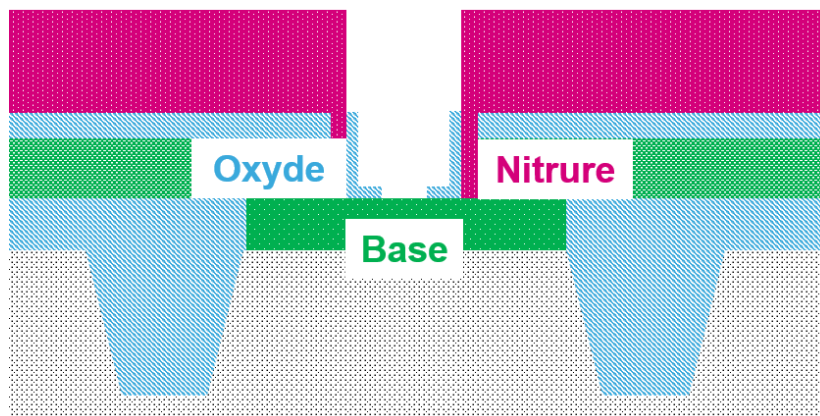


Figure 64 Vue 2D schématique après formation des espaceurs internes du TBH

Néanmoins, comme le montre la Figure 65, l'utilisation de ces procédés ne semblent pas provoquer de diffusion du bore. Les profils sont parfaitement superposés.

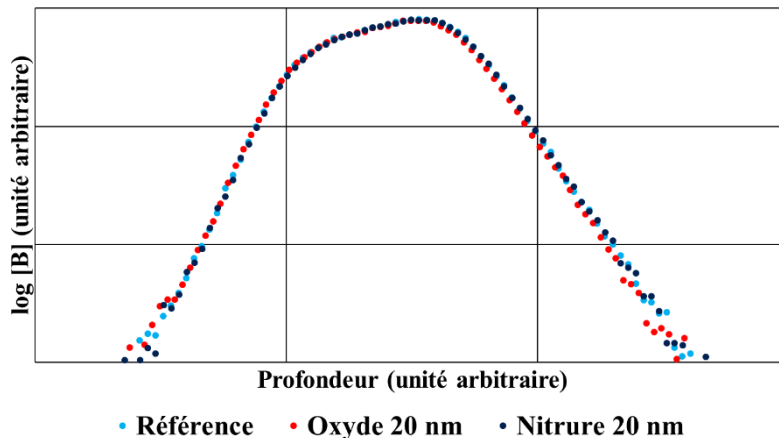


Figure 65 Profils de bore en fonction du procédé de fabrication utilisé issus de SIMS

### 2.3.2.3. Le cas du silicium polycristallin de l'émetteur

Que ce soit la réoxydation thermique de la grille ne s'effectuant pas en contact avec la base ou les dépôts nitrure et oxyde déposés par CVD n'ayant pas d'impact sur la diffusion du bore, ces procédés n'expliquent pas l'élargissement du profil de bore. Ainsi, la dernière hypothèse concerne le dépôt du silicium poly-cristallin constituant l'émetteur du TBH. Comme le montre la Figure 66, les résultats indiquent un élargissement du profil de bore. Ce dernier est moins important que celui engendré par le recuit d'activation source / drain au-delà de 1035°C mais reste significatif. La diffusion du bore pendant le procédé de dépôt de l'émetteur ne peut être expliquée seulement par un pur effet thermique, le dépôt se faisant à basse température. Ainsi, des mécanismes d'injection de défauts favorisant la diffusion du bore sont probablement responsables de cette dernière. On peut se demander si les budgets thermiques situés entre ce dépôt de l'émetteur et le recuit d'activation n'amplifient également pas le phénomène de diffusion initié par le dépôt de l'émetteur.

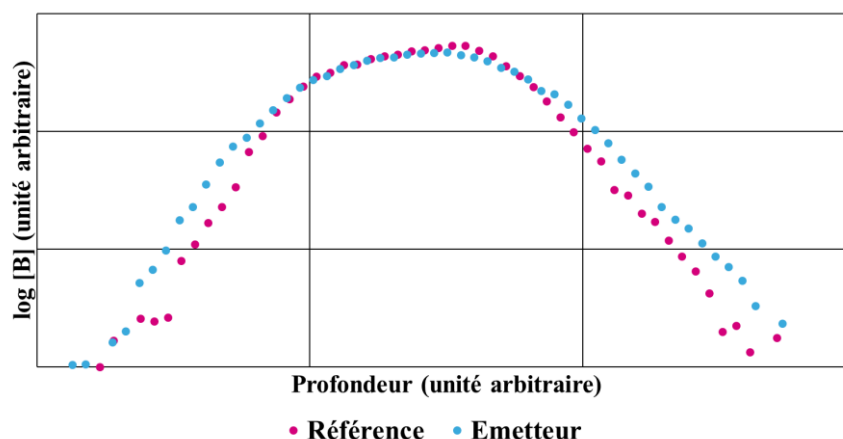


Figure 66 Profils de bore en fonction de la réalisation de l'émetteur issus de SIMS

La diffusion ne s'effectuant pas sur une épaisseur importante, nous avons voulu valider les résultats par une étude de rugosité de surface pouvant modifier l'interprétation des résultats



SIMS. Ainsi, des mesures AFM effectuées dans le but de valider les précédents résultats ont montré une grande rugosité de surface après dépôt du polyémetteur comme le montre la Figure 67. Si la mesure après épitaxie de la base n'indique une rugosité que de 0,2 angsts, cette dernière est multipliée par 10 après dépôt de l'émetteur.

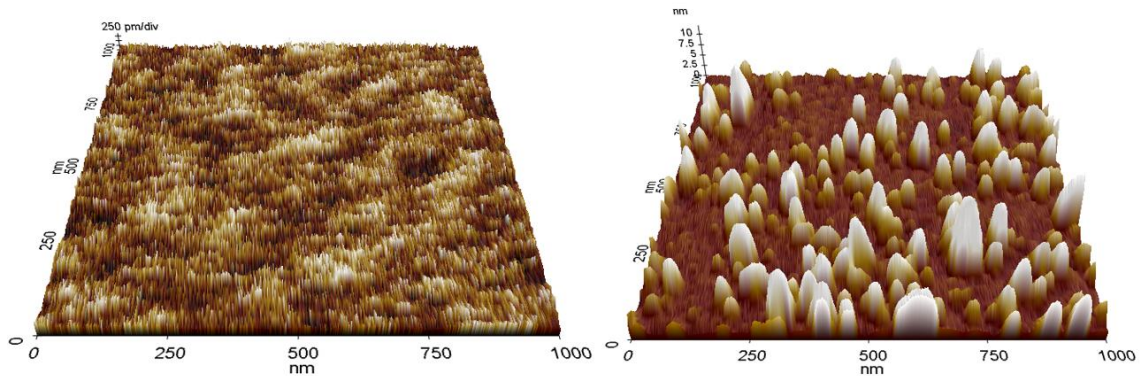


Figure 67 Rugosité mesurée par AFM après épitaxie de la base (à gauche) et après dépôt de l'émetteur (à droite)

La valeur étant de l'ordre de la diffusion observée, des essais ont été réalisés afin de limiter cette rugosité par procédé de CMP. Comme le montre le Tableau 4, des valeurs de rugosité inférieures à celles obtenues après épitaxie de la base ont été obtenues.

Tableau 4 Synthèse des mesures de rugosité effectuées par AFM en fonction du type d'échantillon

	Rugosité (nm)
Après épitaxie de la base	0,19
Après dépôt polyémetteur	1,91
Après dépôt polyémetteur + CMP	0,16

A la suite de ces résultats, des mesures SIMS ont été réalisées sur un échantillon avec CMP et un échantillon sans CMP afin de quantifier l'effet de la rugosité sur l'interprétation des résultats SIMS. Comme on peut le voir sur la Figure 68, les profils sont superposés. Le passage en échelle linéaire permet d'avoir une meilleure résolution dans l'analyse et ne montre pas de différence entre les deux courbes. Cette étude permet donc de valider les observations précédemment réalisées et de montrer que la rugosité n'a pas d'impact sur les résultats SIMS dans le cadre de ces travaux.

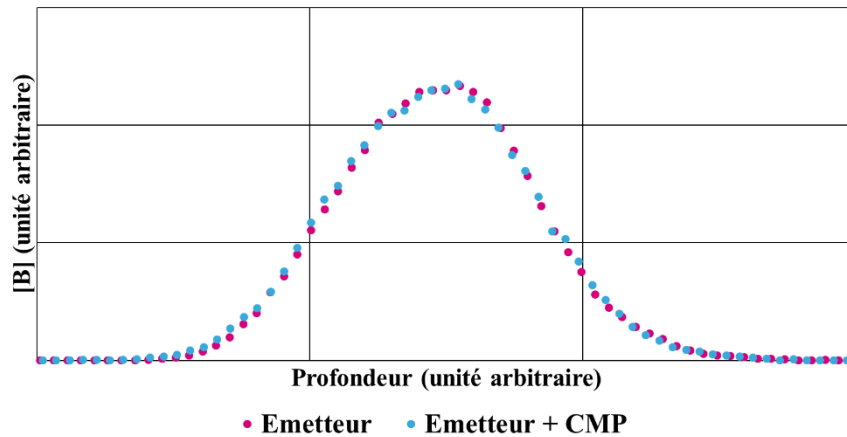


Figure 68 Profils de bore en fonction de l'utilisation de CMP issus de SIMS

Pour conclure, il a été démontré que la diffusion du bore mettait en jeu des mécanismes complexes. Si la diffusion thermique par l'utilisation du recuit d'activation source / drain ne fait pas de doute, d'autres mécanismes, notamment mettant en jeu l'injection de défauts (par exemple par l'émetteur) sont beaucoup plus complexes à appréhender. De ce fait, le bore posséderait déjà son profil final ou presque avant le recuit d'activation. La limitation de la température de ce dernier n'aurait alors qu'un impact limité sur la réduction de la diffusion du bore. D'autres expériences sont nécessaires afin de définir les principaux contributeurs de la diffusion du bore. A moins que cette dernière ne soit la résultante d'effets croisés encore plus compliqués à déterminer notamment dû aux défauts injectés par l'émetteur. L'étape suivante consistera donc à appliquer à la base les budgets thermiques présents dans la fabrication de la technologie BiCMOS055 en enlevant le dépôt de l'émetteur dans le but de s'affranchir de la diffusion assistée par défauts. La comparaison des profils devrait alors nous permettre de conclure définitivement sur le rôle majeur de l'émetteur dans l'élargissement du profil de bore dans la base.

## 2.4. Etude du profil de base

Dans cette partie, toutes les études ont été menées avec le budget thermique présenté précédemment et ayant permis d'augmenter les performances du TBH tout en maintenant ceux des transistors MOS. Ainsi, la température du recuit d'activation source / drain utilisée est de 1035°C et la réoxydation thermique de la grille est remplacée par un oxyde déposé par CVD. Le profil de base de référence utilisé est celui du B55 représenté sur la Figure 69. Le bore est incorporé dans la marche intermédiaire de germanium et possède de part et d'autre une concentration de carbone importante ayant pour but de limiter sa diffusion.

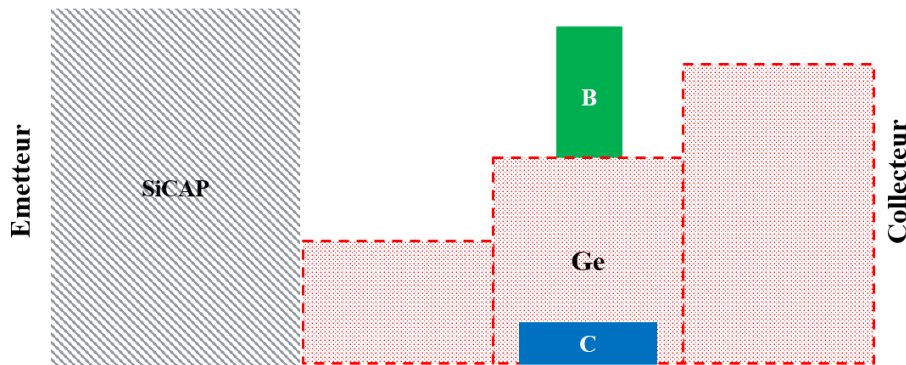


Figure 69 Profil de référence de la base utilisée en BiCMOS055

### 2.4.1. Optimisation du profil de carbone

Le profil de carbone incorporé dans la base TBH est un élément clef dans le contrôle de la diffusion du bore. Une étude a donc été menée afin d'évaluer le profil utilisé dans la base du transistor bipolaire utilisé en BiCMOS055. Premièrement, le profil côté collecteur a été évalué. L'analyse des fréquences de fonctionnement en fonction de la résistance de base (Figure 71) nous indique qu'une diminution de la concentration de carbone côté collecteur comme le montre la Figure 70 permet d'augmenter la  $f_{MAX}$ .

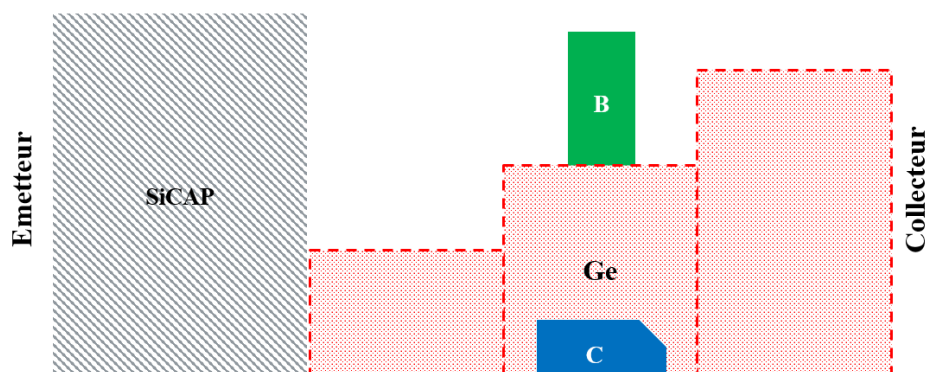


Figure 70 Profil de la base avec diminution de la concentration de carbone du côté du collecteur

Effectivement, en réduisant la concentration de carbone, le bore diffuse de manière plus importante diminuant de ce fait la résistance de base. Il est à noter que l'étude de la capacité entre la base et le collecteur n'a pas montré de variation significative de ce paramètre. Au contraire, le temps de transit est impacté par une base plus large. Néanmoins il apparaît que le gain sur la  $f_{MAX}$  (+ 22 GHz) est supérieur à la perte de performance sur la  $f_T$  (- 5 GHz). A noter

que les différentes tensions de claquages ne sont pas impactées par cette modification technologique. A la vue de ces résultats, il serait intéressant de continuer à réduire le carbone côté collecteur. Une étude similaire a été réalisée côté émetteur sans pour autant avoir permis d'établir des conclusions claires.

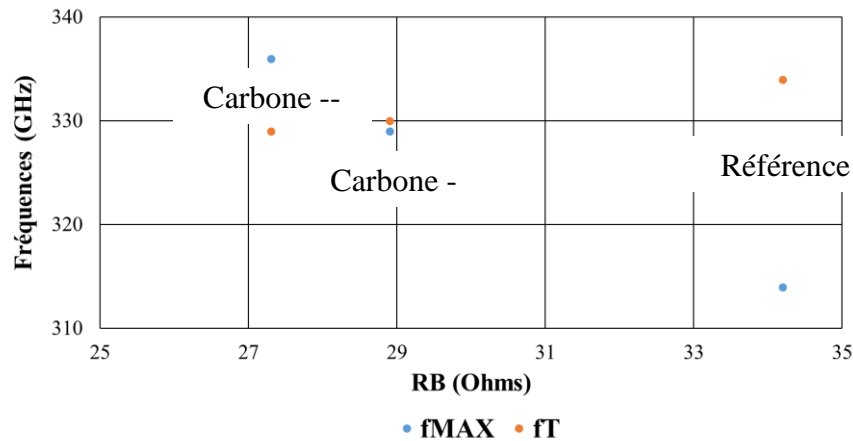


Figure 71 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la résistance de base pour différentes concentrations de carbone côté collecteur (valeurs médianes)

#### 2.4.2. Optimisation du profil de germanium

Comme discuté dans le premier chapitre de cette thèse, un profil de germanium graduel permet de créer un pseudo champ électrique au sein de la base du transistor bipolaire afin d'accélérer le transfert des électrons de l'émetteur vers la base. Dans un premier temps, et dans le but d'augmenter le gradient, la proportion de germanium a été diminuée du côté de l'émetteur comme le montre la Figure 72.

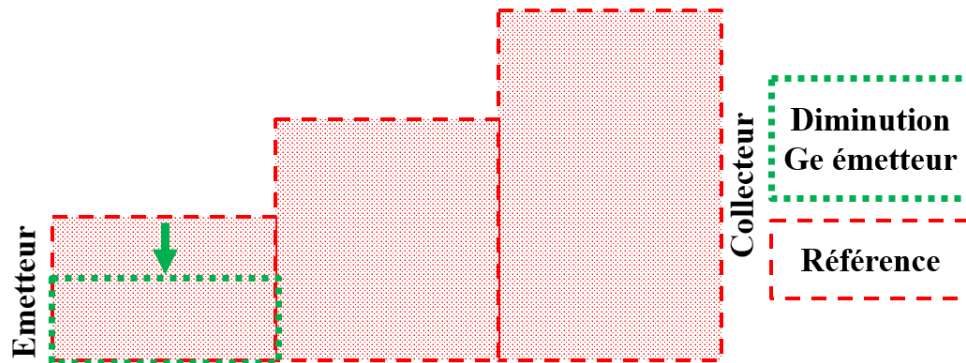


Figure 72 Représentation schématique de la diminution du taux de germanium côté émetteur

L'analyse des tensions de claquage présentées sur la Figure 73 nous indique que la jonction entre la base et l'émetteur est bien la plus impactée par la modification technologique. La jonction entre la base et le collecteur reste quant à elle inchangée. L'augmentation de la  $BV_{EBO}$  conjuguée à la diminution de 30 % de la résistance de base pincée tendraient à montrer une base plus épaisse que celle de référence. De plus la réduction du germanium va également favoriser la diffusion du bore du côté de l'émetteur allant dans le sens d'une résistance plus faible.

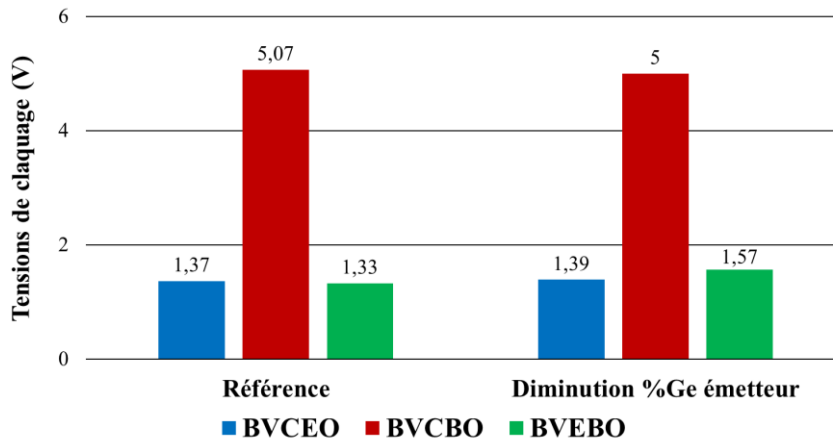


Figure 73 Tensions de claquage d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté émetteur (valeurs médianes)

Les tensions d'Early sont également très impactées par la diminution de la concentration de germanium à l'entrée de la base (Figure 74). La tension d'Early indirecte diminue avec l'augmentation du gradient indiquant une plus grande variation de germanium à la jonction entre l'émetteur et la base en fonction de la polarisation de cette dernière. Quant à la tension d'Early directe, elle est multipliée par 5, ce qui représente une amélioration très significative de ce paramètre. Si l'épaisseur de la base est prédominante lorsqu'un gradient de germanium de référence est utilisé (comme en BiCMOS055), elle ne l'est plus dans le cas d'un gradient important comme c'est le cas ici. Ce dernier permet alors une meilleure stabilité du composant en fonction de la polarisation.

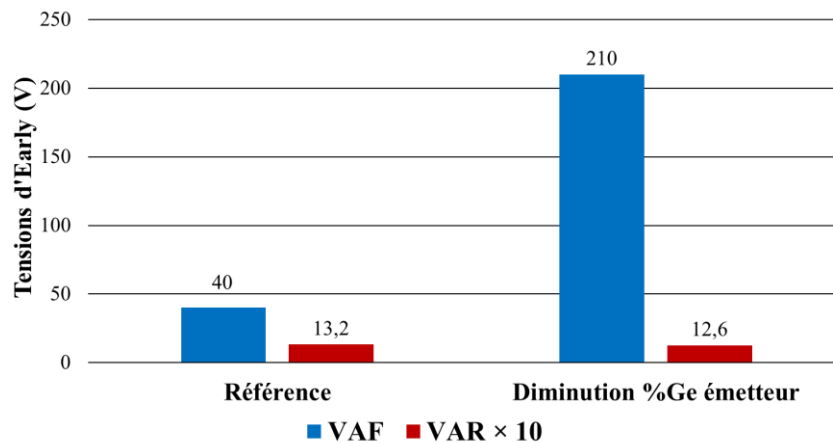


Figure 74 Tensions d'Early d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté émetteur (valeurs médianes)

Les mesures  $hf$  des composants représentées sur la Figure 75 montrent que si la fréquence  $f_{\text{MAX}}$  n'est pas modifiée par la modification du profil de germanium du côté de l'émetteur, la performance  $f_T$  est quant à elle améliorée de plus de 20 GHz par rapport à la référence. Si l'on s'en tient à l'objectif premier de cette expérimentation, le transistor pourrait bénéficier d'un temps de transit amélioré grâce à l'augmentation du pseudo champs électrique dans la base. On peut ici se poser la question d'aller encore plus loin dans l'augmentation du gradient de germanium à la jonction entre l'émetteur et la base.

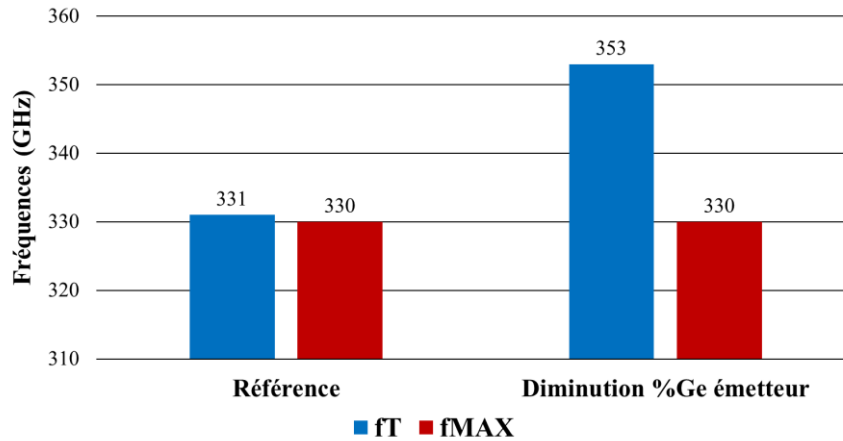


Figure 75 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté émetteur (valeurs médianes)

La modification technologique réalisée ici présente de multiples avantages. Si elle permet d'augmenter la performance  $f_T$ , les tensions de claquage restent inchangées voire améliorées. Enfin, la tensions d'Early directe bénéficie largement de ce profil optimisé. Des analyses EDX (Electronic Diffraction X-Ray, réalisées dans les mêmes conditions pour les différentes variations de procédés) montrées en Figure 76 ont permis de valider ces hypothèses. Le gradient de germanium est plus important sur sa seconde partie montante. Ce dernier devient alors prédominant dans la tension d'Early directe par rapport à la largeur de la base neutre.

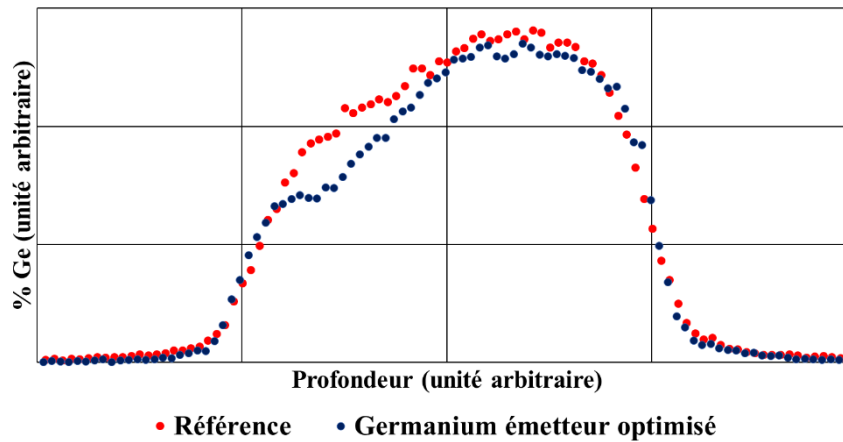


Figure 76 Profils de germanium de référence et optimisé côté émetteur

Après avoir diminué la concentration de germanium côté émetteur, l'investigation a été faite de réduire également cette dernière du côté du collecteur dans le but d'avoir une transition moins brutale entre le  $\text{Si}_{100\%}$  du collecteur et le  $\text{Si}_x\text{Ge}_{1-x}$  de la base comme le montre la Figure 77. Pour ce faire, une étape supplémentaire d'épitaxie a été rajoutée comprenant un taux de germanium plus faible. L'épaisseur de la base comprenant le taux de germanium le plus élevé a été réduite afin de garder une épaisseur totale identique.

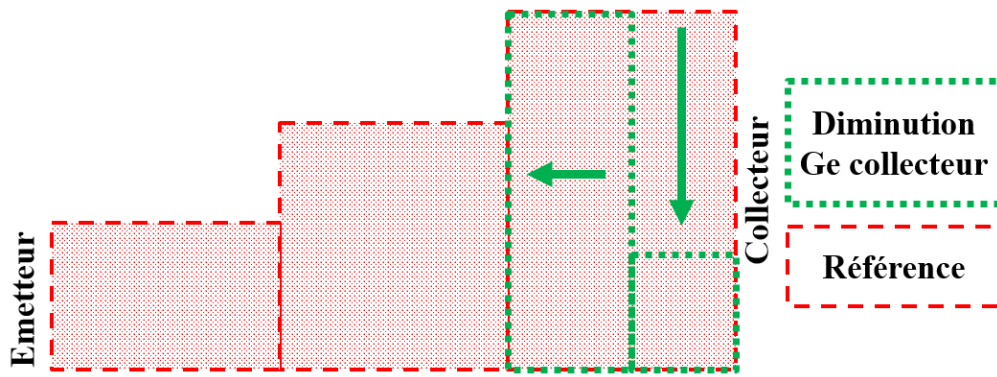


Figure 77 Représentation schématique de la diminution du taux de germanium côté collecteur

De manière analogue à ce qui a été fait pour la diminution du taux de germanium côté émetteur, les tensions de claquage donnent une bonne idée de l'impact des modifications technologiques sur les performances *dc* du transistor. La diminution de la  $BV_{EBO}$ , comme indiqué sur la Figure 78, tend à montrer que la jonction est plus agressive avec un positionnement du bore plus proche de l'émetteur. L'augmentation de la résistance de base pincée de 50 % indiquerait quant à elle une épaisseur dopée moins importante que dans la base de référence.

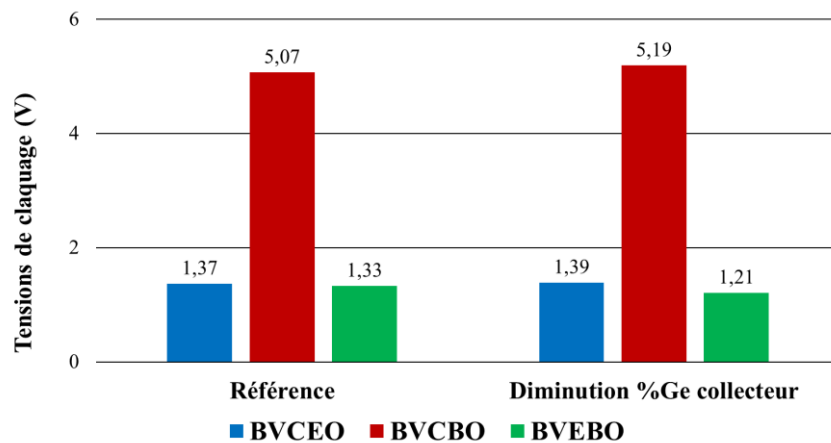


Figure 78 Tensions de claquage d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté collecteur (valeurs médianes)

La tension d'Early inverse indiquée sur la Figure 79, restant stable, le gradient de germanium côté émetteur semble avoir été préservé. La tension d'Early directe subit quant à elle une chute de 20 V qui confirmerait une épaisseur de base plus fine que la référence.



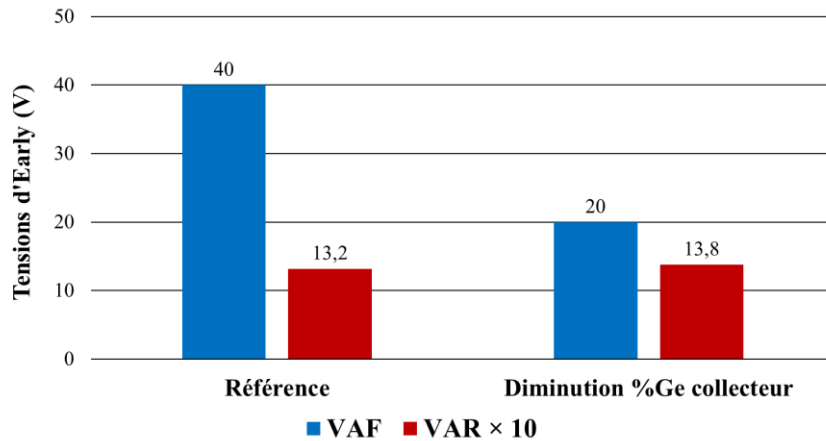


Figure 79 Tensions d'Early d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté collecteur (valeurs médianes)

Comme ce qui avait été discuté pour la modification du profil de germanium côté émetteur, la fréquence maximale d'oscillation  $f_{\text{MAX}}$  n'est pas modifiée comme on peut le voir sur la Figure 80. De ce fait, la partie du lien et de la base extrinsèque ne seraient pas impactées outre mesure par les changements effectués sur le profil de germanium. La fréquence  $f_{\text{T}}$  est au contraire largement augmentée de 40 GHz. La question est de savoir si le gain observé provient réellement de la modification du profil côté collecteur ou bien d'une diminution globale de l'épaisseur de la base comme le laissent supposer la diminution de la  $BV_{\text{EBO}}$  et de la  $V_{\text{AF}}$  ainsi que l'augmentation de la résistance de base pincée.

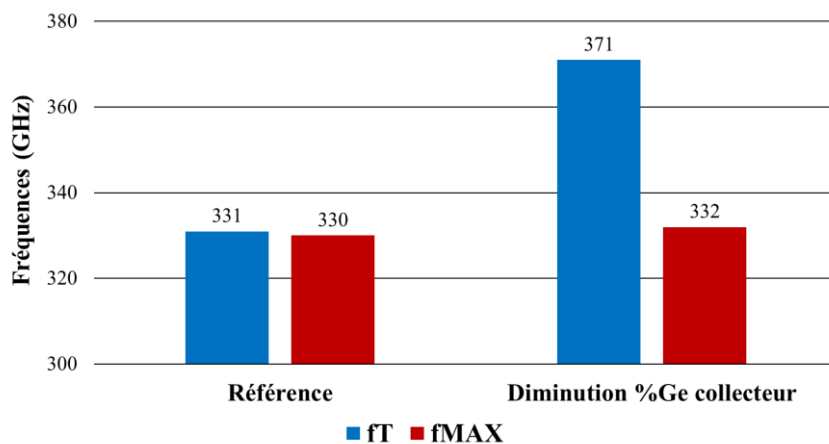


Figure 80 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du taux de germanium côté collecteur (valeurs médianes)

Ces hypothèses ont été validées par une analyse EDX comme on peut le voir sur la Figure 81. En plus d'une modification du profil de germanium du côté du collecteur, une modification globale non désirée est également obtenue avec une base beaucoup plus fine que la référence. Ici, la modification de l'épitaxie du côté du collecteur a eu un impact global sur les vitesses de croissance des autres couches épitaxiées de la base. Les études portant sur un changement du taux de germanium du côté du collecteur semblent donc nécessiter des développements lourds en termes de mise au point du procédé d'épitaxie.



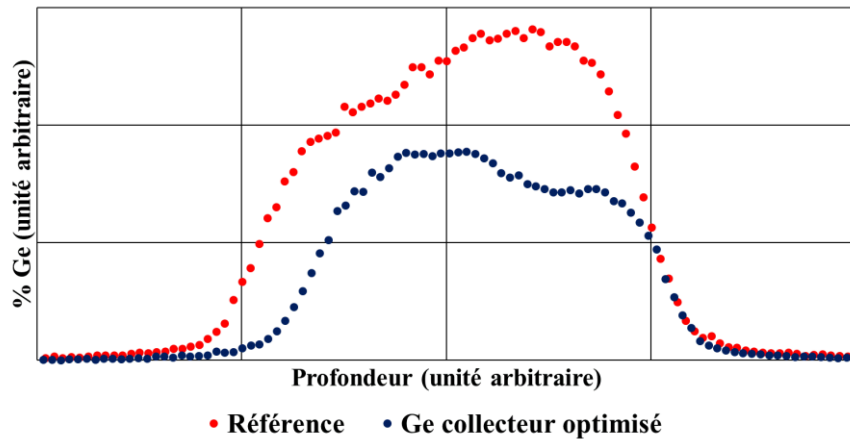


Figure 81 Profils de germanium de référence et optimisé côté collecteur

### 2.4.3. Optimisation du profil de bore

Le bore présent dans la base joue un rôle important dans les performances du TBH. Dans le but d'améliorer la fréquence de transition  $f_T$ , des essais ont été effectués en diminuant sa concentration dans le but de réduire le temps de transit dans la base, contributeur majeur de la  $f_T$ . Comme le montre la Figure 82, la réduction du bore ne permet pas d'améliorer la performance. Cela pourrait également être dû au mécanisme de diffusion assisté par défauts en cours de compréhension et présenté précédemment. Dans ce dernier cas, la largeur du profil de bore ne serait alors pas plus importante en incorporant une concentration plus élevée. Au contraire, l'augmentation de la résistance de base (+ 10 % entre la référence et la base la moins dopée) impacte significativement la fréquence maximale d'oscillation qui passe de 316 GHz à 292 GHz. Des travaux consistant à augmenter la concentration de bore ont donc été initiés afin de déterminer si un gain important pouvait être obtenu en termes de  $f_{MAX}$  sans pénaliser la  $f_T$ .

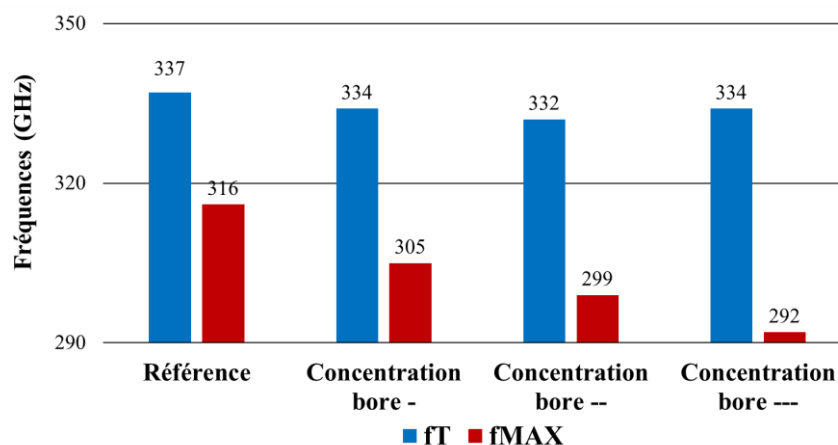


Figure 82 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la concentration de bore dans la base (valeurs médianes)

La seconde partie des expérimentations sur le profil de bore a consisté à réduire l'épaisseur de l'épitaxie silicium dopée bore. Contrairement à la précédente étude sur sa concentration, il apparaît sur la Figure 83 que la diminution de la largeur du bore a un impact positif sur la  $f_T$  avec une augmentation de 7 GHz. La fréquence  $f_{MAX}$  est quant à elle diminuée

de 8 GHz à cause de l'augmentation de la résistance de base de 5 %. Néanmoins, avec l'objectif d'augmenter la  $f_T$ , réduire la largeur du bore reste une bonne option.

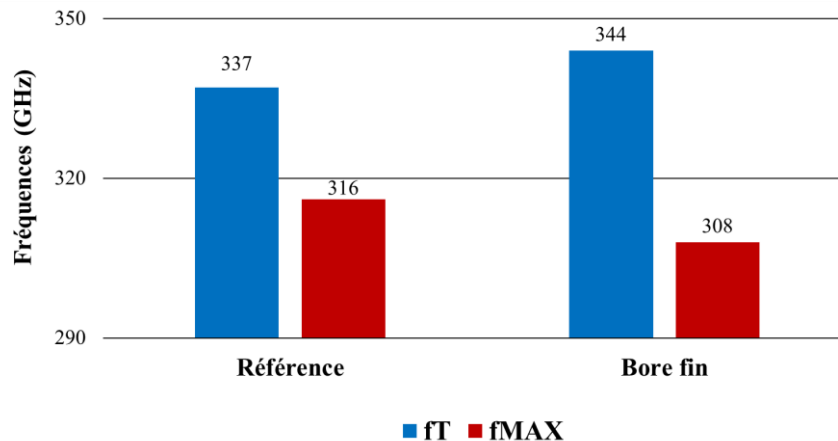


Figure 83 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la largeur de bore dans la base (valeurs médianes)

#### 2.4.4. Dimensionnement vertical

La dernière partie de l'optimisation du profil de base a porté sur la réduction globale du profil de base sans distinction entre les différentes parties de l'épitaxie. Cette modification technologique a permis d'augmenter la performances  $f_T$  de 24 GHz comme le montre la Figure 84 sans provoquer de chute importante de la  $f_{MAX}$ . De manière inattendue (moins de bore étant incorporé dans la base), la résistance de base totale est meilleure que pour la base de référence principalement grâce à une résistance de base extrinsèque 20 % plus faible compensant l'augmentation de 15 % de la résistance de base pincée. L'explication réside certainement dans la résistance du lien qui doit être plus faible lorsque ce dernier est réalisé avec le Si-CAP (comme c'est le cas avec une base fine) et non du SiGe (comme c'est le cas avec une base standard). La faible diminution de la fréquence maximale d'oscillation est surtout due à des capacités de jonctions légèrement supérieures. A noter que la tension de claquage de la jonction entre l'émetteur et la base est légèrement plus faible (- 0,1 V) avec comme explication probable une concentration de dopants à la jonction plus élevée.

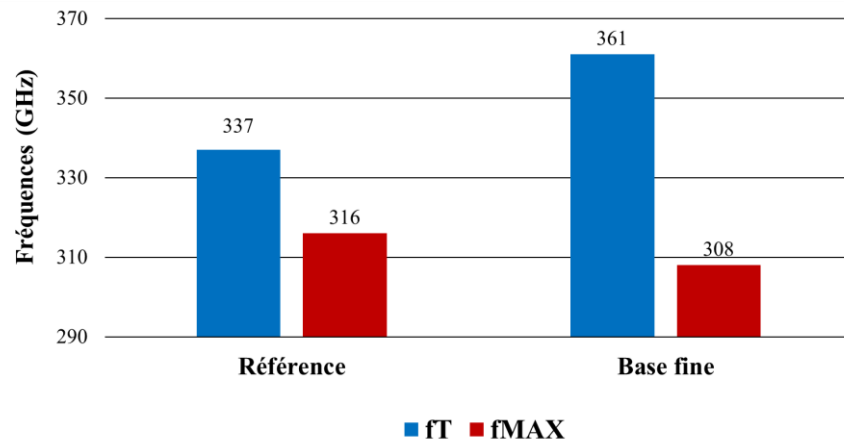


Figure 84 Performances fréquentielles d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de l'épaisseur de la base (valeurs médianes)

## 2.5. Optimisation du collecteur

Dans le cadre de l'optimisation du profil vertical visant à obtenir des performances  $f_T$  élevées, des études au niveau du dopage du collecteur ont été réalisées. La partie gauche de la Figure 85 représente l'intégration de référence avec une couche enterrée ainsi qu'un collecteur sélectivement implanté (SIC) sous la partie intrinsèque du transistor. La première variante reproduite au centre de la Figure 85 consiste à augmenter le dose d'implantation du SIC de 25 % tout en gardant la même énergie. Enfin, le dernier essai comporte un SIC standard mais avec une couche enterrée implantée à une dose deux fois plus élevée que le procédé de référence.

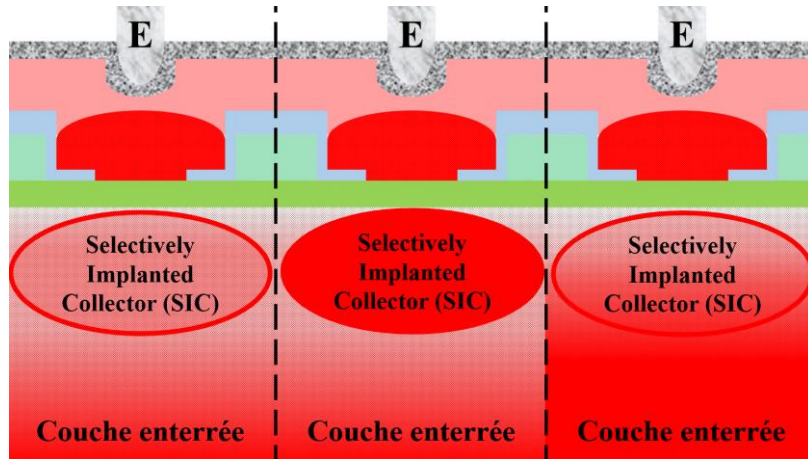


Figure 85 Essais technologies avec de gauche à droite : procédé de référence, SIC fortement dopé, couche enterrée fortement dopée

### 2.5.1. Impact de l'optimisation du collecteur sur les performances $dc$ et $hf$ du TBH

Afin d'évaluer ces essais technologiques, la résistance de collecteur extrinsèque ( $R_{CX}$ ) déterminée à partir de la mesure d'une résistance de couche ainsi que la capacité entre la base et le collecteur ( $C_{BC}$ ) ont été analysées. Comme le montre la Figure 86, le SIC n'a pas d'impact majeur sur la  $R_{CX}$  alors que l'augmentation de la dose implantée dans la couche enterrée permet de réduire de manière importante cette dernière d'environ 30 %. A contrario, l'augmentation de la dose d'implantation du SIC, implanté beaucoup plus en surface que la couche enterrée, provoque l'augmentation de la  $C_{BC}$ . La couche enterrée quant à elle n'a qu'un effet limité sur ce paramètre.

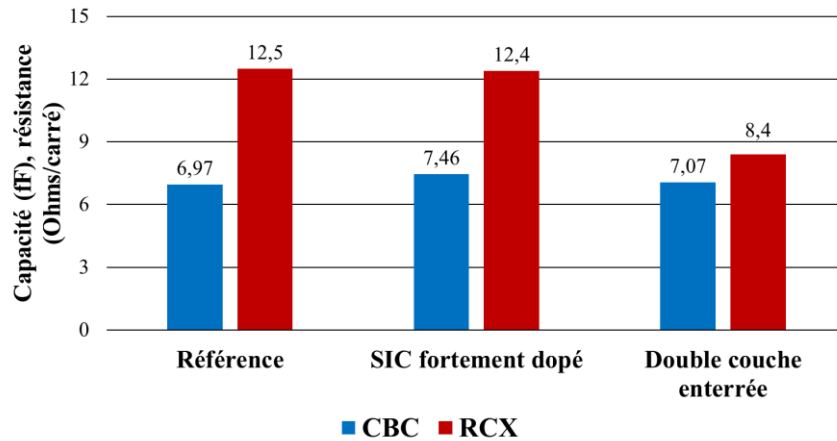


Figure 86 Capacité entre la base et le collecteur et résistance du collecteur extrinsèque en fonction de l'essai technologique (valeurs médianes)

A travers les résultats *dc* discutés précédemment, il apparaît que l'augmentation du dopage de la couche enterrée est beaucoup plus intéressante que celle du SIC. Ainsi, et comme le montre la Figure 87, l'augmentation de la dose implantée dans la couche enterrée permet d'augmenter la performance  $f_T$  de 24 GHz tout en restant relativement stable en termes de  $f_{MAX}$  (+ 2 GHz). Un  $f_T$  plus élevé est également obtenu avec le SIC plus dopé (+ 13 GHz) principalement grâce à des effets Kirk repoussés ( $f_T$  atteint à un  $V_{BE}$  plus élevé). Néanmoins, la  $f_{MAX}$  est diminuée de 26 GHz à cause de l'augmentation de  $C_{BC}$ .

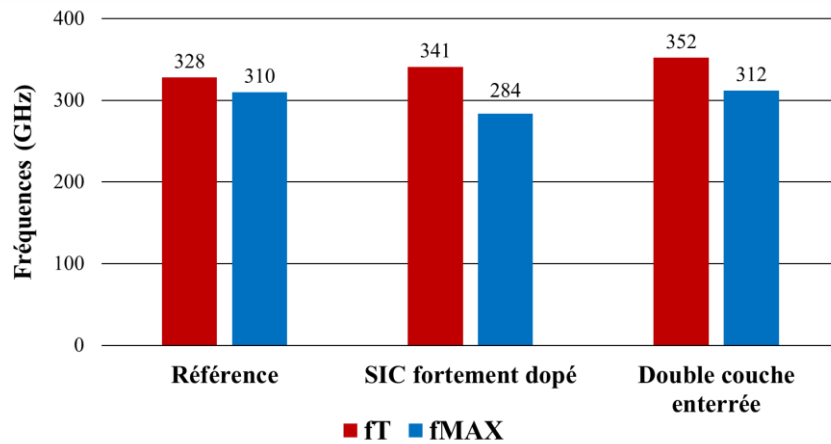


Figure 87 Performances d'un TBH  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du module collecteur utilisé (valeurs médianes)

Les tensions de claquage de ces dispositifs indiquées en Figure 88 sont cohérentes avec les résultats *dc* et *hf*. L'augmentation de la dose du SIC abaisse les tensions de claquage entre la base et le collecteur ( $BV_{CBO}$ ) de 0,46 V d'une part et entre l'émetteur et le collecteur ( $BV_{CEO}$ ) de 0,04 V d'autre part. Concernant les dispositifs embarquant une couche enterrée doublement implantée,  $BV_{CBO}$  et  $BV_{CEO}$  se situent dans une gamme intermédiaire à respectivement 5 V et 1,48 V.

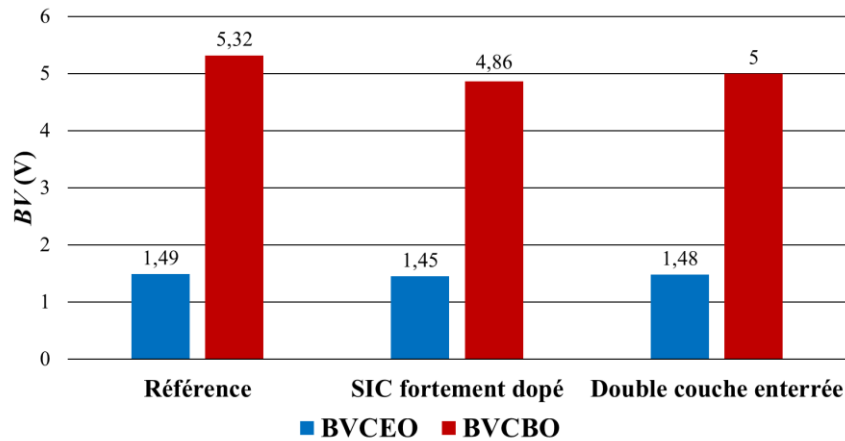


Figure 88 Tensions de claquage d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du module collecteur utilisé (valeurs médianes)

Pour conclure, l'augmentation du dopage de la couche enterrée permet d'augmenter de manière significative les performances du transistor. Ce gain n'a jamais été vu au préalable en BiCMOS055. Il se pourrait qu'en abaissant la température du recuit d'activation source / drain discutée dans la partie 2.3, les dopants soient moins bien activés et que la limite de solubilité dans le silicium n'a pas été atteinte. Avec l'objectif d'atteindre des  $f_T$  élevées, un SIC plus dopé pourrait être utilisé tout en gardant en mémoire que son impact reste négatif sur le  $f_{MAX}$  ainsi que sur les tensions de claquage.

### 2.5.2. Impact de l'optimisation du collecteur sur les performances en puissance du TBH

Afin de quantifier le gain en terme de puissance, des mesures load-pull ont été réalisées sur la plaque avec couche enterrée avec double dose d'implantation. L'étude en  $V_{BE}$  et  $V_{CE}$  est similaire à ce qui a été présenté en 2.2.6. En outre, l'impédance optimale est toujours  $\Gamma = 0.72^{113^\circ}$ . Les performances maximales ont été obtenues pour des polarisations  $V_{BE}$  de 0,81 V et  $V_{CE}$  de 2,1 V. Alors que la  $PAE$  et le gain maximum ( $G_p$ ) sont inférieurs à ce qui avait été obtenu avec l'optimisation du budget thermique, la densité de puissance de sortie, représentée sur la Figure 89, à 1 dB de compression est quant à elle supérieure de 5 % comme l'indique le Tableau 5 Synthèse des performances en puissance d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$ .

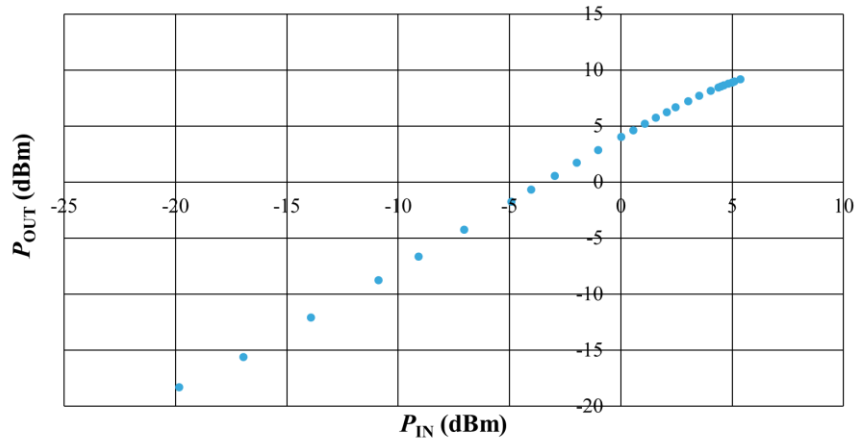


Figure 89  $P_{OUT}$  d'un TBH à 94 GHz et à  $\Gamma = 0.72^{113^\circ}$  d'aire  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée à  $V_{BE} = 0,81 \text{ V}$  et à  $V_{CE} = 1,8 \text{ V}$

Tableau 5 Synthèse des performances en puissance d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  à 94 GHz

Valeur de mérite	Résultat
$PAE_{MAX}$	25,7 %
$G_{P_{MAX}}$	5,4 dB
Densité de puissance maximum A 1 dB de compression	21,7 mW/ $\mu\text{m}^2$

Ces différences de performances peuvent s'expliquer par le fait que les composants mesurés dans la partie 2.5.2 présentaient des valeurs de  $f_{MAX}$  supérieures à celles obtenues dans ce sous chapitre. A contrario, un courant collecteur 15 % plus élevé à la  $f_T$  maximale permet d'atteindre des densités de puissance plus élevées. A l'instar des précédentes mesures load-pull, le composant reste très stable en termes de performances sur une large zone de l'abaque de Smith, il est peu sélectif à l'impédance de charge présentée.

## 2.6. Cumul des optimisations base et collecteur

A la suite des essais technologiques portant sur le budget thermique, la base et le collecteur, un lot de plaquettes de silicium a été dédié à l'obtention de la plus haute performance  $f_T$  possible. Si au moment de réaliser ce lot, le profil optimisé de germanium de la base n'était pas encore connu, la combinaison technologique utilisée est décrite dans le Tableau 6.

Tableau 6 Synthèse des modifications technologiques effectuées sur le lot performances

Budget thermique	Profil de base intermédiaire	Collecteur
Remplacement de la réoxydation thermique de la grille par un dépôt CVD	Diminution de 10 % de la concentration de bore	Augmentation de la dose de SIC de 10 %
Réduction de la température du recuit d'activation source / drain à 1035°C	Réduction de 10 % des épaisseurs de couches	Augmentation de la dose de la couche enterrée de 100 %
Ajout d'un recuit LASER à 1250°C		

### 2.6.1. Les performances $dc$

Les performances  $dc$  sont le premier indicateur du fonctionnement d'un transistor. Les résistances sont donc par conséquent intéressantes à analyser après toutes les modifications technologiques effectuées. Comme on peut le voir sur la Figure 90, la résistance de base a été augmentée de 60 % principalement à cause de la réduction de la température du recuit d'activation source / drain et de la diminution de la concentration de bore dans la base intrinsèque. Au contraire, le DSA a permis de réduire la résistance de l'émetteur de moitié et l'augmentation de la concentration d'arsenic dans la couche enterrée a permis la réduction de la résistance de collecteur extrinsèque de 37 %.

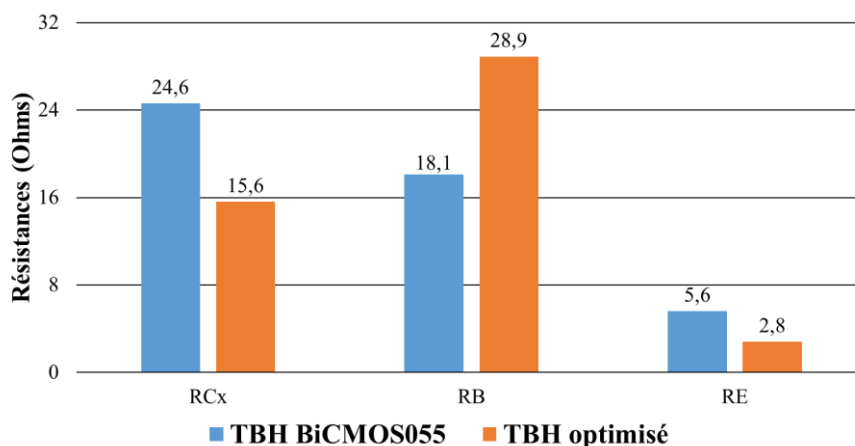


Figure 90 Résistances du TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  de référence et optimisé (valeurs médianes)

D'autre part, l'accroissement de l'agressivité des jonctions a engendré l'augmentation des différentes capacités de jonction. Ainsi, la diminution de l'épaisseur du Si-CAP conjuguée au dimensionnement général de la base a fait passer la capacité entre la base et l'émetteur de



6,4 fF à 7,8 fF (+ 20 %) comme le montre la Figure 91. Du côté du collecteur, l'augmentation de la dose implantée dans le SIC a un impact direct sur la capacité entre la base et le collecteur qui est augmentée de 14 %.

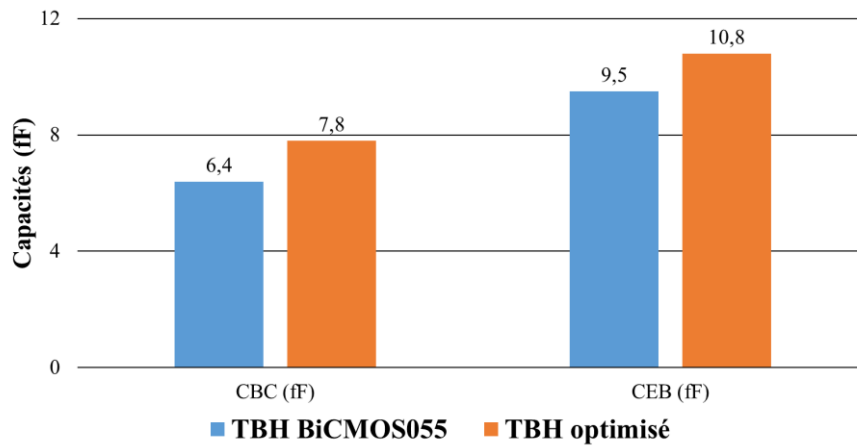


Figure 91 Capacités du TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  de référence et optimisé (valeurs médianes)

L'objectif de ces travaux étant d'augmenter la fréquence de transition, les tensions de claquage sont naturellement diminuées. Si, comme on peut le noter sur la Figure 92, la tension de claquage entre l'émetteur et le collecteur d'une part et entre la base et le collecteur d'autre part restent très proches des valeurs de référence (respectivement - 2 % et - 7 %), la tension de claquage entre l'émetteur et la base est quant à elle plus largement impactée (- 37 %). Les modifications technologiques ont donc eu une plus grande influence sur la jonction entre l'émetteur et la base qu'entre la base et le collecteur où seule la partie extrinsèque de ce dernier a été optimisée.

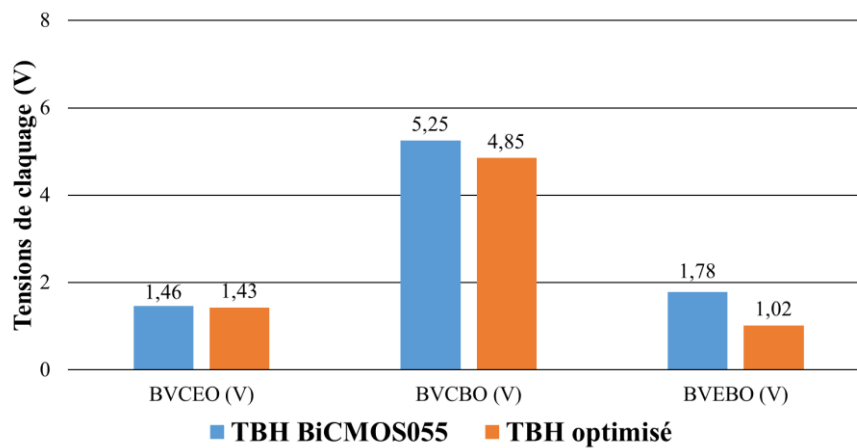


Figure 92 Tensions de claquage du TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  de référence et optimisé (valeurs médianes)

Enfin, les tensions d'Early sont également largement dégradées par les modifications technologiques (Figure 93). La jonction entre l'émetteur et la base étant sensiblement modifiée comme indiqué précédemment, la tension d'Early inverse devient plus sensible (- 20 %) au changement de la polarisation de la jonction et au profil de germanium certainement plus agressif. La tension d'Early directe est quant à elle impactée (- 70 %) par une variation plus brutale de la largeur de la base neutre à différentes polarisations de la jonction entre la base et

le collecteur. Des essais technologiques sont en cours afin d'augmenter ce paramètre qui possède un impact non négligeable sur la conception de circuits.

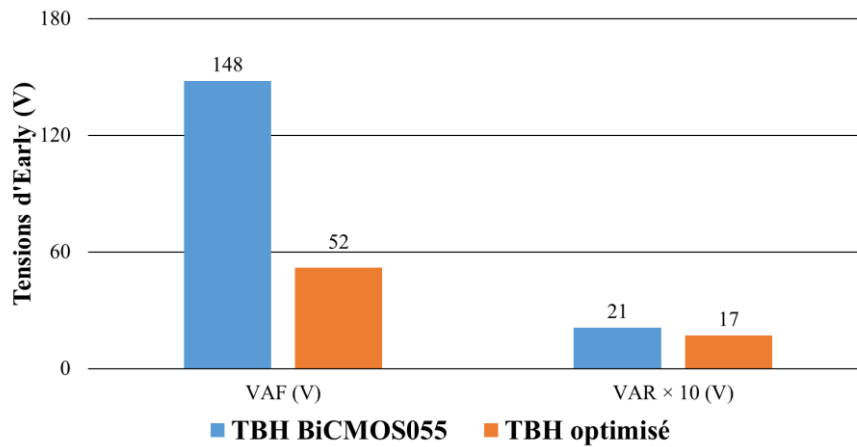


Figure 93 Tensions d'Early du TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  de référence et optimisé (valeurs médianes)

### 2.6.2. Les performances $hf$

Pour terminer ce chapitre, des mesures  $hf$  ont été réalisées sur ces plaques. Comme le montre la Figure 94, une  $f_T$  moyenne de 400 GHz a été atteinte principalement grâce à la diminution des résistances émetteur et collecteur ainsi qu'à un temps de transit réduit lié à la réduction de l'épaisseur de la base (425 GHz pour le meilleur composant). Cette fréquence permet un gain de 80 GHz par rapport au TBH que l'on peut retrouver en BiCMOS055. Du côté de la  $f_{MAX}$ , impactée par l'augmentation de la résistance de base, une valeur de 315 GHz est obtenue et représente une perte de 55 GHz par rapport au TBH utilisé en BiCMOS055. Néanmoins, l'objectif est rempli si l'on regarde l'amélioration de la fréquence de transition. Enfin, un produit  $f_T \times BV_{CEO}$  de 570 GHz.V est atteint représentant une amélioration de 100 GHz.V comparé au B55.

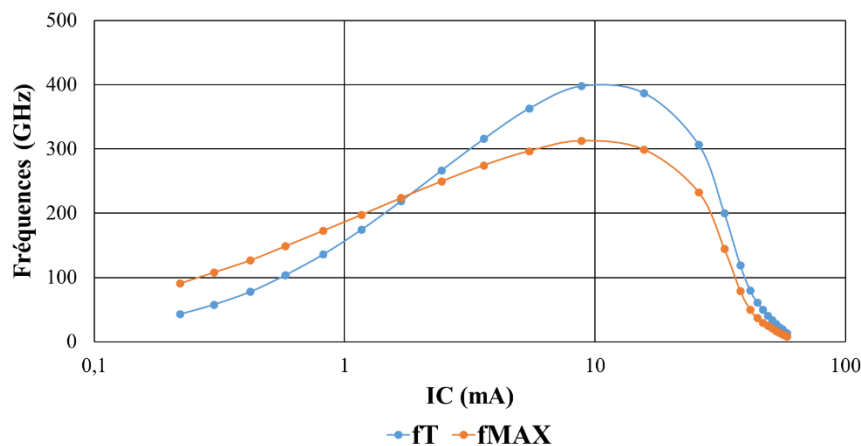


Figure 94 Performances  $hf$  du TBH optimisé d'aire  $0,2 \times 5,56 \mu\text{m}^2$  à  $V_{CE} = -0,5 \text{ V}$  (valeurs médianes)

## 2.7. Conclusion

Nous avons vu dans ce chapitre différents axes d'optimisation du profil vertical du transistor bipolaire dans le but d'améliorer la fréquence de transition  $f_T$ . Dans un premier temps, le budget thermique a été optimisé afin d'augmenter les performances du TBH tout en maintenant la quasi-compatibilité avec les modèles CMOS. La température d'activation du recuit d'activation source / drain n'a pu être diminuée de manière importante à cause de la chute en performance des transistors MOS notamment. De plus, aucun gain n'a pu être démontré au niveau de la réduction de la diffusion du bore ayant pour objectif d'augmenter l'agressivité des jonctions. Néanmoins l'ajout d'un recuit LASER a permis d'augmenter les performances du TBH jusqu'à un compromis  $f_T / f_{MAX}$  de 355 GHz tout en maintenant un très bon rendement paramétrique des autres composants.

Afin de comprendre un peu mieux les mécanismes mis en jeu dans la diffusion du bore, des études ont été menées. Si la diffusion régie par la loi de Fick est inévitable, d'autres mécanismes beaucoup plus complexes semblent également jouer un rôle important. Ainsi, si des procédés de fabrication comme la réoxydation de la grille des transistors MOS ou des dépôts CVD ont été écartés de la liste des procédés pouvant avoir un impact sur le profil de bore, d'autres comme le dépôt de l'émetteur poly cristallin ont un impact important par le biais de l'injection de défauts. Ces résultats ont été validés par l'emploi de procédé de CMP afin de retirer toute rugosité pouvant avoir un impact sur l'interprétation des SIMS.

S'appuyant sur le budget thermique optimisé, des travaux ont été menés afin d'optimiser le profil de base. Si la modification du carbone et du bore a montré de légères améliorations, l'ingénierie du profil de germanium a quant à elle permis de démontrer une augmentation de la fréquence de transition de 40 GHz sans avoir d'impact négatif sur la fréquence maximale d'oscillation. Enfin, la réduction des dimensions verticales de la base permet également d'obtenir un gain important mais impose le compromis de la réduction d'autres paramètres comme les tensions d'Early.

La dernière partie de l'optimisation a reposé sur la partie du collecteur. Si la modification du SIC n'a pas démontré de gain significatif dans le sens où chaque GHz gagné sur la  $f_T$  est perdu sur la  $f_{MAX}$ , l'augmentation de la concentration d'arsenic dans le collecteur extrinsèque a permis un gain de 25 GHz sur la fréquence de transition sans compromis sur la fréquence maximale d'oscillation principalement grâce à une plus faible résistance du collecteur sans augmentation de la capacité entre la base et le collecteur.

Rassemblées, ces optimisations ont permis d'atteindre un compromis entre  $f_T$  et  $f_{MAX}$  de 400 GHz et 315 GHz comme le montre la Figure 95. Les TBH présentant ces performances ne possédant pas le profil optimisé de germanium, une fréquence de transition autour de 440 GHz pourrait être obtenue en parallèle de tensions d'Early élevées comme il a été démontré en optimisant le profil de germanium du côté de l'émetteur.

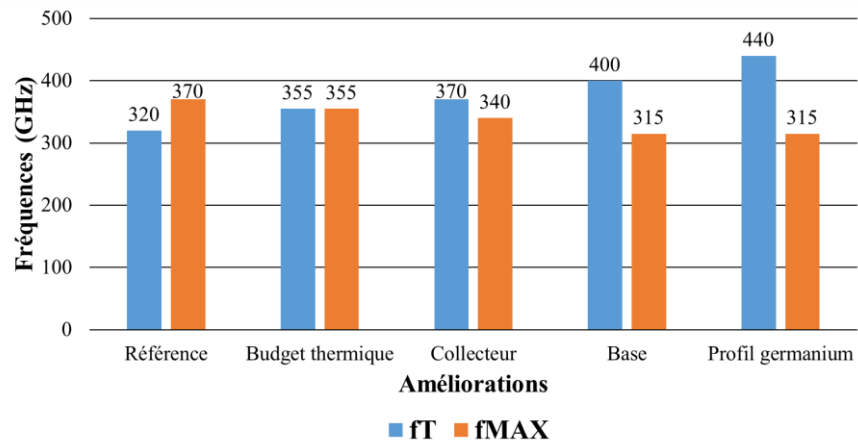


Figure 95 Synthèse des améliorations réalisées sur le profil vertical et les gains associés en terme de  $f_T$

### **3. Evaluation d'un collecteur implanté pour les futures générations de technologies BiCMOS**

### 3.5. Objectifs

Malgré le fait que la technologie BiCMOS055 présente des performances à l'état de l'art dans un nœud CMOS 55 nm, la demande continue d'amélioration des performances couplée à une réduction du coût des technologies mènent STMicroelectronics à évaluer de nouvelles solutions technologiques [CHEVALIER15].

En BiCMOS055, la partie extrinsèque du collecteur du TBH est constituée d'une couche fortement dopée de type N au-dessus de laquelle une épitaxie intrinsèque épaisse est réalisée. Ces étapes, héritées de la technologie BiCMOS9MW et suivies d'un recuit de très longue durée à très haute température augmentent significativement le coût de fabrication du TBH. De plus, le contrôle des profils de dopants est rendu compliqué par les budgets thermiques très importants. Enfin, des problèmes de topologie peuvent apparaître entre les zones implantées où le recuit aura pour effet de consommer quelques dizaines de nanomètres supplémentaires et les zones non implantées où le niveau du silicium sera différent. Dans l'optique d'une intégration sur substrat FD-SOI, le collecteur implanté est nécessaire dans le sens où un module standard ne peut être utilisé de par la présence du BOX et du SOI. Cet aspect sera traité en détails dans le chapitre 5.

Dans l'optique d'adresser ces problématiques, l'étude d'un nouveau module collecteur, préalablement décrit dans [CHEVALIER06], est ici présentée. Ce module, appelé « collecteur 100 % implanté », a déjà permis de démontrer des performances de TBH encourageantes par rapport à un collecteur standard [CHEVALIER06], Néanmoins, un travail important reste à accomplir afin de pouvoir implémenter ce type de collecteur dans une plateforme CMOS avancée. L'objectif final de ces développements étant l'implémentation de ce dernier dans la nouvelle architecture de TBH, l'EXBIC, qui sera utilisée dans les prochaines générations de technologies BiCMOS.

Les travaux présentés dans ce chapitre sont divisés en quatre parties. Dans un premier temps, les différences entre les deux architectures de collecteur sont présentées. Ensuite, l'aspect de la génération de défauts est abordé dans le cadre d'un collecteur implanté. Ici, l'arsenic, le phosphore et le carbone sont étudiés. Pour terminer, les résultats électriques obtenus sur ces nouveaux composants sont présentés avant l'étude du développement d'un module « Super Shallow Trench Isolation (SSTI) », considéré comme un STI peu profond et permettant d'améliorer significativement les performances des TBH.

### 3.6. Comparaison entre les deux architectures de collecteur

Si l'on regarde la répartition du coût d'une technologie comme le BiCMOS055, elle se divise comme indiqué sur la Figure 96. Deux tiers du coût total sont représentés par la technologie mère CMOS055 et 20 % par le module émetteur-base. Par conséquent, 10 % sont imputés à la formation du collecteur et très majoritairement à l'épitaxie épaisse réalisée au-dessus de la couche enterrée et au module DTI utilisé pour son isolation. Dans le cadre d'un collecteur implanté où une isolation plus en surface réalisée avec des STI est suffisante, ces tranchées profondes pourraient être supprimées. Il y a donc un fort intérêt à modifier cette partie du TBH en utilisant uniquement des alternances de photolithographies et d'implantations beaucoup moins chères.

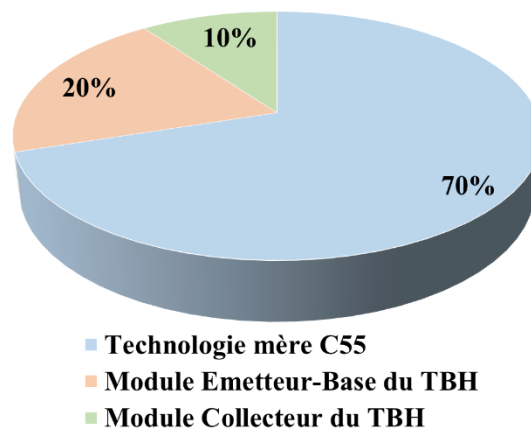


Figure 96 Répartition des coûts de la technologie BiCMOS055

Comme indiqué sur la Figure 97, la couche enterrée et dopée de type N est remplacée par une région implantée située beaucoup plus proche de la surface du substrat. La partie implantée sous le TBH appelée « Selectively Implanted Collector » (SIC) servant à régler le compromis entre performances et tension de claquage reste inchangée. La partie STI servant à isoler la base extrinsèque du collecteur extrinsèque dans le but de limiter la capacité entre ces deux régions ne peut être utilisée. Effectivement, elle viendrait couper la zone peu résistive et moins profonde du collecteur implanté et augmenterait de manière significative la résistance du collecteur. Dans ce cas, si une très bonne résistance est obtenue, la contrepartie se situe au niveau d'une capacité entre la base extrinsèque et le collecteur plus élevée. Enfin les implants profonds « SINKER » sont remplacés par les implantations N+ source / drain hérités du N-MOS et moins profonds. Non abordée ici, l'étude d'une implantation spécifique au niveau des prises en dessous des contacts du collecteur pourrait permettre d'améliorer la résistance du collecteur extrinsèque. Il est également important de souligner que les implantations utilisées dans le cadre d'un collecteur implanté sont réalisées après dépôt du polysilicium de la grille alors que la couche enterrée se positionne en tout début de procédé de fabrication ne permettant pas un bon contrôle des profils de dopants.

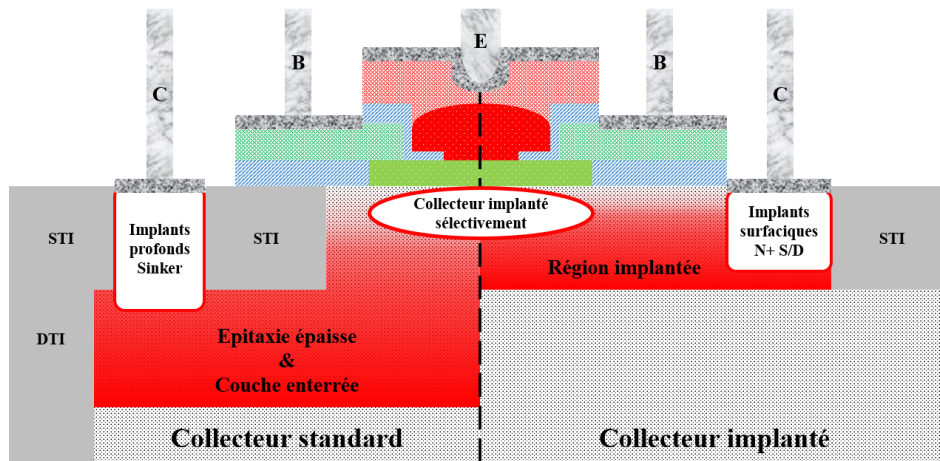


Figure 97 Comparaison des architectures de collecteur standard et 100 % implanté



### 3.7. Les défauts du silicium

Le collecteur implanté possède de nombreux avantages vis-à-vis du collecteur enterré. Néanmoins, le point critique reste les défauts générés durant les implantations et qui se retrouvent proche de la surface et donc de la partie intrinsèque du TBH. Ces défauts peuvent amener une perte de fonctionnalité liée à un perçage du composant et, par conséquent, une perte du rendement. Après avoir listé les différents types de défauts que l'on peut retrouver dans le silicium après implantation, nous nous attarderons ici à l'évaluation des défauts générés par l'implantation du collecteur ainsi qu'aux moyens envisagés pour les limiter au maximum sans pour autant dégrader les performances du transistor.

Un défaut est une anomalie que l'on retrouve au niveau de la maille cristalline du silicium. Ce défaut peut être de petite taille, on dit alors qu'il est ponctuel, ou de taille plus importante et est synonyme de défauts étendus. Les différents types de défauts sont résumés sur la Figure 98. Ces derniers peuvent être composés d'atomes de silicium déplacés de leur site initial ou bien d'impuretés, c'est le cas des dopants qui sont implantés. Un défaut peut également caractériser un défaut dans la maille cristalline du matériau.

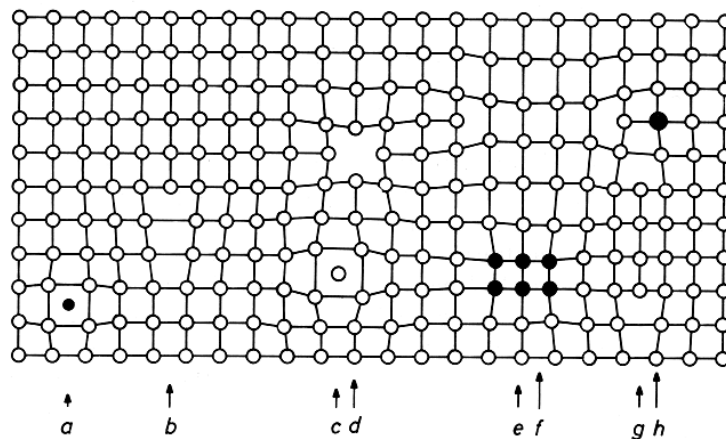


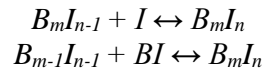
Figure 98 a. Impureté interstitielle, b. Défaut de maille, c. Interstitiel, d. Lacune, e. Précipité d'impuretés, f. Boucle de dislocation de lacunes, g. Boucle de dislocation d'interstitiels, h. Impureté substitutionnelle [FÖLL76]

#### 3.7.1. Les défauts ponctuels

Ces défauts, de type élémentaires, sont composés d'un voire deux atomes. Néanmoins, l'impact sur le réseau cristallin du silicium peut être étendu à une plus grande zone. Dans le cas d'une implantation ionique, comme celles étudiées dans ce chapitre, ces défauts sont hors équilibre thermodynamique et ont pour origine soit une impureté (un dopant par exemple) soit un atome de silicium ayant été déplacé de son site originel. Dans ce dernier cas, l'atome laisse un site vacant dans la maille cristalline appelé lacune. Les défauts créés forment donc la plupart du temps une paire lacune – interstitiel dénommée paire de Frenkel. Les ions implantés peuvent se positionner au niveau d'une lacune, on dit alors qu'ils sont en site substitutionnel, ou en site interstitiel.

### 3.7.2. Les clusters

Les clusters sont des défauts regroupant quelques dizaines d'atomes mais peuvent atteindre des tailles plus importantes lorsque leurs dimensions et leur disposition spatiale dites magiques minimisent l'énergie de surface de ces défauts. Dans le cas du silicium, les clusters d'interstitiels sont composés de deux, quatre ou huit atomes [SOUZA99]. Nous pouvons également trouver des clusters d'impuretés liées à des atomes de silicium. C'est notamment le cas pour le BIC (Boron Interstitial Clustering) dont les réactions physico-chimiques sont indiquées ci-dessous [SCHERMER07] :



Cette réaction chimique met en jeu des atomes de Bore ( $B$ ), des atomes de Silicium en site interstitiel ( $I$ ) ainsi que des atomes de Bore en site interstitiel ( $BI$ ). Cette formation de cluster diminue la solubilité du Bore dans le Silicium et par conséquent rend l'activation du Bore incomplète.

### 3.7.3. Les défauts {113}

Les défauts de type {113} comprenant plusieurs dizaines d'interstitiels ont, à l'image des clusters, un impact négatif sur l'activation des dopants à haute température. Ces défauts, qui suivent la direction  $\langle 110 \rangle$  peuvent présenter deux morphologies différentes. Les défauts « zig-zag » sont le plus couramment rencontrés car plus favorable d'un point de vue énergétique. Ces derniers peuvent croître dans la direction  $\langle 110 \rangle$  comme le montre la Figure 99 grâce aux liaisons pendantes qui vont permettre de capturer des interstitiels supplémentaires. Les défauts plans ou linéaires sont plus rares [PARISINI93], ils ne sont composés que de chaînes de cinq ou sept atomes, sans liaison pendante ne permettant par conséquent pas l'allongement du défaut.

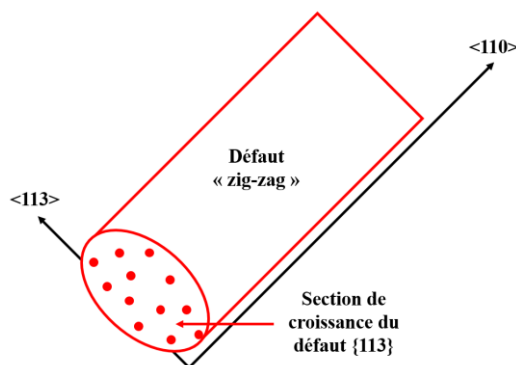


Figure 99 Représentation de la croissance d'un défaut {113} de type «zig-zag»

### 3.7.4. Les défauts {111} de type « zig-zag »

Allongés dans la direction  $\langle 110 \rangle$ , ces défauts existent seulement dans le plan {111}. Ils possèdent une stabilité supérieure aux défauts {113} et sont par conséquent de taille plus importante. Ils ne représentent qu'un état transitoire entre les défauts {113} et les boucles de dislocation.

### 3.7.5. Les boucles de dislocation

Les boucles de dislocation sont les défauts les plus grands que l'on peut retrouver dans un substrat de silicium. Composées de quelques centaines à plusieurs millions d'interstitiels, ce sont les défauts les plus répandus en fin de parcours des ions implantés après recuit. Situées entre deux plans {111}, elles peuvent être dites « fautées » ou « boucles de Franck » (Figure 100) ou bien « parfaites » (Figure 100). Dans le premier cas, une faute d'empilement des atomes est présente. Dans le second cas, elle est absente [ROBERTSON99].

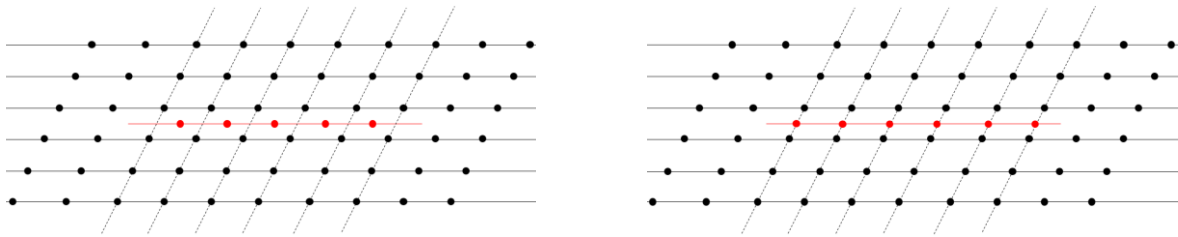


Figure 100 Vue schématique 2D d'une boucle de dislocation de Franck (a.) et parfaite (b.)

### 3.7.6. Coalescence de défauts ponctuels dans le cadre de l'implantation du collecteur

L'implantation utilisée pour définir le collecteur implanté met en jeu la dissociation de molécules d'arsine ou de phosphine ( $\text{AsH}_3$  ou  $\text{PH}_3$ ) dans un plasma excité. Les ions d'arsenic ou de phosphore obtenus ( $\text{As}^+$  ou  $\text{P}^+$ ) sont ensuite accélérés en direction du substrat par application d'une polarisation positive d'intensité variable. Ces ions, et a fortiori les ions d'arsenic de relativement grande taille (masse atomique de 74,92160 u. m. a.) vont alors engendrer un important nombre de défauts dans le substrat. Comme expliqué en préambule, dans un premier temps ponctuels, ces défauts vont diffuser au cours des recuits et leur nombre va diminuer en même temps que leur taille augmentera. Ce mécanisme, connu sous le nom de cinétique de maturation d'Ostwald est dû à des échanges complexes d'interstitiels entre des défauts de différentes stabilités énergétiques. Les défauts de grande taille vont capter un grand nombre d'interstitiels des défauts voisins, moins stables, afin d'accroître leur stabilité énergétique [COWERN03].

Ce mécanisme est à l'origine de la croissance de tous les défauts étendus. Si les interstitiels sont captés aux extrémités des défauts {113}, ils le sont sur tout le périmètre des boucles de dislocation, accentuant la croissance rapide de ces dernières.

L'énergie utilisée pour l'implantation du collecteur est comprise entre cent et deux cent kilo-électronvolts et la dose employée est de quelques  $10^{14} \text{ cm}^{-2}$ . En fin de procédé de fabrication, de nombreuses boucles de dislocation peuvent être observées dans le collecteur du transistor bipolaire comme on peut le voir sur la Figure 101.

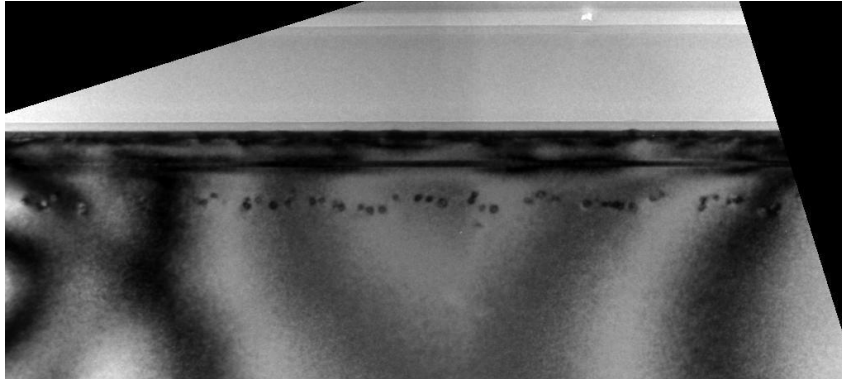


Figure 101 Exemple de boucles de dislocations dans un substrat implanté

### 3.8. L'implantation à haute température

L'objectif des travaux présentés dans cette partie consiste à réduire le nombre défauts dans le substrat par l'intermédiaire d'ajout, de modification ou de suppression d'étapes de fabrication. Les premiers essais menés portent sur l'ajout d'un recuit à haute température après l'implantation dans le but recristalliser la maille du matériau. Les résultats obtenus n'ont pas montré d'avantage significatif. Au contraire, il apparaît que le nombre de boucles de dislocation augmente en présence d'un tel recuit Figure 102.

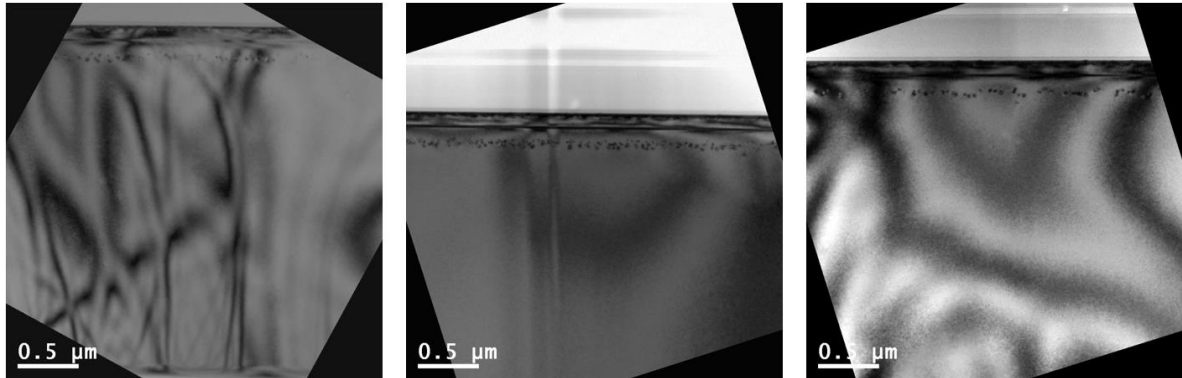


Figure 102 Boucles de dislocation après ajout d'un recuit post implantation de 900°C / 15 s, 950°C / 15 s et 1030°C / 15 se de gauche à droite

Les précédents résultats n'ayant pas montré de gain en terme de création de défauts, l'utilisation d'implantations à hautes températures a été le premier axe de travail important. Cette technique, encore peu répandue dans le domaine de la microélectronique permet de limiter l'apparition de défauts lors du procédé d'implantation comme le montre la Figure 103 en réparant la maille cristalline de manière dynamique.

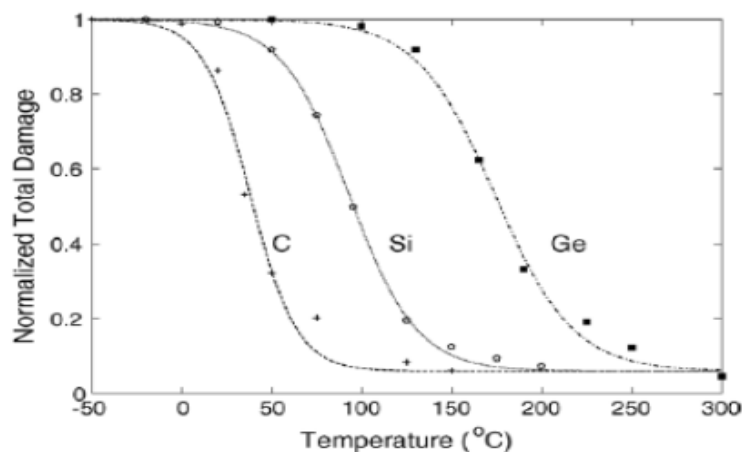


Figure 103 Niveau de défaut normalise en fonction de la température d'implantation et de l'espèce utilisée [KAACHURIN92]

#### 3.8.1. Profil de dopants

Une série d'essais a été lancée en partenariat avec un fournisseur historique de STMicroelectronics : Applied Materials. L'objectif était d'évaluer le gain d'une implantation en température par rapport à une implantation à température ambiante. Nous avons donc envoyé

des plaques pour implantation arsenic à 60 keV,  $6 \times 10^{14} \text{ cm}^{-2}$ , et ce à différentes températures, puis avons effectué la métrologie à leur retour. La première série de caractérisations a porté sur le profil d'arsenic implanté. Comme on peut le voir sur la Figure 104, la température d'implantation a un effet non négligeable sur le profil de dopants. Une température de 150 °C (température maximale pour la tenue des résines utilisées en photolithographie) ne modifie que légèrement le profil avec une concentration au « Projected Range,  $R_P$  » (correspondant à la profondeur où la concentration est maximale) légèrement diminuée et une queue de distribution un peu plus allongée. Au contraire, les mécanismes physiques sont largement modifiés lors d'une implantation à 500 °C. Effectivement, la recristallisation permanente du substrat pendant l'implantation, permise par la montée en température, implique un régime de « *channeling* » constant menant à une diminution importante de la concentration au  $R_P$  ainsi qu'à une queue de distribution beaucoup plus plate et rentrant beaucoup plus en profondeur dans le substrat.

On peut ainsi dire que le contrôle du profil de dopants lors d'une implantation à haute température devient difficile à maîtriser. De plus, les contraintes d'intégrations : utilisation de masques durs et budget thermique notamment, ne sont pas en faveur de l'utilisation d'un tel procédé.

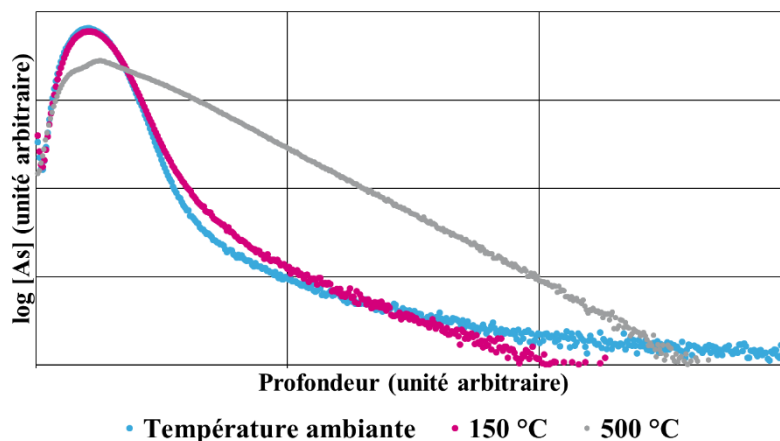


Figure 104 Profil d'arsenic après implantations à différentes températures

### 3.8.2. Génération de défauts ponctuels après implantation

Afin d'étudier la cristallinité du substrat en fonction de la température d'implantation, des coupes TEM ont été réalisées après l'implantation. Comme on peut le voir sur la Figure 105, à température ambiante, le substrat est amorphisé sur plusieurs dizaines de nanomètres. On retrouve également une zone de transition entre la partie amorphisée et le substrat monocristallin. A 150 °C, nous ne retrouvons plus la partie amorphe, seule une zone de transition subsiste en surface de wafer. Enfin, une très bonne cristallinité est obtenue en augmentant la température d'implantation à 500 °C.

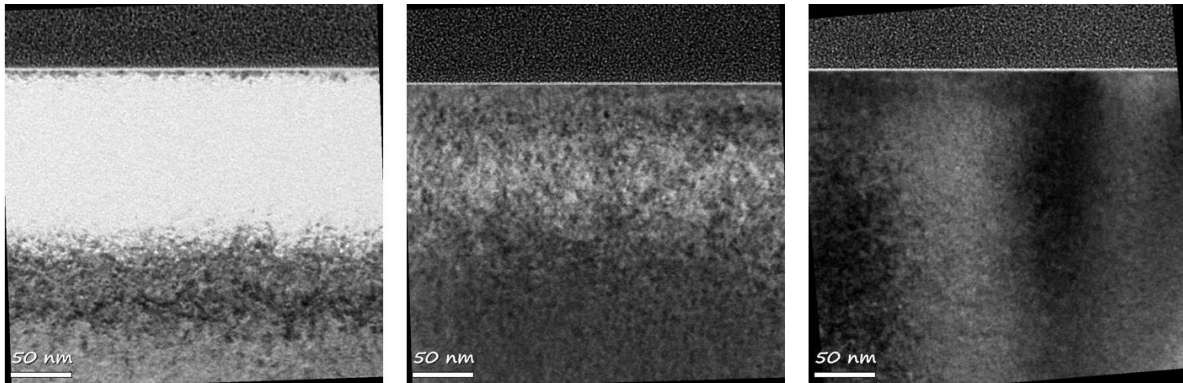


Figure 105 Cristallinité du substrat après implantations à différentes températures : 25°C, 150°C et 500°C de gauche à droite

Ces résultats ont été confirmés par des mesures d'ellipsométrie qui ont permis de déterminer avec précision les profondeurs des différentes zones : amorphe, polycristalline, monocristalline comme indiqué sur la Figure 106. Ainsi, si l'implantation à 500°C ne crée pas de zone amorphisée ou polycristalline, une implantation à 150°C va générer une zone polycristalline sur une profondeur de 115 nm. L'implantation à température ambiante présente une première zone amorphe sur les 100 premiers nanomètres puis une zone polycristalline sur 50 nm.

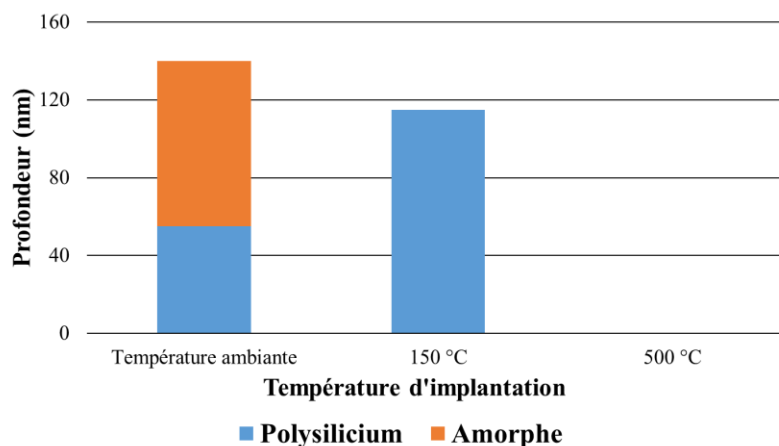


Figure 106 Profondeurs d'amorphisation et de polycristallinité en fonction de la température d'implantation

Enfin, des mesures de photo-réflexivité (QTP), basées sur l'interaction entre un faisceau LASER incident et la composition locale du substrat, ont été réalisées afin de remonter à une quantité de défauts relative dans le substrat. Le signal obtenu avec cette méthode de caractérisation est directement proportionnel au taux d'amorphisation du substrat. Les résultats représentés en Figure 107 montrent une nette diminution de cette amorphisation en fonction de la température d'implantation. La recristallisation continue exercée pendant le procédé d'implantation à haute température permet de guérir un nombre important de défauts ponctuels.

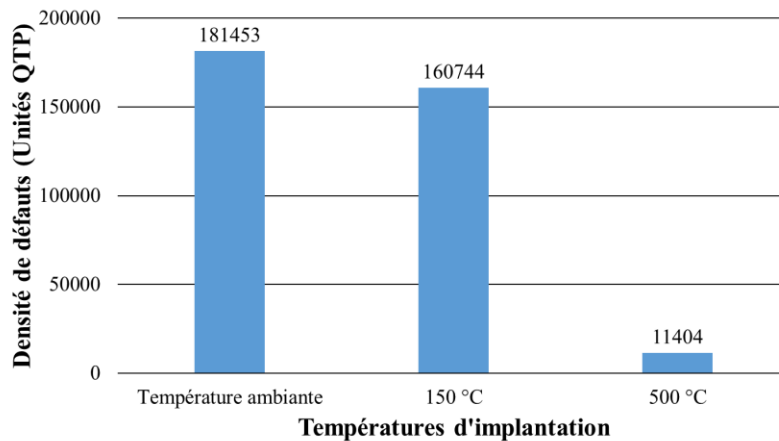


Figure 107 Mesures de photo-réflexivité montrant une image du taux d’amorphisation en fonction de la température d’implantation

### 3.8.3. Génération de défauts étendus après application du budget thermique

Comme indiqué précédemment, les défauts de grande taille n’apparaissent que lorsqu’un budget thermique est appliqué. Par conséquent, les défauts ponctuels diffusent dans le matériau et forment des défauts de type {113} ou bien encore des boucles de dislocation. Une analyse approfondie à l’aide de la technique de photoluminescence (PL, voir fonctionnement en annexe) a été menée afin de quantifier la densité de défauts ponctuels et étendus dans le substrat après recuit. Cette technique de métrologie innovante a été introduite récemment et est considérée comme très puissante pour détecter les défauts présents dans le silicium et ce, grâce à une technologie optique et non destructive [DURU17]. Ce travail réalisé dans un second temps a permis d’obtenir des résultats très intéressants. Comme on peut le voir sur la Figure 108, l’application d’un recuit après une implantation à température ambiante et à 150°C va révéler des défauts peu étendus de type {113} (points gris). Au contraire, après une implantation à 500°C, les défauts sont beaucoup plus radiatifs (points plus brillants) et sont le signe de défauts très étendus comme les boucles de dislocation. Ce phénomène est dû à une moins bonne amorphisation du substrat pendant l’implantation et par conséquent à une recristallisation de moins bonne qualité.

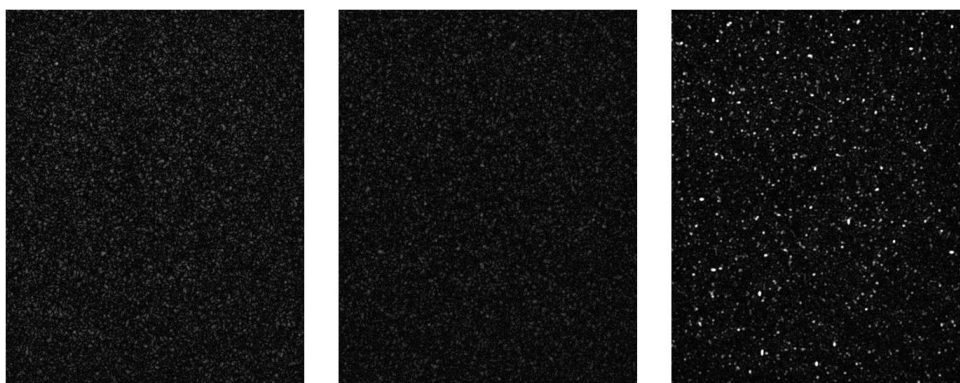


Figure 108 Images de photoluminescence montrant la densité de défauts en fonction de la température d’implantation : 25°C, 150°C et 500°C de gauche à droite

Nous avons également souhaité étudier la cartographie de ces défauts sur la plaque. Si à température ambiante ainsi qu’à 150°C aucune signature ne se dégage clairement, il en est



tout autre à 500°C où il est clair qu'une signature bord-centre est présente. Ce point est en cours d'analyse conjointe entre STMicroelectronics et Applied Materials.

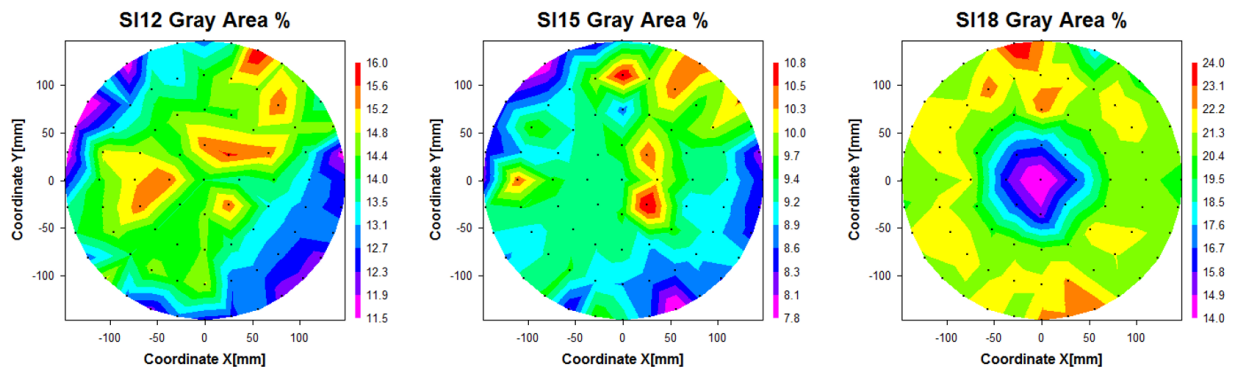


Figure 109 Cartographie de la densité de défauts issues de mesures par photoluminescence en fonction de la température d'implantation : 25°C, 150°C et 500°C de gauche à droite

Afin de valider les mesures PL, des coupes TEM ont été réalisées. Comme le montre la Figure 110, on retrouve les défauts de type  $\{113\}$  pour les implantations à température ambiante et à 150°C. A 500°C, les défauts sont moins nombreux mais de plus grande taille représentés par des boucles de dislocation bien visibles.

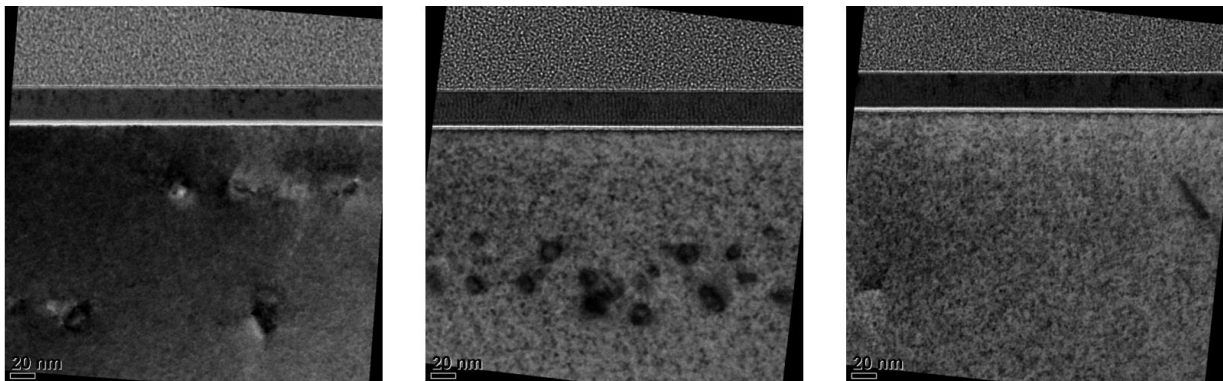


Figure 110 Coupes TEM montrant les défauts étendus dans le substrat après recuit en fonction de la température d'implantation : 25°C, 150°C et 500°C de gauche à droite

Pour conclure cette partie, l'implantation en température ne peut être retenue dans le but de réduire le nombre de défauts dans le substrat. Effectivement, même si la qualité de ce dernier semble meilleure après implantation, l'apparition de boucles de dislocation très étendues après recuit aurait un impact trop important sur les performances et le rendement du TBH. De plus, la difficulté à contrôler le profil de dopants va également dans ce sens et valide l'impossibilité d'utiliser de telles techniques contrairement à ce qui peut être fait sur SOI comme on le verra au chapitre 5. Enfin, l'évaluation d'implantations à basse température a été démarrée afin de permettre une meilleure préamorphisation du substrat permettant ainsi une cristallisation de meilleure qualité. Au moment de rédiger ce document, les résultats ne sont pas disponibles mais seront communiqués ultérieurement.

### 3.9. L'utilisation conjointe du carbone et du phosphore

Les premiers essais menés dans le but de réduire la densité de défauts liée aux implantations arsenic n'ayant pas donné satisfaction, des travaux ont été réalisés au niveau des espèces implantées. Pouvant être utilisé pour des dopages de type N, le phosphore n'est que rarement utilisé à cause de sa diffusivité très supérieure à celle de l'arsenic. Néanmoins, de nombreuses études ont démontré des phénomènes de diffusion intéressants lorsqu'il était co-implanté avec le carbone [PAWLAK06]. Dans cette partie, nous comparerons donc l'arsenic, le phosphore ainsi que la co-intégration carbone-phosphore au niveau du contrôle du profil de dopants ainsi que celui de la génération de défauts.

#### 3.9.1. Le contrôle des profils de dopants

Pour commencer, les profils de dopants sont comparés avant et après recuit pour les trois types d'implantations. Les conditions d'implantations (énergie et dose) ont été ajustées afin d'obtenir le même  $R_p$  pour toutes les espèces. Comme on peut le voir sur la Figure 111 ci-dessous, la diffusion de l'arsenic est limitée et les profils avant et après recuit sont très similaires même si une légère perte de concentration maximale est observée au  $R_p$ . Ce résultat était attendu et justifie l'emploi de l'arsenic dans les technologies BiCMOS où les profils de dopants doivent rester les plus abruptes possible.

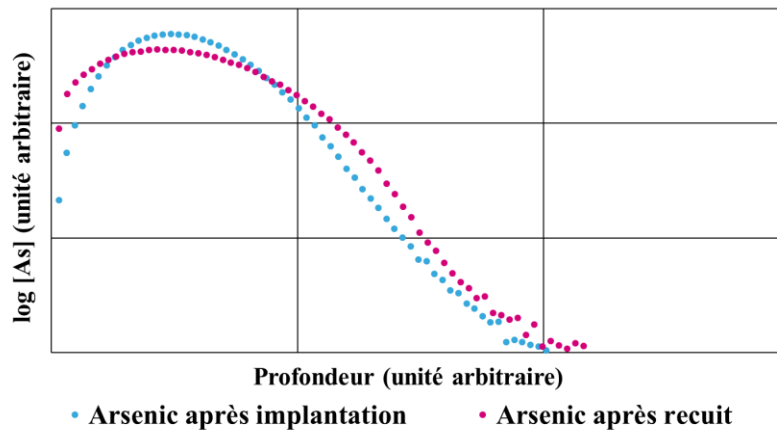


Figure 111 Mesures SIMS du profil d'arsenic avant et après recuit

Au contraire de l'arsenic et comme indiqué en préambule de cette partie, la diffusion du phosphore est quant à elle importante. Malgré le fait que son profil juste après implantation soit proche de celui de l'arsenic, sa queue de distribution devient très importante après recuit avec un profil très plat comme le montre la Figure 112. Ce phénomène est principalement dû au fait que la diffusion du phosphore est très sensible aux interstitiels de silicium créés pendant les étapes d'implantation. A la vue de ce résultat, le phosphore seul ne peut être utilisé pour doper le collecteur du TBH. Effectivement, une importante dose est perdue vers le substrat et la zone d'intérêt se retrouve sous dopée ce qui dégraderait fortement les performances du composant.

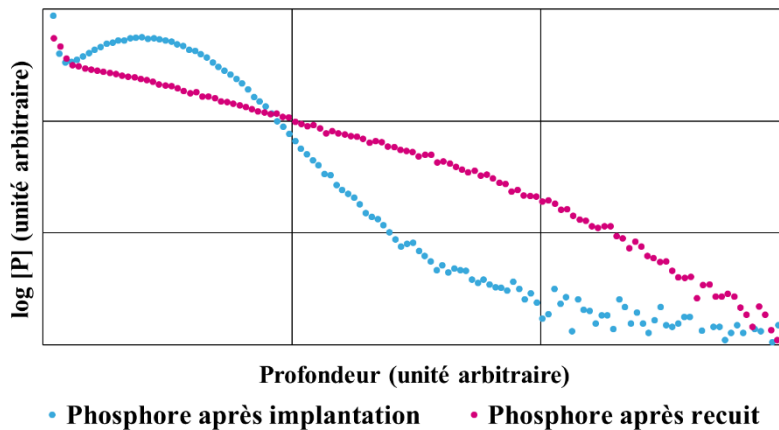


Figure 112 Mesures SIMS du profil de phosphore avant et après recuit

Enfin, la co-implantation carbone-phosphore a immédiatement montré un réel potentiel. Comme on peut le noter sur la Figure 113, le carbone permet de limiter considérablement la diffusion du phosphore avec des profils avant et après diffusion quasiment identiques dans la zone d'intérêt malgré l'apparition d'une légère queue de distribution plus en profondeur. Les pics de carbone observables de part et d'autre du phosphore après recuit peuvent être imputés à la migration des atomes de carbone vers les sites interstitiels de silicium. En effet, il est connu que cet élément prévient la diffusion assistée par défauts du phosphore (« Transient Enhanced Diffusion, TED ») en migrant et passivant les interstitiels de silicium à l'origine de la diffusion du phosphore [NAKASHIMA12]. Ce phénomène physique fait l'objet d'études approfondies au sein de la société afin d'en extraire les différentes possibilités.

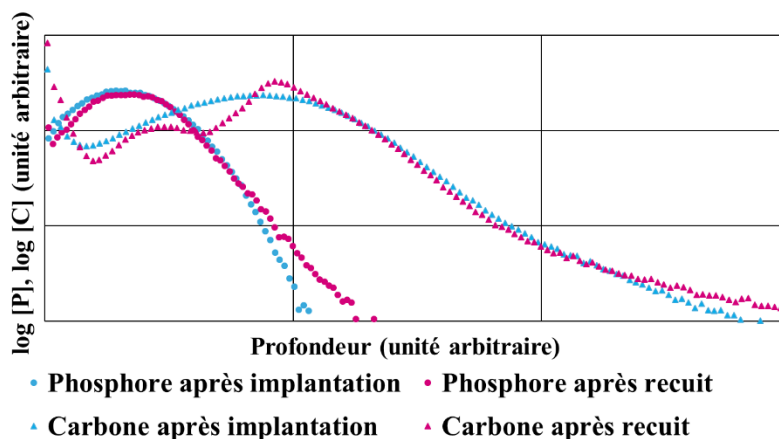


Figure 113 Mesures SIMS des profils de phosphore et de carbone avant et après recuit

### 3.9.2. Evaluation de la densité de défauts

Après avoir étudié le contrôle des profils de dopants après recuit en fonction de l'espèce implantée, l'objectif principal est de déterminer la densité de défauts au sein de substrat. En premier lieu, des coupes TEM ont été réalisées dans le but de caractériser les substrats après implantations. Les coupes de la Figure 114 ne nous permettent pas de dégager de réelles différences entre les différentes implantations. Le seul point notable est la profondeur sur laquelle le silicium est amorphisé qui est plus importante dans le cas d'une co-implantation

carbone-phosphore. Ce phénomène est dû au fait que le carbone est implanté en dessous du phosphore afin de pouvoir en limiter la diffusion vers le substrat.

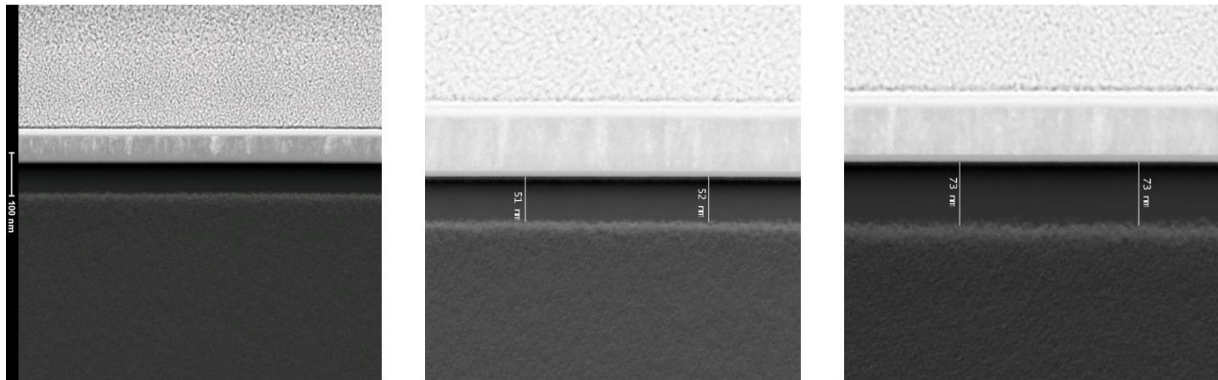


Figure 114 Coupes TEM montrant l'état d'amorphisation du substrat en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite)

Si l'imagerie TEM n'a pas permis d'avoir d'information sur la qualité du substrat après implantation, les mesures Thermawave nous ont quant à elles permis de déterminer qu'une amorphisation similaire était obtenue avec les implantations arsenic et carbone-phosphore. Au contraire, le phosphore qui est un atome bien plus petit que l'arsenic ne permet pas d'avoir une bonne préamorphisation du substrat. Ce qui à la vue des résultats présentés dans la partie sur les implantations à chaud ne présage pas d'une bonne recristallisation pendant les recuits.

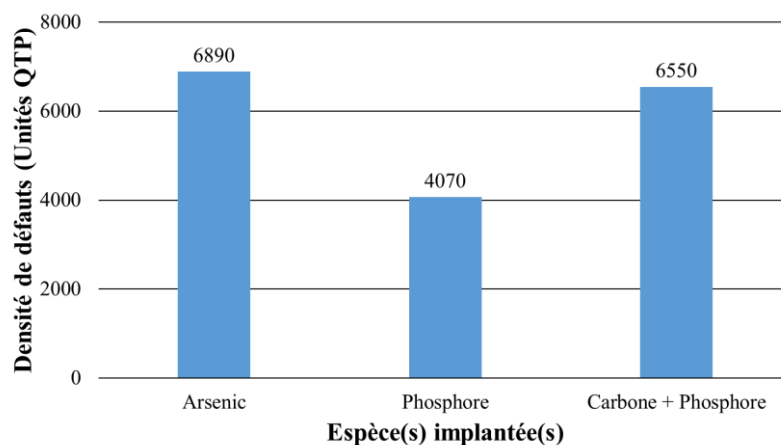


Figure 115 Mesures QTP indiquant le taux d'amorphisation du substrat en fonction de l'espèce implantée

Une fois les substrats caractérisés après implantation, nous leur avons appliqué une salve de recuits afin d'étudier la formation des défauts étendus, type boucles de dislocation. Pour se faire, et à l'instar de ce qui a été fait dans la précédente partie, la photoluminescence a été utilisée pour la caractérisation. Comme on peut le voir sur les reconstructions de la Figure 116, les implantations arsenic et phosphore génèrent un nombre important de défauts étendus alors que la co-implantation carbone-phosphore n'en génère que quelques-uns.

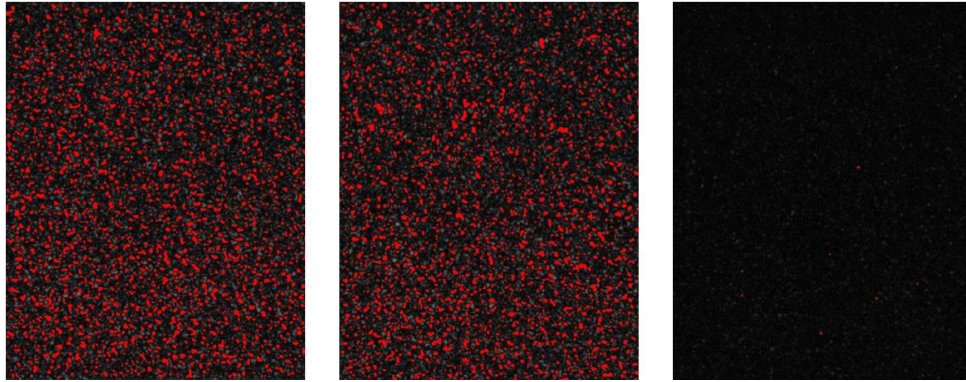


Figure 116 Reconstruction issues de la technique de photoluminescence montrant les défauts étendus en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite)

L'étude cartographique des défauts (Figure 117) n'a pas permis de définir une signature claire intra-plaque. Il est à noter que l'échelle de la cartographie pour le carbone-phosphore n'est pas la même que pour les implantations arsenic et phosphore.

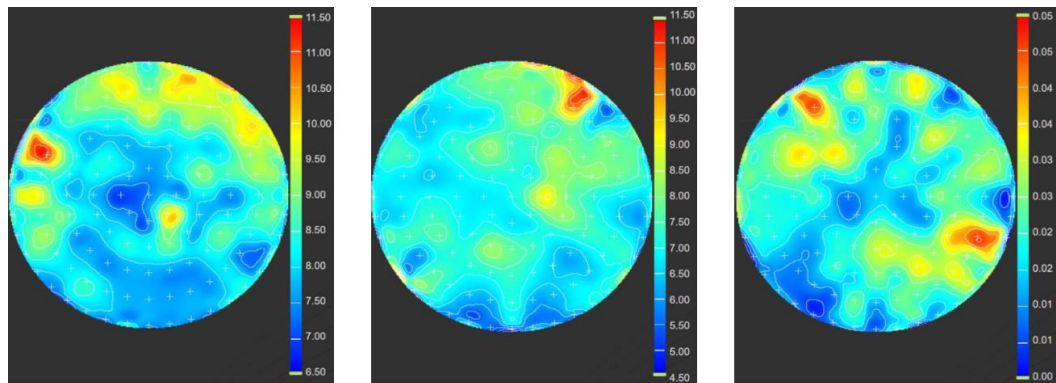


Figure 117 Cartographie de mesures par photoluminescence en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite)

Afin d'évaluer la relation entre cinétique de croissance des défauts et budget thermique, des mesures PL ont été réalisées à différents moments de la fabrication : (1) avant l'épitaxie de la base du TBH, (2) après l'épitaxie du TBH, (3) avant la siliciuration. Comme on peut le voir sur la Figure 118, la densité de défauts diminue en même temps que les budgets thermiques sont incrémentés. La quantité de défauts est 30 % plus faible à la fin de la route pour les implantations arsenic et phosphore sans pour autant descendre en dessous de 5 %. Au contraire, la co-implantation carbone-phosphore reste le meilleur candidat en terme de génération de défauts avec une densité proche de 0 % peut importe le moment auquel la mesure est réalisée. Il est à noter qu'aucun recuit additionnel n'a été évalué dans le but de réduire la densité de défauts afin de préserver la compatibilité modèle avec le BiCMOS055.



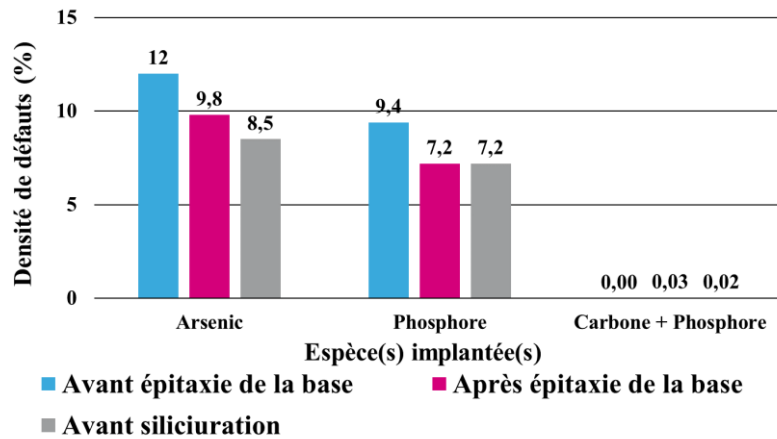


Figure 118 Mesures PL montrant la densité de défauts en fonction de l'espèce implantée et de l'endroit dans la route où la mesure est effectuée

Les images obtenues par TEM et regroupées dans la Figure 119 illustrent le type défauts que l'on retrouve dans les substrats après recuits. Ces défauts de type  $\{113\}$  ou petites boucles de dislocation sont très dommageables pour l'activation des dopants. L'application de budgets thermiques diminue leur nombre mais augmente leur taille. Ce phénomène physique, appelé coalescence d'Ostwald [LIFSHITZ61] peut mener à des problèmes de fiabilité et de rendement. La co-implantation carbone-phosphore ne présente pas ce mécanisme grâce à la passivation des interstitiels de silicium par les atomes de carbone, ce qui empêche leur agglomération [ZOGRAPHOS07]. Les défauts présents dans le substrat sont alors beaucoup plus petits et peu nombreux ce qui limite les risques de perte de rendement.

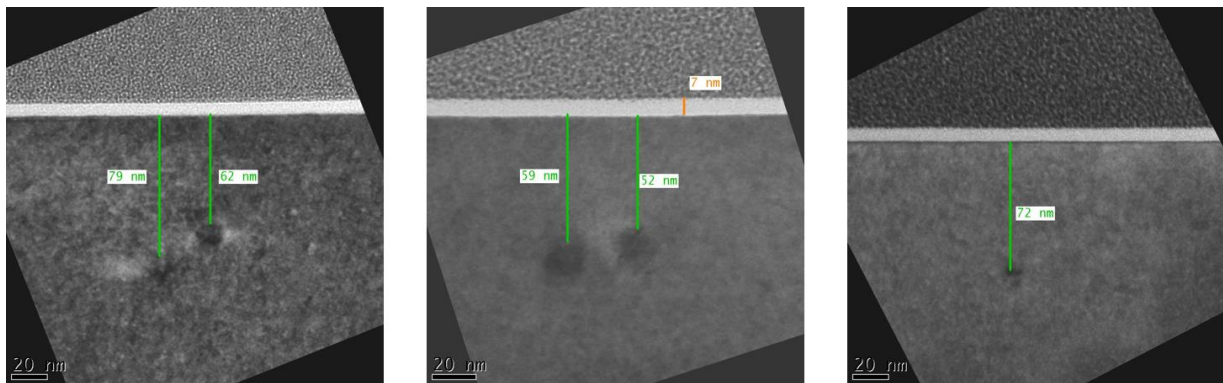


Figure 119 Coupes TEM montrant le type de défauts présents dans le substrat après application du budget thermique en fonction de l'espèce implantée (arsenic à gauche, phosphore au centre et carbone plus phosphore à droite)

### 3.9.3. Résultats électriques

Le courant collecteur est un des paramètres les plus intéressants à analyser dans le but de comparer des composants présentant différents types de collecteurs car il permet de comprendre le comportement électrique de ce dernier en fonction de la polarisation. Ainsi, comme on peut le voir sur la Figure 120, les composants avec un collecteur implanté en arsenic sont en régime de perçage à faible polarisation entre l'émetteur et la base ( $< 0,85$  V). Ceci peut notamment être expliqué par la présence de larges défauts provoquant une ségrégation de dopants importante juste en dessous de la partie intrinsèque du dispositif. Les conditions

d'implantation utilisées ici sont non standard et certainement un peu trop agressives pour permettre le bon fonctionnement du TBH.

Au contraire, la co-implantation carbone-phosphore se rapproche du comportement que l'on retrouve pour les TBH présents en BiCMOS055 réalisés avec un collecteur standard. De plus, le facteur d'idéalité du courant collecteur (extrait entre 0,5 V et 0,7 V en  $V_{BE}$ ) est très similaire entre ces deux options technologiques (1,032 pour un collecteur implanté carbone-phosphore et 1,025 pour un collecteur standard). A contrario, un collecteur implanté arsenic présente un facteur d'idéalité très mauvais ( $\sim 16$ ).

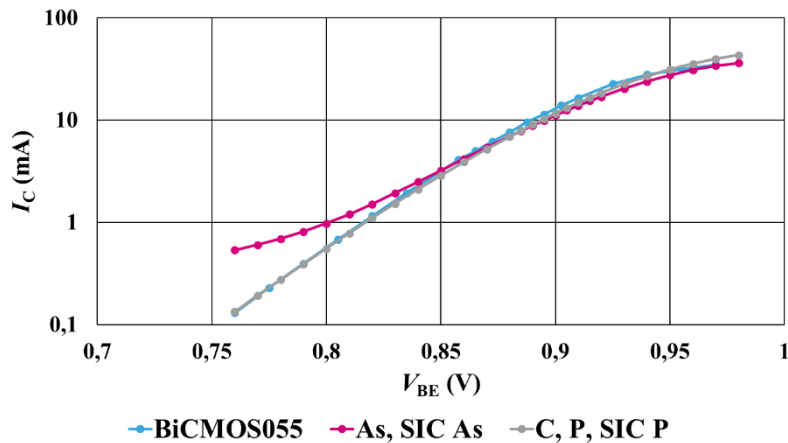


Figure 120 Courant collecteur d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la polarisation entre émetteur et base en fonction du type de collecteur et des espèces implantées (valeurs médianes)

En parallèle d'une technologie à coût limité, l'objectif principal des études sur le collecteur réside dans le fait d'atteindre de hautes performances  $f_T$ , au moins similaires à celles retrouvées en BiCMOS055 (320 GHz). Comme le montre la Figure 121, le composant avec un collecteur implanté arsenic présente des performances inférieures à celles de référence (300 GHz) en plus d'être percé à faible polarisation entre l'émetteur et la base. La co-implantation carbone-phosphore démontre quant à elle tout le potentiel d'une telle technologie. Effectivement, un  $f_T$  maximum de 335 GHz est obtenu, ce qui représente un gain de 15 GHz par rapport au BiCMOS055. A faible polarisation, la fréquence augmente moins rapidement pour le collecteur implanté carbone-phosphore, démontrant ainsi une capacité entre base et collecteur plus importante notamment liée à l'absence de STI. Au contraire, une partie des effets à forte injection (aussi appelés effets Kirk) sont retardés grâce à un dopage collecteur supérieur. La résistance du collecteur est largement diminuée dans le cadre de l'utilisation du phosphore par rapport à l'arsenic (570 Ohms/carré contre 830 Ohms/carré) ce qui explique en majeure partie les meilleures performances et confirme ainsi la meilleure faculté d'activation du phosphore par rapport à l'arsenic.

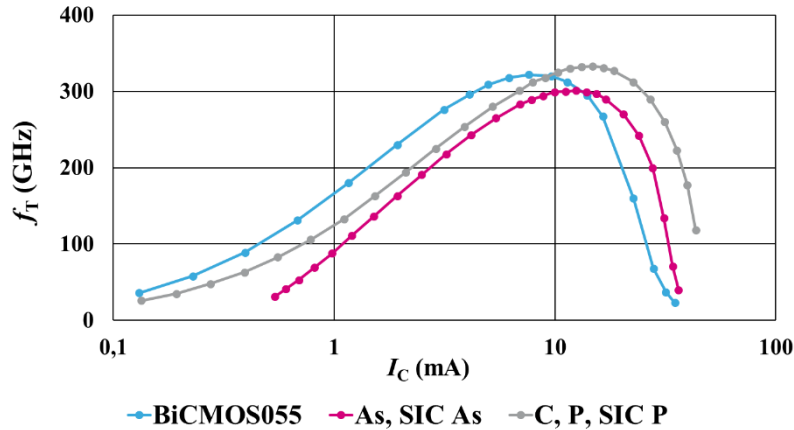


Figure 121 Performances  $f_T$  d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du courant collecteur et du type de collecteur (valeurs médianes)

Il est également intéressant de noter dans le Tableau 7 que les tensions de claquage entre collecteur et base d'un côté et entre collecteur et émetteur de l'autre sont respectivement augmentés de 700 mV et 50 mV en co-implantant du carbone au phosphore. Cette amélioration notable, pourrait majoritairement provenir de la plus faible concentration de phosphore à la jonction entre base et collecteur. Néanmoins, les performances  $f_{MAX}$  sont largement dégradées avec l'utilisation d'un collecteur implanté (- 100 GHz) principalement à cause d'une capacité entre base et collecteur plus importante (6,4 fF pour un collecteur standard contre 14 fF pour un collecteur implanté phosphore).

Tableau 7 Récapitulatif des performances dc et rf d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du type de collecteur ainsi que des espèces implantées dans le cas d'un collecteur implanté (valeurs médianes)

	B55	As SIC As	P SIC P	C, P SIC P	C, P+ SIC P
$f_T$ (GHz)	320	300	270	285	335
$f_{MAX}$ (GHz)	370	250	210	210	260
$BV_{CBO}$ (V)	5,2	3	3	3,7	3,6
$BV_{CEO}$ (V)	1,45	1,35	1,33	1,38	1,38
$I_C$ ideality factor	1,025	16,05	1,044	1,032	1,032
$C_{BE}$ (fF) @ $V_{BE} = 0V$	9,5	10,3	10,3	10,3	10,3
$C_{BC}$ (fF) @ $V_{BE} = 0V$	6,4	11,2	14,2	14,9	14,2
Beta @ $f_{MAX}$	620	460	510	380	380
$RC_{CI}$ (Ohms/sq.)	N.A.	830	785	870	570
$V_{AF}$ (V)	150	30	35	70	45

Pour conclure cette sous-partie, il apparaît que l'arsenic peut difficilement être utilisé pour l'implantation du collecteur, ce dernier menant à des composants percés. Néanmoins, il pourrait être intéressant d'optimiser les conditions d'implantation arsenic afin d'obtenir des composants fonctionnels. L'arsenic est d'ailleurs l'espèce utilisé par l'IHP dans ces travaux sur le collecteur implanté. Au contraire, la co-implantation carbone-phosphore semble être très prometteuse dans la mesure où de très bons compromis  $f_T / BV$  sont obtenus en comparaison avec ce que l'on retrouve en BiCMOS055.



## 3.10. Impact des règles de dessin

### 3.10.1. Règles de dessins de la base extrinsèque

Nous avons vu précédemment que les performances restaient limitées par la capacité entre la base et le collecteur. C'est pourquoi, des structures en « créneaux », dont un exemple est donné en Figure 122, ont été utilisées afin d'optimiser ce paramètre. En diminuant la surface en regard entre la base extrinsèque et le collecteur extrinsèque, la capacité s'en retrouve largement diminuée (-15 %). De plus, la résistance du collecteur est diminuée grâce au rapprochement entre la partie siliciurée du collecteur et la partie intrinsèque du composant.

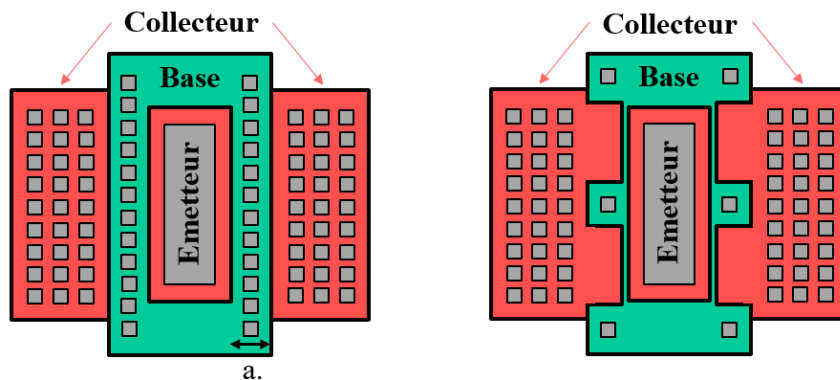


Figure 122 Vue de dessus schématique d'un TBH avec règles de dessin standards à gauche et en créneaux à droite

En conséquence, des performances élevées en  $f_T$  peuvent être obtenues. Conjugée à la co-implantation carbone-phosphore, cette optimisation des règles de dessins a permis d'atteindre un  $f_T$  de 440 GHz pour une structure comprenant deux créneaux (Figure 123), moyenne sur la plaque et 450 GHz pour la meilleure puce) pour un  $BV_{CEO}$  de 1,35 V. Ces performances représentent, à l'heure où ce document est écrit, l'état de l'art d'un transistor bipolaire dans une technologie BiCMOS, tous nœuds confondus [GAUTHIER18].

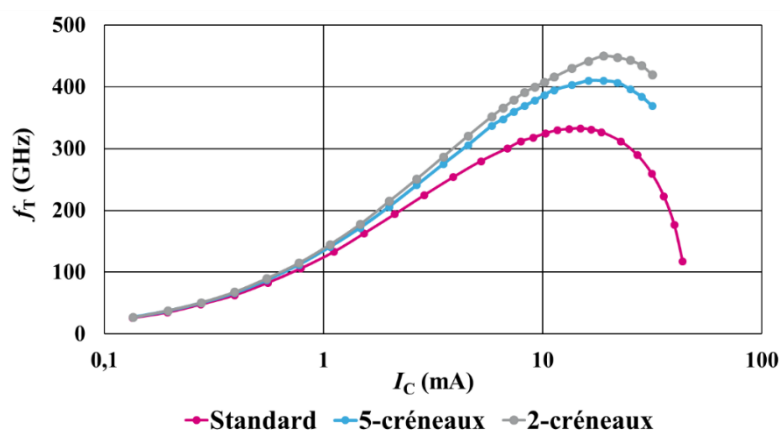


Figure 123 Performances  $f_T$  d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction du courant collecteur et du type de règles de dessin utilisé (valeurs médianes)

En contrepartie, ces structures présentent le désavantage d'augmenter la résistance de base extrinsèque. Comme le montre la Figure 124, la résistance de base totale passe de 26 Ohms

pour une structure sans créneau à 104 Ohms pour la structure la plus agressive avec deux créneaux. En considérant que la résistance de base intrinsèque reste constante, la dégradation de ce paramètre est très majoritairement due à la contribution extrinsèque. Les performances  $f_{MAX}$  s'en retrouvent par conséquent pénalisées avec un impact limité pour les structures à cinq et quatre créneaux avant de chuter de manière exponentielle à partir de trois créneaux. Il est à noter que le passage à une structure à cinq créneaux n'implique pas de diminution de  $f_{MAX}$  malgré une augmentation de la résistance de base. Cette dernière étant compensée par l'augmentation de  $f_T$ . Un compromis  $f_T / f_{MAX}$  de 410 GHz / 260 GHz est obtenu pour ce type de structure et l'utilisation conjointe de SSTI présentée un peu plus loin pourrait permettre d'avoir des valeurs de  $f_T$  et  $f_{MAX}$  supérieures à 400 GHz.

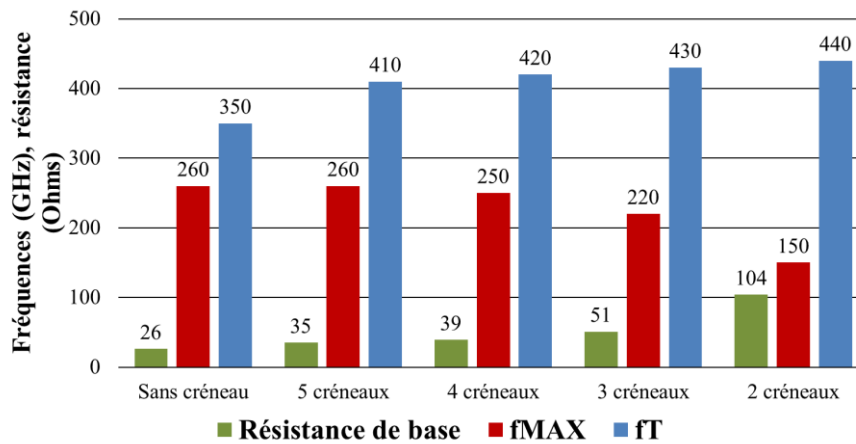


Figure 124 Performances et résistance de base d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la règle de dessin appliquée (valeurs médianes)

### 3.10.2. Impact de l'isolation par DTI

La région dopée d'un collecteur implanté se situe beaucoup plus en surface qu'un collecteur standard. Une isolation latérale par des tranchées profondes (DTI) n'est donc pas obligatoire. Des structures sans DTI ont été réalisées et mesurées afin d'évaluer le gain en performances obtenu dans cette configuration. Effectivement, les DTI ne permettent pas une dissipation optimale de la chaleur produite par le composant et ont par conséquent un effet néfaste sur les performances. Comme on peut le voir sur la Figure 125, la suppression de ces tranchées d'isolation permet d'augmenter les performances  $f_T$  et  $f_{MAX}$  de respectivement 15 GHz et 5 GHz tout en gardant des tensions de claquage identiques (dépendantes de la partie intrinsèque du composant). Ce gain est néanmoins à nuancer par le fait que l'empreinte surfacique de tels composants est supérieure (dépend de la tenue en tension souhaitée de la jonction) à celle que l'on retrouve pour des structures avec DTI.

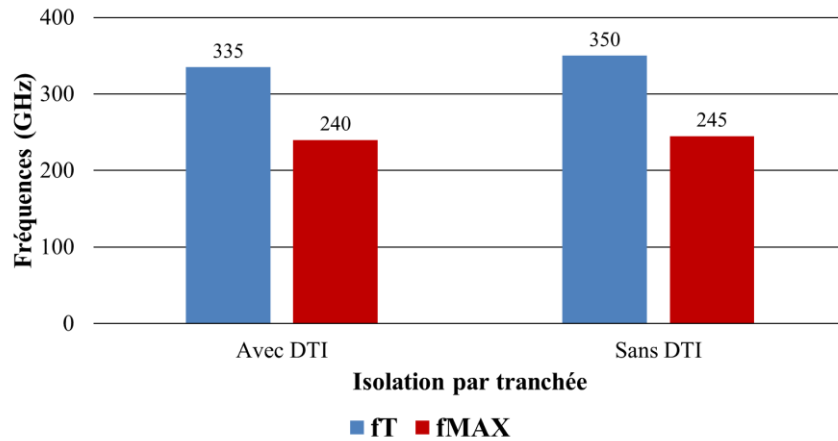


Figure 125 Performances  $f_T$  et  $f_{MAX}$  d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de l'utilisation d'une isolation par jonction ou par DTI (valeurs médianes)

### 3.10.3. Impact de la largeur de la base extrinsèque

Nous avons vu dans le cadre de l'utilisation de structure en créneaux que la surface de base extrinsèque avait un impact direct sur la résistance de base et par conséquent sur le  $f_{MAX}$ . De ce fait, des structures 3-créneaux possédant des largeurs de base extrinsèque (distance a. sur Figure 122) différentes ont été embarquées sur les plaques. La Figure 126 montre que l'augmentation de cette dimension latérale améliore sensiblement la  $f_{MAX}$  (+ 15 GHz) mais possède un impact bien plus négatif sur le  $f_T$  avec une perte de 55 GHz principalement due à l'augmentation de la résistance du collecteur.

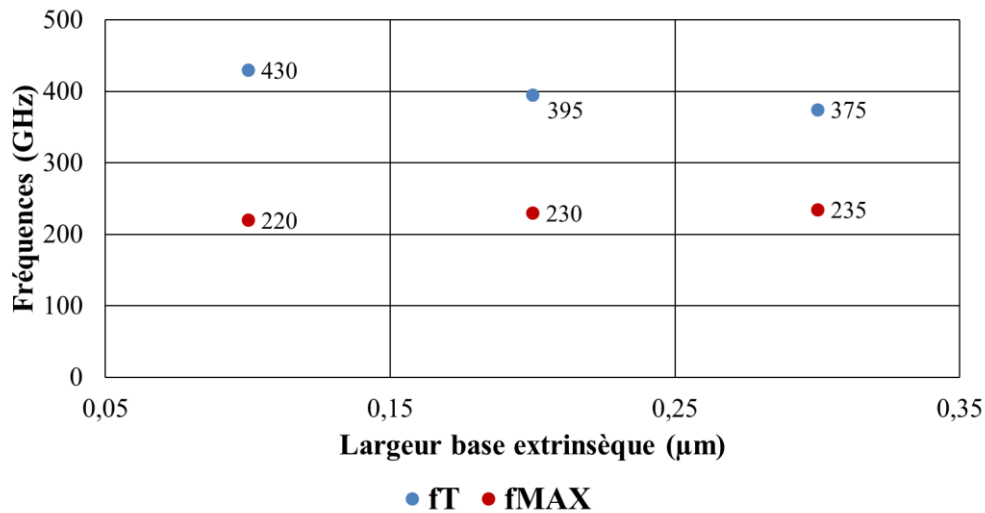


Figure 126 Performances  $f_T$  et  $f_{MAX}$  d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  à trois créneaux en fonction de la largeur de la base extrinsèque (valeurs médianes) à  $V_{BE} = 0,93 \text{ V}$  et  $V_{CE} = -0,5 \text{ V}$

### 3.11. Mesures de puissance

Afin de compléter les mesures effectuées sur les composants précédemment présentés, des caractérisations en puissance ont été réalisées. L'objectif de cette étude est de déterminer la relation entre le nombre de créneaux présents au niveau du composant (auquel est directement reliée la fréquence  $f_{MAX}$ ) et les performances en puissance.

#### 3.11.1. Recherche des polarisations et impédances optimales

Dans cette partie, tous les composants mesurés présentent un collecteur implanté carbone-phosphore. La première partie du travail réalisé consiste à rechercher les polarisations et impédances optimales afin d'obtenir les performances maximales en puissance. De plus, afin de pouvoir comparer plus facilement les performances des différents composants, la polarisation entre l'émetteur et le collecteur est maintenue constante à 1,9 V. Comme on peut le voir dans le Tableau 8, la valeur de polarisation optimisée entre la base et l'émetteur diminue avec la réduction du nombre de créneaux. Cet effet, lié à l'auto-polarisation du composant découlant d'une commande en tension et non en courant est attendue et est directement corrélé à la différence de  $V_{BE}$  au pic de  $f_T$ . A noter que le composant comportant deux créneaux n'a pu être optimisé à cause d'une mauvaise tenue en puissance.

Tableau 8 Récapitulatif des polarisations et impédances optimales d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction des règles de dessins utilisées à 94 GHz

Nombre de créneaux	$V_{BE}$ optimisée (V)	$V_{CE}$ optimisée (V)	$Z_{Optimale}$
Structure standard	0,87	1,9	$0,43^{138^\circ}$
5	0,86	1,9	$0,46^{142^\circ}$
4	0,84	1,9	$0,40^{136^\circ}$
3	0,82	1,9	$0,46^{136^\circ}$
2	0,86	1,9	$0,40^{152^\circ}$

#### 3.11.2. Le gain en puissance

Comme le montre la Figure 127, le gain en puissance des composants dépend largement du nombre de créneaux. La structure à cinq créneaux possède un gain supérieur à celui sans créneau. La densité de courant collecteur plus importante peut expliquer cette différence. De plus, il est à rappeler que l'utilisation d'un composant à cinq créneaux n'a pas d'impact sur la  $f_{MAX}$  mais permet un gain important en  $f_T$ . La diminution du nombre de créneau entraîne ensuite une chute du gain en puissance qui est pénalisé par un  $f_{MAX}$  plus faible. Il est difficile de concevoir des circuits avec des composants présentant un gain en puissance inférieur à 3 ou 4 dB. Ainsi seuls les composants avec un nombre de créneaux supérieur à quatre pourraient être intégrés dans un circuit.

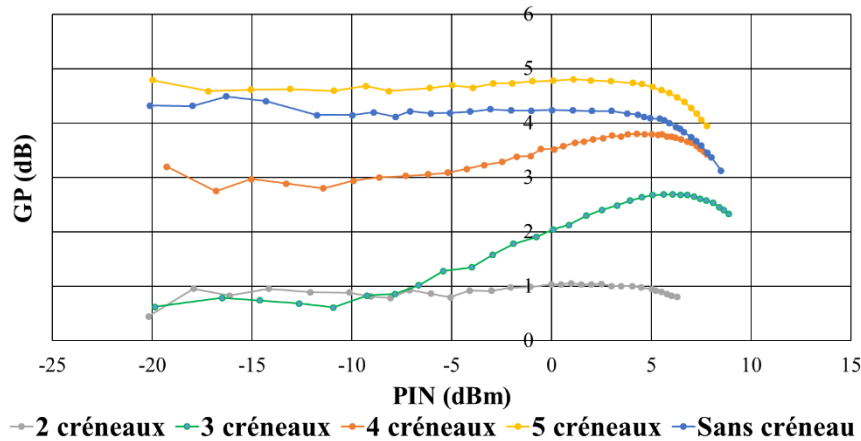


Figure 127 Gain en puissance à 94 GHz d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée pour différentes règles de dessin

### 3.11.3. La puissance de sortie

La puissance de sortie d'un composant est également un paramètre important pour les applications de puissance. La Figure 128 représente ce paramètre en fonction de la puissance injectée. L'augmentation du nombre de créneaux permet d'augmenter la puissance de sortie et une puissance de 11 dBm est obtenue avec les composants aux règles de dessin standard et avec cinq créneaux. Ces valeurs, extraites à 1 dB de compression sont très supérieures à ce que l'on peut retrouver avec un composant présentant un collecteur standard (possédant une couche enterrée et présentant des puissances de sorties comprises entre 8 et 9 dBm). Ceci peut s'expliquer d'une part par l'absence conjointe de STI et de DTI, ce qui permet une très bonne dissipation thermique, et d'autre part par la présence de carbone dans le collecteur permettant d'élargir la surface du cône de diffusion (hypothèse). Des mesures thermiques appuyées par des simulations devraient permettre de statuer sur l'origine de ce mécanisme physique.

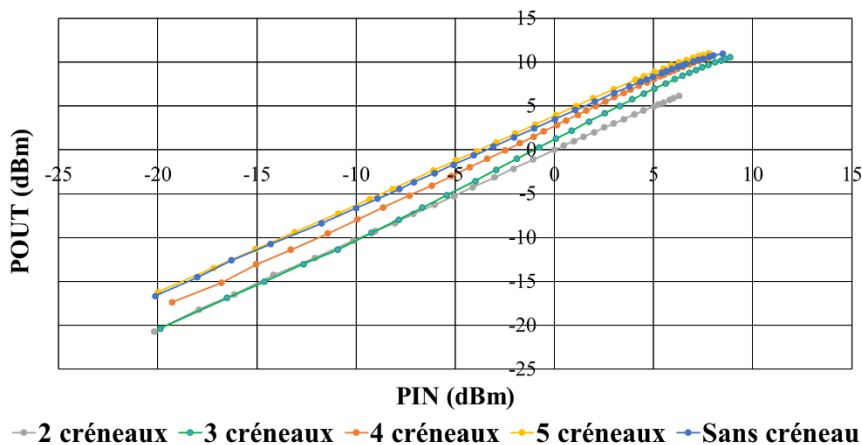


Figure 128 Puissance de sortie à 94 GHz d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée pour différentes règles de dessin

### 3.11.4. L'efficacité en puissance

Pour finir, l'efficacité du transistor (PAE) reste un paramètre important. Ainsi, comme le montre la Figure 129 ci-dessous, un composant possédant cinq créneaux permet d'atteindre

une PAE maximale de 22,2 %. La diminution du nombre de créneaux entraîne une chute exponentielle de cette valeur. De plus, il est à noter que le composant de référence (sans créneau) possède une PAE inférieure. Une des explications à ce phénomène se situe dans le fait que la siliciuration du collecteur, plus proche de la fenêtre de l'émetteur dans le cadre d'un composant à créneaux, permet une meilleure dissipation thermique. D'un point de vue puissance, le gain plus élevé est également corrélé à ce paramètre.

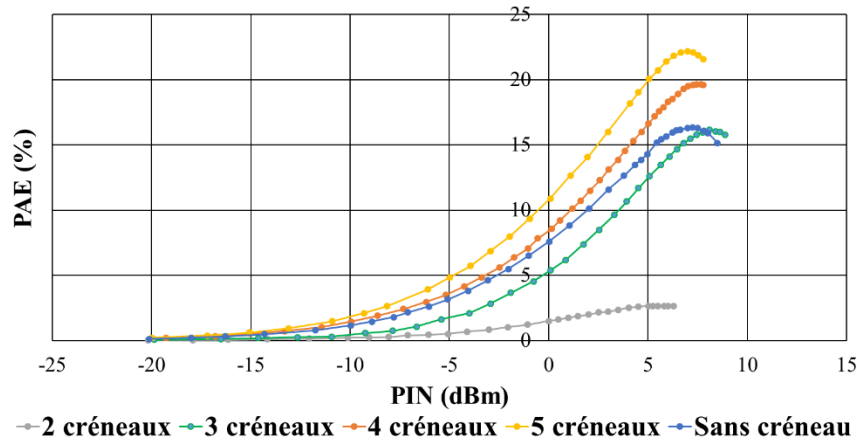


Figure 129 PAE d'un composant  $0,2 \times 5,56 \mu\text{m}^2$  en fonction de la puissance injectée pour différentes règles de dessin

### 3.11.5. Récapitulatif

Le Tableau 9 rassemble tous les principaux paramètres mesurés. La puissance de sortie obtenue pour un composant à cinq créneaux est de 11,0 dBm ou 12,5 mW. Ramenée à la surface de l'émetteur, la densité de puissance est de 32,8 mW /  $\mu\text{m}^2$ . Cette valeur représente une amélioration supérieure à 50 % par rapport aux mesures de puissance réalisées sur des composants avec un collecteur standard. Associée à une PAE de 22,2 % et un gain légèrement inférieur à 5 dB, cette densité de puissance représente un point de départ très intéressant dans la conception de circuits rapides nécessitant de fortes puissances.

Tableau 9 Récapitulatif des performances à 94 GHz pour un composant d'aire  $0,2 \times 5,56 \mu\text{m}^2$  pour différentes règles de dessin

Nombre de créneaux	$f_T$ (GHz)	$f_{MAX}$ (GHz)	$P_{OUT}$ à 1 dB (dBm)	$G_P$ max. (dB)	PAE max. (%)
Standard	335	260	11,0	4,25	16,3
5	410	260	11,0	4,80	22,2
4	420	250	10,8	3,80	19,6
3	430	220	10,6	2,70	16,2
2	440	150	6,1	1,05	2,7

### 3.12. Développement d'un SSTI

Nous avons vu précédemment que le collecteur implanté permettait d'atteindre des valeurs de  $f_T$  très élevées. Néanmoins, les performances  $f_{MAX}$  sont très pénalisées par la  $C_{BC}$ . Phénomène accentué en l'absence de STI. Ainsi, afin de réduire cette capacité, le développement d'un « Super-STI » en anneau, qui n'est autre qu'un STI très peu profond, devient nécessaire comme représenté sur la partie droite de la Figure 130. Ce module a l'avantage de ne pas augmenter la résistance du collecteur de par sa faible profondeur et de diminuer la capacité entre les parties extrinsèques de la base et du collecteur.

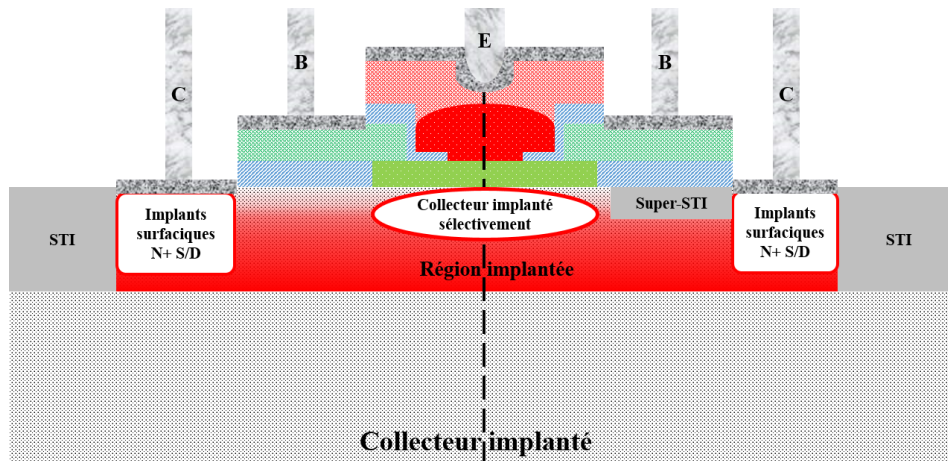


Figure 130 Vue schématique d'un collecteur implanté sans (à gauche) et avec un SSTI (à droite)

#### 3.12.1. Impact sur l'implantation du collecteur

La formation d'un tel module a néanmoins un impact sur l'implantation des dopants dans le collecteur. Quatre intégrations ont été évaluées à l'aide de simulations TCAD. L'arsenic a été utilisé pour ces simulations car les interactions physico-chimiques avec le silicium sont mieux calibrées que pour le carbone ou le phosphore. L'important budget thermique utilisé pour la densification de l'oxyde de remplissage du SSTI ne permettant pas un bon contrôle du profil de dopants, l'hypothèse d'une implantation du collecteur avant la gravure du SSTI et avant son remplissage a d'emblée été écartée. Ainsi, deux intégrations ont été étudiées de manière précise par simulations: une implantation autour du SSTI (Figure 131 gauche), et une implantation à travers le SSTI (Figure 131 droite).

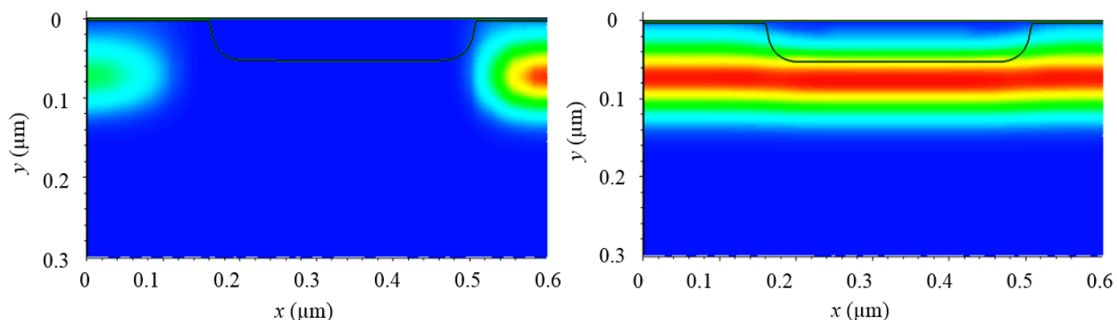


Figure 131 Coupe 2D extraite de simulations TCAD pour une implantation autour du SSTI (à gauche) et à travers le SSTI (à droite)

Les profils de dopants obtenus après diffusion, et représentés sur la Figure 132, montrent clairement un avantage à utiliser l'implantation à travers le SSTI permettant d'avoir une zone peu résistive sous le SSTI contrairement à une implantation autour de ce dernier.

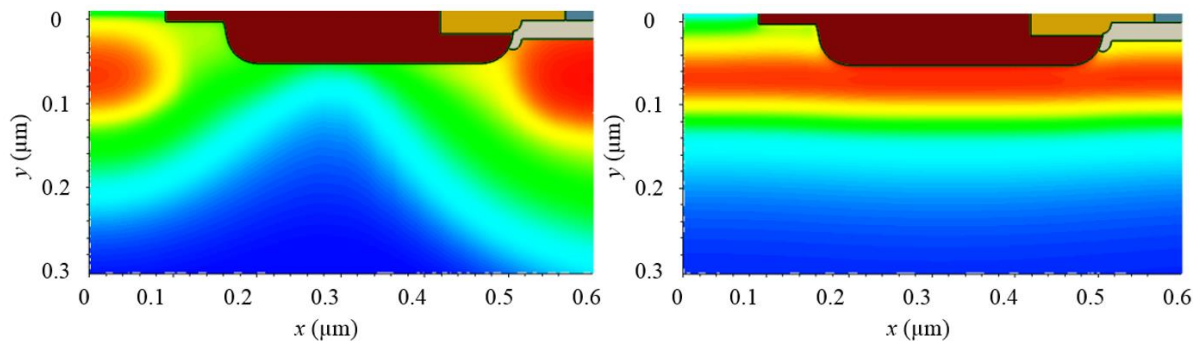


Figure 132 Coupe 2D extraite de simulations TCAD après pour une implantation autour du SSTI (à gauche) et à travers le SSTI (à droite)

L'implantation à travers l'oxyde du SSTI aurait pu provoquer l'injection d'atomes d'oxygène dans le substrat qui peut avoir pour conséquence la création de défauts menant à une perte de rendement paramétrique. Néanmoins, des analyses SIMS (Figure 133) ont démontré que les atomes d'oxygène n'étaient pas déplacés vers le silicium. De plus, il apparaît que la majeure partie des atomes implantés traversent l'oxyde sans s'y implanter ce qui représente un point important quant à la fiabilité de ce dernier.

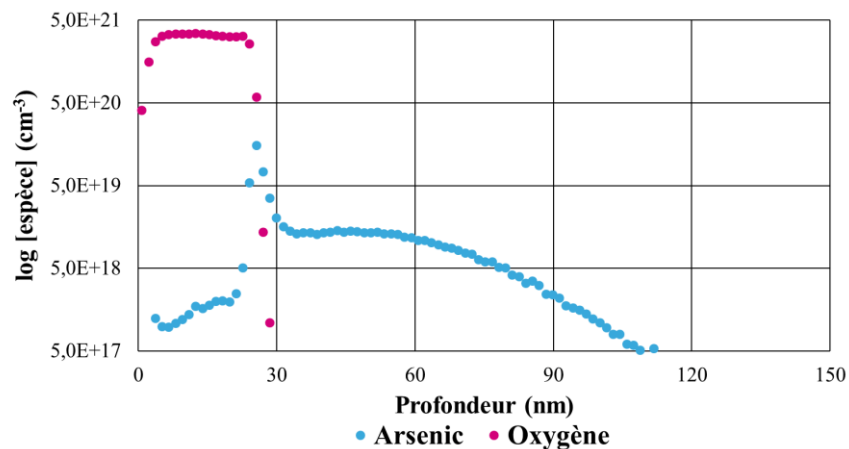


Figure 133 Analyse SIMS montrant les profils d'arsenic et d'oxygène en fonction de la profondeur

### 3.12.2. Lien entre profondeur du SSTI et performances $dc$

Afin de compléter ces résultats, une étude de la profondeur du SSTI sur les performances  $dc$  a été menée afin d'optimiser les performances  $hf$ . Ces simulations ne sont évidemment valables que pour un jeu de conditions d'implantation donné. Ainsi, comme le montre le Tableau 10, la  $C_{BC}$  peut être largement diminuée avec l'implémentation d'un SSTI (jusqu'à -75 % pour une profondeur de 100 nm). Au contraire, la résistance du collecteur est augmentée du fait de l'allongement du trajet à parcourir par les électrons du collecteur intrinsèque vers les contacts et par l'augmentation de la résistivité sous le SSTI. Un SSTI de 50 nm présente le meilleur compromis entre une capacité de 2,3 fF et une résistance de 21 Ohms pour un composant de  $0,2 \times 5,56 \mu\text{m}^2$  et sera donc implémenté sur silicium. La diminution de la  $C_{BC}$



sera très favorable à la  $f_{MAX}$  alors que la légère augmentation de  $R_C$  ne sera que peu impactante sur la  $f_T$ . Le gain sur la  $f_{MAX}$  est ici évalué à 50 GHz d'après les simulations TCAD.

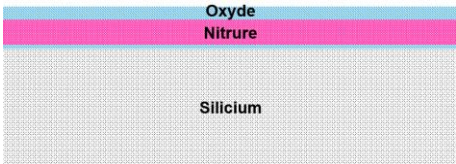

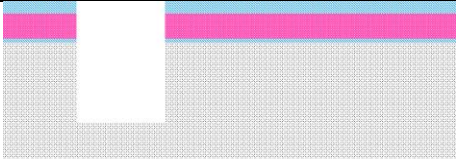
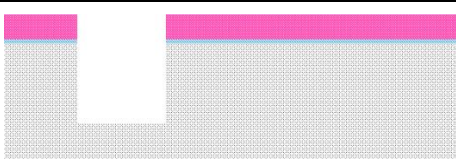
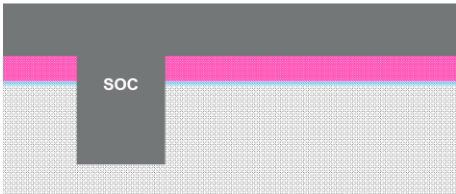
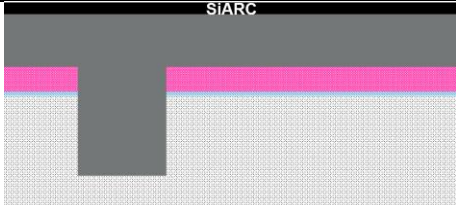
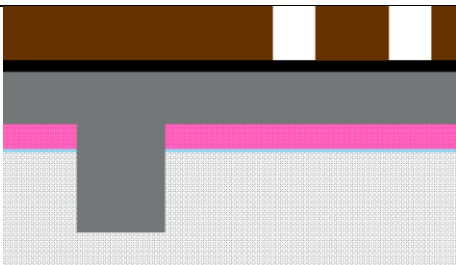
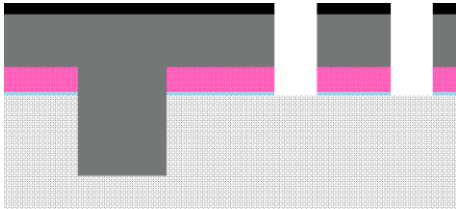
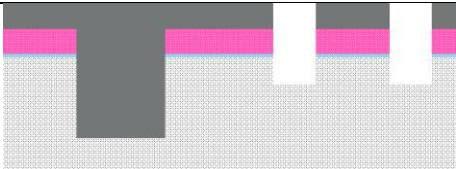
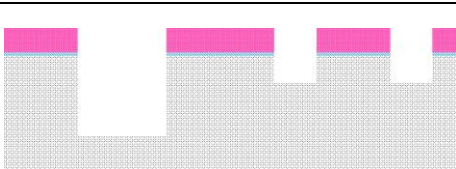
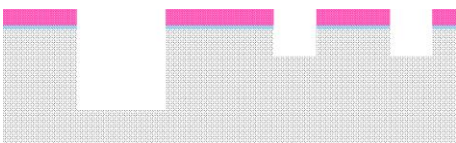
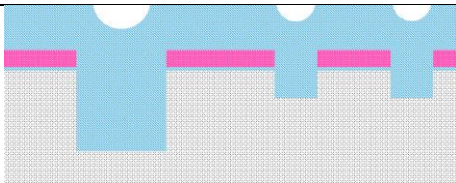
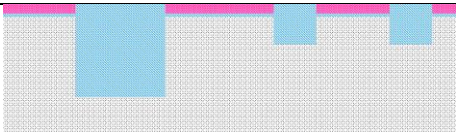
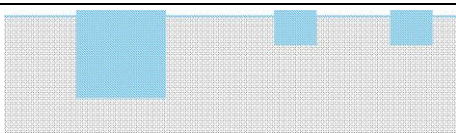
Tableau 10 Récapitulatif des paramètres  $dc$  d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  extraits de simulations en fonction de la profondeur du SSTI

	$C_{BC}$ (fF)	$R_C$ (Ohms)
Sans SSTI	7,1	15
50 nm	2,3	21
75 nm	1,8	37
100 nm	1,6	49

### 3.12.3. L'intégration du SSTI dans les étapes de fabrication

Si l'implémentation d'un module SSTI permet d'augmenter les performances du transistor bipolaire, cette dernière induit un coût supplémentaire pour la technologie. Ainsi son intégration au sein de la route de fabrication a été pensée afin de limiter au maximum le surcoût engendré. Les étapes de remplissage par de l'oxyde, de densification et de CMP ont été décidées comme communes aux STI et SSTI. Il est à noter que la densité des structures SSTI sur la plaque est suffisamment faible pour qu'elle n'ait pas d'impact sur ces procédés. Ainsi, après avoir réalisé les structures STI (étapes 1 à 4 dans le Tableau 11), ces dernières sont remplies de SOC (matériau carboné) épais ayant pour but de planariser la plaque (étape 5). Ensuite, un SiARC ainsi qu'une résine 193 nm sont déposés avant insolation et développement (étapes 6 et 7). Une gravure sèche réalisée en plusieurs étapes permet de transférer les structures dans le silicium (étapes 8 et 9). Enfin, après avoir retiré les matériaux utilisés pour la lithographie (étapes 10 et 11), les cavités STI et SSTI sont remplies d'oxyde (étape 12) avant l'application d'un procédé de CMP afin d'amincir la surface de la plaque (étape 13). Les matériaux ayant servi de couche d'arrêt sont finalement gravés par chimie humide (étape 14).

Tableau 11 Vues schématiques 2D montrant le procédé de fabrication de la co-intégration de SSTI en anneau avec des STI

(1) Dépôt masque dur	(2) Lithographie STI
	
(3) Gravure sèche STI et retrait résine	(4) Gravure humide oxyde
	
(5) Remplissage STI avec SOC	(6) Dépôt SiARC
	
(7) Lithographie SSTI	(8) Gravure sèche masque dur
	
(9) Gravure sèche silicium	(10) Retrait SOC
	
(11) Gravure humide nitrure	(12) Remplissage et densification oxyde
	
(13) CMP STI - SSTI	(14) Gravure humide nitrure
	

Après avoir été développé de manière isolée à l'aide de procédés de fabrication courts, le SSTI a été co-intégré aux STI et DTI comme le montre la Figure 134. Les zones actives restent protégées par le masque dur en nitrure pendant la gravure des STI et SSTI et les STI sont remplis de SOC pendant la gravure SSTI. A noter que le DTI n'est pas nécessaire dans le cas de l'utilisation d'un collecteur implanté et que le SSTI peut être réalisé de manière indépendante.

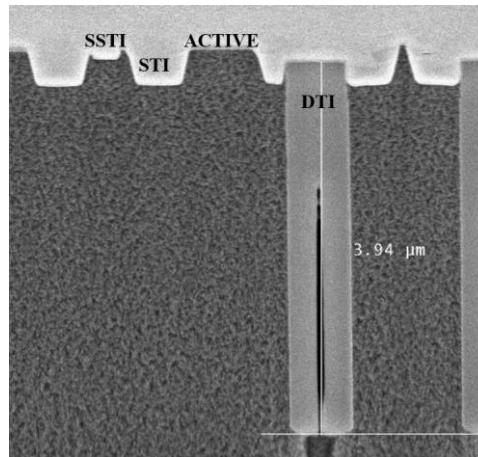


Figure 134 Imagerie SEM de la co-intégration de DTI, STI et SSTI en anneau

Le résultat de ce procédé de fabrication permet d'avoir un SSTI en anneau au niveau du TBH comme le montre la Figure 135. Néanmoins, ce type de structures présente des inconvénients. Premièrement, l'alignement (1) entre le SSTI et la fenêtre de l'émetteur est critique. Un masque de grade élevé (très bonne capacité à assurer des dimensions critiques agressives ainsi que des alignements de très bonne qualité) est nécessaire pour cette réalisation. De plus, la lithographie à trois couches (SOC, SiARC et résine) est assez coûteuse. Ensuite, on note une zone (2) au niveau de laquelle un manque de dopants pourrait apparaître en fonction de la profondeur d'implantation. Enfin, la fabrication de SSTI en anneaux, à l'instar de ce qui est obtenu avec un STI induit de la topologie (3) aux abords de la fenêtre de l'émetteur et peut engendrer, comme vu pendant le développement de la technologie BiCMOS055, des difficultés de gravure menant à des pertes de rendement.

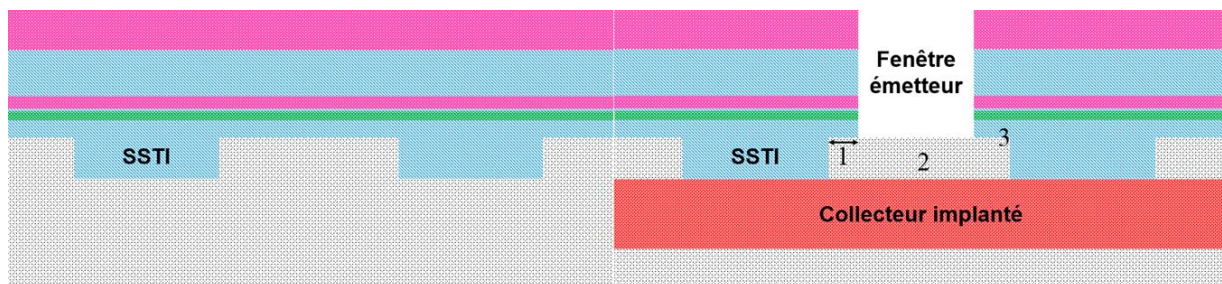


Figure 135 Vues schématiques 2D montrant le positionnement des SSTI en anneau par rapport à la fenêtre de l'émetteur du TBH

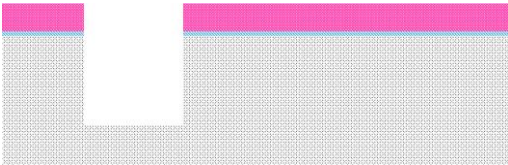
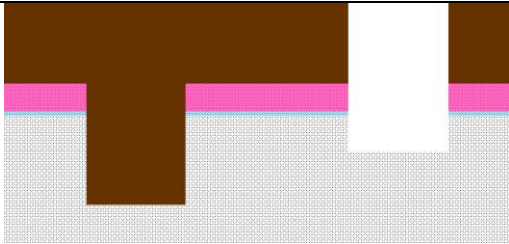
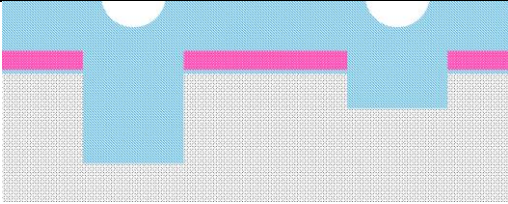
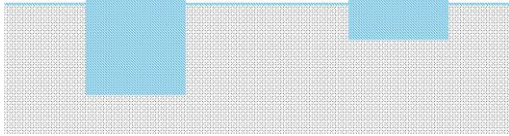
#### 3.12.4. Vers un SSTI auto-aligné en BiCMOS055X

Nous avons précédemment vu qu'un module SSTI en anneau pouvait présenter un certain nombre de contraintes difficilement contournables. Afin d'y parer, une nouvelle



intégration présentant de nombreux avantages a été pensée, notamment dans le cadre du développement de la nouvelle architecture de TBH (voir chapitre 4). Le mode de réalisation décrit est protégé par un dépôt de brevet et est représenté dans le Tableau 12. L'idée de base consiste à ne dessiner qu'un SSTI beaucoup plus large ( $> 0,5 \mu\text{m}$ ) au lieu d'une structure en anneau dont les dimensions sont beaucoup plus critiques. Ainsi, la lithographie à trois couches nécessaire pour le SSTI en anneau n'est plus nécessaire. Une résine épaisse (étape 2 dans le Tableau 12) ainsi qu'un masque de grade moins élevé suffisent à la réalisation de cette structure. Les autres étapes de réalisation restent similaires.

Tableau 12 Vues schématiques 2D montrant le procédé de fabrication de la co-intégration de SSTI unique avec des STI

Gravure STI	Lithographie SSTI unique
	
Remplissage oxyde	CMP et gravures humides nitrure
	

Contrairement au SSTI en anneau, et grâce à la réduction de la hauteur totale des matériaux déposés pour la réalisation du TBH en BiCMOS055X, l'invention repose sur le fait de graver le SSTI en même temps que la fenêtre de l'émetteur dans une zone active entourée de STI. De ce fait, un alignement parfait est obtenu entre la partie intrinsèque du TBH et le SSTI. De plus, l'épitaxie d'un collecteur intrinsèque (rouge foncé dans le Figure 136) permet de venir connecter le collecteur extrinsèque implanté (rouge clair sur la Figure 136), et ainsi de diminuer largement la résistance du collecteur sans pour autant augmenter la capacité entre la base et le collecteur. Enfin, les problèmes induits par la topologie sont supprimés, les couches servant à la fabrication du TBH étant déposées sur la structure large de SSTI, avant gravure.

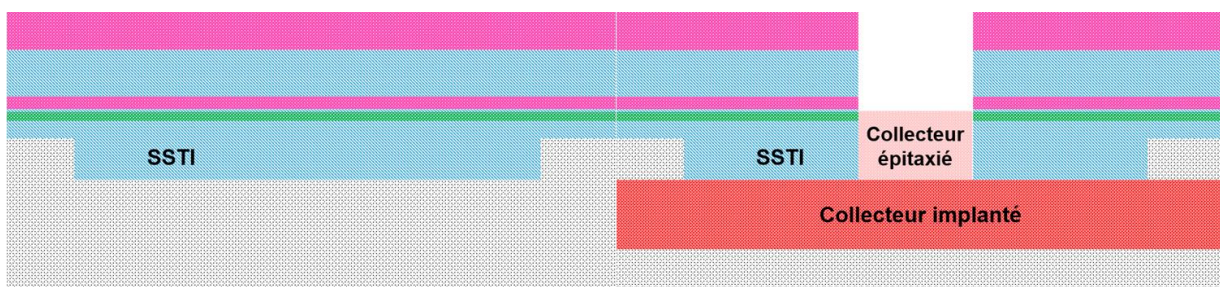


Figure 136 Vues schématiques 2D montrant le positionnement du SSTI auto-aligné par rapport à la fenêtre de l'émetteur du TBH

Une vue de dessus réalisée par microscopie en Figure 137 représente l'intégration de ce SSTI au sein d'une seule et même zone active isolée par des modules DTI et STI et avant dépôt des matériaux nécessaires à la réalisation du TBH.

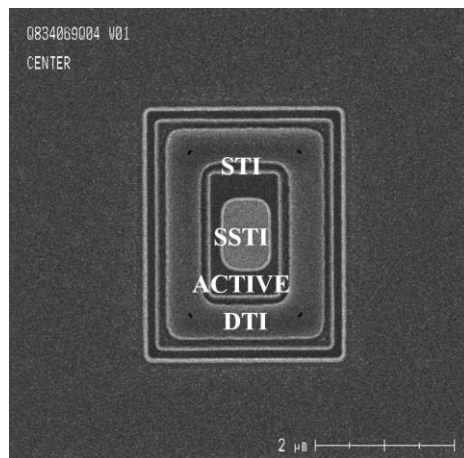


Figure 137 Imagerie SEM vue de dessus de la co-intégration de DTI, STI et SSTI unique

Une coupe a également été réalisée validant l'intégration du SSTI unique comme le montre la Figure 138.

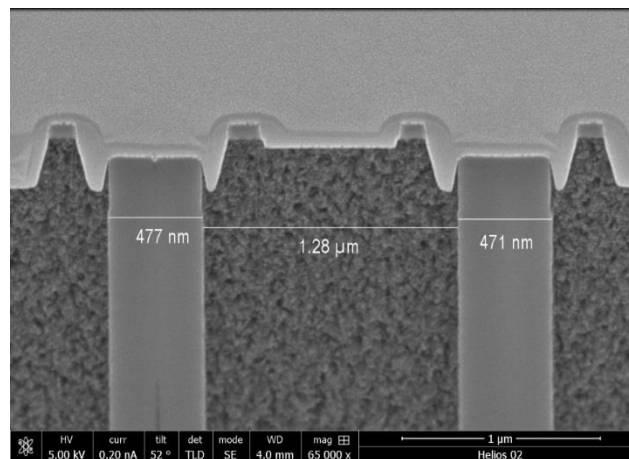


Figure 138 Imagerie SEM en coupe de la co-intégration DTI, STI et SSTI unique

### 3.12.5. Un SSTI auto-aligné utilisé pour le dopage du collecteur

Un dépôt de brevet complémentaire à celui précédemment présenté permet une nouvelle méthode de dopage du collecteur extrinsèque. Nous avons vu que même si des technologies comme la co-implantation du carbone avec le phosphore pouvaient permettre d'atteindre d'excellentes performances ainsi qu'une bonne qualité de substrat, les implantations restent à risque en ce qui concerne le rendement des dispositifs.

Par conséquent, une nouvelle approche est décrite sur la Figure 139 et met en jeu la diffusion de dopants pour doper la partie du collecteur extrinsèque. A la place de remplir le SSTI uniquement d'oxyde (en bleu), une première couche de polysilicium intrinsèquement dopée est déposée au fond de la structure. Par la suite, les différents budgets thermiques sont utilisés pour faire diffuser les dopants afin de créer le collecteur extrinsèque. La suite du procédé

de fabrication est identique à l'intégration précédente et le polysilicium utilisé peut être sacrificiel afin de créer également des air-gaps sous le SSTI. L'avantage de cette solution est d'avoir un dopage uniforme sur toute la largeur du SSTI sans avoir à l'implanter.

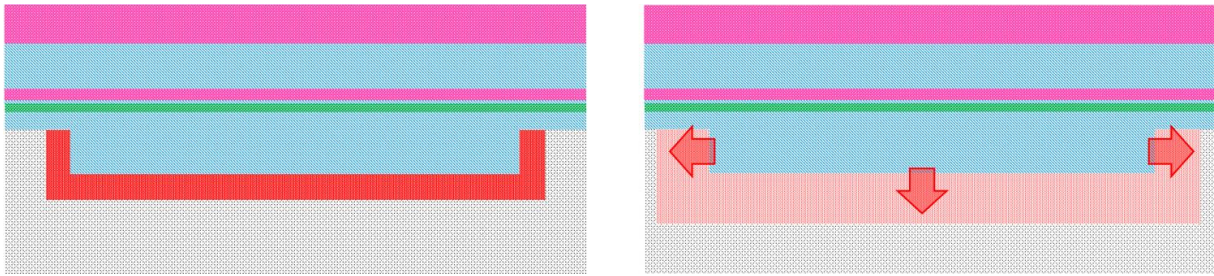


Figure 139 Vues schématiques 2D montrant l'intégration d'un SSTI auto-aligné utilisé pour doper le collecteur extrinsèque

### 3.13. Conclusion

Après avoir étudié les différents types de défauts pouvant être générés par des implantations dans le silicium, des travaux ont été menés dans le but d'atteindre des performances élevées avec un collecteur implanté. Ce type de collecteur présente plusieurs avantages. Premièrement, son coût est largement inférieur à celui présenté par un collecteur standard avec couche enterrée et épitaxie épaisse. Ensuite, sa fabrication n'a pas d'impact sur les transistors CMOS, dans le cas où aucun budget thermique n'est rajouté pour guérir les défauts. Enfin, il permet d'avoir un très bon contrôle de dopants. Ainsi, plusieurs espèces d'implantation ont été évaluées et la co-implantation du carbone avec le phosphore a démontré un potentiel important. En passivant les interstitiels, les atomes de carbone permettent à la fois d'empêcher la ségrégation des défauts ponctuels en défauts étendus et limitent très largement la diffusion du phosphore.

Une optimisation des règles de dessin et l'utilisation de structures en créneaux a permis de fixer un nouveau record de fréquence de transition à 450 GHz pour une technologie BiCMOS, tous nœuds d'intégration confondus. En parallèle des performances fréquentielles, un nouvel état de l'art a été obtenu en ce qui concerne les densités de puissance de ces composants. Ainsi un TBH de  $0,2 \times 5,56 \mu\text{m}^2$  a été mesuré à  $32,8 \text{ mW} / \mu\text{m}^2$  à 94 GHz.

Le collecteur implanté ne présente néanmoins pas que des avantages. La zone peu résistive se situant plus en surface provoque une augmentation de la capacité entre la base et le collecteur limitant ainsi la fréquence maximale d'oscillation. L'implémentation de SSTI permet de réduire considérablement ce paramètre. Le budget thermique des recuits de densification d'oxyde des STI et SSTI ne permettant pas d'implanter le collecteur en début de procédé de fabrication, les implantations sont réalisées après la formation de ces structures. Ainsi, deux intégrations ont été développées sur silicium. Le SSTI unique, pour lequel un brevet a été déposé représente aujourd'hui le potentiel le plus important en considérant une intégration en B55X. L'auto-alignement et l'absence de topologie sont les deux points forts de cette solution technologique. Au moment où cette thèse est rédigée, des lots électriques embarquant les deux intégrations de SSTI sont en cours de fabrication et l'évaluation du gain en terme de performance sera bientôt connu.

## **4. Développements sur silicium d'une nouvelle architecture de transistor bipolaire**



## 4.1. Objectifs

L'objectif de ce chapitre est de présenter la nouvelle architecture de transistor bipolaire développée par STMicroelectronics dans le cadre de la prochaine génération de technologie BiCMOS et de la positionner dans une classification d'architectures.

La technologie BiCMOS055 développée par STMicroelectronics a déjà démontré des performances à l'état de l'art dans un nœud CMOS 55 nm [CHEVALIER14]. Un compromis entre un  $f_T$  de 320 GHz et un  $f_{MAX}$  de 370 GHz a dès lors été atteint pour un  $BV_{CEO}$  de 1.5 V. Néanmoins, la demande toujours croissante en termes de performances des transistors bipolaires à hétérojonction a mené l'entreprise à évaluer la possibilité d'offrir des performances  $f_T > 400$  GHz et  $f_{MAX} > 600$  GHz dans un nœud CMOS 55 nm et sa potentielle intégration dans une plateforme FD-SOI en 28 nm [VU16a].

Les développements en B55 ont été contraints par la réutilisation de l'architecture DPSA-SEG (décrite en 1.6.5.) introduite en BiCMOS9MW [AVENIER09]. Cette dernière, pénalisée très largement par une résistance du lien de la base très élevée ne permet d'atteindre les performances liées à la  $f_{MAX}$ . Effectivement, ce dernier est réalisé durant l'épitaxie de la base intrinsèque et ne peut être optimisé de manière indépendante. De plus, des contraintes liées aux interconnexions métalliques ne permettent pas d'envisager une transposition dans un nœud CMOS 28 nm. C'est pourquoi, l'un des principaux objectifs consiste à développer une toute nouvelle architecture afin d'adresser à la fois les challenges d'un fort  $f_T$  conjugué à un fort  $f_{MAX}$  avec l'objectif d'une compatibilité avec les nœuds CMOS suivants.

## 4.2. Classification des architectures

D'importantes études ont été menées en amont des développements sur silicium afin de déterminer la meilleure architecture possible. La première étape a donc consisté à classer les architectures actuelles et déterminer pour chacune d'entre elles les points forts et les points faibles [VU16b]. Pour se faire, plusieurs critères ont été utilisés.

Tout d'abord, l'auto-alignement peut être considéré comme le premier point de comparaison. Effectivement, cet aspect permet de proposer des règles de dessin latérales agressives. Il est intéressant de noter que les architectures auto-alignées ont systématiquement été utilisées depuis plusieurs années dans le cadre de développements de technologies BiCMOS SiGe avancées car permettant d'atteindre de meilleures performances.

La séquence d'intégration entre la base intrinsèque, la base extrinsèque et le dépôt du polyméteur peut être utilisé comme deuxième point de différenciation.

En terme de performances relatives à la fréquence maximale d'oscillation  $f_{MAX}$ , le lien entre les bases intrinsèque et extrinsèque semble être le point clef en termes de procédé de fabrication. En effet, un contrôle précis du profil de dopants dans le lien et de la cristallinité de ce dernier permet un gain très important, notamment en termes de résistance de base, comme cela sera expliqué plus tard. La méthode de fabrication de ce lien est donc utilisée comme troisième paramètre de classification et peut être catégorisé en trois familles :

- Un contact vertical entre la partie supérieure de la base intrinsèque et la partie inférieure de la base extrinsèque (à l'instar ce que l'on retrouve en BiCMOS055)
- Un contact vertical entre la partie inférieure de la base intrinsèque et la partie supérieure de la base extrinsèque
- Un contact latéral entre les deux régions de la base

En combinant ces trois critères de classification, neuf catégories d'architectures peuvent être distinguées comme le montrent les Figure 140 – Figure 142 [VU16b]. Parmi ces figures, on peut notamment noter que les Figure 140 a) et b) correspondent aux architectures EBL et EEB développées par l'IHP (définies dans le chapitre 1) et ayant permis d'établir le nouveau record en termes de performances d'un transistor bipolaire à hétérojonction dans un procédé de fabrication non compatible avec les transistors CMOS.

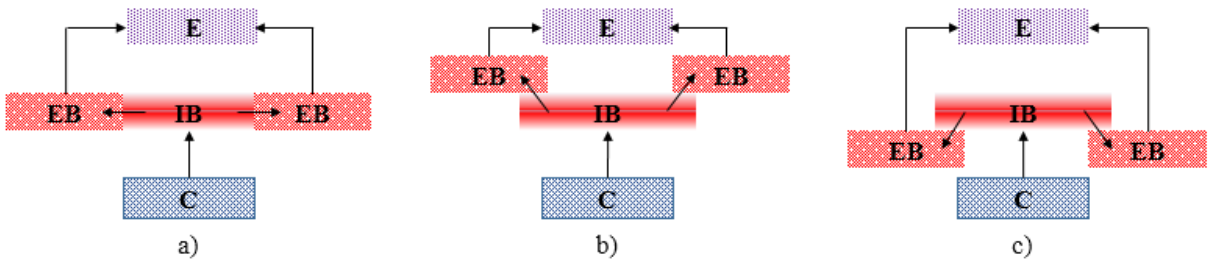


Figure 140 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base intrinsèque, base extrinsèque et émetteur avec différents liens de base [VU16b]

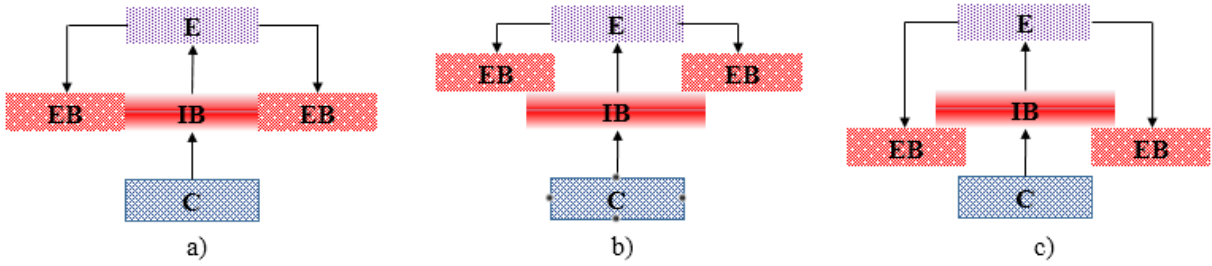


Figure 141 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base intrinsèque, émetteur et base extrinsèque avec différents liens de base [VU16b]

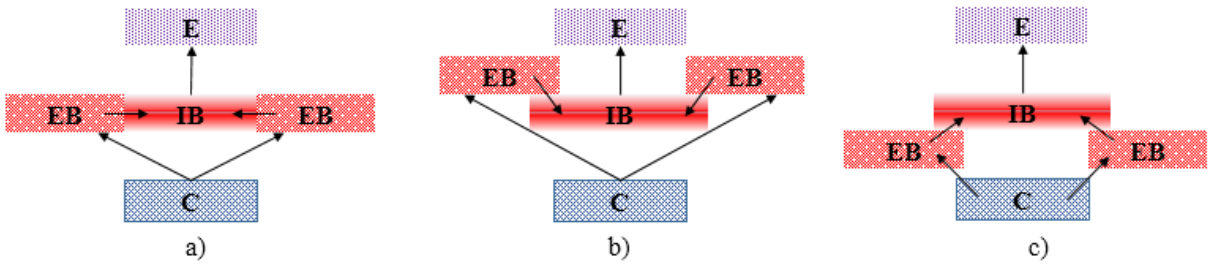


Figure 142 Vues schématiques 2D d'architectures présentant comme ordre de fabrication : collecteur, base extrinsèque, base intrinsèque et émetteur avec différents liens de base [VU16b]

### 4.3. Choix de l'architecture

Suivant cette classification, différentes structures ont été évaluées à l'aide de simulations TCAD dans le but de remplacer l'architecture DPSA-SEG utilisée jusqu'ici en BiCMOS055. Parmi elles, l'architecture « Epitaxial eXtrinsic Base Isolated from the Collector » (EXBIC) a été retenue car présentant le meilleur potentiel en termes de performances [VU16b]. Dans la classification présentée précédemment, cette architecture correspond au schéma d'intégration décrit par les Figure 141 a) et c).

Premièrement, et comme le montre la Figure 143, cette structure présente un collecteur intrinsèquement dopé qui permet de régler de manière plus précise les performances du composant. Ce dernier est isolé de la base extrinsèque par des espaceurs en oxyde limitant ainsi la diffusion des dopants d'une région à l'autre et par conséquent la capacité qui en résulte.

L'architecture est naturellement auto-alignée et présente un lien de base indépendant des bases intrinsèque et extrinsèque. L'avantage est ici de contrôler précisément la stœchiométrie de ce lien afin de réduire au maximum la résistance de base extrinsèque, représentant 70 % de la résistance de base totale en BiCMOS055.

Le collecteur extrinsèque est réalisé par implantation et utilise les études réalisées dans le chapitre 3 de cette thèse. L'un des principaux avantages de ce choix technologique réside dans la compatibilité à être intégré sur un substrat FD-SOI ne permettant pas l'utilisation d'une couche enterrée.

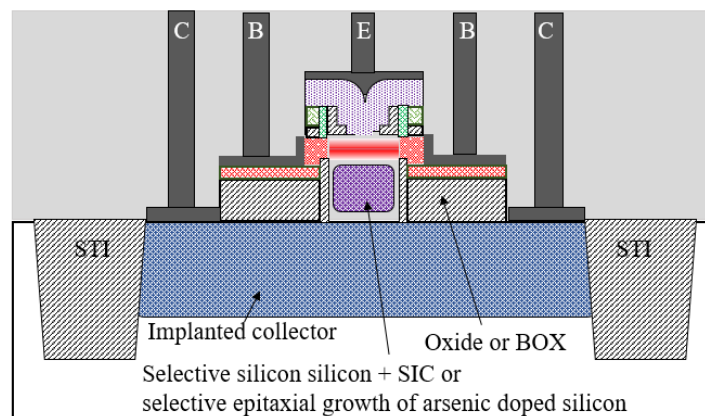


Figure 143 Vue schématique 2D de l'architecture EXBIC [VU16b]

Afin d'évaluer le potentiel de l'architecture EXBIC, des optimisations basées sur des simulations TCAD ont été réalisées afin d'atteindre les performances  $f_T$  &  $f_{MAX}$  visées (400 GHz et 600 GHz). Les hauteurs et largeurs de la fenêtre émetteur, l'épaisseur de l'oxyde piédestal, la largeur des espaceurs ainsi que le dopage de la base ont représenté les principaux leviers d'optimisation [VU16b]. Ainsi, une fois optimisée, l'architecture a pu être comparée à la DPSA-SEG utilisée en BiCMOS055. Les résultats présentés dans la Tableau 13 mettent en avant une réduction de la capacité entre la base et l'émetteur ( $C_{BE}$ ) de 25 % mais surtout de la résistance de base extrinsèque ( $R_{BX}$ ) de plus de 65 %. Grâce à l'amélioration des paramètres  $dc$ , un compromis entre  $f_T$  et  $f_{MAX}$  de 470 GHz / 870 GHz a pu être obtenu.

Tableau 13 Synthèse des performances des architectures DPSA-SEG et EXBIC issues de simulations TCAD [VU16b]

	$C_{BE0}/L_E$ (fF/ $\mu\text{m}$ )	$C_{BC0}/L_E$ (fF/ $\mu\text{m}$ )	$(R_E+R_B)\times L_E$ ( $\Omega.\mu\text{m}$ )	$R_{BX}\times L_E$ ( $\Omega.\mu\text{m}$ )	$BV_{CEO}$ (V)	$f_T$ (GHz)	$f_{MAX}$ (GHz)
DPSA-SEG	1,62	1,17	132	505	1,5	325	473
EXBIC	1,22	1,5	75	160	1,65	473	868

Les valeurs maximales de  $f_T$  et  $f_{MAX}$  sont obtenus à un courant collecteur plus élevé pour l'architecture EXBIC s'expliquant aisément par l'introduction d'un collecteur plus dopé. A une polarisation entre la base et l'émetteur donnée, la densité de courant collecteur est similaire entre les deux architectures alors que la densité de courant de base est légèrement supérieure pour l'EXBIC comme le montre la Figure 144. Un  $BV_{CEO}$  de 1,65 V est obtenu pour l'EXBIC ce qui représente une augmentation de 0,15 V par rapport à la DPSA-SEG. La raison principale de cette amélioration réside dans une meilleure optimisation de la région du collecteur permise par le collecteur intrinsèquement dopé.

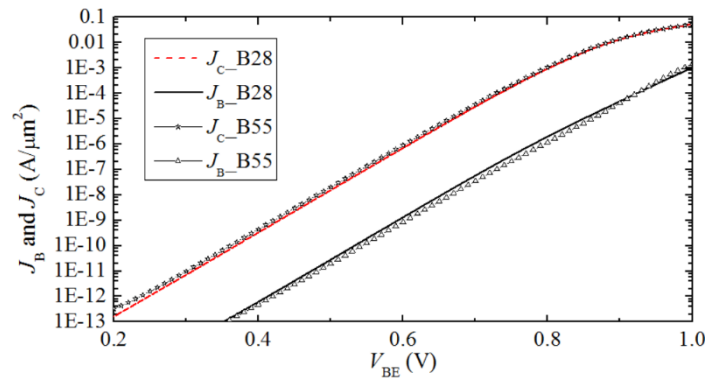


Figure 144 Densité de courant de base et collecteur des architectures DPSA-SEG et EXBIC issues de simulations TCAD [VU16b]

## 4.4. Implémentation sur silicium

L'architecture EXBIC a été étudiée et choisie sur la base de deux concepts clef. Le premier n'est autre que le lien latéral de base, intrinsèquement dopé avec du bore par épitaxie qui permet de réduire fortement la résistance base. Le second consiste à implémenter des espaceurs permettant de s'affranchir de toute diffusion de bore de la base extrinsèque vers le collecteur et inversement avec l'arsenic de ce dernier. Ces deux améliorations majeures ont pour but d'améliorer sensiblement les performances  $f_{MAX}$  afin d'atteindre l'objectif visé (> 600 GHz).

La première étape de fabrication consiste à déposer les différentes couches. Ensuite, une fenêtre émetteur est gravée à travers ces couches et s'arrête sur le substrat. Des espaceurs en oxyde sont réalisés à l'intérieur de cette ouverture dans laquelle le collecteur intrinsèque dopé N est réalisé par épitaxie sélective. La base intrinsèque SiGe:C est ensuite sélectivement épitaxiée dans la cavité. Un émetteur intrinsèquement dopé N est déposé après la formation d'espaceurs en « L ». Après gravure et encapsulation de ce dernier, le nitrure sacrificiel est retiré et l'épitaxie du lien de la base ainsi que de la base extrinsèque est réalisée.

Le début des essais sur silicium a rapidement montré les difficultés que représente l'intégration d'un tel composant. Des modifications ont par conséquent dues être appliquées afin de rendre possibles les développements. Premièrement, une simplification du procédé de fabrication a été effectuée dans le but de limiter le nombre d'étapes. Ainsi, la difficulté de l'intégration, le temps de fabrication et le coût s'en trouvent diminués. De plus, un nouveau module d'espaceurs internes a été développé afin de limiter la topologie de l'émetteur afin de limiter l'effet « plug » rencontré en BiCMOS055 et montré dans le Tableau 14. Ces améliorations ont donné lieu à un dépôt de brevet sur l'intégration d'un transistor bipolaire. Il est à souligner que tous les développements montrés par la suite n'ont été effectués qu'avec une centaine de plaques alors que les challenges associés à l'intégration ont été très nombreux.



Tableau 14 Comparaison des étapes de fabrication simulées en TCAD et finalement réalisées sur silicium

	Ancienne intégration	Nouvelle intégration									
Epitaxie base											
Dépôt matériaux											
Gravure espaceurs en « D »											
Ouverture espaceurs en « L »											
Réduction topologie											
Code couleur	<table border="0"> <tr> <td> Silicium non dopé</td> <td> Polysilicium dopé P</td> <td> Silicium dopé P</td> </tr> <tr> <td> Silicium amorphe</td> <td> Silicium dopé P-</td> <td> Silicium dopé N</td> </tr> <tr> <td> Nitrure</td> <td> Oxyde</td> <td></td> </tr> </table>		Silicium non dopé	Polysilicium dopé P	Silicium dopé P	Silicium amorphe	Silicium dopé P-	Silicium dopé N	Nitrure	Oxyde	
Silicium non dopé	Polysilicium dopé P	Silicium dopé P									
Silicium amorphe	Silicium dopé P-	Silicium dopé N									
Nitrure	Oxyde										

#### 4.4.1. La fenêtre de l'émetteur

La première étape de fabrication de l'architecture EXBIC consiste à ouvrir la fenêtre de l'émetteur comme le montre la Figure 145. Cette ouverture réalisée par la combinaison d'une photolithographie et d'une gravure sèche a mis du temps à donner entière satisfaction. Effectivement, le nitrure présent en haut du motif est un matériau peu résistant à la gravure et ne peut servir de masque dur à cette dernière. Plusieurs changements de résine ont donc été nécessaires afin de permettre une ouverture complète et verticale de la fenêtre. De plus, les épaisseurs des différentes couches ont été modulées afin de réduire l'épaisseur de résine nécessaire. Environ une vingtaine d'essais de gravure ont été effectués avec modification des gaz utilisés, des pressions, des densités électroniques et des températures afin d'avoir un procédé de qualité et uniforme sur toute la plaque.

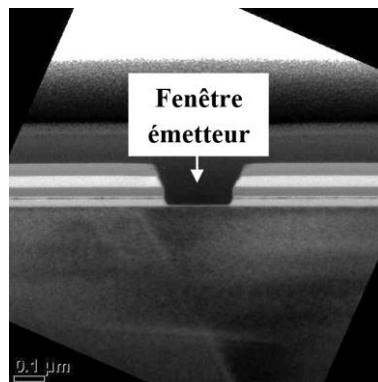


Figure 145 Imagerie TEM de la fenêtre de l'émetteur de l'EXBIC

#### 4.4.2. Le collecteur intrinsèque

Comme indiqué précédemment, l'épitaxie d'un collecteur représente un pas en avant important dans le réglage du composant. Implanté en BiCMOS055, il permet de contrôler précisément le profil de dopants de par les propriétés de l'épitaxie. De ce fait il représente une étape clef dans la réalisation du nouveau TBH. Dopée de type N, cette partie doit être isolée de la base extrinsèque afin d'éviter les courants de fuite. De plus, une bonne isolation entre la base extrinsèque et le collecteur intrinsèque en limitera la capacité. Cette dernière devait à l'origine être réalisée par l'intermédiaire d'espaces en oxyde au fond de la cavité et de part et d'autre de l'épitaxie du collecteur intrinsèque comme on peut le voir sur la Figure 146. Néanmoins, ce module présentait le désavantage de nécessiter un nombre important d'étapes de fabrication.

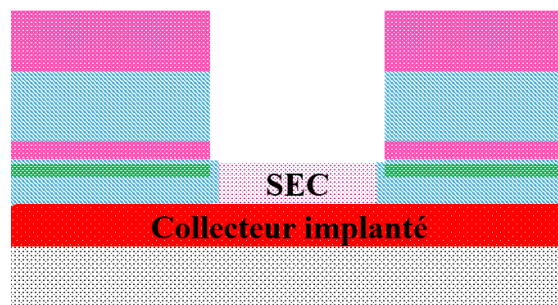


Figure 146 Représentation schématique 2D de la réalisation des espaces en oxyde et de l'épitaxie du collecteur intrinsèque



De ce fait, et grâce à l'ingénierie de l'atelier en charge des épitaxies, un procédé sélectif a été mis en place permettant de graver latéralement le silicium polycristallin (en vert sur la Figure 147) tout en permettant la croissance verticale du collecteur. Le principe de ce procédé repose sur les différentes vitesses de gravure chimique entre des régions de silicium possédant des cristallinités différentes et permet ainsi une très bonne isolation entre la base et le collecteur grâce à des « air-gaps » ayant donné lieu à un dépôt de brevet.

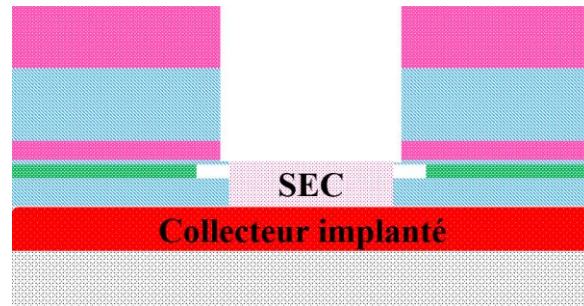


Figure 147 Représentation schématique 2D de la réalisation d'« air-gaps » et de l'épitaxie du collecteur intrinsèque

Les premiers tests effectués sur silicium ont été concluants comme on peut le voir sur la Figure 148. Les facettes  $\{111\}$  que l'on peut voir au niveau de l'épitaxie de gauche proviennent de l'orientation du substrat par rapport à l'orientation de la fenêtre. Le passage sur un substrat tourné à  $45^\circ$  lié à la technologie 55 nm permet de s'affranchir de cet effet. De plus, les différentes boucles d'amélioration ont permis d'atteindre l'objectif en terme de largeur d'air-gaps et d'épaisseur de l'épitaxie du collecteur intrinsèque comme on peut le voir sur la Figure 148. Très rarement utilisé dans la littérature, c'est la première fois qu'un procédé d'épitaxie sélective intrinsèquement dopée à l'arsenic est réalisée avec succès sur le site de ST Crolles et environ six mois ont été nécessaires à sa réalisation. Comme on le verra dans l'analyse des premiers résultats électriques de cette structure, l'épitaxie de ce collecteur intrinsèque conditionne le fonctionnement global du transistor et doit par conséquent être très bien maîtrisée.

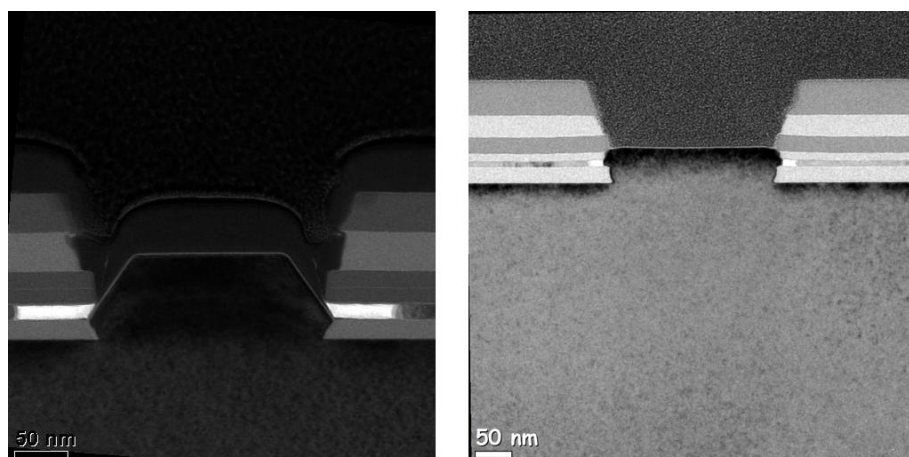


Figure 148 Imagerie TEM de l'épitaxie collecteur avec « air-gaps » sur un substrat non tourné à gauche et sur un substrat tourné à droite

#### 4.4.3. La base intrinsèque

Une fois l'épitaxie du collecteur intrinsèque réalisée, la base intrinsèque est également épitaxiée de manière sélective dans la cavité. A noter que la stœchiométrie de la base est dans un premier temps similaire à celle de la base présente dans le TBH de la technologie BiCMOS055. Cette étape de fabrication est difficile à contrôler car les différentes espèces utilisées (silicium, germanium, bore, carbone) ont un impact sur la vitesse de croissance du matériau. Les ajustements des « air-gaps » n'étant pas encore terminés au moment de réaliser les premiers essais de la base, ils n'apparaissent pas sur la Figure 149. Contrairement au B55, cette étape de fabrication n'a pas pour objectif de réaliser le lien entre les bases intrinsèque et extrinsèque. La réalisation de ce dernier sera présentée ultérieurement dans ce chapitre.

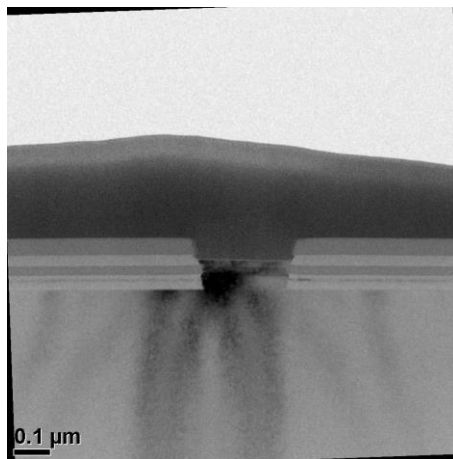


Figure 149 Imagerie TEM de l'épitaxie de la base intrinsèque au-dessus du collecteur intrinsèque

Plusieurs boucles d'optimisation ont été nécessaires afin d'atteindre les différentes épaisseurs souhaitées (Si-CAP & SiGe) ainsi qu'une bonne uniformité sur la plaque comme le montre la Figure 150 représentant les épaisseurs en fonction du rayon de la plaque.

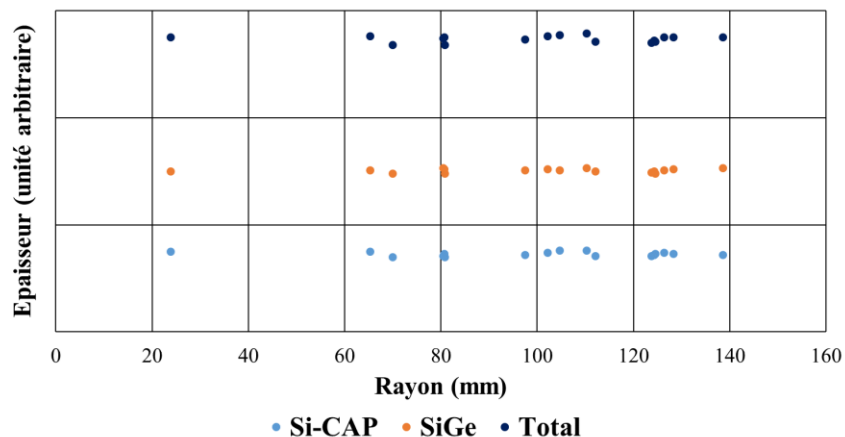


Figure 150 Epaisseur des différentes couches de la base en fonction de la position sur le rayon de la plaque

#### 4.4.4. Les espaceurs internes

Afin de réduire la largeur effective de l'émetteur, des espaceurs internes sont réalisés, à l'instar de ce que l'on retrouve en BiCMOS055. Néanmoins, la formation de ce module a évolué

et permet désormais de supprimer la topologie de l'émetteur. Le brevet déposé consiste à utiliser un matériau sacrificiel représenté par la zone 117 sur la Figure 151 de la même nature que la matériau 131 utilisé pour la formation des espaceurs en « D ». Ces derniers, obtenus par un dépôt suivi d'une gravure sèche anisotrope sont utilisés comme masque pour ouvrir la fine couche d'oxyde située au-dessus de la base intrinsèque.

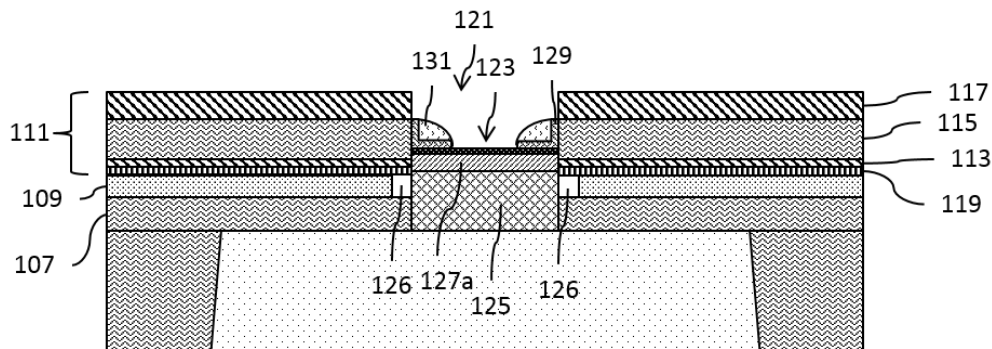


Figure 151 Vue schématique 2D représentant une étape de fabrication des espaceurs internes

Une fois les espaceurs formés, les matériaux 117 et 131 sont retirés par gravure humide afin de laisser place à des espaceurs en « L » (129 sur la Figure 152) présentant une hauteur inférieure à 15 nm comparés aux 40 nm que l'on retrouve en B55 limitant ainsi fortement l'effet plug de l'émetteur. La largeur de ces espaceurs permet de régler le compromis entre les résistances de base et d'émetteur et peut être facilement réglée en diminuant (pour avoir des espaceurs plus larges) ou en augmentant (pour avoir des espaceurs moins larges) la gravure sèche des espaceurs sacrificiels en « D ». Une modification de l'épaisseur du nitrure déposé peut également remplir ce rôle.

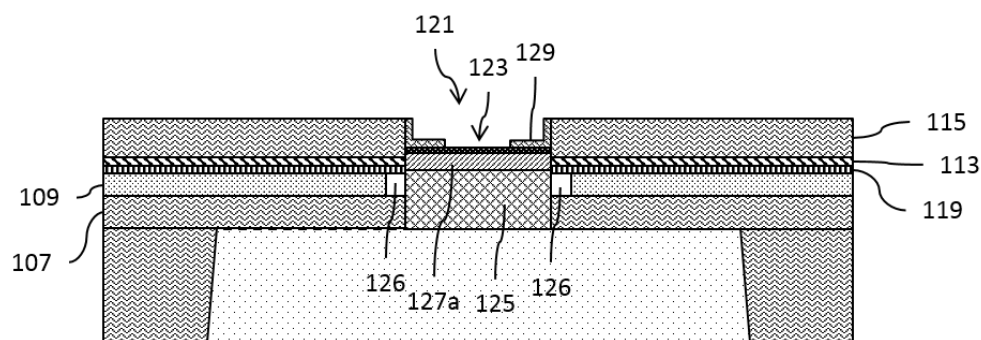


Figure 152 Vue schématique 2D représentant les espaceurs internes en « L » à la fin de leur fabrication

La réalisation de ces espaceurs peut être facilement contrôlée par des observations en vue de dessus réalisées au microscope électronique à balayage dont des exemples sont donnés en Figure 153.

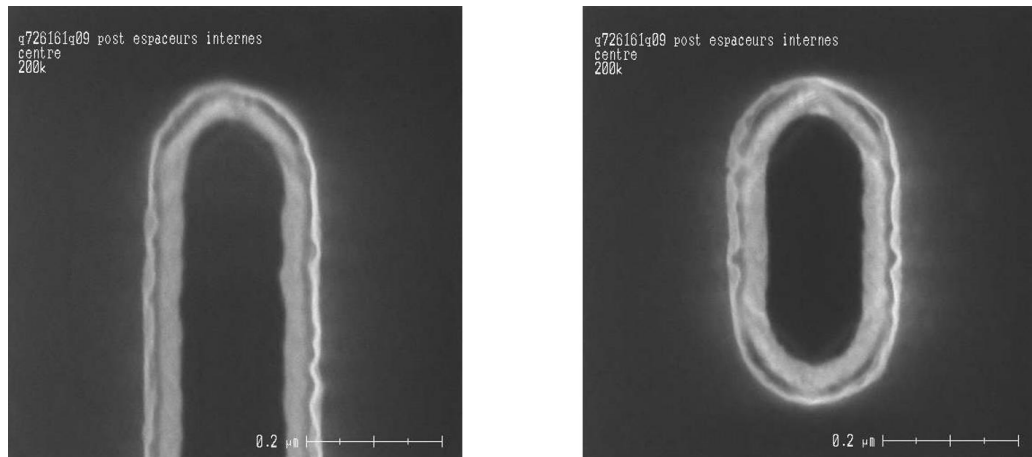


Figure 153 Imagerie MEB après formation des espaceurs internes pour deux géométries de TBH différentes

#### 4.4.5. L'émetteur

Le dépôt de l'émetteur constitue la dernière étape de fabrication de la partie intrinsèque du transistor bipolaire à hétérojonction. Ce procédé de fabrication correspond à une épitaxie non sélective dopée N (dans le cas d'un transistor NPN) de type poly-cristallin. La partie déposée au-dessus de la base prendra la cristallinité de cette dernière, c'est-à-dire monocristallin alors que le reste du dépôt sera poly-cristallin. Une fois réalisé, le dépôt doit être gravé afin de délimiter la zone sur laquelle sera réalisé le contact. Comme le montre la Figure 154, un masque dur (situé au-dessus de l'émetteur) est utilisé afin de faciliter la gravure. Comme on peut le remarquer, la topologie est significativement plus faible par rapport à ce que l'on peut retrouver en BiCMOS055.

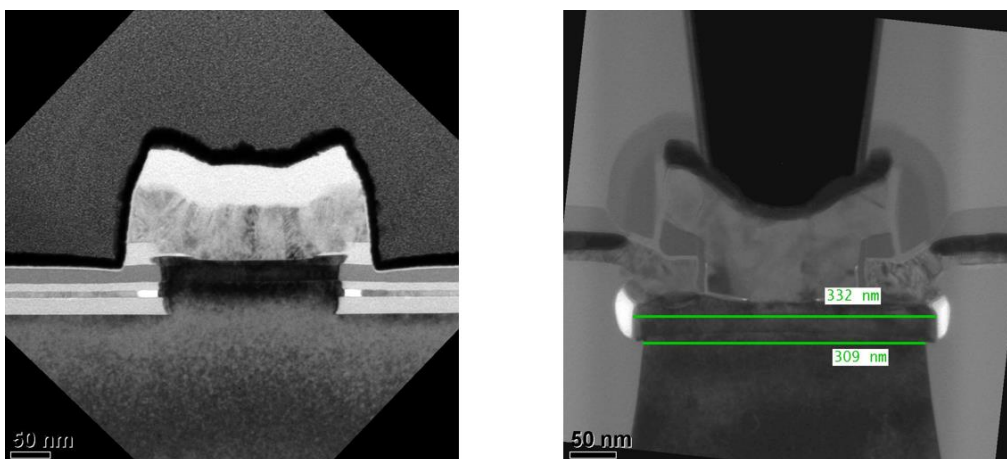


Figure 154 Imagerie TEM de l'architecture EXBIC après formation de l'émetteur à gauche et l'architecture DPSA-SEG à droite

#### 4.4.6. Vérification du profil vertical

A l'issue de cette étape de fabrication, une analyse SIMS a été réalisée afin de valider, au premier ordre, la position des jonctions dans la partie intrinsèque du transistor. Comme le montre la Figure 155, les différentes espèces sont bien incorporées aux bonnes profondeurs. Le pic d'arsenic et de carbone à une profondeur de 90 nm démontre néanmoins la présence d'oxyde résiduel à l'interface entre la base et l'émetteur. Problématique qui sera adressée par une

meilleure préparation de surface. Le bore se situe en avant du profil de germanium de manière analogue au B55. Le collecteur intrinsèque possède une épaisseur d'une trentaine de nanomètres comme attendu.

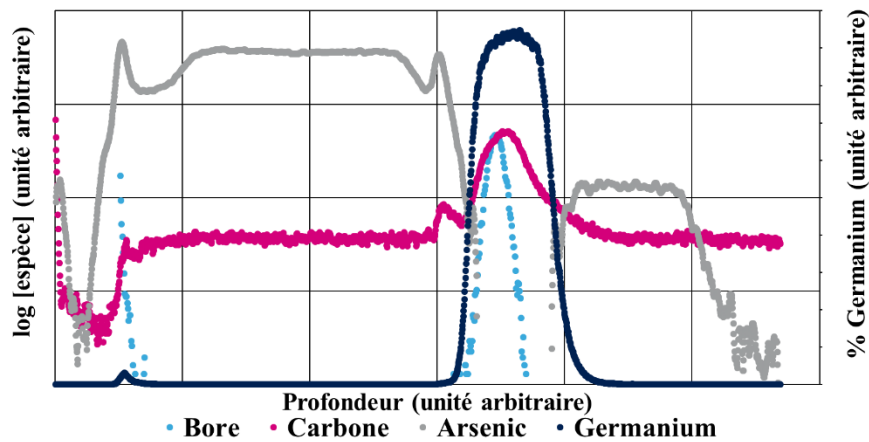


Figure 155 Profils des espèces présentes dans la partie intrinsèque du TBH issus de SIMS (émetteur à gauche, base au centre et collecteur à droite)

#### 4.4.7. Le lien entre les bases intrinsèque et extrinsèque

Comme indiqué précédemment et contrairement au TBH utilisé en BiCMOS055, l'épitaxie de la base intrinsèque n'a pas pour objectif de venir connecter la base extrinsèque. Par conséquent, un lien spécifique doit être réalisé. Pour se faire, plusieurs procédés de fabrication consécutifs et particulièrement compliqués sont utilisés. Le premier d'entre eux consiste à encapsuler l'émetteur par de l'oxyde afin de le protéger d'éventuelles croissances parasites liées aux épitaxies sélectives nécessaires à la connexion de la base. Ainsi, un dépôt d'oxyde suivi d'une gravure sèche anisotrope sont utilisés afin d'obtenir le résultat présenté sur la Figure 156. La gravure sèche ayant tendance à « facetter », la protection des coins de l'émetteur représente la principale difficulté de réalisation. Ainsi, plusieurs mois ont été nécessaires à l'accomplissement de cette partie de la fabrication du transistor. L'utilisation de gravure sèche possédant la propriété de protéger les flancs ont dû être utilisées malgré la complexité de leur mise en œuvre notamment au niveau de l'uniformité sur la plaque.

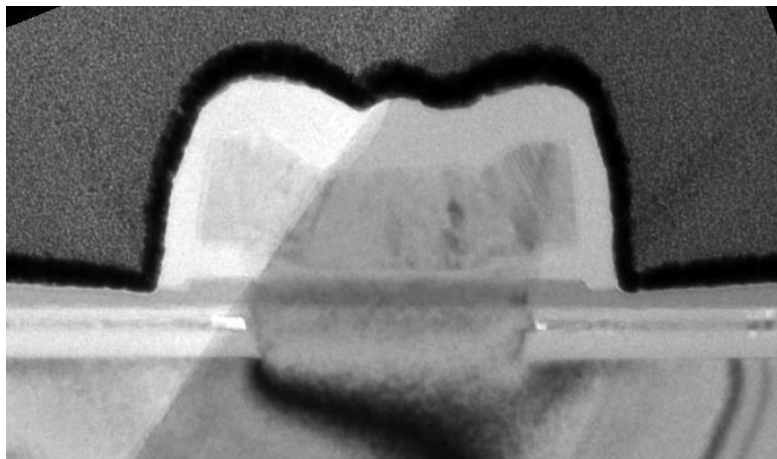


Figure 156 Imagerie TEM après encapsulation de l'émetteur

Une fois l'émetteur encapsulé, la couche sacrificielle située de part et d'autre de la base intrinsèque est retirée par gravure humide comme le montre la Figure 157. Cette étape est particulièrement délicate. Effectivement la gravure humide ne doit pas retirer l'oxyde protégeant l'émetteur. La sélectivité de la chimie utilisée doit ici être très bonne entre les deux matériaux et une dizaine d'essais a été nécessaire à la réalisation de cette étape. Il est à noter sur cette Figure 157 que l'épitaxie intrinsèque du collecteur est trop fine et ne permet pas à la base d'être suffisamment haute dans la cavité.

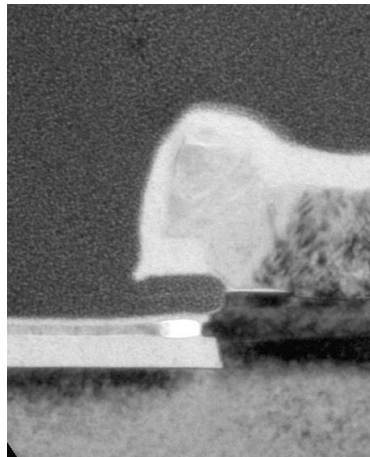


Figure 157 Imagerie TEM après retrait du matériau sacrificiel au niveau du lien de la base

Après avoir découvert la base intrinsèque, le lien peut être réalisé. Pour se faire, une étape d'épitaxie sélective est effectuée après une préparation de surface adaptée. La complexité d'un tel procédé réside dans la réussite à réaliser une croissance sur une surface très faible (inférieure à 0,01 %) qui plus est dans une cavité, tout en maintenant une sélectivité totale sur le reste de plaque. De plus, les préparations de surface les plus courantes ne peuvent être utilisées sans dégrader l'encapsulation de l'émetteur. Des travaux ont donc été menés afin de développer une solution technologique dans laquelle la préparation de surface est effectuée au sein même du bâti d'épitaxie. Appelée SiCONi de par les espèces chimiques mises jeu, ce procédé permet de retirer tout résidu d'oxyde aux interfaces pouvant empêcher une bonne reprise d'épitaxie. Le résultat est montré sur la Figure 158.

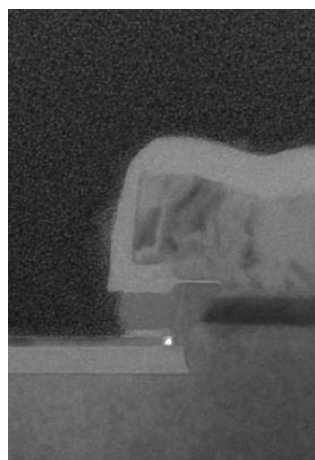


Figure 158 Imagerie TEM après épitaxie sélective du lien de la base

#### 4.4.8. La base extrinsèque

La dernière étape de fabrication du TBH en tant que tel, consiste à augmenter l'épaisseur de la base extrinsèque afin de pouvoir réaliser une siliciuration. Réalisée par épitaxie sélective sur silicium poly-cristallin après retrait de la couche d'oxyde permettant l'épitaxie du lien, c'est la première fois qu'un tel procédé est mis en place avec succès à STMicroelectronics Crolles. Effectivement, la différence de vitesse de gravure chimique entre un silicium poly-cristallin et un silicium amorphe est beaucoup plus faible qu'avec un silicium monocristallin rendant l'obtention de la sélectivité beaucoup plus compliquée. La Figure 159 montre que le lien continue de croître pendant l'étape d'épitaxie de la base extrinsèque. Afin d'éviter tout court-circuit entre la base et l'émetteur, l'épaisseur du lien a donc été diminuée.

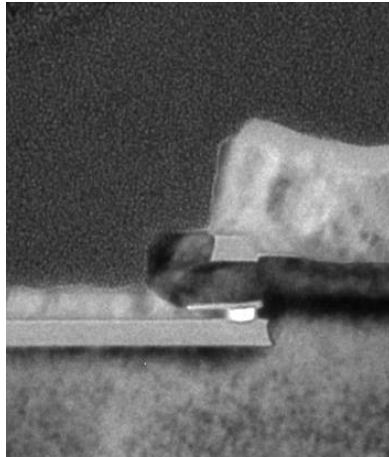


Figure 159 Imagerie TEM après épitaxie sélective de la base extrinsèque

Après sa réalisation, la base extrinsèque est définie par gravure sèche comme le montre la Figure 160 afin de délimiter les différentes électrodes du composant (émetteur, base, collecteur). Comme on peut le voir sur cette coupe issue d'un lot électrique présentant un module STI hérité du B55 et non adapté au B55X, les épaisseurs des épitaxies du collecteur et de la base doivent être ajustées afin de compenser la topologie engendrée par les structures d'isolation.

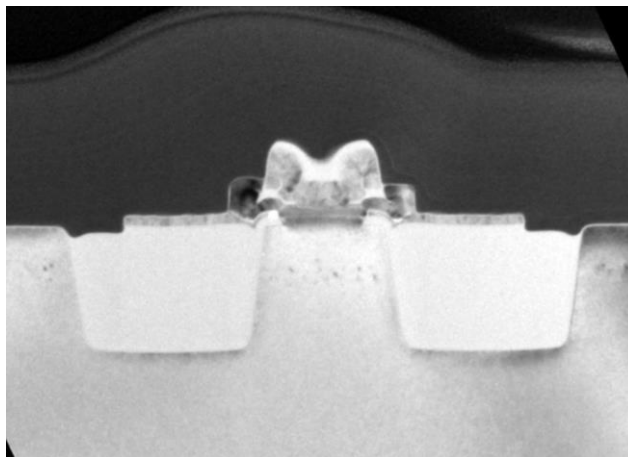


Figure 160 Imagerie TEM après définition de la base extrinsèque sur lot électrique présentant un module STI



## 4.5. Premiers résultats électriques

Quelques semaines avant la rédaction de ce document, les premiers TBH embarquant l'architecture EXBIC ont été mesurés électriquement. Les résultats ont rapidement montré deux catégories de composants comme le montre la Figure 161. Une population considérée comme fonctionnelle se situe entre le mi-rayon et le bord de la plaque et représente environ 30 % des composants. La seconde population, localisée au centre de la plaque présente quant à elle un fonctionnement transistor mais avec des caractéristiques électriques très dégradées. Ces deux familles de composants seront analysées dans les paragraphes suivants.

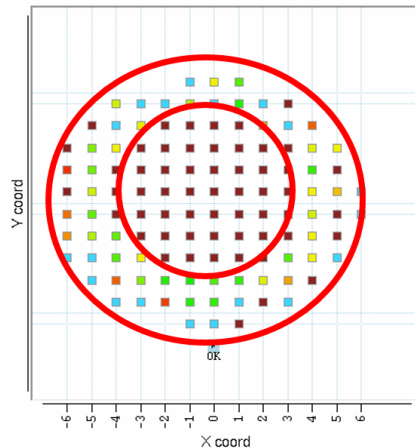


Figure 161 Cartographie du courant collecteur des TBH EXBIC  $0,2 \times 5,56 \mu\text{m}^2$  issue de tests paramétriques à  $V_{BE} = 0,9 \text{ V}$

### 4.5.1. Analyse des TBH présentant de bonnes caractéristiques *dc*

La première satisfaction majeure a concerné la mesure de composants fonctionnels présentant des performances *dc* satisfaisantes pour un premier lot électrique sur lequel des tests paramétriques ont dans un premier temps été réalisés. La Figure 162 représente les courants de base et collecteur pour trois polarisations différentes de la jonction entre la base et l'émetteur.

Premièrement, il apparaît que le comportement des architectures DPSA-SEG et EXBIC utilisées respectivement en B55 et B55X présentent un comportement assez similaire à basse ( $V_{BE} = 0,5 \text{ V}$ ) et moyenne injection ( $V_{BE} = 0,7 \text{ V}$ ). Le courant collecteur présente une valeur relativement basse à faible injection, et indique par conséquent que la base n'est pas percée. Si la structure EXBIC semble générer plus de courant pour ces conditions de polarisation, la variation de ce dernier semble être identique entre  $0,5 \text{ V}$  et  $0,7 \text{ V}$ . Le gain à moyenne injection est de 2120 pour le B55X et de 2360 pour le B55. Au niveau des facteurs d'idéalité du transistor, l'EXBIC présente des valeurs de 1,05 et 1,1 respectivement pour le courant de base et collecteur, validant le bon fonctionnement des composants (à comparer avec des valeurs de 1,04 et 1,02 pour la DPSA-SEG utilisée en B55).

A forte injection, la différence est plus notable. Si les courants augmentent de manière exponentielle en B55, ils sont bien plus saturés en B55X. Au moment de réaliser ce lot, une coupe TEM réalisée après réalisation du TBH avait permis de se rendre compte que le Si-CAP de la base était beaucoup trop fin. Ainsi, dans le but d'éviter tout perçage de cette dernière, le



budget thermique avait été largement diminué. De ce fait, l'activation des dopants étant beaucoup moins bonne, les résistances séries ont eu un impact important sur les courants à forte injection. De plus, et comme indiqué par la suite, la présence d'un oxyde à l'interface entre la base et l'émetteur est également responsable de ces importantes résistances série. Pour les lots suivants, l'épaisseur du Si-CAP a été augmentée et permettra d'appliquer un budget thermique standard.

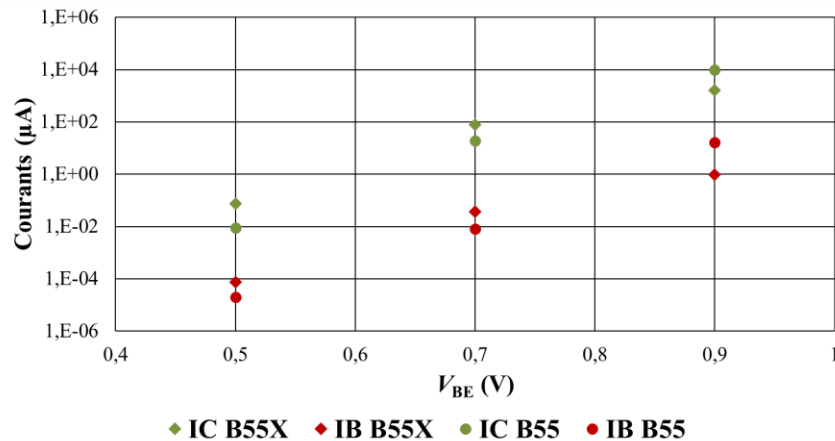


Figure 162 Comparaison entre le B55 et le B55X des courants de base et collecteur d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant de bonnes performances *dc* en fonction de la polarisation de la jonction entre l'émetteur et la base

Des mesures manuelles ont été réalisées afin d'avoir une meilleure estimation du comportement électrique de ces transistors présentant a priori un fonctionnement sain. On remarque sur la Figure 163 que le composant est quelque peu percé à faible injection avec un courant collecteur élevé. Le courant de base présente à très faible injection un comportement typique d'un courant tunnel bande à bande au niveau de la jonction entre l'émetteur et la base. Non idéal, ce dernier est notamment lié à une résistance différentielle négative. Néanmoins, la présence de cet effet valide la construction du lien de la base extrinsèque, partie novatrice de cette architecture.

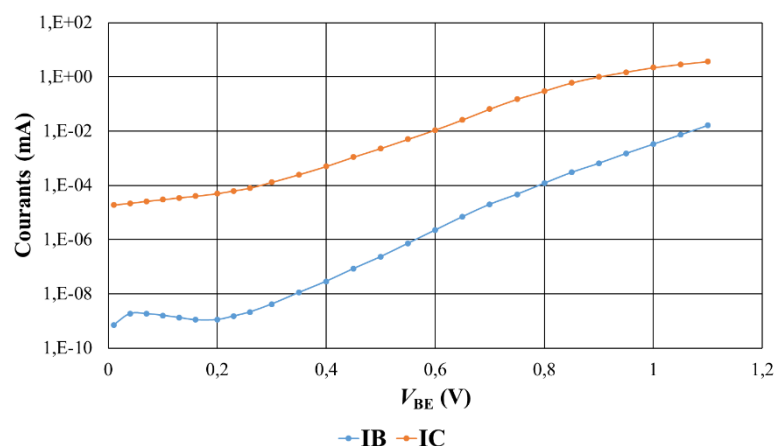


Figure 163 Courbes de Gummel d'un TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant de bonnes performances *dc* en fonction de la polarisation de la jonction entre l'émetteur et la base

Au niveau des tensions de claquage des jonctions, il apparaît clairement d'après les valeurs présentées dans le Tableau 15 que la jonction entre la base et le collecteur est beaucoup

trop agressive. L'hypothèse la plus probable est un niveau de dopage trop élevé du collecteur intrinsèquement dopé à l'arsenic. Une diminution de la concentration de dopants a alors été amorcée sur les lots électriques suivants. Néanmoins, la relation entre la concentration de dopants et la cinétique de croissance n'étant pas constante, un développement spécifique de cette épitaxie est en cours de réalisation au moment de la rédaction de cette thèse.

Tableau 15 Comparaison des tensions de claquage de TBH d'aire  $0,2 \times 5,56 \mu\text{m}^2$  utilisant l'architecture DPSA-SEG et EXBIC présentant de bonnes performances *dc*

	DPSA-SEG B55	EXBIC B55X
$BV_{\text{CEO}} \text{ (V)}$	1,45	1,32
$BV_{\text{CBO}} \text{ (V)}$	5,2	2,4
$BV_{\text{EBO}} \text{ (V)}$	1,5	1,8

Une fois, les tests paramétriques réalisés, une coupe TEM a été réalisée dans le but de valider la morphologie de l'architecture. Comme le montre la Figure 164, l'aspect global du TBH est très satisfaisante. L'émetteur présente une topologie inférieure à ce que l'on retrouve en B55 ce qui permet notamment une très bonne siliciuration de cette région.

Le lien de la base est parfaitement en regard avec la base intrinsèque ce qui devrait permettre de largement diminuer la résistance de base (principal limitation de l'architecture DPSA-SEG). Cette dernière devrait encore être réduite par la très bonne siliciuration qui remonte jusqu'au lien. Malheureusement, le faible budget thermique qui a dû être appliqué ne permet pas de donner de valeur représentative de cette résistance. Enfin, les espaceurs parasites induits par la co-intégration des transistors MOS ne semblent pas avoir d'impact, comme en B55, où ces derniers empêchent d'effectuer la siliciuration au plus près de la base intrinsèque.

Il est à noter que le polysilicium de la base extrinsèque est siliciuré sur toute sa hauteur. Des tests devront être réalisés afin de s'assurer de la fiabilité d'un tel procédé, car peu de technologies utilisent une siliciuration touchant l'oxyde du piédestal. Une autre alternative serait de limiter la température du recuit définissant l'épaisseur siliciurée ou d'augmenter l'épaisseur du poly-silicium. Les « air-gaps » ne sont pas présents ici. Nous verrons par la suite que l'épitaxie du collecteur intrinsèque est le procédé critique pour la réalisation de cette architecture. Pour terminer, aucun défaut n'est présent dans le collecteur extrinsèque implanté, validant les travaux réalisés dans le chapitre 3 de cette thèse. Les tâches qui peuvent être observées proviennent d'une contamination générée lors de la préparation de la lamelle TEM.

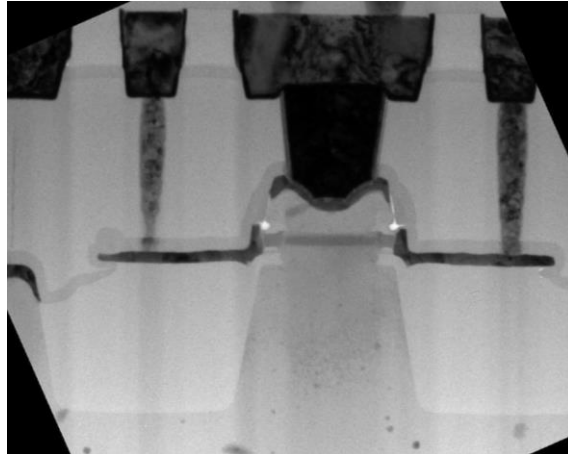


Figure 164 Imagerie TEM de la structure EXBIC d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant de bonnes performances  $dc$  intégrée dans un nœud CMOS 55 nm

Afin de vérifier les profils des espèces présentes dans le transistor, une analyse EDX a été réalisée comme on peut le voir sur la Figure 165. La très bonne siliciuration est validée aussi bien au niveau de l'émetteur que de la base extrinsèque et du lien. Les espaceurs internes sont trop étroits et un ajustement de la recette de gravure humide a été déployée sur les lots suivants afin de les agrandir. Enfin, il apparaît une légère couche d'oxyde à l'interface entre la base et l'émetteur justifiant encore un peu plus les effets des résistances séries sur les courants à forte injection.

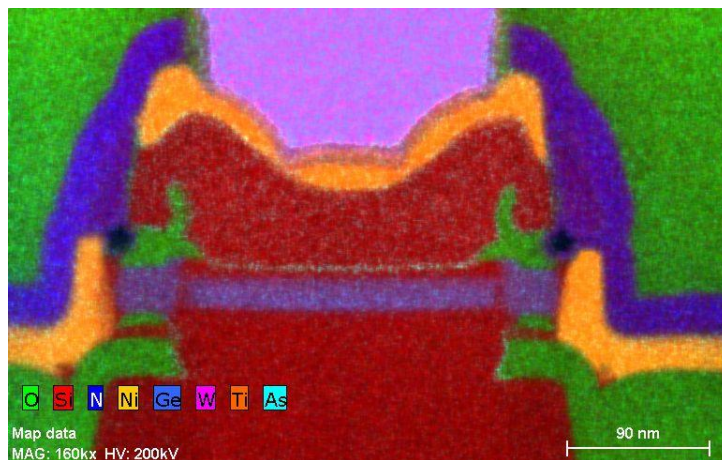


Figure 165 Analyse EDX de la structure EXBIC d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant de bonnes performances  $dc$  intégrée dans un nœud CMOS 55 nm

La dernière vérification effectuée sur ce lot a porté sur des mesures SIMS afin de s'assurer que toutes les espèces étaient incorporées à la bonne profondeur. En partant de la surface vers le substrat, on peut noter que l'émetteur présente une concentration constante d'arsenic. A noter, que l'épaisseur de ce dernier a été réduite de 25 % par rapport à la DPSA-SEG.

Ensuite, les profils de carbone, germanium et bore sont très similaires à ce que l'on peut retrouver dans la base utilisée en B55. A terme, cette dernière sera remplacée par la base optimisée présentée dans le chapitre 2 de cette thèse.

A la sortie de cette dernière, on retrouve l'arsenic présent dans le collecteur intrinsèque. Importante amélioration de la structure EXBIC, il permet un réglage précis du composant. Enfin, le collecteur extrinsèque est réalisé par co-implantation de phosphore et de carbone qui avait permis d'établir un record de performance  $f_T$  dans le chapitre 3. Il apparaît sur ce résultat SIMS que la dose de phosphore implantée pourrait être augmentée afin d'avoir une concentration de dopants supérieure à celle dans le collecteur intrinsèque dans le but de diminuer la résistance du collecteur. Il est enfin important de souligner que le faible budget thermique utilisé à cause de la faible épaisseur du Si-CAP ne permet de connaître avec précision l'état des profils à la fin d'un procédé de fabrication standard.

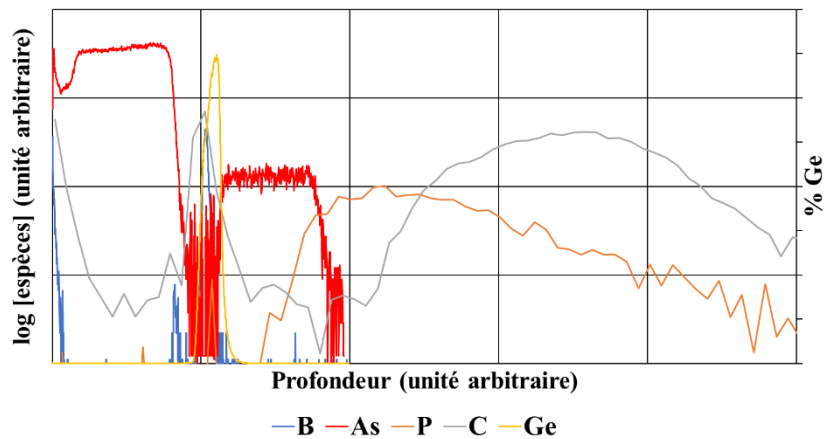


Figure 166 Profils de dopants présents dans l'architecture EXBIC présentant de bonnes performances  $d_c$  issus de SIMS

#### 4.5.2. Analyse des TBH présentant des caractéristiques $dc$ dégradées

Si des composants ont démontré la fonctionnalité de l'architecture EXBIC, d'autres présentent des performances  $dc$  dégradées. De manière analogique à ce qui a été présenté dans la partie précédente, les courants de ces dispositifs sont comparés à ceux de référence mesurés en BiCMOS055. Comme on peut le voir sur la Figure 167, les courants de base et collecteur sont anormalement élevés à faible injection ( $V_{BE} = 0,5$  V) indiquant un perçage du bore de la base par l'arsenic comme nous essaierons de le montrer ultérieurement par une analyse des profils de dopants et morphologique. A moyenne injection, le composant génère également dix fois plus de courant que ceux présentés en 4.5.1. De plus, le gain en courant se situe aux alentours de 4000, ce qui est trop élevé. Les facteurs d'idéalité sont ici largement dégradés avec des valeurs supérieures à 5, le composant ne présente pas un fonctionnement transistor idéal. A forte injection, on retrouve l'effet de saturation décrit précédemment. Le budget thermique ainsi que l'oxyde résiduel à l'interface entre la base et l'émetteur sont ici encore responsables de cet effet.

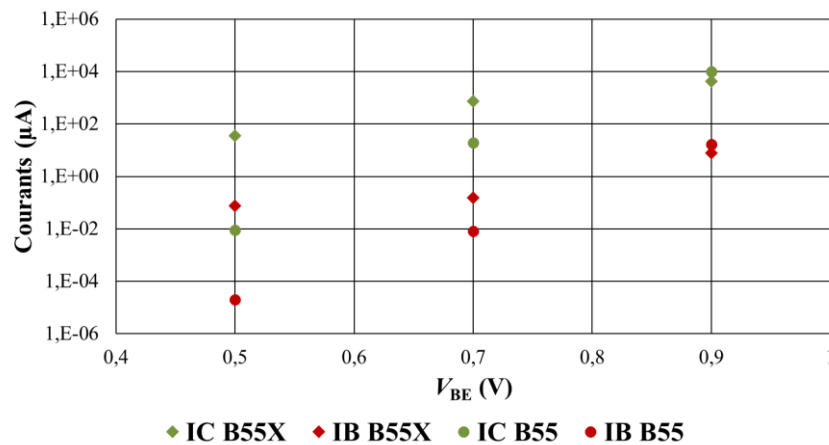


Figure 167 Comparaison entre le B55 et le B55X des courants de base et collecteur d'un TBH d'aire  $0,2 \times 5,56 \mu m^2$  présentant des performances  $dc$  dégradées en fonction de la polarisation de la jonction entre l'émetteur et la base

Comme le montrent les valeurs de tensions de claquage regroupées dans le Tableau 16, la différence principale se situe au niveau de la jonction entre la base et le collecteur avec une valeur encore inférieure à celle affichée par un composant présentant de bonnes performances  $dc$ . La jonction entre l'émetteur et la base est quant à elle moins agressive. Ce point sera expliqué dans le prochain paragraphe.

Tableau 16 Comparaison des tensions de claquage de TBH d'aire  $0,2 \times 5,56 \mu m^2$  utilisant l'architecture DPSA-SEG et EXBIC présentant des performances  $dc$  dégradées

	DPSA-SEG B55	EXBIC B55X
$BV_{CEO}$ (V)	1,45	1,52
$BV_{CBO}$ (V)	5,2	2,2
$BV_{EBO}$ (V)	1,5	2,2

L'analyse morphologique du transistor grâce à l'imagerie TEM a permis d'expliquer en partie les mauvaises performances électriques. L'aspect général est ici de bien moins bonne

qualité. Premièrement, l'émetteur présente une topologie beaucoup plus importante. Ceci pouvant être expliqué par l'épaisseur très insuffisante du collecteur intrinsèque comme on peut le voir sur la Figure 168 (malgré la mauvaise qualité de préparation de la lamelle). Ceci a pour effet d'affaisser l'émetteur à l'intérieur de la cavité et de générer de l'effet « plug » comme sur l'architecture DPSA-SEG utilisée en BiCMOS055.

Le lien de la base ne peut pas être réalisé de manière satisfaisante à cause des espaceurs qui viennent refermer l'ouverture latérale dans laquelle est réalisé ce lien. Ce problème provient également de la trop faible épaisseur du collecteur intrinsèque. Par conséquent, on voit bien que la siliciuration est beaucoup moins bonne car le lien n'est pas uniforme sur toute la longueur du dispositif. La résistance de base dans ce cas est largement dégradée. La topologie étant également plus importante que pour le TBH présenté dans le précédent paragraphe, les espaceurs des transistors MOS sont plus larges et rendent encore plus compliquée la siliciuration de la base extrinsèque.

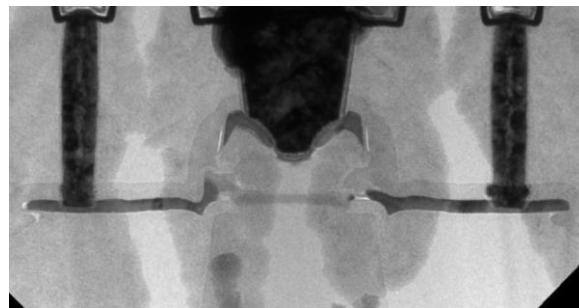


Figure 168 Imagerie TEM de la structure EXBIC d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant des performances *dc* dégradées intégrée dans un nœud CMOS 55 nm

L'analyse EDX n'a fait que confirmer ce qui avait été vu en imagerie TEM. Les espaceurs internes descendent très bas dans la cavité rendant impossible l'épitaxie du lien de la base. De plus, la topologie au niveau de l'émetteur ne permet pas de siliciurer cette région de manière satisfaisante, de l'oxyde étant détecté au fond du contact de l'émetteur. Ce phénomène se produit lorsque des espaceurs parasites issus de la fabrication des transistors CMOS apparaissent au niveau de l'émetteur à cause de la topologie.

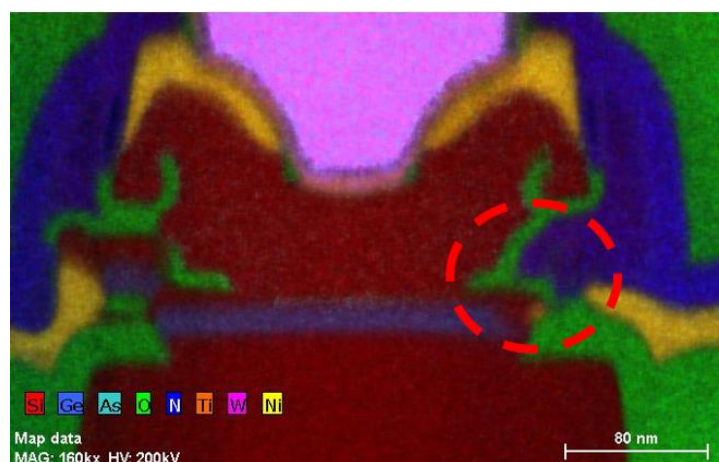


Figure 169 Analyse EDX de la structure EXBIC d'aire  $0,2 \times 5,56 \mu\text{m}^2$  présentant des performances *dc* dégradées intégrée dans un nœud CMOS 55 nm

Une mesure SIMS a également été effectuée sur ces composants. L'émetteur possède un profil d'arsenic constant et une épaisseur adéquate. La principale différence par rapport à un composant de bonne qualité se trouve du côté du collecteur intrinsèque. Comme le montre la Figure 170, une ségrégation d'arsenic est présente à l'interface entre les collecteur extrinsèque et intrinsèque. L'hypothèse la plus probable ici est une gravure incomplète de la fenêtre de l'émetteur ayant pour conséquence de laisser une fine couche d'oxyde entraînant à la fois cette ségrégation et un retard dans la croissance de l'épitaxie pouvant expliquer sa faible épaisseur.

On note également un impact important sur le profil de bore. Ce dernier est beaucoup trop diffusé du côté du collecteur. Il est bien connu que le bore, de manière analogue au phosphore, présente des mécanismes de diffusion assistés par défauts très puissants. Ceux présents à l'interface entre les différentes parties du collecteur pourraient alors expliquer la dissymétrie du profil de bore. Le collecteur extrinsèque est quant à lui identique à celui observé en 4.5.1.

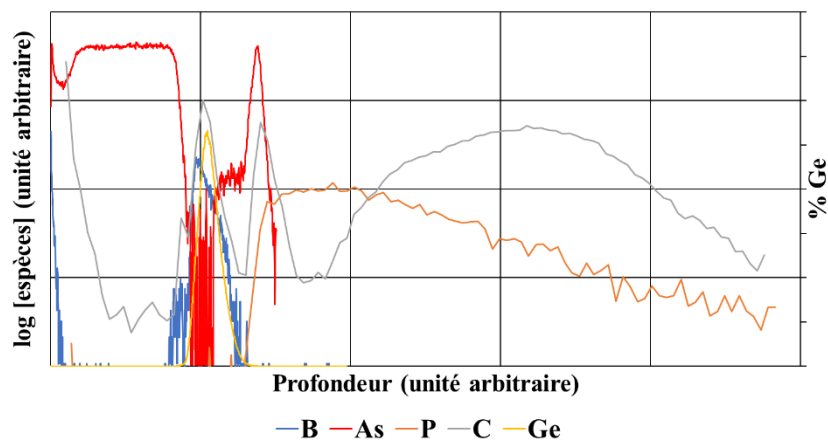


Figure 170 Profils de dopants présents dans l'architecture EXBIC présentant des performances *dc* dégradées issus de SIMS



## 4.6. Premières extractions modèles

Les développements effectués sur silicium ont permis de mettre à jour le code de simulation de la TCAD afin d'être en mesure d'extraire de premiers modèles, somme toute provisoires. Comme on peut le voir sur la Figure 171 de droite représentant la structure mise à jour, la hauteur de l'émetteur a largement été diminuée par rapport à la structure de départ représentée par la Figure 171 de gauche. Validant la plus faible topologie, la résistance de l'émetteur s'en retrouve également améliorée de 5 %. De plus la diminution de la hauteur du composant le rend compatible avec une intégration en 28 nm ce qui n'était pas le cas précédemment à cause de la distance limitée avec le premier niveau de métallisation. On remarque également la suppression des espaceurs en oxyde remplacés par les air-gaps permettant une diminution de 10 % de la capacité entre la base et le collecteur.

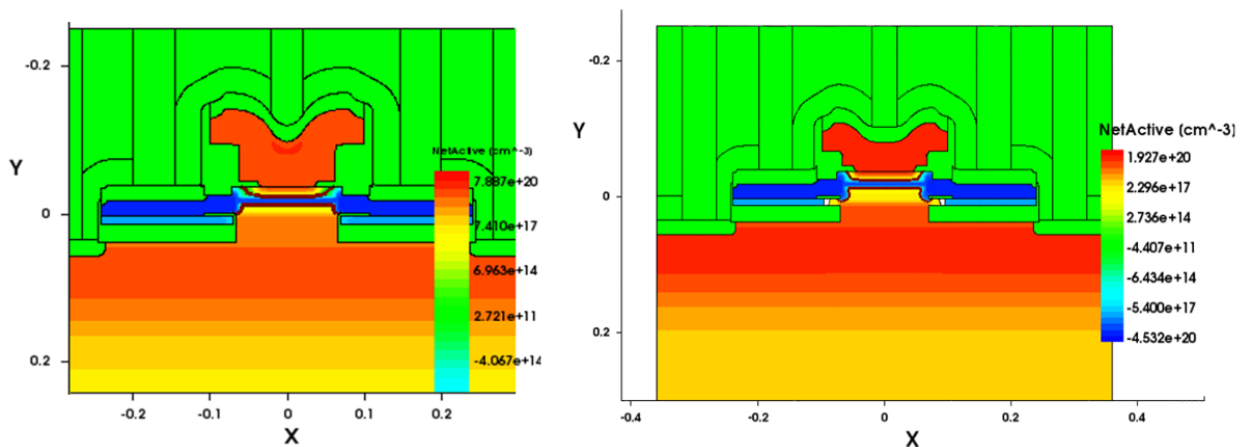


Figure 171 Vues en coupes 2D des structures EXBIC de départ (à gauche) et améliorée (à droite) issues de simulations TCAD

Comme on peut le voir sur la Figure 172, les modèles extraits des simulations TCAD réalisées ont permis d'atteindre une  $f_{MAX}$  présentant des valeurs supérieures à 500 GHz principalement grâce à une résistance de base extrinsèque largement diminuée par rapport au BiCMOS055. La fréquence de transition est également fortement améliorée ( $> 400$  GHz) par rapport au BiCMOS055 du fait de l'implémentation d'un collecteur intrinsèquement dopé.

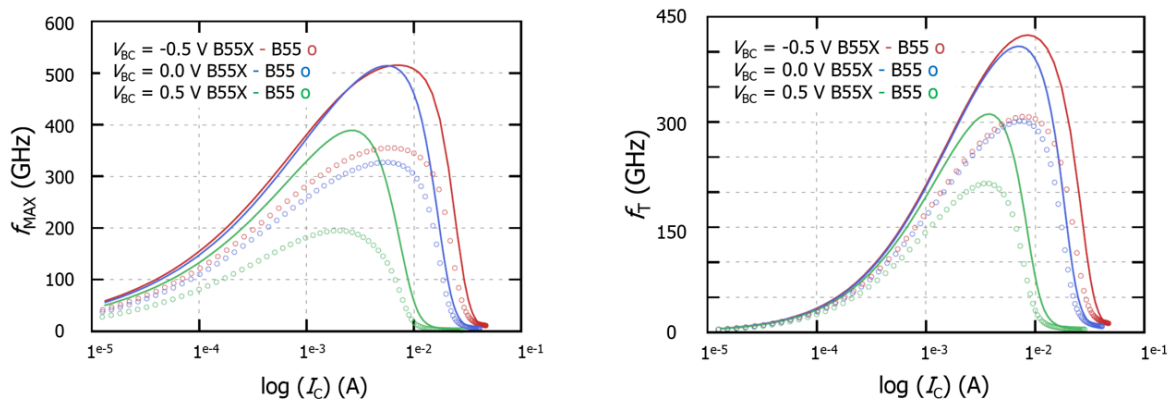


Figure 172 Performances fréquentielles issues des premiers modèles BiCMOS055X basés sur des simulations TCAD et inspirés des premiers développements silicium



## 4.7. Conclusion

Le développement d'une nouvelle architecture de transistor bipolaire était devenu indispensable afin d'augmenter considérablement les performances pour les prochaines générations de technologies BiCMOS. L'évaluation de la meilleure architecture a été réalisée lors d'une précédente thèse et basée sur des simulations TCAD [VU16b]. Néanmoins, les contraintes d'intégration sur silicium ont rendu obligatoire la simplification de la structure. Ainsi, un transistor moins complexe mais reposant sur les mêmes points clef a été intégré.

Le procédé de fabrication d'un tel composant présente des difficultés à chaque étape de sa réalisation. Le grand nombre d'épitaxies, permettant un auto-alignement vertical mais aussi latéral (épitaxie du lien de base), représentent un important challenge de par leur difficulté d'intégration. Les temps de cycle des caractérisations ont également été un frein dans la réalisation de ce composant en trois ans.

Malgré les difficultés, des premiers résultats électriques ont été obtenus. Si l'uniformité n'a pas été au rendez-vous sur le premier lot, la morphologie et les performances  $dc$  d'une partie des transistors bipolaires a permis de valider la viabilité de l'architecture. Un important travail reste à réaliser afin d'uniformiser le procédé de fabrication et de corriger les défauts de « jeunesse » de l'architecture. L'épitaxie du collecteur intrinsèque est peut-être l'étape de fabrication sur laquelle la majorité des ressources doit être mise car conditionnant toute la morphologie du TBH.

A la date où ce document est rédigé, des mesures électriques complémentaires doivent permettre d'en apprendre un peu plus sur le comportement de cette nouvelle architecture de transistor bipolaire qui possède certes beaucoup de potentiel mais qui reste compliquée à réaliser.

## **5. Etude de faisabilité d'intégrations monolithiques et hétérogènes avancées de l'architecture EXBIC**

## 5.1. Objectifs

L'avènement des semi-conducteurs a permis de révolutionner le marché de l'ordinateur au milieu des années 1950. Précédemment composés de tubes à vide et très encombrant, le transistor a permis de diminuer de manière considérable le volume de ces équipements et d'augmenter très rapidement leurs performances. En 1965, l'Américain Gordon Earle Moore prononce une loi aujourd'hui connue sous le nom de « Loi de Moore » indiquant que le nombre de transistors présents dans un circuit intégré doit être doublé tous les deux ans et qu'en 2015, les transistors devront être de la taille d'un atome.

Depuis une cinquantaine d'années l'augmentation de la densité d'intégration des transistors au sein des microprocesseurs, a permis une diminution significative du coût des technologies utilisées tout en étant de plus en plus performantes. Les avancées techniques de la photolithographie ont permis de pousser très loin la miniaturisation des transistors. En 1992, les Etats-Unis ont créé la « National Technology Roadmap for Semiconductor » étendue en 1998 à l'« International Technology Roadmap for Semiconductor » afin de fournir une feuille de route claire aux industriels du secteur.

Si les acteurs de la microélectronique étaient très nombreux dans les années 1990, leur nombre tend à chuter inexorablement. L'augmentation de la densité d'intégration pour réduire le coût des circuits représentant des investissements faramineux, un grand nombre d'entreprises ont disparu du paysage et seuls des géants comme Samsung ou Intel sont aujourd'hui capables d'assurer une chaîne complète de production (IDM) pour les nœuds les plus avancés (20 nm et en deçà) comme le montre la Figure 173. Ces derniers possèdent la faculté de fabriquer un circuit à partir de son design jusqu'à sa production mais sont de plus en plus concurrencés par les fonderies qui à l'instar de TSMC n'assurent que la partie production des circuits pour de grands clients comme Huawei ou Apple.

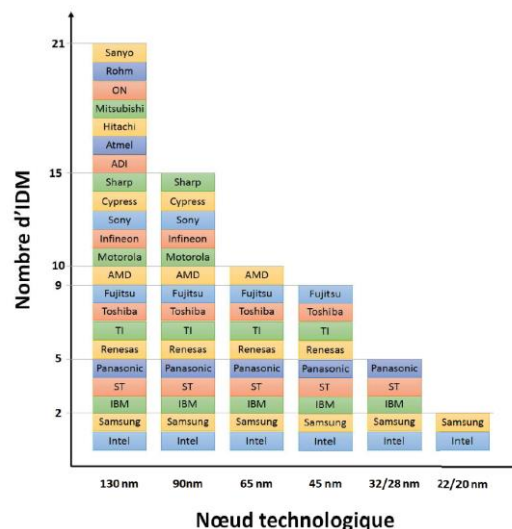


Figure 173 IDM en fonction du nœud technologique - IC Insights Strategic database, <http://www.icinsights.com/>

Néanmoins, cette tendance rencontre depuis quelques années des difficultés liées à la miniaturisation extrême des circuits. Ainsi, les effets canaux courts, l'augmentation des fuites de grille, l'augmentation des consommations statiques et dynamiques ont amené les industriels

à considérer d'autres approches dans lesquelles on peut retrouver : une ingénierie très poussée des matériaux (empilement de la grille, canaux des MOS, améliorations des accès) ainsi que des intégrations novatrices des transistors (nouveaux substrats SOI, transistors multicanaux, FinFET).

De plus, si les possibilités des transistors ont longtemps représenté le paramètre limitant des performances des circuits, la réduction des longueurs caractéristiques (dimension de la grille, espacements entre les grilles etc...) a mis au jour le rôle majeur des interconnexions dans les performances des circuits. Effectivement, la diminution de la surface conductrice dans les niveaux de métaux a induit une augmentation importante de la résistance des interconnexions. Par conséquent, les performances des lignes et des vias utilisés pour connecter le composant ne sont plus négligeables par rapport aux performances du transistor lui-même et c'est une des raisons pour laquelle les fréquences d'horloge des microprocesseurs semblent saturer depuis quelques années comme le montre la Figure 174.

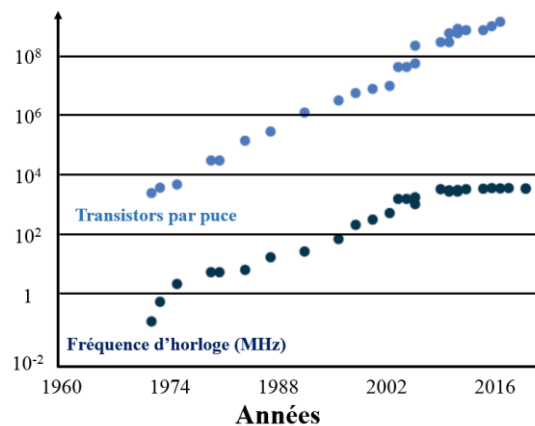


Figure 174 Nombre de transistors par puce et fréquence d'horloge des processeurs en fonction de l'année [WALDROP16]

Afin d'outrepasser ces limitations structurelles, de nouvelles approches sont depuis quelques années développées. La recherche de nouvelles architectures de transistors ainsi que les intégrations hétérogènes 3D représentent aujourd'hui des solutions à fort potentiel mais présentent également des coûts de développements élevés. Dans ce chapitre, nous comparerons donc les possibilités d'intégration pour les prochaines générations de technologies BiCMOS.

## 5.2. L'intégration dans un nœud CMOS 28 nm

L'intégration des technologies BiCMOS n'est généralement pas réalisée dans chaque nœud technologique. Ainsi, le nœud 28 nm représente potentiellement la prochaine étape de l'intégration de l'architecture EXBIC à STMicroelectronics. Pour rappel, cette dernière a été pensée pour être compatible avec la technologie 28 nm. La hauteur de l'architecture a notamment été diminuée de sorte à être inférieure à celle du PMD qui représente la distance entre le substrat et le premier niveau de métal. Cette plateforme peut être réalisée aussi bien sur des substrats standard ou bien sur FD-SOI (Fully Depleted-Silicon On Insulator) présentant de multiples avantages.

La technologie FD-SOI a été développée au début des années 2000 par STMicroelectronics en collaboration avec le CEA Leti. Cette dernière repose sur un substrat innovant présentant une couche de dioxyde de silicium appelée « Buried Oxide Layer (BOX) » sur laquelle une fine couche de silicium monocristallin appelée Silicon On Insulator (SOI) est déposée. La finesse de cette couche permet en outre de limiter largement les effets canal court dus aux faibles dimensions des grilles. Le canal étant isolé du substrat par le BOX, les courants de fuite sont diminués par rapport à une intégration BULK comme on peut le voir sur la Figure 175.



Figure 175 Comparaison entre un transistor MOS réalisé sur BULK et sur SOI

La possibilité d'appliquer une polarisation en face arrière présente l'avantage de pouvoir créer un contrôle complémentaire du transistor, un peu comme une deuxième grille. Ainsi des transistors très rapides ou très peu consommateurs en énergie, dont un exemple est représenté sur la Figure 176, peuvent être obtenus en fonction des différentes conditions de polarisation.

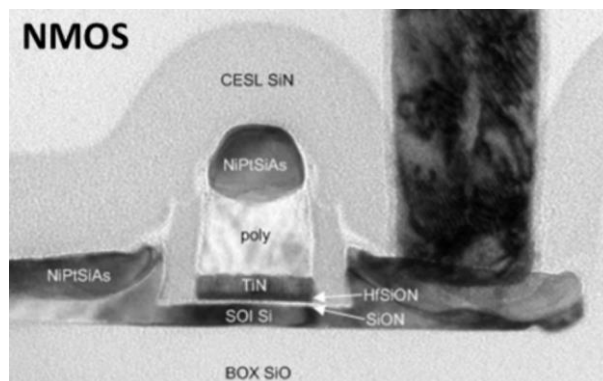


Figure 176 Exemple d'un transistor NMOS réalisé sur SOI

Les bénéfices technologiques liés à l'utilisation des substrats SOI ont poussé la société à évaluer, en amont, la faisabilité d'une intégration de transistors bipolaires dans cette plateforme. Ainsi, la principale question est de savoir si cette dernière peut être réalisée en utilisant les propriétés du SOI ou bien sur des zones de plaque appelées NoSO où le SOI et le BOX sont retirées afin de réaliser une fabrication similaire à celle effectuée sur substrat standard. Effectivement, malgré la similarité apparente entre les deux options (Figure 177), la base extrinsèque sera polycristalline dans le cas d'une intégration NoSO alors qu'elle sera complètement monocristalline dans le cas d'une intégration sur SOI diminuant considérablement la résistance de base extrinsèque ainsi que celle du lien qui sont deux des paramètres les plus pénalisants en termes de  $f_{MAX}$ . La différence de procédé s'explique par le fait que la couche de polysilicium servant à la reprise de l'épitaxie de la base extrinsèque dans le cadre d'une intégration sur NoSO est remplacée par le SOI monocristallin dans le cas de l'utilisation de ce dernier.

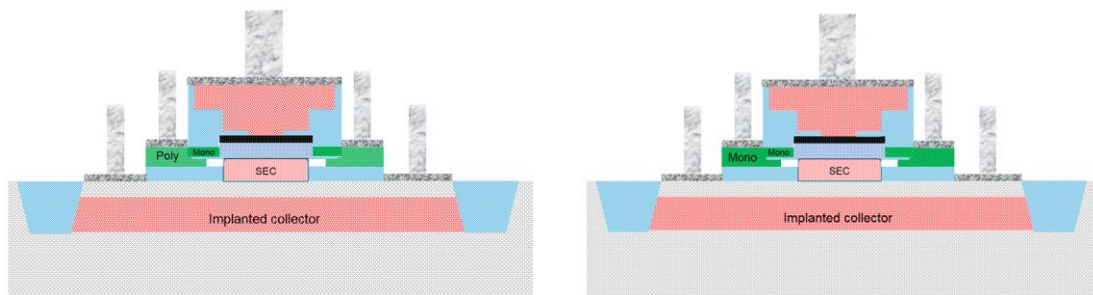


Figure 177 Comparaison de l'architecture EXBIC réalisé sur SOI ou dans des zones NoSO

### 5.2.1. Les challenges d'une intégration sur SOI

L'intégration dans un nœud CMOS 28 nm représente de multiples challenges à adresser. On peut par exemple citer la sensibilité des propriétés électriques de la grille, réalisée en plusieurs couches et notamment « high-k » car utilisant des matériaux à constantes diélectriques très élevées, aux budgets thermiques associés à la technologie. Ainsi, l'ajout d'un transistor bipolaire nécessitant un budget thermique relativement important contraint fortement les possibilités d'intégration de ce dernier. Des études sont en cours afin de caractériser la dérive des propriétés de la grille en fonction des budgets thermiques appliqués.

L'intégration sur SOI de l'architecture EXBIC présente quant à elle une problématique majeure concernant l'implantation du collecteur du TBH. Cette dernière s'effectuant à travers le SOI, elle aura de fortes chances d'amorphiser intégralement ce dernier. Effectivement, cette implantation ayant pour but d'obtenir une résistance de collecteur extrinsèque la plus faible possible, les doses employées sont généralement très élevées et sont propices aux mécanismes d'amorphisation. Dans ce cas, même les budgets thermiques ayant pour objectif de recristalliser la maille de silicium ne pourront permettre d'avoir un SOI monocristallin. Ainsi, il sera impossible d'effectuer une reprise monocristalline de l'épitaxie de la base extrinsèque comme le montre la branche « high damages » de la Figure 178.

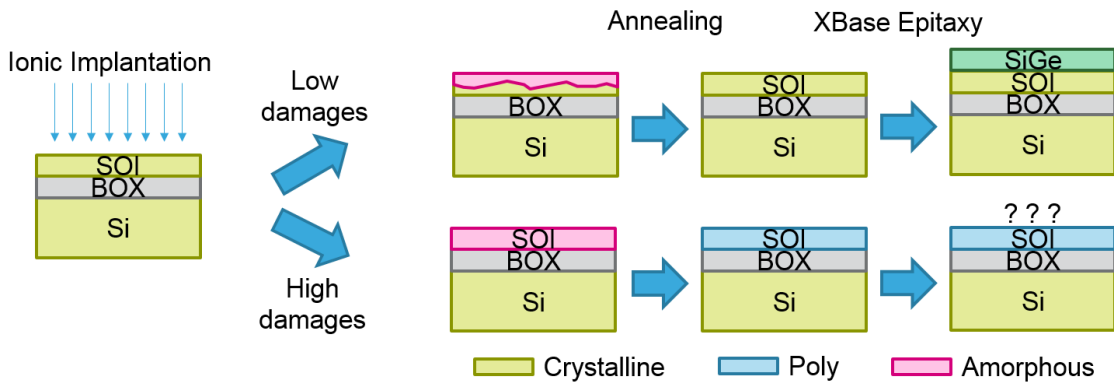


Figure 178 Correspondance entre amorphisation du SOI et cristallinité de la reprise d'épitaxie

Afin de valider les hypothèses présentées précédemment, des études ont été réalisées sur silicium et elles ont très vite confirmé nos craintes [BORREL18]. Si la reprise d'épitaxie s'est très bien déroulée dans le cas d'une plaque non-implantée, elle n'a pas été possible sur substrat implanté comme on peut le voir sur la Figure 179.

Plusieurs points intéressants sont à noter. D'une part on remarque que le SOI a formé des îlots (Figure 180) à la surface du BOX afin de limiter son énergie de surface. Ce phénomène s'est sans doute produit durant la préparation de surface de l'épitaxie. Cette dernière, réalisée à 1050°C a pour but d'éliminer la fine couche d'oxyde natif potentiellement présente. Ce mécanisme a sans doute été engendré par la cassure des liaisons de la maille cristalline du silicium par l'implantation du collecteur extrinsèque. D'autre part, on remarque que le BOX n'est plus intègre sous ces îlots de silicium.

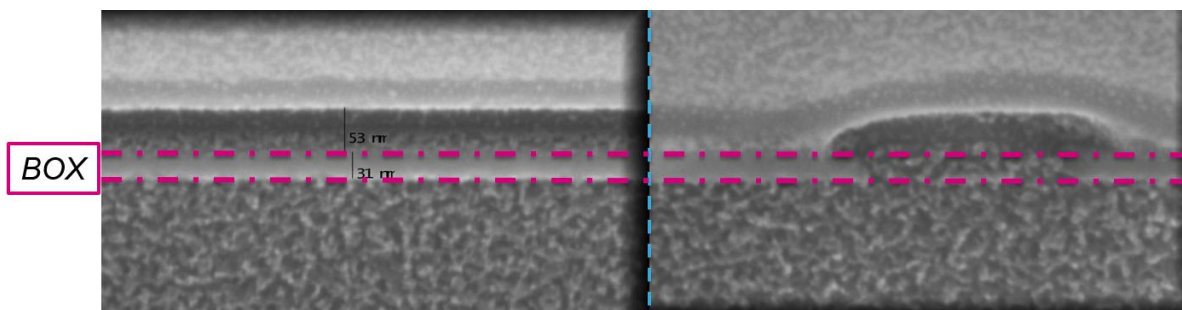


Figure 179 Imagerie SEM montrant à gauche une reprise d'épitaxie sur substrat non-implanté et à droite sur un substrat implanté

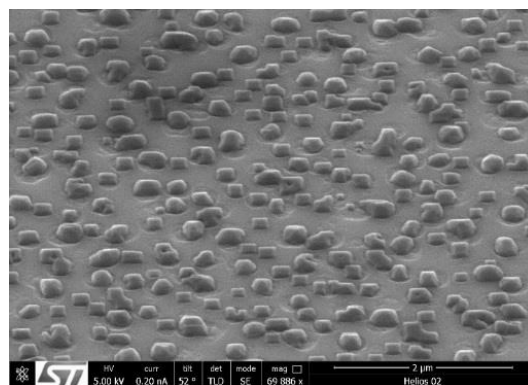


Figure 180 Imagerie SEM en vue de dessus montrant les îlots de silicium en vue de dessus



Deux hypothèses ont dans un premier temps été investiguées concernant cette gravure du BOX non contrôlée. Premièrement, une préparation de surface comprenant de l'acide fluorhydrique (HF) est utilisée juste avant l'épitaxie afin d'assurer une surface propre et désoxydée. Cette chimie étant capable de graver l'oxyde du BOX, nous avons coupé une plaque juste après implantation et une plaque après application de cette préparation de surface (Figure 181). Néanmoins, les résultats obtenus ont infirmé cette hypothèse, le SOI ainsi que le BOX restant intègres dans les deux cas de figure même si de larges zones amorphisées peuvent être observées de part et d'autre du BOX.

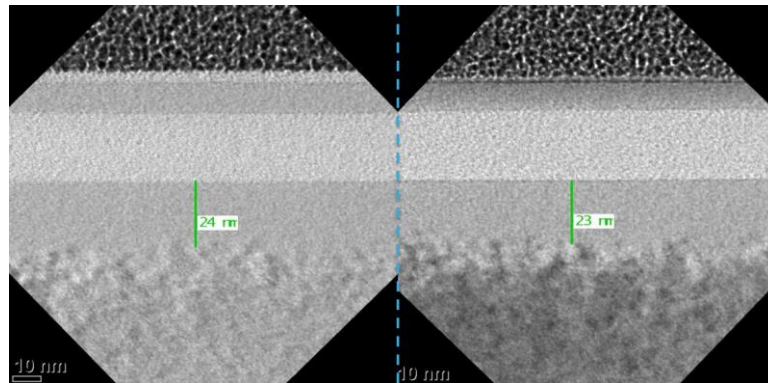


Figure 181 Coupes TEM montrant à gauche l'état du substrat après implantation et à droite après préparation de surface

La deuxième hypothèse concernait la température du budget thermique utilisée juste avant l'épitaxie servant à enlever l'oxyde natif présent naturellement sur le SOI même après une préparation de surface adaptée. Deux températures ont été testées : 1050°C (procédé de référence) et 900°C (température minimale d'efficacité du procédé). Dès les premières observations réalisées en vue de dessus (Figure 182), une différence notable a pu être remarquée. Dans le cas d'une température de 900°C, les îlots sont beaucoup plus gros et n'ont pas le même aspect. Ils paraissent plus polycristallins que les îlots obtenus après un recuit à 1050°C qui présentent des facettes et qui sont quant à eux monocristallins.

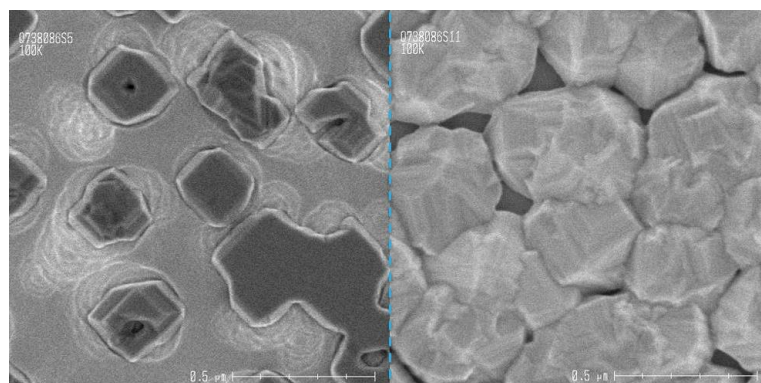


Figure 182 Observations en vue de dessus au SEM montrant à gauche l'état du substrat après épitaxie avec bake 1050°C et à droite après épitaxie avec bake 900°C

Ces observations ont ensuite été validées par des coupes SEM (Figure 183). Dans le cas du recuit à 1050°C, les îlots croissent à partir du substrat, sous le BOX qui est percé à certains endroits, ce qui explique leur monocristallinité. Lors d'un recuit à 900°C, le BOX reste intègre et ne permet pas un réarrangement cristallin à partir du substrat. De plus, les grains possèdent



une taille plus importante dans ce dernier cas. On peut déduire de ces observations deux phénomènes distincts. Premièrement, le SOI démouille à la surface du BOX que ce soit à 900°C ou à 1050°C. Au contraire, le « perçage » du BOX n'est observé qu'à 1050°C et les grains présentent alors une taille moins importante.

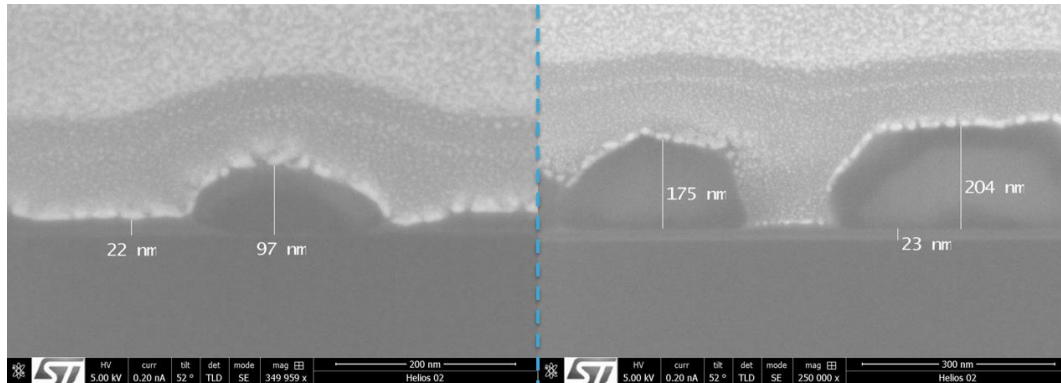
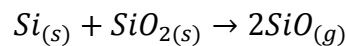


Figure 183 Imagerie SEM montrant à gauche l'état du substrat après épitaxie avec préparation de surface à 1050°C et à droite après épitaxie avec préparation de surface à 900°C

Si le démouillage du SOI est un phénomène connu et répandu, qui plus est quand les liaisons de la couche y sont altérées par une implantation, la gravure du BOX est nettement moins maîtrisée. Après discussions avec les experts matériaux de l'entreprise, il apparaît qu'à haute température et en présence d'air, le silicium et l'oxyde de silicium réagissent pour former du monoxyde de silicium volatil suivant l'équation X. Ceci explique donc à la fois la gravure du BOX sous les îlots de silicium ainsi que la petite taille des grains obtenus après épitaxie.



### 5.2.2. Solutions technologiques

A la vue de ces premiers résultats, l'objectif est donc de limiter l'amorphisation du SOI afin de garder une zone cristalline permettant sa recristallisation durant le recuit. Pour cela trois axes ont été étudiés. Premièrement, l'espèce, la dose ainsi que l'énergie d'implantation ont été modifiées afin de déterminer les conditions permettant une reprise d'épitaxie sur le SOI. Dans un second temps, le rôle de l'utilisation d'un oxyde de 4 nm servant à limiter la contamination de surface durant l'implantation a également été investiguée. Pour finir, une méthode d'implantation à chaud permettant de limiter la génération de défauts a été étudiée.

Comme on peut le voir dans le Tableau 17, les différentes conditions d'implantation ont donné des résultats très intéressants. Effectivement, plusieurs conditions mènent à une reprise d'épitaxie fonctionnelle sur le SOI. La diminution de la dose d'arsenic (de  $6 \times 10^{14} \text{ cm}^{-2}$  à  $5 \times 10^{13} \text{ cm}^{-2}$ ) permet de préserver une partie des liaisons du SOI qui peut ainsi être utilisé comme support à l'épitaxie. L'utilisation de phosphore, espèce possédant un rayon ainsi qu'une masse atomique nettement inférieur à ceux de l'arsenic (1 ang. contre 1,15 ang. pour le rayon et 30,97 u.m.a. contre 74,92 u.m.a. pour la masse), est une option intéressante car créant beaucoup moins de défauts dans le SOI. Ici, les énergies ont été adaptées entre les espèces afin d'avoir la même profondeur d'implantation.

Tableau 17 Synthèse des résultats de la reprise d'épitaxie sur SOI implanté

Espèce implantée	Oxyde 4 nm	Energie (keV)	Dose (cm <sup>-2</sup> )	Reprise d'épitaxie
Arsenic	OUI	60	5 <sup>e</sup> 13	OK
			2 <sup>e</sup> 14	NOK
			6 <sup>e</sup> 14	NOK
	NON	60	5 <sup>e</sup> 13	OK
			2 <sup>e</sup> 14	NOK
			6 <sup>e</sup> 14	NOK
OUI	NON	110	2 <sup>e</sup> 14	NOK
			2 <sup>e</sup> 14	OK
Phosphore	OUI	35	3 <sup>e</sup> 14	OK
	NON			OK

Le résultat le plus surprenant concerne la branche utilisant l'implantation Arsenic à 110 keV à forte dose sans oxyde qui peut être utilisé afin de réaliser une reprise d'épitaxie fonctionnelle. Afin de comprendre ce résultat, des simulations TCAD ont été réalisées comme le montre la Figure 184. Les résultats ont permis de découvrir que la partie supérieure du SOI reste cristalline dans le cas d'une implantation sans oxyde (points verts) alors qu'elle est quasi-intégralement amorphisée si l'on utilise un oxyde en surface. L'explication réside dans le fait que les mécanismes de création de défauts sont quantifiés d'un point de vue énergétique. Les collisions entre les ions implantés et les atomes de silicium du substrat sont dites élastiques sur les premiers nanomètres du substrat et de permettent pas briser les liaisons entre les atomes de silicium.

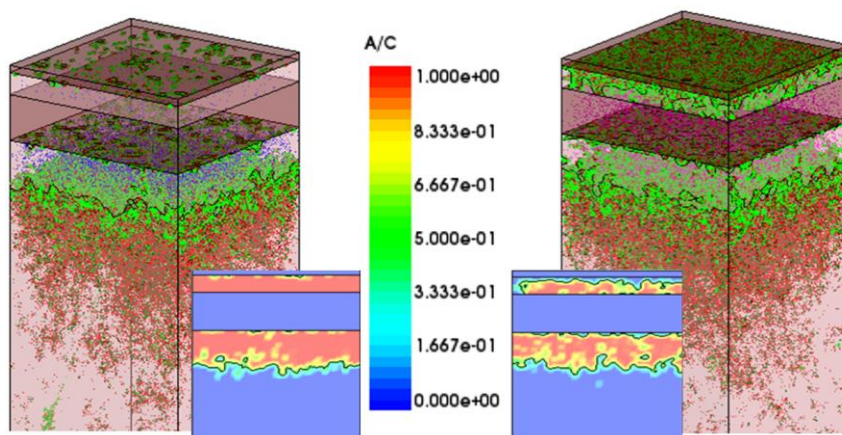


Figure 184 Simulations TCAD montrant à gauche l'état du substrat après implantation à travers un oxyde et à droite après implantation sans oxyde

Une validation par imagerie TEM a été effectuée comme le montre la Figure 185 avec des résultats très similaires à ceux obtenus en TCAD.

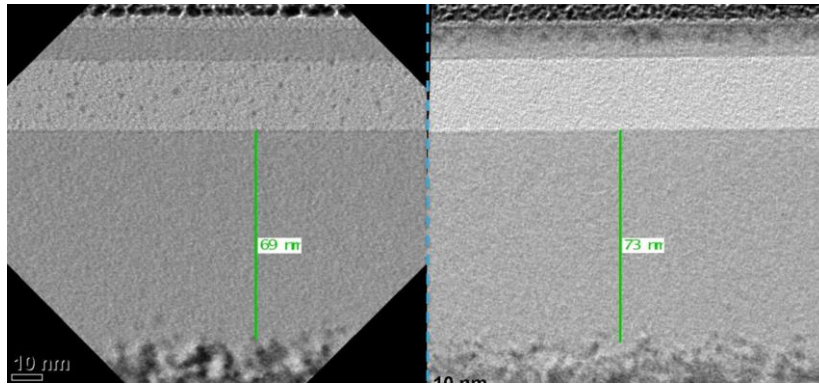


Figure 185 Imagerie TEM montrant à gauche l'état du substrat après implantation à travers un oxyde et à droite après implantation sans oxyde

Les travaux présentés précédemment ont démontré la faisabilité d'implanter le collecteur du transistor TBH à travers un SOI tout en préservant ses propriétés cristallines. Néanmoins, les contraintes sont nombreuses en terme d'intégration (espèce, énergie, dose, protection de la surface etc...). Ainsi une série d'essais a été menée en collaboration avec un de nos équipementiers afin d'implanter des plaques à haute température dans le but de limiter la génération de défauts dans le SOI comme on peut le trouver dans la littérature et présenté sur la Figure 103 du chapitre 3.

Une première série de plaques a été implantée puis mesurée en ellipsométrie afin d'évaluer la cristallinité du SOI après implantations réalisées à différentes températures. Comme le montre la Figure 186, un comportement assez similaire est observé pour les implantations réalisées à 0°C et 150°C avec un taux d'amorphisation proche de l'unité. A partir de 275°C on remarque une diminution importante du taux d'amorphisation jusqu'à une valeur 1% pour une implantation réalisée à 500°C. A noter que la dose d'implantation n'ayant que peu d'impact sur le résultat (validé de  $5^{e}13 \text{ cm}^{-2}$  à  $6^{e}14 \text{ cm}^{-2}$ ), les implantations arsenic à 60 keV ont été utilisées pour ces travaux.

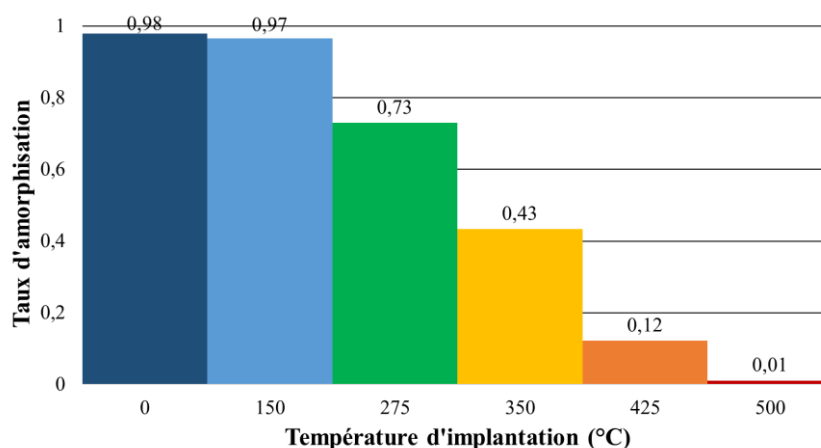


Figure 186 Taux d'amorphisation du SOI en fonction de la température d'implantation conditions d'implantation

Des coupes TEM (Figure 187) réalisées sur ces mêmes plaques ont consolidé ces résultats. L'amorphisation du SOI mais aussi de la partie sous le BOX diminue largement avec la température d'implantation.

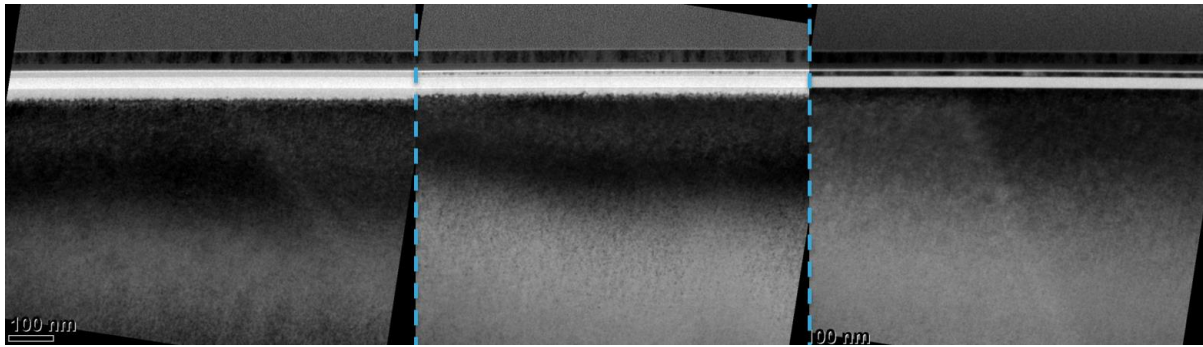


Figure 187 Imagerie TEM montrant l'état du substrat après implantation à 0°C, 150°C et 500°C de gauche à droite

Afin de valider ces résultats préliminaires, nous avons réalisé la reprise d'épitaxie sur trois plaques ayant été implantées à respectivement 0°C, 150°C et 500°C. La Figure 188 valide les mesures ellipsométriques présentées précédemment. Le comportement à 0°C et 150°C est similaire où l'on retrouve d'une part la migration du SOI en surface ainsi que la gravure entre Si et SiO<sub>2</sub>. A 500°C, la reprise d'épitaxie est parfaite sans qu'aucun défaut dans le BOX ni dans le SOI ne puisse être décelé. A priori, l'implantation à haute température permet de préserver les liaisons et donc la cristallinité du SOI, ce qui bloque le démouillage de ce dernier pendant la préparation de surface de l'épitaxie et donc par conséquent l'interaction entre le silicium et le dioxyde de silicium.

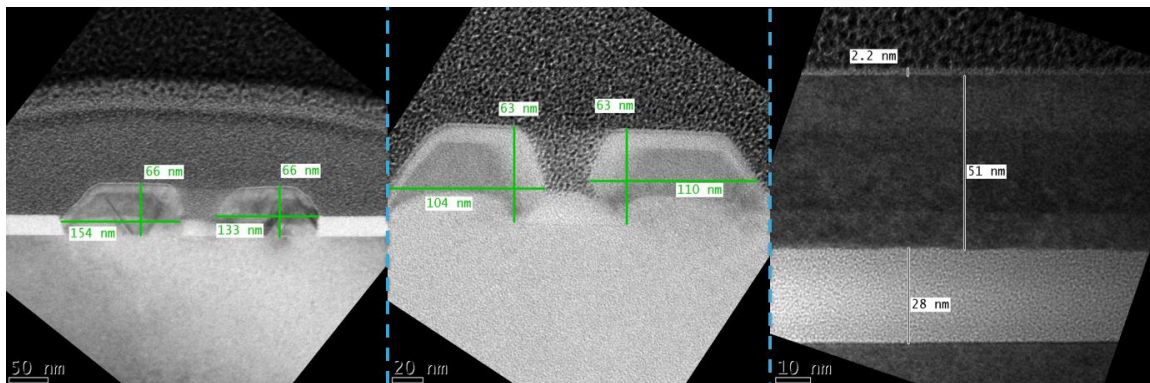


Figure 188 Imagerie TEM montrant l'état du substrat après épitaxie sur des substrats implantés à 0°C, 150°C et 500°C de gauche à droite

Il est à noter que toutes les reprises d'épitaxie sur SOI implanté à des températures supérieures à 275°C ont été considérées comme fonctionnelles. La prochaine étape consistera donc à travailler sur le type de masques pouvant être utilisé afin de réaliser ces implantations. Effectivement, la tenue en température des résines se situe entre 150°C et 300°C et doit donc être évaluée en fonction de la température d'implantation choisie. Dans le cas où les résines ne pourraient pas être utilisées, des solutions existent notamment au niveau de masques durs spécifiques mais présentent le désavantage de représenter un coût supplémentaire non négligeable.



### 5.3. L'intégration 3D, l'avenir

La multiplicité des architectures de transistors peut être complétée par une intégration dite 3D afin d'améliorer les performances des circuits. Toujours à la recherche d'augmentation de la densité de transistor, les industriels du secteur de la microélectronique investissent depuis plusieurs années dans cette voie consistant à empiler des composants les uns au-dessus des autres. De ce fait, la distance entre deux transistors superposés peut être diminuée à l'aide d'interconnexions verticales et le nombre de répéteurs diminué. Par conséquent, un important gain est obtenu en terme de consommation énergétique [TOPOL06]. Au niveau de la densité d'intégration, il est naturel qu'un plus grand nombre de transistors puisse être intégré sur une surface donnée malgré le fait que cela soit dépendant du circuit fabriqué [SARHAN15].

Concernant la performance des circuits, la diminution des longueurs d'interconnexions permet un gain important [SARASWAT10]. Si nous prenons l'exemple d'un microprocesseur majoritairement composé de logique et de mémoire, la superposition des deux blocs va considérablement améliorer la vitesse de communication de l'ensemble et donc de sa performance globale.

#### 5.3.1. L'intégration 3D monolithique (séquentielle)

La première intégration 3D possible, appelée séquentielle consiste en la superposition de différents niveaux de transistors sur une unique plaquette de silicium comme le montre la Figure 189. Une fois le premier niveau réalisé (BiCMOS055 dans l'exemple donné), un collage d'oxyde et de silicium est réalisé afin de permettre la réalisation du second (Z28 dans l'exemple donné correspondant à une intégration sur FD-SOI d'une technologie CMOS 28 nm). Cette technique présente l'avantage d'avoir d'un alignement entre les niveaux de la précision des outils de photolithographie de dernière génération. De plus une densité de via de  $2 \times 10^7$  via/mm<sup>2</sup> peut être atteinte grâce à cette intégration [BRUNET16]. Néanmoins, le budget thermique de la seconde puce peut impacter significativement l'optimisation de la première.

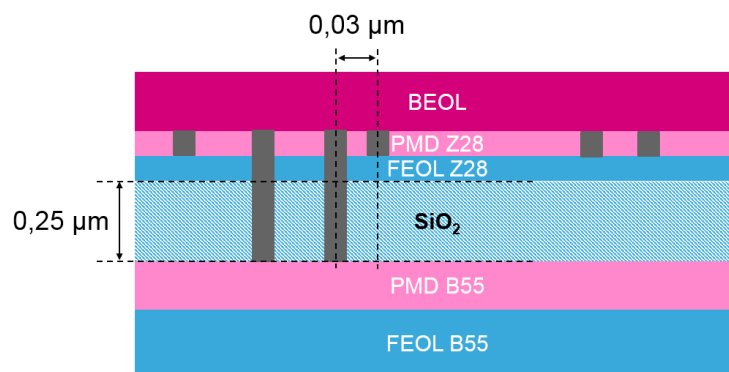


Figure 189 Vue 2D schématique d'une intégration 3D parallèle avec piliers de cuivre

Par la réduction de la longueur des interconnexions ainsi que la densité de vias atteignable, les technologies 3D monolithiques présentent un ratio performance et consommation énergétique par unité de surface extrêmement compétitif. Néanmoins, ces techniques restent pour l'heure compliquées à mettre en œuvre de par l'impact croisé des budgets thermiques utilisés dans les niveaux successifs de composants. Effectivement, il a été

montré qu'un budget thermique supérieur à 500°C pendant 2h était la limite acceptable pour ne pas dégrader les performances du niveau inférieur et notamment du siliciure [FENOUILLET-BERANGER14]. Les travaux présentés dans cette étude et affichées ci-dessous montrent bien un glissement de la tension  $V_T$  des transistors lorsque qu'un recuit supérieur à 500°C est appliqué.

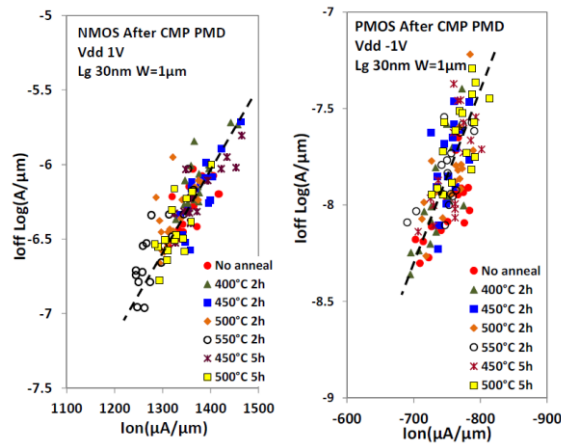


Figure 190 Performances de transistors CMOS en fonction du budget thermique supplémentaire appliqué [FENOUILLET-BERANGER14]

### 5.3.2. L'intégration 3D parallèle

Contrairement à l'intégration séquentielle, l'intégration 3D séquentielle consiste à fabriquer de manière indépendante, c'est-à-dire sur des plaques de silicium différentes, des circuits électroniques possédant le plus souvent des fonctions complémentaires. Une fois réalisées, les différentes parties sont assemblées les unes aux autres comme le montre la Figure 191. Ainsi, la surface est préservée au détriment du volume souvent moins critique. Cette intégration a pour principal intérêt de pouvoir optimiser de manière indépendante les deux technologies utilisées pour réaliser la puce 3D. Si l'on prend l'exemple du B55 ou du B55X, on peut tout à fait imaginer pouvoir intégrer ces technologies avec une puce digitale très performante par exemple réalisée dans un nœud CMOS 28 nm.

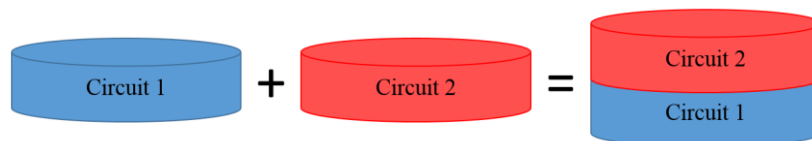


Figure 191 Vues 2D schématiques de l'intégration parallèle 3D

Si en intégration séquentielle, l'assemblage des deux puces est réalisé avec une précision dépendante de l'alignement lithographique, il est beaucoup plus compliqué d'assurer un assemblage précise en 3D parallèle. Dans ce dernier cas, l'alignement peut être réalisé avec une précision de plusieurs micromètres [UHRMANN14] [SUGAYA14].

Deux méthodes principales sont utilisées afin de réaliser l'assemblage des deux puces en 3D parallèle. La première, dont une représentation est donnée en Figure 192 repose sur l'utilisation de piliers de cuivre. Cette technologie est relativement simple et peu chère à mettre

en œuvre mais ne permet pas d'obtenir une densité importante. Effectivement, comme on peut le voir, une distance minimale de 40  $\mu\text{m}$  doit être respectée entre deux piliers et de 33  $\mu\text{m}$  entre les puces. Réalisée après dépôt de l'aluminium (AP sur la Figure 192), elle ne peut être réalisée en salle blanche.

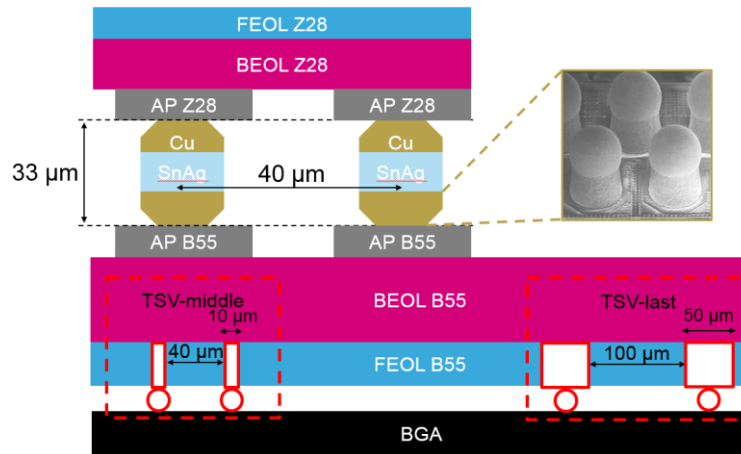


Figure 192 Vue 2D schématique d'une intégration 3D parallèle avec piliers de cuivre

La seconde possibilité d'intégration en 3D parallèle met en jeu un système de collage hybride au niveau des derniers niveaux de métaux de chacun des circuits. Comme le montre la Figure 193, la densité peut être largement augmentée avec cette technologie, la distance minimale entre deux plots de collage étant ramenée à 7  $\mu\text{m}$ , valeur amenée à diminuer dans un futur proche (actuellement proche du micromètre en recherche et développement). L'espace entre les deux puces est divisé par dix par rapport à l'utilisation de piliers de cuivre. Possédant également un coût relativement modéré, le collage hybride bénéficie de développements spécifiques liés à la demande de plus en plus importante. Néanmoins, cette technologie possède le désavantage de nécessiter deux puces de surface identique. Il est par conséquent compliqué d'optimiser l'intégration de l'une et l'autre.

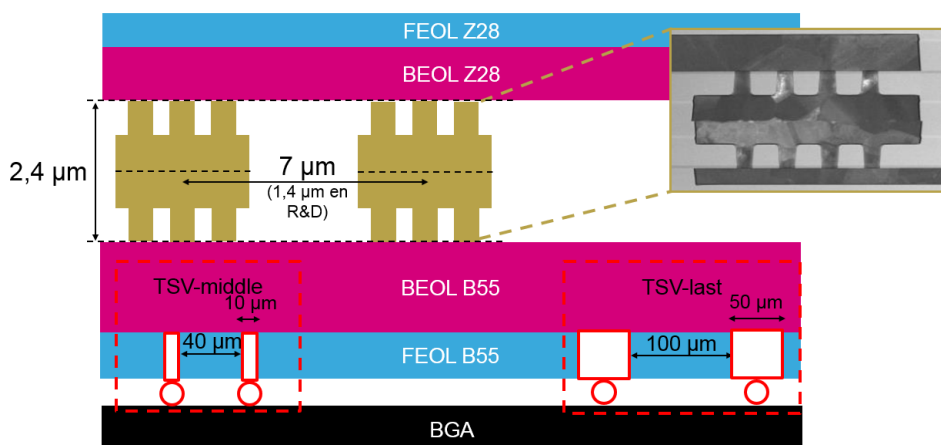


Figure 193 Vue 2D schématique d'une intégration 3D parallèle avec collage hybride

Si de multiples solutions sont envisageables, celle qui sera retenue dépendra surtout de l'application visée et de ces besoins en termes de performances. On peut très bien imaginer une technologie uniquement bipolaire intégrée avec une cellule digitale. Dans ce cas, les transistors bipolaires pourraient être optimisés de manière optimale sans tenir compte des

performances des transistors CMOS. Au contraire, si la communication entre transistors bipolaires et CMOS est primordiale, l'intégration d'une technologie BiCMOS avec une puce digitale serait la meilleure solution.

A noter que pour les solutions d'intégration 3D parallèle, les connections entre les puces assemblées et le boîtier sont réalisées à l'aide de « Through Silicon Vias » (TSV). En fonction de la technologie utilisée des contraintes de densité peuvent également s'appliquer.



## 5.4. Conclusion

Nous avons vu dans ce chapitre les solutions technologiques qui existent en terme d'intégration pour les prochaines générations de technologies BiCMOS. Si elles présentent toutes des avantages et des inconvénients comme on peut le voir dans le Tableau 18, le choix sera surtout supporté par le type de produits visé. L'intégration monolithique présentera toujours la meilleure solution si un grand nombre de connections est nécessaire entre les transistors CMOS et TBH. En évaluant la faisabilité d'intégration du TBH dans une plateforme FD-SOI, de nombreuses contraintes apparaissent et nécessitent de nouvelles approches comme ce qui a été présenté sur l'implantation du collecteur à travers le SOI. L'utilisation de matériaux dits « high-K » ne facilitent également pas la co-intégration étant très sensible aux budgets thermiques.

Au contraire, les intégrations 3D et notamment parallèles peuvent permettre de développer des technologies individuellement dans le but de les optimiser avant de les assembler si la performance est prédominante par rapport à la densité digitale. Dans ce cas, les contraintes d'intégration sont plus faibles par rapport à une intégration monolithique. L'intégration 3D séquentielle présente un fort potentiel en terme de densité mais nécessite le développement de composant à très basse température afin de ne pas impacter le reste du circuit.

Tableau 18 Synthèse des principales caractéristiques des intégrations avancées

Technologie	Intégration	Optimisation individuelle MOS/TBH	Pas ( $\mu\text{m}$ )	Densité volumique	Coût développement
Piliers de cuivre	3D parallèle	OUI	40	Faible	Faible
Collage hybride	3D parallèle	OUI	7	Moyenne	Faible
Empilement séquentiel	3D séquentielle	NON	0,030	Très grande	Important
BiCMOS028 monolithique	N.A.	NON	N. A.	Grande	Important
TSV-last	N.A.	N.A.	100	Très faible	Faible
TSV-middle	N.A.	N.A.	40	Faible	Moyen

# Conclusion générale

Pour conclure et afin d'atteindre les performances visées pour les prochaines générations de technologies BiCMOS, plusieurs angles de développement ont été investigués. D'une part, le profil vertical et l'architecture du collecteur ont respectivement été optimisés et développés à partir de l'architecture DPSA-SEG utilisée en BiCMOS055 afin d'augmenter la fréquence de transition  $f_T$ . D'autre part, une nouvelle architecture de transistor bipolaire a été développée dans le but d'outrepasser les contraintes architecturales de la DPSA-SEG dans le but d'améliorer la performance  $f_{MAX}$ .

Dans un premier temps, l'étude du profil vertical du transistor bipolaire à hétérojonction a permis d'atteindre un compromis entre  $f_T$  et  $f_{MAX}$  de respectivement 400 GHz et 315 GHz. Ces résultats ont notamment été permis par l'optimisation du budget thermique permettant de diminuer le temps de transit dans le TBH tout en maintenant la compatibilité avec les modèles CMOS. S'appuyant sur cette étude, les parties correspondantes à la base intrinsèque et au collecteur ont été améliorées. Nous avons vu que le profil de germanium avait un rôle important à jouer dans la montée en fréquence des composants grâce à la création d'un pseudo champ électrique optimisé. Du côté du collecteur, l'augmentation du dopage du collecteur permet de réduire considérablement la résistance de collecteur afin d'augmenter la fréquence de transition sans compromis sur la  $f_{MAX}$ . De nombreux challenges restent néanmoins à relever. Par exemple, la diffusion du bore dans la base du TBH nécessite des études supplémentaires afin d'en comprendre les mécanismes exacts.

Dans un second temps, un collecteur totalement implanté a été optimisé dans le but de remplacer le collecteur standard épitaxié utilisé en BiCMOS055. Moins cher à réaliser, la preuve a été apportée que des performances similaires pouvaient être obtenues avec ce type de technologie. Les inconvénients généralement rencontrés dans le cadre de l'utilisation d'implantations comme la génération de défauts ou le mauvais contrôle des profils de dopants ont été outrepassés par la co-implantation de carbone avec le phosphore. Peu utilisé jusqu'à présent, le potentiel de ce procédé est très important en terme de performances et de fiabilité. L'optimisation des règles de dessin a permis de fixer un nouveau record de fréquence de transition pour une technologie BiCMOS à 450 GHz. De plus, une densité de puissance supérieure à 30 mW /  $\mu\text{m}^2$  a été obtenue pour ces composants représentant un pas en avant majeur dans ce domaine. Néanmoins, l'impact sur la  $f_{MAX}$  étant très important, le développement d'un module SSTI a été effectué afin de limiter la capacité entre la base et le collecteur. Le gain sur les performances électriques reste à évaluer à l'heure où ce document est réalisé.

Pour terminer, une nouvelle architecture de transistor bipolaire a été implémentée sur silicium. Basée sur des études TCAD, elle a dû être simplifiée afin de rendre les développements réalisables. Chaque étape de réalisation a représenté une nouveauté par rapport à la DPSA-SEG et les temps de développements ont par conséquent été très longs. Le nombre d'épitaxies a par exemple été multiplié par deux et leur implémentation n'a pas été chose aisée à la vue des difficultés rencontrées : faible taux d'ouverture, sélectivité etc... Néanmoins, des

premiers résultats électriques ont pu être obtenus démontrant la fonctionnalité de l'architecture émetteur / base et notamment du lien de la base. De nombreuses boucles d'optimisation vont maintenant être nécessaires afin d'uniformiser les procédés de fabrication sur les plaques et d'ajuster les points critiques (par exemple la concentration d'arsenic dans le collecteur intrinsèque). Les premières mesures  $hf$  qui doivent être réalisées courant 2019 devraient nous donner une idée plus précise de l'endroit où l'on se trouve en terme de performances et par rapport aux premiers modèles développés sur la base de la TCAD. L'objectif étant de concentrer dans cette technologie BiCMOS055X toutes les améliorations réalisées au niveau du profil vertical dans cette nouvelle architecture afin d'avoir à la fois une forte  $f_{MAX}$  et une forte  $f_T$ .

Si l'intégration dans un nœud CMOS 55 nm est à l'heure actuelle la priorité de l'entreprise, des études ont été entamées afin d'envisager les prochaines étapes. L'intégration en 28 nm sur substrat SOI semble aujourd'hui réalisable à la vue des essais réalisés notamment sur l'implantation du collecteur à la travers la fine couche de silicium située au-dessus du BOX. La cointégration avec des matériaux comme les « high-K » représente cependant un challenge important et intéressant à relever. La 3D peut quant à elle représenter une alternative intéressante afin de tirer profit de deux technologies différentes présentant des points forts complémentaires. Une technologie BiCMOS pourrait donc être intégrée avec une technologie digitale avancée. Les travaux n'en sont à l'heure actuelle qu'à l'étude de faisabilité mais pourraient s'accélérer dans les années à venir...

# Publications de l'auteur

## Papiers internationaux

**A. Gauthier**, P. Chevalier, C. Gaquière et al., "SiGe HBT / CMOS Process Thermal Budget Co-optimization in a 55-nm CMOS node", 2017, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 58-61

**A. Gauthier**, P. Chevalier, C. Gaquière et al., "450 GHz fT SiGe:C HBT featuring an implanted collector in a 55-nm CMOS node", 2018, in BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, pages 72-75

P. Chevalier, W. Liebl, H. Rücker, **A. Gauthier** et al., "SiGe BiCMOS Current Status and Future Trends in Europe", 2018, in BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, pages 64-71

J. Borrel, **A. Gauthier** et al., "Prevention of temperature-induced dewetting of implanted SOI via heated ion implantation", 2018, in IIT proceedings, page 24

## Brevets

**A. Gauthier**, G. Ribes, "Vertical Quantum Transistor", published, US2018/0277659

**A. Gauthier**, P. Chevalier, G. Avenier, "Heterojunction bipolar transistor and method of manufacturing the same", granted

**A. Gauthier**, Y. Campidelli, F. Deprat, "Cyclic epitaxy process to form air-gap isolation for a bipolar transistor", granted, US10186605

**A. Gauthier**, J. Borrel, "Heterojunction bipolar transistor and method of manufacturing the same", to be published

P. Chevalier, **A. Gauthier**, "Heterojunction bipolar transistor with counter-doped collector region and method of making the same", to be published

**A. Gauthier**, P. Chevalier, "Heterojunction bipolar transistor and method of manufacturing the same", to be published

**A. Gauthier**, P. Chevalier, "Heterojunction bipolar transistor and method of manufacturing the same", to be published

# Références

- [ASHBURN03] Ashburn, “SiGe Heterojunction Bipolar Transistors”, 2003, John Wiley & Sons
- [ASHBURN88] Ashburn, “Design and Realization of Bipolar Transistors”, 1988, John Wiley and Sons
- [AVENIER09] Avenier et al., “0.13  $\mu\text{m}$  SiGe BiCMOS Technology Fully Dedicated to mm-Wave Applications”, 2009, Journal of Solid-State Circuits, Vol. 44, N°9, pages 2312-2321
- [BIDAUD07] Bidaud et al., “High-Activation Laser Anneal Process for the 45nm CMOS Technology Platform”, 2007, in Advanced Thermal Processing of Semiconductors, pages 251-256
- [BORREL18] Borrel et al., “Prevention of temperature-induced dewetting of implanted SOI via heated ion implantation”, 2018, in IIT proceedings, page 24
- [BRUNET16] Brunet et al., “First demonstration of a CMOS over CMOS 3D VLSI coolcube integration on 300mm wafers”, 2016, in IEEE Symposium on VLSI Technology, pages 1-2
- [CHEVALIER06] Chevalier et al., “Low-Cost Self-Aligned SiGeC HBT Module for High-Performance Bulk and SOI RFCMOS Platforms”, 2005, in International Electron Devices Meeting Technical Digest, pages 963-966
- [CHEVALIER14] Chevalier et al., “A 55nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz  $f_T$  / 370 GHz  $f_{MAX}$  HBT and High-Q Millimeter-Wave Passives”, 2014, International Electron Devices Meeting Technical Digest, pages 77-79
- [CHEVALIER15] Chevalier et al., “Nanoscale SiGe BiCMOS Technologies: From 55 nm Reality to 14 nm Opportunities and Challenges”, 2015, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 80-87
- [CHEVALIER18] Chevalier et al., “SiGe BiCMOS Current Status and Future Trends in Europe”, 2018, in BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, pages 64-71
- [COWERN03] Cowern et al., “Physic-based diffusion simulation for preamorphized USJ”, 2003, Mater. Res. Soc. Symp. Proc., vol. 765, D6.8.1

- [DENTON91] Denton et al., “Vegards Law.”, 1991, Physical Review A 43, pages 3161-3164
- [DURU17] Duru et al., “Photoluminescence for in-line buried defects detection in silicon devices”, 2017, in Advanced Semiconductor Manufacturing Conference, pages 262-266
- [FENOUILLET-BERANGER14] Fenouillet-Beranger et al., “New insights on bottom layer thermal stability and laser annealing promises for high performance 3D VLSI”, 2014, in IEEE International Electron Devices Meeting, pages 27.5.1-27.5.4
- [FÖLL76] Föll et al., “Agglomerate von Zwischengitteratomen (Swirl-Defekte) in Silizium – ihre Bedeutung für Grundlagenforschung und Technologie”, 1976, Jahrbuch der Akademie der Wissenschaften in Göttingen
- [FOX11] Fox et al., “SiGe:C HBT architecture with epitaxial external base”, 2011, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 70-73
- [GAUTHIER17] Gauthier et al., “SiGe HBT / CMOS Process Thermal Budget Co-optimization in a 55-nm CMOS node”, 2017, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 58-61
- [GAUTHIER18] Gauthier et al., “450 GHz f<sub>T</sub> SiGe:C HBT featuring an implanted collector in a 55-nm CMOS node”, 2018, in BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, pages 72-75
- [GEYNET08] Geynet et al., “SiGe HBTs featuring  $f_T \gg 400$ GHz at room temperature”, 2008, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 121-124
- [HEINEMANN16] Heinemann et al., “SiGe HBT with  $f_T / f_{MAX}$  of 505 GHz / 720 GHz”, in International Electron Devices Meeting Technical Digest, 2016, pages 3.1.1.-3.1.4.
- [KACHURIN92] Kachurin et al., “High-temperature ion implantation in silicon”, 1992, in Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, Volume 68, Issues 1-4, pages 323-330

- [KIRK62] Kirk, “A Theory of Transistor Cutoff Frequency ( $f_T$ ) Falloff at High Current Densities”, 1962, Electron Devices, IRE Transactions, pages 164-174
- [LANG85] Lang et al., “Measurement of the band gap of  $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$  strained-layer heterostructures”, 1985, Applied Physics Letters, pages 1333-1335
- [LANZEROTTI96] Lanzerotti et al., “Si/Si $_{1-x-y}$ Ge $_x$ C $_y$ /Si heterojunction bipolar transistors”, 1996, IEEE Electron Devices Letters, Vol.17, pages 334-337
- [LIFSHITZ61] Lifshitz et al., “The kinetics of precipitation from supersaturated solid solutions”, 1961, in Journal of Physics and Chemistry of Solids, pages 35-50
- [LIEBL16] Liebl et al., “SiGe Applications in Automotive Radars”, 2016, ECS Trans., Vol. 75, N°. 8, pages 91-102
- [MANGER18] Manger et al., “Integration of SiGe HBT with  $f_T = 305\text{GHz}$ ,  $f_{\text{MAX}} = 537\text{GHz}$  in 130nm and 90nm CMOS”, 2018, in BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium, pages 76-79
- [MEYER87] Meyer et al., “Charge-control analysis of the collector-base space-charge-region contribution to bipolar-transistor time constant  $\tau_T$  », 1987, Electron Devices, IEEE Transactions on, Vol. 34, Issue 2, pages 450-452
- [NAKASHIMA12] Nakashima et al., “Phosphorous transient enhanced diffusion suppression with cluster carbon co-implantation at low temperature”, 2012, at 12th International Workshop on Junction Technology, pages 109-112
- [PARISINI] Parisini et al., “Diamond hexagonal Si phase and {113} defects: energy calculation and new defect models”, 1993, Phil. Mag. A, vol. 67, page 605
- [PAWLAK06] Pawlak et al., “Suppression of phosphorous diffusion by carbon co-implantation”, 2006 in Applied Physics Letters, Letter N°89
- [PEKARIK14] Pekarik et al., “A 90nm SiGe BiCMOS technology for mm-wave and high-performance analog applications”, 2014, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 92-95

- [PEOPLE85] People et al., “Indirect Band Gap of Coherently Strained  $GexSi_{1-X}$  bulk Alloys on  $\langle 001 \rangle$  Silicon Substrates”, 1985, Physical Review B 32, pages 1405-1408
- [ROBERTSON99] Robertson et al., “Correlation of EOR damage evolution and transient enhanced diffusion in Si”, 1999, Appl. Phys. Lett., vol. 75, n° 24, page 3844
- [ROULSTON90] Roulston, “Bipolar Semiconductor Devices”, 1990, McGraw Hill, page 241
- [RÜCKER10] Rücker et al., “A 0.13  $\mu m$  SiGe BiCMOS Technology Featuring  $f_T / f_{MAX}$  of 240/330 GHz and Gate Delays Below 3 ps”, 2010, IEEE Journal of Solid-State Circuits, Vol. 45, N° 9
- [RÜCKER12] Rücker et al., “Half-terahertz SiGe BICMOS technology”, 2012, 12th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), pages 133-136
- [SARASWAT10] Saraswat et al., “3D ICs : Motivation, performance analysis, technology and applications”, 2010, in IEEE Physical and Failure Analysis of Integrated Circuits (IPFA), pages 1-6
- [SARHAN15] Sarhan et al., “An un-balanced area ratio study for high performance monolithic 3D integrated circuits”, 2015, in IEEE Computer Society Annual Symposium on VLSI, pages 350-355
- [SCHERMER07] Schermer et al., “On a Computationally Efficient Approach to Boron-Interstitial Clustering”, 2007, Solid State Device Research Conference, pages 342-345
- [SOUZA99] Souza et al., “Planar self-interstitial in Si”, 1999, in Phys. Rev. Lett., vol. 83, page 1799
- [SUGAYA14] Sugaya et al., “New precision alignment methodology for CMOS wafer bonding”, 2014 in SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pages 1-3
- [SZE81] Sze, “Physics of semiconductor devices”, 1988, John Wiley and Sons
- [TOPOL06] Topol et al., “Three-dimensional integrated circuits”, 2016, in. IBM Journal of Research and Development, page 50



- [TRIVEDI16] Triveldi et al., “A 90nm BiCMOS Technology featuring 400GHz  $f_{MAX}$  SiGe:C HBT”, 2016, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 60-63
- [UHRMANN14] Uhrmann et al., “Monolithic IC integration key alignment aspects for high process yield”, 2014 in SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), pages 1-2
- [VU15] Vu et al., “Impact Study of the Process Thermal Budget of Advanced CMOS Nodes on SiGe HBT Performance”, 2015, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 76-79
- [VU16a] Vu et al., “Advanced Si/SiGe HBT architecture for 28-nm FD-SOI BiCMOS”, 2016, in Bipolar / BiCMOS Circuits and Technology Meeting, pages 64-67
- [VU16b] Vu, “Exploration and Evaluation of a Novel Si/SiGe Heterojunction bipolar Transistor Architecture for Next BiCMOS Generation”, 2016, PhD. thesis
- [WALDROP16] Waldrop et al., “The chips are down for Moore’s law”, 2016 in Nature News
- [ZOGRAPHOS07] Zographos et al., “Atomistic modeling of carbon co-implants and rapid thermal anneals in silicon”, 2007, in Advanced Thermal Processing of Semiconductors, pages 119-122

Les travaux présentés dans cette thèse portent sur le développement et l'optimisation de transistors bipolaires pour les futures générations de technologies BiCMOS. La technologie de référence est le BiCMOS055 présentant des  $f_T$  et  $f_{MAX}$  de respectivement 320 et 370 GHz. Dans un premier temps, il est montré que l'optimisation du profil vertical comprenant le budget thermique, le profil de la base et du collecteur notamment permet d'atteindre une  $f_T$  de 400 GHz tout en restant compatible avec les transistors CMOS. Dans un second temps, le développement d'un collecteur implanté est présenté. La co-implantation du carbone avec le phosphore permet d'obtenir des substrats sans défaut, un contrôle de la diffusion précis ainsi que des performances électriques prometteuses. Une fréquence de transition  $f_T$  record de 450 GHz est notamment atteinte grâce à des règles de dessins optimisées. Un module STI peu profond (SSTI) est développé afin de compenser l'augmentation de la capacité base / collecteur liée à ce type de technologie. Dans un troisième temps, l'intégration sur silicium d'une nouvelle architecture de transistor bipolaire ayant pour but de surmonter les limitations de la DPSA-SEG utilisée en BiCMOS055 est détaillée et les premiers résultats sont discutés. Cette partie démontre toutes les difficultés d'une intégration d'un transistor bipolaire de nouvelle génération dans une plateforme CMOS. La fonctionnalité de l'architecture émetteur / base est démontrée à travers des mesures *dc*. Pour terminer, la possibilité d'une intégration en 28 nm est évaluée à travers des travaux spécifiques, notamment au niveau des implantations à travers le SOI, et une ouverture sur les éventuelles intégrations 3D est réalisée.

The studies presented in this thesis deal with the development and the optimization of bipolar transistors for next BiCMOS technologies generations. The BiCMOS055 technology is used as the reference with 320 GHz  $f_T$  and 370 GHz  $f_{MAX}$  performances. Firstly, it is showed that the vertical profile optimization, including thermal budget, base and collector profiles allows to reach 400 GHz  $f_T$  HBT while keeping CMOS compatibility. In a second time, a fully implanted collector is presented. Phosphorous-carbon co-implantation leads to defect-free substrate, precise dopants profile control and promising electrical performances. A new 450 GHz  $f_T$  record is set thanks to optimized design rules. A low-depth STI module (SSTI) is developed to limit the base / collector capacitance increase linked to this type of technology. In a third time, the silicon integration of a new bipolar transistor architecture is detailed with the aim of overcoming DPSA-SEG architecture limitations used in BiCMOS055 and first electrical results are discussed. This part shows the challenges of the integration of new-generation bipolar transistors in a CMOS platform. The functionality of the emitter / base architecture is demonstrated through *dc* measurements. Eventually, the feasibility of 28-nm integration is evaluated with specific experiments, especially about implantations through the SOI, and an overview of potential 3D-integrations is presented.