
Caractérisation et Modélisation de Composants GaN pour la Conception de Convertisseurs Statiques Haute Fréquence

Thèse présentée en vue d'obtenir le grade de Docteur
en Génie Electrique par

Loris Pace

Présentée et soutenue publiquement le 25 novembre 2019 devant le jury :

M. Zoubir KHATIR, Directeur de Recherche à l'IFSTTAR, Président du jury
Mme. Nathalie BATUT, Maitre de Conférences HDR à l'Université de Tours, Rapporteur
M. Jean-Christophe NALLATAMBY, Professeur à l'Université de Limoges, Rapporteur
Mme. Marina DENG, Maitre de Conférences à l'Université de Bordeaux, Examinatrice
M. Nadir IDIR, Professeur à l'Université de Lille, Directeur de thèse
M. Jean-Claude DE JAEGER, Professeur à l'Université de Lille, Co-directeur de thèse
M. Nicolas DEFRANCE, Maitre de Conférences à l'Université de Lille, Co-encadrant
M. Arnaud VIDET, Maitre de Conférences à l'Université de Lille, Co-encadrant
M. Ke LI, Chercheur à l'Université de Nottingham (GB), Invité

Remerciements

Ces travaux de thèse ont été effectués au sein du Laboratoire d'Electrotechnique et d'Electronique de Puissance (L2EP), dirigé par le Professeur Betty Lemaire-Semail, dans l'équipe Electronique de Puissance, dirigée par le Professeur Philippe Lemoigne ainsi qu'au sein de l'Institut d'Electronique, de Microélectronique et de Nanotechnologies (IEMN), dirigé par M. Lionel Buchaillet, dans l'équipe Puissance, dirigée par le Professeur Jean-Claude De Jaeger. Je remercie l'ensemble de ces personnes de m'avoir accueilli au sein de ces deux laboratoires de recherche.

J'adresse mes sincères remerciements à M. Zoubir Khatir, directeur de recherche à l'IFSTTAR, qui m'a fait l'honneur de présider mon jury de thèse. Ces remerciements s'adressent également à Mme Nathalie Batut, Maitre de Conférences HDR au laboratoire Greman de Tours et M. Jean-Christophe Nallatamby, Professeur au laboratoire XLIM de Limoges, pour avoir accepté de juger ce travail en qualité de rapporteurs. Je remercie également Mme Marina Deng, Maitre de Conférences au laboratoire IMS de Bordeaux d'avoir accepté de participer à ce jury en qualité d'examinatrice ainsi que M. Ke Li, chercheur au laboratoire PEMC de Nottingham, de m'avoir fait l'honneur de participer à cette commission d'examen.

J'adresse ma plus profonde gratitude à mon directeur de thèse, le Professeur Nadir Idir ainsi qu'à mon co-directeur de thèse, le Professeur Jean-Claude De Jaeger pour m'avoir fait confiance pour traiter de ce sujet et m'avoir permis d'intégrer deux laboratoires de recherche, le L2EP et l'IEMN, aux savoir-faire complémentaires. Je les remercie vivement pour leur disponibilité tout au long de la thèse, l'expérience qu'ils ont su me faire partager ainsi que leurs apports scientifiques et leur sens pédagogique. Je remercie profondément mes encadrants de thèse, M. Nicolas Defrance et M. Arnaud Videt, Maitres de Conférences à l'université de Lille, pour leur disponibilité, leurs qualités scientifiques et humaines, leurs conseils et leur soutien tout au long de ces trois années. Les personnalités toutes différentes de cette équipe d'encadrants ont généré autant de modèles pour moi et mon futur.

Un grand merci au support technique des deux laboratoires, Mme Vanessa Avramovic et Messieurs Thierry Duquesne, Etienne Okada et Olivier Ferla pour leur aide essentielle au cours de ces travaux. Cette thèse, principalement expérimentale, n'aurait pu être menée sans leur contribution.

Je remercie la direction de l'école Polytech Lille de m'avoir permis de dispenser des enseignements en qualité de docteur assistant au cours de cette thèse. Je remercie également les membres du laboratoire L2EP Messieurs Florian Chevalier, Abdelkader Benabou, Philippe Delarue et Reda Bakri qui font ou qui ont fait partie de l'équipe pédagogique à laquelle j'ai été rattaché et avec qui j'ai pu travailler.

Je souhaite remercier l'ensemble des membres, permanents et non permanents, des deux laboratoires L2EP et IEMN que j'ai eu la chance de rencontrer durant ces trois ans. Tous ces êtres exceptionnels se reconnaîtront certainement. Je remercie particulièrement les membres de l'équipe Electronique de Puissance au L2EP et de l'équipe Puissance à l'IEMN que j'ai pu côtoyer au quotidien : Bilel, Ammar, Stéphane, Florentin, Hugot, Wendell, Caroline, Walid, Hadrien, Mahmoud, Rheda, Issa, Maxime...

Enfin, je remercie de tout cœur les membres de ma famille qui m'ont soutenu. Notamment mes parents qui m'ont toujours fait confiance dans mes choix de vie.

Résumé

La montée en fréquence de commutation des transistors de puissance à base de Nitrure de Gallium (GaN) présente une avancée technologique conduisant à la réduction de la taille, du poids et du volume des systèmes de conversion de l'énergie. En effet, les propriétés physiques des transistors de type HEMT basés sur l'hétérostructure AlGaN/GaN présentent un fort potentiel pour le développement de convertisseurs statiques haute fréquence. Avec l'augmentation toujours croissante de la part de l'électronique de puissance dans les systèmes électriques actuels, cette filière technologique, associée à la filière du Carbure de Silicium (SiC), vise aujourd'hui à remplacer progressivement les composants de puissance à base de Silicium (Si) notamment pour des raisons de tension de claquage élevée, de robustesse vis-à-vis des conditions sévères de fonctionnement et d'intégration de puissance.

La conception optimale des convertisseurs haute fréquence implique une connaissance précise du fonctionnement des composants de puissance au sein de ces systèmes. Ainsi, la conception de ces dispositifs repose sur des étapes d'analyse et de simulations menées à partir des modèles des semi-conducteurs de puissance et des éléments environnants. L'objectif de ce travail de thèse est de proposer une méthodologie de modélisation comportementale de transistors de puissance GaN en boîtier basée exclusivement sur des méthodes de caractérisation non-intrusives.

Les techniques de caractérisation électriques utilisées pour la modélisation de transistors fonctionnant en gammes radiofréquences, telles que la mesure des paramètres S ou les mesures courant/tension en régime pulsé, sont ici adaptées à la caractérisation du transistor de puissance GaN encapsulé. A partir des résultats de caractérisation, les différents éléments linéaires et non linéaires du modèle électrique du transistor sont obtenus et un modèle électrique complet rassemblant ces éléments est implémenté dans le logiciel de simulation ADS. Un banc de test Double Pulse est alors conçu afin de mettre en application le modèle électrique développé. Après modélisation de l'environnement du transistor, y compris du circuit imprimé, les résultats de simulation des formes d'onde de commutation sont confrontés aux résultats expérimentaux.

Afin de tenir compte des effets de la température sur le fonctionnement du transistor, une méthodologie est proposée permettant d'obtenir le modèle thermique du composant à partir de mesures de puissance dissipée et d'une procédure d'optimisation. À partir du modèle obtenu, un convertisseur DC/DC utilisant le transistor GaN modélisé a été conçu et réalisé. Les résultats de simulation des formes d'onde de commutation sont confrontés aux résultats expérimentaux pour différentes températures de fonctionnement du transistor et une prédiction du fonctionnement en continu du convertisseur est réalisée.

Abstract

The high frequency operation of GaN power transistors is of great interest in order to reduce size, weight and volume of power converters. Indeed, GaN HEMT power transistors show very good physical properties for the development of high frequency power converters. Within the constant rise of the amount of power electronics in electrical systems, the GaN technology, associated with the Silicon Carbide (SiC) one, aims to progressively replace the Silicon (Si) power devices especially in terms of robustness in harsh conditions and of power integration.

The optimal design of high frequency power converters involves an accurate knowledge of power devices operations in the systems. Therefore, before the fabrication of converters, simulations steps based on semi-conductor and surrounding elements models are required. This research work focuses on the development of a modeling methodology of packaged GaN power transistors, exclusively based on non-intrusive characterization techniques.

In this work, electrical characterization techniques used for radiofrequency transistors modeling, such as S-parameters and pulsed current/voltage measurements, are adapted to characterize the packaged GaN power transistor. Based on the characterization results, linear and nonlinear elements of the transistor's electrical equivalent circuit are determined and a complete electrical model of the device is implemented in the ADS software. A Double Pulse test bench is made in order to apply the developed electrical model. After having modeled the whole test bench, including the printed circuit board, simulation results of the switching waveforms are compared to experimental results.

Considering the effects of transistor's temperature on its operation in power converters, a methodology is proposed to extract the thermal model of the device using dissipated power measurements and an optimization procedure. The obtained thermal circuit and its influence of thermal-dependent elements are added to the previous electrical model in order to build the complete electro-thermal model of the GaN power transistor. Based on the developed model, a DC to DC converter using the studied transistor has been designed and fabricated. Then, the simulation results are compared to experimental results for several operating temperatures and a prediction of the continuous operation of the converter is achieved.

Table des matières

Remerciements	i
Résumé	ii
Abstract	iii
Liste des figures	vii
Liste des tableaux	xiii
Glossaire	xiv
Introduction générale.....	1
Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences	4
Introduction.....	4
I.1. Les composants semi-conducteurs pour la conversion d'énergie à hautes fréquences.....	5
I.1.1. Présentation de composants semi-conducteurs en électronique de puissance.....	5
I.1.1.1. Contexte	5
I.1.1.2. La diode de puissance	6
I.1.1.3. Le transistor de puissance à effet de champ.....	8
I.1.2. La cellule de commutation	10
I.1.3. Montée en fréquence des convertisseurs.....	13
I.1.4. Convertisseurs à haute densité de puissance	14
I.2. Les transistors de puissance GaN.....	15
I.2.1. Intérêt du nitrure de gallium pour l'électronique de puissance hautes fréquences	15
I.2.2. Technologies et propriétés des transistors de puissance GaN	17
I.2.2.1. La structure GaN HEMT	17
I.2.2.2. Technologies des transistors GaN « normally-off»	19
I.2.2.3. Phénomène de résistance dynamique dans les transistors GaN HEMT	21
I.2.3. Etat de l'art des transistors de puissance GaN.....	23
I.3. Modélisation des transistors de puissance GaN	25
I.3.1. Intérêt de la modélisation des transistors de puissance GaN	25
I.3.2. Modélisation physique	26
I.3.3. Modélisation comportementale	26
Conclusion	28
Bibliographie du chapitre I	29
Chapitre II : Caractérisation en paramètres S d'un transistor de puissance GaN en boîtier	33
Introduction.....	33

II.1.	Techniques de caractérisation du transistor de puissance GaN par la mesure de paramètres S	34
II.1.1.	La mesure des paramètres S	34
II.1.2.	Caractérisation en paramètres S des transistors GaN	35
II.1.3.	Dispositifs de caractérisation en paramètres S d'un transistor de puissance GaN en boîtier	37
II.1.4.	Caractérisation en paramètres S sous des polarisations jusqu'à 400 V et 10 A	46
II.2.	Détermination des éléments d'accès du transistor GaN	50
II.2.1.	Détermination des éléments d'accès du transistor GS66502B	51
II.2.2.	Détermination des éléments d'accès d'un transistor GaN avec source Kelvin	59
II.2.3.	Dépendance en température des résistances d'accès	62
II.3.	Caractérisation des capacités inter-électrodes	64
II.3.1.	Mesure des capacités inter-électrodes en fonction de VDS	64
II.3.2.	Mesure des capacités inter-électrodes en fonction de VGS	66
	Conclusion	67
	Bibliographie du chapitre II	68
Chapitre III : Modélisation électrothermique d'un transistor de puissance GaN en boîtier		71
	Introduction	71
III.1.	Modélisation électrique du transistor GaN	72
III.1.1.	Modélisation des capacités inter-électrodes	72
III.1.2.	Modélisation des sources de courant	75
III.1.3.	Implémentation du modèle électrique du transistor GaN sous ADS	81
III.2.	Modélisation thermique du transistor GaN	85
III.2.1.	Mesures de puissance dissipée en régime pulsé	85
III.2.2.	Modélisation thermique	87
III.2.3.	Implémentation du modèle thermique	92
III.3.	Modélisation du phénomène de résistance dynamique	93
III.3.1.	Modélisation par compensation de la tension grille-source	93
III.3.2.	Modélisation par la résistance de drain	96
III.3.3.	Comparaison des modèles de la résistance dynamique	98
	Conclusion	100
	Bibliographie du chapitre III	101
Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence		103
	Introduction	103
IV.1.	Validation du modèle électrique du transistor de puissance GaN	104
IV.1.1.	Conception du circuit Double Pulse	104

IV.1.2. Modélisation du circuit Double Pulse	107
IV.1.3. Analyse des performances du modèle électrique du transistor GaN	112
IV.2. Conception et modélisation d'un convertisseur DC/DC à 1 MHz.....	114
IV.2.1. Structure du convertisseur.....	114
IV.2.2. Conception et modélisation de la maille de grille.....	115
IV.2.3. Choix de la diode SiC	116
IV.2.4. Conception et modélisation du circuit de refroidissement	124
IV.3. Validation du modèle électrothermique du transistor GaN	127
IV.3.1. Test en Double Pulse sur le convertisseur GaN/SiC.....	127
IV.3.2. Tests en Double Pulse à différentes températures de jonction.....	129
IV.3.3. Fonctionnement répétitif du convertisseur GaN/SiC.....	133
Conclusion	136
Bibliographie du chapitre IV	137
Conclusion générale	138
Liste des publications	141

Liste des figures

Figure I. 1 : Structures de base des diodes utilisées en électronique de puissance : (a) Diode PiN (b) Diode Schottky	6
Figure I. 2 : (a) caractéristique statique d'une diode (b) schéma équivalent statique de la diode pour $V_{AK} < V_T$ (c) schéma équivalent statique de la diode pour $V_{AK} > V_T$	7
Figure I. 3 : (a) Modèle intrinsèque non linéaire de la diode de puissance (b) Evolution de la capacité C_d en fonction de la tension inverse aux bornes de la diode v_{KA}	7
Figure I. 4 : Phénomène de recouvrement inverse de la diode au blocage.....	8
Figure I. 5 : Présentation du transistor de puissance à effet de champ : (a) Symbole électrique et conventions (b) structure horizontale (exemple : JFET (Junction Field Effect Transistor)) (c) Structure verticale (exemple : MOSFET)	8
Figure I. 6 : Exemple de caractéristique statique d'un transistor à effet de champ	9
Figure I. 7 : Modèle électrique non linéaire de la partie intrinsèque d'un transistor de puissance	9
Figure I. 8 : (a) structure du convertisseur Buck (b) phases de fonctionnement du convertisseur.....	10
Figure I. 9 : Allure des formes d'onde idéales sur une phase de fonctionnement du convertisseur....	10
Figure I. 10 : (a) Schéma du convertisseur avec modèles des semi-conducteurs de puissance (b) Formes d'ondes simplifiées à la mise en conduction et au blocage du transistor	11
Figure I. 11 : Trajectoires simplifiées des commutations dans le plan $iD(v_{DS})$	12
Figure I. 12 : Identification des éléments parasites du convertisseur influant sur les formes d'onde des commutations du transistor	12
Figure I. 13 : Convertisseur GaN 2 kW réalisé par les vainqueurs du Little Box Challenge (Source : [I.17]).....	14
Figure I. 14 : Comparaison des propriétés physiques des matériaux Si, SiC et GaN pour des applications d'électronique de puissance [I.24]	16
Figure I. 15 : Domaines d'application des différents semi-conducteurs de l'électronique de puissance à base de Si, SiC et GaN [I.25]	17
Figure I. 16 : Structure de base d'un transistor GaN HEMT.....	18
Figure I. 17 : Caractéristique statique d'un transistor GaN HEMT.....	19
Figure I. 18 : Structure d'un transistor de puissance GaN en montage cascode	20
Figure I. 19 : Technique de « recess » de grille sur un transistor GaN HEMT	20
Figure I. 20 : Structures des transistors GaN : (a) GIT (b) HEMT P-GaN.....	21
Figure I. 21 : Mécanismes de piégeages à l'origine du phénomène de résistance dynamique dans les HEMT GaN : (a) lors de l'état bloqué du composant (b) lors de la mise en conduction	22
Figure I. 22 : Répartition du champ électrique par utilisation du substrat et de répartisseurs métalliques au niveau de la grille et de la source.....	22
Figure I. 23 : Relâchement des électrons piégés par injection de trous en implémentant d'une seconde grille p-GaN (structure HD-GIT)	23
Figure I. 24 : Figures de mérite pour différents transistors de puissance GaN, SiC et Si en fonction des calibres en tension [I.44]	24
Figure I. 25 : Exemples de transistors de puissance GaN 600/650 V : (a) GS66502B de GaN Systems (b) PGA26E19BA de Panasonic (c) TP65H300G4LSG de Transphorm.....	24
Figure I. 26 : modèle électrothermique d'une diode de puissance	27
Figure I. 27 : modèle électrothermique d'un transistor de puissance à effet de champ.....	27

Figure II. 1 : Principe d'une mesure de paramètres S en 2 ports : (a) injection du signal sur le port 1 (b) injection du signal sur le port 2	34
Figure II. 2 : Schéma de principe d'une caractérisation en paramètres S d'un transistor.....	35
Figure II. 3 : Schéma équivalent petit signal d'un transistor GaN HEMT [II.14]	36
Figure II. 4 : Représentation de la partie intrinsèque du transistor sous la forme d'un quadripôle	37
Figure II. 5 : (a) présentation du transistor GaN GS66502B (b) comparaison de boîtiers GaN-PX vs TO-220 [II.15].....	38
Figure II. 6 : Ligne de transmission avec plans de masse coplanaires et inférieurs	39
Figure II. 7 : Système de caractérisation 2 ports en paramètres S du transistor GS66502B.....	40
Figure II. 8 : Schéma équivalent du dispositif de caractérisation du transistor de la figure II.7	40
Figure II. 9 : Standards de calibration et schémas équivalents associés : (a) OPEN1P (b) SHORT (c) OPEN2P	41
Figure II. 10 : Modélisation du PCB comportant les standards de calibration sur ADS : (a) définition du substrat (b) vue 3D du PCB importé	42
Figure II. 11 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard OPEN1P ...	43
Figure II. 12 : Comparaison entre résultats de mesure et de simulation sur le standard OPEN1P	44
Figure II. 13 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard SHORT.....	44
Figure II. 14 : Comparaison entre résultats de mesure et de simulation sur le standard SHORT.....	45
Figure II. 15 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard OPEN2P ...	45
Figure II. 16 : Comparaison entre résultats de mesure et de simulation sur le standard OPEN2P	46
Figure II. 17 : Schéma interne du Té de polarisation 11612A.....	46
Figure II. 18 : (a) Présentation de l'inductance du Té de polarisation (b) Modèle électrique de l'inductance	47
Figure II. 19 : (a) Présentation du condensateur du Té de polarisation (b) modèle électrique du condensateur.....	47
Figure II. 20 : Schéma de simulation de paramètres S sur le té de polarisation	48
Figure II. 21 : Résultat de simulation du paramètre S_{21}	48
Figure II. 22 : Té de polarisation sur PCB : (a) conception et disposition des composants (b) mesure de paramètres S	49
Figure II. 23 : Schéma de simulation ADS de paramètres S sur le Té de polarisation sur PCB.....	49
Figure II. 24 : Paramètres S mesurés et simulés sur le Té de polarisation sur PCB	50
Figure II. 25 : Modèle électrique du transistor GaN.....	51
Figure II. 26 : Schéma équivalent du transistor à $V_{GS} = 0V$ et $V_{DS} = 0V$	52
Figure II. 27 : Extraction des résistances d'accès à $V_{GS} = 0V$ et $V_{DS} = 0V$	53
Figure II. 28 : Représentation du transistor dans les conditions Cold FET : (a) Coupe schématique (b) Circuit électrique équivalent.....	54
Figure II. 29 : Simplification du schéma équivalent du transistor dans les conditions Cold FET	54
Figure II. 30 : parties réelles des impédances Z_{12T} et Z_{22T} en fonction de la fréquence pour différents $V_{GS} > V_{TH}$	55
Figure II. 31 : Parties réelles des impédances Z_{12T} et Z_{22T} en fonction de V_{GS}	56
Figure II. 32 : Partie réelle de l'impédance $Z_{11T} - Z_{12T}$ en fonction de la fréquence pour $V_{GS} = 6V$ et modélisation	56
Figure II. 33 : Évolutions correspondantes aux relations eq.(II.59) à eq.(II.64) en fonction ω^2 pour la détermination des résistances d'accès	58
Figure II. 34 : Présentation du transistor GS66508B (a) Boîtier du composant (b) Schéma électrique équivalent du transistor dans les conditions Cold FET	59
Figure II. 35 : Dispositif de caractérisation du transistor GS66508B.....	60
Figure II. 36 : Extraction des inductances d'accès du transistor GS66508B.....	60

Figure II. 37 : Extraction des résistances RD et $RS + RPS$ du transistor GS66508B	61
Figure II. 38 : Extraction de la résistance RG du transistor GS66508B	61
Figure II. 39 : Banc de caractérisation en paramètres S en fonction de la température.....	62
Figure II. 40 : Comparaison du modèle électrothermique des résistances d'accès proposé avec le modèle constructeur	64
Figure II. 41 : Comparaison de $RDSonTj$ entre mesures et valeurs de référence de la documentation technique (écarts relatifs entre parenthèses).....	64
Figure II. 42 : Schéma équivalent du transistor à $VGS = 0V$	65
Figure II. 43 : Banc de caractérisation du transistor GaN pour l'extraction des capacités inter-électrodes	65
Figure II. 44 : Extraction des capacités inter-électrodes en fonction de la fréquence à $VDS = 200V$...	66
Figure II. 45 : Extraction des capacités inter-électrodes en fonction de VDS à 10 MHz.....	66
Figure II. 46 : Schéma équivalent du transistor dans les conditions Cold FET	67
Figure II. 47 : Extraction des capacités Cgs et Cgd en fonction de VGS à 10 MHz.....	67
Figure III. 1 : Modélisation non linéaire des capacités Cgs et Cgd du transistor de puissance GaN.....	73
Figure III. 2 : Modélisation non linéaire de la capacité Cds du transistor de puissance GaN	73
Figure III. 3 : Exemples de modèles SPICE de capacités inter-électrodes pour transistor GaN : (a) modèle proposé dans [III.4] (b) modèle proposé dans [III.5].....	74
Figure III. 4 : Modèle non linéaire proposé de capacité inter-électrodes (a) schéma électrique équivalent (b) schéma d'implémentation du modèle sous ADS	75
Figure III. 5 : Schéma de simulation de l'auto-échauffement durant les mesures IV pulsées	76
Figure III. 6 : Simulation de l'auto-échauffement du transistor pour différentes puissances dissipées durant les mesures I-V pulsées.....	76
Figure III. 7 : Mesures I-V en régime pulsé sur le transistor de puissance GaN et cartographie de l'auto-échauffement du composant.....	77
Figure III. 8 : Schéma de la procédure d'optimisation implémentée dans ADS pour déterminer les paramètres du modèle de la source de courant de drain	78
Figure III. 9 : Mesures et modélisation du courant Id en fonction de la tension Vgs	79
Figure III. 10 : Mesures et modélisation du courant Id en fonction de la tension Vds	79
Figure III. 11 : Mesures et modélisation du courant Id en fonction de la tension VDS	80
Figure III. 12 : Mesures et modélisation du courant Ig en fonction de la tension Vgs	81
Figure III. 13 : Modèles des sources de courant : (a) de grille (b) de drain implémentés sous ADS.....	81
Figure III. 14 : Modèle électrique du transistor GaN implémenté dans ADS.....	82
Figure III. 15 : Schéma de simulation en paramètres S pour la validation de l'implémentation des capacités inter-électrodes dans le modèle de transistor GaN	82
Figure III. 16 : Comparaison des capacités inter-électrodes implémentées dans le modèle proposé et dans le modèle constructeur en fonction de VGS avec les résultats de mesure à $VDS = 0V$ et à 10 MHz	83
Figure III. 17 : Comparaison des capacités inter-électrodes implémentées dans le modèle proposé et dans le modèle constructeur en fonction de VDS avec les résultats de mesure à $VGS = 0V$ et à 10 MHz	83
Figure III. 18 : Schéma de simulation en paramètres S pour la validation de l'implémentation de la source de courant de drain parasites dans le modèle de transistor	84
Figure III. 19 : Comparaison du courant de drain Id simulé avec le modèle proposé et le modèle constructeur en fonction de VGS avec les résultats de mesure	84

Figure III. 20 : Comparaison du courant de drain I_d simulé avec le modèle proposé et le modèle constructeur en fonction de V_{DS} avec les résultats de mesure.....	85
Figure III. 21 : (a) schéma principe de la mesure de puissances dissipées (b) résultats de mesures de puissances dissipées sur le transistor GaN	86
Figure III. 22 : Mesure du courant de grille I_G en fonction de la température de jonction T_j du transistor : (a) banc de caractérisation (b) résultats de mesure et de modélisation.....	86
Figure III. 23 : Evolutions de I_G et de ΔT estimée durant les mesures de puissances dissipées dans le transistor GaN ($T_a = 23^\circ C$).....	87
Figure III. 24 : Modèle de Foster du second ordre.....	87
Figure III. 25 : Mesure et modélisation à partir de la fonction de transfert thermique du modèle de Foster à deux constantes de temps pour différents V_{DS}	88
Figure III. 26 : Extraction des valeurs initiales des paramètres β et γ à partir des résultats expérimentaux	89
Figure III. 27 : Schéma de principe de la procédure d'optimisation pour la détermination des valeurs des éléments du modèle thermique.....	89
Figure III. 28 : Résultats d'optimisation et comparaison aux mesures : (a) modèle 1 (b) modèle 2.....	90
Figure III. 29 : Modèle de Cauer du second ordre	90
Figure III. 30 : Impédance thermique transitoire normalisée du modèle proposé comparé aux données constructeur pour des impulsions uniques, des impulsions répétées avec un rapport cyclique de 20 % et des impulsions répétées avec un rapport cyclique de 50 %.....	91
Figure III. 31 : Implémentation du modèle thermique au sein du modèle électrique du transistor dans le logiciel ADS	92
Figure III. 32 : Schéma de simulation pour la validation de l'implémentation du modèle électrothermique du transistor GaN.....	93
Figure III. 33 : Résultats de simulation de puissances dissipées avec le modèle électrothermique proposé et comparaison aux résultats expérimentaux et aux simulations avec le modèle constructeur	93
Figure III. 34 : Banc de mesure de la résistance dynamique du transistor GaN [III.21].....	94
Figure III. 35 : (a) Schéma de principe du modèle de résistance dynamique basé sur la compensation de la tension grille-source (b) caractéristique $R_{DSon} = f(V_{GS})$ [III.21]	94
Figure III. 36 : Circuit de la tension de compensation à partir d'une cellule RC.....	95
Figure III. 37 : Schéma de principe de modélisation de la résistance dynamique par ajout d'une résistance de drain	96
Figure III. 38 : Circuit permettant l'obtention de la tension V_r à partir d'une cellule RC	97
Figure III. 39 : Schéma d'implémentation d'une cellule du modèle de résistance dynamique développé dans ADS.....	98
Figure III. 40 : Schéma de simulation pour l'analyse des modèles de résistance dynamique	98
Figure III. 41 : Résultats de simulation obtenus au bout d'une seconde de simulation pour les deux modèles de résistance dynamique étudiés ($T_a = 25^\circ C$)	99
Figure IV. 1 : Schéma électrique du banc de caractérisation Double Pulse.....	104
Figure IV. 2 : Chronogrammes et formes d'onde du test Double Pulse	105
Figure IV. 3 : Schéma de simulation du fonctionnement du test Double Pulse.....	106
Figure IV. 4 : (a) Formes d'onde des courants I_D et I_L durant le test Double Pulse (b) Elévation en température des jonctions des transistors T_1 et T_2 avec $T_a = 25^\circ C$	106
Figure IV. 5 : Présentation du circuit Double Pulse conçu et mailles de commutation de puissance et de commande	107
Figure IV. 6 : Définition du substrat du circuit imprimé du banc de test Double Pulse	107

Figure IV. 7 : Schéma de simulation en paramètres S pour la détermination de l'inductance de la maille de puissance.....	108
Figure IV. 8 : Schéma de simulation en paramètres S pour la détermination de l'inductance de la maille de commande.....	108
Figure IV. 9 : Évolutions fréquentielles simulées des inductances des mailles (a) de puissance et (b) de commande	109
Figure IV. 10 : Schéma de principe de la simulation ADS pour l'analyse du modèle proposé pour le driver	109
Figure IV. 11 : Simulation du circuit de commande du transistor GaN : (a) au blocage (b) à la mise en conduction	110
Figure IV. 12 : Bobine équivalente <i>LCH</i> : (a) Impédance et phase (b) Modèle électrique	110
Figure IV. 13 : Condensateur 1 μ F du bus continu : (a) Impédance et phase (b) Modèle électrique ...	111
Figure IV. 14 : Condensateur 100 nF du bus continu : (a) Impédance et phase (b) Modèle électrique	111
Figure IV. 15 : Shunt de courant : (a) Schéma de fixation sur la carte Double Pulse (b) Modèle électrique proposé.....	111
Figure IV. 16 : Sonde de mesure de tension : (a) Présentation (b) Modèle électrique proposé	112
Figure IV. 17 : Présentation du banc de test Double Pulse et de son instrumentation de mesure	112
Figure IV. 18 : Schéma de simulation ADS du circuit Double Pulse	113
Figure IV. 19 : Résultats de mesure et de simulation au blocage du transistor <i>T1</i>	114
Figure IV. 20 : Résultats de mesure et de simulation à la mise en conduction du transistor <i>T1</i>	114
Figure IV. 21 : Schéma électrique du convertisseur DC/DC GaN/SiC	115
Figure IV. 22 : Circuit de commande de la grille du transistor <i>T</i>	115
Figure IV. 23 : Conception de la maille de grille en double face	116
Figure IV. 24 : Évolution fréquentielle de l'inductance de la maille de grille du convertisseur obtenue en simulation avec ADS	116
Figure IV. 25 : Présentation des diodes Schottky SiC sélectionnées : (a) diode <i>D1</i> (b) diode <i>D2</i>	117
Figure IV. 26 : Conception de la maille de puissance : (a) avec la diode <i>D1</i> (b) avec la diode <i>D2</i>	117
Figure IV. 27 : Évolution fréquentielle de l'inductance parasite de la maille de puissance simulée en utilisant ADS : (a) avec la diode <i>D1</i> (b) avec la diode <i>D2</i>	118
Figure IV. 28 : Dispositifs de caractérisation des diodes : (a) <i>D1</i> et (b) <i>D2</i>	118
Figure IV. 29 : Schéma équivalent du dispositif de caractérisation avec diode.....	118
Figure IV. 30 : Schéma électrique équivalent d'une diode SiC	119
Figure IV. 31 : Extraction des éléments parasites de la diode <i>D1</i>	119
Figure IV. 32 : Extraction des éléments parasites de la diode <i>D2</i>	120
Figure IV. 33 : Comparaison des évolutions des capacités <i>CKa</i> des diodes en fonction de <i>VKA</i>	121
Figure IV. 34 : Modélisation des caractéristiques statiques <i>IaVaK</i> des diodes <i>D1</i> et <i>D2</i>	121
Figure IV. 35 : Implémentation du modèle de diode dans ADS (exemple pour la diode <i>D1</i>)	122
Figure IV. 36 : Formes d'onde simulées pour les deux configurations de convertisseur : (a) Courant <i>Icanal</i> à la mise en conduction (b) Tension <i>VDS</i> à la mise en conduction (c) Courant <i>Icanal</i> au blocage (d) Tension <i>VDS</i> au blocage	123
Figure IV. 37 : Comparaison des pertes par commutation du transistor simulées pour les deux configurations de convertisseur (a) à la mise en conduction (b) au blocage	123
Figure IV. 38 : Présentation de la version finale du convertisseur GaN/SiC : (a) Face du dessus (b) Face du dessous	124
Figure IV. 39 : Schéma de principe du refroidissement du convertisseur avec vias thermiques	125
Figure IV. 40 : Évolution de la résistance thermique du dissipateur en fonction de la longueur utile .	126
Figure IV. 41 : Schéma de simulation pour l'estimation de la température de fonctionnement du transistor GaN au sein du convertisseur GaN/SiC.....	126

Figure IV. 42 : Simulation de la température de boîtier et de jonction du transistor GaN lors de son fonctionnement au sein du convertisseur GaN/SiC.....	127
Figure IV. 43 : Convertisseur GaN/SiC en fonctionnement Double Pulse avec son instrumentation de mesure et indication des grandeurs mesurées.....	128
Figure IV. 44 : Schéma de simulation du convertisseur GaN/SiC en fonctionnement Double Pulse...	128
Figure IV. 45 : Résultats de mesure et de simulation au blocage du transistor GaN	129
Figure IV. 46 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN	129
Figure IV. 47 : (a) Convertisseur en fonctionnement Double Pulse avec résistances chauffantes (b) Système de régulation de température.....	130
Figure IV. 48 : Résultats de mesure au blocage du transistor GaN à différentes températures de jonction	130
Figure IV. 49 : Résultats de mesure à la mise en conduction du transistor GaN à différentes températures de jonction	131
Figure IV. 50 : Evolution des énergies de commutation à la mise en conduction et au blocage du transistor en fonction de la température	131
Figure IV. 51 : Résultats de mesure et de simulation au blocage du transistor GaN à 40 °C	132
Figure IV. 52 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN à 40 °C	132
Figure IV. 53 : Résultats de mesure et de simulation au blocage du transistor GaN à 80 °C	133
Figure IV. 54 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN à 80 °C	133
Figure IV. 55 : Convertisseur GaN/SiC en fonctionnement répétitif avec son instrumentation de mesure	134
Figure IV. 56 : Fonctionnement répétitif du convertisseur sur 10 périodes.....	134
Figure IV. 57 : Mesure et simulation de la température du transistor GaN en fonctionnement au sein du convertisseur : (a) Comparaison entre mesure et simulation (b) écart relatif des élévations de température entre mesure et simulation de T_j	135
Figure IV. 58 : Mesure de la température après une heure de fonctionnement du convertisseur : (a) sur le transistor GaN (b) sur la résistance de charge	135

Liste des tableaux

Tableau I. 1 : Propriétés des matériaux semi-conducteurs utilisés en électronique de puissance [I.23]	15
Tableau II. 1 : Principales caractéristiques du transistor GaN GS66502B.....	38
Tableau II. 2 : Paramètres des modèles de la figure II.31	56
Tableau II. 3 : Paramètres du modèle de la figure II.32	57
Tableau II. 4 : Extraction des résistances d'accès du transistor GS66502B.....	57
Tableau II. 5 : Extraction des inductances d'accès par la méthode Cold FET	58
Tableau II. 6 : Extraction des inductances d'accès du transistor GS66508B	60
Tableau II. 7 : Extraction des résistances d'accès du transistor GS66508B.....	61
Tableau II. 8 : Températures de jonction mesurées pour différents courants de drain.....	62
Tableau II. 9 : Extraction de RS et RD en fonction de la température de jonction Tj	63
Tableau II. 10 : Paramètres des modèles des résistances RD et RS en fonction de Tj	63
Tableau III. 1 : Paramètres des modèles de capacités inter-électrodes.....	73
Tableau III. 2 : Paramètres du modèle de la source de courant de drain	78
Tableau III. 3 : Paramètres du modèle de la source de courant de grille	80
Tableau III. 4 : Paramètres initiaux du modèle thermique de Foster.....	88
Tableau III. 5 : Paramètres du modèle 1	90
Tableau III. 6 : Paramètres du modèle 2.....	90
Tableau III. 7 : Paramètres du modèle thermique de Cauer	91
Tableau III. 8 : Paramètres des éléments du modèle par compensation de la tension grille-source	95
Tableau III. 9 : Paramètres des éléments du modèle par ajout d'une résistance de drain.....	97
Tableau IV. 1 : Liste des composants du banc de test Double Pulse.....	104
Tableau IV. 2 : Extraction des éléments parasites des diodes $D1$ et $D2$	120
Tableau IV. 3 : Paramètres des modèles $CKaVKA$ des diodes $D1$ et $D2$	120
Tableau IV. 4 : Paramètres des modèles $IaVaK$ des diodes $D1$ et $D2$	122
Tableau IV. 5 : Pertes moyennes et énergie perdue par le transistor sur un cycle.....	124

Glossaire

Paramètres des transistors

$[S_{MEAS}]$: Matrice des paramètres S mesurés sur le transistor
 $[Z_T]$: Matrice impédance du transistor GaN
 C_{ds}, C_{DS} : Capacités entre grille et source respectivement intrinsèque et extrinsèque du transistor
 C_{gd}, C_{GD} : Capacités entre grille et source respectivement intrinsèque et extrinsèque du transistor
 C_{gs}, C_{GS} : Capacités entre grille et source respectivement intrinsèque et extrinsèque du transistor
 C_{ISS} : Capacité d'entrée du transistor
 C_{OSS} : Capacité de sortie du transistor
 C_{PD} : Capacité de plot coté drain du transistor
 C_{PG} : Capacité de plot coté grille du transistor
 C_{RSS} : Capacité Miller du transistor
 C_{TH1}, C_{TH2} : Capacités thermiques du modèle de Foster pour le transistor GaN
 C_{TH3}, C_{TH4} : Capacités thermiques du modèle de Cauer pour le transistor GaN
 I_{canal} : Courant dans le canal du transistor
 I_G : Courant de grille externe du transistor
 I_d : Source de courant de drain intrinsèque du transistor
 i_D, I_D : courant de drain externe du transistor
 I_g : Source de courant de grille intrinsèque du transistor
 g_{ds} : Conductance de sortie du transistor
 g_{gd} : Conductance entre grille et drain du transistor
 g_{gs} : Conductance entre grille et source du transistor
 g_m : Transconductance du transistor
 L_D : Inductance d'accès de drain du transistor
 L_G : Inductance d'accès de grille du transistor
 L_{KS} : Inductance de la source Kelvin du transistor GaN GS66508B
 L_{PS} : Inductance de la source coté Puissance du transistor GaN GS66508B
 L_S : Inductance d'accès de source du transistor
 p_D, P_D : Puissance dissipée par le transistor GaN
 Q_G : Charge totale de la grille du transistor
 $R_{a_{DS(on)}}$: Résistance dynamique du transistor GaN
 R_D : Résistance d'accès de drain du transistor
 R_{DS} : Résistance drain-source du transistor
 R_G : Résistance d'accès de grille du transistor
 R_{KS} : Résistance de la source Kelvin du transistor GaN GS66508B
 R_{PS} : Résistance de la source coté Puissance du transistor GaN GS66508B
 R_S : Résistance d'accès de source du transistor
 R_{TH1}, R_{TH2} : Résistances thermiques du modèle de Foster pour le transistor GaN
 R_{TH3}, R_{TH4} : Résistances thermiques du modèle de Cauer pour le transistor GaN
 R_{ch} : Résistance du canal du transistor GaN
 R_{gd} : Résistance intrinsèque entre grille et source du transistor
 R_{gs} : Résistance intrinsèque entre grille et source du transistor
 $R_{on}, R_{DS(on)}$: Résistance drain-source à l'état passant du transistor

T_c : Température du boîtier du transistor GaN
 T_j : Température de la jonction du transistor GaN
 V_{DG} : Tension drain-grille externe du transistor
 $V_{DS(on)}$: Tension drain-source externe à l'état passant du transistor
 V_{DS} : Tension drain-source externe du transistor
 V_{GS} : Tension grille-source externe du transistor
 V_{PK} : Surtension de V_{DS}
 V_{TH} : Tension de seuil du transistor
 V_{ds} : Tension drain-source interne du transistor
 V_{gs} : Tension grille-source interne du transistor
 Y_{ds} : Admittance intrinsèque entre drain et source
 Y_{gd} : Admittance intrinsèque entre grille et drain
 Y_{gm} : Admittance liée à la transconductance du transistor
 Y_{gs} : Admittance intrinsèque entre grille et source
 Z_D : Impédance d'accès de drain
 Z_G : Impédance d'accès de grille
 Z_S : Impédance d'accès de source

Paramètres des diodes

C_d : Capacité inter-électrode de la diode
 I_a : Source de courant intrinsèque d'anode
 i_A : Courant d'anode externe
 L_A : Inductance extrinsèque de la diode
 R_A : Résistance extrinsèque de la diode
 R_{AK} : Résistance à l'état passant de la diode
 R_{LEAK} : Résistance de la diode en conduction inverse
 R_{dyn} : Résistance de la caractéristique dynamique de la diode
 V_{AK} : Tension anode-cathode externe de la diode
 V_{aK} : Tension anode-cathode interne de la diode
 V_{OFF} : Tension de blocage
 V_{RM} : Tension inverse maximale de la diode
 V_T : Tension de seuil de la diode

Paramètres divers

C_{BUS} : Condensateur équivalent du bus continu
 f_{SW} : Fréquence de commutation
 I_{CH} : Courant dans la charge
 $L_{d_{ext}}$: Inductance parasite de la maille de commutation coté drain
 $L_{g_{ext}}$: Inductance parasite de la maille de commutation coté grille
 $L_{s_{ext}}$: Inductance parasite de la maille de commutation coté source
 L_{CH} : Inductance de la charge du convertisseur
 L_p : Inductance parasite de la maille de commutation
 $R_{G_{off}}$: Résistance du circuit de commande de grille pour le blocage du transistor
 $R_{G_{on}}$: Résistance du circuit de commande de grille pour la mise en conduction du transistor

$R_{d_{ext}}$: Résistance parasite de la maille de commutation coté drain
 $R_{g_{ext}}$: Résistance parasite de la maille de commutation coté grille
 $R_{s_{ext}}$: Résistance parasite de la maille de commutation coté source
 R_{CH} : Résistance de la charge du convertisseur
 S_{ij} : Paramètre S résultant d'une injection au port j et mesure au port i
 T : Période de commutation
 T_a : Température ambiante
 V_{DC} : Tension du bus continu
 V_{DRV} : Tension de sortie du driver
 Y_{ij} : Paramètre admittance résultant d'une injection au port j et mesure au port i
 Y_0 : Admittance des couplages entre une ligne de transmission et le plan de masse sur PCB
 Y_4, Y_5, Y_6 : Admittances des couplages entre les lignes de transmission sur PCB
 Z_{bias} : Impédance du Té de polarisation
 Z_{CLT} : Impédance caractéristique de la ligne de transmission
 Z_{CSMA} : Impédance caractéristique du connecteur SMA
 Z_{dip} : Impédance d'un dipôle
 Z_{ij} : Paramètre impédance résultant d'une injection au port j et mesure au port i
 Z_0 : Impédance caractéristique d'un port du VNA
 Z_1, Z_2, Z_3 : Impédances propres des lignes de transmission sur PCB
 ΔT : Élévation de la température de jonction d'un semi-conducteur par rapport à la température ambiante
 α : Portion de la résistance de canal du transistor situé entre grille et source
 β : Coefficient électrothermique du modèle 1
 γ : Coefficient électrothermique du modèle 2
 ω : Vitesse angulaire, pulsation

Introduction générale

Le travail de thèse présenté dans ce manuscrit s'inscrit dans le cadre d'une collaboration entre le Laboratoire d'Electrotechnique et d'Electronique de Puissance (L2EP) et l'Institut d'Electronique, de Microélectronique et de Nanotechnologie (IEMN). Ces deux établissements de recherche ayant souhaité mettre en commun leur savoir-faire concernant la thématique de l'électronique de puissance haute fréquence. Dans ce contexte, les travaux de recherche se sont déroulés d'octobre 2016 à septembre 2019 au sein de l'université de Lille.

Contexte scientifique

L'augmentation de la densité de puissance des convertisseurs statiques répond à un besoin de miniaturisation de plus en plus répandu, en particulier pour les applications embarquées dans lesquelles la puissance requise est en constante augmentation alors que la masse et l'encombrement des systèmes visent à être réduits. L'augmentation de la fréquence de commutation des dispositifs à semi-conducteurs de puissance offre la possibilité de réduire le volume et la masse des éléments passifs des convertisseurs. Cependant, avec l'utilisation des composants de puissance classiques à base de Silicium (Si), cette montée en fréquence est synonyme de pertes plus élevées et par conséquent une dégradation du rendement des convertisseurs ainsi que de la nécessité de systèmes de refroidissement plus encombrants. Les semi-conducteurs de puissance dits « grand gap » et notamment ceux à base de Nitrure de Gallium (GaN) présentent des propriétés physiques très attractives pour des applications en électronique de puissance haute fréquence. Récemment, des transistors de puissance GaN encapsulés sont disponibles sur le marché et leur capacité à commuter à des fréquences supérieures au mégahertz sans dégradation du rendement a fait l'objet de diverses études ces dernières années. Néanmoins les temps de commutation très courts (de l'ordre de quelques nanosecondes) de ces transistors GaN en font inévitablement des générateurs de perturbations électromagnétiques et les rendent sensibles à leur environnement de fonctionnement (surtensions, surintensités, risques d'instabilité...). Il est alors nécessaire de passer par différentes étapes de conception basées sur des simulations avant la réalisation de convertisseurs statiques haute fréquence à base de GaN. Pour ce faire, des modèles de transistors GaN maîtrisés, fiables et précis y compris à des fréquences élevées sont des outils nécessaires.

Objectifs de la thèse

En lien avec le contexte décrit précédemment, l'objectif principal de ce travail de thèse est de proposer une méthodologie complète pour une modélisation électrothermique et comportementale de transistors de puissance GaN encapsulés. L'étude a été menée sur un transistor GaN commercialisé par la société GaN Systems®, le composant GS66502B 650 V et 7,5 A. La méthode de modélisation proposée est basée uniquement sur des caractérisations non-intrusives, non-dépendantes de données technologiques. Elle utilise notamment les mesures de paramètres S, ce qui constitue une approche innovante permettant de déterminer un schéma équivalent précis du composant. Le modèle proposé est implémenté dans le logiciel Advanced Design System (ADS) et utilisé lors de simulations pour la conception d'un convertisseur statique fonctionnant à 1 MHz. Les fonctionnalités d'ADS pour la modélisation fine du convertisseur sont également mises en avant.

Organisation du manuscrit

Le premier chapitre de ce manuscrit présente une introduction à la modélisation des transistors de puissance GaN et à la conception des convertisseurs statiques haute fréquence. Ce chapitre est divisé en trois grandes parties. La première a pour objectif de détailler davantage les attentes liées aux semi-conducteurs de puissance au sein des convertisseurs statiques ainsi que de présenter un bref état de l'art concernant les avancées technologiques sur la conception de convertisseurs à forte densité de puissance. Une seconde partie démontre les intérêts liés au GaN par rapport aux autres matériaux semi-conducteurs pour l'électronique de puissance haute fréquence ainsi qu'un état de l'art des technologies de transistors de puissance GaN et leurs performances. Enfin, la dernière partie du chapitre traite des techniques de modélisation des composants de puissance, découlant sur le modèle électrothermique qui sera utilisé pour le transistor GaN étudié.

Dans le second chapitre, des caractérisations sur la plage de fréquences 1 MHz – 1 GHz basées sur la mesure des paramètres S du transistor GaN sont mises en œuvre afin d'extraire les éléments résistifs, inductifs et capacitifs du modèle du composant. Ce chapitre est divisé en trois parties. La première présente les dispositifs de caractérisation réalisés sur circuit imprimé pour la mesure des paramètres S du transistor dans son boîtier ainsi que pour la polarisation du composant sous de fortes tensions et pour de forts courants. Une procédure de calibration spécifique basée sur des schémas équivalents est proposée et mise en application. La seconde partie présente les résultats obtenus pour la détermination des résistances et inductances liées aux accès à la partie interne du transistor. La dépendance en température des résistances d'accès est également étudiée dans cette partie et une méthode d'extraction utilisant les dispositifs de caractérisation développés est proposée. Enfin, la dernière partie du chapitre présente les résultats obtenus pour la détermination des capacités inter-électrodes en fonction des tensions grille-source et drain-source.

Suite aux résultats du second chapitre, la modélisation non linéaire des capacités inter-électrodes en fonction des tensions présentes à leurs bornes fait l'objet de la première partie du troisième chapitre. Des caractérisations I-V en régime continu et pulsé sont également menées dans cette première partie afin de déterminer des modèles non linéaires des sources de courant de grille et de drain. Le modèle électrique complet du transistor de puissance GaN encapsulé est implémenté dans le logiciel ADS et testé au travers de différentes simulations. Un modèle thermique du transistor GaN, basé sur des mesures de puissances dissipées et une procédure d'optimisation, est proposé dans la seconde partie de ce troisième chapitre. Ce modèle est validé par comparaison entre l'impédance thermique transitoire simulée et celle fournie dans la documentation technique du composant. Le modèle thermique est ensuite ajouté au modèle électrique du transistor afin d'établir le modèle électrothermique dans le logiciel ADS. Enfin, la dernière partie présente les travaux réalisés sur la modélisation des phénomènes de résistance dynamique présents au sein des transistors de puissance GaN. Ce travail est une contribution aux travaux de recherche menés entre le L2EP et l'Université de Nottingham.

Le quatrième et dernier chapitre porte sur l'utilisation du modèle de transistor développé pour la conception d'un convertisseur statique haute fréquence. Dans un premier temps, un circuit Double Pulse est réalisé afin de confronter les résultats de mesure aux résultats de simulation utilisant le modèle proposé. L'utilisation des fonctionnalités d'ADS pour la modélisation du circuit, y compris du circuit imprimé, est détaillée dans cette partie. L'analyse des formes d'onde lors des commutations permettra de valider les méthodes de modélisation. La conception d'un convertisseur DC/DC de 200 W fonctionnant à 1 MHz et basé sur une cellule de commutation transistor GaN – diode Schottky SiC fait l'objet de la seconde partie du chapitre. L'utilisation du modèle du transistor GaN proposé servira quant au choix de la diode SiC la plus adaptée à l'application. Une modélisation thermique du circuit de refroidissement du transistor GaN est également réalisée afin de prédire l'évolution temporelle de la

Introduction générale

température du composant lors de son fonctionnement au sein du convertisseur. Ces estimations sont validées dans la troisième partie de ce chapitre lors du fonctionnement pendant une heure du convertisseur statique. La dernière partie du chapitre présente un banc expérimental permettant la réalisation de test en Double Pulse à différentes températures du transistor GaN afin de valider le modèle électrothermique proposé.

Finalement, une conclusion générale des travaux engagés dans cette thèse ainsi que les perspectives seront présentées à la fin du manuscrit.

Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences

Introduction

Depuis ces dernières décennies, des marchés spécifiques comme l'automobile, l'aéronautique, les datacenters et autres technologies de pointe requièrent des systèmes de conversion d'énergie et occupant des volumes restreints. Dans une optique d'intégration des dispositifs, la montée en fréquence des convertisseurs statiques permet de réduire le volume des éléments passifs. La première partie de ce chapitre vise à détailler davantage ce contexte, les attentes quant aux semi-conducteurs de puissance ainsi qu'un état de l'art non exhaustif des avancées scientifiques et technologiques vers la conception de convertisseurs de puissance à forte densité de puissance.

Les transistors de puissance à base de nitrure de gallium (GaN) présentent un fort potentiel pour le développement de convertisseurs fonctionnant à hautes fréquences, notamment grâce à leur temps de commutation très court comparativement à leurs homologues en silicium. La seconde partie de ce chapitre offrira plus de détails quant aux avantages du GaN sur les autres matériaux semi-conducteurs utilisés en électronique de puissance pour des applications à hautes fréquences, ainsi qu'un état de l'art des technologies de transistors de puissance GaN existantes et leurs performances.

Cependant les faibles temps de commutation des transistors GaN les rendent sensibles à leur environnement de fonctionnement. Ainsi, la conception de convertisseurs haute fréquence à base de GaN nécessite des étapes de prototypage et d'analyse de performances par simulation, exigeant des modèles de composants prédictifs et fiables. La dernière partie de ce premier chapitre fait état de l'art des techniques de modélisation des transistors GaN qui serviront de base d'étude pour les travaux de recherche présentés dans ce manuscrit.

I.1. Les composants semi-conducteurs pour la conversion d'énergie à hautes fréquences

I.1.1. Présentation de composants semi-conducteurs en électronique de puissance

I.1.1.1. Contexte

De nombreuses applications réclament des alimentations spécifiques à haut rendement réalisées à partir de sources d'énergie de caractéristiques fixes. La conversion de l'énergie électrique consiste en la transformation du signal électrique (amplitude, fréquence, phase) fourni par une source pour l'adapter à la charge [I.1], [I.2]. Le champ d'application de l'électronique de puissance s'étend aujourd'hui à de nombreux sujets d'actualité parmi lesquels on peut citer plusieurs applications en lien avec les thématiques de recherche du laboratoire L2EP :

- Les convertisseurs DC/DC pour le transport électrique au sein des réseaux Haute Tension HVDC (Modular Multilevel Converter (MMC))
- Le stockage hybride pour la traction électrique (convertisseurs pour l'hybridation des sources d'énergie)
- Les convertisseurs intégrés pour la commande rapprochée des machines électriques (projet Convertisseur d'Energie Intégré et Intelligent (CE2I))
- Les alimentations dans les systèmes embarqués (alimentations à découpage, chargeurs électriques compacts...)

L'électronique de puissance effectue le lien entre source et charge par instants au moyen de composants semi-conducteurs jouant le rôle d'interrupteurs électroniques [I.3], [I.4]. L'efficacité énergétique des convertisseurs est directement liée aux caractéristiques de ces semi-conducteurs qui peuvent être classés en trois catégories :

- Les interrupteurs non commandés : les diodes
- Les interrupteurs commandés à la fermeture uniquement : les thyristors
- Les interrupteurs commandés à l'ouverture et à la fermeture : les transistors et les thyristors « Gate Turn-Off » (GTO)

Parmi les transistors, on retrouve deux types : les transistors bipolaires et les transistors unipolaires, dits à effet de champ. Le transistor bipolaire contrôle le déplacement de charges électriques à travers deux jonctions PN en opposition (transistors NPN ou PNP) [I.5], [I.6], alors que le transistor à effet de champ contrôle le déplacement de charges (électrons ou trous) entre source et drain au travers d'un canal par une troisième électrode, la grille [I.7], [I.8]. En régime de commutation, malgré une bonne robustesse aux fortes puissances, le transistor bipolaire présente plusieurs inconvénients comparativement au transistor à effet de champ, comme une consommation importante de la commande due au passage en continu d'un courant électrique, des temps de commutation plus élevés (de plusieurs centaines de nanosecondes comparé à quelques dizaines de nanosecondes maximum pour un transistor à effet de champ). Pour des applications de conversion d'énergie à hautes fréquences, on préférera donc la structure à effet de champ plus performante, notamment avec l'exploitation actuelle des matériaux « grands gap ». Parmi les structures de composant SiC et GaN les plus populaires pour des applications d'électronique de puissance, on citera les transistors « Metal Oxyde Semiconductor Field Effect Transistor » (MOSFET) en SiC [I.8] et « High Electron Mobility Transistor » (HEMT) en GaN.

Avec l'émergence des matériaux grands gap, des diodes de type Schottky combinant faible tension de seuil, recouvrement inverse quasi inexistant (faible charge stockée) sont aujourd'hui disponibles [I.7]. Ces composants s'ajoutent aux transistors MOSFET et HEMT sur la liste des semi-conducteurs les plus prometteurs dans l'optique de la montée en fréquence des convertisseurs statiques [I.9]. Une

présentation plus détaillée des diodes et transistors de puissance est proposée dans les paragraphes suivants.

I.1.1.2. La diode de puissance

Les semi-conducteurs présents dans les systèmes en électronique de puissance sont utilisés pour laisser passer ou interrompre le courant électrique périodiquement (fonctionnement en interrupteur). Ces composants possèdent deux états de fonctionnement en régime établi : un état passant (ON) et un état bloqué (OFF).

Il existe des semi-conducteurs non-commandés tels que les diodes. La diode est un dipôle formé soit par une association de deux semi-conducteurs de dopage opposé soit par une association métal/semi-conducteur, formant une jonction et deux terminaisons : une anode, notée A, et une cathode, notée K [I.5].

En électronique de puissance, à fortes tensions (supérieures à 40V) et fort courant, les diodes bipolaires PiN et les diodes Schottky, dont les structures de base sont représentées sur la figure I.1, sont les principales diodes utilisées. Les diodes PiN sont constituées d'une zone intrinsèque faiblement dopée située entre deux semi-conducteurs, un premier dopé positivement (p+) et un second dopé négativement (n+). Cette zone intermédiaire permet d'obtenir une tension de blocage de plusieurs kilovolts. Pour des applications à hautes fréquences, les diodes Schottky, basées sur un contact entre un métal et un semi-conducteur, sont généralement préférées aux diodes PiN car elles présentent une tension de seuil plus basse et des capacités parasites plus faibles (moins de charges stockées) leur permettant de commuter plus rapidement. En revanche, les diodes Schottky présentent également une résistance à l'état passant plus dépendante de la température que les diodes PiN.

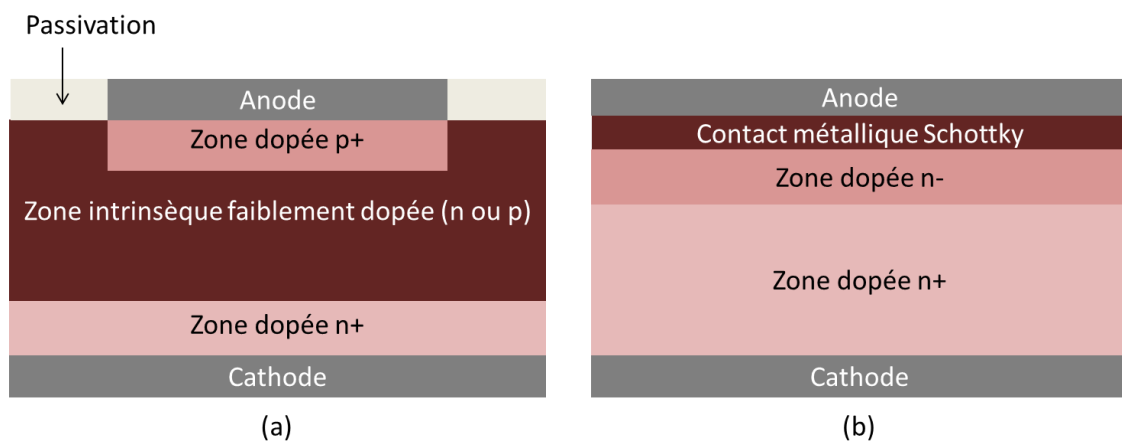


Figure I. 1 : Structures de base des diodes utilisées en électronique de puissance : (a) Diode PiN
(b) Diode Schottky

Le symbole électrique de la diode, quel que soit sa technologie de fabrication, est donné sur la figure I.2(a). La diode est passante dans le sens anode-cathode et bloquante dans le sens cathode-anode. Sa caractéristique en régime statique est présentée sur la figure I.2(b). La diode devient passante par application d'une tension $V_{AK} \geq V_T$, elle est alors assimilable à une source de tension V_T (tension de seuil de la diode) en série avec une résistance R_{AK} comme présenté sur les figures I.2(b) et I.2(d). Elle se bloque par annulation du courant direct i_A et peut alors supporter une tension V_{AK} négative, elle est alors assimilable à une résistance de forte valeur R_{LEAK} comme montré sur la figure I.2(c). Les diodes agissent comme des interrupteurs ne pouvant commuter que de façon naturelle dépendamment du circuit externe.

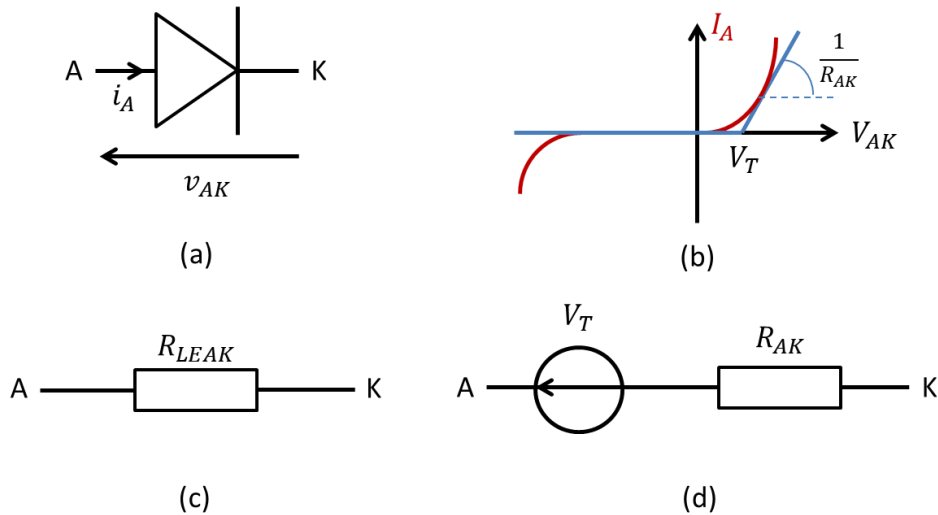


Figure 1.2 : (a) caractéristique statique d'une diode (b) schéma équivalent statique de la diode pour $V_{AK} < V_T$ (c) schéma équivalent statique de la diode pour $V_{AK} > V_T$

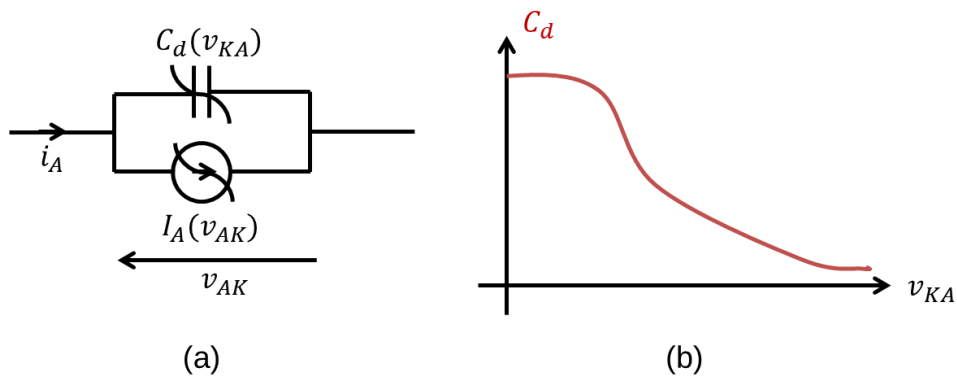


Figure 1.3 : (a) Modèle intrinsèque non linéaire de la diode de puissance (b) Evolution de la capacité C_d en fonction de la tension inverse aux bornes de la diode v_{KA}

Afin de tenir compte des phénomènes dynamiques apparaissant lors des commutations de la diode, le modèle de la figure I.3(a) est utilisé. Dans ce modèle la source de courant $I_A(v_{AK})$ représente l'évolution non linéaire de la caractéristique statique présentée sur la figure I.2(b). La capacité non linéaire $C_d(v_{KA})$ modélise quant à elle les phénomènes transitoires d'établissement et d'annulation du courant et de la tension lors des commutations. La capacité C_d a pour particularité de décroître lorsque la tension inverse $v_{KA} = -v_{AK}$ augmente comme le représente l'allure de la figure I.3(b).

Lors du blocage de la diode, un courant bref circulant de la cathode vers l'anode, pendant un temps nécessaire à l'évacuation des charges accumulées dans la jonction, engendre une dissipation de puissance lors des commutations comme le montre la figure I.4. Dans le cas d'une commutation classique sur charge inductive, au blocage, le courant direct de la diode décroît jusqu'à s'annuler puis s'inverse (évacuation des charges) jusqu'à atteindre une valeur maximale I_{RM} . A cet instant la tension de blocage notée V_{OFF} est présente aux bornes de la diode. Par suite, le courant inverse décroît jusqu'à s'annuler, cette variation de courant générant une surtension inverse notée V_{RM} . Ce phénomène est appelé recouvrement inverse de la diode. Les diodes actuelles en carbure de silicium présentent un courant et un temps de recouvrement beaucoup plus faible que leurs homologues en silicium [I.10].

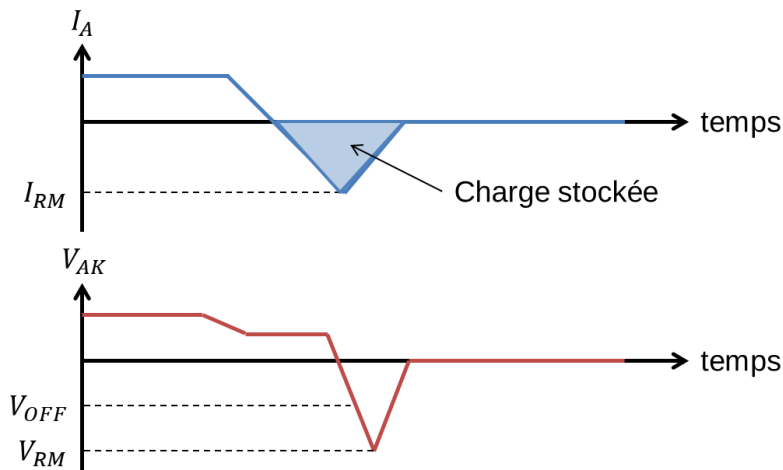


Figure 1.4 : Phénomène de recouvrement inverse de la diode au blocage

I.1.1.3. Le transistor de puissance à effet de champ

Les transistors sont des composants électroniques pouvant être commandés à la fermeture et à l'ouverture. Les principaux utilisés pour l'électronique de puissance rapide sont des transistors à effet de champ [I.7], [I.8]. Ils sont constitués d'un canal dans lequel circule un courant électrique du drain vers la source. Le niveau de courant électrique circulant dans le canal est modulé par l'application d'une différence de potentiel entre la grille et la source. Le symbole électrique ainsi que des exemples de structures horizontale et verticale de transistor de puissance à effet de champ sont donnés sur la figure I.5.

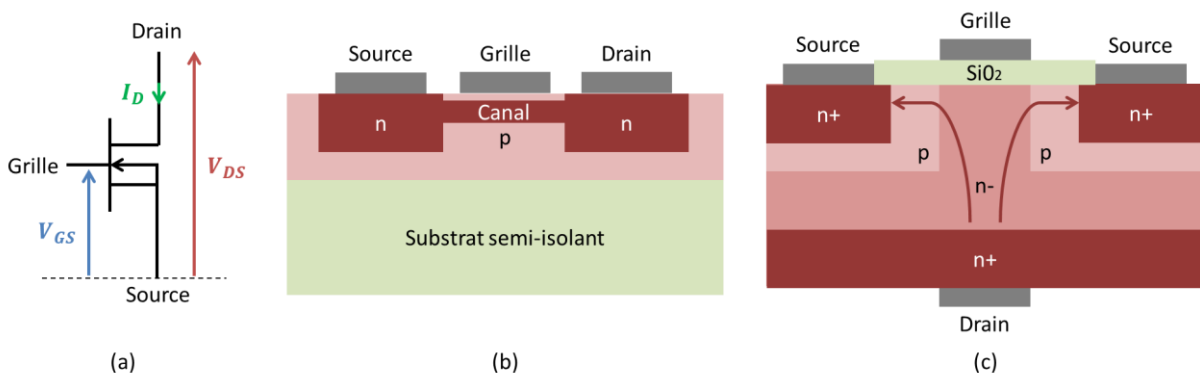


Figure 1.5 : Présentation du transistor de puissance à effet de champ : (a) Symbole électrique et conventions (b) structure horizontale (exemple : JFET (Junction Field Effect Transistor)) (c) Structure verticale (exemple : MOSFET)

La figure I.6 montre la caractéristique de fonctionnement d'un transistor dans le plan courant/tension. On observe trois zones de fonctionnement :

- Lorsque la tension grille-source est inférieure à la tension de seuil $V_{GS} < V_{TH}$: le transistor est bloqué, le courant de drain I_D est nul quel que soit la tension appliquée entre drain et source V_{DS} .
- Lorsque $V_{DS} < V_{GS} - V_{TH}$: la caractéristique $I_D(V_{DS})$ est linéaire avec un coefficient de proportionnalité égal à la résistance entre drain et source R_{DS} . Cette zone est appelée zone ohmique. Elle correspond à un état passant du transistor à faible puissance dissipée.
- Lorsque $V_{DS} > V_{GS} - V_{TH}$: le courant de drain I_D atteint une valeur de saturation. La caractéristique $I_D(V_{DS})$ devient non linéaire. Cette zone est appelée zone de saturation. Elle correspond à un état passant du transistor à forte puissance dissipée.

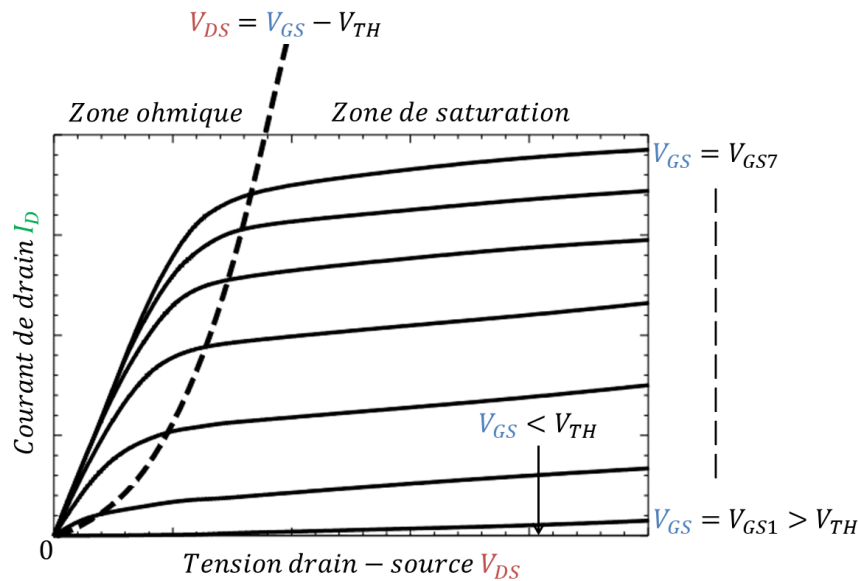


Figure 1.6 : Exemple de caractéristique statique d'un transistor à effet de champ

D'un point de vue modélisation électrique, dans son fonctionnement en régime établi, le transistor se comporte comme une source de courant I_D contrôlée par deux tensions V_{GS} et V_{DS} . Cette source a un comportement non linéaire vis-à-vis de ces deux tensions couvrant les trois zones de fonctionnement décrites ci-dessus. Le courant traversant le transistor à l'état passant doit être choisi de sorte à ce que le composant fonctionne dans sa zone ohmique afin de limiter les pertes par conduction et éviter sa destruction. Dans ce cas, le transistor se comporte comme une résistance variable $R_{DS(on)}$ dont la valeur sera directement influencée par la tension de commande V_{GS} et la température de jonction. On remarque que la résistance à l'état passant diminue lorsque la tension V_{GS} augmente et qu'elle augmente lorsque la température de jonction T_j augmente.

Le comportement dynamique d'un transistor de puissance intervient durant les commutations, c'est-à-dire pendant les transitions entre les états bloqué et passant. Durant ces phases les éléments parasites du composant, notamment les capacités présentes entre les électrodes, influent sur les formes d'ondes de courant et tension et donc sur les pertes par commutation. Ces trois capacités C_{GS} , C_{GD} et C_{DS} sont directement dépendantes de la tension présente entre leurs bornes et diminuent lorsque celle-ci augmente tout comme décrit pour la capacité inter-électrode de la diode dans le paragraphe I.1.1.2.

Un modèle électrique de la partie intrinsèque d'un transistor de puissance comportant l'ensemble des éléments décrits ci-dessus est présenté sur la figure I.7. Dans le cas de certains transistors dont la grille n'est pas isolée, s'ajoute une source de courant I_G entre grille et source représentant les fuites de grille. La caractéristique $I_G(V_{GS})$ est alors la caractéristique de fonctionnement d'une diode.

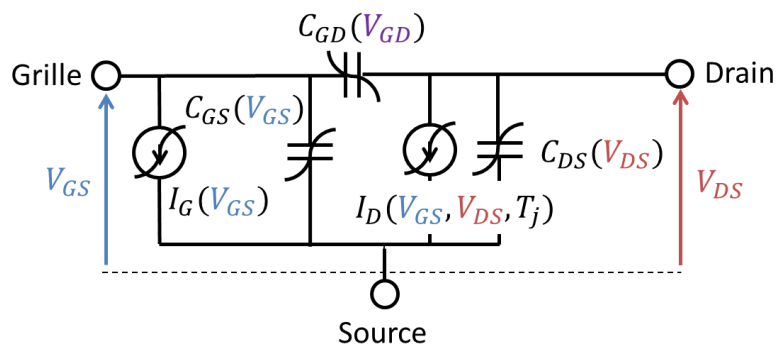


Figure 1.7 : Modèle électrique non linéaire de la partie intrinsèque d'un transistor de puissance

I.1.2. La cellule de commutation

La composante originelle de tout convertisseur statique est la cellule de commutation. Elle est constituée à minima de deux interrupteurs permettant le découpage périodique d'un signal d'entrée. La cellule de commutation la plus élémentaire est représentée sur la figure I.8(a) au sein d'un convertisseur abaisseur de tension, dit Buck.

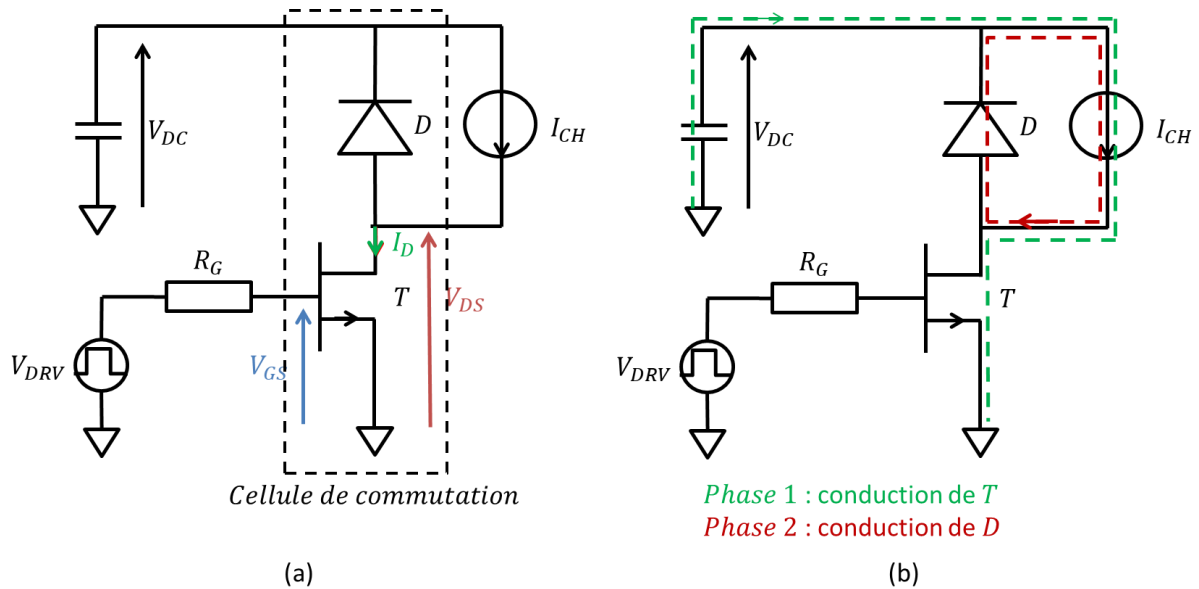


Figure 1.8 : (a) structure du convertisseur Buck (b) phases de fonctionnement du convertisseur

Le convertisseur possède deux phases de fonctionnement comme le montre la figure I.8(b). La phase 1 démarre lors de la mise en conduction du transistor T . Le transfert d'énergie s'effectue alors de l'entrée symbolisée par la tension V_{DC} vers la charge symbolisée par le courant I_{CH} . La phase 2 commence lors du blocage du transistor, c'est alors la diode qui conduit pour assurer la continuité du courant I_{CH} . Les allures des formes d'onde idéalisées des tensions V_{GS} et V_{DS} et du courant I_D sur une période de fonctionnement sont données sur la figure I.9. On note αT l'instant du passage de la phase 1 à la phase 2. La tension V_{DC} et le courant I_{CH} sont considérés constants.

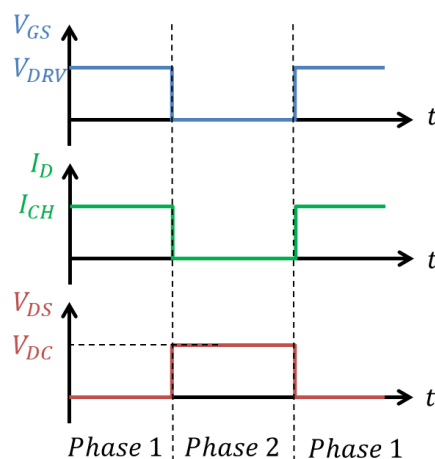


Figure 1.9 : Allure des formes d'onde idéales sur une phase de fonctionnement du convertisseur

On propose à présent d'analyser plus en détail les commutations lors de la mise en conduction et du blocage du transistor dans des conditions proches de la réalité. Pour ce faire, les modèles des composants présents dans les paragraphes I.1.1.2 et I.1.1.3 sont nécessaires. Dans une première approche, l'inductance parasite globale de la maille de commutation L_p est prise en compte. Le schéma étudié

devient alors celui de la figure I.10(a). Les formes d'onde associées à la mise en conduction et au blocage sont données sur la figure I.10(b). Chaque commutation peut être divisée en quatre étapes, de 0 à t_4 pour la mise en conduction et de t_5 à t_9 pour le blocage du transistor. Chaque étape est décrite par le texte ci-dessous [I.11] et représentée sur la figure I.10(b). On considère toujours une tension V_{DC} et un courant I_{CH} parfaitement constants.

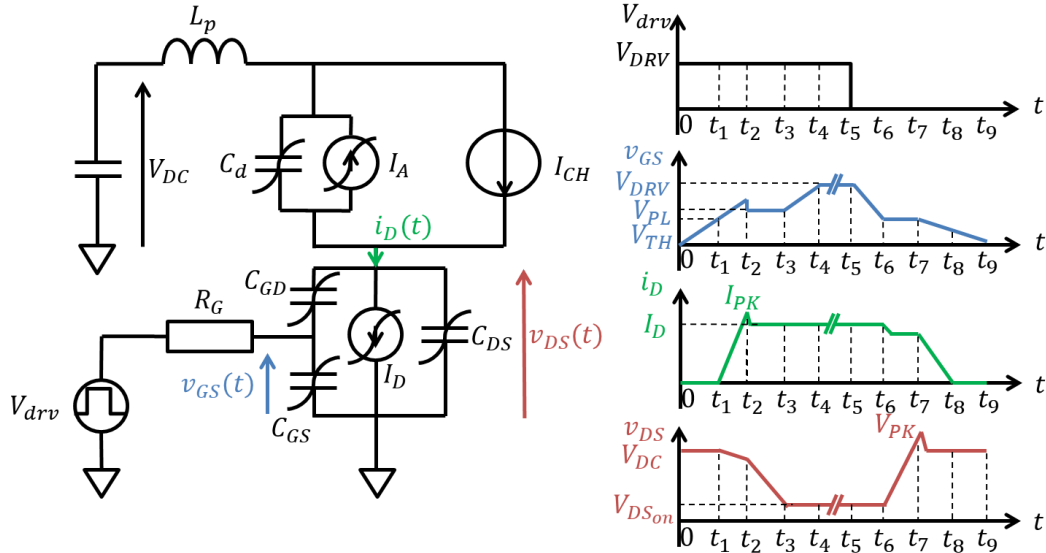


Figure I. 10 : (a) Schéma du convertisseur avec modèles des semi-conducteurs de puissance (b) Formes d'ondes simplifiées à la mise en conduction et au blocage du transistor

Les formes d'onde de commutation sur une période de fonctionnement sont décrites comme suit :

De 0 à t_1 : La tension de commande de grille V_{drv} passe à V_{DRV} , la capacité C_{GS} du transistor se charge à travers la résistance de grille R_G . A t_1 , la tension de grille V_{GS} atteint la tension de seuil V_{TH} .

De t_1 à t_2 : Lorsque V_{GS} devient supérieur à V_{TH} , le transistor commence à conduire, le courant i_D croît et la phase 1 commence. La variation de courant au sein du transistor $\frac{di_D}{dt}$ induit une chute de tension aux bornes de l'inductance parasite L_p faisant décroître la tension V_{DS} aux bornes du transistor. Le courant I_A traversant la diode décroît dans les mêmes proportions que le courant I_D croît. Lorsque le courant I_A atteint zéro la diode commence son recouvrement inverse. A t_2 , le courant I_D atteint son maximum I_{PK} égal à la somme du courant I_{CH} et du courant maximal inverse de la diode. La capacité C_{GS} se charge durant cette étape et la tension V_{GS} continue de croître.

De t_2 à t_3 : la diode se bloque. Les courant I_D redescend à la valeur du courant de charge I_{CH} , la tension V_{GS} diminue alors légèrement. Les capacités C_{DS} et C_{GD} se déchargent à travers le canal, ainsi les tensions V_{DS} et V_{DG} décroissent. La diminution de la tension V_{DG} s'oppose à l'augmentation de V_{GS} , la capacité C_{GS} ne se charge plus. Ce phénomène de V_{GS} constant, égal à la tension dite de plateau V_{PL} , est appelé effet Miller. A t_3 la tension V_{DS} atteint sa valeur minimale $V_{DS_{on}}$ induite par la chute de tension due à la résistance $R_{DS_{on}}$ du transistor.

De t_3 à t_4 : la capacité C_{GD} étant déchargée, la tension V_{GS} continue de croître jusqu'à atteindre V_{DRV} à t_4 . La mise en conduction du transistor se termine à cet instant.

La commutation au blocage est similaire à la mise en conduction, elle est également divisée en quatre étapes :

De t_5 à t_6 : La tension de commande de grille V_{drv} s'annule. Les capacités C_{GS} et C_{GD} se déchargent, ainsi la tension V_{GS} décroît.

Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences

De t_6 à t_7 : La tension V_{DS} augmente, ainsi les capacités C_{GD} et C_{DS} se chargent. L'augmentation de la tension V_{GD} s'oppose à la diminution de V_{GS} impliquant une nouvelle tension de plateau durant cette étape. L'augmentation de V_{DS} implique la diminution de la tension aux bornes de la diode, ainsi la capacité C_d de la diode se décharge. Le courant déchargeant la diode diminue le courant i_D . A t_7 , la tension V_{DS} atteint V_{DC} .

De t_7 à t_8 : la tension V_{GS} continue de décroître, la diode commence à conduire et le courant i_D chute jusqu'à atteindre zéro lorsque la tension V_{GS} devient inférieure à V_{TH} à t_8 . La variation du courant $\frac{di_D}{dt}$ induit une surtension V_{PK} de V_{DS} .

De t_8 à t_9 : La capacité C_{GS} continue de se décharger jusqu'à ce que la tension V_{GS} s'annule à t_9 .

La figure I.11 montre les trajectoires dans le plan $i_D(v_{DS})$ des commutations de mise en conduction et de blocage [I.11]. On remarque que la principale partie des trajectoires se situe entre les instants t_1 et t_3 pour la mise en conduction et entre t_6 et t_8 pour le blocage. C'est durant ces intervalles de temps qu'apparaît la majeure partie des pertes par commutation du transistor.

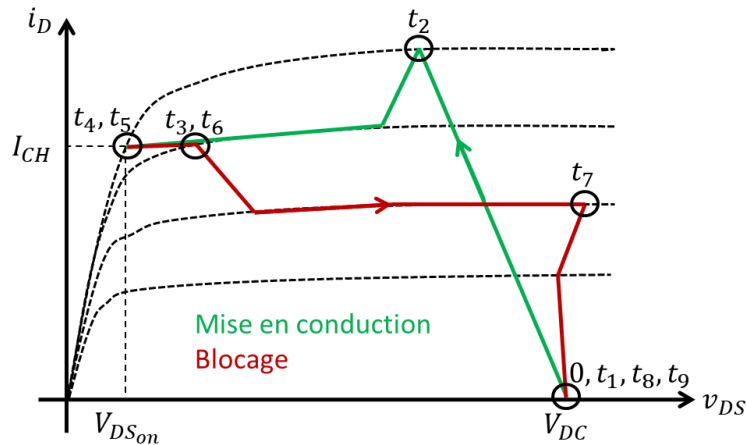


Figure I. 11 : Trajectoires simplifiées des commutations dans le plan $i_D(v_{DS})$

Afin d'analyser les commutations de façon plus fine, l'ensemble des éléments parasites des mailles de commutation de la figure I.12 doivent être pris en compte.

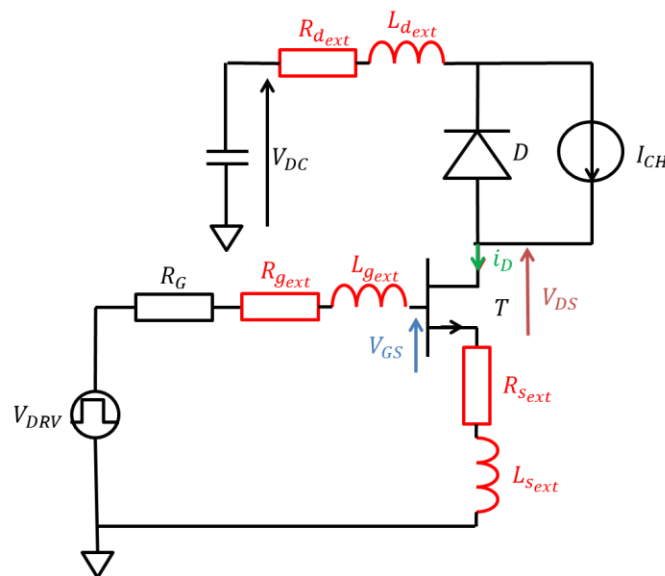


Figure I. 12 : Identification des éléments parasites du convertisseur influant sur les formes d'onde des commutations du transistor

Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences

Les résistances $R_{g_{ext}}, R_{d_{ext}}, R_{s_{ext}}$ sont principalement dues à la connectique et aux résistances des pistes du circuit imprimé. Les résistances $R_{d_{ext}}$ et $R_{s_{ext}}$ sont à l'origine de pertes par effet Joule supplémentaires et la résistance $R_{g_{ext}}$ influe sur les durées de commutation.

Les inductances parasites $L_{g_{ext}}, L_{d_{ext}}, L_{s_{ext}}$ peuvent avoir différentes origines selon les composants et l'environnement (mise en boîtier, connectique interne, connexions externes sur le circuit imprimé, inductances des pistes sur circuit imprimé, couplage mutuelle des pistes...). Chacune de ces inductances a des conséquences différentes sur les performances du convertisseur. Comme vu précédemment, l'inductance $L_{d_{ext}}$ est à l'origine de surtensions $\left(L_{d_{ext}} \frac{di_D(t)}{dt}\right)$ lors du blocage du transistor mais également de résonances hautes fréquences avec les capacités parasites C_{GD}, C_{DS}, C_d des semi-conducteurs de puissance [I.12]. L'interaction entre l'inductance $L_{g_{ext}}$ et les capacités de grille C_{GS}, C_{GD} entraîne des oscillations de la tension de grille pouvant être à l'origine de mises en conduction et blocages intempestifs du transistor, de détérioration du composant etc... C'est pourquoi la maille de grille doit être particulièrement soignée lors de la conception d'un convertisseur. Enfin, l'inductance $L_{s_{ext}}$, appelée également inductance commune de source, est un élément critique car elle se situe à la fois dans le circuit de commande (grille-source) et dans le circuit de puissance (drain-source) du transistor. Une variation du courant de drain induit une tension aux bornes de $L_{s_{ext}}$ qui va s'opposer à l'évolution de la tension V_{GS} et ainsi ralentir la commutation, donc augmenter les pertes [I.13]. Dans le cas d'une cellule de commutation composée d'un bras de transistors (diode D remplacée par un second transistor), une inductance $L_{s_{ext}}$ trop importante peut entraîner une conduction simultanée des deux transistors [I.14] provoquant de fait un court-circuit de la source d'alimentation du convertisseur. Dans le paragraphe suivant, l'impact de ces éléments parasites sur la montée en fréquence des convertisseurs sera abordé.

1.1.3. Montée en fréquence des convertisseurs

Pour de nombreuses applications actuelles et d'avenir, la recherche de convertisseurs présentant de hauts rendements et une forte densité de puissance est de plus en plus fréquente. Augmenter la fréquence de commutation a pour effet de réduire l'énergie stockée nécessaire dans les convertisseurs. Ceci permet une réduction de la valeur donc de la taille des composants passifs et ainsi une augmentation de la densité de puissance.

Cependant, l'augmentation de la fréquence de commutation induit une augmentation des pertes par commutation non seulement à cause du recouvrement du courant i_D et de la tension V_{DS} mais également à cause des capacités inter-électrodes coté grille P_{ISS} et côté puissance P_{OSS} . En effet, ces pertes sont directement proportionnelles à la fréquence de commutation f_{SW} [I.15] selon les relations eq.(I.1) et eq.(I.2), où $C_{ISS} = C_{GS} + C_{GD}$, $C_{OSS} = C_{DS} + C_{GD}$. Ces relations sont simplifiées car en réalité les capacités C_{ISS} et C_{OSS} varie non linéairement par rapport aux tensions V_{GS} et V_{DS} .

$$P_{ISS} \approx \frac{1}{2} \cdot C_{ISS} \cdot V_{GS}^2 \cdot f_{SW} \quad (I.1)$$

$$P_{OSS} \approx \frac{1}{2} \cdot C_{OSS} \cdot V_{DS}^2 \cdot f_{SW} \quad (I.2)$$

Les transistors « grand gap » en nitrure de gallium (GaN) et en carbure de silicium (SiC) montrent depuis plusieurs années leurs avantages sur la technologie silicium (Si) pour des fonctionnements à fréquences de découpage élevées. En effet, dû à la plus faible permittivité relative du matériau et à la structure latérale, les capacités inter-électrodes C_{ISS} et C_{OSS} des transistors GaN sont réduites d'un facteur dix environ pour la plupart des composants actuels, permettant ainsi de minimiser les temps et les pertes par commutation. L'hétérojonction des transistors à base de GaN leur octroie même des propriétés de transport électronique encore plus importantes.

I.1.4. Convertisseurs à haute densité de puissance

De nombreux travaux au cours des dernières années ont mis en avant l'intérêt des composants « grand gap » pour augmenter la densité de puissance des convertisseurs. A titre d'exemple, en juillet 2014, les sociétés Google et IEEE ont lancé « The Little Box Challenge » une compétition ouverte pour concevoir un onduleur monophasé d'une densité de puissance d'environ 3 kW/L dans un volume de 66 cL maximum [I.16]. Le convertisseur devait respecter plusieurs contraintes imposées : des contraintes thermiques, de compatibilité électromagnétique ou encore des exigences sur les formes d'onde de sortie. Les vainqueurs de l'épreuve ont présenté une solution à base de semi-conducteurs GaN et ont pu ainsi atteindre une densité de puissance d'environ 9 kW/L dans un volume de 23 cL [I.17]. La comparaison des dimensions entre le convertisseur réalisé et un précédent convertisseur de même puissance est montrée sur la figure I.13. Dans [I.18], un autre exemple de convertisseur à base de transistors GaN présente une puissance de 1 kW pour un fonctionnement à 1 MHz. Il en résulte une densité de puissance de 7 kW/L dans un volume très compact de 12 cL. Un autre exemple montre un convertisseur GaN d'une densité de puissance de 9 kW/L dans une surface contrainte de 16 cm² [I.19]. Un convertisseur à base de composants en carbure de silicium de 50 kW/L dans 70 cL et des convertisseurs d'environ 20 kW/L dans environ 3 L sont également proposés dans la littérature commutant à des fréquences allant jusqu'à 100 kHz [I.20], [I.21].

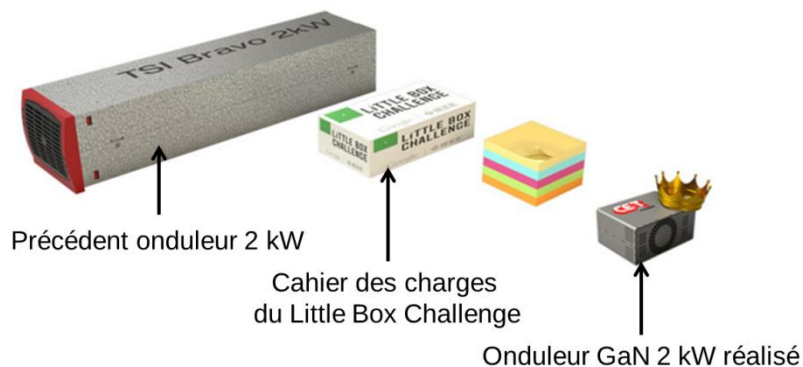


Figure I. 13 : Convertisseur GaN 2 kW réalisé par les vainqueurs du Little Box Challenge (Source : [I.17])

Malgré les avantages incontestables que présentent les semi-conducteurs « grand gap » pour la conception de convertisseurs à forte densité de puissance, leur dynamique élevée due à des capacités inter-électrodes très faibles les rend sensibles à leur environnement de fonctionnement. Les temps de montée des transistors GaN notamment, de l'ordre de quelques nanosecondes, provoquent de forts $\frac{di}{dt}$ et $\frac{dv}{dt}$ nécessitant une conception très soignée des boucles de commutation au risque de dégrader les performances du convertisseur.

La partie suivante détaille davantage l'intérêt des transistors GaN pour l'électronique de puissance haute fréquence ainsi que les technologies existantes et les transistors disponibles sur le marché. Ensuite, l'importance de l'étape de modélisation de ces composants pour la conception de convertisseurs à hautes fréquences sera mise en avant.

I.2. Les transistors de puissance GaN

I.2.1. Intérêt du nitrure de gallium pour l'électronique de puissance hautes fréquences

Les matériaux actuels prétendant au remplacement du silicium (Si) dans le domaine de l'électronique de puissance sont les matériaux dits « grand gap » tels que le carbure de silicium (SiC) et le nitrure de gallium (GaN). Comme il est possible de le constater dans le tableau I.1 [I.23], la forte largeur de bande interdite des semi-conducteurs conçus à partir de SiC ou de GaN leur procure la possibilité de fonctionner à de plus hautes températures que leurs homologues en silicium. Le champ électrique critique de ces matériaux est également dix à quinze fois plus élevé. En d'autres termes, à tension de claquage égale, les composants « grand gap » peuvent être de dimensions nettement inférieures à celles d'un composant en silicium, ce qui les rend particulièrement attractifs pour l'intégration de puissance.

Tableau I. 1 : Propriétés des matériaux semi-conducteurs utilisés en électronique de puissance [I.23]

	Si	SiC-4H	GaN
Bande interdite (eV)	1.1	3.3	3.4
Champ électrique critique (MV/cm)	0.23	2.2	~5
Mobilité des électrons (cm ² /(V.s))	1400	900	2000 (Gaz 2D)
Vitesse de saturation des électrons (km/s)	100	200	250
Conductivité thermique (W/(cm ² .K))	1.5	5	1.3
Figure de mérite de Johnson (JFM)*	1	410	790
Figure de mérite de Keye (KFM)*	1	5.1	1.8
Figure de mérite de Baliga (BHFM)*	1	34	100

*Normalisé par rapport au silicium.

De nombreux indicateurs de performance permettent de comparer les matériaux entre eux [I.23], la figure de mérite de Johnson (JFM) est la plus utilisée pour décrire la capacité des matériaux à supporter de fortes puissances à hautes fréquences. Son expression est donnée par eq.(I.3). Dans la même optique, la figure de mérite de Baliga (BHFM) évalue les performances des composants pour la commutation rapide de puissance et son expression est donnée par eq.(I.4). La figure de mérite de Keye (KFM) quant à elle informe sur les limitations thermiques des matériaux et son expression est donnée par eq.(I.5).

$$JFM = \left(\frac{E_c \cdot v_{sat}}{2\pi} \right)^2 \quad (I.3)$$

$$BHF\!M = \mu \cdot E_c^2 \quad (I.4)$$

$$KFM = \frac{\lambda \cdot c \cdot v_{sat}}{4\pi \cdot \epsilon} \quad (I.5)$$

Où E_c est le champ électrique critique, v_{sat} est la vitesse de saturation des électrons, μ est la mobilité électronique, λ est la conductivité thermique du matériau, c est la célérité de la lumière et ϵ est la constante diélectrique relative du matériau.

La figure I.14 regroupe les différents critères de comparaison au sein d'un graphique pour les trois matériaux étudiés Si, SiC et GaN [I.24].

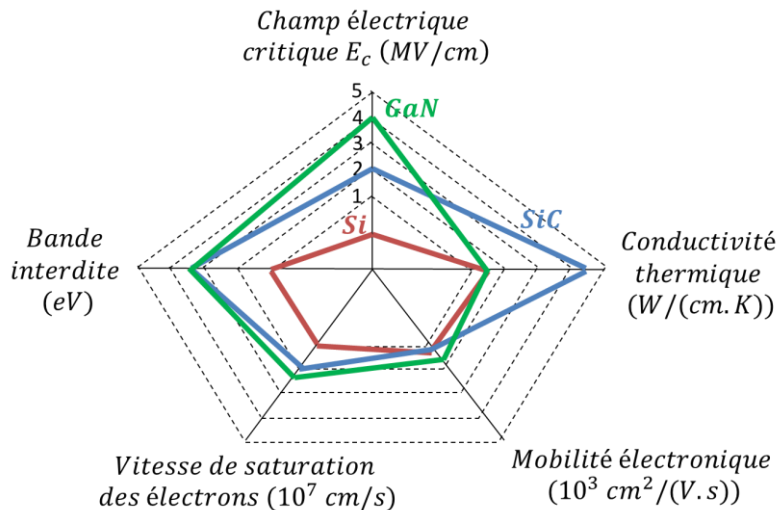


Figure I. 14 : Comparaison des propriétés physiques des matériaux Si, SiC et GaN pour des applications d'électronique de puissance [I.24]

La très bonne conductivité thermique des semi-conducteurs SiC ainsi que leur bonne figure de mérite de Keye en font de bons candidats pour des applications à très fortes puissances, où les contraintes thermiques sur les composants sont importantes.

Les caractéristiques telles que la mobilité électronique, la vitesse de saturation des électrons et le champ électrique critique, du GaN, dans le cas d'une hétérostructure, sont supérieures à celles du Si et du SiC et font de cette filière la meilleure actuelle pour des applications nécessitant de hauts rendements à hautes fréquences comme l'indiquent les figures de mérite de Johnson et Baliga. La conductivité thermique similaire à celle du Si et les structures latérales actuelles des composants GaN, les limitent cependant à des applications de moyenne puissance (à des tensions inférieures au kilovolt).

La figure I.15 montre les domaines d'utilisation des composants semi-conducteurs à base de chaque matériau ainsi que quelques exemples d'applications [I.25]. On remarque que les applications hautes fréquences au-delà du mégahertz et demandant des systèmes compacts à forte densité de puissance sont davantage réalisés à partir de composants GaN.

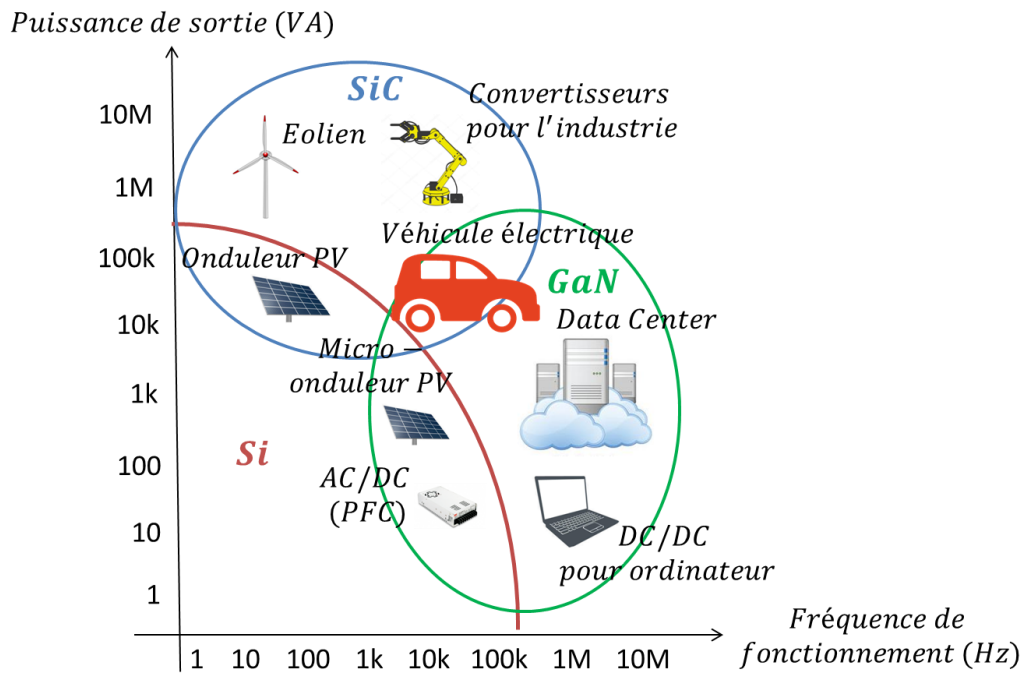


Figure I. 15 : Domaines d'application des différents semi-conducteurs de l'électronique de puissance à base de Si, SiC et GaN [I.25]

Des transistors de puissance GaN de calibre en tension allant jusqu'à 650V sont depuis quelques années commercialement disponibles et la conception de convertisseurs à fortes densités de puissance à base de composants GaN est devenue un sujet de recherche d'actualité en électronique de puissance. La partie suivante présente le principe de fonctionnement des transistors GaN, les techniques employées par les fabricants pour concevoir des transistors utilisables dans des applications en électronique de puissance ainsi que les phénomènes propres à ces composants.

I.2.2. Technologies et propriétés des transistors de puissance GaN

I.2.2.1. La structure GaN HEMT

Les transistors de type HEMT (High Electron Mobility Transistor) sont apparus au début des années 1980. Leur première application fut l'amplification de puissance hyperfréquence dans le domaine des télécommunications terrestres et spatiales [I.26].

La structure HEMT repose sur une jonction, appelée hétérojonction, entre deux matériaux semi-conducteurs (AlGaN et GaN) dont le gap (bande interdite) est différent. L'AlGaN (dit barrière) présente une énergie de bande interdite plus élevée que le GaN formant ainsi un puits d'énergie à l'interface (coté GaN) des deux matériaux ainsi que des discontinuités de bandes de conduction et de valence. Les porteurs électroniques sont alors suffisamment concentrés à l'interface pour former un gaz d'électrons bidimensionnel (2DEG) [I.27], entraînant ainsi le phénomène de conduction et la création du canal du transistor. La plus forte mobilité des électrons dans un gaz 2D que dans un matériau dopé fait des transistors HEMT les composants à effet de champ les plus rapides, permettant les applications aux plus hautes fréquences.

L'effet transistor consiste en la modulation du courant du canal par une variation de la tension appliquée entre grille et source, V_{GS} . Cet effet est obtenu par la création de contacts Schottky (grille) et de contacts ohmiques (drain et source) [I.27]. Sous l'application d'une tension entre drain et source, V_{DS} , l'application d'une tension V_{GS} module la concentration de porteurs dans le canal permettant ainsi un ajustement du courant I_D circulant entre drain et source. L'effet transistor est quantifié par la transconductance du composant donnée par eq.(I.6) :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (I.6)$$

Pour des tensions V_{GS} suffisamment négatives (inférieures à la tension de pincement du canal), les niveaux d'énergie initialement peuplés par les porteurs passent au-dessus du niveau de Fermi de la structure (niveau de plus haute énergie) causant ainsi une désertion complète du canal 2DEG et une annulation du courant électrique [I.27]. Cet état correspond à l'état bloqué du transistor.

Afin de compléter la structure du transistor HEMT, l'hétérojonction décrite précédemment repose sur un substrat. Ce substrat a pour but de permettre la croissance de GaN et est réalisé à partir de silicium (Si) ou carbure de silicium (SiC). Le SiC permet une meilleure dissipation thermique que le Si ainsi qu'un meilleur accord de maille avec le GaN. Le Si représente le coût le plus faible pour la réalisation des substrats des transistors de puissance. Une couche de nucléation, insérée entre le substrat et le buffer GaN, permet l'adaptation de maille et la minimisation des défauts de structure. Cette couche de nucléation est généralement constituée de fines couches d'AlN [I.24]. La structure physique complète du transistor HEMT est présentée sur la figure I.16.

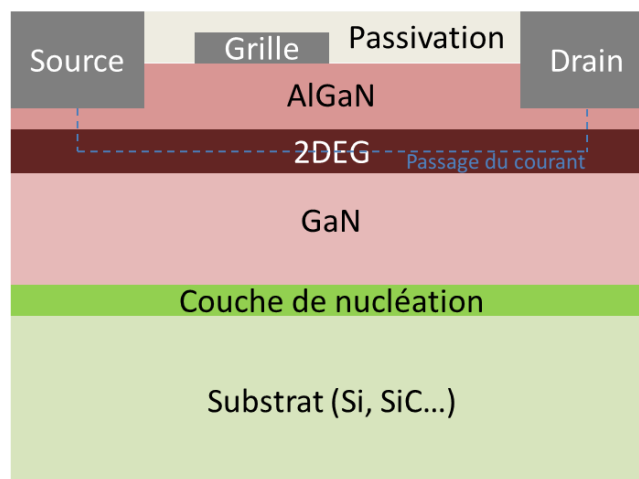


Figure I. 16 : Structure de base d'un transistor GaN HEMT

Le transistor HEMT est bidirectionnel en courant, lorsque le composant est soumis à une polarisation V_{DS} négative, il peut conduire. En effet, la polarisation inverse induit une tension V_{GD} positive qui lorsqu'elle dépasse la tension de seuil du transistor V_{TH} permet au transistor de conduire le courant. On remarque une analogie à la caractéristique courant-tension comme si le composant était commandé non plus avec une polarisation grille-source mais avec une polarisation grille-drain [I.28]. On distingue deux zones de fonctionnement dans la caractéristique inverse d'un transistor GaN HEMT comme le montre la figure I.17. Lorsque $V_{GS} < V_{TH}$, le transistor se comporte comme une diode avec une tension de seuil égale à $V_{GS} - V_{TH}$. Lorsque $V_{GS} > V_{TH}$, la caractéristique inverse de ce dernier devient similaire à sa caractéristique directe. On peut conclure qu'en polarisant le transistor à une tension V_{GS} supérieure à la tension de seuil V_{TH} , celui-ci conduit de manière similaire du drain vers la source ou de la source vers le drain.

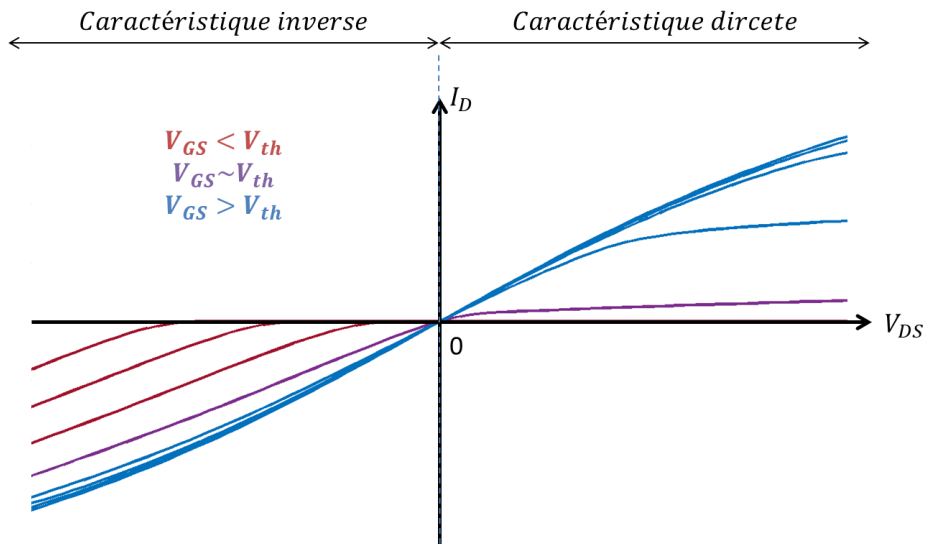


Figure 1.17 : Caractéristique statique d'un transistor GaN HEMT

On retrouve également une bidirectionnalité en courant dans les transistors MOSFET, cependant la caractéristique inverse d'un transistor MOSFET est modifiée par la présence structurelle d'une diode antiparallèle au canal. Lors des commutations cette diode de structure présente un courant de recouvrement et donc des pertes additionnelles, ce qui n'est pas le cas pour les HEMT GaN.

Le transistor GaN HEMT est naturellement « normally-on », c'est-à-dire que la tension de seuil du transistor est négative ($V_{TH} < 0V$) et celui-ci est donc passant à $V_{GS} = 0V$. Cette caractéristique n'est pas adéquate pour la conception de systèmes d'électronique de puissance pour des raisons de sûreté de fonctionnement des convertisseurs. Plusieurs techniques existent à ce jour pour rendre ces composants « normally-off » (bloqués à $V_{GS} = 0V$). Ces techniques sont présentées dans le paragraphe suivant.

1.2.2.2. Technologies des transistors GaN « normally-off »

La première solution apparue pour réaliser des transistors de puissance GaN « normally-off » est d'associer un transistor GaN « normally-on » à un MOSFET Si à travers un montage de type cascode comme présenté sur la figure I.18. Dans cette architecture, la tension grille-source du transistor HEMT est égale à la tension drain-source du MOSFET. Le MOSFET contrôle les commutations ON et OFF du transistor de puissance GaN. La commande d'un tel transistor de puissance se fait entre la grille et la source d'un transistor MOSFET ce qui facilite grandement les techniques de commande à mettre en œuvre. De plus, le transistor MOSFET peut être de faible calibre en tension car la tension de blocage est supportée par le transistor GaN. Cependant, l'ajout d'un MOSFET Si dégrade les performances du transistor GaN par l'addition d'une résistance à l'état passant supplémentaire, une diode parasite ajoutée lors de la conduction inverse et une nécessité d'interconnexion des deux puces à l'intérieur du packaging augmentant les dimensions de boîtier et les effets résistifs et inductifs parasites. Les inductances et capacités parasites couplées entre le transistor HEMT GaN et le MOSFET Si peuvent provoquer des retards et des oscillations hautes fréquences pendant les commutations et impacter les performances globales du système [I.29].

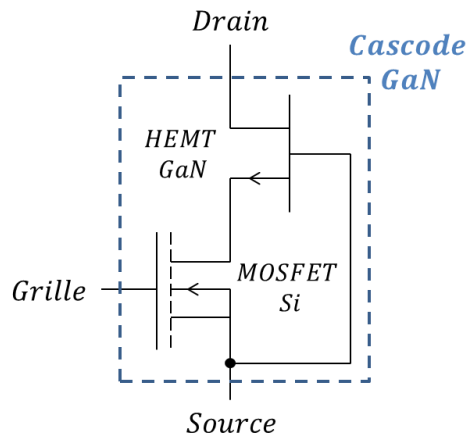


Figure I. 18 : Structure d'un transistor de puissance GaN en montage cascade

Pour pallier les inconvénients engendrés par la structure cascode, différentes technologies de fabrication permettent la réalisation de HEMT GaN à enrichissement (E-mode) ayant une caractéristique normally-off par conception.

Parmi ces techniques, le « recess » de grille consiste à enterrer la grille au-delà de la couche d'AlGaN à l'intérieur du gaz 2D comme le montre la figure I.19. Cette technologie a le potentiel de décaler la tension de seuil V_{TH} jusqu'à des valeurs supérieures à 1V [I.30]. Cependant la réduction du canal 2DEG sous la grille dégrade la valeur de la résistance à l'état passant des composants. Une solution consiste alors à remplacer la couche barrière d'AlGaN par une couche d'InAlGaN mais la tension de seuil est alors modifiée [I.31].

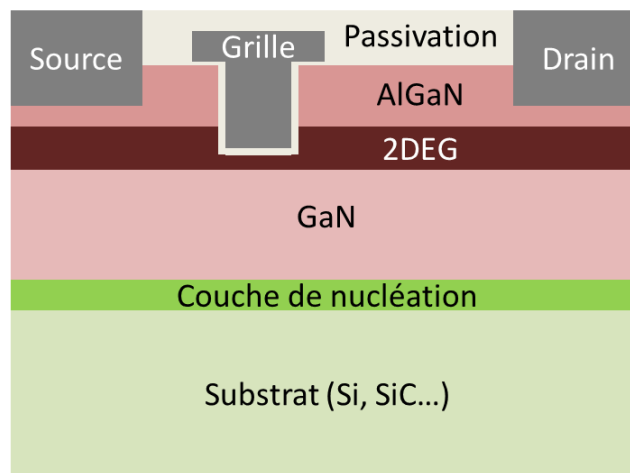


Figure I. 19 : Technique de « recess » de grille sur un transistor GaN HEMT

Une méthode plus efficace pour la fabrication de transistors de puissance GaN « normally-off » est l'implémentation d'une grille p-AlGaN ou p-GaN. Cette technique consiste à insérer une couche d'AlGaN (Gate Injection Transistor (GIT)) ou de GaN (HEMT P-GaN) dopé positivement sous la grille comme présenté sur la figure I.20. L'insertion de cette couche crée une caractéristique de diode au niveau de la grille qui décale la tension de seuil V_{TH} vers les tensions positives d'une valeur égale à la valeur de la chute de tension de la diode [I.24], [I.32]. Dans ces conditions, la grille possède une caractéristique de diode avec une tension de seuil dépendante de la profondeur de gravure sous la couche p-AlGaN ou p-GaN [I.24]. Lors d'une application en tant qu'interrupteur de puissance, si le transistor est commandé avec une tension V_{GS} supérieure à la tension de seuil de la jonction de grille, un courant de fuite (pouvant aller du microampère à plusieurs milliampères selon les technologies) circule entre la grille et les autres électrodes (notamment la source).

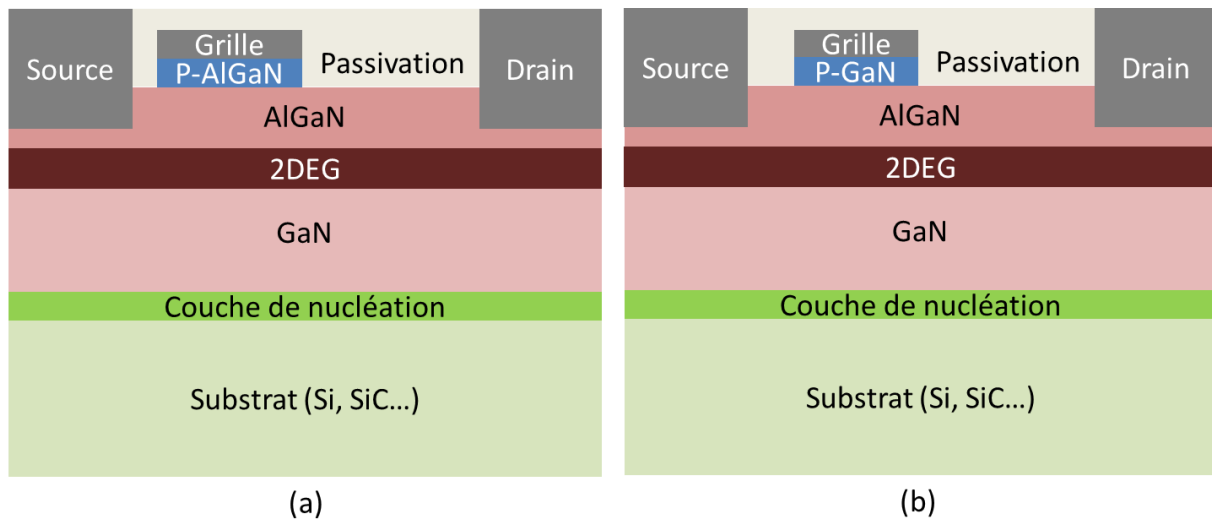


Figure 1.20 : Structures des transistors GaN : (a) GIT (b) HEMT P-GaN

Enfin, d'autres techniques sont proposées pour la réalisation de transistors GaN normally-off comme le dépôt d'ions fluor fortement électronégatifs permettant de dépeupler le canal jusqu'à l'application d'une tension V_{GS} positive [I.33] ou encore des structures hybrides MISFET-HFET proposant de remplacer la portion du canal 2DEG sous la grille par une couche d'inversion de type MISFET [I.34]. Ces techniques ne sont cependant jusqu'ici employées par aucun des transistors de puissance GaN commercialisés.

1.2.2.3. Phénomène de résistance dynamique dans les transistors GaN HEMT

Les transistors HEMT GaN souffrent de phénomènes de « piégeages » et « dépiégeages » de charges intervenant au sein de la structure au niveau des couches inférieures et supérieures au canal 2DEG. Ces pièges provoquent une augmentation momentanée de la résistance drain-source à l'état passant $R_{DS_{ON}}$ au moment de la commutation. La conséquence est une augmentation des pertes par conduction dans le transistor GaN et de fait des contraintes thermiques plus importante compliquant le dimensionnement du système de refroidissement du composant.

Deux mécanismes sont à l'origine de cette variation de $R_{DS_{ON}}$ comme le montre la figure I.21. Le premier est le piégeage de charges de surface à proximité de la grille du côté drain lorsque le transistor est soumis à un champ électrique élevé (durant le blocage) dû aux impuretés présentes dans la couche de passivation. Lors de la mise en conduction suivante, ces charges piégées agissent comme une grille virtuelle s'opposant à la formation du canal jusqu'à ce que ces charges soient relâchées [I.24]. Le second mécanisme est l'injection d'électrons dits « chauds » possédant une forte énergie cinétique lors de l'application d'un champ électrique élevé [I.35]. Ces électrons « chauds » sont piégés à l'intérieur du transistor et provoquent une augmentation temporaire de la résistance $R_{DS_{ON}}$ et des dégradations sur le long terme [I.24].

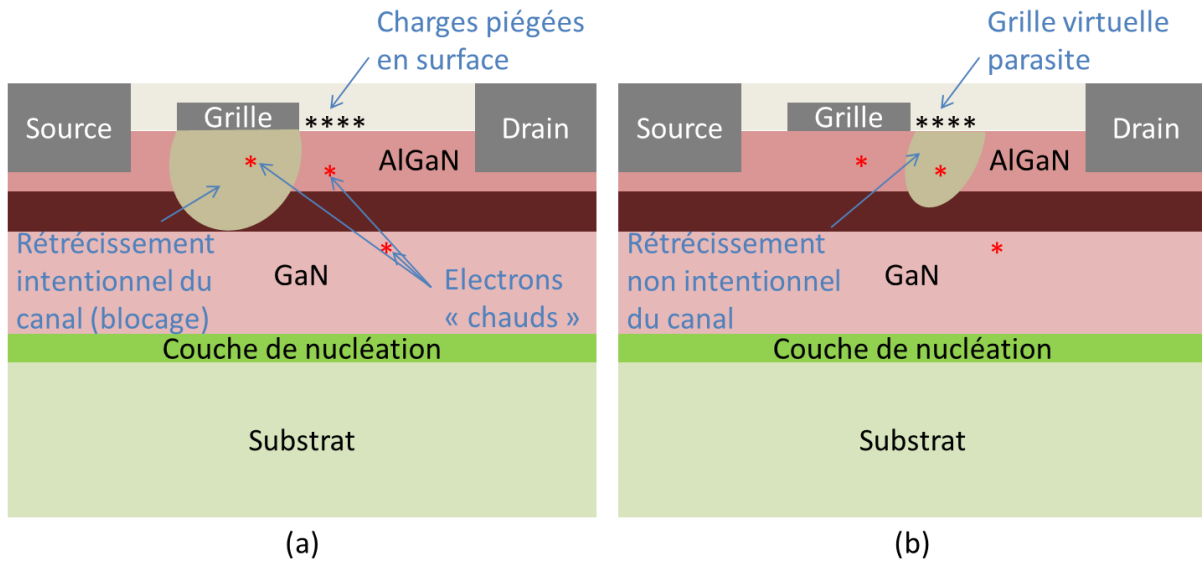


Figure 1.21 : Mécanismes de piégeages à l'origine du phénomène de résistance dynamique dans les HEMT GaN : (a) lors de l'état bloqué du composant (b) lors de la mise en conduction

Plusieurs travaux ont été réalisés ces dernières années pour essayer de comprendre davantage ces mécanismes, les caractériser et les modéliser [I.36]-[I.38]. Pour des applications d'électronique de puissance, il a été montré que non seulement le fort champ électrique appliqué au transistor, lorsque celui-ci est bloqué, est impactant mais aussi la fréquence de commutation, le rapport cyclique et la température influent de manière significative sur l'augmentation de la résistance $R_{DS(on)}$. En effet, ces paramètres définissent les temps de piégeages et de relâchement des charges au sein du composant.

Les fabricants de transistors GaN proposent des solutions pour diminuer l'effet de résistance dynamique comme l'ajout de répartisseurs de champ électrique présenté sur la figure I.22 [I.39], [I.40].

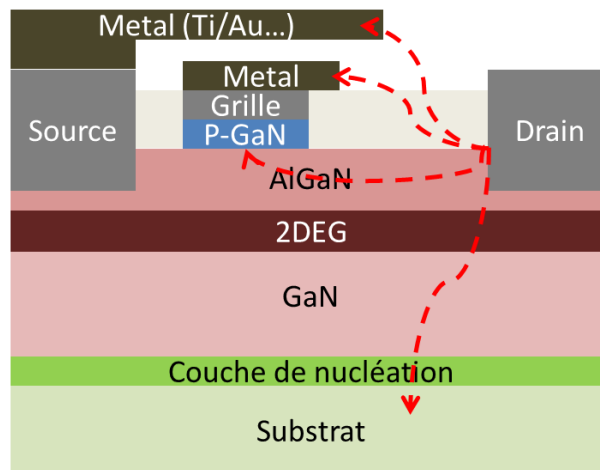


Figure 1.22 : Répartition du champ électrique par utilisation du substrat et de répartisseurs métalliques au niveau de la grille et de la source

Ces systèmes placés au niveau des contacts de source, de grille et au niveau du substrat permettent de redistribuer le fort champ électrique entre grille et drain loin de la grille dans la zone passivée. À noter que le substrat doit alors être connecté électriquement à la source soit en interne soit en externe. Beaucoup de fabricants de transistors GaN propose une connexion interne entre la source et le substrat pour réduire cet effet de résistance dynamique [I.41], [I.42]. Une autre solution, proposée par le constructeur Panasonic, est d'utiliser une seconde grille p-GaN à proximité du drain comme montré sur

la figure I.23. La seconde grille est automatiquement activée durant la commutation et injecte des trous se recombinant avec les électrons piégés dans les couches d'AlGaN et GaN. Cette structure de transistor est alors nommée « Hybrid Drain Gate Injection Transistor (HD-GIT) » par le constructeur [I.43].

Injection de trous depuis le drain
par une seconde grille p-GaN

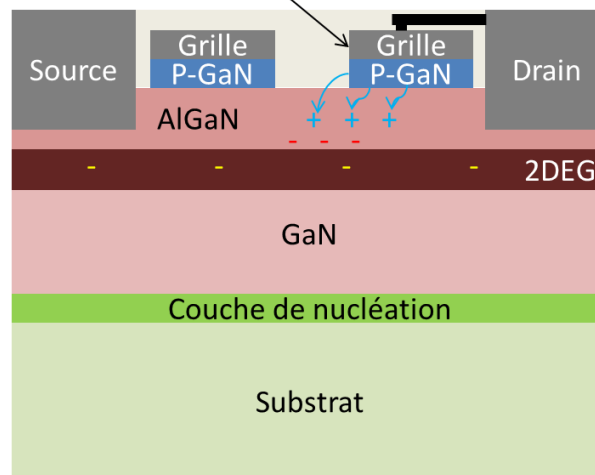


Figure I. 23 : Relâchement des électrons piégés par injection de trous en implémentant d'une seconde grille p-GaN (structure HD-GIT)

I.2.3. Etat de l'art des transistors de puissance GaN

Actuellement, seuls quelques transistors de puissance GaN sont disponibles sur le marché, toutefois la technologie a gagné en maturité ces dernières années. Parmi les fabricants de semi-conducteurs les plus influents on nommera la société Transphorm proposant des structures de type cascade. GaN Systems, Efficient Power Conversion, Panasonic et Infineon proposent quant à eux des structures à enrichissement de type P-GaN ou GIT.

Les calibres en tension de ces composants vont de quelques dizaines de volts à 650V. Certains composants actuels atteignent des calibres en courant allant jusqu'à plusieurs centaines d'ampères. La figure I.24 regroupe une liste non exhaustive de composants GaN, SiC et Si actuellement sur le marché et de calibre en courant similaire, sélectionnés à partir d'une recherche personnelle pour leurs facteurs de mérite $R_{on}Q_G$, où R_{on} est la résistance à l'état passant et Q_G la charge totale de grille, suivant différents calibres en tension :

- 60V : NTD5867NL (Si), EPC2035 (GaN)
- 100V : HUF76629D35T (Si), EPC2016C (GaN)
- 200V : PSM130200D (Si), EPC2010C (GaN)
- 650V : IPB65R095C7 (Si), SCT3120AL (SiC), GS66506T (GaN)
- 900V : IP90R340C3 (Si), TP90H120PS (GaN)

La figure de mérite $R_{on}Q_G$ donne à la fois les informations sur les pertes en conduction et sur les pertes par commutations de chaque composant. Les limites théoriques de performances de chaque matériau semi-conducteur reprises de [I.44] sont données sur le graphique à titre indicatif. On observe pour chaque calibre en tension de 60V à 900V, de meilleures figures de mérite pour les composants GaN mais il faut également noter que si les composants actuels Si et SiC ont des caractéristiques proches de leur limite voire au-delà, les transistors de puissance GaN possèdent encore une marge de maturité importante par rapport à la limite théorique de performance du matériau.

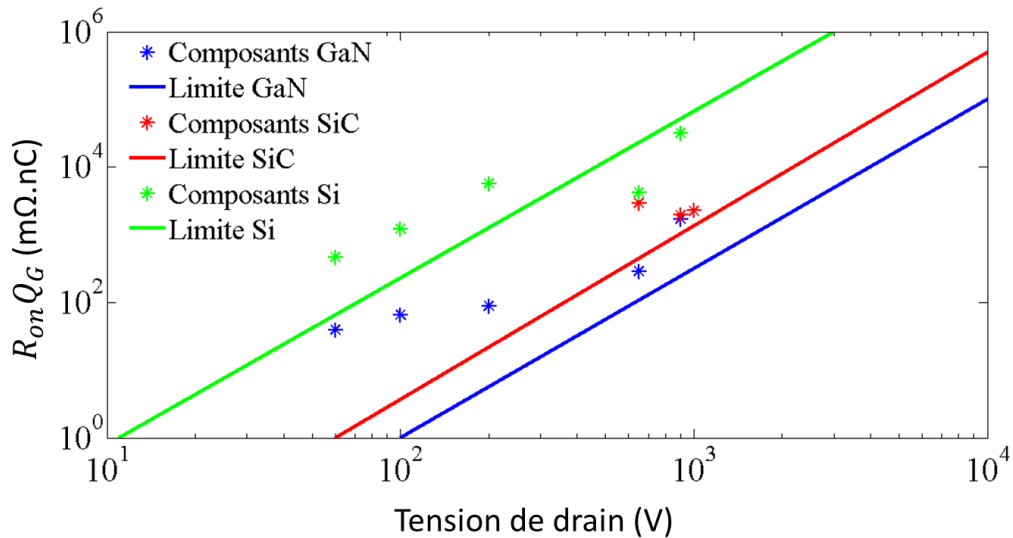


Figure 1. 24 : Figures de mérite pour différents transistors de puissance GaN, SiC et Si en fonction des calibres en tension [I.44]

Une attention toute particulière est consacrée à l’optimisation des boîtiers des transistors de puissance GaN. Les propriétés physiques du matériau permettent de réduire l’empreinte des boîtiers suivant deux objectifs. Le premier objectif est l’intégration de puissance, valeur promotionnelle phare des transistors de puissance à base de GaN. Le second objectif est la minimisation des inductances parasites amenées par les boîtiers dans le circuit afin de dégrader le moins possible les performances de commutations à hautes fréquences de ces composants. En 2014, la société GaN Systems a proposé une nouvelle technologie de boîtier GaNPX [I.45] permettant de satisfaire aux mieux les objectifs précédemment cités. À titre indicatif, le transistor GS66508T possédant cette technologie de boîtier a des calibres de 650V et 30A et est encapsulé dans un volume de 168 mm³, soit moins d’un cinquième de millilitre. Pour d’autres exemples, les sociétés Transphorm ou Panasonic utilisent quant à eux des technologies de boîtiers plus classiques comme les packagings Power Dual Flat Non-leaded (PDFN) ou Power Quad Flat Non-leaded (PQFN). Des exemples de boîtiers GaNPX, PDFN et PQFN pour transistors de puissance GaN sont donnés sur la figure I.25.

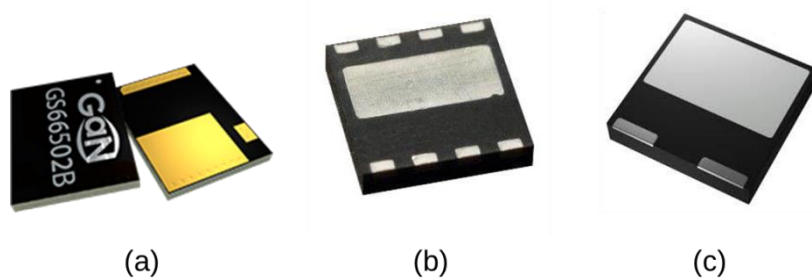


Figure 1. 25 : Exemples de transistors de puissance GaN 600/650 V : (a) GS66502B de GaN Systems (b) PGA26E19BA de Panasonic (c) TP65H300G4LSG de Transphorm

Dans le cadre de ces nouveaux challenges, ces boîtiers offrent également des fonctionnalités permettant d’optimiser les designs des convertisseurs comme l’ajout d’une connexion Source Kelvin pour les transistors GS66508P de GaN Systems ou PGA26E19BA de Panasonic par exemple. La Source Kelvin est une connexion externe supplémentaire permettant une séparation intra-boîtier des chemins grille-source et drain-source et ainsi une minimisation de l’inductance commune de source. Un second exemple est un dédoublement de la connexion de grille comme pour le transistor GS66508T de GaN Systems. Ainsi, une disposition des connexions de grille adaptée permet de réduire la taille des mailles de commutation entre grille et source dans le cas de la parallélisation de plusieurs transistors [I.46].

Enfin, certains boîtiers de transistors de puissance GaN disposent d'une zone de dissipation thermique située sur le dessus du boîtier. Etant donné la forte sensibilité des transistors GaN à la température, cette solution présente un intérêt non négligeable car elle permet de diviser par un facteur 10 la résistance thermique jonction-boîtier selon le fabricant [I.47]. Cette solution permet également de libérer l'espace usuellement réservé à la dissipation thermique sur les PCB et d'optimiser le design des cellules de commutation des convertisseurs en multicouches.

1.3. Modélisation des transistors de puissance GaN

1.3.1. Intérêt de la modélisation des transistors de puissance GaN

Les modèles de transistors de puissance sont utilisés pour le dimensionnement et la conception des systèmes d'électronique de puissance. La modélisation se doit d'être fidèle au comportement réel du composant dans son environnement de fonctionnement afin de bien concevoir et d'estimer au mieux les performances des convertisseurs statiques. Parmi les facteurs influents sur la conception des convertisseurs de puissance qu'un modèle de transistor permet de déterminer, on peut citer :

- Les pertes au sein du composant permettant l'estimation du rendement et le dimensionnement optimal des systèmes de refroidissement
- Le comportement dynamique du transistor permettant d'ajuster les techniques de commande et de protection
- Le spectre des commutations du composant permettant d'estimer les niveaux des perturbations électromagnétiques (PEM)

Les commutations très rapides (de l'ordre de la nanoseconde) des transistors GaN demandent de disposer d'instruments de mesure avec des bandes passantes élevées, au minimum 350 MHz pour des applications typiques [I.48] sous peine de réaliser des mesures imprécises. De plus ces instruments de mesure, insérés dans les mailles de commutation ou aux alentours, ajoutent des impédances parasites qui impactent les commutations rapides et modifient les performances des convertisseurs [I.48], [I.49]. Posséder un modèle fiable du comportement du transistor GaN permet de s'affranchir de l'instrumentation rapprochée et d'en déduire les formes d'ondes en couplant simulations et mesures éloignées. Aussi, certaines mesures ne sont pas réalisables comme la distinction entre le courant circulant dans le canal du transistor et les courants dans les capacités inter-électrodes lors des commutations. Ces données peuvent être nécessaires pour le dimensionnement des convertisseurs, notamment lors de fonctionnements au-delà du mégahertz où les pertes par commutations deviennent majoritaires [I.15], et ne sont estimables qu'à partir d'un modèle relativement précis du composant.

Bien que la plupart des composants de puissance commercialisés disposent d'un modèle fourni par le constructeur, le développement de ses propres modèles présente de nombreux avantages parmi lesquels :

- Une flexibilité dans l'ajout de fonctions supplémentaires au modèle (par exemple l'effet de résistance dynamique actuellement non pris en compte dans les modèles des fabricants)
- L'adaptabilité de la méthode de modélisation développée à d'autres composants, notamment ceux ne possédant pas de modèles
- La connaissance des méthodes employées pour déterminer les paramètres du modèle ainsi qu'une connaissance profonde du fonctionnement du modèle

Les paragraphes I.3.2. et I.3.3. de ce chapitre présentent un état de l'art des méthodes de modélisation des transistors de puissance basées sur la physique des composants ou sur des caractérisations.

1.3.2. Modélisation physique

Les modèles physiques décrivent au mieux les phénomènes intervenants au sein des composants semi-conducteurs dans les divers cas d'applications. Ces modèles reposent sur des équations analytiques issues de la physique des semi-conducteurs [I.50].

Les méthodes numériques telles que les éléments finis permettent une modélisation multi-physique précise des transistors de puissance. Ces modèles simulent le comportement interne d'une structure semi-conductrice en résolvant les équations de la physique des semi-conducteurs (Poisson, conservation de la charge, conservation de l'énergie, chaleur, etc...) aux différents nœuds du maillage [I.50]. Cette méthode de modélisation reste strictement réservée à la fabrication de composants semi-conducteurs [I.50]. En effet, un maillage fin est nécessaire dans certaines zones de la structure cristalline, ce qui engendre des temps de calcul importants non compatibles avec une simulation circuit dans le cadre de la conception de convertisseurs de puissance. De plus, la modélisation par éléments finis nécessite la connaissance des données technologiques de conception du composant qui sont la propriété des fabricants.

De nombreux autres travaux proposent des modèles physiques pour des transistors de puissance à grand gap, notamment des JFET et MOSFET SiC [I.51]-[I.53]. Les modèles ainsi développés montrent une bonne précision dans la représentation du fonctionnement réel du transistor ainsi qu'une bonne robustesse pour des composants de différentes structures. Récemment une étude basée sur la physique du transistor GaN HEMT a permis la modélisation des capacités d'entrée, de sortie et Miller d'un composant ayant une structure HEMT avec répartisseurs de champ électrique [I.54]. Combiner cette étude avec la modélisation physique du canal 2DEG d'un transistor GaN HEMT, comme proposée par les auteurs dans [I.55], pourrait décrire l'ensemble des phénomènes physiques intervenant dans la structure interne du transistor.

Les paramètres physiques propres au composant à modéliser peuvent être renseignés dans des modèles préconçus et disponibles au sein de logiciels de simulations circuits comme SPICE, Saber, ADS ou autres... Les modèles de composants semi-conducteurs de puissance utilisés dans SPICE sont basés sur les modèles d'U.C. Berkeley pour les diodes et MOSFET ou encore le modèle d'Hefner pour les IGBT (Insulated Gate Bipolar Transistor) [I.11].

Malgré la très bonne précision qu'offrent les modèles physiques, ceux-ci présentent différents inconvénients quant à leur utilisation pour la conception de modèles pour la conception des convertisseurs statiques. Parmi ces inconvénients, on citera :

- La nécessité de disposer de paramètres technologiques (dimensions physiques, dopages...)
- La complexité de mise en œuvre. Une connaissance accrue en physique des semi-conducteurs est requise
- Les temps de simulation longs, directement liés au degré de complexité du modèle, sont souvent incompatibles avec des simulations de type circuit pour prototypage
- La dépendance de ces modèles à la structure interne des transistors les rend peu adaptables à d'autres technologies de composants de puissance. Ainsi une méthode de modélisation générique ne peut être obtenue.

Les modèles comportementaux décrits dans la section suivante permettent de pallier les inconvénients que présentent les modèles physiques.

1.3.3. Modélisation comportementale

Les modèles comportementaux reposent généralement sur des schémas équivalents de type circuit regroupant l'ensemble des paramètres influents pour les applications visées ainsi que leur dépendance

entre paramètres et avec les entrées du modèle. Une connaissance des modes de fonctionnement en commutation et en conduction du transistor est nécessaire pour élaborer ces modèles.

Une diode de puissance est généralement modélisée selon le schéma équivalent présenté sur la figure I.26 [I.56]. On retrouve dans ce modèle la caractéristique statique de la diode représentée par la source de courant non linéaire $I_a(V_{aK})$ et la résistance R_A , la caractéristique dynamique représentée par la capacité de jonction $C_{Ka}(V_{Ka})$, les résistances R_A et R_{dyn} et l'inductance L_A . Afin de tenir compte de l'influence de l'élévation en température du composant ΔT_j , un modèle thermique, ici du premier ordre, rétroagit sur les paramètres thermosensibles du schéma équivalent.

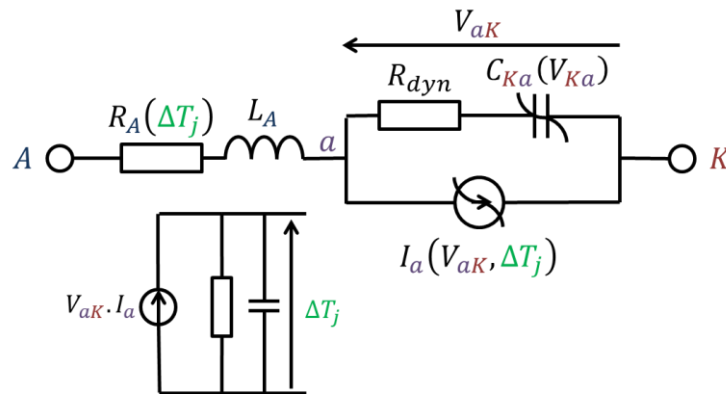


Figure I. 26 : modèle électrothermique d'une diode de puissance

Un modèle comportemental général d'un transistor de puissance à effet de champ est donné sur la figure I.27.

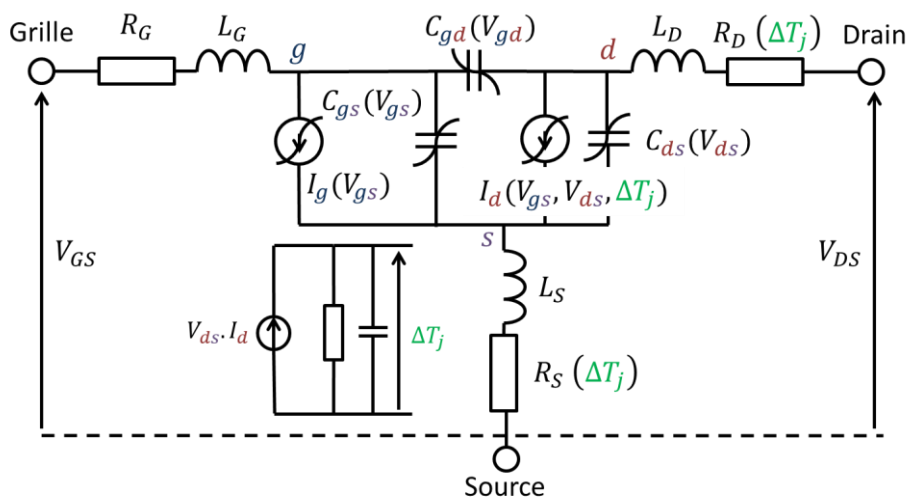


Figure I. 27 : modèle électrothermique d'un transistor de puissance à effet de champ

Ce modèle de transistor est composé d'une partie interne composée des caractéristiques statiques de grille $I_g(V_{gs})$ et de drain $I_d(V_{gs}, V_{ds}, \Delta T_j)$ et des caractéristiques dynamiques entre chaque électrode représentées par les capacités $C_{gs}(V_{gs})$, $C_{gd}(V_{gd})$ et $C_{ds}(V_{ds})$. Les éléments parasites internes au boîtier liés aux accès à chaque électrode sont représentés par les résistances R_G , R_D et R_S et les inductances L_G , L_D et L_S . Enfin un modèle thermique interagit avec les paramètres thermosensibles du modèle.

De nombreux travaux actuels portent sur la caractérisation et la modélisation de composants semi-conducteurs à grand gap. Pour des applications d'électronique de puissance, Ke Li a présenté des méthodes de caractérisation et de modélisation de composants de puissance tels que des diodes, JFET, MOSFET en SiC et un HEMT GaN [I.11]. Un banc de mesures a été développé pour l'extraction de la

Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences

caractéristique $I(V)$ du transistor et la modélisation du canal. Un second banc de caractérisation basé sur des pinces d'injection et de réception de courant a été élaboré. Par adaptation de la méthode présentée dans [I.57], les capacités inter-électrodes ont été déterminées autour de 1 MHz pour un JFET en SiC et un HEMT GaN.

D'autres techniques sont largement utilisées dans la littérature pour la caractérisation de composants de puissance en régime statique et dynamique comme le test en « Double Pulse » présenté dans [I.58] et qui fera l'objet d'une étude plus détaillée dans le second chapitre de ce manuscrit. Cette technique permet d'analyser le comportement d'un transistor en commutation mais ne permet pas à elle seule d'en déterminer un modèle. Une modélisation des pertes en commutation d'un MOSFET SiC, basé sur des schémas équivalents décrivant chaque étape de la commutation, a été présentée par les auteurs dans [I.59]. Le modèle tenant compte des éléments parasites n'est toutefois validé que par simulation.

La validité de la plupart des modèles proposés en électronique de puissance avec la montée en fréquence n'est pas spécifiée. Les systèmes de caractérisation et de calibration des mesures ne sont pas toujours détaillés avec précision. De plus, l'influence des éléments parasites du modèle et leur détermination fait encore l'objet de peu d'études dans ce domaine.

Avec la montée en fréquence des convertisseurs statiques et en vue d'une modélisation des transistors de puissance sur une large bande de fréquences, les techniques de caractérisation utilisées dans le domaine des radiofréquences (RF) présentent un fort intérêt. Les méthodes RF, basées sur des mesures de paramètres S et des mesures courant-tension en régime pulsé, permettent d'obtenir un schéma équivalent, sous la forme d'un quadripôle, du transistor pour tout point de polarisation (V_{GS}, V_{DS}) [I.27], [I.60], [I.61]. Ces mesures petits signaux effectuées à différents points de fonctionnement permettent ensuite l'élaboration d'un modèle non linéaire plus large signal applicable pour l'électronique de puissance. Dans ce contexte, des travaux récents ont montré le développement d'un modèle haute fréquence pour un MOSFET SiC de puissance [I.62]. L'utilisation des paramètres S est montrée pour l'obtention des capacités parasites du transistor, les éléments d'accès sont obtenus par simulation en éléments finis et la caractéristique statique est obtenue à partir de mesures en commutation.

Conclusion

Ce premier chapitre a introduit le contexte du travail de thèse qui sera présenté dans les chapitres suivants de ce manuscrit. La première partie de ce chapitre a mis en avant la place importante occupée par les semi-conducteurs de puissance dans les systèmes de conversion d'énergie. En lien avec la demande actuelle de convertisseurs statiques à forte densité de puissance, les avantages des composants de puissance « grand gap » et plus particulièrement ceux à base de GaN ont été présentés. Les récentes technologies de transistors de puissance GaN ainsi que les récents développements de convertisseurs utilisant ces composants sont venus illustrer le contexte lié à la contribution scientifique de ce travail.

Dans un second temps, la nécessité de posséder des modèles de transistors fiables et prédictifs pour la conception de convertisseurs statiques haute fréquence a été détaillée. En effet, la sensibilité de ces composants rapides aux éléments parasites présents au sein des mailles de commutation impose de passer par des étapes de simulation avant réalisation.

Afin de répondre à l'ensemble des critères cités dans ce premier chapitre, l'obtention de modèles de composant se fera, dans ce travail de thèse, à partir de caractérisations RF qui seront adaptées aux applications d'électronique de puissance visées. La conception du modèle d'un transistor de puissance GaN s'effectuera suivant deux étapes. La première étape consistera à obtenir un modèle électrique du composant à partir de mesures de paramètres S et I-V pulsés et d'en analyser les performances sur une application d'électronique de puissance s'affranchissant des effets thermiques. Le modèle thermique et son couplage avec le modèle électrique seront étudiés dans un second temps en vue de la conception

d'un modèle complet électrothermique du composant. Enfin les performances des modèles développés seront analysées sur une application de conversion d'énergie haute fréquence.

Bibliographie du chapitre I

- [I.1] F. Bernot, "Électronique de puissance Introduction," Techniques de l'ingénieur Électronique de puissance : conversion et gestion, vol. base documentaire : TIB283DUO., no. ref. article : e3958, 2000.
- [I.2] B. Allard, "Électronique de puissance – Bases, perspectives, guide de lecture," Techniques de l'ingénieur Outils d'analyse en électronique de puissance et métrologie, vol. base documentaire : TIB278DUO., no. ref. article : d3060, 2016.
- [I.3] F. Bernot, "Composants de l'électronique de puissance," Techniques de l'ingénieur Électronique de puissance : conversion et gestion, vol. base documentaire : TIB283DUO., no. ref. article : e3960, 2000.
- [I.4] P. Leturcq, "Composants semi-conducteurs de puissance : caractères propres," Techniques de l'ingénieur Composants actifs en électronique de puissance, vol. base documentaire : TIB245DUO., no. ref. article : d3100, 1999.
- [I.5] P. Leturcq, "Composants semi-conducteurs de puissance bipolaires. Partie 1," Techniques de l'ingénieur Composants actifs en électronique de puissance, vol. base documentaire : TIB245DUO., no. ref. article : d3106, 2001.
- [I.6] P. Leturcq, "Composants semi-conducteurs de puissance bipolaires. Partie 2," Techniques de l'ingénieur Composants actifs en électronique de puissance, vol. base documentaire : TIB245DUO., no. ref. article : d3107, 2001.
- [I.7] P. Leturcq, "Semi-conducteurs de puissance unipolaires et mixtes (partie 1)," Techniques de l'ingénieur Composants actifs en électronique de puissance, vol. base documentaire : TIB245DUO., no. ref. article : d3108, 2001.
- [I.8] P. Leturcq, "Semi-conducteurs de puissance unipolaires et mixtes (partie 2)," Techniques de l'ingénieur Composants actifs en électronique de puissance, vol. base documentaire : TIB245DUO., no. ref. article : d3109, 2002.
- [I.9] H. Jain, S. Rajawat and P. Agrawal, "Comparision of wide band gap semiconductors for power electronics applications," 2008 International Conference on Recent Advances in Microwave Theory and Applications, Jaipur, 2008, pp. 878-881.
- [I.10] R. Singh, J. A. Cooper, M. R. Melloch, T. P. Chow and J. W. Palmour, "SiC power Schottky and PiN diodes," in IEEE Transactions on Electron Devices, vol. 49, no. 4, pp. 665-672, April 2002.
- [I.11] K. Li, "Wide Bandgap (SiC/GaN) Power Devices Characterization and Modeling: Application to HF Power Converters," Thèse de doctorat, Université de Lille, Lille, 2014.
- [I.12] M. Moreau, "Modélisation haute fréquence des convertisseurs d'énergie. Application à l'étude des émissions conduites vers le réseau," Université de Lille 1, Lille, 2009.
- [I.13] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," IEEE Trans. Power Electron., vol. 29, no. 4, pp. 2008–2015, Apr. 2014.
- [I.14] B. Yang, "Effect and Utilization of Common Source Inductance in Synchronous Rectification," Int. Rectifier, 2005.
- [I.15] A. D. Sagneri, D. I. Anderson and D. J. Perreault, "Optimization of transistors for very high frequency dc-dc converters," 2009 IEEE Energy Conversion Congress and Exposition, San Jose, CA, 2009, pp. 1590-1602.
- [I.16] Detailed Inverter Specifications, Testing Procedure and Technical Approach and Testing Applications Requirements for the Little Box Challenge, 2016-03-10 at the Wayback Machine. <https://web.archive.org/web/20160310120416/https://www.littleboxchallenge.com/pdf/LBC-InverterRequirements.pdf> (Consulté le 20/02/2019).

- [I.17] <http://littleboxchallengecetpower.com/cetpower-littleboxchallenge-datasheet.pdf> (Consulté le 20/02/2019)
- [I.18] R. Chen and S. Yu, "A high-efficiency high-power-density 1MHz LLC converter with GaN devices and integrated transformer," 2018 IEEE Applied Power Electronics Conference and Exposition (APEC), San Antonio, TX, 2018, pp. 791-796.
- [I.19] S. Dusmez and Z. Ye, "Designing a 1kW GaN PFC stage with over 99% efficiency and 155W/in³ power density," 2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Albuquerque, NM, 2017, pp. 225-232.
- [I.20] K. Takao, S. Harada, T. Shinohe and H. Ohashi, "Performance evaluation of all SiC power converters for realizing high power density of 50 W/cm³," The 2010 International Power Electronics Conference - ECCE ASIA -, Sapporo, 2010, pp. 2128-2134.
- [I.21] G. Calderon-Lopez and A. J. Forsyth, "High power density DC-DC converter with SiC MOSFETs for electric vehicles," 7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014), Manchester, 2014, pp. 1-6.
- [I.22] Jung-Woo Yang, Moon-Hwan Keum, Yoon Choi and Sang-Kyoo Han, "A high power density 50kW bi-directional converter for hybrid electronic vehicle HDC," 8th IET International Conference on Power Electronics, Machines and Drives (PEMD 2016), Glasgow, 2016, pp. 1-6.
- [I.23] Jean-Guy Tartarin. "La Technologie GaN et ses Applications Pour L'Électronique Robuste, Haute Fréquence et de Puissance," Rapport LAAS n°08644. veille technologique sur la filière GaN. 2008.
- [I.24] E. A. Jones, F. F. Wang and D. Costinett, "Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 4, no. 3, pp. 707-719, Sept. 2016.
- [I.25] GaN-on-Si power transistors from French lab Leti, <https://www.electronicweekly.com/uncategorised/gan-on-si-power-transistors-french-lab-leti-2015-07/> (Consulté le 20/02/2019)
- [I.26] F. Gamand, "Amplificateurs de Puissance et Convertisseurs DC/DC à Base de GaN Pour des Applications Hyperfréquences," Thèse de doctorat, Université de Lille, Lille, 2013.
- [I.27] A. Cutivet, "Caractérisation et modélisation de dispositifs GaN pour la conception de circuits de puissance hyperfréquence," Thèse de doctorat, Universités de Lille et de Sherbrooke, Lille et Sherbrooke, 2015.
- [I.28] Leo Sterna. "Étude et mise en œuvre de nouveaux transistors GaN bidirectionnels au sein de structures d'électronique de puissance à hautes performances," Energie électrique. Université Grenoble Alpes, 2018.
- [I.29] Design considerations of GaN devices for improving power-converters efficiency and density, Texas Instruments, Novembre 2017
- [I.30] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda and I. Omura, "Recessed-gate structure approach toward normally off high-Voltage AlGaIn/GaN HEMT for power electronics applications," in IEEE Transactions on Electron Devices, vol. 53, no. 2, pp. 356-362, Feb. 2006.
- [I.31] L. Trinh Xuan, R. Aubry, N. Michel, O. Patard, J.-C. Jacquet, S. Piotrowicz, M. Oualli, P. Gamarra, C. Lacam, C. Potier, D. Lancereau, S. L. Delage, P. Bouysse et R. Quéré, "Transistors HEMT normally-off, normally-on compatibles de la technologie nitrure de gallium pour des applications de puissance hyperfréquence," Journées Nationales du Réseau Doctorales en Microélectronique (JNRDM), Toulouse, 2016.
- [I.32] A. Lidow, J. Strydom, M. de Rooij, and D. Reusch, "GaN Transistors for Efficient Power Conversion," 2nd ed. New York, NY, USA: Wiley, 2015.
- [I.33] R. Chu et al., "1200-V normally off GaN-on-Si field-effect transistors with low dynamic ON-resistance," IEEE Electron Device Lett., vol. 32, no. 5, pp. 632-634, May 2011.
- [I.34] M. Su, C. Chen, and S. Rajan, "Prospects for the application of GaN power devices in hybrid electric vehicle drive systems," Semicond. Sci. Technol., vol. 28, no. 7, p. 074012, 2013.

- [I.35] N. Balkan, *Hot Electrons in Semiconductors* (Oxford Univ. Press, 1998)
- [I.36] D. Jin and J. A. del Alamo, "Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs," 2012 24th International Symposium on Power Semiconductor Devices and ICs, Bruges, 2012, pp. 333-336.
- [I.37] K. Li, P. L. Evans and C. M. Johnson, "Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance," in *IEEE Transactions on Power Electronics*, vol. 33, no. 6, pp. 5262-5273, June 2018.
- [I.38] N. Badawi, O. Hilt, E. Behat-Treidel, J. Böcker, J. Würfl, and S. Dieckerhoff, "Investigation of the dynamic on-state resistance of 600V normally-off and normally-on GaN HEMTs," in *Proc. IEEE Energy Convers. Congr. Expo. (ECCE)*, Sep. 2015, pp. 913–919.
- [I.39] S. Karmalkar, M. S. Shur, G. Simin and M. A. Khan, "Field-plate engineering for HFETs," in *IEEE Transactions on Electron Devices*, vol. 52, no. 12, pp. 2534-2540, Dec. 2005.
- [I.40] G. Kurt, A. Toprak, O. A. Sen, E. Ozbay, "Effect of Field Plate Length on Power Performance of GaN Based HEMTs" *Proceedings of the 18th International Conference On Circuits (Part of CSCC'14)*, Advances Robotics, Mechatronics and Circuits, 2014.
- [I.41] H. Huang, Y. C. Liang, G. S. Samudra, T.-F. Chang, and C.-F. Huang, "Effects of gate field plates on the surface state related current collapse in AlGaIn/GaN HEMTs," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2164–2173, May 2014.
- [I.42] N. Ikeda et al., "GaN power transistors on Si substrates for switching applications," *Proc. IEEE*, vol. 98, no. 7, pp. 1151–1161, Jul. 2010.
- [I.43] K. Tanaka et al., "Reliability of hybrid-drain-embedded gate injection transistor," 2017 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, 2017, pp. 4B-2.1-4B-2.10.
- [I.44] "Integrated power & energy efficiency, Power device technologies, simulations, assembly and circuit topographies enabling high energy efficiency applications," Catrene Scientific Committee Working Group Integrated power & energy efficiency.
- [I.45] Application Note, "Maximizing GaN Power Transistor Performance with Embedded Packaging," GaN Systems, Applied Power Electronics Conference and Expositions (APEC), Mars 2015.
- [I.46] Application Note, "Design Consideration of Paralleled GaN HEMT-based Half Bridge Power Stage," GaN Systems, 17 juillet 2018.
- [I.47] Application Note, "PCB Thermal Design Guide for GaN Enhancement Mode Power Transistors," GaN Systems, 15 mars 2018.
- [I.48] K. Wang, X. Yang, H. Li, L. Wang and P. Jain, "A High-Bandwidth Integrated Current Measurement for Detecting Switching Current of Fast GaN Devices," in *IEEE Transactions on Power Electronics*, vol. 33, no. 7, pp. 6199-6210, July 2018.
- [I.49] "Accurately Measuring High Speed GaN Transistors," Application Note AN023, Efficient Power Conversion, 2017
- [I.50] Rodolphe De Maglie. "Modélisation de différentes technologies de transistors bipolaires à grille isolée pour la simulation d'applications en électronique de puissance," *Micro et nanotechnologies/Microélectronique*. Université Paul Sabatier - Toulouse III, 2007.
- [I.51] E. Platania, Z. Chen, F. Chimento, and A. Grekov et al., "Physics-Based Model for a SiC JFET Accounting for Electric-Field-Dependent Mobility," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 199 –211, jan.-feb. 2011.
- [I.52] S. Bellone and L. Di Benedetto, "A Model of the $I_D - V_{GS}$ Characteristics of Normally OFF 4H-SiC Bipolar JFETs," *Power Electronics, IEEE Transactions on*, vol. 29, no. 1, pp. 514–521, 2014.
- [I.53] M. Mudholkar, S. Ahmed, M. Ericson, and S. Frank et al., "Datasheet Driven Silicon Carbide Power MOSFET Model," *Power Electronics, IEEE Transactions on*, vol. 29, no. 5, pp. 2220–2228, 2014.

Chapitre I : Introduction à la modélisation de transistors de puissance GaN pour la conception de convertisseurs statiques fonctionnant à hautes fréquences

- [I.54] D. Cucak et al., "Physics-Based Analytical Model for Input, Output, and Reverse Capacitance of a GaN HEMT With the Field-Plate Structure," *IEEE Trans. Power Electron.*, vol. 32, no. 3, pp. 2189–2202, Mar. 2017.
- [I.55] S. Khandelwal, N. Goyal, and T. A. Fjeldly, "A Physics-Based Analytical Model for 2DEG Charge Density in AlGaIn/GaN HEMT Devices," *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3622–3625, Oct. 2011.
- [I.56] T. Funaki, T. Kimoto and T. Hikihara, "Evaluation of High Frequency Switching Capability of SiC Schottky Barrier Diode, Based on Junction Capacitance Model," in *IEEE Transactions on Power Electronics*, vol. 23, no. 5, pp. 2602-2611, Sept. 2008.
- [I.57] V. Tarateeraseth, Bo Hu, Kye Yak See, and F. G. Canavero, "Accurate Extraction of Noise Source Impedance of an SMPS Under Operating Conditions," *IEEE Trans. Power Electron.*, vol. 25, no. 1, pp. 111–117, Jan. 2010.
- [I.58] Y. Cui, M. S. Chinthavali, F. Xu, and L. M. Tolbert, "Characterization and modeling of silicon carbide power devices and paralleling operation," 2012, pp. 228–233.
- [I.59] X. Li et al., "A SiC Power MOSFET Loss Model Suitable for High Frequency Applications," *IEEE Trans. Ind. Electron.*, pp. 1–1, 2017.
- [I.60] N. Defrance, "Caractérisation et Modélisation de Dispositifs de la Filière Niture Pour la Conception de Circuits Intégrés de Puissance Hyperfréquences," Université de Lille 1, Lille, 2007.
- [I.61] P. Altuntas, "Fabrication et Caractérisation de dispositifs de type HEMT de la Filière GaN Pour des Applications de Puissance Hyperfréquences," Université de Lille 1, Lille, 2015.
- [I.62] H. Sakairi, T. Yanagi, H. Otake, N. Kuroda and H. Tanigawa, "Measurement Methodology for Accurate Modeling of SiC MOSFET Switching Behavior Over Wide Voltage and Current Ranges," in *IEEE Transactions on Power Electronics*, vol. 33, no. 9, pp. 7314-7325, Sept. 2018.

Chapitre II : Caractérisation en paramètres S d'un transistor de puissance GaN en boîtier

Introduction

Afin de prédire le comportement des transistors de puissance au sein des convertisseurs statiques haute fréquence (HF), des modèles relativement précis des composants sur une large plage de fréquences sont nécessaires. Il faut donc envisager des caractérisations spécifiques afin d'extraire le plus précisément possible les éléments du modèle pour la description du comportement du transistor lors de commutations HF.

Les mesures d'impédances, réalisées par des équipements tels que les analyseurs d'impédance, nécessitent pour être précises une calibration par des mesures en court-circuit et circuit ouvert. Cependant, la présence d'éléments capacitifs et inductifs reste inévitable, impliquant que ces standards de calibration ne représentent plus des impédances nulles ou infinies pour des fréquences élevées et rendant ainsi ces techniques de mesure imprécises et inadaptées lors de caractérisation HF. Les techniques radiofréquences telles que la mesure des paramètres S_{ij} sont de plus en plus couramment utilisées aujourd'hui pour la caractérisation haute fréquence des transistors. De nos jours des travaux émergent sur l'application des paramètres S en électronique de puissance pour la caractérisation de composants « grand gap », GaN et SiC [II.1], [II.2]. Néanmoins, contrairement aux caractérisations sur wafer des transistors radiofréquences, les transistors pour l'électronique de puissance doivent être caractérisés dans leur boîtier induisant une certaine complexité quant à la mise en œuvre des mesures. À ce jour, les travaux de recherche à ce sujet ne proposent pas d'extraire de méthodologie ni d'étude sur la plage de validité de ce type de mesures.

Dans ce contexte, ce chapitre s'argumente autour du développement d'une méthodologie complète d'extraction des éléments du modèle d'un transistor de puissance GaN encapsulé à partir de mesures de paramètres S et de dispositifs expérimentaux adaptés. Ainsi, la première partie de ce chapitre présente l'ensemble des dispositifs et techniques de mesure de paramètres S développés pour la caractérisation du transistor GaN étudié et une procédure de calibration est proposée et explicitée. L'originalité du travail propose d'appliquer les techniques ainsi développées à l'extraction des éléments résistifs, inductifs et capacitifs du modèle du composant. La détermination des éléments d'accès et leur dépendance en température est présentée dans la seconde partie. L'obtention des capacités inter-électrodes en fonction des polarisations de grille et de drain fait l'objet de la troisième partie du chapitre. En lien avec les objectifs de conversion d'énergie à des fréquences de commutation supérieures au mégahertz, la plage de fréquence visée pour les mesures de paramètres S va de 1 MHz à 1 GHz.

II.1. Techniques de caractérisation du transistor de puissance GaN par la mesure de paramètres S

II.1.1. La mesure des paramètres S

Les paramètres S, en anglais « Scattering Parameters », permettent d'obtenir les caractéristiques d'un circuit en considérant un signal alternatif haute fréquence injecté au sein du circuit comme une onde électrique. Ces paramètres sont alors des ratios d'onde transmise et d'onde réfléchi par rapport à l'onde incidente [II.3], [II.4].

La mesure des paramètres S est réalisée par un analyseur de réseaux vectoriel, en anglais « Vector Network Analyzer (VNA) ». Ce dispositif est composé de différents ports normalisés 50Ω , permettant d'injecter un signal sur un port, mesurer sur ce même port la partie de l'onde réfléchi et mesurer sur un autre port connecté au circuit de test la partie d'onde transmise. Considérant une onde incidente injectée au port j et mesurée au port i , on note alors le paramètre S correspondant S_{ij} . Dans notre travail nous nous intéresseront essentiellement aux mesures 1 et 2 ports permettant la caractérisation respective de dipôles et de quadripôles. Un schéma de principe d'une mesure de paramètres S en 2 ports est présenté sur la figure II.1.

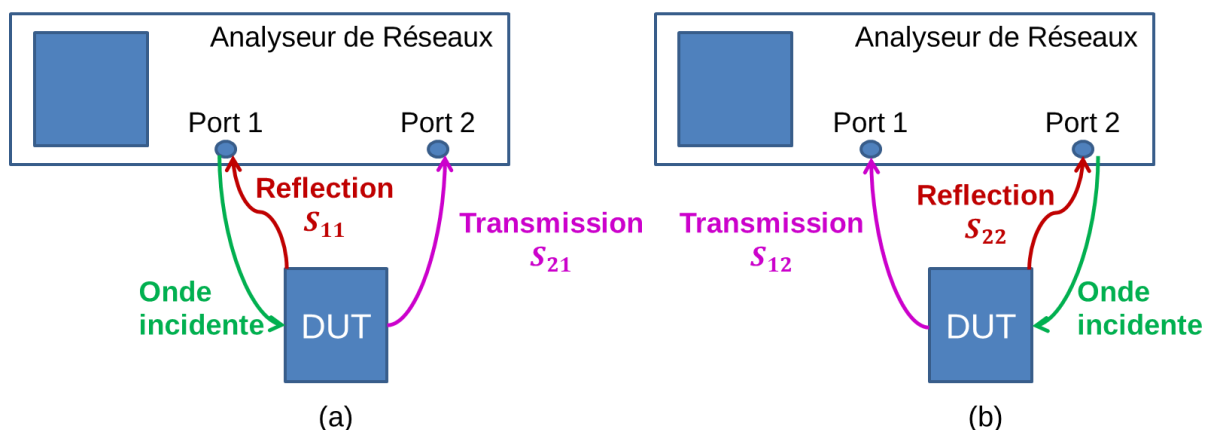


Figure II. 1 : Principe d'une mesure de paramètres S en 2 ports : (a) injection du signal sur le port 1 (b) injection du signal sur le port 2

L'utilisation d'un VNA pour la caractérisation en paramètres S d'un système nécessite des connectiques (câbles coaxiaux, pointes de mesure...) induisant des différences entre les paramètres réels du dispositif sous test (DUT) et la mesure faite par l'appareil de mesure. Afin de mesurer les paramètres S dans le plan du système étudié, une procédure de calibration doit être effectuée en amont dans le but de corriger les erreurs systématiques engendrées par la connectique d'instrumentation ainsi que les imperfections propres au VNA. Il existe différents types de calibration, chacun d'entre eux étant basé sur des mesures de standards de calibrage permettant de remonter aux termes d'erreurs [II.5]. Dans ce travail, nous utiliserons une des techniques de calibrage la plus répandue, dite SOLT (Short Open Load Thru). Le calibrage de type SOLT possède deux avantages principaux qui sont sa simplicité de mise en œuvre et son implémentation large bande [II.5]. À partir de mesures de référence sur des standards en court-circuit, circuit-ouvert, terminaison 50Ω et transmission dont les imperfections sont connues, il est alors possible de déterminer les termes d'erreurs et d'implémenter un algorithme de calibrage au sein du VNA [II.6]. Nous verrons par la suite qu'une procédure de calibration supplémentaire sera mise en œuvre dans ce travail pour la caractérisation de systèmes non adaptés aux mesures de type coaxiales ou coplanaires.

La mesure des paramètres S est une technique très employée pour des caractérisations hautes fréquences d'éléments passifs et actifs. Ainsi, les auteurs dans [II.7] et [II.8] montrent différentes méthodes d'utilisation pour caractériser des composants de type inductif et capacitif. Une application plus courante

des paramètres S consiste en la caractérisation de transistors RF en vue de l'obtention du schéma électrique équivalent du composant [II.9].

Sur la figure II.1, le paramètre S_{11} correspond à la proportion d'onde réfléchie au port 1. Dans le cas d'une mesure 1 port, seul ce coefficient est mesuré et on en déduit la valeur de l'impédance Z_{dip} du dipôle caractérisé selon la relation eq.(II.1) [II.10].

$$Z_{dip} = \frac{1 + S_{11}}{1 - S_{11}} \cdot Z_0 \quad (II.1)$$

Avec $Z_0 = 50 \Omega$, l'impédance interne du port du VNA

Sur la figure II.1, le paramètre S_{21} représente la portion d'onde transmise au port 2 par rapport à l'onde incidente injectée depuis le port 1. Ce coefficient est notamment connu pour son utilisation dans la caractérisation de filtres où il représente les pertes d'insertion [II.3]. Afin de compléter une mesure de paramètres S en 2 ports, les paramètres S_{22} et S_{12} sont considérés et correspondent respectivement aux coefficients de réflexion au port 2 et de transmission du port 2 vers le port 1. À partir des quatre paramètres S mesurés, une matrice $[S]$ de dimensions (2x2) peut être obtenue. Des formules de conversion des paramètres S vers les paramètres impédances ou admittances permettent alors l'obtention des matrices impédance $[Z]$ ou admittance $[Y]$ du circuit ou composant caractérisé [II.11].

II.1.2. Caractérisation en paramètres S des transistors GaN

Le transistor de puissance en régime de commutation comme en régime linéaire possède deux ports pouvant être considérés comme des entrées ou des sorties, le premier entre grille et source et le second entre drain et source. On peut alors assimiler le transistor à un quadripôle, le port grille-source sera considéré comme le port 1 et le port drain-source comme le port 2. Une mesure de paramètres S en 2 ports sur ce quadripôle permet d'en déterminer la matrice impédance ou admittance comme décrit précédemment pour un point de fonctionnement, noté X, sur la caractéristique du transistor et obtenu pour des polarisations de grille et de drain V_{GSX} et V_{DSX} respectivement. Le système complet de caractérisation en paramètres S d'un transistor est présenté sur la figure II.2. Afin de pouvoir effectuer la mesure de paramètres S à différents points de polarisation, un système de polarisation est donc requis. Ce système, appelé Té de polarisation, est constitué d'une voie DC et d'une voie HF alimentant le transistor, permettant ainsi de découpler les chemins des signaux DC et HF.

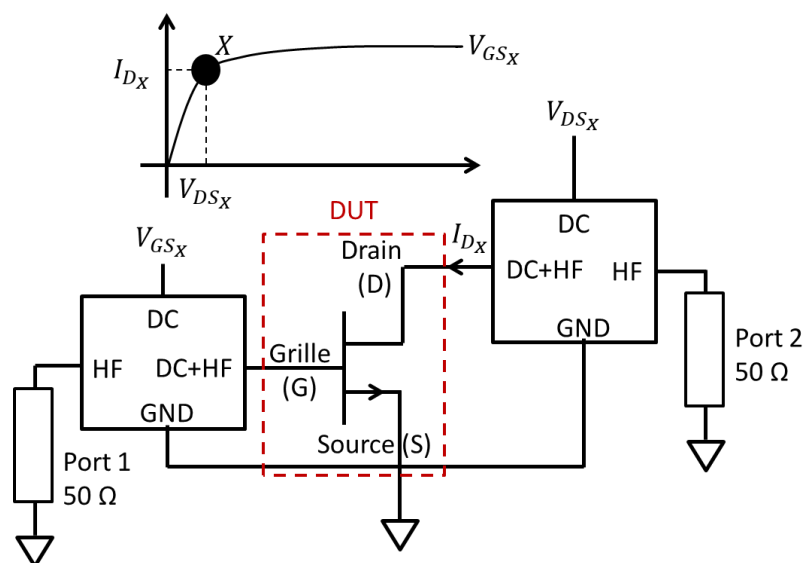


Figure II. 2 : Schéma de principe d'une caractérisation en paramètres S d'un transistor

Au sein de l'IEMN, plusieurs travaux ont porté sur la caractérisation et la modélisation de transistors de type GaN HEMT pour des applications hyperfréquences [II.5], [II.12], [II.13]. La technique de modélisation la plus employée repose sur l'extraction des éléments du schéma électrique équivalent en régime petits signaux du transistor, pour un point de fonctionnement, à partir des paramètres S mesurés. Un exemple de schéma équivalent de transistor GaN, basé sur le modèle de Giacoletto, avec une partie intrinsèque à 10 éléments [II.14] est présenté sur la figure II.3. Sur ce schéma, R_G , R_D , R_S , L_G , L_D , L_S , C_{PG} , C_{PD} représentent les éléments parasites liés aux accès à la partie interne du transistor (connectique, couplages, contacts ohmiques...). Dans la partie intrinsèque du schéma, on retrouve la transconductance g_m et la conductance de sortie g_{ds} modélisant le canal du transistor ainsi que les conductances des diodes de grille g_{gs} et g_{gd} . C_{gs} , C_{gd} et C_{ds} sont les capacités inter-électrodes du composant. Enfin les éléments R_{gs} , R_{gd} et τ aident à la modélisation de la dynamique du transistor dans le cas d'applications à très hautes fréquences en modélisant les temps de réponse de la grille et du canal à des variations rapides de tension.

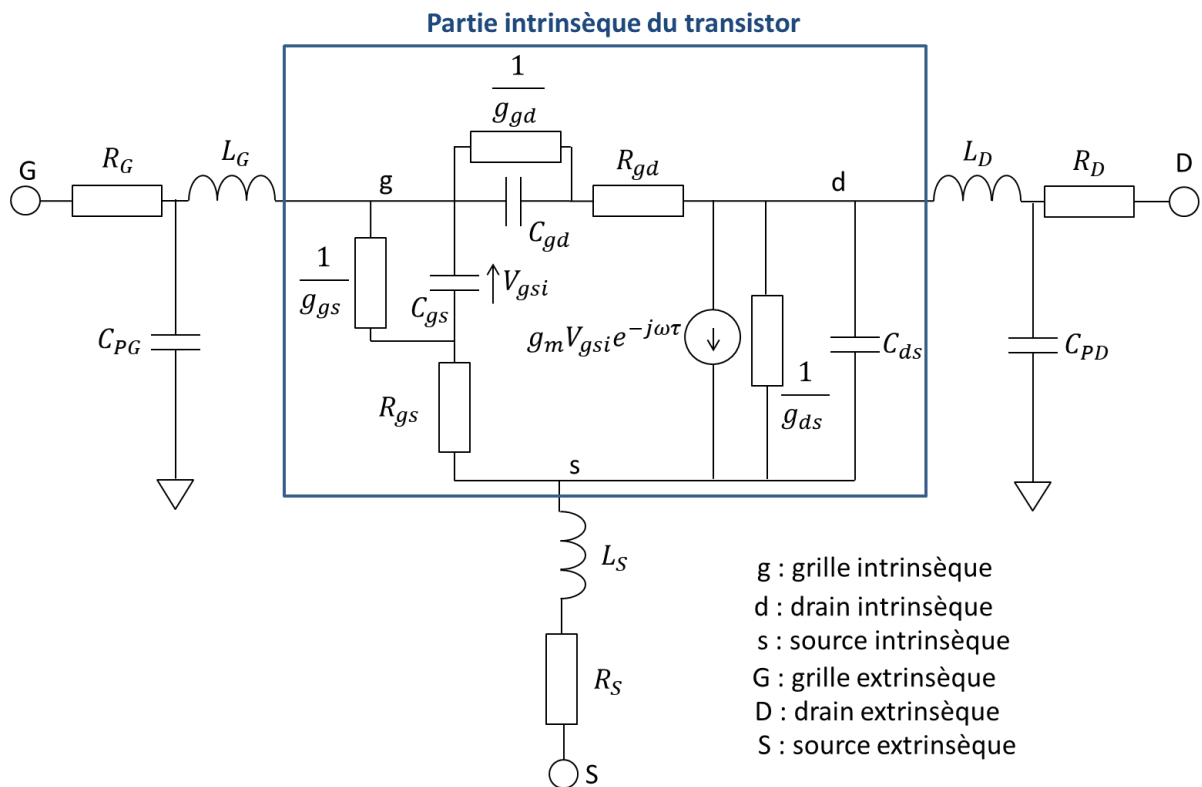


Figure II. 3 : Schéma équivalent petit signal d'un transistor GaN HEMT [II.14]

Pour des applications à des fréquences inférieures au gigahertz comme c'est le cas dans nos travaux, l'influence des résistances R_{gs} et R_{gd} ainsi que celle de la constante de temps τ peuvent être négligées. Ainsi, la partie intrinsèque du transistor peut être représentée sous la forme du quadripôle de la figure II.4. Les paramètres admittances, obtenus à partir des paramètres S et après déduction des éléments d'accès, sont alors donnés par les équations eq.(II.2) à eq.(II.5) [II.12].

$$Y_{11} = Y_{gs} + Y_{gd} = g_{gs} + g_{gd} + j(C_{gs} + C_{gd})\omega \quad (\text{II.2})$$

$$Y_{12} = -Y_{gd} = -g_{gd} - jC_{gd}\omega \quad (\text{II.3})$$

$$Y_{21} = Y_{gm} - Y_{gd} = g_m - g_{gd} - jC_{gd}\omega \quad (\text{II.4})$$

$$Y_{22} = Y_{ds} + Y_{gd} = g_{ds} + g_{gd} + j(C_{ds} + C_{gd})\omega \quad (\text{II.5})$$

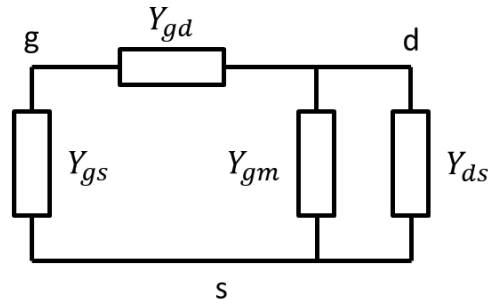


Figure II. 4 : Représentation de la partie intrinsèque du transistor sous la forme d'un quadripôle

On en déduit alors les éléments du schéma équivalent à partir des paramètres admittances suivant les relations eq.(II.6) à eq.(II.12).

$$g_{gs} = -Re(Y_{11} + Y_{12}) \quad (II.6)$$

$$g_{gd} = -Re(Y_{12}) \quad (II.7)$$

$$g_m = Re(Y_{21} - Y_{12}) \quad (II.8)$$

$$g_{ds} = Re(Y_{22} + Y_{12}) \quad (II.9)$$

$$C_{gs} = \frac{-Im(Y_{11} + Y_{12})}{\omega} \quad (II.10)$$

$$C_{gd} = \frac{-Im(Y_{12})}{\omega} \quad (II.11)$$

$$C_{ds} = \frac{-Im(Y_{22} + Y_{12})}{\omega} \quad (II.12)$$

En réalité l'ensemble des éléments du schéma équivalent présenté sur la figure II.3, varie de manière non linéaire avec les tensions V_{gs} et V_{ds} . Ceci implique que les éléments déterminés à un point de fonctionnement (V_{gsx}, V_{dsx}) ne sont valables que pour ce point. En répétant la mesure à différents points sur les plages de V_{gs} et V_{ds} considérées, il est possible de modéliser l'évolution non linéaire des paramètres.

II.1.3. Dispositifs de caractérisation en paramètres S d'un transistor de puissance GaN en boîtier

Le transistor de puissance GaN étudié est le transistor GS66502B de la société GaN Systems. Ce composant a été choisi pour son calibre en tension de 650V intéressant pour des applications de moyenne puissance, son calibre en courant de 7,5 A permettant une mesure quasi-complète de la caractéristique statique avec les moyens expérimentaux à disposition. Outre ces spécificités, ce transistor est également choisi pour sa technologie de boîtier GaN-PX, propriété du fabricant, présentant des interconnexions parasites substantiellement réduites comparativement aux boîtiers de composants de puissance classiques. Ce boîtier optimisé permet d'augmenter les performances des transistors GaN lors d'applications à hautes fréquences. Le transistor GS66502B est présenté sur la figure II.5(a) et une comparaison en termes de dimension entre un boîtier GaN-PX et un boîtier classique de transistor de

puissance TO-220 est visible sur la figure II.5(b). Le tableau II.1 donne les principales caractéristiques du transistor fournies par le constructeur.

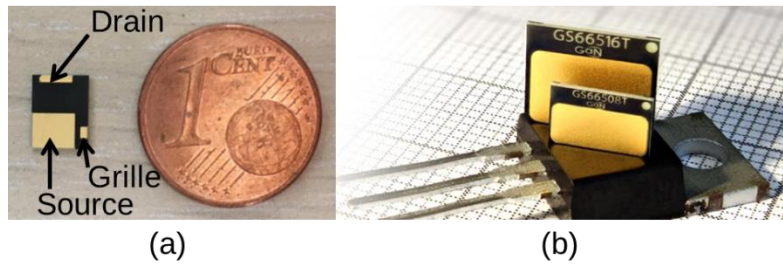


Figure II. 5 : (a) présentation du transistor GaN GS66502B (b) comparaison de boîtiers GaN-PX vs TO-220 [II.15]

Tableau II. 1 : Principales caractéristiques du transistor GaN GS66502B

Tension drain-source de blocage (V)	650
Courant de drain nominal (A)	7,5
Résistance drain-source à l'état passant (mΩ) à 25°C	200
Tension grille-source de seuil (V)	1,3
Tension grille-source nominale (V)	6
Charge totale d'entrée/sortie (nC)	1,5/14,2
Résistance thermique jonction-boîtier (°C/W)	2
Dimensions du boîtier (mm*mm)	5*6,6

Ce travail de thèse propose de modéliser le transistor GS66502B à l'aide des méthodes de caractérisation utilisées en amplification radiofréquence, notamment les paramètres S. Cependant, le composant encapsulé n'étant pas adapté pour des mesures de types coaxial ou coplanaire, un système d'adaptation sur circuit imprimé (PCB) doit être conçu afin de pouvoir réaliser ces mesures.

Il est montré dans [II.16] que la réalisation de lignes de transmission sur PCB permet la caractérisation en paramètres S de transistors de puissance GaN encapsulés de 200 MHz jusqu'à 2,5 GHz. Afin d'assurer une transmission maximale du signal depuis le VNA jusqu'au transistor, l'impédance caractéristique des lignes de transmission doit être de 50 Ω. La figure II.6 montre une ligne de transmission avec plan de masse coplanaire et sur la face inférieure.

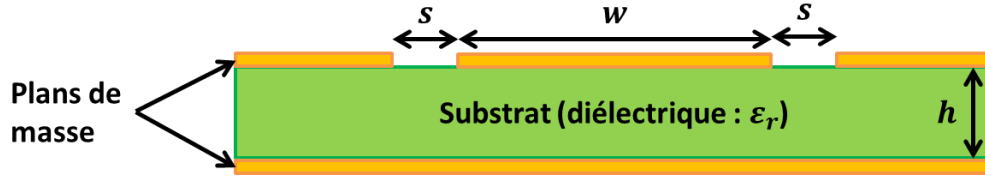


Figure II. 6 : Ligne de transmission avec plans de masse coplanaires et inférieurs

Sur la figure II.6, ϵ_r est la constante diélectrique relative du substrat, h est la hauteur du substrat, w est la largeur de la ligne de transmission et s est l'espacement entre la ligne et les plans de masse coplanaires. L'impédance caractéristique Z_C de la ligne de transmission est fonction des paramètres précédents et s'exprime selon les relations eq.(II.13) à eq.(II.18) [II.17].

$$Z_C = \frac{60. \pi}{\sqrt{\epsilon_{eff}}} \frac{1}{\frac{K(k)}{K(k')} + \frac{K(kl)}{K(kl')}} \quad (\text{II.13})$$

$$k = \frac{w}{w + 2. s} \quad (\text{II.14})$$

$$k' = \sqrt{1 - k^2} \quad (\text{II.15})$$

$$kl = \frac{\tanh\left(\frac{\pi w}{4h}\right)}{\tanh\left(\frac{\pi(w + 2. s)}{4h}\right)} \quad (\text{II.16})$$

$$kl' = \sqrt{1 - kl^2} \quad (\text{II.17})$$

$$\epsilon_{eff} = \frac{1 + \epsilon_r \frac{K(kl)K(k')}{K(k)K(kl')}}{1 + \frac{K(kl)K(k')}{K(k)K(kl')}} \quad (\text{II.18})$$

$K(x)$ est l'intégrale elliptique et se calcule suivant les formules présentées dans [II.18].

On se propose de réaliser le circuit de caractérisation pour le transistor sur un PCB double face de substrat FR4 classique. La constante diélectrique relative du FR4 ϵ_r varie de 4,2 à 4,6 suivant l'état de l'art et la fréquence maximale visée. La hauteur h du substrat est de 1,6 mm. On fixe l'espacement s à une valeur égale à la hauteur h de sorte à ce que les plans de masses se situent à équidistance de la ligne de transmission mais également pour assurer des caractérisations potentielles jusqu'à plusieurs centaines de volts. On souhaite une impédance caractéristique de la ligne Z_C égale à 50 Ω . Dans ces conditions on en déduit une largeur w de piste nécessaire de 3 mm. Les dimensions ainsi obtenues pour les lignes de transmission dépendent donc uniquement du substrat utilisé.

Le circuit d'adaptation pour la caractérisation du transistor GS66502B est présenté sur la figure II.7. Les lignes de transmission sont terminées par des connecteurs coaxiaux de type SMA (SubMiniature version A) permettant de connecter les câbles coaxiaux, préalablement calibrés, en provenance du VNA. Coté boîtier du transistor, les lignes sont terminées par des adoucisseurs, dits « tapers », qui assurent une transition douce entre la largeur de la ligne de transmission et la largeur de l'empreinte du transistor.

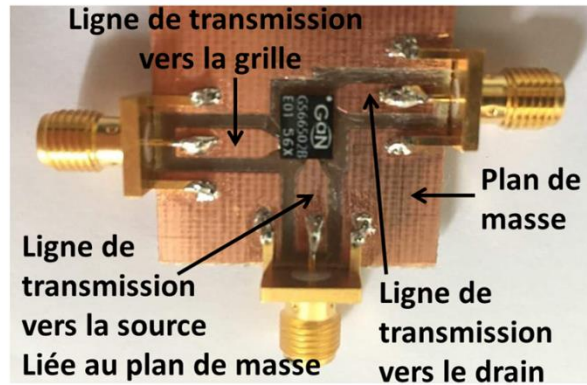


Figure II. 7 : Système de caractérisation 2 ports en paramètres S du transistor GS66502B

Selon [II.19], si la longueur du système étudié est inférieure à $\frac{\lambda_{min}}{10}$, où λ_{min} est la longueur d'onde à la plus haute fréquence considérée, alors le système peut être modélisé, en première approximation, par des éléments localisés. On considère une fréquence maximale de caractérisation de 1 GHz, soit une longueur d'onde λ_{min} égale à 30 cm. Les lignes de transmission du dispositif présenté sur la figure II.7 ont une longueur de 1 cm. Dans ces conditions, on considère alors le schéma équivalent de la figure II.8 comme modèle du système de caractérisation de la figure II.7.

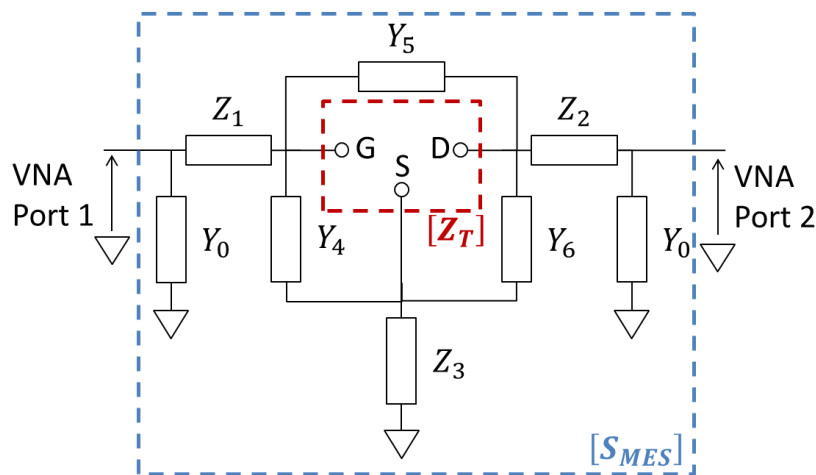


Figure II. 8 : Schéma équivalent du dispositif de caractérisation du transistor de la figure II.7

Sur la figure II.8, $[S_{MES}]$ correspond à la matrice de paramètres S mesurés par le VNA. $[Z_T]$ est la matrice impédance dans le plan du transistor. Y_0 représente le couplage capacitif entre la ligne de transmission et le plan de masse. Z_1 , Z_2 et Z_3 sont les impédances des lignes. Y_4 , Y_5 et Y_6 représente les couplages capacitifs entre les lignes.

Afin d'obtenir la matrice $[Z_T]$ à partir de la matrice $[S_{MES}]$, les impédances et admittances de la figure II.8 doivent être déterminées. Les trois standards de calibration présentés sur la figure II.9 sont réalisés pour déterminer ces paramètres. Leurs schémas équivalents respectifs sont également donnés sur la figure II.9.

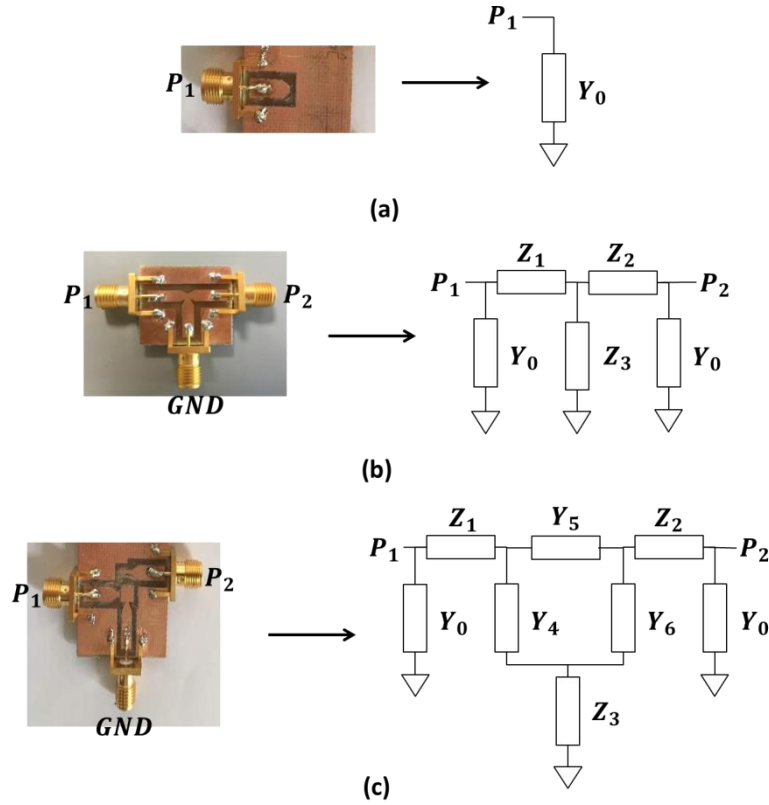


Figure II. 9 : Standards de calibration et schémas équivalents associés : (a) OPEN1P (b) SHORT (c) OPEN2P

Le standard OPEN1P de la figure II.9(a) est une ligne de transmission en circuit-ouvert qui permet de déterminer, à partir d'une mesure de paramètres S en 1 port, la valeur de l'admittance Y_0 suivant la relation eq.(II.19).

$$Y_0 = \frac{1 - S_{11_{OPEN1P}}}{(1 + S_{11_{OPEN1P}}) \cdot Z_C} \quad (II.19)$$

Où Z_C est l'impédance caractéristique égale à 50Ω .

Connaissant l'admittance Y_0 , il est possible de déterminer les impédances Z_1 , Z_2 et Z_3 à partir d'une mesure de paramètres S en 2 ports sur le standard SHORT de la figure II.9(b). La procédure est donnée par les relations eq.(II.20) à eq.(II.24).

$$[S_{SHORT}] \rightarrow [Y_{SHORT}] \quad (II.20)$$

$$\begin{bmatrix} Y_{11_{SHORT}} - Y_0 & Y_{12_{SHORT}} \\ Y_{21_{SHORT}} & Y_{22_{SHORT}} - Y_0 \end{bmatrix} \rightarrow [Z_{SHORT}] \quad (II.21)$$

$$Z_1 = Z_{11_{SHORT}} - Z_{12_{SHORT}} \quad (II.22)$$

$$Z_2 = Z_{22_{SHORT}} - Z_{12_{SHORT}} \quad (II.23)$$

$$Z_3 = Z_{12_{SHORT}} \quad (II.24)$$

Où le symbole « \rightarrow » représente une conversion de matrice [II.11]

Enfin, connaissant Y_0 , Z_1 , Z_2 et Z_3 , les admittances Y_4 , Y_5 et Y_6 sont obtenues par une mesure de paramètres S en 2 ports sur le standard OPEN2P de la figure II.9(c). La procédure est donnée par les relations eq.(II.25) à eq.(II.30).

$$[S_{OPEN2P}] \rightarrow [Y_{OPEN2P}] \quad (II.25)$$

$$\begin{bmatrix} Y_{11_{OPEN2P}} - Y_0 & Y_{12_{OPEN2P}} \\ Y_{21_{OPEN2P}} & Y_{22_{OPEN2P}} - Y_0 \end{bmatrix} \rightarrow [Z_{OPEN2P}] \quad (II.26)$$

$$\begin{bmatrix} Z_{11_{OPEN2P}} - Z_1 - Z_3 & Z_{12_{OPEN2P}} - Z_3 \\ Z_{21_{OPEN2P}} - Z_3 & Z_{22_{OPEN2P}} - Z_2 - Z_3 \end{bmatrix} \rightarrow [Y'_{OPEN2P}] \quad (II.27)$$

$$Y_4 = Y'_{11_{OPEN2P}} + Y'_{12_{OPEN2P}} \quad (II.28)$$

$$Y_5 = -Y'_{12_{OPEN2P}} \quad (II.29)$$

$$Y_6 = Y'_{22_{OPEN2P}} + Y'_{12_{OPEN2P}} \quad (II.30)$$

La procédure pour déterminer la matrice impédance du transistor $[Z_T]$ à partir de la matrice S mesurée $[S_{MEAS}]$ est obtenue par une procédure donnée par les relations eq.(II.31) à eq.(II.34).

$$[S_{MEAS}] \rightarrow [Y_{MEAS}] \quad (II.31)$$

$$\begin{bmatrix} Y_{11_{MEAS}} - Y_0 & Y_{12_{MEAS}} \\ Y_{21_{MEAS}} & Y_{22_{MEAS}} - Y_0 \end{bmatrix} \rightarrow [Z_{MEAS}] \quad (II.32)$$

$$\begin{bmatrix} Z_{11_{MEAS}} - Z_1 - Z_3 & Z_{12_{MEAS}} - Z_3 \\ Z_{21_{MEAS}} - Z_3 & Z_{22_{MEAS}} - Z_2 - Z_3 \end{bmatrix} \rightarrow [Y'_{MEAS}] \quad (II.33)$$

$$\begin{bmatrix} Y'_{11_{MEAS}} - Y_4 - Y_5 & Y'_{12_{MEAS}} - Y_5 \\ Y'_{21_{MEAS}} - Y_5 & Y'_{22_{MEAS}} - Y_6 - Y_5 \end{bmatrix} \rightarrow [Z_T] \quad (II.34)$$

Afin d'obtenir les caractéristiques du dispositif de caractérisation du transistor GaN et de valider la conception des lignes de transmission, des mesures de paramètres S sont effectuées de 1 MHz à 1 GHz sur les trois standards de calibration de la figure II.9. Les résultats expérimentaux sont comparés à des résultats de simulation pour validation. Pour ce faire, le fichier de fabrication du PCB contenant les différents standards est importé sous le logiciel Advanced Design System (ADS) et une modélisation du PCB est obtenue à l'aide de la suite ADS Momentum comme le montre la figure II.10.

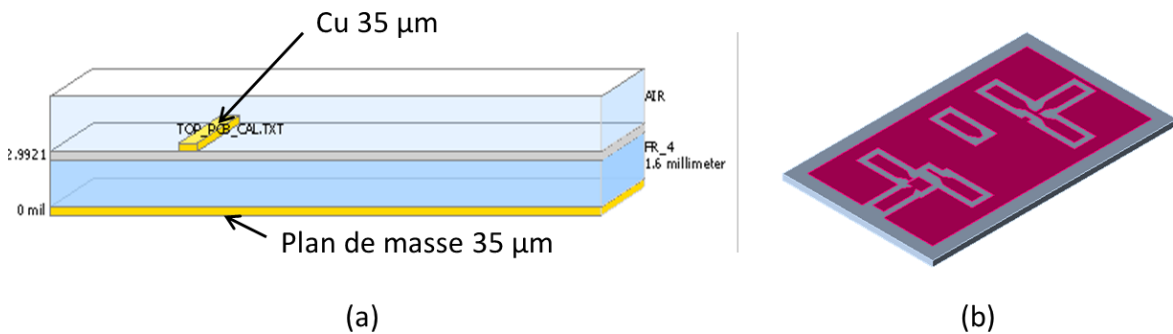


Figure II. 10 : Modélisation du PCB comportant les standards de calibration sur ADS : (a) définition du substrat (b) vue 3D du PCB importé

Les fichiers de conception du PCB sont importés dans ADS. Des ports sont placés aux extrémités de chaque ligne de transmission sur les différents standards. Le substrat est renseigné comme étant de type FR4 et d'épaisseur 1,6 mm avec 35 μm de cuivre de chaque côté. Une simulation électromagnétique (EM) est réalisée avec un paramétrage similaire à celui des mesures (balayage logarithmique de 1 MHz à 1 GHz). Un composant EM utilisable dans une simulation de type circuit est généré à la fin de la simulation.

Afin de s'assurer de la meilleure précision en simulation, les connecteurs SMA en bord de carte doivent être modélisés. Un modèle équivalent de type circuit L-C (sans pertes), utilisé pour la modélisation de systèmes coaxiaux, est choisi [II.20], [II.21]. Les formules permettant de déterminer chaque élément du modèle sont données par les relations eq.(II.35) et eq.(II.36).

$$L_{SMA} = \frac{\mu_0}{2\pi} \log\left(\frac{b}{a}\right) l = 2,38 \text{ nH} \quad (\text{II.35})$$

$$C_{SMA} = \frac{2\pi\epsilon_r\epsilon_0}{\log\left(\frac{b}{a}\right)} l = 936 \text{ fF} \quad (\text{II.36})$$

Où $a = 0,9 \text{ mm}$ est le diamètre interne et $b = 3,2 \text{ mm}$ le diamètre externe du connecteur. ϵ_r est la permittivité relative du diélectrique au sein du connecteur, qui est égale à 2 pour le téflon. $l = 9,5 \text{ mm}$ est la longueur du connecteur SMA.

La relation eq.(II.37) permet de vérifier que l'impédance caractéristique du connecteur SMA, notée $Z_{C_{SMA}}$, est bien de l'ordre de 50Ω .

$$Z_{C_{SMA}} = \sqrt{\frac{L_{SMA}}{C_{SMA}}} = 50,4 \Omega \quad (\text{II.37})$$

Le schéma de simulation correspondant à la mesure sur le standard OPEN1P de la figure II.9(a) est présenté sur la figure II.11. La comparaison entre résultats de mesure et de simulation par application de la relation eq.(II.19) est donnée sur la figure II.12. Les mesures de paramètres S sont effectuées à l'aide d'un analyseur de réseau ZVA8 de Rohde&Schwarz® (300 kHz - 8 GHz). L'étalonnage 2-ports réalisé en bout de câbles SMA est de type Short-Open-Load-Thru (SOLT) et est effectué à l'aide d'un kit de calibrage 3652A (Anritsu®).

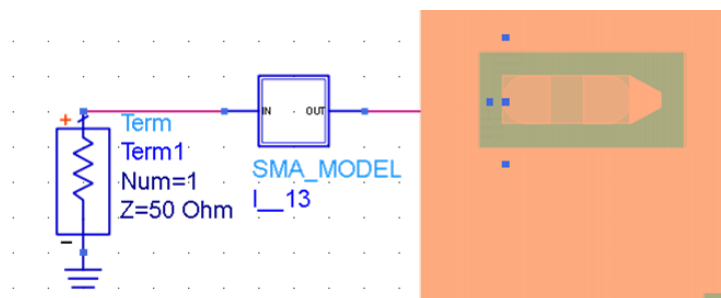


Figure II. 11 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard OPEN1P

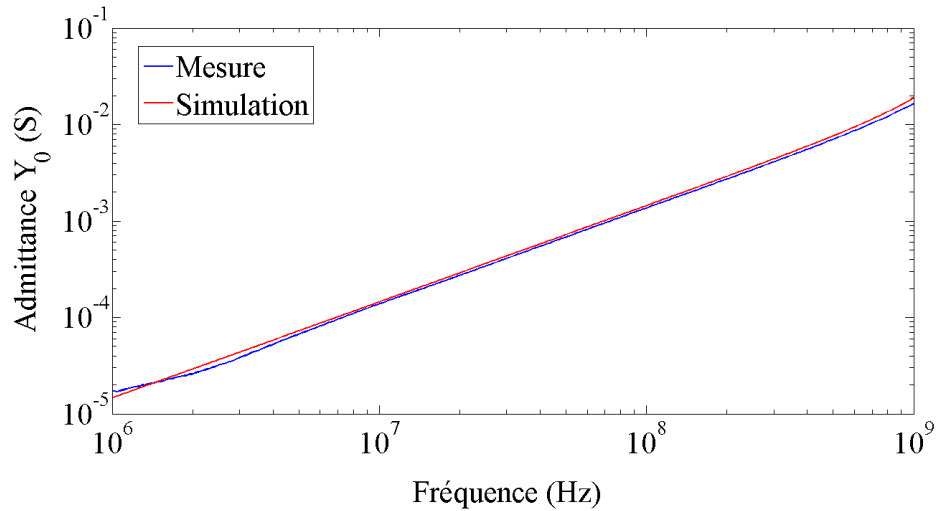


Figure II. 12 : Comparaison entre résultats de mesure et de simulation sur le standard OPENIP

Le schéma de simulation correspondant à la mesure sur le standard SHORT de la figure II.9(b) est présenté sur la figure II.13. La comparaison entre résultats de mesure et de simulation en appliquant les relations eq.(II.20) à eq.(II.24) est donnée sur la figure II.14.

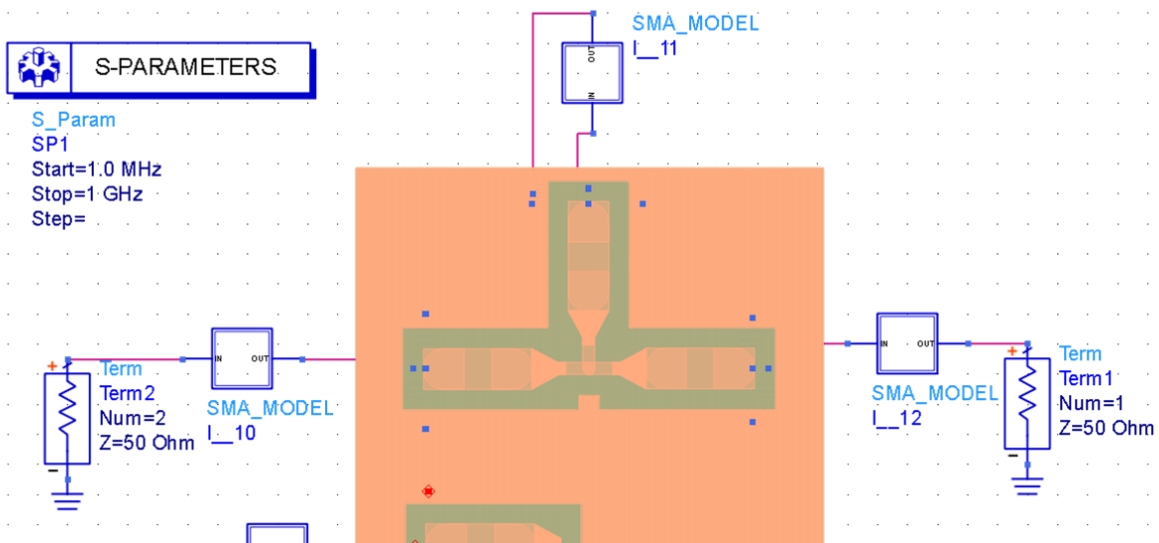


Figure II. 13 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard SHORT

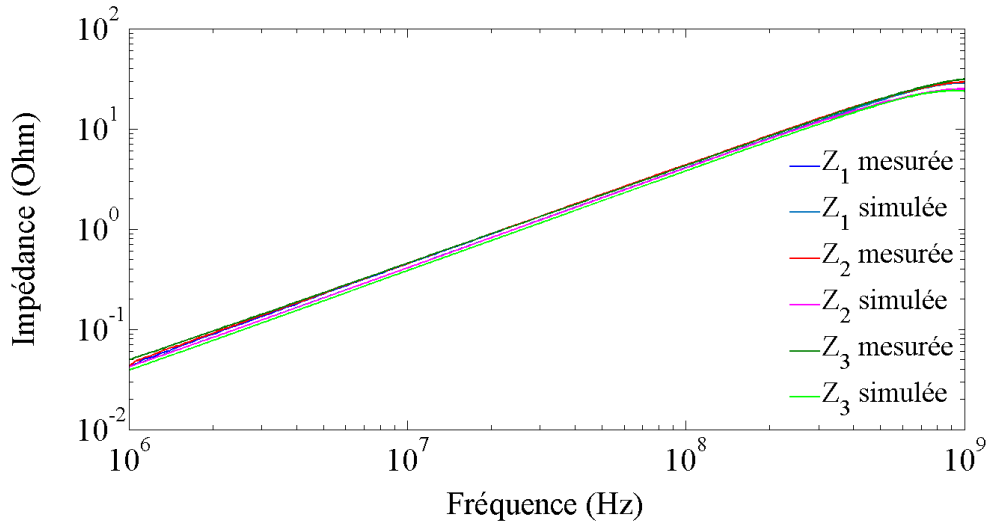


Figure II. 14 : Comparaison entre résultats de mesure et de simulation sur le standard SHORT

Un couplage capacitif entre la ligne de transmission et le plan de masse C_0 de 2,17 pF est extrait à partir de la courbe de la figure II.12. Une valeur d'inductance moyenne de la ligne de transmission L_0 de 7,09 nH est obtenue à partir des impédances Z_1 , Z_2 et Z_3 mesurées de la figure II.14. La relation eq.(II.38) permet de vérifier que l'impédance caractéristique des lignes de transmission $Z_{C_{LT}}$ est bien de l'ordre de 50 Ω . La valeur obtenue, supérieure à 50 Ω , peut être due à la forme des tapers en terminaison des lignes.

$$Z_{C_{LT}} = \sqrt{\frac{L_0}{C_0}} = 57,2 \Omega \quad (\text{II.38})$$

Le schéma de simulation correspondant à la mesure sur le standard OPEN2P de la figure II.9(c) est présenté sur la figure II.15. La comparaison entre résultats de mesure et de simulation en appliquant les relations eq.(II.25) à eq.(II.30) est donnée sur la figure II.16. On note sur cette dernière figure que le couplage capacitif entre les connexions de grille et de drain est de l'ordre de 10 fF en simulation, or ce même couplage mesuré est de l'ordre de 22 fF. Ceci permet de constater une limite quant aux valeurs de capacités pouvant être extraites. On remarque néanmoins que des couplages capacitifs de l'ordre de la centaine de femtofarads sont obtenus expérimentalement avec une bonne précision.

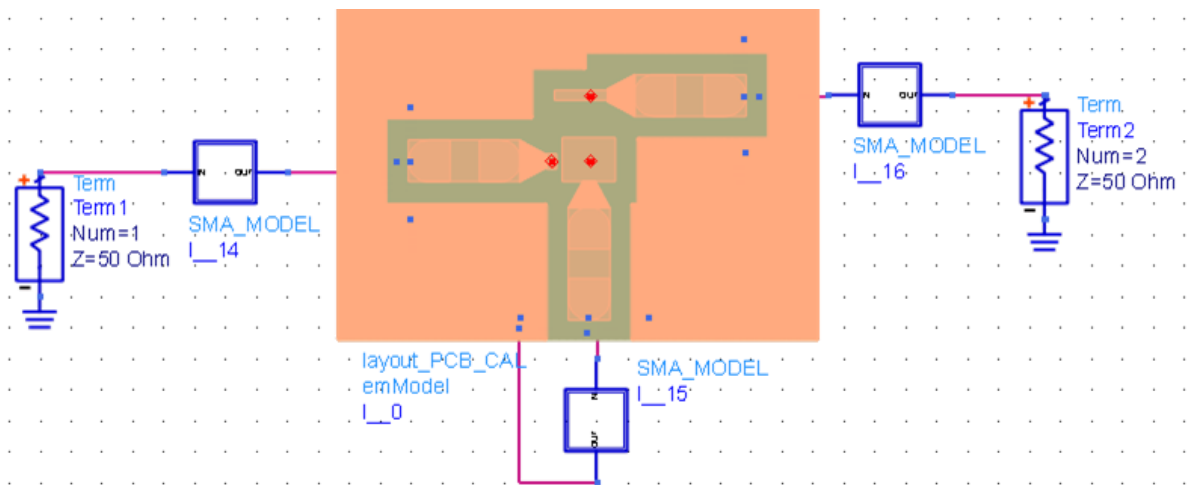


Figure II. 15 : Schéma de simulation ADS d'une mesure de paramètres S sur le standard OPEN2P

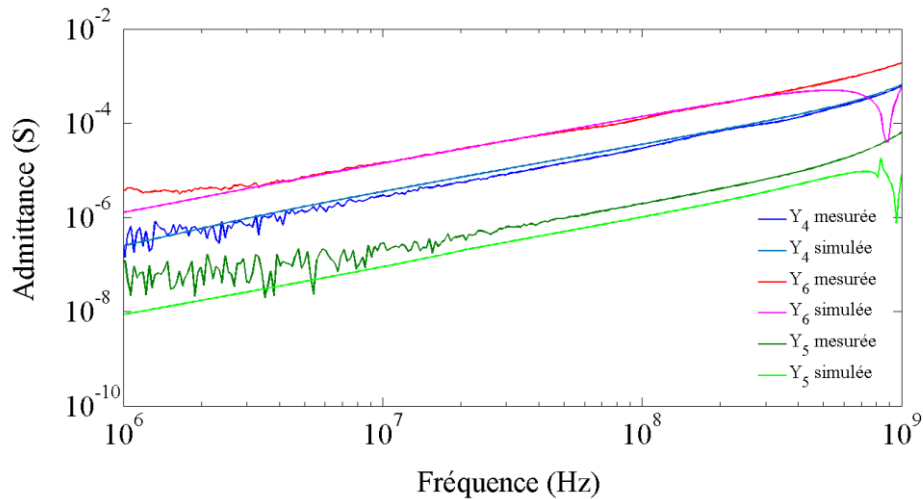


Figure II. 16 : Comparaison entre résultats de mesure et de simulation sur le standard OPEN2P

Les travaux présentés dans cette partie ont permis la réalisation d'un dispositif de caractérisation en paramètres S d'un transistor de puissance GaN en boîtier ainsi qu'une procédure de calibration du PCB pour déduire de la mesure les paramètres impédances du transistor (DUT).

II.1.4. Caractérisation en paramètres S sous des polarisations jusqu'à 400 V et 10 A

A la différence des applications de type radiofréquences, la caractérisation des transistors utilisées en électronique de puissance doivent être caractérisés à des niveaux de tensions et courants élevés. Afin de pouvoir caractériser le transistor en paramètres S sous différentes tensions de polarisation, des dispositifs appelés Té de polarisation sont utilisés. Ces dispositifs permettent de coupler les signaux de polarisation DC avec les signaux hautes fréquences issus du VNA comme présenté sur la figure II.2.

À titre d'exemple, le schéma interne du Té de polarisation 11612A vendu par la société Keysight est présenté sur la figure II.17. Le système comporte une entrée RF, une entrée DC et une sortie DC+RF. Le condensateur C_{bias} permet la circulation des signaux HF et bloque les signaux DC. À contrario l'inductance L_{bias} permet la circulation du signal DC en bloquant la partie HF de ce signal. Le condensateur C_{dec} sert au découplage de l'alimentation DC du Té.

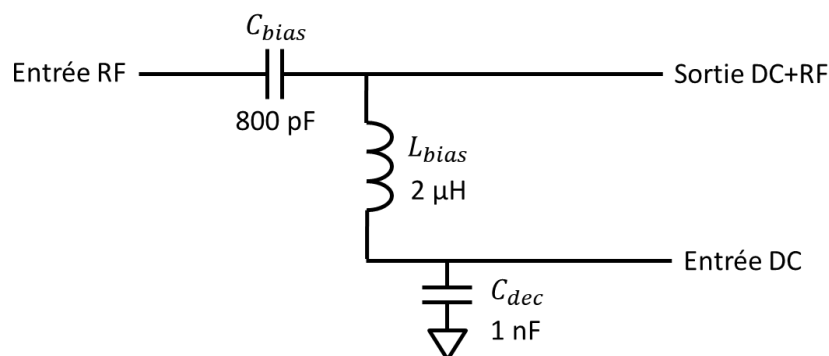


Figure II. 17 : Schéma interne du Té de polarisation 11612A

Les caractéristiques du Té de polarisation 11612A sont les suivantes :

- 100 V et 2 A en fonctionnement continu
- 20 V et 20 A (jusqu'à 32 A pour les plus basses tensions) en régime pulsé avec un rapport cyclique inférieur à 0,37 %
- Gamme de fréquence : 400 MHz – 26 GHz

La caractérisation du transistor de puissance GaN GS66502B nécessite des mesures de paramètres S à des tensions de polarisation supérieures à 100 V et des courants potentiellement supérieurs à 2 A. De plus la gamme de fréquence visée est 1 MHz – 1 GHz. La fréquence de 1 GHz étant retenue comme fréquence limite de dimensionnement des dispositifs de caractérisation. Cette partie du travail de thèse propose alors de concevoir nos propres Tés de polarisation adaptés à nos applications visées.

L'élément le plus limitant pour la conception du Té de polarisation est l'inductance L_{bias} . Celle-ci doit supporter un fort courant DC et garder une forte impédance dans la bande de fréquence étudiée (fréquence de résonance la plus élevée possible). L'inductance WE-SD du fabricant Würth Electronics est sélectionnée et présentée sur la figure II.18 ainsi que son schéma équivalent extrait des données du constructeur. Celle-ci possède les caractéristiques suivantes :

- Inductance : $10 \mu\text{H} \pm 25 \%$
- Courant continu maximal : 10 A
- Fréquence de résonance : 43 MHz

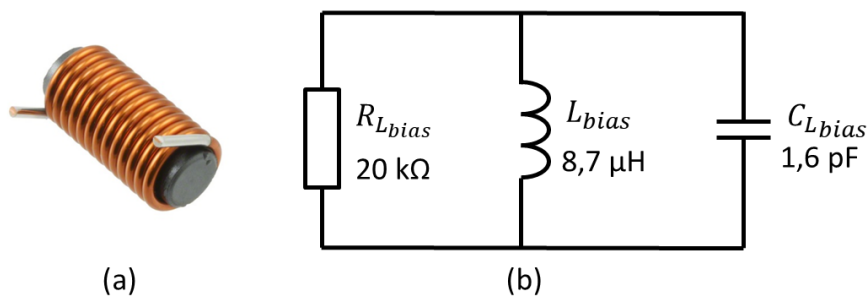


Figure II. 18 : (a) Présentation de l'inductance du Té de polarisation (b) Modèle électrique de l'inductance

Une fois l'inductance sélectionnée, basé sur le dimensionnement du Té de polarisation 11612A, le condensateur C_{bias} est choisi de sorte à ce que l'impédance caractéristique du Té Z_{bias} soit égale à 50Ω . La relation eq.(II.39) donne la valeur du condensateur.

$$C_{bias} = \frac{L_{bias}}{Z_{bias}^2} = 3,5 \text{ nF} \quad (\text{II.39})$$

Le condensateur céramique C3216C0G2J332J160AA commercialisé par la société TDK est sélectionné. Le condensateur et son schéma électrique équivalent sont présentés sur la figure II.19. Les caractéristiques de ce composant sont les suivantes :

- Capacité : $3,3 \text{ nF} \pm 5 \%$
- Tension : 630 VDC
- Fréquence de résonance : 72 MHz

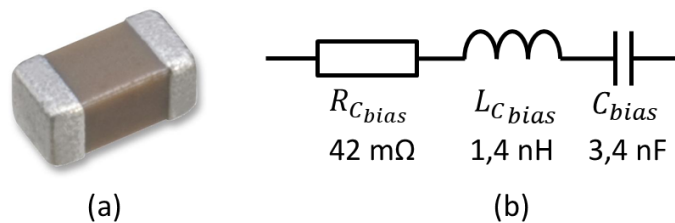


Figure II. 19 : (a) Présentation du condensateur du Té de polarisation (b) modèle électrique du condensateur

Trois condensateurs céramiques de valeurs 1 nF, 10 nF et 100 nF sont utilisés pour assurer le découplage de l'alimentation DC sur la bande de fréquence 100 kHz – 1 GHz.

Une première validation avant la réalisation du dispositif est effectuée à partir du schéma de simulation présenté sur la figure II.20. Une simulation de paramètres S est réalisée entre l'entrée RF et la sortie DC+RF du Té de polarisation. Le paramètre S_{21} résultant, présenté sur la figure II.21 en dB, indique la bande passante pour la mesure des paramètres S. On obtient une bande passante théorique entre 660 kHz et 4 GHz, ce qui englobe bien la gamme de fréquence visée entre 1 MHz et 1 GHz pour la mesure des paramètres S sur le transistor GaN.

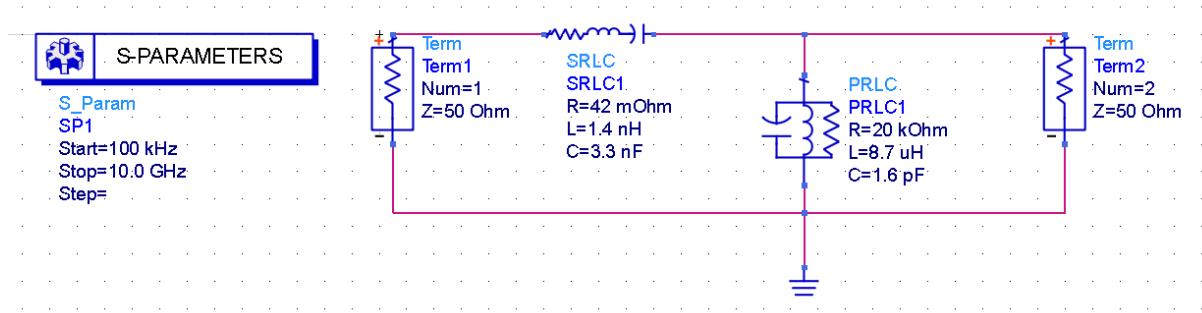


Figure II. 20 : Schéma de simulation de paramètres S sur le té de polarisation

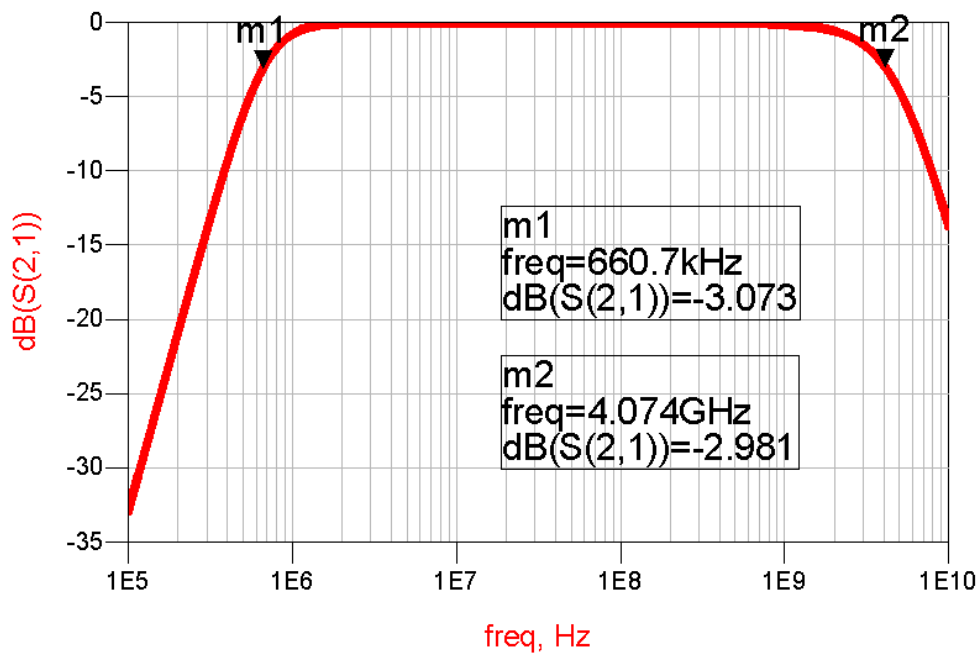


Figure II. 21 : Résultat de simulation du paramètre S_{21}

La figure II.22(a) montre la conception du Té de polarisation sur PCB avec les composants choisis. Des vias métallisés sont placés de part et d'autre de la ligne de transmission 50 Ω conduisant les signaux HF entre le VNA et le transistor (entrée RF et sortie DC+RF). Afin de valider la conception, une mesure de paramètres S, présentée sur la figure II.22(b), est réalisée sur le dispositif.

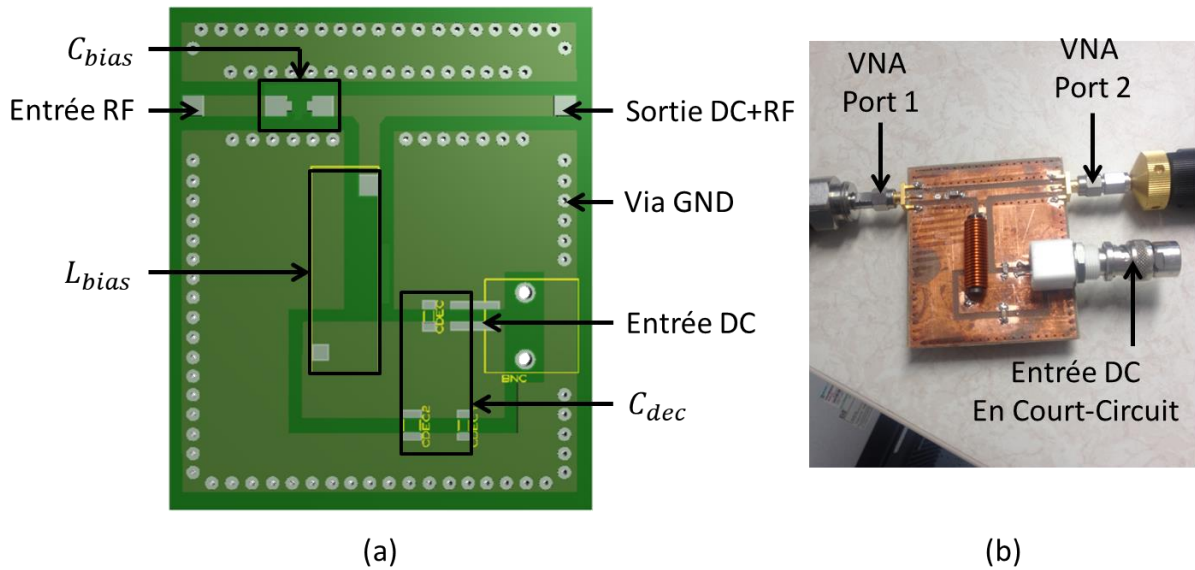


Figure II. 22 : Tê de polarisation sur PCB : (a) conception et disposition des composants (b) mesure de paramètres S

Le PCB est ensuite modélisé avec le logiciel ADS comme détaillé dans la section II.1.3. Le schéma de simulation est donné sur la figure II.23.

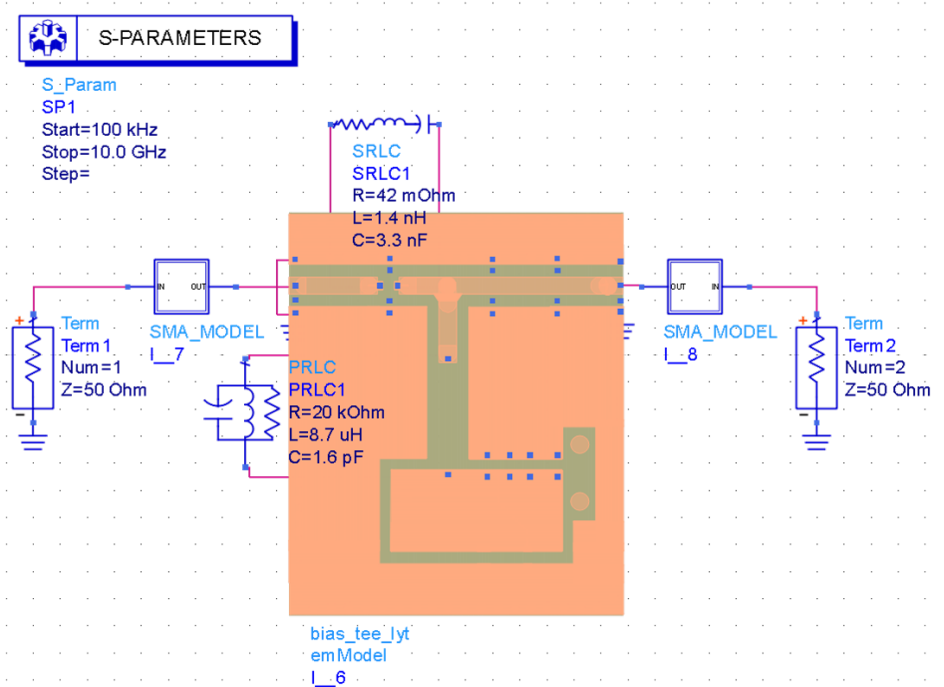


Figure II. 23 : Schéma de simulation ADS de paramètres S sur le Tê de polarisation sur PCB

Une comparaison des résultats de mesure et de simulation est donnée sur la figure II.24. La fréquence de coupure basse à -3 dB obtenue en mesure est de 724 kHz. L'atténuation à 1 GHz obtenue en mesure est de -1,5 dB.

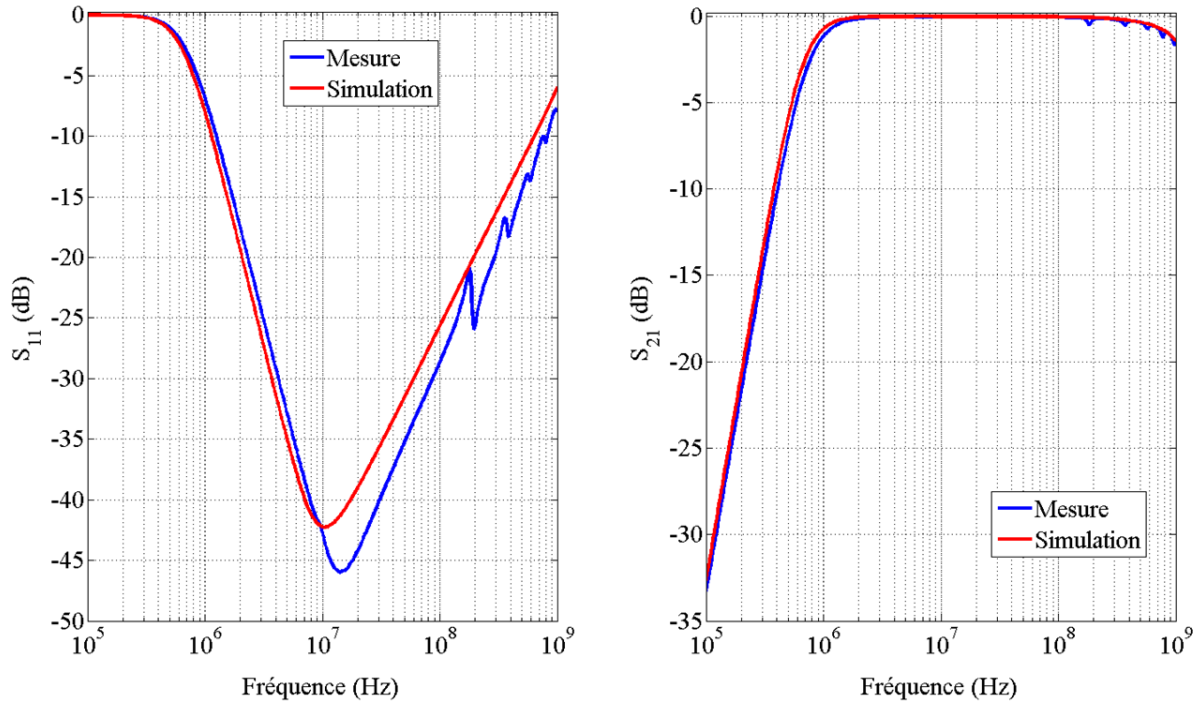


Figure II. 24 : Paramètres S mesurés et simulés sur le Té de polarisation sur PCB

Le Té de polarisation ainsi réalisé dans cette partie possède une bande passante englobant la gamme de fréquences de caractérisation visée de 1 MHz à 1 GHz. Le système final permet de polariser le transistor jusqu'à des tensions de 400 V en continu (la limitation en tension étant due aux connecteurs et aux distances inter-pistes sur le PCB) et jusqu'à des courant de polarisation de 10 A (la limitation en courant venant principalement de l'inductance du dispositif). Deux tés de polarisation sont réalisés sur ce principe pour ces travaux de recherche afin de polariser à la fois la grille et le drain du transistor.

Les travaux présentés dans cette première partie du chapitre ont permis de concevoir les dispositifs de caractérisation nécessaire à la mesure de paramètres S d'un transistor de puissance GaN encapsulé. Dans la section II.2, ces circuits de caractérisation seront utilisés pour déterminer l'ensemble des éléments nécessaires à la mise en oeuvre du modèle électrique du transistor.

II.2. Détermination des éléments d'accès du transistor GaN

Le travail présenté dans la première partie du chapitre a permis de concevoir les dispositifs de caractérisation nécessaire à la mesure de paramètres S sur le transistor GaN GS66502B. Ces dispositifs vont à présent être utilisés pour la détermination des éléments du modèle électrique du transistor GaN encapsulé basé sur le schéma électrique équivalent présenté sur la figure II.25.

Ce schéma présente des éléments parasites liés aux accès présents au niveau de chaque électrode : R_G, L_G, R_D, L_D, R_S et L_S . Les capacités non linéaires C_{gs}, C_{gd} et C_{ds} représentent la partie dynamique du modèle interne du composant. La caractérisation de ces éléments fait l'objet de ce chapitre.

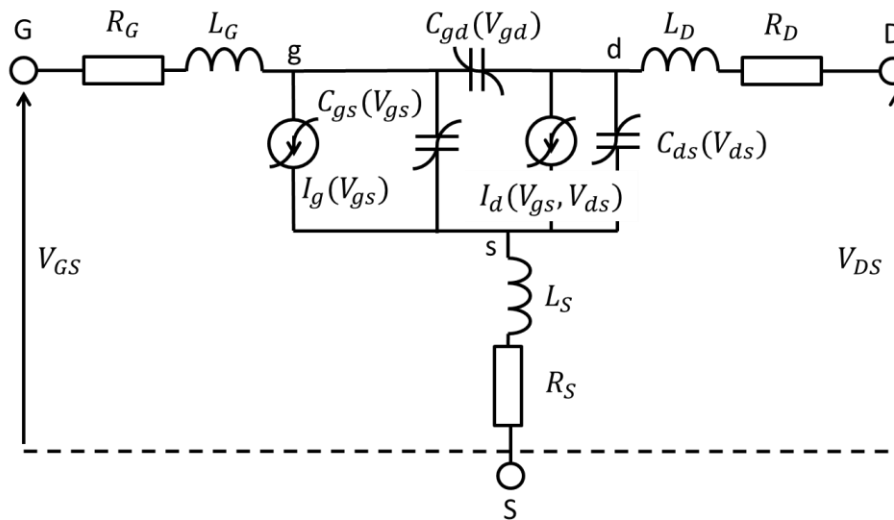


Figure II. 25 : Modèle électrique du transistor GaN

II.2.1. Détermination des éléments d'accès du transistor GS66502B

Les résistances parasites liées aux chemins d'accès à la partie intrinsèque du transistor modifient les performances en conduction et en commutation du composant. Lors de la phase de conduction, les résistances R_D et R_S participent aux pertes par conduction en formant une partie souvent non négligeable de la résistance drain-source à l'état passant $R_{DS(on)}$ tandis que la résistance R_G tend à modifier les temps de commutation. Ces résistances parasites ont différentes origines. Elles englobent les effets résistifs des bondings et autres connexions intra-boîtier venant de l'encapsulation du composant, la résistance de jonction Schottky de grille pour R_G , les contacts ohmiques ainsi qu'une partie de la résistance du canal 2DEG pour R_D et R_S .

Les fronts très raides de courant et de tension durant les commutations des transistors de puissance GaN en font des sources de perturbations excitant les éléments parasites du système. En l'occurrence, les inductances parasites du circuit entraînent des surtensions lors des commutations ainsi que des couplages et des oscillations hautes fréquences avec d'autres éléments parasites présents. Les inductances parasites ont deux origines principales : les mailles de commutations sur circuit imprimé et les inductances parasites propres aux composants (intra-boîtiers). Ces éléments doivent être minimisés afin de ne pas dégrader excessivement les performances globales des convertisseurs. En outre, les inductances parasites propres au transistor L_G , L_D et L_S , appelées aussi inductances d'accès, ont pour principale origine les connexions intra-boîtier liant les terminaux de la puce aux connexions externes présentes sur le packaging.

Ce travail de thèse propose de déterminer les éléments d'accès du transistor GS66502B décrits précédemment à partir de mesures de paramètres S. Deux techniques de caractérisation différentes sont comparées.

La première méthode proposée pour déterminer les éléments d'accès consiste à réaliser une mesure de paramètres S sur le transistor lorsque celui-ci n'est pas polarisé ($V_{GS} = 0V$, $V_{DS} = 0V$). Cette technique de caractérisation est fréquente pour l'extraction des éléments parasites des composants encapsulés [II.22]. Dans ces conditions les sources de courant du modèle sont désactivées et le schéma équivalent du transistor peut être simplifié comme présenté sur la figure II.26. Les capacités C_g , C_d et C_s sont des combinaisons des capacités $C_{gs}(V_{gs} = 0V)$, $C_{gd}(V_{gd} = 0V)$ et $C_{ds}(V_{ds} = 0V)$.

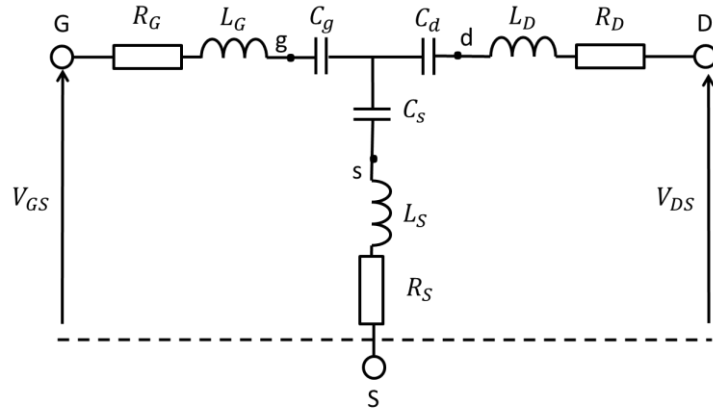


Figure II. 26 : Schéma équivalent du transistor à $V_{GS} = 0V$ et $V_{DS} = 0V$

A partir du schéma de la figure II.26, la matrice impédance du transistor s'écrit selon la relation eq.(II.40).

$$\begin{aligned}
 [Z_T] &= \begin{bmatrix} Z_{11T} & Z_{12T} \\ Z_{21T} & Z_{22T} \end{bmatrix} \\
 &= \begin{bmatrix} R_G + R_S + j \left((L_G + L_S)\omega - \frac{C_g + C_s}{C_g C_s \omega} \right) & R_S + j \left(L_S \omega - \frac{1}{C_s \omega} \right) \\ R_S + j \left(L_S \omega - \frac{1}{C_s \omega} \right) & R_D + R_S + j \left((L_D + L_S)\omega - \frac{C_d + C_s}{C_d C_s \omega} \right) \end{bmatrix} \quad (\text{II.40})
 \end{aligned}$$

A partir des paramètres de la matrice impédance $[Z_T]$, les résistances et les inductances d'accès du composant peuvent être obtenues à partir des relations eq.(II.41) à eq.(II.46).

$$Re(Z_{11T}) - Re(Z_{12T}) = R_G \quad (\text{II.41})$$

$$Re(Z_{22T}) - Re(Z_{21T}) = R_D \quad (\text{II.42})$$

$$Re(Z_{12T}) = Re(Z_{21T}) = R_S \quad (\text{II.43})$$

$$Im(Z_{11T}) - Im(Z_{12T}) = L_G \omega - \frac{1}{C_g \omega} \quad (\text{II.44})$$

$$Im(Z_{22T}) - Im(Z_{21T}) = L_D \omega - \frac{1}{C_d \omega} \quad (\text{II.45})$$

$$Im(Z_{12T}) = Im(Z_{21T}) = L_S \omega - \frac{1}{C_s \omega} \quad (\text{II.46})$$

L'inconvénient majeur de cette méthode réside dans la présence des capacités C_g , C_d et C_s qui limite la plage de fréquences pour l'extraction des inductances d'accès notamment dans le cas des transistors GaN possédant de très faibles inductances et capacités parasites (fréquence de résonance élevée typiquement plusieurs centaines de mégahertz). Aussi, au vu des valeurs élevées présentées par les parties imaginaires devant les parties réelles des impédances, la précision sur l'extraction des résistances d'accès est mise à mal comme le montre la figure II.27 où les valeurs de résistances extraites en fonction

de la fréquence sont comparées aux valeurs de référence fournies par le constructeur. Les mesures de paramètres S sont conduites de 1 MHz à 1 GHz à $V_{GS} = 0V$ et $V_{DS} = 0V$.

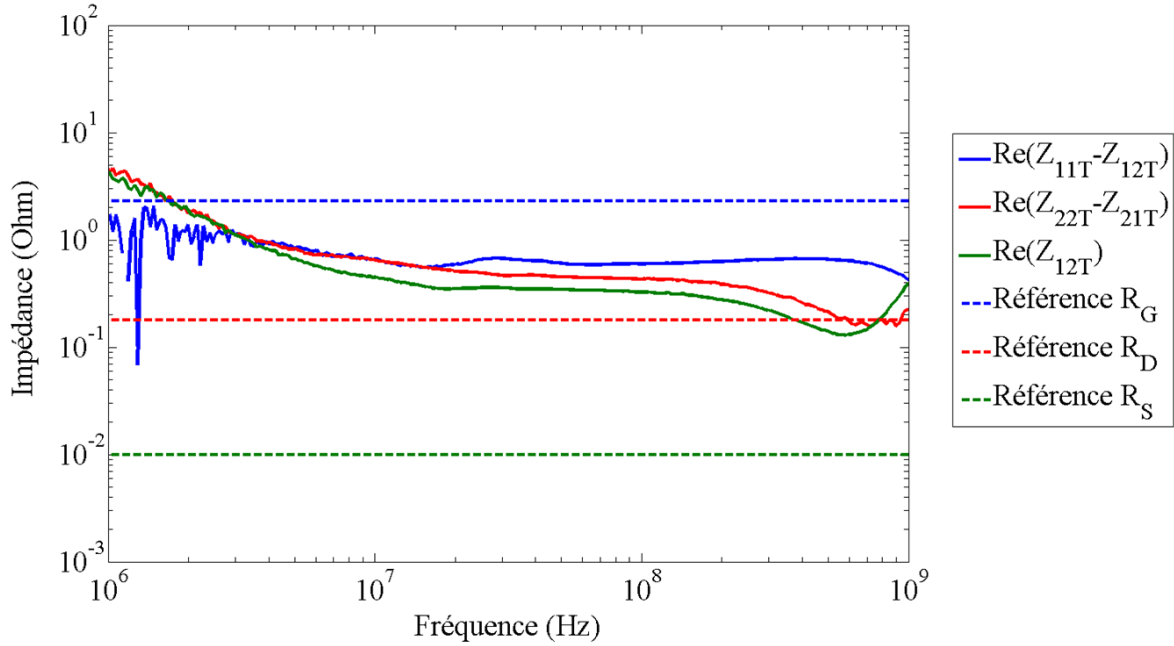


Figure II. 27 : Extraction des résistances d'accès à $V_{GS} = 0V$ et $V_{DS} = 0V$

La seconde méthode de caractérisation envisagée dans ces travaux est la méthode dite Cold FET. Cette technique est bien connue pour la caractérisation de transistors à effet de champ [II.21]. Plusieurs travaux de recherche antérieurs ont montré l'intérêt et la validité de cette méthode pour la caractérisation de HEMT GaN [II.5, II.12, II.24].

La technique Cold FET consiste à polariser le transistor à une tension V_{GS} supérieure à la tension de seuil ($V_{TH} \sim 1,3V$), permettant l'injection de charges dans le canal (canal conducteur) et à une tension V_{DS} nulle afin d'empêcher tout déplacement de charges et échauffement du composant. Dans ces conditions le canal entre drain et source est résistif tandis que les capacités et conductances de grille sont présentes. La partie résistive du canal située sous la grille est notée R_{ch} . On peut en déduire une représentation du transistor dans ces conditions et son schéma électrique équivalent comme indiqué sur la figure II.28. Les impédances Z_G , Z_D et Z_S représentent les éléments résistifs et inductifs liés aux chemins d'accès selon les équations eq.(II.47) à eq.(II.49). C_{gs} et C_{gd} sont les capacités de grille et G_{gs} et G_{gd} sont les conductances de grille.

$$Z_G = R_G + jL_G\omega \quad (II.47)$$

$$Z_D = R_D + jL_D\omega \quad (II.48)$$

$$Z_S = R_S + jL_S\omega \quad (II.49)$$

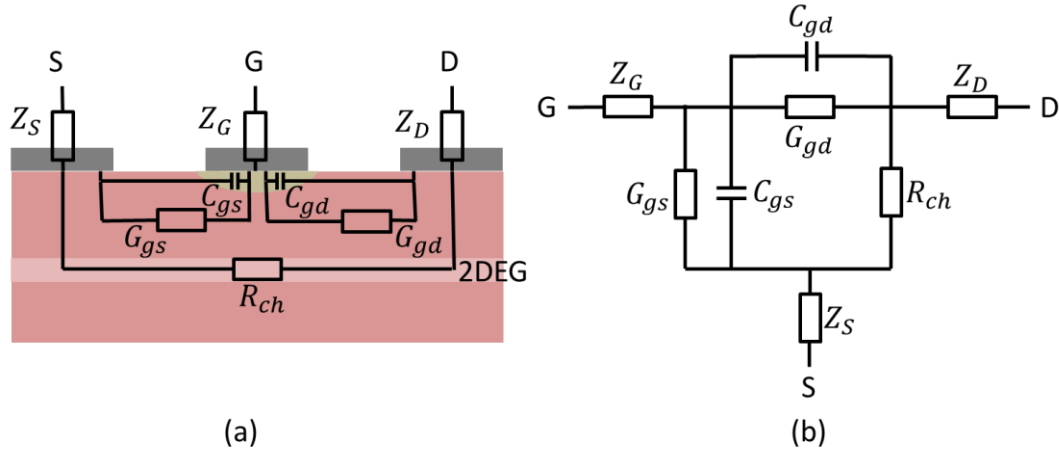


Figure II. 28 : Représentation du transistor dans les conditions Cold FET : (a) Coupe schématique (b) Circuit électrique équivalent

Sachant que la valeur de la résistance du canal R_{ch} diminue lorsque V_{GS} augmente, à $V_{GS} = 2V$, R_{ch} est estimée à moins de 100 m Ω . Le courant de grille étant de l'ordre du microampère, les impédances équivalentes des conductances de grille G_{gs} et G_{gd} sont de l'ordre du mégohm. A 100 MHz, les impédances correspondantes des capacités C_{gs} et C_{gd} à $V_{GS} = 2V$, sont estimées aux alentours de 15 Ω à partir d'une première caractérisation en paramètres S. Ainsi jusqu'à 100 MHz au moins, l'influence de la résistance R_{ch} est négligeable devant celles de G_{gs} , G_{gd} , C_{gs} et C_{gd} . Le schéma équivalent de la figure II.28(b) peut alors être simplifié comme présenté sur la figure II.29. Cette simplification sera validée suite aux résultats expérimentaux.

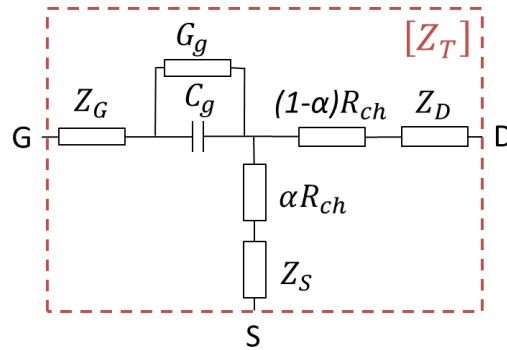


Figure II. 29 : Simplification du schéma équivalent du transistor dans les conditions Cold FET

Sur la figure II.29, α représente la proportion de la résistance R_{ch} située sous la grille du côté de la source. C_g et G_g sont respectivement la capacité et la conductance de grille équivalente obtenues selon les relations eq.(II.50) et eq.(II.51).

$$C_g = C_{gs} + C_{gd} \quad (\text{II.50})$$

$$G_g = G_{gs} + G_{gd} \quad (\text{II.51})$$

Selon la figure II.29, la matrice impédance du transistor $[Z_T]$ s'exprime selon eq.(II.52).

$$[Z_T] = \begin{bmatrix} Z_{11T} & Z_{12T} \\ Z_{21T} & Z_{22T} \end{bmatrix} = \begin{bmatrix} R_G + R_S + \alpha R_{ch} + j(L_G + L_S)\omega + \frac{1}{G_g + jC_g\omega} & R_S + \alpha R_{ch} + jL_S\omega \\ R_S + \alpha R_{ch} + jL_S\omega & R_D + R_S + R_{ch} + j(L_D + L_S)\omega \end{bmatrix} \quad (\text{II.52})$$

À partir de l'équation eq.(II.52), on peut écrire les parties réelles des impédances Z_{12T} et Z_{22T} selon eq.(II.53) et eq.(II.54).

$$Re(Z_{12T}) = R_S + \alpha R_{ch} \quad (II.53)$$

$$Re(Z_{22T}) = R_D + R_S + R_{ch} \quad (II.54)$$

Une relation liant la partie réelle de l'impédance Z_{22T} à la tension V_{GS} est donnée par les auteurs dans [II.26]. Dans ce travail, il est proposé de généraliser cette relation à la partie réelle de l'impédance Z_{12T} . Ainsi les relations eq.(II.55) et eq.(II.56) sont alors considérées dans ce travail.

$$Re(Z_{12T}) = R_S + \frac{1}{K_1(V_{GS} - V_{th})} \quad (II.55)$$

$$Re(Z_{22T}) = R_D + R_S + \frac{1}{K_2(V_{GS} - V_{th})} \quad (II.56)$$

Pour les relations eq.(II.55) et eq.(II.56), V_{th} est la tension de seuil du transistor et K_1 , K_2 sont des coefficients dépendant de la conductance maximale du composant, de la tension de seuil et de certains paramètres physiques comme le nombre de porteurs intrinsèques, accepteurs et donneurs [II.26].

Des mesures de paramètres S sont conduites entre 1 MHz et 1 GHz pour différentes tensions V_{GS} entre 2 et 6 volts. La procédure de calibration détaillée dans la partie II.1.3 de ce chapitre est appliquée afin d'obtenir la matrice impédance du transistor $[Z_T]$. Les parties réelles des impédances Z_{12T} et Z_{22T} en fonction de la fréquences sont présentées sur la figure II.30 pour des fréquences variant entre 1 MHz et 100 MHz et pour différentes valeurs de V_{GS} .

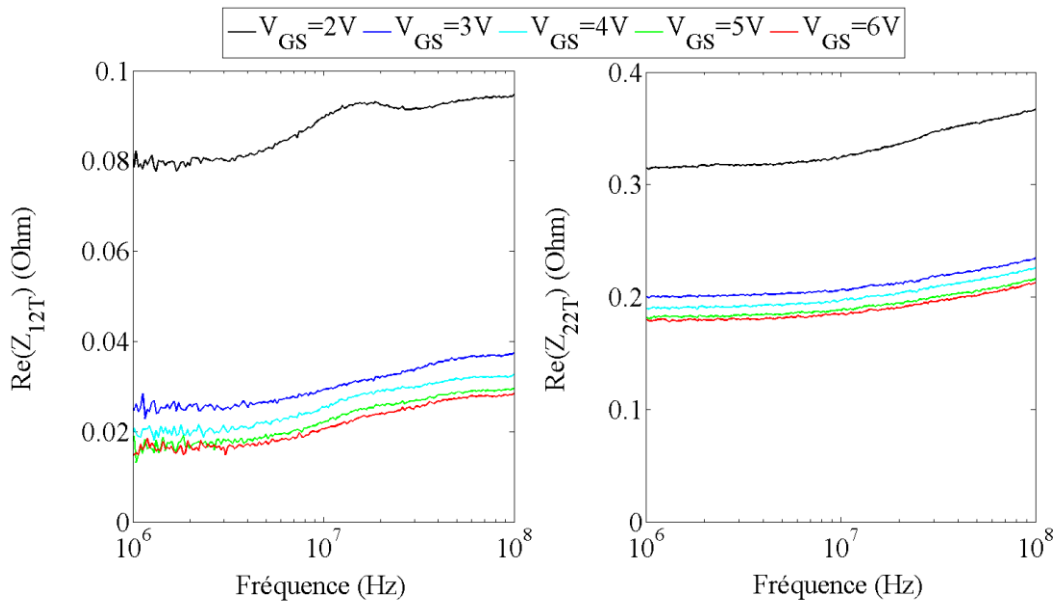


Figure II. 30 : parties réelles des impédances Z_{12T} et Z_{22T} en fonction de la fréquence pour différents $V_{GS} > V_{TH}$

Les valeurs moyennes des impédances extraites à partir de la figure II.30 sont représentées en fonction de V_{GS} sur la figure II.31. Les données sont modélisées à partir des équations eq.(II.55) et eq.(II.56) et les paramètres du modèle obtenus par fitting sont renseignés dans le tableau II.3. Les valeurs des résistances d'accès $R_D = 158 \text{ m}\Omega$ et $R_S = 14 \text{ m}\Omega$ sont ainsi obtenues.

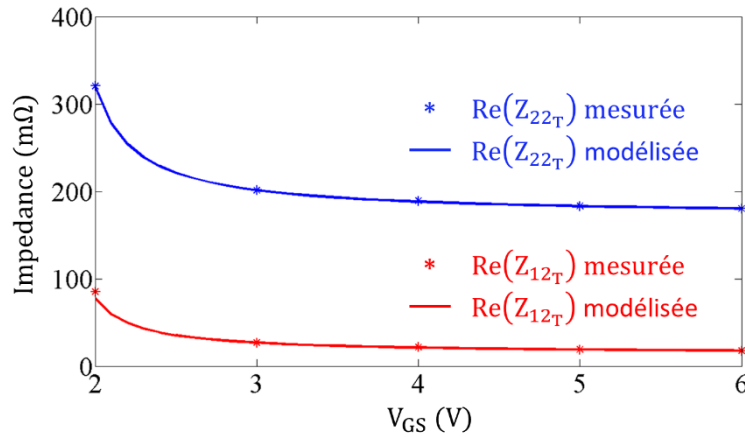


Figure II. 31 : Parties réelles des impédances Z_{12T} et Z_{22T} en fonction de V_{GS}

Tableau II. 2 : Paramètres des modèles de la figure II.31

R_S (mΩ)	$R_D + R_S$ (mΩ)	V_{th} (V)	K_1 (A. V ⁻²)	K_2 (A. V ⁻²)
14,1	172	1,75	63	27

On notera qu'à partir de ces résultats le paramètre α peut être déterminé suivant l'équation eq.(II.57).

$$\alpha = \frac{K_2}{K_1} = 0,43 \quad (\text{II.57})$$

Selon le schéma de la figure II.29, la partie réelle de l'impédance ($Z_{11T} - Z_{12T}$) s'exprime selon l'équation eq.(II.58). En hautes fréquences, cette équation tend vers la valeur de la résistance de grille R_G .

$$Re(Z_{11T} - Z_{12T}) = R_G + \frac{G_g}{G_g^2 + C_g^2 \omega^2} \quad (\text{II.58})$$

L'évolution de la partie réelle de ($Z_{11T} - Z_{12T}$) en fonction de la fréquence est donnée sur la figure II.32 pour $V_{GS} = 6V$. L'équation eq.(II.58) est utilisée pour modéliser les résultats expérimentaux et les paramètres du modèle sont renseignés dans le tableau II.4. La valeur de $R_G = 716 \text{ m}\Omega$ est ainsi obtenue.

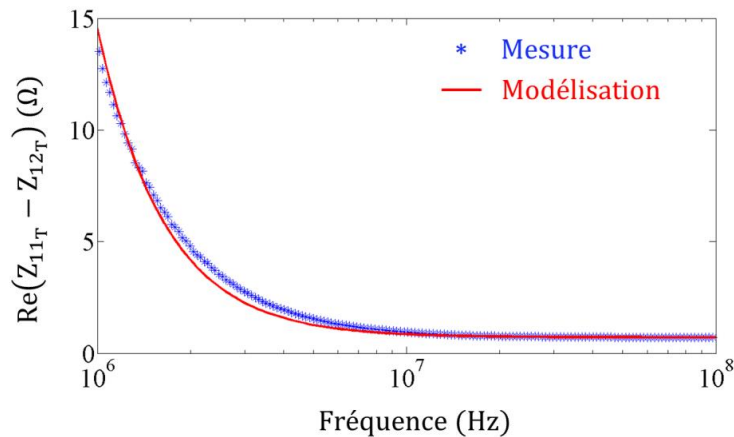


Figure II. 32 : Partie réelle de l'impédance ($Z_{11T} - Z_{12T}$) en fonction de la fréquence pour $V_{GS} = 6V$ et modélisation

Tableau II. 3 : Paramètres du modèle de la figure II.32

R_G (m Ω)	G_g (μ S)	C_g (pF)
716	22,8	204

Le tableau II.4 renseigne les valeurs des résistances d'accès déterminées à partir des deux techniques de caractérisation sans polarisation et Cold FET. Ces valeurs sont comparées aux valeurs de référence fournies par le fabricant du composant. On note que la technique Cold FET permet d'obtenir des valeurs de résistances plus précises notamment pour les résistances de drain et de source qui sont des paramètres importants pour la modélisation et le calcul des pertes. La valeur de la résistance interne de grille donnée par le constructeur reste supérieure à la valeur déterminée suivant la méthode exposée. Cependant, une étude reste à mener sur la façon dont la valeur de R_G donnée par le constructeur est obtenue.

Tableau II. 4 : Extraction des résistances d'accès du transistor GS66502B

	R_G (Ω)	R_D (m Ω)	R_S (m Ω)
Sans polarisation	0,599	437	323
Cold FET	0,716	158	14
Références	2,3	180	10

En se référant au schéma équivalent de la figure II.26, les relations eq.(II.59) à eq.(II.61) peuvent être établies afin d'extraire les inductances d'accès selon la méthode de caractérisation à $V_{GS} = 0V$ et $V_{DS} = 0V$.

$$\left(\text{Im}(Z_{11T}) - \text{Im}(Z_{12T}) \right) \omega = L_G \omega^2 - \frac{1}{C_g} \quad (\text{II.59})$$

$$\left(\text{Im}(Z_{22T}) - \text{Im}(Z_{21T}) \right) \omega = L_D \omega^2 - \frac{1}{C_d} \quad (\text{II.60})$$

$$\text{Im}(Z_{12T}) \omega = L_S \omega^2 - \frac{1}{C_s} \quad (\text{II.61})$$

En se référant au schéma équivalent de la figure II.29, les relations eq.(II.62) à eq.(II.64) peuvent être établies afin d'extraire les inductances d'accès selon la méthode de caractérisation Cold FET à $V_{GS} = 6V$ (canal du transistor établi) et $V_{DS} = 0V$.

$$\left(\text{Im}(Z_{11T}) - \text{Im}(Z_{12T}) \right) \omega \approx L_G \omega^2 - \frac{1}{C_g} \quad (\text{II.62})$$

$$\left(\text{Im}(Z_{22T}) - \text{Im}(Z_{21T}) \right) \omega = L_D \omega^2 \quad (\text{II.63})$$

$$\text{Im}(Z_{12T}) \omega = L_S \omega^2 \quad (\text{II.64})$$

La figure II.33 compare les résultats obtenus sans polarisation et par la méthode Cold FET pour l'extraction des inductances parasites du transistor suivant les relations eq.(II.59) à eq.(II.64) en fonction de ω^2 .

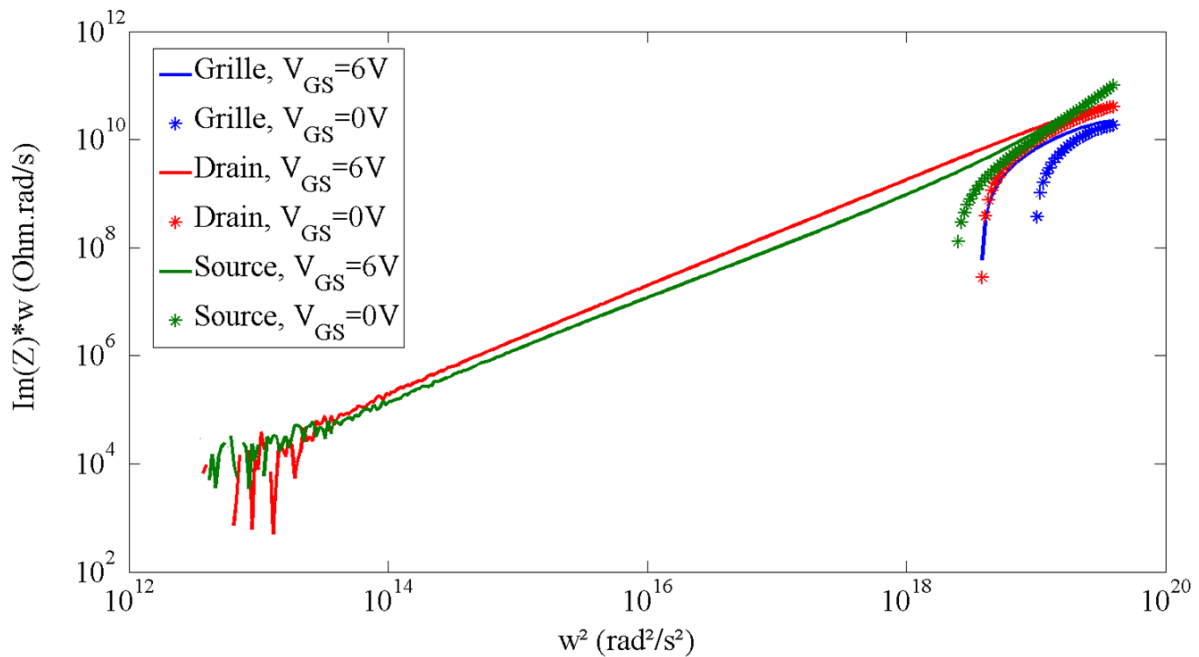


Figure II. 33 : Évolutions correspondantes aux relations eq.(II.59) à eq.(II.64) en fonction ω^2 pour la détermination des résistances d'accès

On constate de la figure II.33 que la suppression des capacités C_d et C_s grâce à la méthode de caractérisation permet d'obtenir une plage de fréquence bien plus importante et donc plus de précision pour l'extraction des inductances de drain et de source qu'avec la méthode de caractérisation sans polarisation de grille. De plus, grâce à la polarisation à $V_{GS} = 6V$, la capacité C_g présente une valeur plus élevée qu'à $V_{GS} = 0V$ permettant ainsi d'avoir une plage de fréquence plus importante pour la détermination de l'inductance de grille. Le tableau II.5 renseigne les valeurs d'inductance extraites avec la méthode Cold FET. Il est à noter que les valeurs d'inductance obtenues tiennent compte non seulement des inductances intra-boîtier mais aussi des inductances par les soudures et l'empreinte du composant sur PCB. Ici, le composant est caractérisé tel qu'il sera utilisé dans les applications d'électronique de puissance.

Tableau II. 5 : Extraction des inductances d'accès par la méthode Cold FET

L_G (pH)	L_D (nH)	L_S (pH)
560	1,88	940

Ici, il est délicat de comparer les valeurs d'inductance obtenues à des valeurs de référence. Des valeurs pour les inductances L_G , L_D et L_S sont renseignés dans le modèle SPICE fourni par le fabricant cependant ces éléments sont sensibles à l'encapsulation du composant, et au vu des faibles valeurs, même à la façon dont le transistor est fixé sur le PCB. De plus, aucune information n'est disponible concernant la façon dont les inductances spécifiées dans le modèle constructeur ont été obtenues. Au vu de la complexité de la caractérisation des inductances pour un transistor encapsulé, il est possible que ces valeurs soient données suite à des mesures sur wafer.

On peut conclure des résultats présentés dans cette partie que la technique Cold FET offre une meilleure précision dans la détermination des éléments d'accès (résistances et inductances) de transistors en boîtier que la méthode sans polarisation classiquement utilisée en électronique de puissance. On notera que

seuls les éléments d'accès obtenus avec la méthode Cold FET seront pris en compte par la suite pour la conception du modèle du transistor de puissance GaN.

II.2.2. Détermination des éléments d'accès d'un transistor GaN avec source Kelvin

Dans l'optique de limiter l'inductance commune de source L_S , certains transistors de puissance proposent deux connections de source : une source dite de puissance qui sera utilisée au niveau de la cellule de commutation et une source dite Kelvin qui sera reliée au circuit de commande de la grille du composant.

Afin d'étendre le travail de détermination des éléments d'accès à ce type de transistors, cette partie propose de caractériser un autre transistor, le composant GS66508B présenté sur la figure II.34(a). Ce transistor a comme calibre 650V et 30A et présente une résistance $R_{DS_{on}}$ spécifiée à 50 mΩ. Le schéma équivalent du transistor dans les conditions Cold FET est présenté sur la figure II.34(b). On retrouve dans ce schéma les éléments R_S et L_S qui sont la résistance et l'inductance commune de source, R_{PS} et L_{PS} qui sont la résistance et l'inductance de la source coté puissance et R_{KS} et L_{KS} qui sont la résistance et l'inductance de la source coté commande.

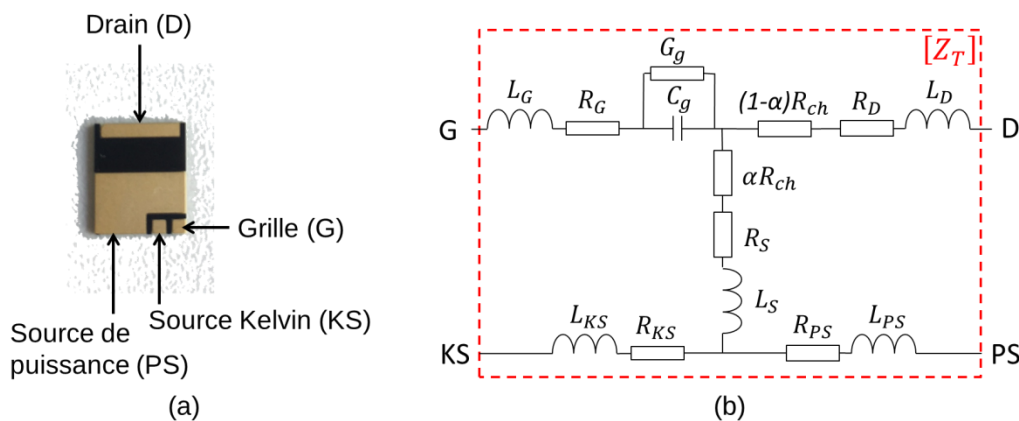


Figure II. 34 : Présentation du transistor GS66508B (a) Boîtier du composant (b) Schéma électrique équivalent du transistor dans les conditions Cold FET

Le dispositif de caractérisation du transistor proposé est présenté sur la figure II.35 où chaque connexion du transistor est reliée à une ligne de transmission. Afin de déterminer l'ensemble des inductances parasites trois mesures différentes sont nécessaires :

- La mesure 1 est une mesure 2 ports qui s'effectue entre la grille, le drain et la source de puissance à $V_{GS} = 6V$.
- La mesure 2 est une mesure 2 ports qui s'effectue entre la grille, le drain et la source Kelvin à $V_{GS} = 6V$.
- La mesure 3 est une mesure 1 port qui s'effectue entre la source Kelvin et la source de puissance à $V_{GS} = 0V$.

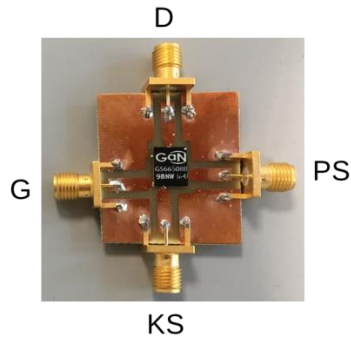


Figure II. 35 : Dispositif de caractérisation du transistor GS66508B

Les trois mesures de paramètres S citées ci-dessus sont conduites sur le transistor entre 1 MHz et 1 GHz. La mesure 1 permet l'obtention des inductances L_G , L_D et $L_S + L_{PS}$. La mesure 2 donne l'inductance $L_S + L_{KS}$. Enfin la mesure 3 donne l'inductance $L_{KS} + L_{PS}$. Les résultats de caractérisation sont présentés sur la figure II.36. A partir de ces résultats, chaque inductance du schéma présenté sur la figure II.34(b) est déterminée et les valeurs sont renseignées dans le tableau II.6. Les valeurs des inductances L_D , L_S , L_{KS} et L_{PS} sont obtenues entre 1 et 100 MHz tandis que la valeur de L_G est extraite autour de 500 MHz sur une plage étroite, ceci étant dû à l'impédance présentée par les capacités de grille.

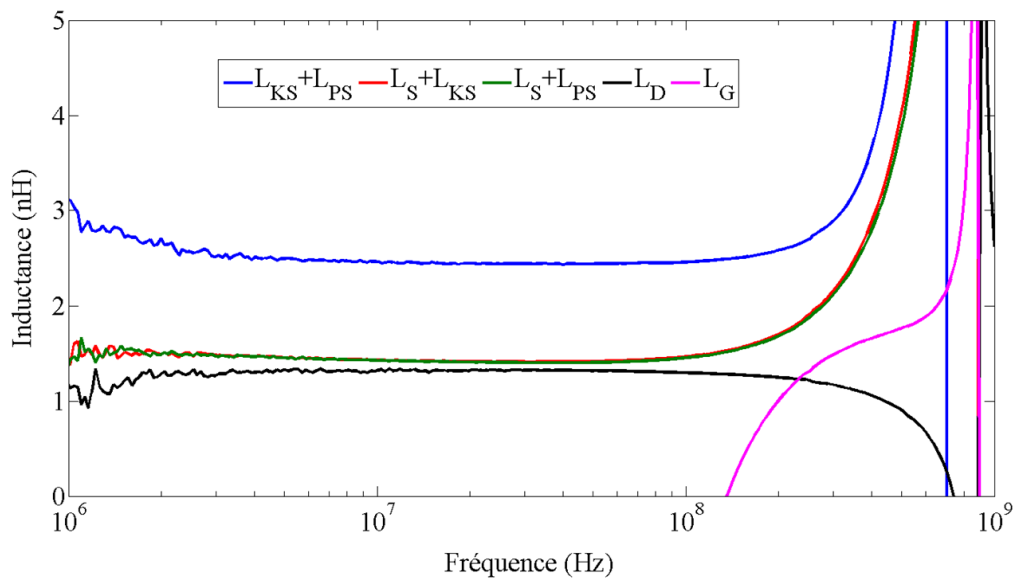


Figure II. 36 : Extraction des inductances d'accès du transistor GS66508B

Tableau II. 6 : Extraction des inductances d'accès du transistor GS66508B

L_G (nH)	L_D (nH)	L_S (nH)	L_{KS} (nH)	L_{PS} (nH)
2,0	1,3	0,2	1,2	1,2

Théoriquement l'extraction des résistances d'accès du transistor peut se faire en suivant le même plan de mesures que pour les inductances d'accès. Cependant, ici on se propose d'appliquer la technique Cold FET sur la mesure 1 uniquement, permettant d'obtenir les résistances R_G , R_D et $R_S + R_{PS}$. La résistance de source étant de faible valeur en théorie, la résistance R_{KS} peut être négligée devant la résistance R_G lors d'une application en commutation. A contrario, la résistance $R_S + R_{PS}$ participe aux

perles par conduction et doit être déterminée. Des mesures de paramètres S sont conduites sur le transistor entre 1 MHz et 1 GHz pour V_{GS} variant de 2 à 6 V et la procédure d'obtention des résistances d'accès est similaire à celle présentée dans la partie II.2.1. Les résultats de caractérisation sont présentés sur la figure II.37 pour les résistances R_D et $R_S + R_{PS}$ et sur la figure II.38 pour la résistance R_G . Les valeurs de résistances extraites sont données dans le tableau II.7 et sont comparées aux valeurs fournies par le constructeur. On constate qu'une valeur proche de 50 mΩ est bien obtenue pour la résistance drain-source. On observe cependant un écart notable sur la valeur de la résistance $R_S + R_{PS}$ par rapport à la référence ce qui ouvre une perspective quant à la validité de la méthode pour l'extraction de résistances de l'ordre du milliohm.

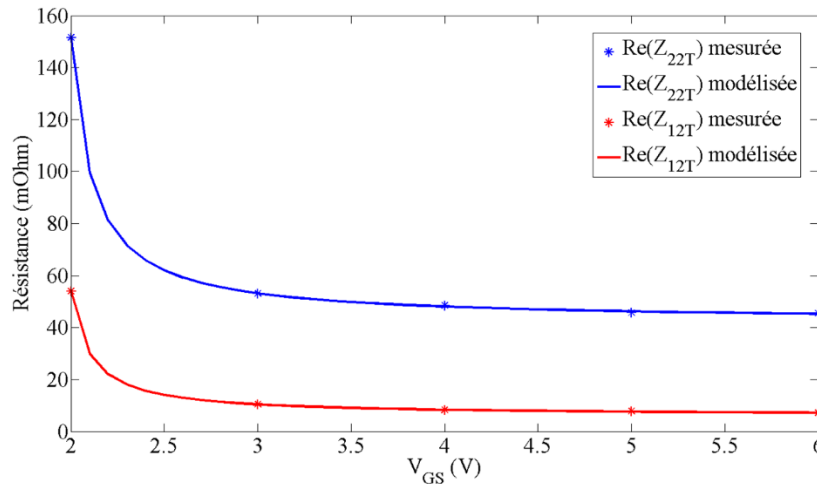


Figure II. 37 : Extraction des résistances R_D et $R_S + R_{PS}$ du transistor GS66508B

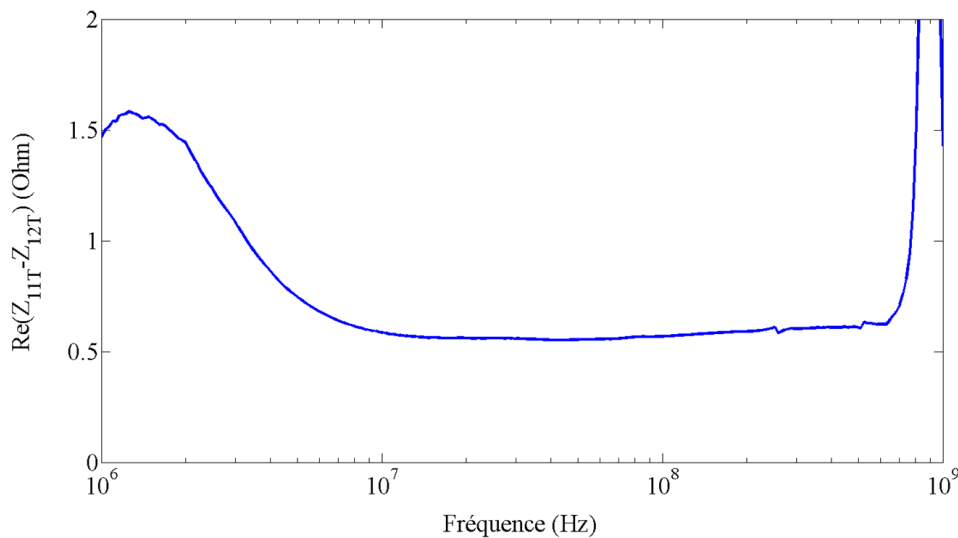


Figure II. 38 : Extraction de la résistance R_G du transistor GS66508B

Tableau II. 7 : Extraction des résistances d'accès du transistor GS66508B

	R_G (Ω)	R_D (m Ω)	$R_S + R_{PS}$ (m Ω)
Mesures	0,56	42,4	6,1
Références	1,1	43,2	2,4

II.2.3. Dépendance en température des résistances d'accès

Les résistances d'accès de drain R_D et de source R_S , tenant compte des contacts ohmiques et d'une majeure partie du canal du transistor, sont des éléments sensibles à la température du composant. Ainsi, afin d'obtenir des valeurs exactes des résistances d'accès du modèle, leur dépendance en température doit être prise en compte. Dans la littérature, certains travaux proposent des méthodes de détermination des modèles électrothermiques des résistances. D'autres travaux proposent des modèles électrothermiques des résistances d'accès pour des transistors GaN RF sur wafer [II.27]. Cependant aucun travail présentant une méthode applicable aux transistors de puissance packagés n'est connue.

Dans ce travail de thèse, il est proposé d'appliquer la méthode Cold FET décrite dans la section II.2.1 avec auto-échauffement du transistor GS66502B. Pour cela, le drain précédemment court-circuité avec la source ($V_{DS} = 0V$), est polarisé à une faible tension afin de faire circuler un courant continu dans le transistor provoquant son auto-échauffement.

Le schéma équivalent de la figure II.29 est toujours considéré. Les mesures seront effectuées pour des tensions V_{GS} supérieures à 3V lorsque la transconductance du composant peut être négligée. Ceci dans le but d'obtenir des mesures stables sous des courants de drain importants. Le courant continu de drain nécessaire à l'échauffement du transistor pouvant dépasser plusieurs ampères, les tés de polarisation, présentés dans la section I.4 du premier chapitre, doivent être utilisés pour la mesure des paramètres S. Le schéma de principe du banc de caractérisation en paramètres S du transistor en fonction de la température est présenté sur la figure II.39.

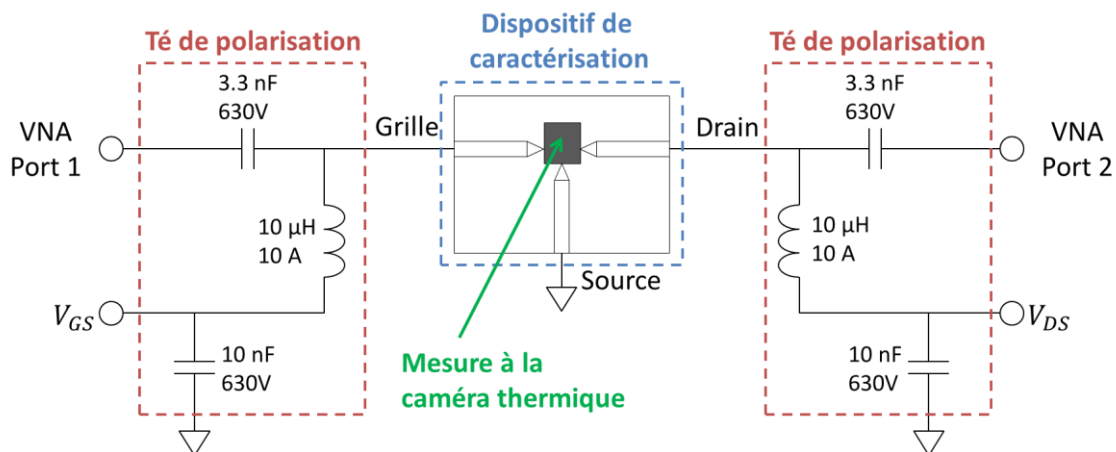


Figure II. 39 : Banc de caractérisation en paramètres S en fonction de la température

La température du transistor est mesurée au moyen d'une caméra thermique pour différentes valeurs de courant de drain et les résultats sont donnés dans le tableau II.8.

Tableau II. 8 : Températures de jonction mesurées pour différents courants de drain

Courant de drain DC (A)	0,5	1	1,5	2
Température de jonction (°C)	27	37	62	104

Le transistor dissipant la chaleur principalement par sa connexion de source située au-dessous du boîtier, on assimile la température mesurée sur le dessus du transistor à la température de la jonction.

Pour chaque température de jonction, les mesures de paramètres S sont réalisées pour différents V_{GS} entre 3V et 6V. Après calibration, les parties réelles des impédances Z_{12T} et Z_{22T} (cf. eq.(II.52)) sont

obtenues à différents V_{GS} et pour différentes températures. La procédure d'extraction des résistances R_D et R_S détaillée dans la section II.2.1 est appliquée pour chaque température et les paramètres de modélisation sont renseignés dans le tableau II.9. Le paramètre α correspondant à la répartition de la résistance de canal sous la grille obtenu dans la section II.2.1 est considéré comme une contrainte physique pour la modélisation.

Tableau II. 9 : Extraction de R_S et R_D en fonction de la température de jonction T_j

T_j (°C)	R_S (mΩ)	R_D (mΩ)	V_t (V)	K_1 (A.V ⁻²)	K_2 (A.V ⁻²)
27	14,3	163	1,74	63	27
37	15,1	170	1,59	40	19
62	16,6	239	1,37	29	12
104	23,4	317	1.25	21	8,4

L'évolution des résistances en fonction de la température peut alors être modélisée suivant l'équation générique donnée par eq.(II.65) et les paramètres du modèle sont donnés dans le tableau II.10.

$$R_i(T_j) = R_{i0}(1 + \beta_i T_j + \gamma_i T_j^2) \quad (\text{II.65})$$

Avec $i = D$ pour le drain et $i = S$ pour la source.

Tableau II. 10 : Paramètres des modèles des résistances R_D et R_S en fonction de T_j

R_{D0} (mΩ)	R_{S0} (mΩ)	β_D (°C ⁻¹)	β_S (°C ⁻¹)	γ_D (°C ⁻²)	γ_S (°C ⁻²)
121	10,7	0,012	0,01	$3,8 \cdot 10^{-5}$	$1,1 \cdot 10^{-5}$

La figure II.40 compare les modèles proposés des résistances de drain et de source en fonction de la température avec les modèles proposés par le constructeur. On note une bonne cohérence des résultats. Une seconde validation de cette méthode consiste à comparer les valeurs de $R_{DS_{on}}(T_j)$ expérimentales avec celles extraites de la documentation technique du composant. En effet, d'après la relation eq.(II.54), la partie réelle de l'impédance Z_{22T} donne directement la valeur de la résistance drain-source à l'état passant $R_{DS_{on}}$. La figure II.41 compare les valeurs obtenues de $R_{DS_{on}}$ avec celles du constructeur en fonction de la température de jonction pour $V_{GS} = 6V$. L'erreur relative est indiquée entre parenthèses.

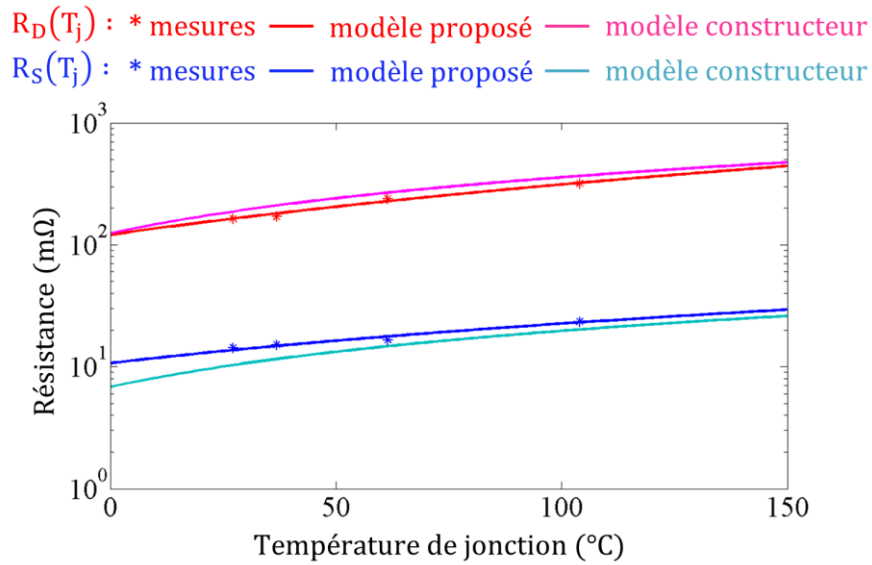


Figure II. 40 : Comparaison du modèle électrothermique des résistances d'accès proposé avec le modèle constructeur

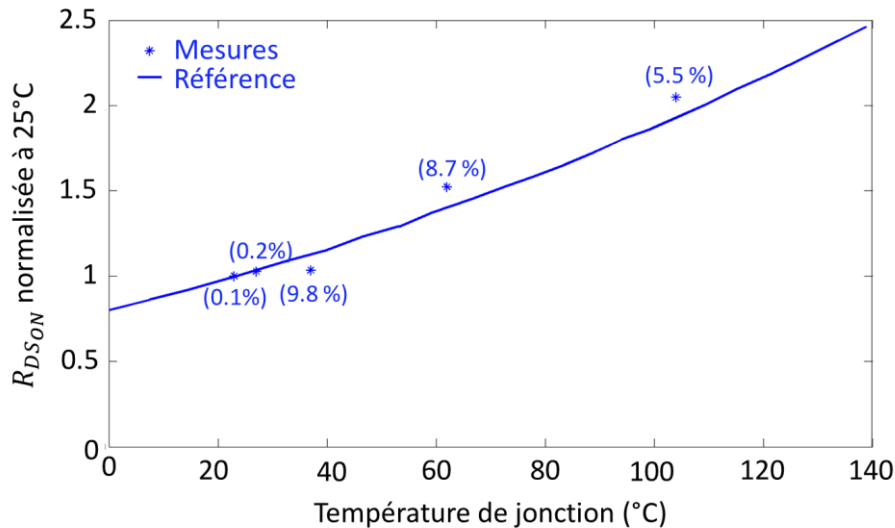


Figure II. 41 : Comparaison de $R_{DSon}(T_j)$ entre mesures et valeurs de référence de la documentation technique (écarts relatifs entre parenthèses)

II.3. Caractérisation des capacités inter-électrodes

II.3.1. Mesure des capacités inter-électrodes en fonction de V_{DS}

Les capacités parasites du transistor ont un impact significatif sur les temps et les pertes par commutation. Les transistors de puissance GaN ont la caractéristique d'avoir de faibles capacités inter-électrodes allant de quelques centaines de picofarads à quelques centaines de femtofarads suivant les conditions de polarisation. La précision des mesures de paramètres S est d'une importance cruciale pour la caractérisation de ces éléments du modèle. Des travaux récents ont montré le potentiel des paramètres S pour l'extraction des capacités inter-électrodes de transistors de puissance SiC en boîtier jusqu'à la dizaine de picofarads [II.1], [II.2]. Il sera montré ici que les dispositifs et les méthodes de caractérisation développés dans ces travaux de thèse permettent une caractérisation fine des capacités inter-électrodes du transistor de puissance GaN GS66502B sur une large gamme de tension.

A partir de la connaissance des impédances Z_G , Z_D et Z_S des accès à la partie intrinsèque du transistor, déterminées dans la seconde partie de ce chapitre, il est possible d'extraire les capacités inter-électrodes du composant. A $V_{GS} = 0V$, le schéma équivalent du transistor peut être ramené à celui de la figure II.42.

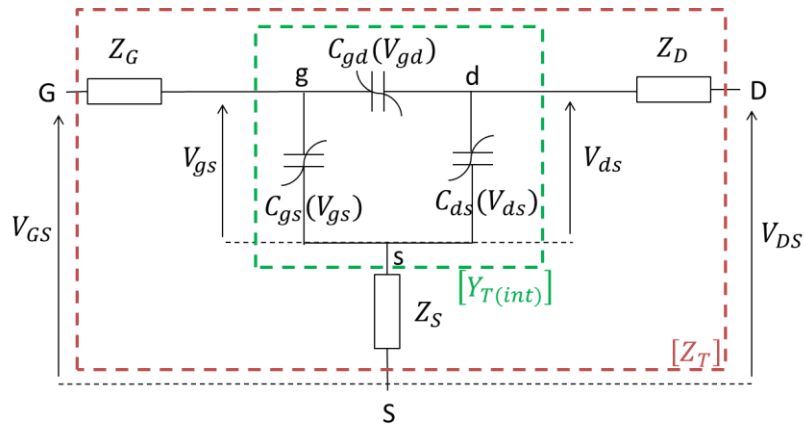


Figure II. 42 : Schéma équivalent du transistor à $V_{GS} = 0V$

La matrice $[Y_{T(int)}]$ est obtenue à partir de la matrice $[Z_T]$ par connaissance des impédances d'accès selon la relation eq.(II.66). Par la suite les capacités inter-électrodes sont déterminées suivant les formules eq.(II.67) à eq.(II.69).

$$[Y_{T(int)}] = \begin{bmatrix} Y_{11T(int)} & Y_{12T(int)} \\ Y_{21T(int)} & Y_{22T(int)} \end{bmatrix} = \begin{bmatrix} Z_{11T} - Z_G - Z_S & Z_{12T} - Z_S \\ Z_{21T} - Z_S & Z_{22T} - Z_D - Z_S \end{bmatrix} \quad (II.66)$$

$$C_{gs} = \frac{Im(Y_{11T(int)} + Y_{12T(int)})}{\omega} \quad (II.67)$$

$$C_{ds} = \frac{Im(Y_{22T(int)} + Y_{12T(int)})}{\omega} \quad (II.68)$$

$$C_{gd} = -\frac{Im(Y_{12T(int)})}{\omega} \quad (II.69)$$

Des mesures de paramètres S sont appliquées au transistor GaN sur la plage 1 MHz – 1 GHz. Le banc de caractérisation est similaire à celui schématisé sur la figure II.39. Cette fois-ci le té de polarisation coté drain est utilisé pour appliquer des polarisations DC jusqu'à $V_{DS} = 200V$. La tension de grille reste fixe à $V_{GS} = 0V$. Ainsi, la dépendance des capacités inter-électrodes en fonction de la tension V_{DS} peut être obtenue. Le dispositif expérimental est présenté sur la figure II.43.

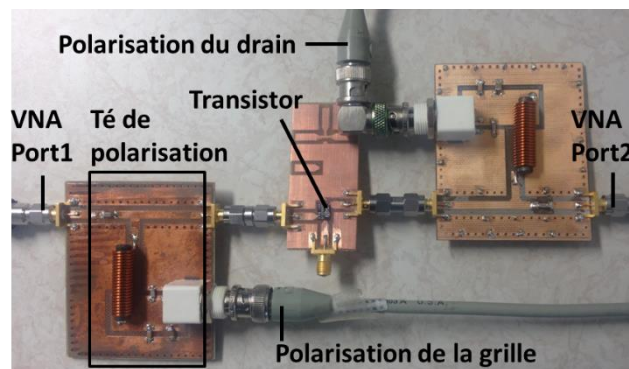


Figure II. 43 : Banc de caractérisation du transistor GaN pour l'extraction des capacités inter-électrodes

Après application de la procédure de calibration sur les résultats de mesure, les équations eq.(II.66) à eq.(II.69) sont utilisées pour déterminer les valeurs de capacités pour chaque tension de polarisation V_{DS} . La figure II.44 montre l'extraction des capacités inter-électrodes en fonction de la fréquence au point de polarisation $V_{DS} = 200V$, lorsque les capacités présentent leur plus faible valeur. Les valeurs des capacités extraites de la documentation technique du composant sont également affichées. Il est possible de constater que la méthode de caractérisation proposée permet bien d'obtenir les valeurs correctes des capacités. C_{gd} a une valeur approximative de 300 fF pour ce point de polarisation. On constate que ce paramètre est correctement extrait jusqu'à 40 MHz grâce à la méthode de caractérisation proposée.

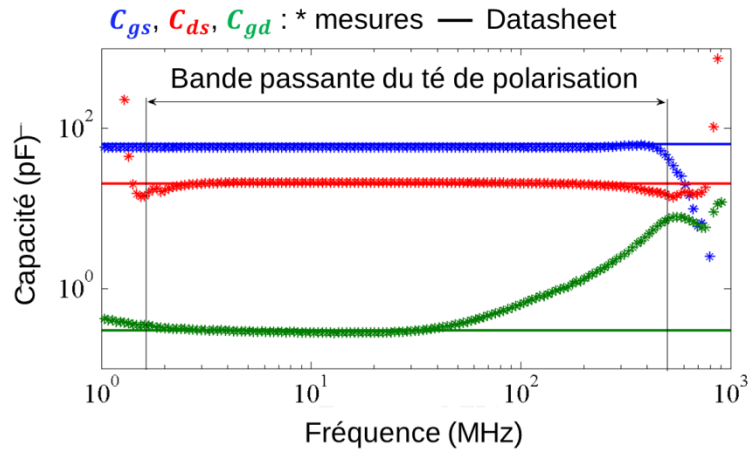


Figure II. 44 : Extraction des capacités inter-électrodes en fonction de la fréquence à $V_{DS} = 200V$

La figure II.45 montre l'évolution des capacités extraites à 10 MHz et $V_{GS} = 0V$ pour chaque valeur de V_{DS} et une comparaison avec les courbes obtenues à partir de la documentation technique du transistor. On note une très bonne cohérence entre les résultats expérimentaux et les valeurs données par le constructeur.

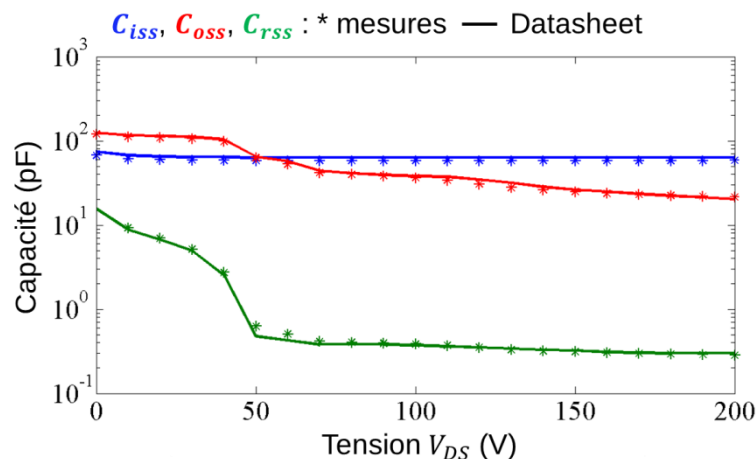


Figure II. 45 : Extraction des capacités inter-électrodes en fonction de V_{DS} à 10 MHz

II.3.2. Mesure des capacités inter-électrodes en fonction de V_{GS}

La section précédente a montré l'extraction des capacités parasites du transistor GaN en fonction de la tension V_{DS} , or les capacités C_{gs} et C_{gd} sont également dépendantes de la tension V_{GS} . Afin de déterminer l'évolution de ces éléments en fonction de V_{GS} , il est proposé dans ce travail d'extraire ces valeurs dans

les conditions Cold FET. Ainsi, le schéma équivalent du transistor, faisant rappel à la figure II.28(b), est présenté sur la figure II.46.

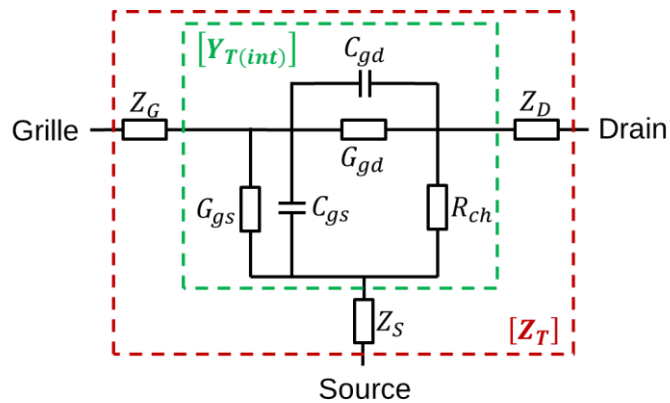


Figure II. 46 : Schéma équivalent du transistor dans les conditions Cold FET

Comme précédemment, la matrice $[Y_{T(int)}]$, représentant la partie intrinsèque du transistor, est obtenue à partir de l'équation eq.(II.66) et les équations eq.(II.67) et eq.(II.69) sont toujours valables pour déterminer C_{gs} et C_{gd} . Le banc de caractérisation présenté sur la figure II.43 est également utilisé pour cette détermination. Les capacités C_{gs} et C_{gd} sont extraites à 10 MHz à $V_{DS} = 0V$ et pour V_{GS} variant de -10 à 7 V (tensions limites admissibles) et les résultats sont présentés sur la figure II.47. Cette courbe montre une augmentation importante des capacités de grille au passage de la tension de seuil V_{TH} . On retrouve un comportement des capacités C_{gs} et C_{gd} en fonction de V_{GS} possédant des similitudes avec celui du courant de drain.

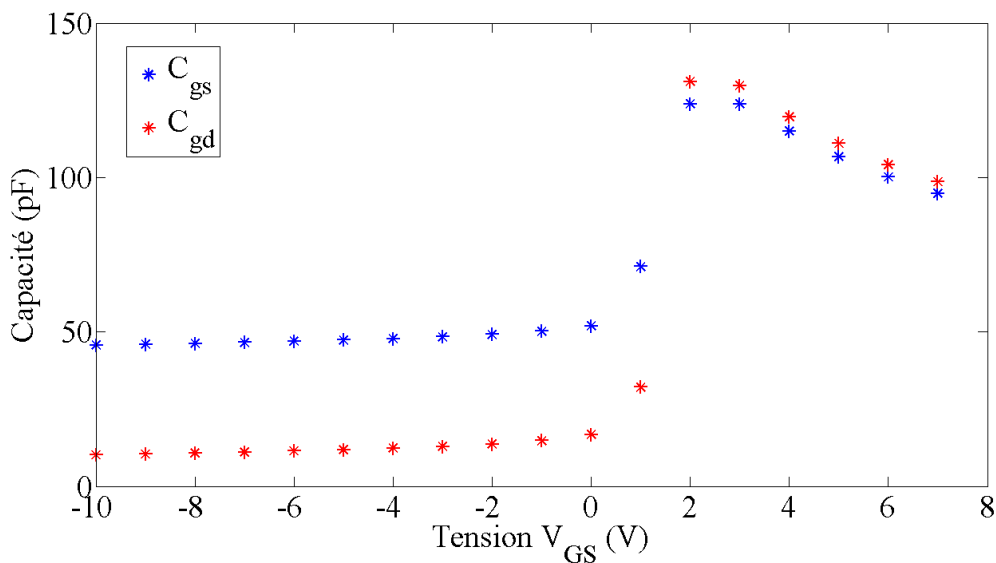


Figure II. 47 : Extraction des capacités C_{gs} et C_{gd} en fonction de V_{GS} à 10 MHz

Conclusion

Ce chapitre a présenté une méthodologie pour l'extraction des éléments parasites d'un transistor de puissance GaN encapsulé basée sur la mesure de paramètres S. Des dispositifs de caractérisation spécifiques réalisés sur PCB ont permis d'adapter la mesure à des composants de puissance en boîtier. Une procédure de calibration basée sur la réalisation d'étalons et des schémas électriques équivalents de ces dispositifs a permis l'extraction des éléments résistifs, inductifs et capacitifs du modèle du transistor sur la bande de fréquence 1 MHz – 1 GHz.

Dans un premier temps, la technique de caractérisation Cold FET a montré la possibilité d'extraire les éléments d'accès du transistor en comparaison aux mesures sans polarisation classiquement utilisées en électronique de puissance. Un schéma équivalent du transistor dans ces conditions de polarisation a permis d'extraire des équations pour la modélisation des résultats expérimentaux dans le but d'obtenir le plus précisément possibles les éléments résistifs liés aux chemins d'accès à la partie intrinsèque du composant. Une bonne concordance avec les valeurs de référence du fabricant a été trouvée pour les résistances de drain et de source. Néanmoins un travail d'approfondissement reste à mener quant à la détermination de la résistance interne de grille. La technique Cold FET a également permis d'extraire les inductances d'accès de drain et de source sur une large plage de fréquence contrairement aux mesures sans polarisation. Le problème de l'extraction de l'inductance de grille reste cependant présent dû à la présence récurrente de capacités de grille. Deux extensions de la technique Cold FET ont été ensuite présentées : la première a permis la détermination des éléments d'accès d'un second transistor de puissance GaN possédant une source Kelvin et la seconde a été réalisée à différentes températures du transistor afin de déterminer l'évolution des résistances d'accès en fonction de la température de jonction du composant.

Dans un second temps, ce travail a permis de mettre en œuvre une méthode de caractérisation des capacités inter-électrodes du transistor de puissance GaN en boîtier. L'utilisation des Tés de polarisation développés et présentés dans le chapitre I a permis de déterminer l'évolution de ces capacités en fonction de la tension drain-source jusqu'à une tension de 200 V limitée par les équipements de mesure mais des tensions de polarisation allant jusqu'à 400 V sont envisageables. Une bonne concordance a été trouvée entre les résultats expérimentaux et les données de la documentation technique même pour de très faibles valeurs de capacités (inférieures au picofarad). Une étude de la validité des mesures en fonction de la fréquence a montré que de très faibles valeurs de capacités (inférieures au picofarad) pouvait être obtenues précisément grâce à cette méthode jusqu'à 40 MHz environ. Afin d'obtenir l'évolution des capacités inter-électrodes en fonction de la tension présente à leurs bornes, des mesures à différentes tensions grille-source ont également été réalisées.

Les résultats de caractérisation vont être exploités dans le chapitre III afin de déterminer le modèle du transistor. Les évolutions des capacités inter-électrodes en fonction des tensions drain-source et grille-source seront modélisées par des équations non linéaires. Le modèle sera complété par une modélisation des caractéristiques statiques du transistor, une modélisation thermique et une modélisation du phénomène de résistance dynamique. Le modèle électrothermique complet du transistor sera implémenté dans le logiciel ADS.

Bibliographie du chapitre II

- [II.1] K. Li, A. Videt and N. Idir, "Multiprobe Measurement Method for Voltage-Dependent Capacitances of Power Semiconductor Devices in High Voltage," in *IEEE Transactions on Power Electronics*, vol. 28, no. 11, pp. 5414-5422, Nov. 2013.
- [II.2] C. Salcines, Y. Pathak and I. Kallfass, "Characterization of power transistors intrinsic parasitics based on 2-Port S-parameter measurements," 2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe), Warsaw, 2017, pp. P.1-P.6.
- [II.3] Y. Fujishiro, "Taking Advantage of S-Parameter," TDK Corporation Application Center, 2000.
- [II.4] K. Kurokawa, "Power Waves and the Scattering Matrix," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, no. 2, pp. 194-202, March 1965.
- [II.5] N. Defrance, "Caractérisation et Modélisation de Dispositifs de la Filière Nitrure Pour la Conception de Circuits Intégrés de Puissance Hyperfréquences," Université de Lille 1, 2007.
- [II.6] H. Heuermann and B. Schiek, "15-term self-calibration methods for the error-correction of on-wafer measurements," in *IEEE Transactions on Instrumentation and Measurement*, vol. 46, no. 5, pp. 1105-1110, Oct. 1997.

- [II.7] R. Dosoudil, "Determination of Permeability from Impedance Measurement Using Vector Network Analyzer", *Journal of Electrical Engineering*, Vol.63, No.7s, P.97-101, 2012.
- [II.8] D. Steoins, G. Asmanis, A. Asmanis, "Measuring Capacitor parameters Using Vector Network Analyzers, Electronics," Vol. 18, No.1, June 2014
- [II.9] A. Cutivet, P. Altuntas, N. Defrance, E. Okada, V. Avramovic, M.Lesecq, V. Hoel, J.-C. De Jaeger, F. Boone, H. Maher, "Large-signal modeling up to W-band of AlGaIn/GaN based high-electron-mobility transistors," 2015 10th European Microwave Integrated Circuits Conference, Paris, 2015, pp. 93-96.
- [II.10] F. Caspers, "RF engineering basic concepts: S-parameters", CAS Proc. CERN Accelerator School, Ebeltoft, Denmark Jun. 2010, CERN Yellow Report 2011-007, pp. 67-93.
- [II.11] D. A. Frickey, "Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 2, pp. 205-211, Feb. 1994.
- [II.12] A. Cutivet, "Caractérisation et modélisation de dispositifs GaN pour la conception de circuits de puissance hyperfréquence," Universités de Lille 1 et de Sherbrooke, 2015.
- [II.13] P. Altuntas, "Fabrication et Caractérisation de dispositifs de type HEMT de la Filière GaN Pour des Applications de Puissance Hyperfréquences," Université de Lille 1, 2015.
- [II.14] A. H. Jarndal, "Large-Signal Modeling of GaN Device for High Power Amplifier Design," Université de Kassel, 2007.
- [II.15] www.gansystems.com (consulté le 04/09/2019)
- [II.16] Application Note, "Introducing a Family of eGaN FETs for Multi-Megahertz Hard Switching Applications." Efficient Power Conversion, 2014.
- [II.17] Brian C. Wadell, "Transmission Line Design Handbook." Artech House Microwave Library, 1991.
- [II.18] H. C. Miller, "Inductance formula for a single-layer circular coil," in *Proceedings of the IEEE*, vol. 75, no. 2, pp. 256-257, Feb. 1987.
- [II.19] V. Velayudhan, E. Pistono, and J.-D. Arnould, "Half-Thru de-embedding method for millimeter-wave and sub-millimeter-wave integrated circuits," 10th Conference on Ph. D. Research in Microelectronics and Electronics, pp. 1-4, 2014.
- [II.20] J. Paleček, M. Vestenický, P. Vestenický and J. Spalek, "Examination of SMA connector parameters," 2012 IEEE 16th International Conference on Intelligent Engineering Systems (INES), Lisbon, pp. 259-263, 2012.
- [II.21] H. Takuichi, H. Jiro, and A. Makoto, "Influence of the SMA Connector and Its Modeling on Electromagnetic Simulation," *Microw. Opt. Technol. Lett.*, vol. 57, no. 9, Sep. 2015.
- [II.22] T. Liu, T. T. Y. Wong and Z. J. Shen, "A New Characterization Technique for Extracting Parasitic Inductances of SiC Power MOSFETs in Discrete and Module Packages Based on Two-Port S-Parameters Measurement," in *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9819-9833, Nov. 2018.
- [II.23] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microw. Theory Tech.*, vol. 36, no. 7, pp. 1151-1159, Jul. 1988.
- [II.24] F. Lecourt, "Hétérostructures AlGaIn/GaN et InAlN/GaN pour la réalisation de HEMTs de puissance hyperfréquence en bande Ka," Université de Lille 1, 2012.
- [II.25] A. K. Sahoo, N. K. Subramani, J. C. Nallatamby, N. Rolland, R. Quere and F. Medjdoub, "Temperature dependent contact and channel sheet resistance extraction of GaN HEMT," *Integrated Nonlinear Microwave and Millimetre-wave Circuits Workshop (INMMiC)*, Taormina, 2015, pp. 1-3.
- [II.26] F. Lecourt, Y. Douvry, N. Defrance, V. Hoel, J.-C. De Jaeger, S. Bouzid, M. Renvoise, D. Smith, H. Maher, "High transconductance AlGaIn/GaN HEMT with thin barrier on Si(111) substrate," 2010 Proceedings of the European Solid State Device Research Conference, Sevilla, 2010, pp. 281-284.

- [II.27] M. Thorsell, K. Andersson, H. Hjelmgren and N. Rorsman, "Electrothermal Access Resistance Model for GaN-Based HEMTs," in IEEE Transactions on Electron Devices, vol. 58, no. 2, pp. 466-472, Feb. 2011.

Chapitre III : Modélisation électrothermique d'un transistor de puissance GaN en boîtier

Introduction

La conception des convertisseurs statiques nécessite des étapes de simulation s'appuyant sur des modèles fiables et précis des transistors de puissance. La montée en fréquence des convertisseurs impose des modèles valides sur une large plage de fréquence. Les contraintes fortes sur les transistors de puissance nécessitent de posséder des modèles électrothermiques représentatifs du fonctionnement des composants afin de pouvoir prédire les performances électriques des convertisseurs et dimensionner les systèmes de refroidissement. Dans ce contexte, ce chapitre présente les différentes techniques de modélisation mises en œuvre au cours de ces travaux de recherche afin de concevoir un modèle électrothermique pour un transistor de puissance GaN en boîtier.

La première partie du chapitre présente les différentes méthodes de modélisation des éléments non linéaires du modèle électrique (capacités inter-électrodes, sources de courant de grille et de drain) du transistor de puissance GaN GS66502B. Ces méthodes se basent sur les résultats de caractérisation haute fréquence obtenus dans le chapitre II ainsi que sur des caractérisations statiques classiques. Le modèle électrique du transistor GaN est ensuite développé au sein du logiciel ADS en vue de simulations de convertisseurs HF. La bonne implémentation numérique des éléments non linéaires sera vérifiée.

Dans un second temps, une méthode originale est proposée pour la détermination du modèle thermique du transistor. Un circuit de Cauer est obtenu à partir de mesures de puissances dissipées au sein du composant et d'une procédure d'optimisation. Ce modèle thermique est alors combiné avec le modèle électrique précédemment développé dans ADS. Une comparaison d'impédances thermiques en régime transitoire avec des valeurs de référence permettra de valider le modèle électrothermique du transistor GaN.

Enfin, la dernière partie du chapitre présente une contribution aux travaux de recherche effectués au sein du laboratoire L2EP sur la modélisation du phénomène de résistance dynamique dans les transistors GaN. En effet, cet effet amplifie les pertes par conduction des composants GaN et sa modélisation est une étape nécessaire. Une méthode est alors proposée afin d'obtenir un modèle de résistance dynamique pour le transistor GaN GS66502B suite à des résultats de caractérisation obtenus dans le cadre d'une collaboration avec l'université de Nottingham.

III.1. Modélisation électrique du transistor GaN

III.1.1. Modélisation des capacités inter-électrodes

Les capacités présentes entre chaque paire de terminaux du transistor de puissance sont dépendantes des tensions V_{gs} et V_{ds} comme ceci a été montré dans la partie II.3 du second chapitre. La bonne précision dans la simulation du comportement durant le processus de commutation du composant repose sur une modélisation rigoureuse des capacités inter-électrodes en fonction des tensions de polarisation sur la plage de fonctionnement du transistor.

La modélisation des capacités inter-électrodes basée sur le modèle d'une capacité de jonction de diode fait partie des modèles les plus communs dans la littérature [III.1]. L'expression correspondante à ce type de modèle est donnée par l'équation eq.(III.1) pour une capacité non linéaire arbitraire C_x représentant une capacité inter-électrode dépendante de la tension à ses bornes notée V_x . C_{J0} est la capacité de jonction sans polarisation, V_b est la tension barrière et m est le coefficient de gradation (généralement compris entre $\frac{1}{3}$ et $\frac{1}{2}$).

$$C_x(V_x) = \frac{C_{J0}}{\left(1 - \frac{V_x}{V_b}\right)^m} \quad (\text{III.1})$$

Ce modèle présente cependant certains inconvénients pour la modélisation des capacités parasites du transistor de puissance GaN étudié. Tout d'abord, au vu de l'évolution des capacités C_{gd} et C_{ds} en fonction de la tension V_{ds} obtenue expérimentalement et indiquée sur la figure (II.41), l'équation eq.(III.1) ne présente pas suffisamment de paramètres pour obtenir une modélisation précise. De plus, l'équation eq.(III.1) n'est pas adaptée à l'évolution des capacités C_{gs} et C_{gd} en fonction de la tension V_{gs} donnée sur la figure (II.43).

Un modèle de capacité plus modulable a été proposé dans [III.2], mais la dépendance des capacités C_{gs} et C_{gd} en fonction de la tension V_{gs} n'est pas prise en compte. Finalement, un modèle analytique basé sur des fonctions de type tangente hyperbolique a été proposé par les auteurs dans [III.3]. Ce modèle présente une bonne flexibilité ainsi qu'une bonne convergence pour la modélisation des capacités inter-électrodes des transistors GaN en fonction de la tension à leurs bornes. Le modèle de capacité utilisé dans ces travaux est inspiré de [III.3] et donné par l'équation eq.(III.2).

$$C_{ij}(V_{ij}) = C_{0ij} + \sum_{k=1}^3 C_{kij} \left(1 + \tanh \left(\frac{V_{ij} + V_{k1ij}}{V_{k2ij}} \right) \right) \quad (\text{III.2})$$

Où $ij = gs, dg, ds$. Les paramètres C_{0ij} , C_{kij} , V_{k1ij} et V_{k2ij} sont des paramètres d'ajustement.

La figure III.1 présente les résultats de modélisation des capacités C_{gs} et C_{gd} en fonction des tensions V_{gs} et V_{dg} respectivement et la figure III.2 montre la modélisation de la capacité C_{ds} en fonction de la tension V_{ds} du transistor GaN GS66502B. Les paramètres des trois modèles sont obtenus par une procédure d'ajustement à partir des mesures et sont renseignés dans le tableau III.1.

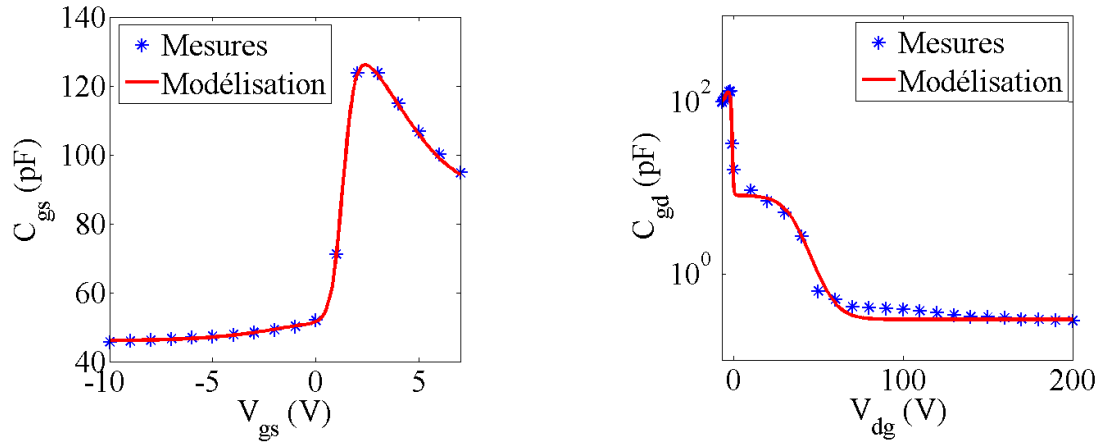


Figure III. 1 : Modélisation non linéaire des capacités C_{gs} et C_{gd} du transistor de puissance GaN

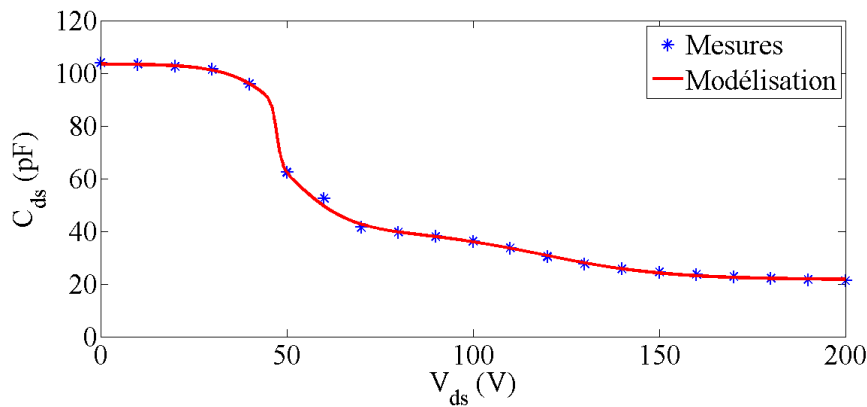


Figure III. 2 : Modélisation non linéaire de la capacité C_{ds} du transistor de puissance GaN

Tableau III. 1 : Paramètres des modèles de capacités inter-électrodes

$C_{0_{gs}}$	$C_{1_{gs}}$	$C_{2_{gs}}$	$C_{3_{gs}}$	$V_{11_{gs}}$	$V_{12_{gs}}$	$V_{21_{gs}}$	$V_{22_{gs}}$	$V_{31_{gs}}$	$V_{32_{gs}}$
(pF)	(pF)	(pF)	(pF)	(V)	(V)	(V)	(V)	(V)	(V)
131,4	-42,72	-1380	1336	-1,313	-0,577	-2,689	3,655	-2,598	3,687
$C_{0_{dg}}$	$C_{1_{dg}}$	$C_{2_{dg}}$	$C_{3_{dg}}$	$V_{11_{dg}}$	$V_{12_{dg}}$	$V_{21_{dg}}$	$V_{22_{dg}}$	$V_{31_{dg}}$	$V_{32_{dg}}$
(pF)	(pF)	(pF)	(pF)	(V)	(V)	(V)	(V)	(V)	(V)
100	-60,85	29,86	-7,866	1.5	0,712	5	1,09	-35	12,92
$C_{0_{ds}}$	$C_{1_{ds}}$	$C_{2_{ds}}$	$C_{3_{ds}}$	$V_{11_{ds}}$	$V_{12_{ds}}$	$V_{21_{ds}}$	$V_{22_{ds}}$	$V_{31_{ds}}$	$V_{32_{ds}}$
(pF)	(pF)	(pF)	(pF)	(V)	(V)	(V)	(V)	(V)	(V)
103,5	-9,44	-22,98	-40	-118,9	33.12	-47,34	1,429	-51,22	15,14

Le comportement non linéaire de ces capacités nécessite la mise en place de techniques particulières pour l'implémentation des modèles dans les logiciels de simulation. Plusieurs propositions d'implémentation des modèles de capacités inter-électrodes sous SPICE sont présentes dans la littérature. Dans la suite on s'intéresse à deux modèles. Dans le premier, les auteurs dans [III.4] proposent le modèle circuit présenté sur la figure III.3(a). Le courant dans la capacité noté $i_c(t)$ est défini par la relation eq.(III.3). C est la capacité modélisée et $v_c(t)$ la tension à ses bornes. Le condensateur C_{aux} sert au calcul de la dérivée de la tension $v_c(t)$ selon la relation (III.4). Finalement, à partir des relations eq.(III.3) et eq.(III.4), la source de courant non linéaire $i_s(t)$ s'exprime comme indiqué par la relation eq.(III.5). A noter que dans ces travaux, les valeurs de la capacité C en fonction de la tension v_c sont implémentées au sein d'une table d'observation (look-up table).

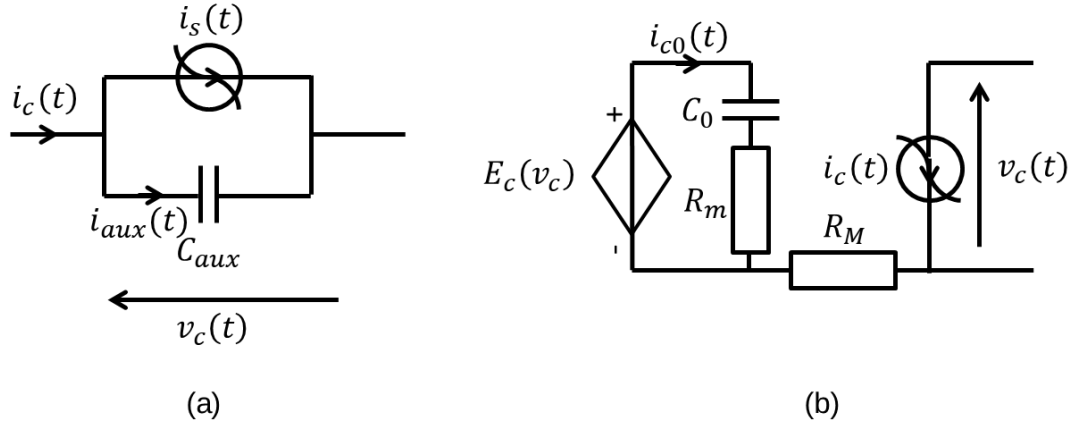


Figure III. 3 : Exemples de modèles SPICE de capacités inter-électrodes pour transistor GaN : (a) modèle proposé dans [III.4] (b) modèle proposé dans [III.5]

$$i_c(t) = C(v_c) \frac{dv_c(t)}{dt} \quad (III.3)$$

$$\frac{dv_c(t)}{dt} = \frac{i_{aux}(t)}{C_{aux}} \quad (III.4)$$

$$i_s(t) = i_c(t) - i_{aux}(t) = i_{aux}(t) \left(\frac{C(v_c)}{C_{aux}} - 1 \right) \quad (III.5)$$

Le second modèle pour une implémentation dans SPICE, proposé par les auteurs dans [III.5], est donné sur la figure III.3(b). Ce modèle repose sur une source de tension non linéaire E_c contrôlée par la tension $v_c(t)$ aux bornes de la capacité et représentant l'équation de charge selon la relation eq.(III.6). Dans cette équation p , q , r et s sont des paramètres d'ajustement qui peuvent être obtenus par connaissance de l'évolution de $C(v_c)$. Le courant $i_{c0}(t)$ s'exprime selon la relation eq.(III.7). La source de courant $i_c(t)$ contrôlée par le courant $i_{c0}(t)$ représente alors le courant dans la capacité inter-électrode comme le montre la relation eq.(III.8).

$$E_c(t) = s \cdot q \cdot \ln \left(1 + \exp \left(\frac{v_c(t) - p}{q} \right) \right) + r \cdot v_c(t) \quad (III.6)$$

$$i_{c0}(t) = C_0 \frac{dE_c(t)}{dt} \quad (III.7)$$

$$i_c(t) = \frac{i_{c0}(t)}{C_0} = \frac{dE_c(t)}{dt} \quad (III.8)$$

On peut remarquer dans les deux modèles présentés précédemment que la méthode revient toujours à obtenir une source de courant $i_c(t)$ représentant le courant circulant dans la capacité lorsque celle-ci est soumise à une tension $v_c(t)$. C'est également cette méthode qui sera employée pour la modélisation de capacité inter-électrodes proposé dans ces travaux. Afin de profiter des avantages offerts par le logiciel ADS pour l'électronique de puissance haute fréquence, on propose ici un modèle compatible avec les fonctionnalités du logiciel plutôt qu'un modèle SPICE. Le modèle de capacité non linéaire pour ADS proposé est constitué de deux sources de courant comme représenté sur la figure III.4(a). La source de courant $i_{deriv}(t)$ sert à obtenir la dérivée de la tension aux bornes de la capacité comme l'indique la relation eq.(III.9). A partir des relations eq.(III.3) et eq.(III.9), on en déduit l'expression du courant dans la capacité $i_c(t)$ selon la relation (III.10).

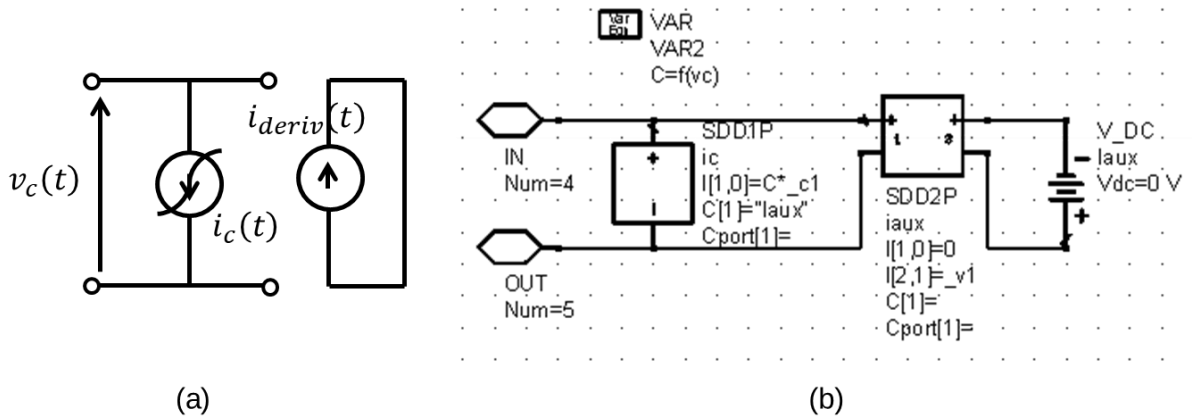


Figure III. 4 : Modèle non linéaire proposé de capacité inter-électrodes (a) schéma électrique équivalent (b) schéma d'implémentation du modèle sous ADS

$$i_{deriv}(t) = \frac{dv_c(t)}{dt} \quad (III.9)$$

$$i_c(t) = C(v_c).i_{deriv}(t) \quad (III.10)$$

Le logiciel ADS dispose de composants « Symbolically Defined Device » (SDD) multiports basés sur des équations non linéaires. Le schéma de principe de l'implémentation sous ADS du modèle de capacité à l'aide de SDD 1 et 2 ports est donné sur la figure III.4(b). Des sous-circuits sont alors réalisés pour chacune des capacités inter-électrodes C_{gs} , C_{gd} et C_{ds} . Ces sous-circuits seront ensuite ajoutés aux autres éléments du modèle circuit du transistor GaN étudié.

III.1.2. Modélisation des sources de courant

L'obtention des caractéristiques statiques du modèle électrique du transistor GaN passe par des mesures de type courant/tension à l'aide d'un traceur de caractéristiques. Les mesures sont conduites sur le transistor GS66502B à l'aide du banc de caractérisation B1505A pour des tensions V_{GS} de -1V à 6V et des tensions V_{DS} de -4V à 20V. Afin de limiter au maximum les effets d'auto-échauffement, les mesures sont effectuées en régime pulsé avec une durée des impulsions de 50 μs (minimum réglable) et un temps de repos de 200 ms. Néanmoins, des simulations d'élévation de température pendant les mesures sont effectuées afin de déterminer les zones de caractérisation influencées par la température. Ces simulations sont effectuées à l'aide du réseau thermique du transistor extrait à partir d'une note d'application [III.6]. Le schéma de simulation est présenté sur la figure III.5 sur laquelle $R_{\theta i}$ et $C_{\theta i}$ sont les éléments du circuit thermique, $p_D(t)$ est la puissance dissipée durant l'impulsion, T_a est la température ambiante et $\Delta T(t)$ est l'élévation de température durant l'impulsion. Les résultats de simulation montrent une

relation linéaire, donnée par eq.(III.11), entre l'élévation en température du composant et la puissance moyenne dissipée $P_D = V_{DS} \cdot I_D$ comme présenté sur la figure III.6.

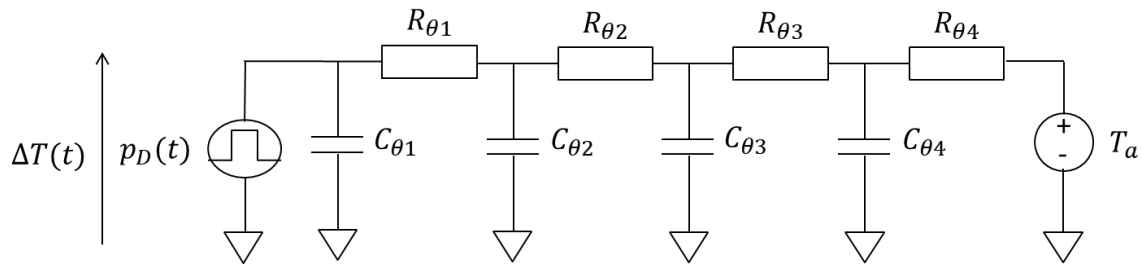


Figure III. 5 : Schéma de simulation de l'auto-échauffement durant les mesures IV pulsées

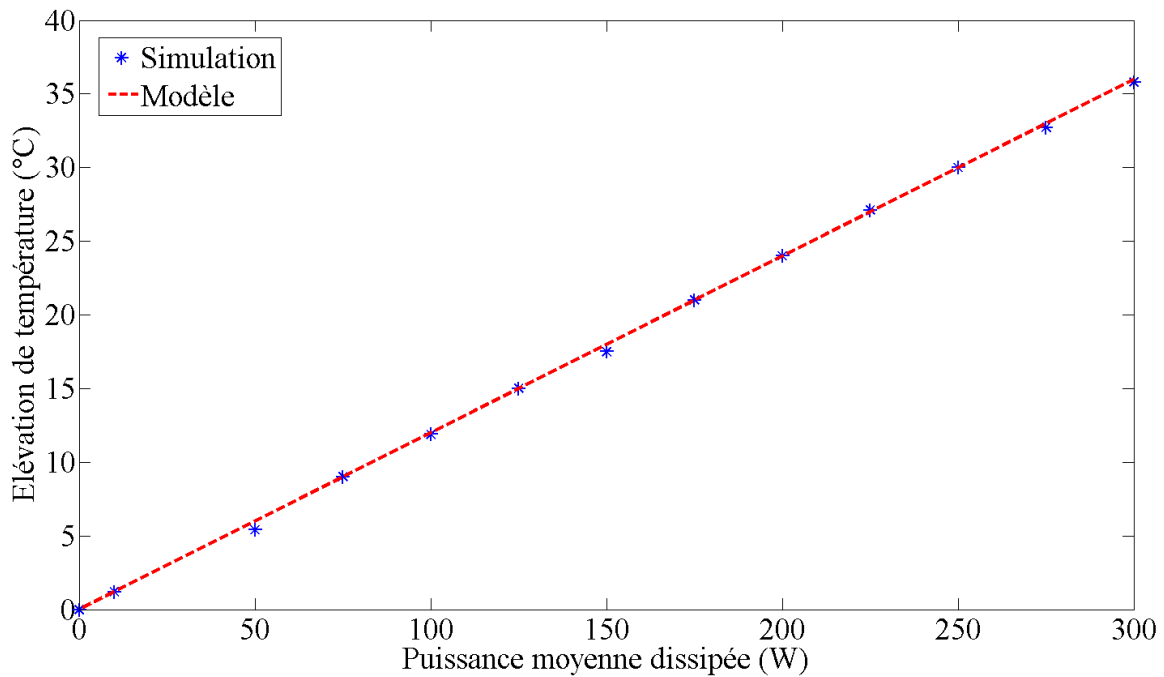


Figure III. 6 : Simulation de l'auto-échauffement du transistor pour différentes puissances dissipées durant les mesures I-V pulsées

$$\Delta T(^{\circ}C) = 0,12 P_D(W) \quad (III.11)$$

La figure III.7 montre les résultats de caractérisation du transistor GS66502B en régime pulsé avec une cartographie de l'auto-échauffement du composant obtenue à partir de la relation eq.(III.11). On observe que l'auto-échauffement devient important (supérieur à 10 °C) à des tensions V_{DS} supérieures à 5V. De plus, pour des V_{GS} supérieurs à 4V le banc de caractérisation limité à 20A ne permet pas de tracer la caractéristique du composant pour des tensions V_{DS} supérieures à 5V. Ainsi, la modélisation de la source de courant de drain du transistor se fera principalement pour des tensions V_{DS} entre -4V et 5V. On note également que, dans la zone ohmique de la caractéristique, la valeur de la résistance $R_{DS(on)}$ est de l'ordre de 200 mΩ, soit une valeur conforme avec la valeur de référence à 25°C.

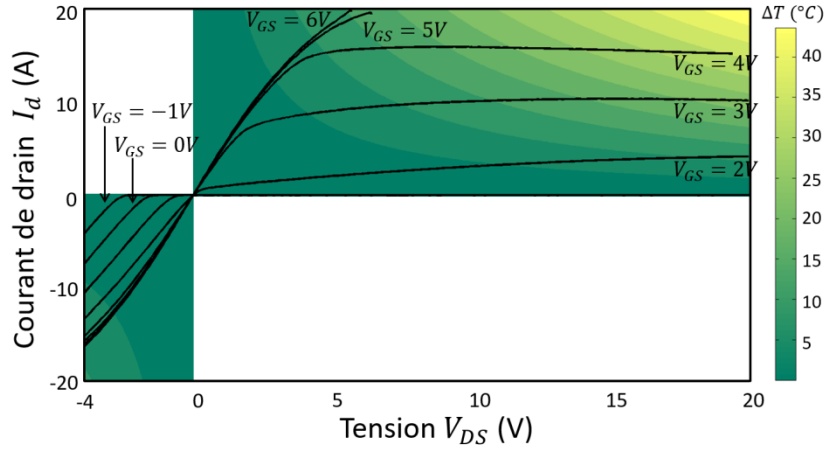


Figure III. 7 : Mesures I-V en régime pulsé sur le transistor de puissance GaN et cartographie de l'auto-échauffement du composant

La manière la plus rigoureuse de modéliser la caractéristique statique du transistor présenté sur la figure III.7 est d'avoir recours à un modèle basé sur la physique du composant [III.7], [III.8]. Ce type de modélisation présente néanmoins certains inconvénients en termes de complexité et de temps de simulation mais aussi par la nécessité d'une connaissance précise des paramètres technologiques et physiques du composant. De nombreux modèles comportementaux basés sur des fonctions non linéaires sont disponibles dans la littérature parmi lesquels les plus utilisés pour la modélisation de transistors HEMT GaN sont les modèles d'Angelov, de Statz, de Curtice et de Tajima [III.9]-[III.12]. Les modèles cités précédemment sont largement employés dans le cadre de la modélisation non linéaire de transistors radiofréquences fonctionnant sur la zone directe de la caractéristique ($V_{ds} > 0V$). Cependant ces modèles ne permettent pas de modéliser la zone inverse de fonctionnement du composant ($V_{ds} < 0V$) ce qui est nécessaire pour la modélisation de transistors de puissance amenés à fonctionner en inverse à l'état bloqué ou passant dans la plupart des applications d'électronique de puissance.

Le modèle comportemental de source de courant de drain utilisé dans ces travaux de thèse est inspiré des travaux présentés par les auteurs dans [III.13] et [III.5] pour la modélisation de transistors de puissance GaN. Ce modèle permet de modéliser l'ensemble de la caractéristique statique à partir d'équations non linéaires permettant à la fois une bonne séparation des influences de V_{gs} et V_{ds} ainsi qu'un nombre de paramètres d'ajustement raisonnable tout en gardant une bonne flexibilité. Les équations du modèle sont données par la relation eq.(III.12) pour $V_{ds} > 0V$ et la relation eq.(III.13) pour $V_{ds} < 0V$.

$$I_d(V_{gs}, V_{ds}) = K_d \cdot \ln \left(1 + \exp \left(\frac{V_{gs} - b_d}{c_d} \right) \right) \frac{(m_d + n_d \cdot V_{gs}) \cdot V_{ds}}{1 + (d_d + e_d \cdot V_{gs}) \cdot V_{ds}} \quad (\text{III.12})$$

$$I_d(V_{gs}, V_{ds}) = K_i \cdot \ln \left(1 + \exp \left(\frac{V_{gd} - b_i}{c_i} \right) \right) \frac{V_{ds}}{1 + (d_i + e_i \cdot V_{gd}) \cdot V_{ds}} \quad (\text{III.13})$$

$K_d, b_d, c_d, d_d, e_d, m_d, n_d, K_i, b_i, c_i, d_i, e_i$ sont les paramètres d'ajustement du modèle. On note que les équations eq.(III.12) et eq.(III.13) ont des formes très semblables et la principale différence vient du fait qu'en conduction inverse, la tension de contrôle devient la tension V_{gd} , tandis que le paramètre de modulation du canal demeure la tension V_{gs} pour la conduction directe. Les paramètres du modèle de source de courant sont déterminés à partir d'une procédure d'optimisation implémentée dans le logiciel ADS. Le schéma de la procédure d'optimisation est donné sur la figure III.8. Pour chaque jeu de paramètres, le courant I_d simulé est comparé au courant I_d mesuré et la fonction d'optimisation

minimise l'erreur entre les courbes. Bien que le courant de grille, ne dépassant pas la centaine de microampère, n'induit qu'une chute de tension négligeable entre grille et source, le courant de drain (susceptible d'atteindre quelques 20 A durant les mesures) peut entraîner une différence de plusieurs volts entre la tension intrinsèque V_{ds} et la tension extrinsèque V_{DS} . Ainsi, les résistances d'accès déterminées au second chapitre sont prises en considération dans le schéma de simulation afin de tenir compte de la différence entre V_{ds} et V_{DS} notamment. Les paramètres initiaux pour la procédure d'optimisation sont choisis en accord avec les paramètres donnés par les auteurs dans [III.5].

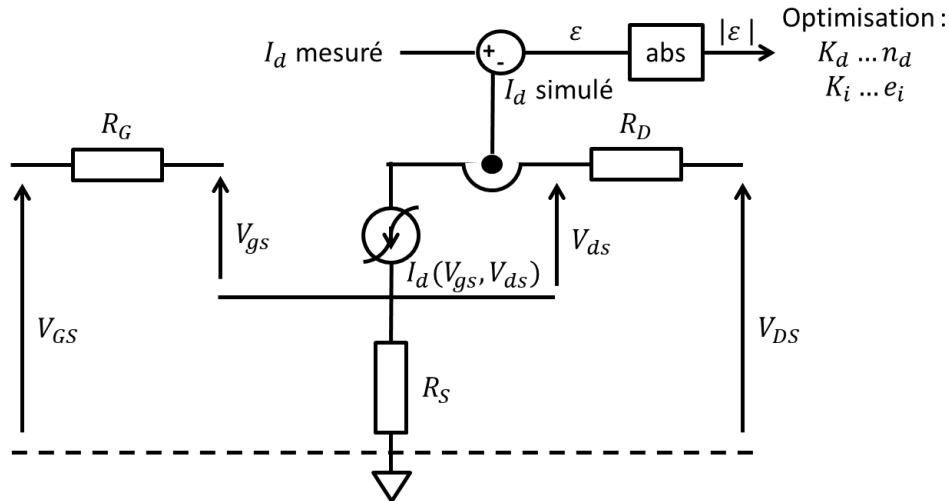


Figure III. 8 : Schéma de la procédure d'optimisation implémentée dans ADS pour déterminer les paramètres du modèle de la source de courant de drain

Suite à la routine d'optimisation, les paramètres du modèle renseignés dans le tableau III.2 sont obtenus.

Tableau III. 2 : Paramètres du modèle de la source de courant de drain

K_d (A/V)	b_d (V)	c_d (V^{-1})	d_d (V^{-1})	e_d (V^{-2})	m_d	n_d (V^{-1})
1,71	2,06	0,218	1,61	$3,54 \cdot 10^{-4}$	4,32	-0,522
K_i (A/V)	b_i (V)	c_i (V^{-1})	d_i (V^{-1})	e_i (V^{-2})		
1,35	1,78	$9,95 \cdot 10^{-2}$	$-8,92 \cdot 10^{-3}$	0,441		

La figure III.9 compare l'évolution du courant I_d en fonction de V_{gs} entre mesures et modèle. Les figures III.10 et III.11 comparent les évolutions du courant I_d respectivement en fonction des tensions V_{ds} et V_{DS} . On observe que le modèle analytique donné par les équations eq.(III.12) et eq.(III.13) permet une bonne représentation du courant de drain mesuré. On obtient une erreur relative maximale entre mesures et modèle estimée à 20% en fonction de V_{gs} et à 15% en fonction de V_{ds} sur la plage de valeurs considérée.

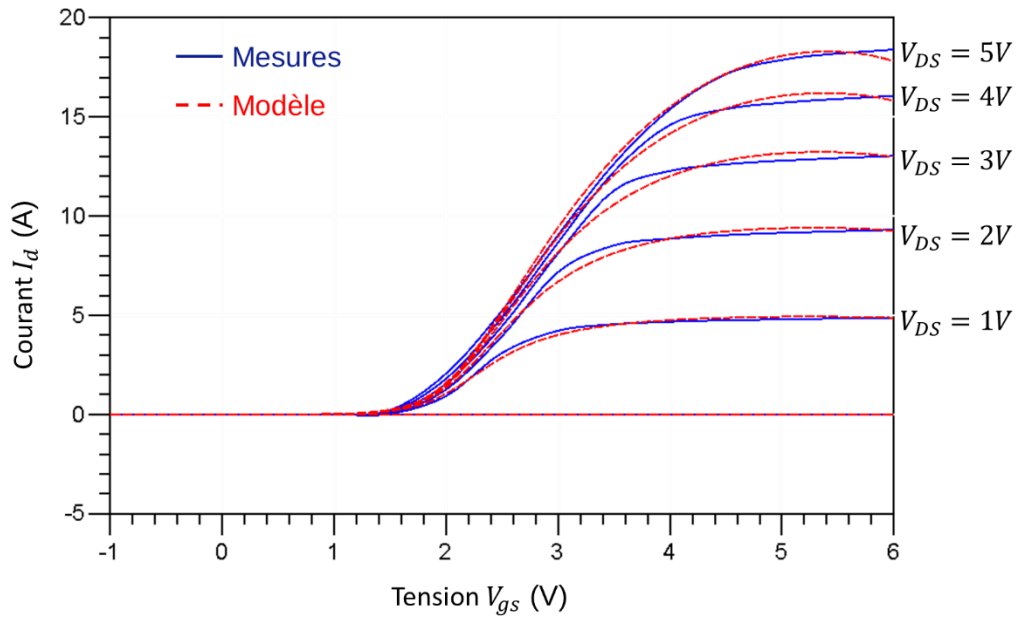


Figure III. 9 : Mesures et modélisation du courant I_d en fonction de la tension V_{gs}

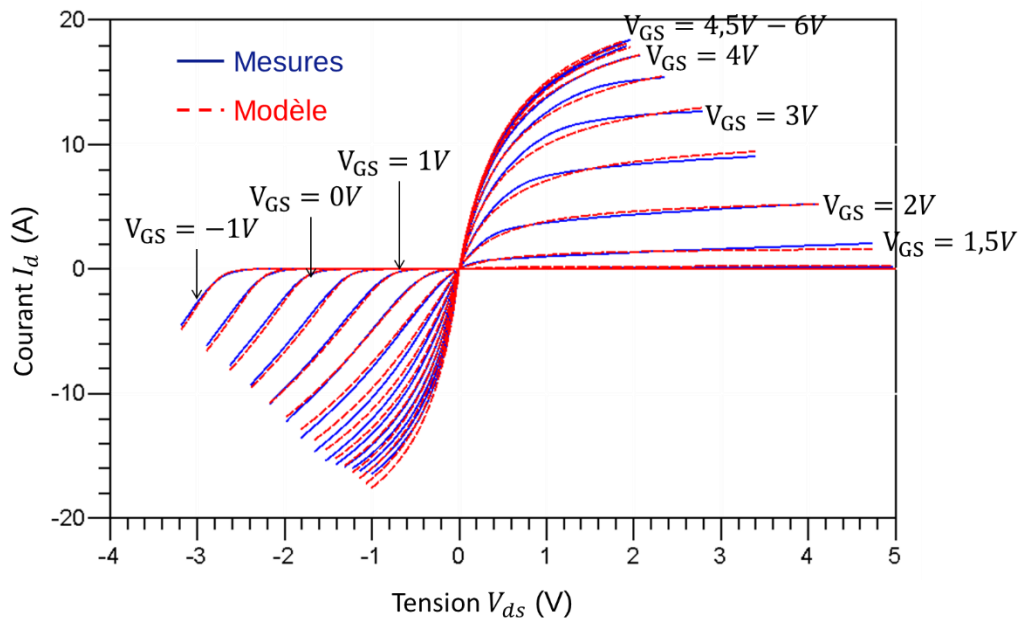


Figure III. 10 : Mesures et modélisation du courant I_d en fonction de la tension V_{ds}

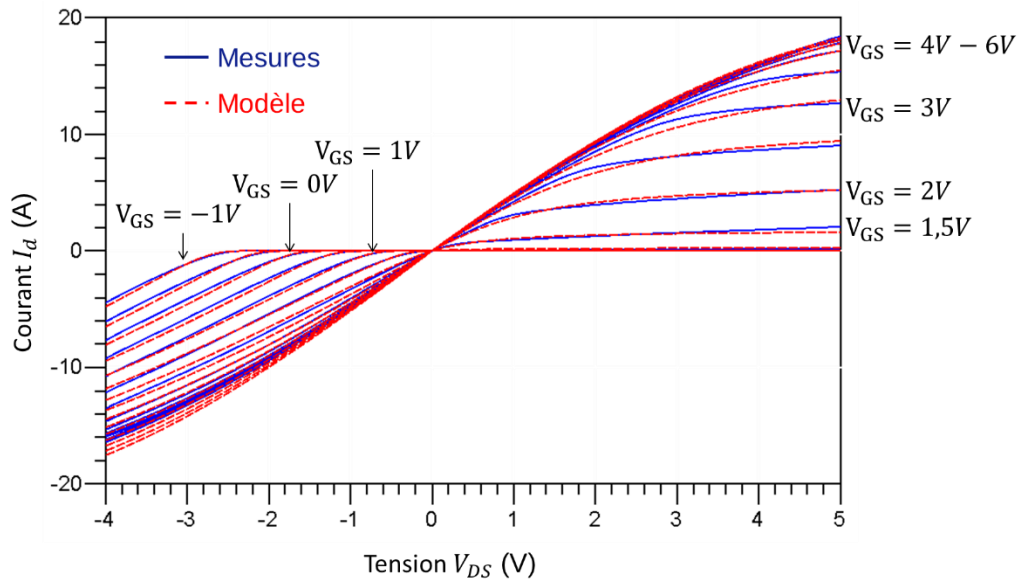


Figure III. 11 : Mesures et modélisation du courant I_d en fonction de la tension V_{DS}

Le dernier élément du modèle électrique du transistor GaN est la source de courant de grille $I_g(V_{gs})$. Cette caractéristique est obtenue à partir de mesure en régime continu du courant de grille en faisant varier la tension V_{gs} sur la plage autorisée de -10 V à 7 V et à drain ouvert. Ainsi, aucun courant DC ne circule entre drain et source et seules les fuites de grille sont mesurées. Le modèle proposé pour le courant de grille est donné par la relation eq.(III.14), cette équation est celle d'une caractéristique de diode divisée en deux termes. L'avantage de scinder l'équation en deux termes indépendants permet de modéliser à la fois le courant de fuite pour des tensions V_{gs} positives et pour des tensions V_{gs} négatives. I_{gs_1} , I_{gs_2} , a_g et b_g sont les paramètres d'ajustement de ce modèle et leur valeur sont données dans le tableau III.3. Une comparaison entre mesures et modèle du courant I_g en fonction de la tension V_{gs} est présentée sur la figure III.12.

$$I_g(V_{gs}) = I_{gs_1}(\exp(a_g \cdot V_{gs}) - 1) + I_{gs_2}(\exp(b_g \cdot V_{gs}) - 1) \quad (\text{III.14})$$

Tableau III. 3 : Paramètres du modèle de la source de courant de grille

I_{gs_1} (μA)	a_g (mV^{-1})	I_{gs_2} (nA)	b_g (mV^{-1})
33.1	26.53	60.3	959.6

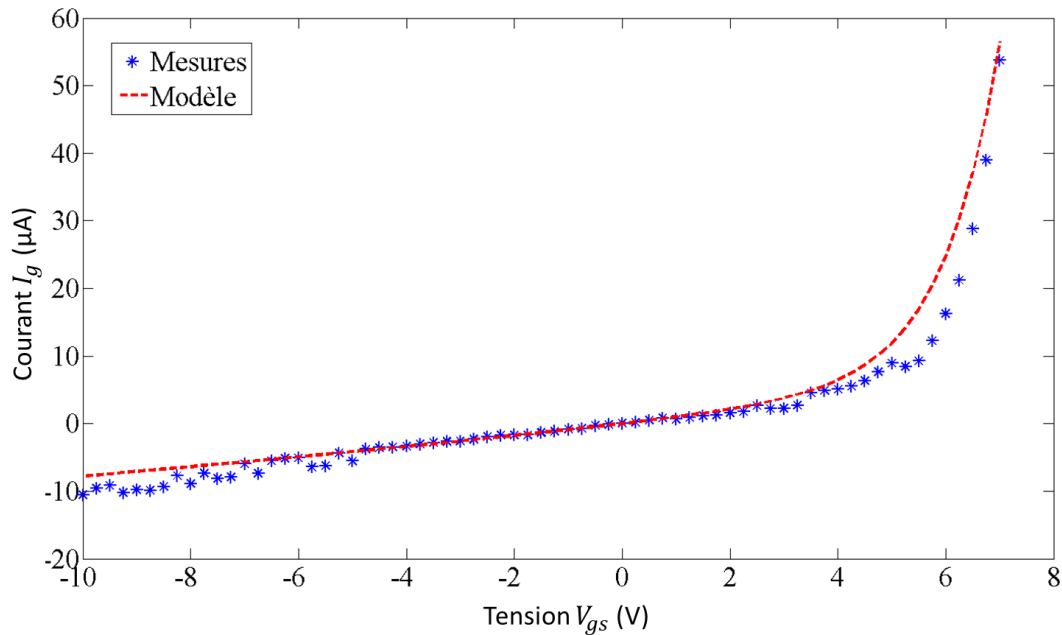


Figure III. 12 : Mesures et modélisation du courant I_g en fonction de la tension V_{gs}

De manière similaire aux capacités inter-électrodes, les modèles des sources de courant de grille et de drain sont implémentés sous ADS à partir de composants circuits non-linéaires SDD comme le montre la figure III.13. Sur la figure III.13(a), le courant I_g dans la SDD est directement fonction de la tension aux bornes du SDD (tension V_{gs}). Sur la figure III.13(b), le courant I_d circulant dans le port 2 de la SDD est directement fonction des tensions aux ports 1 et 2 (respectivement les tensions V_{gs} et V_{ds}).

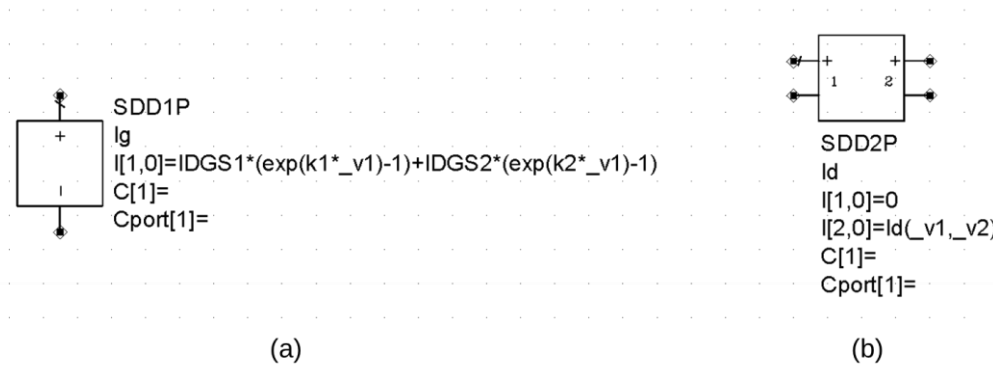


Figure III. 13 : Modèles des sources de courant : (a) de grille (b) de drain implémentés sous ADS

Les modèles des capacités inter-électrodes et des sources de courant de drain et de grille ont été obtenus à partir des résultats de mesure de paramètres S et de courant/tension en régime pulsé. Les équations non linéaires proposées ont permis d'obtenir une modélisation de ces éléments avec une erreur relative modérée sur l'ensemble des plages de caractérisation. L'ensemble des éléments du schéma équivalent électrique du transistor de puissance GaN seront à présent regroupés au sein d'un modèle global électrique implémenté dans le logiciel ADS. Une vérification de cette implémentation à partir de simulations sera ensuite réalisée.

III.1.3. Implémentation du modèle électrique du transistor GaN sous ADS

Le modèle électrique du transistor de puissance GaN est construit dans ADS à partir des éléments modélisés dans les parties précédentes. La figure III.14 montre le modèle électrique implémenté avec identification de ses différents éléments.

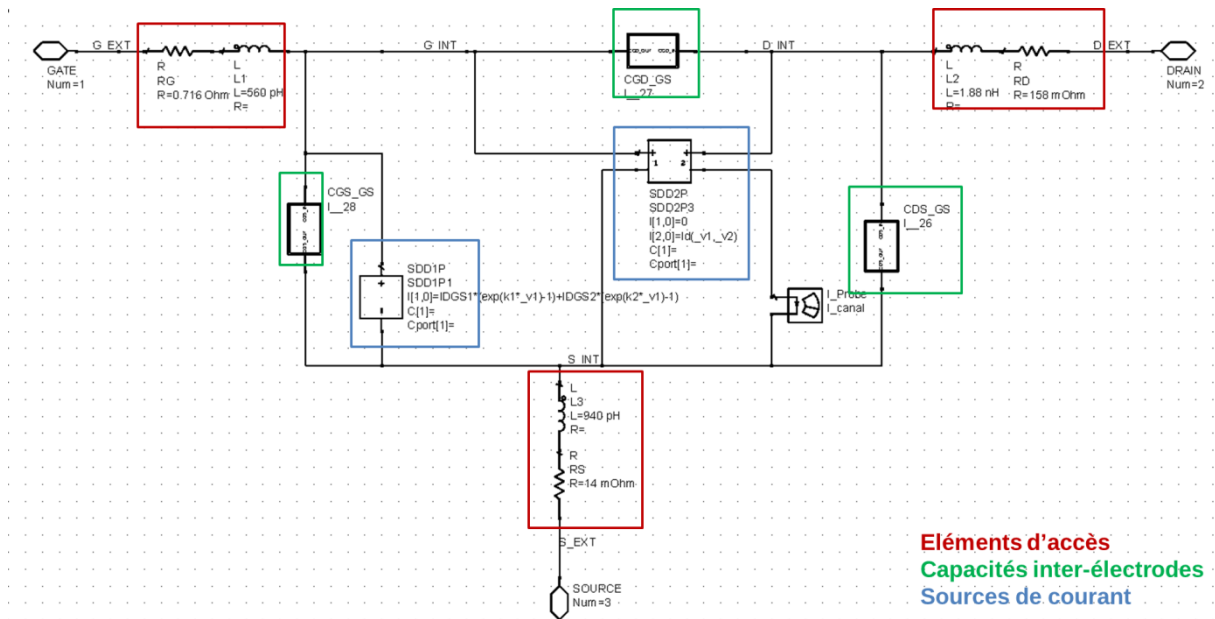


Figure III. 14 : Modèle électrique du transistor GaN implémenté dans ADS

Des simulations sont réalisées sous ADS afin de valider l'implémentation des modèles non linéaires des capacités inter-électrodes et des sources de courant. En ce sens, la validation de l'approche adoptée pour la description des capacités inter-électrodes est réalisée au travers de la simulation présentée sur la figure III.15. Cette simulation reprend la méthode d'extraction des capacités à l'aide des paramètres S en faisant varier les tensions de polarisation V_{GS} et V_{DS} dans les mêmes conditions que celles adoptées expérimentalement.

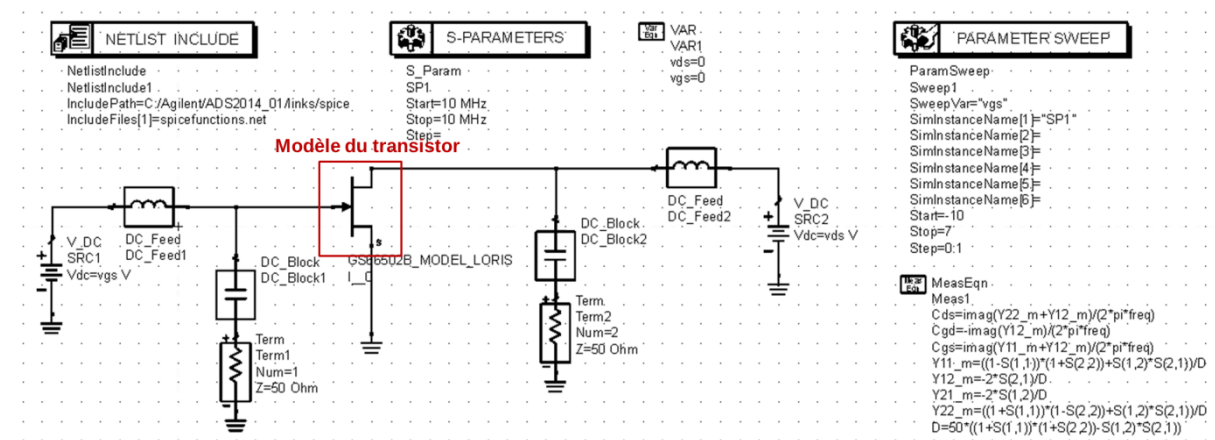


Figure III. 15 : Schéma de simulation en paramètres S pour la validation de l'implémentation des capacités inter-électrodes dans le modèle de transistor GaN

Les figures III.16 et III.17 donnent les résultats de simulation respectivement en fonction de V_{GS} à $V_{DS} = 0V$ et en fonction de V_{DS} à $V_{GS} = 0V$. On peut noter que l'implémentation des modèles de capacités dans le modèle électrique complet du transistor est validée car les capacités simulées suivent fidèlement les résultats expérimentaux. À titre de comparaison, la même simulation est effectuée en remplaçant le modèle de transistor développé par le modèle constructeur. Les résultats de simulation sont également présentés sur les figures III.16 et III.17. On observe que le modèle constructeur modélise correctement les évolutions des capacités C_{gd} et C_{ds} en fonction de la tension V_{DS} ainsi que l'évolution de C_{gs} en fonction de la tension V_{GS} . Cependant le modèle semble ne pas tenir compte de l'évolution notable de la capacité C_{gd} en fonction de V_{GS} observée lors de nos mesures. Cette observation nécessite d'être approfondie dans des travaux ultérieurs pour montrer son influence sur le comportement du modèle.

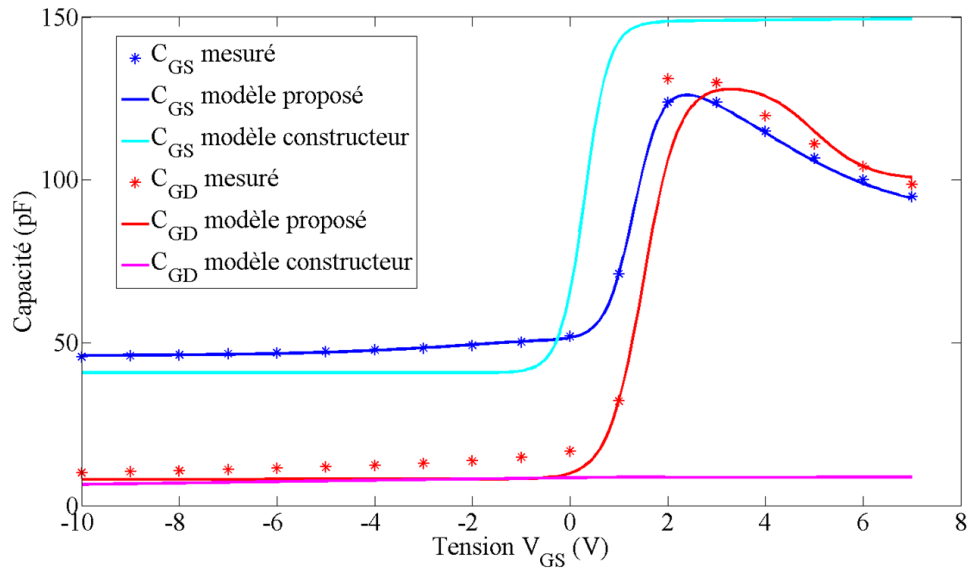


Figure III. 16 : Comparaison des capacités inter-électrodes implémentées dans le modèle proposé et dans le modèle constructeur en fonction de V_{GS} avec les résultats de mesure à $V_{DS} = 0V$ et à 10 MHz

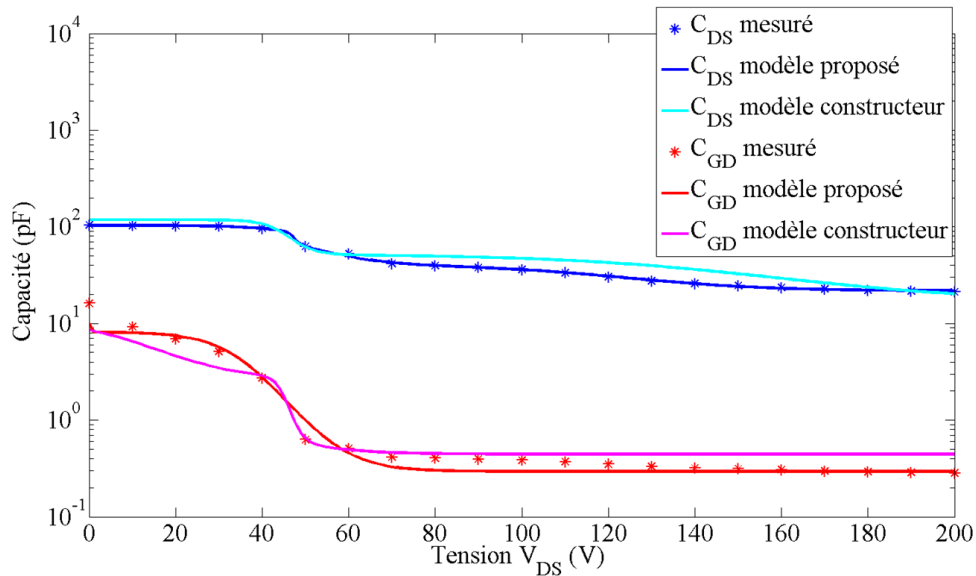


Figure III. 17 : Comparaison des capacités inter-électrodes implémentées dans le modèle proposé et dans le modèle constructeur en fonction de V_{DS} avec les résultats de mesure à $V_{GS} = 0V$ et à 10 MHz

Afin de valider l'implémentation du modèle de source de courant de drain dans le modèle du transistor, la simulation présentée sur la figure III.18 est réalisée. Cette simulation DC permet d'obtenir la caractéristique statique du transistor en fonction des tensions V_{GS} et V_{DS} .

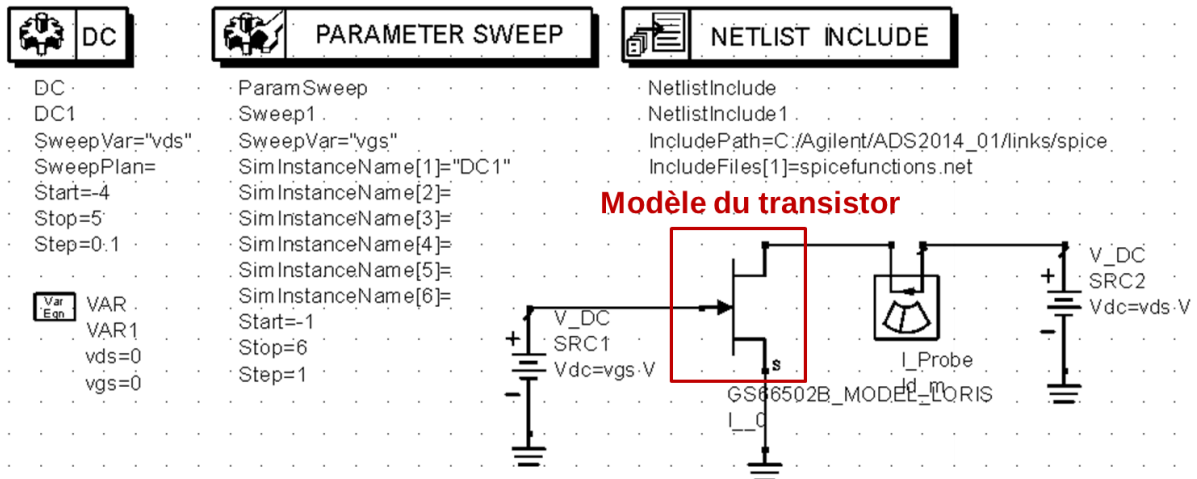


Figure III. 18 : Schéma de simulation en paramètres S pour la validation de l'implémentation de la source de courant de drain parasites dans le modèle de transistor

Les figures III.19 et III.20 donnent les résultats de simulation respectives du courant de drain I_d en fonction de V_{GS} et en fonction de V_{DS} . On peut noter que l'implémentation du modèle de la source de courant de drain dans le modèle électrique complet du transistor est validée, le courant I_d simulé avec le modèle proposé évolue en accord avec les résultats expérimentaux. À titre de comparaison, la même simulation est effectuée en remplaçant le modèle de transistor proposé par le modèle du constructeur. Les résultats de simulation sont également présentés sur les figures III.19 et III.20. On note que pour cette étude le modèle thermique présent dans le modèle constructeur a été désactivé afin de prendre en compte uniquement la partie électrique du modèle.

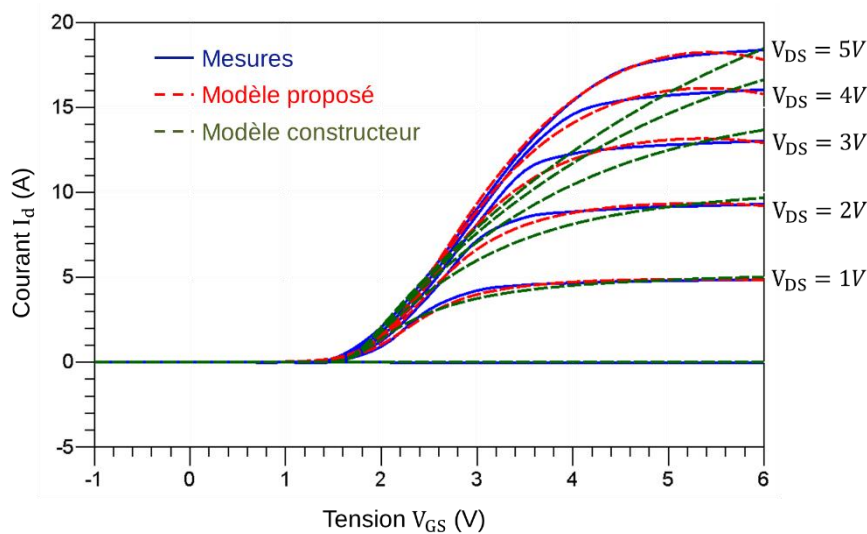


Figure III. 19 : Comparaison du courant de drain I_d simulé avec le modèle proposé et le modèle constructeur en fonction de V_{GS} avec les résultats de mesure

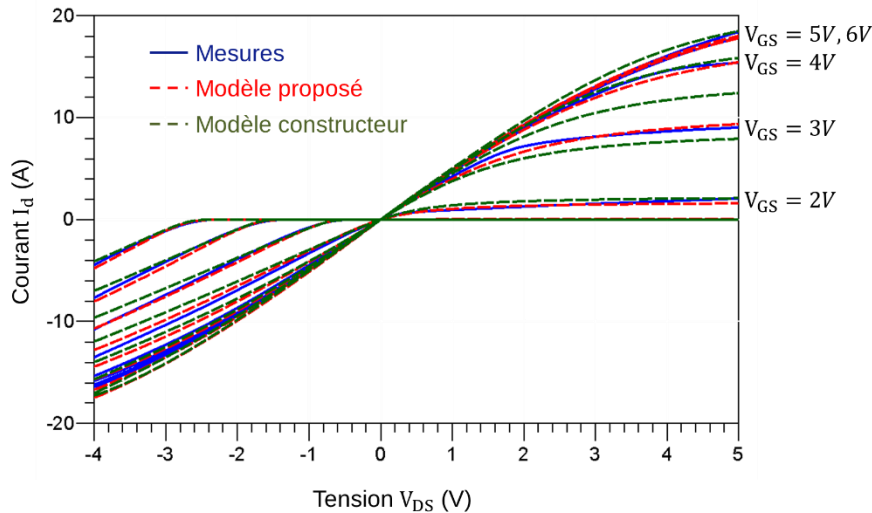


Figure III. 20 : Comparaison du courant de drain I_d simulé avec le modèle proposé et le modèle constructeur en fonction de V_{DS} avec les résultats de mesure

Cette première partie du chapitre a présenté les méthodes de modélisation des éléments non linéaires du modèle électrique du transistor GaN étudié tels que les capacités inter-électrodes et la source de courant de drain et de grille. Les modèles développés ont été implémentés dans le logiciel ADS et ont permis d'obtenir un modèle fonctionnel du transistor représentant de façon fiable les résultats expérimentaux. La partie III.2 va présenter la méthodologie proposée dans cette thèse pour la détermination du modèle thermique du transistor de puissance GaN encapsulé ainsi que la façon dont ce modèle thermique sera couplé au modèle électrique.

III.2. Modélisation thermique du transistor GaN

III.2.1. Mesures de puissance dissipée en régime pulsé

La température affecte les propriétés intrinsèques des composants semi-conducteurs [III.14]. Les effets les plus impactants de l'élévation en température d'un transistor GaN pour des applications d'électronique de puissance sont l'augmentation de la résistance $R_{DS(on)}$ impliquant davantage de pertes en conduction et une diminution du courant de drain due à une chute de la vitesse des porteurs. A moindre mesure, la température affecte également la tension de seuil ainsi que les fuites de courant de grille.

Différentes méthodes sont présentes dans la littérature pour la modélisation thermique de transistors de puissance. Connaissant les paramètres technologiques du composant étudié, il est possible d'extraire un modèle thermique à partir de simulations par éléments finis, comme le propose l'auteur dans [III.15] avec le logiciel COMSOL Multiphysics. Lorsque les paramètres technologiques du transistor demeurent inconnus ou indéterminables, la modélisation nécessite le retour à des étapes de caractérisation. Les méthodes les plus courantes reposent sur l'extraction du réseau thermique (résistances et capacités thermiques) à partir de mesures pulsées I-V à différentes températures de jonction [III.16] ou à partir de mesures de puissances dissipées et d'auto-échauffement [III.17]-[III.19]. Dans ces travaux de thèse, le choix est tourné vers des mesures de puissances dissipées car cette méthode de caractérisation est directement applicable via l'utilisation des dispositifs de caractérisation développés et du banc de mesure B1505A et ceci sans qu'aucun contrôle externe de la température de jonction du transistor ne soit requis.

Des mesures de puissances dissipées sur une durée d'une milliseconde sont effectuées sur le transistor de puissance GaN GS66502B à l'aide du banc de caractérisation B1505A. La tension V_{GS} est fixée à 4 V de sorte à polariser la jonction de grille en direct et pouvoir utiliser la valeur du courant de grille pour

estimer la température de jonction. Trois tensions V_{DS} différentes 5, 10 et 15 V sont appliquées afin d'obtenir différents profils de puissance pour la modélisation. La figure III.21(a) donne le schéma de principe de la mesure et les chronogrammes des impulsions. La durée maximale paramétrable pour l'impulsion de puissance est de 1 ms. Les résultats de mesure sont présentés sur la figure III.21(b).

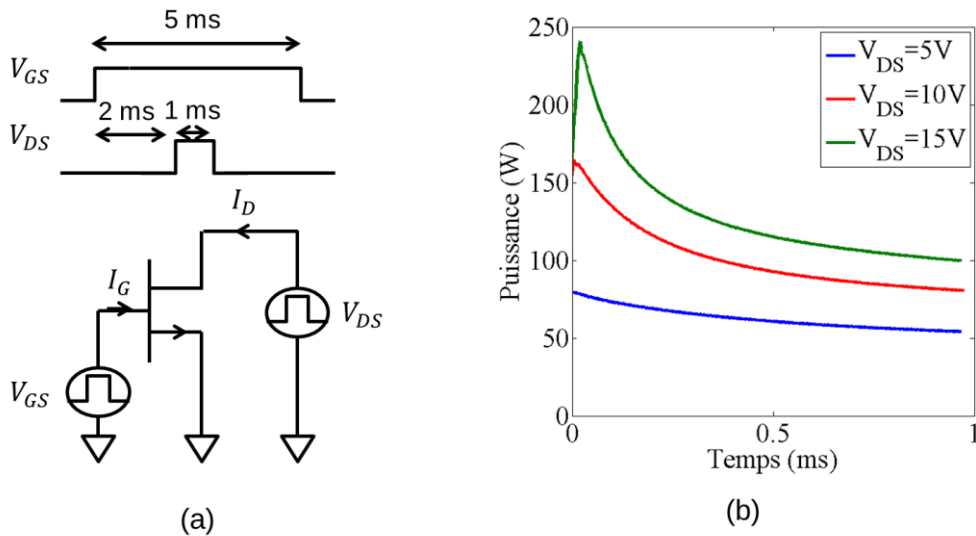


Figure III. 21 : (a) schéma principe de la mesure de puissances dissipées (b) résultats de mesures de puissances dissipées sur le transistor GaN

La durée très courte des impulsions pendant les mesures de puissances dissipées ne permet pas d'obtenir la température de jonction du transistor par mesure directe. Ce travail propose d'utiliser la mesure du courant de grille I_G afin d'estimer la température de jonction. Pour ce faire le banc de mesure présenté sur la figure III.22(a) est utilisé en vue de l'extraction de la caractéristique d'évolution du courant de grille en fonction de la température du transistor. De façon similaire à la caractérisation des résistances d'accès en fonction de la température, le transistor est polarisé à un courant de drain réglable entre 0 et 2 A permettant de faire varier la température de jonction jusqu'à une centaine de degrés Celsius. Le courant de grille est alors mesuré à l'aide d'une unité de mesure Keithley 2400 et la température du transistor est obtenu par mesure via une caméra thermique portable. La figure III.22(b) montre les résultats expérimentaux obtenus et la modélisation des résultats à l'aide de la relation eq.(III.15).

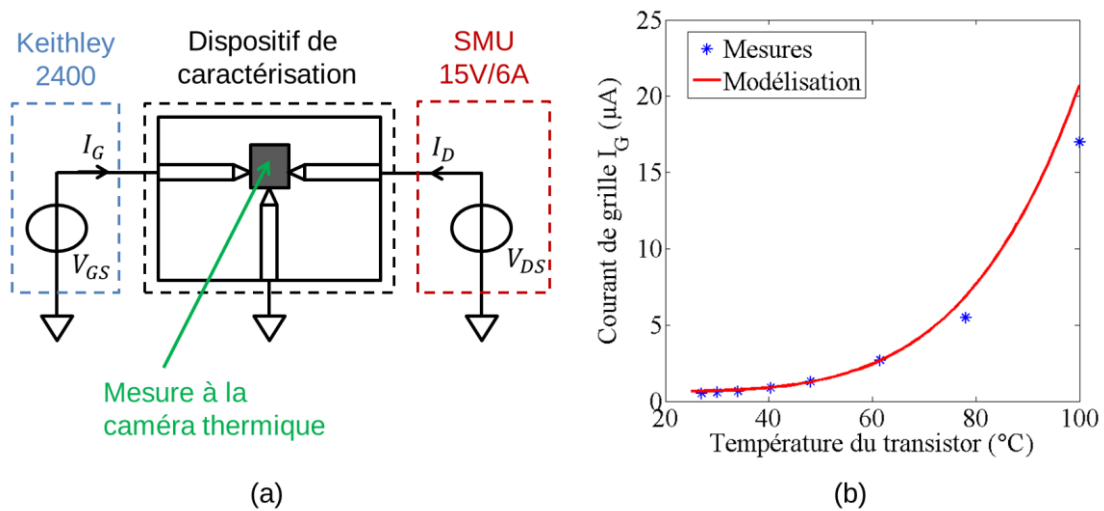


Figure III. 22 : Mesure du courant de grille I_G en fonction de la température de jonction T_j du transistor : (a) banc de caractérisation (b) résultats de mesure et de modélisation

$$I_G(\mu A) = 8 \cdot 10^{-9} \cdot [T_j(^{\circ}C)]^{4.7} + 0,63 \quad (III.15)$$

La figure III.23 montre qu'à partir de la mesure du courant de grille durant l'impulsion de puissance, il est alors possible d'estimer l'élévation de température, notée ΔT , de la jonction du transistor par rapport à la température ambiante, notée T_a . Les résultats présentés dans cette partie serviront à alimenter la méthode de modélisation thermique proposée dans ce travail et qui sera développée dans la partie suivante de ce manuscrit.

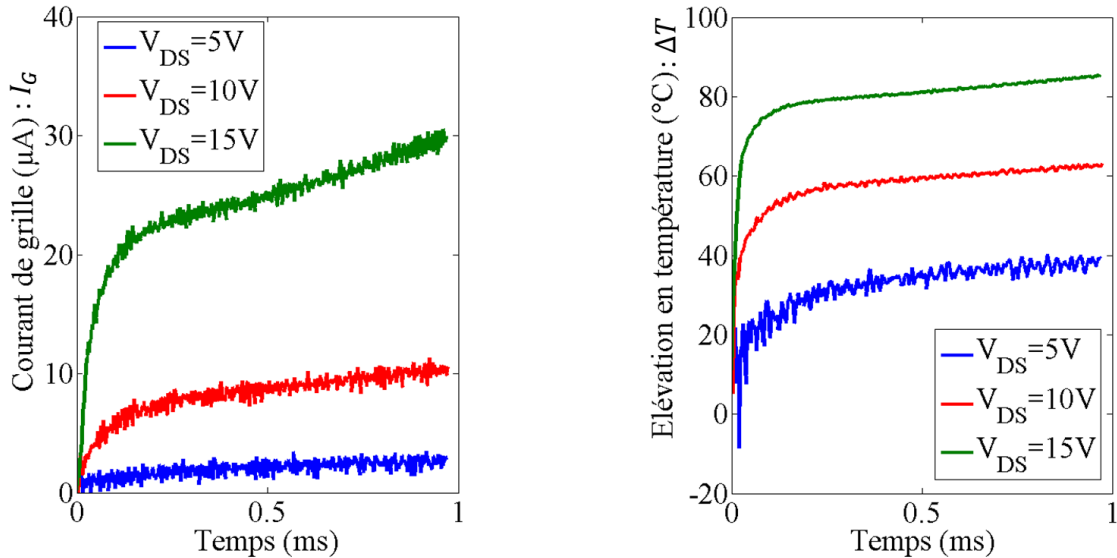


Figure III. 23 : Evolutions de I_G et de ΔT estimée durant les mesures de puissances dissipées dans le transistor GaN ($T_a = 23^{\circ}C$)

III.2.2. Modélisation thermique

Le modèle thermique du transistor GaN considéré dans un premier temps est le modèle de Foster présenté sur la figure III.24. Dans ce travail, Ce modèle est constitué de deux cellules RC générant deux constantes de temps distinctes. Nous verrons par la suite que deux cellules RC sont suffisantes pour la modélisation dans une première approche. Une méthodologie permettant d'augmenter le nombre de cellules du modèle fera l'objet d'un travail de recherche ultérieur.

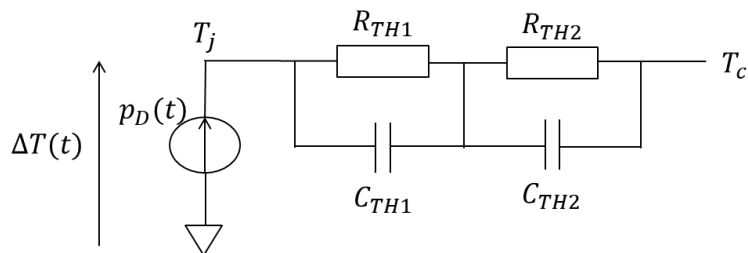


Figure III. 24 : Modèle de Foster du second ordre

La fonction de transfert f_{TH} de ce circuit en réponse à un échelon de puissance s'exprime selon l'équation eq.(III.16) dans le domaine temporel. A partir des résultats de caractérisation présentés dans la partie III.2.1, la figure III.25 donne l'évolution de la fonction $f_{TH}(t)$ obtenue en divisant l'élévation de température par la puissance dissipée pour chaque valeur de V_{DS} . Ces résultats expérimentaux sont modélisés par l'équation eq.(III.16) afin d'obtenir les valeurs initiales des éléments du modèle thermique renseignés dans le tableau III.4.

$$f_{TH}(t) = R_{TH1} \left(1 - \exp\left(-\frac{t}{R_{TH1}C_{TH1}}\right) \right) + R_{TH2} \left(1 - \exp\left(-\frac{t}{R_{TH2}C_{TH2}}\right) \right) \quad (\text{III.16})$$

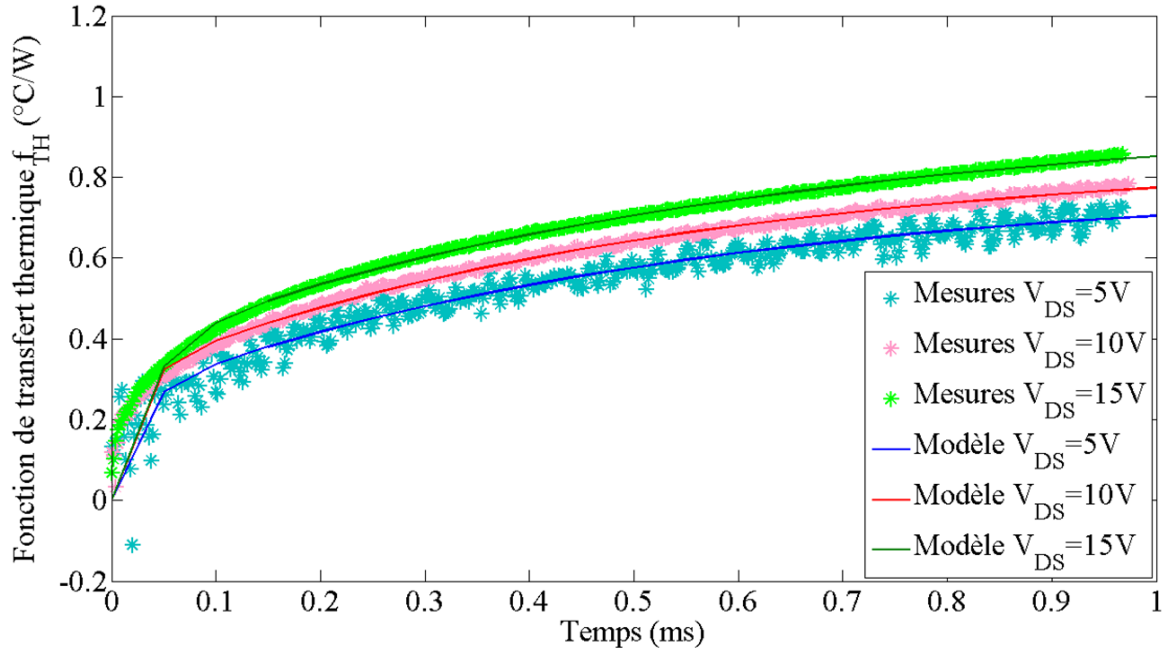


Figure III. 25 : Mesure et modélisation à partir de la fonction de transfert thermique du modèle de Foster à deux constantes de temps pour différents V_{DS}

Tableau III. 4 : Paramètres initiaux du modèle thermique de Foster

	R_{TH1} ($^{\circ}\text{C}/\text{W}$)	C_{TH1} ($\mu\text{W}\cdot\text{s}/^{\circ}\text{C}$)	R_{TH2} ($^{\circ}\text{C}/\text{W}$)	C_{TH2} ($\text{mW}\cdot\text{s}/^{\circ}\text{C}$)
$V_{DS} = 5\text{V}$	0,25	95	0,54	0,99
$V_{DS} = 10\text{V}$	0,30	71	0,55	0,94
$V_{DS} = 15\text{V}$	0,36	93	0,59	0,99
Valeur moyenne	0,30	86	0,56	0,97

La relation (III.16) est une réponse à un échelon de puissance qui ne tient pas compte de la décroissance de puissance durant l'impulsion observée sur la figure III.21(b). Cette décroissance de puissance résulte d'une diminution du courant dans le transistor due à l'augmentation de la température de la jonction. Deux façons de modéliser ce phénomène sont trouvées dans la littérature. On considère ici le modèle 1 donné par l'équation eq.(III.17) et le modèle 2 donné par la relation eq.(III.18). I_{D0} correspond au courant de drain à T_a , ΔT est l'élévation en température de la jonction par rapport à T_a , β et γ sont des coefficients constants. Les deux modèles seront comparés et le modèle le plus performant sera retenu.

$$i_D(t) = I_{D0}(1 - \beta\Delta T) \quad (\text{III.17})$$

$$i_D(t) = I_{D0} \left(\frac{300}{300 + \Delta T} \right)^\gamma \quad (\text{III.18})$$

À partir des relations eq.(III.17) et eq.(III.18), des valeurs initiales des paramètres β et γ peuvent être obtenus à partir des résultats expérimentaux comme le montre la figure III.26. À partir des résultats présentés sur la figure III.26, on choisit $\beta = 0,008^{\circ}\text{C}^{-1}$ et $\gamma = 3,5$.

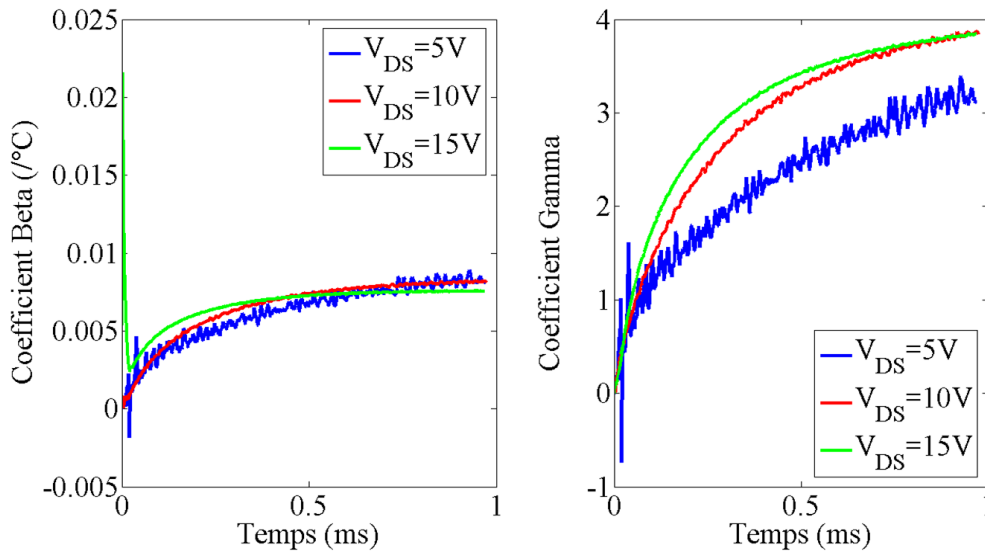


Figure III. 26 : Extraction des valeurs initiales des paramètres β et γ à partir des résultats expérimentaux

À partir des valeurs initiales du tableau III.4, une procédure d'optimisation est réalisée avec le logiciel ADS de sorte à ajuster les paramètres du modèle thermique pour que les puissances dissipées simulées correspondent aux puissances dissipées mesurées. Le schéma de principe de la procédure d'optimisation implémentée est présenté sur la figure III.27. Les paramètres de l'optimisation sont alors R_{TH1} , C_{TH1} , R_{TH2} , C_{TH2} et β pour le modèle 1 et R_{TH1} , C_{TH1} , R_{TH2} , C_{TH2} et γ pour le modèle 2.

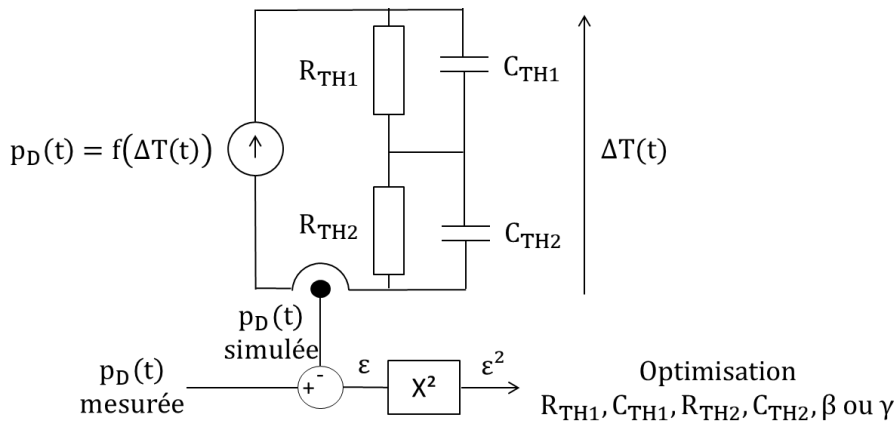


Figure III. 27 : Schéma de principe de la procédure d'optimisation pour la détermination des valeurs des éléments du modèle thermique

Une même optimisation est effectuée sur les trois courbes de puissance mesurées. L'erreur totale à minimiser est donc la somme des erreurs de chaque courbe de puissance pour $V_{DS} = 5, 10$ et 15 V. La figure III.28 montre les résultats de l'optimisation pour les modèles 1 et 2. On remarque que le modèle 2 représente plus fidèlement les données expérimentales, il sera retenu pour le modèle électrothermique du transistor. Les valeurs des paramètres issues de l'optimisation sont renseignées dans le tableau III.5 pour le modèle 1 et dans le tableau III.6 pour le modèle 2.

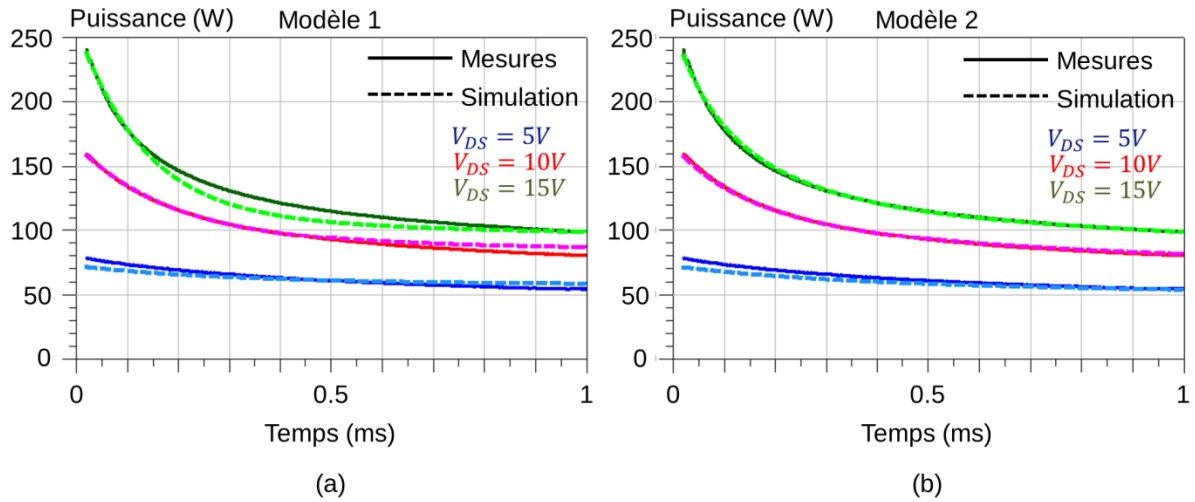


Figure III. 28 : Résultats d'optimisation et comparaison aux mesures : (a) modèle 1 (b) modèle 2

Tableau III. 5 : Paramètres du modèle 1

R_{TH1} ($^{\circ}C/W$)	C_{TH1} ($\mu W \cdot s/^{\circ}C$)	R_{TH2} ($^{\circ}C/W$)	C_{TH2} ($mW \cdot s/^{\circ}C$)	β ($/^{\circ}C$)
0,33	655	0,36	1,69	0,0104

Tableau III. 6 : Paramètres du modèle 2

R_{TH1} ($^{\circ}C/W$)	C_{TH1} ($\mu W \cdot s/^{\circ}C$)	R_{TH2} ($^{\circ}C/W$)	C_{TH2} ($mW \cdot s/^{\circ}C$)	γ
0,33	832	0,88	1,77	4,25

Le modèle thermique de Foster a été choisi dans un premier temps pour sa simplicité de mise en œuvre. Cependant, les paramètres R_{TH1} , C_{TH1} , R_{TH2} et C_{TH2} du modèle servent uniquement à la modélisation mais n'ont pas d'interprétation physique directe. De plus l'ajout d'un circuit de refroidissement à ce modèle est complexe [III.6]. Le modèle de Cauer, présenté sur la figure III.29, est un modèle thermique reflétant le comportement physique du composant. Les auteurs dans [III.20] proposent une méthode pour déterminer les paramètres d'un modèle de Cauer à partir de ceux d'un modèle de Foster. Basé sur les fonctions de transfert des circuits des figures III.24 et III.29, les relations eq.(III.19) à eq.(III.22) permettent de déterminer les paramètres du modèle de Cauer à partir de ceux du modèle de Foster obtenus par optimisation (modèle 2). Les paramètres résultants du modèle de Cauer sont renseignés dans le tableau III.7.

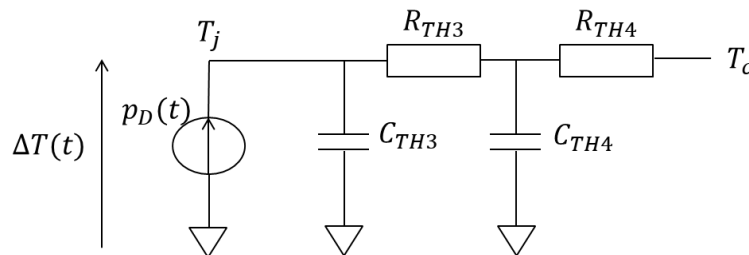


Figure III. 29 : Modèle de Cauer du second ordre

$$C_{TH3} = \frac{R_{TH1}C_{TH1}R_{TH2}C_{TH2}}{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})} \quad (III.19)$$

$$R_{TH3} = \frac{(R_{TH1}R_{TH2}(C_{TH1} + C_{TH2}))^2}{R_{TH1}R_{TH2}(C_{TH1} + C_{TH2})(R_{TH1}C_{TH1} + R_{TH2}C_{TH2}) - R_{TH1}C_{TH1}R_{TH2}C_{TH2}(R_{TH1} + R_{TH2})} \quad (III.20)$$

$$R_{TH4} = R_{TH1} + R_{TH2} - R_{TH3} \quad (III.21)$$

$$C_{TH4} = \frac{R_{TH1}C_{TH1}R_{TH2}C_{TH2}}{R_{TH3}C_{TH3}R_{TH4}} \quad (III.22)$$

Tableau III. 7 : Paramètres du modèle thermique de Cauer

R_{TH3} (°C/W)	C_{TH3} (μW.s/°C)	R_{TH4} (°C/W)	C_{TH4} (mW.s/°C)
0.66	566	0.56	2.07

Afin de valider le modèle thermique proposé, l'impédance thermique transitoire (obtenue en simulation pour différentes largeurs d'impulsion) est comparée à celle extraite de la documentation technique du constructeur. Cette impédance est normalisée par rapport à sa valeur statique. La puissance injectée pendant les impulsions est de 50 W. La figure III.30 présente les résultats de simulation obtenus pour des impulsions uniques, des impulsions répétées avec un rapport cyclique de 20 % et 50 %. On constate que l'impédance thermique donnée par le modèle de Cauer proposé correspond aux données du constructeur.

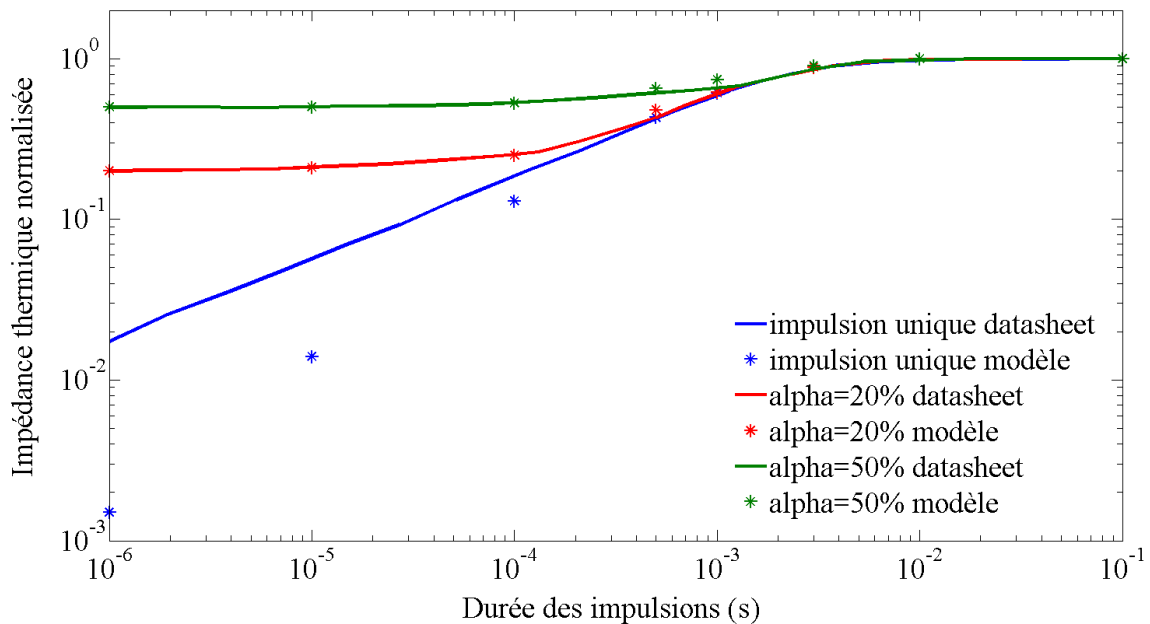


Figure III. 30 : Impédance thermique transitoire normalisée du modèle proposé comparé aux données constructeur pour des impulsions uniques, des impulsions répétées avec un rapport cyclique de 20 % et des impulsions répétées avec un rapport cyclique de 50 %

À partir des résultats présentés sur la figure III.30, on constate que le modèle de Cauer proposé pour le circuit thermique du transistor et constitué de deux cellules RC est globalement suffisant pour décrire

l'évolution de l'impédance thermique, cependant on observe la limite du modèle à deux cellules RC pour représenter précisément les évolutions thermiques lors d'impulsions uniques et brèves (1 à 100 μ s). Dans ce cas, le modèle doit être composé d'un plus grand nombre de cellules afin d'y faire apparaître des constantes de temps plus faibles.

Dans ce travail, les éléments du modèle de Cauer sont obtenus à partir des éléments du modèle de Foster suite à l'application des formules analytiques eq.(III.19) à eq.(III.22). Dans le cas d'un modèle constitué de plus de deux cellules RC, potentiellement nécessaire dans certaines applications d'électronique de puissance, la transformation Foster vers Cauer par des formules analytiques devient complexe et une procédure d'optimisation est nécessaire. Ceci constitue un axe de recherche pour des travaux futurs.

III.2.3. Implémentation du modèle thermique

Le modèle thermique du transistor de puissance GaN étudié a été décrit dans la partie III.2.2. Ce modèle doit à présent être ajouté au modèle électrique développé dans le logiciel ADS dans la partie III.1. L'implémentation du modèle thermique est réalisée comme présenté sur la figure III.31. La puissance dissipée dans le canal du transistor $p_D(t) = v_{DS}(t) \cdot i_D(t)$ alimente le circuit thermique de Cauer et la température de jonction est ensuite injectée dans les éléments thermo-dépendants que sont la source de courant de drain I_D mais aussi les résistances d'accès R_D et R_S .

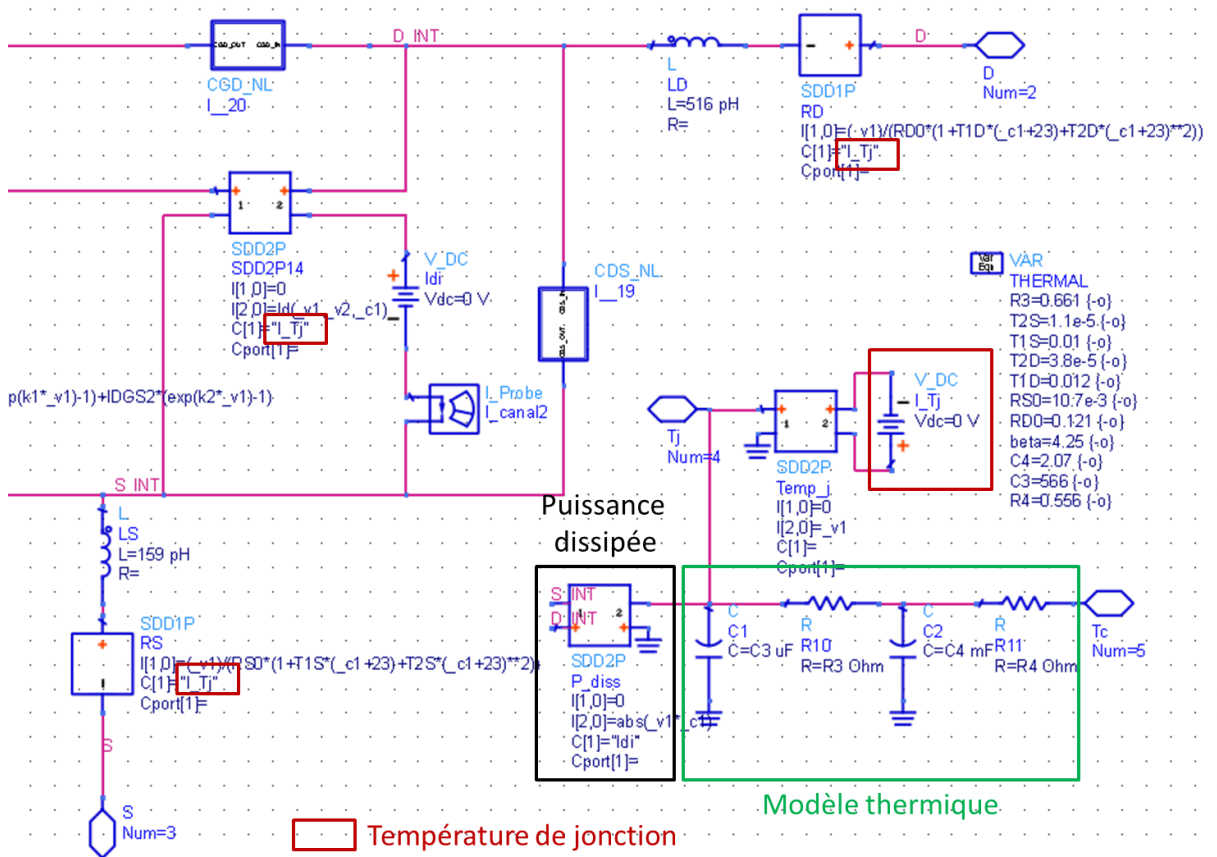


Figure III. 31 : Implémentation du modèle thermique au sein du modèle électrique du transistor dans le logiciel ADS

Afin de valider les performances du modèle électrothermique du transistor proposé, des simulations sont réalisées dans les mêmes conditions que les mesures de puissances dissipées comme le montre le schéma synoptique de la figure III.32. Les résultats de simulation sont présentés sur la figure III.33. Les résultats de la même simulation avec le modèle constructeur sont également affichés à titre de comparaison. Il apparaît que le modèle développé représente fidèlement les résultats expérimentaux.

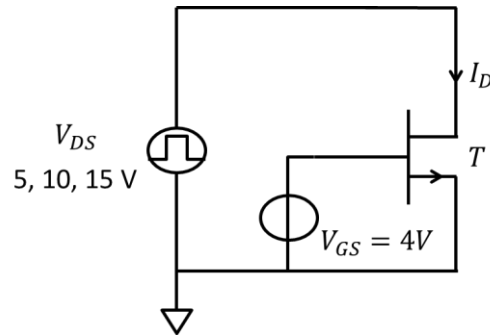


Figure III. 32 : Schéma de simulation pour la validation de l'implémentation du modèle électrothermique du transistor GaN

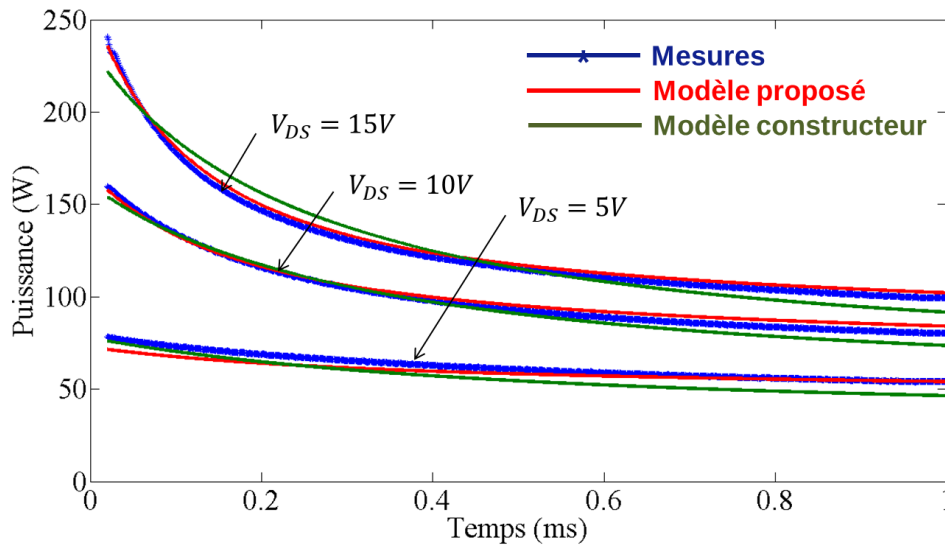


Figure III. 33 : Résultats de simulation de puissances dissipées avec le modèle électrothermique proposé et comparaison aux résultats expérimentaux et aux simulations avec le modèle constructeur

Dans cette partie du chapitre, un modèle thermique du transistor de puissance GaN encapsulé a été obtenu à partir de mesures de puissances dissipées. Ce modèle a ensuite été implémenté dans le logiciel ADS pour constituer un modèle électrothermique du transistor étudié qui servira au dimensionnement d'un convertisseur GaN ainsi que de son système de refroidissement comme le présentera le chapitre IV.

La partie suivante présente une contribution de ce travail de thèse à la modélisation et l'implémentation dans ADS de l'effet de résistance dynamique, dernier élément nécessaire à la modélisation du composant. Les modèles des fabricants des transistors de puissance GaN ne tiennent actuellement pas compte de ce phénomène à l'origine de pertes par conduction supplémentaires. Nous proposerons dans ce travail, d'intégrer cet effet dans le modèle électrothermique développé.

III.3. Modélisation du phénomène de résistance dynamique

III.3.1. Modélisation par compensation de la tension grille-source

Comme évoqué dans le chapitre 1, les transistors GaN souffrent du phénomène de résistance dynamique générant des pertes en conduction supplémentaires susceptibles de dégrader le rendement et d'endommager le composant (réaction thermique en chaîne). Une modélisation de cet effet d'augmentation de la résistance entre drain et source à l'état passant $R_{DS(on)}$ représente aujourd'hui encore un défi majeur mais semble indispensable aux modèles des transistors de puissance GaN. Les résultats présentés dans cette section du manuscrit sont le fruit d'un travail collaboratif entre le

laboratoire L2EP et le groupe Power Electronics Machines and Control (PEMC) de l'université de Nottingham [III.21], [III.22].

La modélisation de l'effet de la résistance dynamique nécessite une étape de caractérisation. Celle-ci est réalisée à l'aide du banc de caractérisation développé par PEMC et dont le schéma de principe est présenté sur la figure III.34.

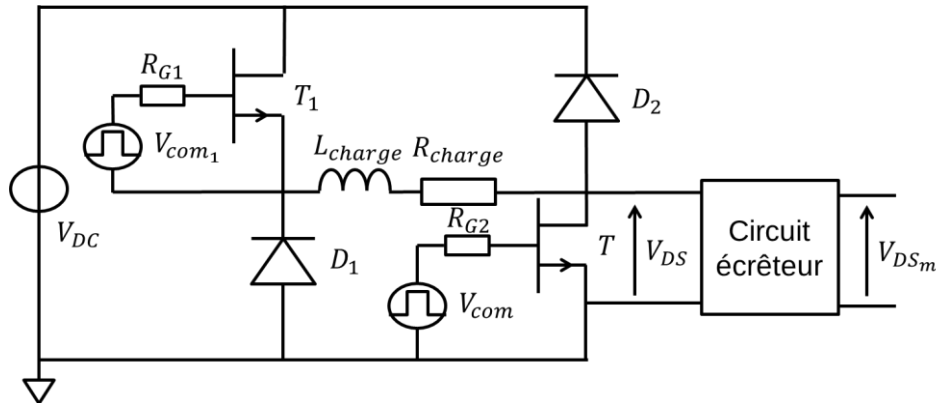


Figure III. 34 : Banc de mesure de la résistance dynamique du transistor GaN [III.21]

Le transistor T est le transistor sous test. Le transistor T_1 permet de régler le temps de piégeage correspondant au temps pendant lequel le transistor T est bloqué et soumis à une tension V_{DS} élevée. Les diodes D_1 et D_2 assurent un chemin pour la décharge de l'inductance de la charge L_{charge} lorsque le transistor T_1 et/ou le transistor T est/sont bloqué(s). La résistance de la charge R_{charge} permet de régler le courant dans le transistor T lorsque celui-ci est passant. Enfin, le circuit écreteur permet de réaliser une mesure précise de la tension V_{DS} à l'état passant du transistor T . En effet, tandis que la tension V_{DS} varie entre 0 et V_{DC} , la tension V_{DS_m} varie entre 0 et 3,3V ce qui offre une précision théorique de mesure de 0,8 mV sur un oscilloscope 12 bits.

Dépendamment du temps de piégeage, de la fréquence de fonctionnement et du rapport cyclique, les résultats expérimentaux obtenus pour une tension de blocage $V_{DS} = 200V$ ont montré une résistance dynamique, notée $R_{dDS(on)}$, pouvant atteindre 400 mΩ dans certaines conditions, soit le double de la valeur de la résistance drain-source en régime statique, notée $R_{DS(on)}$. Afin de modéliser l'effet de la résistance dynamique, les auteurs dans [III.21] propose un modèle basé sur une compensation de la tension grille-source comme présenté sur la figure III.35(a).

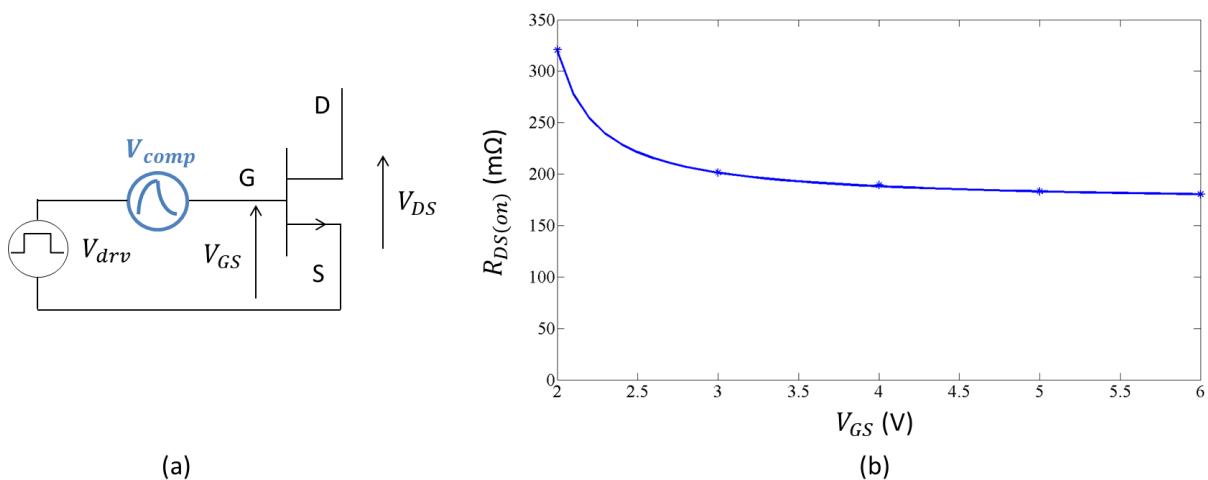


Figure III. 35 : (a) Schéma de principe du modèle de résistance dynamique basé sur la compensation de la tension grille-source (b) caractéristique $R_{DS(on)} = f(V_{GS})$ [III.21]

Une tension de compensation V_{comp} est ajoutée en contre-réaction de la tension d'alimentation de la grille du transistor afin d'ajuster la valeur de la résistance $R_{DS(on)}$ selon la caractéristique $R_{DS(on)} = f(V_{GS})$ obtenue à partir des résultats expérimentaux du chapitre II et présentée sur la figure III.35(b).

La figure III.36 montre le circuit permettant d'obtenir la tension V_{comp} à partir d'une cellule RC (une seule constante de temps pour le piégeage et « dépiégeage »). Lorsque le transistor est bloqué (polarisé à une tension V_{DS} élevée), la tension $V_t = V_k$ est appliquée au circuit et charge le condensateur C_t à travers la résistance R_t . Lorsque le transistor devient passant, la tension V_t s'annule et le condensateur C_t se décharge à travers la résistance R_d . Les diodes D_t et D_d ont des caractéristiques idéales dans le modèle (pas de chute de tension à l'état passant).

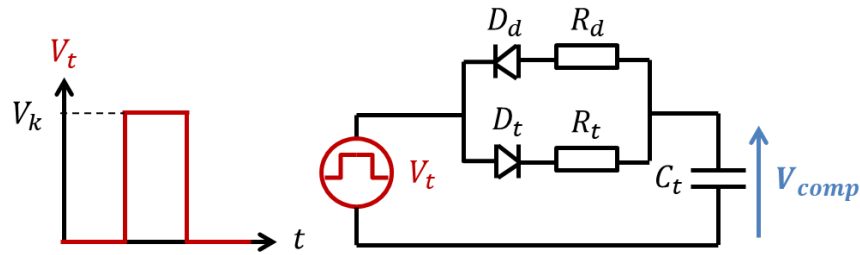


Figure III. 36 : Circuit de la tension de compensation à partir d'une cellule RC

Pour modéliser précisément l'effet de la résistance dynamique du transistor de puissance GaN GS66502B, 8 cellules RC similaires à celle présentée sur la figure III.36 sont nécessaires. Les tensions de compensation résultantes de chaque cellule s'additionnent alors pour donner la tension de compensation totale V_{comp} . Le tableau III.8 donne les valeurs des paramètres V_k , R_t , R_d et C_t pour chaque cellule RC du modèle. Ces paramètres sont obtenus par ajustement à partir des résultats expérimentaux [III.21].

Tableau III. 8 : Paramètres des éléments du modèle par compensation de la tension grille-source

V_{k1} (V)	V_{k2} (V)	V_{k3} (V)	V_{k4} (V)	V_{k5} (V)	V_{k6} (V)	V_{k7} (V)	V_{k8} (V)
2,75	0,85	0,09	0,07	0,21	0,06	0,02	0,09
C_{t1} (mF)	C_{t2} (mF)	C_{t3} (mF)	C_{t4} (mF)	C_{t5} (mF)	C_{t6} (nF)	C_{t7} (mF)	C_{t8} (nF)
1	10	1	1	10	1	1	1
R_{t1} (mΩ)	R_{t2} (Ω)	R_{t3} (mΩ)	R_{t4} (mΩ)	R_{t5} (Ω)	R_{t6} (Ω)	R_{t7} (mΩ)	R_{t8} (Ω)
1,3	88,2	4,2	5	865	79,8	1,5	2,1
R_{d1} (kΩ)	R_{d2} (kΩ)	R_{d3} (mΩ)	R_{d4} (Ω)	R_{d5} (kΩ)	R_{d6} (Ω)	R_{d7} (kΩ)	R_{d8} (Ω)
171	272	4.4	31.9	822	600	549	8,6

Le modèle peut alors être implémenté sous la forme d'un sous-circuit dans le logiciel ADS. Une source de tension contrôlée en tension avec un gain unitaire est ajoutée après chaque cellule RC du modèle afin d'éviter d'éventuels couplages entre cellules.

La modélisation de l'effet de la résistance dynamique par compensation de la tension grille-source convient peu à une implémentation dans le modèle de transistor développé et la modification de la tension V_{GS} est susceptible d'avoir un impact important sur les formes d'onde de commutations simulées. Ainsi, dans le cadre de la collaboration avec l'université de Nottingham, une nouvelle méthode de modélisation par modification de la résistance de drain a été proposée.

III.3.2. Modélisation par la résistance de drain

Dans le modèle précédent une tension de compensation V_{comp} était insérée coté grille du composant. Dans ce modèle proposé, une tension V_r , image de l'augmentation de la résistance $R_{DS(on)}$ comme indiquée par l'équation eq.(III.23), est insérée coté drain du transistor comme le montre la figure III.37.

$$V_r = \Delta R_{DS(on)} \cdot I_D \quad (III.23)$$

$\Delta R_{DS(on)}$ est la différence entre la résistance $R_{d_{DS(on)}}$ et la résistance $R_{DS(on)}$. I_D est le courant de drain.

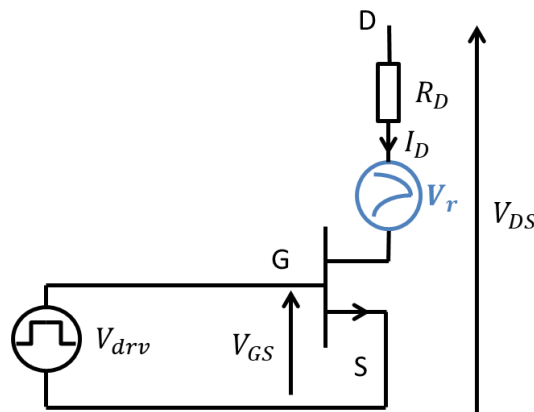
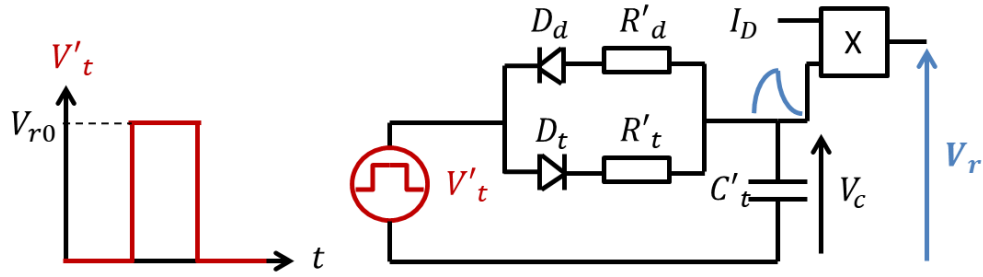


Figure III. 37 : Schéma de principe de modélisation de la résistance dynamique par ajout d'une résistance de drain

La figure III.38 montre le circuit permettant d'obtenir la tension V_r à partir d'une cellule RC (une seule constante de temps pour le piégeage et « dépiégeage »). Lorsque le transistor est bloqué (polarisé à une tension V_{DS} élevée), le générateur V'_t délivre une tension V_{r0} image de la valeur maximale de $\Delta R_{DS(on)}$. Cette tension V_{r0} charge le condensateur C'_t à travers la résistance R'_t . Lorsque le transistor devient passant, la tension V'_t s'annule et le condensateur C'_t se décharge à travers la résistance R'_d . Comme précédemment, les diodes D_t et D_d sont idéales dans le modèle. La tension aux bornes de C'_t , notée V_C , représente l'évolution temporelle de l'augmentation et de la diminution de la résistance $\Delta R_{DS(on)}$ dues aux phénomènes de piégeages. Cette tension est ensuite multipliée par le courant de drain I_D afin d'obtenir la tension V_r .


 Figure III. 38 : Circuit permettant l'obtention de la tension V_r à partir d'une cellule RC

Comme pour le modèle précédent, la tension V_r pour le transistor de puissance GaN caractérisé est la somme de tensions aux bornes de 8 cellules RC similaires à celle présentée sur la figure III.38. Le tableau III.9 donne les valeurs des paramètres V_{r0} , R'_t , R'_d et C'_t pour chaque cellule RC du modèle. Ces paramètres sont obtenus par ajustement à partir des résultats expérimentaux.

Tableau III. 9 : Paramètres des éléments du modèle par ajout d'une résistance de drain

V_{r01} (mV)	V_{r02} (mV)	V_{r03} (mV)	V_{r04} (mV)	V_{r05} (mV)	V_{r06} (mV)	V_{r07} (mV)	V_{r08} (mV)
62.4	18.5	15.4	24.6	12	43.9	171	2.7
C'_{t1} (nF)	C'_{t2} (nF)	C'_{t3} (μ F)	C'_{t4} (F)	C'_{t5} (μ F)	C'_{t6} (F)	C'_{t7} (mF)	C'_{t8} (μ F)
1	1	1	1	1	1	1	1
R'_{t1} (k Ω)	R'_{t2} (Ω)	R'_{t3} (m Ω)	R'_{t4} (Ω)	R'_{t5} (m Ω)	R'_{t6} (Ω)	R'_{t7} (M Ω)	R'_{t8} (m Ω)
2.94	1	76.2	29	580	2.1	10	189
R'_{d1} (Ω)	R'_{d2} (k Ω)	R'_{d3} (M Ω)	R'_{d4} (Ω)	R'_{d5} (k Ω)	R'_{d6} (Ω)	R'_{d7} (μ Ω)	R'_{d8} (Ω)
64.8	4.9	112	49.2	4.1	30.9	1	285.2

L'implémentation du modèle dans le logiciel ADS requiert davantage d'attention que pour le modèle précédent. Le schéma de la figure III.39 montre l'implémentation d'une cellule du modèle. La tension V_{C1} est récupérée au port 1 d'un composant SDD et le courant du port 2 de ce même SDD est le produit de V_{C1} et du courant I_D qui est lui récupéré à l'aide d'une source de tension nulle V_0 servant de « capteur de courant ». Le courant circulant au port 2 du SDD est ensuite converti en la tension V_{r1} au moyen d'une source de tension contrôlée en courant.

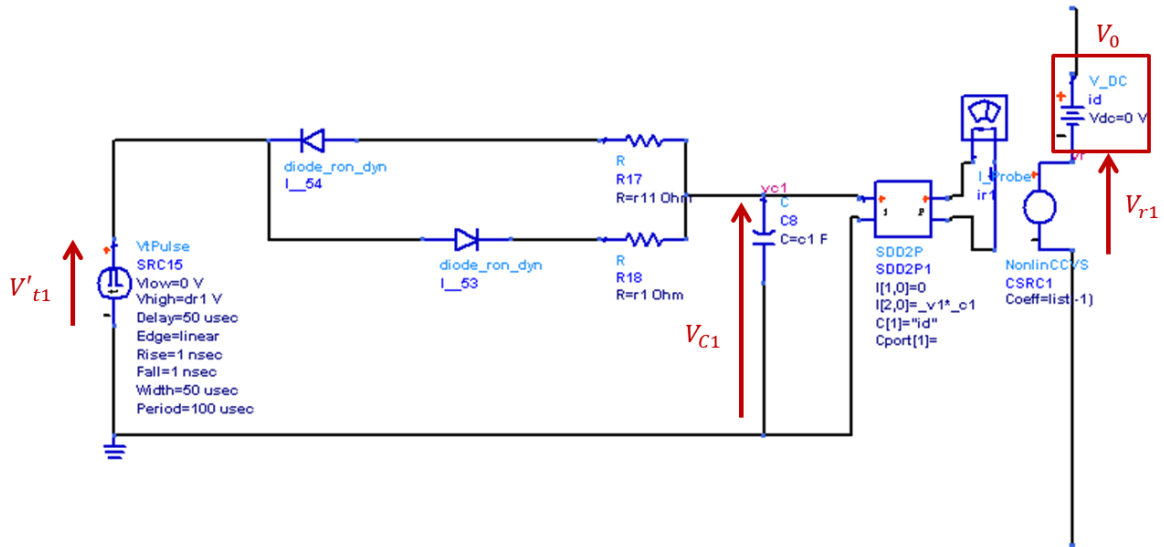


Figure III. 39 : Schéma d'implémentation d'une cellule du modèle de résistance dynamique développé dans ADS

Le modèle de résistance dynamique développé et présenté dans cette section possède l'avantage de s'insérer facilement dans le modèle électrothermique du transistor développé sous la forme d'une résistance « variable » non-linéaire en série avec la résistance de drain. De plus, ce modèle n'impacte pas la tension de commande du transistor V_{GS} .

III.3.3. Comparaison des modèles de la résistance dynamique

Les performances des deux modèles présentés dans les parties III.3.1 et III.3.2 sont comparés sur un même schéma de simulation présenté sur la figure III.40. Le transistor fonctionne en régime de commutation sur une charge résistive. Dans le cadre de cette étude, la tension commutée est de 200V (valeur pour laquelle les résultats expérimentaux ont été obtenus) et le courant est de 1 A. La fréquence de commutation est de 10 kHz et le rapport cyclique est de 50 %. Néanmoins, il est connu de la littérature que la tension commutée, la fréquence et le rapport cyclique ont tous un effet sur le phénomène de résistance dynamique [III.21]. Afin de bien étudier l'implémentation des modèles de résistance dynamique, le modèle thermique du transistor est désactivé pour ces simulations.

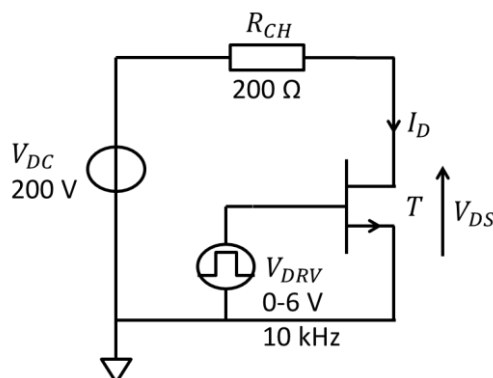


Figure III. 40 : Schéma de simulation pour l'analyse des modèles de résistance dynamique

Les données de simulation sont exploitées après 1s de fonctionnement du circuit et les résultats sont présentés sur la figure III.41. En se référant aux tableaux III.8 et III.9, on peut approximer la valeur de la résistance au moment où le transistor devient passant.

Dans le cas de la modélisation par compensation de V_{GS} , au bout d'une seconde de fonctionnement, les cellules 1, 2, 4 et 7 ont une influence. Ainsi on peut estimer la tension V_{comp} au moment de la mise en conduction du transistor GaN selon la relation eq.(III.24).

$$V_{comp} = V_{k1} + V_{k2} + V_{k4} + V_{k7} = 3,7 V \quad (III.24)$$

Ainsi, pour une tension $V_{drv} = 6V$, la tension V_{GS} peut être obtenue à partir de la relation eq.(III.25).

$$V_{GS} = V_{drv} - V_{comp} = 2,3 V \quad (III.25)$$

En analysant la courbe de la figure III.35(b), on trouve, pour $V_{GS} = 2,3V$, une résistance $R_{d_{DS(on)}}$ de 239 mΩ ce qui est cohérent avec les résultats de simulation de la figure III.41.

Dans le cas du modèle proposé par ajout d'une résistance de drain, au bout d'une seconde de fonctionnement, les cellules 2, 3, 5 et 8 ont une influence. Ainsi on peut estimer la résistance $R_{d_{DS(on)}}$ au moment où le transistor devient passant directement selon la relation eq.(III.26). Pour rappel, $R_{DS(on)}$ vaut approximativement 200 mΩ (régime statique). Le résultat obtenu est bien cohérent avec les résultats de simulation de la figure III.41.

$$R_{d_{DS(on)}} = R_{DS(on)} + V_{r02} + V_{r03} + V_{r05} + V_{r07} = 249 m\Omega \quad (III.26)$$

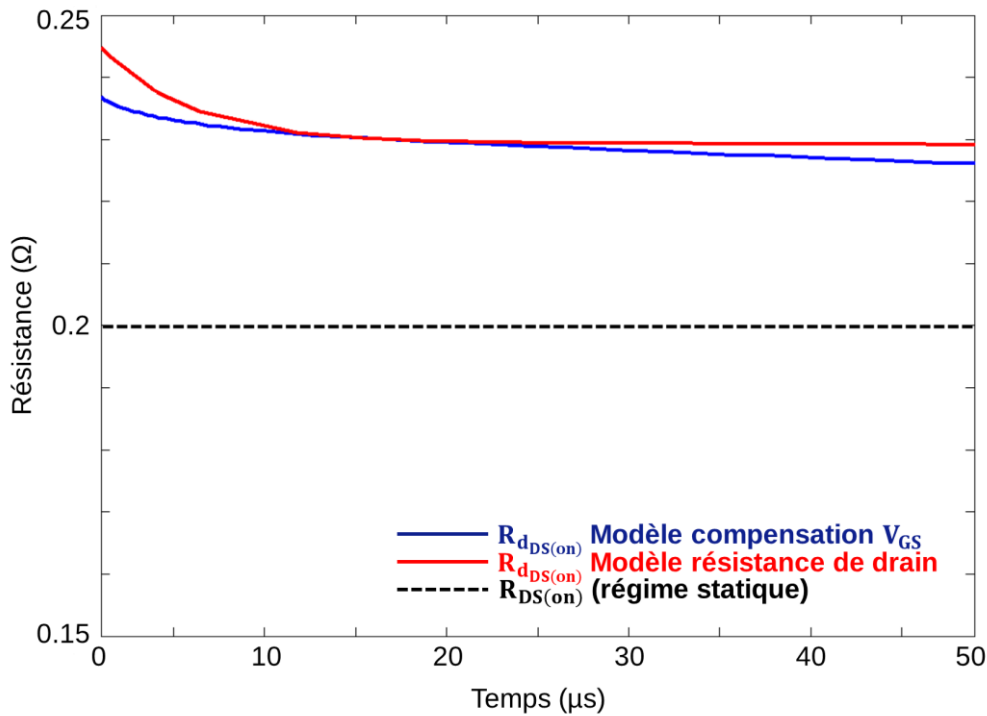


Figure III. 41 : Résultats de simulation obtenus au bout d'une seconde de simulation pour les deux modèles de résistance dynamique étudiés ($T_a = 25^\circ C$)

Les résultats de simulation montrent que les deux modèles donnent des résultats cohérents. On peut également noter que sur la durée de conduction du transistor, la résistance $R_{d_{DS(on)}}$ reste supérieure à $R_{DS(on)}$. Il en découle que les phénomènes de piégeages dans le transistor GaN impliquent que même à une fréquence de commutation de 10 kHz, la résistance $R_{d_{DS(on)}}$ moyenne est supérieure à la valeur statique et que ce phénomène doit être considéré pour un calcul précis des pertes.

Toutefois, bien que le modèle proposé durant cette thèse n'influe pas sur la tension V_{GS} , la modélisation par ajout d'une résistance ne modifie pas les propriétés du canal du transistor. Or, on sait de la littérature

que les phénomènes de pièges se situent au sein du gaz 2DEG entre les couches d'AlGaN et GaN. Ainsi, une modélisation de l'effet de la résistance dynamique par modification de la source de courant de drain I_d semble être la méthode la mieux adaptée et constitue aujourd'hui un axe d'amélioration des modèles proposés.

Conclusion

Ce chapitre a présenté une méthodologie pour la modélisation électrothermique comportementale d'un transistor de puissance GaN en boîtier à partir de résultats de caractérisation haute fréquence et de mesures en régime pulsé.

Dans un premier temps, ce travail a proposé un modèle électrique du composant, basé sur des équations non linéaires choisies de façon à représenter le plus fidèlement les résultats de caractérisation. Les résultats expérimentaux haute fréquence présentés dans le chapitre II ont été utilisés pour la modélisation des capacités inter-électrodes du transistor sur les plages de tension $-10\text{ V} < V_{GS} < 7\text{ V}$ et $0\text{ V} < V_{DS} < 200\text{ V}$ tandis que des mesures I-V en régime pulsé, réalisées à partir du banc B1505A pour des tensions $-1\text{ V} < V_{GS} < 6\text{ V}$ et $-4\text{ V} < V_{DS} < 20\text{ V}$, ont permis de modéliser la source de courant de drain. Afin de tenir compte des phénomènes d'auto-échauffement durant les mesures I-V pulsées, une cartographie de l'élévation de température du composant a été effectuée sur la caractéristique statique expérimentale. Suite à ces résultats, la plage considérée pour la modélisation de la source de courant de drain a été réduite à $-4\text{ V} < V_{DS} < 5\text{ V}$. Les résultats de modélisation ont montré une très bonne concordance avec les résultats expérimentaux. Le modèle électrique du transistor, rassemblant l'ensemble de ces éléments non linéaires ainsi que les éléments d'accès déterminés dans le chapitre II, a été implémenté dans le logiciel ADS et vérifié aux moyens de simulations.

Les contraintes thermiques fortes sur les composants de puissance ainsi que la dégradation du rendement des convertisseurs due aux phénomènes d'auto-échauffement des semi-conducteurs, ont amené, dans un second temps, à développer une méthode de modélisation thermique du transistor de puissance GaN. Ces travaux de recherche ont proposé un modèle thermique basé sur le modèle de Cauer et déterminé à partir de mesures de puissances dissipées (de plusieurs centaines de Watts) par le composant sur une durée d'impulsion contrôlée. Une méthode innovante a également été proposée, utilisant la mesure du courant de grille pour déterminer l'évolution de la température du transistor durant les impulsions. La combinaison entre mesures de puissance dissipée et estimation de la température du composant a permis, à partir d'une procédure d'optimisation, d'obtenir les paramètres du modèle thermique. Celui-ci a ensuite été intégré au modèle électrique précédemment développé dans le logiciel ADS. Les résultats de simulation de l'impédance thermique transitoire à partir du modèle du transistor GaN encapsulé ont été comparés aux caractéristiques d'impédance thermique transitoire fournies dans la documentation du fabricant. Ainsi, il a été montré que le modèle thermique proposé dans ce travail permet de décrire le comportement thermique du composant même sur des durées d'impulsion courtes (de l'ordre de la microseconde).

Finalement, la dernière partie du chapitre a présenté la contribution apportée par ce travail de thèse aux travaux de recherche actuels sur la modélisation du phénomène de résistance dynamique dans les transistors de puissance GaN. La méthode de modélisation proposée s'est basée sur les résultats de caractérisation obtenus dans le cadre de la collaboration entre le L2EP et l'université de Nottingham sur ce sujet de recherche. Un premier modèle basé sur une compensation de la tension V_{GS} avait été proposé, cependant celui-ci affecte par principe la tension V_{GS} pouvant ainsi potentiellement modifier les formes d'onde de commutation. Ce travail a donc proposé un second modèle basé sur l'ajout d'une résistance de drain fictive dans le modèle de transistor GaN déjà développé. Les deux solutions ont été comparées sur une simulation de commutation sur charge résistive et ont montré des résultats similaires. Cependant, les piègeages liés à la résistance dynamique sont des phénomènes lents et requièrent donc des temps de simulation longs. Une simulation à une fréquence de commutation de 1 MHz n'a pu être obtenue dans

le cadre de ce travail pour des raisons de temps de simulation (plusieurs heures nécessaires pour une commutation sur charge résistive sans prise en compte de la modélisation complète d'un convertisseur). Des travaux de recherche sont déjà prévus à ce sujet.

Le modèle électrothermique du transistor de puissance GaN encapsulé étant établi, le chapitre suivant va présenter la mise en application de ce modèle pour la conception et la réalisation d'un convertisseur DC/DC haute fréquence. Pour les raisons citées précédemment, le modèle de résistance dynamique proposé ne sera pas intégré au modèle du composant dans ce chapitre. Dans un premier temps, le modèle électrique du transistor sera validé sur un test Double Pulse à température ambiante. Par suite, le modèle électrothermique sera validé à partir de tests Double Pulse à différentes températures du transistor et d'une application de conversion de puissance à 1 MHz. Nous verrons également dans ce chapitre les techniques de modélisation des autres composants constituant le convertisseur et les avantages du logiciel ADS pour les co-simulations électriques et électromagnétiques.

Bibliographie du chapitre III

- [III.1] K. Shah and K. Shenai, "Simple and Accurate Circuit Simulation Model for Gallium Nitride Power Transistors," in *IEEE Transactions on Electron Devices*, vol. 59, no. 10, pp. 2735-2741, Oct. 2012.
- [III.2] H. L. Yeo and K. J. Tseng, "Modelling technique utilizing modified sigmoid functions for describing power transistor device capacitances applied on GaN HEMT and silicon MOSFET," 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, 2016, pp. 3107-3114.
- [III.3] G. Callet, J. Faraj, O. Jardel, C. Charbonniaud, J.-C. Jacquet, T. Reveyrand, E. Morvan, S. Piotrowicz, J.-P. Teyssier, and R. Quéré, "A new nonlinear hemt model for AlGaIn/GaN switch applications," *Int. J. Microw. Wireless Technol. (Special Issue)*, vol. 2, no. 3-4, pp. 283-291, 2010.
- [III.4] A. Endruschat, C. Novak, H. Gerstner, T. Heckel, C. Joffe and M. März, "A Universal SPICE Field-Effect Transistor Model Applied on SiC and GaN Transistors," in *IEEE Transactions on Power Electronics*, vol. 34, no. 9, pp. 9131-9145, Sept. 2019.
- [III.5] H. Li, X. Zhao, W. Su, K. Sun, X. You and T. Q. Zheng, "Nonsegmented PSpice Circuit Model of GaN HEMT With Simulation Convergence Consideration," in *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 8992-9000, Nov. 2017.
- [III.6] GaN Systems, "Modeling the Thermal Behavior of GaN PX® packages Using RC Thermal SPICE Models," GN007 Application Note, updated February 15th, 2017.
- [III.7] S. Khandelwal, N. Goyal and T. A. Fjeldly, "A Physics-Based Analytical Model for 2DEG Charge Density in AlGaIn/GaN HEMT Devices," in *IEEE Transactions on Electron Devices*, vol. 58, no. 10, pp. 3622-3625, Oct. 2011.
- [III.8] M. Alshahed, M. Dakran, L. Heuken, M. Alomari and J. N. Burghartz, "Comprehensive compact electro-thermal GaN HEMT model," 2017 47th European Solid-State Device Research Conference (ESSDERC), Leuven, 2017, pp. 196-199.
- [III.9] Pongthavornkamol, Tiwat & Lei, Pang & Wang, Xinhua & Sen, Huang & Guoguo, Liu & Tingting, Yuan & Xinyu, Liu. (2015). Optimized power simulation of AlGaIn/GaN HEMT for continuous wave and pulse applications. *Journal of Semiconductors*.
- [III.10] H. Statz, P. Newman, I. W. Smith, R. A. Pucel and H. A. Haus, "GaAs FET device and circuit simulation in SPICE," in *IEEE Transactions on Electron Devices*, vol. 34, no. 2, pp. 160-169, Feb. 1987.
- [III.11] W. R. Curtice, "GaAs MESFET modeling and nonlinear CAD," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, no. 2, pp. 220-230, Feb. 1988.

- [III.12] M. Hirose, Y. Kitaura and N. Uchitomi, "A large-signal model of self-aligned gate GaAs FET's for high-efficiency power-amplifier design," in IEEE Transactions on Microwave Theory and Techniques, vol. 47, no. 12, pp. 2375-2381, Dec. 1999.
- [III.13] A. M. Bouchour, P. Dherbécourt, A. Echeverri, A. E. Oualkadi and O. Latry, "Modeling of Power GaN HEMT for Switching Circuits Applications Using Levenberg-Marquardt Algorithm," 2018 International Symposium on Advanced Electrical and Communication Technologies (ISAECT), Rabat, Morocco, 2018, pp. 1-6.
- [III.14] Wolpert, David & Ampadu, Paul. (2011). Managing Temperature Effects in Nanoscale Adaptive Systems.
- [III.15] K. R. Bagnall, "Device-level thermal analysis of GaN-based electronics," M.S. thesis, Dept. Mech. Eng., Massachusetts Inst. Technol., Cambridge, MA, USA, 2013.
- [III.16] Xiaodong Zhao, Ruimin Xu and Yuehang Xu, "An improved nonlinear thermal resistance extraction method for AlGaIn/GaN HEMTs," 2015 IEEE International Conference on Communication Problem-Solving (ICCP), Guilin, 2015, pp. 261-263.
- [III.17] David, Sardin et al. "Nonlinear Electrothermal modelling of packaged power GaN HEMTs for the design of adaptive power amplifiers dedicated to reconfigurable telecom payloads 6 – 7 May 2008 at ESTEC , Noordwijk , The Netherlands." (2008).
- [III.18] K. Pandya, "Thermal Simulation of Power MOSFETs on the P-Spice Platform," AN609 Vishay Siliconix, Document n°73554, October 5th, 2005.
- [III.19] C. Anghel, R. Gillon and A. M. Ionescu, "Self-heating characterization and extraction method for thermal resistance and capacitance in HV MOSFETs," in IEEE Electron Device Letters, vol. 25, no. 3, pp. 141-143, March 2004.
- [III.20] K. Murthy and R. Bedford, "Transformation between Foster and Cauer equivalent networks," in IEEE Transactions on Circuits and Systems, vol. 25, no. 4, pp. 238-239, April 1978.
- [III.21] K. Li, P. L. Evans and C. M. Johnson, "Characterisation and Modeling of Gallium Nitride Power Semiconductor Devices Dynamic On-State Resistance," in IEEE Transactions on Power Electronics, vol. 33, no. 6, pp. 5262-5273, June 2018.
- [III.22] K. Li, A. Videt, N. Idir, P. L. Evans and C. M. Johnson, "Investigation of GaN-HEMT dynamic ON-state resistance in high frequency power converters," EPSRC Centre for Power Electronics (CPE) Annual Conference, UK, 07/2018.

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

Introduction

Les travaux présentés dans les chapitres précédents ont permis de concevoir un modèle électrothermique du transistor de puissance GaN encapsulé GS66502B. Ce modèle a été implémenté dans le logiciel de simulation ADS. Ce chapitre propose des mises en application du modèle proposé pour la simulation de structures d'électronique de puissance.

Dans un premier temps, un circuit Double Pulse 200 V et 3.5 A est conçu et réalisé afin de confronter les résultats de simulation à des résultats expérimentaux. Le modèle électrique du transistor GaN pourra ainsi être validé sur des commutations à la mise en conduction et au blocage du composant en s'affranchissant des effets thermiques. La modélisation fine de l'environnement dans lequel opère le transistor est nécessaire afin de pouvoir analyser au mieux les performances du modèle proposé du transistor. Pour ce faire, un modèle électromagnétique du PCB sera obtenu et intégré à une simulation temporelle grâce aux fonctionnalités offertes par le logiciel ADS.

La conception d'un convertisseur Buck 200 V et 2 A fonctionnant à 1 MHz fait l'objet de la seconde partie du chapitre. Le convertisseur est basé sur une cellule de commutation composée du transistor GaN étudié et d'une diode Schottky SiC. Le modèle proposé du transistor GaN est utilisé pour la détermination de la diode Schottky SiC la plus adaptée à l'application. Une prédiction de la température du transistor en fonctionnement est réalisée à partir de l'estimation des pertes et d'une modélisation du circuit de refroidissement.

Dans la dernière partie du chapitre, le convertisseur DC/DC est fabriqué. Un système de régulation thermique est mis en œuvre afin de tester le modèle électrothermique proposé du transistor GaN sur des essais en Double Pulse 200 V et 3.5 A et à différentes températures du composant jusqu'à 80°C. Finalement, des essais du convertisseur en continu sont réalisés à 200 V avec une fréquence de commutation de 1 MHz. La température du transistor est mesurée sur une heure de fonctionnement afin de valider les estimations obtenues lors de l'étape de conception.

IV.1. Validation du modèle électrique du transistor de puissance GaN

IV.1.1. Conception du circuit Double Pulse

La partie III.1 du chapitre précédent de ce manuscrit a détaillé les étapes de modélisation nécessaire à l'obtention d'un modèle électrique du transistor de puissance GaN étudié. Afin de valider les performances du modèle en régime dynamique, un circuit de test Double Pulse a été conçu. Ce circuit permet d'obtenir les formes d'onde à la mise en conduction et au blocage du transistor tout en s'affranchissant des problèmes d'auto-échauffement. Le schéma électrique du banc de test est présenté sur la figure IV.1. On retrouve le schéma classique d'un hacheur série avec une charge purement inductive L_{CH} . Le transistor T_1 est le transistor dont les formes d'onde de commutation seront analysées. Le transistor T_2 est identique à T_1 et fonctionne en conduction inverse à $V_{GS} = 0V$, il a donc le rôle d'une diode de roue libre. Le choix ici d'utiliser un second transistor comme diode de roue libre est appuyé par l'intérêt de valider le modèle en conduction directe et inverse. La liste des composants utilisés pour la conception du banc est donnée dans le tableau IV.1

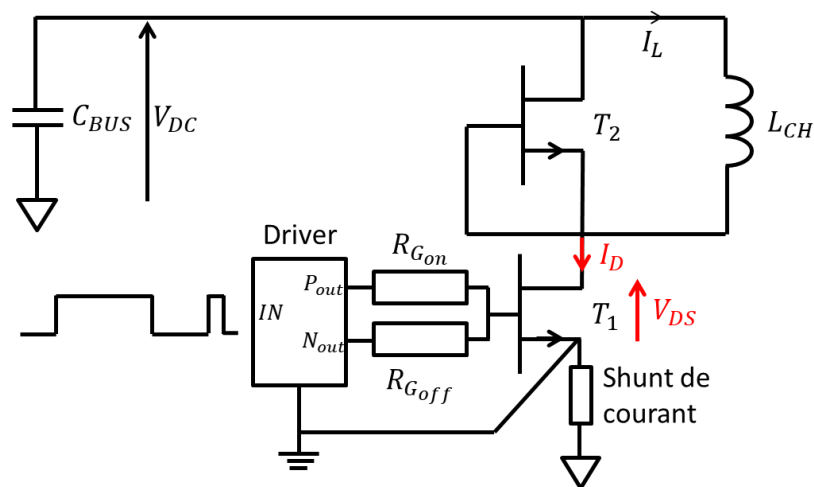


Figure IV. 1 : Schéma électrique du banc de caractérisation Double Pulse

Tableau IV. 1 : Liste des composants du banc de test Double Pulse

Composant	Caractéristiques	Calibres
T_1	Transistor GaN GS66502B	650V - 7,5A
T_2	Transistor GaN GS66502B	650V - 7,5A
Driver	« Low-Side » LM5114	Sortie 4-1,6V
C_{BUS}	Condensateurs céramiques multicouches CMS	3 x 1 μ F - 630 Vdc 1 x 100 nF - 630 Vdc
L_{CH}	Inductances SRP1770TA-390M	2 x 39 μ H - 9 A
R_{Gon}	Résistances CMS	27 Ω - 250 mW
R_{Goff}		2,2 Ω - 250 mW
Shunt de courant	SDN-414-025	25 m Ω - 1,2 GHz

Le test effectué consiste en la génération de deux impulsions successives sur la grille du transistor T_1 comme indiqué sur la figure IV.2.

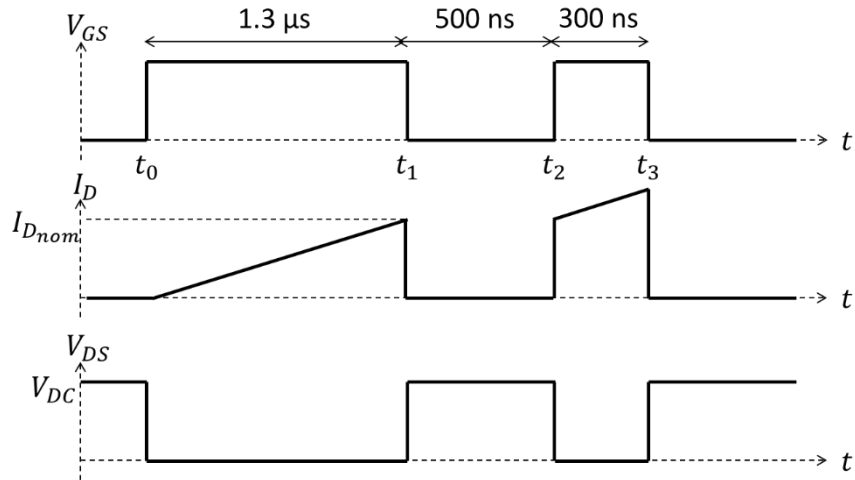


Figure IV. 2 : Chronogrammes et formes d'onde du test Double Pulse

Lors de la première impulsion, le courant de drain I_D du transistor T_1 croît linéairement à travers l'inductance L_{CH} selon la relation eq.(IV.1).

$$I_D(t) = \frac{V_{DC}}{L_{CH}} t \quad (IV.1)$$

A la fin de la première impulsion (instant t_1), le courant nominal I_{Dnom} est atteint et le transistor se bloque sous une tension V_{DS} égale à V_{DC} . Le transistor reste bloqué jusqu'à la seconde impulsion (instant t_2) où il entre en conduction dans les mêmes conditions qu'au blocage (courant I_{Dnom} , tension V_{DC}). Enfin, à la fin de la seconde impulsion (instant t_3), le transistor T_1 se bloque à nouveau et l'inductance L_{CH} se décharge à travers le transistor T_2 .

Pour les tests qui seront menés, la tension commutée par le transistor est choisie à $V_{DC} = 200 V$ (tension maximale des étapes de caractérisation) et le courant commuté est choisi à $I_{Dnom} = 3,5 A$ ce qui correspond à la moitié du calibre en courant du transistor. La valeur de l'inductance L_{CH} est choisie suffisamment grande pour ne pas se décharger durant la phase de roue libre, entre t_1 et t_2 , où le transistor T_1 est bloqué. Le temps t_1 est calculé selon la relation eq.(IV.2). Le temps t_2 est choisi afin de séparer le blocage et la mise en conduction du transistor d'une durée de 500 ns ce qui est représentatif d'un découpage à 1 MHz. Enfin, le temps t_3 est choisi afin de bloquer à nouveau le transistor de façon rapide une fois la mise en conduction terminée pour éviter que le courant de drain continue de croître.

$$t_1 = \frac{I_{Dnom} L_{CH}}{V_{DC}} \quad (IV.2)$$

À la fin de la seconde impulsion, l'inductance L_{CH} se décharge progressivement à travers le transistor T_2 . Une simulation du fonctionnement du circuit est réalisée à l'aide du logiciel ADS afin de s'assurer que la température de jonction de T_2 ne dépasse pas la limite autorisée durant la décharge de L_{CH} (après l'instant t_3). Pour ce faire, le modèle électrothermique du transistor développé dans le chapitre III est utilisé. Etant donné qu'aucun circuit de refroidissement n'est prévu pour les transistors, une résistance thermique boîtier vers ambiant de $31 \text{ }^\circ\text{C/W}$ est ajoutée au modèle thermique comme préconisé par le constructeur. Le schéma de simulation est présenté sur la figure IV.3.

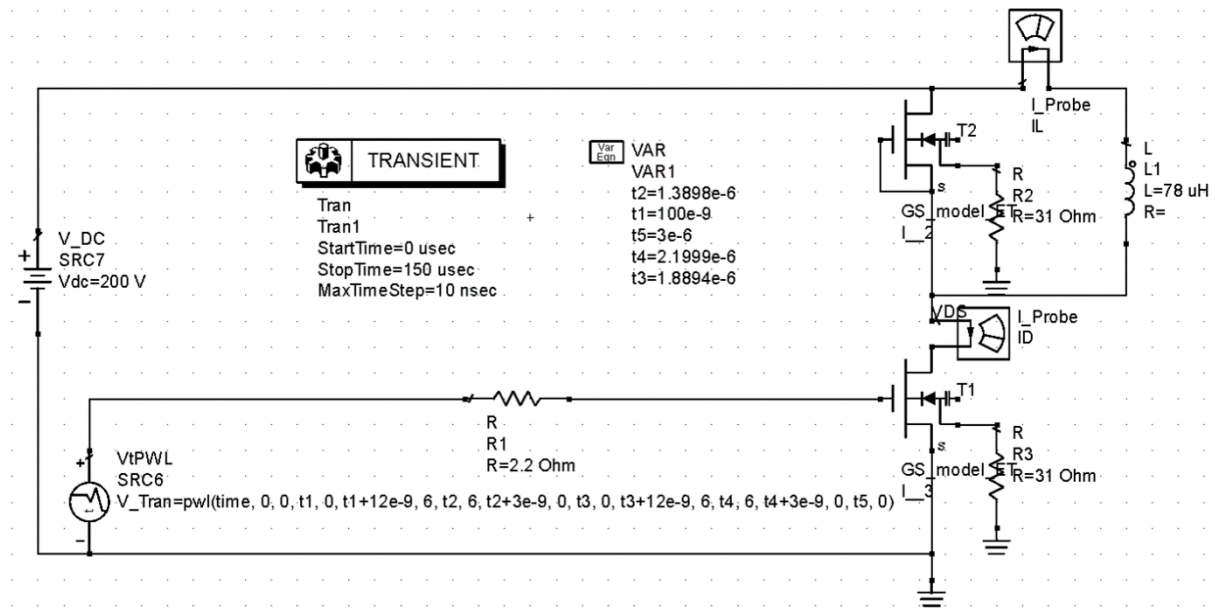


Figure IV. 3 : Schéma de simulation du fonctionnement du test Double Pulse

La figure IV.4(a) montre les résultats de simulation du courant de drain I_D du transistor T_1 et du courant I_L dans l'inductance L_{CH} . Dans un premier temps, on peut constater le bon fonctionnement du test Double Pulse et que la valeur du courant à commuter $I_{D_{nom}}$ est bien atteinte. Dans un second temps, on remarque que le courant dans l'inductance s'annule 150 μs après la fin de la seconde impulsion. La figure IV.4(b) donne les élévations en température des jonctions des deux transistors. On note qu'aucune de ces évolutions de température ne dépasse 1 $^{\circ}C$, ce qui signifie qu'aucun effet thermique notable n'est visible même après la seconde impulsion, ainsi les conditions de test choisies sont validées.

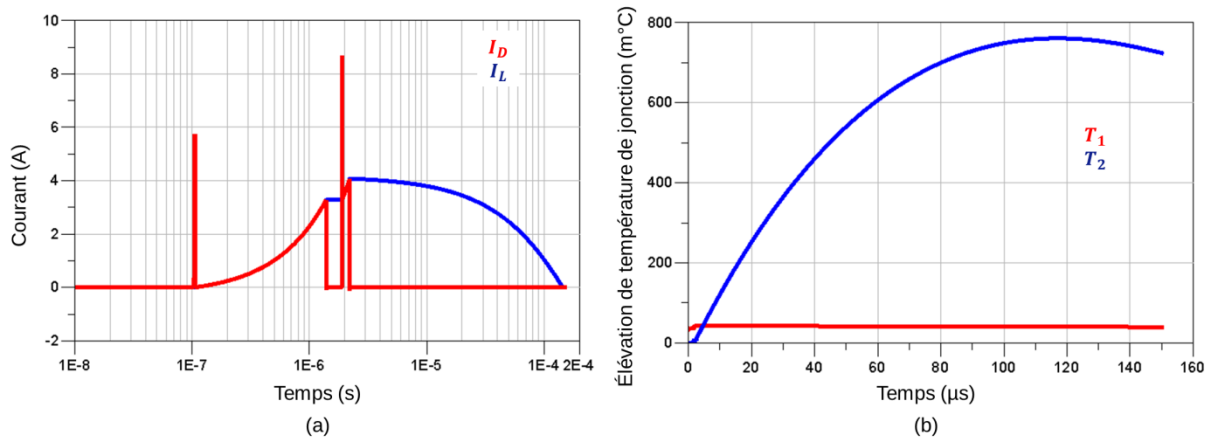


Figure IV. 4 : (a) Formes d'onde des courants I_D et I_L durant le test Double Pulse (b) Elévation en température des jonctions des transistors T_1 et T_2 avec $T_a = 25^{\circ}C$

La conception du circuit Double Pulse nécessite la prise en considération de certaines règles afin de tirer les meilleures performances des composants :

- Les boucles de commutation de puissance (T_1 - T_2 - C_{BUS} -Shunt) et de commande (Driver- $R_{G_{on}}/R_{G_{off}}$ - T_1) doivent être minimisées afin de réduire au maximum les inductances parasites.
- Les mailles de puissance et de commande doivent être séparées au maximum après la source du transistor T_1 pour limiter l'inductance commune de source.
- La mesure de la tension V_{DS} doit se faire au plus proche du transistor T_1

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

Une vue du dessus du circuit, conçu en CAO en prenant en compte les critères ci-dessus, est présentée sur la figure IV.5. Les mailles de puissance et de commande sont également indiquées sur une vue agrandie de la cellule de commutation.

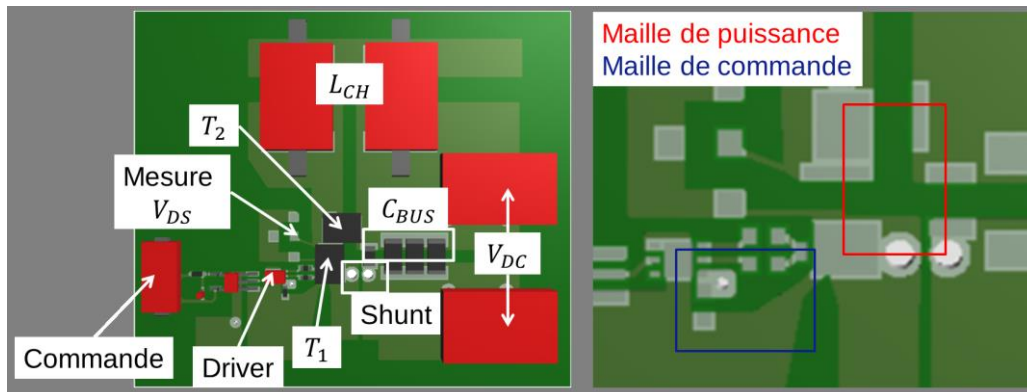


Figure IV. 5 : Présentation du circuit Double Pulse conçu et mailles de commutation de puissance et de commande

IV.1.2. Modélisation du circuit Double Pulse

L'analyse des performances du modèle développé à prédire les formes d'onde de commutation du transistor nécessite de connaître avec précision l'environnement dans lequel le composant opère. Ainsi, une modélisation de l'ensemble des composants du circuit Double Pulse est nécessaire.

Dans ces travaux de thèse on se propose d'utiliser les fonctionnalités du logiciel ADS afin de déterminer un modèle électromagnétique du circuit imprimé (PCB) qui soit utilisable dans une simulation circuit de type transitoire. La modélisation du PCB va permettre d'extraire les inductances parasites résultantes des mailles de commutation afin d'effectuer des simulations plus prédictives avant réalisation en tenant compte des couplages inductifs et capacitifs.

Les fichiers de fabrication du circuit imprimé sont importés dans l'outil Layout du logiciel ADS. Suite à cette étape, le substrat est défini comme étant de l'époxy FR4 d'épaisseur 1,6 mm simple face sur lequel est posé une épaisseur de cuivre de 35 μm comme le montre la figure IV.6.

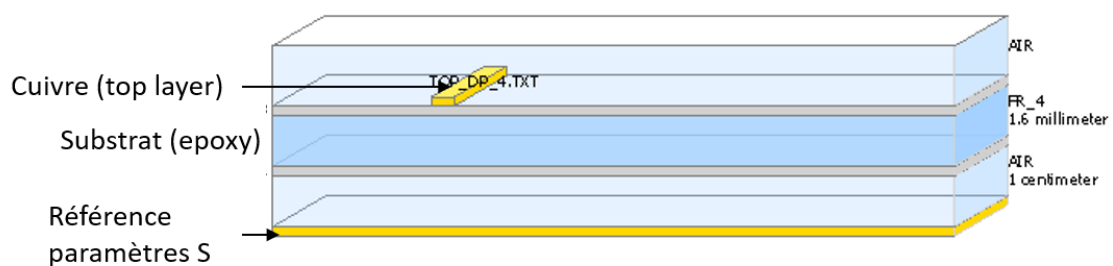


Figure IV. 6 : Définition du substrat du circuit imprimé du banc de test Double Pulse

Des ports sont placés aux différents endroits du PCB où seront insérés les composants du circuit. Une simulation électromagnétique est ensuite effectuée à l'aide de la fonctionnalité Momentum d'ADS. La simulation est paramétrée en mode radiofréquence suivant un balayage fréquentiel adaptatif de 1 Hz à 2 GHz et un balayage fréquentiel logarithmique de 1 MHz à 1 GHz. A la suite de cette simulation, un composant modélisant le comportement électromagnétique du PCB et utilisable dans une simulation circuit est obtenu.

A partir du modèle de PCB obtenu, des simulations de paramètres S sont menées afin d'extraire les inductances parasites des mailles de commutation. Les figures IV.7 et IV.8 présentent les schémas de

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

simulation de paramètres S de la maille de puissance et de commande respectivement (simulations 1 port).

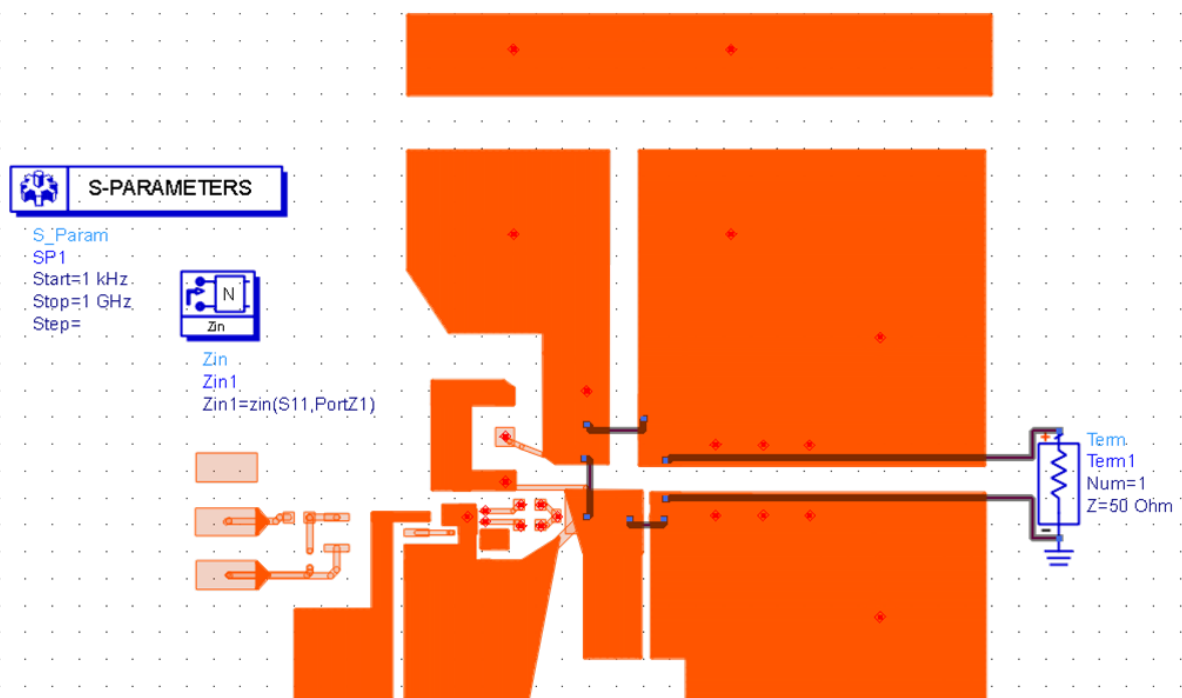


Figure IV. 7 : Schéma de simulation en paramètres S pour la détermination de l'inductance de la maille de puissance

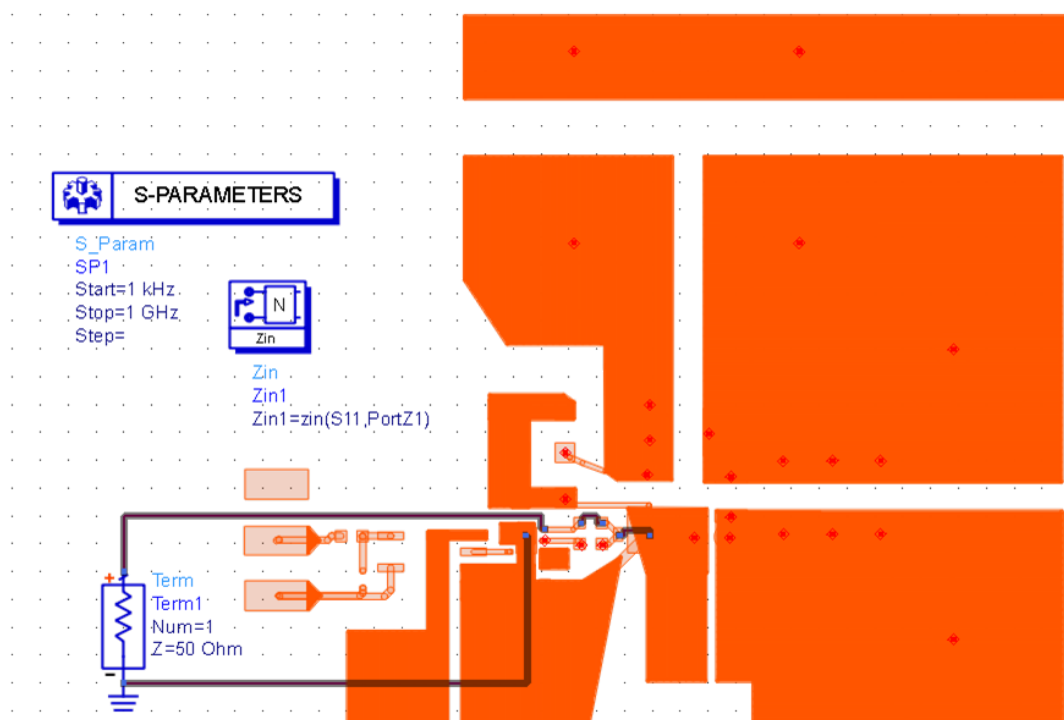


Figure IV. 8 : Schéma de simulation en paramètres S pour la détermination de l'inductance de la maille de commande

Les figures IV.9(a) et IV.9(b) donnent les résultats de simulation des évolutions fréquentielles des inductances des mailles de puissance et de commande respectivement. Ces valeurs d'inductance sont obtenues par division de la partie imaginaire des impédances de maille par la pulsation angulaire ω . Les

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

valeurs d'inductance obtenues par simulation à 1 MHz (fréquence de commutation choisie pour le convertisseur DC/DC qui sera réalisé) sont d'environ 2,7 nH pour la maille de puissance et 8 nH pour la maille de commande.

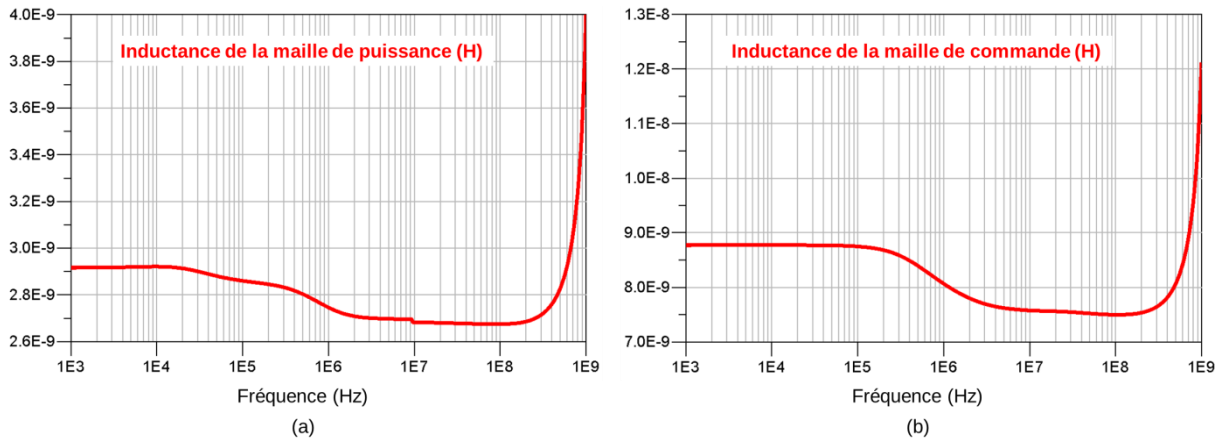


Figure IV. 9 : Évolutions fréquentielles simulées des inductances des mailles (a) de puissance et (b) de commande

Les composants constituant le circuit Double Pulse sont modélisés à partir d'éléments de type circuit. Dans un premier temps, le driver (circuit de commande de la grille de T_1) a été modélisé par deux interrupteurs contrôlés en tension fonctionnant de manière complémentaire [IV.1], cependant ce modèle ne permet pas la prise en considération des temps de montée et de descente des signaux en sortie du driver. Ainsi, le modèle circuit proposé pour le driver est constitué des deux résistances internes spécifiées par le constructeur du driver lors de la mise en conduction $R_{drv_{on}} = 2,2 \Omega$ et du blocage $R_{drv_{off}} = 0,24 \Omega$ et de diodes avec des caractéristiques idéales. Le modèle proposé ainsi que le schéma de principe de la simulation ADS pour la vérification du fonctionnement du modèle sont présentés sur la figure IV.10. Le modèle de la capacité d'entrée C_{ISS} du transistor GaN est utilisé dans cette simulation.

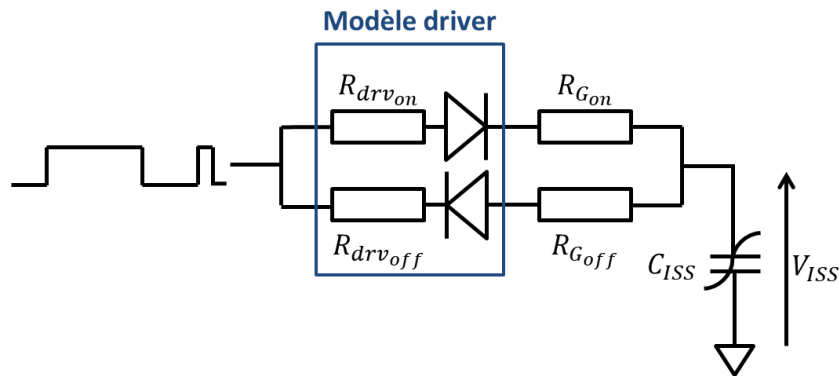


Figure IV. 10 : Schéma de principe de la simulation ADS pour l'analyse du modèle proposé pour le driver

Les résultats de simulation sont présentés sur la figure IV.11. On observe que les temps de montée $t_r = 12 \text{ ns}$ et de descente $t_f = 3 \text{ ns}$ spécifiés au niveau du signal Double Pulse à l'entrée du driver (obtenus à partir des spécifications techniques du composant) sont bien présents au niveau de la tension en sortie du driver V_{DRV} . On note également que du à la charge de la capacité C_{ISS} , le temps d'établissement de la tension V_{ISS} lors de la mise en conduction est d'environ 20 ns.

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

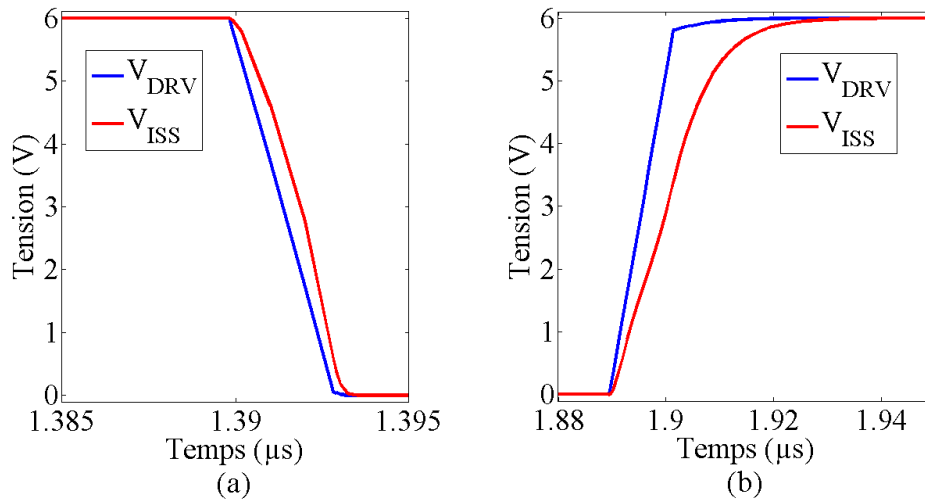


Figure IV. 11 : Simulation du circuit de commande du transistor GaN : (a) au blocage (b) à la mise en conduction

Les modèles de l'inductance de charge et des condensateurs du bus contenu sont déterminés à partir des évolutions fréquentielles des impédances, mesurées à partir d'un analyseur d'impédance ou obtenues à partir des données du constructeur, de ces composants.

Les figures IV.12 à IV.14 donnent les évolutions fréquentielles des impédances et les modèles associés de l'inductance de charge, des condensateurs 1 μ F et 100 nF du bus continu.

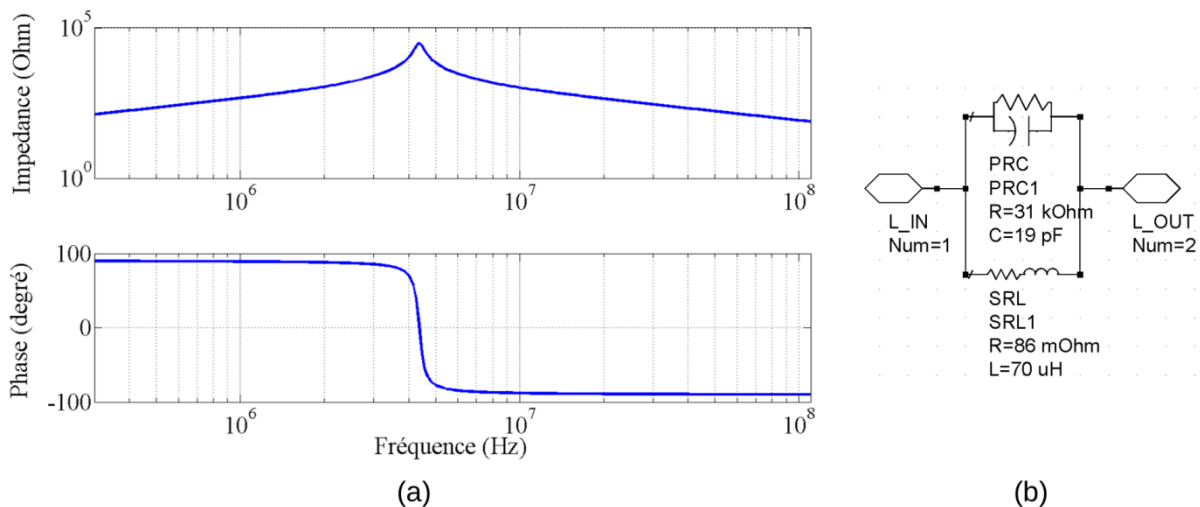


Figure IV. 12 : Bobine équivalente L_{CH} : (a) Impédance et phase (b) Modèle électrique

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

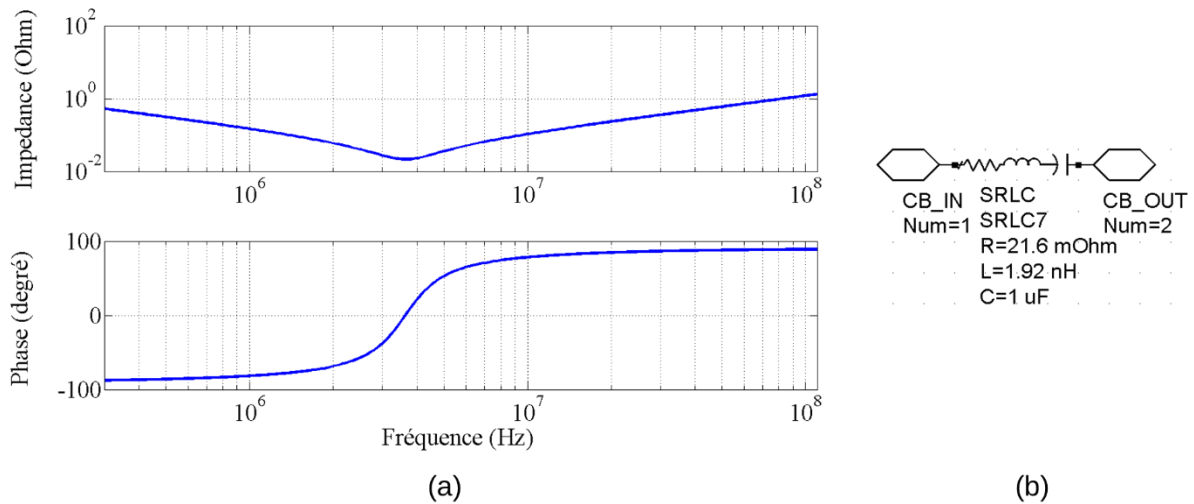


Figure IV. 13 : Condensateur 1 µF du bus continu : (a) Impédance et phase (b) Modèle électrique

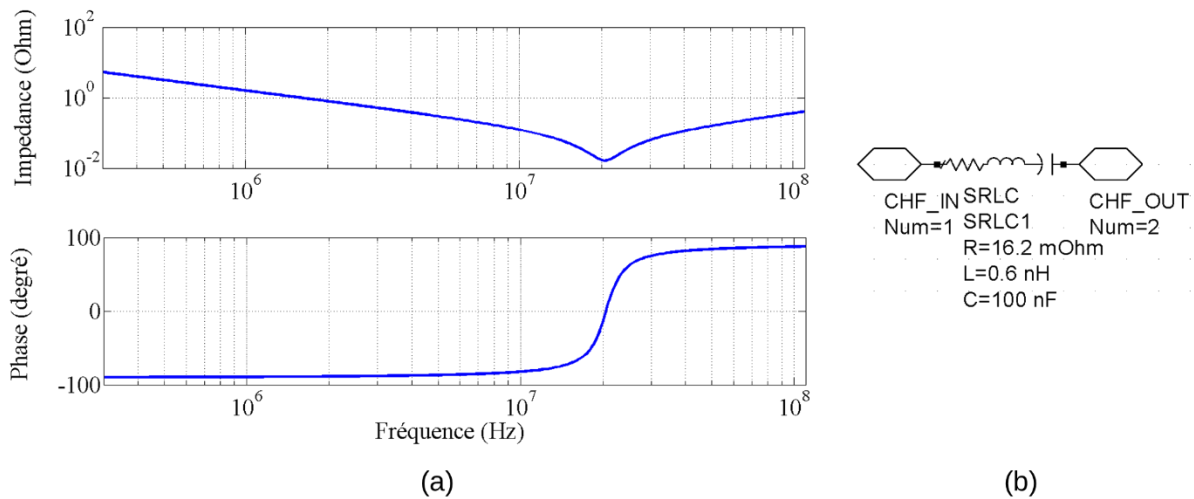


Figure IV. 14 : Condensateur 100 nF du bus continu : (a) Impédance et phase (b) Modèle électrique

Afin de limiter au maximum l'inductance parasite ramenée par les broches de connexion du shunt de courant, celui-ci est soudé en traversant à partir de la face arrière du PCB comme le montre le schéma de la figure IV.15(a). Le modèle du shunt présenté sur la figure IV.15(b), basé sur les travaux des auteurs dans [IV.2], est obtenu à partir de mesures réalisées avec un analyseur d'impédance. La résistance R_S est la résistance du shunt, L_A est l'inductance parasite entre la résistance de shunt et la connexion sur PCB et L_B est l'inductance parasite entre la résistance et le connecteur BNC du composant.

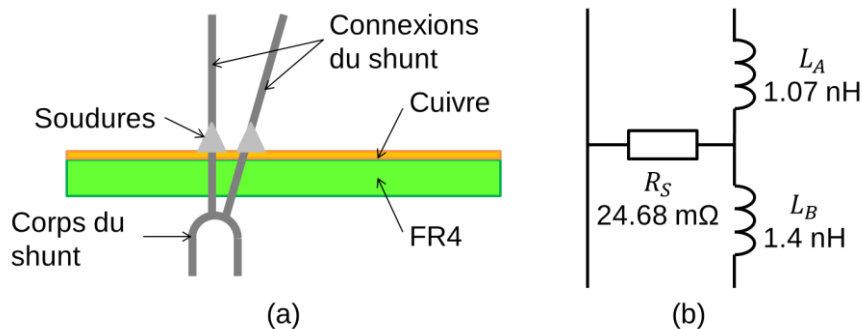


Figure IV. 15 : Shunt de courant : (a) Schéma de fixation sur la carte Double Pulse (b) Modèle électrique proposé

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

La mesure de la tension V_{DS} du transistor T_1 se fait à l'aide d'une sonde haute tension Lecroy PPE 4kV présentée sur la figure IV.16(a). Cette sonde permet de mesurer des tensions en régime impulsionnel avec une bande passante de 400 MHz jusqu'à 1 kV. Le modèle de la mesure de tension présenté sur la figure IV.16(b) est basé sur le modèle proposé par les auteurs dans [IV.3] et modifié de sorte à tenir compte des caractéristiques de la tête de sonde données par le fabricant. Le câble coaxial reliant la tête au corps de la sonde est modélisé par une ligne de transmission obtenue avec ADS à partir d'un composant « TLIN » dans lequel sont renseignées l'impédance caractéristique et la longueur électrique du câble à une fréquence de 1 MHz.

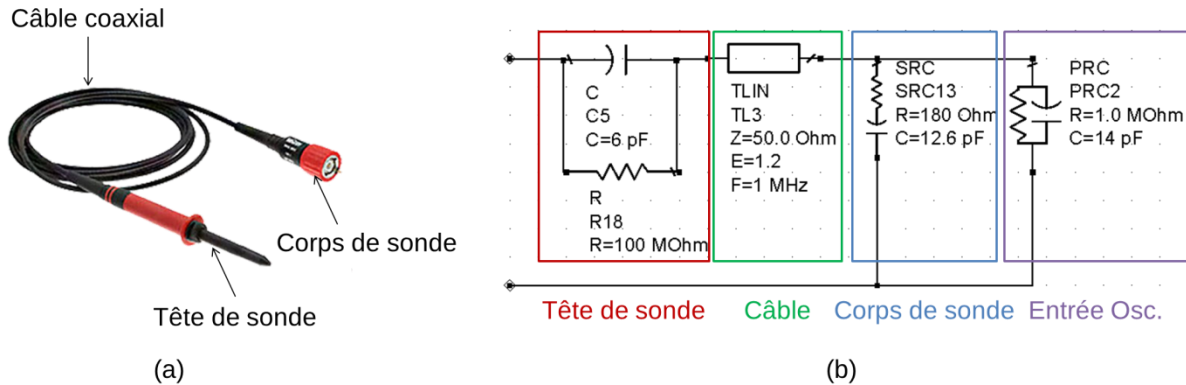


Figure IV. 16 : Sonde de mesure de tension : (a) Présentation (b) Modèle électrique proposé

IV.1.3. Analyse des performances du modèle électrique du transistor GaN

Dans l'optique de valider le travail de modélisation effectué précédemment et d'analyser les performances du modèle de transistor GaN proposé, des essais expérimentaux sont menés sur le banc de test Double Pulse fabriqué. La figure IV.17 présente le dispositif expérimental avec l'instrumentation de mesure.

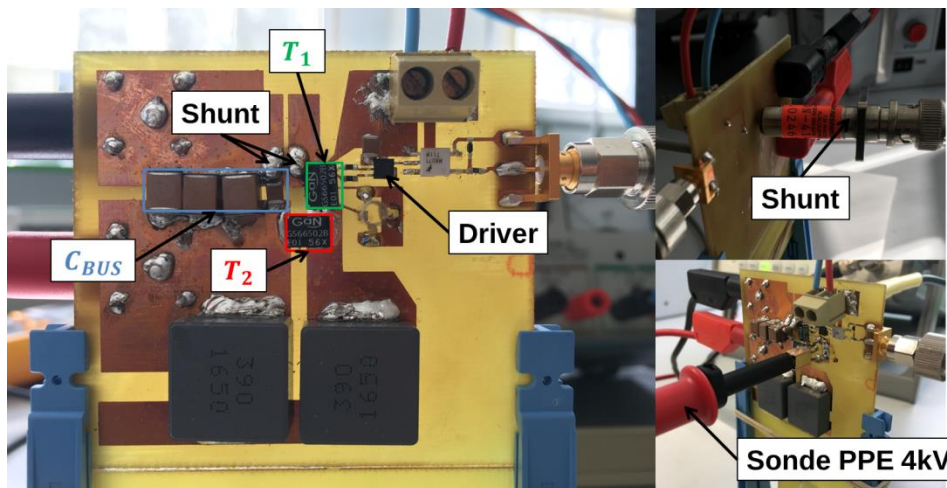


Figure IV. 17 : Présentation du banc de test Double Pulse et de son instrumentation de mesure

À partir des modèles obtenus pour les différents éléments constituant le circuit Double Pulse, le schéma de simulation présenté sur la figure IV.18 est réalisé avec le logiciel ADS. Ce schéma est une représentation numérique du banc expérimental de la figure IV.17 par remplacement de tous les composants par leur modèle respectif, y compris pour le circuit imprimé.

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

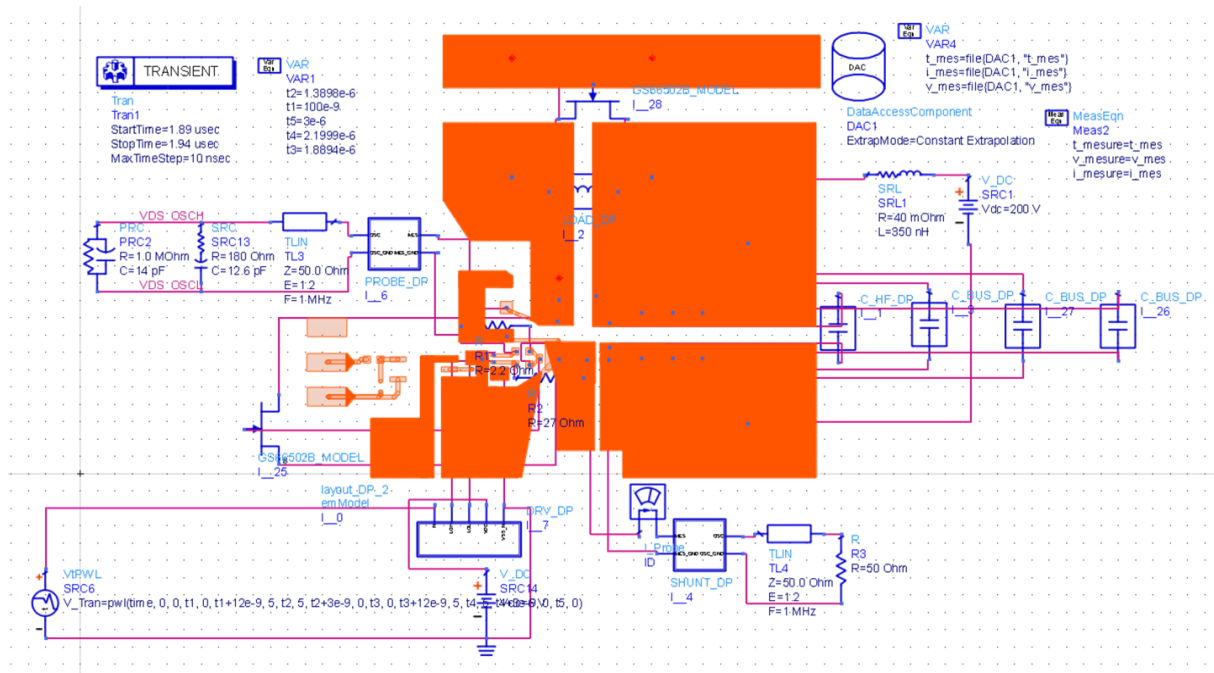


Figure IV. 18 : Schéma de simulation ADS du circuit Double Pulse

Une simulation de type transitoire (« Transcient ») est effectuée avec le paramétrage du simulateur suivant :

- Pas de temps adaptatif avec une valeur maximale de 10 ns
- Méthode de contrôle du pas de temps : paramétrage par défaut (Trunc Error, TruncTol =7, ChargeTol=1e-14)
- Méthode d'intégration trapézoïdale ($\mu=0.5$)
- Fréquence maximale d'analyse des composants dépendant de la fréquence (exemple : le circuit imprimé) : 2 GHz

Les résultats de mesure et de simulation lors du blocage et de la mise en conduction du transistor T_1 sont présentés sur les figures IV.19 et IV.20 respectivement. Le retard de la mesure de tension par rapport à la mesure de courant (appelé « deskew » en anglais) est réglé à partir des résultats de simulation.

On observe à partir des figures IV.19 et IV.20 une bonne concordance entre mesure et simulation. Les temps de montée et de descente ainsi que les fréquences des oscillations sont globalement retrouvés grâce à la finesse de la modélisation du banc expérimental. Ces différentes observations permettent de valider la modélisation électrique du transistor GaN proposée dans ces travaux de thèse.

Néanmoins, on remarque des couplages de plusieurs fréquences au niveau des oscillations des courants à la mise en conduction et au blocage. La modélisation du circuit proposée ne permet pas la prise en compte de ces couplages fréquentiels. Une des raisons pouvant être à l'origine de ces phénomènes serait le couplage des masses des mesures de courant et de tension à travers l'oscilloscope, toutes les masses étant liées entre elles et à la Terre sur cet appareil. À noter que des sondes pour oscilloscope isolées (liaison optique) sont aujourd'hui disponibles et permettent de s'affranchir de ces phénomènes. Les mesures pourront être reconduites lors de l'acquisition de ce matériel afin d'analyser si des différences notables apparaissent sur les formes d'onde.

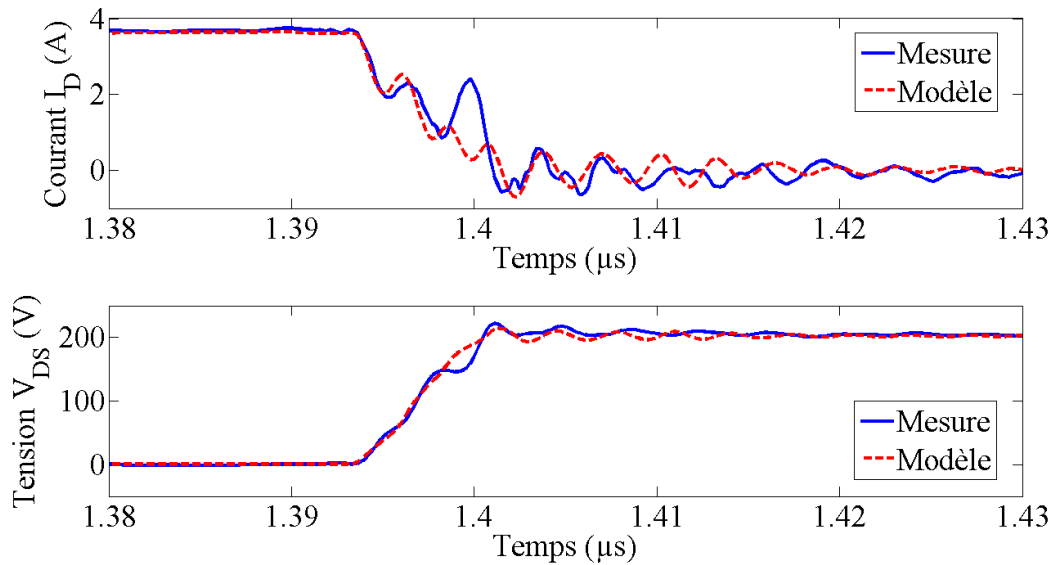


Figure IV. 19 : Résultats de mesure et de simulation au blocage du transistor T_1

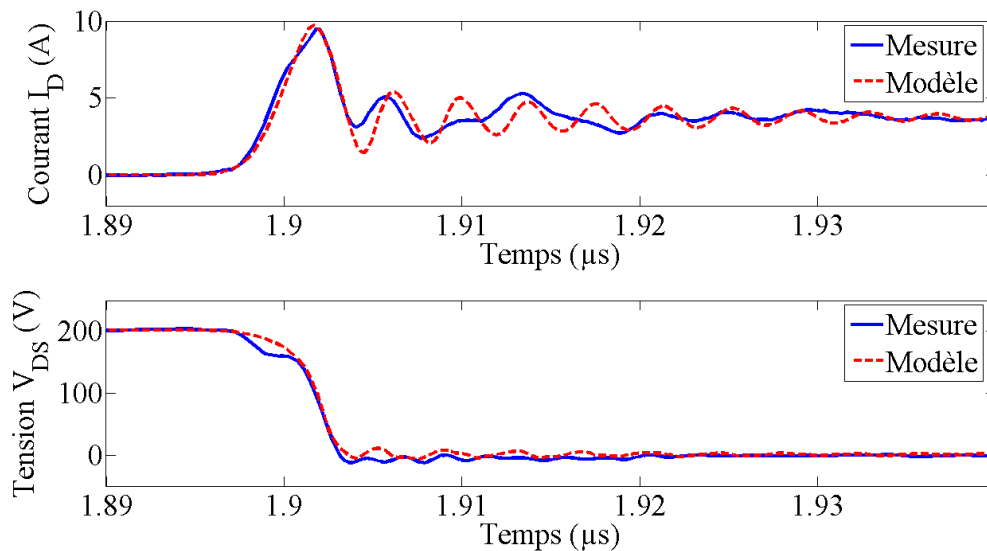


Figure IV. 20 : Résultats de mesure et de simulation à la mise en conduction du transistor T_1

IV.2. Conception et modélisation d'un convertisseur DC/DC à 1 MHz

IV.2.1. Structure du convertisseur

Cette partie du travail de thèse s'intéresse à la réalisation d'un convertisseur DC/DC haute fréquence (1 MHz) basé sur le transistor GS66502B modélisé. La réalisation d'un convertisseur Buck synchrone, c'est-à-dire une cellule de commutation utilisant deux transistors commandés de façon complémentaire sur une période de commutation, nécessite des protections et une commande présentant des temps morts afin d'éviter les phénomènes de « cross-conduction » [IV.4]. Au-delà des pertes supplémentaires générées par ces commandes spécifiques, la modélisation peut s'avérer complexe. Avec l'avancement technologique des diodes Schottky à base de SiC, les travaux présentés par les auteurs dans [IV.5] ont montré les avantages considérables d'une cellule de commutation hybride transistor GaN et diode Schottky SiC pour la réalisation de convertisseurs intégrés fonctionnant à haute fréquence. De plus, cette structure hybride offre d'autres avantages pour ces travaux de recherche, notamment une simplicité de modélisation comparée à la structure Buck synchrone et la possibilité d'appliquer les techniques de

caractérisation et de modélisation à d'autres types de composants et de matériau (ici une diode Schottky en SiC). Finalement on ajoutera que la cellule de commutation transistor/diode peut éventuellement permettre d'améliorer le circuit de refroidissement en choisissant une diode avec dissipation sur la face supérieure, évitant ainsi la nécessité d'une interface thermique (Thermal Interface Material (TIM)) pour isoler les potentiels de source des transistors dans le cas d'une cellule de Buck synchrone.

Le schéma électrique du convertisseur à réaliser est présenté sur la figure IV.21. Le driver et les composants R_{Gon} , R_{Goff} , C_{BUS} et L_{CH} sont identiques à ceux utilisés pour le banc de caractérisation Double Pulse de la partie IV.1. La résistance R_{CH} (IS250C50RKE, Ohmite) est une résistance de valeur 50Ω stable à hautes fréquences grâce à de faibles éléments parasites et pouvant dissiper 250 W. Une instrumentation est mise en place pour la mesure du courant I_D et des tensions V_{GS} et V_{DS} du transistor T .

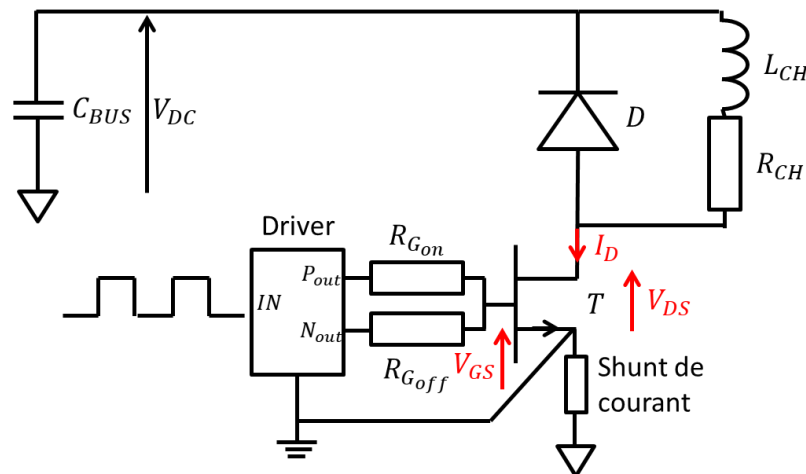


Figure IV. 21 : Schéma électrique du convertisseur DC/DC GaN/SiC

Le modèle électrothermique du transistor GaN proposé est utilisé dans cette partie pour la conception du convertisseur, notamment pour le choix de la diode SiC et pour le dimensionnement du système de refroidissement. Après réalisation du convertisseur, l'objectif est de s'appuyer sur les résultats expérimentaux pour valider les résultats des simulations basées sur les modèles proposés.

IV.2.2. Conception et modélisation de la maille de grille

Le circuit de commande de la grille du transistor T est identique à celui utilisé pour le banc de test Double Pulse de la partie IV.1 et est présenté sur la figure IV.22. Il est constitué d'un optocoupleur (FODM8071) permettant d'isoler le signal de commande du convertisseur, d'un driver (LM5114) fournissant l'énergie nécessaire à la grille du transistor lors des commutations et de deux résistances ($R_{Gon} = 27 \Omega$ et $R_{Goff} = 2,2 \Omega$) pour gérer les temps de charge et de décharge des capacités de grille ainsi que pour l'amortissement des oscillations de V_{GS} lors des commutations.

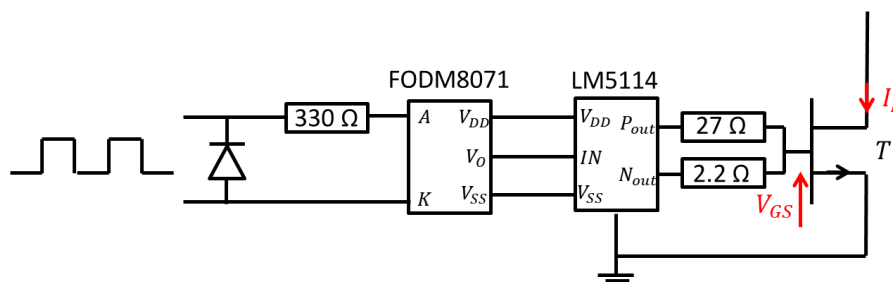


Figure IV. 22 : Circuit de commande de la grille du transistor T

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

Afin de limiter les oscillations et surtensions de la grille et ainsi mieux protéger le transistor lors d'un fonctionnement répétitif, un travail est effectué pour minimiser la valeur de l'inductance parasite de la maille de grille par rapport à la conception du banc Double Pulse. Une conception de la maille de grille en double face est proposée ici comme le montre la figure IV.23.

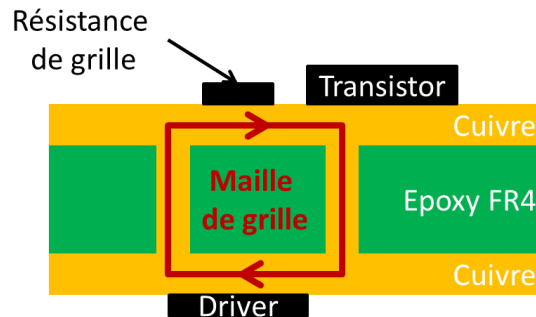


Figure IV. 23 : Conception de la maille de grille en double face

Après caractérisation par simulation de la maille de grille avec le logiciel ADS comme décrit dans la partie IV.1, l'évolution fréquentielle de l'inductance de la maille grille présentée sur la figure IV.24 est obtenue. On constate que, selon les résultats de simulation, la réalisation de la maille de grille en PCB double face permet de réduire l'inductance de la maille de grille de 8 nH (circuit Double Pulse) à 2.9 nH (valeurs extraites à 1 MHz).

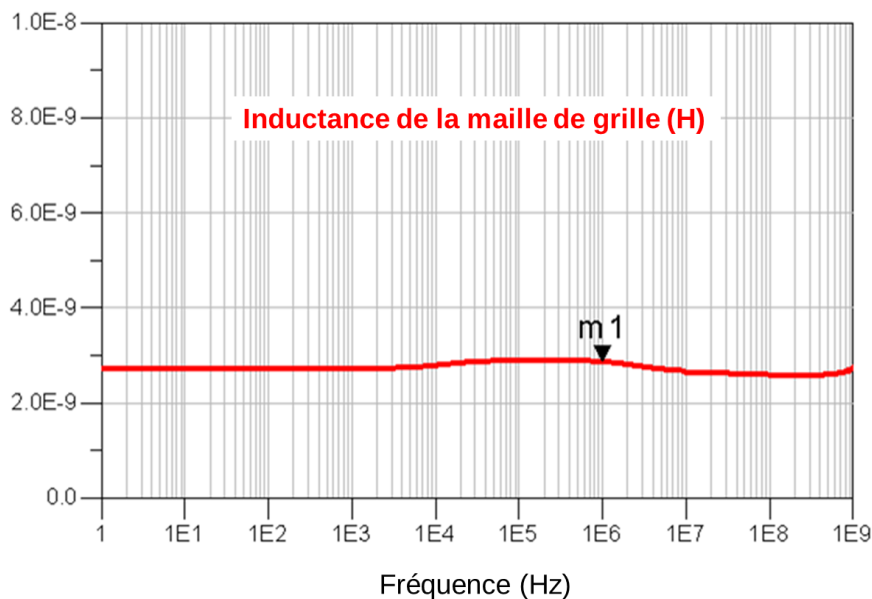


Figure IV. 24 : Évolution fréquentielle de l'inductance de la maille de grille du convertisseur obtenue en simulation avec ADS

IV.2.3. Choix de la diode SiC

On s'intéresse à présent à la diode Schottky SiC servant de diode de roue libre pour le convertisseur. De nombreuses diodes Schottky en carbure de silicium sont de nos jours disponibles sur le marché pour des applications d'électronique de puissance. Nous limiterons ici notre étude aux deux diodes présentées sur la figure IV.25.

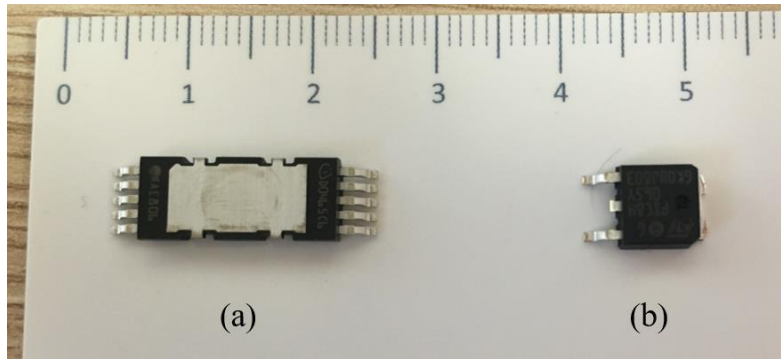


Figure IV. 25 : Présentation des diodes Schottky SiC sélectionnées : (a) diode D_1 (b) diode D_2

Ces deux composants présentent des avantages et des inconvénients pour notre application, une étude approfondie est nécessaire pour sélectionner le composant le plus adapté à une application HF. La diode IDDD04G65C6XTMA1 (Infineon), que l'on nommera D_1 , est de calibre 650 V et 8 A. Cette diode présente certains avantages comme une faible charge stockée (7 nC), une capacité de jonction de l'ordre de celle du transistor GaN et une surface de dissipation thermique (au potentiel de la cathode) présente sur le dessus du boîtier du composant. Cette dissipation de chaleur par le dessus permet alors de séparer les circuits de refroidissement du transistor et de la diode, ainsi l'utilisation d'un TIM n'est pas requise et les performances de refroidissement sont améliorées. L'inconvénient majeur de la diode D_1 est son volume égal à environ douze fois celui du transistor GaN, rendant ce composant peu attractif pour des applications à forte densité de puissance. La diode STPSC8H065B (ST Microelectronics), que l'on nommera D_2 , est de calibre 650 V et 8 A. Cette diode possède un boîtier plus optimisé au niveau des dimensions que la diode D_1 . La longueur du boîtier est de l'ordre de celle du boîtier du transistor utilisé permettant la conception d'une maille de puissance moins inductive. Cependant, comparé à la diode D_1 , la diode D_2 présente une charge stockée plus importante (24 nC), une capacité de jonction également plus importante et nécessite un refroidissement par le dessous, donc la mise en place d'un TIM.

La figure IV.26 montre la conception des mailles de puissance avec les deux diodes D_1 et D_2 . Après caractérisation par simulation des mailles de puissance avec ADS selon la procédure décrite dans la partie IV.1, les évolutions fréquentielles des inductances de maille de puissance présentées sur la figure IV.27 sont obtenues suivant que le convertisseur soit conçu avec la diode D_1 ou D_2 . On constate à partir de ces résultats de simulations qu'à 1 MHz l'inductance de la maille de puissance est d'environ 4.6 nH avec la diode D_1 et d'environ 3 nH avec la diode D_2 . Les dimensions plus optimisées de la diode D_2 permettraient alors une réduction d'environ 1.6 nH de l'inductance parasite de la maille de puissance.

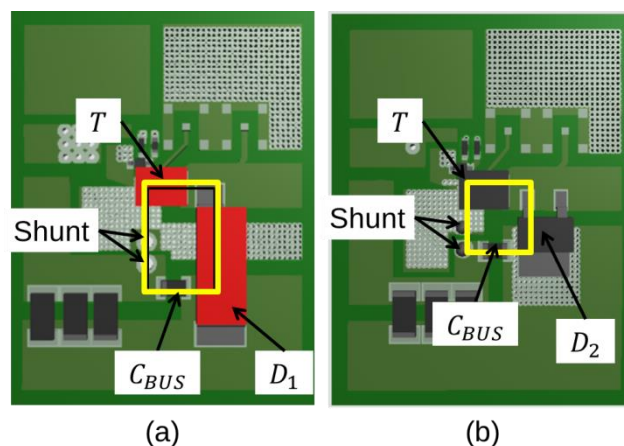


Figure IV. 26 : Conception de la maille de puissance : (a) avec la diode D_1 (b) avec la diode D_2

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

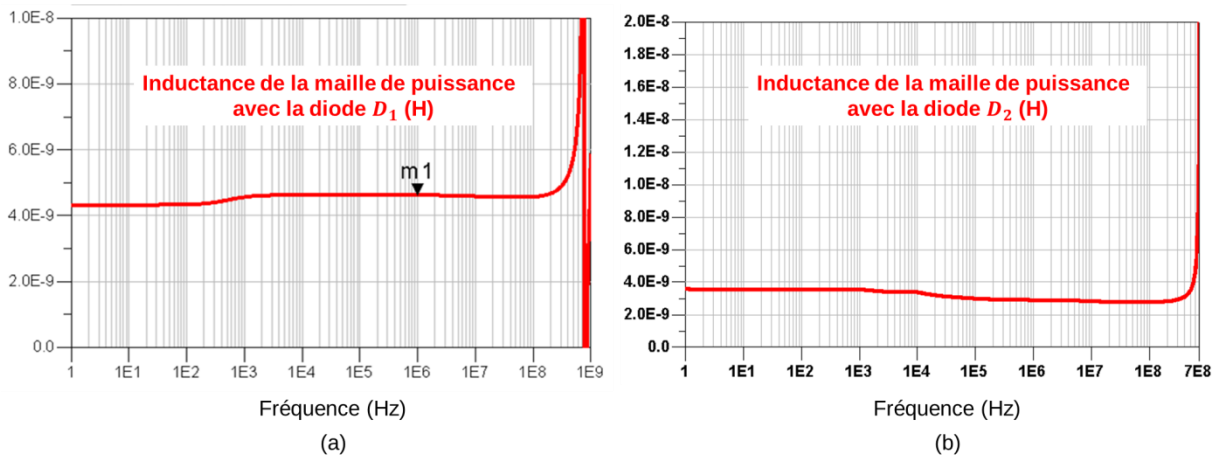


Figure IV. 27 : Évolution fréquentielle de l'inductance parasite de la maille de puissance simulée en utilisant ADS : (a) avec la diode D_1 (b) avec la diode D_2

Malgré cette réduction de l'inductance de la maille de puissance avec la diode D_2 , une étude basée sur des simulations de fonctionnement des convertisseurs est nécessaire pour sélectionner la meilleure diode. Afin de réaliser ces simulations, les deux diodes SiC doivent être modélisées. On se propose alors d'adapter les méthodes de caractérisation et de modélisation développées pour le transistor GaN aux diodes SiC.

La figure IV.28 montre les dispositifs de caractérisation des deux diodes D_1 et D_2 . Etant donné que la diode est un dipôle, celle-ci peut être caractérisée à partir d'une mesure de paramètres S en 1 port. Le schéma équivalent de la diode avec son dispositif de caractérisation est donné sur la figure IV.29. La procédure de calibrage reste similaire à celle utilisée pour le transistor GaN et l'impédance de la diode Z_{Diode} peut être directement obtenue suivant l'équation eq.(IV.3). Z_C est l'impédance caractéristique de 50Ω . Y_0 , Z_1 , Z_2 et Y_3 sont les éléments parasites ramenés par le dispositif de caractérisation sur PCB, ils sont obtenus à partir des standards de calibrage comme décrit dans la partie II.1. du second chapitre.

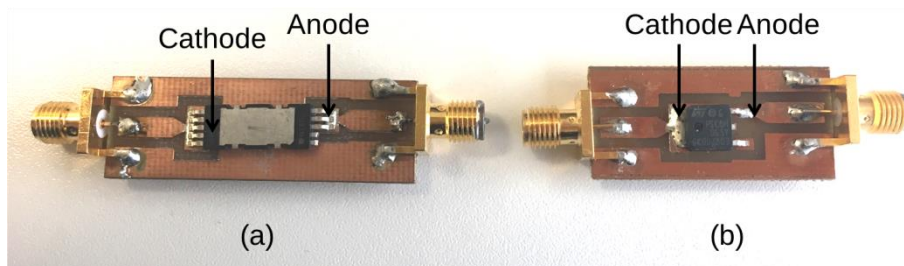


Figure IV. 28 : Dispositifs de caractérisation des diodes : (a) D_1 et (b) D_2

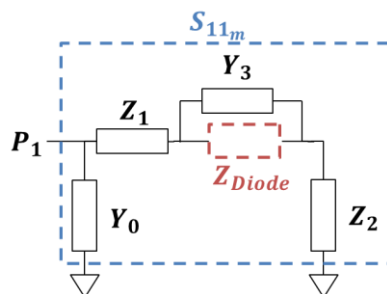


Figure IV. 29 : Schéma équivalent du dispositif de caractérisation avec diode

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

$$Z_{Diode} = \frac{1}{\frac{1 - S_{11m} - Y_0 Z_C (1 + S_{11m})}{(1 + (Z_1 + Z_2) Y_0) (1 + S_{11m}) Z_C - (Z_1 + Z_2) (1 - S_{11m})} - Y_3} \quad (IV.3)$$

Le schéma électrique équivalent d'une diode SiC considéré est présenté sur la figure IV.30.

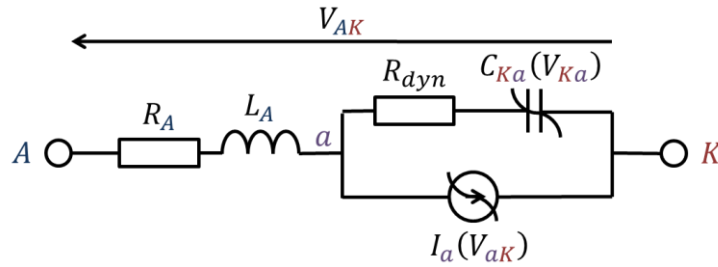


Figure IV. 30 : Schéma électrique équivalent d'une diode SiC

Une mesure de paramètres S en 1 port à une tension $V_{AK} = 0V$ permet de déterminer les éléments parasites L_A et $R_A + R_{dyn}$.

Dans ces conditions, on considère les équations (IV.4) et (IV.5) dont les évolutions en fonction de ω^2 sont données sur la figure IV.31 pour la diode D_1 et sur la figure IV.32 pour la diode D_2 .

$$Re(Z_{Diode})\omega^2 = (R_A + R_{dyn})\omega^2 \quad (IV.4)$$

$$Im(Z_{Diode})\omega = L_A\omega^2 - \frac{1}{C_{Ka}(0V)} \quad (IV.5)$$

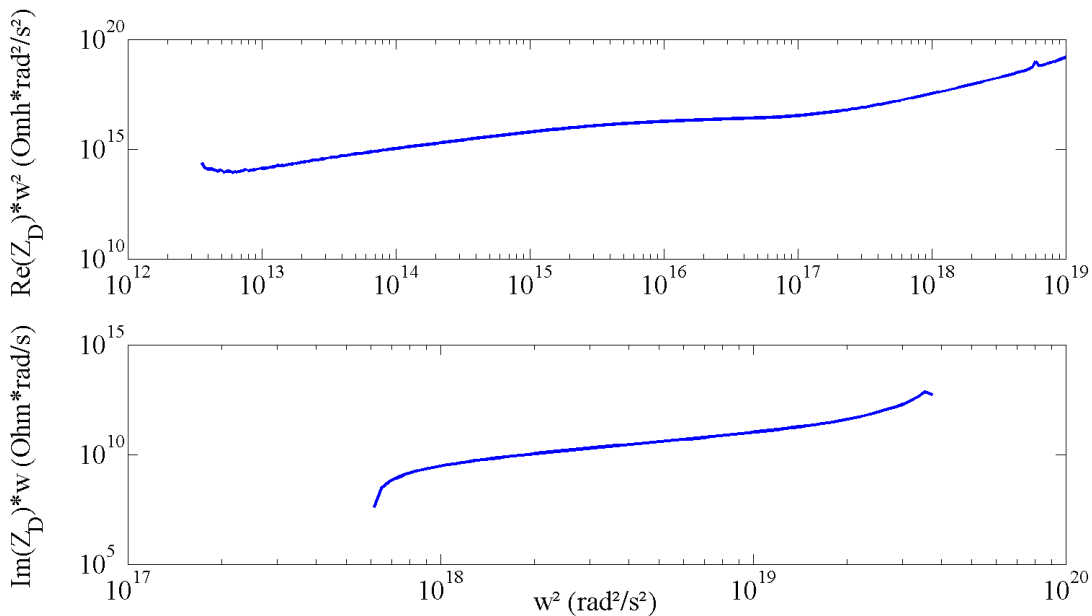


Figure IV. 31 : Extraction des éléments parasites de la diode D_1

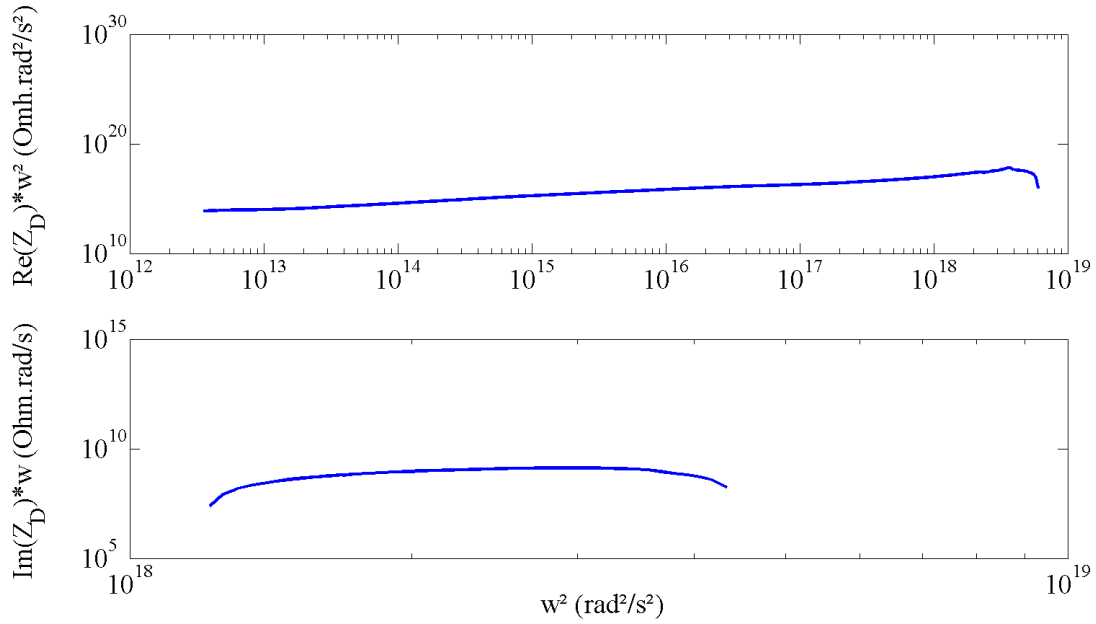


Figure IV. 32 : Extraction des éléments parasites de la diode D_2

Selon les équations eq.(IV.4) et eq.(IV.5), les pentes de ces deux courbes donnent directement les éléments L_A et $R_A + R_{dyn}$ dont les valeurs obtenues sont données dans le tableau IV.2.

Tableau IV. 2 : Extraction des éléments parasites des diodes D_1 et D_2

	$R_A + R_{dyn}(m\Omega)$	$L_A (nH)$
Diode D_1	288	7,2
Diode D_2	89	1,9

Des mesures de paramètres S en 1 port sont ensuite conduites en polarisant la diode en inverse jusqu'à des tensions V_{KA} de 200 V afin d'extraire l'évolution de C_{Ka} en fonction de V_{KA} pour les modèles des deux diodes testées. Ces mesures nécessitent l'utilisation d'un té de polarisation spécifique comme décrit dans la partie II.1 du second chapitre. La procédure d'extraction est similaire à celle employée dans la partie II.3 pour les capacités inter-électrodes du transistor. L'équation eq.(IV.6) est utilisée pour la modélisation de la capacité de la diode. Les paramètres des modèles de capacités obtenus par ajustement des mesures sont donnés dans le tableau IV.3.

$$C_{Ka}(V_{KA}) = C_{D0} + C_{D1} \ln(1 + \exp(a_D V_{KA} + b_D)) + C_{D2} \ln(1 + \exp(c_D V_{KA} + d_D)) \quad (IV.6)$$

Tableau IV. 3 : Paramètres des modèles $C_{Ka}(V_{KA})$ des diodes D_1 et D_2

	$C_{D0}(pF)$	$C_{D1}(pF)$	$C_{D2}(pF)$	$a_D(V^{-1})$	b_D	$c_D(V^{-1})$	d_D
Diode D_1	19,3	250	50	-0,18	-0,48	-0,041	0,68
Diode D_2	46,4	150	450	-0,022	-0,055	-0,23	-0,056

La figure IV.33 montre les évolutions des capacités C_{Ka} des diodes en fonction de V_{KA} ainsi que leur modélisation suivant la relation eq.(IV.6) et les données extraites des documentations techniques des composants.

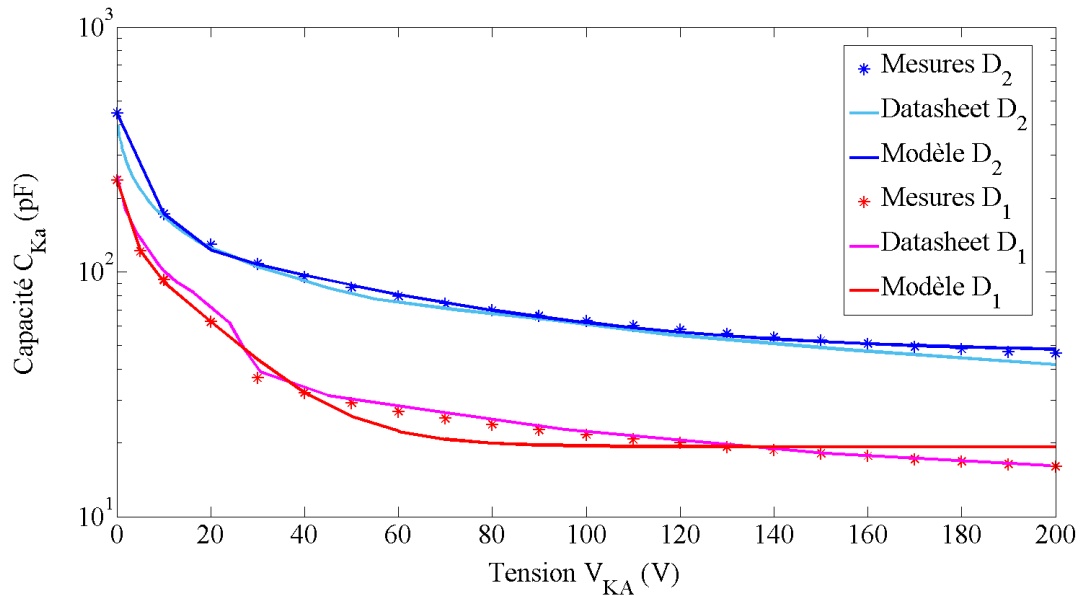


Figure IV. 33 : Comparaison des évolutions des capacités C_{Ka} des diodes en fonction de V_{KA}

Une caractérisation en mesures pulsées à l’aide du banc B1505A est ensuite effectuée afin de déterminer la caractéristique statique $I_a(V_{aK})$ des diodes. Les mesures sont réalisées en fonction de la tension extrinsèque V_{aK} , puis à partir de la courbe obtenue la résistance R_A (cf. figure IV.30) est déduite de la pente de la caractéristique et la chute de tension due à cette résistance est ensuite considérée afin d’obtenir les caractéristiques $I_a(V_{aK})$ présentées sur la figure IV.34. Ces résultats sont ensuite modélisés à partir de l’équation eq.(IV.7) et les résultats de modélisation sont présentés sur la figure IV.34.

$$I_a(V_{aK}) = I_S \left(\exp \left(\frac{V_{aK}}{V_t} \right) - 1 \right) \quad (IV.7)$$

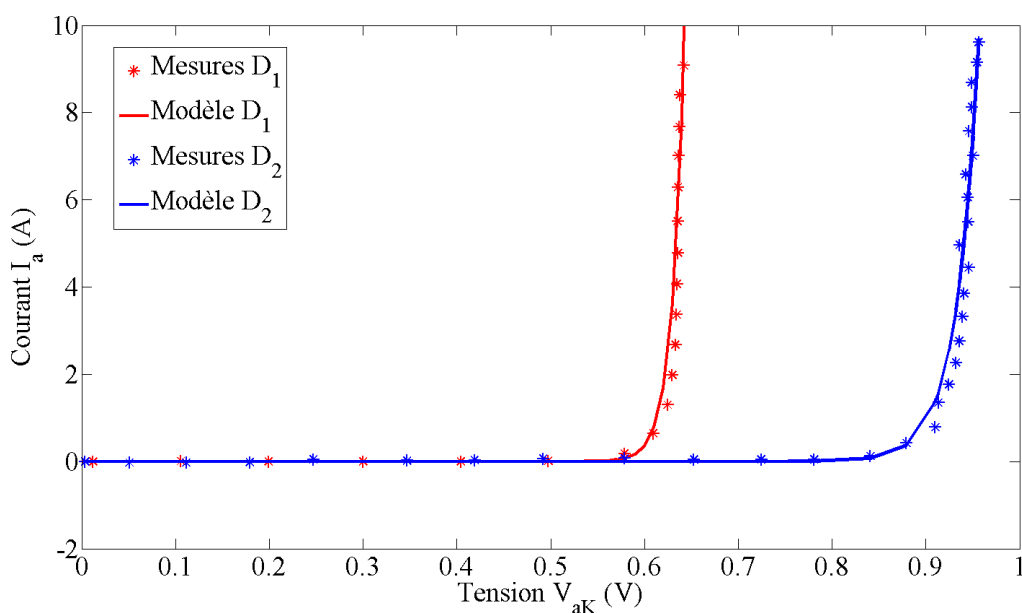


Figure IV. 34 : Modélisation des caractéristiques statiques $I_a(V_{aK})$ des diodes D_1 et D_2

Les paramètres des modèles obtenus par ajustement des mesures sont donnés dans le tableau IV.4.

Tableau IV. 4 : Paramètres des modèles $I_a(V_{aK})$ des diodes D_1 et D_2

	I_S (fA)	V_t (mV)
Diode D_1	$3,3 \cdot 10^{-6}$	13
Diode D_2	0,025	23,6

À partir des différents éléments obtenus, un exemple de modèle implémenté dans ADS pour la diodes D_1 est présenté sur la figure IV.35. On y retrouve l'implémentation de la capacité C_{Ka} et de la source de courant I_a à l'aide de composants de type « SDD » comme décrit dans la partie III.1 du troisième chapitre.

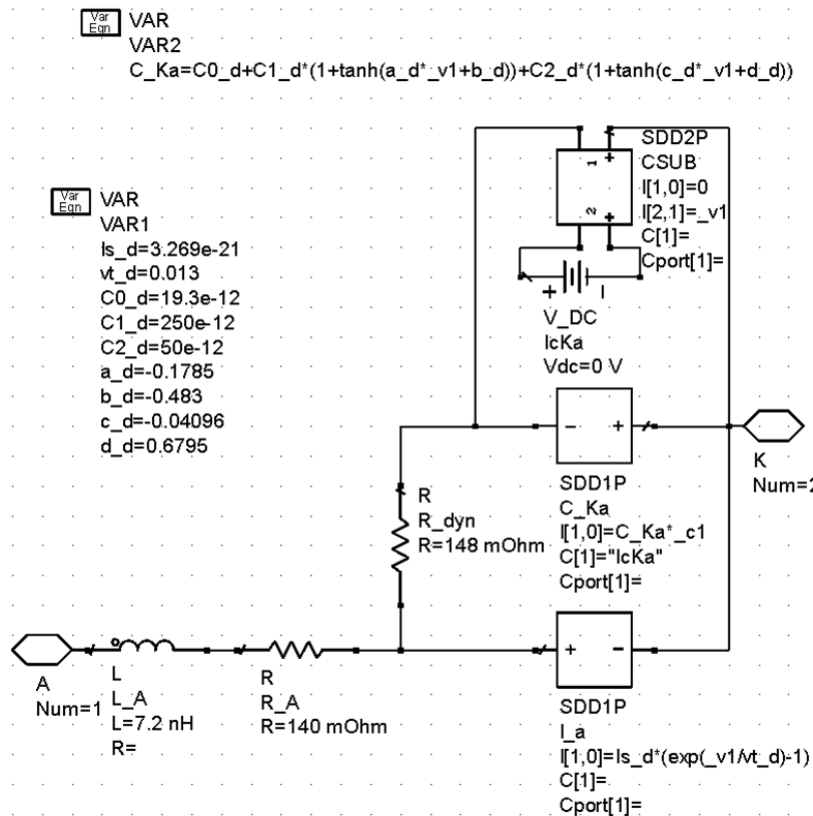


Figure IV. 35 : Implémentation du modèle de diode dans ADS (exemple pour la diode D_1)

Les diodes étant modélisées et implémentées dans le logiciel ADS, des simulations de fonctionnement des convertisseurs avec les deux diodes sont réalisées en tenant compte des différents modèles des composants ainsi que des modèles des deux configurations de PCB présentés sur la figure IV.26. Le modèle de transistor développé est utilisé. Les formes d'onde simulées du courant dans le canal du transistor GaN, noté I_{canal} et de la tension V_{DS} lors de sa mise en conduction et de son blocage sont comparées sur la figure IV.36 suivant que la diode D_1 ou la diode D_2 est utilisée. La figure IV.37 donne les pertes correspondantes lors de la mise en conduction et du blocage du transistor pour les deux configurations étudiées. Les pertes moyennes résultantes ainsi que l'énergie perdue sur un cycle de fonctionnement sont comparées dans le tableau IV.5. La fréquence de commutation est de 1 MHz et le

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

rapport cyclique est de 50%. Les résultats sont obtenus lors du fonctionnement en régime permanent du convertisseur (après 10 périodes afin de faire l'étude en régime électrique établi).

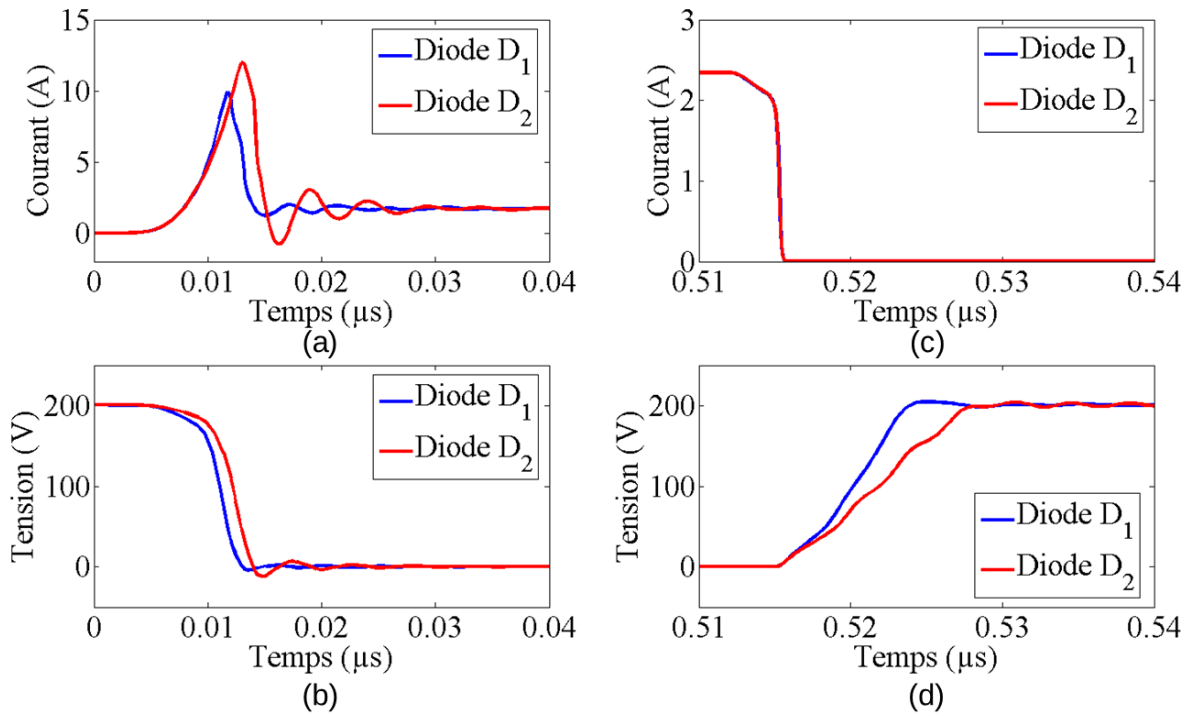


Figure IV. 36 : Formes d'onde simulées pour les deux configurations de convertisseur : (a) Courant I_{canal} à la mise en conduction (b) Tension V_{DS} à la mise en conduction (c) Courant I_{canal} au blocage (d) Tension V_{DS} au blocage

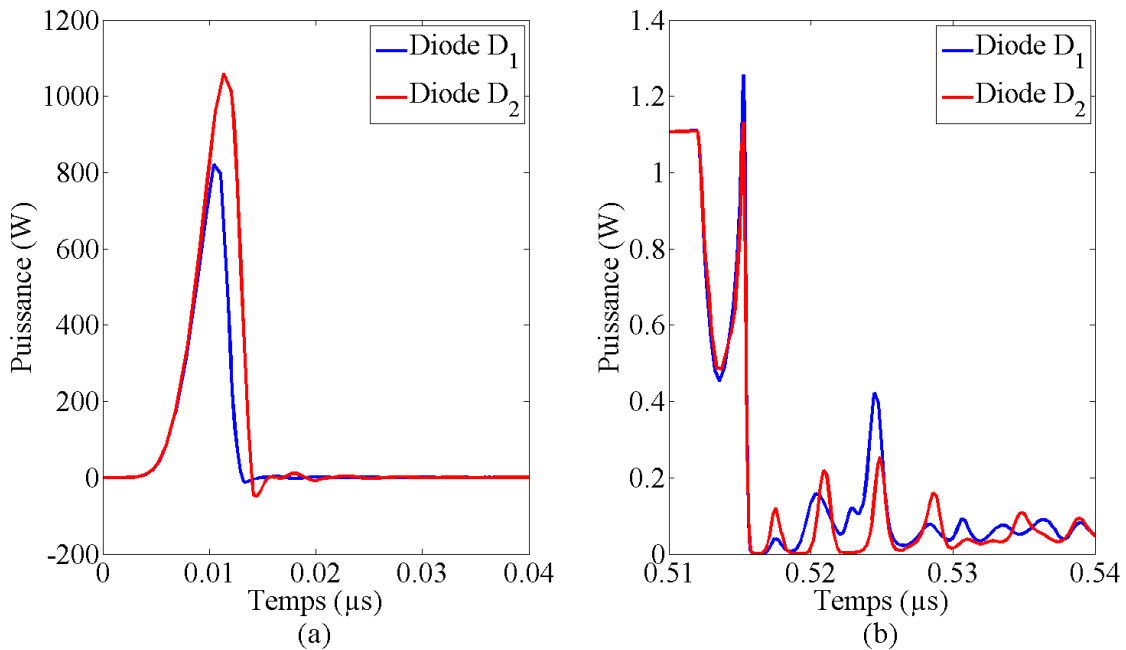


Figure IV. 37 : Comparaison des pertes par commutation du transistor simulées pour les deux configurations de convertisseur (a) à la mise en conduction (b) au blocage

Tableau IV. 5 : Pertes moyennes et énergie perdue par le transistor sur un cycle

	Pertes par conduction sur un cycle (W)	Pertes par commutation sur un cycle (W)	Pertes moyennes sur un cycle (W)	Energie perdue sur un cycle (μJ)
Avec la Diode D_1	0,42	2,94	3,36	3,36
Avec la Diode D_2	0,42	6,21	6,63	6,63

Ces résultats de simulation démontrent que les pertes moyennes du transistor sont environ deux fois moins élevées lors de l'utilisation de la diode D_1 . Cette étude a donc permis, grâce aux différentes techniques de modélisation développées, de sélectionner la diode de roue libre la plus performante dans le cas de l'application visée. La figure IV.38 présente la version finale retenue du convertisseur avec la diode D_1 comme diode de roue libre.

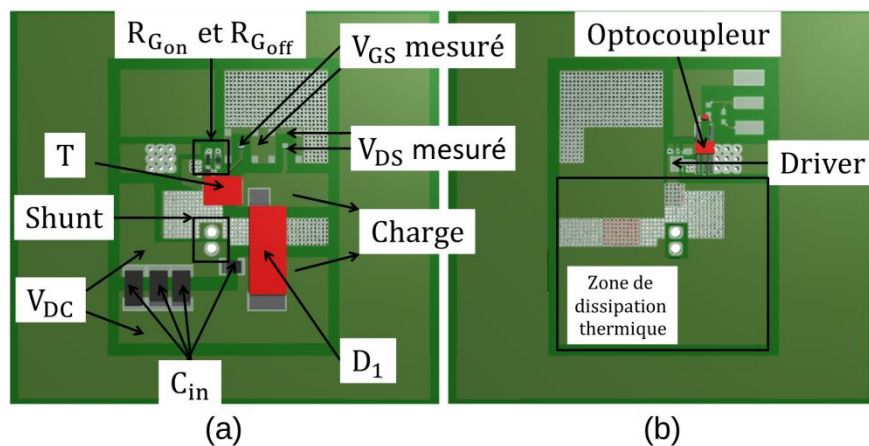


Figure IV. 38 : Présentation de la version finale du convertisseur GaN/SiC : (a) Face du dessus (b) Face du dessous

IV.2.4. Conception et modélisation du circuit de refroidissement

Au vu du boîtier du transistor GaN utilisant la connexion de source pour le refroidissement, la chaleur doit être extraite à travers le PCB. Ainsi, comme le montre la figure IV.38, la réalisation de vias thermiques est nécessaire afin de conduire au mieux la chaleur vers la face inférieure du PCB et pouvoir ensuite y connecter un dissipateur. La diode D_1 quant à elle possède une surface de dissipation sur le dessus de son boîtier, permettant ainsi de connecter directement le dissipateur. La figure IV.39 présente un schéma de principe du circuit de refroidissement proposé pour le convertisseur.

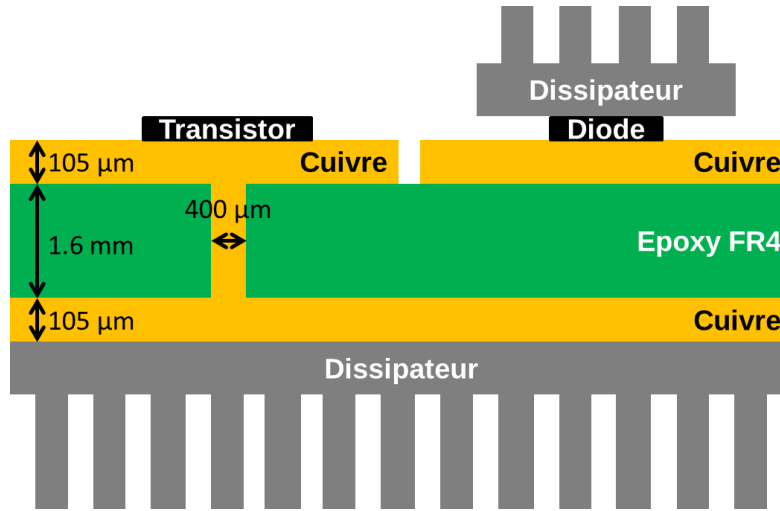


Figure IV. 39 : Schéma de principe du refroidissement du convertisseur avec vias thermiques

Les vias thermiques ont un diamètre de 400 µm selon les préconisations du constructeur du transistor [IV.6]. Après la procédure de métallisation, on évalue à 20 µm l'épaisseur de cuivre déposée à l'intérieur de ces vias selon les données techniques. A partir de ces données, il est possible d'estimer la résistance thermique et la capacité thermique d'un via selon les relations eq.(IV.8) et eq.(IV.9).

$$R_{th_{via}} = \frac{h}{\lambda_{Cu} \cdot \pi \cdot (r_e^2 - r_i^2)} \quad (IV.8)$$

$$C_{th_{via}} = C_{p_{Cu}} \cdot \rho_{Cu} \cdot h \cdot \pi \cdot (r_e^2 - r_i^2) \quad (IV.9)$$

λ_{Cu} est la conductivité thermique du cuivre, $C_{p_{Cu}}$ est la capacité thermique massique du cuivre, ρ_{Cu} est la densité du cuivre, h est la hauteur du via, r_e est le rayon du via avant métallisation et r_i est le rayon du via après métallisation. À partir des dimensions des vias, on considère douze vias directement sous la connexion de source du boîtier du transistor. La résistance thermique $R_{th_{12vias}}$ et la capacité thermique $C_{th_{12vias}}$ équivalente pour les douze vias sont alors données par les relations eq.(IV.10) et eq.(IV.11). Ici, l'hypothèse est faite que le refroidissement se fait de façon homogène sur toute la surface de la connexion de source. Pour des raisons de simplicité de calcul, l'influence des vias thermiques annexes au transistor n'est pas prise en compte ce qui a pour effet de majorer la résistance thermique équivalente et de minorer la capacité thermique équivalente. En toute rigueur, des simulations thermiques en trois dimensions à l'aide d'un logiciel adapté (COMSOL par exemple) sont requises pour une détermination précise de ces éléments.

$$R_{th_{12vias}} = \frac{R_{th_{via}}}{12} \quad (IV.10)$$

$$C_{th_{12vias}} = 12C_{th_{via}} \quad (IV.11)$$

Après calcul les valeurs $R_{th_{12vias}} = 14,3 \text{ } ^\circ\text{C/W}$ et $C_{th_{12vias}} = 1,6 \text{ mJ}/^\circ\text{C}$ sont obtenues.

La résistance du dissipateur $R_{th_{diss}}$ est obtenue à partir de la caractéristique d'évolution de cette résistance en fonction de la longueur du dissipateur utilisée fournie par le constructeur et présentée sur la figure IV.40. On considère une longueur utile de 40 mm donnant une résistance thermique $R_{th_{diss}} = 2,9 \text{ } ^\circ\text{C/W}$. Cette valeur est confortée par l'utilisation d'un calculateur en ligne [IV.7] estimant la résistance thermique à 2.3 $^\circ\text{C/W}$ pour une vitesse de l'air de 0.5 m/s, d'après la littérature on peut estimer la vitesse de l'air dans une pièce fermée à une valeur légèrement inférieure [IV.8].

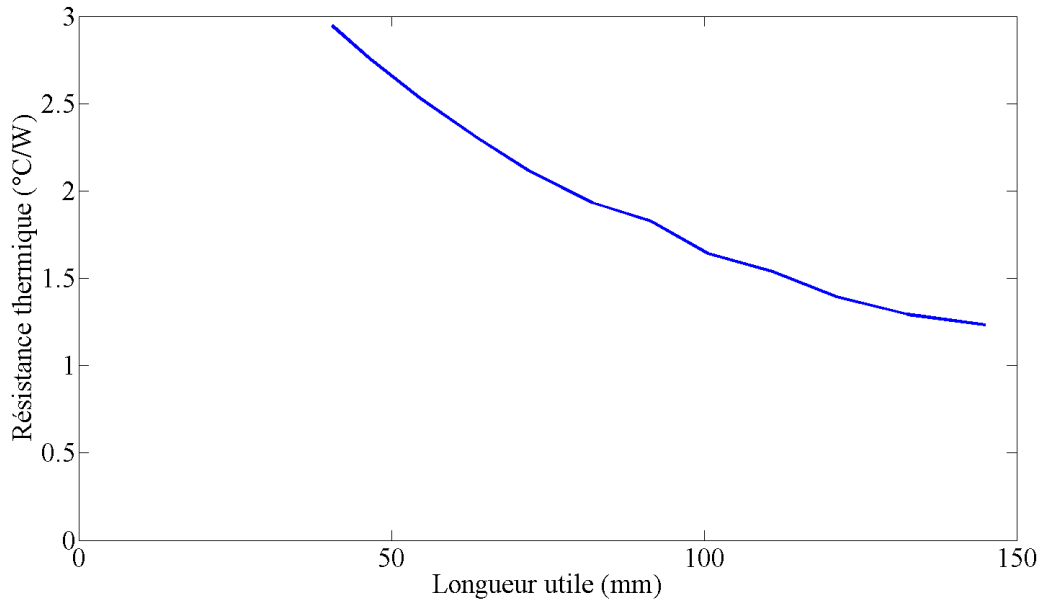


Figure IV. 40 : Évolution de la résistance thermique du dissipateur en fonction de la longueur utile

La capacité thermique $C_{th_{diss}}$ du dissipateur est estimée par la relation eq.(IV.12) qui est une équivalence de la relation (IV.9) précédente $C_{p_{Al}}$ est la capacité thermique massique de l'aluminium et $m_{diss} = 150\text{ g}$ est la masse utile du dissipateur. Après calcul, on obtient une capacité thermique $C_{th_{diss}} = 135\text{ J/}^\circ\text{C}$ pour le dissipateur.

$$C_{th_{diss}} = C_{p_{Al}} \cdot m_{diss} \quad (\text{IV.12})$$

Le modèle thermique du transistor ayant été déterminé dans la partie III.2 du troisième chapitre, l'ensemble des éléments du circuit thermique lié au transistor GaN sont à présent estimés. Une simulation de l'évolution de la température de jonction du transistor à partir du schéma de la figure IV.41 est effectuée.

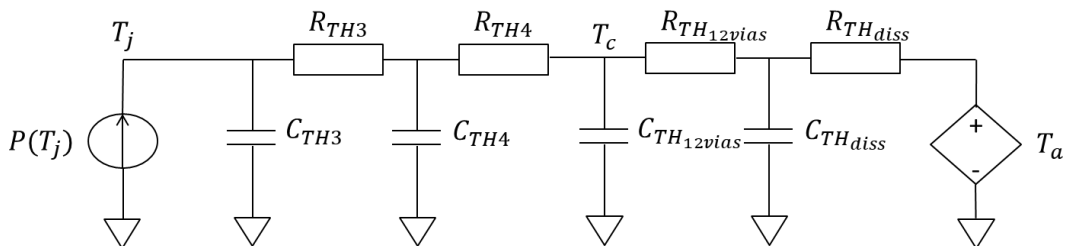


Figure IV. 41 : Schéma de simulation pour l'estimation de la température de fonctionnement du transistor GaN au sein du convertisseur GaN/SiC

La température ambiante du local est mesurée à $19,6\text{ }^\circ\text{C}$. La source de puissance $P(T_j)$ obéit à la relation eq.(IV.13). P_0 correspond aux pertes moyennes obtenues par simulation sur un cycle selon les résultats du tableau IV.5. Pour tenir compte de l'effet de la température sur les pertes en conduction, des pertes additionnelles $\Delta R_{DS_{on}}(\Delta T_j) \cdot I_{D0}^2$ sont prises en compte. La relation eq.(IV.14) donne l'équation caractéristique $\Delta R_{DS_{on}}(\Delta T_j)$ obtenue à partir des résultats expérimentaux de la partie II.2 du second chapitre. $k_{\Delta R}$ vaut $2\text{ m}\Omega/^\circ\text{C}$. Le courant I_{D0} est considéré constant égal à sa valeur moyenne en régime permanent, soit 1 A pour un rapport cyclique de 50% . Dans cette simulation, l'influence de la température sur les pertes par commutation n'est pas considérée mais des travaux futurs seront nécessaires pour valider cette hypothèse.

$$P(T_j) = P_0 + \Delta R_{DSon}(\Delta T_j) \cdot I_{D0}^2 \quad (IV.13)$$

$$\Delta R_{DSon} = k_{\Delta R} \cdot \Delta T_j \quad (IV.14)$$

La figure IV.42 présente les résultats de simulation des évolutions de la température de jonction et de boîtier du transistor GaN. On constate que le régime thermique permanent est obtenu après environ 30 minutes de fonctionnement et que la température maximale est de 89°C pour la jonction et de 85,4°C pour le boîtier selon les simulations. On observe également qu'un premier palier est atteint après une seconde de fonctionnement avec une température de jonction de 78°C et que cette température n'évolue plus que d'une dizaine de degré Celsius par la suite. Ces résultats de simulation vont être confrontés aux résultats expérimentaux dans la partie suivante de ce chapitre.

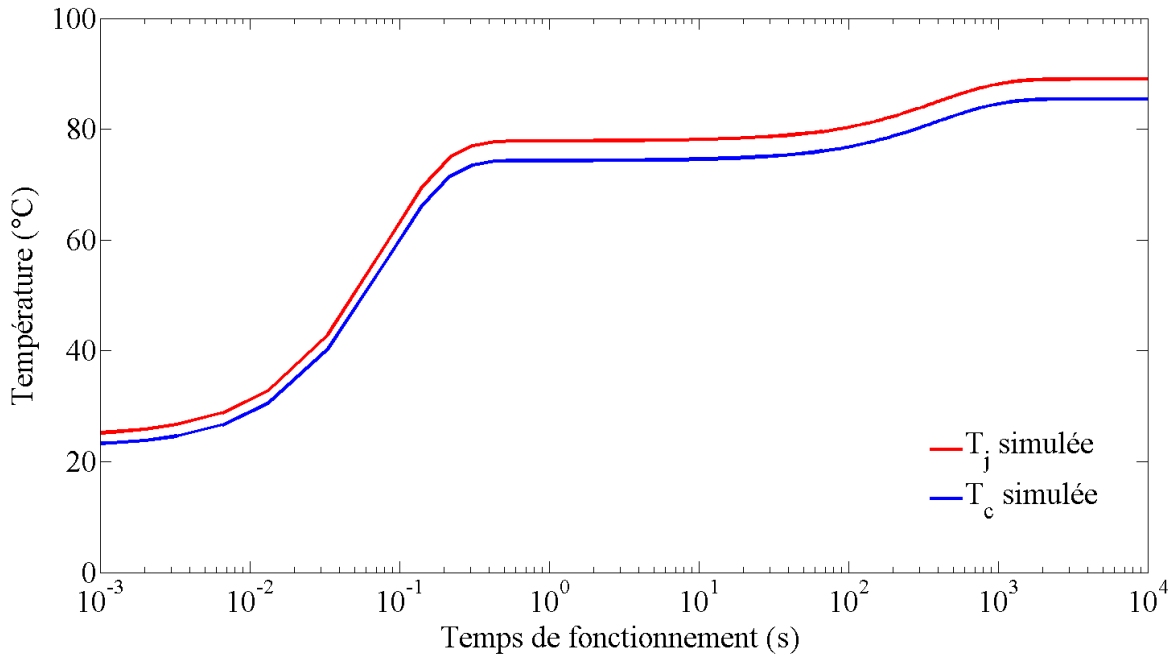


Figure IV. 42 : Simulation de la température de boîtier et de jonction du transistor GaN lors de son fonctionnement au sein du convertisseur GaN/SiC

IV.3. Validation du modèle électrothermique du transistor GaN

IV.3.1. Test en Double Pulse sur le convertisseur GaN/SiC

Après fabrication du convertisseur DC/DC, des tests expérimentaux sont menés afin de confronter les résultats de modélisation aux mesures. En premier lieu, un test en Double Pulse est effectué suivant le schéma de la figure IV.1 où le transistor T_2 est ici la diode Schottky SiC D_1 . Pour effectuer ce test, la résistance de charge R_{CH} est court-circuitée. Une différence notable avec les essais de la partie IV.1, est qu'ici la tension V_{GS} est également mesurée par une sonde passive Keysight N2873A modélisée sur le principe de la figure IV.15(b). Le dispositif expérimental est présenté sur la figure IV.43.

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

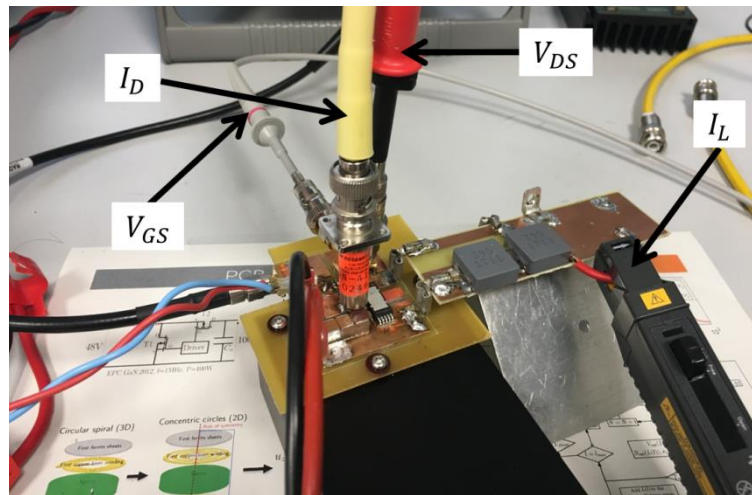


Figure IV. 43 : Convertisseur GaN/SiC en fonctionnement Double Pulse avec son instrumentation de mesure et indication des grandeurs mesurées

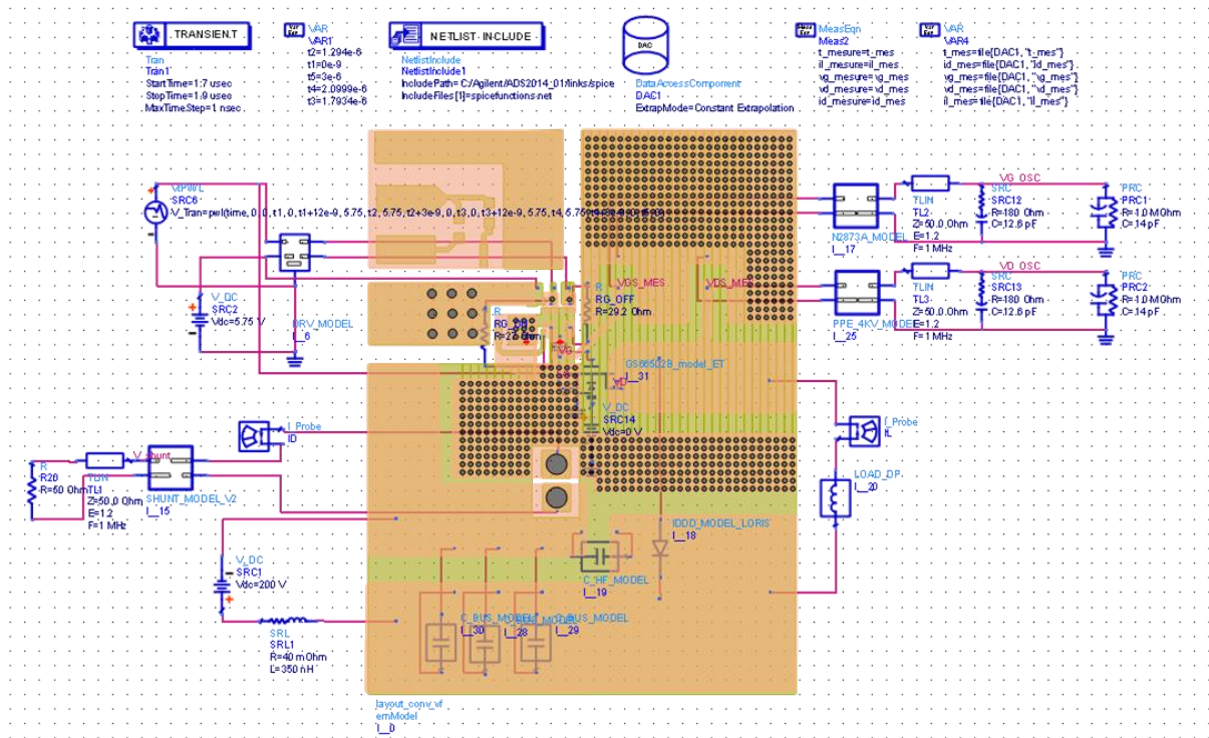


Figure IV. 44 : Schéma de simulation du convertisseur GaN/SiC en fonctionnement Double Pulse

Comme il a été décrit dans la partie IV.1, des simulations sont effectuées avec le logiciel ADS en couplant modèle électromagnétique du circuit imprimé et modèles électriques des différents composants du convertisseur y compris celui du transistor GaN. Le schéma de simulation est présenté sur la figure IV.44. Le paramétrage de la simulation est identique à celui décrit dans la partie IV.1 de ce même chapitre.

Les résultats de mesure et de simulation lors du blocage et de la mise en conduction du transistor GaN sont présentés sur les figures IV.45 et IV.46 respectivement. Le modèle proposé est comparé au modèle PSPICE fourni par le constructeur en remplaçant uniquement le modèle de transistor et en gardant le reste de la simulation à l'identique. Le retard de la mesure de tension par rapport à la mesure de courant (appelé « deskew » en anglais) est réglé à partir des résultats de simulation.

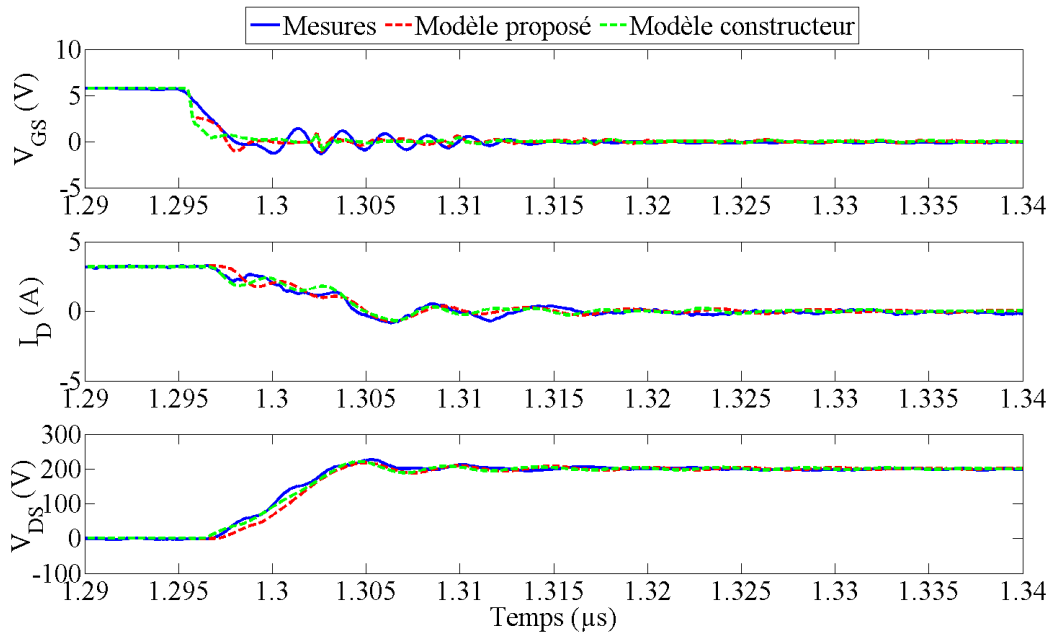


Figure IV. 45 : Résultats de mesure et de simulation au blocage du transistor GaN

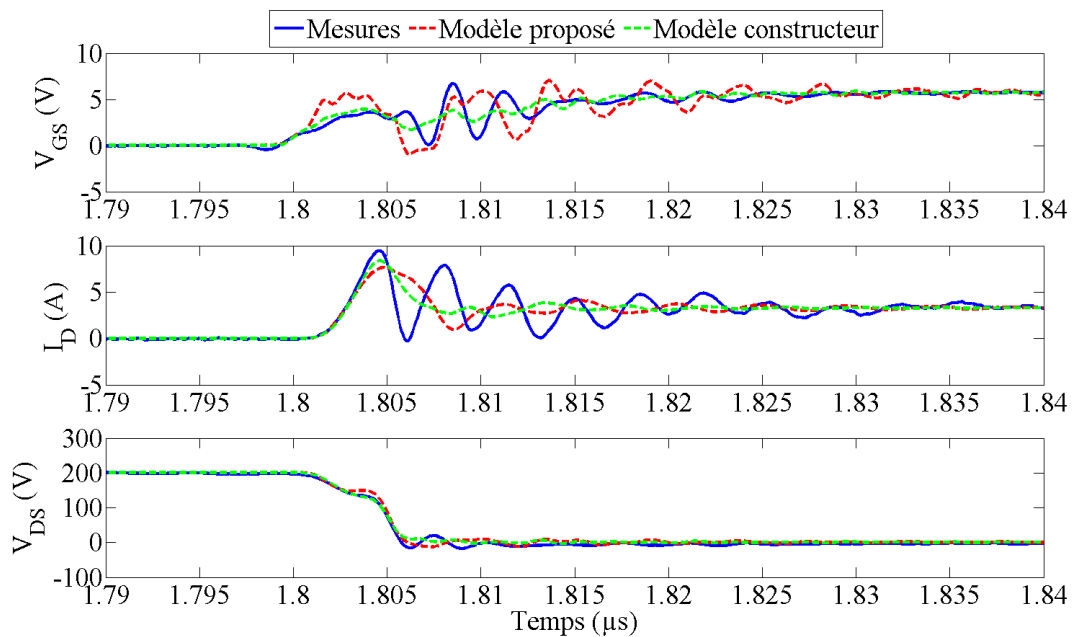


Figure IV. 46 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN

Les résultats présentés sur les figures IV.45 et IV.46 permettent d’analyser les performances de la modélisation effectuée de l’ensemble du convertisseur DC/DC. Une bonne cohérence est observable sur les régimes transitoires et valeurs finales des grandeurs entre mesure et simulation. Ces résultats obtenus à température vont servir de base pour analyser l’influence de la température du transistor sur les commutations lors de tests en Double Pulse à différentes températures de jonction.

IV.3.2. Tests en Double Pulse à différentes températures de jonction

Il a été observé au travers des simulations de la partie IV.2 que lors du fonctionnement en répétitif du convertisseur, la température de jonction du transistor avoisine les 80 degrés Celsius. L’élévation en température du transistor génère davantage de pertes en conduction par l’augmentation de la résistance drain-source mais va également modifier les commutations notamment par la diminution de la

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

transconductance. Afin de visualiser l'influence de la température sur les formes d'onde de commutation du transistor au sein du convertisseur, le test Double Pulse présenté dans la partie IV.3.1 est réalisé à différentes températures du transistor. Le dispositif expérimental permettant de faire varier la température du transistor est présenté sur la figure IV.47. Des résistances chauffantes sont placées tout autour du dissipateur permettant la diffusion de la chaleur jusqu'au composant. Un système de régulation de température comprenant un capteur et un circuit « tout ou rien » permet de contrôler la température du transistor à partir d'une consigne.

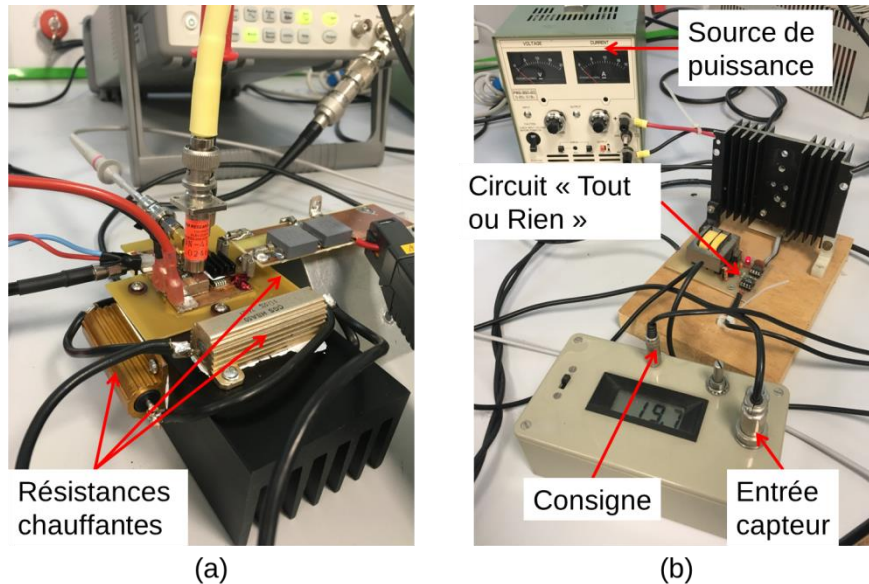


Figure IV. 47 : (a) Convertisseur en fonctionnement Double Pulse avec résistances chauffantes (b) Système de régulation de température

La température du transistor est mesurée par une caméra thermique portable. Les essais en Double Pulse sont effectués à des températures du transistor de 20 °C, 40 °C et 80 °C. Au-delà de 80°C, un banc expérimental avec un transfert thermique plus performant est requis. Les formes d'onde mesurées au blocage et à la mise en conduction du transistor GaN sont présentées sur les figures IV.48 et IV.49 respectivement pour les différentes températures évaluées.

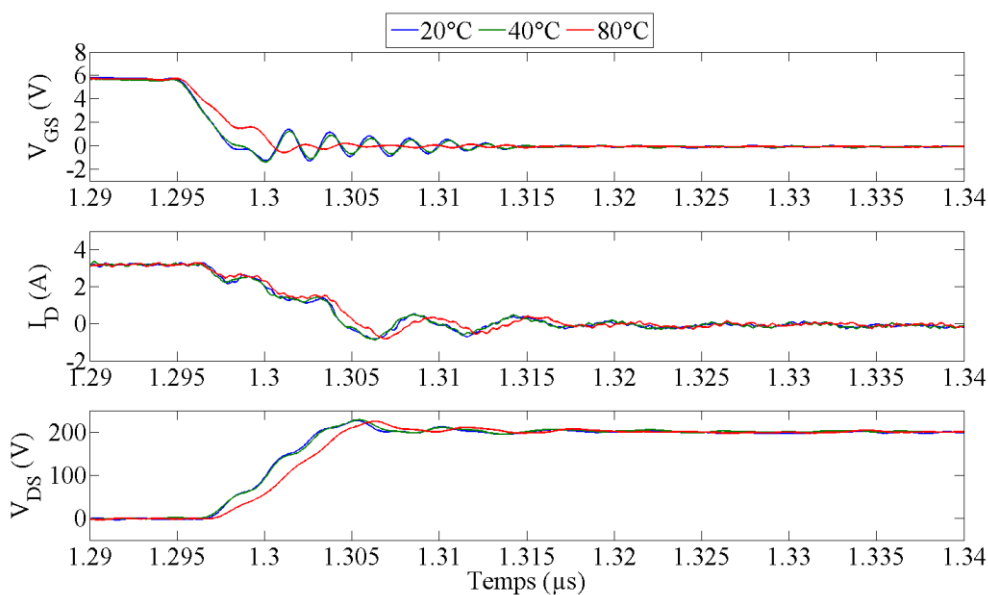


Figure IV. 48 : Résultats de mesure au blocage du transistor GaN à différentes températures de jonction

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

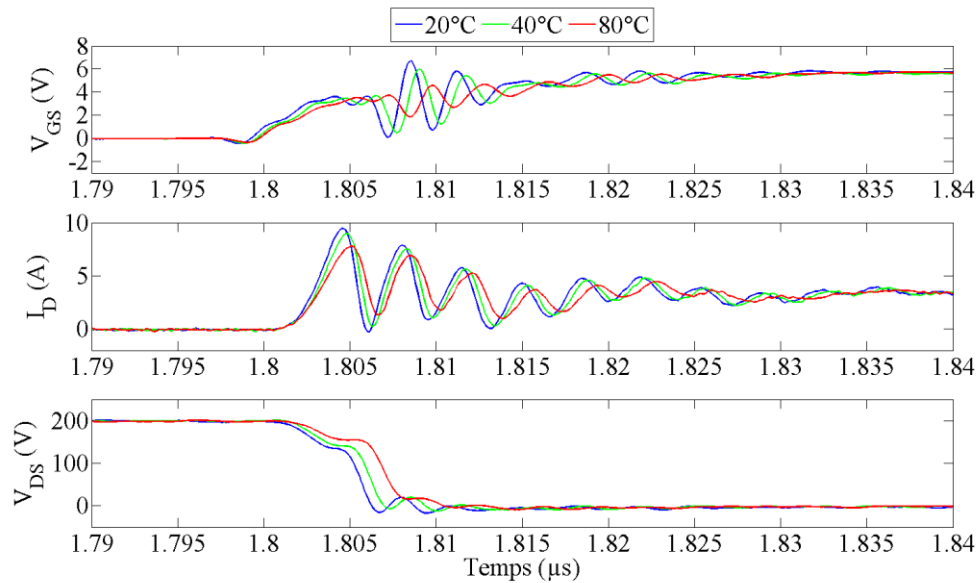


Figure IV. 49 : Résultats de mesure à la mise en conduction du transistor GaN à différentes températures de jonction

On remarque que l'élévation en température du transistor a pour effet de ralentir les commutations. Les temps de commutation augmentent avec la température. La pente et le pic de courant de drain à la mise en conduction diminuent avec la température. Par conséquent on note également que la chute de tension drain-source pendant la montée du courant de drain diminue avec la température.

Les courbes présentées sur la figure IV.50 indique les évolutions des énergies de commutation à la mise en conduction E_{on} et au blocage E_{off} du transistor en fonction de la température. En sommant ces deux énergies, on observe que les pertes par commutation augmentent d'environ 30% avec la température du transistor entre 20°C et 80°C.

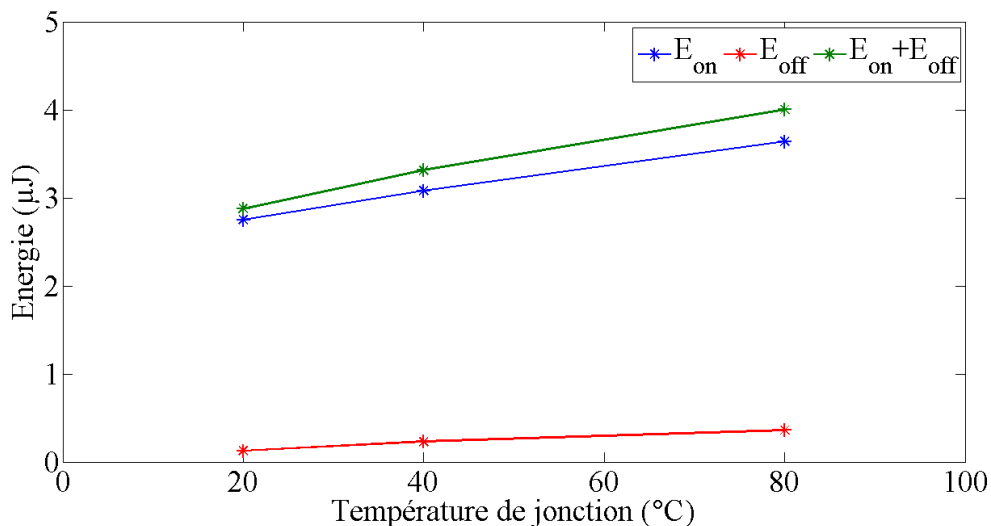


Figure IV. 50 : Evolution des énergies de commutation à la mise en conduction et au blocage du transistor en fonction de la température

Les résultats expérimentaux sont comparés aux résultats de simulation obtenus grâce à l'utilisation du modèle électrothermique du transistor développé dans ces travaux. Une comparaison est également faite avec le modèle électrothermique du transistor fourni par le constructeur. Cette comparaison au modèle du constructeur permet de vérifier si les potentiels écarts observés entre les mesures et les simulations

Chapitre IV : Utilisation des modèles de composants de puissance pour la conception de convertisseurs statiques haute fréquence

avec le modèle proposé ont pour origine la modélisation du transistor ou celle de son environnement. Les figures IV.51 à IV.54 présentent les résultats de mesure et de simulation obtenus au blocage et à la mise en conduction du transistor à 40°C et 80°C.

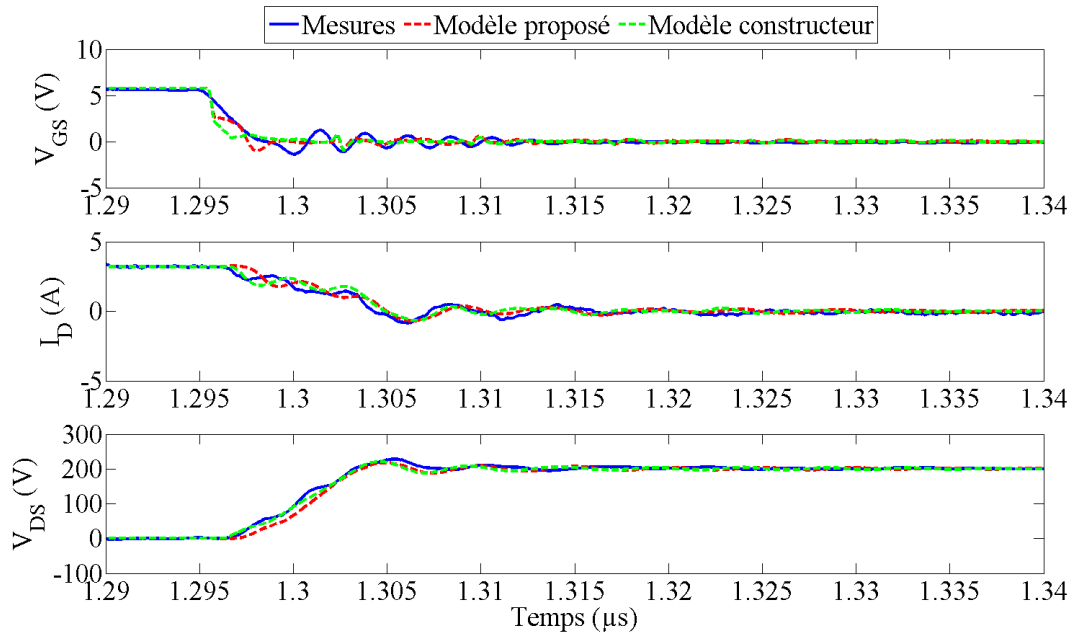


Figure IV. 51 : Résultats de mesure et de simulation au blocage du transistor GaN à 40 °C

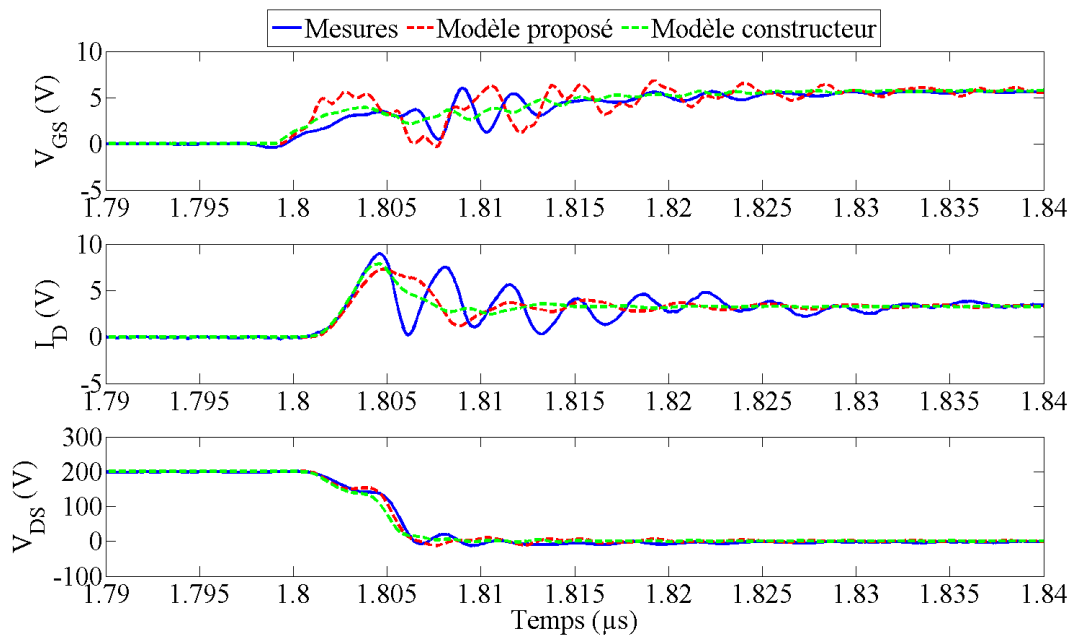


Figure IV. 52 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN à 40 °C

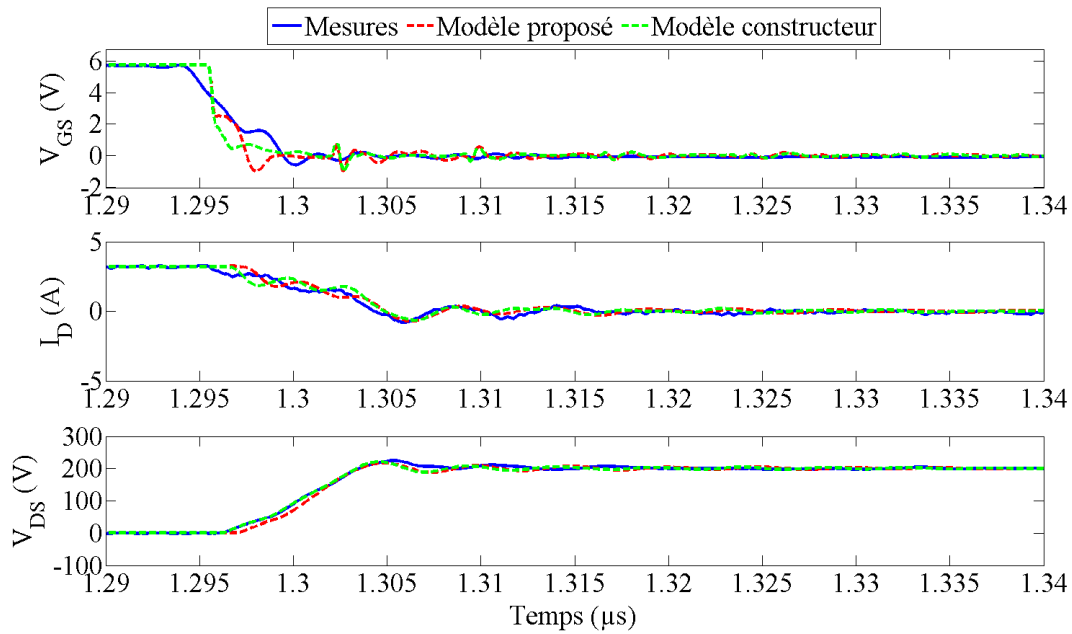


Figure IV. 53 : Résultats de mesure et de simulation au blocage du transistor GaN à 80 °C

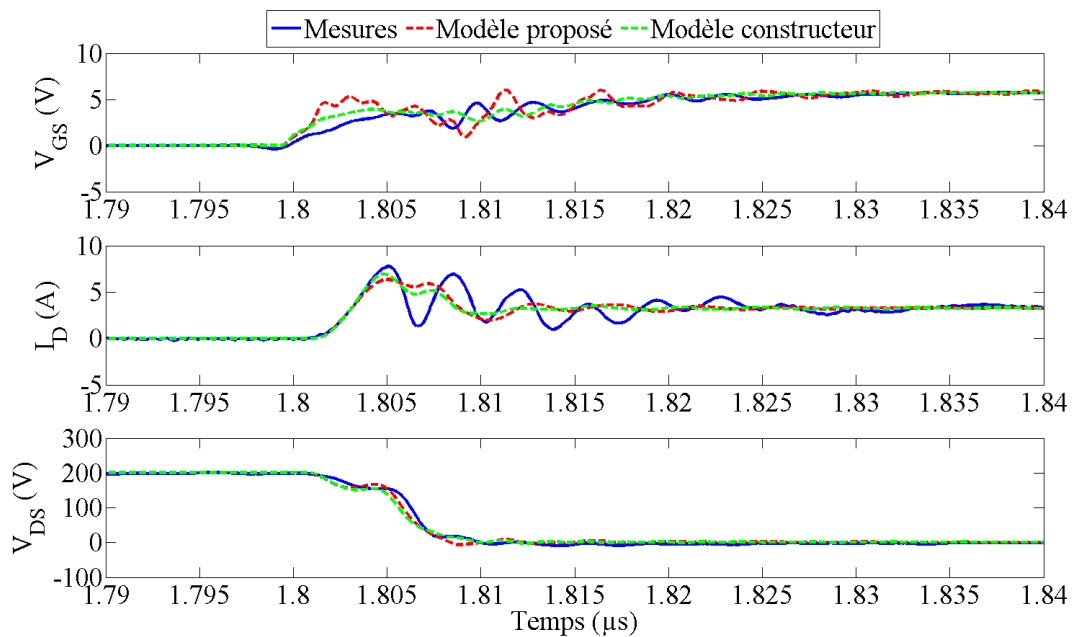


Figure IV. 54 : Résultats de mesure et de simulation à la mise en conduction du transistor GaN à 80 °C

IV.3.3. Fonctionnement répétitif du convertisseur GaN/SiC

Après avoir analysé les formes d'onde de commutation du transistor GaN au sein du convertisseur à température ambiante jusqu'à une température proche de la température finale de fonctionnement estimée, le fonctionnement répétitif du convertisseur est étudié. Pour cela, la charge R_{CH} est ajoutée au circuit et un signal de commande carré de fréquence 1 MHz avec un rapport cyclique de 50 % est généré. La tension d'entrée du convertisseur est de 200 V et le courant de sortie est de 2 A, soit une puissance transmise à la charge de 200 W. Le dispositif expérimental est présenté sur la figure IV.55.

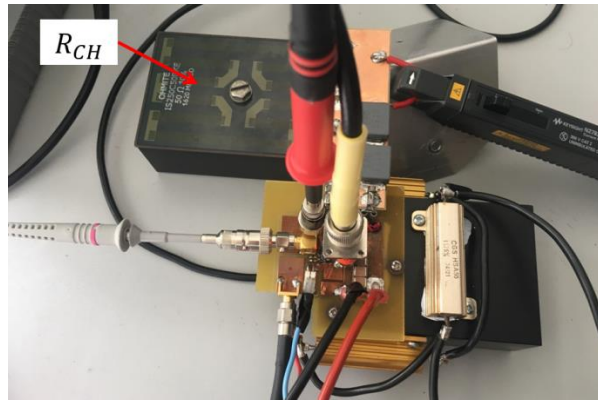


Figure IV. 55 : Convertisseur GaN/SiC en fonctionnement répétitif avec son instrumentation de mesure

Un premier essai est réalisé sur 10 périodes afin d'analyser le régime transitoire du convertisseur ainsi que le temps mis à la fin de la dixième période par l'inductance pour se décharger au travers de la diode SiC. Les résultats de mesure sont présentés sur la figure IV.56. Au vu des résultats, le régime permanent électrique du convertisseur est atteint au bout de 5 périodes soit 5 μ s. La charge met également environ 5 μ s à se décharger. Les constantes de temps sont bien retrouvées.

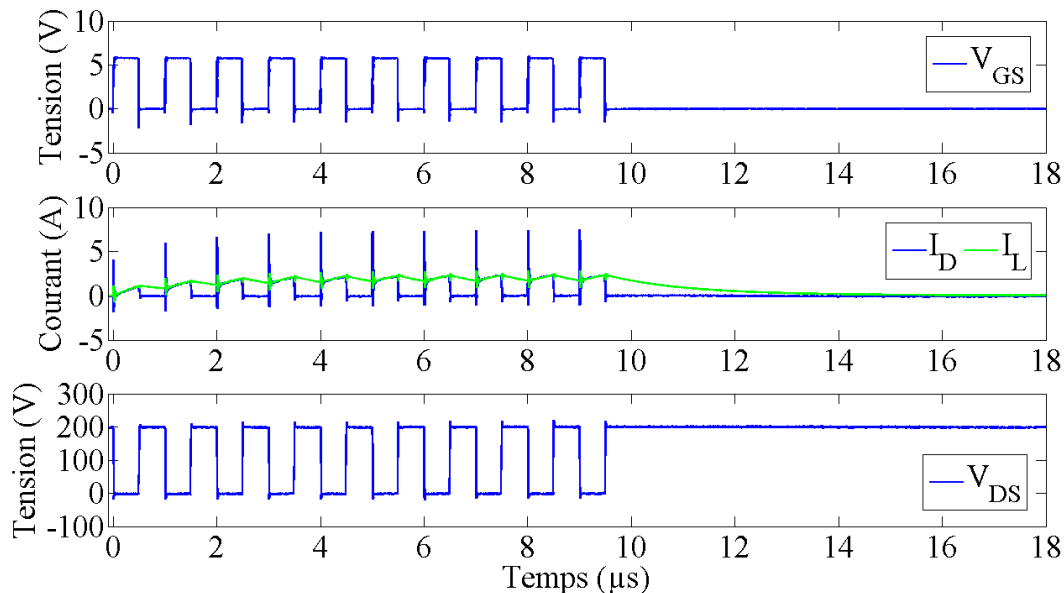


Figure IV. 56 : Fonctionnement répétitif du convertisseur sur 10 périodes

Un second essai est réalisé sur une heure de fonctionnement afin d'évaluer la température du transistor. La température du composant est analysée à l'aide d'une caméra thermique portable et différents points de mesure sont prélevés entre 7 secondes et 1 heure de fonctionnement. La figure IV.57(a) montre les résultats de mesure de température ajoutés aux résultats de simulation présentés sur la figure IV.42. La température ambiante de la salle au moment des mesures est $T_a = 23^\circ\text{C}$.

L'écart relatif des élévations de température entre mesure et simulation de T_j est présenté sur la figure IV.57(b). On note que malgré les hypothèses faites sur le dimensionnement du circuit thermique, les écarts relatifs se situent autour de 10% ou inférieurs excepté pour la première mesure obtenue après 7 secondes de fonctionnement. De plus, les effets de résistance dynamique ne sont pas pris en compte dans les simulations, or il est à noter que ce phénomène influe sur la température du transistor GaN.

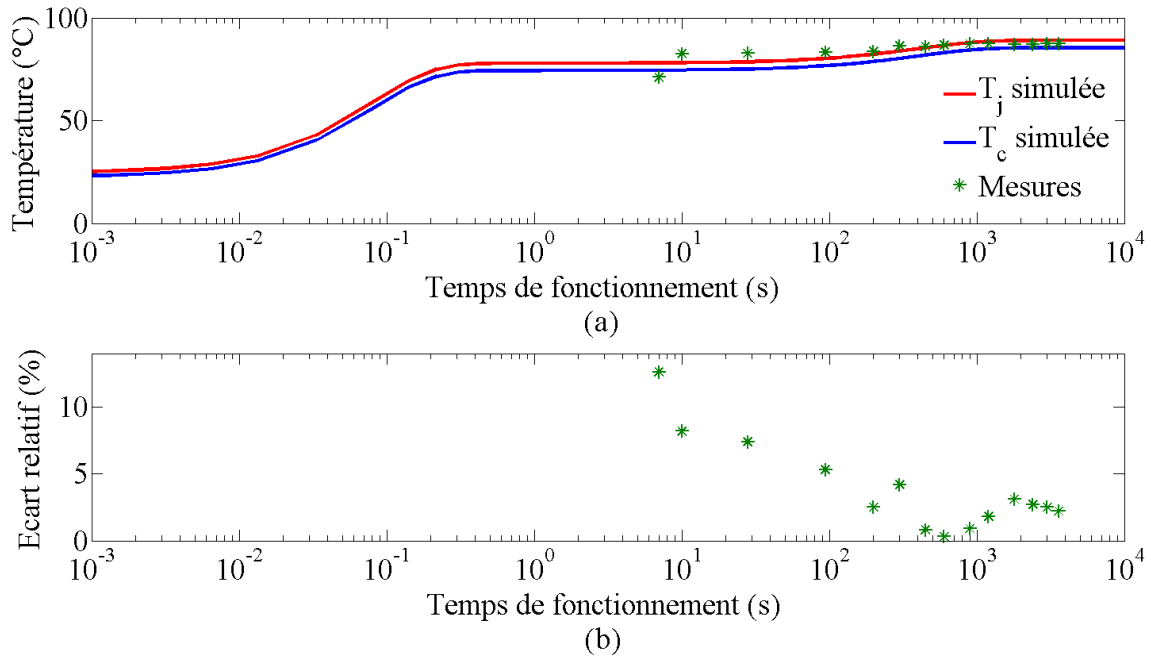


Figure IV. 57 : Mesure et simulation de la température du transistor GaN en fonctionnement au sein du convertisseur : (a) Comparaison entre mesure et simulation (b) écart relatif des élévations de température entre mesure et simulation de T_j

La figure IV.42 a montré un régime transitoire de la température du transistor important entre 10 et 100 ms, cependant au vu des conditions expérimentales des mesures en dessous de la seconde ne sont pas possibles dans ce travail. De plus, la disposition du transistor sur le PCB du convertisseur, entouré de connecteurs (shunt de courant, mesures de tension), rend la mesure à la caméra thermique portable délicate. Un banc expérimental optimisé permettant de mesurer des transitoires de température rapides et d'obtenir davantage de précision sur les résultats fait partie des perspectives de ces travaux. A titre d'exemple, la caméra infrarouge QFI MWIR 512 de la société Quantum Focus Instruments (QFI) permet de mesurer des transitoires de température avec une résolution de l'ordre de la dizaine de microsecondes.

La figure IV.58(a) montre la température mesurée au niveau du transistor GaN après une heure de fonctionnement du convertisseur à 1 MHz. Une température du composant de 87,6°C. La figure IV.58(b) montre une élévation de température de plus d'une centaine de degrés Celsius sur la résistance de charge du convertisseur. Lors des mesures, une convection forcée dont le flux d'air est orienté vers la charge sans altercation directe avec la cellule de commutation mais pouvant toutefois modifier la température ambiante à proximité du transistor et ceci n'est pas pris en compte dans la modélisation thermique.

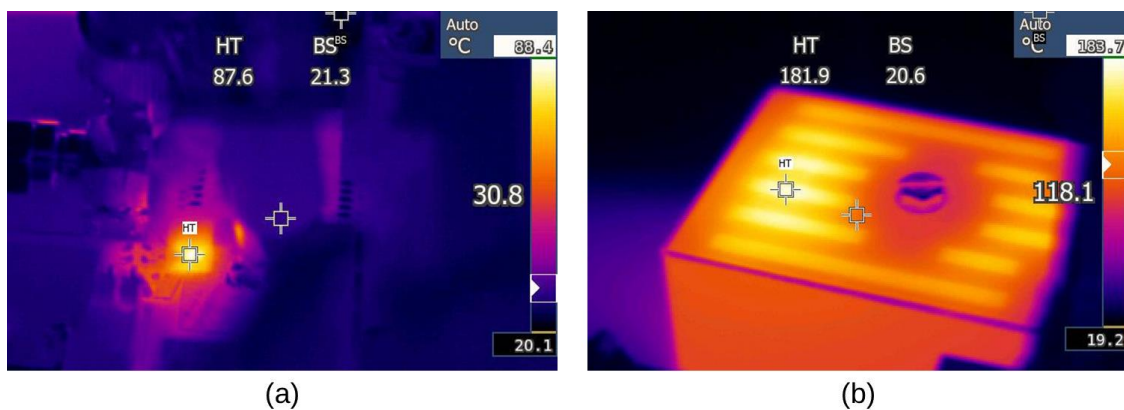


Figure IV. 58 : Mesure de la température après une heure de fonctionnement du convertisseur : (a) sur le transistor GaN (b) sur la résistance de charge

Conclusion

Ce chapitre a exposé l'utilisation du modèle électrothermique proposé du transistor de puissance GaN encapsulé GS66502B pour des applications d'électronique de puissance haute fréquence.

Dans un premier temps, les performances du modèle électrique proposé du transistor GaN ont été analysées sur des commutations à la mise en conduction et au blocage du composant. Un circuit Double Pulse a été conçu, permettant des commutations à 200 V et 3.5 A en s'affranchissant des phénomènes d'auto-échauffement. La modélisation de l'ensemble des composants environnant les transistors (driver, composants passifs, circuits de mesure...) a été nécessaire et un modèle électromagnétique du circuit imprimé a été intégré à la simulation temporelle dans le logiciel ADS permettant ainsi la modélisation la plus précise du convertisseur (prise en compte des phénomènes résistifs, inductifs, capacitifs et couplages liés au PCB). La comparaison entre les résultats de mesure et de simulation a démontré les capacités du modèle à déterminer de façon précise les fronts raides de courant et de tension ainsi que les valeurs des surintensités et des surtensions. Les oscillations hautes fréquences ont été retrouvées, cependant certains couplages fréquentiels ne sont pas représentés par la simulation. Une analyse fréquentielle des commutations ainsi qu'une modification de l'instrumentation de mesure représentent des perspectives de ces travaux.

La seconde partie a proposé de concevoir un convertisseur Buck 200 W fonctionnant à 1 MHz et basé sur une cellule de commutation transistor GaN et diode Schottky SiC. Deux diodes Schottky SiC ont été sélectionnées et modélisées selon une méthode de modélisation adaptée de celle proposée pour le transistor GaN. Des simulations de fonctionnement des convertisseurs basés sur ces deux diodes ont été effectuées. Une étude des pertes par commutation et par conduction obtenue grâce à l'utilisation des modèles de composants de puissance développés a permis de déterminer judicieusement la diode SiC la plus adaptée à l'application visée. Par la suite, l'utilisation des pertes simulées ainsi que des modèles thermiques du transistor et de son circuit de refroidissement ont permis de prédire l'évolution temporelle de la température de fonctionnement du transistor GaN.

Enfin, le convertisseur DC/DC a été réalisé. Des essais Double Pulse à 20°C, 40°C et 80°C ont été réalisés dans le but de valider les performances du modèle électrothermique proposé pour le transistor GaN. L'effet de la température sur les pertes par commutation a également été mis en avant. Des mesures de température du transistor ont été effectuées sur une heure de fonctionnement du convertisseur à 1 MHz. La température en régime établi du transistor a été obtenue après environ cinq minutes de fonctionnement, celle-ci se stabilisant autour de 88°C. Un écart relatif d'environ 10 % a été obtenu en comparant les résultats expérimentaux aux estimations de température réalisées lors de l'étape de conception. On notera que le régime transitoire thermique principal se situe entre 10 et 100 ms de fonctionnement selon les prédictions, or le procédé expérimental mis en place n'a pas permis de mesurer des évolutions de température sur des temps si courts. De plus, la précision de la mesure de température reste perfectible. La mise en œuvre d'un banc expérimental permettant des mesures de transitoires de température rapides et permettant une meilleure précision de mesure fait partie des perspectives pour les travaux ultérieurs.

Bibliographie du chapitre IV

- [IV.1] GaN Systems, "GaN Switching Loss Simulation Using LTSpice," GN008 Application Note, updated May 23rd, 2018.
- [IV.2] Z. Liu, X. Huang, F. C. Lee and Q. Li, "Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT," in IEEE Transactions on Power Electronics, vol. 29, no. 4, pp. 1977-1985, April 2014.
- [IV.3] K. Ammous, H. Morel and A. Ammous, "Analysis of Power Switching Losses Accounting Probe Modeling," in IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 12, pp. 3218-3226, Dec. 2010.
- [IV.4] E. A. Jones, F. Wang, D. Costinett, Z. Zhang and B. Guo, "Cross conduction analysis for enhancement-mode 650-V GaN HFETs in a phase-leg topology," 2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Blacksburg, VA, 2015, pp. 98-103.
- [IV.5] A. M. S. Al-bayati, S. S. Alharbi, S. S. Alharbi and M. Matin, "A comparative design and performance study of a non-isolated DC-DC buck converter based on Si-MOSFET/Si-Diode, SiC-JFET/SiC-schottky diode, and GaN-transistor/SiC-Schottky diode power devices," 2017 North American Power Symposium (NAPS), Morgantown, WV, 2017, pp. 1-6.
- [IV.6] GaN Systems, "PCB Thermal Design Guide for GaN Enhancement Mode Power Transistors," GN005 Application Note, updated March 15th, 2018.
- [IV.7] <https://myheatsinks.com/calculate/thermal-resistance-plate-fin/>, (visité le 19 juillet 2019).
- [IV.8] Prakash, D. (2012). Simulation of indoor air flow for a room with windows at their adjacent walls under various wind flow direction using CFD. ARPN Journal of Engineering and Applied Science. 7. 1-8.

Conclusion générale

L'augmentation de la fréquence de fonctionnement des convertisseurs statiques, permettant la réduction de leur volume et de leur masse, est un sujet d'actualité dans de nombreux secteurs technologiques. L'utilisation des transistors de puissance GaN permet cette augmentation de fréquence sans dégradation du rendement et sans surdimensionnement des systèmes de refroidissement. Or, dû à la forte dynamique de ces composants lors des commutations, la conception de convertisseurs GaN opérant en haute fréquence nécessite le passage par différentes étapes de conception par simulation. Par conséquent, des modèles comportementaux de transistors GaN fiables ainsi que des outils de simulation permettant la prise en compte des phénomènes qui apparaissent en haute fréquence sont des éléments fondamentaux pour la conception. Dans ce contexte, l'objectif de cette thèse a été de développer un modèle électrothermique comportemental d'un transistor de puissance GaN en boîtier pour finalement mettre en œuvre la modélisation, la conception et la réalisation d'un convertisseur DC/DC haute fréquence.

Le premier chapitre de ce manuscrit a présenté les bases essentielles aux travaux de recherche effectués durant cette thèse. Le processus de commutation et les éléments impactant les commutations ont été mis en évidence. Ce chapitre s'est également focalisé sur différents états de l'art, un premier concernant les développements récents de convertisseurs à forte densité de puissance et un second au sujet des transistors de puissance GaN, leurs propriétés, leurs structures et les composants actuels. Enfin, un dernier état de l'art a été présenté concernant les techniques de modélisation pour les semi-conducteurs de puissance. À la fin de ce chapitre, le modèle électrothermique visé pour le transistor de puissance GaN GS66502B encapsulé a été détaillé.

Le modèle électrique proposé pour le transistor GaN en boîtier tient compte des éléments résistifs et inductifs liés aux accès à la partie interne du composant ainsi que des capacités inter-électrodes non linéaires qui sont les principales responsables des pertes par commutation. Afin de déterminer ces différents éléments, le deuxième chapitre de ce travail de thèse a montré l'intérêt de la mesure basée sur les paramètres S. Le transistor encapsulé n'étant pas adapté à ce type de mesures, des dispositifs ont été réalisés sur PCB et une technique de calibration basée sur des schémas équivalents a été proposée et appliquée. Des dispositifs permettant de polariser le transistor GaN sous de fortes tensions et de forts courants ont également été étudiés et réalisés sur PCB. Ces techniques mises en œuvre pour la mesure de paramètres S ont montré la possibilité d'extraire avec une bonne précision les résistances d'accès du composant. L'intérêt de la polarisation Cold FET a été démontré à travers une comparaison avec une extraction des résistances sans polarisation du composant. Un banc expérimental a également été mis en œuvre pour déterminer l'évolution des résistances de drain et de source avec la température du transistor. Les résultats obtenus ont montré peu d'écart avec les valeurs extraites de la documentation technique du transistor. Les résistances drain-source à l'état passant des composants GS66502B et GS66508B dont les résistances ont été extraites sont respectivement de 200 m Ω et 50 m Ω . Il serait intéressant dans un travail ultérieur de tester les limites de précision de la méthode proposée car certains transistors de plus fortes puissances présentent des résistances drain-source de seulement quelques milliohms. Une méthode pour déterminer les inductances d'accès des transistors GS66502B et GS66508B a également été proposée dans ce chapitre. Les résultats de mesure ont démontré les très faibles valeurs des inductances, de l'ordre du nanohenri ou inférieures, présentes dans les boîtiers de ces composants. Ici encore les avantages de la technique Cold FET pour l'extraction des éléments d'accès ont pu être mis en avant. Cependant, les très faibles valeurs d'inductance du composant rendent la mesure sensible à différents paramètres comme les inductances des lignes de transmission qui doivent être correctement maîtrisées, la soudure du composant sur le PCB... Ceci ouvre la porte à de nombreuses perspectives quant à l'amélioration des dispositifs de caractérisation et à la méthode d'extraction employée. Enfin, le second chapitre a également présenté un banc expérimental développé pour la mesure de paramètres S jusqu'à des polarisations de drain de 200 V afin d'extraire les valeurs des capacités inter-électrodes sur

Conclusion générale

l'ensemble des plages de tensions de V_{GS} et de V_{DS} . Les résultats de mesure sur le transistor GS66502B ont montré une bonne concordance avec les valeurs de capacités extraites de la documentation technique du composant. Il a été montré que la méthode permet d'extraire sur une large plage de fréquence, jusqu'à 40 MHz pour des capacités inférieures au picofarad. Durant cette thèse, la méthode a également pu être appliquée à d'autres transistors GaN en boîtier ainsi qu'un MOSFET SiC et des diodes Schottky SiC. Une bonne concordance avec les valeurs de référence a toujours été observée.

Des caractérisations I-V en régime continu et en régime pulsé ont été menées afin de déterminer les caractéristiques statiques de grille et de drain du transistor GaN comme le présente le troisième chapitre. Malgré les mesures en régime pulsé, compte tenu de la durée des impulsions utilisées, une cartographie de l'auto-échauffement du transistor a été réalisée afin de déterminer les zones de modélisation isothermes ou quasi-isothermes. Des équations non linéaires extraites et adaptées de modèles comportementaux ont été proposées pour la modélisation des sources de courant de drain et de grille ainsi que pour les capacités inter-électrodes du composant. Une procédure d'optimisation a été mise en œuvre dans le logiciel ADS pour déterminer les paramètres de la source de courant de drain. Le modèle électrique complet du transistor de puissance GaN encapsulé a ensuite été implémenté dans ADS et des simulations DC et de paramètre S ont permis de vérifier la bonne implémentation du modèle dans le logiciel. Une méthode de modélisation thermique du transistor GaN a ensuite été proposée dans ce troisième chapitre. Le modèle thermique, basé sur une structure de Cauer, a été déterminé à partir de mesures de puissances dissipées par le transistor sur une milliseconde. La mesure du courant de grille a servi durant les essais d'image de l'élévation de température. Une procédure d'optimisation combinant mesures de puissances dissipées et élévations de température a permis d'obtenir les paramètres du modèle thermique. La méthode proposée a permis de déterminer un modèle de Cauer du second ordre jugé suffisant pour décrire les variations thermiques de ce composant, cependant une perspective à ces travaux serait de développer une méthode permettant d'obtenir des modèles thermiques d'ordres supérieurs. Le modèle thermique a ensuite été implémenté au sein du modèle électrique déjà développé et une validation du modèle par des simulations d'impédances thermiques transitoires a été réalisée. Néanmoins, les impédances thermiques étant normalisées dans ces simulations, une validation de la valeur finale de l'impédance thermique constituerait une perspective de ce travail. La dernière partie du troisième chapitre a présenté une contribution de ce travail aux travaux de recherche actuels concernant la modélisation du phénomène de résistance dynamique présent dans les transistors GaN. Un modèle basé sur l'ajout d'une résistance de drain fictive, non linéaire et dépendante de la tension appliquée à l'état bloqué ainsi que des temps de piégeages (fréquence de commutation, rapport cyclique), a été mis en œuvre. La solution proposée a été comparée à une modélisation déjà existante et a montré des résultats similaires tout en évitant une modification de la tension V_{GS} . Cependant, les phénomènes dus aux pièges sont lents et requièrent des temps de simulation longs. Actuellement, le modèle proposé n'est pas adapté au modèle électrothermique développé, notamment pour des raisons de calcul et de temps de simulation. Des travaux sur la méthode de modélisation et sur les principes de simulation sont en projet.

Dans le quatrième chapitre, un circuit Double Pulse permettant au transistor GaN de commuter 200 V et 3,5 A a été conçu et réalisé. La cellule de commutation d'un hacheur série (Buck) a été réalisée à partir d'un transistor GS66502B commandé et d'un second fonctionnant en diode de roue libre. Une modélisation électromagnétique du PCB a été effectuée dans ADS et le modèle résultant a été ajoutée aux modèles des autres composants du convertisseur au sein d'une simulation temporelle. Une bonne cohérence a été trouvée entre les résultats expérimentaux et les résultats de simulation utilisant le modèle électrothermique du transistor GaN proposé. Les temps de montée et descente des courants et tensions durant les commutations du transistor ainsi que certaines composantes fréquentielles sont retrouvées. Néanmoins, certains phénomènes haute fréquence sont présents sur les résultats de mesure et n'ont pas été modélisés. Une amélioration du circuit de mesure pourrait permettre d'identifier ces perturbations HF. Une analyse fréquentielle des commutations fait également partie des perspectives de ces travaux. Dans la seconde partie du quatrième chapitre, nous nous sommes proposé de concevoir un convertisseur Buck 200 W fonctionnant à 1 MHz basé sur une cellule de commutation transistor GaN – diode Schottky

Conclusion générale

SiC. Les techniques de caractérisation et modélisation développées dans cette thèse ont pu être adaptées à la modélisation de deux diodes Schottky SiC. Par suite, l'importance des modèles du transistor GaN et des diodes SiC a été montrée au travers de simulations dans ADS puisqu'ils ont permis de déterminer la diode la plus efficace pour l'application visée. Une estimation des pertes dans le transistor sans prise en compte de la température du composant a été réalisée. Ces estimations ont montré que les pertes par commutation représentent une majeure partie des pertes totales. Par la suite, une modélisation du circuit de refroidissement du transistor (vias thermiques et dissipateur) a été réalisée à partir de modèles thermiques simples. Une simulation ADS du modèle thermique du transistor et de son système de refroidissement a permis d'estimer l'évolution temporelle de la température du transistor. Ces prédictions ont été vérifiées lors de la réalisation du convertisseur DC/DC. Des mesures de température ont été réalisées sur une heure de fonctionnement et ont permis de valider les prédictions de température sur le long terme. Cependant la précision des mesures de température, réalisées à partir d'une caméra Infrarouge portable, reste perfectible. La mise en œuvre d'un banc expérimental permettant de réaliser des mesures de température sur des temps courts (de l'ordre de la milliseconde) et permettant une meilleure précision de mesure fait partie des perspectives de ces travaux.

Liste des publications

Revue internationale

1. L. Pace, N. Defrance, A. Videt, N. Idir, J.-C. De Jaeger and V. Avramovic, "Extraction of Packaged GaN Power Transistors Parasitics Using S-Parameters," in IEEE Transactions on Electron Devices, vol. 66, no. 6, pp. 2583-2588, June 2019.
-

Conférences internationales

1. L. Pace, N. Defrance, J. De Jaeger, A. Videt and N. Idir, "A Method to Determine Wide Bandgap Power Devices Packaging Interconnections," 2019 IEEE 23rd Workshop on Signal and Power Integrity (SPI), Chambéry, France, 2019, pp. 1-4.
 2. L. Pace, N. Defrance, A. Videt, N. Idir and J. De Jaeger, "S-Parameter Characterization of GaN HEMT Power Transistors for High Frequency Modeling," PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2018, pp. 1-8.
 3. O. M. S. Sabo, L. Pace, J. -. Le Bunetel, A. -. Descamps, C. Batard and N. Idir, "Impedance measurement in operating conditions for PLC applications," 2018 IEEE 22nd Workshop on Signal and Power Integrity (SPI), Brest, 2018, pp. 1-4.
-

Conférences nationales

1. L. Pace, N. Defrance, J.C. De Jaeger, A. Videt et N. Idir, "Méthode de caractérisation de transistors GaN pour la conception des convertisseurs statiques hautes fréquences," Symposium de Génie Électrique SGE 2018, Nancy, France, 2018.
2. L. Pace, N. Defrance, J.C. De Jaeger, A. Videt et N. Idir, "Méthode de caractérisation de transistors de puissance GaN pour la conception des convertisseurs statiques hautes fréquences," Journée Nationales du Réseau Doctoral en Microélectronique JNRDM 2017, Strasbourg, France, 2017.